

「超低消費電力型光エレクトロニクス 実装システム技術開発」

事業原簿

公開

担当部	国立研究開発法人 新エネルギー・産業技術総合開発機構 IoT 推進部
-----	--

－目 次－

概 要	1
プロジェクト用語集（公開版）	6
I. 事業の位置づけ・必要性について	11
1. 事業の背景・目的・位置づけ	11
1. 1 事業の背景	11
1. 1. 1 社会的背景	11
1. 1. 2 技術的背景	11
1. 2 事業の目的	13
1. 3 事業の位置づけ	13
2. NEDO の関与の必要性・制度への適合性	14
2. 1 NEDO が関与することの意義	14
2. 1. 1 政策への適合性	14
2. 1. 2 NEDO 中長期計画における位置づけ	15
2. 1. 3 NEDO が関与する必要性・意義	15
2. 2 実施の効果（費用対効果）	19
2. 2. 1 市場規模	19
2. 2. 2 省エネ効果および算出根拠	20
II. 研究開発マネジメントについて	22
1. 事業の目標	22
2. 事業の計画内容	23
2. 1 研究開発の内容	23
2. 2 研究開発の実施体制	32
2. 3 研究開発の運営管理	34
2. 4 研究開発成果の実用化・事業化に向けたマネジメントの妥当性	35
3. 情勢変化への対応	36
4. 中間評価結果への対応	37
5. 評価に関する事項	40

Ⅲ. 研究開発成果	41
1. 事業全体の成果について	41
1. 1 事業全体の成果について	41
1. 2 知的財産権等の確保に向けた取組み	41
1. 3 成果の普及	41
1. 4 研究開発目標の達成度について	42
2. 研究開発項目ごとの研究開発成果について	44
2. 1 ①光エレクトロニクス実装基盤技術の開発	44
2. 1. 1 全体成果	45
2. 1. 2 (ii)革新的デバイス技術	46
2. 2 ②光エレクトロニクス実装システム化技術の開発	47
2. 2. 1 システム化技術の全体像	47
2. 2. 2 最終目標と達成状況	48
2. 2. 3 (i)システム化技術	51
2. 2. 3. 1 (e) 光電子集積インターポーザのデバイス・実装技術開発	51
2. 2. 3. 2 (f) 光電子集積インターポーザのシステム化技術開	52
2. 2. 4 (ii)国際標準化	52
2. 3 ③成果普及活動	52
Ⅳ. 実用化・事業化に向けての見通しおよび取り組みについて	53
1. 実用化・事業化に向けての見通しおよび取り組みについて	53
1. 1 光電子融合サーバボード	53
1. 2 ラックスケール並列分散システム	54
1. 3 情報通信システム化技術	56

(添付資料)

(A) 成果報告書

(B) プロジェクト基本計画

(C) 未来開拓研究プロジェクト実施要綱および実施に関する基本方針

(D) 超低消費電力型光エレクトロニクス実装システム技術開発事前評価報告書
総合科学技術会議が実施する国家的に重要な研究開発の評価結果

概要

	最終更新日	2022年4月6日	
プログラム (又は施策)名	未来開拓研究プロジェクト		
プロジェクト名	超低消費電力型光エレクトロニクス実装システム技術開発	プロジェクト番号	P13004
担当推進部/ PMまたは 担当者	IOT推進部/栗原廣昭、豊田智史、佐野克己(2021年7月～現在) IOT推進部/栗原廣昭、豊田智史(2019年7月～2021年6月) IOT推進部/中山敦、栗原廣昭、豊田智史(2019年5月～2019年6月) IOT推進部/中山敦、大橋雄二、栗原廣昭(2019年4月) IOT推進部/中山敦、大橋雄二(2017年12月～2019年3月) IOT推進部/梅田到、大橋雄二、中山敦、岩本篤(2017年7月～2017年11月) IOT推進部/厨義典、大橋雄二、岩本篤(2017年4月～2017年6月) IOT推進部/水野義博、荒川元孝、厨義典(2016年7月～2017年3月) 電子・材料・ナノテクノロジー部/水野義博、波佐昭則(2014年10月～2016年6月) 電子・材料・ナノテクノロジー部/井谷司、波佐昭則(2014年9月) 電子・材料・ナノテクノロジー部/井谷司、松岡隆一(2013年4月～2014年8月)		
0. 事業の概要	<p>クラウドコンピューティングやIOTの利用拡大、AIの活用が急速に進展しており、データセンタなどにおける情報処理量や通信トラフィックが指数関数的に増大し、データセンタ内の情報処理機器(サーバ、ルータ等)は更なる高速化が進んでいる。同時に、サーバボード間、サーバボード内のチップ間の電気配線の損失が飛躍的に増加しており、消費電力の増大が懸念され、性能向上のボトルネックとなっている。</p> <p>本プロジェクトでは、前記課題を解決する革新的技術として、情報処理機器の省電力化と高速化を目的に、電子機器の電気配線を光配線に置換する光配線技術と電子回路技術を融合させた光エレクトロニクス実装システム技術を実現する基盤技術を確立する。</p>		
I. 事業の位置 付け・必要 性につい て	<p>光エレクトロニクス実装システム技術を開発することで、データセンタ等における情報処理量・通信量の増大に伴って急激な増加が予測される消費電力量の抑制を図り、地球温暖化ガスの排出量の削減にも寄与する。</p> <p>また、光半導体分野における我が国の競争優位を維持するとともに、光エレクトロニクスを用いた新たなコンピューティング市場において競争力を獲得し、半導体産業、回路基板産業やそれらをシステム化したサーバ、ルータ等の情報通信機器産業などのエレクトロニクス産業の活性化にも資する。</p>		
II. 研究開発マネジメントについて			
事業の目標	<p>本研究開発では、電気配線を用いたサーバボードに比べて消費電力を3割削減できかつデータセンタレベルでの運用が可能な光電子融合サーバを実現するための要素技術を確立することを目標とする。</p> <p>具体的には、電子機器のデータ伝送に関して、10Tbps/ノードの伝送帯域と電気配線を用いる場合に比較して1/10の低消費電力化を、また通信速度あたりの面積比で1/100以下の小型化(100倍の帯域密度)を実現する。</p> <p>研究開発の進捗に合わせ開発成果の一部を順次実用化し、光配線と電子回路を融合させた光エレクトロニクス市場の創出と開拓を目指す。</p> <p>本プロジェクトでは、2017年度までに実施した光エレクトロニクス実装基盤技術開発及び光エレクトロニクスシステム化技術開発により上記アウトプット目標を実現可能とする技術を確立している。引き続き研究開発を行い、プロジェクト完了までに上記目標を達成する。</p> <p>本事業で開発される技術をサーバ、データセンタ、ネットワーク機器等に適用し普及させることにより、2030年には国内で年間約1500万トンのCO₂排出に相当するエネルギーが削減されると見込まれ、グローバルな市場創出効果としては1.26兆円程度が期待される。</p>		

事業の計画内容	主な実施事項	第一期			第二期			第三期					
		2012	2013	2014	2015	2016	2017	2018	2019	2020	2021	2022	
事業の計画内容	① 光エレクトロニクス実装基盤技術の開発	(a) 光エレクトロニクス実装技術	→			→			→				
		(i) (b) 光エレクトロニクス集積デバイス技術	→			→			→				
		(c) 光エレクトロニクスインターフェース技術	→			→			→				
		(d) 光エレクトロニクス回路設計技術	→			→			→				
		(ii) 革新的デバイス技術	→			→			→				
		② 光エレクトロニクス実装システム化技術の開発	(a) サーバボードのシステム化技術開発	→			→			→			
	(b) ボード間接続機器、筐体間接続機器のシステム化技術開発		→			→			→				
	(i) (c) データセンタ間接続機器のシステム化技術開発		→			→			→				
	(d) 企業間ネットワーク接続機器のシステム化技術開発		→			→			→				
	(e) 光電子集積インターポーザのデバイス・実装技術開発		→			→			→				
	(f) 光電子集積インターポーザのシステム化技術開発		→			→			→				
	(ii) 国際標準化		→			→			→				
	評価時期				中間評価			中間評価		中間評価			事後評価
	事業費推移 (会計・勘定別に NEDO が負担した実績額 (評価実施年度については予算額) を記載) (単位: 百万円)	会計・勘定	2012	2013	2014	2015	2016	2017	2018	2019	2020	2021	総額
一般会計	—	—	—	—	—	—	—	—	—	—	—	—	
特別会計 (需給)	2,800	2,400	2,777	2,500	1,720	1,801	1,350	1,743	1,840	1,500	20,431		
開発成果促進財源	—	102	848	1,006	—	—	140	114	256	112	2,578		
総予算額	2,800 (経産省 執行)	2,502	3,625	3,506	1,720	1,801	1,490	1,857	2,096	1,612	23,009		
(委託)													

光電子集積インターポーザのデバイス・実装/システム化に向けた技術開発に集約

開発体制	経産省担当 原課	商務情報政策局 情報産業課
	プロジェクト リーダー	東京大学 ナノ量子情報エレクトロニクス研究機構 特任教授 荒川泰彦
	プロジェクト マネージャー	IoT 推進部 栗原廣昭
	委託先 (助成事業の 場合「助成先」 とするなど適 宜変更) (組合が委託 先に含まれる 場合は、その参 加企業数及び 参加企業名も 記載)	2012年度～2016年度： 技術研究組合光電子融合基盤技術研究所（参加企業7社（日本電気（株）、富士通（株）、沖電気工業（株）、（株）東芝、古河電工（株）、日本電信電話（株）、NTTエレクトロニクス（株））、（国研）産業技術総合研究所、（一財）光産業技術振興協会） 共同実施（東京大学、横浜国立大学、京都大学、東京工業大学、早稲田大学） 2017年度： 技術研究組合光電子融合基盤技術研究所（参加企業5社（日本電気（株）、富士通（株）、沖電気工業（株）、（株）東芝、古河電工（株））、（国研）産業技術総合研究所、（一財）光産業技術振興協会） 共同実施（東京大学、横浜国立大学、京都大学、東京工業大学、早稲田大学） 2018年度～現在： 技術研究組合光電子融合基盤技術研究所（参加企業5社（日本電気（株）、富士通（株）、沖電気工業（株）、古河電工（株）、三菱電機（株））、（国研）産業技術総合研究所、（一財）光産業技術振興協会） 共同実施（東京大学、横浜国立大学、京都大学、東京工業大学、早稲田大学）
情勢変化への 対応	世界的なシリコンフォトニクス技術への注目の高まりと競争激化へ対応するため、光電子集積インターポーザの技術開発に集約し、開発成果促進財源により実装技術・評価技術の開発を推進した。また、データセンタ間接続機器システム技術は、実用化が加速している状況に対して、現状成果の一部を活用した先行事業化を実施するとともに、目標を状況の変化に対応したものに変更した。 モバイル情報通信やIoTの進展によるデータ通信量増大、AIおよびディープラーニングの進展による情報処理の高速化に対応しつつ、研究開発進捗に応じて最終目標（10Tbps/ノード）を明示した。	
中間評価結 果への対応	2019年度に行われた中間評価結果に対応し、主に3つの対応策を行った。 情報通信トラフィック量の増加を考慮して、今後のIT機器のエネルギー消費量の推移を再調査し、省エネ効果を定量的に説明した。ニュースリリースの発行や展示会での動画作成等により、成果を広くPRし、ユーザ企業を巻き込む活動を推進した。予算配分見直し等で開発成果促進財源を確保し、サーバシステム応用に係る試作等を前倒しで行い、組合参加企業3社の事業化判断を早めるようマネジメントを実施した。	
評価に関する 事項	事前評価	2011年度 産業構造審議会産業技術分科会評価小委員会（7月）、総合科学技術会議の評価専門調査会（12月） 担当：経済産業省
	中間評価	2014年度 中間評価実施 担当部 電子・材料・ナノテクノロジー部
	中間評価	2017年度 中間評価実施 担当部 IoT推進部
	中間評価	2019年度 中間評価実施 担当部 IoT推進部
	事後評価	2022年度 事後評価実施 担当部 IoT推進部
Ⅲ. 研究開発成 果につい て	研究開発項目ごとの最終成果を以下にまとめる。 研究開発項目①「光エレクトロニクス実装基盤技術の開発」 (i) 実装基盤技術 (a) 光エレクトロニクス実装技術（2017年度末） ・5cm×5cm程度の光電子ハイブリッド基板上にLSIを搭載するモジュール化技術を確立し、LSIモジュールでの高速光インターコネクトを実現した。 (b) 光エレクトロニクス集積デバイス技術（2017年度末） ・多数の光素子を集積した光電子集積インターポーザの大容量伝送を実現するための基盤集積技術を確立した。 (c) 光エレクトロニクスインターフェース技術（2016年度末）	

・低消費電力DSP-LSI最終プロトタイプを実現するとともに、データセンタ間通信向け低消費電力100Gbpsデジタルコヒーレント光トランシーバを実証するための要素技術を確立した。

(d) 光エレクトロニクス回路設計技術(2017年度末)

・光デバイス設計用電子・光連携TCADと光電子集積インターポーザの設計を可能とする統合設計環境を連携させ、基本実装構造に関するデータベース(デザインキット)を整備し、光電子集積インターポーザを効率的に設計可能とした。

(ii) 革新的デバイス技術

[革新的光源・光検出器技術](2021年度末)

・光電子集積インターポーザ用の集積化光源への展開に向け、1.4 μ m以上の長波長のシリコン基板上量子ドットレーザの実現可能性を示した。

・光電子集積インターポーザ用の集積化受光器への展開に向け、高速応答可能で省電力化が可能な導波路型受光器を実証することにより、光電子集積インターポーザへの技術展開の見通しを示すと共に、事業化に対する課題を明確化した。

[革新的光変調器技術](2021年度末)

・光電子集積インターポーザ用の集積化光変調器への展開に向け、スローライト型変調器やハイブリッドMOS型変調器等に対し、多重化・多値変調等の伝送方式を実現する可能性を実証することにより、光電子集積インターポーザへの技術展開の見通しと事業化に対する課題を明確化した。

[革新的光配線技術](2021年度末)

・光電子集積インターポーザへの展開に向け、フォトニックナノ構造等による光損失補償機能や光バッファ機能を統合することなどにより高度な光配線技術を開発し、光電子集積サーバ技術の革新的展開へ寄与。

[革新的光エレクトロニクス回路技術](2021年度末)

・光電子集積インターポーザへの展開に向け、シリコンインターポーザ上で機能可変型光エレクトロニクス回路の基本機能を実証して光FPGA実現の見通しを明らかにすることにより、光電子集積サーバ技術の革新的展開へ寄与。

[革新的光スイッチングデバイス技術](2017年度末)

・光スイッチマトリクスの低電力化、光信号処理デバイスの10Gbps程度での動作を実証する。これらの検討を通じて、光電子集積サーバ技術への技術展開の見通しを示すとともに事業化に対する課題を明確化した。

研究開発項目②「光エレクトロニクス実装システム化技術の開発」

(i) システム化技術

(a) サーバボードのシステム化技術開発(2017年度末)

・光電子集積サーバボードにおける伝送機能の主要部分からなる送受信部を試作し、要求スペックを満たす光伝送を実証した。

・光電子集積インターポーザに積層型のストレージチップを実装した光インターフェース付SSD技術を確立した。

(b) ボード間接続機器、筐体間接続機器のシステム化技術開発(2017年度末)

・ロジックLSIと光トランシーバの接続構造を決定した。

・策定した設計基準に基づき既存ロジックLSIを搭載できる基板を設計・試作し、光ケーブルを用いたLSI搭載基板間光接続を実現した。

(c) データセンタ間接続機器のシステム化技術開発(2016年度末)

・抽出した技術課題を解決し、目標である小型、低消費電力を満たす100Gbpsデジタルコヒーレント光トランシーバを実現した。

(d) 企業間ネットワーク接続機器のシステム化技術開発(2017年度末)

・シリコン光導波路による双方向多重用合分波器と波長多重用合分波器を組み合わせ集積試作し、一芯双方向波長多重動作をシリコンワンチップ上で実証するとともに、企業間ネットワーク向け波長多重合分波器実用化のための要求課題を抽出し、解決の目処を得た。

(e) 光電子集積インターポーザのデバイス・実装技術開発(2021年度末)

・光配線の消費電力を1mW/Gbps以下とするための要素技術と、電気配線と比較し通信速度あたりの面積で1/100すなわち100倍の帯域密度を実現するための要素技術、およびシリコンフォトニクス技術による波長多重シングルモード光回路を開発することにより、10Tbps/ノードの帯域幅を持つ光電子集積インターポーザ技術を実現した。

(f) 光電子集積インターポーザのデバイス・システム化技術(2022年度末)

・消費電力の少ない光電子集積インターポーザ技術と波長多重技術を用いた接続技術を組み合わせ光電子融合サーバボードを試作し、試作機とシミュレーションを用いてサーバ電力量を30%以上削減可能であることを示した。

・光電子集積インターポーザを用いた一芯双方向波長多重トランシーバを搭載することにより、光加入者端末装置を10cm \times 2cm \times 2cm以下のサイズに小型化するための実装技術を開発した。

	(ii) 国際標準化（2021年度末） ・光電子集積インターポーザの物理仕様（サイズ、入出力構成）、電気・光インターフェースに関し、提案した標準化案の採択推進活動を行った。	
	投稿論文（事業開始から2022年2月末まで）	「査読付き論文」235件、「学会発表（解説記事含む）」1659件
	特 許（同上）	「出願済」343件、（うち国際出願120件）
	その他の外部発表（プレス発表等）（同上）	プレス発表等46件
IV. 成果の実用化・事業化に向けた取組及び見通しについて	本プロジェクトは日本の光デバイス、ネットワーク関連企業で構成される技術組合を実施者とするものであり、早期に実用化の目処が立ったデバイスについては、プロジェクト期間の終了を待たずに実用化・事業化を進める。事業化を有利に進めるために、国際標準化活動による規格獲得を目指す。さらに、ニュースリリース発行、シンポジウム、展示会、成果紹介動画作成等により、効果的な成果の発信を行い、ユーザ企業とのマッチングを通じて、現在の組合企業だけでなくユーザ企業を巻き込む活動を推進する。	
V. 基本計画に関する事項	作成時期	2012年5月 「超低消費電力型光エレクトロニクス実装システム技術開発」実施計画作成（経済産業省） 2013年3月 基本計画作成（NEDO）
	変更履歴	2018年1月 2018年度から2021年度の基本計画追加に伴う改訂。 2018年11月 PLの所属先の記載を変更。 2020年2月 プロジェクトマネージャーの変更に伴う改訂。

プロジェクト用語集 (公開版)

用語	説明
(集積)光 I/O チップ	光 I/O コアの主要部品の 1 つ。シリコンフォトニクス技術を用い、光変調器、受光器、合分波器、光入出力部、などの要素光素子を SOI 基板上に集積したチップ。
2 重コア SSC	2 種類の屈折率の異なるコアを設け、光の結合損失が少なくなるような構造を持つ SSC。
AOC	Active Optical Cable の略：信号伝送ケーブルの一種であり、伝送部分に光ファイバを用いた物。外部インターフェースは電気信号であり、コネクタ内部に電気/光変換、光/電気変換部が内蔵されている。光ファイバ伝送のため、電気ケーブルに比べ高速/長距離伝送が可能。
APD	Avalanche Photo Diode の略：半導体におけるなだれ(Avalanche)増倍現象を用いて、通常の PD よりも高感度化した受光素子であり、長距離光通信に用いられる。
BER	Bit Error Rate の略：通信で用いられる符号誤り率で、一定の時間内での送信される符号総数に対する、誤って受信された符号数の比率で示される。
CMOS 回路	Complementary Metal Oxide Semiconductor の略：p チャネルと n チャネルの MOSFET を相補的に配置した回路構成を有する半導体デバイス。論理が反転する時にのみしか充放電電流が流れないため、消費電力の少ない論理回路が構成できる。
DC 特性	Direct Current 特性の略。静特性とも言う。
Demux	demultiplexing あるいは demultiplexer の略：シリアル信号を複数のパラレル信号に変換すること。この動作を実行するデバイス/装置。Mux の逆の動作。
DFB	Distributed Feedback の略：半導体レーザの光共振器構造の一種。共振器内部に回折格子が作りこまれており特定の波長だけが正帰還を受けるので、単一モード発振が得られる。
EOM	Embedded Optical Modules の略：オンボードタイプの組込み光モジュールであり、既存光モジュールベンダが独自のフォームファクタで製品化。 AOC よりも小型なため、LSI 近傍に搭載することが可能となる。
FDTD	Finite-difference time-domain の略：電磁場解析の一手法であり、空間・時間領域での差分方程式に展開して電場・磁場を求める方法
FPGA	Field Programmable Gate Array の略：論理回路構成が書き換え可能なプログラマブルロジックデバイス。最近は大規模化、入出力速度の高速化の進展が著しい。
FOM	Figure Of Merit の略：配線接続（インターコネクタ）の性能指標を意味しており、消費電力エネルギー当たりの帯域密度を表す。
Gbps	Giga bit per second の略：データ通信速度の単位の一つ。1Gbps は一秒間に十億ビットのデータを送れることを表す。

用語	説明
GPU	Graphic Processing Unit の略：リアルタイム画像処理に特化した演算装置あるいはプロセッサを表す。
LA/TIA	Limiting Amp / Trans impedance Amp の略：受光素子からの微弱な電気信号強度を増幅するための増幅器。
LD	Laser Diode の略：半導体レーザ。
LD テラス	LD を実装するため、Si 基板の端面に深溝構造の方形状（テラス）のステップを形成し、その部分に LD チップを実装する。この構造を LD テラスと呼んでいる。
LN 変調器	LiNbO3 結晶のポッケルス効果による屈折率変化を利用した光変調器で光通信に不可欠なデバイスの一つ。半導体レーザなどの CW 光を変調する外部変調器として使用されており、高速変調が可能。
MMF	Multi Mode Fiber の略： 多数のモードの光が伝搬する光ファイバ。
MOS 接合	MOS (Metal-Oxide-Semiconductor の略：金属-酸化物-半導体) 素子によるダイオード接合。
Mux	multiplexing あるいは multiplexer の略：複数のパラレル信号をシリアル信号に変換すること。この動作を実行するデバイス/装置。
NRZ	non-return-to-zero の略：ビットの値 0 または 1 に応じて、{電圧、電流または光強度} が低いまたは高い信号を出力する信号変調方式。
OIF	The Optical Internetworking Forum の略：キャリア、コンポーネントベンダ、システムベンダ、測定器会社などが参加する 1998 年に創設された業界団体。光伝送技術に関する標準化を推進し、低コストでスケーラブルな光ネットワークを実現することを目的としている。
ONU	Optical Network Unit の略：光加入者通信網において、加入者宅に設置して、パソコンなどの端末機器をネットワークに接続するために、光信号と電気信号の相互の変換を行う装置。
PD	Photo Diode の略：フォトダイオード
PECST	Photonics Electronics Convergence System Technology の略：JSPS が行った最先端研究開発支援プログラム (FIRST プログラム) の 1 つの「フォトニクス・エレクトロニクス融合システム基盤技術開発」。
PIN 構造	PN 間に電気抵抗の大きな Intrinsic 半導体層をはさみ少数キャリア蓄積効果を大きくし逆回復時間を長くした構造。
PON	Passive Optical Network の略：光ファイバ網の途中に分岐装置を挿入して、1 本のファイバを複数の加入者間で共有することで、効率的な光通信を実現するネットワーク方式の一形態。光加入者通信網の基盤技術。

用語	説明
PUE	Power Usage Effectiveness の略：データセンタの電力使用効率を表しており、データセンタの I T 機器の消費電力量に対するデータセンタ設備全体の消費電力量。1.0 に近づくほど、電気効率が良いとされる。
SATA	Serial Advanced Technology Attachment の略：データ記憶装置（HDD、SSD など）と CPU を接続する規格の一つ。
SerDes	Serializer/Deserializer の略：シリアル信号、パラレル信号を相互変換する電子回路。
SMF	Single Mode Fiber の略： 単一光モードのみ伝搬可能な光ファイバ。
SOA	電荷蓄積層を持つゲート電極 MOS トランジスタを直列に接続した構造の不揮発性メモリ。USB メモリ、SD カード等幅広く使われている。
SOI	Silicon On Insulator の略：シリコン基板上にシリコン酸化膜と更にその上にシリコン層が形成された基板構造で、CMOS 電子回路やシリコンフォトニクスウェーハ基板として使用されている。
SSC： スポットサイズ変換器	Spot Size Converter の略：Si 導波路とファイバや半導体レーザのサイズ差による光の結合損失を少なくする変換器。導波路の幅を徐々に変えていく方法等いろいろな構造がある。
SSD	Solid State Drive の略：ハードディスク（HDD：Hard Disc Drive）に代り、記憶媒体に半導体不揮発性メモリ素子（NAND FLASH MEMORY）を用いた記憶装置。小型化可能でデータ書込み/読出し速度も速く、急速に普及している。
Tbps	Tera bit per second の略：データ通信速度の単位の一つ。1Tbps は一秒間に一兆ビットのデータを送れることを表す。
TCAD	Technology CAD の略：プロセスシミュレータとデバイスシミュレータと回路シミュレータを統合したもの。
TIA	Trans-Impedance Amplifier の略：受光ダイオードの光電流を電圧に変換して出力する増幅器
TWDM-PON	PON の構成形態の一種。元々時分割多重(TDM)を用いる PON に、さらに WDM を適用することにより伝送容量を拡大している。
Tx、Rx	Tx：Transmitter の略称、Rx：Receiver の略称
WDM	波長分割多重（Wavelength Division Multiplexing）の略： 光ファイバ通信において、波長の違う複数の光信号を同時に利用する（多重化）ことで、波長数分だけ伝送容量を拡大する技術。
アイパターン	信号波形の遷移を多数サンプリングし、重ね合わせてグラフィカルに表示したもの。上下左右に大きく開いたパターンほど良好な信号伝送ができていることを表す。
ウェーハボンディング	接着剤などを使わずにシリコンなどのウェーハを直接接合する技術。

用語	説明
スローライト型変調器	物質中において群速度が極端に小さくなった光（スローライト）を用いた変調器
デジタル信号処理 (DSP) LSI	コヒーレント光ファイバ通信方式を実現するためのキーデバイス。偏波多重された高速光信号をコヒーレント検波した後に、分散補償や偏波分離などのデジタル電気信号処理 (Digital Signal Processing) を駆使して、ファイバ伝搬で歪んだ信号波形から正しい信号データを復元する。
デジタルコヒーレント伝送技術	光の強度に加えて位相も情報伝送に利用する通信方式。受信側では、信号光と波長が極めて近い光とを混合してから電気信号に変換（コヒーレント検波）する。光伝送路で発生する波形歪みを超高速デジタル信号処理により補償することで、安定な大容量長距離伝送が可能となる。
デジタルコヒーレントトランシーバ	デジタルコヒーレント伝送技術を用いた光トランシーバ
光 FPGA	フィールドで自在に回路機能を切り替えることが可能な機能可変光回路
フリップチップ実装	実装基板上にチップを実装する方法の1つ。チップ表面と基板を電氣的に接続する際、ワイヤ・ボンディングのようにワイヤによって接続するのではなく、アレイ状に並んだバンプと呼ばれる突起状の端子によって接続する。ワイヤ・ボンディングに比べて実装面積を小さくできる。
フォトニックナノ構造	屈折率が周期的に変化するナノ構造体であり、その中の光の伝わりかたはナノ構造によって制御することができる。
マッハ・ツェンダー型	1つの光源から分けた2つの光に位相差をつけて、再び、合波することで2つの光を干渉させて光強度を変調する方法。
リング光共振器	リング状に形成された光回路。一方の直線光導波路から入力された光の中で、特定の波長をもつ光だけが共振して他方の光導波路から出力される特徴をもつ。
暗電流	PD に光の入射がない場合にも流れている電流のこと。光信号の受信における雑音となるため、暗電流が小さいことが望まれる。
位置合せトレランス	光ファイバと光デバイス、半導体レーザ素子等との位置合わせ精度の許容幅(トレランス)のこと。
液浸 ArF 露光技術	露光装置の投影レンズとウェーハの間に液体を満たして露光する技術。液体として純水を用いた場合、空気に比べて開口数が 1.44 倍に増加するため、解像度を大幅に向上することが出来る。45nm 技術世代以降の半導体加工に用いられている。
光 I/O コア	光信号の送受信(トランシーバ)機能をもつ機能ブロックを光 I/O コアと総称している。光 I/O エンジンとも呼ばれる。
光 I/O 付き LSI 基板	LSI (CPU, FPGA) の高速の入出力信号を光伝送するため、LSI の直近に小型光 I/O コアを配置した構造の基板

用語	説明
光ピン	垂直方向へ伝送する光導波路。有機材料で構成されておりフォトリソグラフィ技術で形成可能である。Optical Pillar とも呼ばれる。
光電子ハイブリッド（回路）基板	インターポーザ材料にプリント基板を用いた、光電子集積インターポーザ。特にプリント基板上にポリマー光配線を用いることにより、複数の LSI を搭載した大型光電子基板が実現できる。
光電子集積インターポーザ	電子回路（LSI）と光入出力部が実装されたインターポーザの総称。
消光比	波長合分波器の任意の出力ポートにおいて、そのポートに出力される波長の信号光強度と、それ以外の波長のノイズ光強度の比率。
石英 PLC	石英 Planer Lightwave Circuit：石英平面光回路 石英材料を用いた平面光回路で、一般にフィルタやカップラーなどの受動光学部品でよく使われている。単位長さあたりの光波導波損失は低いが、導波路曲げ半径は、数百 um 程度と大きく、デバイス全体も大きくなる。
波長合分波器	異なる波長の光信号を合波したり分波したりする機能を有する光素子。断面サイズの小さな Si 細線導波路で良好な特性を得るには高精度加工が必要となる。
偏波	光や電磁波の電界の振動方向の状態を示すものであり、断面が矩形形状のシリコン導波路では、基板の面内方向に電界が振動する TE 偏波と、基板に垂直方向に電界が振動する TM 偏波とが伝搬可能である。
偏波依存損失	スポットサイズ変換器や波長合分波器などで、偏波ごとに損失が異なる場合の損失の差異を示す。一般的に、この差異が小さいことが望ましい。
量子ドット	大きさが数ナノメートルから数 10 ナノメートルの半導体微結晶。電子が 3 次的に閉じ込められ、状態密度がエネルギーに関してデルタ関数的に完全に離散化したエネルギー準位が形成されることから、光素子への適用により低閾値、低消費電力化、温度特性改善が可能となる。

I. 事業の位置づけ・必要性について

1. 事業の背景・目的・位置づけ

1. 1 事業の背景

1. 1. 1 社会的背景

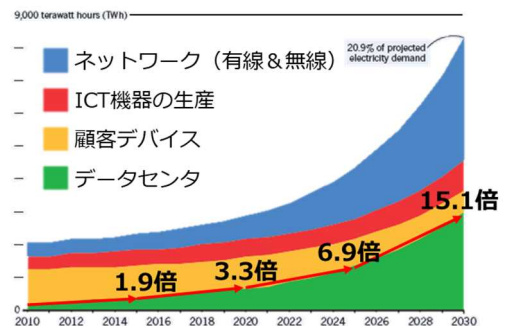
さまざまな情報サービスがネットワークを通じて提供されるクラウドコンピューティングが進展し、膨大な数の携帯電話、スマートフォンに代表されるモバイル端末やパーソナルコンピュータ等のICT（情報通信）機器で生み出された情報がデータセンタに蓄積・処理・共有されるようになってきている。近年にはIoT（もののインターネット）やAI（人工知能）の進展も加わって、データセンタ等における情報処理量や情報通信トラフィックは急激に増大しており、今後も継続して指数関数的に伸びていくことが予測されている（図I-1.1.1-1）。現状技術の延長により実現された機器によりデータの処理や伝送が行われたと仮定すると、サーバと通信機器で構成されるデータセンタのコストや電力消費量の急増が予測され、また、情報通信機器による国内の電力消費量は2025年には2010年比で2倍の1500億kWh（現在の国内電力消費量全体の6分の1）にまで膨らむと見込まれている。情報処理で発生する排熱を少ない電力で処理できるようになったことなどにより、データセンタの市場規模の伸びに対する消費電力量の伸びは徐々に小さくなる傾向にあるが、一層の省電力化のためには、情報処理機器・装置そのものの低消費電力化と高速化を両立できる技術開発と社会実装を進める必要がある。

同様な問題は世界的にも認識されており、データセンタ内の消費電力量は2030年には2010年に比べて1.5倍程度に達する見込みもなされている（図I-1.1.1-2）。このため、半導体分野の主要なグローバル企業が次世代のデータセンタなどの低消費電力化・高速化技術として光配線技術、集積光回路技術等の光エレクトロニクス技術を上記問題の解決手段として有望視して研究開発に取り組んでいる。また、米国、欧州等の政府も関連する国家プロジェクトの実施によりそれらの研究開発の支援を行っており、全世界的な開発競争が繰り広げられている。



(出典) Cisco VNI Forecast update, 2017~2022年

図I-1.1.1-1 情報通信トラフィック
@データセンタの現状と予測



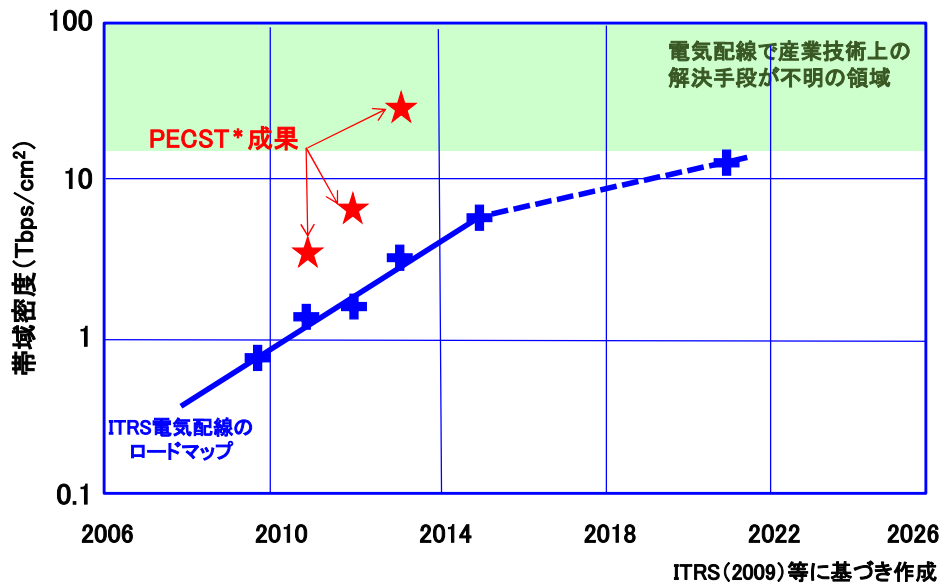
(出典) N. Jone, Nature 561, 164 (2018).
経済産業省 2021年度「次世代デジタルインフラの構築」プロジェクトに関する研究開発・社会実装計画(案)の概要

図I-1.1.1-2 ICT機器における
消費電力量の内訳と見込み

1. 1. 2 技術的背景

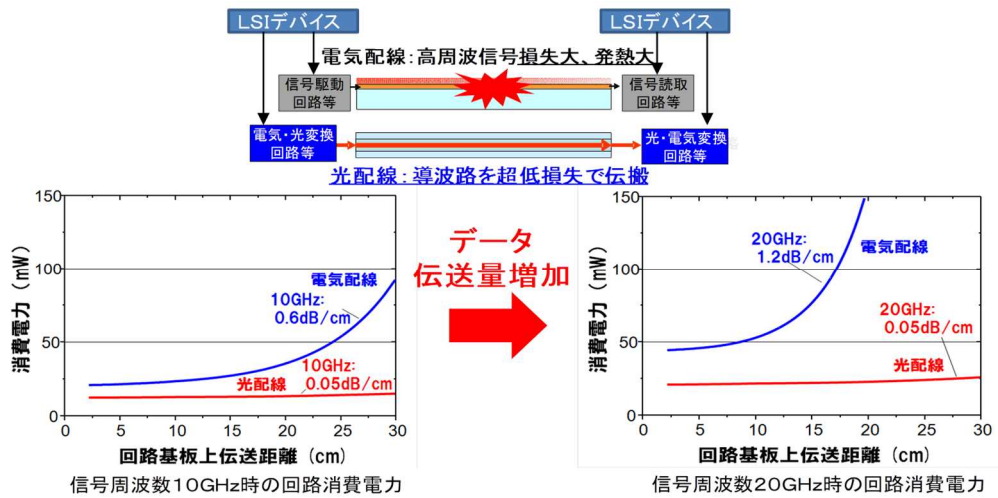
現在の情報処理機器における処理性能は、情報を処理するCPU等の演算素子の性能や演算素子間、演算素子と情報を格納するメモリ間等を繋ぐ電気配線を通じて行われる情報の伝送速度等によって決定されており、情報処理機器全体の処理性能を向上させるには、演算素子等の性能に適した情報の伝送速度を確保することが必要である。これらの情報の伝送を受け持つ電気配線では、半導体技術の進展により演算素子等が微細化・高性能化されると、演算素子が必要とする情報伝送速度を実現するために、そのピッチを縮小し本数やそこを伝達させる信号の周波数を増加させてきた。しかしながら、ITRS（国際半導体技術ロードマップ）等では、2015年以降の電気配線におけるピッチ縮小のトレンドは鈍化すると見込まれており（図I-1.1.2-3）、素子寸法縮小というスケールメリットを活か

した低消費電力化が困難になってきている。演算素子の性能に見合う情報の伝送帯域を得るためには、信号周波数を中心に高めていく必要があり、結果として、回路消費電力の急激な増大を招いてしまう。そのため、電気配線のみの回路構成では伝送帯域の向上には限界があると考えられている。



*PECST:
内閣府・総合科学技術会議の下で、日本学術振興会が進めた最先端研究開発支援プログラム (FIRST) におけるフォトンクス・エレクトロニクス融合システム基盤技術開発事業

図 I-1. 1. 2-3 電気配線における伝送帯域密度の推移



経済産業省/総合科学技術会議評価専門委員会資料 (2011)

図 I-1. 1. 2-4 伝送距離と伝送にかかる消費電力との関係

一方、光配線による接続では、高い信号周波数領域での伝送速度の高速化が可能であり、光波長等の多重通信技術を用いることで、配線面積を電気配線の100分の1程度まで小型化することが可能である。さらに、電子機器に用いられている電気配線では、データ伝送量 (信号周波数) や伝送距離の増加に伴い信号の損失が大きくなるのに対し、光配線を用いる場合はデータ伝送量が増大しても損失は一定であり (図 I-1. 1. 2-4)、伝送距離に対する消費電力の増加は極めて小さいというメリットがある。

このメリットを生かして、光配線は高速インターネット網や携帯電話基地局で利用されているほか、近年はデータセンタ等の低消費電力化・高速化技術として光配線技術や光インターコネクト技術が有力視され、半導体関連企業などで研究開発が進められており、その実用化が待ち望まれている。

1. 2 事業の目的

以上の背景を踏まえ、本プロジェクトは、情報通信機器の省電力化と高速化を目的に、電子機器の電気配線を光配線に置換する光配線技術と電子回路技術を融合させた光エレクトロニクス実装システム技術を実現する基盤技術を確立することを目指す。電気配線を用いたサーバボードに比べて消費電力を3割削減できかつデータセンタレベルでの運用が可能な光電子融合サーバを実現するための要素技術を確立することを目指す。具体的には電子機器のデータ伝送に関して、10Tbps/ノードの伝送帯域と電気配線を用いる場合と比較して1/10の低消費電力化を、また、通信速度あたりの面積比で1/100以下の小型化（100倍の帯域密度）を実現する。

研究開発の進捗に合わせ、開発成果の一部を順次実用化し、光配線と電子回路を融合させた光エレクトロニクス市場の創出と開拓を目指す。

本研究開発で成果を得ることにより、光半導体分野における我が国の国際優位性を維持するとともに、光エレクトロニクスを用いた新たなコンピューティング市場において我が国が競争力を獲得し、さらには半導体産業、回路基板産業やそれらをシステム化したサーバ、ルータ等の情報通信機器産業などのエレクトロニクス産業の活性化にも資する。

1. 3 事業の位置づけ

前述の通り、クラウドコンピューティングやIoT、AI技術の進展に伴い、情報通信量は急激に増加しており、これに伴って情報通信機器の通信負荷の増大と消費電力の急増が見込まれる。このような課題に対して光エレクトロニクス技術を社会実装することで省電力化のみならず、高速な情報処理、機器の小型化も可能であることから、欧米各国を含めた開発競争が激しくなっている。

我が国は優れた光エレクトロニクスに関する研究開発力を有しており、これまでも世界で繰り広げられる開発をリードしてきた。2009年度から2013年度まで、内閣府・総合科学学術会議の下で日本学術振興会（JSPS）が進める「最先端研究開発支援プログラム（FIRSTプログラム）」においてフォトンクス・エレクトロニクス融合システム基盤技術開発（PECSST：Photonics-Electronics Convergent System Technology）事業が進められ、光源・受信器・導波路など光インターコネクタに必要な技術を1つのシリコンチップに集積し光集積回路として機能させるための研究開発が行われ、光集積回路として世界最高の情報伝送密度を実証すること（図I-1.1.2-3）に成功し、世界をリードするポジションを獲得している。また、2008年度から2017年度まで、文部科学省（JST）の「先端融合領域イノベーション創出拠点形成プログラム」において光ネットワーク超低エネルギー化技術拠点事業が進められ、シリコンフォトンクススイッチ等の基盤技術開発とネットワークシステムの構築により大容量データを超低消費電力で伝送できる光パスネットワークの原理を実証している。

この国際的優位性を活かし光電子融合技術を早期に確立し社会実装を進める本プロジェクトは、世界レベルでのデータセンタ等情報通信・処理に必要な電力削減およびCO₂排出量削減に寄与すると期待される。国立研究開発法人新エネルギー・産業技術総合開発機構（以下、NEDOと略記する）が本プロジェクトに関与することにより、開発リスクを軽減し、企業・大学・研究機関の連携する体制を確立し、政策に沿った社会実装を可能とする。

2. NEDOの関与の必要性・制度への適合性

2. 1 NEDOが関与することの意義

2. 1. 1 政策への適合性

さまざまな情報サービスがネットワークを通じて提供されるクラウドコンピューティングをはじめ、I o TやA Iの活用が急速に進んでおり、データセンタ等における情報処理量や情報通信トラフィックが急激に増大している。それに伴い情報通信機器による電力消費量も急増し、2025年には現在の国内電力消費量全体の6分の1に膨らむと予測されている。このため、情報通信機器・装置を低消費電力化しつつ、高速化し、小型化する技術の開発は喫緊の課題となっている。

光エレクトロニクス技術は、上記問題への対応が期待できる技術として半導体分野の主要なグローバル企業が開発競争を繰り広げている技術であり、我が国としてもその開発を戦略的に推進していくことは重要である。

このような状況の下、我が国の政府も光エレクトロニクス技術分野を重視した研究開発政策を進めている。これまでに政府は、「科学技術創造立国」を国家戦略として打ち立て、科学技術基本法の下で「科学技術基本計画」に基づいて、創造性豊かな人材や、有限な資源を活用しつつ最大限の成果を生み出す仕組みを創り出すことを目指し、総合的な施策を強力に推進してきた。「第5期科学技術基本計画」（2016年1月閣議決定）では、科学技術イノベーション政策を経済、社会および公共のための主要な政策と位置づけ、政府の関与する研究開発投資を拡充することを定めている。また、未来の産業創造と社会変革に向けた新たな価値創出の取組として「世界に先駆けた“超スマート社会”の実現（Society 5.0）」を掲げており、大規模データの高速・リアルタイム処理を低消費電力で実現するための「デバイス技術」や「ネットワーク技術」の開発を通して、I o Tを有効活用した共通のプラットフォーム構築に必要なシステムの大規模化や複雑化に対応するための情報通信基盤技術の開発強化を図ることを推進している。その後、「第6期科学技術基本計画」（2021年3月閣議決定）では、第5期科学技術基本計画で掲げた「サイバー空間とフィジカル空間を高度に融合させたシステムにより、経済発展と社会的課題の解決を両立する社会」であるSociety 5.0を現実のものとする、と述べられている。第5期科学技術基本計画を推進する科学技術イノベーション総合戦略2017では、未来の産業創造と社会変革に向けた新たな価値創出のコアとなる基盤技術として「光・量子技術」を重点取組の一つとして挙げている。さらに、統合イノベーション戦略2018および2019でも、高速・低消費エネルギー・低コストな光通信を実現する上で不可欠な光デバイス技術は、我が国が強みを有する分野であり、イノベーションエコシステムの形成とともに更に国際競争力を維持・向上する必要性について触れている。これに加えて、統合イノベーション戦略2020では、情報通信機器における消費エネルギーを抑制するため、電気配線及び電気スイッチをエネルギー消費の少ない光配線及び光スイッチで置き換えるための光エレクトロニクス技術の開発を我が国でも推進していると述べている。また、2018年に策定された未来投資戦略においては、第4次産業革命を支えるデータ駆動型社会の共通インフラ整備の一環として、我が国の強みである現場データをリアルタイムに処理するA Iチップ等のエッジ処理技術、（量子などの）次世代コンピューティング技術、大容量・高速通信を支える5G技術等といった、基盤システム・技術への投資促進も掲げている。これに加え、2019年に策定された「世界最先端デジタル国家創造宣言官民データ活用推進基本計画」においても、I Tを活用した社会システムの抜本改革には、機械判読に適した形式で入手した大量データの高速処理を可能とするデジタル環境が不可欠であり、クラウド・エッジ領域におけるコンピューティング能力向上や大容量・超高速データ送受信のできる5G等の基盤技術開発の必要性が述べられている。また、2021年に策定された同計画では、情報通信の有効活用によるデジタル社会の進展には、高速処理が可能なデジタル技術環境が必要であり、高度な技術、A I／ビッグデータ等の高度な情報処理を実現するコンピューティング技術などが想定される、と述べられている。

一方、我が国のエネルギー政策については、2003年10月に最初のエネルギー基本計画が策定され、2007年3月に第二次計画、2010年6月に第三次計画が策定された。しかし、その後の東日本大震災および東京電力福島第一原子力発電所事故による情勢の変化を受け、新たなエネルギー政策として2014年4月に第四次計画の策定が行われ、エネルギー政策として3E（エネルギーの安定供給、経済性の向上、環境適合）に加え、S（安全性）が新たな視点として追加されている。経済産業省は、2006年5月に我が国のエネルギー戦略として「新・国家エネルギー戦略」を取りまとめ、

2030年までに少なくとも30%のエネルギー消費効率改善を目指すことを述べ、2030年に向けて実現が期待される省エネルギー技術の開発の方向性等を示した。これに基づき、2007年に「省エネルギー技術戦略2007」が経済産業省で策定され、その後2011年の全面的見直しを経て、2016年9月に「省エネルギー技術戦略2016」が策定された。この中で、家庭・業務部門の省エネルギーに係る技術として、データセンタをはじめとするネットワーク全体の消費電力低減が極めて重要であり、情報量が増加の一途をたどっている中、ルータ、サーバ等のIT機器を省電力化、小型化、低コスト化するための光信号と電気信号を変換する小型チップ、電子回路と光回路を組み合わせた光電子ハイブリッド回路配線技術が重要であることを述べている。その後、2018年7月に第五次計画が策定され、2030年までに26%、2050年までに80%の温室効果ガス削減（2013年度比）に向けた徹底した省エネルギー社会の実現のために、官民を挙げて、継続的な技術革新と人材の育成・確保に挑戦していく必要性が述べられている。その後、2021年10月に第六次計画が策定され、デジタル化の進展によるデジタル機器・デジタルインフラの急激なエネルギー消費量の増加を抑えるため、電力消費の大幅な削減が期待される光電融合技術などの革新的省エネルギー技術の開発が進んでおり、こうした新たな技術の活用を拡大することで、データセンタやサーバ、各種ITインフラ、通信機器、半導体等の消費エネルギーの抑制、高性能化と進めていくことが必要であると述べられている。

2012年に経済産業省において「未来開拓研究プロジェクト実施要綱」並びに「未来開拓研究プロジェクトの実施に関する基本方針」が策定された。このプロジェクトは、従来技術の延長線上にない、開発リスクの高い革新的技術に関する中長期的な研究開発制度であり、我が国が直面する環境・エネルギー問題等の構造的課題の克服と、我が国の将来の成長の糧となるイノベーションを創出することを目的として立ち上がっている。2012年度は3つの研究開発テーマについてプロジェクトが開始され、その一つとして2012年度から2021年度の10年間を実施予定期間とする「超低消費電力型光エレクトロニクス実装システム技術開発」が含まれている。NEDOが実施する本事業は、未来開拓研究プロジェクトとして2012年度に経済産業省で開始されたものを承継し、2013年度から2019年度までNEDOで実施しているものである。本事業は開始されて8年が経過しようとしているが、前述のように、現行の科学技術政策、産業技術政策およびエネルギー政策においてもなお重要な技術開発であると位置付けられている。

以上のように、本事業が目指す、情報処理機器・装置の低消費電力化、高速化、小型化を可能とする技術の開発は、国の産業政策、科学技術政策とも合致するものである。

2. 1. 2 NEDO 中長期計画における位置づけ

NEDOの第3期中長期計画においては、電子・情報通信分野の計画として、我が国経済・社会の基盤としての電子・情報通信産業の発展を促進するため、電子デバイス、家電、ネットワーク／コンピューティングに関する課題に重点的に取り組むことが述べられている。ネットワーク／コンピューティング技術の開発としては、情報トラフィック量の爆発的増加が見込まれていることから、高速化、低消費電力化等のニーズに対応した光電子融合技術等を中心とした技術開発を行うとともに、それらを組み合わせたシステム開発等を推進することとしている。研究開発成果の最大化に向けて2018年度に掲げられた第4期中長期計画においても、産業技術分野の計画として、Society 5.0を世界に先駆けて実現するために、様々なものをつなげる新たな産業システム（Connected Industries）への変革を推進すべく、ネットワーク／コンピューティングに関する課題に対応するためのIoT・電子・情報技術開発を行うこととしており、その一環として、光エレクトロニクスを用いた光電子変換チップ内蔵基板技術に関する技術開発に取り組むこととしている。NEDOでは本事業で実施する光技術と電子技術を融合した光電子ハイブリッド技術をネットワーク／コンピューティング分野における技術開発課題として位置づけ、アクセス系ネットワークの高速化に対応した光電子モジュール技術、ハイエンドサーバにおける省電力化、高速化に係る技術の開発に取り組んでいる。

2. 1. 3 NEDO が関与する必要性・意義

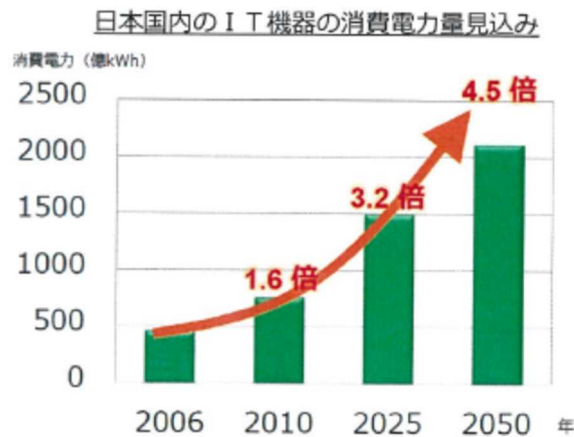
本事業は、（1）開発目的の公益性と成果としてのCO₂削減効果の大きさ、（2）我が国の国際的産業競争力の確保、および（3）開発活動のリスクの大きさのという3つの視点から、NEDOが関与する必要性・意義がある。以下にその3点について詳細を説明する。

(1) 公益性とCO₂削減効果

社会のIT化の進行に伴い、我々の活動のあらゆる場面で情報通信機器が活用され、情報が創出されるようになってきている。また、創出された情報は、インターネット網の普及・発展により、データセンタを介して共有されるようになり、データセンタにおける情報処理量や通信トラフィックが急増し、今後もその増大は止まらなると予想されている。このため、我が国における情報通信機器による電力消費量は増加し続け、現状技術のままでは2025年には2010年の2倍に膨らむと見込まれており、情報通信機器の電力削減は喫緊の課題となっている(図I-2.1.3-1)。

また、温室効果ガス削減問題等の環境・エネルギー問題、あるいは東日本大震災後の状況変化を踏まえたエネルギー需給安定化への取り組み等の観点からも、電力消費量の削減が強く求められている。本事業は、情報通信機器内の電気配線を光配線に換えることにより、低消費電力でありつつ、高速で、小型化が可能となるような付加価値の高い情報処理システムを社会に提供することを目指しており、社会的ニーズに対応したものである。

本事業の成果が社会実装された場合、2030年時点のCO₂年間排出量は1500万トン削減されるものと試算され、これはCOP21パリ会議(2015年開催)で日本に求められるCO₂削減にも寄与するものである。



出典: 経済産業省 平成24年度 我が国情報経済社会における基盤整備
(IT機器のエネルギー消費量に係る調査事業 報告書)

図I-2.1.3-1 国内IT機器による国内電力消費量の推計

(2) 国際競争力確保

本事業で研究開発を行うチップ間光インターコネクタ技術等は、半導体分野の主要なグローバル企業(IBM、Intel等)が次世代のデータセンタなどの低消費電力化・高性能化技術として有力視してのものであり、世界各国・地域で技術開発および社会実装を目指す大型投資が行われている(図I-2.1.3-2)。

米国では、光リンクの高速化IC技術を開発するEPIC(Electronics and Photonic Integrated Circuits)、チップ間の光接続技術等を開発するC2OI(Chip to Chip Optical Interconnect)、コア間の光配線、チップ内の光配線に関する研究開発を行うUNIC(Ultra Performance Nanophotonic Intra Chip Communications Program)や通信を含む様々な用途に適用できる光電子マイクロシステムをチップスケールで実現するための研究開発を行うE-PHI(Electronic-Photonic Heterogeneous Integration)等の光電子融合に関する技術開発がDARPA(国防高等研究計画局: Defense Advanced Research Projects Agency)の資金で実施されてきた。2015年7月に発表されたNNMI(米国製造イノベーションネットワーク)に基づきAIMフォトンクス(American Institute for Manufacturing Photonics)が設立され、これまで分散していた米国セクタを統一し、革新的光学デバイスの製造分野でのグローバルリーダーになることを目指している。連邦政府、州政府、民間から計6億ドルの拠出が計画されており、企業、大学・研究所、政府機関が参加して組織を構成している。これに加え、DARPAは2018年12月にPIPES(the Photonics in the Package

for Extreme Scalability) を新たに立ち上げた。L S I チップ等へのソケットの電力供給能力は 2 0 T b p s 程度であるという課題認識の元、インターポーザ型電子／光変換デバイスを開発し、1 0 0 T b p s - 1 P b p s の伝送容量を達成する目標計画である。このプログラムでは、3. 5 年間で約 6 5 0 0 万ドルの拠出を予定している。

更に、米国エネルギー省 (Department of Energy) では情報通信量の増大に伴って消費電力量が急激に増加すると予測されることに対し、データセンターのエネルギー効率を 2 倍にすることを目標として E N L I T E N E D (Energy-efficient-light-wave integrated technology enabling networks that enhance datacenters) プログラムを立上げた。光インターコネク技術、関連するスイッチ・ネットワーク技術を利用していくことを計画しており、2 0 1 6 年 6 月に公募開始、2 0 1 7 年 1 月に参加する大学および企業の採択を決定した。このプログラムでは当初 2 年間で約 2 5 百万ドルの拠出を決定している。

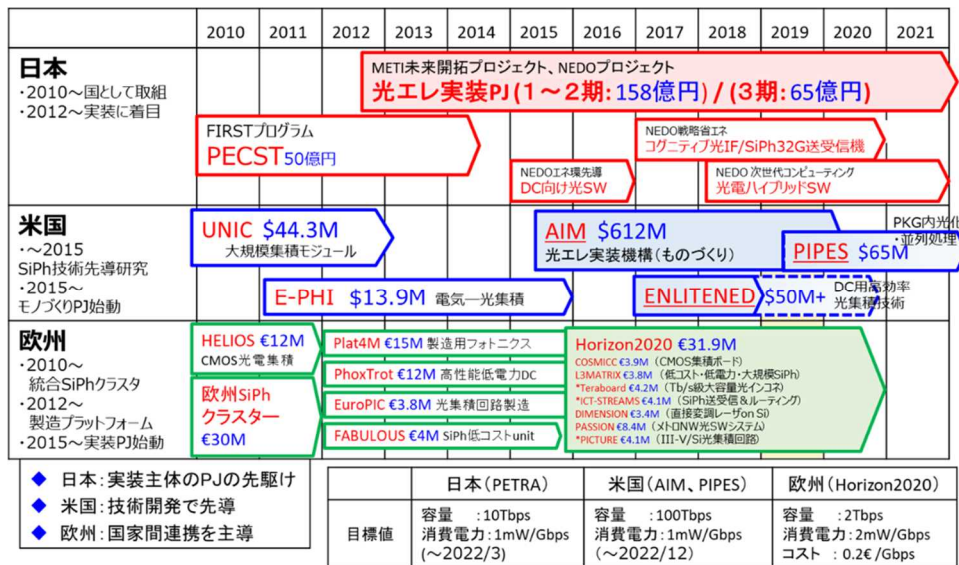


図 I-2. 1. 3-2 光エレクトロニクス研究領域の各国・地域の取組状況

また、欧州でも光電子集積、光インターコネクに関するプロジェクトが実施されている。具体的には、欧州研究開発フレームワーク (FP、Framework Programme) の第7次計画 (FP7、The Seventh Framework Programme) にてCMOS上にフォトニクス・エレクトロニクス機能を集積するための技術を開発するHELIOS (pHotonics ELectronics functional Integration on CMOS)、電子・光回路の協調設計、集積化等に取り組み、共通のデザインフローを提供することを目的としたPlat4M (Photonic Libraries And Technology for Manufacturing)、低コストシリコンフォトニクス部品を設計開発するFABULOUS (FDMA Access By Using Low-cost Optical Network Units in Silicon Photonics)、ナノインプリントにより多層の光回路を作製する技術等を開発するFIREFLY (Multilayer Photonic Circuits made by Nano-Imprinting of Waveguides and Photonic Crystals)、チップ間インターコネクシオンのためのプラズモン光部品技術等を開発するNAVOLCHI (Nano Scale Disruptive Silicon-Plasmonic Platform for Chip-to-Chip Interconnection)、高性能コンピューターシステム向けの光インターコネク技術を開発するPhoxTrot (Photonics for High-Performance, Low-Cost and Low-Energy Data Centers, High Performance Computing Systems: Terabit/s Optical Interconnect Technologies for On-Board, Board-to-Board, Rack-to-Rack data links) 等が挙げられる。このような流れを受け、2014年から2020年までの期間で実施されているHORIZON2020の中でもICTにかかわるリーダーシップを目指す計画のもとでシリコンフォトニクスの研究開発が進められている。シミュレーションから社会実装に至るまでプロジェクトが詳細に設定されており、具体的には、COSMICC (CMOS集積ボード)、L3MATRIX (低コスト・低電力・大規模Siフォトニクス)、Teraboard (Tb/s級大容量光インターコネク)、ICT-STREAMS (Siフォトニクス送受信&ルーティング)、DIMENSION (直接変調レーザ on Si)、PASSION (メトロネットワーク光スイッチシステム)、P

ICTURE (III-V/Si 光集積回路) 等が挙げられる。これらのプログラムを総額すると 3190 百万ユーロ程度の拠出の予定となる。

また、シリコンフォトニクスファンドライサービスを提供する産学官連携活動が米国、欧州で各々展開されている。その例として、米国デラウェア大学を中心とする OpSIS (Optoelectronics Systems Integration in Silicon)、欧州では IMEC と CEA-Leti による ePIXfab、アイントホーヘン工科大学での EuroPIC (European manufacturing platform for Photonic Integrated Circuits) を挙げることができる。

I.1.3 の事業の位置付けで既に述べたように我が国では、2009 年度から 2013 年度まで、JSPS が進める「FIRST プログラム」においてフォトニクス・エレクトロニクス融合システム基盤技術開発 (PECS T) 事業が進められ、光源・受信器・導波路など光インターコネクにに必要な技術を 1 つのシリコンチップに集積し光集積回路として機能させるための研究開発を行い、光集積回路として世界最高の情報伝送密度を実証することに成功している。PECS T 事業の成果により、我が国における光半導体の技術開発では世界をリードするポジションにあることが実証されており、我が国の光半導体分野の技術競争力は世界的に繰り上げられている光電子融合技術の開発競争において、世界をリードできるポテンシャルを有しているものと考えられる。その一方で、クラウドコンピューティング分野およびそれを支えるサーバやルータ等の分野では、米国・中国企業で市場シェアの過半を占め、日本企業のシェアは 10% 以下にとどまっていることも事実である (図 I-2.1.3-3)。

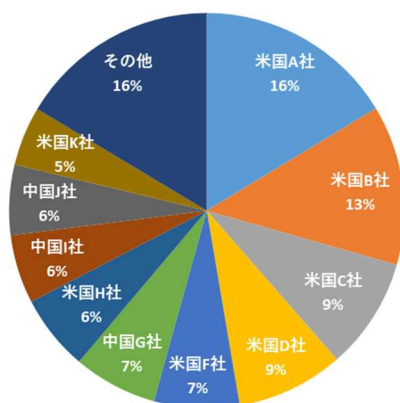


図 I-2.1.3-3 ベンダー別世界サーバ出荷台数シェア (富士キメラ総研、2018 年実績値)

I o T 社会の到来、A I 技術の社会実装の進行に合わせて従来の電氣的な情報通信の限界を克服する必要性が高まり、中長距離の情報通信のみではなく情報処理デバイス・システムの心臓部にまで光技術を導入するために、個別の企業ではなく国や地域全体が一体となって大きな技術革新の波を乗り越えようとしている。その中で我が国は光エレクトロニクス実装の分野で世界をリードできる研究開発のポテンシャルを有しており、政府、研究機関、企業が一体となってその力を引き上げることによって I o T や A I の進化とともにもたらされる超情報化社会で世界に先駆けてソリューションを提供することができ、この分野の市場において圧倒的な優位性を築いていけると期待される。

(3) 民間企業ではリスクのある研究開発内容

本事業で求められる技術開発要素には、従来のエレクトロニクスと同程度に低い実装コストかつ信頼性の高い光電気変換素子や光配線との接続の実現、シリコン基板上およびプリント基板上に光導波路を形成する技術、光と電気が融合したシステムとしての安定性・信頼性の確保、大口径ウェーハ上に作製された光電子集積インターポーザの信頼性評価という今までにない評価技術等が含まれる。いずれにおいても非連続イノベーションが必要であり、研究開発のリスクは高く、またその要素技術が広範囲に亘るため、多くの企業間や大学、国の研究機関が連携し各要素技術を統合することが必要である。

この技術開発プロジェクトに NEDO が関与することにより研究開発リスクが軽減され、また企業・大学・国の研究機関が連携し一体となって技術開発に取り組む体制が実現でき、更に政策に沿った社

会実装も可能となる。

以上のように、本事業は我が国政府の政策に合致し、産業政策・情報政策の面からも極めて重要な課題であることから、国家プロジェクトとしてNEDOが関与すべきものであるといえる。

2. 2 実施の効果（費用対効果）

2. 2. 1 市場規模

世界的な情報通信量は今後も急激な指数関数的増大を続けていくと予想され、現在でも年間数百エクサバイトに至っており、今後数年のうちにゼタバイトのオーダーに達するものと推定されている（図 I-1. 1. 1-1）。これに対応して情報通信をつかさどる情報機器のうちサーバの世界出荷数量は年間約1500万台（富士キメラ総研、2018年実績値）であり、今後、一定の割合で増加するものと推定されている（図 I-2. 2. 1-1、富士キメラ総研、2019年度調査結果）。サーバを設置し運用するデータセンタシステムも現在約24兆円（Gartner社、2022年推定値）の市場がある。これに加えて、データセンタ向けのビッグデータを中心とするAI解析を行うアクセラレーターボードの市場が立ち上がっている（図 I-2. 2. 1-2、富士キメラ総研、2018年実績値）。アクセラレーターボードは、高速並列処理を行うために高性能なGPUやFPGAが搭載されている製品であり、サーバボードに複数個搭載され、AIサーバとして機能している。今後はこれらAI解析が非常に重要な役割を果たしていくこともあり、同製品市場の大幅な増加が期待されている。2025年には2019年比5倍超の780万台近くまで増加する見通しである（図 I-2. 2. 1-3、富士キメラ総研、2019年実績）。アクセラレーターボードでは、GPUやFPGAなどAIチップの性能の他、GPU同士やFPGA同士のインターフェースの高速化も差別化の重要なポイントとなっている。通常、これらボード上の電気伝送はPCI Expressを用いた伝送が行われているが、アクセラレーターボード間のGPUをつなぐために独自の高速インターフェースの導入が進められている。

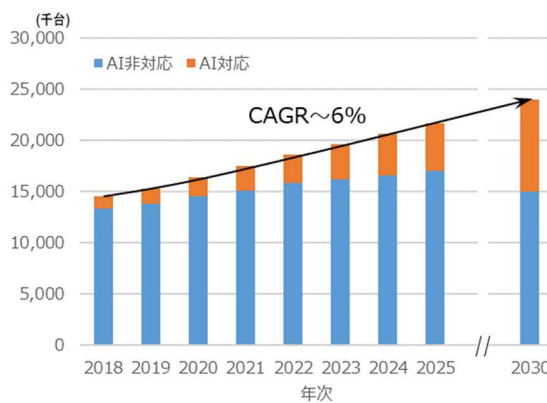


図 I-2. 2. 1-1 世界のサーバ出荷台数推移（富士キメラ総研、2019年度調査結果）

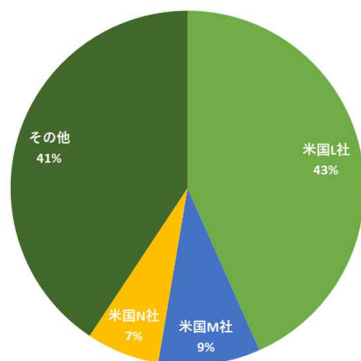


図 I-2. 2. 1-2 ベンダー別世界アクセラレーターボード出荷台数シェア（富士キメラ総研、2018年実績値）



図 I-2. 2. 1-3 世界のアクセラレーターボード出荷台数推移（富士キメラ総研、2019年度調査結果）

このような状況からデータセンタなどにおける情報通信機器 1 台当たりの情報処理の負荷も急激に増大することは明確で、現在の電気通信を主体としたシステム構成は近い将来限界を迎え、光通信技術を用いた情報通信および情報処理システムが不可欠になるものと推定される。

本プロジェクトで開発される技術の適用先として、AOC (Active Optical Cable) 市場、サーバ・HPC (High Performance Computing) 市場、高精細テレビ・自動車・ロボット等の電子機器市場、ルータ・トランシーバ等のネットワーク機器市場が想定され、2030 年には 1.2 兆円以上の売上げを期待している (図 I-2.2.1-4)。

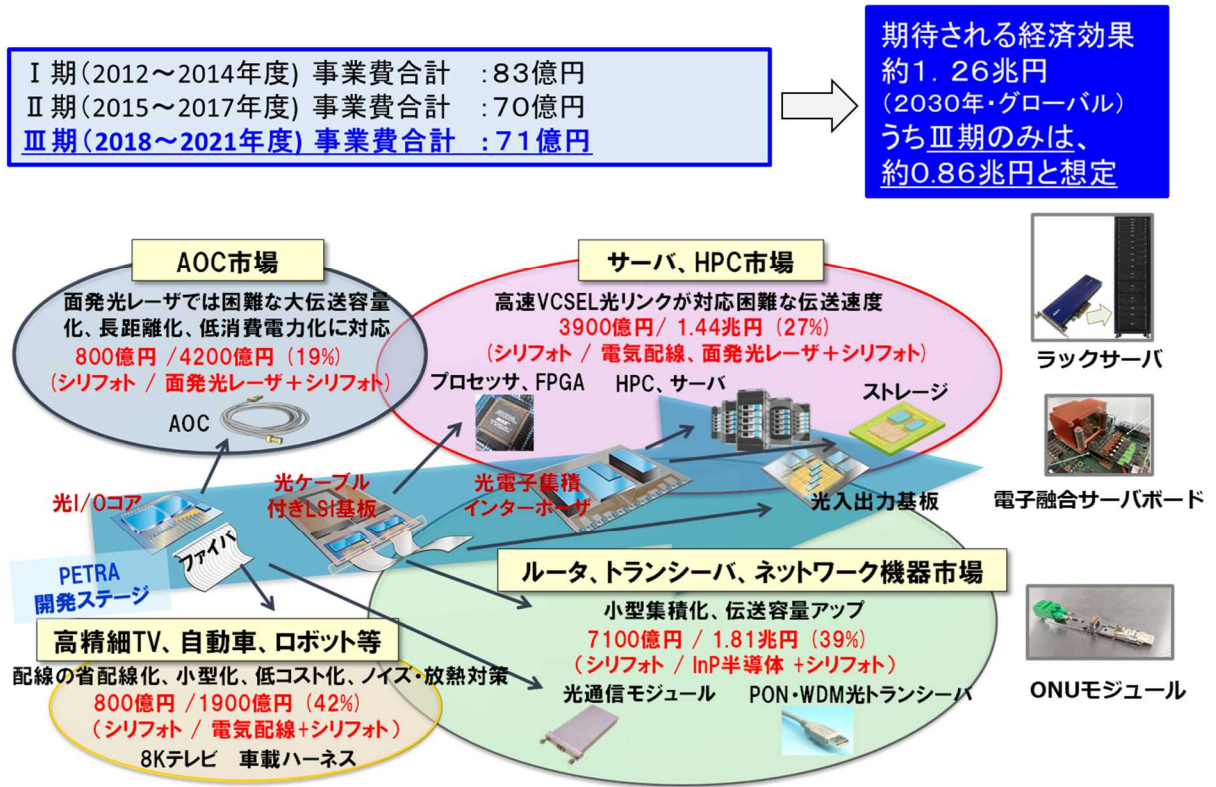


図 I-2.2.1-4 本プロジェクト成果の適用先と経済効果

2. 2. 2 省エネ効果および算出根拠

本プロジェクトで開発される成果が前記の 4 市場に適用されることを想定して省エネルギー効果を試算すると、2030 年には約 400 億 kWh/年の電力削減 (CO₂削減量に換算すると 1500 万トン/年) が期待される。なお、試算前提としてプロジェクト成果を適用した機器の普及率を 2030 年で 50%、サーバ/データセンタ、ネットワーク機器/ルータ、パーソナルコンピュータ/ディスプレイテレビにおける電力削減率をそれぞれ、31%、80%、35%、10%とし、その算出根拠は下記の通りとする。

○サーバ：約 3 割を削減

$1/4$ (サーバに占める I/O の部分の電力使用量) \times $9/10$ (電力削減目標) + $11/100$ (電源と冷却ファンの電力削減) = $33.5/100 \sim 31\%$

○ルータ：約 8 割を削減

$1/3$ (ルータに占めるスイッチ部分の電力消費割合) \times $2/3$ (本技術適用によるスイッチ部分の電力削減率) + $2/3$ (ルータに占めるインターフェース部分の電力消費割合) \times $5/6$ (本技術適用によるインターフェース部分の電力削減率) = $7/9 \sim 80\%$

○パーソナルコンピュータ (PC)：約 3 割 5 分を削減

$1/4$ (PC に占める I/O の部分の電力使用量) \times $9/10$ (電力削減目標) + $1/10$ (PC ディスプレ

イ部分の消費電力削減) + 1/20 (電源と冷却ファンの電力削減) = 37.5/100 ~ 35%

○テレビ (TV) : 約1割を削減

1/2 (TVの画像処理部分の電力消費割合) × 1/5 (画像処理部分の電力削減率) = 1/10 ~ 10%

○本技術の適用率を50%と仮定すると、2030年に約1500万トン/年の削減が期待される。

表 I-2.2.3-1 CO₂削減効果の算出根拠

計算項目	サーバ	ルータ	PC	TV	合計
対策前電力量(億kWh/年)※	484	748	84	206	1522
本技術の普及率	50%	50%	50%	50%	
本技術による削減率	31%	80%	35%	10%	
電力削減量(億kWh/年)	75	299	15	10	399
CO ₂ 削減量(万トン/年) 2030年排出係数 0.37kgCO ₂ /kWh	248	987	50	33	1476

※対策前の電力量は、2014年エネルギー環境総合戦略調査(経済産業省資源エネルギー庁委託調査)による

II. 研究開発マネジメントについて

1. 事業の目標

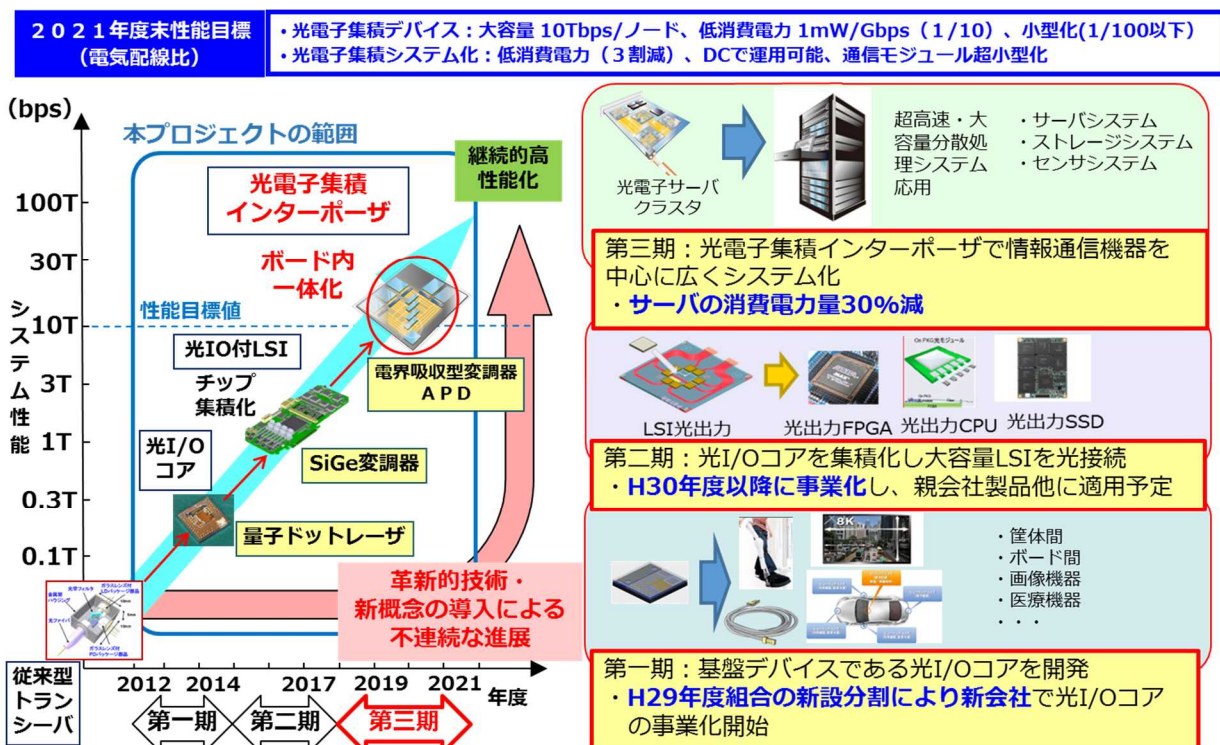
【全体目標】

本研究開発は、我が国の将来の成長の糧となるイノベーションを創出する未来開拓研究プロジェクトの一つとして実施され、情報化社会の進展に伴う国内のIT機器による電力消費量増大に対応するため、IT機器の省電力化と高速化の両立を目指し、電気信号と光信号を相互に変換する超小型光素子の革新技術を開発するとともに、電子機器の電気配線を光配線に置換する光配線技術と電子回路技術を融合させた光エレクトロニクス実装システム技術を実現する基盤技術を確立することを目指す。

未来開拓研究プロジェクトは2012年度から2021年度までの10年間で実施することを予定しており、研究開発は①光エレクトロニクス実装基盤技術と②光エレクトロニクス実装システム化技術の2項目に大きく分けて実施する。具体的には、光導波路、光変調器や受光器等と電気配線をシリコン上に高密度集積した光電子集積インターポーザ、ポリマー光配線と電気配線を形成した光電子ハイブリッド回路基板を実現するために必要な光および電子デバイス技術、その設計技術や目的性能を大きく高める革新的デバイスの開発を光エレクトロニクス実装基盤技術、光電子融合サーバ等、それぞれの目的に最適なアーキテクチャの明確化、関連する信号処理技術等の開発を光エレクトロニクス実装システム化技術で実施する。

これらの技術開発により、電気配線を用いたサーバボードに比べて消費電力を3割削減できかつデータセンターレベルでの運用が可能な光電子融合サーバを実現するための要素技術を確立することを目指す。電子機器のデータ伝送に関して、10Tbps/ノードの伝送帯域と電気配線を用いる場合に比較して1/10の低消費電力化を、また、通信速度あたりの面積比で1/100以下の小型化（100倍の帯域密度）を実現する。図II-1-1に事業の全体計画と性能目標を示す。

NEDOは未来開拓研究プロジェクトの実施期間の全10年間のうち7年間（2013年度～2019年度、2012年度は経済産業省執行）を執行し、未来開拓研究プロジェクトの最終目標である光電子融合サーバボードを実現するために必要となる構成要素技術を確立するとともに、事業化に必要な国際標準を獲得することを2021年度までに達成すべき目標として設定し、本プロジェクトの最終目標としている。



図II-1-1 事業の全体計画と性能目標

この目標に向けた取り組みとして、研究開発成果は、各実施者が自社に持ち帰り、実用化のための技術開発などを実施して事業化を進め、開発成果の新たな適用先の探索と顧客価値の評価に努めている。図 II-1-2 に事業全体の研究開発スケジュールを示す。最終目標に至るまでのマイルストーンを達成し、実用化の目処が見えた光デバイスは、プロジェクト終了を待たずに実用化・事業化の準備を進め、技術動向・市場動向を踏まえた上で、戦略的に事業化を開始している。具体的には、研究開発項目①光エレクトロニクス実装基盤技術にて確立した光電子集積サーバボード構成要素技術および研究開発項目②光エレクトロニクス実装システム化技術にて確立した光電子集積光通信システム技術を実用化の観点から絞り込み、2015年にデジタルコヒーレントトランシーバの事業化を開始し、2017年に「光 I/O コア」と呼ばれる光トランシーバチップの事業化を開始した。

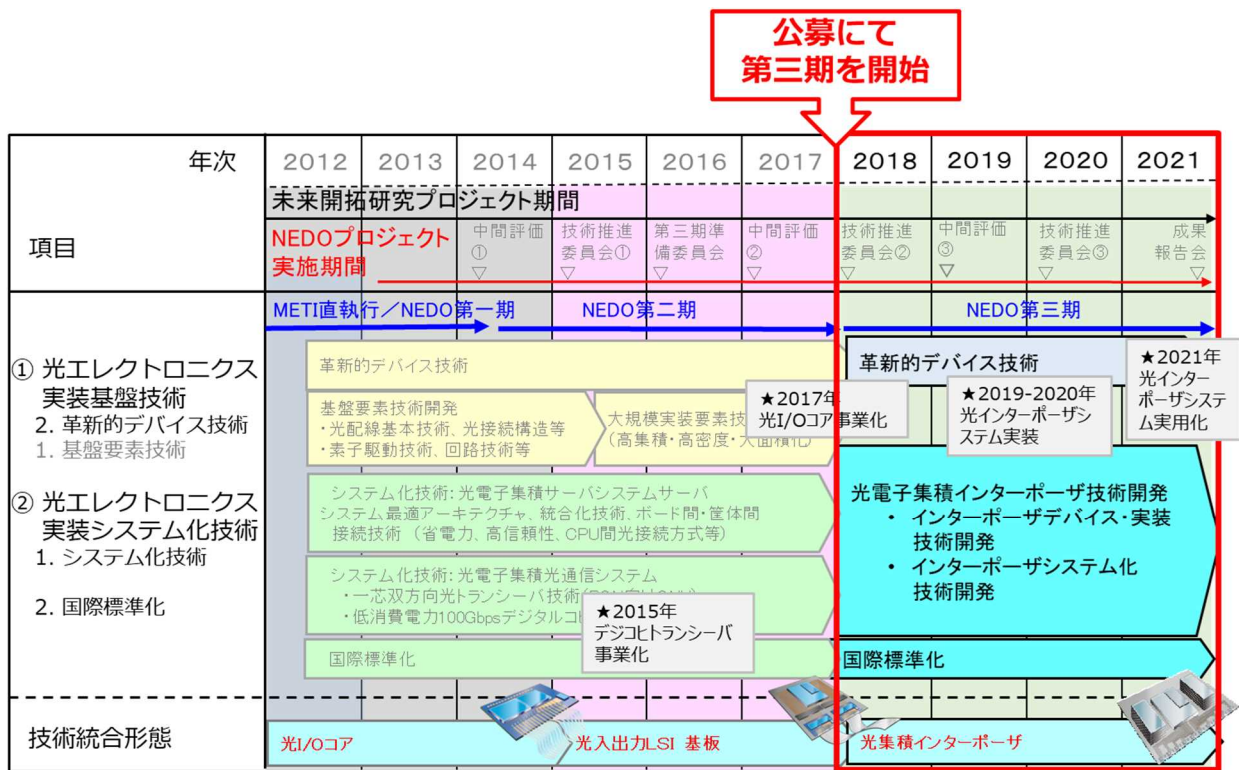


図 II-1-2 事業全体の研究開発スケジュール

2. 事業の計画内容

2. 1 研究開発の内容

上述した全体目標を達成するために、以下の研究開発項目および研究開発計画に基づき、研究開発を実施する。研究開発の実施にあたっては、研究開発テーマとして光集積回路を実現するための要素技術を開発する①光エレクトロニクス実装基盤技術の開発、とそれらを統合し、全体システムとして動作させるための技術を開発する②光エレクトロニクス実装システム化技術の開発に大別して実施することとした。本研究開発は、実用化まで長期間を要するハイリスクな基盤的技術に対して、産官学の複数事業者が互いのノウハウなど持ち寄り、協調して実施する事業であり、委託事業として実施する。

研究開発項目① 光エレクトロニクス実装基盤技術の開発

(i) 実装基盤技術

- (a) 光エレクトロニクス実装技術
- (b) 光エレクトロニクス集積デバイス技術
- (c) 光エレクトロニクスインターフェース技術
- (d) 光エレクトロニクス回路設計技術

(ii) 革新的デバイス技術

研究開発項目② 光エレクトロニクス実装システム化技術の開発

(i) システム化技術

- (a) サーバボードのシステム化技術開発
 - (b) ボード間接続機器、筐体間接続機器のシステム化技術開発
 - (c) データセンタ間接続機器のシステム化技術開発
 - (d) 企業間ネットワーク接続機器のシステム化技術開発
 - (e) 光電子集積インターポーザのデバイス・実装技術開発
 - (f) 光電子集積インターポーザのシステム化技術開発
- (ii) 国際標準化

II. 1の全体目標で既に述べたとおり、経済産業省は未来開拓研究プロジェクト「光エレクトロニクス」の事業期間として2012年度から2021年度(10年間)を予定し、2012年度から2017年度までの6年間の実施者を公募した。2013年度からはNEDOが、2017年度までの5年間の基本計画を策定し研究開発を実施した。2017年度に実施した中間評価において、プロジェクトの必要性、研究開発マネジメント、研究開発成果、実用化・事業化に向けた取組および見通しが評価※され、当初計画された計10年間の事業遂行が妥当と認められた。※事業の位置づけ・必要性(3.0)、研究開発マネジメント(2.9)、研究開発成果(3.0)、実用化・事業化(2.6)、()内は、評価点。満点は3.0点。

以上の経緯を踏まえ、2017年度まで計6年間の研究開発により確立した光電子集積サーバボード構成要素技術を光電子集積インターポーザのデバイス・実装/システム化に向けた技術開発へと集約し、2018年に公募を実施し、2013年度にNEDOが策定した基本計画の一部を見直して2018年度から2021年度まで4年間の研究開発を継続するに至った。以下では、それぞれの研究開発内容について説明する。

研究開発項目① 「光エレクトロニクス実装基盤技術の開発」

1. 研究開発項目の概要

電子機器に電気配線を用いる場合データ伝送量や速度、伝送距離の増加に伴い信号伝送の損失が大きくなるのに対して、光配線を用いる場合それらが増大しても損失は一定であり消費電力の増加は極めて小さいという特性がある。このメリットを生かして、光配線は高速インターネット網や携帯電話基地局で利用されているほか、近年はデータセンタ等の低消費電力化・高速化技術として光配線技術が有力視され、半導体分野の企業で研究開発が進められている。

本研究開発では、電子機器の電気配線を光配線に置換し電子回路技術を融合させる光エレクトロニクス実装システム技術の根幹となる光電子集積インターポーザ、光電子ハイブリッド回路基板等を実現するための構成要素技術の開発と、高速化、省電力化、小型化などの面で画期的な性能向上や中期的な技術基盤の変化をもたらす革新的デバイス技術の開発を行う。

2. 研究開発項目の具体的内容

(i) 実装基盤技術

(a) 光エレクトロニクス実装技術(2017年度まで)

電気配線と光配線が融合した光電子ハイブリッド回路基板の作製技術、高密度の光・電気のインターフェースを備えた光電子集積インターポーザを光電子ハイブリッド回路基板に実装するための実装技術とインターフェース技術および高信頼、低コスト化を実現する設計・方式・製造装置を開発する。また、光電子集積インターポーザとLSIを接続するインターフェース技術および光電子ハイブリッド回路基板間を接続する高集積コネクタ技術を開発する。さらに汎用電気インターフェースに対応した光素子駆動アナログ電子回路を開発し、ロジックLSIに搭載するためのアナログ電子回路技術の開発を行う。

(b) 光エレクトロニクス集積デバイス技術(2017年度まで)

光トランシーバや光電子集積インターポーザ等を実現する基盤技術として、光導波路、光源、光変調器、受光器、光入出力素子、合分波器などの超小型要素光素子を開発すると共に、これら高密度集積する技術を開発する。また、光信号の並列化、多重化、多値化についても検討を行い、インターポーザ上での大容量信号伝送技術を開発する。さらに、ロジック、メモリ等の電子回路

チップの搭載が可能で、光トランシーバを高密度に集積した、低消費電力で低コストな光電子集積インターポーザを形成する基盤技術の開発を行う。

(c) 光エレクトロニクスインターフェース技術（2016年度まで）

大規模データセンタ内の筐体間接続、データセンタ間接続に向けた、100Gbpsの伝送容量を持つデジタルコヒーレント送受信モジュール実現のための信号処理回路と光回路に関する基盤技術を開発する。

(d) 光エレクトロニクス回路設計技術（2017年度まで）

光回路技術と電子回路技術を融合した新しい光エレクトロニクス回路の設計技術に関し、光、電子、それぞれの回路の最適設計を効率的に行うための統合設計環境を実現する基盤技術を開発する。さらに、本統合設計環境を本事業内の研究チームで利用可能とするための支援体制、スキームを整備する。

(ii) 革新的デバイス技術

[革新的光源・光検出器技術]

光電子集積インターポーザの光源、受光器の高性能化に向け、シリコン基板上量子ドットレーザ技術とその集積化技術の開発を行うとともに、高感度受光器に関する技術開発を行う。

[革新的光変調器技術]

光電子集積インターポーザの光変調器の高性能化に向けた光制御技術として、新原理に基づく次世代光変調器を開発する。

[革新的光配線技術]

光電子集積インターポーザの光導波路の高機能化に向けた光配線基盤技術として、フォトニックナノ構造等を用いた光配線技術の開発を行う。

[革新的光エレクトロニクス回路技術]

光電子集積インターポーザの光回路を高機能化する機能可変型光エレクトロニクス回路の基盤技術として、サーバ回路の再構成を可能とする光フィールドプログラマブルゲートアレイ技術およびそのための要素デバイスの開発を行う。

[革新的光スイッチングデバイス技術]

大規模光電子集積インターポーザで実現されるサーバ回路におけるデータ通信の効率化に向け、CPU間等の効率的なデータ転送を可能とする光ルーティング技術実現のためのハイブリッド集積光スイッチングデバイス技術、超高速集積光信号処理デバイスの開発を行う。

3. 達成目標

光電子集積インターポーザ、光電子ハイブリッド回路基板およびそれぞれの要素技術を組み込んだデバイスの集積化技術を開発することにより、電気配線の1/10の低消費電力化・高速化（1mW/Gbps）を達成する目処を得るとともに、1/100以下の小型化実現のための要素技術を確立する。また、機器間光インターフェースにおいて、100Gbps/chの高速伝送および現状の光トランシーバモジュールの消費電力（300W程度）を1/5～1/10まで低減できる低消費電力化技術を実現する。

各開発項目は計10年間の開発期間を最大四期に分け、それぞれの期間で目標を定めて技術開発を行う。

(i) 実装基盤技術

(a) 光エレクトロニクス実装技術

多数の光デバイス・電子デバイスが搭載されたシリコンフォトニクスによる光電子インターポーザおよび光電子インターポーザを搭載した光電子ハイブリッド回路基板を実現するための基盤技術を開発する。

【中間目標】（2014年度末）

小型の高速・低消費電力光トランシーバと数十mm角のポリマー光配線を形成した光電子ハイブリッド回路基板を開発し、光入出力を持つLSIを実現するための基盤技術を確立する。

【最終目標】（2017年度末）

5cm×5cm程度の光電子ハイブリッド基板にLSIを搭載するモジュール化技術を確

立し、LSIモジュールでの高速光インターコネクトを実現する。

(b) 光エレクトロニクス集積デバイス技術

超高速のデータ伝送を行う光電子集積インターポーザを実現するため、シリコンフォトニクス技術を用いた光集積回路技術を開発するとともに、ロジックLSI、メモリLSI、光デバイス等を光電子集積インターポーザ上に高密度集積するための集積化技術を実現する。

【中間目標】(2014年度末)

光信号の並列化技術、多重化技術を開発し、大容量信号伝送を実現するための基盤要素技術を確立する。また、低コスト化のための光素子の集積化技術と導波路技術を確立する。

【最終目標】(2017年度末)

多数の光素子を集積した光電子集積インターポーザの大容量伝送を実現するための基盤集積技術を確立する。

(c) 光エレクトロニクスインターフェース技術

大規模データセンタ内の筐体間、データセンタ間の大容量通信を可能とする小型デジタルコヒーレント光トランシーバに必要な信号処理回路、光回路技術を平成28(2016)年度までに確立する。

【中間目標】(2014年度末)

100Gbps動作に対応するDSP-LSIと集積光送受信デバイスの試作を行い、基本性能評価と問題点の抽出を行う。

【最終目標】(2016年度末)

低消費電力DSP-LSI最終プロトタイプを実現するとともに、データセンタ間通信向け低消費電力100Gbpsデジタルコヒーレント光トランシーバを実証するための要素技術を確立する。

(d) 光エレクトロニクス回路設計技術

光回路技術と電子回路技術を融合した新しい光エレクトロニクス回路を効率的に設計するための光エレクトロニクス統合設計環境を実現し、プロジェクト内での活用を可能とするとともに、本プロジェクト成果事業化時に適用できる効率的な設計フロー構築のための基盤技術を確立する。

【中間目標】(2014年度末)

マルチフィジクス対応の光エレクトロニクス実装システム統合設計環境の基本構成を構築し、統合設計を行うための基本的なフローの実証を行う。また、光デバイス設計の基盤技術として、光変調器等の開発に適用可能な電子・光連携TCADの基本構造を確立する。

【最終目標】(2017年度末)

光デバイス設計用電子・光連携TCADと光電子集積インターポーザの設計を可能とする統合設計環境を連携させ、基本実装構造に関するデータベース(デザインキット)を整備し、光電子集積インターポーザを効率的に設計可能とする。

(ii) 革新的デバイス技術開発

光電子集積サーバの高性能化を可能とする光電子集積デバイスの非連続的な高速化・低消費電力化・小型化・低コスト化などの高性能化をもたらす挑戦性の高い技術の研究開発を、以下のように実施する。なお、当該技術開発に関しては、その開発の性質等を考慮し、技術開発の進捗度、本研究開発事業内での展開の可能性等の観点から、必要に応じて見直しを適宜実施するものとする。

[革新的光源・光検出器技術]

光電子集積インターポーザの光源、受光器の高性能化に向けてシリコン基板上量子ドットレーザ技術とその集積化技術の開発を行うと共に、高感度受光器に関する技術開発を行う。

【中間目標】(2014年度末)

温度安定シリコン上量子ドットレーザの基盤技術開発を進め、シリコン導波路結合型単チャンネル量子ドットレーザを実現する。また、超高感度受光器の基盤技術として受光器における暗電流抑制効果を実証する。

【中間目標】(2017年度末)

光電子集積サーバ用の集積化光源への展開に向け、量子ドットレーザアレイを実現するとともに

にシリコン系基板上に直接成長した量子ドットレーザを試作する。また、導波路型受光器における暗電流抑制技術を実現する。これらの検討を通じて、光電子集積サーバ技術への技術展開の見通しを示すとともに事業化に対する課題を明確化する。

【中間目標】（2019年度末）

光電子集積インターポーザ用集積化光源に向け、シリコン上量子ドットレーザの高温動作と高速変調動作を実現する。また、光電子集積インターポーザ用集積化受光器への展開に向け、シリコン基板上に集積した受光器の低暗電流動作を実証し、高速応答動作可能な構造を明確にする。

【最終目標】（2021年度末）

光電子集積インターポーザ用集積化光源に向け、 $1.4\mu\text{m}$ 以上の長波長帯のシリコン基板上量子ドットレーザの実現可能性を示す。また、光電子集積インターポーザ用集積化受光器に向け、高速応答可能で省電力化が可能な導波路型受光器を実証することにより、光電子集積インターポーザへの技術展開の見通しを示すと共に、事業化に対する課題を明確化する。

[革新的光変調器技術]

光電子集積インターポーザの光変調器の高性能化に向けた光制御技術として、新原理に基づく次世代超小型光変調器の開発を行う。

【中間目標】（2014年度末）

光電子集積サーバに使用する光電子集積インターポーザの光変調器の超小形化を可能とする新原理に基づく変調器として、 10Gbps 程度の高速動作を実現する。

【中間目標】（2017年度末）

超小型高速変調器としてLN変調器を凌駕する実用性能を得る。また、これらの検討を通じて、光電子集積サーバ技術への技術展開の見通しを示すとともに事業化に対する課題を明確化する。

【中間目標】（2019年度末）

光電子集積インターポーザ用の集積化光変調器への展開に向け、超小型化・高速動作を可能とするスローライト型変調器や低消費電力化が可能なハイブリッドMOS型光変調器等の動作を実証する。

【最終目標】（2021年度末）

光電子集積インターポーザ用の集積化光変調器への展開に向け、スローライト型変調器やハイブリッドMOS型変調器等に対し、多重化・多値変調等の伝送方式を実現する可能性を実証することにより、光電子集積インターポーザへの技術展開の見通しと事業化に対する課題を明確化する。

[革新的光配線技術]

光電子集積インターポーザの光導波路の高機能化に向けたナノスケール光配線基盤技術として、フォトニック結晶構造等を用いた信号伝搬制御等に関する高度な光配線技術の開発を行う。

【中間目標】（2014年度末）

光電子集積サーバの配線密度を飛躍的に高めることできる3次元光配線技術において、層間方向への伝搬機能が可能であることを実証する。

【中間目標】（2017年度末）

3次元光配線技術として垂直方向と水平方向の伝搬機能の統合を実現する。また、これらの検討を通じて、光電子集積サーバ技術への技術展開の見通しを示すとともに事業化に対する課題を明確化する。

【中間目標】（2019年度末）

光電子集積インターポーザへの展開に向け、フォトニックナノ構造等を用いた光損失補償機能や光バッファ機能など、革新的導波路技術の可能性を示す。

【最終目標】（2021年度末）

光電子集積インターポーザへの展開に向け、フォトニックナノ構造等による光損失補償機能や光バッファ機能を統合することなどにより高度な光配線技術を開発し、光電子集積サーバ技術の革新的展開へ寄与する。

[革新的光エレクトロニクス回路技術]

光電子集積インターポーザの光回路を高機能化する機能可変型光エレクトロニクス回路の基盤技術として、光回路の再構成を可能とする光フィールドプログラマブルゲートアレイ（以下光FPGA）技術およびそのための要素デバイスの開発を行う。

【中間目標】（2014年度末）

ハイブリッド回路基板上における半導体レーザの高効率化を行うとともに複数の光増幅器が並ぶアレイデバイスを実現する。

【中間目標】（2017年度末）

異なる機能の光回路を同一回路基板上に集積し、光FPGAコンセプトを実証する。また、これらの検討を通じて、光電子集積サーバ技術への技術展開の見通しを示すとともに事業化に対する課題を明確化する。

【中間目標】（2019年度末）

光電子集積インターポーザへの展開に向け、光FPGAを構成するハイブリッド光素子の集積プロセスシーケンスを確立し、光FPGAの原理実証を行う。

【最終目標】（2021年度末）

光電子集積インターポーザへの展開に向け、シリコンインターポーザ上で機能可変型光エレクトロニクス回路の基本機能を実証して光FPGA実現の見通しを明らかにすることにより、光電子集積サーバ技術の革新的展開へ寄与する。

[革新的光スイッチングデバイス技術]

大規模光電子集積インターポーザで実現されるサーバ回路におけるデータ通信の高効率化に向け、CPU間等の効率的なデータ転送を可能とする光ルーティング技術実現のためのハイブリッド集積光スイッチングデバイス技術、超高速集積光信号処理デバイスの開発を行う。

【中間目標】（2014年度末）

サーバ回路におけるデータ通信の高効率化を可能とする導波路クロスバー型をベースとした超小型光スイッチを試作し、スイッチング動作を実証するとともに、超高速光信号処理デバイス実現にむけた基本的な論理動作を実現する。

【最終目標】（2017年度末）

光スイッチマトリクス of 低電力化、光信号処理デバイスの10Gbps程度での動作を実証する。また、これらの検討を通じて、光電子集積サーバ技術への技術展開の見通しを示すとともに事業化に対する課題を明確化する。

研究開発項目② 「光エレクトロニクス実装システム化技術の開発」

1. 研究開発項目の概要

本プロジェクトで目指す小型、高速、低消費電力の光電子融合サーバを実現するには、それに適したシステムアーキテクチャを見出すとともに、運用信頼性のある実用性の高い技術の開発が必要である。光電子集積インターポーザは、これまでの研究開発の成果を集約しアウトプット目標を達成するために重要な素子であり、そのデバイス技術、実装技術およびシステム化技術を開発する必要がある。

本研究開発では、光配線導入による低消費電力化や高速化などのメリットを生かすサーバ等のシステムアーキテクチャの要件・課題を抽出し、研究開発項目①光エレクトロニクス実装基盤技術の開発の要素技術を用いてシステムを構築するための基盤技術を開発する。これにより、システムの実用性を検証するとともに、要素技術開発にフィードバックすることで、完成度の高い技術の効率的な開発を実現する。

2. 研究開発の具体的内容

(i) システム化技術

(a) サーバボードのシステム化技術開発（2017年度まで）

データセンタレベルでの運用が可能な、多種のLSIを高密度集積した光電子集積インターポーザを光電子ハイブリッド回路基板上に搭載した、小型・高速動作・低消費電力光電子融合サー

バボードを実現するための基盤技術を開発する。また、高速ストレージインターフェースに適応する光インターフェースと大容量高速NANDデバイスを搭載した光インターフェース付き大容量SSDを実現するための基盤技術を確立する。

(b) ボード間接続機器、筐体間接続機器のシステム化技術開発（2017年度まで）

光送受信システムを内蔵し、光ケーブルと電気コネクタを実装した光トランシーバを開発し、アクティブ光ケーブル（AOC）を実現する。さらに、光トランシーバを集積した光電子ハイブリッド回路基板上に、既存ロジックLSIを実装した光ケーブル付きLSIを開発する。

(c) データセンタ間接続機器のシステム化技術開発（2016年度まで）

低消費電力DSP-LSIと集積型送受信光デバイスをモジュール化したデータセンタ間接続用光トランシーバの実現を目的に、高周波実装回路技術と、変調器／ドライバ、受信フロントエンド等のデバイス制御技術を確立し、小型で低消費電力の100Gbpsデジタルコヒーレント光トランシーバを実現する。

(d) 企業間ネットワーク接続機器のシステム化技術開発（2017年度まで）

シリコンフォトリクス技術を用いたアクセスネットワーク用集積光エレクトロニクスチップを開発し、企業間ネットワーク接続機器に適用する一芯双方向波長多重トランシーバのシステム化技術を確立する。

(e) 光電子集積インターポーザのデバイス・実装技術開発

2017年度までに本プロジェクトで開発された光エレクトロニクス実装基盤技術およびシステム化技術あるいはそれらと同等の技術を基に、光電子集積インターポーザを実現するために必要なデバイスおよび実装技術を開発する。

具体的には光変調器、受光器、光入出力素子、合分波器などの光電子インターポーザの構成要素となる光素子を小型化、高速化および低消費電力化するための技術を開発すると共に、光信号の多重化および多値化を検討し、光電子集積インターポーザにおける大容量信号伝送技術を開発する。

また、光電子集積インターポーザの大容量化、高信頼、低コスト化を実現する実装技術として、異種導波路を接続する技術、光電子集積インターポーザとLSIを接続するインターフェース技術、および高集積コネクタ技術を開発する。

(f) 光電子集積インターポーザのシステム化技術開発

上記(e)で研究開発する光電子集積インターポーザを情報処理装置や情報通信機器およびそのシステムに適用するために必要となるシステム化技術の研究開発を行う。

(f-1) 情報処理システム化技術

実際のデータセンタで運用が可能でありかつ光電子集積インターポーザを用いた小型かつ高速動作が可能な低消費電力光電子融合サーバボードを実現するため、必要となるシステム化技術を開発する。

(f-2) 情報通信システム化技術

シリコンフォトリクスデバイス技術を応用展開した光電子集積インターポーザを用いて、小型一芯双方向波長多重トランシーバのシステム化技術を確立する。

(ii) 国際標準化

国際競争力を確保するために、諸外国での同種の研究開発プロジェクトの現状を分析するとともに、プロジェクトの進展状況を踏まえ、成果の優位性を保つために国際標準化を積極的に推進する。また、フォーラム標準化機関[OIF (Optical Internetworking Forum)、IEEE 802.3 (Next gen 100G Optical Ethernet Study Group)、COBO (Consortium for On-Board Optics)]、並びにデジュール標準化機関[IEC (International Electrotechnical Commission)]等の標準化動向を踏まえ、研究開発成果が迅速かつ広く世界の市場で受け入れられるようにする

ために、光電子集積インターポーザに関わる国際標準化を積極的に推進する。

3. 達成目標

電気配線を用いたサーバボード比で消費電力が3割削減でき、データセンタレベルの運用が可能な、多種のLSIを高集積化した小型・高速動作・低消費電力な光電子融合サーバボード等を実現するため基盤技術を開発し、光電子融合サーバボード実現のための目処を得ることを目標とする。

具体的には、光電子集積インターポーザを実現するために必要なデバイス技術および実装技術を開発し、10Tbps/ノードの高速・高密度化と、電気配線を使用した場合の1/10に相当する1mW/Gbpsの低消費電力を実現するための要素技術を確立する。

加えて、順次実用化する開発成果の事業化に必要な国際標準の提案と採択推進活動を行う。

各開発項目は計10年間の開発期間を最大四期に分け、それぞれの期間で目標を定めて技術開発を行う。

(i) システム化技術

(a) サーバボードのシステム化技術開発

電気配線を用いたサーバボード比で消費電力が3割削減でき、データセンタレベルでの運用が可能な光電子集積サーバボード実現のための基盤技術を開発する。多種のLSIが高密度集積した光電子集積インターポーザを光電子ハイブリッド回路基板上に搭載した小型・高速動作・低消費電力光電子集積サーバボードを実現するための課題抽出を行い、課題解決の目処を得る。また、高速ストレージインターフェースに適応する光インターフェースと大容量高速NANDデバイスを搭載した光インターフェース付き大容量SSDを実現するための基盤技術を確立する。

【中間目標】(2014年度末)

光電子集積技術を最大限に活かすために光インターコネクションに要求される伝送スペック(変調速度、多重度、チャンネル数など)および光電子インターポーザの回路冷却に関する基本要件を明らかにする。また、光電子集積インターポーザと積層型ストレージチップ実装基板からなるハイブリッド型の光インターフェース付きSSDを試作し、標準ストレージインターフェースによる光接続動作を検証する。

【最終目標】(2017年度末)

光電子集積サーバボードにおける伝送機能の主要部分からなる送受信部を試作し、要求スペックを満たす光伝送を実証する。また、光電子集積インターポーザに積層型のストレージチップを実装した光インターフェース付SSD技術を確立する。

(b) ボード間接続機器、筐体間接続機器のシステム化技術開発

光ケーブルと電気コネクタを実装した光トランシーバによるアクティブ光ケーブルの実現と、光トランシーバとロジックLSIを実装した光ケーブル付きLSIの実現に向け、次の開発を行う。

【中間目標】(2014年度末)

小型光トランシーバを搭載したアクティブ光ケーブル(AOC)を完成させ、筐体間接続における実用性を実証する。また、標準化動向を考慮しながら、光トランシーバとロジックLSI間の電気伝送に関するインターフェース仕様を決定する。

【最終目標】(2017年度末)

LSIと光トランシーバの接続構造を決定する。また、策定した設計基準に基づき既存ロジックLSIを搭載できる基板を設計・試作し、光ケーブルを用いたLSI搭載基板間光接続を実現する。

(c) データセンタ間接続機器のシステム化技術開発

低消費電力DSP-LSIと小形集積型送受信光デバイスをモジュール化したデータセンタ間接続用トランシーバの実現に向け、次の検討を行う。

【中間目標】(2014年度末)

一次試作の光デバイスおよびDSP-LSIを用いたトランシーバを試作し、デバイス制御動作を検証するとともに改良・完成度向上に向けた指針・フィードバック事項を抽出する。

【最終目標】（2016年度末）

抽出した技術課題を解決し、目標である小型、低消費電力を満たす100Gbpsデジタルコヒーレント光トランシーバを実現する。

(d) 企業間ネットワーク接続機器のシステム化技術開発

シリコンフォトリソグラフィ技術を用いた集積光エレクトロニクスチップを開発し、企業間ネットワーク接続機器に適用する一芯双方向波長多重トランシーバを実現するための基盤システム化技術を確立する。

【中間目標】（2014年度末）

シリコン光導波路による波長合分波器を用いて1.25Gbpsの一芯双方向光トランシーバを実証する。

【最終目標】（2017年度末）

シリコン光導波路による双方向多重用合分波器と波長多重用合分波器を組み合わせ集積試作し、一芯双方向波長多重動作をシリコンワンプラットフォーム上で実証するとともに、企業間ネットワーク向け波長多重合分波器実用化のための要求課題を抽出し、解決の目処を得る。

(e) 光電子集積インターポーザのデバイス・実装技術開発

光電子集積インターポーザを実現するために必要なデバイス技術および実装技術を開発し、10Tbps/ノードの高速・高密度化を実現するための要素技術を確立する。

具体的には、光変調器、受光器、光入出力素子、合分波器など光電子集積インターポーザの構成要素となる光素子の小型、高速、低消費電力化技術を開発する。また、シングルモードファイバとの接続に適した異種導波路接続構造並びに導波路・光ファイバ間の接続構造を開発する。更に、光電子集積インターポーザにおける大容量信号伝送技術として光信号の多重化、多値化技術を開発する。

【中間目標】（2019年度末）

光配線の消費電力を2mW/Gbps以下にするための要素技術を開発する。また、光電子集積インターポーザの異種導波路接続技術と高集積コネクタを開発し、損失の少ないシングルモードファイバとの光リンクを実現する。

【最終目標】（2021年度末）

光配線の消費電力を1mW/Gbps以下とするための要素技術と、電気配線と比較し通信速度あたりの面積で1/100すなわち100倍の帯域密度を実現するための要素技術、およびシリコンフォトリソグラフィ技術による波長多重シングルモード光回路を開発することにより、10Tbps/ノードの帯域幅を持つ光電子集積インターポーザ技術を実現する。

(f) 光電子集積インターポーザのシステム化技術開発

(f-1) 情報処理システム化技術

上記(e)で開発する高速・小型・省電力光電子集積インターポーザを用いたサーバボードを実現するための要素技術を開発し、データセンターで運用できかつ電気配線を用いた場合に比べて消費電力を3割削減できることを示す。

【中間目標】（2019年度末）

波長多重技術を用いた接続技術を開発し、消費電力の少ない光電子集積インターポーザ技術と合わせることでサーバ電力消費量を30%削減可能であることをシミュレーションにより示す。

【最終目標】（2021年度末）

消費電力の少ない光電子集積インターポーザ技術と波長多重技術を用いた接続技術を組合せた光電子融合サーバボードを試作し、試作機とシミュレーションを用いてサーバ電力消費量を30%削減可能であることを示す。

(f-2) 情報通信システム化技術

上記(e)で開発する高速・小型・省電力光電子集積インターポーザを用いることにより、一芯双方向波長多重トランシーバを搭載した光アクセスネットワーク端末装置を小型化するための要素技術を開発し、光加入者端末装置を10cm×2cm×2cm以下のサイズに小型化する目処

をつけることを目標とする。

【中間目標】（2019年度末）

一芯双方向波長多重トランシーバに消費電力の少ない光電子集積インターポーザを実装し、動作検証を行う。

【最終目標】（2021年度末）

光電子集積インターポーザを用いた一芯双方向波長多重トランシーバを搭載することにより、光加入者端末装置を10cm×2cm×2cm以下のサイズに小型化するための実装技術を開発する。

(ii) 国際標準化

本プロジェクトでの開発成果の事業化に必要な各種インターフェースの標準化を獲得するため、次のような標準化活動を実施する。

【中間目標】（2014年度末）

光インターコネクトに関する標準化団体（OIF (Optical Internetworking Forum)、IEEE 802.3 (Next gen 100G Optical Ethernet Study Group)) に参画し、「キーメンバーコミュニティ」におけるプレゼンスを確立する。また、100Gbps デジタルコヒーレント光トランシーバに関する標準化を推進する。

【中間目標】（2017年度末）

本プロジェクトの成果である光実装部品における各種インターフェース等の標準化提案活動を行い、実用化する開発成果の事業化に必要な標準の提案を行う。

【中間目標】（2019年度末）

光電子集積インターポーザの物理仕様（サイズ、入出力構成等）、電気・光インターフェースに関する各種標準化団体に参画し、実用化する開発成果の事業化に必要な標準の提案を行う。

【最終目標】（2021年度末）

光電子集積インターポーザの物理仕様（サイズ、入出力構成等）、電気・光インターフェースに関し、提案した標準化案の採択推進活動を行う。

2.2 研究開発の実施体制

(1) 実施体制

プロジェクト目標の達成には多くのブレークスルーが必要であることを考慮し、次のような観点から研究開発の実施体制を構築した。

- ① それぞれの研究開発テーマについて最高のポテンシャルを有する研究者を企業・機関のレベルを超えて結集させ、ドリームチームを結成する。
- ② それぞれの研究開発テーマ間のみならず、実装基盤技術とシステム化技術の研究開発テーマが相互に関連しあつて目標とするシステムが構築されてゆくことから、相互に緊密な連携をとって研究開発を推進できるようにする。
- ③ 各企業・機関が所有する既存設備、ノウハウ等を有効に活用することにより、効率的かつ効果的な研究開発を可能とするとともに、できるだけ効果的な資金配分を実現する。
- ④ 参加企業・機関が一体となって標準化推進を進めるとともに、本研究開発成果の実用化・事業化をより確実なものとするため、国内外市場における事業戦略を策定しつつ研究開発を推進できるようにする。

本プロジェクトの研究開発拠点と研究項目を図II-2.2-1に示す。本プロジェクトは技術研究組合光電子融合基盤技術研究所（以下、PETRAと略記する）にNEDOが委託して実施する事業である。プロジェクトの研究員は、PETRA組合員である日本電気株式会社、富士通株式会社、沖電気工業株式会社、古河電気工業株式会社、三菱電機株式会社、国立研究開発法人産業技術総合研究所（以下、AIST）、および一般財団法人光産業技術振興協会からの出向者等によって構成し、集中研、分室、本部において研究活動を行った。

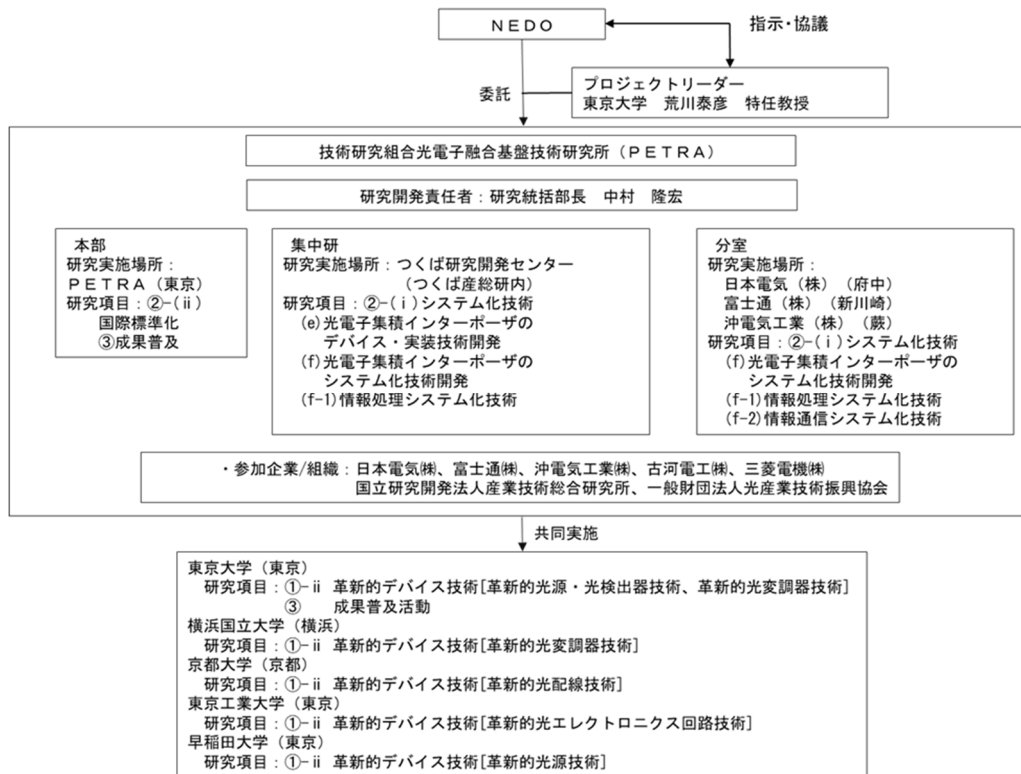


図 II-2. 2-1 プロジェクトの研究開発拠点と研究項目

PETRA集中研は、AIST（つくば）に設置され、PETRA研究員がAISTの実験室、実験設備を活用し、光電子集積インターポーザのデバイス・実装技術、システム化技術等の研究開発を推進した。PETRA分室では、組合員各社の実験室において本研究開発に参加しているPETRA組合員が保有する設備、ノウハウ等を活用しつつ、情報処理システム化技術、情報通信システム化技術についての研究開発を推進した。PETRA本部では、光協会と協力しつつ国際標準化活動を実施するとともに、本研究開発全体の一般事務を集中的に管理した。

研究開発の全体を統括するプロジェクトリーダー（PL）の下に、PETRAが実施する研究開発内容について責任を持つ研究統括部長を置き、プロジェクト全体の運営、研究開発進捗管理と迅速な意思決定、研究項目間の効果的な連携が可能になるように全体の実施体制を構築した。

本プロジェクトにおける研究総括責任者であるプロジェクトリーダーは下記の役割を担い、プロジェクト全体の運営を行った。

1. 組織関係

- (1) 研究体（分室、集中研）の設置、廃止等の組織構成案の策定。
- (2) 研究体の研究サブリダー等の選任と解任。

2. 予算関係

- (1) 各事業年度における予算配分の調整および予算案の策定。

3. 研究計画・管理関係

- (1) 各研究体の研究サブリダー等から構成される「マネジメント委員会」、「技術委員会」を開催し、年間計画の策定や研究進捗状況の管理および総合調整を行う。
また、PETRAより3回/月程度の頻度でプロジェクトの進捗状況について報告を受け、プロジェクト全体の進捗状況を把握する。
- (2) PETRAとともにプロジェクト成果の実用化計画を協議するとともに、それを考慮した研究開発計画を策定する。
- (3) 年度毎のプロジェクト推進目標を策定し、これを管理/フォローアップを実施する。

4. 研究成果関係

(1) 特許、論文、学会発表、標準化寄与文書、新聞発表、展示会出展等のプロジェクト成果の計画策定と実績の管理実施。

5. その他

(1) プロジェクト活動の啓蒙・啓発事業として、ワークショップやシンポジウム等の企画立案と実施。

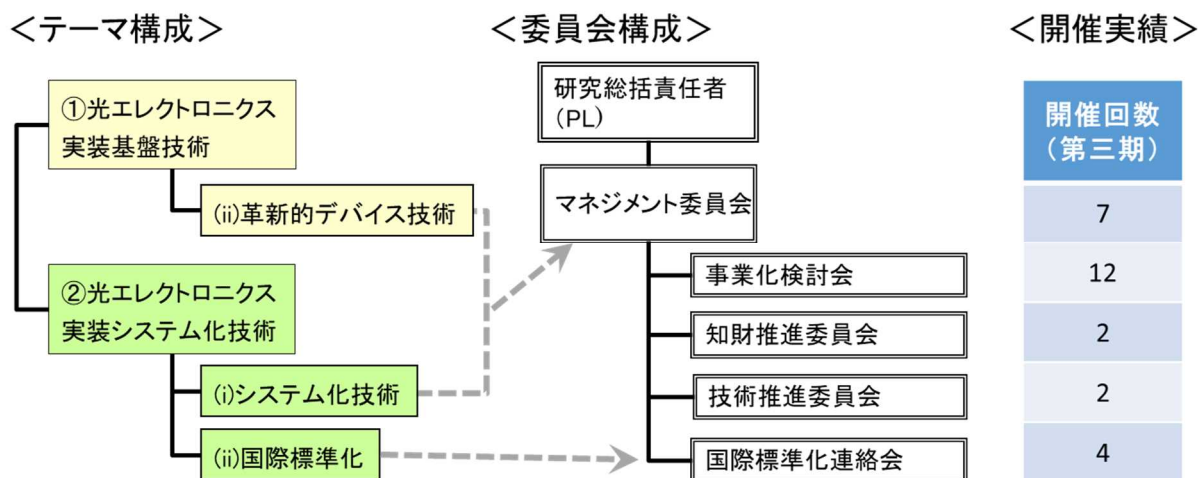
(2) 経済産業省、NEDO、大学等の各種関係会議やヒアリング等への対応および総括。

(2) 共同実施

研究開発項目①光エレクトロニクス実装基盤技術の開発において研究開発を実施する革新的デバイス技術については、各々の分野で先進的な取り組みを行っている東京大学（革新的光源・光検出器技術、革新的光変調器技術）、横浜国立大学（革新的光変調器技術）、京都大学（革新的光配線技術）、東京工業大学（革新的光エレクトロニクス回路技術）、早稲田大学（革新的光源技術）とP E T R Aが共同研究契約を締結し、研究開発を実施している。

2. 3 研究開発の運営管理

本プロジェクトは、FIRSTプログラムの一つである「フォトンクス・エレクトロニクス融合システム基板技術開発（PECST）」と連携し、その技術成果を活用しつつ光電子集積システムの実現に必要な基本技術要素を研究開発する①光エレクトロニクス実装基盤技術の開発と、その技術要素を統合してシステムとして実現するための②光エレクトロニクス実装システム化技術の開発が、相互にフィードバックを行いながら効率的、効果的に研究開発を実施し、最大化された成果を生み出すとともに、成果を早期に実用化することを目的に運営されている。その目的の実現のため、次に示す組織体を構成し、プロジェクトを推進している（図II-2.3-1）。



図II-2.3-1 プロジェクトの運営体制

- ① プロジェクト運営に係る最高議決機関としてマネジメント委員会を設置。四半期ごとに開催し、実施計画の進捗状況、政策動向、技術動向等を確認し、実施計画の見直しに関し、審議・決定する。大学（革新的デバイス技術）との共同実施内容については、進捗状況により適宜システム化技術としてP E T R Aによる開発対象としていく。
- ② プロジェクト参加組合員による成果の効果的な実用化を実現するため、プロジェクトの研究開発と参加組合員による実用化活動の方向性等について企画、調整する事業化検討会を設置。
- ③ プロジェクト成果の早期実用化を実現するため、プロジェクトに指針を示し、サポートを行う委員会として、知財推進委員会、技術推進委員会を設置。
- ④ 国際標準化連絡会を年に一度開催し、国際標準化の主要メンバーから組合員に向けプロジェクトに関わる国際標準化の進捗状況を報告・議論し、国際標準化状況の周知を図る。

また、新規市場の開拓を伴う本研究開発成果の実用化を促進するため、その実用化については、研究開発終了後の企業による実用化努力のみならず、研究開発途上でも実用化可能な技術についてはバイプロダクトとして積極的に実用化を行なうこととしている。

本研究開発の成果に係わる知的所有権の取得、権利の帰属、実施等に関するルールは、「「超低消費電力型光エレクトロニクス実装システム技術開発」の研究開発事業に関する知的財産権取扱規程」として、知財推進委員会にて策定され、運用されている。共同実施を行っている大学における知的財産権の取扱いについても、P E T R Aと個々の大学間で結ばれる共同研究契約にて規定されており、それに基づいた運用を行った。

なお、知的財産権取得規程、大学における知的財産権の取扱い規定の策定に当たっては、未来開拓研究プロジェクトの目的の一つである成果の実用化による国益の実現を阻害することが無いように、実用化時における必要な知的財産権の円滑な実施を可能とすることを基本的な方針として事前に定めた。その結果、定められた知的財産取得規程は、プロジェクト開始前に参加者が保有していた知的財産権の許諾に関する考え方や共同研究を行っている大学が取得する知的財産権の補償等の取扱い等についても考慮されたものとなっている。

N E D Oは実施者とのディスカッション、情報交換を促進するため、プロジェクト全体のヒアリングおよび実施者各社の個別ヒアリングなどを通じて、研究開発の進捗状況の確認等を行うと共に、課題の共有や開発計画の見直し、加速資金の必要性、成果の実用化・事業化等について実施者と議論を行い、プロジェクトマネジメントに活用した。また、実施者間では、P E T R A内の実施者間で行う四半期ごとにテーマごとの進捗確認・ヒアリング等で研究開発状況、進捗などについて報告し、議論を行うことで緊密かつ効率的に研究開発を推進してきた。

2. 4 研究開発成果の実用化・事業化に向けたマネジメントの妥当性

プロジェクトの開始にあたり、N E D Oは経済産業省と共に光素子・光デバイス、光モジュール、光通信等の光通信技術において強みを持つ企業、スーパーコンピュータ、サーバ、ストレージ、コンピュータネットワーク等の情報処理関連装置技術等において、研究面、事業面で共にトップレベルの強みを持つ企業が参加した事業の実施体制を構築し、光通信技術と情報処理装置技術との深い融合を実現するために必要な研究開発とその成果の実用化の達成に対する蓋然性を高めている。

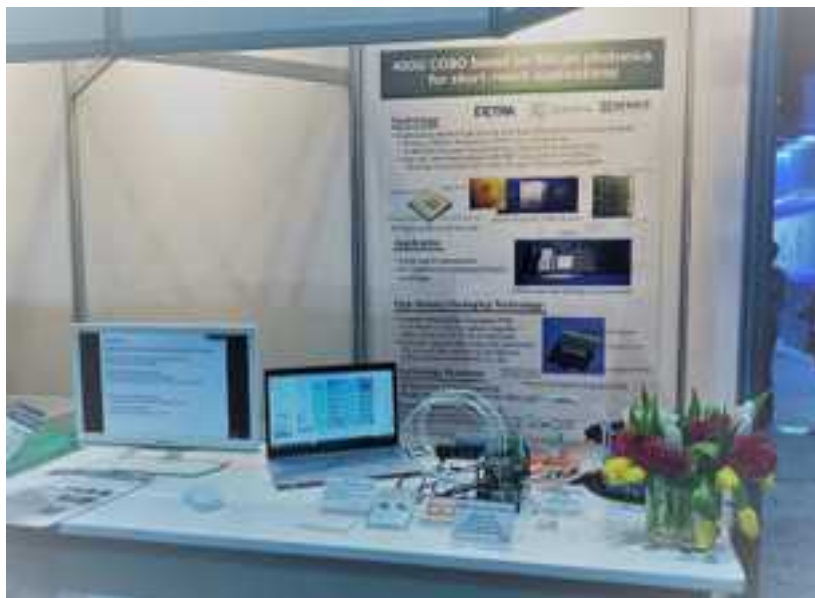


図 II-2.4-1 国際会議での展示 (OFC2019)



図Ⅱ-2.4-2 展示会での展示（InterOpt2021）

これに加え、プロジェクト参加企業等において事業化に深い知識を持つ人員をメンバーとし、必要に応じてプロジェクト外部の有識者も交えて、プロジェクト成果の実用化・事業化について継続的に議論を行う事業化検討会等を設置し、実用化の観点からプロジェクト成果の実用化に求められる要件や事業化のための戦略等について議論を進めている。

プロジェクトで開発に取り組んでいる光電子融合技術は、汎用性の高い技術であり、適用対象によっては途中段階の技術が十分有用な場合も想定されるとの認識で研究開発を行っている。また、光電子融合技術は未だ存在しない市場を切り開くものであるため、その普及には一定程度の時間も必要であることも予想される。従って、光電子融合技術のスムーズな普及をはかるため、経済産業省、NEDO、実施者間でプロジェクト成果の適用可能性のある対象の探索に努めるとともに、実用化・事業化戦略に関して継続的な議論を実施しており、研究開発途上でも実用化の可能な技術についてはパイロットとして速やかに実用化を図ることとしている。

また、研究開発成果の普及を促進しつつ国際競争力を確保するには、特許の取得と標準化について戦略的に進める必要があるとの認識である。このため、知財推進委員会と国際標準化連絡会をプロジェクトに設置して、プロジェクトの実用化戦略と連携した知財戦略、標準化戦略を策定し、プロジェクト成果のオープン化、クローズ化を実践している。また、技術の実現性を示して標準化活動を支援するため、ECOC、OFC等の主要な国際会議、CEATEC、InterOpto等の展示会において成果発表や、成果の展示を行った。OFC2019およびInterOpto2021での展示デモ風景を図Ⅱ-2.4-1、図Ⅱ-2.4-2に示す。

連携プロジェクトであるPECS Tの成果活用に関しては、両プロジェクトの連携会議として設置されたガバニングボードにおいて、経済産業省、内閣府とともに協議を行い、PECS Tで取得された知財や人材等を効果的に活用するための取り決め等について整備を行った。

3. 情勢変化への対応

情勢変化への対応としては、下記のような取り組みを行っている。

- 1) 国際競争力強化や実用化に資すべく本プロジェクトで開発を進めている要素技術の研究開発成果に基づき、当初の計画を変更する形で、実施方針の変更や加速資金の投入を実施した。光電子集積インターポーザは技術的ハードルが高いため、実装技術・評価技術の開発を前倒しし、実用化検討を推進している（表Ⅱ-3-1）。

表Ⅱ-3-1 研究開発目標の妥当性と情勢変化への対応

2021年度末性能目標 (電気配線比)		・光電子集積デバイス：大容量：10Tbps/ノード、低消費電力 1mW/Gbps (1/10) ・光電子集積サーバボード要素技術：低消費電力(3割減)、多種LSI集積、DCで運用可能		2021年度末の 性能目標は妥当
項目	テーマ	研究開発目標(2017年度末)	情勢の変化	目標の妥当性に対応
① 実装基 盤技術	革新的 デバイス 技術	◆光電子集積インターポーザの継続的高性能化を可能にする、革新的基盤技術：光源、光検出器、光変調器、光導波路のデバイス技術や機能可変な光回路システム技術、を開発する。	◆モバイル通信、クラウドコンピューティング、IoT・AIの進展により、通信量がさらに増加すると予測(データセンターにおいて10Tbps/ノードの帯域が必要)	目標は妥当 基本計画のとおり。 (非連続な技術進展ができる。)
	② 実装シ ステム 化技 術	◆光集積インターポーザの異種導波路接続技術と高集積コネクタを開発し、損失の少ないシングルモードファイバとの光リンクを実現する。 ◆光配線による10Tbps伝送へ向けた課題を抽出し、サーバ電力量を30%削減可能であることをシミュレーションにより示す。	◆シリコンフォトリソ技術の開発競争激化 ◆競合各社が相次ぎ光接続サーバ、データセンターの高度化を提案	実施事項を追加(2018年) ◆光電子集積インターポーザは技術的ハードルが高いが、実装技術・評価技術の開発を前倒しし、実用化検討を推進。2020年度は光導波路実装スループット向上をめざした技術開発を計画。
	国際 標準化 技	◆研究開発成果の普及促進に必要な標準化提案を行う。	◆データセンターの消費電力削減を目指した海外プロジェクト立上げが進行(サーバ電力量30%削減に向けて1mW/Gbpsの低消費電力は必至)	目標は妥当 基本計画のとおり。 (成果の普及促進に寄与できる。)
③	成果普及 活動	◆ビジョン形成を含む教育カリキュラムへ展開 ◆周辺領域の調査・基礎研究を応用研究へ展開	◆北米5Gの立ち上がり	目標は妥当 基本計画のとおり。 (成果の普及促進に寄与できる。)

- 2) 国際的な学会動向や、欧米を中心とした先進各国の国家プロジェクト動向、並びにロードマップ等の最新情報を入手することで、本プロジェクトの研究開発レベルのベンチ・マーキングの見直しを定期的に行い、実施計画・方針等の変更に対応させている。
- 3) 実用化の目処が見えた光デバイスは、プロジェクト終了を待たずに実用化の準備を進めている。

4. 中間評価結果への対応

2019年度に中間評価を実施し、この中間評価において提言された指摘事項とその対応実績について表Ⅱ-4-1に示す。第三期における研究開発の推進と事業化に向けた必要な対策をプロジェクトリーダー及び実施者間で共有し研究開発の運営管理を実施した。具体的には以下の4つの対応策を推進した。

- 本プロジェクトがもたらす省エネルギー効果のインパクトについて、2030年までのIT機器のエネルギー消費量の推移を再調査し、省エネ効果を試算することで、妥当性を確認。
- 幅広い領域での事業化と将来の適応市場を見据えて、効果的な成果の発信を行うとともに、マッチングを通じてユーザ企業を巻き込む活動を推進した。
- 早期事業化を推進するために、予算配分見直し等で加速財源を確保し、前倒しで組合参加企業3社の事業化判断を早めるようマネジメントを実施した。
- ニュースリリース発行、PR動画作成、シンポジウム、展示会等への効果的な成果の発信等で、学术界のみならず広く国民や産業会に向けて積極的に広報宣伝を行った。

これに加えて、目標設定やその評価にあたって、世界規模での貢献度を測ることも必要であるとの提言を受け、グローバルな視点での評価軸でポジショニングを俯瞰した。以下に、省エネ効果の再評価、並びに、グローバルポジションの俯瞰について、詳細を説明する。

表Ⅱ-4-1 2019年度中間評価の指摘事項と対応進捗

2019年中間評価 指摘事項		第三期 対応と進捗
1	省エネルギー効果については、プロジェクト当初の目標だけにとらわれず、IT機器のエネルギー消費量等の推移を再調査し、本プロジェクトがもたらすインパクトを、様々な観点から、より定量的に説明することが重要。	データセンター等のサーバを中心としたエネルギー消費量を情報通信トラフィック量の増加を考慮して、今後の(～2030年)のIT機器のエネルギー消費量等の推移を再調査し、省エネ効果を定量的に説明。
2	光集積インターポーザを、当初考えたように、幅広い領域で事業化するためには、現在の研究組合参加企業だけでは、広がりとスピードで不足なものがある。将来の適用市場を見据え、ユーザー企業を巻き込むことにより、大きな可能性を追求していただきたい。	ニュースリリース発行、シンポジウム (ISPEC)、展示会 (CEATEC、PR動画作成※、interOpto、OFC) 等への効果的な成果の発信を行い、成果を広くPRするとともに、ユーザー企業とのマッチングを通して、現在の組合企業だけでなくユーザー企業を巻き込む活動を推進。 ※PR動画 ・光配線により、計算速度が一倍以上高速に！ https://www.youtube.com/watch?v=5k_o4YoW9i4 ・光電子集積技術が高速・大容量、省エネルギー効果を最大化！ https://www.youtube.com/watch?v=txMGMDxSUfI
3	第三期成果の事業化については、組合参加企業の3社のみとなりかねないことや、事業化判断までにかかり時間を要し、別の技術の出現により、ここで開発されている術が陳腐化することが懸念される。	・第三期成果の事業化は、組合参加企業 (NEC、富士通、沖電気工業) の3社を軸に、これから伸びていくAI向けのサーバ市場や、5Gのスマートアンテナ用光トランシーバ市場の事業化を推進。 ・事業化判断については、予算配分見直し等で加速財源を確保し、サーバシステム応用等の試作を前倒しで行い、組合参加企業3社の事業化の判断を早めるようマネジメントを実施。 (技術動向調査を実施し、第三期で開発している技術は、増加するデータ処理量に対応できる帯域幅のデータ転送速度等のユーザーニーズより、2023年から活用開始が予測されており陳腐化はないと判断。)
4	10年に及ぶ研究開発の集大成であるシステム応用に関して、学术界のみならず、広く国民や産業界に向け、積極的に広報宣伝していただきたい。	ニュースリリース発行、シンポジウム、展示会等への効果的な成果の発信を行い、大々的にPRすることにより、学术界のみならず広く国民や産業界に向けて積極的に広告宣伝実施。

4. 1 省エネ効果の再評価

2019年度に実施された中間評価では、国際社会において最も喫緊なCO₂排出量削減に対し、今後、不可避的に排出量増大の源となるIT機器をターゲットとして、国を挙げて対策を講じることは妥当であると評価された。一方で、省エネルギー効果については、プロジェクト当初の目標だけにとらわれず、IT機器のエネルギー消費量等の推移を再調査し、本プロジェクトがもたらすインパクトを、様々な観点から、より定量的に説明することが重要であるという提言を受けた。そこで、現在の研究開発および事業化の状況を踏まえた省エネルギー効果、CO₂削減効果の再推定を行うことで、省エネ効果についての妥当性を再評価した。

上述した電力削減量については、グリーンIT推進協議会の報告書(2008年～2013年)をベースに、修正を加えた対策前電力量として算出された。この報告書は世界各国のGDPの成長率に比例したIT機器の導入数の増加とそれによる消費エネルギーの増加を予測したものであるが、この予測がなされた2008年以降にビッグデータ、IoT等が普及しはじめてGDPの増加率よりはるかに大きな情報量の増大が生じ、この報告の予測時とは大きく状況が異なっていると考えられる。国外の動向として、2020年2月28日付けでScience誌に掲載された論文によると、2018年の時点で、データセンターのワークロードは10年前と比べて6倍以上に増えていたにもかかわらず、エネルギー消費量はほとんど変わっていなかったと報告されており、その理由はデータセンターのエネルギー効率が大きく向上したことにありと結論づけている。一方で、今後、人工知能や5Gといった膨大な量のデータを処理する新しいテクノロジーが普及すれば、このような効率性の向上が維持される保証はないと警告もなされている。

国内では、国立研究開発法人科学技術振興機構(JST)低炭素社会戦略センター(LCS)が、グリーンIT推進協議会の報告書を踏まえ、IT関連機器の消費電力を再推定している。表I-2.2.4-1に現況の国内外のIT関連機器による消費電力推定値、表I-2.2.4-1に2030年、2050年を見通した消費電力予測値を示す。また、グリーンIT推進協議会との算出根拠の差異、予測のポイントも併せて示している。

表 I-2.2.4-1 IT関連機器による消費電力推定

	国内		世界	
	グリーンIT推進協議会(2005) PUE = 1.9	LCS推計値(2016) PUE = 1.5	グリーンIT推進協議会(2005) PUE = 1.9	LCS推計値(2016) PUE = 1.5
データセンター	15	16	111	238
サーバ	6.3	7.4	43.3	111
ストレージ	0.9	3	9.3	37
ネットワーク	0.5	0.5	5.7	10
空調その他	6.9	5.5	52.5	79
エンドユーザー	18	21	326	570
PC	2.2	6.8	32.2	150
TV・モニタ	15.5	8	293.3	300
複合プリンタ		6		120
ネットワーク	10	18	164	783
ルータ・スイッチ	10.2	10.7	163.8	263
無線送信・端末		7.4		520
合計	43	55	601	1590

表 I-2.2.4-2 IT関連の消費電力予測

IT関連消費電力予測	2016年	2030年	2050年
IPトラフィック(ZB/年)	4.7	170	20200
消費電力(国内:TWh/年)	41	1480	176200
消費電力(世界:TWh/年)	1170	42300	5030000

算出根拠の差異

- ・ GDP成長率に比例した普及率(グリーンIT)
- ・ 情報量の増大をベース(LCS推計)

予測のポイント

- ・ TV/モニタおよび複合プリンタを除く全ての機器はデータ処理量と消費電力は比例関係
- ・ PUEの改善等によりデータセンタの消費電力内訳はサーバが支配的になる。

(出典) 情報化社会の進展がエネルギー消費に与える影響(Vol.1)-IT機器の消費電力の現状と将来予測
国立研究開発法人科学技術振興機構(JST)低炭素社会センター(LCS)、2019年3月

算出根拠の差異としては、GDPの成長率に比例してIT機器普及率が增大するという従来の仮定から、世界各国の情報トラフィック増大のトレンドをベースとする仮定に変わったことである。また、TV/モニタ、複合プリンタはデータ処理量と消費電力の変わらないものと考えられ、近年のデータセンタではPUE(Power Usage Effectiveness = データセンタ全体の消費電力/IT機器の消費電力)が改善傾向にある点にも注目している。PUEが改善される(1に近づく)と空調その他の寄与が下がり、その結果、データセンタにおけるIT機器等の消費電力内訳としてサーバの占める割合が支配的となっていくと予測される。

これらの状況を踏まえた上で、JST-LCSによる2030年の国内消費電力予測値1480TWh/年を元にCO₂削減効果の再推定を行った(表I-2.2.4-3)。2016年のサーバ分の推計値7.4TWh/年が合計値55TWh/年からTV/モニタ8TWh/年と複合プリンタ6TWh/年を除いた41TWh/年に対する割合(7.4/41~18%)を2030年時にも仮定し、サーバ電力3割削減、技術普及率50%、2030年の排出係数を考慮したCO₂換算により、1483万トン/年(~1500万トン/年)が得られた。以上の結果、1500万トン/年は現在の研究開発状況の省エネ効果としても妥当であると考えられる。

表 I-2.2.4-3 CO₂削減効果の再推定

1480TWh/年の18%がサーバ分の寄与と仮定	267	TWh/年
単位変換	2671	億kWh/年
サーバ消費電力3割削減	801	億kWh/年
本技術普及率50%	401	億kWh/年
CO ₂ 換算(2030年排出係数0.37kgCO ₂ /kWh)	1483	万トン/年

4.2 グローバルポジションの俯瞰

In-package(パッケージ内の短距離)、On-Board(ボード間)、Off-Board(ボード外の長距離)の現行技術における電気配線と光配線の標準仕様や製品性能、および、研究論文等で公開されているR&Dのスペックと共に、本プロジェクトで開発されている光電子集積インターポーザの位置づけをマッピングした(図II-2.4.3)。縦軸は性能指標(消費電力エネルギー当たりの帯域密度)、横軸は情報伝送に係る最大接続(インターコネクト)距離を示している。本マッピング図の、ある最大接続距離において、縦軸の数値が高いポジションにいと、伝送効率が良いと言える。高速大容量化などで電気配線が性能指標を維持できなくなった距離の配線から、光配線への置き換えが始まると推測できる。本プロジェクトの成果においては、On-Board領域で、現行の電気配線に比べて高いポジションに

位置づけられる。一方、Off-Board 領域における競合に比べても、性能指標に対して優位なポジションを保っている。

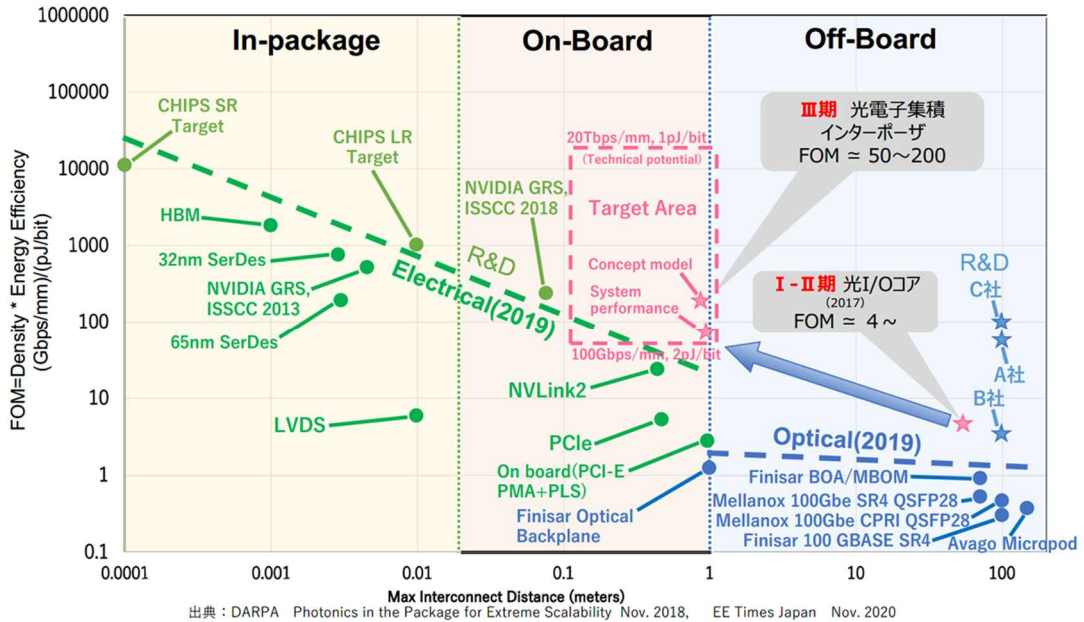


図 II-2.4.3 グローバルポジションの俯瞰図

5. 評価に関する事項

NEDOは、技術的および政策的観点から、研究開発の意義、目標達成度、成果の技術的意義および将来産業への波及効果等について、外部有識者による研究開発の評価を事業項目毎に実施する。具体的には、2014年度、2017年度、2019年度に中間評価を実施済みであり、また、2022年度に事後評価を実施する計画としている。評価結果は、経済産業省と相談のうえ、事業の延長・加速・縮小や必要な体制の再構築などを含めて後年度の研究開発に迅速に反映することとする。

なお、評価の時期は、当該研究開発に係る技術動向、政策動向や当該研究開発の進捗状況等に応じ、前倒しする等適宜見直すものとする。

Ⅲ. 研究開発成果

1. 事業全体の成果について

1. 1 事業全体の成果について

電子機器の電気配線を光配線に置き換える光回路技術と電子回路技術を融合させた光エレクトロニクス実装システム技術を開発するために、以下の項目について研究開発を進めた。

研究開発項目①光エレクトロニクス実装基盤技術の開発

(ii) 革新的デバイス技術

研究開発項目②光エレクトロニクス実装システム化技術の開発

(i) システム化技術

(e) 光電子集積インターポーザのデバイス・実装技術開発

(f) 光電子集積インターポーザのシステム化技術開発

(ii) 国際標準化

③ 成果普及活動

なお、研究開発項目① 光エレクトロニクス実装基盤技術の開発 (i) 実装基盤技術および研究開発項目②光エレクトロニクス実装システム化技術の開発 (i) の(a)(b)(c)(d)については本「超低消費電力型光エレクトロニクス実装システム技術開発」プロジェクトの2012年度～2017年度で開発が終了している。「超低消費電力型光エレクトロニクス実装システム化技術開発」(事後評価)分科会資料7-1参照のこと)

事業原簿では、研究開発項目に沿って成果を記述する。

1. 2 知的財産権等の確保に向けた取組み

研究開発成果の実用化・事業化を推進するためには、製品の性能優位性を確保するとともに、持続的に市場優位性を確保するために、簡単に他社に真似されない製品とする必要がある。プロジェクト成果の事業化を推進するために、オープン・クローズ戦略に基づき成果の知的財産権利化とブラックボックス化により参入障壁の形成を目標に活動する。

・オープン化 (知的財産権利化)

光電子集積インターポーザの構造、外観等を知財化し、電気・光の入出力に関わるインターフェース部を標準化して、開発技術が世の中で使われるようにする。コア技術である光電子集積インターポーザの集積光/電子回路と実装構造について、権利化を進めるとともに、外部特許を継続的に調査し、競争力のある知財創出を目指す。

・クローズ化 (ブラックボックス化)

知財権化しても権利の防御の難しい光電子集積インターポーザの実装方法、装置仕様等はノウハウとしてブラックボックス化し、誰も容易にまねのできない参入障壁を築く。

国際標準化に関しては、開発成果が広く受け入れられるよう、電気・光の入出力に関わるインターフェース部を主に標準化することを目標に活動する。研究開発項目②(ii) 国際標準化が担務とする。半年に一度、国際標準化連絡会を開催し、国際標準化の主要メンバーから組合員に向けプロジェクトに関わる国際標準化の進捗状況を報告・議論し、国際標準化状況の周知を図る。

1. 3 成果の普及

プロジェクト内で共有されてきた研究開発成果の社会実装、産業への波及効果を推進するために、研究開発の実施期間中から、研究開発の成果が迅速かつ広く受け入れられるように、ニュースリリース、展示会への出展、シンポジウム開催等の取組みを通じて光エレクトロニクス技術の情報発信、普及促進を推進する。さらに、光エレクトロニクス技術の共通基盤技術を、一般のユーザ、研究者、学生等へ幅広く普及させるために、成果普及、人材育成に向けたプログラムを実施する。プログラムでは、光エレクトロニクス分野におけるイノベーション創出に向けた周辺研究、人材育成、ビジョン形成等の活動を推進する。

研究開発成果の普及として、学会活動、展示会活動、ニュースリリース等を表Ⅲ-1-1 にまとめる。特許については、プロジェクト成果の活用のため、国内外で積極的に出願している。

表Ⅲ-1-1 事業全体の成果と成果普及（2018年4月1日～2022年2月28日）

年度	特許国内登録	特許海外登録	論文・学会発表	ニュースリリース	主要展示会
合計	58	29	269	6	-
2018年度	27	16	69	2	OFC2019 InterOpto2018
2019年度	18	5	73	2	CEATEC2019 InterOpto2019
2020年度	12	4	72	1	CEATEC2020 InterOpto2020
2021年度	1	4	55	1	CEATEC2021 InterOpto2021

1. 4 研究開発目標の達成度について

研究開発の最終目標に向けた達成状況を表Ⅲ-1-2にまとめる。達成度は全て大幅達成◎、達成○となっている。

表Ⅲ-1-2 事業全体の達成状況

テーマ	最終目標	主な成果の達成状況	達成度
革新的デバイス技術	各デバイスの最終目標を達成するとともに、光電子集積インターポーザへの技術展開の見通しと事業化に対する課題を明確化する。	<ul style="list-style-type: none"> シリコン基板上直接量子ドットレーザの高温(101℃)で発振に成功 III-V/Si ハイブリッド MOS キャパシタを用いた光変調器で Si 変調器の 10 倍の効率、1/10 の光損失を実現 	○
光電子集積インターポーザのデバイス・実装技術開発	光配線の消費電力を 1mW/Gbps 以下とするための要素技術と、電気配線と比較し通信速度あたりの面積で 1/100 (20Tbps/mm ²) の帯域密度を実現するための要素技術、およびシリコンフォトニクス技術による波長多重シングルモード光回路を開発することにより、10Tbps/ノードの帯域幅を持つ光電子集積インターポーザ技術を実現する。	<p>下記により 10Tbps/ノードの光電子集積インターポーザ技術を実現した</p> <ul style="list-style-type: none"> 変調器、受光器の 112Gbps 動作実証。 16 波長合分波を可能とする光素子を動作実証。 EA 変調器を開発し、1mW/Gbps に目途。 3次元曲面ミラーを開発し、20Tbps/mm² に相当する高密度光接続構造を実現。 	○
光電子集積インターポーザのシステム化技術開発	<ul style="list-style-type: none"> 消費電力の少ない光電子集積インターポーザ技術と波長多重技術を用いた接続技術を組合せた光電子融合サーバボードを試作し、試作機とシミュレーションを用いてサーバ電力量を 30%削減可能であることを示す。 光電子集積インターポーザを用いた一芯双方向波長多重トランシーバを搭載することにより、光加入者端末装置を 10cm×2cm×2cm 以下のサイズに小型化するための実装技術を開発する。 	<ul style="list-style-type: none"> 光電子融合サーバボードを試作システムに実装し、波長多重技術と組み合わせることで 10Tbps/ノードの見通しを得た。 全サーバボード間を結合した光電子融合ラック型サーバシステムを開発し、サーバ電力量を 98%削減可能であることを実証。 スモールセルアンテナ用光トランシーバを 10x2x2cm 以下に小型化。 	◎

国際標準化	光電子集積インターポーザの物理仕様（サイズ、入出力構成）、電気・光インターフェースに関し、提案した標準化案の採択推進活動を行う。	・デジュール標準化機関（IEC）において、パッケージと光インターフェースの二件の標準化を達成。	○
成果普及活動	光エレクトロニクス技術を、一般のユーザ、研究者、学生等へ幅広く普及させるために、成果普及、人材育成に向けたプログラムを実施する。プレスリリース、展示会への出展等の取組みを通じて情報発信、普及促進を推進する。	・フォトニクス・イノベーションセミナーを10回開催。 ・プレスリリース 6件	○

達成度：◎大幅達成、○達成、△達成遅れ、×未達

2. 研究開発項目ごとの研究開発成果について

2. 1 ①光エレクトロニクス実装基盤技術の開発

電子機器の電気配線を光化する光配線技術と電子回路技術を融合させた光エレクトロニクス実装システム技術の根幹となる光電子集積インターポーザをさらに発展させるために、革新的デバイス技術に挑戦する。

光電子集積インターポーザは、データセンタなどの低消費電力化・高速化技術として期待される光配線技術の実装の要素の一つであるが、扱うべきデータ量の増大に伴って、そこに求められる性能は益々高まっている。その要求に継続的に応えていくためには、光電子集積インターポーザを構成する光源、検出器、変調器、光導波路などの各要素デバイスおよびそれらを用いた光回路構成などにおいて、継続的な性能向上に加えて、革新的技術や新概念の導入などによる不連続な進展が必要である。本項目では、光電子集積インターポーザの継続的高性能化を可能とする革新的デバイスの基盤技術として、光源、光検出器、光変調器、光導波路のデバイス技術や機能可変な光回路システム技術の開発を行う。具体的な研究項目および担当機関は以下のとおりである

【革新的光源・光検出器技術】（東京大学、早稲田大学）

光電子集積インターポーザの光源、受光器の高性能化に向け、シリコン基板上量子ドットレーザ技術とその集積化技術の開発を行うとともに、高感度受光器に関する技術開発を行う。

【革新的光変調器技術】（横浜国立大学、東京大学）

光電子集積インターポーザの光変調器の高性能化に向けた光制御技術として、新原理に基づく次世代光変調器を開発する。

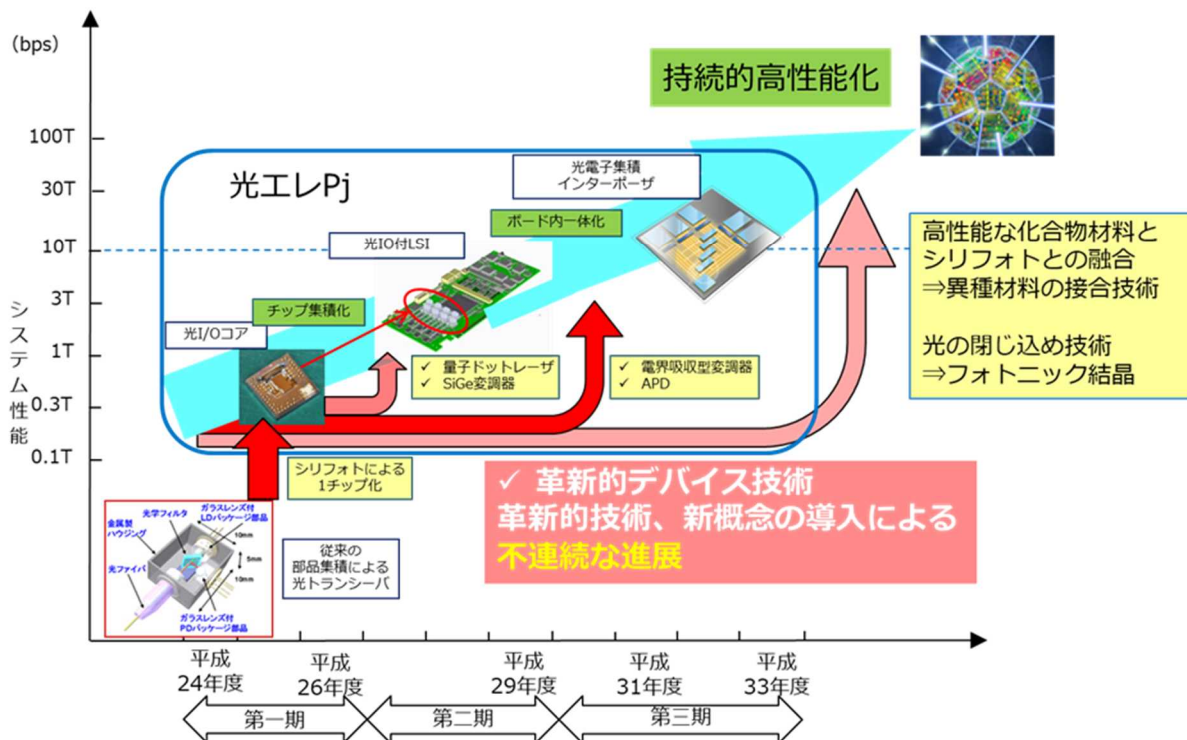
【革新的光配線技術】（京都大学）

光電子集積インターポーザの光導波路の高機能化に向けた光配線基盤技術として、フォトニックナノ構造等を用いた光配線技術の開発を行う。

【革新的光エレクトロニクス回路技術】（東京工業大学）

光電子集積インターポーザの光回路を高機能化する機能可変型光エレクトロニクス回路の基盤技術として、サーバ回路の再構成を可能とする光フィールドプログラマブルゲートアレイ技術およびそのための要素デバイスの開発を行う。

図Ⅲ-2.1-1に革新的デバイス技術のプロジェクトにおける位置づけを示す。



図Ⅲ-2.1-1 革新的デバイス技術の本事業における位置づけ

2. 1. 1 全体成果

研究開発の最終目標の達成状況を表Ⅲ-2.1.1-1にまとめる。達成度は全て達成の○となっている。

表Ⅲ-2.1.1-1 革新的デバイスの進捗状況

テーマ	最終目標	主な成果の達成状況	達成度
革新的光源技術(東京大学)	集積シリコン光回路上ハイブリッド量子ドットレーザの基本動作を実証試作および長波長帯のシリコン基板上量子ドットレーザの実現可能性の検討	シリコン導波路結合型量子ドットレーザを、転写プリント法を用いて実証した。1.4 μm以上長波長帯量子ドットレーザの実現に成功し、シリコン基板上形成も実現した。	○
革新的光源技術(早稲田大学)	Si基板上III-V電気吸収型光変調器集積量子ドット波長可変レーザの要素技術の開発	GaAs基板上QD集積レーザの実現、Si基板上への搭載、DBRレーザ用高品質回折格子開発、超高速変調器などの要素技術を開発した。	○
革新的光検出器技術(東京大学)	光電子集積インターポーザ用集積化受光器に向け、高速応答可能で省電力化が可能な導波路型受光器を実証することにより、光電子集積インターポーザへの技術展開の見通しを示すと共に、事業化に対する課題を明確化する。	GeOI基板上にGe導波路を形成し、横方向PIN接合を形成した導波路受光器を作製して良好な受光特性を得た。またIII-V-OI基板上においては量子井戸インターミキシングにより、横方向PIN接合を形成した導波路型受光器をモノリシック集積することに成功した。	○
革新的光変調器技術(横浜国立大学)	光電子集積インターポーザ用光変調器に向け、位相整合対策が施された移相器長200 μm程度のスローライト変調器において、30Gbps以上のOOK変調動作を実証する。また、同様の50Gbps以上の動作、ならびに波長多重化、ならびにQPSK、PAM等の多値化による100Gbps以上の動作の実現可能性を明らかにする。	移相器長200 μm以下のスローライト変調器にメアンダライン電極を導入し、64GbpsまでのOOK動作、50Gbps×2=100GbaudのPAM4動作、50Gbaud×4=200Gbpsの多波長動作の初期的な実証に成功し、当初目標を達成した。	○
革新的光変調器技術(東京大学)	光電子集積インターポーザ用の集積化光変調器への展開に向け、ハイブリッドMOS型変調器等に対し、多重化・多値変調等の伝送方式を実現する可能性を実証することにより、光電子集積インターポーザへの技術展開の見通しと事業化に対する課題を明確化する。	SiO ₂ 埋め込みSi導波路を用いることで、ハイブリッドMOS型光変調器の寄生容量を大幅に低減することに成功し、40 Gbps PAM-4変調に初めて成功した。III-V族半導体薄膜を用いたEA変調器の作製プロセスも確立し、高速変調の可能性を示した。	○
革新的光配線技術(京都大学)	光電子集積インターポーザへの展開に向け、フォトニックナノ構造等による光損失補償機能や光バッファ機能を統合することなどにより高度な光配線技術を開発し、光電子融合サーバ技術の革新的展開へ寄与する。	共振器による光信号保持と電気信号制御による共振器間光転送が可能な光パルスバッファリング機能の基礎技術を実証した。また機械学習設計と高度な光損失低減プロセス等の統合により、転送効率90%以上、光保持時間3ns以上を得る見通しを得た。	○

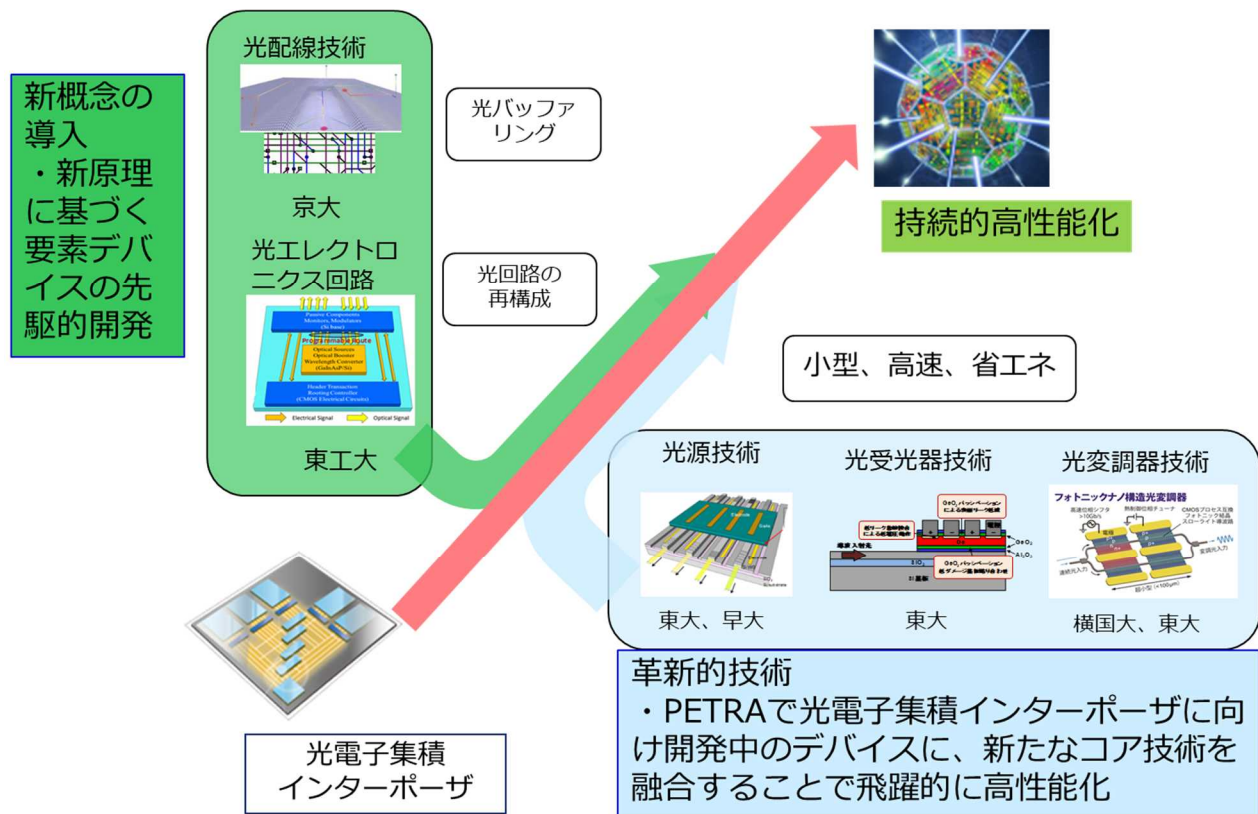
<p>革新的光エレクトロニクス回路技術（東京工業大学）</p>	<p>光電子集積インターポーザへの展開に向け、シリコンインターポーザ上で機能可変型光エレクトロニクス回路の基本機能を実証して光FPGA実現の見通しを明らかにすることにより、光電子集積サーバ技術の革新的展開へ寄与する。</p>	<p>光FPGAの基本構成であるハイブリッド光利得素子、特性可変ミラー、不揮発性スイッチを実現するとともに、光利得素子をつなぎ合わせワンチップ上で波長変換機能を実現することで、光FPGA実現の見通しを明らかにした。</p>	<p>○</p>
---------------------------------	--	---	----------

達成度：◎大幅達成、○達成、△達成遅れ、×未達

2. 1. 2 (ii)革新的デバイス技術

コスト競争を回避し、長期的な技術的優位性を確保し続けるためには、光電子集積サーバの継続的な高性能化を可能とする光電気集積デバイスの更なる小型化・低消費電力化・高性能化が必要となる。そのため、技術的に非連続な革新的デバイスの基盤技術となる、光源、光検出器、光変調器、光導波路のデバイス技術開発や機能可変な光回路システム技術の開発を行った。

本研究は、東京大学、京都大学、東京工業大学、横浜国立大学、早稲田大学と共同研究契約を結んで推進し、図Ⅲ-2.1.2-1に革新的デバイス技術の開発テーマをまとめた。各大学の成果の詳細は、添付資料(A)成果報告書 p.15~p.55 をご参照。



図Ⅲ-2.1.2-1 革新的デバイス技術の開発テーマ

2. 2 ②光エレクトロニクス実装システム化技術の開発

2. 2. 1 システム化技術の全体像

本プロジェクトで目指す小型、高速、低消費電力の光電子融合サーバを実現するには、それに適したシステムアーキテクチャを見出すとともに、運用信頼性のある実用性の高い技術の開発が必要である。光電子集積インターポーザは、これまでの研究開発の成果を集約しアウトプット目標を達成するために重要な素子であり、そのデバイス技術、実装技術およびシステム化技術を開発する必要がある。

本研究開発では、光配線導入による低消費電力化や高速化などのメリットを生かすサーバ等のシステムアーキテクチャの要件・課題を抽出し、2017年度までに開発した研究開発項目①光エレクトロニクス実装基盤技術(i)実装基盤技術、の開発技術を活用し、システムを構築するための基盤技術を開発する。これにより、システムの実用性を検証するとともに、要素技術開発にフィードバックすることで、完成度の高い技術の効率的な開発を実現する。

(i) システム化技術

(e)光電子集積インターポーザのデバイス・実装技術開発

2017年度までに本プロジェクトで開発された光エレクトロニクス実装基盤技術およびシステム化技術あるいはそれらと同等の技術を基に、光電子集積インターポーザを実現するために必要なデバイスおよび実装技術を開発する。

具体的には光変調器、受光器、光入出力素子、合分波器などの光電子インターポーザの構成要素となる光素子を小型化、高速化および低消費電力化するための技術を開発すると共に、光信号の多重化および多値化を検討し、光電子集積インターポーザにおける大容量信号伝送技術を開発する。また、光電子集積インターポーザの大容量化、高信頼、低コスト化を実現する実装技術として、異種導波路を接続する技術、光電子集積インターポーザとLSIを接続するインターフェース技術、および光コネクタ技術を開発する。

(f)光電子集積インターポーザのシステム化技術開発

上記(e)で研究開発する光電子集積インターポーザを情報処理装置や情報通信機器およびそのシステムに適用するために必要となるシステム化技術の研究開発を行う。

(f-1)情報処理システム化技術

実際のデータセンタで運用が可能であり、かつ光電子集積インターポーザを用いた小型かつ高速動作が可能な低消費電力光電子融合サーバボードを実現するため、必要となるシステム化技術を開発する。

(f-2)情報通信システム化技術

シリコンフォトリソグラフィデバイス技術を応用展開した光電子集積インターポーザを用いて、小型一芯双方向波長多重トランシーバのシステム化技術を確立する。

(ii) 国際標準化

国際競争力を確保するために、諸外国での同種の研究開発プロジェクトの現状を分析するとともに、プロジェクトの進展状況を踏まえ、成果の優位性を保つために国際標準化を積極的に推進する。また、フォーラム標準化機関[OIF(Optical Internetworking Forum)、IEEE802.3 (Ethernet Working Group)、COBO (Consortium for On-Board Optics)]、並びにデジュール標準化機関[IEC (International Electrotechnical Commission)]等の標準化動向を踏まえ、研究開発成果が迅速かつ広く世界の市場で受け入れられるようにするために、光電子集積インターポーザに関わる国際標準化を積極的に推進する。

(2) -3. ③「成果普及活動」

プロジェクト内で共有されてきた研究開発成果の社会実装、産業への波及効果を推進するために、研究開発の実施期間中から、研究開発の成果が迅速かつ広く受け入れられるように、ニュースリリース、展示会への出展、シンポジウム開催等の取組みを通じて光エレクトロニクス技術の情報発信、普及促進を推進する。さらに、光エレクトロニクス技術の共通基盤技術を、一般のユーザ、研究者、学生等へ幅広く普及させるために、成果普及、人材育成に向けたプログラムを実施する。プログラムでは、光エレクトロニクス分野におけるイノベーション創出に向けた周辺研究、人材育成、ビジョン形成等の活動を推進する。

2. 2. 2 最終目標と達成状況

研究開発の最終目標と達成状況を表Ⅲ-2.2.2-1,2,3 にまとめる。達成度は全て大幅達成◎、達成○となっている。

表Ⅲ-2.2.2-1 (e)光電子集積インターポーザのデバイス・実装技術開発

テーマ	2021 年度末最終目標	主な成果の達成状況	達成度
デバイス技術	<ul style="list-style-type: none"> ・1 レーン当たり 112Gbps 高速動作を可能とする光変調器および受光器の低消費電力光回路およびこれを駆動する電子回路を実現する。 ・1 レーン当たりの大容量化に向け 16 波長合分波した光信号のシングルモードファイバ伝送を実現する。 ・1 ノード当たり 10Tbps の伝送密度を有する光回路を実現する。 ・光回路の 1mW/Gbps の低消費電力動作を実証する。 	<ul style="list-style-type: none"> ・変調器、受光器の 112Gbps 高速動作実証。 ・変調器、受光器を駆動する電子回路（ドライバ、TIA）の 112Gb/s PAM4 動作を実現するための高線形 IC を設計・試作。受光器と TIA で 112Gb/s の Rx 出力波形を確認。 ・16 波長合分波を可能とする光素子を動作実証。 ・上記 16 波長合分波器と 112Gbps 変調器、受光器を組み合わせることで 10Tbps の伝送密度を達成見込み。 ・22nm CMOS を用いた解析で 1mW/Gbps の低消費電力化を達成。 	○
集積化プロセス技術	<ul style="list-style-type: none"> ・シリフォト統合化集積プロセスを用いて高速光トランシーバが高密度に集積された光集積回路チップを試作し、光電子集積インターポーザとして 10Tbps/ノードの伝送密度を実現する光集積回路であることを実証する。 ・光集積インターポーザの性能ばらつき低減に向け、シリフォト統合化集積プロセスのばらつきをパラメータとする光素子の特性ばらつきモデルの高度化を図る。 ・一貫プロセスによるシリフォトチップ製造を可能とするプロセスと設計を統合したプラットフォームを構築 	<ul style="list-style-type: none"> ・300mm 統合プロセスを確立し、これを用いた 10Tbps/ノード可能性実証試作を完了。 ・ウエハプローバを用いた設計・プロセス統合ライブラリを構築し、ばらつきモデルによる設計・プロセスの高信頼化を実現。 ・集積プロセスの一貫試作ファンドリへの展開完了。 	○
光実装技術	<ul style="list-style-type: none"> ・シリコンフォトニクス光入出力構造の波長無依存化・偏波無依存化を行い、シリコン導波路とポリマー光導波路の高密度光結合を実現する。 ・ポリマー導波路形成の効率化技術：光調芯時間をなくした高速な部品搭載を検証する。 ・高集積光コネクタ：シングルモードポリマー光導波路アレイとシングルモード光ファイバの 12 芯高精度光結合を実証&標準化提案する。 ・光パッケージ技術：マルチチップ実装技術、再配線技術を確立し、シリフォト光入出力密度 20Tbps/mm² の実現&10Tbps 伝送密度の光リンク実証する。 	<ul style="list-style-type: none"> ・3 次元ミラーを用いて、シリコン導波路とポリマー光導波路との高密度光結合を実現。 ・ポリマー導波路形成の効率化技術：インプリント法を用いた 50mm 角サイズのポリマー導波路一括形成法とパッシブ実装可能な光コネクタ部品搭載技術を検証。 ・高集積光コネクタ：シングルモードポリマー光導波路アレイとシングルモード光ファイバの 12 芯高精度光結合（平均<2dB）を実証。 ・光パッケージ技術：光電子集積インターポーザを試作し、シリフォト光入出力密度 20Tbps/mm² の実現&10Tbps 伝送密度の光リンク実証。 	○

達成度：◎大幅達成、○達成、△達成遅れ、×未達

表Ⅲ-2.2.2-2 (f)光電子集積インターポーザのシステム化技術開発

テーマ	2021 年度末最終目標	主な成果の達成状況	達成度
光電子融合サーバボード	光電子融合サーバボードのプロトタイプを試作して良好な伝送品質を持つ 10Tbps 伝送可能な CPU 間インターコネクットのシステム化技術を確立する。	<ul style="list-style-type: none"> ・ 高速特性と剛性に優れたガラス基板と光エンジンを組み合わせた集積光インターポーザを搭載した光電子融合サーバボードを試作、サーバ試作機に実装してサーバ間 100Gbps 伝送を実現した。 ・ 環境温度変化の影響を受けない自律制御型波長多重フィルタ技術を開発し、16 波長動作により光電子融合サーバボードの 10Tbps 動作が可能であることを示した。 ・ 波長多重フィルタは 64 波動作までのスケラビリティを確認した。 	○
ラックスケール並列分散システム	消費電力の少ない光電子集積インターポーザ技術と波長多重技術を用いた接続技術を組み合わせた光電子融合サーバボードを試作し、試作機とシミュレーションを用いてサーバ電力量を 30%削減可能であることを示す。	消費電力の少ない光電子集積インターポーザ技術と波長多重技術を用いた接続技術を組み合わせた光電子融合 ラック・サーバ・システム を試作し、試作機と その上で動作する分散ソータ を用いてサーバ電力量を 98% 削減可能であることを 実証した 。	◎
情報通信システム化技術	光電子集積インターポーザを用いた一芯双方向波長多重トランシーバを搭載することにより、光加入者端末装置を 10 cm×2 cm×2 cm 以下のサイズに小型化するための実装技術を開発する。	<ul style="list-style-type: none"> ・ TWDM-PON 集積チップを試作して、10Gbps × 4 波長の光送受信動作及び偏波無依存受信動作を実証した。 ・ バットジョイント型 APD 導入により受光器の高感度化を実現した。⇒130A/W ・ シリコンフォトニクス技術により小型化した光電子集積インターポーザを搭載したサイズ 10cm×2cm×2cm のパッケージに収容できる光トランシーバモジュールを試作して、上り下り各 4 波長多重、10Gbps の一芯双方向送受信動作、及び偏波無依存受信動作を実証した。 	○

達成度：◎大幅達成、○達成、△達成遅れ、×未達

III-2.2.2-3 (ii) 国際標準化と③成果普及活動

テーマ	2021 年度末最終目標	主な成果の達成状況	達成度
国際標準化	光電子集積インターポーザの物理仕様（サイズ、入出力構成）、電気・光インターフェースに関し、提案した標準化案の採択推進活動を行う。	<ul style="list-style-type: none"> ・光電子集積インターポーザの適用分野として、COB0, OIF において Co-package 標準化を推進した。 ・データセンタからコンピューティングの幅広い分野に適用可能な物理仕様として、サイズ、ピン配置の共通化 ・電気インターフェース OIF CEI-112G 仕様を策定し、プロジェクト成果の幅広い適用をサポート ・IEC においてパッケージと光インターフェースの標準化を達成 	○
成果普及活動（東京大学）	<p>光エレクトロニクス技術を一般ユーザ、研究者、学生等へ幅広く普及させる。以下の項目を実施する。</p> <ol style="list-style-type: none"> 1. 学生向け講義：ナノ量子情報エレクトロニクスに関する講義【ナノ量子情報エレクトロニクス特論】 2. 学生、社会人向けの集中セミナー【フォトンクス・イノベーションセミナー】 	<ul style="list-style-type: none"> ・ナノ量子情報エレクトロニクス特論においては、光エレクトロニクスとその関連分野の講義に加え企業での集中講義を行い、フォトンクスの成果普及に実践的に貢献する高度な人材を育成した。 ・フォトンクス・イノベーションセミナーは、2018 年度に 4 回、2019 年度に 3 回、2020 年度に 4 回、2021 年度に 1 回のセミナーを開催した。光電子融合技術に加えて、量子情報や光コムなど広範なフォトンクス技術に関する基礎から産業化までの講演を開催した。東京に加えて、京都や仙台などでもセミナーを開催し、コロナ禍以降においてはオンライン開催とした。当該技術の社会実装を推進する人材の育成に寄与した。 	○
成果普及活動（PETRA）	研究開発と並行して、ニュースリリース、展示会への出展、シンポジウム開催等のり組みを通じて、世界規模で本事業のプレゼンスを高め、開発技術の優位性を示すとともに、光エレクトロニクス技術の普及活動を行う。	<ul style="list-style-type: none"> ・ニュースリリース 6 件（2018 年度 2 件、2019 年度 2 件、2020 年度 1 件、2021 年度 1 件） ・国内展示会 7 件（インターオプト（2018, 2019, 2020, 2021 年度）、CEATEC（2019, 2020, 2021 年度）） ・国際展示会 1 件（OFC（2019 年度）） ・国内シンポジウム 4 件（ISPEC（2018, 2019, 2020, 2021 年度）） 	○

達成度：◎大幅達成、○達成、△達成遅れ、×未達

2. 2. 3 (i) システム化技術

2. 2. 3. 1 (e) 光電子集積インターポーザのデバイス・実装技術開発

1 ノード当たり 10Tbps のインターコネクタ帯域に向け、光電子集積インターポーザを実現するために必要なデバイス技術、集積化プロセス技術、および光実装技術に関する研究開発を実施する。デバイス技術では、10Tbps に向けた各要素デバイスである光変調器、受光器およびこれらを駆動する電子回路、波長多重光回路の研究開発を行う。集積化プロセス技術では、上記の各要素デバイスを集積するための光集積プロセス技術とこれらの集積デバイス評価を行うウェーハレベル評価技術の研究開発を行う。更に、光実装技術では、10Tbps の帯域密度を実現するための高密度光入出力パッケージ技術の研究開発を行った。

図Ⅲ-2.2.3(e)-1 に、10Tbps 帯域密度の光電子集積インターポーザを実現するためのデバイス・実装技術開発目標を示す。1 シリコンフォトニクスチップ当たり伝送速度 112Gbps の信号を 16 波長で多重化し、送受で 3.6Tbps となる。1 LSI 当たり 3 シリコンフォトニクスチップで、 $3.6\text{Tbps} \times 3 \div 10\text{Tbps}$ を実現した。各技術成果の詳細は、添付資料(A)成果報告書 p.58~p.122 をご参照。



10Tbps/ノードの光電子集積インターポーザ

1 シリコンフォトニクスチップ 当たり 112Gbps x 16 波 x 送受 (2) = **3.6Tbps**



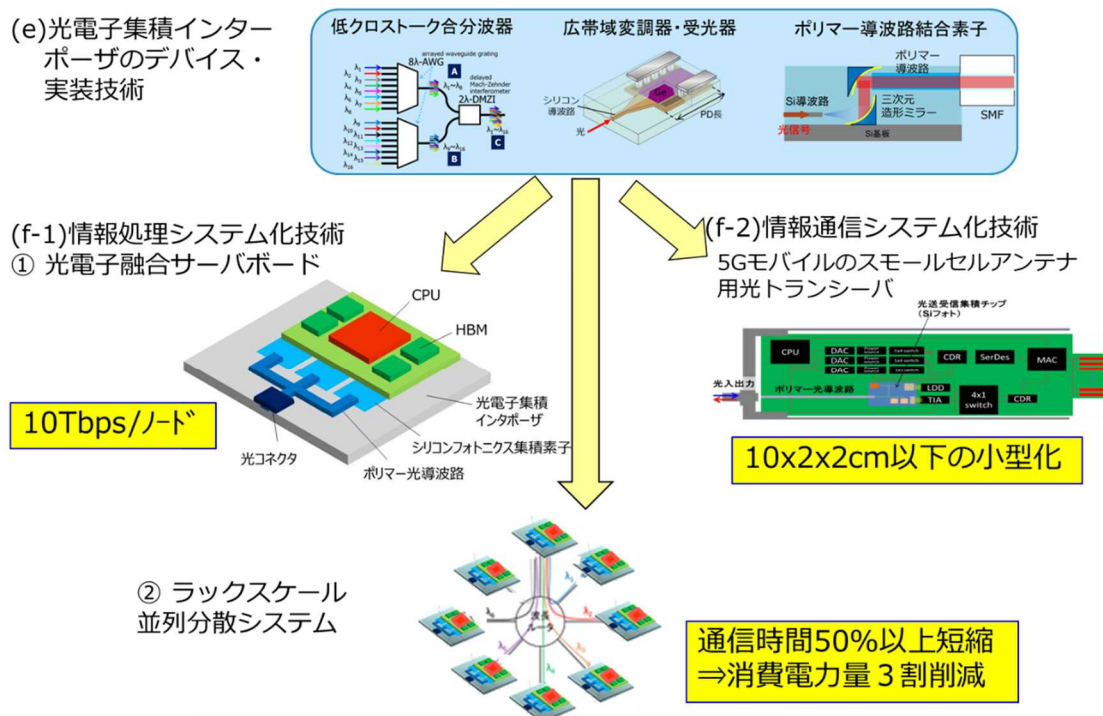
1 LSI 当たり 3 シリコンフォトニクスチップで、 $3.6\text{Tbps} \times 3 \div 10\text{Tbps}$

		第一期の技術目標	第二期	第三期
デバイス技術開発	高速デバイス	28Gbps/Si変調器	56Gbps/PAM4	112Gbps/56GBaud + PAM4
	低電力デバイス	5mW/Gbps /Si変調器	3mW/Gbps /高性能材料 (SiGe)変調器	1mW/Gbps /小型導波路埋込型 SiGe変調器
	波長多重デバイス	4波長/アレイ導波路型回折格子 (AWG) (素子)	8波長/AWG(素子)	16波長/AWG+バンドパスフィルタ (集積回路)
実装技術開発	光の入出力	10μmレベル目合わせ精度/ グレーティングカップラ+縦型ポリマー導波路		20Tbps/mm²/ 3次元ミラー+横型ポリマー導波路
	電気配線構造	平面構造		インターポーザ構造

図Ⅲ-2.2.3-1 デバイス・実装技術開発目標

2. 2. 3. 2 (f) 光電子集積インターポーザのシステム化技術開

上記(e)で研究開発する光電子集積インターポーザを情報処理装置や情報通信機器およびそのシステムに適用するために必要となるシステム化技術の研究開発を行った。システム化技術の位置づけの概略を図III-2.2.3-2に示す。



図III-2.2.3-2 システム化技術の位置づけの概略

(f-1)情報処理システム化技術

実際のデータセンタで運用が可能であり、かつ光電子集積インターポーザを用いた小型かつ高速動作が可能で低消費電力光電子融合サーバボードを実現するため、必要となるシステム化技術を開発した。技術成果の詳細は、添付資料(A)成果報告書 p.123~p.197 をご参照。

(f-2)情報通信システム化技術

シリコンフォトニクスデバイス技術を応用展開した光電子集積インターポーザを用いて、小型一芯双方向波長多重トランシーバのシステム化技術を確立した。技術成果の詳細は、添付資料(A)成果報告書 p.198~p.220 をご参照。

2. 2. 4 (ii)国際標準化

国際競争力を確保するために、プロジェクトの進展状況を踏まえ、成果の優位性を保つために、国際標準化を積極的に推進した。成果の詳細は、添付資料(A)成果報告書 p.221~p.225 をご参照。

2. 3 ③成果普及活動

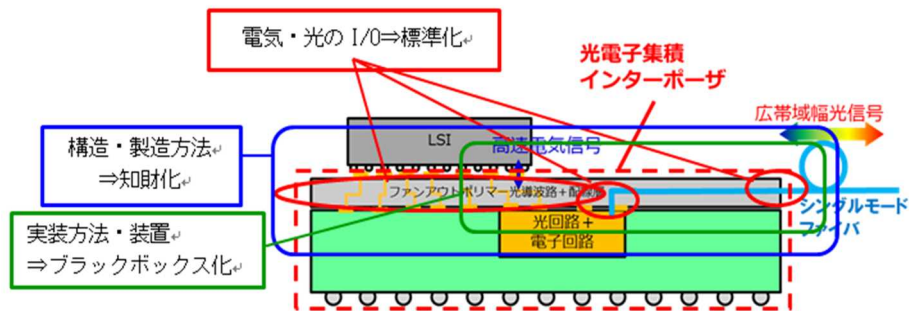
プロジェクトの研究開発成果を一般のユーザ、研究者、学生等へ幅広く普及させるために、東京大学において「フォトニクスイノベーション共創プログラム」を実施し、光エレクトロニクス分野におけるイノベーション創出に向けた人材育成を推進した。具体的には、大学院生を対象としたフォトニクス技術領域の教育カリキュラムである「ナノ量子情報エレクトロニクス特論」および学内外の学生と社会人のためのフォトニクスに関する公開セミナー「フォトニクス・イノベーションセミナー」を開催した。成果の詳細は、添付資料(A)成果報告書 p.225~p.229 をご参照。

IV. 実用化・事業化に向けての見通しおよび取り組みについて

1. 実用化・事業化に向けての見通しおよび取り組みについて

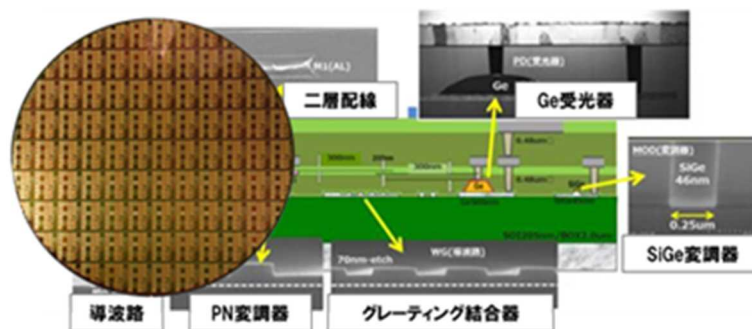
成果の実用化・事業化に向けた戦略として、知財戦略とシリフォト設計・プロセス統合プラットフォームの構築が挙げられる。

知財戦略として、オープン・クローズ戦略を図IV-1.-1に示す。オープン戦略は、インターポーザの外観、性能、製造方法等を知財化し、電気・光の入出力に関わるインターフェース部は標準化を図る。クローズ戦略は、実装方法、装置仕様等をブラックボックス化して、事業化における強みにする。



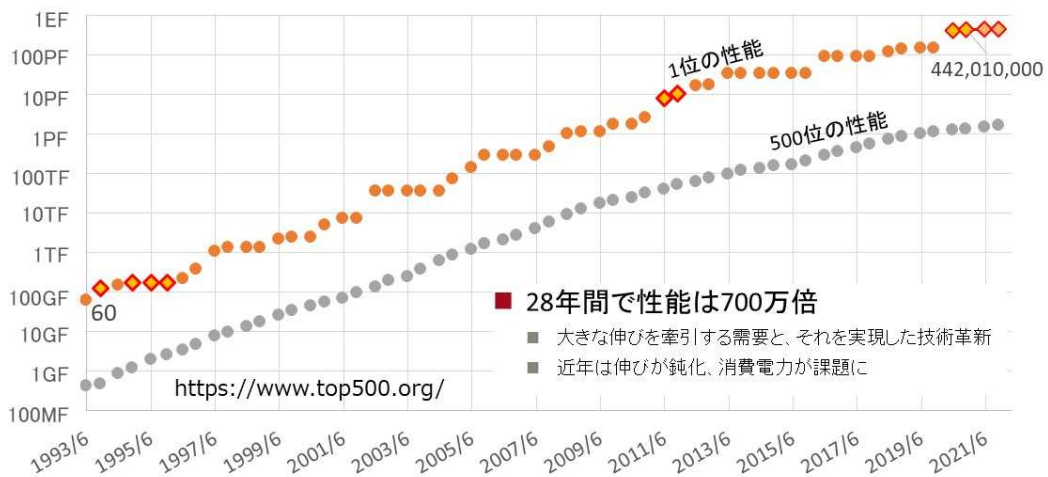
図IV-1.-1 オープン・クローズ戦略

また、図IV-1.-2に示すようにシリフォト統合化集積プロセスと設計・プロセス統合ライブラリ技術を構築し、組員企業やアイオーコア社に展開することで、低コストでシリフォトチップ供給が可能となるプラットフォームとして活用する。



図IV-1.-2 シリフォト設計・プロセス統合プラットフォームの構築

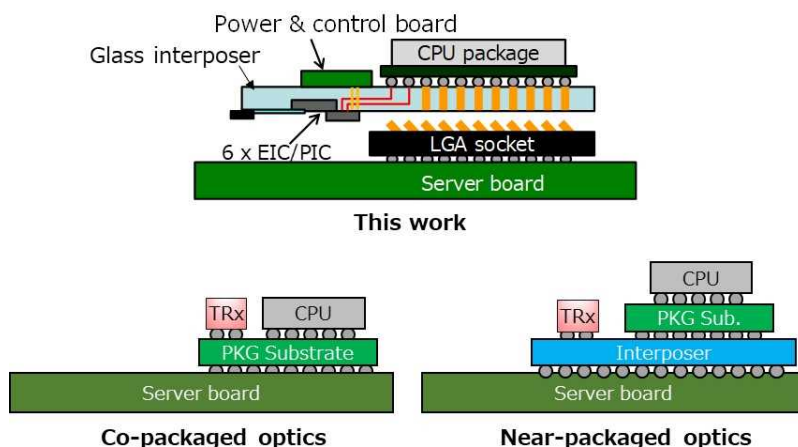
1. 1 光電子融合サーバボード



図IV-1.1-1 スーパーコンピュータ 28年の性能推移

スーパーコンピュータの性能は、図IV-1.1-1に示すように、堅調な需要と技術革新に支えられながら、ここ28年間で約700万倍に向上した。しかしながら、近年はその伸びが鈍化するとともに、消費電力が課題として顕在化している。この原因として、すでに報告したように、ムーアの法則が限界に近づきつつあり、半導体プロセスの微細化が進展しても性能向上とコスト低減につながらないフェーズに突入したことがある。今後の更なるスーパーコンピュータの高性能化の方向性として、半導体プロセスの更なる微細化への流れは依然としてあるものの、実装面での技術革新、すなわちプロセッサと複数のチップレットによるマルチチップパッケージ化や、テクノロジーやデバイスが異なるチップを集積するヘテロジニアス集積化が注目されている。一方、更なる大容量化と省電力化に向けて光モジュールとLSIパッケージの統合や光モジュールをLSIパッケージに近接配置するような高密度実装技術が注目されている。この流れの中でFacebook社とMicrosoft社が設立したCo-Packaged Optics (CPO) Collaborationでは光モジュールをLSIパッケージに統合するCPO技術が議論されている。また標準化団体であるOIFでは光モジュールをLSIパッケージに近接実装するNear Packaged Optics (NPO) 技術が提案され活発な議論がすすんでいる。

図IV-1.1-2で示すように、本プロジェクトで開発した光電子融合サーバボード技術をCPOやNPOと比較すると、光モジュールをLSIパッケージに近接配置する構成であり、NPOの構造に近い。ただし、実装時の反りの問題を抑制しつつ高速伝送性能に優れたガラス基板をインターポーザとして使い、サーバボード（マザーボード）との脱着を可能とするLGAソケットを採用するなど、実システムへの搭載を意識した構造と言える。更に、本プロジェクトで開発した光配線技術とファイバアセンブリ技術は、高密度かつ低損失、さらに高温での安定性を有し、スーパーコンピュータへの実装技術として有望な構造を実現している。



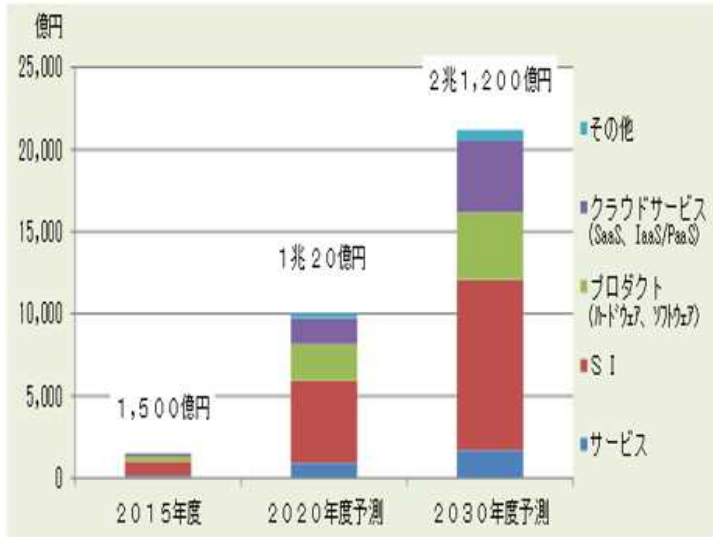
図IV-1.1-2 CPO 構造、NPO 構造と本プロジェクトの構造

データセンターサーバや高性能コンピュータ（HPC）市場は今後も堅調な成長を維持すると予想される。ある調査会社は2022年時点でHPC市場は世界で450億米ドル規模であり、7%のCAGRで2030年までに720億米ドルに達すると予想している。これは気象・防災、創薬、交通などAI/ビッグデータを活用する様々な分野での需要が大きく拡大しているためであり、HPC市場の成長に対する社会の期待は大きい。

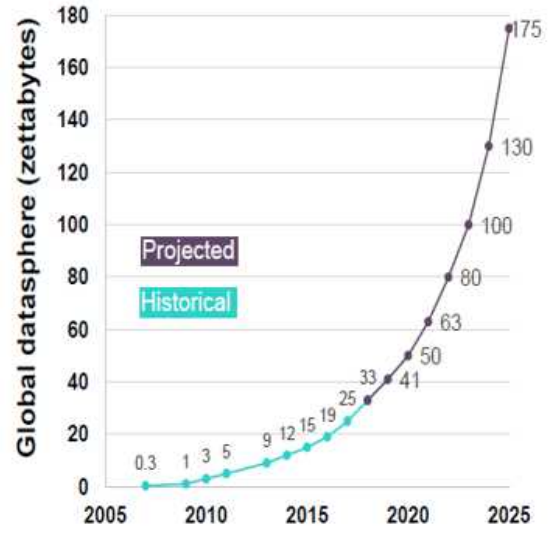
本プロジェクトで開発したサーバ間光インターコネクト技術は、次世代の高性能サーバシステムおよびそれを支える大規模ネットワークの差別化技術として期待している。本プロジェクトで開発した技術を他社に先駆けていち早く事業化するために、サーバ事業関連部門と定期的な情報交換を行っている。サーバ実装コストを含めた全体のコストダウンや光I/Oの供給を含めたサプライチェーンの検討を進めていく。

1. 2 ラックスケール並列分散システム

Big Data や AI で扱うデータ量・計算量ともに増大しており、図IV-1.2-1に示す様に国内市場において2020年度は6.7倍、2030年度は14.1倍で成長している（2015年度比）。また、世界的に扱うデータ量は、2年毎に倍増している。



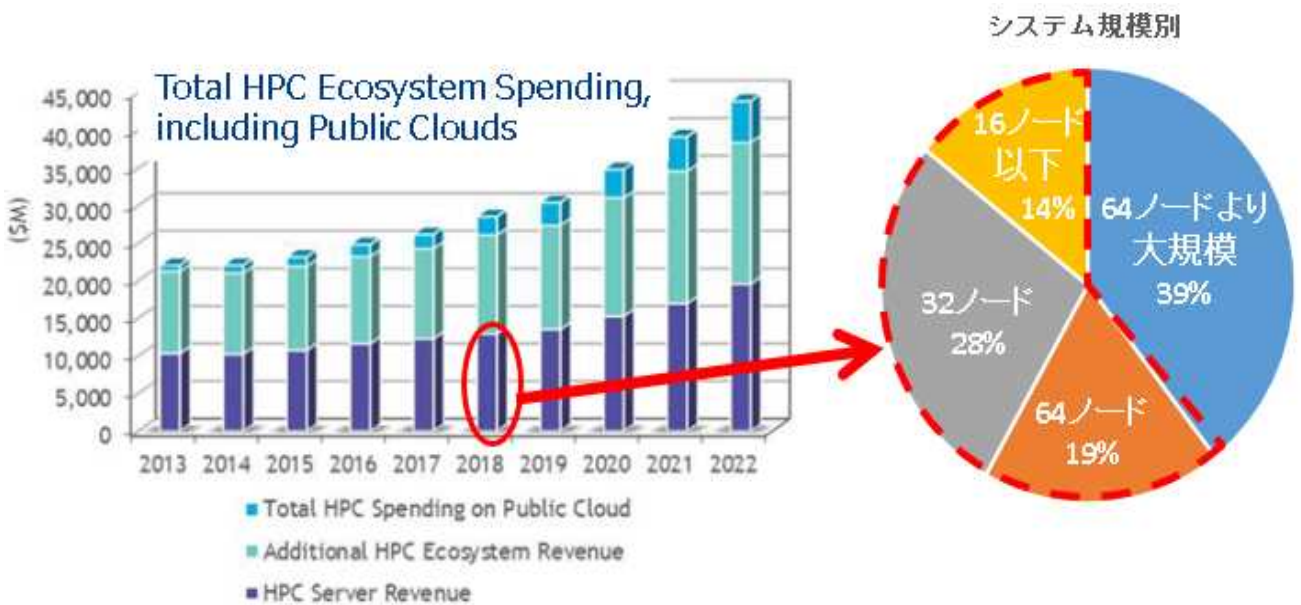
富士キメラ総研「人工知能ビジネス総調査2018;2016」



IDC「Data Age 2025 study」

図IV-1.2-1 Big Data/AI で扱うデータ量・計算量ともに増大

世界的な市場規模は、HPC(High Performance Computing)の領域において図IV-1.2-1 に示す様に、システム規模別に見ると分散処理を必要とするユーザの6割が64ノード以下の構成であり、1.2兆円のパークが見込まれる。1ラック規模のシステムを実用化・事業化のターゲットとすることが有望である。



出展：HYPERION RESERCH, 2018

図IV-1.2-2 分散処理を必要とするユーザの6割が64ノード以下の構成

国内の特に AI 市場規模予測を図IV-1.2-3 に示す。2025 年度において国内 AI ビジネス市場は、約 3,750 億円(プロダクト)が見込まれ、HPC やラックサーバ領域において波長ルータや光ネットワークカードを組み込み、伝送性能向上とコスト削減によりビジネスの拡大が期待される。



図IV-1.2-3 国内の市場規模予測

ラックスケール並列分散システムは消費電力の少ない光電子集積インターポーザ技術と波長多重技術を用いた接続技術を組み合わせた光電子融合サーバボードを試作し、試作機とシミュレーションを用いてサーバ電力量を30%削減可能であることを実証した。

また、ラックスケール並列分散システムをFPGA(Field Programmable Gate Array)の論理回路として実装したFPGA+光ボードで実際のアプリケーションを動作させ、OPTWEBでノード間を接続することで、従来のサーバ(Xeon)に比べ実効性能が向上することを実証した。

昨今、注目を集めている人工知能(AI: Artificial Intelligence)や、分散処理向けのシステムとしてOPTWEBの有効性が見込まれる。

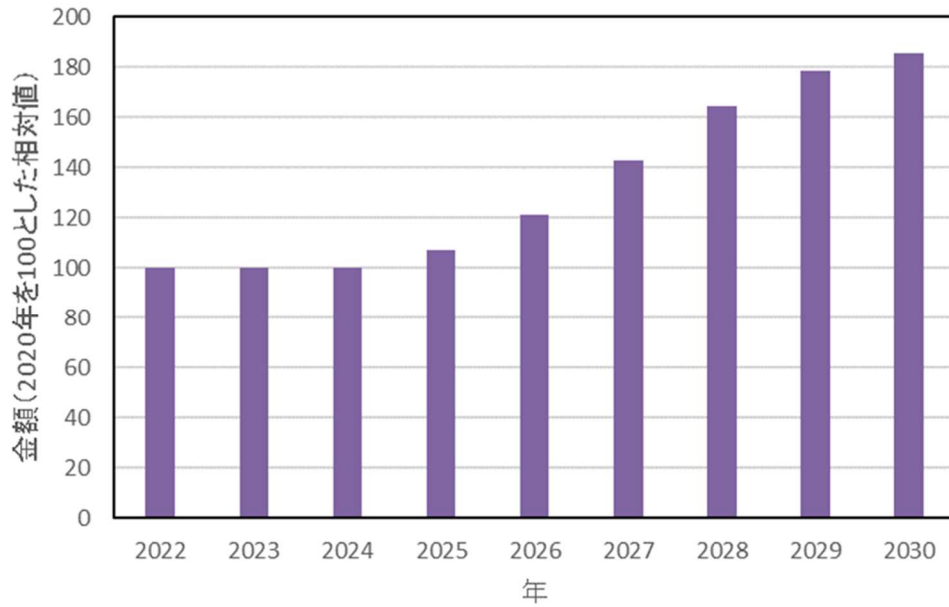
今後の事業化に向けて、ボードを試作し具体的用途の検討を促進すると共に、市場動向や競合他社の動向を見据えタイムリーに実用化できるよう検討・開発を行う。

並行してラックスケール並列分散システムを量産化レベルに仕上げるための信頼性確認、歩留まり向上するための検討を進めると共に、ラックスケール並列分散システムをより使いやすく、汎用的な部品とするための検討も進める。具体的には、ラックスケール並列分散システムは光部品を光ファイバで接続するための光コネクタが多いため、組立が容易に出来ない課題もある。実用化のためには誰でも取り扱いやすい形態が必須と考え、一括接続可能なコネクタの様な交換が容易となるモジュール化の検討も進める。

1.3 情報通信システム化技術

日本を含む世界では既に5Gサービスの提供が始まっているが、現状の5Gはまだほとんどが4G設備上で提供されていて、フルスペックの5Gは限られた場所でスポット的に提供されているのみにとどまっている。今後、ポスト5Gとも呼ばれる本格的な5Gサービスの提供に向けては、スモールセルと呼ばれる小さなエリアごとに基地局を面的に設置する必要がある。そうすると基地局の設置数は4Gネットワークの約100倍に上ることが想定されるので、基地局装置には設置場所を選ばない小型化が求められる。多数のスモールセルアンテナを結ぶフロントホールネットワークにはPONの構成を用いてスモールセルアンテナを既存の光アクセスファイバ網に收容する方式が設備コストの観点から有望である。

「(f-2) 情報通信システム化技術」項の開発は、5Gネットワークを支えるPONシステムへの適用を目指すものであり、ONUの小型化により、設置場所を選ばない小型のスモールセル基地局装置が実現され、5Gの本格的な普及を加速させることが期待される。5Gの機能拡張における面的な基地局の敷設に併せて、PON仮想化によるネットワーク資源割当制御機能を利用したPON資源のダイナミックな制御や、サービス毎にネットワークスライスを構築することによる効率的なネットワーク運用も視野に入れている。



図IV-1.3-3 国内のPON装置市場規模予測

今後の事業化に向けては、モバイルキャリアへのヒアリングを実施し、5G スモールセルの敷設計画を調査するとともに、ローカル 5G への展開も考慮し、CATV 事業者などへもヒアリングを行い、ネットワーク構成に対する展望や課題を探る。また、業界の標準化活動に参加することで、システムレベルで他社/他装置との接続検証、各通信キャリアでのフィールド試験に参加し、参入優位となる RFP につなげる。従来より、標準化団体における PON システムの標準化活動を先導してきたが、今後も海外も視野に入れてシステム全体としての技術の普及活動を行う。

2018年度～2021年度成果報告書

超低消費電力型光エレクトロニクス実装システム技術開発

/超低消費電力型光エレクトロニクス実装システム技術開発

2022年2月

国立研究開発法人新エネルギー・産業技術総合開発機構

委託先 技術研究組合光電子融合基盤技術研究所

目 次

まえがき	4
1. 研究開発の成果と達成状況	7
1.1 要約	7
(1) 和文要約	7
(2) 英文要約	10
1.2 本文	13
1.2.1 研究開発項目①光エレクトロニクス実装基盤技術の開発：(ii)革新的デバイス技術	13
1.2.1.1 革新的光源技術・光検出器技術	15
ア) 革新的光源技術（東京大学）	15
イ) 革新的光源技術（早稲田大学）	23
ウ) 革新的光検出器技術（東京大学）	29
1.2.1.2 革新的光変調器技術	34
エ) 革新的光変調器技術（横浜国立大学）	34
オ) 革新的光変調器技術（東京大学）	40
1.2.1.3 革新的光配線技術	45
カ) 革新的光配線技術（京都大学）	45
1.2.1.4 革新的光エレクトロニクス回路技術	50
キ) 革新的光エレクトロニクス回路技術（東京工業大学）	50
1.2.2 研究開発項目②光エレクトロニクス実装システム化技術の開発：(i)システム化技術	56
1.2.2.1 光電子集積インターポーザのデバイス・実装技術	58
ア) デバイス技術	58
イ) 集積化プロセス技術	83
ウ) 光実装技術	103
1.2.2.2 光電子集積インターポーザのシステム化技術	123
エ) 情報処理システム化技術	123
①光電子融合サーバボード	123
②ラックスケール並列分散システム	160
オ) 情報通信システム化技術	198
1.2.3 (ii)国際標準化	221
1.2.4 ③成果普及活動	225
1.2.4.1 成果普及・人材育成活動	225
1.2.4.2 普及活動	229
1.2.5 実用化、事業化の見通しおよび取組について（公開）	230
1.2.5.1 光電子融合サーバボード	230
1.2.5.2 ラックスケール並列分散システム	232
1.2.5.3 情報通信システム化技術	234
結び	236
2. 研究発表・講演、文献、特許等の状況	237
(1) 研究発表・講演	237

(2) 論文	255
(3) 特許等(知財).....	270
(4) 受賞実績	281
(5) 成果普及の努力(プレス発表等)	284

まえがき

本事業は、2012年9月より経済産業省「未来開拓研究プロジェクト」の一つとして開始され、2013年4月より独立行政法人 新エネルギー・産業技術総合開発機構（NEDO）から委託を受け2022年2月までの10年間のプロジェクトとして開始された。

本事業の目的は、電気回路と光回路の特徴を活かした要素技術の実装・集積化による光配線・光素子の新たな機能創出を図り、情報機器の小型化低消費電力化を実現し、システムレベルでの光配線技術の有効性を世界に先駆けて示すとともに、その事業化への道を拓いていくことを目的とする。最終目標としては、電子機器のデータ伝送において10 Tbps/ノードの伝送帯域と電気配線を用いる場合と比較して1/10の低消費電力化を、また通信速度あたりの面積比で1/100以下の小型化（100倍の帯域密度）を実現すること、更に、電気配線を用いたサーバボードに比べて消費電力を3割削減でき、かつデータセンタレベルでの運用が可能な光電子融合サーバを実現するための要素技術を確立することである。

これらの目標を達成するために、新たなデバイス構造に基づく、超低消費電力型の光エレクトロニクス実装基盤技術と、それらの要素技術を統合したシステム化技術等の開発を行い、データセンタレベルでの運用の可能性を検証する。また、光配線、光素子を開発し、電子機器の省電力化、高速化、小型化が可能となる光エレクトロニクス技術の実現により、今後電力消費が急増すると予想される電子機器の消費電力を大幅に（サーバの場合は30%）削減する。更に、光配線技術開発を通して、さまざまなエレクトロニクス機器に、フォトリソ回路を容易に搭載できるようにし、産業インフラ機器、民生機器、高精細画像・医療機器等への適用を検討する。また、これらの研究成果を光電子集積デバイス化、モジュール化、さらにはシステム化することにより、情報通信産業、半導体産業、回路基板産業など幅広いエレクトロニクス産業の活性化に貢献していくことを目指している。

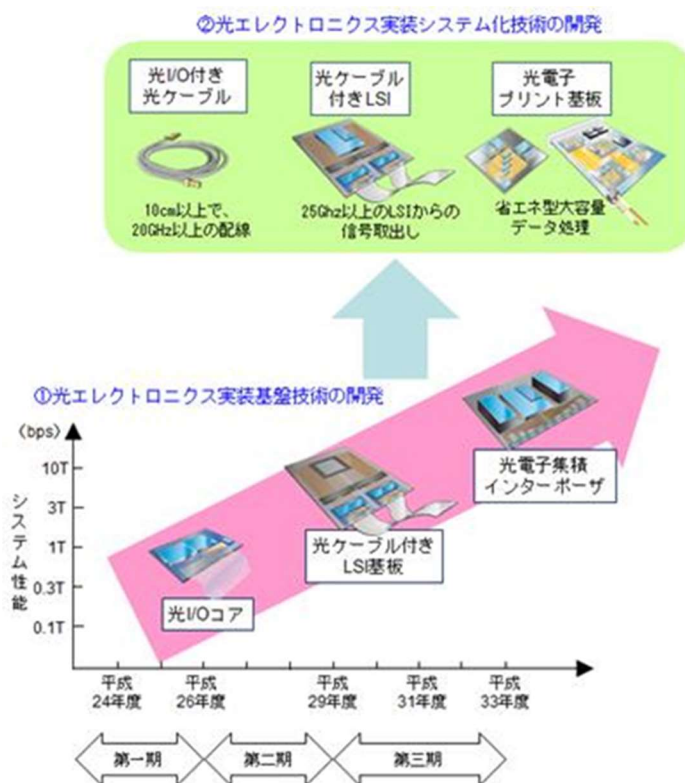


図 1-1 プロジェクトのマイルストーン

図 1-1 に 10 年間のプロジェクトのマイルストーンを示す。10 年間で 3 期に分け、第一期の 3 年間で基盤デバイスである光 I/O コアを開発し、第二期の 3 年間でこの光 I/O コアを集積化し、大容量 LSI を光接続可能な光ケーブル付き LSI 基板を開発する。更に、第三期の 4 年間で光電子集積インターポータを開発し、情報通信機器を中心に広くシステム化する。図 1-2 光エレクトロニクス実装プロジェクトの研究計画を示す。第一期、第二期の 6 年間の成果については、既に、2018 年 3 月に成果報告書にまとめて報告している。

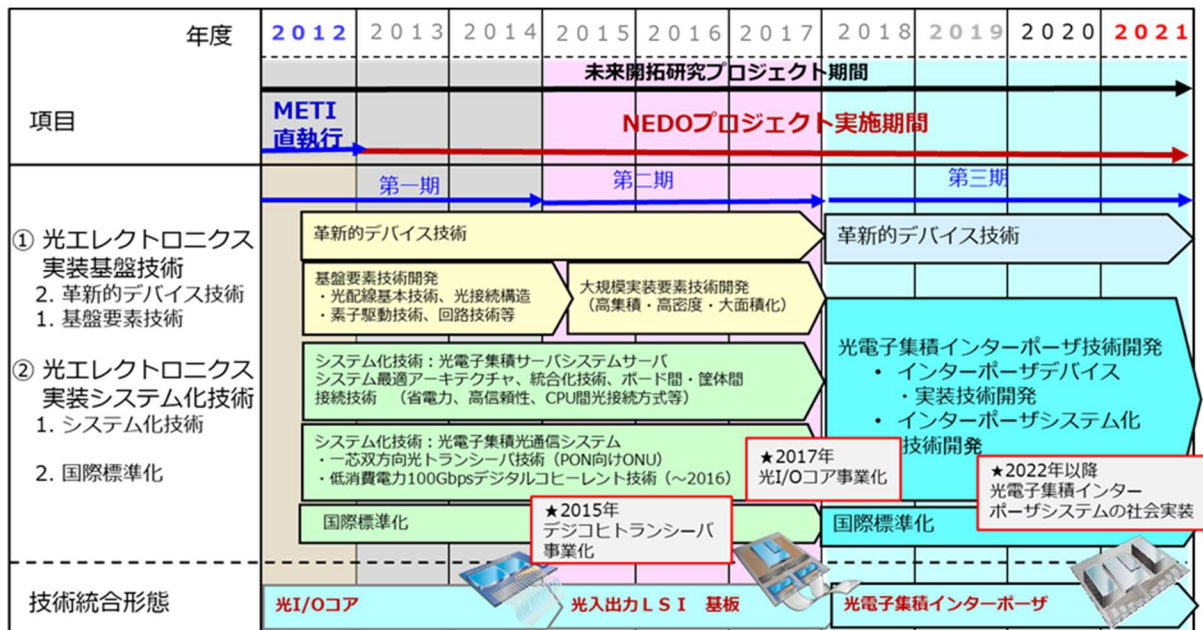


図 1-2 光エレクトロニクス実装プロジェクトの研究計画

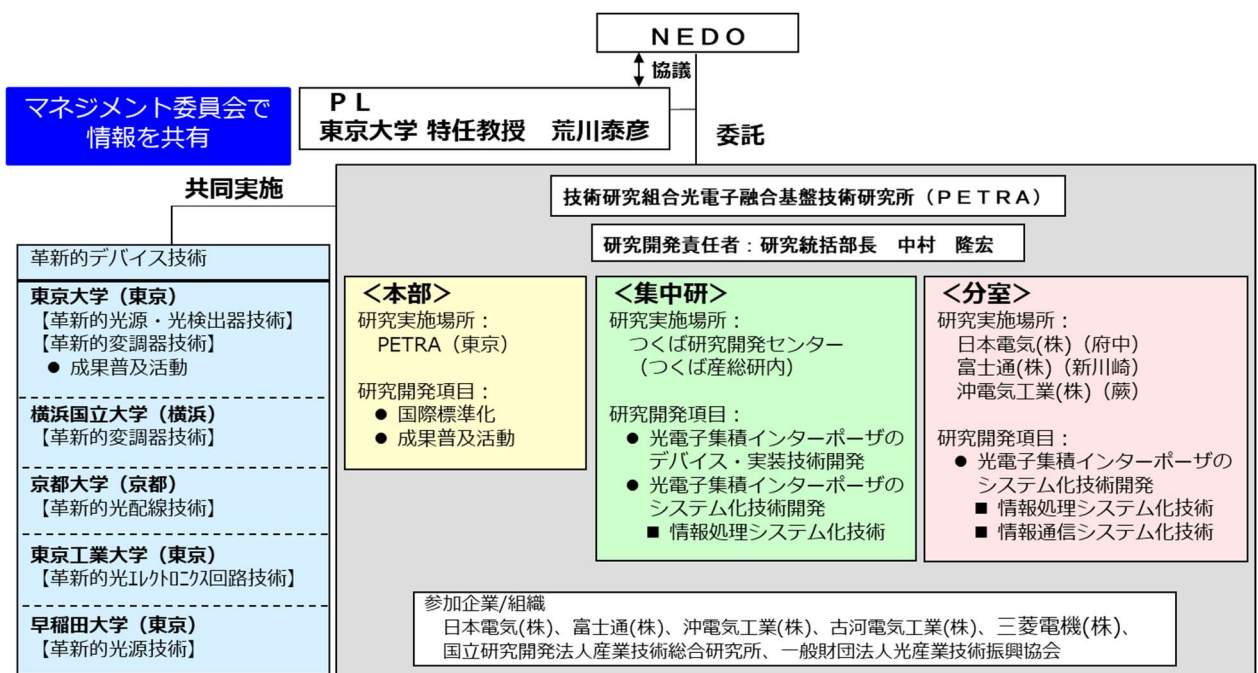


図 1-3 第三期の研究開発の実施体制

また、第三期の研究開発の実施体制を図 1-3 に示す。組合員企業の研究者が集中研である産業技術総合研究所内のつくば研究開発センターに結集し、基盤技術であるデバイス・実装技術の開発を担当した。また、組合員企業の各分室では、開発したデバイス・実装技術の応用として、実用化・事業化に向けたシステム化技術の開発を担当した。さらに、持続的高性能化に向けた革新的デバイスの開発は、大学と共同実施という枠組みで実践した。

本成果報告書では、第三期で行った、基盤技術であるデバイス・実装技術の開発、実用化・事業化に向けたシステム化技術の開発、革新的デバイスの開発について、4年間の成果を報告する。

1. 研究開発の成果と達成状況

1.1 要約

(1) 和文要約

革新的デバイス技術

光電子集積サーバの継続的高性能化を目指し、革新的デバイス技術の開発を推進した。

・革新的光源・光検出器技術

ア) 革新的光源技術 (東京大学) : 光電子集積インターポーザ用集積化光源に向け、ウェーハ融着法および転写プリント法を用いて変調器集積型シリコン光回路上ハイブリッド量子ドットレーザの集積技術を実証するとともに、量子ドット形成技術およびデバイス融着技術をさらに開発することで 1.4 μm 以上長波長帯でのシリコン基板上量子ドットレーザの実現に成功した。

イ) 革新的光源技術 (早稲田大学) : GaAs 基板上量子ドット(QD)へのイオン注入による集積光デバイス化技術を提案した。イオン注入深さ制御による 3 領域組成混合(QDI)技術を確立し、QD モノリシック集積レーザを実現した。イオン注入を用いた電界吸収型変調器(EAM)の 300 GHz 超広帯域の可能性を示し、変調器集積 QD 波長可変レーザ実現に向けた諸技術を確立した。

ウ) 革新的光検出技術(東京大学) : III-V-OI 基板上での量子井戸インターミキシングにより、能動光素子と受動光素子を一体集積することに成功し、低寄生容量導波路型受光器を実証した。また高品位 Ge-OI 基板を実現し、波長 2 μm でも動作可能な横型 PIN 接合導波路型受光器を実証した。

・革新的光変調器技術

エ) 革新的光変調器技術 (横浜国立大学) : 電極構造を最適化して光-電気位相整合を施した Si フォトニック結晶スローライト変調器を製作し、25~64 Gbps の OOK 変調、40~100 Gbps の PAM4 変調のアイパターン開口を観測した。また 4 波長多重で 50 \times 4 = 200 Gbps の変調も確認した。

オ) 革新的光変調器技術 (東京大学) : SiO₂ 埋め込み Si 導波路を用いた低寄生容量ハイブリッド MOS 型光変調器を実現し、40 Gbps PAM4 変調に初めて成功した。また III-V-OI 基板上で横方向 PIN 接合を用いた EA 変調器の動作実証にも成功した。

・革新的光配線技術

カ) 革新的光配線技術 (京都大学) : 機械学習を活用した汎用性が高くかつ高度な設計が可能なフォトニックナノ構造設計手法を開発した。また電気パルスによる動的制御が可能かつ超低損失なフォトニックナノ構造を作製するプロセスを確立した。これらにより 3 共振器結合系における電気制御光転送を実現し、光電子集積チップによる動的光バッファリング技術の基礎実証に成功した。

・革新的光エレクトロニクス回路技術

キ) 革新的光エレクトロニクス回路技術 (東京工業大学) : SOI 上異種材料集積のための室温表面活性化接合技術を確立、この技術による世界初のハイブリッド光デバイスを実現し、複数のデバイスを組み合わせることで、機能可変光回路の一例として波長変換機能をワンチップで実現した。また、磁性材料をリング共振器に積層することで、不揮発メモリ・スイッチを実証した。

システム化技術

・光電子集積インターポーザのデバイス・実装技術

ア) デバイス技術

低消費電力で 10 Tbps を実現するシリコンフォトニクス集積回路の要素技術開発を行い、超小型・大容量 WDM チップの要素素子である 112 Gbps 光変調器・受光器及びこれらを動作させるドライバ・

TIA、16 波長合分波器を開発した。光変調器については、GeSi-EA 光変調器の最適化により 112 Gbps PAM4 動作を実証した。受光器については、横型 PIN 接合構造導波路型 Ge 受光器により 112 Gbps PAM4 動作を実証した。ドライバ・TIA については、最先端 SiGe-BiCMOS プロセスを用いて 112 Gbps PAM4 動作を実証した。受光器と TIA をフリップチップ実装した光レーシーバを作製し、世界最高の 112 Gbps PAM4 動作を実証した。一方、低消費電力化に関しては、ドライバ・TIA を 22 nm CMOS で設計・シミュレーションし、1 mW/Gbps 以下を達成できることを明らかにした。16 波長合分波器については、8 波長 AWG と 2 波長 DMZI バンドパスフィルタを用いた構造により、低損失・低クロストーク動作を実証した。

イ) 集積化プロセス技術

300mm 統合プロセス及びウェハプローバ技術を開発し、以下の成果を得た。導波路デバイスは、加工プロセス最適化により世界最高の低伝搬損失導波路とスペクトル再現性の高い合分波器を実現した。変調器に対するドーピングやエッチングの影響を調べ、高い効率再現性 6%を実証した。Ge 成長技術改善により低貫通転位密度 ($\sim 1 \times 10^7 / \text{cm}^2$) を達成し、低暗電流かつ高受光感度のバッド結合受光器を実現した。これらのデバイスプロセスを統合し、集積回路の高速動作を試作実証した。更に、300 mm 統合プロセス技術をファンドリに展開し、良好なデバイス特性を確認した。ウェハプローバについては、高速(>50 素子/2 時間)の動作特性評価システムを構築し、300 mm 統合プロセスによるデバイスの高い動作均一性を明らかにした。更に、ウェハプローバにより得られたデバイス特性をライブラリ化し、それにより大規模合分波回路を高精度に設計できることを示した。また、デバイス特性ばらつきの解析を基にモンテカルロ回路シミュレーションを実施し、回路性能ばらつきの予測を行った。

ウ) 光実装技術

シリコンフォトニクスチップを内蔵し、ポリマー光導波路を集積した光電集積インターポーザの実装技術開発を行い、シリフォト光入出力密度 20 Tbps/mm² と 10 Tbps 伝送密度の光リンクを実証した。上記の光電子集積インターポーザを実現するために、シリコンフォトニクスとポリマー光導波路を小型、波長無依存で光接続可能な 3 次元樹脂ミラーの実現、多芯ポリマー導波路と多芯光ファイバとを低損失で接続する光コネクタの実現、シリコンフォトニクス実装技術とポリマー光導波路形成技術の確立を行った。上記を高スループットに試作する技術も確立した。3 次元樹脂ミラーについては、3 次元立体構造の設計法と作製法を確立し、実際に積層した 3 次元ミラーを用いて、シリコンフォトニクスとポリマー光導波路を損失 3 dB で接続実証した。光コネクタについてはシングルモードポリマー光導波路アレイとシングルモード光ファイバアレイの 12 芯高精度光結合 (平均<2 dB) を実証した。高スループット試作技術については、インターポーザサイズ (50 mm 角) を一括で露光できるインプリントステップ装置を開発した。

- ・光電子集積インターポーザのシステム化技術開発

エ) 情報処理システム化技術

- ・光電子融合サーバボード

10 Tbps の CPU 間インターコネクトを実現する光電子融合サーバボードの実装技術を確立した。シリコンと近い熱膨張率を持ち、剛性、平坦性に優れたガラス基板を光電子集積インターポーザの有望な基板材料と考え、ガラス 4 層で構成する合計 2 mm 厚のガラス基板を開発した。試作したガラスインターポーザは 112 Gbps PAM4 の電気信号伝送が可能な高速電気特性を示した。光配線技術としてポリマー導波路とファイバを接続する高精度なコネクタアセンブリ技術を開発し、ポリマー導波路は 0.5 dB/cm と低損失な結果が得られ、ポリマー導波路と接続する新規ファイバアセンブリ構造では平均

1.45 dB の低接続損失特性を示した。ガラス基板上にスーパーコンピュータ用高性能 CPU と高密度光エンジン搭載ボードを実装した光電子集積インターポーザを LGA ソケットを介して接続する光電子融合サーバボードの実装技術を開発した。試作した光電子融合サーバボードを評価用サーバシステムシェルフに収納、CPU 内で高速信号処理を行う SERDES から 25 Gbps 信号を生成し、サーバ間 25 Gbps×4 チャンネル光信号疎通を確認した。また製造誤差や環境温度変動に対応できる自律制御型の WDM フィルタを開発した。光回路に集積した受光器で信号強度をモニタし、透過特性をフィードバック制御することで異なる波長の信号間で 50 dB 以下のクロストークを実現し、4 波長から 32、64 波長までスケールアップできることを実証した。以上の技術確立により 10 Tbps 光電子融合サーバボードの実現が可能であることを示した。

・ラックスケール並列分散システム

デバイスからアプリケーションまでの協調設計により、高速・低消費電力量サーバを開発した。デバイスでは、2 個の HBM2 メモリと、高密度波長分割多重に対応した 8 個の高帯域密度光モジュールを搭載し、最大 32 台の FPGA メモリ間を 800 Gbps の広帯域で接続可能な FPGA カードを開発した。レイヤ 1 では、消費電力の大きなパケットスイッチを排除し、電気/光信号間の変換回数を半減する波長ルーティングを用いて、8 台の FPGA カード間を低遅延でフルメッシュ接続するネットワークを開発し、全 224 チャンネル、総帯域幅 5.6 Tbps でエラーフリー動作を実証した。レイヤ 2&3 では、FPGA 間の軽量なフロー制御とルーティング・アルゴリズムを実装したネットワーク・アーキテクチャ OPTWEB を開発した。FPGA 間でのリモート・ダイレクト・メモリ・アクセスを実現し、低遅延 (0.7 μ s) ・広帯域 (720 Gbps) の Alltoall 通信を実証した。サーバおよびアプリケーションでは、各ノードに InfiniBand EDR スイッチを介して電気配線された CPU と、波長ルーティングと OPTWEB で光配線された FPGA が実装された 8 ノードのラックサーバ、及びこのサーバ上で動作する分散ソータを開発した。分散ソータの実験結果から、電気配線サーバに比べて、光配線サーバの 48 倍の高速化と 98% の消費電力量削減を実証した。

オ) 情報通信システム化技術

5G スモールセル基地局に組み込み可能な TWDM-PON 用の超小型光トランシーバの開発を目的として、モジュールサイズを 10 cm×2 cm×2 cm に小型化するための要素技術を確立した。上り下り各 4 波長多重、10 Gbps の一芯双方向送受信機能をシリコンフォトニクス技術により 5 mm×3.5 mm のワンチップに集積した光送受信チップを試作して、偏波無依存受信動作を実証した。アバランシェフォトダイオード導入による受光器の高感度化に取り組み、光吸収領域と増倍領域を分離した SAM 構造により、最大 130 A/W の受光感度を達成した。ビットエラーレートを評価した結果、最小受信感度 -22 dBm を得た。さらに、光送受信チップを回路基板に埋め込んだ光電子集積インターポーザ及びポリマーミラーを用いた偏波無依存の光結合構造を備え、サイズ 10 cm×2 cm×2 cm のパッケージに収容できる光トランシーバモジュールを試作して、上り下り各 4 波長多重、10 Gbps の一芯双方向送受信動作、及び偏波無依存受信動作を実証した。

国際標準化

光電子集積インターポーザの適用分野として、COBO、OIF において LSI と光インターフェースをパッケージレベルで集積する Co-package 標準化を推進し、データセンタからコンピューティングの幅広い分野に適用可能な標準体系として、インターフェースと物理仕様であるサイズやピン配置の標準化を進展させた。IEC において光電子集積インターポーザの標準化体系を確立し、パッケージと光イ

ンターフェースの標準化を達成した。

成果普及活動

- ・成果普及・人材育成活動

光電子融合技術に加えて、量子情報や光コムなど広範なフォトニクス技術に関する基礎から産業化までを扱ったフォトニクス・イノベーションセミナーを開催した。地方開催やオンラインでの開催として、学生や社会人から多くの参加者を得たことで、当該技術の社会実装を推進する人材の育成に寄与した。

- ・普及活動

PETRA と東京大学が主催する国際会議「ISPEC」で、PETRA の成果発表と国際的な技術交流を行った。また、OFC、CEATEC、InterOpto 等の展示会で研究成果を展示した。これらの内容を PETRA-WEB、活動報告の中で紹介するとともに、一部はプレスリリースをした。

(2) 英文要約

The followings are some of the main achievements at universities. To realize an integrated light source for an optoelectronic integrated interposer, quantum dot (QD) lasers were integrated using transfer printing method. Developing QD formation technology and device bonding technology, QD lasers on a silicon substrate in a long-wavelength band over 1.4 μm were also demonstrated. A monolithically integrated QD laser was realized with a newly developed three-region QD compositional intermixing technology. An ultra-high-speed electro-absorption modulator (EAM) by ion implantation with 300 GHz bandwidth was proposed. Active-passive integration on III-V on insulator (III-V-OI) wafer was achieved using quantum well intermixing, demonstrating a low-capacitance waveguide photodetector on such a wafer. In addition, a waveguide photodetector with a lateral PIN junction that can operate at 2 μm wavelength was demonstrated on a high-quality Ge-on-insulator wafer. Photonic crystal slow light modulators allow for significant size reductions in Si Mach-Zehnder modulators, maintaining a wide working spectrum and temperature tolerance. Devices with optoelectronic phase matching extended the frequency bandwidth to 38 GHz. OOK and PAM4 open eyes were confirmed up to 64 and 100 Gbps, respectively. A 4-wavelength multiplexing 200 Gbps modulation was demonstrated. A low-parasitic-capacitance III-V/Si hybrid MOS optical modulator was obtained using an SiO₂-embedded Si waveguide. 40 Gbps PAM4 modulation was demonstrated using the III-V/Si hybrid MOS optical modulator. An EA modulator with a lateral PIN junction was also demonstrated on a III-V on III-V-OI wafer. A versatile and sophisticated design method for photonic nanostructures based on machine learning was developed. Also, a fabrication process of ultra-low loss photonic nanostructures with p-i-n junctions was established. Based on them, electrically controlled photon transfer in a three-cavity coupled system was realized. A room-temperature surface-activated bonding technology for heterogeneous material integration on SOI was established. This technology realized a wavelength conversion function by combining multiple devices on a single chip, an example of a functionally tunable photonic integrated circuit. A non-volatile memory switch by stacking magnetic materials on a ring resonator was also demonstrated.

For a 10-Tbps photonics electronics integrated interposer that require not only for large-capacity transmission but also for low-power consumption, small size, and low cost, silicon photonics device, their integrated process, and optical assembly technologies were developed.

In the silicon photonics device technology, an optical modulator/photodetector, a driver/TIA that operates them,

and a demultiplexer, which consist of an ultra-compact, large-capacity WDM chip, were developed. 112-Gbps PAM4 operation were demonstrated by a GeSi-EA modulator and a horizontal PIN junction structure waveguide-type Ge photodetector, respectively. 112-Gbps PAM4 operation of the driver/TIA were demonstrated using the state-of-the-art SiGe-BiCMOS process. Regarding low-power consumption, these drivers and TIAs were designed and simulated with 22 nm CMOS, and they were clarified that less than 1 mW/Gbps can be achieved. For a 16-wavelength demultiplexer using 8-wavelength AWGs and a 2-wavelength DMZI bandpass filter, low-loss and low-crosstalk operation was demonstrated.

In silicon photonics integrated process technology, the following results were obtained. The world's lowest propagation loss waveguide and high spectral reproducibility demultiplexer were realized in 300 mm wafers. A low penetration dislocation density in Ge growth was demonstrated, and a butt-coupled photodiode was realized with low dark current and high sensitivity. These 300-mm integrated process technology was deployed to the foundry and good device characteristics were confirmed. A high-speed operated wafer prober system was constructed for device characteristic evaluations. The device characteristics obtained by the wafer prober were made into a library and a large-scale combined demultiplexing circuit could be designed using the library with high accuracy. In addition, a Monte Carlo circuit simulation was performed based on the analysis of device characteristic variations, and circuit performance variations were predicted.

Optical assembly technology was developed for a photonics electronics integrated interposer with a built-in silicon photonics chip and integrated polymer optical waveguide and demonstrated an optical link with an optical I/O density of 20 Tbps/mm² and a transmission density of 10 Tbps to a silicon photonics chip. A 3D polymer mirror that can optically connect a silicon photonics waveguide and a polymer optical waveguide in a compact size and wavelength independent was realized with a 3 dB loss using a stacked 3D mirror structure. Also, an optical connector that can connect 12-arrayed polymer waveguides and 12-arrayed optical fibers with low loss (average < 2 dB), was realized. For high-throughput prototype technology, an imprint stepper device that can expose interposer size (50 mm square) at once was developed.

From the above, all the project goals in silicon photonics device, their integrated process, and optical assembly technologies have been achieved.

The electronic-photonic convergence server board has been assembled then has proved to efficiently function as high-capacity optical interconnect targeting 10 Tbps. The four-layered glass substrates were developed since they showed superior flatness and stiffness properties to the conventional organic ones, leading to the higher speed transmission capability for 112 Gbps PAM4 in the S11 spectrum. The 0.5dB-low-loss polymer optical waveguide and the 1.45 dB-loss connector were developed, which can be formed on the glass substrate. And then we fabricated the electronic-photonic convergence server board on which the glass substrate involving optical engines and CPUs specific to super computers are assembled. The sever boards ware installed into the rack shelf and 100 Gbps (25 Gbps x 4 channels) optical transmission has been demonstrated. Furthermore, the wavelength division multiplexing Mux/Demux filters provided the very low crosstalk less than -50dB between adjacent WDM signals, demonstrating the scalable feasibility from 4 to 64 wavelengths.

A high-speed and low-energy consumption server was developed with co-design from devices to applications. In devices, a wide (800 Gbps) bandwidth FPGA card, which is equipped with 2 HBM2 memories and 8 high-bandwidth-density embedded optical modules that support dense wavelength division multiplexing, was developed. In physical layer, a fully-connected wavelength routing network that eliminates power-hungry packet

switches was developed, and error-free operations on all 224 channels with 5.6 Tbps total bandwidth were demonstrated. In data link layer, a lightweight network architecture OPTWEB for inter-FPGA communications was developed. A remote direct memory access and low-latency (0.7 μ s) and wide-bandwidth (720 Gbps) all-to-all communication among 8 FPGAs were demonstrated. In servers and applications, an 8 node rack server, in which each node has a CPU electrically wired with InfiniBand EDR and an FPGA optically wired with wavelength routing and OPTWEB, was developed. A distributed sorter that runs on the server was developed and 48 times speed-up and 98% energy reduction by the optically wired server were demonstrated in comparison with those by the electrically wired sever.

Si photonics integrated optical transceivers for TWDM-PON ONU were developed. Bidirectional 4 wavelengths multiplexing and polarization-independent 10 Gbps receiving operation was demonstrated on a silicon one-chip of 5 mm x 3.5 mm. To improve receiving sensitivity, avalanche photodiodes with lateral SAM structure in which the absorption region and the multiplication region were separated was employed for the photodetectors of the optical transceivers. Responsivity higher than 130 A/W and sensitivity around -22 dBm were obtained. Optical transceiver modules that have a photonics electronics integrated interposer with an optical transceiver chip embedded in a circuit board and a polarization-independent optical coupling structure using a polymer mirror were fabricated. They can be contained in a package of 10 cm x 2 cm x 2 cm in size. 10 Gbps bidirectional transmitting and receiving operation and polarization-independent receiving operation with 4 wavelengths multiplexing were demonstrated.

Standardization for photonics-electronics interposer has been conducted to support broad market potential of co-packaging applications. In the IEC, PIC package standard and high-density optical interface standard have been completed.

The photonics innovation seminars, which covered a wide range of photonics technologies including the electronic-photonic integration technology, quantum information and optical comb, were held. The seminars attracted many participants from students and researchers, contributing to the education for the photonics technologies.

1.2 本文

以降に、①光エレクトロニクス実装基盤技術：革新的デバイス技術と②光エレクトロニクス実装システム化技術：システム化技術の個別テーマごとの、研究開発成果について述べる。

1.2.1 研究開発項目①光エレクトロニクス実装基盤技術の開発：(ii)革新的デバイス技術

全体成果

電子機器の電気配線を光化する光配線技術と電子回路技術を融合させた光エレクトロニクス実装システム技術の根幹となる光電子集積インターポーザをさらに発展させることを目的に革新的デバイス技術を開発した。尚、本研究は、東京大学、京都大学、東京工業大学、横浜国立大学、早稲田大学と共同研究契約を結んで推進した。

成果の概要：

本プロジェクト期間を通して、光電子集積サーバの将来の進展に寄与する基盤技術に関連する多くの優れた成果が創出された。これらの成果は、世界初・世界最高などと位置付けられる学術的価値が高いものであることはいうまでもなく、実用化に資する技術としても大いに期待されるものである。すでに一部の成果については、光エレクトロニクス集積デバイス技術・超低消費電力・高密度デバイス技術との連携のもと、実用化を視野にいたした研究開発に進展している。このように、当初目標を達成する成果が得られた。

本プロジェクトで得られた成果の例を以下に示す。詳細は以下の項目別成果報告を参照頂きたい。

(成果の一例)

- ・シリコン導波路結合型量子ドットレーザの実証（多チャンネル集積・転写プリント法開発など）
- ・長波長帯(1.43 μm)量子ドットレーザの実現とそのシリコン基板上形成の実現
- ・量子ドット組成混合技術の開発とモノリシック集積量子ドットレーザの実現
- ・イオン注入による超広帯域電界吸収型変調器の提案
- ・Ge 薄膜導波路や III-V 族半導体薄膜導波路を使った導波路型受光器の実現
- ・64 Gbps までの高速なフォトニック結晶スローライト変調器の実証
- ・多値変調や波長多重を利用して、スローライト変調器の 100 Gbps を超える可能性を実証
- ・ハイブリッド MOS 型光変調器による多値変調の実現
- ・電気制御による光転送が可能な超低損失フォトニック結晶ナノ共振器結合系の実現
- ・機械学習を活用した汎用性が高くかつ高度な設計が可能なフォトニックナノ構造設計手法の開発

最終目標と主な成果を表 1.2.1-1 に示す。

表 1.2.1-1 最終目標と主な成果

達成度:◎大幅達成、○達成、△達成遅れ、×未達

(ii) 革新的デバイス技術	最終目標	主な成果	達成度
ア)革新的光源技術 (東京大学)	シリコン光回路上ハイブリッド量子ドットレーザの集積技術を実証するとともに 1.4 μm 以上の長波長帯のシリコン基板上量子ドットレーザの実現可能性を示す。	シリコン導波路結合型量子ドットレーザについては、転写プリント法を用いた量子ドットレーザの集積技術を実証した。1.4 μm 以上長波長帯量子ドットレーザの実現に成功し、シリコン基板上形成も実現した。	○
イ)革新的光源技術 (早稲田大学)	量子ドットレーザへのモノリシック集積化技術を開発し、シリコン基板上変調器集積量子ドット波長可変レーザ実現の可能性を示す。	量子ドット組成混合技術を開発し、量子ドットと導波路の集積レーザを実現した。波長可変レーザに向けての回折格子作製技術の開発や、イオン注入による超広帯域電界吸収型変調器を提案し、目標への要素技術を開発した。	○
ウ)革新的光検出器技術 (東京大学)	光電子集積インターポーザ用光変調器に向け、スローライト変調器において、30Gbps 以上のOOK 変調動作を実証する。また、多値化による長多重化によるさらなる動作の実現可能性を明らかにする。	GeOI 基板上に Ge 導波路を形成し、横方向 PIN 接合を形成した導波路受光器を作製して良好な受光特性を得た。また III-V-OI 基板上においては量子井戸インターミキシングにより、横方向 PIN 接合を形成した導波路型受光器をモノリシック集積することに成功した。	○
エ)革新的光変調器技術 (横浜国立大学)	光電子集積インターポーザ用光変調器に向け、スローライト変調器において、30Gbps 以上のOOK 変調動作を実証する。また、多値化や波長多重化によるさらなる動作の実現可能性を明らかにする。	位相不整合を解消する電極構造等を導入することで遮断周波数を 38GHz まで向上させ、OOK 変調で 64Gbps の動作を得た。また、PAM で 100Gbps、4 波長多重で 200Gbps の動作の可能性を示した。	○
オ)革新的光変調器技術 (東京大学)	光電子集積インターポーザ用の集積化光変調器への展開に向け、ハイブリッド MOS 型変調器等に対し、多重化・多値変調等の伝送方式を実現する可能性を実証することにより、光電子集積インターポーザへの技術展開の見通しと事業化に対する課題を明確化する。	SiO ₂ 埋め込み Si 導波路を用いることで、ハイブリッド MOS 型光変調器の寄生容量を大幅に低減することに成功し、40 Gbps PAM-4 変調に初めて成功した。III-V 族半導体薄膜を用いた EA 変調器の作製プロセスも確立し、高速変調の可能性を示した。	○
カ)革新的光配線技術 (京都大学)	光電子集積インターポーザへの展開に向け、フォトニックナノ構造等による光損失補償機能や光バッファ機能を統合することなどにより高度な光配線技術を開発し、光電子融合サーバ技術の革新的展開へ寄与する。	共振器による光信号保持と電気信号制御による共振器間光転送が可能な光パルスバッファリング機能の基礎技術を実証した。また機械学習設計と高度な光損失低減プロセス等の統合により、転送効率 90%以上、光保持時間 3ns 以上を得る見通しを得た。	○
キ)革新的光エレクトロニクス回路技術 (東京工業大学)	光電子集積インターポーザへの展開に向け、シリコンインターポーザ上で機能可変型光エレクトロニクス回路の基本機能を実証して光 FPGA 実現の見通しを明らかにすることにより、光電子集積サーバ技術の革新的展開へ寄与する。	光 FPGA の基本構成であるハイブリッド光利得素子、特性可変ミラー、不揮発性スイッチを実現するとともに、光利得素子をつなぎ合わせワンチップ上で波長変換機能を実現することで、光 FPGA 実現の見通しを明らかにした。	○

コスト競争を回避し、長期的な技術的優位性を確保し続けるためには、光電子集積サーバの継続的な高性能化を可能とする光電気集積デバイスの更なる小型化・低消費電力化・高機能化が必要となる。そのため、技術的に非連続な革新的デバイスの基盤技術となる、光源、光検出器、光変調器、光導波路のデバイス技術開発や機能可変技術、光スイッチング技術の開発を行った。

1.2.1.1 革新的光源技術・光検出器技術

光電子集積インターポーザの光源、受光器の高性能化に向け、シリコン基板上量子ドットレーザ技術とその集積化技術の開発を行うとともに、高感度受光器に関する技術開発を行う。また、新たな技術として歪シリコンゲルマニウムを用いた高効率・省電力光変調器の技術開発も行った。

ア) 革新的光源技術（東京大学）

<位置づけ、最終目標>

【位置づけ】

光電子集積サーバ用の集積化光源への展開として、シリコン上量子ドットレーザの性能向上を目指すとともに、それらを光変調器などの機能が集積化された光チップ上に集積しその基本動作を実証する。また、シリコン基板上の高品質 1.3 μm 帯量子ドット形成技術を基礎に更なる結晶成長技術の深化と波長制御技術の確立を図り、次世代集積化用光源技術として 1.4 μm 以上の長波長帯のシリコン基板上量子ドットレーザの技術開発を行う。

【最終目標】

光電子集積サーバ用の集積化光源への展開として、1.4 μm 以上の長波長帯のシリコン基板上量子ドットレーザの実現可能性を実証する。また、集積シリコン光回路上ハイブリッド量子ドットレーザの基本動作を実証試作する。これらの検討を通じて、光電子集積サーバ技術への技術展開の見通しを示すとともに、事業化に対する課題を明確化する。

<アプローチ、特長技術>

量子ドットでは、三次元的量子閉じ込めに起因して電子のエネルギーが離散化される。この量子ドットを活性層利得媒質として用いた量子ドットレーザは、この離散的電子状態に起因し、低閾値電流密度、高温動作特性、温度安定動作や高速変調特性などの特長を有しており、光通信技術をはじめとする様々な応用での利用が期待されている。特に低閾値動作、高温・温度安定動作は光電子融合システムの基本光源に求められる要求を満たすものである。革新的光源技術では、この特長技術である量子ドットレーザをシリコン光回路上に実現する。そのために、中核技術としての高品質量子ドット形成技術の探求、ウェーハ接合技術、特にシリコン導波路への結合・集積化を可能にするための非平面間高強度接合技術の開発とそれに基づくデバイス実現に取り組む。また、提案およびそれ以降の四半世紀以上にわたり、東京大学が培ってきた量子ドットレーザ研究の実績・経験は、シリコン上量子ドットレーザ技術の進展には不可欠な要素である。

<成果>

2018年度には、転写プリント法で量子ドットレーザのシリコン基板上形成技術を確立するとともに、ウェーハボンディング法で多チャンネル導波路結合型量子ドットレーザの試作を進めた。さらに、シリコン基板上直接成長型量子ドットレーザの実証およびメタモルフィックバッファ層を用いた長波長帯量子ドットの形成技術の開発を実施した。

まず、シリコン基板上 III-V ハイブリッド集積の新たな方法として挙げられる転写プリント法は III-V 属材料を有効使用が可能でかつ簡便な集積が可能な手法として注目をされていた。我々は、GaAs 基板上で最適な条件で形成された量子ドットを、フォトレジストを用いて埋め込んだあと、下地を除去し、シリコン基板上に移して、量子ドットレーザを形成させた。転写された量子ドットレー

ザ構造はパルス駆動でレーザ発振に成功し、その閾値電流は室温で 63 mA であり、70 ° C までの動作が確認された(図 1.2.1.1(ア)-1)。一方、波長分割多重 (Wavelength Division Multiplexing : WDM) 応用及び多波長ハイブリットレーザを開発するための中核技術である、多チャンネルハイブリット量子ドットレーザの導波路上の形成に成功した。ガラス薄膜をスピコートで形成する材料である Spin-on-glass (SOG) を用いたウェーハボンディング法を採用することで、シリコン導波路上でも均一な接着面が得られ、歩留まりを向上することができた。その結果、シリコン導波路上に5チャンネルの量子ドットレーザが形成され、室温連続発振が確認された(図 1.2.1.1(ア)-2)。

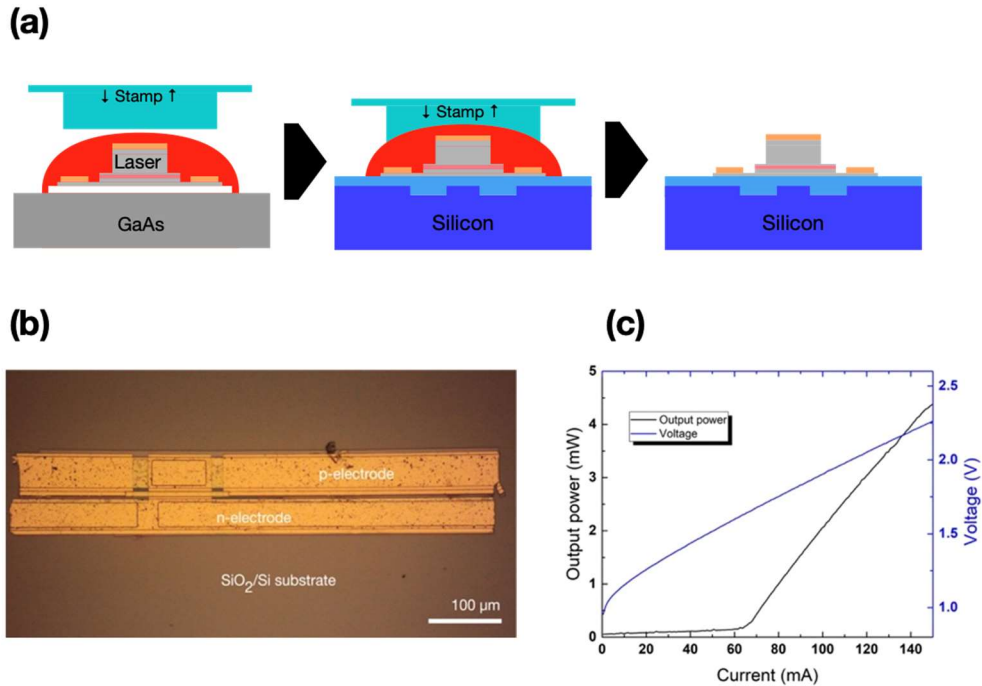


図 1.2.1.1(ア)-1 (a) 転写プリント法を用いた量子ドットレーザのシリコン基板上形成法 (b) シリコン基板上に形成された量子ドットレーザ (c) 形成された量子ドットレーザの光出力-電流-電圧 (L-I-V)特性

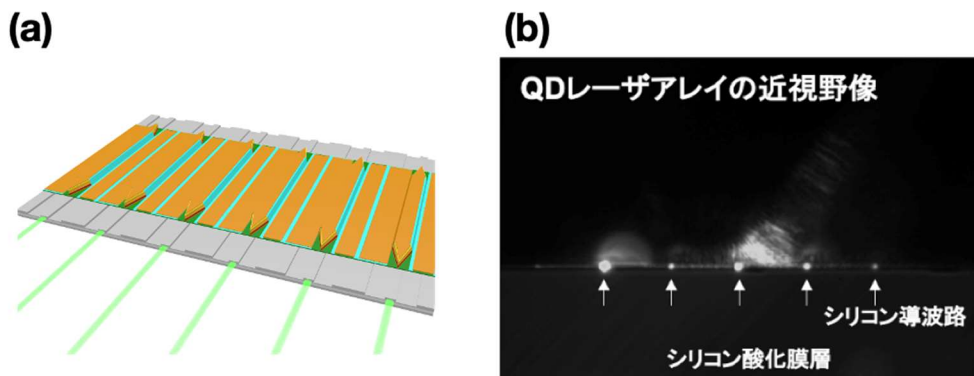


図 1.2.1.1(ア)-2 (a) シリコン導波路結合型量子ドットレーザのアレイの概念図 (b) 量子ドットレーザアレイの近視野像

一方、結晶成長技術開発の知見を基礎にシリコン(100)基板上での高品質バッファ層および高品質

InAs/GaAs 量子ドット層を実現することに成功し、シリコン基板上直接量子ドットレーザの室温発振に成功した。この結果は、量子ドット形成技術のみならず、シリコン基板上の高品質 GaAs 膜の成長技術が必要であった。この研究では、AlGaAs 種結晶層を導入し、シリコン基板上の III-V 属半導体成長で生成される反転位相領域(Anti-Phase Domain:APD)を抑制し、単結晶 GaAs 層を得た上、歪み超格子層を用いて低転移密度の GaAs 層が得られることを示した。これは Si(100)基板上に MBE 成長のみで実現した初めての量子ドットレーザであり、単一エピタキシャル成長を用いた直接成長量子ドットレーザの実証としてもその意義がある(図 1.2.1.1(ア)-3)。その他、GaAs 基板上における多様な In 組成(0~0.4)の InGaAs メタモルフィック層を成長させ、その上に InAs 量子ドットを成長することで、1.1 μm から 1.6 μm 帯の発光波長を有する高密度量子ドット($\sim 8 \times 10^{10}/\text{cm}^2$)の形成に成功した。この結果は、長波長帯量子ドットレーザデバイスへの展開における要素技術である(図 1.2.1.1(ア)-4)。

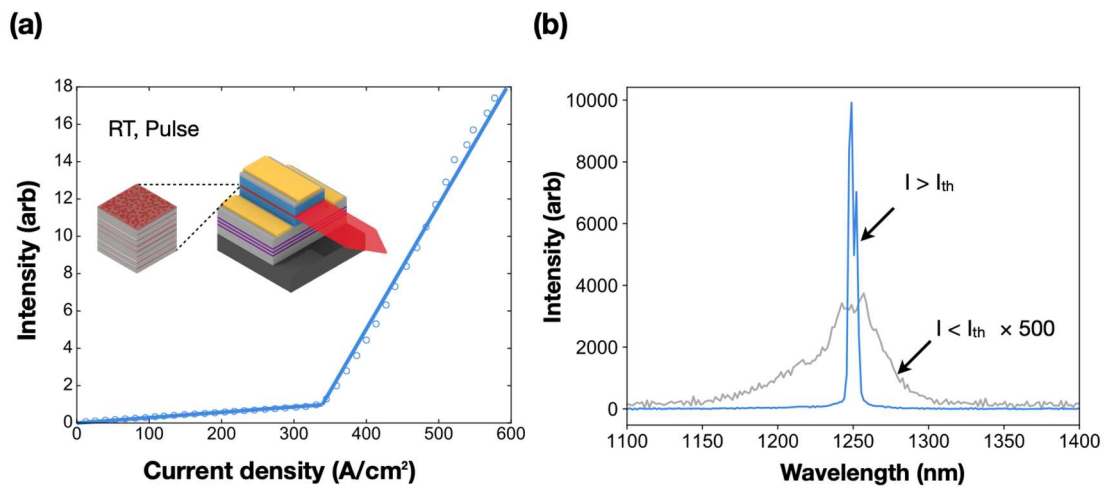


図 1.2.1.1(ア)-3 (a)シリコン基板上直接成長型量子ドットレーザ光出力-電流(L-I)特性とデバイス概念図 (b) 量子ドットレーザの閾値電流前後の発光スペクトル

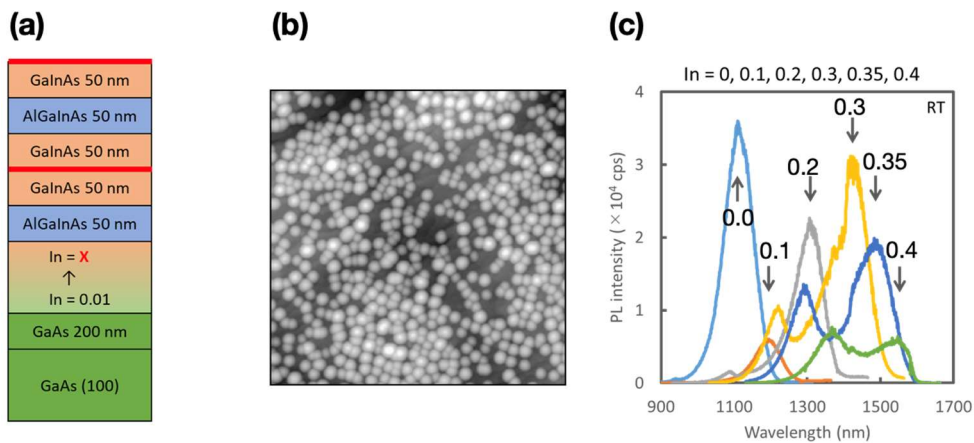


図 1.2.1.1(ア)-4 (a)InAs 量子ドットを用いたメタモルフィック層構造 (b)In_{0.35}Ga_{0.65}As 層上に形成された高密度 InAs 量子ドット (1 μm \times 1 μm) (c)異なる In 組成の InGaAs 層上に形成された InAs 量子ドットからのフォトルミネセンス発光

2019年度は変調器集積型光回路上素子設計および試作を進めるとともに、長波長帯量子ドットの新たなアプローチを探索する他、シリコン基板上直接成長量子ドットレーザの高性能化に関する研究開発を遂行した。変調器集積型光回路は、SOI基板上にシリコン変調器、導波路、および量子ドットエバネッセント結合のためのDBR構造が4チャンネルで構成されるように設計・試作された。一方、長波長帯量子ドット形成のために、新たに近接積層の量子ドット構造を形成した。近接積層法はGaAsとInAsの間の歪を軽減することで、直上に形成される量子ドットサイズを大きくし、長波長

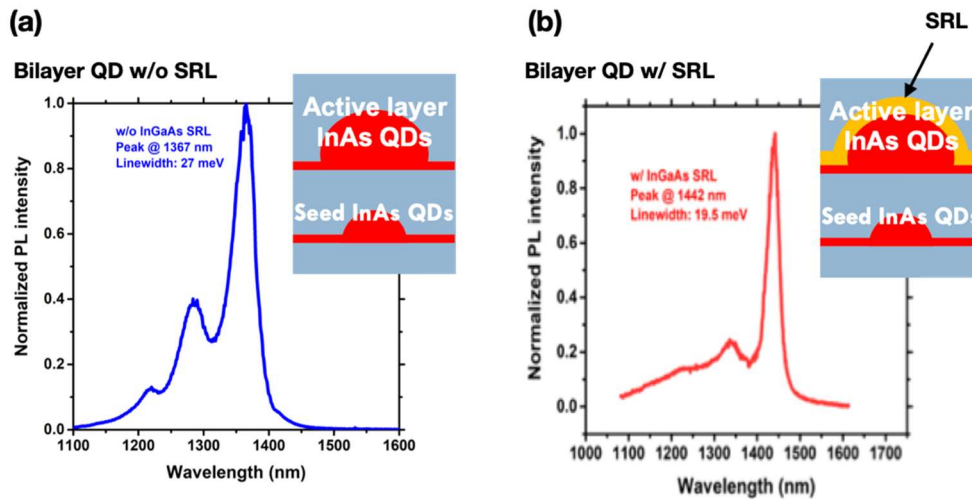


図 1.2.1.1(ア)-5 (a)近接積層 InAs 量子ドットからのフォトルミネセンス発光と構造の模式図 (b)歪緩和層を含めた近接積層 InAs 量子ドットからのフォトルミネセンス発光と構造の模式図

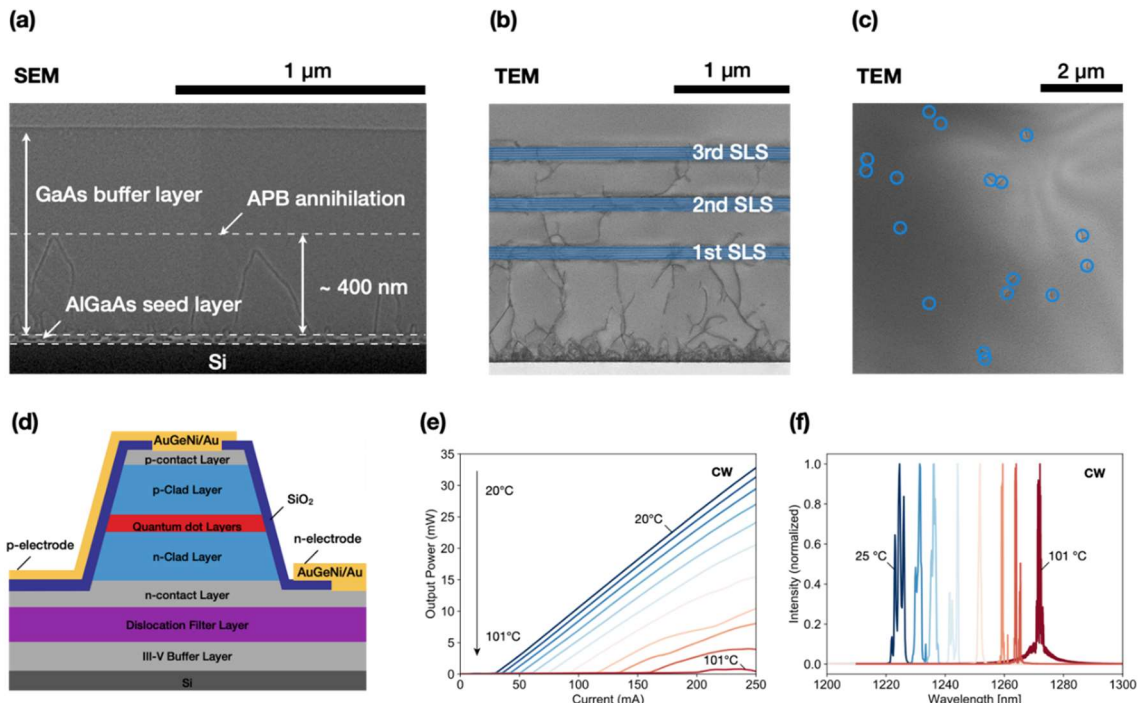


図 1.2.1.1(ア)-6 (a) シリコン基板上 AlGaAs 種結晶層成長と APB 除去 (b) 歪超格子を用いた貫通転位密度の低減 (c) 量子ドット成長直前 GaAs 層における貫通転位 (d) シリコン基板上直接成長型量子ドットレーザの構造図 (e) 室温から 101 °Cにおける光出力-電流特性 (f) 室温から 101 °Cにおけるレーザスペクトル

発光ができるようにする。その結果、InGaAs 歪緩和層なしの量子ドットでは、発光波長 1.367 μm 、線幅 27 meV、歪緩和層ありの量子ドットでは発光波長 1.442 μm および線幅 19.5 meV の発光を得ることができた。この結果は、一般的な単層量子ドットでは得られなかった発光波長であり、長波長帯量子ドットレーザ向けの新たな形成法としての使用が期待できる(図 1.2.1.1(ア)-5)。また、既存のシリコン(100)ジャスト基板上直接成長型量子ドットレーザのさらなる高性能化を行った。特に、AlGaAs 種結晶層および歪超格子層を用いた貫通転位フィルタで、量子ドット成長の直前の GaAs 層では、量子ドット密度の 1/100 以下まで貫通転位密度を減らすことができた。また、量子ドットレーザのメサ幅を 7 μm まで狭くすることで、100°C以上の高温連続発振に成功した。これ結果は、シリコン基板上直接成長型量子ドットで最高発振温度であり、世界を先駆ける成果として評価された(図 1.2.1.1(ア)-6)。

2020 年度はメタモルフィック層上および近接積層を用いた長波長帯量子ドットレーザを開発するとともに、デバイス融着法を用いたシリコン基板上長波長帯量子ドットレーザについて研究を行った。まず、2018 年度から行ってきたメタモルフィック層形成技術を用いて、GaAs 基板上に $\text{In}_{0.23}\text{Ga}_{0.77}\text{As}$ 層を形成し、その上に高均一の InAs 量子ドットを形成した。この段階で、メタモルフィック層に歪超格子層を挿入することで、貫通転位の量子ドット層への拡張を抑制し、発光効率の向上を確認した。この量子ドットを活性層とし、作製されたレーザデバイスからは、1427 nm の長波長帯の発光波長を有するレーザ発振が確認できた。その時の閾値電流密度(J_{th})は 440 A/cm^2 、シングルファセットからの光出力は 30 mW 以上であった(図 1.2.1.1(ア)-7)。

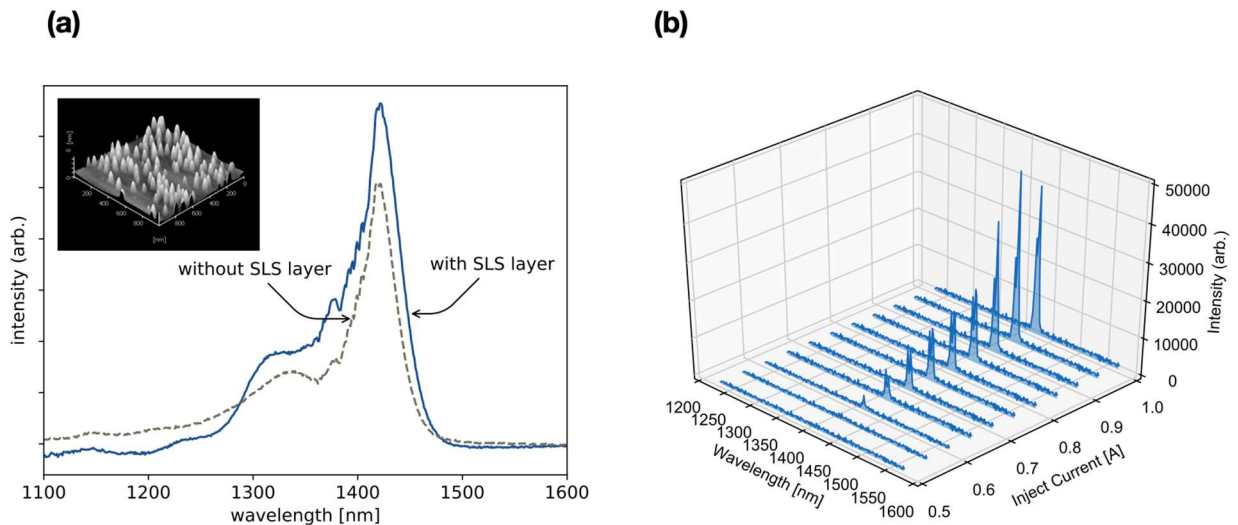


図 1.2.1.1(ア)-7 (a) メタモルフィックバッファ層上に形成された量子ドットからの 1.4 μm 以上発光 (b) メタモルフィックバッファ層を有する量子ドットレーザからのレーザ発振

一方、シリコン基板上へのデバイス融着法を用いたアプローチも実施した。1.4 μm 帯の発振波長を有する長波長帯量子ドットレーザを BCB を用いて融着させることでシリコン基板上に形成させ、それからのレーザ発振を確認し、シリコン基板上 1.4 μm 以上量子ドットレーザの実証に成功した。その時の発振波長は 1405.8 nm であり、閾値電流密度は 1000 A/cm^2 であった(図 1.2.1.1(ア)-8)。また、近接積層量子ドットは、二層積層構造から三層積層構造にその形成技術を高度化した。そのため、発光される量子ドットに掛かる格子歪みはさらに小さくなり、より長波長でかつ強い発光強度の量子ドット層が得られた。これらを用いたレーザ素子からは 96 A/cm^2 の非常に小さい閾値電流密度

が得られ、その発光波長も通信波長帯 E バンドまで長波長化されていることが確認できた。また、これは三層近接積層型量子ドットを用いた初めてのレーザ発振の報告でもある(図 1.2.1.1(ア)-9)。

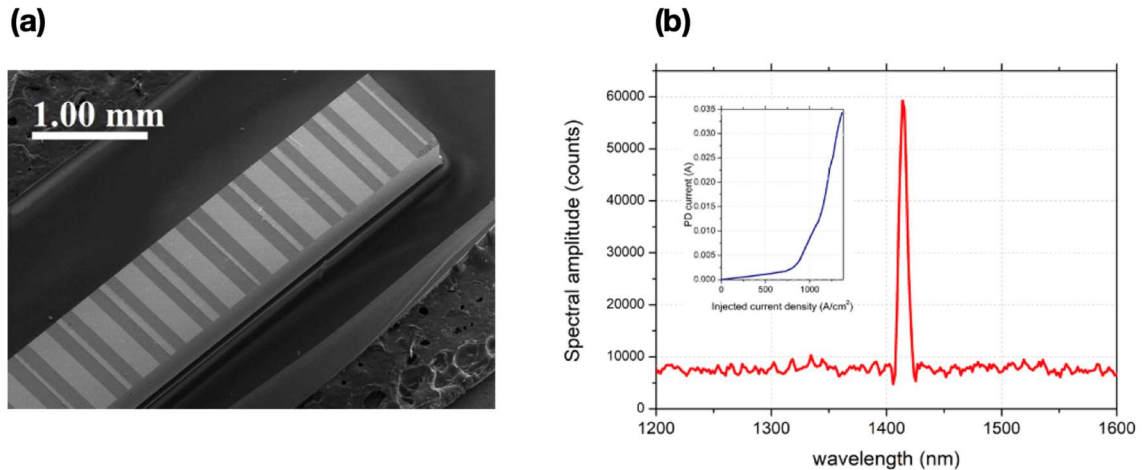


図 1.2.1.1(ア)-8 (a) シリコン基板上に融着された長波長帯量子ドットレーザ (b) シリコン基板上長波長帯量子ドットレーザからのレーザ発振

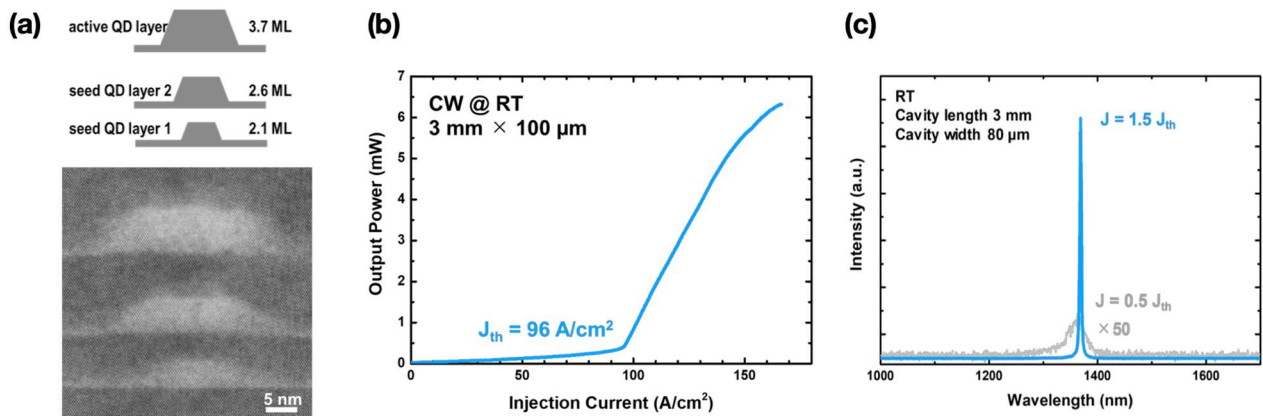


図 1.2.1.1(ア)-9 (a) 形成された三重積層量子ドット構造の概念図と透過型電子顕微鏡図 (b) 三重積層量子ドットレーザの光出力-電流特性 (c) 三重積層量子ドットレーザの発振スペクトル

2021 年度はメタモルフィックバッファ層技術を高度化し、量子ドットレーザに適用するとともに、転写プリント法を用いた長共振器量子ドットレーザの形成法を用いて、変調器集積型量子ドットレーザ構造を試作した。InAs 量子ドットの発光波長を長波長化するためには、マトリクス材料である、GaAs を InGaAs 混晶系材料に入れ替える必要がある。しかし、 $1.4 \mu\text{m}$ 帯などに長波長化させるためには高い In 組成が必要であり、ミスフィット転位が発生されて、格子歪が緩和されるメタモルフィックバッファ層の採択が必須である。そのため、メタモルフィック層は貫通転位密度が高く、その格子定数拡張に数ミクロンの厚膜の成長が必要であった。このようなメタモルフィック層に超格子を用いたフィルタ層を挿入し、レーザの下部クラッド層と融合させることで、既存より 1 ミクロン程度薄いレーザ下地構造を得ることができた。その上で形成された量子ドットレーザは、室温連続発振に成功し、成長された下地構造 (多機能メタモルフィックバッファ層) は、既存のメタモルフィック層・下部クラッド層・歪超格子フィルタ層の役割を同時に果たすことが確認できた(図 1.2.1.1(ア)-10)。一方、転写プリント法も高度化され、 2 mm 以上の長共振器量子ドットレーザのシリコン基板

上に問題なく転写できた。この技術は、表面粗さが比較的に大きいところでも適用できる。この技術を利用し、量子ドット構造のシリコン光回路上集積化に成功した(図 1.2.1.1(ア)-11)。

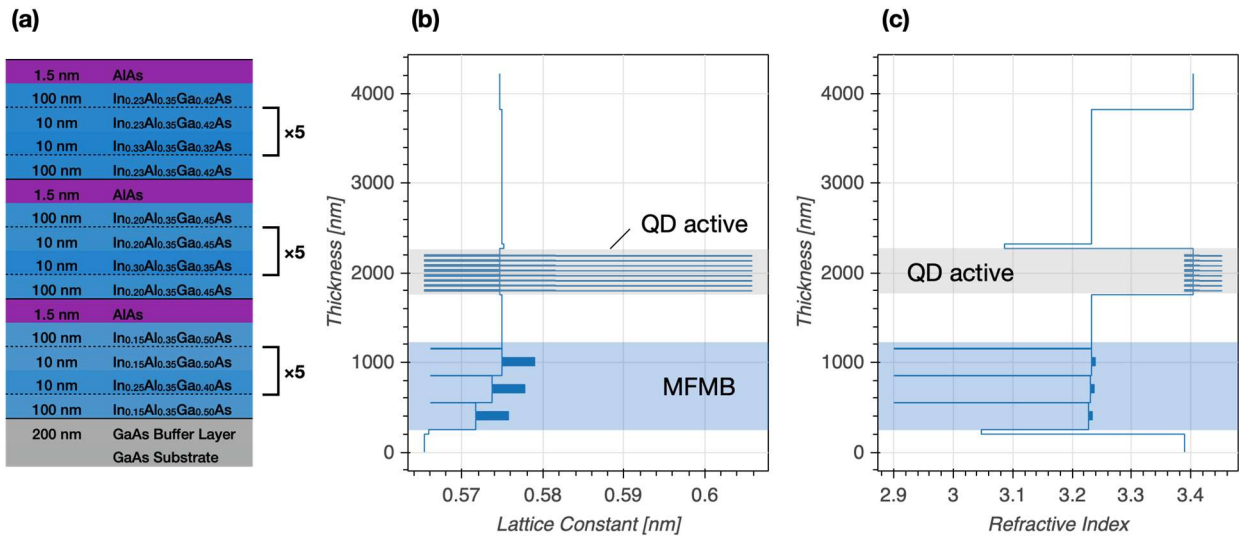


図 1.2.1.1(ア)-10 多機能メタモルフィックバッファ層の (a)層構造図 (b)格子定数 (c)屈折率

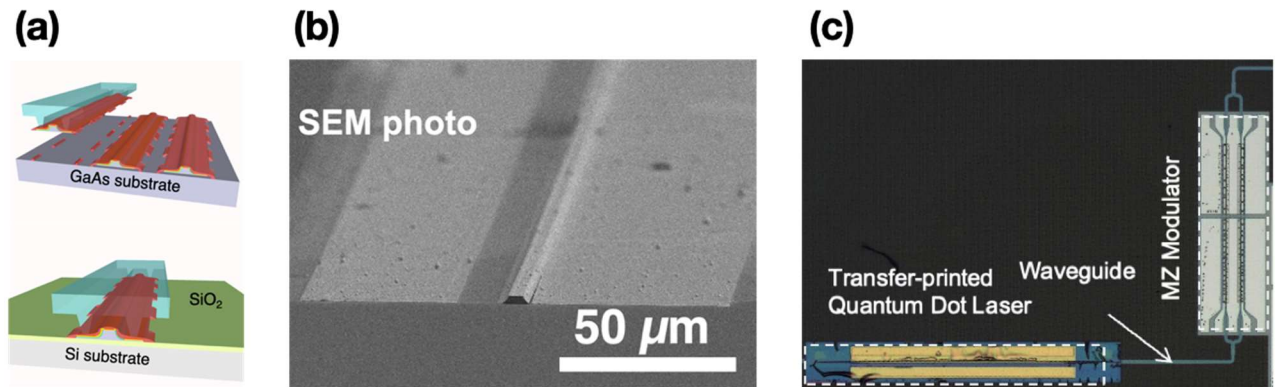


図 1.2.1.1(ア)-11 (a) 転写プリント法を用いた量子ドットレーザのシリコン基板上形成の概念図 (b) シリコン基板上に形成された長共振器量子ドットレーザ (c) 転写プリント法を用いて試作された変調器集積型量子ドットレーザ

<ベンチマーク>

光電子ハイブリッドシステム、光電子集積サーバにおいて、光源は電子回路の近傍に設置されるなど、高温かつ温度変動の激しい環境下での動作が要求される。また、低消費電力動作も不可避の要件である。そのため、レーザ素子には、低い閾値電流密度、高い動作温度と温度変動に対する耐久性が求められる。これらの評価指標である、閾値電流密度、動作温度と温度変動に対する耐久性、レーザ出力のシリコン光導波路への結合効率、変調周波数の全てにおいて、シリコン導波路結合型量子ドットレーザは、シリコン上量子井戸レーザと同等もしくはそれを凌駕することが可能である。一方、シリコン系基板上への高機能量子ドットレーザの直接形成については、実証されたシリコン基板上直接成長型量子ドットレーザは無加工シリコン(100)基板上に形成可能であること、MBE一括成長が可能であること等、他機関と比較して大幅なアドバンテージを有している。なお、直接成長レーザの光導波路への高効率結合は従来のエバネッセント方式では困難であり、新たな結合方式の検討も重要であ

る。一方、InAs 系量子ドットを用いた長波長帯量子ドットについては、今まで達成されていなかった、シリコン基板上通信波長帯 E バンドレーザを実現したため、その応用が期待できる。

<まとめ>

光電子集積サーバ用の革新的光源技術の実現に向けて、シリコン基板上集積量子ドットレーザ技術および高品質量子ドット形成技術の研究開発を行った。

ウェーハ融着技術の確立によりシリコン基板上の量子ドットレーザの実証に成功し、その展開として多チャンネルシリコン導波路結合型量子ドットレーザを作製・実証することに成功した。更に、新たな量子ドットレーザの形成法として開発した転写プリント法では、化合物半導体上で最適化された比較的大きいデバイスをシリコン基板上に転写することを可能にした。一方、デバイス融着技術も開発し、1.4 μm 以上の長波長帯量子ドットレーザのシリコン基板上形成および実証にも成功した。

直接成長法を用いたアプローチでは、現用の CMOS 技術との互換性のある Si(001) ジャスト基板上において量子ドットレーザの形成に取り組んだ。シリコンと III-V 族材料の結晶構造の相違点から起因する高密度の欠陥の形成を、多段階温度成長および歪超格子転位フィルタなどを導入することで抑制し、高品質の GaAs 層を Si ジャスト基板上に成功的に形成した。また、高密度・多層積層の量子ドット構造を活性層に採用することにより、100°C を超える高温での連続発振に成功した。

長波長帯量子ドットの形成はメタモルフィックバッファ層を量子ドットマトリクス層に導入する方法と近接積層型の量子ドットを形成する方法の両方が行われた。メタモルフィックバッファ層を用いたアプローチでは、1.43 μm の発光波長のレーザが実証され、初めて提案された三層積層型量子ドットレーザからも 1.37 μm の通信波長帯 E バンドの発振が確認できた。

今後、光電子集積サーバ技術への応用に対して転写プリント法をさらに展開することで量子ドットレーザの変調器・受光器などを含むシリコン光回路上への形成技術の開発が必要である。また、量子ドットとしては、1.46 μm 以上の通信波長帯 S バンド・C バンド・L バンドの発光波長を有する高品質 III-V 属量子ドットの形成法の開発を進めることが期待される。また、将来シリコン基板上直接成長量子ドットレーザの光電子集積サーバへの技術展開においては、デバイスの高温特性改善および信頼性の確保が必要である。

イ) 革新的光源技術 (早稲田大学)

<位置づけ、最終目標>

【位置づけ】

光電子集積サーバシステムの性能向上には、高温下での安定動作が可能で小型・高効率・高密度集積性を有する革新的光源は不可欠である。優れた温度特性を有し低閾値動作が可能な量子ドットレーザはこれらの要求を満たす光源であり、波長可変性を有し、外部変調器がモノリシックに集積され、シリコン光回路上に実装された量子ドットレーザの実現が期待されている。光電子集積サーバ用の集積化光源への展開として、本項目では(1)イオン注入を駆使した量子ドット集積レーザの実現、(2)波長可変化技術の確立、(3)超高速光変調器の提案など量子ドットのモノリシック集積光源実現に向けて要素技術の確立を最終目標に研究開発を推進した。

【最終目標】

光電子集積サーバ用の集積化光源への展開として、量子ドット波長可変及び変調器モノリシック集積レーザのための要素技術を確立する。そのためにイオン注入領域制御技術を駆使した量子ドット組成混合技術を開発し、量子ドット集積レーザの実現、波長可変化技術、超高速変調器について要素技術を確立する。集積レーザをシリコン光基板上に接合するなどこれらの検討を通じて、光電子集積サーバ技術への技術展開の見通しを示すとともに、量子ドット集積素子の実現に対する課題を明確化する。

<アプローチ、特長技術>

量子ドットは、低閾値、高温動作、低雑音などの優れた特性を有することから、データセンタ内ネットワーク用光源として期待され、送受信機への実装などの点でシリコン光回路への接合などによる集積化が検討され、また実用化もされている。他方、モノリシックで諸機能が集積可能であればより低コストで高機能な量子ドット光集積回路が期待される。それを実現するキーとなる技術として、半導体プロセスで多用されるイオン注入技術に着目し、イオン注入深さをウェーハ内で制御することにより禁制帯幅エネルギーの異なる領域を形成する量子ドット組成混合(QDI)技術を開発する。これにより量子ドット、低損失導波路、光変調器などのモノリシック集積素子の実現が可能となる。さらに、波長可変化のため QDI 導波路上への微細回折格子作製技術の開発、さらにイオン注入を駆使した超高速光変調素子を提案し基礎的検討を行う。これら一連の取り組みは早稲田大学が有するイオン注入による半導体光デバイスの高機能化技術をベースに行うものである。

<成果>

2012 年度から 2017 年度の第一期及び第二期においては革新的光スイッチングデバイスとして、低消費電力シリコン高速光スイッチ、高速光信号処理デバイス、そしてシリコン導波路上チップ接合の研究に取り組んだ。

まず光スイッチの素子構造はマッハツェンダ型であり(図 1.2.1.1(イ)-1(a))、実用上重要な偏光無依存動作を目標として、解析により偏光無依存化には移相導波路の導波路厚を標準より厚く 260 nm 以上とし、加えてリッジ導波路高さの最適化により、また低クロストーク化のために MMI カプラについてはハイメサ導波路構造とし、デバイス全体としてハイブリッド導波路構造とすることにより偏光無依存化が達成出来ることを明らかにした。素子作製では学内施設を利用した自作に加えて標準膜厚であ

るがファウンドリを利用した素子で(図 1.2.1.1(イ)-1(b))、スイッチング電流が TE モードで 5.5mA、TM モードで 7mA、またクロストークが約-20dB、スイッチング速度約 3ns と、概ね偏光依存性が抑えられた高速シリコン光スイッチを実現することが出来た(図 1.2.1.1(イ)-2)。

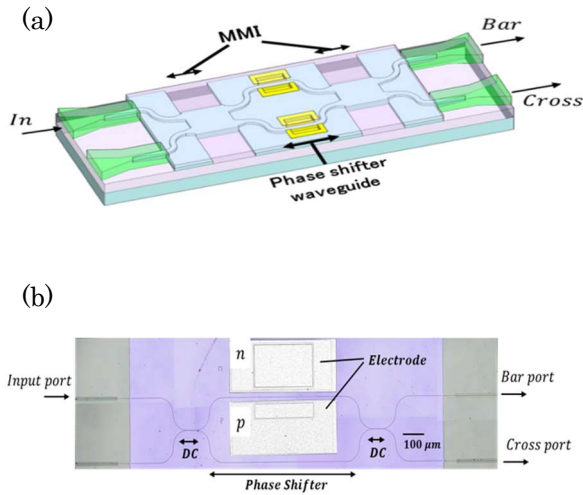


図 1.2.1.1(イ)-1 シリコン偏光無依存高速マッハツェンダ型光スイッチ：
(a)素子構造模式図、(b)素子表面写真

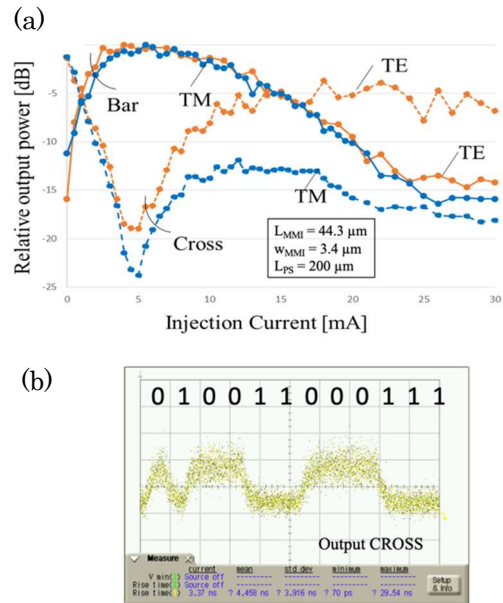


図 1.2.1.1(イ)-2 シリコン高速マッハツェンダ型光スイッチ特性：(a)静特性、(b)動特性

高速光信号処理は多重量子井戸(MQW)構造半導体光増幅器(SOA)と外部フィルタを用いた構成であり、MQW-SOA の相互利得変調及び四光波混合の非線形性を利用し、一方の波長が 10Gbps で変調された 2 波長入力光の強度の組み合わせに応じて排他的非論理和(XNOR)動作を実現し、超高速光ビットマッチングなどへの応用可能を実証した。さらに、この素子のモノリシック集積化と一層の超高速性を目指して、SOA に 1550 nm 帯量子ドット(QD)-SOA を用い、さらに量子ドットにイオン注入と高速アニールによる量子ドット組成混合(QDI)技術を開発し、QD-SOA とマイクロリングフィルタをモノリシック集積化した素子を作製し、レーザ発振を実現した(図 1.2.1.1(イ)-3)。これらの結果は第 3 期での革新的光源技術の研究に繋がるものである。

シリコン細線導波路と InP 系半導体レーザ(LD)チップを、光軸調整のために厚みが制御されたポリマー上に蒸着した金属面を室温プラズマにより洗浄後圧着する方法により接合し、シリコン導波路からのレーザ出力を得た。この方法が、シリコンフォトニクス上の任意の位置に LD や光デバイスを接合する上で有効であることを実証した(図 1.2.1.1(イ)-4)。

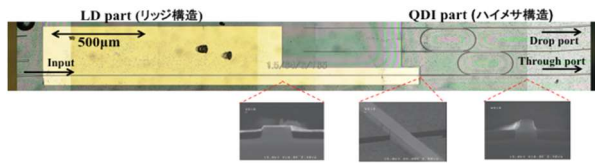


図 1.2.1.1(イ)-3 1550 nm 帯量子ドットと組成混合導波路上マイクロリング共振器集積レーザ

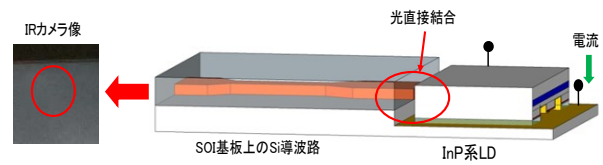


図 1.2.1.1(イ)-4 シリコン細線導波路と InP 系半導体レーザチップ接合

2018 年からの第三期では東京大学荒川研究室との共同研究により革新的光源技術に取り組んだ。これまでに 1550 nm 帯 QD で開発してきた QDI 技術を 1250 nm 帯の GaAs 基板上 InAs QD に適用し、データセンタ用シリコン基板上波長可変変調器モノリシック集積光源の開発を目標とした。

2018 年から 2019 年には、東京大学荒川研究室より提供を受けた GaAs 系 QD ウェーハへの、1550 nm 帯 QD に用いてきた QDI 技術の適用性の最適化の検討を行った。イオン源は ICP-RIE プラズマまたはイオン注入種として Ar⁺及び B⁺イオンを検討し、B⁺イオン注入と最適アニール条件により最大約 110 nm の PL ピーク波長シフトが得られ(図 1.2.1.1(イ)-5)、さらにこの条件下の QDI 層を活性層として低閾値なレーザ発振が得られ(図 1.2.1.1(イ)-6)、結晶性が回復されていることを確認した。この手法に対してウェーハ内でイオン注入深さを調整することにより任意の PL ピークウェーハ対応する領域組成制御が可能なることを明らかにし、QD を用いたモノリシック集積光デバイスの適用性を明らかにした。

さらに GaAs 系 QD ウェーハに対する QDI 技術の一層の組成混合の促進、またイオン注入においてマスク厚変調による QDI 領域分け技術を開発し、QD と QDI 導波路からなる集積レーザの実現を目指した。イオン注入条件やアニール条件の最適化の結果、PL ピークシフト量の約 130 nm への増大が得られた(図 1.2.1.1(イ)-7)。また、QD と QDI の個別素子によるレーザ発振はもとより、それらを集積した構造においてもレーザ発振が得られ、この QDI 技術が QD 集積レーザの適用に有効な方法であることを実証した(図 1.2.1.1(イ)-8)。

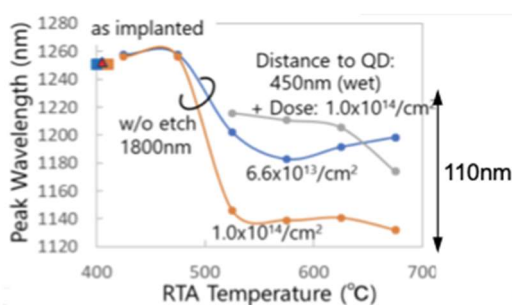


図 1.2.1.1(イ)-5 1250 nm 帯量子ドット組成混合条件に対する高速アニール条件と PL ピーク波長シフトの関係

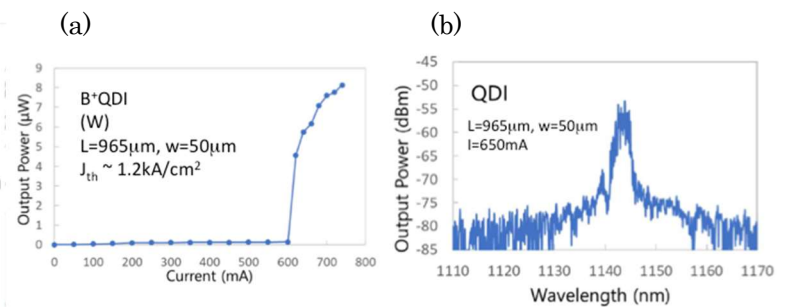


図 1.2.1.1(イ)-6 1250 nm 帯量子ドット組成混合層を活性層とするレーザ特性：(a) I-L 特性及び(b) スペクトル特性

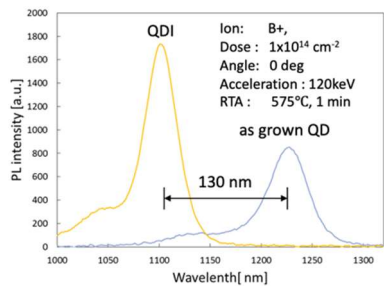


図 1.2.1.1(イ)-7 1250 nm 帯量子ドット組成混合領域の PL スペクトル

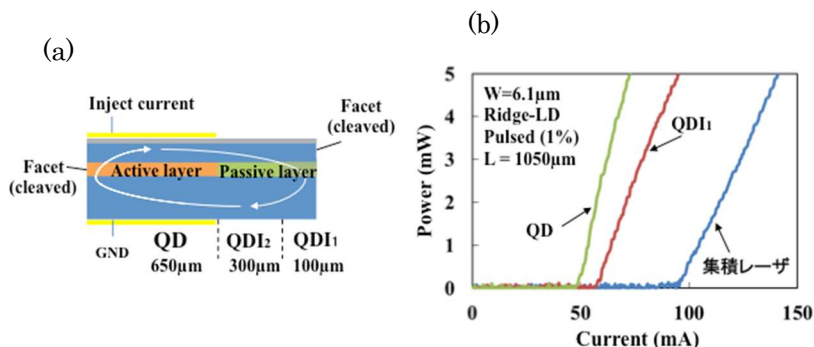


図 1.2.1.1(イ)-8 1250 nm 帯量子ドット及び 2 種組成混合導波路集積レーザ特性 : (a) 素子断面模式図 (b)各領域と集積構造レーザの I-L 特性

2020 年では、引き続き QD と QDI 集積レーザのプロセスの最適化に取り組むと共に、QDI 導波路による電界吸収型変調器(EAM)の特性解析を行った。摂動論の一次近似による解析の結果、従来の箱型ポテンシャルを有する多重量子井戸構造(MQW)の量子閉じ込めシュタルク効果(QCSE)に対して、量子井戸ポテンシャルが放物線型的になる QDI 量子井戸の方が大きな量子閉じ込めシュタルクシフトが得られることを明らかにした(図 1.2.1.1(イ)-9, 10)。

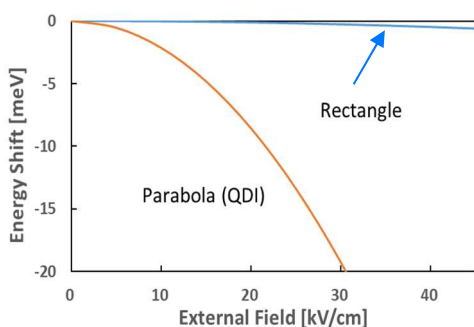


図 1.2.1.1(イ)-9 箱型及び放物線型ポテンシャルに対する QCSE の比較

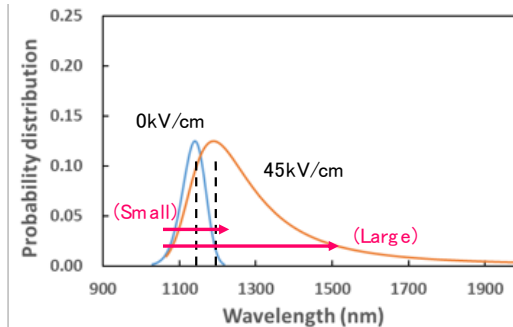


図 1.2.1.1(イ)-10 放物線型ポテンシャルを有する 1250 nm 帯量子ドット組成混合導波路の吸収スペクトルの電界印加変化解析

最終年度の 2021 年では、本プロジェクトの目標であるシリコン基板上波長可変外部変調器モノリシック集積 QD レーザを実現すべく(図 1.2.1.1(イ)-11)、要素技術の確立を図った。QD と QDI 集積レーザの作製プロセスの再現性を確立した。次に波長可変の構造として分布ブラッグ反射型(DBR)レーザ構造を目標し、QDI 導波路上への形状が安定した周期約 200 nm の 1 次回折格子の作製技術確立した(図 1.2.1.1(イ)-12)。さらに、EAM 変調器の高性能化を図るべく、従来の QDI 量子井戸層に垂直な方向への電界印加構造に替わって、水平方向電界印加を実現すべく、プロトン注入により QDI 領域を絶縁化して横方向からの電界印加構造を提案し、特性解析を行った。その結果浮遊容量の低下により約 300 GHz の極めて高い変調帯域が期待できることを明らかにした(図 1.2.1.1(イ)-13)。

これら一連の取り組みにより、QD 構造へイオン注入を駆使することにより高機能・高性能なモノリシック光集積回路を実現可能なことを提示した。

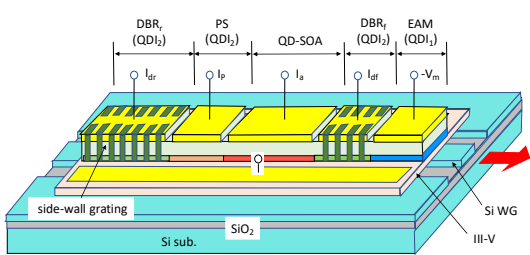


図 1.2.1.1(イ)-11 シリコン上波長可変 EAM モノリシック集積量子ドットレーザの模式

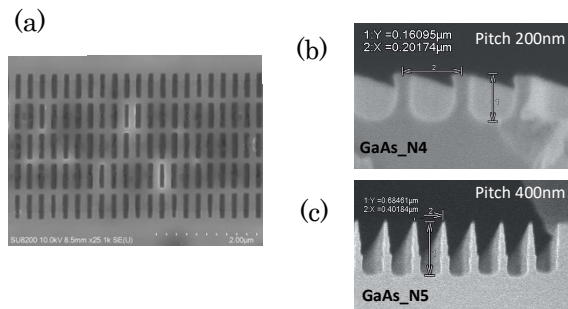


図 1.2.1.1(イ)-12 1250 nm 帯分布ブラッグ反射器用(a), (b)1次及び(c)2次回折格子の SEM 像

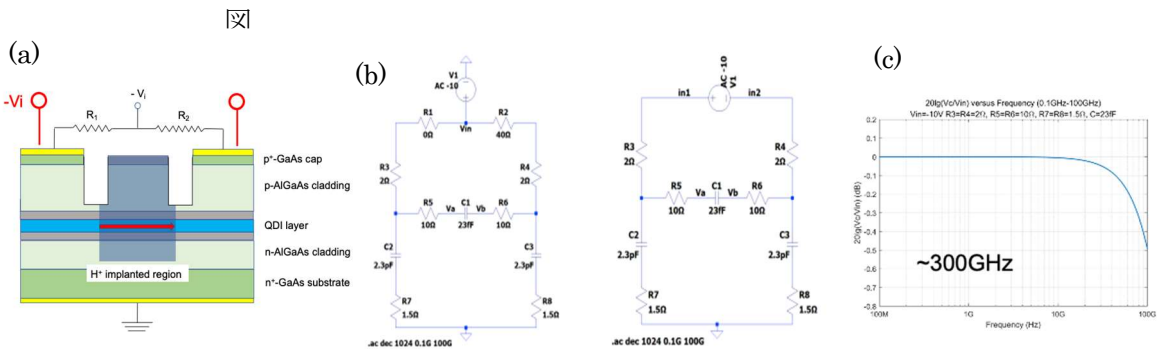


図 1.2.1.1(イ)-13 プロトン注入による横型電界印加吸収型変調器：

(a)断面模式図、(b)等価回路（左：基板上下電圧印加型、右：平面電圧印加型）、
(c)変調帯域特性解析

<ベンチマーク>

光電子集積サーバにおける光電子融合素子は、シリコンフォトニクスをベースに高機能化を図る技術が主流ではあるが、シリコンの最大の欠点である発光デバイスはハイブリッド集積に頼らざるを得ない。そのためにはウェーハ接合やチップ接合、場合によっては再成長などの付加的なプロセスが必要となる。その点で、発光に加えて出来るだけの機能を発光デバイスと同じ材料からなるモノリシック集積が低コストで実現可能であれば有望な方法の一つとなり得ると考えられる。その点で鍵となるのは、禁制帯幅エネルギーの異なる領域を一つのウェーハ上の任意の位置に形成することで有り、これにより発光、導波、また変調、さらに場合によっては受光という光電子融合素子に必要な一連のデバイスの実現が可能となる。その点で、注入深さ制御イオン注入とその後の高速アニールを III-V 族半導体ヘテロ構造に適用することにより任意位置に任意の組成混合領域を形成することが可能である。イオン注入技術はシリコンや半導体プロセスで広く用いられている手法で有り、低閾値、低消費電力、高温、高速変調、低雑音、耐反射光の優れた動作が期待される材料である量子ドットに適用することにより、高機能・高性能な光電子融合素子用光集積素子の実現が可能である。

<まとめ>

光電子集積サーバ用の革新的光スイッチング技術及び革新的光源技術の実現に向けて、まず光スイッチング技術では偏光無依存高速シリコン光スイッチ、高速光信号処理、シリコン上チップ接合に取り組み、光源技術ではシリコン上波長可変外部変調器モノリシック集積量子ドットレーザの研究開発

を行った。

キャリア注入型マッハツェンダ型シリコン光スイッチにおいて、導波路構造の最適化により、スイッチング電流が約 5~7 mA、スイッチング速度が約 3 ns、素子構造によっては約 600 ps、そしてクロストーク約 -20dB という低消費電力高速光スイッチングをほぼ偏光無依存で実現した。InGaAsP 多重量子井戸光増幅器(SOA)と外部フィルタにより 10 Gbps XNOR 高速光信号処理動作を実現した。シリコン細線導波路と InP 系半導体レーザとのチップ接合の初期的実験に成功した。

量子ドット(QD)に対するイオン注入と高速アニール法を駆使した機能集積光デバイス化の検討を行った。まず量子ドット組成混合(QDI)技術を開発し、1200 nm 帯量子ドットに対して最大約 130 nm の PL ピーク波長シフトを達成した。さらにイオン注入深さの制御により任意の領域に任意の組成の QDI 導波路を形成する技術を開発し、QD-SOA と QDI 導波路のモノリシック集積レーザを約 1 kA/cm² の低閾値で実現した。さらに波長可変化のための周期約 200 nm の 1 次回折格子の形成技術を確立した。集積可能超高速外部変調器として、プロトン注入により QD 領域を絶縁化し、横方向電界印加による電界吸収型変調器を提案し、解析により約 300 GHz の広帯域性の可能性を示した。また QD 集積レーザのシリコン基板上へのチップ接合への知見を得た。現時点で波長可変化、外部変調器のモノリシック集積化、シリコン基板上への接合などの要素技術を確立した段階で有り、これら要素全ての集積化素子の実現に向けて鋭意検討を行っている。

ウ) 革新的光検出器技術 (東京大学)

<位置づけ、最終目標>

【位置づけ】

光電子集積サーバシステムの性能向上には、光閉じ込めの強い光導波路プラットフォームを用いた導波路型受光器が求められている。本項目では光電子集積インターポーザ用集積化受光器に向け、高速応答可能で省電力化が可能な導波路型受光器の実証を最終目標に研究開発を推進した。

【最終目標】

光電子集積インターポーザ用集積化受光器に向け、高速応答可能で省電力化が可能な導波路型受光器を実証することにより、光電子集積インターポーザへの技術展開の見通しを示すと共に、事業化に対する課題を明確化する。

<アプローチ、特長技術>

高感度かつ高速応答が可能な光検出器を実現するためには、光閉じ込めの強い光導波路を用いることが有効なアプローチとなる。光閉じ込めを高めることで、より短い素子長で受光が可能となり、結果として寄生容量を低減して、高速応答や省電力動作が可能となる。革新的光検出器では、Ge 薄膜や III-V 族半導体薄膜を Si 基板上に貼り合わせた Ge-on-insulator (GeOI) 基板や III-V on insulator (III-V-OI) 基板を用いた導波路型受光器を実現する (図 1.2.1.1(ウ)-1)。GeOI や III-V-OI 構造を用いることで、吸収層に強く光が閉じ込められた導波路を実現することが可能となる。高品位 GeOI 基板や III-V-OI 基板をウェーハボンディングにより実現し、集積化に向けたプロセス開発を進めることで、高速応答可能で省電力化が可能な導波路型受光器の実現に取り組む。東京大学が培ってきたウェーハボンディング技術やシリコンフォトニクスプロセス技術に関する実績・経験は、革新的光検出器の進展には不可欠な要素である。

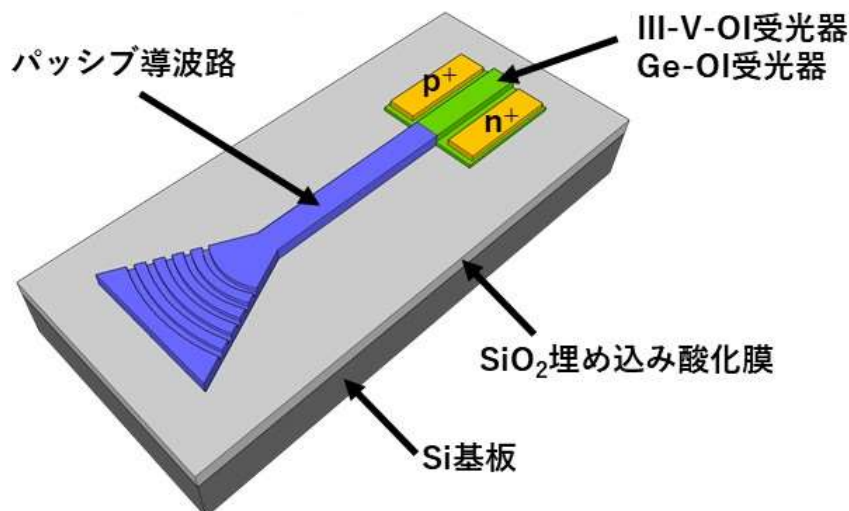


図 1.2.1.1(ウ)-1 本項目で研究を進める Ge-OI や III-V-OI 基板を用いた導波路受光器の素子構造

<成果>

GeOI 基板を用いた導波路型受光器に関しては、GeOI 基板の高品位化に研究を進めた。GeOI 基板は図 1.2.1.1(ウ)-2 に示すプロセスで用いて作製する。接合後に Ge 基板を剥離するために水素イオンを注入するが、この結果として、Ge 薄膜に結晶欠陥が残留し、結晶品質が低下する課題があった。

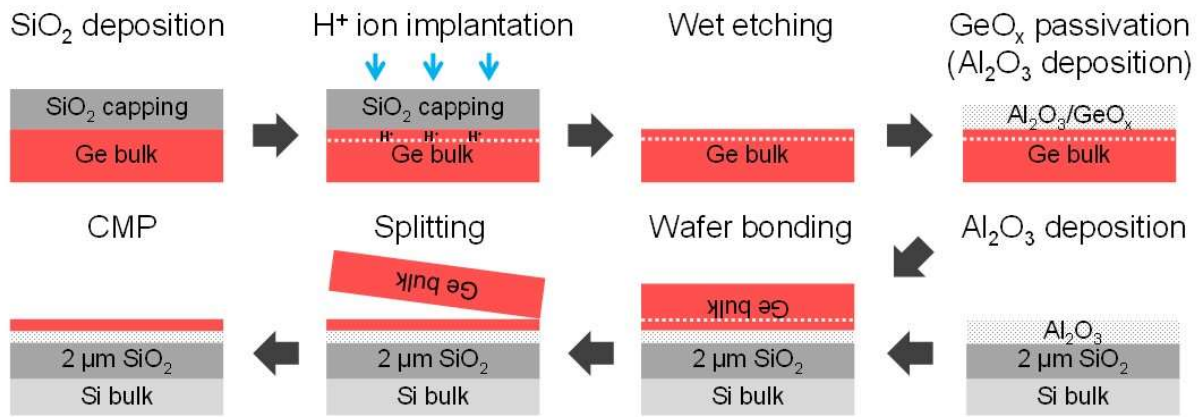


図 1.2.1.1(ウ)-2 Ge-OI 基板の作製プロセス

この問題を解決するため、水素イオン注入条件の最適化を進めた。イオン注入時の結晶欠陥は注入された水素イオン濃度が最も高い付近に集中する。このことから、イオン注入エネルギーを 80 keV から 160 keV に高めることで結晶欠陥位置を深い位置にシフトさせる手法を考案した。図 1.2.1.1(ウ)-3 に Ge 基板剥離後の GeOI 基板の断面 TEM 像を示す。水素イオン注入エネルギーを 160 keV にすることで、デバイスとして用いる貼り合わせ界面から 300 nm 程度の Ge 層では結晶欠陥が減少することが確認された。

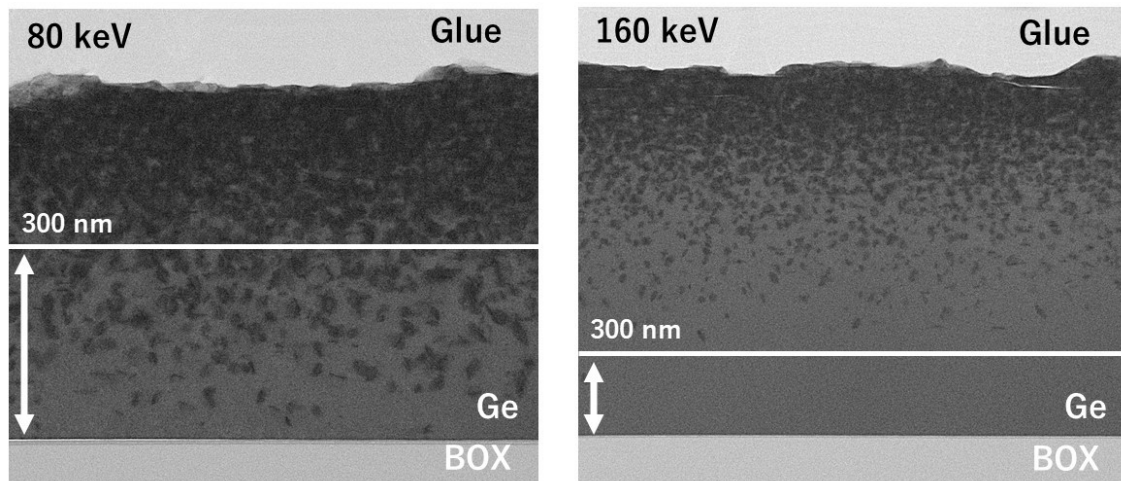


図 1.2.1.1(ウ)-3 基板剥離後の GeOI 基板の断面 TEM 像

結晶欠陥を低減した GeOI 基板を用いて図 1.2.1.1(ウ)-4 に示すような長尺スパイラル導波路を作製し、導波損失を評価した。もともとの GeOI 基板では結晶欠陥起因のホール生成が多く、ホールによる自由キャリア吸収により、導波損失は 25.9 dB/cm と極めて大きかった。一方、結晶欠陥を減らすことでホール生成が抑制され、濃度の低い n 型 GeOI 基板を実現することができた。電子による自由キャリア吸収はホールに比べると格段に小さい結果、導波損失を 2.4 dB/cm にまで低減することに成功した。

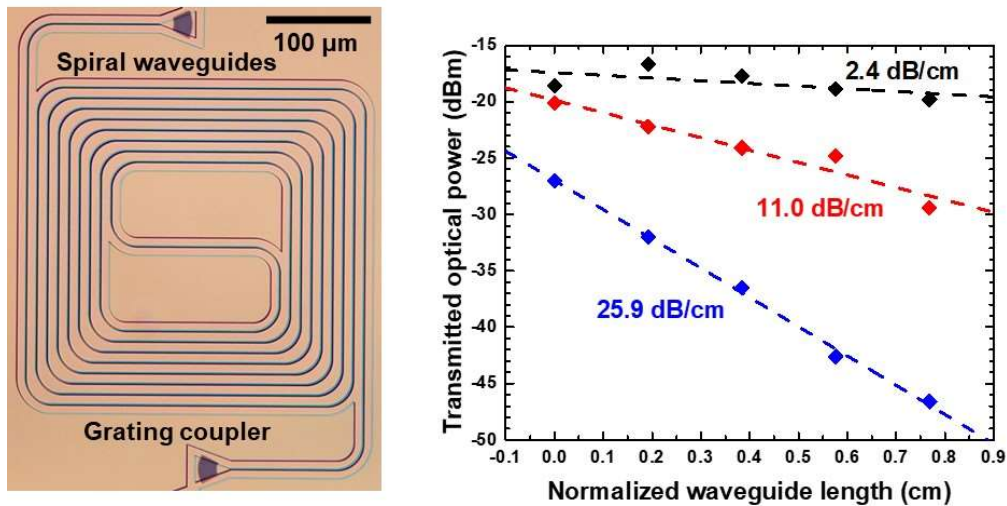


図 1.2.1.1(ウ)-4 GeOI 基板を使ったスパイラル導波路および導波損失評価結果

作製した GeOI 基板を用いて Ge 導波路を作製し、横方向 PIN 接合を形成した導波路型受光器を作製した (図 1.2.1.1(ウ)-5)。波長 $2 \mu\text{m}$ の入射光に対しても高い受光感度を実現することに初めて成功した。

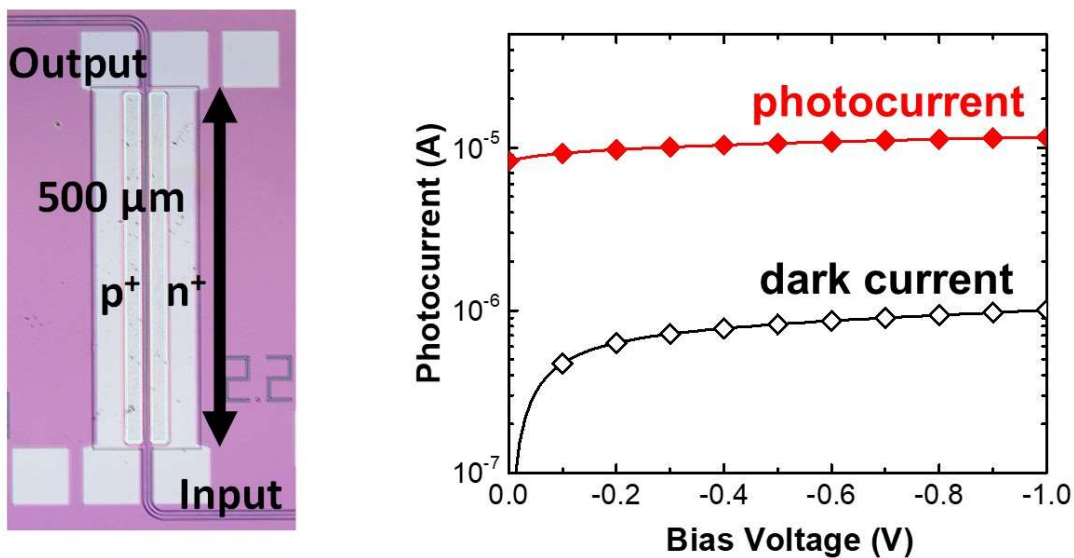


図 1.2.1.1(ウ)-5 GeOI 基板を使った導波路型受光器の素子写真と受光特性

III-V-OI 基板を用いた導波路型受光器の作製の研究も進めた。III-V-OI 基板上で導波路型受光器とパッシブ導波路を集積化するためには、III-V-OI 基板上で複数のバンドギャップをもつ III-V 層を設ける必要がある。本研究では、量子井戸インターミキシングを用いたバンドギャップ制御技術の研究開発を進めた。これまで III-V-OI 基板上で量子井戸インターミキシングをするためには、極めて浅い位置に P イオンを注入する必要があることが分かっている。そのためには 3 keV と極めて低い注入エネルギー条件が求められるが、装置の制約上高温イオン注入が利用できず、バンドギャップ制御に課題があった。そこで本研究では、P 分子イオンを用いた量子井戸インターミキシングを新たに考案した。P 分子イオンは P イオンよりも質量が大きいことから、 10 keV のエネルギーでも浅い注入を実現でき

る。10 keV は一般的な装置で利用できる注入エネルギーであり、高温イオン注入も可能である。200 度で P 分子イオンを III-V-OI 基板に注入して量子井戸インターミキシングした結果を図 1.2.1.1(ウ)-6 に示す。150 nm のバンドギャップ波長シフトが得られ、アクティブ・パッシブ集積が可能になった。

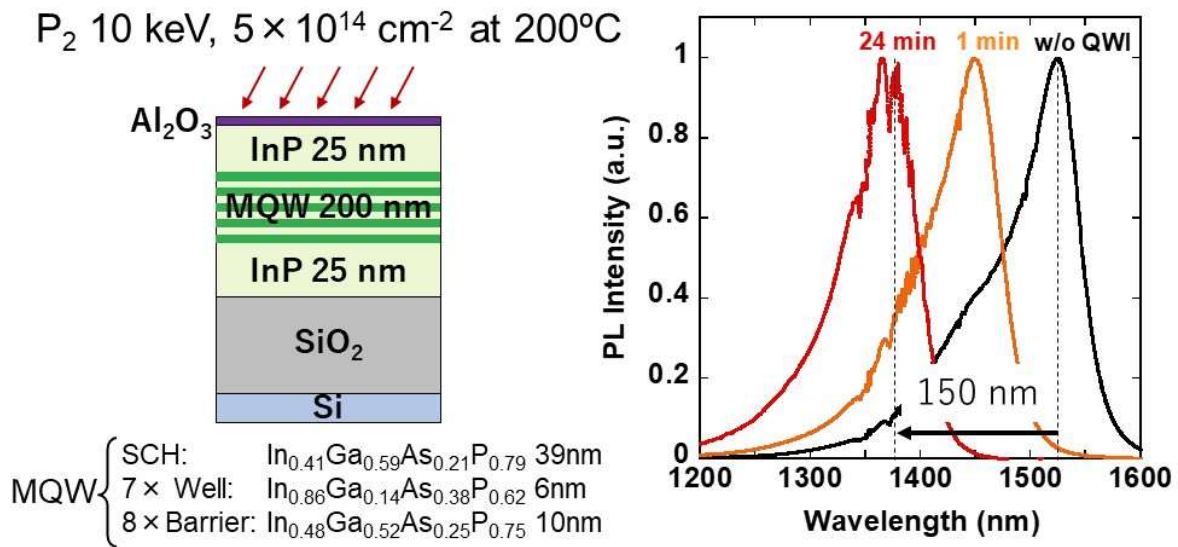


図 1.2.1.1(ウ)-6 III-V-OI 基板上における P 分子イオン注入による量子井戸インターミキシング結果

この量子井戸インターミキシングを用いて III-V-OI 基板上の導波路型受光器を集積した結果を図 1.2.1.1(ウ)-7 に示す。ドライエッチングを用いてリブ型導波路を形成し、Si イオン注入と SOG からの Zn 拡散を用いることで横方向 PIN 接合を導波路に形成した。パッシブ導波路部に形成したグレーティングカップラを使って光ファイバから光信号を入力した。素子長 $30 \mu\text{m}$ の素子で 0.7 A/W の感度を実現することに成功した。

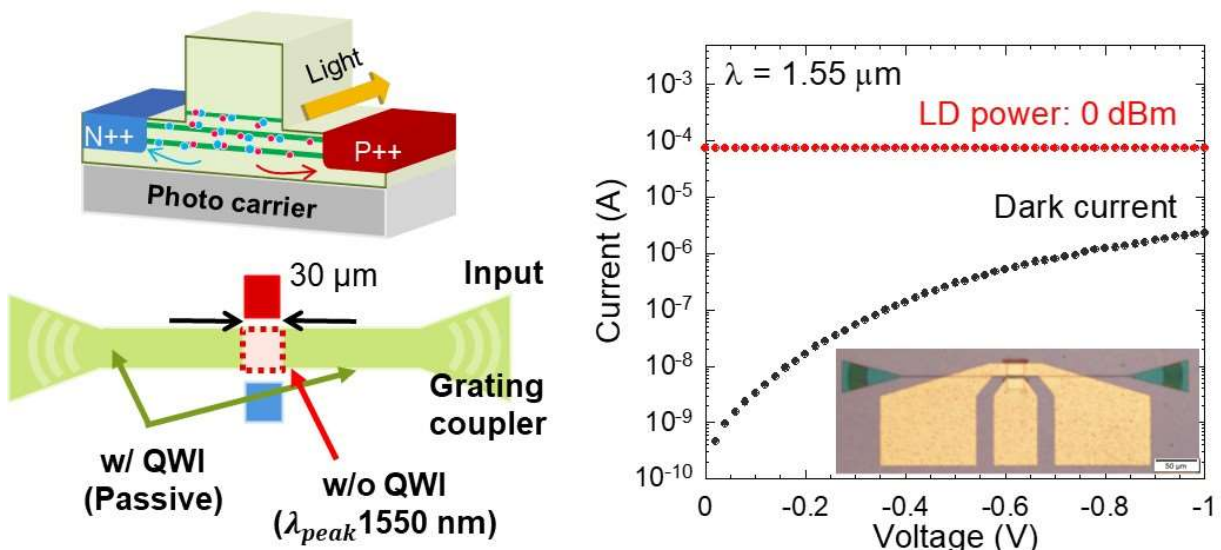


図 1.2.1.1(ウ)-7 量子井戸インターミキシングを用いて III-V-OI 基板上に集積した導波路型受光器

作製した導波路型受光器の動特性結果を示す。12.5 Gbps NRZ 信号の入力に対して明瞭なアイ開口が得られた。またエラーフリー動作にも成功した。

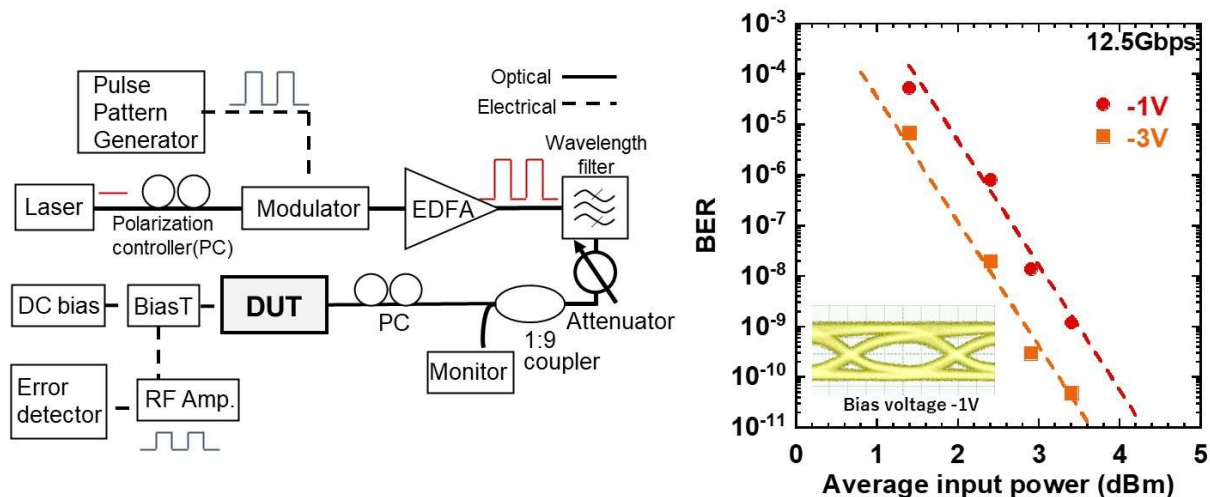


図 1.2.1.1(u)-8 III-V-OI 基板上に集積した導波路型受光器の動特性

<ベンチマーク>

光電子ハイブリッドシステム、光電子集積サーバの一層の省電力化には、光閉じ込めを高め、吸収層とのモードオーバーラップを大きくすることで、素子長を短くすることが求められる。本項目で研究を進めた GeOI 基板や III-V-OI 基板はバルク基板よりも光閉じ込めを倍以上高めることができ、素子長を大幅に短くすることができる。また GeOI 基板や III-V-OI 基板上に形成した導波路に横方向 PIN 接合を形成した受光器は寄生容量を小さくすることができる。特に導波路メサを形成することで一層の寄生容量低減が期待できる。この結果、良好な受光感度を維持しつつ、寄生容量を数 fF まで低減することに成功した。これは従来の Ge 受光器と比べると一桁程度小さい寄生容量であり、高層化や省電力化に点で有利である。

<まとめ>

光電子集積インターポーザ用集積化受光器に向け、高速応答可能で省電力化が可能な導波路型受光器の研究開発を行った。

高エネルギー水素イオン注入技術を新たに開発することで、接合で形成した Ge-OI 基板の高品位化に成功した。これにより、結晶欠陥誘起のホール生成を抑制し、n 型 GeOI 基板を作製するプロセスを確立した。n 型 GeOI 基板を用いることで導波損失を 1/100 程度に低減することが可能となった。作製した GeOI 基板上に Ge 導波路を形成し、横方向 PIN 接合を形成した導波路受光器を作製して良好な受光特性を得た。

また III-V-OI 基板を用いた導波路受光器の研究においては、新たに考案した P 分子イオン注入を用いた量子井戸インターミキシングにより、アクティブ・パッシブ集積技術を確立した。これにより、横方向 PIN 接合を形成した導波路型受光器をモノリシック集積することに成功した。GeOI 基板、III-V-OI 基板いずれにおいても高い光閉じ込めを実現することができ、寄生容量を大幅に削減することができる。本プロジェクトで得られた成果は将来の光電子集積インターポーザ用集積化受光器の高速化・省電力化に資するものである。

1.2.1.2 革新的光変調器技術

エ) 革新的光変調器技術 (横浜国立大学)

<位置づけ、最終目標>

【位置づけ】

光電子集積サーバスシステムの性能向上には、小型・高速な革新的光変調器が不可欠である。しかしシリコンの p-n 接合におけるキャリアプラズマ分散を原理とする限り、物性的な電気光学効果には限界があるため、これを移相器として用いるマッハツェンダ変調器は数 mm の長さを必要とし、光集積のフットプリントを圧迫していた。より効果が大きな異種材料との組み合わせは一つの選択ではあるが、汎用的なシリコンプロセスだけでは実現できないという制約が生じる。一方、汎用プロセスで製作できるフォトリソグラフィ構造を用いれば、スローライト効果によって実効的に電気光学効果が増強され、従来の 1/10 となる長さ 200 μm でも同等の性能が得られ、32 Gbps までの動作が達成されていた。そこで本項目では(1)構造最適化による 30 Gbps 級を超える高速動作の実現、(2)多値化や多重化による 100 Gbps 以上の動作の可能性探求を最終目標に研究開発を推進した。

【最終目標】

光電子集積インターポーザ用光変調器に向け、位相整合対策が施された移相器長 200 μm 程度のスローライト変調器において、30 Gbps 級を超える OOK 変調動作を実証する。また、同様の 50 Gbps 以上の動作、ならびに波長多重化、ならびに PAM 等の多値化による 100 Gbps 以上の動作の実現可能性を明らかにする。

<アプローチ、特長技術>

フォトリソグラフィ構造のスローライト効果は、光の群速度を遅くし、光と媒質の相互作用を増強する。ただし、これをマッハツェンダ変調器の移相器に適用すると、変調光と RF 信号の位相不整合の問題が生じ、これが変調遮断周波数を制限していた。従来、このような位相不整合は、1cm を超える長尺な変調器に対して議論され、長尺とは言っても長さ 3 mm 程度のシリコンフォトリソグラフィ変調器ではほとんど議論されてこなかった。というのも、位相不整合はせいぜい 10% オーダーであり、数 10 GHz の周波数でもあまり問題にならなかったためである。しかしスローライト変調器では変調光と RF 信号の群速度が 10 倍近く異なり、200 μm といった短い長さでも既に問題となる。そこで本研究では、図 1.2.1.2(エ)-1 のような RF 遅延線、すなわちメアンダライン電極等を採用して最適化し、さらに終端抵抗も最適化して集積し、高速化を狙った。まずは遮断周波数の向上を図り、単純な OOK 変調を高速化した。その結果を踏まえ、さらに多値変調である PAM4 で 2 倍のビットレートを目指した。変調器はどんなに小さくしても、最終的には電極パッドが変調器のフットプリントを制限する。つまり電極パッドと同程度の大きさになれば、小型化は一段落する。通常の電極パッドはおおよそ 100 μm ピッチであり、本研究の移相器長 200 μm という長さはこれに近い、頃合いの大きさといえる。これは並列伝送のための変調器のアレイ集積化にも有効であるが、本研究はさらに小型の波長合波器と組み合わせた波長多重用の 8 個の変調器を集積化し、最終的には 4 個の動作と合波による 100 Gbps 級の実証を目指した。

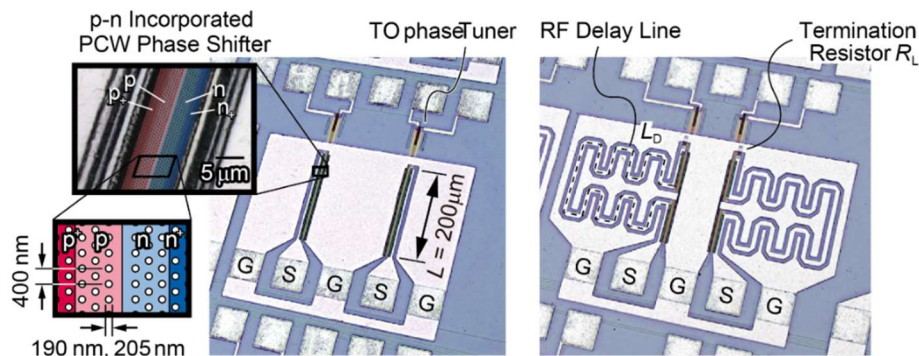


図 1.2.1.2(エ)-1 製作したスローライト変調器 (a) 従来電極デバイス (b) 位相不整合を解消するメアンダライン電極デバイス

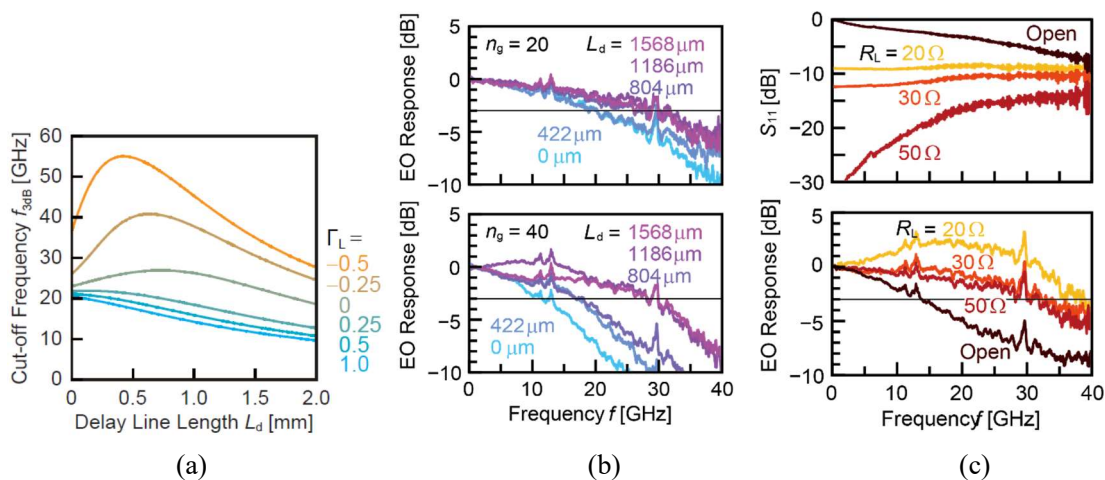


図 1.2.1.2(エ)-2 周波数特性 (a) 遮断周波数の計算結果 (b) L_d を変えたときの周波数応答の測定結果 (c) R_L を変えたときの周波数応答の測定結果

<成果>

まず、メアンダライン電極を含むスローライト変調器の伝送線路解析を行った。スローライトの群屈折率 $n_g = 20$ としたときの結果を図 1.2.1.2(エ)-2(a) に示す。ここではメアンダライン電極の遅延部分の長さ L_d と終端での RF 信号の反射率 Γ_L (終端抵抗 R_L により調整可能) を変えており、従来電極デバイス ($L_d = 0$ mm, $\Gamma_L = 1.0$) では遮断周波数が約 20 GHz となるのに対して、例えば $L_d = 0.5$ mm、1 mm のメアンダライン電極と、 $\Gamma_L = -0.5$ 、 -0.25 となる終端抵抗を設定すると、遮断周波数がそれぞれ 56 GHz、38 GHz まで向上すると予想された。

実験では様々な L_d と終端抵抗 R_L のデバイスを製作した。図 1.2.1.2(エ)-2(b) は $R_L = 50 \Omega$ ($\Gamma_L = 0$) に対して、様々な L_d の素子の周波数応答を比較した結果である。また概念的に群速度分散をもつデバイスとすることで、波長を変えることで n_g を 20 または 40 と変えた。 $n_g = 20$ 、 $L_d = 0$ mm の従来デバイスでは、計算の通り、遮断周波数は 20 GHz に制限された。この制限は $n_g = 40$ でさらに顕著になり、12 GHz まで低下した。これに対して L_d を 1.186 mm としたデバイスでは、 $n_g = 20$ と 40 で遮断周波数がいずれも 30 GHz に達した。 n_g が高いときの方が改善効果が顕著であり、これは今までよりも高い n_g が利用できることを示唆している。さらに図 1.2.1.2(エ)-2(c) は $L_d = 1.186$ mm と固定した、 R_L を最適化したときの結果であり、 $R_L = 20 \Omega$ としたとき最大の遮断周波数 38 GHz を得た。

そこで次に、OOK 変調によるアイパターンの観測を行った。図 1.2.1.2(エ)-3 は n_g を 30~40 と高めに設定し、 $R_L = 50 \Omega$ 終端したときの 25~32 Gbps アイパターンである。25 Gbps の方は 1 V_{pp} と低電圧

にもかかわらず、3 dB 近い消光比をもつ明瞭なアイ開口が得られた。32 Gbps の方は $2 V_{pp}$ とやや高めに設定したが、こちらも極めて良好なアイ開口である。一方、25~32 Gbps の信号を合波して、50~64 Gbps 動作も試した。こちらは $n_g = 20$ に抑制し、高い遮断周波数が得られる 20Ω 終端とした。また、こちらでは 1 ps まで高速応答する光サンプリングオシロスコープを用いた。その結果を図 1.2.1.2(エ)-4 に示す。5.2~5.3 V_{pp} という高めの電圧ながら、64 Gbps まで明瞭なアイ開口が得られた。電圧を 3.5 V_{pp} まで下げると、図 1.2.1.2(エ)-5 のように消光比が 2.3~3.0 dB とやや開口が不明瞭になった。さらに低電圧化を進めつつ、アイを改善するには、 n_g を 30 以上に引き上げ、それに対応する L_d を設定するのが有効と考えられた。

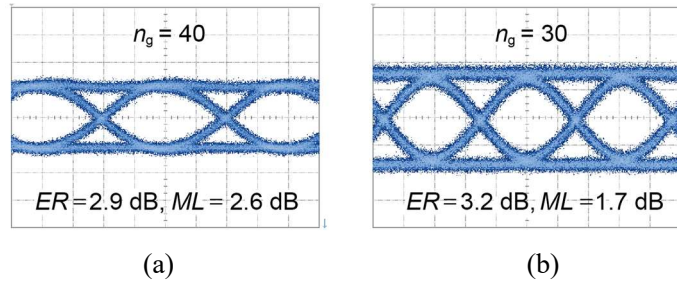


図 1.2.1.2(エ)-3 比較的低速でのアイパターン (a) 25 Gbps、1 V_{pp} (b) 32 Gbps、2 V_{pp}

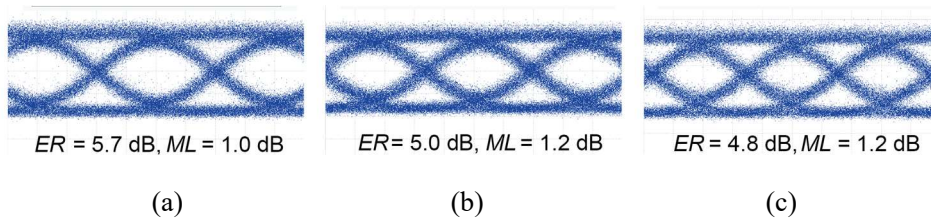


図 1.2.1.2(エ)-4 高速でのアイパターン 5.2~5.3 V_{pp} (a) 50 Gbps、(b) 56 Gbps、(c) 64 Gbps (用いているサンプリングオシロスコープが図 1.2.1.2(エ)-2 の場合とは異なる)

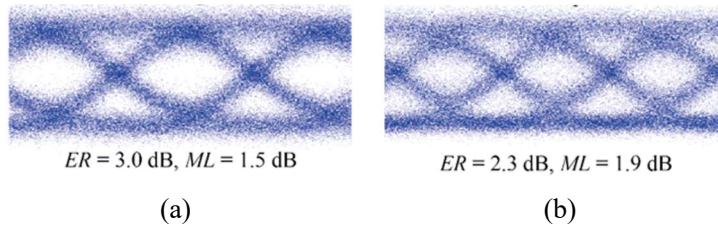


図 1.2.1.2(エ)-5 高速でのアイパターン 3.5 V_{pp} (a) 50 Gbps、(b) 64 Gbps

遮断周波数の向上、ならびに期待した以上の高速な OOK 変調が得られたので、次に PAM4 変調も試した。ここでは 10~25 Gbaud の 2 チャンネルの PPG 信号を合波して 20~50 Gbaud 信号を生成し、さらにこれを位相シフトして PAM4 信号を生成、変調器に印加した。図 1.2.1.2(エ)-6 にアイパターンを示す。OOK 変調に比べると、要求される周波数帯域が 1.5 倍以上といわれるので、やや応答が不足気味であるが、それでも 58 Gbps までは十分なアイ開口が得られており、100 Gbps でもかろうじてアイ開口が見られた。遮断周波数を最大の 56 GHz まで引き上げれば、改善できると思われる。

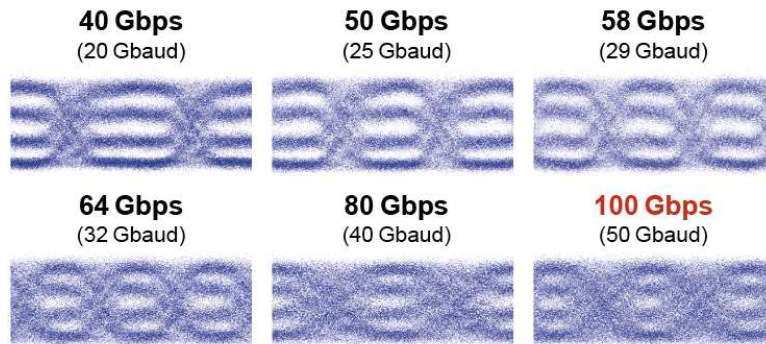


図 1.2.1.2(エ)-6 PAM4 変調でのアイパターン 3.5V_{pp}

次に波長多重に取り組んだ。ここでは同様のメアンダライン電極をもつスローライト変調器を 8 個と、非対称マッシュツェンダ干渉計を多段に組み合わせた波長合波回路を組み合わせた。図 1.2.1.2(エ)-7 は合波回路の構成と製作したデバイスの様子である。製作した合波回路のチャンネル間隔は 5.2 nm である。合波回路は 8 チャンネルが動作可能であったが、スローライト変調器の方は帯域が 20 nm 程度と限られていたため、2 種類の設計を組合せ、さらに位相調整用ヒータを駆動してデバイス全体を加熱して動作波長を長波長シフトさせて、最終的に 4 チャンネルの動作を可能にした。

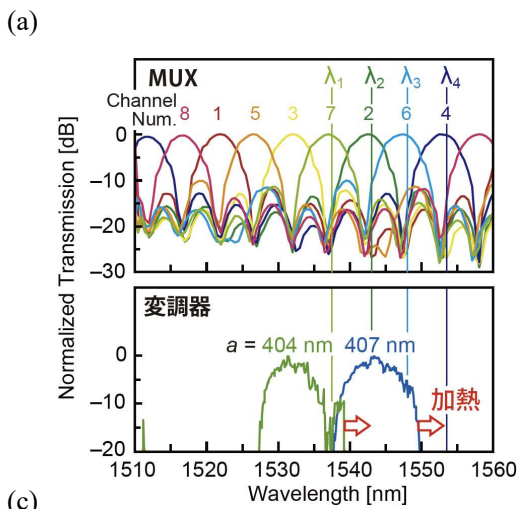
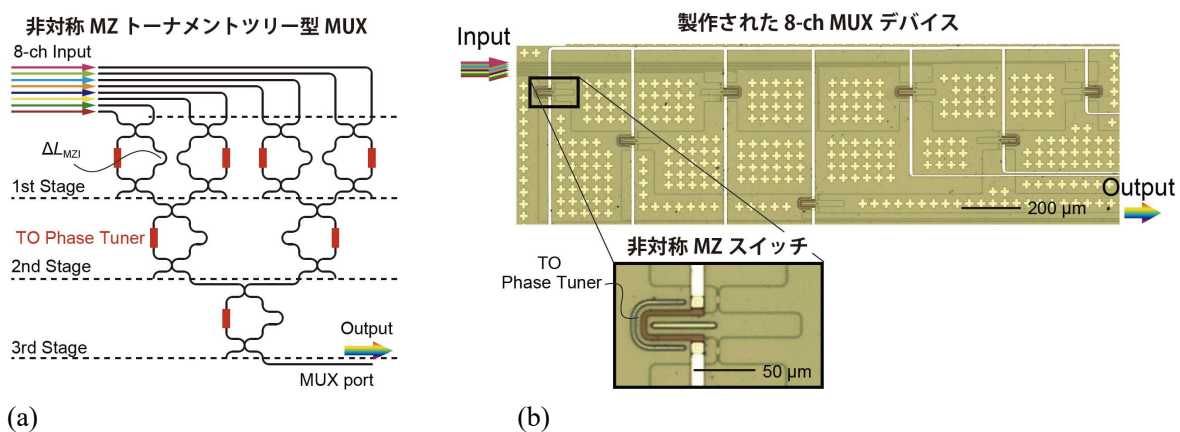


図 1.2.1.2(エ)-7 波長多重実験に用いた波長合波回路の(a)概要と(b)製作したデバイス(c)は合波器の波長特性の測定結果と、それに対して調整した変調器の帯域

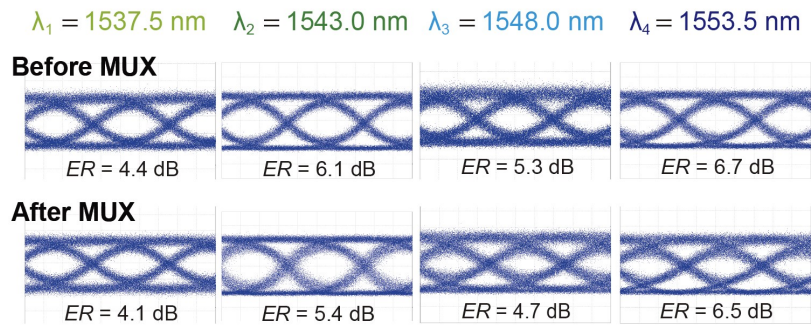


図 1.2.1.2(エ)-8 4 波長チャンネルそれぞれの合波前後の 50Gbps アイパターン

全ての変調器を 50 Gbps で OOK 変調したときのアイパターンを図 1.2.1.2(エ)-8 に示す。多少のばらつきは見られるものの、明瞭なアイ開口が見られた。よって 1 レーン 4 波長の伝送で 200 Gbps が可能になる見通しが得られた。

<ベンチマーク>

本研究のスローライト変調器の結果を、他機関の高速変調器の報告値と比較したのが表 1.2.1.2(エ)-1 である。本変調器の速度は他の最高速のシリコン変調器と遜色がなくなった。サイズの面では圧倒的に小さい。現在、主に採用している $n_g = 20$ を 30~40 に引き上げれば、電圧を 2~3 V_{pp} に引き下げたうえで、消光比 3 dB 以上が十分に期待できる。また消費電力は、25 Gbps では 0.8p J/bit と小さい。64 Gbps では 3.5 V_{pp} のときに 9.6 pJ/bit と大きいのが、低電圧化によって大幅に下げられる可能性がある。よって、本デバイスは他機関と比べて性能のバランスが取れ、サイズが非常に小さいという点が重要な特長となることが、あらためて確認された。

表 1.2.1.2(エ)-1 他機関との性能比較

機関 (年)	トロント大 IME, Huawei (2017)	中国科学院 (2014)	マクギル大 (2015)	IMEC (2017)	横国大 (2019)
導波路	リブ	リブ	リブ	リブ	フォトニック結晶
波長帯	Oバンド	N/A	Cバンド	Cバンド	Cバンド(>15nm)
速度 [Gb/s]	50	70	60	56	64
長さ [μm]	3000	750	4250	1500	200
電圧 [V]	1.5	5.3	4.8	2.5	3.5~5.2
消光比 [dB]	3.4	6.1	3.8	2.3	3.0~4.8
オンチップ損失 [dB]					
パッシブ	5.5	3.3	3.3	2.2	5~6
アクティブ	7.1	N/A	N/A	N/A	6~8

<まとめ>

光電子集積サーバ用の革新的光変調器技術の実現に向けて、汎用のシリコン半導体プロセスで製作できるフォトニック結晶構造を導入したスローライト変調器について、特に高速化に焦点を当てた研究開発を行った。

スローライト変調器の高速化では、変調光と RF 信号の位相不整合が大きな問題であった。本研究では、これを解決する RF 遅延線であるメアングラライン電極を導入することにより、問題が十分に解

消され、 $n_g=40$ といった大きな群屈折率も利用できるめどが立った。また、終端抵抗も最適化した結果、遮断周波数は従来の 20 GHz 以下から 38 GHz まで向上し、OOK 変調では 64 Gbps、PAM4 ではかろうじて 100 Gbps の動作を確認した。さらに波長多重を利用することで、200 Gbps の伝送にもめどをつけた。

今後の主な課題は、光損失の低減と低電圧化である。光損失は他のシリコンフォトニクス変調器に比べて特別に大きいわけではないが、これもスローライト効果を受けて増大しているため、短い変調器の割には大きいという結果になっている。これは変調特性とバランスを取る最大限の最適化が必要と考えられる。また電圧が高くなるのは、p-n 接合の電気抵抗によって伝送中の RF 信号に減衰が起きているのが主な要因である。キャパシタンス結合させた 2 段電極の採用など、電極をさらに最適化することで、改善できるであろう。以上を総動員すれば、将来的には PAM4 による 112 Gbps、8 波長多重、8 レーンを組み合わせれば、3 mm × 5.2 mm といった微小なフットプリントで 6 Tbps 以上の伝送能力をもつ送信器が得られるものと期待される。

オ) 革新的光変調器技術 (東京大学)

<位置づけ、最終目標>

【位置づけ】

光電子集積サーバスシステムの性能向上には、高速かつ低消費電力で動作する光変調器が求められている。本項目では光電子集積インターポーザ用集積化光変調器に向け、ハイブリッド MOS 型光変調器等の実証を最終目標に研究開発を推進した。

【最終目標】

光電子集積インターポーザ用の集積化光変調器への展開に向け、ハイブリッド MOS 型変調器等に対し、多重化・多値変調等の伝送方式を実現する可能性を実証することにより、光電子集積インターポーザへの技術展開の見通しと事業化に対する課題を明確化する。

<アプローチ、特長技術>

有効質量が軽い歪み SiGe や III-V 族半導体を組み合わせることで、シリコン光集積回路中の光変調に用いられる自由キャリア効果を増大可能であり、高効率光変調器を実現する上で有効であることをこれまでの研究で実証してきた。特に電子の有効質量が軽い III-V 族半導体薄膜を Si 導波路上に貼り合わせたハイブリッド MOS 型構造を用いた光変調器では、III-V 族半導体中の電子誘起屈折率変化を用いることで高効率かつ低損失で光変調が可能であることをこれまでの研究で実証することに成功しており、高効率・低損失光変調器を実現する上で極めて有望である。主にハイブリッド MOS 型構造を用いた光変調器 (図 1.2.1.2(オ)-1) の寄生容量化や高速化を目指した研究開発を進める。

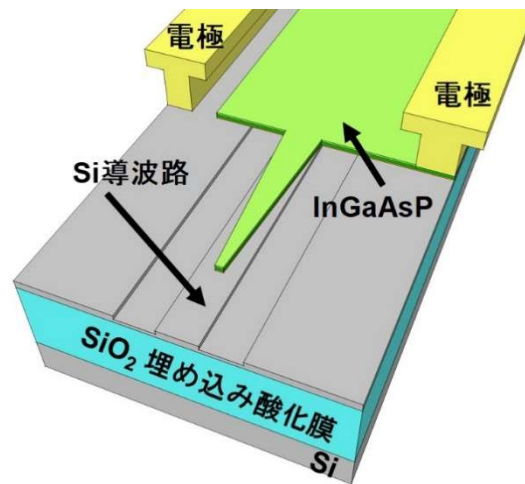


図 1.2.1.2(オ)-1 本項目で研究を進めるハイブリッド MOS 型光変調器の素子構造

<成果>

ハイブリッド MOS 型光変調器の高速化に向けて、逆バイアス動作の検討を進めた (図 1.2.1.2(オ)-2)。これまではハイブリッド MOS 構造に順バイアスを印加して、MOS 界面に電子とホールを蓄積させることで光変調を実現していた。一方、逆バイアス印加時は MOS 界面の両側で空乏層が形成され、電界が印加される。我々は、逆バイアスを印加することで III-V 族半導体薄膜に電界を印加することで、フランツ・ケルディッシュ効果を使った光変調が可能であることを新たに提唱した。

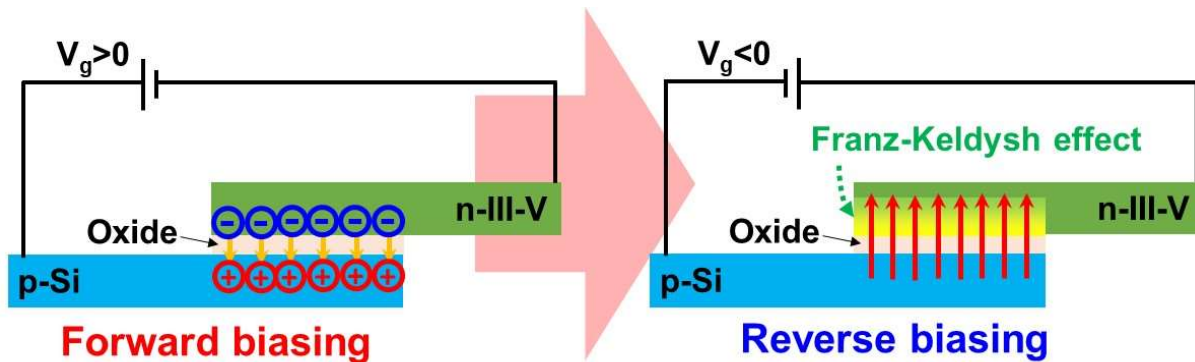


図 1.2.1.2(オ)-2 順バイアスと逆バイアスによる光変調

実際に作製したハイブリッド MOS 型光変調器に逆バイアスを印加した際の変調特性を図 1.2.1.2(オ)-3 に示す。逆バイアス時はキャリア空乏とフランツ・ケルディッシュ効果により光位相の変調が得られた。変調効率 0.11 Vcm と極めて高く、順バイアス動作時と遜色のない動作が得られた。一方、逆バイアス動作時は、空乏層容量が直列に接続された形となる結果、素子全体の寄生容量が低下し、順バイアス時より高速動作が可能であることも明らかになった。逆バイアス時は 100 GHz を越える動作帯域が可能であることが数値計算より確かめられた。

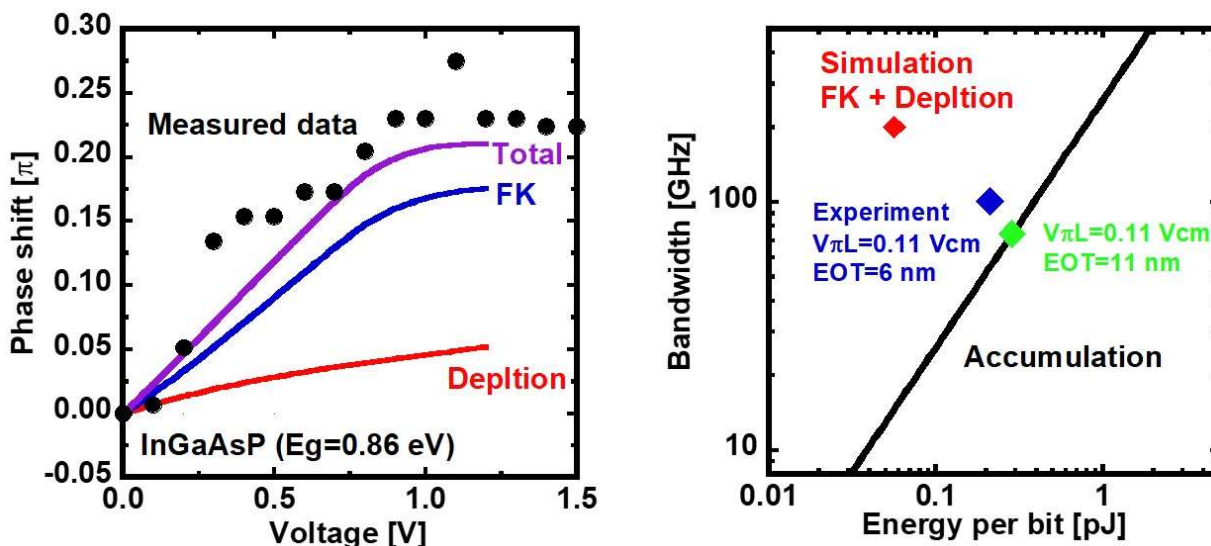


図 1.2.1.2(オ)-3 逆バイアス印加時の変調特性および動作帯域計算値

更なる低寄生容量化に向けた研究開発も進めた。図 1.2.1.2(オ)-4(a)に示す従来のハイブリッド MOS 型光変調器構造では、III-V 族半導体薄膜を貼り合わせるため、Si 導波路の両脇に Si テラス部を必要としていた。このため III-V 族半導体と Si テラス間の寄生容量が大きく、高速動作の妨げとなっていた。そこで、Si 導波路を SiO_2 クラッドに埋め込み、平坦化した後に III-V 族半導体薄膜を貼り合わせた図 1.2.1.2(オ)-4(b)に示す素子構造の研究を進めた。Si テラスが完全に不要な構造であり、寄生容量を大幅に低減可能となる。また、寄生抵抗を低減するため、各層の不純物濃度の最適化や InGaAs コンタクト層の追加も行った。

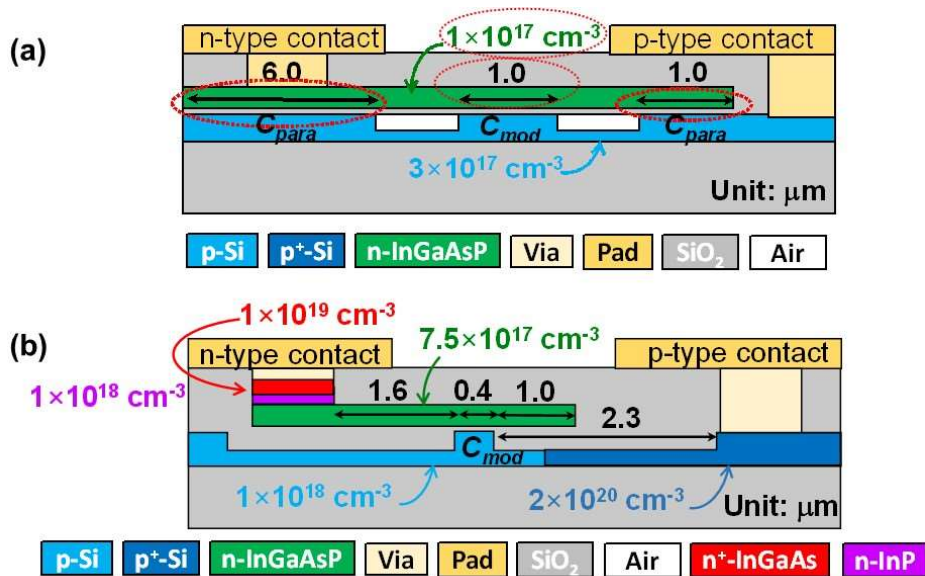


図 1.2.1.2(オ)-4 (a) 従来のハイブリッド MOS 型光変調器構造、(b)低寄生容量ハイブリッド MOS 型光変調器構造

図 1.2.1.2(オ)-4(b)に示す低寄生容量ハイブリッド MOS 型光変調器の Si 導波路幅の最適化を進めた。従来の素子では Si 導波路幅は貼り合わせ精度の関係で $1 \mu\text{m}$ としていた。一方、 SiO_2 埋め込み Si 導波路を用いることで貼り合わせ精度の問題は解決することから、導波路幅の最適化が可能となる。Si 導波路幅が狭くすると寄生容量が減ることから、図 1.2.1.2(オ)-5 に示すように動作帯域は改善する。一方、導波路幅が狭くなりすぎると光閉じ込めが悪化し変調効率が低下する。数値計算の結果、導波路幅を 400 nm とするのが帯域と効率の観点で最適であることが分かった。

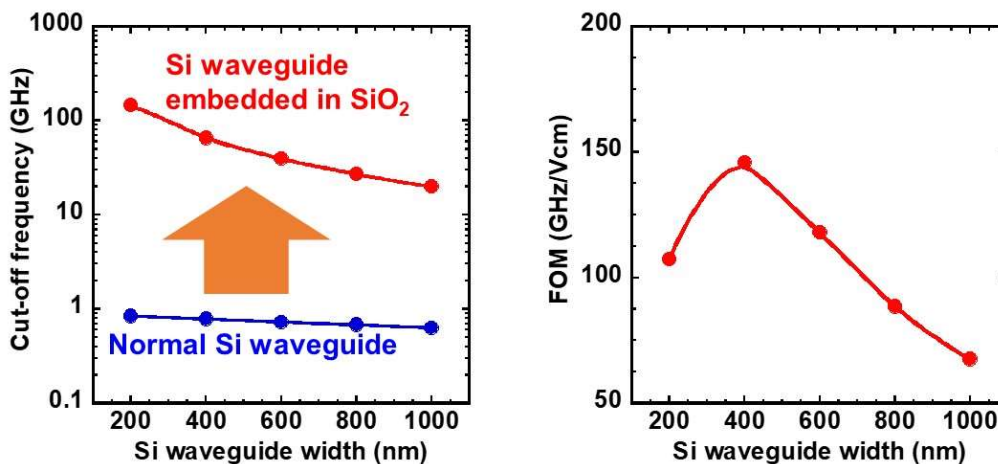


図 1.2.1.2(オ)-5 低寄生容量ハイブリッド MOS 型光変調器の Si 導波路幅依存性

数値解析結果に基づき、図 1.2.1.2(オ)-6 に示す作製フローで低寄生容量ハイブリッド MOS 型光変調器の作製を進めた。SOI 基板の上に Si 導波路を作製後、 SiO_2 クラッドを堆積した。その後、CMP によりウェーハ表面を平坦化した。別途、InGaAsP 層を結晶成長した InP 基板も準備した。両ウェーハ上に ALD で Al_2O_3 層を堆積後、接合することでハイブリッド MOS キャパシタを形成した。InGaAsP メサを形成後、再度 SiO_2 クラッドを堆積し、電極を形成した。

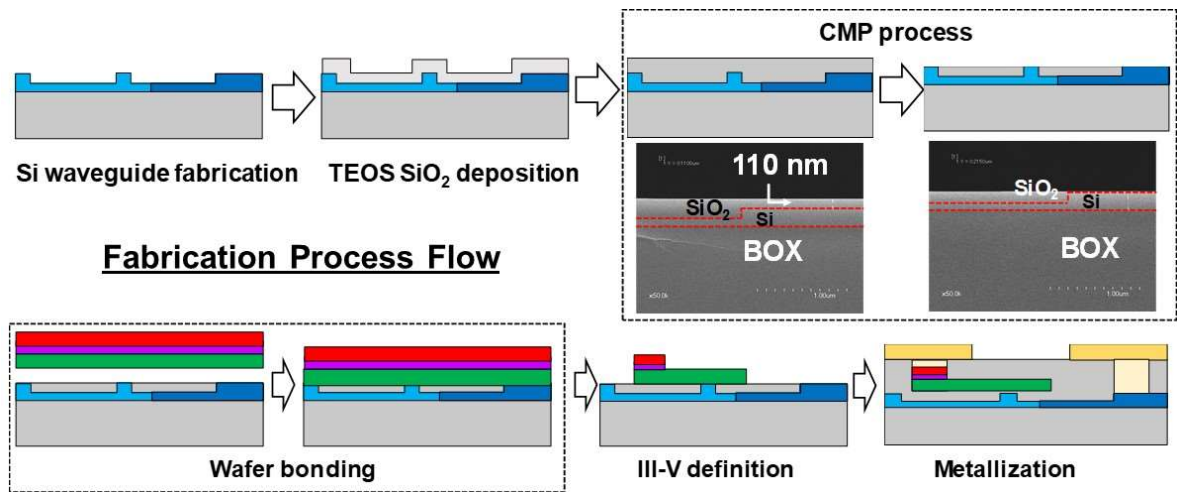


図 1.2.1.2(オ)-6 低寄生容量ハイブリッド MOS 型光変調器の作製プロセス

作製した素子の変調アイパターンを図 1.2.1.2(オ)-7 に示す。低寄生容量化に成功した結果、25 Gbps NRZ 変調に対して良好なアイ開口が得られた。また、40 Gbps PAM4 変調動作も初めて実証することに成功した。

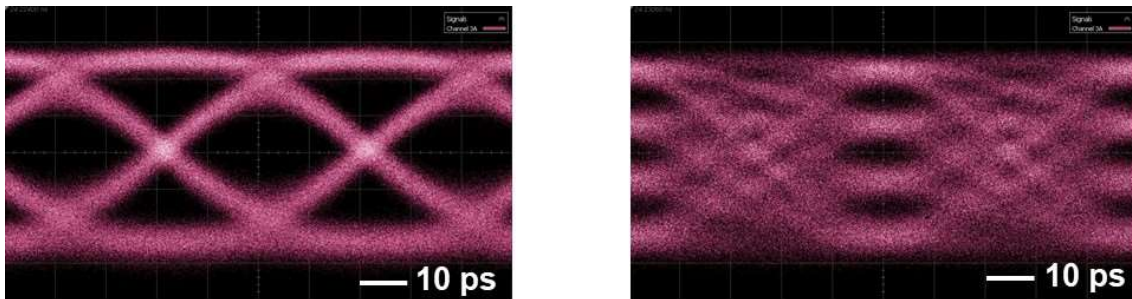


図 1.2.1.2(オ)-7 ハイブリッド MOS 型光変調器のアイパターン

III-V 薄膜導波路を使った光変調器の研究も進めた。図 1.2.1.2(オ)-8 に作製した EA 変調器の断面 TEM 像と変調特性を示す。横方向 PIN 接合に逆バイアスを印加することで、フランツ・ケルディッシュ効果による吸収変調を得ることに成功した。

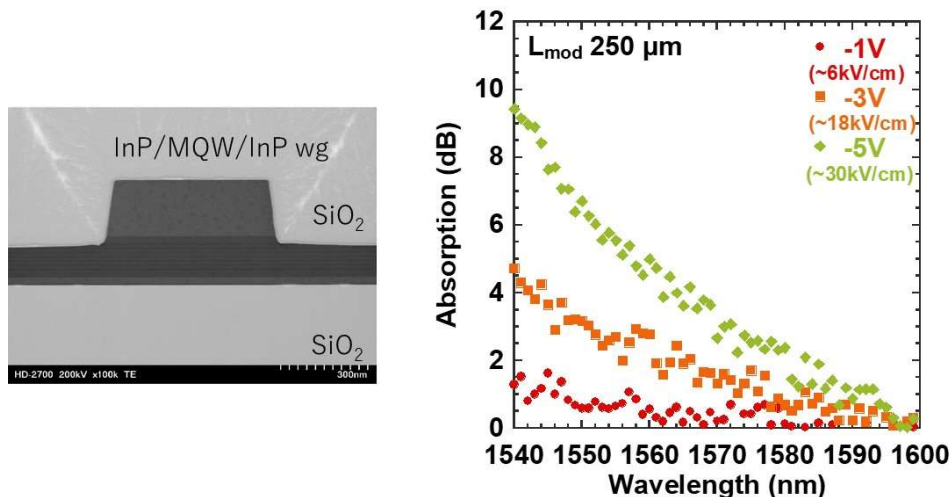


図 1.2.1.2(オ)-8 III-V 薄膜導波路を用いた EA 変調器の変調特性

EA 変調器の動特性評価結果を図 1.2.1.2(オ)-9 に示す。12.5 Gbps で明瞭なアイパターンを得ることに成功し、更なる高速動作も期待されることが分かった。

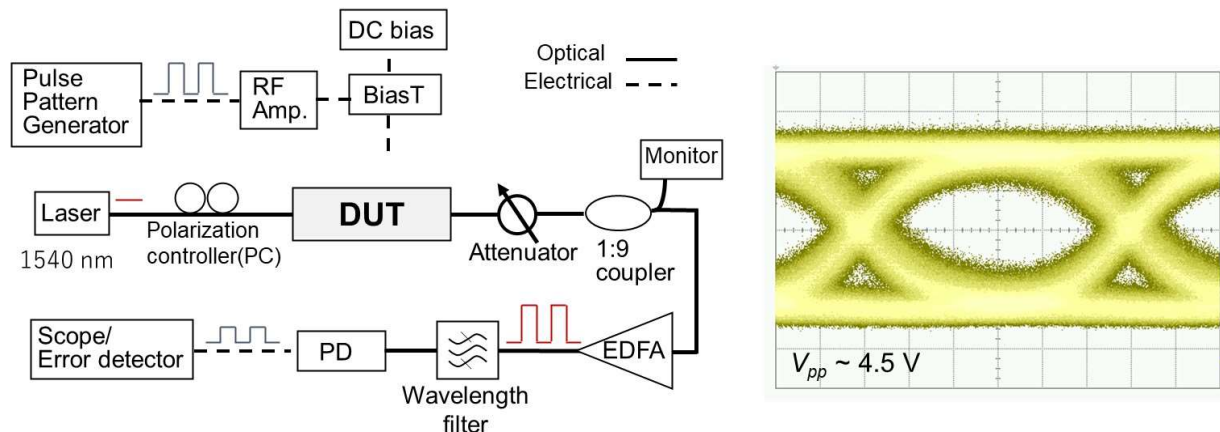


図 1.2.1.2(オ)-9 III-V 薄膜導波路を用いた EA 変調器の動特性

<ベンチマーク>

電子の有効質量が軽い III-V 族半導体中の電子誘起屈折率変化を活用できるハイブリッド MOS 型光変調器は、広く用いられている空乏型 Si 光変調器と比較して、変調効率を 10 倍程度改善しつつ、光損失を 1/10 に低減可能である。本研究開発を通じて、ハイブリッド MOS 型光変調器の寄生容量を大幅に低減することに成功した。また逆バイアス動作により更なる高速化も可能であることも示したことで、高速動作という観点でも優位性があることが明らかになった。また、III-V 薄膜導波路を用いた EA 変調器の作製プロセスを確立するとともに、高速動作の可能性が示された。III-V 薄膜導波路の強い光閉じ込めを活用することで、更なる変調特性の改善が見込まれることから、本研究開発で実証した光変調素子は高速化や省電力化という観点で優位である。

<まとめ>

光電子集積インターポーザ用の集積化光変調器への展開に向け、ハイブリッド MOS 型変調器等の研究開発を推進した。

ハイブリッド MOS 型光変調器においては、逆バイアス印加時においても、III-V 族半導体中のフランツ・ケルディッシュ効果や自由キャリア効果により高い変調効率で位相変調が可能であることを明らかにした。また、逆バイアス印加時には空乏層容量により全体の寄生容量を低減可能であり、更なる高速動作が可能であることを示した。さらに、SiO₂ 埋め込み Si 導波路を用いることで、ハイブリッド MOS 型光変調器の寄生容量を大幅に低減することに成功した。これにより、40 Gbps PAM4 変調に初めて成功した。III-V 族半導体薄膜を用いた EA 変調器の作製プロセスも確立し、高速変調の可能性を示すなど、多重化・多値変調等の伝送方式を実現する可能性を実証することに成功した。

1.2.1.3 革新的光配線技術

カ) 革新的光配線技術 (京都大学)

<位置づけ、最終目標>

【位置づけ】

光電子集積インターポーザへの展開に向けた革新的導波路技術として、シリコンフォトニックナノ構造等の検討を行う。フォトニックナノ構造で構成された光保持領域の光損失を極力低減しつつ、光保持領域同士の結合を動的に制御して固有状態を操作する手法を展開し、光バッファ機能等の高度な導波路技術の可能性を探求する。また、フォトニックナノ構造による光と物質の相互作用の増強を活用した光損失補償機能等の検討も行う。これらにより高度な光配線技術を開発し、光電子融合サーバ技術の革新的展開へ寄与する。

【最終目標】

光電子集積インターポーザへの展開に向け、フォトニックナノ構造による光損失補償機能や光バッファ機能により高度な光配線技術を開発し、光電子融合サーバ技術の革新的展開へ寄与する。

<アプローチ、特長技術>

シリコンフォトニック結晶中の点欠陥によって形成された光ナノ共振器は、適切な設計を行うことにより微小領域における光情報の保持と、保持されている光に様々な操作を加えるという機能を実現できる可能性を持つ。特に光ナノ共振器同士の結合の強度および位相を動的に制御して固有状態を操作することにより、光バッファ機能等の高度な導波路技術が実現できる可能性がある。またそのような制御を電気信号によって行うことができれば、光ナノ共振器の結合系を大規模に展開する上で非常に有用である。しかしながら、電気制御系の導入に伴う結合系の構造や作製プロセスの複雑化による光放射損失・光吸収損失の増大を抑制することが課題となる。この課題に対して、機械学習による高度な設計手法の導入、ラマン効果を活用した損失補償の検討、高度に汚染を防止した作製プロセスの開発、の3点からアプローチする。これにより光ナノ共振器による光信号の直接保持と電気信号制御による任意のタイミングでの共振器間光転送が可能な光パルスバッファリング機能を実現して、光電子融合サーバ技術の革新的展開へ寄与する。

<成果>

2018年度から2021年度までの検討の結果、図1.2.1.3(カ)-1に示すように、シリコンフォトニック結晶チップ内に導波路によって結合した3つの共振器と面内p-i-n構造による共振波長高速制御機構を融合した低損失光電子融合回路を実現し、これによって光ナノ共振器による光信号の直接保持と電気信号制御による任意のタイミングでの共振器間光転送の実現に成功した。最適制御条件下での光保持寿命は1.4 ns程度であり、転送効率は76%、転送時間は0.75 ns程度であった。そして、さらなる光学および電氣的設計の改善と損失低減手法の検討を進め、光保持寿命3 ns以上、転送効率90%以上、転送時間0.4 ns程度が得られる見通しを得た。このような技術は他に全く類を見ず、将来的に光情報伝送ネットワークにおける遅延低減や消費電力の削減に大きく貢献しうる可能性を持ち、光電子融合サーバ技術の革新的展開へ寄与するものと考えられる。以下では、検討した個別技術要素について詳細を述べる。

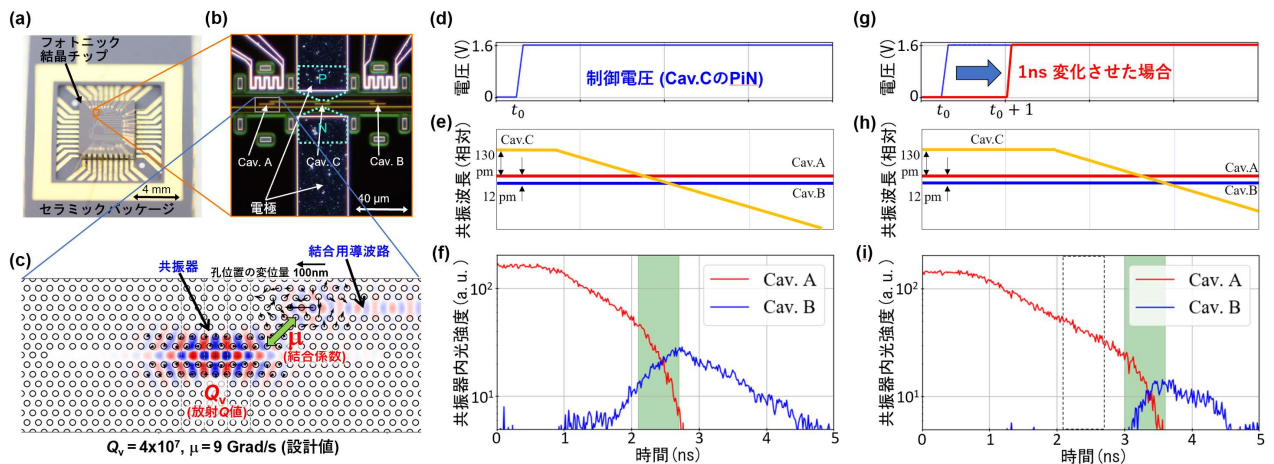


図 1.2.1.3(カ)-1 電気制御光転送チップの構造と光転送動作 (a) セラミックパッケージに実装された光電子融合フォトニック結晶チップの写真 (b)電気制御可能な3結合共振器系の光学顕微鏡写真 (c)共振器と結合用導波路の設計の詳細、機械学習に基づく穴位置のシフトによって高い Q 値と高い結合係数を同時に実現できている (d)共振器Cに加えた電気パルス形状と(e)その際に生じる共振器Cの波長シフトと共振器A,Bの波長との相対関係(予測値)および(f)その際に得られた共振器AからBへの光転送の実験結果 (g),(h),(i)同様の実験を制御電気パルスのタイミングを1nsずらして行った結果電気制御パルスの印加タイミングによって転送タイミングを制御できていることが分かる。

機械学習による高度な設計手法の検討

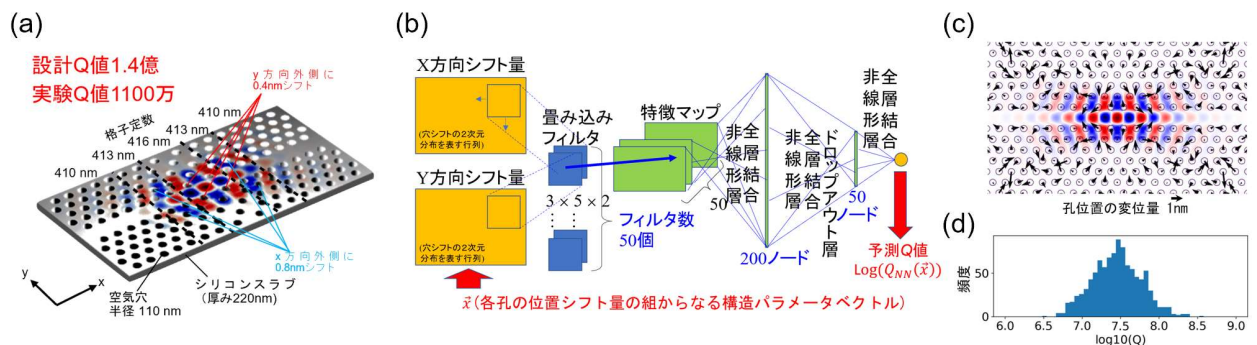


図 1.2.1.3(カ)-2 フォトニック結晶共振器の基本構造と機械学習設計手法 (a) ヘテロ構造共振器の基本構造と閉じ込められた光の様子(E_y 成分)、8か所の穴にシフトを加えることで高い Q 値が実現されている (b)共振器周辺の孔位置のシフト量と Q 値の関係を予測するための機械学習モデル (c)モデルを訓練するために生成したランダムに穴位置をシフトさせた共振器の一例、対称性は保つようにシフトさせている (d)ランダムに生成した1000個の共振器の第一原理計算 Q 値のヒストグラム

2次元フォトニック結晶の薄板(スラブ)に局所的に周期性を欠いた場所を導入することで図1.2.1.3(カ)-2(a)に示すような高 Q 値微小共振器を形成することができる。 Q 値が高いほど共振器内に光を保持できる時間が長くなるため、光バッファメモリー等の革新的光配線技術に適用する上で、光閉じ込めの向上は最重要課題の一つである。平成29年度までに、同図に示すように幾つかの空気穴の位置を微調整することで、放射損失を抑制して設計 Q 値を向上できることを実証しており、実験 Q 値1100万、共振器光子寿命9.2 nsという他研究機関の報告値を10倍程度凌駕する超高 Q 値共振器を実現していた。しかし、構造微調整の自由度は大多数が利用されないままであり、設計上の放射損失を

さらに低減できる可能性が残されていた。また、共振器の光バッファメモリーや損失補償用ラマンゲイン利用への応用においては、基本共鳴モードの Q 値だけでなく導波路との結合強度やポンプ光用の高次モードの Q 値など、複数の性能指数の向上が必要とされる。そこで、孔位置調整の高い自由度を十分に活用した設計が行える手法を開発した。

本手法では図 1.2.1.3(カ)-2(b)に示すような機械学習モデルを準備し、これを同図(c)に示すようなランダムに孔位置をシフトさせた共振器とその Q 値の第一原理計算結果の多数の対からなるデータを用いて訓練し、穴位置シフトパターンから近似的にはあるが高速に Q 値を予測できる学習済みモデルを構築する。そのような学習済みモデルの予測 Q 値と第一原理計算 Q 値を比較した例を図 1.2.1.3(カ)-3(a),(b)に示す。相関係数が 0.94 以上の良い予測ができていることが分かる。次に学習済みモデルを用いて、各孔の各方向のシフト量の微小変化に対する予測 Q 値の変化量を計算し、予測 Q 値が高くなる方向に少しずつ構造を変化させることで構造の最適化を行う。同図(c)に初期構造(手動設計構造)を、(d)に本手法で得られた最適構造を示す。第一原理計算 Q 値が 10 倍以上向上していることが分かる。さらに実験的検証のため、それぞれの設計で 30 個程度の共振器を作製して測定を行った。その結果、機械学習設計構造の方が全体的に実験 Q が高くなり、特に作製サンプル中の Q 値 900 万以上の共振器の割合は 12%から 28%と大幅に向上した。また、本手法による構造探索と学習を繰り返すことにより、さらに高度な最適化が可能であることも実証され、より共振器体積の小さい L3 型共振器や電子回路との融合上有用な SiO_2 クラッド型共振器等の設計においても、従来にない高い Q 値を得ることができた。さらに、次節以降で示すように、複数の性能指数を同時に向上させるという手動設計では非常に困難な課題に対して、本手法は非常に有効であることも実証された。

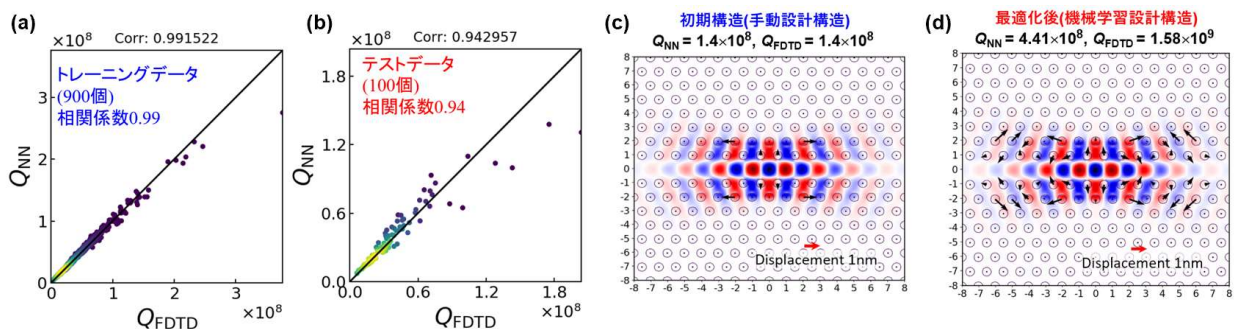


図 1.2.1.3(カ)-3 機械学習設計の結果 (a),(b)機械学習モデルの予測 Q 値(Q_{NN})と第一原理計算結果(Q_{FDTD})の相関 (c)手動設計で得られた共振器の穴シフトパターン、 $Q_{FDTD}=1.4$ 億 (d)機械学習モデルを用いた最適化の結果得られた構造、 $Q_{FDTD}=16$ 億が得られている

ラマン効果を活用した損失補償に関する検討

共振器内にバッファリング中の光の損失を抑制する手法としてラマンゲインによる補償を検討した。光を保持するためのヘテロ構造共振器内の基本モードに対して、ラマン周波数だけ離れた高次モード(ポンプモード)を適切に設計し、それ光を注入すれば、基本モードにラマンゲインが発生する。ポンプモードの Q 値が高いほど同じポンプパワーで効率よくゲインを発生できるが、図 1.2.1.3(カ)-4(a),(b)に示すように、基本モードとポンプモードは全く異なる電界分布をもつため、前者の Q 値を保ちつつ後者の Q 値を向上させることは困難であった。そこで前節に述べた機械学習モデルと学習データを拡張して、両モードの Q 値を構造から予測できるようにし、これを用いて両モードの Q 値の積が向上するように構造を調整した。その結果、同図(c),(d)に示すようにポンプモードの第一原理計算 Q 値は 10 倍以上に向上し、基本モードのそれも 2 倍以上向上した。実験的にも同図(e),(f)に示すように両モードに

において高い Q 値が観測され、特にポンプモードの Q 値は従来の数十万程度から大幅に向上した。本構造を用いてラマンゲインの確認を行った結果を同図(g), (h)に示す。100nW を下回る極めて小さい閾値が実現されており、これは従来構造で得られた閾値の 1/10 以下である。この閾値低下は、主にポンプモードの Q 値が向上して同じポンプパワーにおけるラマンゲインが増強された結果と考えられる。本構造最適化法は、3つ以上の性能指数の同時最適化にも適応可能なので、今後次節で述べる結合共振器における結合強度の最大化と合わせて同時に最適化を行うことで、光転送時の損失のラマンゲインによる補償の実現につながるものと期待される。

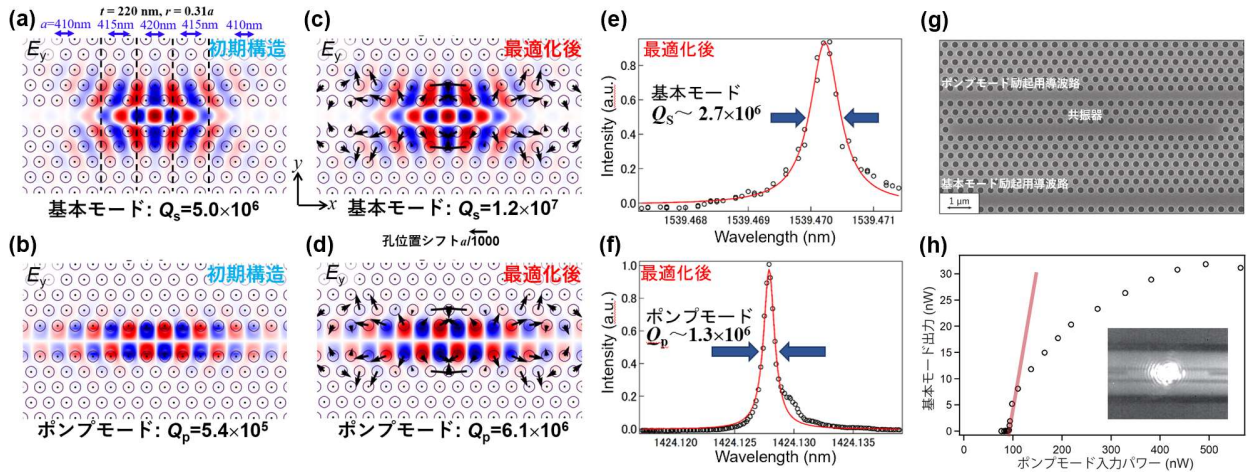


図 1.2.1.3(カ)-4 共振器ラマン効果向上の結果 (a),(b)手動設計の共振器の基本モードおよびポンプモードの電界分布および理論 Q 値 (c),(d)機械学習をもちいて基本モードおよびポンプモードを同時に最適化した共振器の電界分布および理論 Q 値 (e),(f)機械学習設計の共振器の基本およびポンプモードの実験 Q 値 (g)作製したラマンゲイン確認デバイスの電子顕微鏡写真 (h)ポンプモードに光を注入した際のラマンゲインによる基本モードの発振特性、100 nW を下回る極めて小さい閾値が実現された

電気制御光転送のための光電子融合チップ作製と共振器汚染防止に関する検討

高度な光配線技術である光バッファメモリ実現のためには、共振器に長時間光を保持するだけでなく、任意の制御タイミングで別の共振器に光を移す技術が必要である。その実現のため、図 1.2.1.3(カ)-5(a)に示すような光保持用の共振器 A と B が、制御用共振器 C と導波路を介して結合している系を用いた。本系では共振器 C の周波数を断熱的に変化させると同図(b)に実線で示すような3つの連続的に変化する固有モードが生じる。その真ん中のモードを用いて初期状態で共振器 A に光を導入し、任意のタイミングで断熱条件を満たす速度で共振器 C の周波数を変化させると、光が共振器 B に転送される。これまでに、共振器 C に外部から短波長の光パルスを照射することで転送自体は実証されていた。しかしフォトニック結晶チップと比較して遥かに大きい外部光学系が必要なだけでなく、複数の制御箇所を複雑なタイミングで制御することは非常に困難であり、系の拡張・高度化が事実上不可能であった。そこで同図(a)に示すような面内 p-i-n 構造を形成し、その i 層領域に制御用共振器を配置して電気パルスによる波長制御を行う方法を導入した。ただし、このような構造の形成には、p,n 領域へのイオン打ち込みや高温での活性化アニール、電極形成などプロセスが必要になり、作製プロセスの複雑化によって共振器表面が汚染されて光吸収損失が増大し、光保持時間が低下することが懸念された。また、同図(b)のような転送を効率よく行うには、結合用導波路を共振器に近づけて結合係数を増大させる必要があるが、その際に共振モードの電磁界分布が乱れて放射損失が増大するという

課題もあった。そこで、後者に関しては機械学習を活用した構造最適化手法を用いることで結合強度増大と放射損失抑制(Q 値向上あるいは維持)を同時に達成できる構造を設計し(図 1.2.1.3(カ)-1(c))、また前者に関しては適切な保護膜を用いることでプロセス中の表面汚染を大幅に低減できる手法を開発した。これにより図 1.2.1.3(カ)-5(c)に示すように電気制御機構を導入しつつも、光保持用共振器 A,B の光子寿命を 1.5~2 ns 程度(Q 値 200 万程度)に維持することに成功した。(制御用共振器 C は 100 万程度であるが、同図(b)に示すように光の存在割合が小さいので A,B での光保持時間にはあまり影響しない。) また、同図(d)に示すように 1.6 V の電圧パルスで共振器 C の波長を 150 pm/ns の速度で変化させることに成功し、3V 印加時には 400 pm/ns を超える変化速度を観測した。これにより、すでに図 1.2.1.3(カ)-1(d)-(i)に示したように、共振器 A に保持した光を、任意のタイミングで共振器 B に転送することに成功した。現在、さらなる作製プロセスの改善に取り組んでおり、光電子融合チップ内に Q 値 400 万以上の共振器が作製可能になりつつある。また、結合強度と p-i-n 構造の制御速度の改善にも取り組んでおり、光保持寿命 3ns 以上、転送効率 90%以上、転送時間 0.4 ns 程度の光転送性能が得られる見通しがついている。

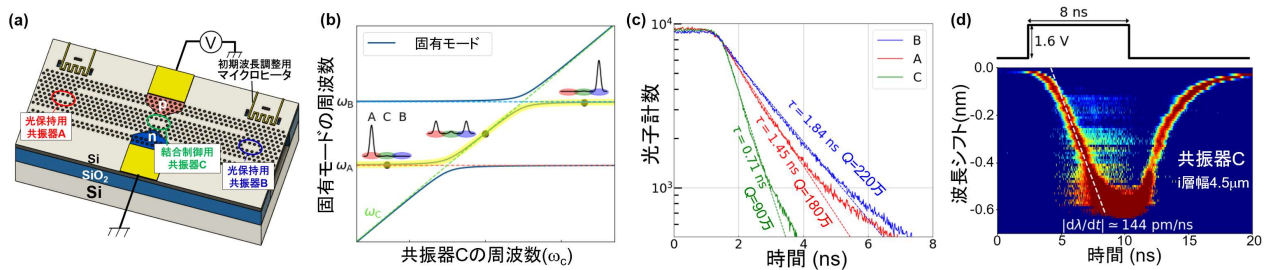


図 1.2.1.3(カ)-5 電気制御可能な 3 共振器結合系と光転送の原理 (a)光電子融合チップの模式図 (b)断熱的なモード変化に基づく光転送の原理 (c)作製されたチップ内の各共振器の光子寿命測定結果 (d)制御用共振器の pin 接合に電圧パルスを印加した際の波長変化の時間分解測定結果、i 層幅は $4.5\mu\text{m}$ 、p/n 領域のドーピング密度は $3 \times 10^{19} \text{ cm}^{-3}$

<ベンチマーク>

微小チップ上で光転送を実現した結果は他に類を見ないので、我々が過去に報告した制御に光パルスを利用した光転送と比較する。まず光保持時間に関して、本成果は 2ns 弱であり、従来技術の 0.2 ns 程度と比較して大幅に長い。また制御に関しては、本成果では 1.6 V 程度の電気パルスを用いており、将来的には制御回路をチップ内に組み込めるのに対して、従来技術では数メートル四方を占める光パラメトリックアンプが必要であった。大幅な小型化であり、かつ複雑な制御も可能になった。転送時間と転送効率に関しては従来技術では幅 70 ps の光パルスで制御していたため、転送時間 100 ps 程度、効率 90%程度であったが、本成果においても前述の結合構造と p-i-n 構造の改善を行えば、それぞれ 400 ps 程度、効率 90%以上が実現できる見通しであり、今後さらなる向上も期待できる。

<まとめ>

光電子集積サーバ用の革新的光配線技術の実現に向けて、超低損失光電子融合フォトニック結晶チップの設計および作製技術の研究開発を行い、これによって微小チップ上で共振器に光情報を保持しつつ、任意の電気制御のタイミングで、それを別の共振器に転送することに成功した。紙面の都合から説明は省略したが、本結合共振器を用いて一方向伝搬や光の時間反転などの高度な光伝搬制御を行う検討も進め、一部は実験的にも実証した。また、開発された機械学習に基づく構造設計手法は非常に汎用性が高く、光ナノ構造のみだけでなく、高い構造自由度をもつ様々な対象の複合的な性能指数の

向上に有用である。この手法を用いて共振器ラマンゲイン構造を改善し同じポンプ光強度で 10 倍程度のゲイン増強に成功した。今後は、本光電子融合チップのさらなる高性能化および大規模化を進め、ラマンゲインによる補償を融合し、かつ様々な光操作スキームを実装していくことで、高度な光配線を行うことが可能になると考えられる。

1.2.1.4 革新的光エレクトロニクス回路技術

光電子集積サーバに使用する光電子集積インターポーザの光回路の再構成を可能とする回路プラットフォームの CMOS 電子回路上への形成を目的として技術開発を行う。

キ) 革新的光エレクトロニクス回路技術 (東京工業大学)

<位置づけ、最終目標>

【位置づけ】

光電子集積サーバシステムの機能向上には、搭載する光電子集積インターポーザの機能を用途に応じて可変することが望まれる。従来の光回路では、一度設計を行った場合、用途に応じた機能可変は不可能であり、上述の目的を達成することができない。これを解決するため、回路の再構成を後から行うことができる光素子を組み合わせ、機能を可変できる革新的回路プラットフォームを提案し、そのための基本素子の研究開発と、コンセプトの実証を最終目標に研究開発を推進した。

【最終目標】

光電子集積インターポーザへの展開に向け、シリコンインターポーザ上で機能可変型光エレクトロニクス回路の基本機能を実証して光 FPGA 実現の見通しを明らかにすることにより、光電子集積サーバ技術の革新的展開へ寄与する。

<アプローチ、特長技術>

将来的なインターコネクションでは、サーバには様々な回路要求が存在するため、ユーザ各自によっても必要な光回路構成が異なる可能性がある。そのためにフィールドで自在に回路機能を切り替えることが可能な機能可変光回路（通称光 FPGA）の実現を目指している。大規模化、電子回路との親和性を考えて Si 基板上にその光回路を形成することを前提とする必要がある。ただし、Si 材料は、その物性的特性から十分な光利得を実現することが困難であるため、表面活性化接合法を利用して低温で低ダメージに異種材料集積を実現する。この手法によって、並列、冗長的に様々な種類の III-V 族半導体/Si ハイブリッド光部品（基本構成は半導体光増幅器(SOA)）を配置、導波路を接続する。また、切り替えのためのスイッチは磁気光学効果を利用した不揮発性スイッチの導入を検討する。

<成果>

光 FPGA の基本構成を、図 1.2.1.4(キ)-1 に示す。

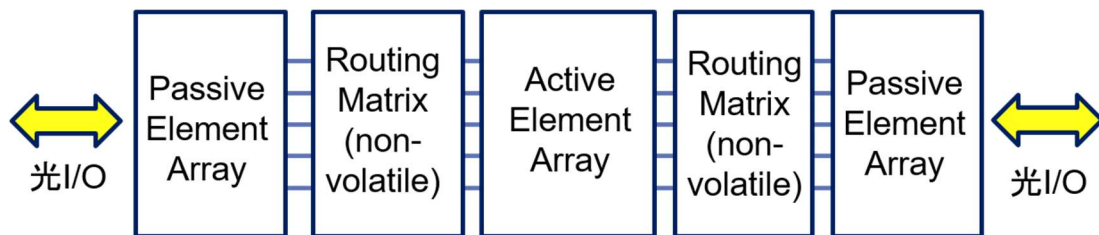


図 1.2.1.4(キ)-1 機能可変光エレクトロニクス回路の基本構成

光利得を有する能動素子、導波路を利用したフィルタ、ミラー素子等の受動素子、そして、それを繋ぐルーティングマトリックス（スイッチ）で構成される。スイッチは、不揮発性の特性を有し、一度セットすれば、次の変更までは電力を必要としないことを想定する。シリコンプラットフォームの大規模性を利用すれば、あらゆる特性の素子を並べ、それを組み合わせることで、信号発生、信号受信、増幅を含む多数の機能を実現可能である。光 FPGA は、近年、他機関でも報告され始めてはいるが、能動素子を含む提案はなく、不揮発性スイッチを組み込んだ報告もない。

まず、能動素子を実現するため、異種材料接合技術を検討した。これに向けた取り組みは他機関でも報告されているが、接合のため加熱を必要とし、基板に対してストレスを与えることになる。そのため、室温でも接合可能な常温活性化接合技術を導入した。常温活性化接合は、高速原子ビーム(Fast Atom Beam: FAB)を基板に照射し、結合手を露出させ接合する技術である。一般的には原子として Ar を利用するが、この原子では InP 基板内部へのダメージを発生させ光学特性を劣化させる。これを回避するため様々な不活性ガスによるフォトルミネッセンス(PL)特性の変化を観測した。その結果、図 1.2.1.4(キ)-2(a)に示すように Xe によって PL 特性劣化を抑えられることが明らかになった。一方で図 1.2.1.4(キ)-2(b)のように、良好な異種材料集積基板が Xe を利用した場合においても形成可能であることが分かった。これらの技術を利用してハイブリッドレーザ作製を行い、図 1.2.1.4(キ)-3 のように世界で初めて常温活性化接合技術を利用したハイブリッドレーザの連続発振を実現した。

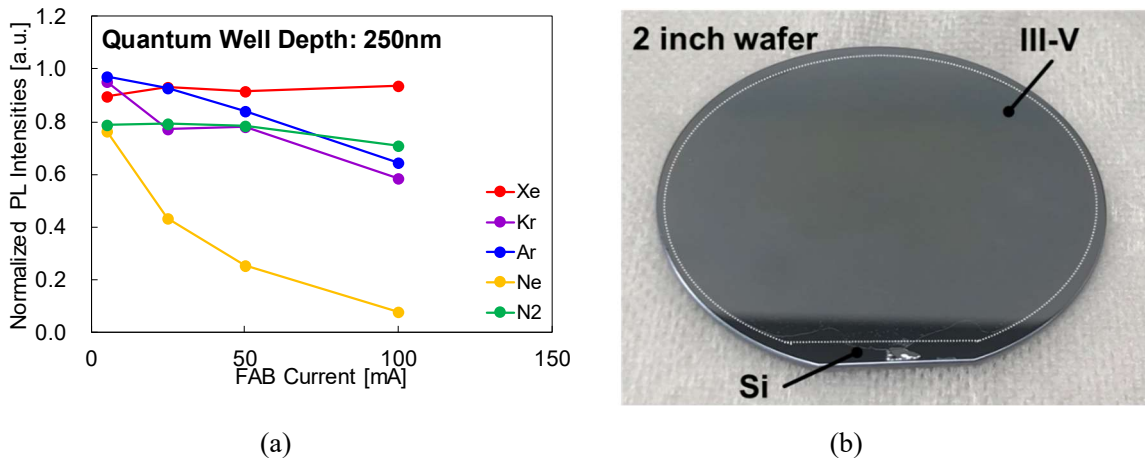


図 1.2.1.4(キ)-2 表面活性化接合

(a) 様々な原子照射による PL ピーク強度 (b) 表面活性化接合による InP/Si ハイブリッド基板

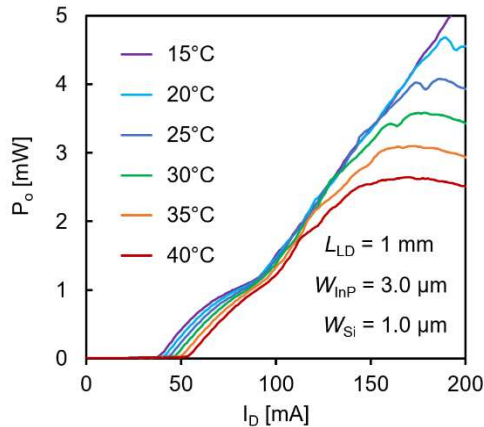


図 1.2.1.4(キ)-3 表面活性化接合によるハイブリッドレーザの電流-光出力特性

次に、受動素子として、従来実現されてなかった反射率可変ミラーに取り組んだ。これを導入することによりレーザにおける出力方向などを変更できるほか、レーザと半導体光増幅器(SOA)との機能切り替えも可能となる。実際に作製した素子写真を図 1.2.1.4(キ)-4(a)に示す。入力光は方向性結合器によって2つの方向に分離されたのち、同長の導波路を通り、再び方向性結合器に入射する。そしてループミラーを経て、再び同経路を戻る。導波路に形成されたマイクロヒーターにより導波路の光学的な経路長が変化し、位相状態が変化する。この結果、戻ってきた光の強度も変化することになる。また、方向性結合器の分配比により、ヒータによる反射率の変化の感度が調整可能となる。図 1.2.1.4(キ)-4(b)には、反射率のマイクロヒーター電圧依存性を示す。反射率はファイバ結合損失などを含んだ値であり、絶対反射率ではない。電圧を変化させることによって 20 dB 以上の反射率可変を実現した。

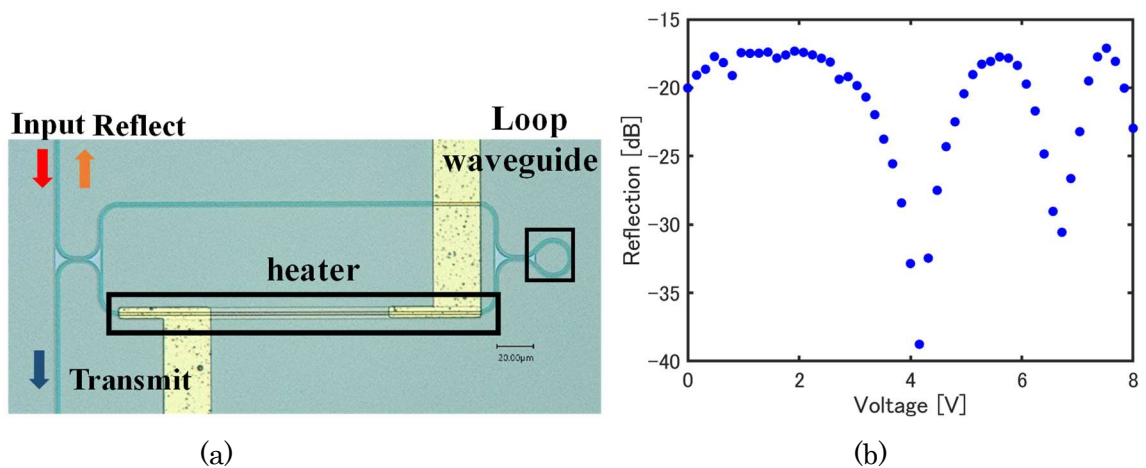


図 1.2.1.4(キ)-4 反射率可変ミラー (a) 光学顕微鏡写真 (b) 反射率のマイクロヒータ電圧依存性

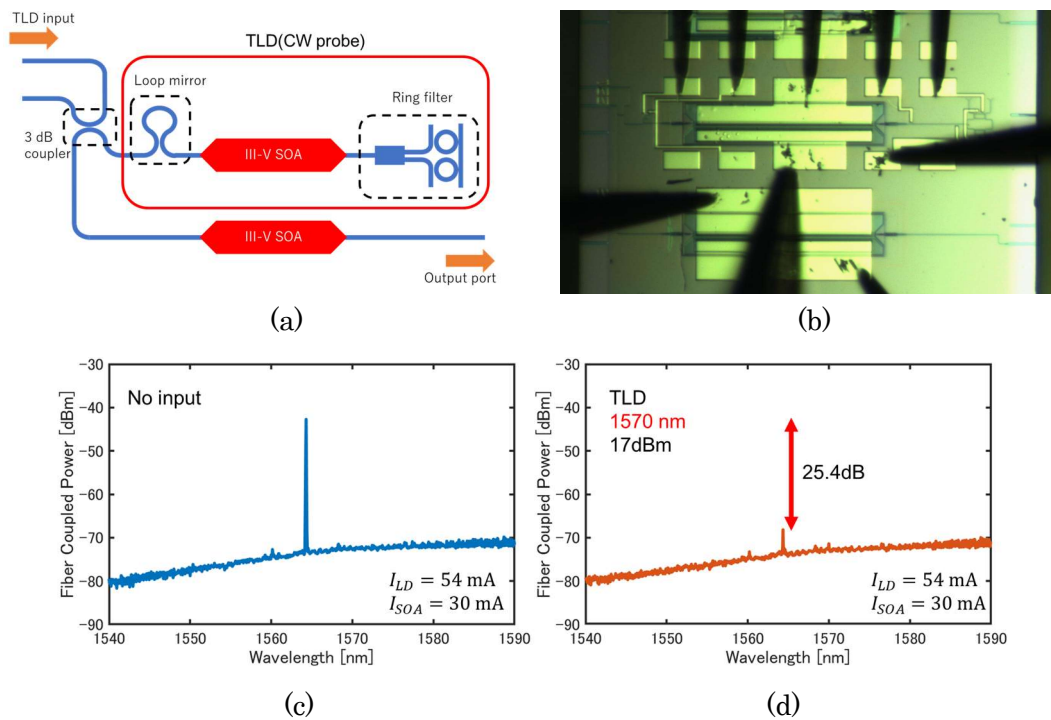


図 1.2.1.4(キ)-5 ワンチップ波長変換機能 (a) 回路構成 (b) 回路写真
(c) 入力信号がない場合のチップ出力 (d) 入力信号を入れた場合のチップ出力

上述してきたハイブリッド集積および受動素子を組み合わせることで、可能となる機能の一例として、SOA とレーザを組み合わせた波長変換素子を試作した。図 1.2.1.4(キ)-5(a)および(b)には、回路構成および実際のプローブ時の素子写真を示す。2 つの同じ構造を持つ異種材料集積技術による光利得部を有し、一方には、ミラーおよびフィルタを接続することによって波長可変レーザとしている。その出力と外部入力を合わせ、ミラーが接続されていない SOA へ入射することで、相互利得変調を起こし、外部入力の 1, 0 の信号を波長可変レーザの発振波長における 0, 1 の信号に変換することが可能となる。図 1.2.1.4(キ)-5(c)および(d)に波長 1570 nm の外部入力光の On, Off 時における、チップからの出射信号スペクトルを示す。Off の時には波長 1564 nm の波長可変レーザからの出力が明瞭に観測されるが、外部入力を On にすると、波長可変レーザからの出力が 25.4 dB ほど低下することを観測した。これより、波長を変換して信号を出力できることを示した。

最後に、光 FPGA を構成する要素回路のひとつである不揮発性光スイッチの開発を進めた。不揮発性光スイッチは磁気光学効果により動作する光スイッチであり、薄膜磁石の残留磁化によって駆動することからスイッチ状態の保持に電力を消費しない。そのため、光 FPGA の機能可変性を実現するキーマイコンデバイスである。

図 1.2.1.4(キ)-6 に示すようなマッシュツェンダ干渉計型の 2 入力 2 出力ポートを有する光スイッチを作製した。薄膜磁石は導波路下部の磁気光学材料に効率的に磁場を印加できるように電磁界解析により設計を行った。±400mA の電流印加によって薄膜磁石の磁化を完全に反転することでスイッチ状態が切り替わり、図 1.2.1.4(キ)-7(a),(b)に示すように波長 1550 nm 帯において Bar ポートと Cross ポートでの消光比 20 dB 以上の不揮発なスイッチング動作に成功した。さらに、1 マイクロ秒幅のパルス電流を印加して Cross ポートの光出力の時間応答を計測し、図 1.2.1.4(キ)-7(c)に示す測定結果を得た。光強度が二つの安定状態を保持していることがわかり、パルス電流駆動による不揮発性光スイッチの動作実証に成功した。消光比が小さい原因として、電流印加導線がインピーダンス整合していなかったため十分な尖頭値のパルス電流を印加することができなかったことが考えられる。今後は、電流印加導線の高周波設計が必要である。

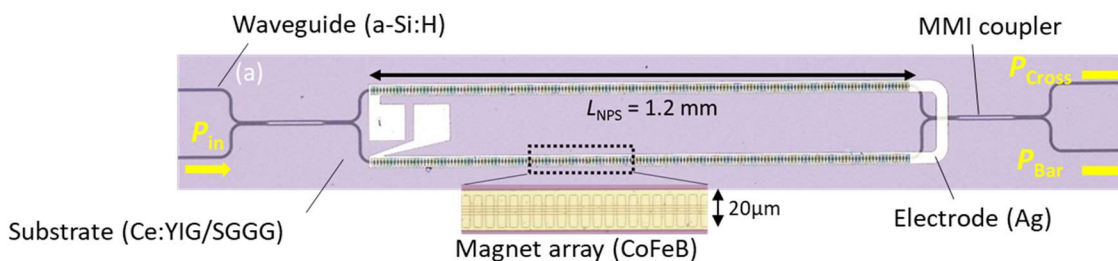


図 1.2.1.4(キ)-6 マッシュツェンダ干渉計型不揮発性光スイッチの光学顕微鏡像

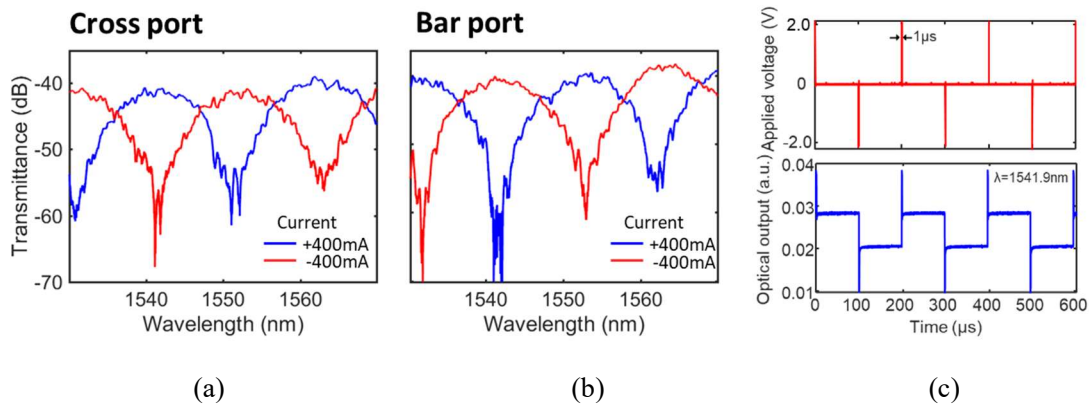


図 1.2.1.4(キ)-7 不揮発性光スイッチの(a)Cross ポートと(b)Bar ポートにおける動作スペクトル、(c)1 マイクロ秒幅のパルス電流で駆動した際の光出力の時間応答特性

次に、図 1.2.1.4(キ)-8(a)に示すリング共振器型の 2 入力 2 出力ポートを有する光スイッチを作製した。薄膜磁石の磁化状態を連続的に制御することで、出力ポートの光透過率を調整することができる可変光減衰器(VOA)として機能する。図 1.2.1.4(キ)-8 (b)は印加した電流値に対する光透過率の変化をプロットしたものであり、電流を止めた後に計測したものである。薄膜磁石の磁化状態に対応したヒステリシス特性が計測され、薄膜磁石の残留磁化による連続的な光透過率の制御が確認できた。

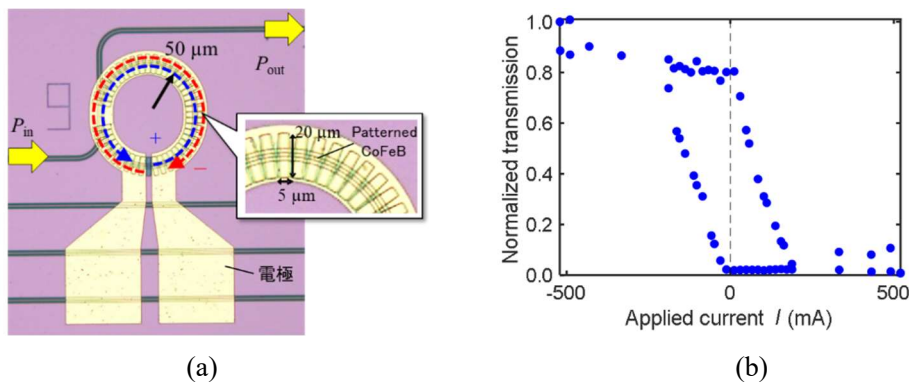


図 1.2.1.4(キ)-8 リング共振器型の不揮発性光スイッチの(a)光学顕微鏡写真と(b)可変光減衰器動作

また、シリコン基板上への集積を目指して一方向磁化で動作可能な新しい干渉計構造(図 1.2.1.4(キ)-9(a))を提案し、その作製と評価を実施した。作製においては直接接合法により磁気光学ガーネットをシリコン基板上に貼り合わせた光スイッチを作製した。ここでシリコン光回路は産総研 SCR の 300 mm ウェーハプロセスラインで作製し、テラス領域のパターン密度を変えて貼り付け実験を行い、図 1.2.1.4(キ)-9(b)に示すようなデバイス作製に成功した。動作特性としては Cross ポートと Bar ポートのそれぞれで 15~20dB の消光比を確認した。従来構造では TM モード光に対して動作するのに対して、新構造では TE モード光で動作する。そのため、TE モード光の強い閉じ込め効果から磁気光学ガーネット境界での散乱損失を小さく抑えられることが大きな利点となる。今後は薄膜磁石を干渉導波路の横側に近接して形成し磁気光学ガーネットの磁化を制御することで、集積可能な不揮発性光スイッチが完成される。

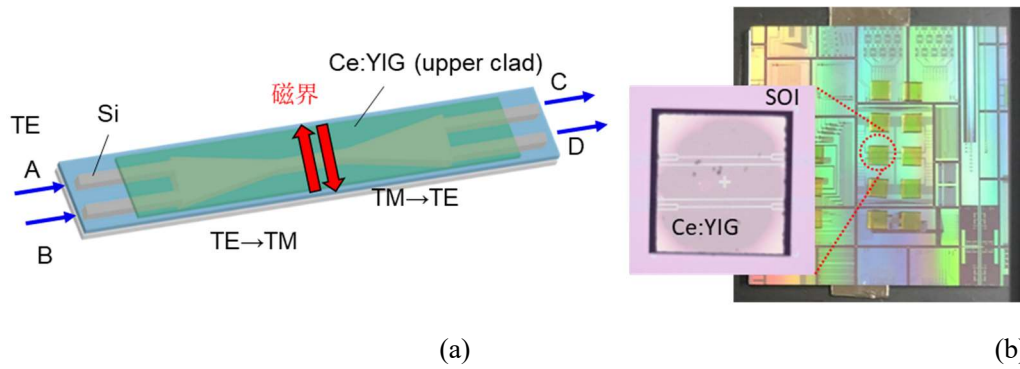


図 1.2.1.4(キ)-9 (a)シリコン基板上の新しい干渉計構造を有する磁気光学スイッチの構造図と
(b)産総研 SCR で作製した光回路上に作製した光スイッチの光学像

このような不揮発機能をもつ光スイッチは世界的にも稀有であり、上記の成果は光 FPGA 回路の実現可能性を示す重要な進展である。他機関より報告のある相変化材料を用いた不揮発性光スイッチとの比較として、光損失が小さく処理回数に制限がないことが実用上も大きな優位性を持っている。以上の結果より異種材料集積技術、受動導波路技術、不揮発性スイッチという要素を実現し、組み合わせで可能となる機能の一例としてワンチップ波長変換動作を達成した。今後、これらの技術を利用することによって、光 FPGA 実現の見通しを得た。

1.2.2 研究開発項目②光エレクトロニクス実装システム化技術の開発：(i)システム化技術

全体成果

電子機器の電気配線を光配線に置き換える光回路技術と電子回路技術を融合させた光エレクトロニクス実装システム化技術を目的にシステム化技術を開発した。

システム化技術では、情報処理システム化技術や情報通信システム化技術への適用を目的に、光電子集積インターポーザのデバイス・実装技術の開発を行った。システム化技術の位置づけの概略を図 1.2.2-1 に示す。

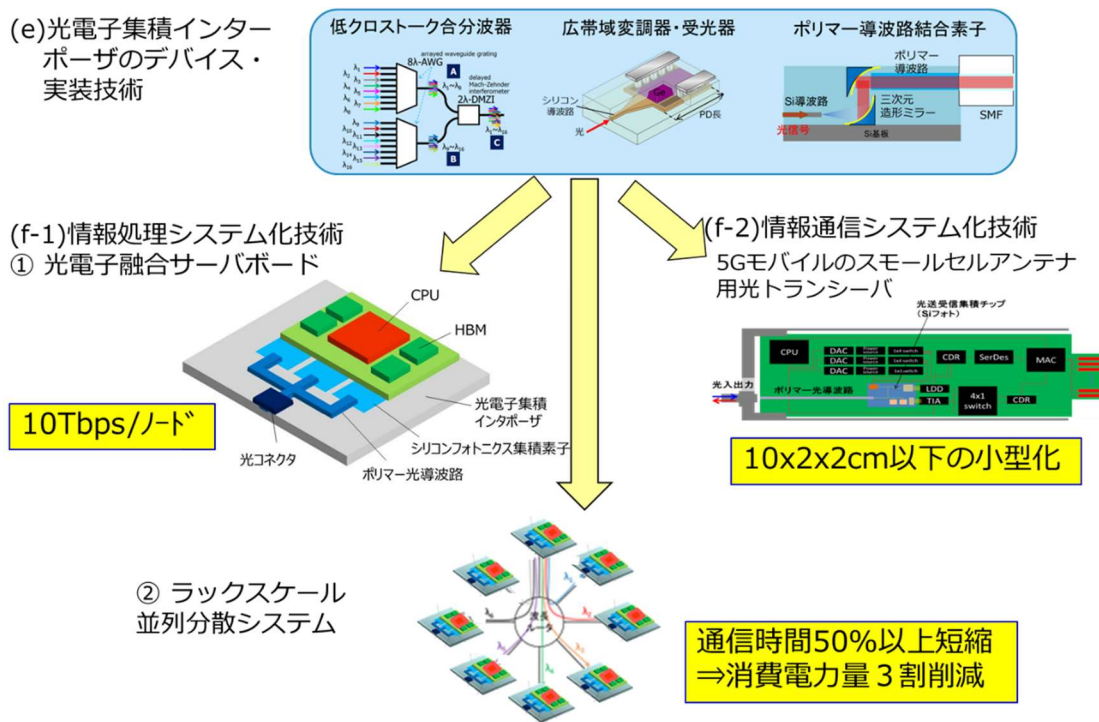


図 1.2.2-1 システム化技術の位置づけの概略

成果の概要：

本プロジェクト期間を通して、開発したデバイスや実装技術を用いた光電子集積インターポーザをハイエンドサーバやラックサーバに適用することで、実際に動作を確認でき、多くの優れた成果の実証ができた。これらの成果は、学術的価値が高いものであることはいまでもなく、実用化に資する技術としても大いに期待されるものである。このように、当初目標を達成する成果が得られた。

最終目標と主な成果状況のまとめを表 1.2.2-1 に示す。本プロジェクトで得られた成果の例を以下に示す。詳細は以下の項目別成果報告を参照頂きたい。

(成果の一例)

- ・超小型 10 Tbps の WDM チップ要素素子である 112 Gbps 光変調器・受光器及びこれらを動作させるドライバ・TIA、更に、16 波長合分波器を実証した。
- ・シリフォト集積化プロセス、ウェーハプロービング評価、及びデバイス特性ばらつきのモデル解析の技術を統合した、実用展開可能なプロセス・設計プラットフォーム技術を確立した。
- ・3次元ミラーを用いて光電子集積インターポーザを試作し、シリフォト光入出力密度 20Tbps/mm² と 10 Tbps 伝送密度の光リンクを実証した。
- ・シングルモードポリマー光導波路アレイとシングルモード光ファイバアレイの 12 芯高精度光結

合（平均<2 dB）を実証した。

- ・光電子融合サーバボードを試作、サーバ試作機に実装してサーバ間 100 Gbps 伝送を実現した。
- ・64 波長多重フィルタ技術を開発し、10 Tbps 動作が可能であることを実証した。
- ・デバイスからアプリまでの協調設計による、電気配線サーバ比 48 倍高速かつ 98%低消費電力量の光配線サーバを実証した。
- ・サイズ 10 cm×2 cm×2 cm のパッケージに収容できる光トランシーバモジュールにおいて、上り下り各 4 波長多重、10 Gbps の一芯双方向送受信動作、及び偏波無依存受信動作を実証した。

表 1.2.2-1 最終目標と主な成果

達成度:◎大幅達成、○達成、△達成遅れ、×未達

(i) システム化技術	最終目標	主な成果	達成度
ア) デバイス技術	1 レーン当たり 112 Gbps 高速動作を可能とする光変調器・受光器及びこれを駆動する電子回路、大容量化に向け 16 波長合分波する光回路、更に、1 mW/Gbps の低消費電力化の実現。	光変調器・受光器及びこれらを動作させるドライバ・TIA の 112 Gbps PAM4 動作、16 波長合分波器の動作を実証した。22 nm CMOS を用いた解析で 1 mW/Gbps の低消費電力化を達成。	○
イ) 集積化プロセス技術	シリフォト統合化集積プロセス確立による 10Tbps/ノード集積インターポーザの実証試作。プロセスばらつきをパラメータとする光素子の特性ばらつきモデルの高度化。一貫プロセスによるシリフォト製造に向けたプロセス・設計統合プラットフォームの構築。	300mm 統合プロセスを確立し、これを用いた 10Tbps/ノード可能性実証試作を完了。ばらつきモデル解析に基づくプロセスモニタリング、コンパクトモデル、回路シミュレーションの高度化を達成。シリフォト統合化集積プロセスの一貫試作ファンドリへの展開により、プロセス・設計統合プラットフォームを確立。	○
ウ) 光実装技術	16 波長多重に対応した波長偏波無依存な曲面ミラーをシリコンフォトニクスに集積。上下曲面ミラーの高密度光結合 20Tbps/mm ² の実現。光コネクタ用位置決め構造の高精度化と高精度実装技術を確立し、12 芯光接続技術の実現。マルチチップ実装技術、再配線技術、放熱構造技術を確立。	16 波長多重に対応した波長偏波無依存な曲面ミラーをシリコンフォトニクスに集積。3 次元ミラーを用いて光電子集積インターポーザを試作し、シリフォト光入出力密度 20Tbps/mm ² と 10Tbps 伝送密度の光リンクを実証。シングルモードポリマー光導波路アレイとシングルモードファイバアレイの 12 芯高精度光結合（平均<2dB）を実証。	○
エ) 情報処理システム化技術 ①光電子融合サーバボード	光電子融合サーバボードのプロトタイプを試作して良好な伝送品質を持つ 10Tbps 伝送可能な CPU 間インターコネクットのシステム化技術の確立。	高速特性と剛性に優れたガラス基板と光エンジンを組み合わせた集積光インターポーザを搭載した光電子融合サーバボードを試作、サーバ試作機に実装してサーバ間 100Gbps 伝送を実現。64 波長多重フィルタ技術を開発し、10Tbps 動作が可能であることを実証。	○
エ) 情報処理システム化技術 ②ラックスケール並列分散システム	消費電力の少ない光電子集積インターポーザ技術と波長多重技術を用いた接続技術を組み合わせた光電子融合サーバボードを試作し、試作機とシミュレーションを用いてサーバ電力量を 30%削減可能であることを実証。	消費電力の少ない光電子集積インターポーザ技術と波長多重技術を用いた接続技術を組み合わせた光電子融合サーバボードおよびラックスケールシステムを試作し、試作機とその上で動作する分散ソータを用いてサーバ電力量を 98%削減可能であることを実証。	◎
オ) 情報通信システム化技術	光電子集積インターポーザを用いた一芯双方向波長多重トランシーバを搭載することにより、光加入者端末装置を 10cm×2cm×2cm 以下のサイズに小型化するための実装技術の開発。	シリコンフォトニクス技術により小型化した光電子集積インターポーザを搭載したサイズ 10cm×2cm×2cm のパッケージに収容できる光トランシーバモジュールを試作し、上り下り各 4 波長多重、10Gbps の一芯双方向送受信動作、及び偏波無依存受信動作を実証。	○

1.2.2.1 光電子集積インターポーザのデバイス・実装技術

ア) デバイス技術

デバイス技術では、低消費電力で 10 Tbps を実現するシリコンフォトニクス集積回路の要素技術を開発します。図 1.2.2.1(ア)-1 は我々の提案した 10 Tbps 光電子集積インターポーザの平面図と断面図を示しています。LSI からの高速電気信号を劣化させることなく最短で光電変換チップであるシリコンフォトニクス集積回路に接続させるため、LSI 直下の回路基板にシリコンフォトニクス集積回路を埋め込んでいます。回路基板に埋め込まれたシリコンフォトニクス集積回路から出た光信号は、上下一対の 3 次元曲面ミラーとシングルモードポリマー導波路を通り、シングルモード光ファイバーに結合する構成になっています。更に、LSI と回路基板間に入るポリマー層は、ポリマー導波路としてのみでなく、電気の再配線層として利用可能です。シリコンフォトニクス集積回路 1 チップで 112 Gbps × 16 波 × 送受 = 3.6 Tbps の容量をカバーし、LSI 辺り 3 チップ実装することで 10 Tbps の容量を伝送可能にする構成です。

開発目標として、図 1.2.2.1(ア)-2 に示すように波長多重(Wavelength Division Multiplexing: WDM)を用いて上述したシリコンフォトニクス集積回路 1 チップに相当する 3.6 Tbps の超小型・大容量 WDM チップを実現するための要素素子を開発します。即ち、112 Gbps の光変調器・受光器とこれらを動作させる電子回路であるドライバ・TIA (Trans-impedance Amplifier)、更に、16 波長合分波器の基本動作を実現します。また、低消費電力 1mW/Gbps 以下の基盤技術を実現します。

【最終目標】

- ・ 1 レーン当たり 112 Gbps 高速動作を可能とする光変調器および受光器の低消費電力光回路およびこれを駆動する電子回路を実現する。
- ・ 1 レーン当たりの大容量化に向け 16 波長合分波した光信号のシングルモードファイバ伝送を実現する。
- ・ 1 ノード当たり 10 Tbps の伝送密度を有する光回路を実現する。
- ・ 光回路の 1 mW/Gbps の低消費電力動作を実証する。

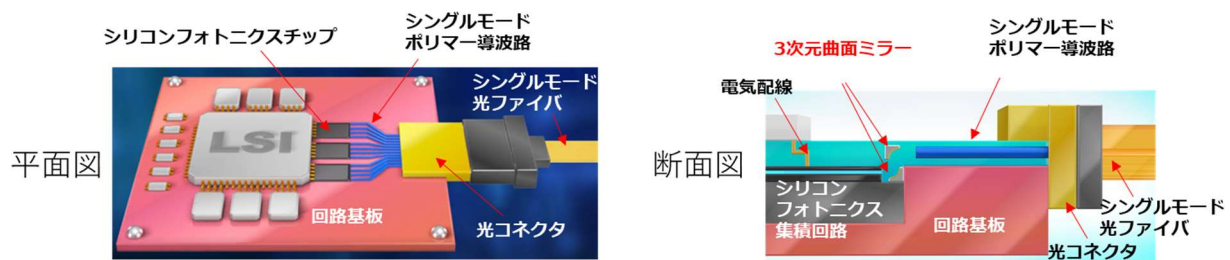
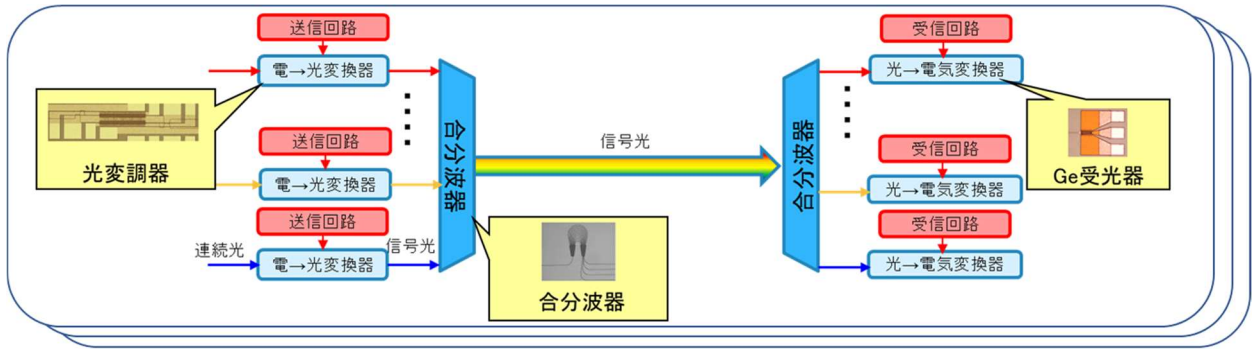


図 1.2.2.1(ア)-1 光電子集積インターポーザ



3.6 Tbps (112 Gbps × 16波 × 送受) × 3チップ ≒ 10 Tbps

図 1.2.2.1(ア)-2 超小型・大容量波長多重光回路 (WDM) チップ構成

<成果の概要>

本プロジェクト期間を通して、光電子集積インターポーザに用いるシリコンフォトニクス集積回路の基盤技術に関連する多くの優れた成果が創出された。これらの成果は、世界初・世界最高などと位置付けられる学術的価値が高いものであることはいまでもなく、実用化に資する技術としても大いに期待されるものである。このように、当初目標を達成する成果が得られた。

最終目標と主な成果状況のまとめを表 1.2.2.1(ア)-1 に示す。詳細は以下の項目別成果報告を参照頂きたい。

表 1.2.2.1(ア)-1 最終目標と主な成果状況

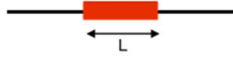
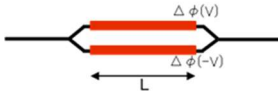

テーマ	最終目標	主な成果状況	達成度
3.2.2.1(ア) デバイス技術	<ul style="list-style-type: none"> 1レーン当たり112 Gbps高速動作を可能とする光変調器および受光器の低消費電力光回路およびこれを駆動する電子回路を実現する。 1レーン当たりの大容量化に向け16波長合分波した光信号のシングルモードファイバ伝送を実現する。 1ノード当たり10 Tbpsの伝送密度を有する光回路を実現する。 光回路の1 mW/Gbpsの低消費電力動作を実証する。 	<ul style="list-style-type: none"> 変調器、受光器の112 Gbps高速動作実証。 変調器、受光器を駆動する電子回路 (ドライバ、TIA)の112 Gbps PAM4動作を実現するための高線形ICを設計・試作。ドライバ、TIAの112 Gbps高速動作実証。更に、受光器とTIAで112 GbpsのRx出力波形を実証。 16波長合分波光素子及びシングルモードファイバ伝送を動作実証。 上記16波長合分波器と112 Gbps変調器、受光器を組み合わせることで10Tbpsの伝送密度を実現可能性を実証。 22 nm CMOSを用いた解析で1 mW/Gbpsの低消費電力化を達成。 	<p>○</p> <p>○</p> <p>○</p> <p>○</p> <p>○</p>

達成度：◎大幅達成、○達成 (年度内達成見込みも含む)、△達成遅れ、×未達

<光変調器>

波長多重によるスケールアップが可能で、且つ、低消費電力で高速 112 Gbps 動作が可能な光変調器・受光器を実現するには、特に、どの方式の光変調器を選択するかが重要になる。図 1.2.2.1(ア)-3 は、Si 光変調器の方式別の比較した表である。第 1、2 期で用いた Si マッハツェンダー (Mach-Zehnder: MZ) 型光変調器は、両アームに分けられた光信号の干渉を用いて光の on/off を行うため、温度耐性や波長帯域などに対して優れているが、サイズが大きく、消費電力の目標 1 mW/Gbps 以下達成は非常に難しいと考えられる。一方、Si リング型光変調器は、リングに共振する波長がリング内に閉じ込められて光が off されるため、小型・低消費電力ではあるが、温度及び波長依存性が大きいため温度調

整が必要になる。これらの方式に対して、GeSi 電界吸収 (Electro-Absorption : EA) 型光変調器は、半導体に逆バイアスを印加することで吸収端を変化させて、光の on/off を行うため、サイズ、高速性、消費電力共に優れており、この方式を選択した。受光器に関しては、これまでと同様に高速性に優れた導波路型 Ge 受光器を採用した。また、112 Gbps を達成するために Pulse Amplitude Modulation 4 (PAM4) と呼ぶ信号振幅を 4 値に分けて変調する方式を採用している。即ち 56 Gbps 信号をベースに 4 値を用いることで 112 Gbps を実現している。

	GeSi電界吸収 (EA) 型光変調器 	Siマツツェンダ - (MZ) 型光変調器 	シリグ 型光変調器 
サイズ	~50 μm	> 1 mm	~5 μm
高速性	~100 Gbps	~90 Gbps	~56 Gbps
消費電力	< 1 mW/Gbps	< 3 mW/Gbps	< 1 mW/Gbps
温度依存性	25~85 °C	温度無依存	< 1 °C (温調必須)
WDM帯域	C,L帯	波長無依存	< 1 nm (温調必須)

第3期
第1,2期

図 1.2.2.1(ア)-3 Si 変調器の方式比較

先ず、光変調器に関して説明する。図 1.2.2.1(ア)-4 に GeSi-EA 光変調器の構造と Ge 成長の断面図を示す。GeSi-EA 光変調器は、Silicon on Insulator (SOI)層上に Ge 層を成長し、Ge 層内をドーピングして pin 構造を形成している。この pin 構造に逆バイアスを印加することで光信号の on/off を行う。断面図は、Ge 成長の方法を示している。Ge 成長は成長領域のみ SOI 層上の SiO₂ マスクを開口して成長を行う狭幅選択成長により形成している。従来、この選択成長幅 W は 1 μm 以上を用いており、波長に対する透過率の電圧依存性のグラフから動作波長帯域は L 帯のみであった。これに対して、選択成長幅 W を 1 μm 以下にすることにより、Ge にかかる引張り歪を低減することが可能と考えられ、グラフに示す様に C、L 帯共にカバー可能な動作波長領域を実現できることを明らかにした。本方法をもちいることで、集積チップ内で選択成長幅 W を変えることにより、C、L 帯の光変調器を 1 チップ上に集積可能になる。例えば、100 GHz 間隔の波長では C、L 帯を用いると 115 波利用できるため、1 波長辺り 112 Gbps 動作すると 13 Tbps が 1 チップで実現可能になる。また、利用する波長により選択成長幅を最適化することで、挿入損失や変調電圧などを最適化することが可能になる。

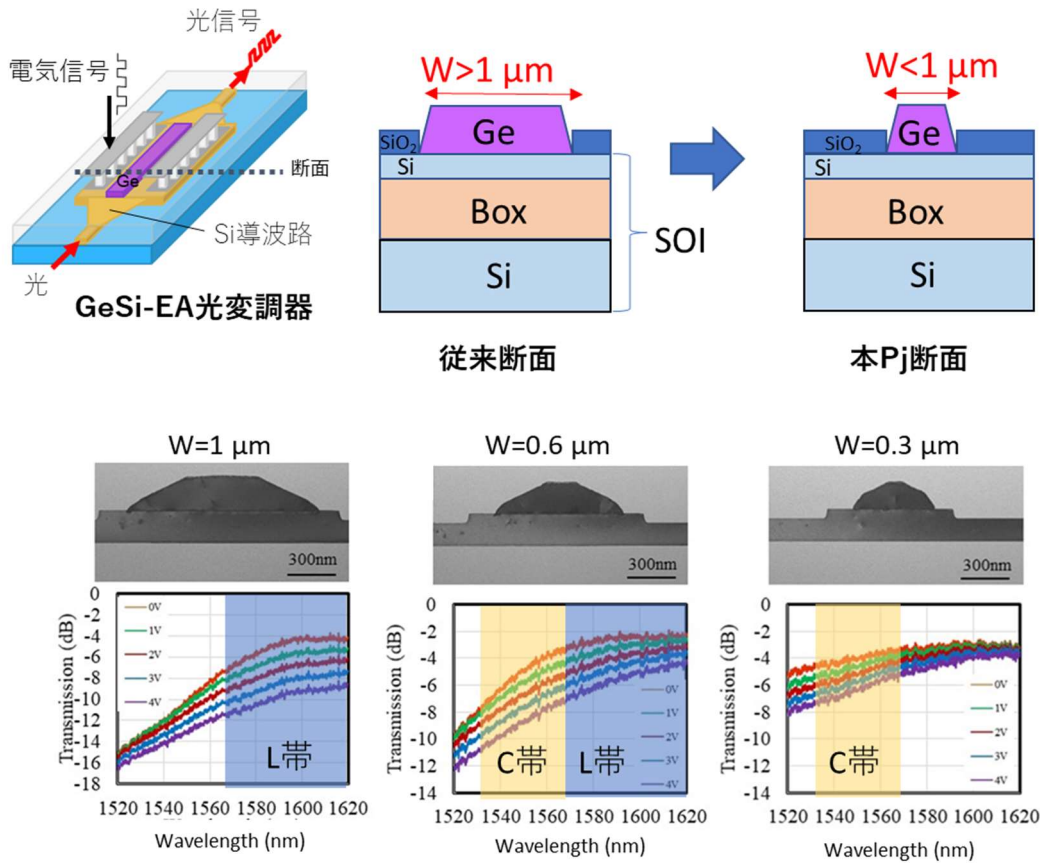


図 1.2.2.1(ア)-4 Ge-EA 光変調器の構造と断面図及び狭幅選択成長によるカバー波長帯域

上述した狭幅選択 Ge 成長を用い、更に、ドーピングと素子形状の最適化により GeSi-EA 光変調器を作製した。選択成長幅 $W=0.3 \mu\text{m}$ 、素子長 $L=40 \mu\text{m}$ の光変調器の電気光 (EO) 周波数特性のバイアス電圧依存性を測定した結果を図 1.2.2.1(ア)-5 に示す。変調時に利用する 2~3 V バイアス電圧で 70 GHz 以上の帯域が得られており、56 Gbps Non-return-to-zero (NRZ) 及び 112 Gbps PAM4 変調には十分な帯域が確保できている。図 1.2.2.1(ア)-6 は、25 °C で 56 Gbps NRZ (PRBS31 段) 及び 112 Gbps PAM4 の電気信号入力に対する出力光信号のアイ波形を示す。挿入光損失 (Insertion Loss : IL) 4 dB、消光比 (Extinction Ratio : ER) 3.2 dB で 56 Gbps の良好なアイ波形が得られた。また、112 Gbps においても Transmitter and Dispersion Eye Closure Quaternary (TDECQ) 2.38 dB

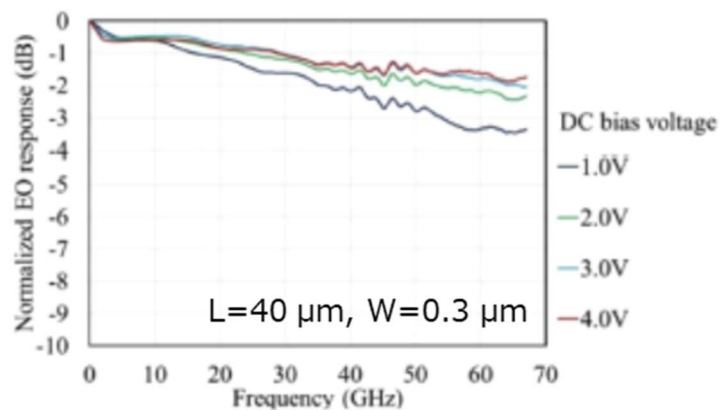
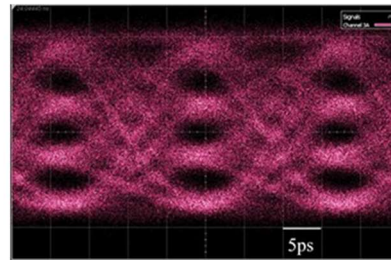
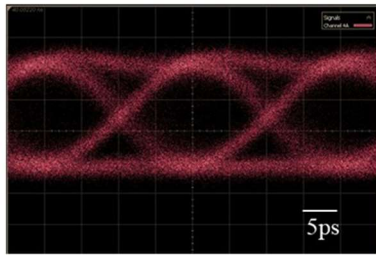


図 1.2.2.1(ア)-5 GeSi-EA 光変調器の電気光 (EO) 周波数特性のバイアス電圧依存性

56 Gbps NRZ (PRBS 31段)

112 Gbps PAM4



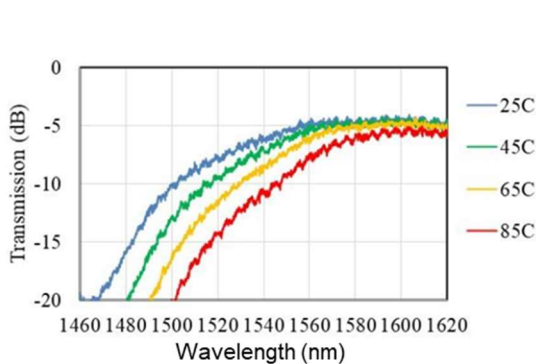
ER=3.2 dB, IL~4dB@2.5Vpp

TDECQ 2.38 dB (PRBS 2¹³-1)

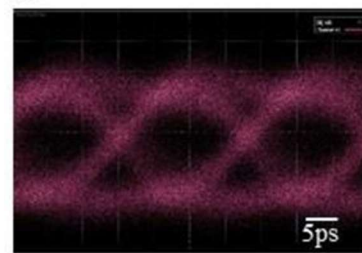
図 1.2.2.1(ア)-6 25°Cの 56 Gbps NRZ 及び 112 Gbps PAM4 動作アイ波形のアイ波形が得られた。

更に、この光変調器の温度依存性を調べるため、光透過特性の温度依存性を測定した結果を図 1.2.2.1(ア)-7 に示す。温度を上昇するにつれて損失は増大するが、選択成長幅 W を選ぶことで、数 dB の範囲内に調整可能である。同じく図 1.2.2.1(ア)-7 に 85 °C で動作させた場合の 56 Gbps NRZ のアイ波形を示す。85 °C においても IL:8 dB、ER:2 dB で良好なアイ波形が得られた。

以上より、狭幅選択成長を用いた GeSi-EA 変調器により、小型 40 μm 、温度範囲 25~85 °C、波長帯域 C、L 帯で 112 Gbps PAM4 動作可能な光変調器を実証した。



56 Gbps NRZ (PRBS 31段)



ER=2 dB, IL~8 dB@2.5 Vpp

図 1.2.2.1(ア)-7 光透過特性の温度依存性及び 85 °C、56 Gbps NRZ 動作のアイ波形

<受光器>

次に受光器に関して説明する。図 1.2.2.1(ア)-8 に導波路型 Ge 受光器の構造を示す。GeSi-EA 光変

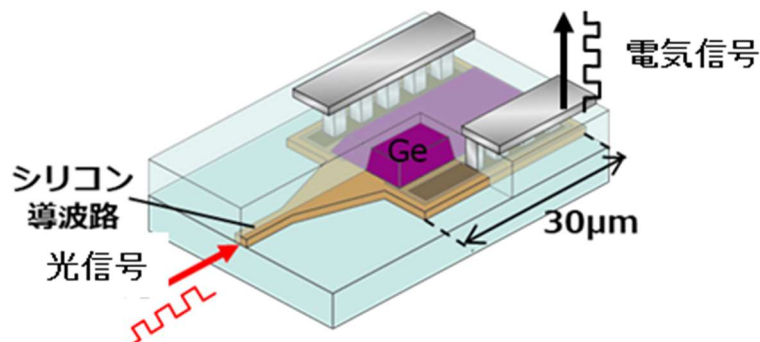


図 1.2.2.1(ア)-8 導波路型 Ge 受光器の構造図

調器と同様に SOI 上に選択成長により Ge 層を形成している。高速動作させるため受光器の長さは 30 μm としてとしている。受光器に関しては、高速・高感度が求められるが、特に、光インターコネクションに適用する場合、伝送距離のばらつきにロバストに対応できることも求められる。図 1.2.2.1(ア)-9 に従来型の横型 PIN 接合構造導波路型 Ge 受光器と新規に提案した受光器の断面構造図とシミュレーションによる電界強度分布を示す。従来型の構造では、Ge のファセット部分での電界強度が弱い部分があり、入射光信号が強く Ge 層内で多くのキャリアが発生した場合、キャリアの収集が遅くなる。即ち、応答速度が遅くなり、高速特性が劣化する。一方、新規の横型 PIN 接合構造導波路型 Ge 受光器では、Ge のファセット部分の Si 層を n⁺ドーピングする構造を導入することで電界強度を強めている。

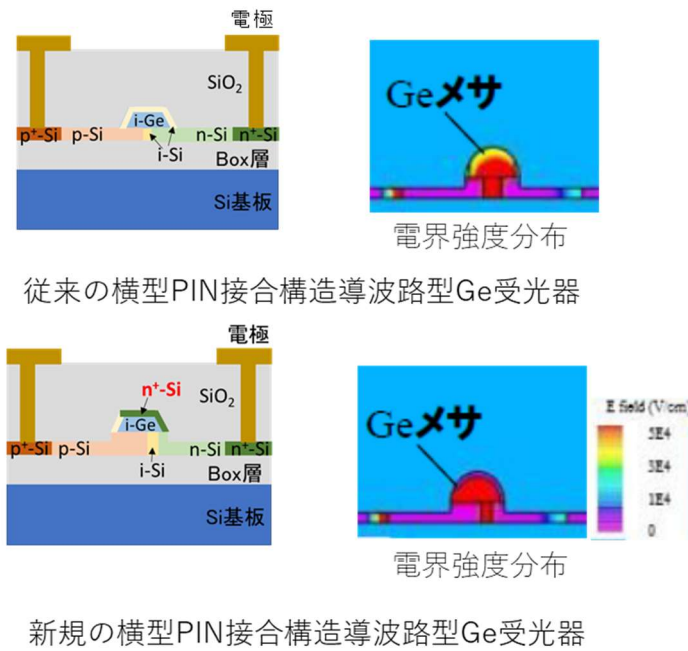


図 1.2.2.1(ア)-9 従来及び新規の横型 PIN 接合構造導波路型 Ge 受光器

この 2 種類の Ge 受光器の周波数帯域について入力光パワーの依存性を評価した結果を図 1.2.2.1(ア)-10 に示す。従来の Ge 受光器では -4 dBm 以上の入力光パワーで周波数帯域が劣化するのに対して、新規の Ge 受光器では 0 dBm の高い光入力パワーでも周波数帯域は劣化せず 60 GHz の広い帯域を保持できる。従って、56 Gbps NRZ 及び 112 Gbps PAM4 に対応可能である。図 1.2.2.1(ア)-11 に 56 Gbps NRZ の光信号を入力した場合の電気出力波形を示しており、良好なアイ波形が得られた。

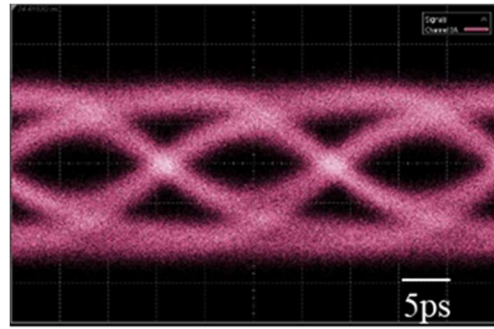
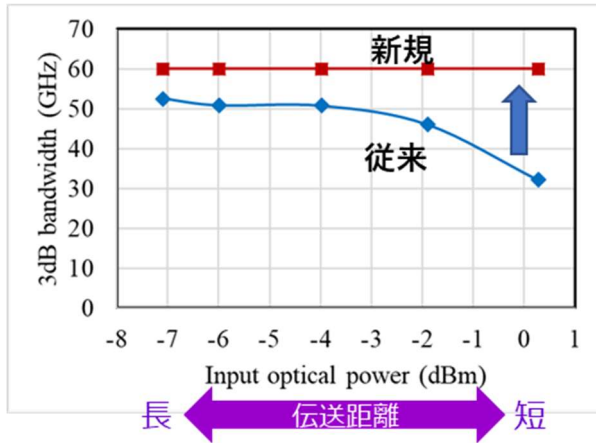


図 1.2.2.1(ア)-10 周波数帯域の入力光パワー依存性 図 1.2.2.1(ア)-11 受光器の 56 Gbps アイ波形

以上より、Ge ファセット部分を n+ドーピングした横型 PIN 接合構造導波路型 Ge 受光器により、小型 30 μm で 112 Gbps PAM4 動作可能な受光器を実証した。

<波長合分波器>

16 波長合分波器を Arrayed Waveguide Grating (AWG)のみで作製すると挿入損失やクロストークが増大するという問題が発生する。低挿入損失で低クロストークの 16 波長合分波器を実現するための構造を図 1.2.2.1(ア)-12 に示す。第 2 期までの成果である高性能な 8 波長 (8 λ) AWG と 2 λ 遅延マッシュェンダー干渉 (Delayed Mach-Zehnder Interferometer : DMZI) 型バンドパスフィルタを接続した構造で、波長帯の異なる 2 つの 8 λ -AWG (A、B) を用いて、この 2 つの波長帯を 2 λ -DMZI 型バンドパスフィルタで合波 (C) することで 16 波長を束ねる方式である。これにより、低損失・低クロストークの 16 波長合分波器を実現する。

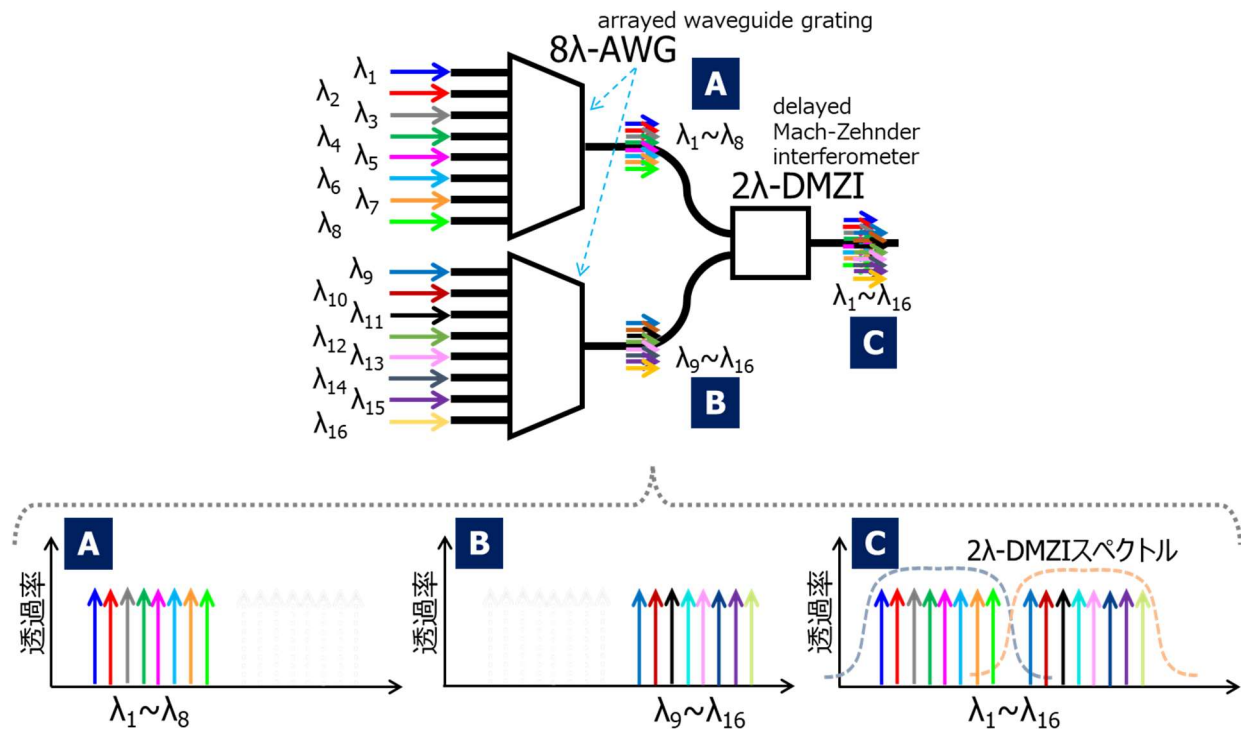


図 1.2.2.1(ア)-12 16 波長合分波器の構造図

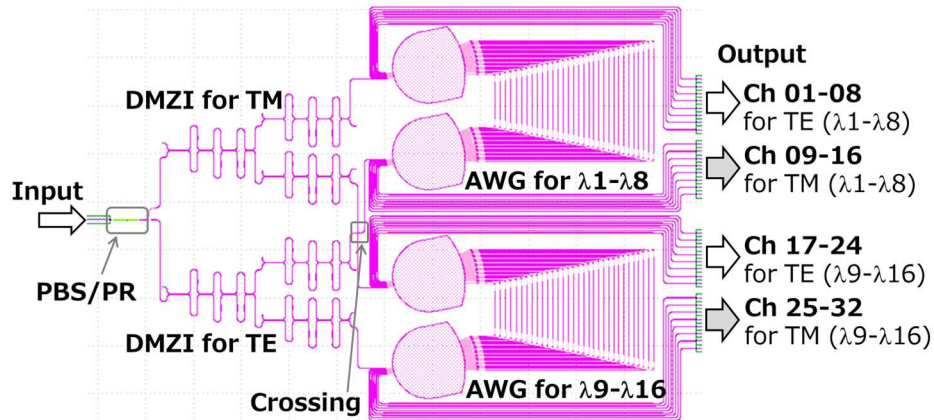


図 1.2.2.1(ア)-13 16 波長合分波器

実際に作製した 16 波長合分波器の図面を図 1.2.2.1(ア)-13 に示す。TE/TM 両偏波の任意波長に対応可能な様に偏波ビームスプリッタ (Polarization Beam Splitter : PBS) /偏波回転器(Polarization Rotator : PR)を設けて TE/TM 波を分離し、各偏波について 2λ -DMZI 型バンドパスフィルタにより 16 波長を 2 つの 8 波の波長帯に分離し、更に、各波長帯について、各波長帯に対応する 8λ -AWG で各 8 波長に分波される。

導波路は Si 細線導波路で作製し、動作波長帯は C バンド帯域、各 8 波については波長間隔 100 GHz で、サイズは $1.7 \times 2.8 \text{ mm}^2$ とコンパクトである。図 1.2.2.1(ア)-14 にスペクトル特性を測定した結果を示す。TE/TM 両偏波共に挿入損失 5 dB、クロストークは -20 dB 以下と低損失・低クロストークであることを実証した。更に、TE/TM 両偏波について 32 Gbps NRZ 信号の伝送特性を測定した結果を図 1.2.2.1(ア)-15 に示す。16 波長全てにおいて良好なアイパターンが得られており、実用に十分耐える 16 波長合分波器を実証した。

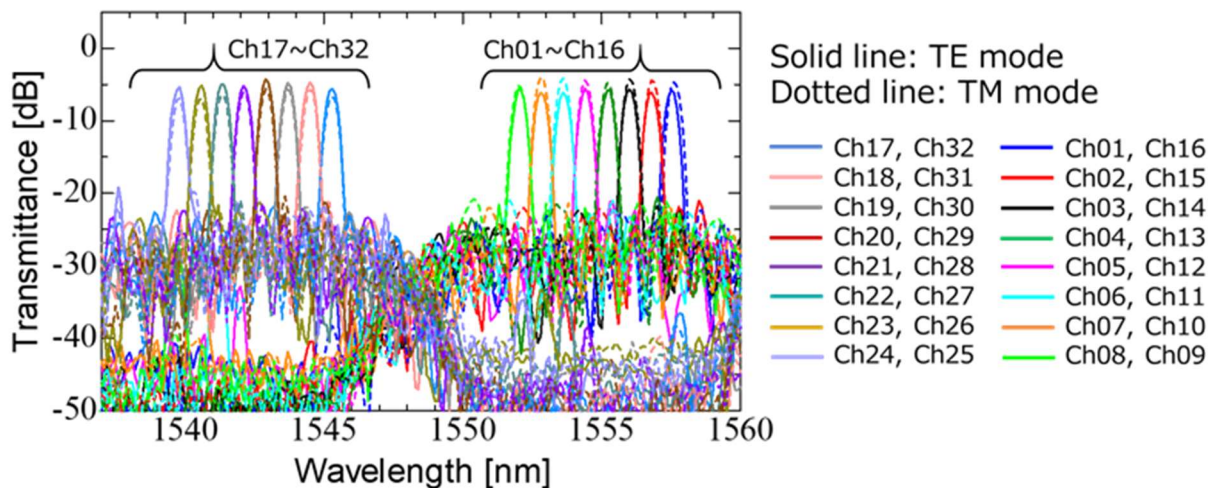


図 1.2.2.1(ア)-14 16 波長合分波器のスペクトル特性

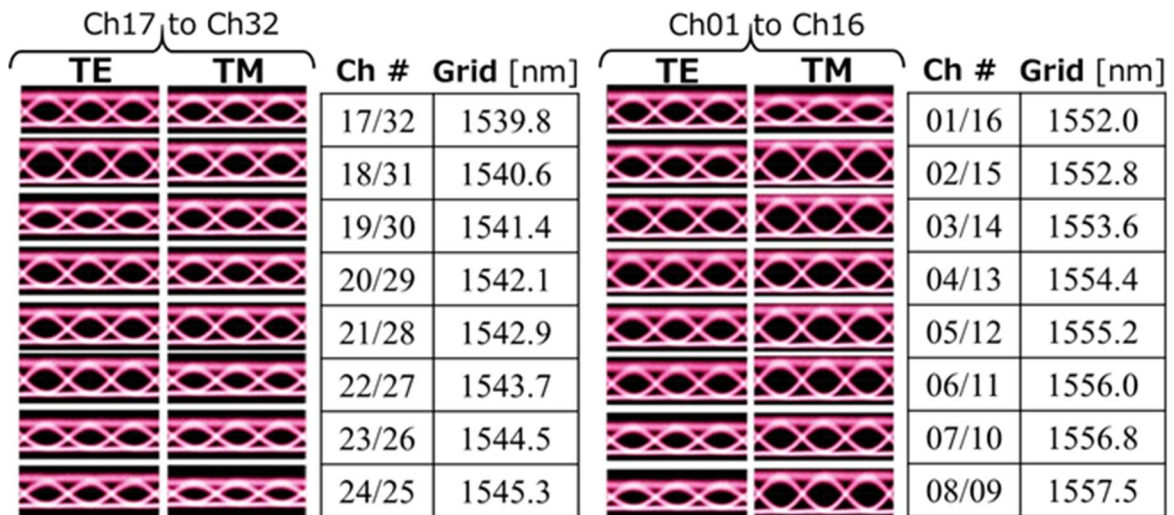


図 1.2.2.1(ア)-15 32 Gbps NRZ 変調信号の伝送特性

次に、図 1.2.2.1(ア)-16 に示す様に<光変調器>の項目で紹介した GeSi-EA 光変調器に上述の 16 波長合分波器を繋げ、波長可変レーザから C 帯 16 波長を導入し、50 Gbps NRZ の光信号を送った結果を図 1.2.2.1(ア)-17 に示す。C 帯の全ての波長で良好な伝送特性を実現可能であることを実証した。これらの結果から 56 Gbps NRZ をベースとする 112 Gbps PAM4 信号も 16 波長合分波器で合分波可能である。

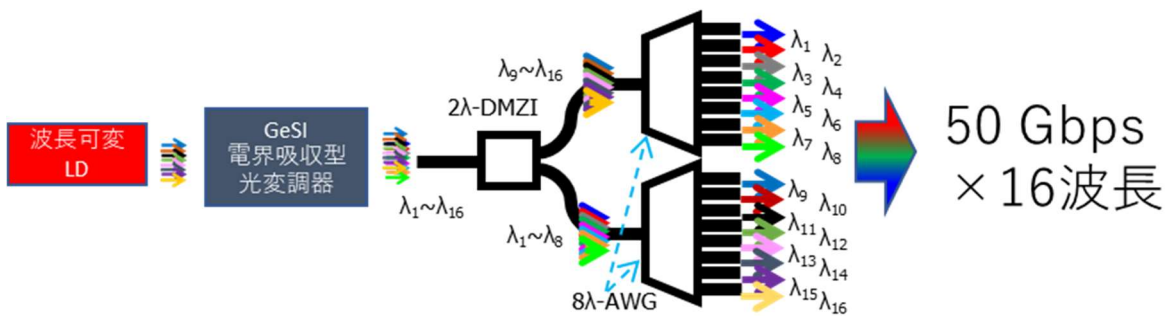


図 1.2.2.1(ア)-16 GeSi-EA 光変調器と 16 波長合分波器を接続した構成

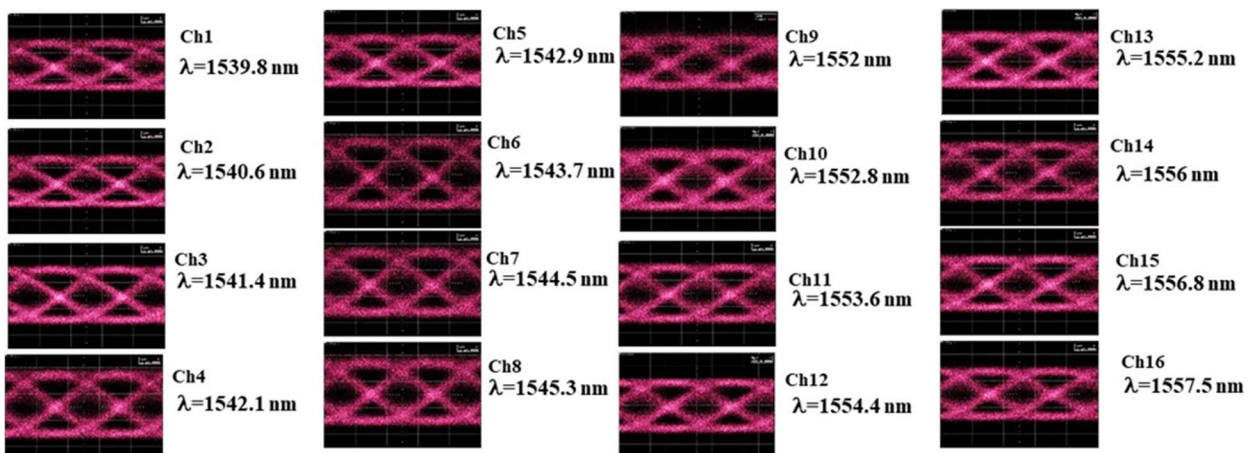


図 1.2.2.1(ア)-17 50 Gbps NRZ 変調信号の伝送特性

以上の要素デバイスの結果を基に、16 個の GeSi-EA 光変調器と 16 波長合分波器で送信部を、16 個の導波路型 Ge 受光器と 16 波長合分波器で受信部を構成した 3.6 Tbps WDM チップを作製した。サイズは 5.6×8.6 mm² と小型化でき、LSI 周辺に 3 チップを実装可能であり、10 Tbps の伝送密度を実現可能である。

<112 Gbps Tx/Rx 構成>

112 Gbps のドライバ及び TIA の技術開発するために、まず初めに Tx と Rx の方式と電子回路構成の検討を行った。112 Gbps として、PAM4 の変調方式の 112 Gbps (56 Gbaud) PAM4 を採用した。PAM4 方式を使うことにより、1 タイムスロット当たりの伝送 bit を上げることで、同じ周波数の信号でも PAM4 であれば NRZ の 2 倍の情報を伝送することができる。

112 Gbps PAM4 の送信 Tx と受信 Rx の方式として、光で PAM4 を行う場合と電気で PAM4 を行う場合の 2 種類が考えられる。図 1.2.2.1(ア)-18 に、光で PAM4 を再生・伝送する方法(Type1)と電気のまま PAM4 を伝送する方式(Type2)を示す。Type 1 では、Tx は電気の PAM4 の信号を 2ch の NRZ 信号にデコーダして、2つの光変調器で PAM4 に再生して光伝送を行う。Rx では PAM4 の電気信号を 2ch の NRZ 信号に一旦変換して、エンコーダで再び PAM4 に変換して出力する。一方、Type 2 では、Tx は電気の PAM4 の信号をそのまま増幅して、光変調器から PAM4 の光伝送を行う。Rx では PAM4 の光信号をそのまま電気信号に変換して出力する。Type 1 では光変調器と光変調器ドライバが 2 倍必要になるため、サイズや消費電力を比較すると、Type 2 の電気の PAM4 のまま光伝送して PAM4 のまま電気信号に変換する方法が、小型かつ低消費電力になると考えた。

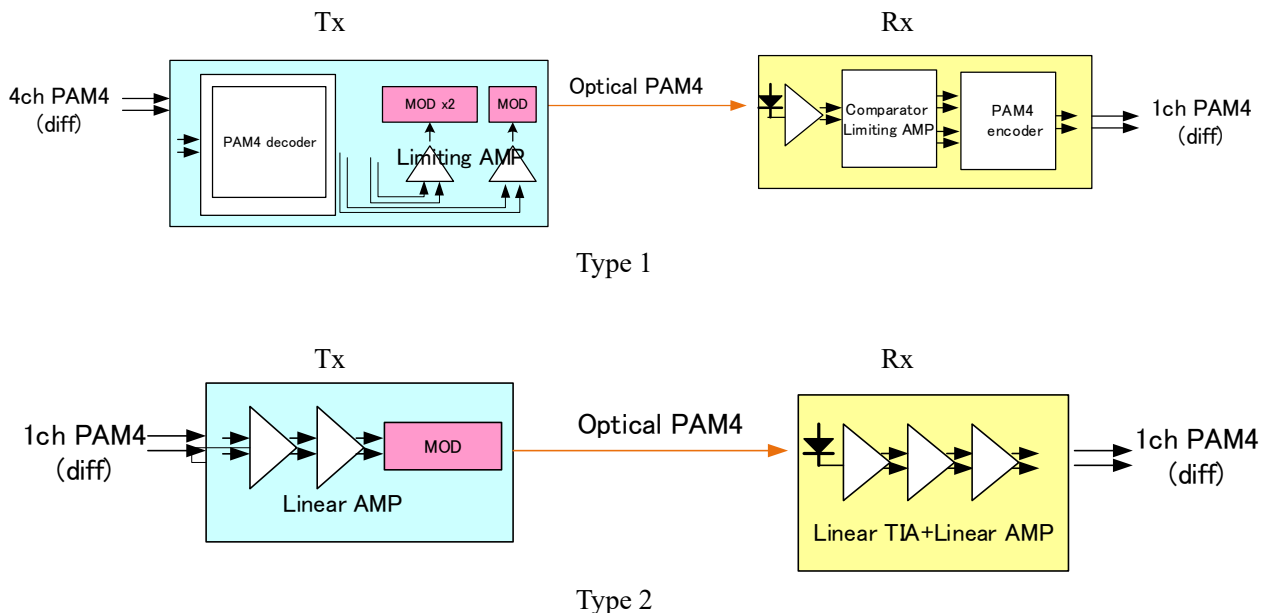


図 1.2.2.1(ア)-18 112 Gbps PAM4 の Tx/Rx 方式

Type 2 の方式としては、PAM4 の電気信号を増幅する増幅器や、Rx の電流信号を電圧信号に変換する TIA 段では、高い線形性が必要である。電子回路の構成としては、線形性の観点から CMOS に比べ SiGe-BJT (Bipolar junction transistor) が有利だと考え、SiGe BiCMOS を用いて 56 Gbps NRZ 及び 112 Gbps PAM4 で動作する回路の技術開発を行った。

<ドライバ回路>

112 Gbps 光変調器ドライバとしては、MZ 光変調器と EA 光変調器を駆動する 2 種類のドライバの技術開発を行った。下記に MZ 光変調器の仕様を示す。また、図 1.2.2.1(ア)-19 に 112 Gbps 用に技術開発した MZ 光変調器の抽出した等価回路モデルを示す

- 変調器長 500 μm の等価回路モデル：LRC モデル
- 駆動振幅：差動 2 V_{pp}
- セグメント数：2 (セグメント間の電気位相は 5 psec)
- 入力信号レベル：変調器側で調整

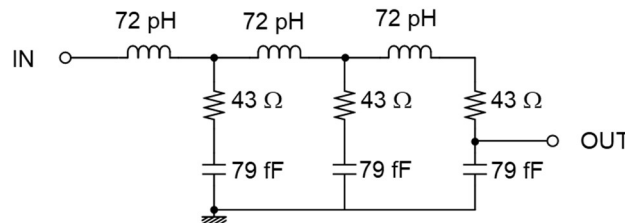


図 1.2.2.1(ア)-19 MZ 光変調器の等価回路モデル

電子回路設計における重要なポイントを述べる。PAM4 符号では 4 値レベルの信号の識別が必要になる。NRZ 符号に比べ識別範囲であるアイ開口が 1/3 となるために、信号対雑音比である SNR が劣化し、ノイズの影響を受けやすくエラーが発生する。さらに NRZ は、ある閾値を上回れば 1、下回れば 0 と値を決定できるため、伝送信号に多少オーバーシュートやアンダーシュートがあっても問題ないが、PAM4 では 2 bit で判別する必要があるため、オーバーシュートやアンダーシュートが大きいと受信側で正しく信号が判別できず、波形品質が必要である。したがって、電子回路の設計においては、ノイズの影響の抑制やオーバーシュートやアンダーシュートの抑制とともに、帯域幅の向上が必要となる。また、ミリ波帯近くになると配線の寄生効果が電子回路の特性に大きく影響を及ぼす。そこで設計では配線の L、R、C の寄生成分を抽出して、高精度な回路設計を行った。

次に具体的に MZ 光変調器ドライバの設計について、述べる。図 1.2.2.1(ア)-20 は、MZ 光変調器の入力信号源のインピーダンスによる帯域を示したものである。通常の 50 Ω のインピーダンスでは、10 GHz と帯域が低く 56 Gbps や 112 Gbps PAM4 の信号で光変調器を駆動できない。これは光変調器の容量負荷が大きく CR 時定数で帯域が制限されることを示している。これを打破するために、入力信号源すなわち電子回路のインピーダンスを低下することを考えた。インピーダンスを低下することにより、帯域が 30 GHz 以上に向上するが、ここでトレードオフになるのが出力振幅である。MZ 光変調器を駆動するドライバ段の出力負荷を通常の 50 Ω から低下させると出力振幅も低下するために、電流を増加する必要がある。これらの課題を解決するために、回路工夫を施した。図 1.2.2.1(ア)-21 に MZ 光変調器ドライバの出力段の回路を示す。特徴としては、

- ① ドライバの出力をエミッタフォロワにすることによる低インピーダンス化
- ② 出力に R、C による Equalizer による帯域補償
- ③ ドライバ段には Cascode AMP により高速化
- ④ 差動 AMP のバイアス調整により Segment 間の delay を 5 psec を実現

これらの回路工夫より光変調器出力段の帯域は 30.2 GHz を確保した。

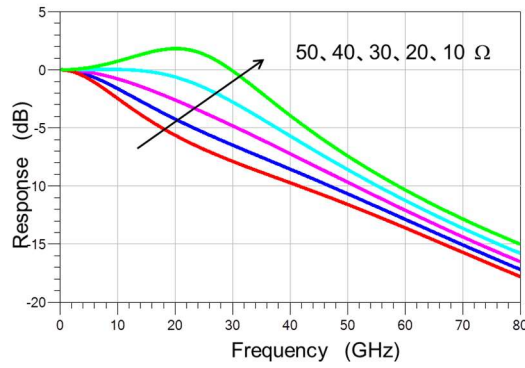


図 1.2.2.1(ア)-20 MZ 変調器入力インピーダンスによる周波数特性

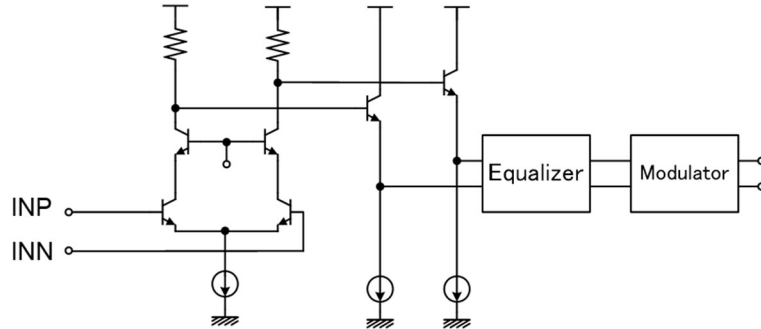


図 1.2.2.1(ア)-21 MZ 光変調器ドライバの最終段の回路

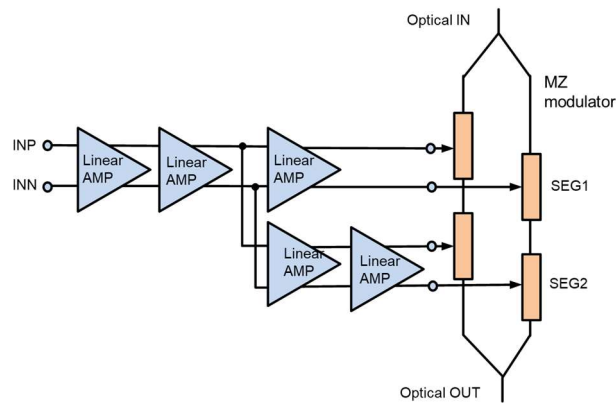


図 1.2.2.1(ア)-22 MZ 光変調器ドライバブロック図

図 1.2.2.1(ア)-22 に MZ 光変調器ドライバのブロック図を、図 1.2.2.1(ア)-23 に 90 nm SiGe-BiCMOS プロセスを用いて試作したチップ写真を示す。使用した 90 nm SiGe-BiCMOS の SiGe-BJT の特性としては、 f_T (Current gain cut-off frequency)は 300 GHz、 f_{max} (Maximum oscillation frequency)は 330 GHz を有しており、112 Gbps で動作するドライバや TIA に必要な性能を示している。PAM4 信号を増幅するため差動アンプは全て Linear AMP となっており、アイパターンに歪が生じないようにすべての AMP において入出力ダイナミックレンジを確保している。チップサイズは他の品種と揃えるため、0.97 mm × 0.97 mm である。また、ドライバの特性を高周波プローブヘッドで測定するために、入力パッドは 100 μm ピッチの GSGSG、出力パッドは 100 μm ピッチの SG、GS の配置にして、チップの端に置いている。電源電圧は、3.3V と 4.2 V である。

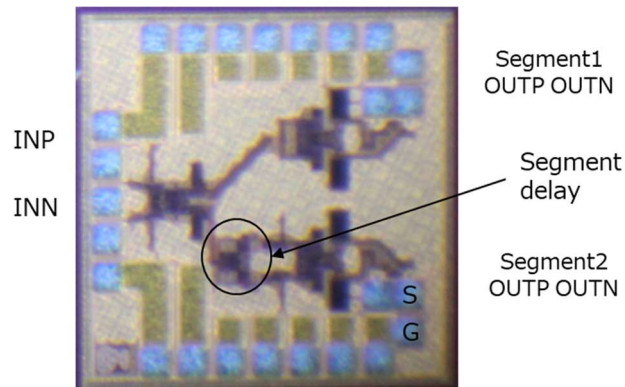


図 1.2.2.1(ア)-23 MZ 光調器ドライバチップ写真

図 1.2.2.1(ア)-24 と図 1.2.2.1(ア)-25 に Segment 2 における 56 Gbps NRZ と 112 Gbps PAM4 における出力波形を示す。入力振幅は差動 600 mVpp であり、PN 段数は 31 段である。どちらも非常に良好なアイ開口の出力波形が得られている。特に 112 Gbps PAM4 では、オーバーシュートやアンダーシュートが無く、均等なアイ開口である。出力振幅は、測定器の 50 Ω 終端で単相 590 mVpp 得られており、MZ 光変調器負荷では単相 1 Vpp、差動で 2 Vpp となり、目標値を達成している。

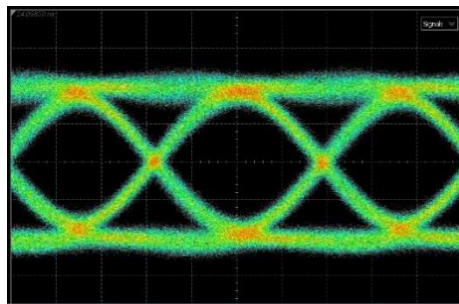


図 1.2.2.1(ア)-24 56 Gbps NRZ 出力波形

単相振幅 590 mVpp(50 Ω 終端)振幅 光変調器負荷で差動 2 Vpp

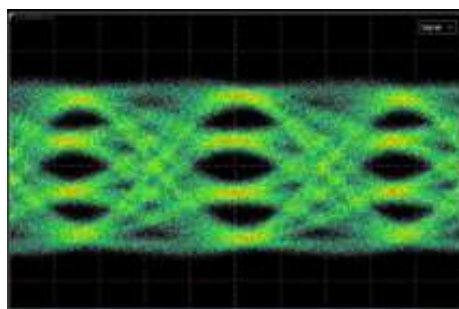


図 1.2.2.1(ア)-25 112 Gbps PAM4 出力波形

単相振幅 590 mVpp(50 Ω 終端) 光変調器負荷で差動 2 Vpp

次に EA 光変調器ドライバについて述べる。図 1.2.2.1(ア)-26 に 112 Gbps 用に技術開発した EA 光変調器の抽出した等価回路モデルを示す。

- 等価回路モデル (RC のみ)
- 入力インピーダンス : 50 Ω (AC 結合)
- 駆動振幅 : 単相 2 Vpp (AC 結合)

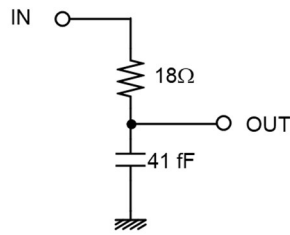


図 1.2.2.1(ア)-26 EA 光変調器の等価回路モデル

MZ 光変調器の等価回路モデルと比較すると、真性容量は 1/6 に小さくなっている。しかしながら、入力インピーダンスが 50Ω で単相 $2 V_{pp}$ の高い振幅が必要である。この EA 光変調器を駆動するドライバを実現するために、設計では Linear AMP のダイナミックレンジの確保とノイズやオーバーシュートやアンダーシュートの抑制とともに、帯域の向上に注力した。図 1.2.2.1(ア)-27 に EA 光変調器ドライバのブロック図を示す。3 段の差動 AMP の構成でダイナミックレンジを確保した Linear AMP である。出力段は Cascode AMP とインダクタを用いて広帯域化を行っており、振幅調整機能を付加している。また、段間には広帯域インピーダンス整合を施しており、回路内の多重反射を抑制、高品質な出力波形を得るようにしている。

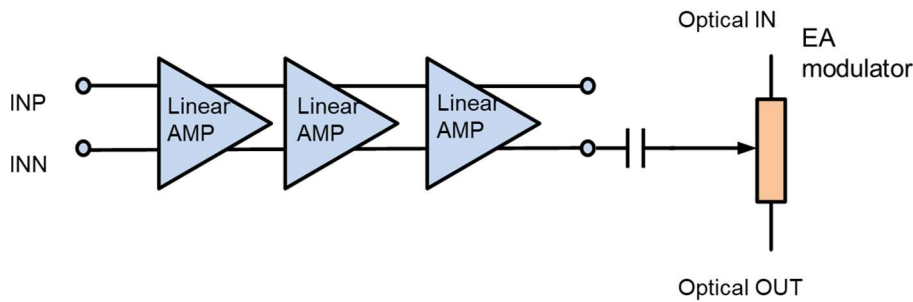


図 1.2.2.1(ア)-27 EA 光変調器ドライバブロック図

図 1.2.2.1(ア)-28 に、90 nm SiGe-BiCMOS プロセスを用いて試作した EA 光変調器ドライバのチップ写真を示す。チップサイズは他の品種と揃えるため、 $0.95 \text{ mm} \times 0.95 \text{ mm}$ である。また、ドライバの特性を高周波プローブヘッドで測定するために、入力パッドは $100 \mu\text{m}$ ピッチの GSGSG、出力パッドは $100 \mu\text{m}$ ピッチの GSG の配置にして、チップの端に置いている。電源電圧は、3.3 V と 5.5 V、振幅調整機能 V_{CON} を有しており、 $2.0 \sim 2.32 V_{pp}$ の制御が可能である。

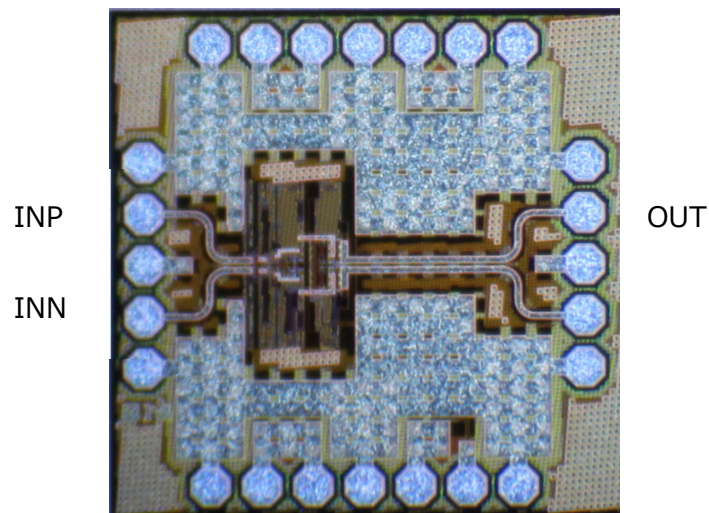


図 1.2.2.1(ア)-28 EA 光調器ドライバチップ写真

図 1.2.2.1(ア)-29 と図 1.2.2.1(ア)-30 に 56 Gbps NRZ と 112 Gbps PAM4 における出力波形を示す。入力振幅は差動 500 mVpp であり、PN 段数は 31 段である。どちらも非常に良好なアイ開口の出力波形が得られている。112 Gbps PAM4 で、オーバーシュートやアンダーシュートが無く、均等なアイ開口である。出力振幅は、測定器の 50 Ω 終端で 1 Vpp 得られており、EA 光変調器負荷では単相で 2 Vpp となり、目標値を達成している。

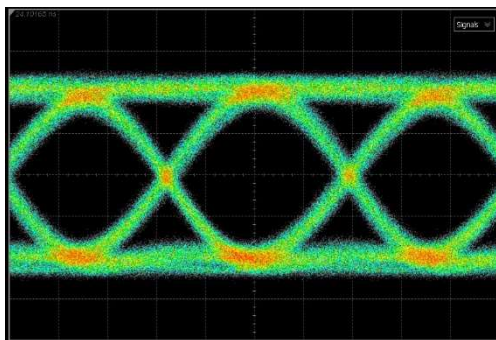


図 1.2.2.1(ア)-29 56 Gbps NRZ 出力波形 単相振幅 1 Vpp (50 Ω 終端)

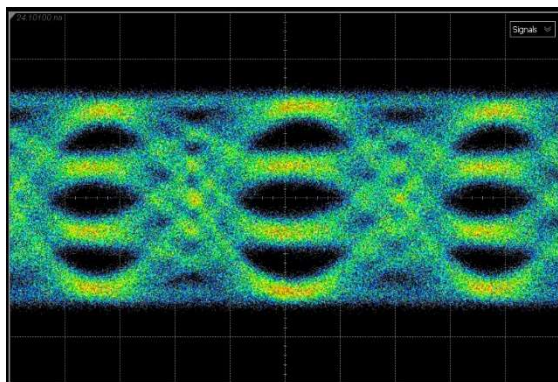


図 1.2.2.1(ア)-30 112Gbps PAM4 出力波形 PN31
単相振幅 1 Vpp (50 Ω 終端)、光変調器負荷で 2 Vpp

<TIA 回路>

112 Gbps PAM4 動作の実現に向けて、本研究では SiGe BiCMOS プロセスを用いて TIA-IC の試作を行った。試作した TIA-IC のチップ写真を図 1.2.2.1(ア)-31 に、TIA 回路の回路図を図 1.2.2.1(ア)-32 に示す。チップサイズは $0.95\text{ mm} \times 0.95\text{ mm}$ であり、BiCMOS プロセスの利点を活かして、主信号回路は SiGe bipolar を用いて高速・高線形性を実現し、比較的低速の周辺回路は CMOS で形成することで小型・低電力化を実現した。Ge 受光器 (Photodiode: PD) から出力される電流信号が TIA 段 (TIA stage) において電圧信号に変換され、リニアアンプ段 (Linear AMP1/AMP2) においてその信号が線形に増幅され、出力バッファ回路 (Output buffer) を介して電気信号が外部に出力される。PAM4 信号伝送においては、TIA 回路の線形性が重要になる。そこで、想定される光入力パワー範囲で増幅の過程において線形性が保てるように各アンプ段の利得配分を設計し、合計のトランスインピーダンス利得は $60.1\text{ dB}\Omega$ であった。

本研究で用いた導波路型 Ge PD 単体の 3-dB 帯域は約 40 GHz であり、TIA 回路設計のために PD 等価回路モデルを作成した。作成した等価回路モデルを図 1.2.2.1(ア)-33 に示しており、測定結果を良く再現できるモデルになっていることが分かる。この PD と TIA 回路を含めた光受信回路全体の 3-dB 帯域設計値は 37.1 GHz であった。また、CMOS を用いた光信号のオフセットをキャンセルする DC フィードバック回路 (CMOS DCFB) を内蔵しており、このフィードバック回路の低周波カットオフ周波数は 14.2 kHz であった。これは、PRBS $2^{31}-1$ などの長い信号パターンも問題なく受信できることを意味している。

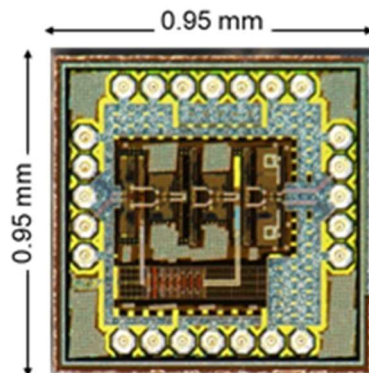


図 1.2.2.1(ア)-31 SiGe-BiCMOS プロセスを用いて試作した 112 Gbps TIA チップの写真

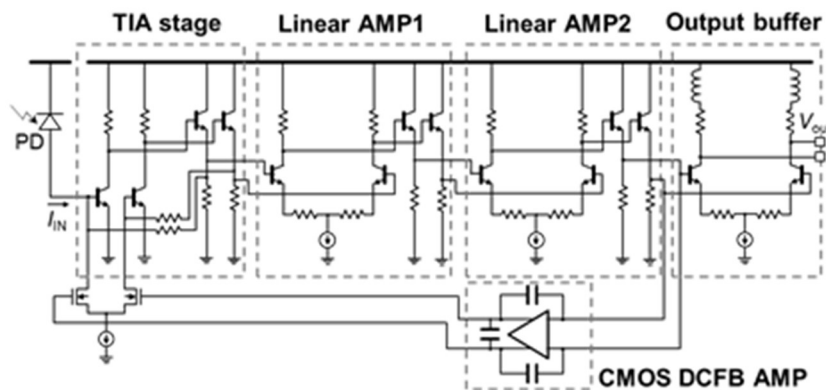


図 1.2.2.1(ア)-32 112 Gbps TIA 回路図

TIA 回路の広帯域化のために小型のスパイラルインダクタを用いているが、ファウンドリーから提供されるデバイスモデルの精度が十分ではないことが、高速の TIA 回路を設計する上での課題であっ

た。そこで、電磁界解析による高精度の特性抽出を行うことによって、設計精度を向上させた。また、高周波領域においては信号配線のインピーダンス設計が非常に重要となるため、配線断面構造を取り込んで精密にモデル化を行なった。これらの工夫により設計精度を向上させて、高速動作を実現することができた。

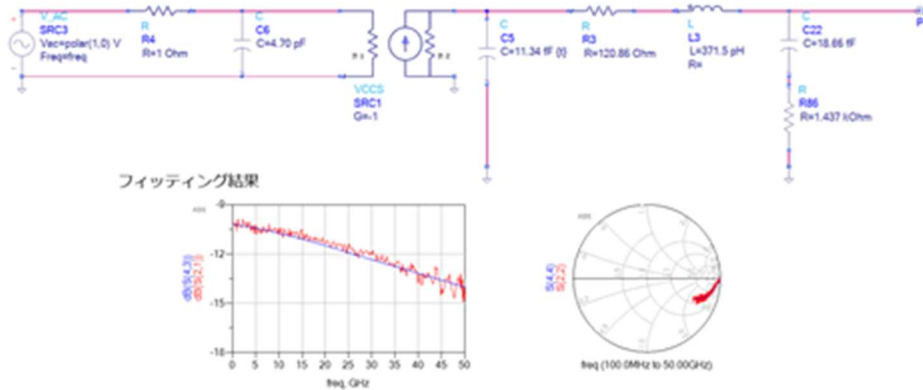


図 1.2.2.1(ア)-33 Ge-PD の等価回路モデルとフィッティング結果

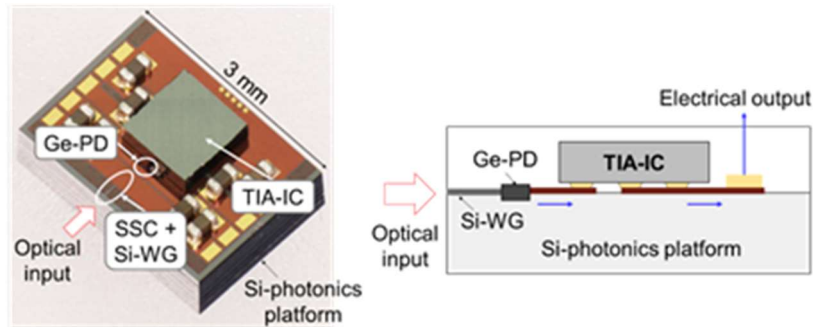


図 1.2.2.1(ア)-34 作製した TIA-IC を搭載した光レーザチップと断面模式図

次に、導波路型 Ge-PD を集積したシリコンフォトニクスチップ上に、試作した上記 TIA-IC をフリップチップ実装して、光レーザ (RX) を作製した。作製した光レーザチップの写真および断面模式図を図 1.2.2.1(ア)-34 に示す。IC をフリップチップ実装することによって、ワイヤボンディング実装と比較して寄生インダクタンスなどの影響を受けにくいという利点が得られる。TIA 回路の電源を安定化させるためのデカップリングコンデンサとして、 $0.1 \mu\text{F}$ のチップコンデンサを搭載している。図 1.2.2.1(ア)-35 に示す測定系を用いて、作製した光レーザチップの 112 Gbps PAM4 波形評価を行った。RX の電気出力波形は光入力信号の品質に大きく左右されるため、RX の特性を精度よく評価するためには良好な光信号を生成することが重要である。波長 $1.3 \mu\text{m}$ 帯において、LiNbO₃ 光変調器および任意波形発生器 (AWG: arbitrary waveform generator) を用いて帯域補償を行なうことによって、図中に示すように明瞭なアイ開口を備えた 112 Gbps PAM4 光信号を得ることができた。PAM4 信号において重要となる線形性 (3 つのアイ開口がどの程度均等になっているか) を示す指標の一つが次式で定義される R_{LM} である。

$$R_{\text{LM}} = \frac{\min(V_3 - V_2, V_2 - V_1, V_1 - V_0)}{\frac{V_3 - V_0}{3}}$$

ここで ($V_i=0, 1, 2, 3$) は各信号レベルを示しており、測定で用いた光信号の R_{LM} 値は約 0.98 とほぼ均等なアイ開口が得られている。また、光信号の消光比は 5.5 dB で、PRBS^{2¹⁵-1} のテストパターンを用いた。本測定では TIA-IC の電源電圧として 3.3V を印加し、消費電流 95.1 mA、消費電力は 314 mW (2.8 pJ/bit) であった。この光信号を試作した RX に入力し、得られた電気出力波形を図 1.2.2.1(ア)-36

(a)に示す。これらはイコライジング処理などを施しておらず、そのような信号処理を行うことなく良好な 112 Gbps PAM4 波形を得ることができた。また、入力電流依存性の評価を行ない、 $I_{IN} = 250, 320, 390, 450 \mu\text{A}_{p-p}$ の条件において出力波形の線形性の変動を調べた。これらの入力電流を光信号の OMA (optical modulation amplitude) に換算すると、それぞれ -5.3, -4.2, -3.4, 2.8 dBm となる (Ge-PD 受光感度 : 0.85 A/W)。各条件における R_{LM} 値はそれぞれ 0.96, 0.95, 0.94, 0.91 であり、線形性良くほぼ均等な 3 つのアイ開口が得られていることが分かる。加えて、図 1.2.2.1(ア)-36 (b)に示すシミュレーション波形とも良い一致が得られており、上記の高精度の設計手法が有効であることが分かる。さらに、カスコード接続回路を導入した広帯域版の TIA チップも試作した (図 1.2.2.1(ア)-37)。図に示すように、42.6 GHz の 3-dB 帯域と明瞭な 112 Gbps PAM4 波形を実証することができた。

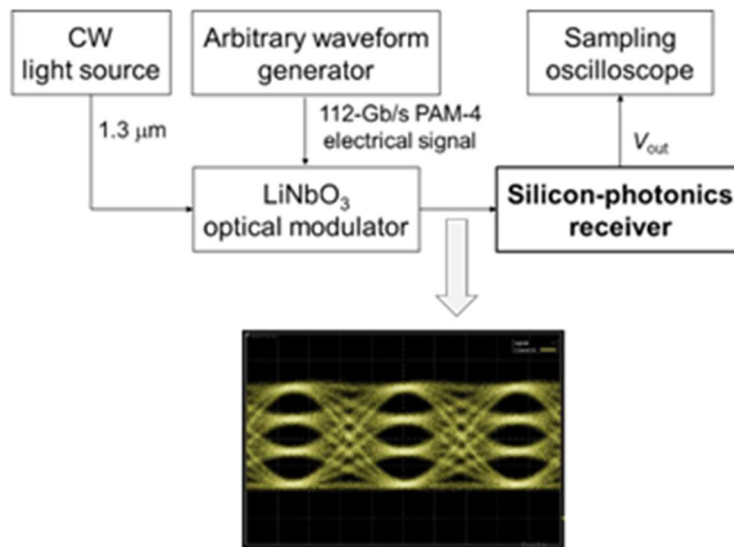


図 1.2.2.1(ア)-35 112 Gbps PAM4 波形測定評価系

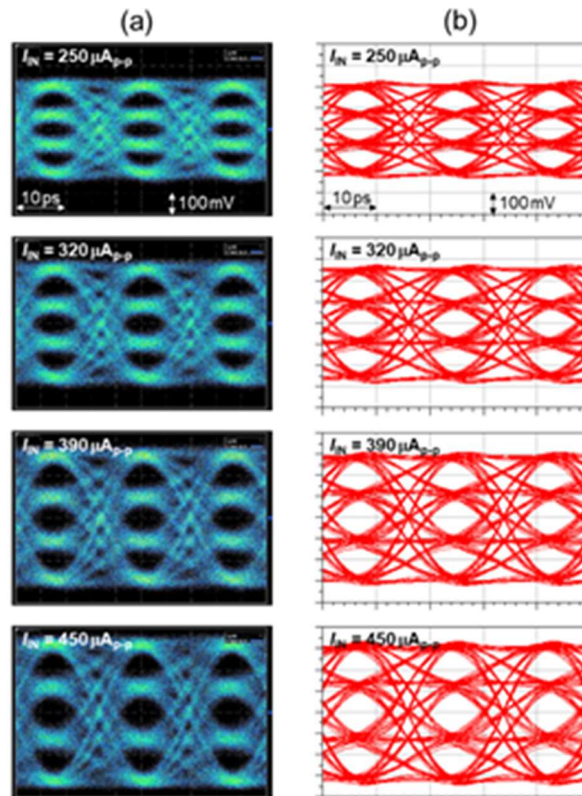
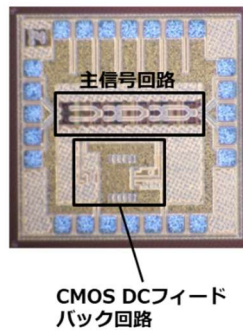
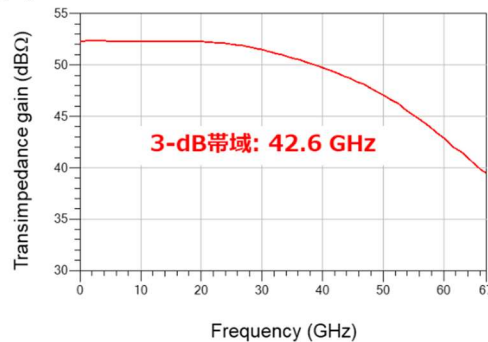


図 1.2.2.1(ア)-36 光レシーバの 112 Gbps PAM4 出力波形 (a) 測定結果、(b) シミュレーション結果

(a)



(b)



(c)

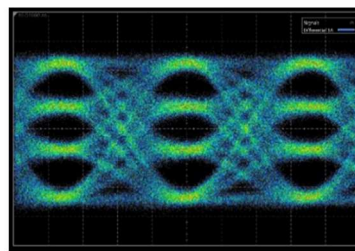


図 1.2.2.1(ア)-37 (a) 試作した広帯域版 TIA チップ写真、(b) 周波数特性の測定結果、(c) 広帯域版 TIA を搭載した RX の 112 Gbps PAM4 出力波形

以上の結果から、設計どおりの特性が得られ、良好な 112 Gbps PAM4 動作を達成した。このデータレートは、SiGe-BiCMOS の TIA-IC と導波路型 Ge-PD 集積シリフォト回路をフリップチップ実装した光レシーバとしては世界最高のデータレートであり、本研究で試作した TIA-IC およびそれを用いた光レシーバは、今後のシリコンフォトニクス高速光トランシーバへの応用が期待できるものである。

<1 mW/Gbps 低消費電力>

1 mW/Gbps の低消費電力の達成目標については、低消費電力化技術として技術開発した光デバイスの EA 光変調器や PD のモデルパラメータを用い、CMOS 回路を使用した Tx を構成する電子回路の光変調器ドライバと Rx を構成する電子回路の TIA を回路解析にて、1 mW/Gbps の実現を検証した。目標のデータレートは 56 Gbps として、光変調器ドライバや TIA を構成する電子デバイスには、22FDX プロセスの 22 nm CMOS を使用した。22FDX は、25 Gbps 光 I/O コアの電子回路に使用した 28 nm CMOS プロセスよりも、デバイス性能を表す f_T が大きく、かつ SOI 基板を使用しているため、Si 基板による影響が小さく、光変調器ドライバや TIA などのアナログ回路としては有利となる。

光変調器には低消費電力化として技術開発した EA 光変調器を、PD には導波路型 Ge-PD を、それぞれ等価回路モデル化を行い、回路解析に導入した。等価回路モデルの詳細は、<112 Gbps Tx/Rx 構成>及び<ドライバ回路>で記述したものと同一である。

Tx の低消費電力には、光変調器を駆動するための入力振幅を下げるのが最も効果的である。図 1.2.2.1(ア)-38 に 25 Gbps 光 I/O コアの光変調器ドライバのブロック図を示す。このドライバは、CML (Current-mode logic)、CML-CMOS Converter、CMOS Inverter で構成されている。光変調器には MZ 光変調器を用いており、光変調出力を確保するために 4 つの Segment で構成されて、各 Segment には差動振幅 1.8 V の信号が入力される。光変調器ドライバの出力は、差動 1.8 Vpp 振幅を 4 出力が必要になる。そのために光変調器ドライバを構成する CMOS Inverter のファインファンアウトは増加する。

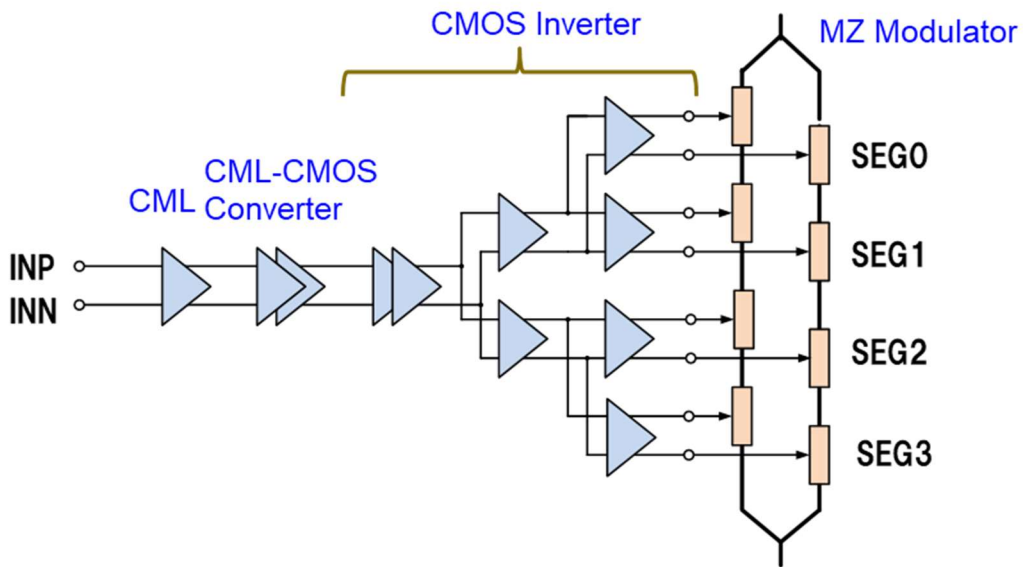


図 1.2.2.1(ア)-38 25 Gbps 光 I/O コアの光変調器ドライバのブロック図

1 mW/Gbps の低消費電力を達成するために、光変調器の 1 mW/Gbps 対応の光変調器として、MZ 光変調器から EA 光変調器に変更し採用した。EA 光変調器では、Segment 数は 1 つでよく、振幅は単相 1 Vpp で駆動できる。つまり、光変調器ドライバのファインファンアウトの低減及び、トータルの光変調器駆動振幅の低減が可能となる。図 1.2.2.1(ア)-39 に解析検討した EA 光変調器ドライバのブロック図を示す。この EA 光変調器ドライバは、MZ 光変調器ドライバと同等に CML、CML-CMOS Converter、CMOS Inverter で構成されるが、CMOS Inverter ファンアウトや出力段数も少ない。CMOS Inverter の段数は、56 Gbps における EA 光変調器の駆動能力によって決定している。

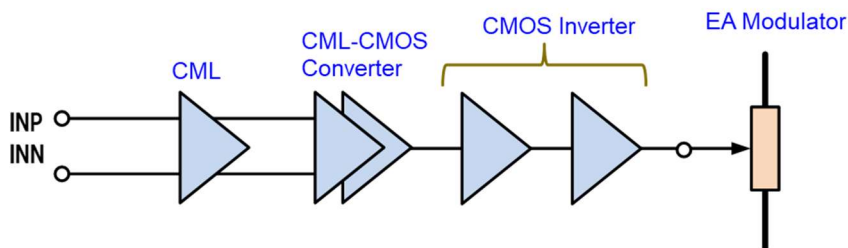


図 1.2.2.1(ア)-39 56 Gbps EA 光変調器ドライバのブロック図

図 1.2.2.1(ア)-40 に 56 Gbps NRZ での EA 光変調器のモデルを付加した時のドライバの出力波形を示す。入力には、差動 300 mVpp の振幅を入力している。56 Gbps で出力振幅 1 Vpp の非常に良好なアイパターンを得た。

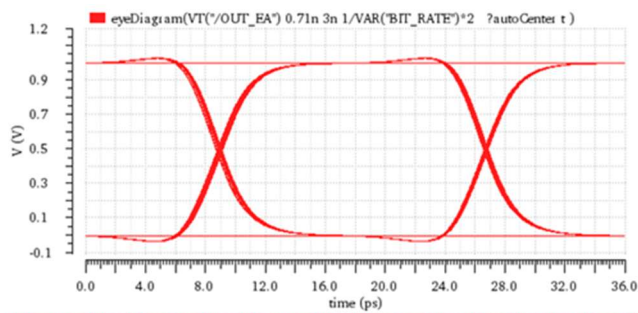


図 1.2.2.1(ア)-40 56 Gbps EA 光変調器ドライバ出力波形 (出力振幅 1 Vpp)

消費電力は 15.12 mW であり、Gbps 当たり、0.27 mW/Gbps を実現した。表 1.2.2.1(ア)-2 に 25 Gbps MZ 光変調器ドライバの消費電力との比較を示す。EA 光変調器を駆動するドライバ構成にすることで、Gbps 当たり消費電力の大幅な低減が可能となった。

表 1.2.2.1(ア)-2 光変調器ドライバの Gbps 当たりの消費電力比較

25 Gbps MZ 光変調器ドライバ	56 Gbps EA 光変調器ドライバ
2.15 mW/Gbps	0.27 mW/Gbps

Rx の低消費電力として、TIA ブロックの削減及び各ブロックの消費電流の削減を検討した。ここでトレードオフになるのは、56 Gbps の動作速度の実現である。22 nm CMOS を適用すること、かつ回路の広帯域化の工夫により帯域を向上して、56 Gbps NRZ の動作を実現した。図 1.2.2.1(ア)-41 に TIA のブロック図を示す。

PD と TIA 間に AC カップリングを用いることで、TIA 段を差動アンプで構成でき、利得の向上を図ることが可能となる。そのためにブロック段数が TIA、Limiting AMP、Output buffer からなる 3 段に低減できる。また、差動 AMP の入力オフセットをキャンセルする DC フィードバック回路を削減できる。帯域向上には、各段の負荷にインダクタを付加して、ピーキング手法により消費電流低下による帯域低下を抑制している。さらに Output buffer には Emphasis 回路により出力波形のアイ開口の向上を図った。

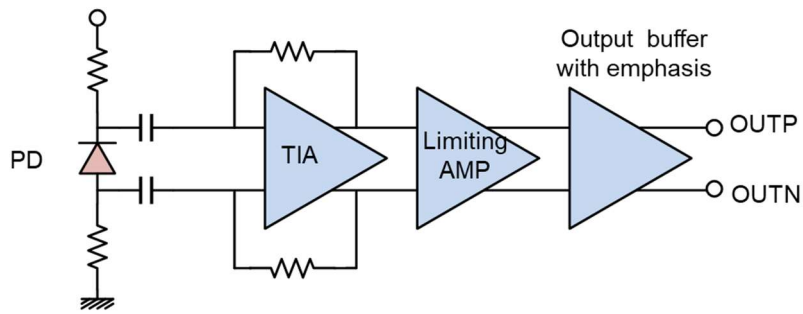


図 1.2.2.1(ア)-41 22 nm CMOS TIA ブロック図

図 1.2.2.1(ア)-42 に TIA に差動出力波形を示す。入力には、 $400 \mu\text{App}$ の電流信号を入力している。56 Gbps NRZ で差動出力振幅 480 mVpp と十分な振幅で、良好なアイパターンを得た。

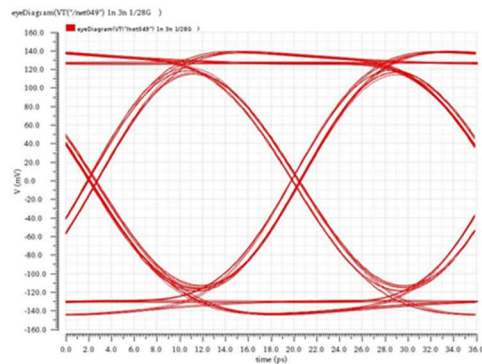


図 1.2.2.1(ア)-42 56 Gbps TIA 出力波形 (差動 480 mVpp)

TIA の消費電力は 36.7 mW であり、Gbps 当たり、 0.66 mW/Gbps を実現した。表 1.2.2.1(ア)-3 に 25 Gbps TIA の消費電力との比較を示す。前述した回路手法により Gbps 当たり消費電力が、 $1/5$ の低減が可能となった。

表 1.2.2.1(ア)-3 TIA の Gbps 当たりの消費電力比較

25 Gbps TIA	56 Gbps TIA
3.52 mW/Gbps	0.66 mW/Gbps

以上、説明したように Tx を構成するドライバで、 0.27 mW/Gbps 、Rx を構成する TIA で 0.66 mW/Gbps 、ドライバと TIA のトータルで 1 mW/Gbps 以下の低消費電力化を達成した。

<ベンチマーク>

シリコンフォトリクス変調器のベンチマークを表 1.2.2.1(ア)-4 に示す。SiGe を採用することで、他機関よりも変調効率が高く、低駆動電圧で小型化できることが特徴である。特に、GeSi-EA 光変調器では、他社よりも優れた 70 GHz 以上の帯域を実現している。

表 1.2.2.1(ア)-4 光変調器のベンチマーク

	PETRA		IMEC			Cisco (Luxtera)	IBM
	Si/SiGe-MZ	GeSi-EA	Si-MZ	SiGe -EA	Siリング共振器	Si-MZ	SiとBaTiO ₃ ハイブリッド・リング共振器
構造	Si/SiGe-MZ	GeSi-EA	Si-MZ	SiGe -EA	Siリング共振器	Si-MZ	SiとBaTiO ₃ ハイブリッド・リング共振器
駆動方式	集中定数/進行波型	集中定数型	進行波型	集中定数型	集中定数型	非公開	集中定数型
速度(GHz)	30-40	>70	33	>50	>40	>40	25
パワーペナルティ (dB)	-6	-7	~-10	~-10	~-11	非公開	>-10
電圧(V)	5	2.5	2.5	2.5	1.5	非公開	小信号応答のみ
サイズ(μm)	200	40	1500	40	15	非公開	30
線形応答性	◎	○	◎	△	×	◎	×
消費電力	△	◎	×	◎	○	×	○
温度依存性	◎	△	◎	△	×	◎	×
その他(動作波長・プロセス)	O/Cバンド可能	C/Lバンド	O/Cバンド可能	C/Lバンド	波長制御課題	O/Cバンド可能	ハイブリッド貼り合せプロセス


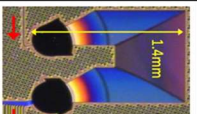
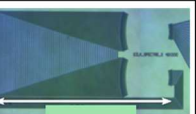
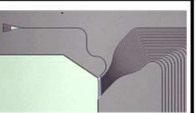
受光器のベンチマークを表 1.2.2.1(ア)-5 に示す。Ge 成長方法や構造の工夫により他社に比べ受信感度が高く、高速で小型・低電圧駆動可能であることが特徴である。60 GHz の帯域を実現し、PAM4 で重要な線形応答性も良好である。

表 1.2.2.1(ア)-5 受光器のベンチマーク

	PETRA	IMEC	Cisco (Luxtera)	Intel	IBM
構造	横型PIN	横型PIN	横型PIN	縦型PIN	MSM
量子効率(%)	80-90	60-80	80	65	40
速度(GHz)	60	33	>40	31	35
電圧(V)	3	2	2	2	1
サイズ(μm)	30	15	30	50	30
線形応答性	◎	×	×	○	×

合分波器のベンチマークを表 1.2.2.1(ア)-6 に示す。高度な光回路設計技術と高均一で再現性の高いシリコンフォトリクス作製技術により低損失・低クロストークが特徴である。

表 1.2.2.1(ア)-6 合分波器のベンチマーク

波長多重回路 の上面図 研究機関	 PETRA (OL 2014)	 PETRA (EL 2016)	 IMEC (OL 2013)	 LETI (PTL 2017)
デバイス原理	DMZI delayed Mach-Zehnder interferometer	AWG arrayed waveguide grating	AWG arrayed waveguide grating	EG Echelle grating
導波路タイプ	シリコン細線	シリコン細線	シリコン細線	シリコン細線
チャンネル数	4	8	8	16
チャンネル間隔	800 GHz	100 GHz	100 GHz	100 GHz
挿入損	~1.2 dB	~1.5 dB	2~3.5 dB	1.5~2 dB
クロストーク	<-24 dB	<-17 dB	<-17 dB	<-15 dB

- ✓ 低損失化・>16λへの多チャンネル化両立のために、テクノロジー結合
- ✓ 更なる多チャンネル化(>32λ)・低クロストーク化に優位なDMZIアクティブ制御方式も開発

光変調器ドライバのベンチマークを表 1.2.2.1(ア)-7 に示す。MZ 光変調器用ドライバに関しては、ドライバと光変調器を集積した形態での 112 Gbps の報告例は無い。また、IBM の 60 Gbps 送信器は 6 分割電極の入力信号を全て外部で位相調整しているため、実用性は低いと考えられる。Ghent 大より 100 Gbps PAM4 の報告はあるものの、スキュー調整を外部測定器で行なっており、実用化の課題は残っている。EA 光変調器用ドライバに関しては、112 Gbps の報告は無いものの、106 Gbps の報告例など高速化が進展している。また、MZ 光変調器ドライバよりも消費電力は低いことが分かる。

表 1.2.2.1(ア)-7 光変調器ドライバのベンチマーク

	IC	Mod	λ (nm)	NRZ or PAM	Data rate (Gbps)	PRBS
MZ 変調器	IHP (2016)	SiGe 250nm Si MZ 分割電極	1550	PAM-4	25 x 2	7
	トロント大 (2017)	CMOS FD-SOI 28nm Si MZ 進行波電極	1550	NRZ	44	31
	IBM (2018)	SiGe 130nm Si MZ 分割電極	1310	NRZ	60	7
	Ghent (2020)	SiGe 55nm Si MZ 進行波電極	1550	PAM-4	50 x 2	15
EA 変調器	Oracle (2014)	CMOS 130nm SOI SiGe EA	1530	NRZ	25	N/A
	HHI (2017)	SiGe 130nm InGaAlAs EML	1300	NRZ	56	31
				PAM-4	32 x 2	
	Ghent (2020)	SiGe 55nm SiGe EA	1565	NRZ	70	9
PAM-4				53 x 2		
PETRA	SiGe 90 nm	Si MZ 分割電極 SiGe EA	1310/1550 1550	PAM-4	56 x 2	31

受光器 TIA のベンチマークを表 1.2.2.1(ア)-8 に示す。112 Gbps PAM4 の高速性と線形性を CMOS で両立するのは難易度が高く(特に線形性)、両立は SiGe が優位である。また、112 Gbps の報告は無いものの、106 Gbps の報告例など高速化が進展している。但し、106 Gbps の報告例では PN9 段までであり、実用性の観点ではまだ不十分である

表 1.2.2.1(ア)-8 受光器 TIA のベンチマーク

	IC	PD	λ (nm)	NRZ or PAM	Data rate (Gbps)	PRBS
ドレスデン工科大 (2018)	CMOS 28 nm	InGaAs	1550	NRZ	53	7
IMEC (2020)	SiGe 55 nm	Ge/Si APD	1310	NRZ	56	15
IBM (2015)	SiGe 130 nm	GaAs	850	NRZ	71	7
Ghent大 (2019)	SiGe 55 nm	Ge WG	1550	NRZ	90	9
				PAM-4	53 x 2	
Intel (2021)	CMOS 28 nm	Ge	1310	PAM-4	50 x 2	-
PETRA	SiGe 90 nm	Ge WG	1310/1550	PAM-4	56 x 2	31

<まとめ>

低消費電力で 10 Tbps を実現するシリコンフォトニクス集積回路の要素技術開発を行った。開発目標として、3.6 Tbps の超小型・大容量 WDM チップを実現するための要素素子である 112 Gbps 光変調器・受光器及びこれらを動作させる電子回路であるドライバ・TIA、更に、16 波長合分波器を開発した。

112 Gbps の光変調器については、GeSi-EA 光変調器を選択成長幅 1 μm 以下の狭幅選択 Ge 成長により作製することで、C、L 帯共に 1 チップ上で動作可能にし、更に、ドーピング等を最適化することで 70 GHz 以上の帯域を確保し、112 Gbps PAM4 動作を実証することに成功した。112 Gbps の受光器については、横型 PIN 接合構造導波路型 Ge 受光器の Ge ファセット部分を n ドーピングすることで光インターコネクションに適用する場合の伝送距離のばらつきにロバストに対応できることを実証した。また、同構造で 60 GHz の帯域を確保し、TIA と合わせて 112 Gbps PAM4 動作を実証することに成功した。ドライバについては、最先端 SiGe-BiCMOS プロセスを用いて、高線形動作回路設計と IC 内広帯域インピーダンス整合を用いた高振幅・低ジッタ化回路設計により、2 V_{pp} の高振幅で 112 Gbps PAM4 動作を実証することに成功した。TIA については、ドライバと同様に、最先端 SiGe-BiCMOS プロセスを用いて、デバイスモデルや配線設計の精度を向上させることで良好な 112 Gbps PAM4 動作を実証することに成功した。更に、受光器と TIA をフリップチップ実装した光レシーバを作製し、世界最高のデータレート動作である 112 Gbps PAM4 動作を実証した。一方、1 mW/Gbps の低消費電力化に関しては、これらのドライバ・TIA を CMOS で設計した場合の消費電力をシミュレーションで見積もった。22 nm CMOS を用いた場合、GeSi-EA 光変調器用ドライバでは、0.27 mW/Gbps、導波路型 Ge 受光器用 TIA では 0.66 mW/Gbps となり、両合計で 1 mW/Gbps 以下の消費電力を達成できることを明らかにした。更に、16 波長合分波器については、2つの波長帯の異なる 8 波長 AWG を 2 波長 DMZI バンドパスフィルタで束ねる構造により、16 波長合分波の基本動作を低損失・低クロストークで実証することに成功した。

以上より、10 Tbps に向けた超小型・大容量 WDM チップを実現するための要素素子の開発におけるプロジェクト目標を全て達成した。

イ) 集積化プロセス技術

<開発目標とアプローチ>

10Tbit/ノードの高速光電子集積インターポーザを実現するためには、シリコンフォトニクス技術による種々の高機能の光デバイスを光回路チップに集積する必要がある。そのためには、各光機能デバイスの作製プロセスの整合を図り、一つの統合された集積プロセスを構築しなければならない。また、光回路チップに集積される多数の光デバイスを再現性良く動作させるために、従来にはない高速高精度のデバイス検証技術を構築し、さらにこのデバイス検証技術を設計・プロセス技術と連携させることで光デバイス特性の再現性を確保する必要がある。

上記の観点から、本プロジェクトにおいて、高機能の光デバイスを集積したシリフト統合化集積プロセスの開発を行うとともに、光ウェーハプローバによる高速高精度の光デバイス検査技術の確立を図り、これらとデバイス・回路設計をリンクさせるための設計・プロセス統合ライブラリの構築を行った。

シリフト統合化集積プロセスの開発においては、光トランシーバに集積される変調器、受光器、合分波デバイス、光 I/O デバイス及び導波路の性能を最大となる検討を加えつつ、これらが整合的に集積されるシリフト統合化集積プロセスの開発を行った。また、開発成果の社会実装への展開を念頭に 300 mm ファンドリにおける技術検証を実施した。

光ウェーハプローバによるデバイス検証技術構築については、従来の導波路デバイスの高精度評価に加え、変調器及び受光器の動作特性の高速・自動評価システムの構築を行うとともに、ウェーハレベル評価結果を用いたデバイスパラメータの抽出を行った。

光集積デバイスの設計データと検査において抽出されたデバイス特性パラメータは設計・プロセス統合ライブラリとして一元的に管理し、デバイス・回路のシミュレーションを用いて確度の高い設計が可能なシステムを構築した。さらに、作製プロセスへのフィードバックや回路性能の特性分布予測を可能とする特性ばらつきのモデル化を行った。

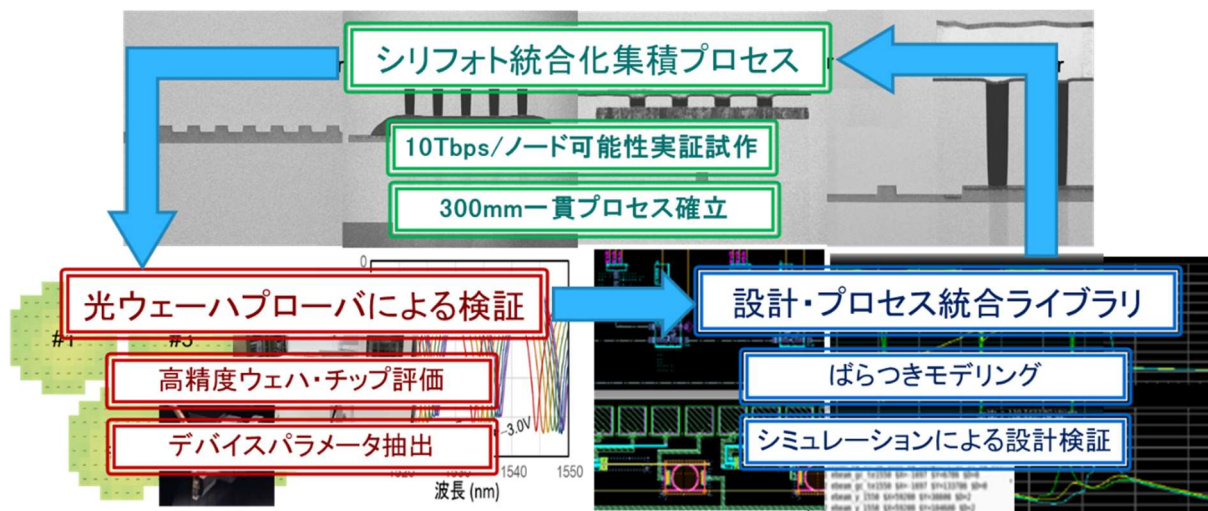


図 1.2.2.1(イ)-1 集積化プロセス技術の開発アプローチ

<シリフト統合化集積プロセスの開発>

シリコンフォトニクスにおいては、シリコンの高い屈折率を生かし、波長寸法以下の細線幅の導波

路を用いてチップ内部に信号光を伝搬させることが可能である。しかし、このような強い光の閉じ込めのために細線エッジのラフネスに起因する散乱損失の発生による伝搬損失の増加、及び線幅のずれによるデバイスの波長特性のシフト・劣化が生じるという懸念がある。本プロジェクトでは、40nm 技術世代の CMOS プロセスを基盤技術として高均一の SOI ウェーハに適用し、特に高精度 ArF 露光技術による導波路加工プロセスの最適化を図ることで、こうした伝搬損失の低減と波長特性の再現性確保に取り組んだ。

細線導波路については、本プロジェクトで開発した統合化プロセス技術を用いて作製した細線導波路において、プロセス最適化の結果、細線エッジのラフネス(LER)を 2.2nm に低減でき、その結果 300 mm 径ウェーハ面内で極めて低損失かつ均一な特性の導波路を形成することを確認した。得られた損失値は世界最高レベルのものである。

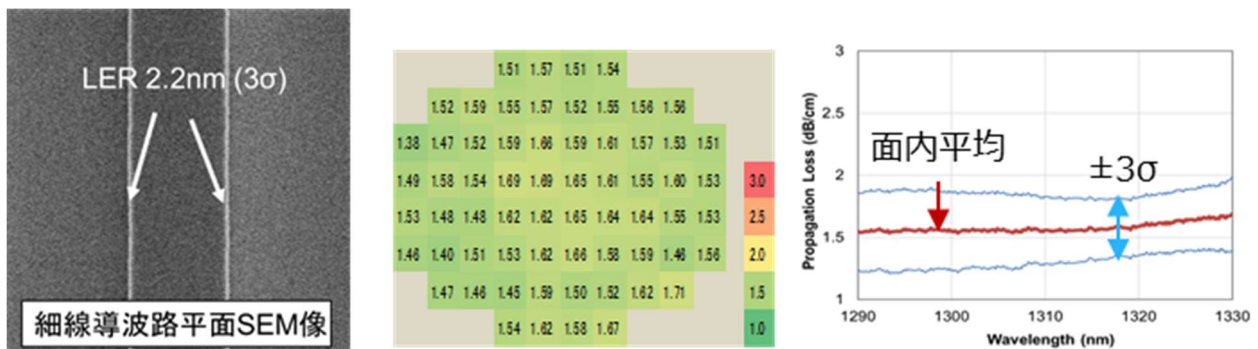


図 1.2.2.1(イ)-2 統合化プロセス技術を用いて作製した O 帯シングルモードの 350nm 幅の細線導波路の電子顕微鏡による平面像(左)、300 mm 径ウェーハ面内の伝搬損失マップ(中)、及び伝搬損失スペクトル(右)

光 I/O デバイスとしてファイバとの光結合に用いるグレーティングカップラについて、ArF 露光技術によって可能となるごく狭い幅(~80nm)のトレンチ構造を導波路からグレーティングカップラに至る信号光の導入部に設けることで、ファイバとの結合効率を大きく向上できることを確認した。また、ウェーハ面内の結合スペクトルの再現性も極めて良好なものであった。

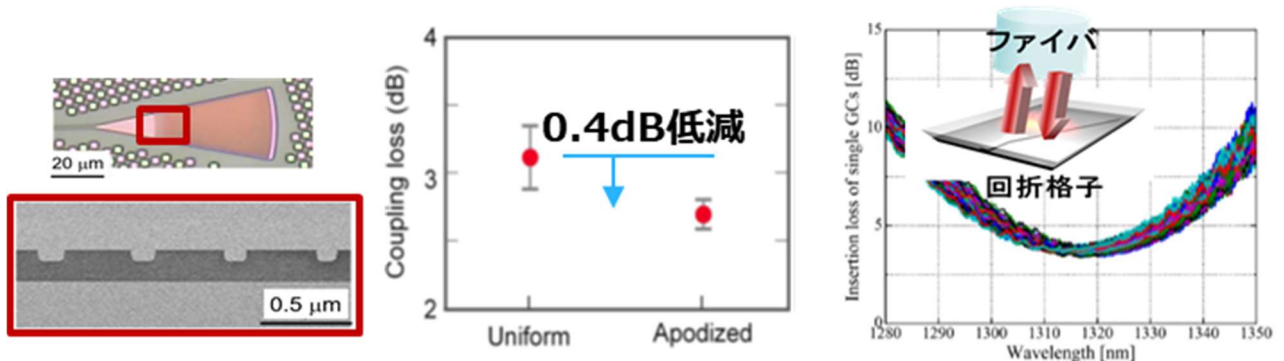


図 1.2.2.1(イ)-3 統合化プロセス技術を用いて作製した O 帯用グレーティングカップラの光学顕微鏡による平面像(左上)、電子顕微鏡によるアポダイズ部 80nm トレンチ構造の断面像(左下)、アポダイズを有するグレーティングカップラとアポダイズを持ちない均一グレーティングのグレーティングカップラのシングルモードファイバとの結合効率の比較(中)、及びウェーハ面内グレーティングカップラ 64 素子の結合効率スペクトル(右)

合分波器としては、統合化プロセス技術を用いて作製した 8 波長の合分波が可能なアレイ型導波路グレーティング(AWG)について、ウェーハ面内の各デバイスの波長ばらつきが 2nm 以下ときわめてスペクトル再現性の高い特性を確認した。

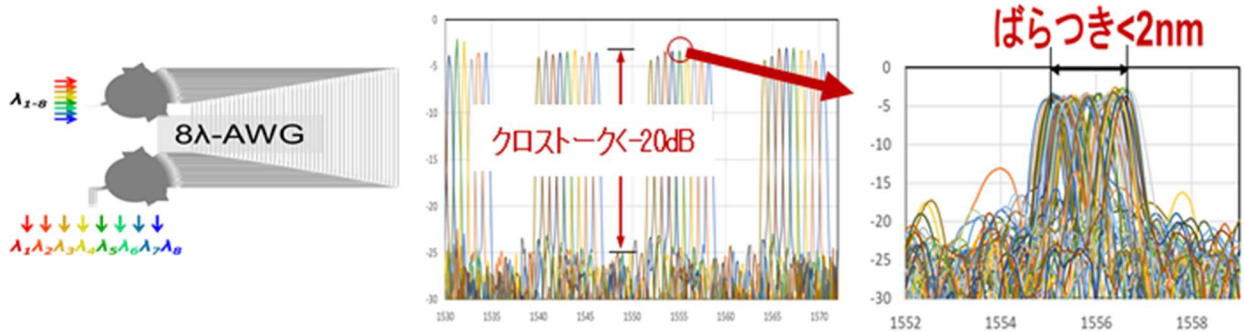


図 1.2.2.1(イ)-4 統合化プロセス技術を用いて作製した C 帯用 8 波長分波に用いるアレイ型導波路グレーティング(AWG)の構造模式図(左)、透過スペクトル(中)、及びウェーハ面内グレーティングカップラ 64 素子の特定ポートからの透過スペクトル(右)

変調器については、PN 接合型マッハ・ツェンダ変調器(PN-MZM)のデバイス作製プロセスにおける不純物イオンの注入量、電流の引き出しエリア形成のためのハーフエッチングの深さ、及び不純物注入領域のずれなどが変調効率や挿入損失に与える影響を実験及びプロセス・デバイスシミュレーションによって明らかにし、特に感度の高いプロセス印紙について、精密な制御を行うことで、300 mm ウェーハ面内の特性ばらつきを極めて低い値(6%)とできることを確認した。

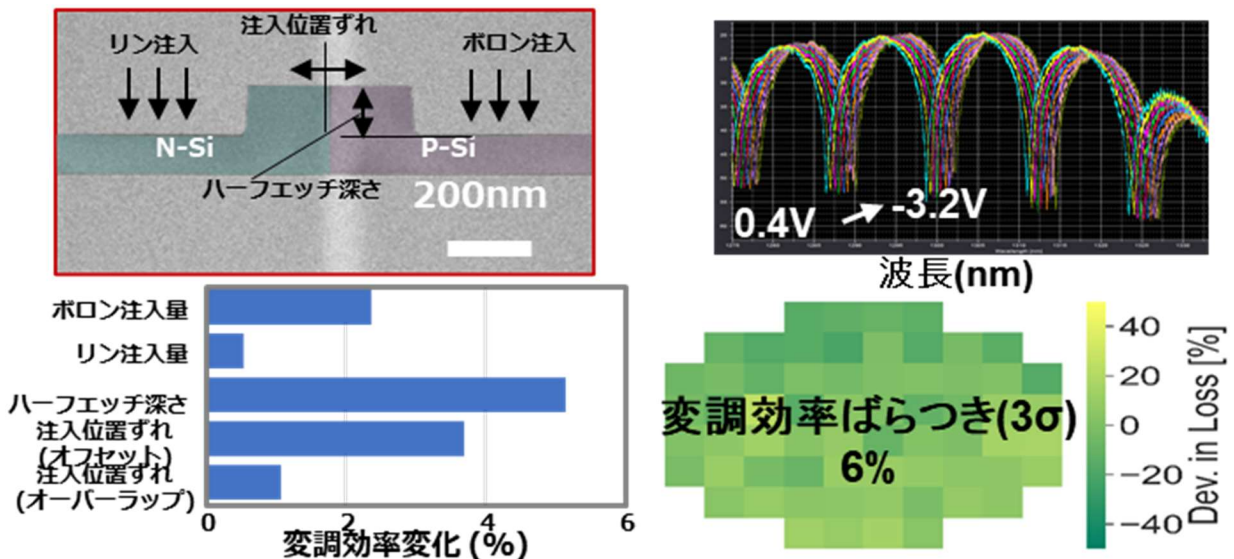


図 1.2.2.1(イ)-5 統合化プロセス技術を用いて作製した C 帯用 PN 接合型マッハ・ツェンダ変調器 (PN-MZM)の透過電子顕微鏡による接合部断面像(左上)、様々なプロセスに製造規格に相当するプロセスのずれを与えたときの変調効率の変化(左下)、PN 接合への逆電圧印加による干渉スペクトル変化(右上)、及び 300 mm 径ウェーハ面内の PN-MZM 64 素子の変調効率の分布(右下)

高機能の変調器、及び受光器に向けた 300 mm 径ウェーハ対応の Ge エピタキシャル成長装置を用いた Ge 成膜プロセスについて、Ge 膜が Si 開口部のみで成長する完全な下地選択性の選択エピタキシャル条件を確立し、Si 開口部端での Ge 表面のスムーズなファセット形成を確認した。また、成長プロセスの最適化により、下地シリコンとの格子結合長の不整合に起因する貫通転位密度を $1 \times 10^7 \text{ cm}^{-2}$ に低減できることを確認した。

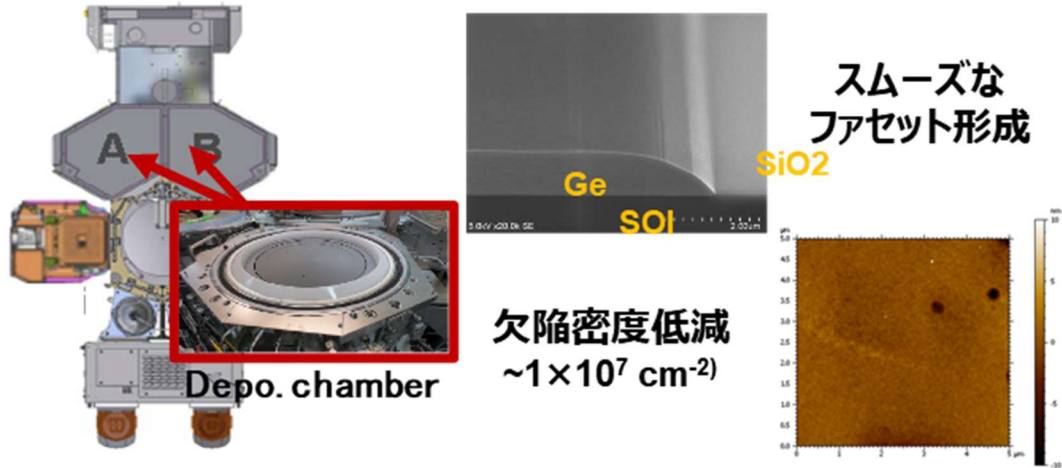


図 1.2.2.1(イ)-6 光集積回路試作に適用された 300 mm 径ウェーハ用 Ge エピタキシャル成長装置の構成模式図(左)、Ge の成長端部におけるファセット形成を示す電子顕微鏡による鳥瞰像(右上)、及び原子間力顕微鏡による Ge 成長表面の貫通転位の観察(右下)

上記の Ge 膜成長プロセスを用いて作製した Ge 受光器について、従来の SOI 層の上に Ge 膜が担持され導波光が Ge 膜にエバネッセント結合によって導かれるエバネッセント型 Ge 受光器に加え、SOI 層にリセス部が形成されその上に Ge 膜が埋め込まれることで導波光がバット結合により効率よく Ge 膜に導かれるバット結合型 Ge 受光器プロセスを新規に開発し、理論限界に近い量子効率、300 mm 径ウェーハ内で均一な感度分布、及び 10^{-7} A 以下の低い暗電流密度を確認した。

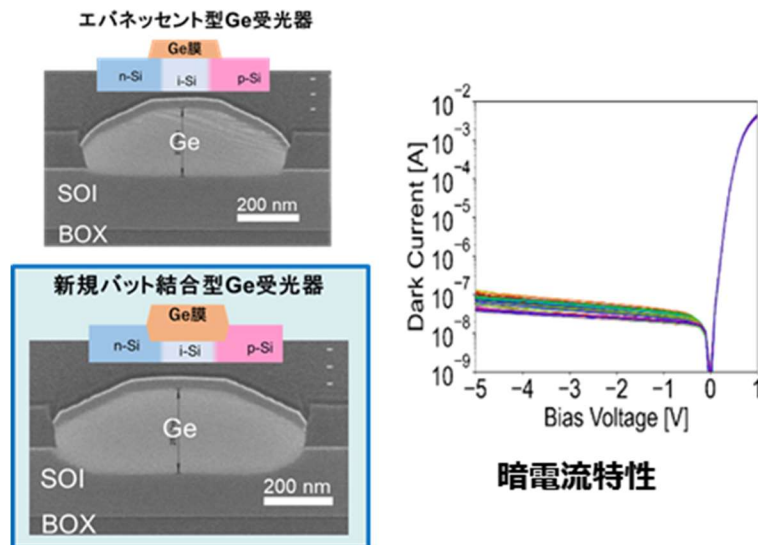


図 1.2.2.1(イ)-7 統合化プロセス技術を用いて作製したエバネッセント型 Ge 受光器及びバット結合型 Ge 受光器の透過電子顕微鏡による断面像(左上、及び左下)、バット結合型 Ge 受光器の受光感度偏差分布(中)、及び 300 mm 径ウェーハ面内のバット結合型 Ge 受光器 64 素子の暗電流特性(右)

今回開発した統合化プロセスを用い、10 Tbit/ノードの高速光電子集積インターポーザ実証に向けたウェーハ試作を実施した。作製したウェーハについて、ダイシングによるウェーハの切り出しのあと、デバイスチームが主体となり回路実装と評価を行い、高速インターポーザ実現の可能性を実証している。

光集積回路技術にかかわる開発成果の社会実装に向けた 300 mm ファンドリへの展開として、本プロジェクトが開発してきた 40nm 世代 CMOS プロセス、300 mm SOI、及び Ge エピタキシャル成長技術を基盤とする高精度な導波路加工プロセスの移植を進めるとともに、新規にファンドリ側の有する高速のデュアルダマシンプロセスの導入を図ることでより高速の回路動作が可能なデバイス設計を行った。



図 1.2.2.1(イ)-8 ファンドリにおいて試作した光集積回路の断面構造

300 mm ファンドリに展開した統合化プロセス技術を適用して作製した C 帯及び O 帯対応の細線導波路について、これまでの当プロジェクトにおいて確認したものとほぼ同様の伝搬損失の 300 mm ウェーハ面内分布と伝搬損失の線幅依存性を確認した。

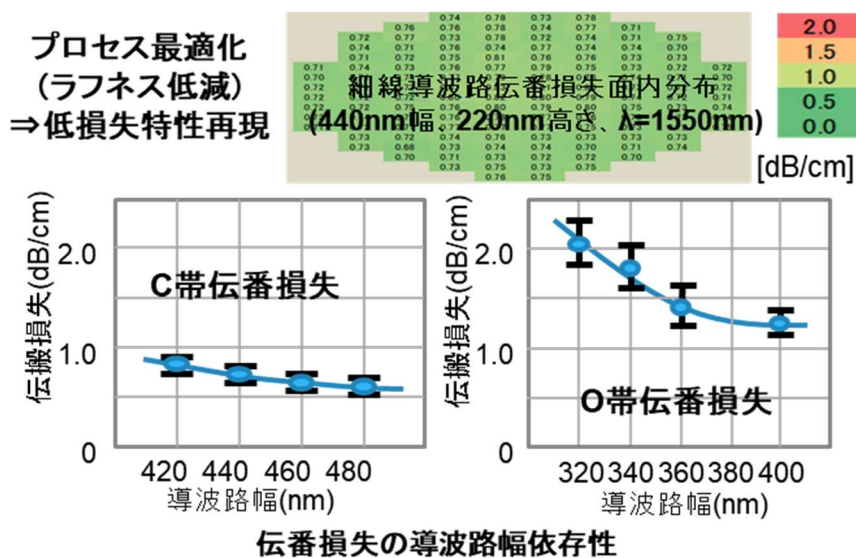


図 1.2.2.1(イ)-9 ファンドリにおいて試作した C 帯 440 nm 幅の細線導波路の伝搬損失の 300 mm 径ウェーハ面内の分布(上)、C 帯及び O 帯の細線導波路の伝搬損失の導波路幅依存性(下)

変調器については、ファンドリにおいて試作した PN-MZM の特性がこれまでの当プロジェクトにおいて確認したものとほぼ同様の良好な 300 mm ウェーハ面内均一性と変調効率の電圧依存性

を示すことを確認した。

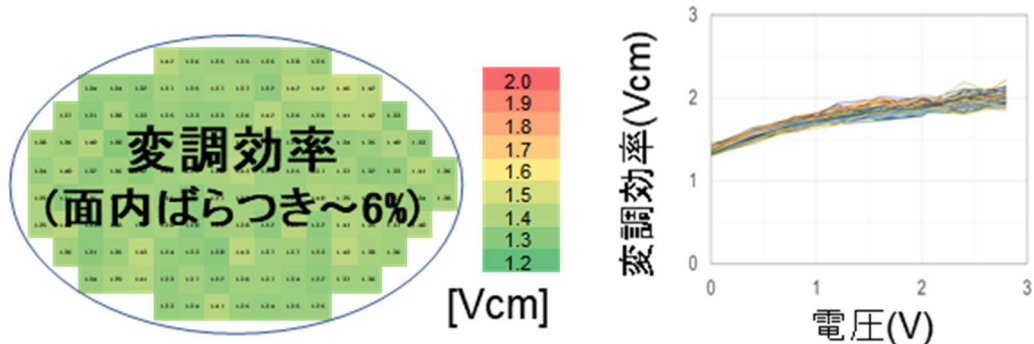


図 1.2.2.1(イ)-10 ファンドリにおいて試作した PN-MZM の 300 mm 径ウェーハ面内の印加電圧 0V での変調効率の分布(左)、及び 300 mm 径ウェーハ面内の PN-MZM 64 素子の変調効率の印加電圧依存性(右)

受光器についても、ファンドリにおいて試作した Ge 受光器の特性がこれまでの当プロジェクトにおいて確認したものと同様の良好な 300 mm ウェーハ面内均一性と暗電流を示すことを確認した。

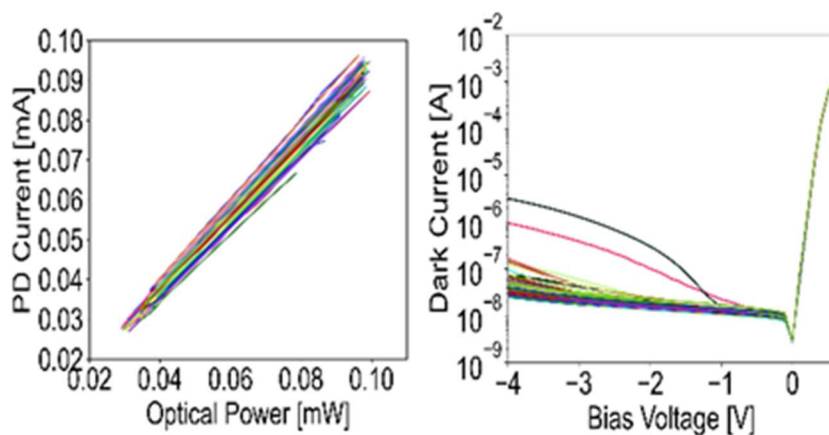


図 1.2.2.1(イ)-11 ファンドリにおいて試作したエバレッセント型 Ge 受光器の 300 mm 径ウェーハ面内の 64 素子の光電流の光強度依存性(左)と暗電流の電圧依存性(右)

これらのデバイス試作を通じて、当プロジェクトの開発成果はファンドリに展開できることを実証できた。今後の市場開拓に向けて、今回確認できた高い性能再現性と 300 mm ラインの低コスト性は大きな武器となると考えられる。

<光ウェーハプローバによるデバイス検証技術>

従来の導波路デバイスのウェーハレベルの高精度評価に加え、変調器及び受光器の動作特性の高速・自動評価システムの構築を行うとともに、ウェーハレベル評価結果を用いた高精度のデバイスパラメータの抽出を行うためのモニタリング光回路の新規考案と実証、プローバを用いたチップ評価技術、および回路性能の解析的な表現を可能とするデバイスのコンパクトモデルの構築などを通じ、デバイス・回路設計や試作プロセスへの強力なフィードバックを可能とするデバイス検証技術の確立を図った。

<変調器及び受光器動作特性の高速・自動評価システムの構築>

変調器及び受光器の動作特性の高速・自動評価システムの構築について、シリコン光変調器ならびに受光器のプロセスばらつきと特性ばらつきとの相関を明らかにするため、ウェーハプロービングシステムを用いた全自動・高精度評価技術を構築した。信号源から出力された電気信号は、RFプローブを用いてコンタクトするようになっている。波長可変光源から出射された光は、偏波制御された後に光ファイバプローブを通してグレーティングカップラによりシリコン光変調器に入射されるようになっている。また、光ファイバプローブは各ダイで自動調芯されるようになっている。ここでは、非対称マッハ・ツェンダ干渉計のアーム間位相差を決定する波長を探索するようにし、変調器から出力される光信号波形のクロスポイントが50%になるように調整される。以上から、シリコン光変調器において、変調効率、吸収損失、ならびに消光比をウェーハ上で全自動・高精度で測定することができる評価技術を構築することに成功した。シリコン受光器についても同様に、受光感度ならびに暗電流をウェーハ上で50素子を2時間以内に測定できる全自動・高精度の評価技術を構築することに成功した。

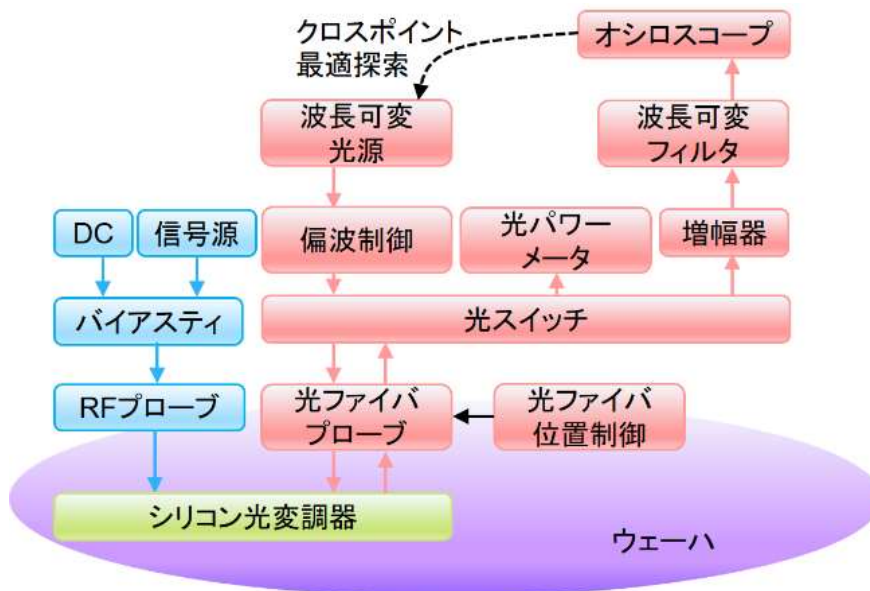
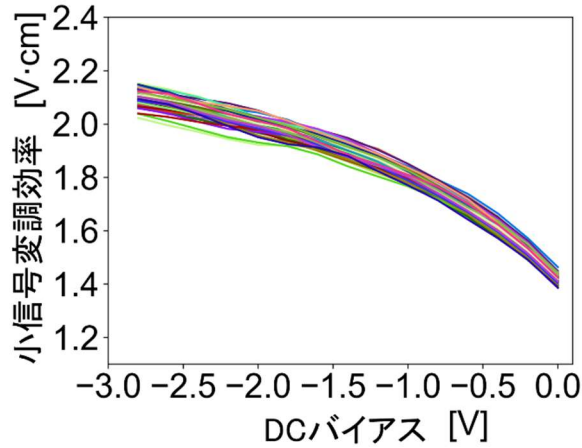


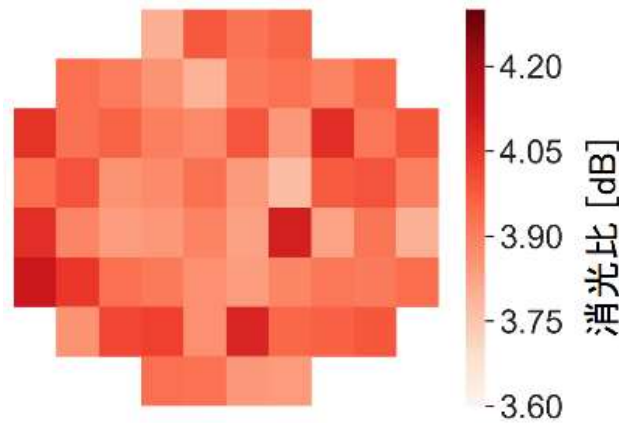
図 1.2.2.1(イ)-12 シリコン光変調器ならびに受光器の全自動・高精度評価系の模式図

構築した評価系を用いることによって、300 mm SOI ウェーハ上 64 ダイに作製されたシリコン光変調器に対する小信号変調効率の DC バイアス依存性を測定し、高消光比を得るために十分小さな変調効率を実現できていることを確認した。また、変調効率は DC バイアスに対して非線形に変化することが確認できるとともに、ばらつきが生じており、電圧 $V = 0$ において平均 1.42 ± 0.04 (3σ)であるこ

とが分かった。このばらつきについて、定量的観点に立った上でのインパクトの大きさを明らかにするため、構築した評価系を用いて、オフセットバイアス $V_0 = 2.0 \text{ V}$ ならびに駆動電圧振幅 $V_{pp} = 1.6 \text{ V}$ に対して消光比の測定を行った結果、消光比は平均 $3.93 \text{ dB} \pm 0.24 (3\sigma)$ であり、かつ非常に小さいウェーハ面内ばらつきを実現できていることが分かった。吸収損失については、 $V_0 = 2.0 \text{ V}$ に対して位相シフタにおける実効屈折率の虚部を測定した結果、平均 $6.96 \times 10^{-5} \pm 2.08 \times 10^{-5} (3\sigma)$ であり、低損失を得るために十分小さい損失値ならびにそのウェーハ面内ばらつきを実現できていることが分かった。



(a)



(b)

図 1.2.2.1(イ)-13 (a) シリコン光変調器の小信号変調効率の DC バイアス依存性、(b) $V_0 = 2.0 \text{ V}$ ならびに $V_{pp} = 1.6 \text{ V}$ に対する消光比のウェーハ面内分布

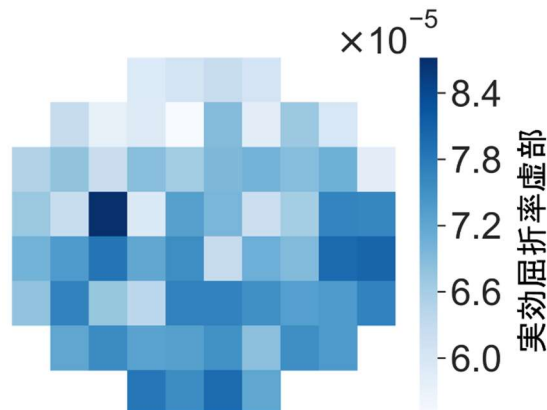
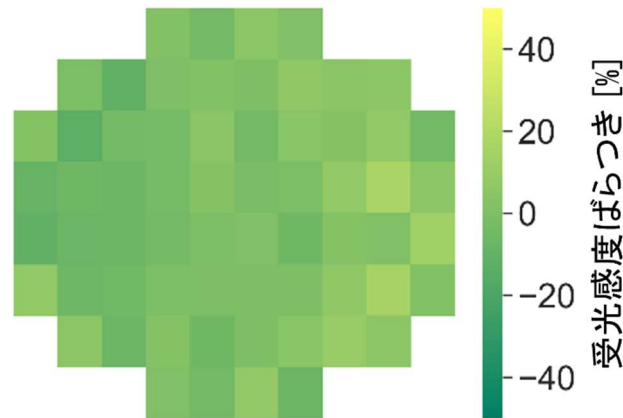


図 1.2.2.1(イ)-14 $V_0 = 2.0 \text{ V}$ に対する位相シフタの実効屈折率の虚部のウェーハ面内分布

構築した評価系を用いることによって、300 mm SOI ウェーハ上 64 ダイに作製されたシリコン受光器に対する受光感度ばらつきを電圧 $V = -3V$ において測定した。本測定については、受光器に近い場所に作製したグレーティングカップラ対によるショートカット光導波路の透過スペクトルから結合損失を見積もることで算出した。きわめて小さいウェーハ面内ばらつきであることを確認した。また、暗電流の DC バイアス依存性についても同様に測定した。実用上、十分な均一性を呈することを確認した。



(a)

図 1.2.2.1(イ)-15 $V = -3V$ に対するシリコン受光器の受光感度ばらつきのウェーハ面内分布

このように、ウェーハレベルプローバの極めて高い調心精度を生かし、かつ変調、受光機能の測定に必要な機器をプロービング機能と整合させて組み合わせることで、変調器、及び受光器動作特性の高速・自動評価を実現した。また、変調器と受光器の実際の測定から、統合化プロセスを用いて試作したこれらのデバイスが 300 mm ウェーハ面内で極めて高い均一性を示すことを明らかにした。

<細線導波路加工プロセスの高精度モニタリング>

シリコンベースのフォトニック集積回路では、導波路は光学機能素子間の信号光の伝搬経路として用いられるとともに、ほとんどの波長フィルタデバイスの基本構造ともなっている。これまでの多くの検討により、導波路のミクロンオーダー以下の製造偏差により波長フィルタに明瞭なスペクトル変化が生じることが確認されている。したがって、シリコンフォトニクスデバイスの特性再現性を高めるためには、インラインプロセス制御モニタリング (PCM) 手法を確立することが必要である。これまで、マッハ・ツェンダ干渉計 (MZI) またはマイクロリング共振器 (MRR) を含む光回路を使用したスペクトル解析による細線導波路の幅と高さの偏差の抽出が、光 PCM 法として提案されており、当プロジェクトにおいても MRR の最低次の横電気 (TE) 伝播モードの透過スペクトルを観測し、測定された共鳴波長と自由スペクトル範囲 (FSR) の変動から、実効屈折率と群屈折率の偏差を抽出し、これらの屈折率偏差から製造偏差を導いている手法が提案されている。しかし、これまでの抽出手法では、小さな FSR シフトの測定誤差が、製造偏差の抽出の精度に影響を与えるという課題があった。今回の新規モニタリング回路により、こうした困難無しに細線導波路の製造偏差をより正確に抽出でき、サブナノメータの寸法ずれを精度よく見積もれることを理論的及び実験的に示した。

今回の新規モニタリング回路は、TE 伝搬モードおよび横磁気 (TM) 伝搬モード用に設計された MRR および偏光回転子を備えており、ファイバと結合するグレーティングカップラを変えることで TE および TM モードそれぞれの共振状態を選択的に作ることができる。

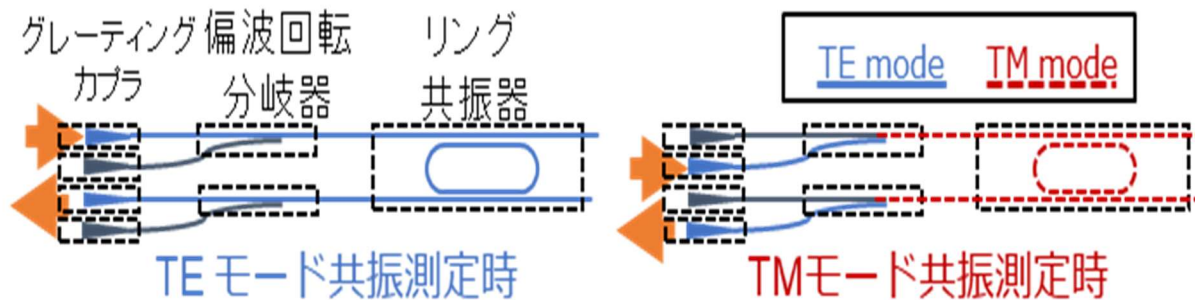


図 1.2.2.1(イ)-16 偏波回転分岐器とリング共振器からなる導波路加工モニタ回路を用いた TE モード(左)及び TM モード(右)の共振測定時のセットアップ

実際に試作したモニタリング回路について、TE および TM モードの明瞭な共振ピークが観測された。ここで、TM モードは TE モードに比べて、光の閉じ込めが弱いために共振ピークの半値幅が大きいことが分かる。また、両モード間のクロストークは全く見られなかった。このことから、偏波回転分岐器における偏波の移行が完全にできていると考えられる。

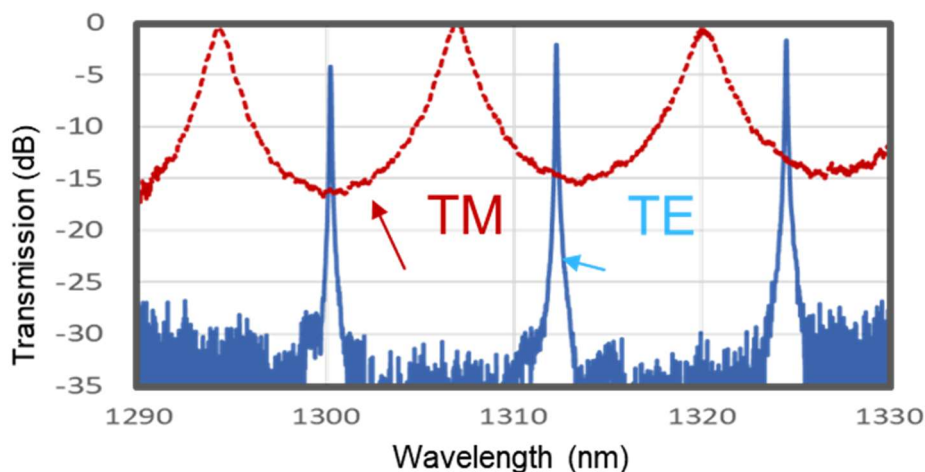


図 1.2.2.1(イ)-17 導波路加工モニタ回路で観測された TE モード(左)及び TM モード(右)の共振スペクトル

面内の多数のモニタ回路についてウェーブローバを持って同様の測定を行った結果、TE モードと TM モードのそれぞれについて、300 mm ウェーブ内の共振波長ばらつきを示すスペクトルが得られる。

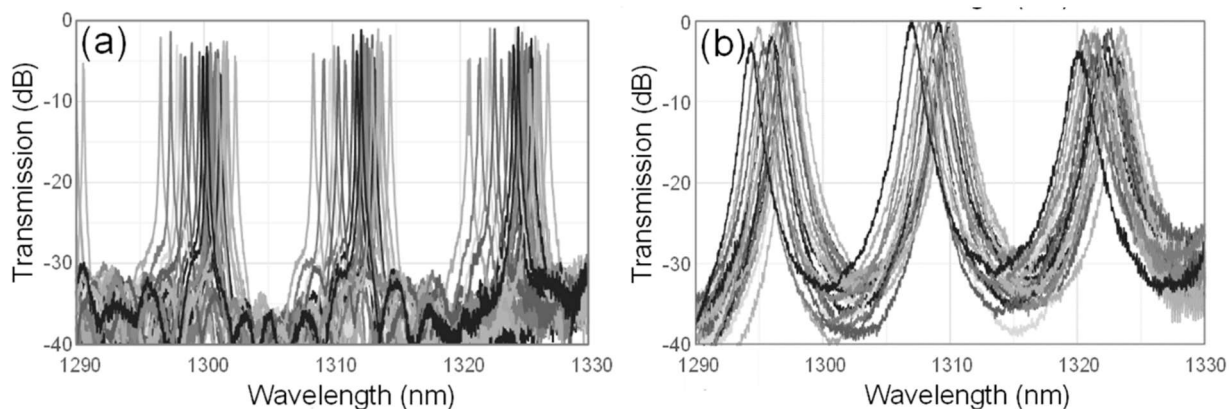


図 1.2.2.1(イ)-18 300 mm ウェーハ面内の導波路加工モニタ回路 64 素子で観測された TE モードの透過スペクトル(左)及び TM モードの透過スペクトル(右)

導波路の幅と高さの偏差が観測された共振ピークのばらつきをもたらしているが、TE モードと TM モードでは共振ピークシフトへの導波路の幅と高さの偏差の影響の大きさが異なるため、両モードのシフト量を用いて演算することで、導波路の幅と高さの偏差を抽出することができる。300 mm SOI ウェーハ上に製造された 64 個のモニタリング回路の測定から抽出された導波路の幅と高さの偏差の分布は実際のウェーハプロセスにおけるインラインモニタの測定結果の傾向と一致するものであった。



図 1.2.2.1(イ)-19 導波路加工モニタ回路の TE モード及び TM モードの共振波長ばらつきから抽出された導波路幅と導波路高さの偏差の 300 mm 径のウェーハ面内の分布

今回のモニタリング回路による加工偏差抽出の精度について、半導体プロセスのインライン検査手法と比較した結果、代表的なインライン検査装置である電子顕微鏡観察より半桁以上導波路幅偏差のばらつきが少なく、高さについても、SOI 層の初期膜厚分布とサブナノメータの精度で再現するものであった。また、及び従来光 PCM 法と比較して、今回の手法は原理的に検出感度が 40%大きく、また 2 桁以上波長測定誤差の影響を受けにくいことが分かった。

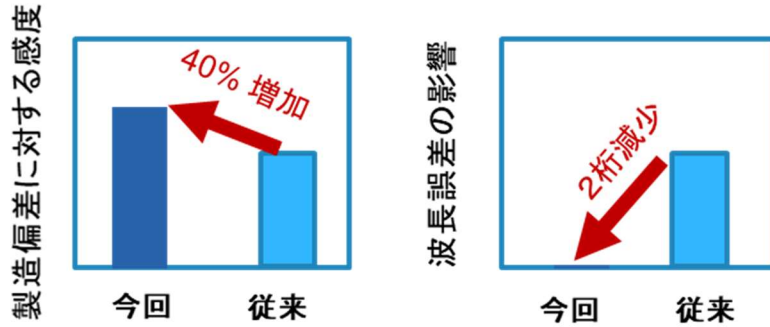


図 1.2.2.1(イ)-20 新規モニタリング回路による導波路加工偏差抽出精度の従来光 PCM 法との比較：製造偏差に対する感度(左)、波長誤差の影響(右)

これらの検討を通じて、今回新規に開発したモニタリング回路が従来手法及び半導体プロセスのインライン検査手法に比べて加工偏差の高い抽出精度を有することが明らかとなった。今回のモニタリング手法の開発により、試作結果の解析をもとに、デバイス・回路設計や試作プロセスとへの適切なフィードバックが可能となった。

<プローバを用いたチップ評価技術>

本プロジェクトにおいて、光回路に集積される光デバイスの性能は主にウェーハレベルで評価されてきたが、光電子集積インターポーザの実証に向けて、光デバイスの特性がアセンブリ後のチップにおいても維持されていることを検証することが必要である。透過スペクトルの光量ばらつき 0.2dB 以下の安定した光特性の測定が可能な光ウェーハプローバをベースにチップ測定機能を追加し、集積試作により作製したチップ上の光デバイスのウェーハ上での特性と等価であることを検証した。

チップ特性評価システムの構築として、プローバのチップ専用ステージ上に担持されたチップの端部には細線導波路をベースとするスポットサイズコンバータが形成されており、ポジションナにマウントされたシングルモードファイバとの間でバット型光結合が形成され、この結合を介してチップ上のデバイス・回路の特性を評価することが特徴となる。この際、チップ端とファイバ端の間隔は $1\mu\text{m}$ 以下の精度で制御され、また、高さと同行き方向については、ポジションナの位置制御により帰還する光強度を最大化することで $0.3\mu\text{m}$ 程度の精度で調心することができる。集積プロセスにより作成し工学グレードのダイシングによりチップ化を行った光集積回路チップについて、このチップ特性評価システムを用いることで、回路上に形成されたリング共振器の共振スペクトルが再現性よく観測でき、かつウェーハでの特性と測定精度の範囲内でほぼ一致することが確認できた。

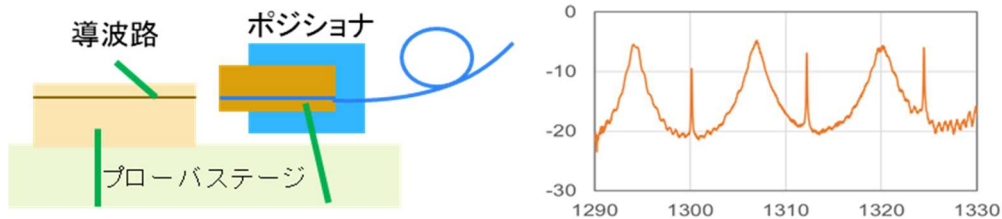


図 1.2.2.1(イ)-21 プローバを用いた端面光結合によるチップ特性評価のための構成図(左)、及びリング共振器のドロップポートスペクトル観測例(右)

<変調器コンパクトモデルの開発>

デバイスが集積された光回路の特性を調べるうえで、デバイスの性能を少数の特性パラメータで記述できるコンパクトモデルの構築は重要である。今回、トランスミッタ性能に大きな影響を与える変調器について、回路性能の解析的な表現を可能とするコンパクトモデルの開発を行った。本モデルは、PN-MZM の消光比、吸収損失、チャープパラメータを少数のデバイスパラメータ(変調効率と実効屈折率虚部)で表現することを特徴としている (図 1.2.2.1(イ)-22)。

本開発では、まず、プロセスばらつきを含む変調効率と実効屈折率虚部のオフセットバイアス (V_0) ならびに駆動電圧振幅 (V_{pp}) 依存性を表現するパラメータ (図中 k 、 α 、および β) を定義することでパラメータを抽出した(図 1.2.2.1(イ)-23)。実線があるダイの変調器における測定結果、破線がフィッティング関数であり、非線形最小二乗法により全てのダイについてフィッティングパラメータの抽出が可能である。次のステップでは、消光比、吸収損失、チャープパラメータを、電圧条件と抽出パラメータを用いて表現した。本表現において、従来の小信号変調効率定義を用いた場合には、駆動電圧振幅に対して線形性を仮定しているために誤差が大きくなること、およびチャープ情報を消失してしまう課題があった。また、従来の大信号変調効率定義を用いた場合には、実際の駆動条件に対して意味のない値であることから、位相シフト量が煩雑な形式となってしまうことに加え、位相シフト量は電圧に対して非線形に変化するため、変調効率を表す必要電圧が変調器長とのスケージング則を満たさない課題があった。そこで、大信号変調効率の一般形式を提案することで、これらの課題を解決し、変調器特性を表現することに成功した。具体的には、本モデルを用いることによって、任意のオフセットバイアスと駆動電圧振幅を与えれば、駆動回路の RF 損失とシンボル間干渉による劣化成分を除いた消光比(図 1.2.2.1(イ)-24(a))、吸収損失(図 1.2.2.1(イ)-24(b))、チャープパラメータ(図 1.2.2.1(イ)-24(c))を算出可能であることを確認した。

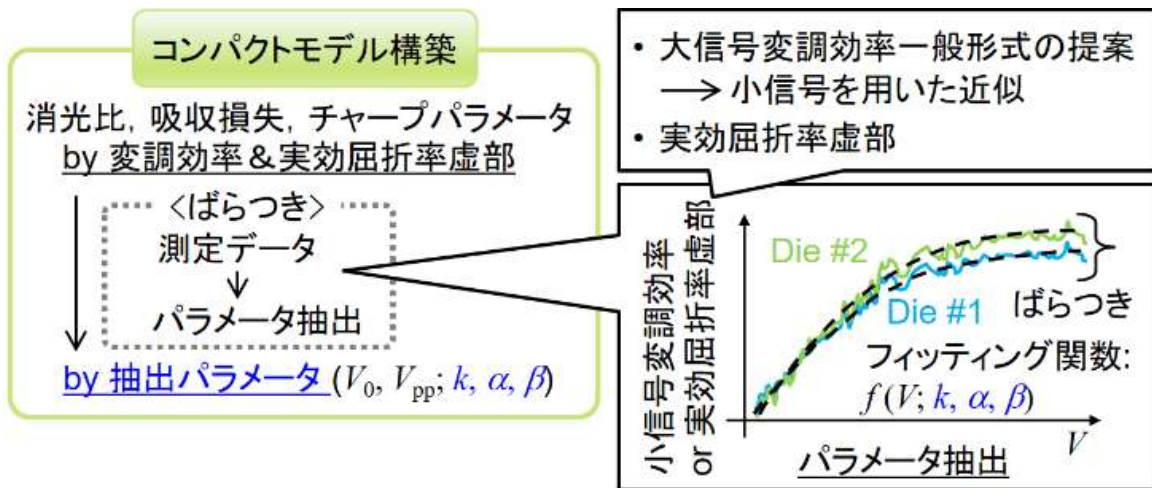


図 1.2.2.1(イ)-22 マッハ・ツェンダ型シリコン光変調器のコンパクトモデル構築の概念図

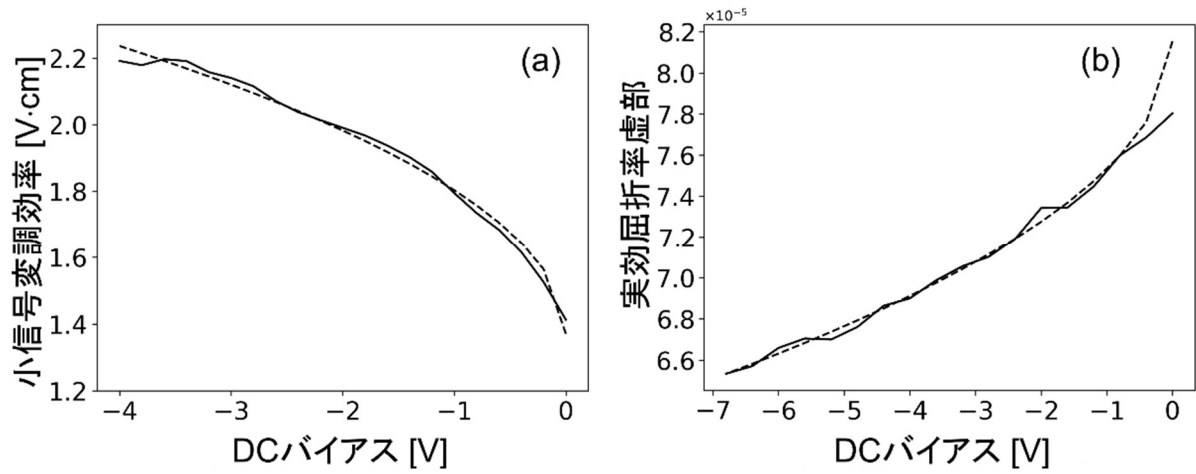
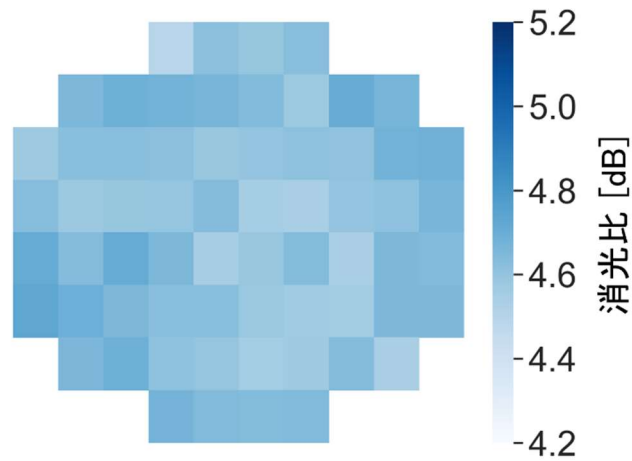
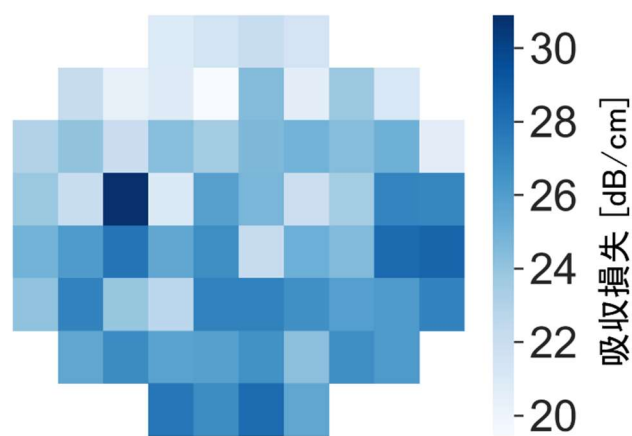


図 1.2.2.1(イ)-23 位相シフタにおけるパラメータ抽出例、(a) 変調効率、(b) 実効屈折率虚部



(a)



(b)

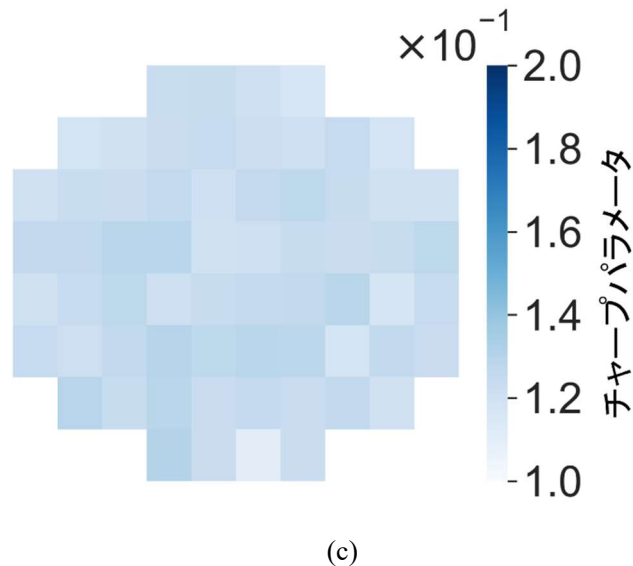


図 1.2.2.1(イ)-24 開発したコンパクトモデルによる算出結果 ($V_0 = 2.0 \text{ V}$ 、 $V_{pp} = 1.6 \text{ V}$)、
(a) 消光比、(b) 吸収損失、(c) チャープパラメータ

これらのコンパクトモデルの構築とそれを用いた解析を通じて、今回新規に開発した変調器のコンパクトモデルがデバイスの性能を少数の物理的な特性パラメータで精度よく記述できること、及び変調振幅やチャープなどの回路性能を解析的に表現できるという点で極めて優れたものであることが確認できた。

光ウェーブプロバによるデバイス検証技術については、上述したように、従来の導波路デバイスのウェーブレベルの高精度評価に加え、変調器及び受光器の動作特性の高速・自動評価システムの構築を行うとともに、ウェーブレベル評価結果を用いた高精度のデバイスパラメータの抽出を行うためのモニタリング光回路の新規考案と実証、回路性能の解析的な表現を可能とするデバイスのコンパクトモデルの構築などの検討を行い、これらを通じて、デバイス・回路設計や試作プロセスとへの強力なフィードバックを可能とするデバイス検証技術を確立することができた。

設計・プロセス統合ライブラリ

<ウェーブレベル評価を用いた統合化プロセスのライブラリ構築>

設計・プロセス統合ライブラリ概念図を図 1.2.2.1(イ)-25 に示す。設計・プロセス統合ライブラリとは、シリフォトチップのレイヤ構造などの統合化集積プロセス情報と、それにより作製される各種光デバイスの個別デバイス情報とその回路シミュレーションを実施するための(ウェーブレベルで抽出された)デバイスパラメータを併せもち、スキマティック設計に基づいた回路シミュレーションおよびシミュレーション結果を反映したレイアウト(GDS ファイル)を自動生成する機能をもつ統合設計管理環境である。

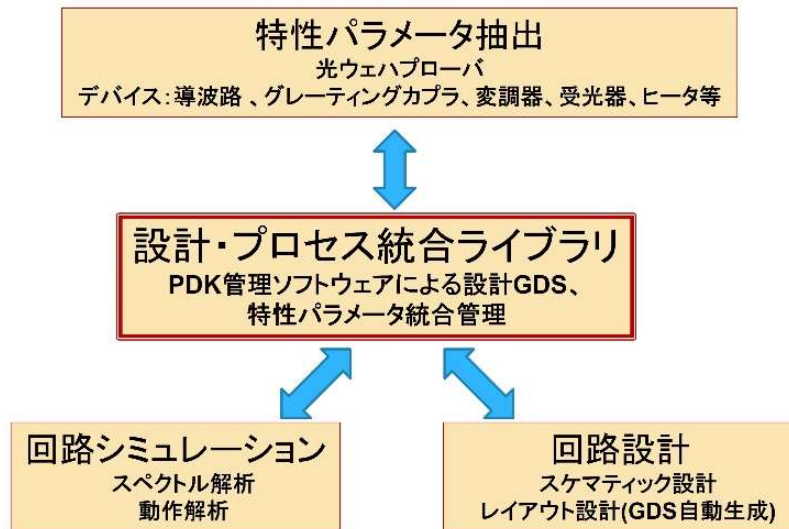


図 1.2.2.1(イ)-25 設計・プロセス統合ライブラリ概念図

代表的なパッシブ光デバイスのパラメータ抽出の例を図 1.2.2.1(イ)-26 に示す。ここではシリフト統合化集積プロセスを用いて試作された方向性結合器およびマッハ・ツェンダ干渉計の光素子についてウェーハレベルで評価し、特性パラメータを抽出したときの概念図を示している。この抽出したパラメータは設計・プロセス統合ライブラリとして実装され、光回路の設計者はパラメータ抽出されたデバイスを大規模に組み合わせた光回路の動作シミュレーションを高速に実行することが可能となった。これにより、集積プロセスを反映した精度の高いデバイス設計を可能とすることができ、手戻りがなく短時間でシリフトチップ製造することに資する。

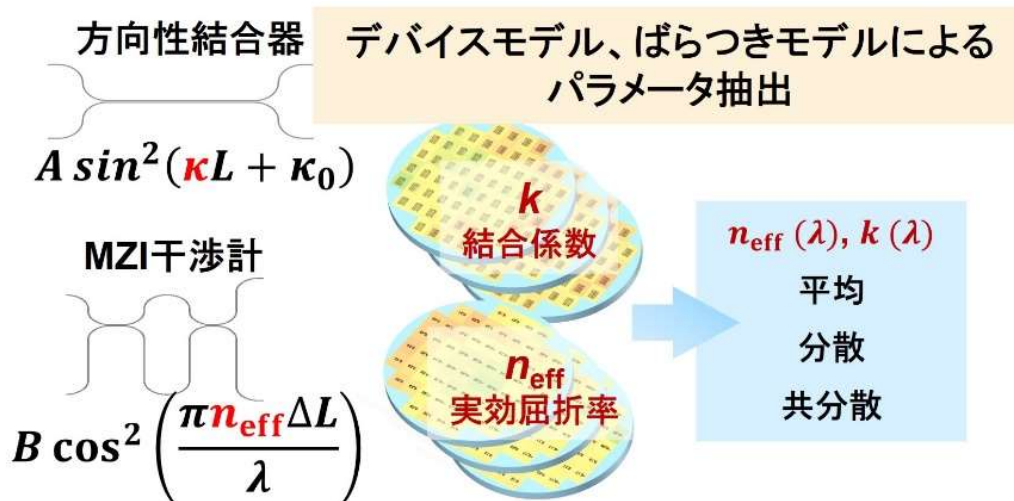


図 1.2.2.1(イ)-26 デバイスモデル、ばらつきモデルによるパラメータ抽出

図 1.2.2.1(イ)-27 に、実際にパラメータ抽出を行った方向性結合器のデバイス模式図と抽出パラメータのばらつきのウェーハ面内分布を示している。 $\Delta \kappa$ および $\Delta \kappa_0$ は、それぞれ $3\sigma = 0.002 \mu\text{m}^{-1}$ および $3\sigma = 0.007$ であり、40 nm CMOS プロセスで作製された 300 mm ウェーハ面内での高いプロセス均一性を示している。

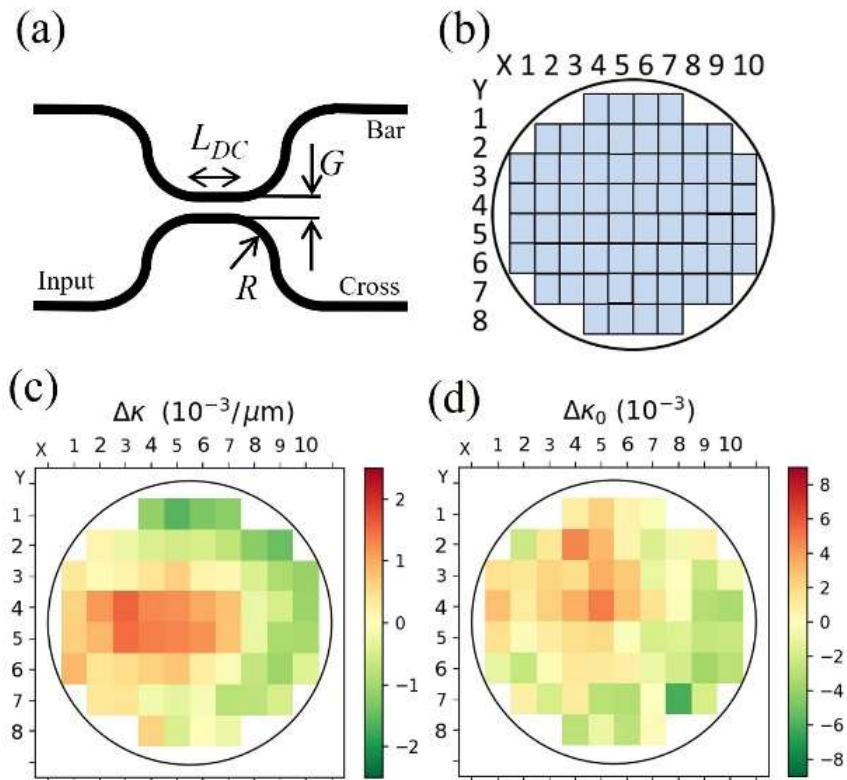


図 1.2.2.1(イ)-27 方向性結合器のパラメータ抽出, (a):方向性結合器の模式図, (b):ウェーハ面内ショットマップ, (c)および(d):結合係数 κ , κ_0 のばらつきのウェーハ面内分布 [1]

<設計・プロセス統合ライブラリを用いたラティスフィルタの設計>

設計・プロセス統合ライブラリを用いた低クロストークの大規模ラティスフィルタの設計を実証した。前記設計・プロセス統合ライブラリを用いて、実際に設計した大規模波長フィルタ回路の構造を図 1.2.2.1(イ)-28 に示す。このフィルタは方向性結合器を用いた導波路型マッハ・ツェンダ干渉計を多段に接続した光ラティスフィルタの一種であり、各ブロック内でカスケード接続するフィルタの段数を増やすことでクロストークを低減することができる。各ブロックを構成するマッハ・ツェンダ干渉計型ラティスフィルタの最小単位を論理ブロックとして、各方向性結合器の分岐比や遅延線路長を管理し、論理ブロックのポート間の接続情報を与えることで自動配線することが可能となっており、

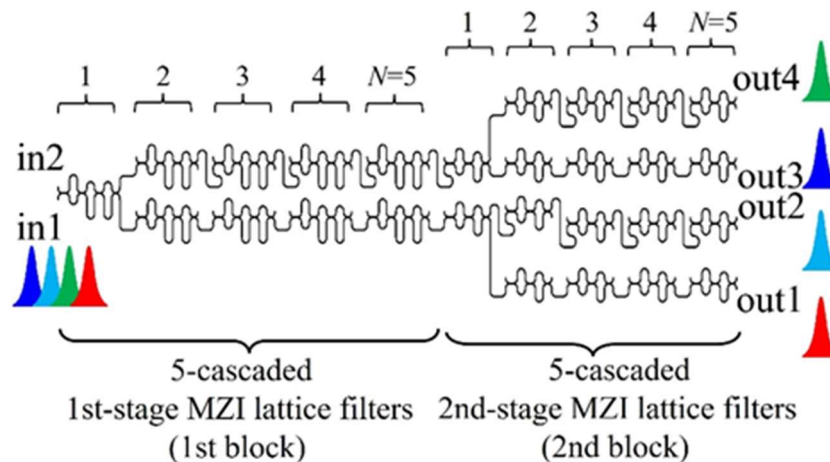


図 1.2.2.1(イ)-28 ライブラリ・パラメータを用いた大規模波長フィルタ回路設計 [1]

図 1.2.2.1(イ)-28 のように光素子が多数接続される光回路においても、設計時や回路シミュレーション時の配線ミスによる手戻りもなく、レイアウト (GDS ファイル) の自動生成まで可能となった。

図 1.2.2.1(イ)-29 は図 1.2.2.1(イ)-28 に示した大規模波長フィルタ回路の光回路シミュレーションの結果である。透過スペクトルの各ラインの色は図 1.2.2.1(イ)-28 に示した透過波長帯の色に対応しており、光ラティスフィルタの特徴であるフラットトップ形状を保持したまま、多段接続による低クロストークの波長フィルタが設計できることを示している。また、各透過スペクトルの中心波長、帯域、クロストークを光通信システムから要求される仕様を入力として与えて、それを実現する光回路全体の構成を設計することが可能である。

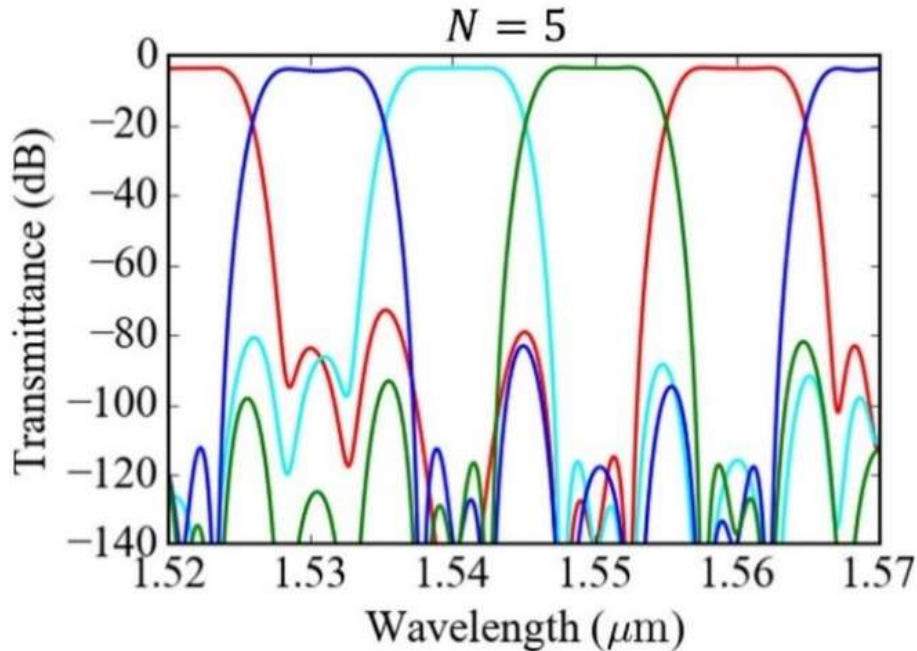


図 1.2.2.1(イ)-29 大規模波長フィルタ光回路の透過スペクトル [1]

今回のラティスフィルタの設計を通じて、統合ライブラリのデバイスパラメータを用いることで大規模光回路についても確度の高い設計が可能であることが示された。

<ばらつきモデルを用いたフィルタリング特性のシミュレーション>

前項の光回路設計及びシミュレーションでは、抽出パラメータの平均値を用いて光回路の動作シミュレーションを行った。ここでは更に、光集積インターポーザの特性予測のために、シリフォト統合化集積プロセスのばらつきをパラメータとする光素子の特性ばらつきモデルの高度化を図り、ばらつきモデルを用いたシミュレーションを行った結果を示す。光回路に含まれるパラメータを抽出した際には、ウェーハ面内の各サイトの個々のデバイスについてパラメータが抽出されるため、それらを用いて分散共分散行列 Σ を計算することができる。パラメータベクトル $\mathbf{x} = {}^t[n_{\text{eff}}, n_g, \kappa, \kappa_0]$ およびその平均値を成分としたベクトル $\boldsymbol{\mu}$ 、分散共分散行列 Σ によって表される多変量正規分布

$$f(\mathbf{x}) = \frac{1}{\sqrt{(2\pi)^n |\Sigma|}} \exp \left\{ -\frac{1}{2} {}^t(\mathbf{x} - \boldsymbol{\mu}) \Sigma^{-1} (\mathbf{x} - \boldsymbol{\mu}) \right\}$$

を用いたモンテカルロシミュレーションを行った。結果を図 1.2.2.1(イ)-30 に示す。これによりウェーハ面内のばらつきを含んだ光回路シミュレーションによる事前動作予測が可能となった。

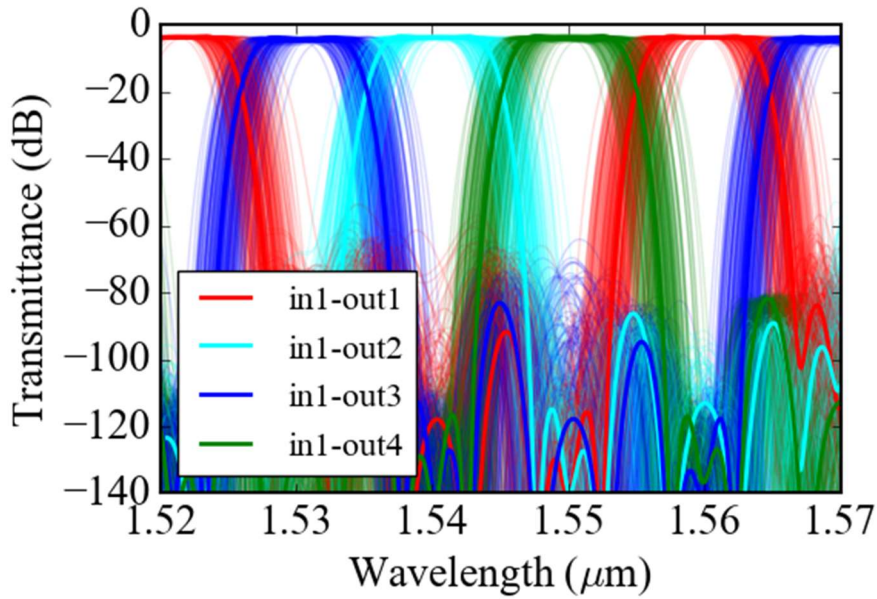


図 1.2.2.1(イ)-30 ばらつきモデルを用いた大規模光回路動作シミュレーション

<ばらつきモデルを用いたトランスミッタ動作シミュレーション>

ばらつきモデルを用いたシミュレーションをトランスミッタ動作に対しても行った(図 1.2.2.1(イ)-31)。計算には Luceda 社のソフトウェア IPKISS を用いており、さらに実測から得られた 300 mm ウェーハ面内の特性の分散を再現するように多数回の試行を行うモンテカルロ法を適用している。IPKISS における回路モデルでは、疑似ランダム信号である pseudorandom binary sequence (PRBS)を生成した後に電気信号を生成させた。分岐した一方はプッシュプル駆動を想定して電圧反転させ、さらに連続波光源に繋がったマッハ・ツェンダ型シリコン光変調器の各アームに各電気信号を入力させることで光信号波形を出力させる構成とした。本モデルに対して上述の全自動・高精度評価技術によって測定した変調効率を入力パラメータとして用いることで、光信号波形ばらつきの解析を行った(図 1.2.2.1(イ)-32)。計算条件は、 $V_0=2.0\text{ V}$ ならびに $V_{pp}=1.6\text{ V}$ 、PRBS は 7 段とした。ノミナル値について、変調効率は $V_{\pi}L=1.677\text{ V}\cdot\text{cm}$ 、CR 時定数は 20 ps とし、モンテカルロ法によるばらつき計算では、前者が $\sigma=0.1\text{ V}\cdot\text{cm}$ 、後者が $\sigma=6\text{ ps}$ とした。この結果から、極めて小さい消光比とジッタばらつきを確認した。

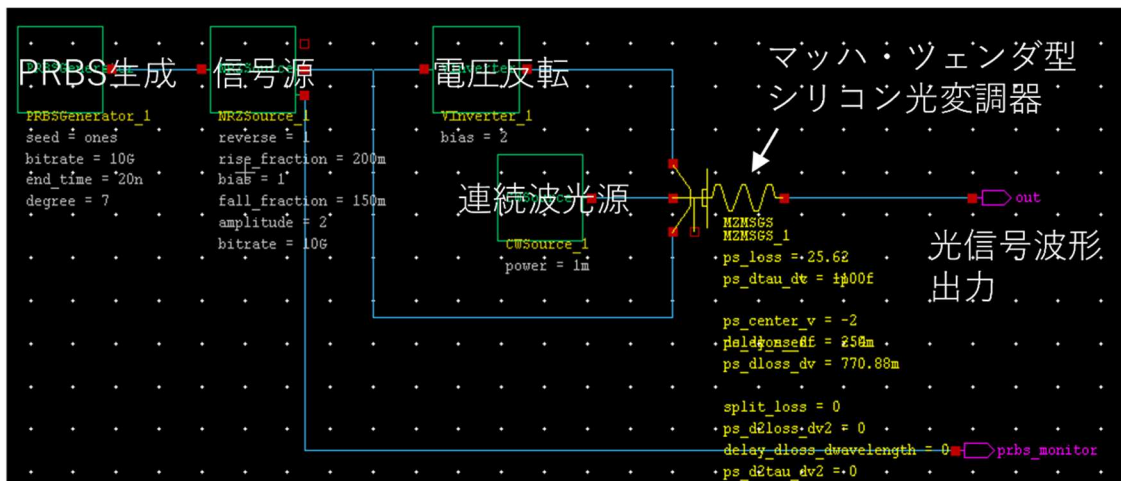


図 1.2.2.1(イ)-31 IPKISS におけるトランスミッタ動作シミュレーション回路モデル

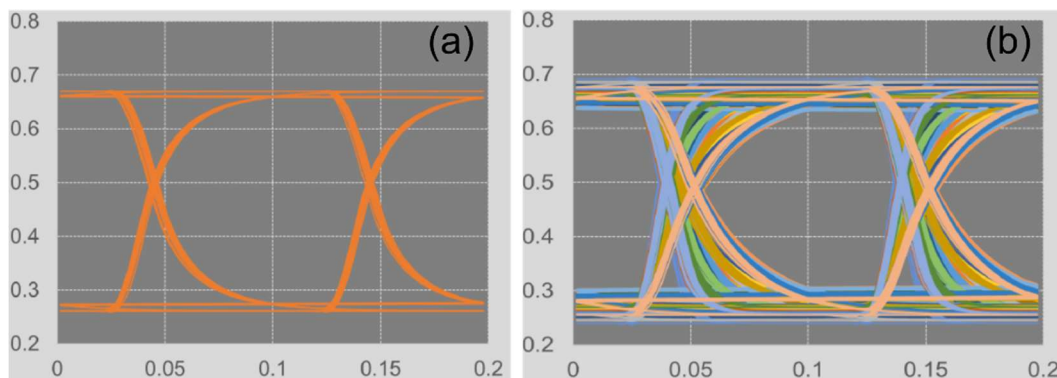


図 1.2.2.1(イ)-32 IPKISS による光信号波形の計算例、(a) ノミナル値に対する計算結果、(b) モンテカルロ法によって変調効率と CR 時定数にばらつきを仮定した場合の計算結果

これらフィルタ特性、及びトランスミッタ特性の例で明らかなように、ばらつきを考慮したシミュレーションにより、製造プロセスに起因する光デバイス・回路の特性ばらつきを高い確度で表現することができる。設計段階でライブラリ・パラメータを用いたこの種のばらつきシミュレーションを繰り返すことで、集積プロセス固有のプロセスばらつきの影響を最小化する光回路設計のロバストネスを確保できる。

このように、光集積デバイスの設計データと検査において抽出されたデバイス特性パラメータをライブラリに統合し、さらにデバイス・回路の特性シミュレーション及びばらつきモデルに基づくシミュレーションを行うことで、デバイス・回路のロバストな設計を可能とする性能の特性分布予測を可能とする設計・プロセス統合ライブラリの構築を行うことができた。

これまで述べたように、集積化プロセスの研究開発において、統合化プロセス、ウェーハプローベング評価、及びデバイス特性ばらつきのモデル解析の技術の開発成果を統合することで、実用展開可能なプロセス・設計プラットフォーム技術を確立した。これらの一連の技術開発により、集積化プロセス技術開発における最終目標である、シリフォト統合化集積プロセス確立による 10 Tbps/ノード集積インターポーザ実証試作、プロセスばらつきをパラメータとする光素子の特性ばらつきモデルの高度化、及び一貫プロセスによるシリフォト製造に向けたプロセス・設計統合プラットフォーム構築はすべて達成されている。

[1] Republished with permission of the IOP Publishing, Ltd, from J. Ushida, T. Murao, A. Shiina, and T. Horikawa, "Systematic identification of crosstalk and bandwidth upper limit in highly cascaded Mach-Zehnder lattice optical filters," Jpn. J. Appl. Phys. **61**, 022001 (2022); permission conveyed through Copyright Clearance Center, Inc.

ウ) 光実装技術

これまでシリコンフォトニクスチップを用いた光電子集積インターポーザを実用化するためには光ファイバとの光結合が大きな課題となっていた。これはシリコンフォトニクス導波路断面積が $0.08 \mu\text{m}^2$ ほどであるのに対して、シングルモード光ファイバの断面積が $80 \mu\text{m}^2$ ほどと 1000 倍の差があり、このままでは高効率な光結合を行うことはできない。このため、主要課題の 1 つを高効率かつ小型な光結合構造の実現とした。目標とする 10 Tbps 級の光電子集積インターポーザでは波長多重技術を用いるために光結合構造には波長無依存特性も必要となる。また、実際に光結合実装を行う際に上記断面積からサブ μm の実装精度が必要になるが、従来は実装中に光信号を測定し、測定値から最適な位置を探し固定するアクティブ調芯実装法が採用されている。アクティブ実装法では実装時間が掛かり高コストになる。特に目標とする 10 Tbps 級の光電子集積インターポーザでは光接続箇所が多いため、アクティブ実装法では非常に高コストになり、実用化の大きな壁となることが予想される。本課題では量産化に優れたパッシブ実装法（画像認識等を用いた実装手法）による光接続技術を研究開発課題とした。本課題の目標を上記の技術開発を行い、図 1.2.2.1(ウ)-1 に示す光電子集積インターポーザを試作し、 $20 \text{Tbps}/\text{mm}^2$ の高密度光結合を実現である。

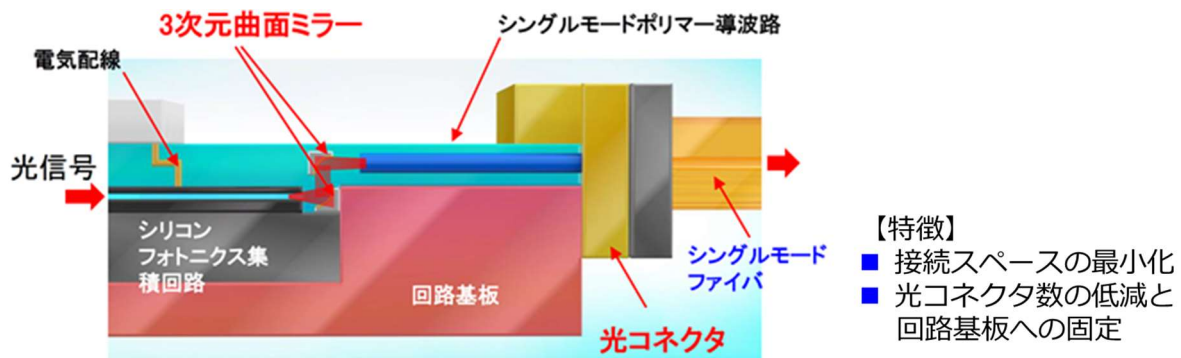


図 1.2.2.1(ウ)-1 提案する 10Tbps 級の光電子集積インターポーザ

具体的には下記課題を設定した。

- ・ 3次元曲面ミラー
- ・ 光コネクタ
- ・ 光電子集積インターポーザの 10 Tbps 光リンク実証
- ・ インプリントステッパ装置

【最終目標】

- ・ 16 波長多重に対応した波長偏波無依存な曲面ミラーをシリコンフォトニクスに集積
- ・ 上下曲面ミラーの高密度光結合 $20 \text{Tbps}/\text{mm}^2$ を実現
- ・ 光コネクタ用位置決め構造の高精度化と高精度実装技術を確立し、12 芯光接続技術を実現
- ・ マルチチップ実装技術、再配線技術、放熱構造技術を確立

- ・ 3次元曲面ミラー

<アプローチ、特長技術>

高性能な高密度光結合を実現するために新しい光結合手法（3次元曲面ミラー）を提案。曲面ミラ

ーは表 1.2.2.1(ウ)-1 に示す通り、高密度光結合に適した構造と言える。

表 1.2.2.1(ウ)-1 3次元曲面ミラーの特徴

	グレーティング	アディアパティック	曲面ミラー (PETRA)
光リンク	ファイバダイレクト	ポリマー導波路	ポリマー導波路
シリフォト結合器	グレーティング	アディアパティック	曲面ミラー
光結合面積	$\Delta \sim 10 \text{ mm}^2$	$\bigcirc \sim 2 \text{ mm}^2$	$\odot \sim 0.15 \text{ mm}^2$
IO密度 @100G/λ	$\Delta \sim 80 \text{ G/mm}^2$	$\bigcirc \sim 600 \text{ G/mm}^2$	$\odot \sim 20 \text{ T/mm}^2 @16\lambda$
光結合損失	$\bigcirc \sim 2 \text{ dB}$	$\bigcirc \sim 1.5 \text{ dB}$	\bigcirc 目標 < 1.5 dB
波長無依存	×	\bigcirc	\bigcirc
偏波無依存	2D: \bigcirc , 1D: ×	\bigcirc	\bigcirc

3次元曲面ミラーの作製には図 1.2.2.1(ウ)-2 に示す通り、グレースケール露光を用いた。露光技術により作製することで、露光技術の高精度重ね合わせ技術（サブ μm ）利用することができ、高い光結合が実現できる。また、3次元曲面ミラーの実現に向けて、作製技術だけでなく、設計技術、評価技術に関しても研究開発を行った。

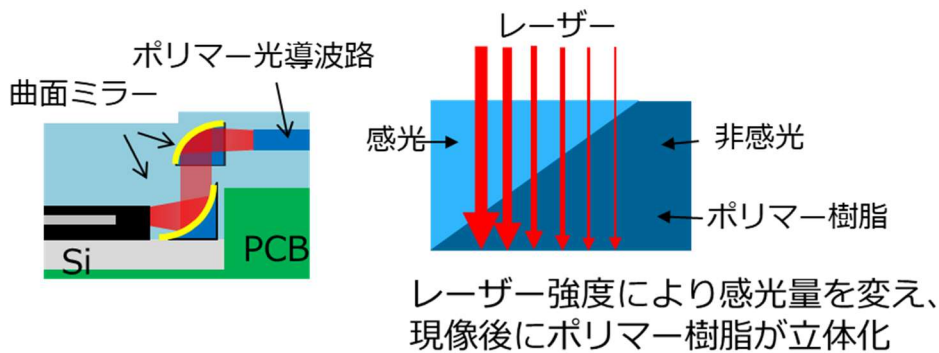


図 1.2.2.1(ウ)-2 グレースケール露光イメージ

<成果>

シリコンフォトニクスチップに集積される逆テーパ型スポットサイズコンバータの出力ビーム特性に合わせ、曲面マイクロミラーを設計した。また、設計した曲面マイクロミラーの集積技術を確立し、ミラーを用いた広波長帯域かつ低偏波依存な表面光入出力を実証した。光の結合系を設計するために、結合系の光学的特性を理解し、SSC 端から放出される光を有機導波路に最小限の損失で接続するために、最適化を行うための設計ツールが不可欠である。我々は物理光学伝搬に基づき光学的解析を行う Zemax 社製の OpticStudio を用いて検討した。また Python によりツールを作成し、各種パラメータの設定、計算の実行並びに出力結果の取得を一体化して実行することを実現した。図 1.2.2.1(ウ)-3 に示す通り、シリコンフォトニクス導波路の SSC から放出された光は下部ミラーで反射し、ここでビームサイズとビーム拡がり調整して上ミラーの反射で向きを変え、有機導波路に入射する。下部ミラーに関してはコーニック曲面ミラーとし位置(回転を含む)並びにミラーの曲率半径を最適化した。上部ミラーに関しては最適化を行った際のミラーの曲率半径が大きく実質的に平面ミラーとなったため、平面ミラーとし位置および回転角をパラメータとして最適化を行った。

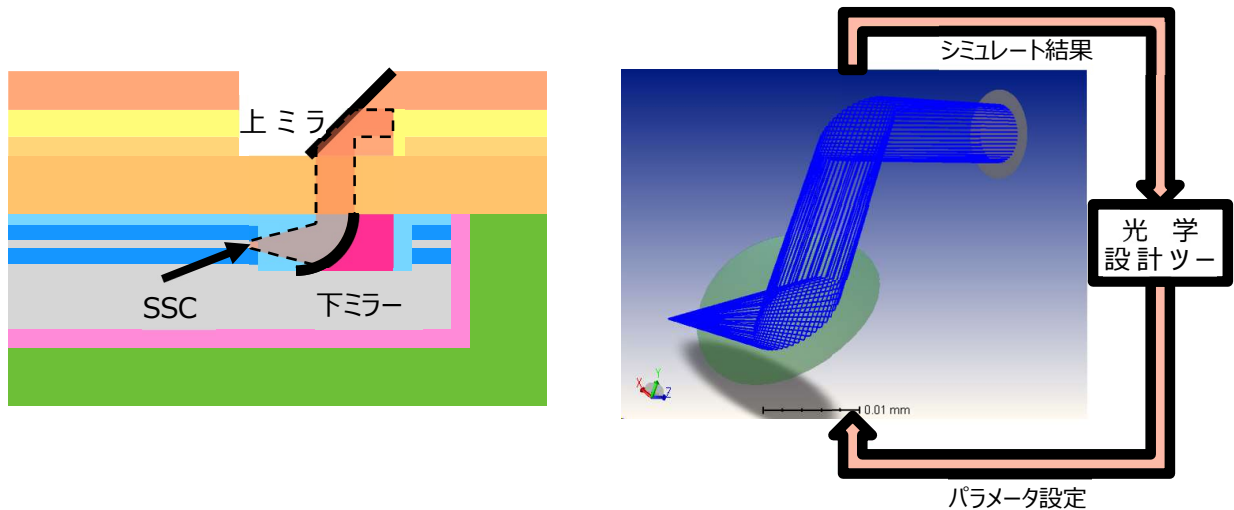


図 1.2.2.1(ウ)-3 結合光学検討系モデルと光学設計シミュレート構成図

最適化したビーム断面を確認したところ、SSC から射出した光が下ミラー、上ミラーを通過してビーム径の変換並びにビームの拡がりを抑えて有機導波路に入射していることが確認できた（図 1.2.2.1(ウ)-4）。

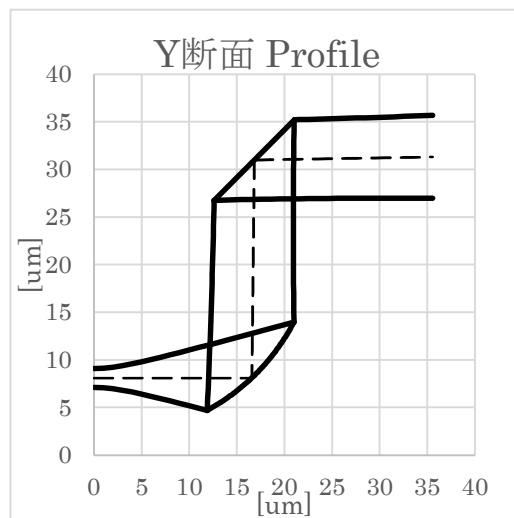


図 1.2.2.1(ウ)-4 最適化設計時のビーム断面

次に製造トレランスに関してシミュレーションした。光結合系の特性はミラー形状及び、ミラー配置位置の影響を受ける。そのため製造時に発生する製造パラメータのバラツキにより、どの程度の特性劣化が発生するかを確認するため、意図的に製造パラメータをずらした光結合のシミュレーションを行い、製造パラメータのズレによる影響を評価して図 1.2.2.1(ウ)-5 トランスカブを作成した。1dB の損失を与える下ミラーの位置精度は±0.5um,ミラー角度は±1° であることがわかった。

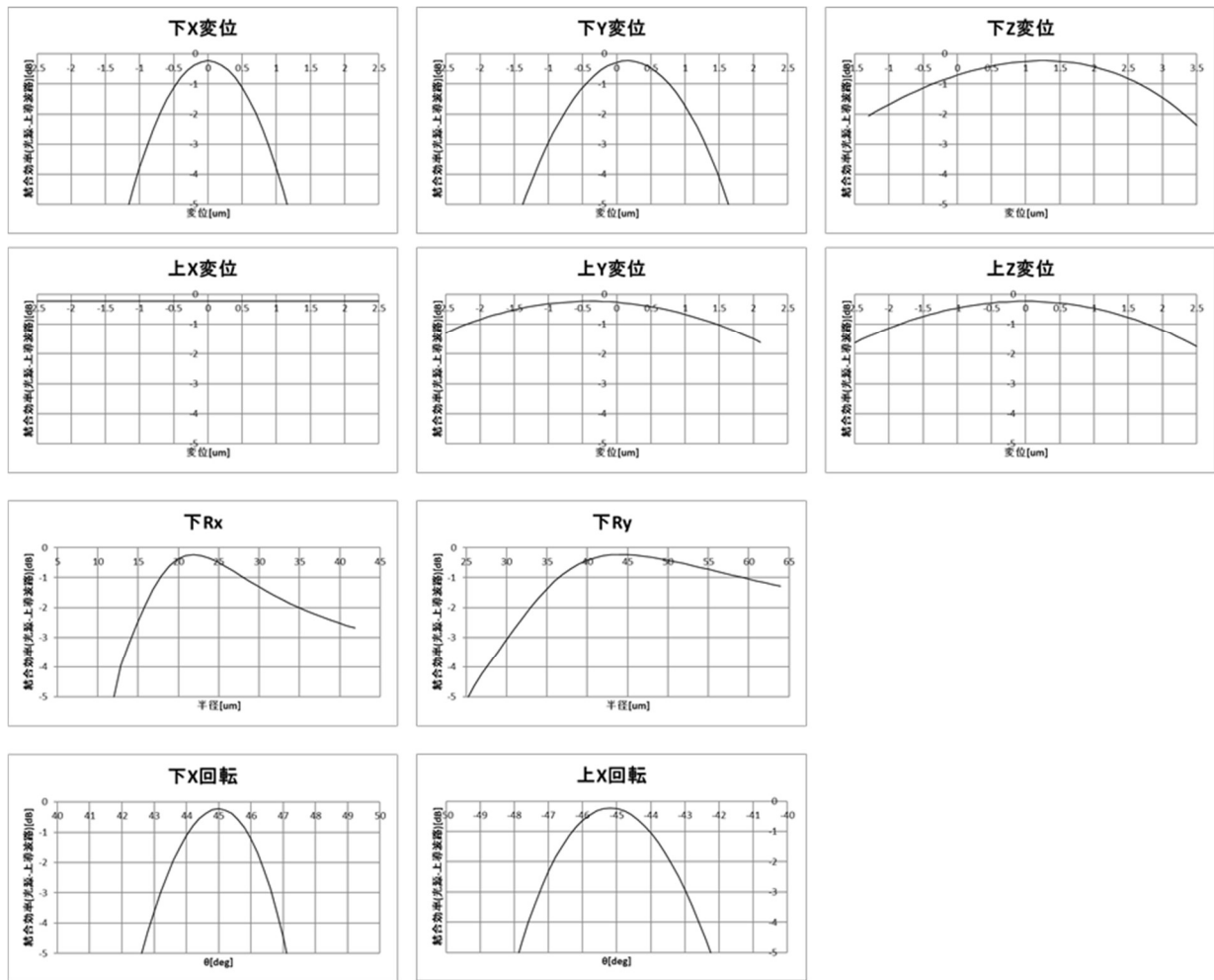


図 1.2.2.1(ウ)-5 上下ミラーのトランスカーク

設計した曲面マイクロミラーの集積技術を確立し、ミラーを用いた広波長帯域かつ低偏波依存な表面光入出力を実証した。本ミラーはレーザー描画装置を用いたグレースケールリソグラフィ技術により集積された (図 1.2.2.1(ウ)-6)。なお、研究開発サイクルの加速のため本研究ではレーザー描画装置を用いたが、先行研究にて同様のことを i 線ステップ装置でも実現可能であることを実証している。曲率設計値 $R1=68, R2=45 \mu\text{m}$ のミラーを試作し、その表面形状を評価した結果、ほぼ設計曲率と同等の曲率を得ることに成功した (図 1.2.2.1(ウ)-7)。また、集積技術については上記ミラー作製技術だけでなく、封止技術まで確立している。この技術により、凹凸 $0.05 \mu\text{m}$ 以下の非常にフラットな表面を持つ封止を実現している (図 1.2.2.1(ウ)-8)。本ミラーを用いることで追加でレンズなどを使用することなく、スポットサイズコンバータからの出力光を反射させるだけで、出力光をコリメートすることに成功した (図 1.2.2.1(ウ)-9)。本来、スポットサイズコンバータからの出力光は光の放射角が非常に大きいため一般的なシングルモードファイバとの結合効率は低いが、このコリメート効果により出力光の放射角を低減しシングルモードファイバとの結合効率を高めることが可能となる。実際にシングルモードファイバとの結合効率を評価した結果、曲面ミラーを用いない場合と比較し TE 偏光にて 1.4dB、TM 偏光にて 3.4dB 結合効率を向上させることに成功した (図 1.2.2.1(ウ)-10)。また、短距離光通信で用いられる O バンド (波長 $1.26\sim 1.36 \mu\text{m}$) 全域を対象として、波長依存性の低い光結合 (波長依存性 1dB 以下) が可能であることを実証した。さらには、スポットサイズコンバータと曲面ミラーの設計を最適化することで、O バンド帯全域に渡って偏波依存性の低い光結合 (偏波依存性 平均

0.3dB) が可能であることも実証した。

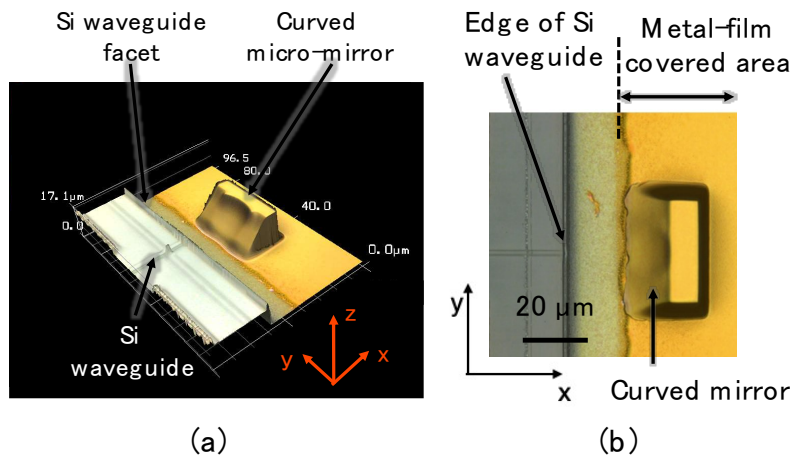


図 1.2.2.1(ウ)-6 シリコンフォトニクスチップに集積した曲面ミラー
(a) 立体図、(b) 上面図、(c) 高さプロファイル計測結果

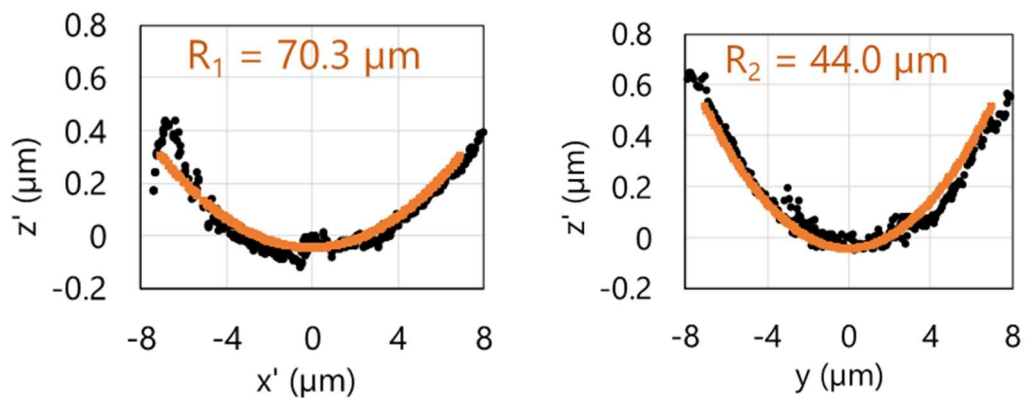


図 1.2.2.1(ウ)-7 集積した曲面ミラーの曲率評価結果 (黒ドット: 測定結果、橙線: 理想曲面)

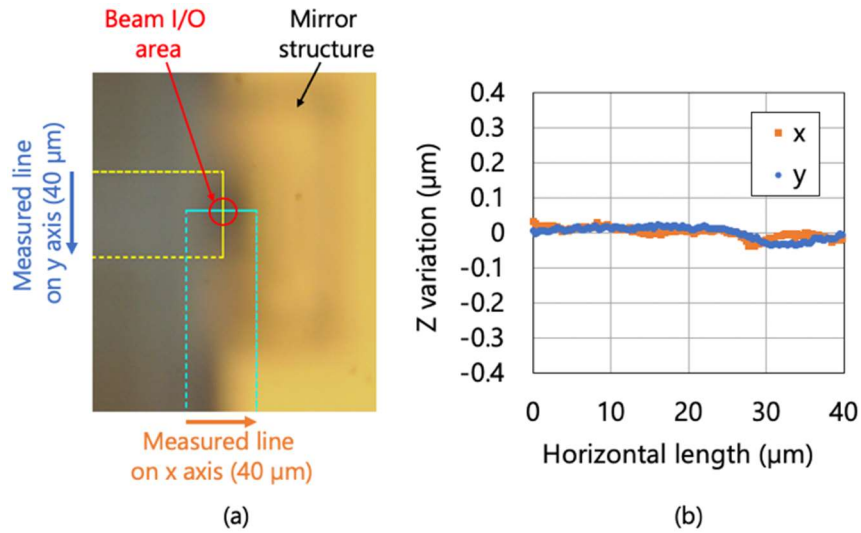


図 1.2.2.1(ウ)-8 封止表面評価結果 (a) 上面顕微鏡写真、(b) 表面平坦性計測結果

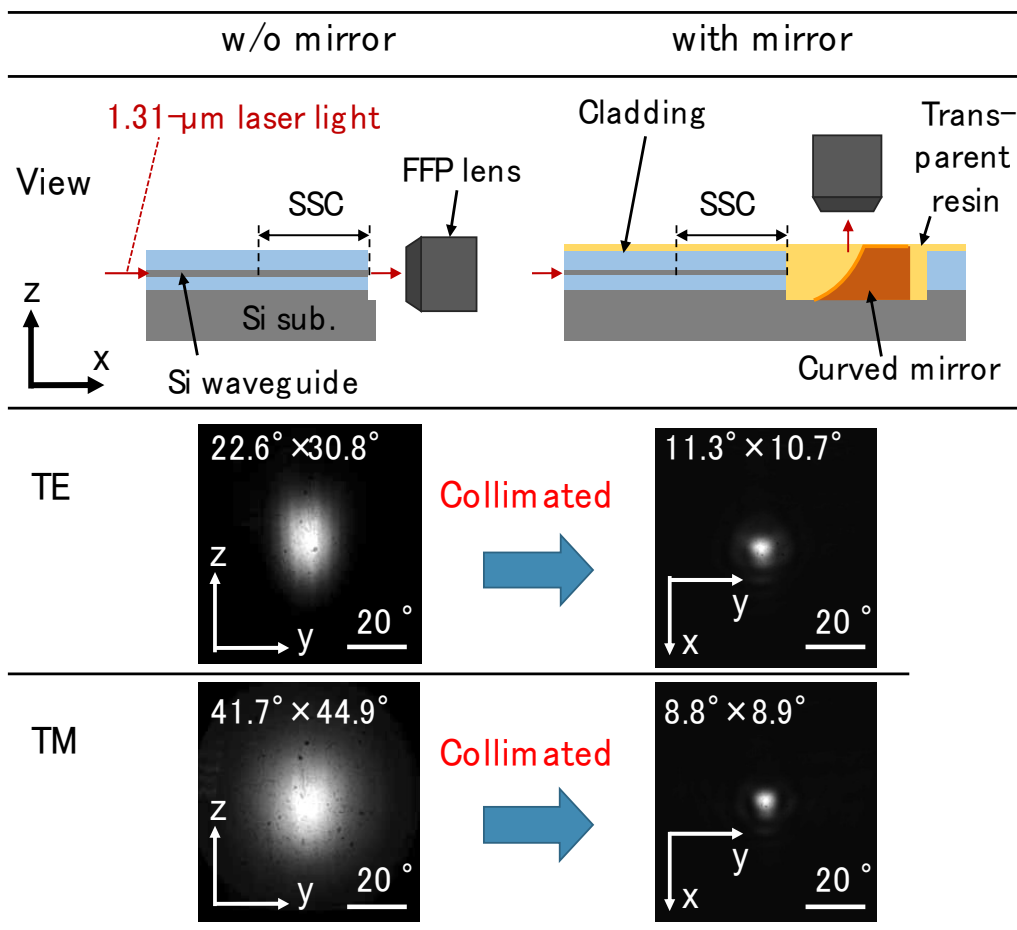


図 1.2.2.1(ウ)-9 SSC 出力光および曲面ミラー出力光の FFP 評価結果

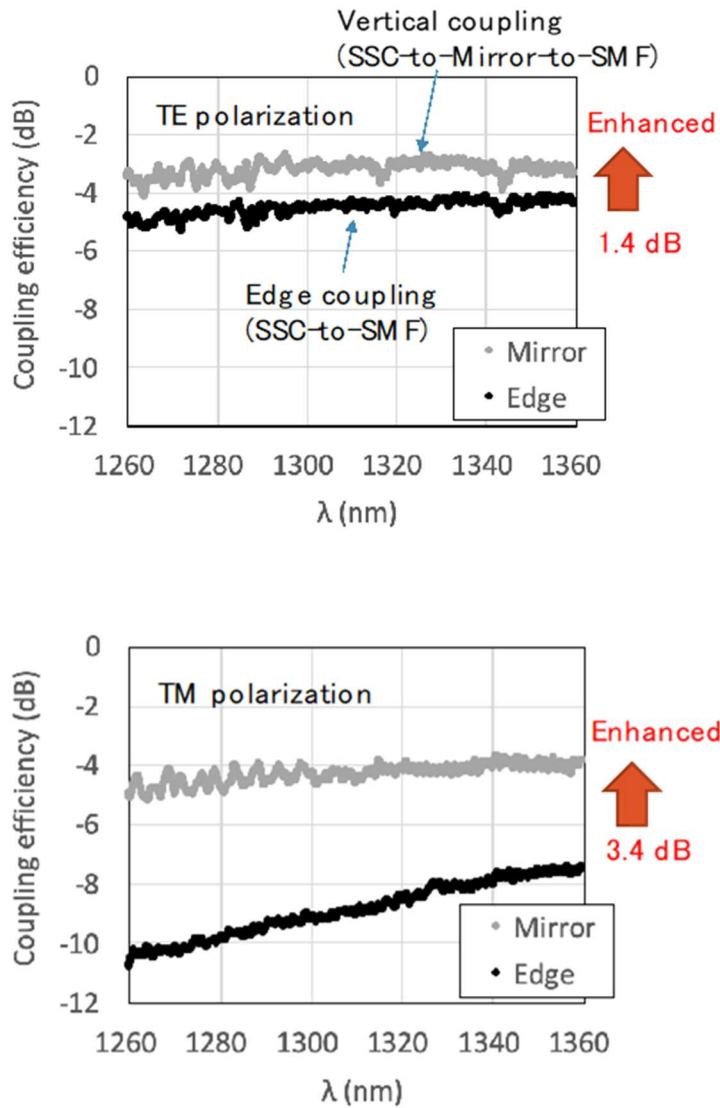


図 1.2.2.1(ウ)-10 曲面ミラーによる光結合効率の向上結果

下ミラーにより、垂直に跳ね上げられた光を、上ミラーで 90 度折り曲げて、水平な導波路に導く構造の実証試作を行った。(図 1.2.2.1(ウ)-11 イメージ図と上ミラー部分の 3D 高さ測定例)

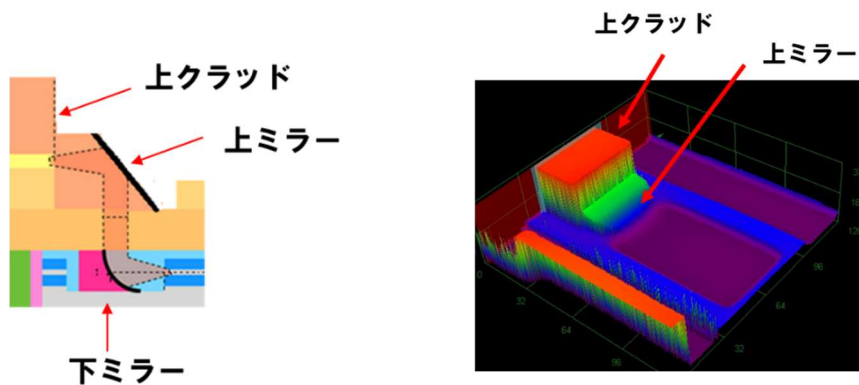


図 1.2.2.1(ウ)-11 ミラー部分の断面イメージと上ミラー付近の 3D 高さ測定例

上ミラーは、導波路を被覆するクラッド層の必要箇所、45度の傾斜を持つスロープを形成して実現した。スロープを形成する方法は、クラッド樹脂が露光量に応じて硬化する量が増加するネガ型レジストの特徴を有することに鑑み（図 1.2.2.1(ウ)-12 露光量と硬化する樹脂の厚みの例）、下ミラー一直上に塗布したクラッド樹脂に対して、グレースケール露光を行い、その後現像処理を行うこととした。露光量と硬化する樹脂の厚みは図 1.2.2.1(ウ)-13 のように、単純な比例関係ではないので、露光のプロファイルを調整して、上ミラー面が直線状のスロープになるようにした。

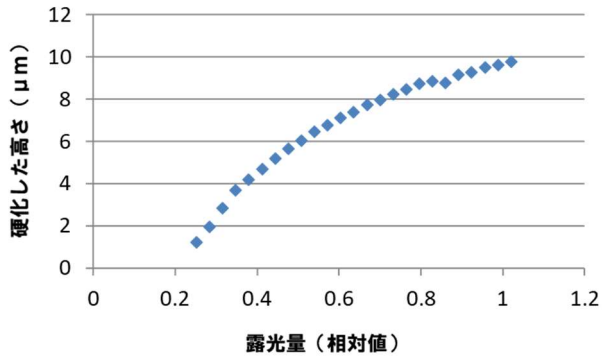


図 1.2.2.1(ウ)-12 露光量と硬化樹脂の厚み

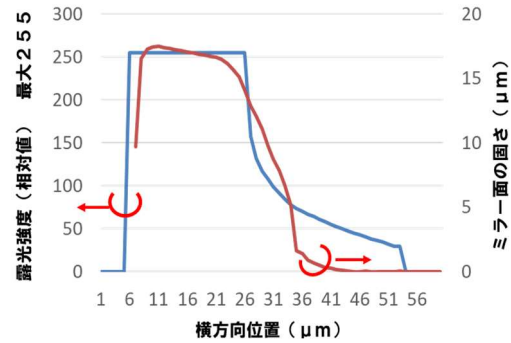


図 1.2.2.1(ウ)-13 上ミラー断面の露光形状と、出来た形状の例

次に、上ミラーのスロープ形状を決定づける製造条件の影響を明確化した。たとえば、ミラーを形成するクラッドの膜厚に関しては、露光条件を同じにすると、膜厚が厚い場合は、その分、ミラーが上方向に平行移動する様子が見られた。（図 1.2.2.1(ウ)-14）。ミラー面と、ポリマー導波路の高さを合わせるためには、膜厚のコントロールが重要であることが分かった。ミラー面の傾きの角度に関しては、横方向の露光強度の相対的な関係は維持したうえで、露光総量を上下することにより、角度が変化する様子が見られた。（図 1.2.2.1(ウ)-15）下ミラーの角度の出来栄に応じて、上ミラーの角度を調整できるポテンシャルのあることが分かった。

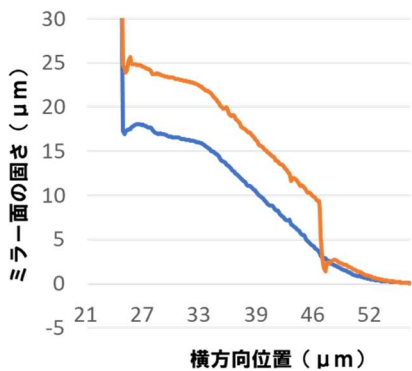


図 1.2.2.1(ウ)-14 クラッド膜厚によるミラー断面

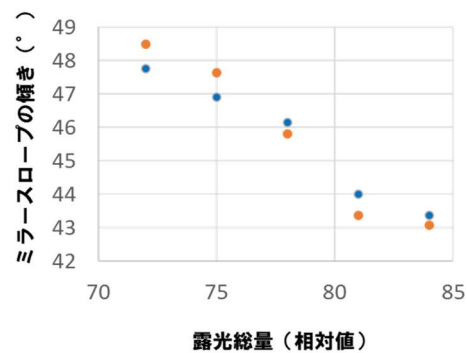


図 1.2.2.1(ウ)-15 露光総量とミラー角度

<ベンチマーク>

シリコンフォトニクス の普及及び持続的な広帯域化に向けて、波長及び偏波依存性の低い表面光結合技術は非常に重要な要素技術である。シリコンフォトニクスにおける現在最も一般的な表面光結合デバイスはグレーティングカップラであるが、グレーティングカップラは回折現象を基礎としたデバ

イスであるために、波長・偏波依存性が強い。例えば、裏面メタル構造を利用した 2D グレーティングカップラが報告されているが、偏波依存性は低いものの結合効率の 1-dB 帯域は約 30nm である (B. Chen, et. al., Opt. Express 28, 4001-4009 (2020))。これに対し、本ミラーでは低い偏波依存性と波長依存性を実証することに成功した。結合効率の 1-dB 帯域は O バンド全域 (波長範囲 100nm) にわたるため、上記グレーティングカップラと比較し波長帯域を 3 倍に向上させることに成功している。

・光コネクタ

<アプローチ、特長技術>

光電子集積インターポーザ用多芯光コネクタの検討を行った。多芯光コネクタは精度よく既存の多芯光ファイバコネクタと接続するのはもちろんのこと、量産性に優れた構造であることが求められる。本課題では既存の MT ファイバコネクタと接続可能な樹脂光コネクタを検討した。

光電子集積インターポーザ用光コネクタのアセンブリ技術を確立した。光電子集積インターポーザでは光再配線としてシングルモードポリマー導波路を用いる。そのため、光電子集積インターポーザ用光コネクタには高精度 (誤差±数 μm 以下) のアセンブリ技術が求められる。このような高精度位置合わせは、従来から現在に至るまでアクティブアライメント (ファイバから出力されるパワーをモニタリングしながら最適な位置にファイバを調芯し、その状態を保持しながら接着固定する技術) で行われている。しかしながらアクティブアライメントは生産スループットが低く非常に高コストとなる。そのため今後持続的に光 IO ポート数を向上させていく際のボトルネックとなることが懸念されている。よって、より高スループットかつ低コストなアセンブリの実現に向けて、シングルモード結合に対応した高精度パッシブアライメント技術の確立が期待されている。

本研究におけるパッシブアセンブリは、ポリマー導波路形成済み有機基板とコネクタの両者に形成した専用位置決め構造により行う。これらの位置決め構造を用いて、有機基板上の所定の位置にコネクタをガイドし位置決めする。(図 1.2.2.1(ウ)-16) 高精度な位置決めを実現する上で、各々の位置決め構造を設計通りの位置に正確に形成することが必要不可欠である。また、同位置決め構造を用いて精度良く位置決めするアセンブリ技術を確立することも不可欠である。上記位置決め構造の形成については、産総研で保有していたコア技術をベースとしているが、本研究では同構造を用いた位置決め技術の確立 (位置決めツールの開発、位置決め条件、位置決め終了条件、接着方法、など) を行った。

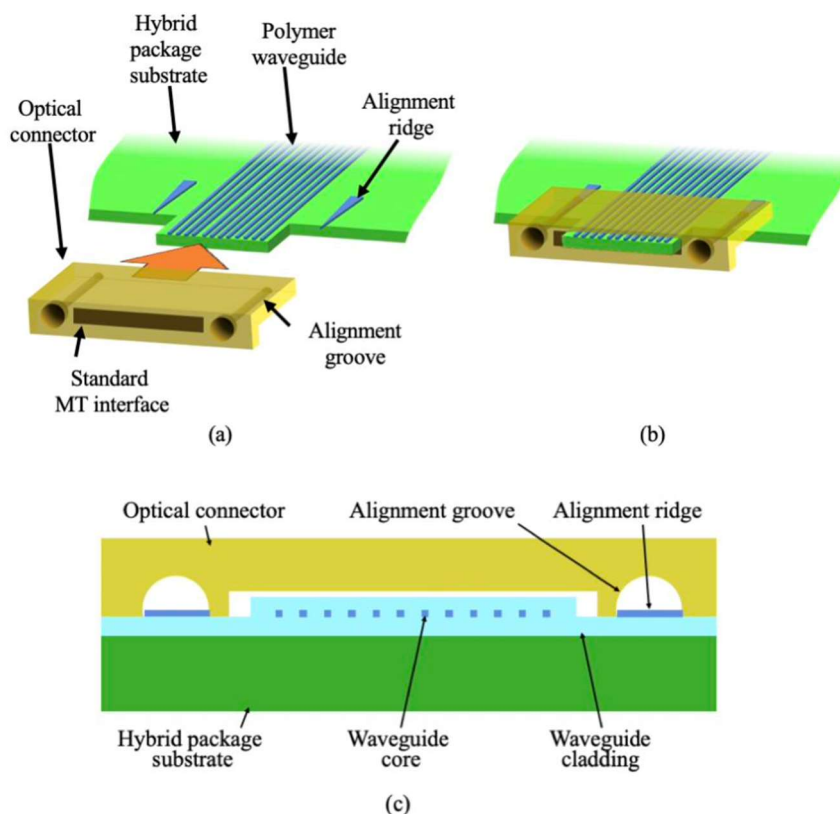


図 1.2.2.1(ウ)-16 光コネクタのパッシブアセンブリコンセプト図

<成果>

コネクタを介して光ファイバとポリマー導波路の突き合わせ結合を行うため、コネクタインターフェース面にポリマー導波路端面を設置する必要がある。そこで突き合わせ結合対応コネクタおよびポリマー導波路付き有機基板の試作を行った。コネクタとしては導波路端面露出用の窓構造を有するものを試作した。ポリマー導波路付き有機基板としては、コネクタ窓構造に導波路端面を挿入するための突起構造を実現できる外形加工技術を確認した。なお、同外形加工技術は一般的な有機基板の外形加工技術とは異なり、ポリマー導波路端面の光学的平坦性を担保できる高精度な加工技術である。以上の技術により試作したコネクタをポリマー導波路付き有機基板にアセンブリし (図 1.2.2.1(ウ)-17)、光学特性を評価した (図 1.2.2.1(ウ)-18)。その結果コネクタ接続による光ファイバとポリマー導波路の光結合に成功した。光ファイバのアクティブアライメントと比較して過剰損失約 3dB のコネクタ結合を実現した。波長特性としては O バンド全域に渡る広帯域な結合特性を得た。得られた過剰損失の内訳としてはファイバ-ポリマー導波路間にあるギャップ由来の損失が 1.5dB、位置合わせ誤差に起因するロスが 1.5dB (約 3 μm の位置ズレに相当) と見積もられる。今後の課題としては、構造最適化によるさらなる低損失化、封止・ハウジング技術の確立、レンズ付きコネクタの検討、などが挙げられる。

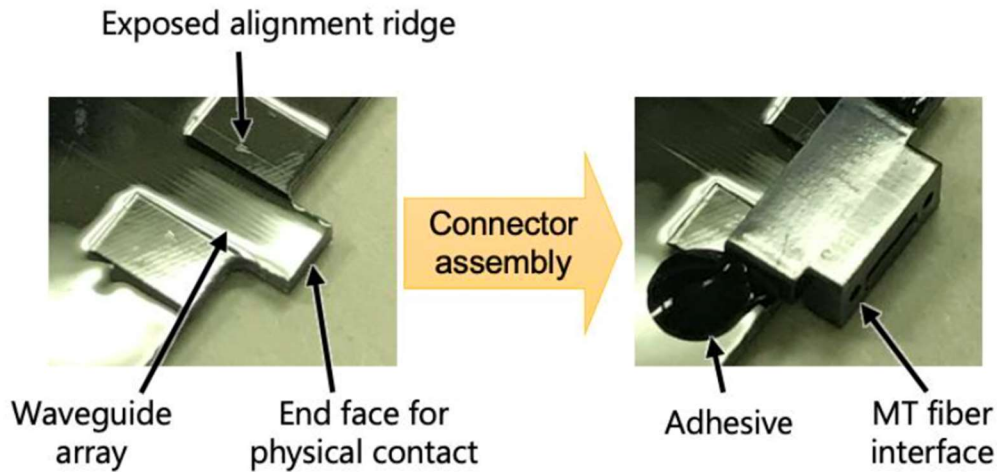


図 1.2.2.1(ウ)-17 光コネクタパッシブアセンブリ前後のポリマー導波路集積基板

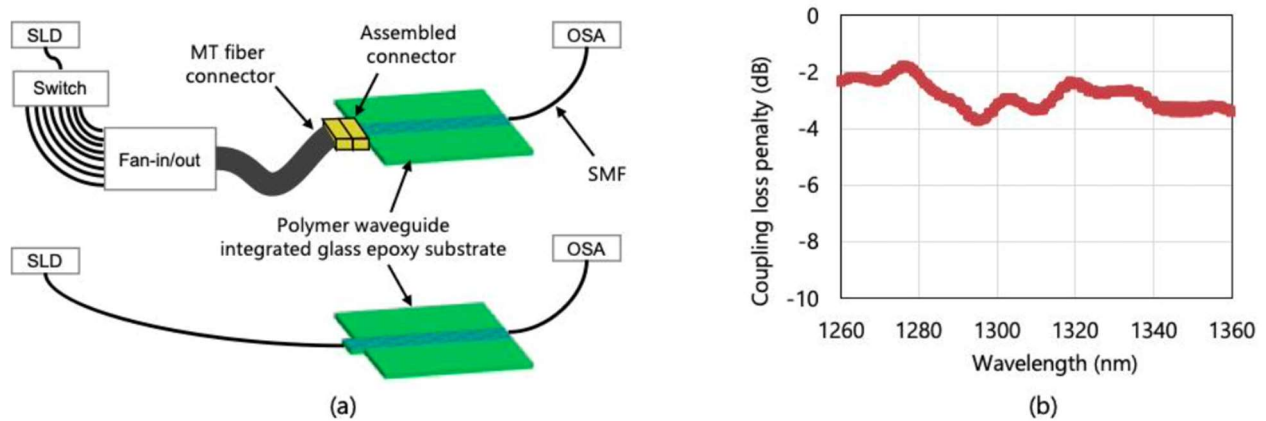


図 1.2.2.1(ウ)-18 パッシブアセンブリした光コネクタの過剰損失評価結果
(a) 測定系、(b) 過剰損失スペクトル

・光電子集積インターポーザの 10 Tbps 伝送実証

<アプローチ、特長技術>

本課題では各要素技術の集積に必要な実装技術（シリコンチップ埋め込み技術等）と集積化技術を研究開発した。また実際に様々な光電子集積インターポーザ構造を試作し、実際に 20 Tbps/mm² の高密度伝送実証を行った。

<成果>

シリコン導波路と光波長多重信号が伝送可能なシングルモードファイバとの接続に適した異種導波路接続構造を実現するために、シリコンフォトニクスチップをプリント基板へ高精度に埋め込む技術を開発した。異種導波路接続構造で利用するシングルモードポリマー光導波路をシリコンフォトニクスチップと光電子集積インターポーザの基板上に形成するためには、シリコンフォトニクスチップと基板の表面高さが一致するよう埋め込む必要がある。シリコンフォトニクスチップを吸着するコレットを利用した表面高さ制御と、搭載時に同時に接着剤を硬化させる工程を組み合わせることで、5 μ m 以下の精度で表面高さを合わせてシリコンフォトニクスチップをプリント基板に埋め込むことに成

功した (図 1.2.2.1(ウ)-19)。

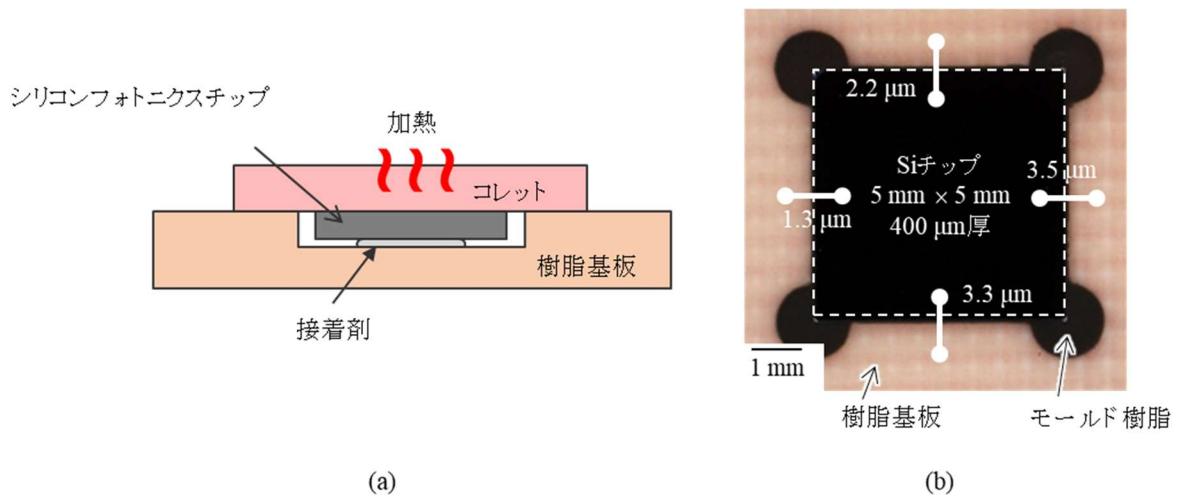


図 1.2.2.1(ウ)-19 (a) シリコンフォトニクスチップ埋め込み工法の模式図、(b)光集積回路チップと基板の表面高さ測定例

光電子集積インターポーザはシリコンフォトニクスチップを有機基板に埋め込み、その上層に光再配線を形成した構造となっている。(図 1.2.2.1(ウ)-20) 光再配線は上層のポリマー導波路、およびポリマー導波路とシリコンフォトニクスをつなぐ上下ミラー光結合構造により成り立っており、この光再配線を形成する技術を確認した。まずはシリコンフォトニクスチップ単体にて光再配線を形成し損失評価を行った。(図 1.2.2.1(ウ)-21) 評価した損失には、上下ミラー (図 1.2.2.1(ウ)-22) を用いたシリコン導波路-ポリマー導波路間光結合損、およびポリマー導波路損が含まれる。波長依存性の低いミラー結合を用いることで、S,C,L バンドのほぼ全域をカバーする非常に広帯域な特性を得ることに成功した。(±1dB の波長帯域は 1460~1600nm) また、WDM デバイスを集積したシリコンフォトニクスチップを実際に有機基板に埋め込み光再配線を形成した。TX および RX 用の 16ch-WDM デバイスが 1 チップあたり 3 セットずつ集積されている。今回 2 チップを有機基板に埋め込み光再配線を形成した。よって総 ch 数としては TX,RX それぞれ 96ch である。上記シリコンフォトニクスチップおよび光再配線上で、112G-PAM4 信号の伝送が可能であることを確認することで、およそ 10 Tbps の信号伝送を収容可能であることを示した。

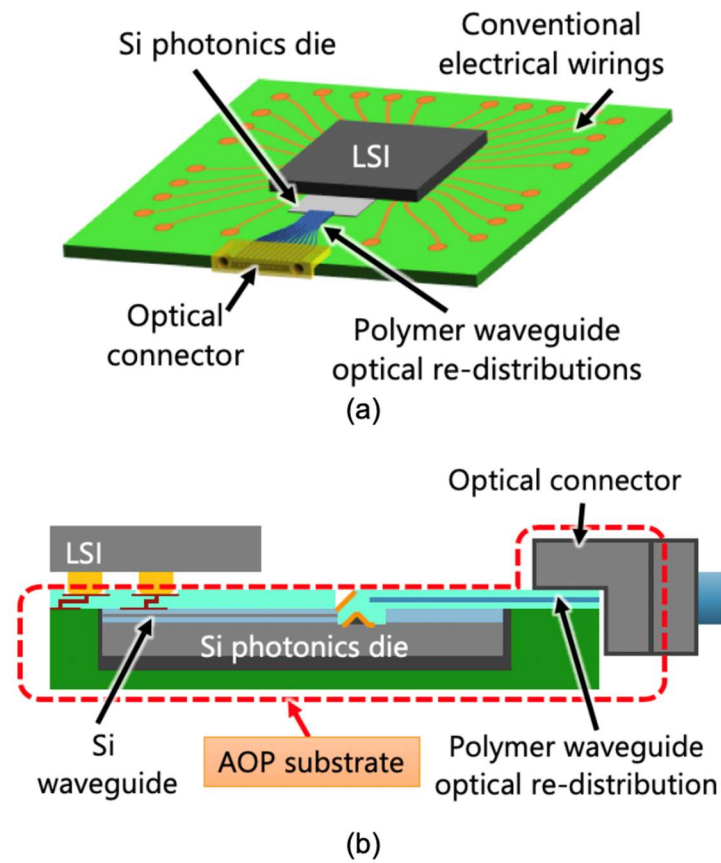


図 1.2.2.1(ウ)-20 光電子集積インターポーザ基板を用いた光電コパッケージのコンセプト図
 (a) 俯瞰図、(b) 断面図

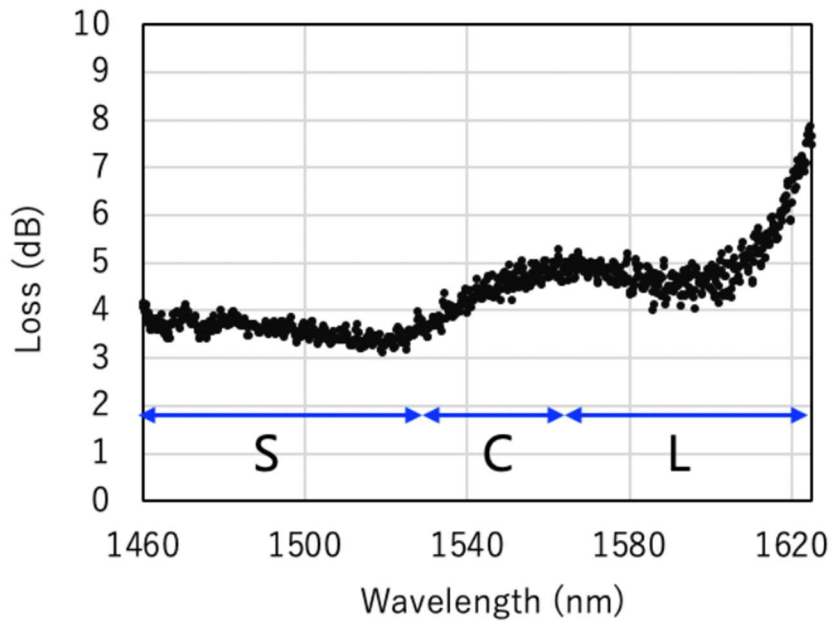


図 1.2.2.1(ウ)-21 光再配線の損失スペクトル測定結果

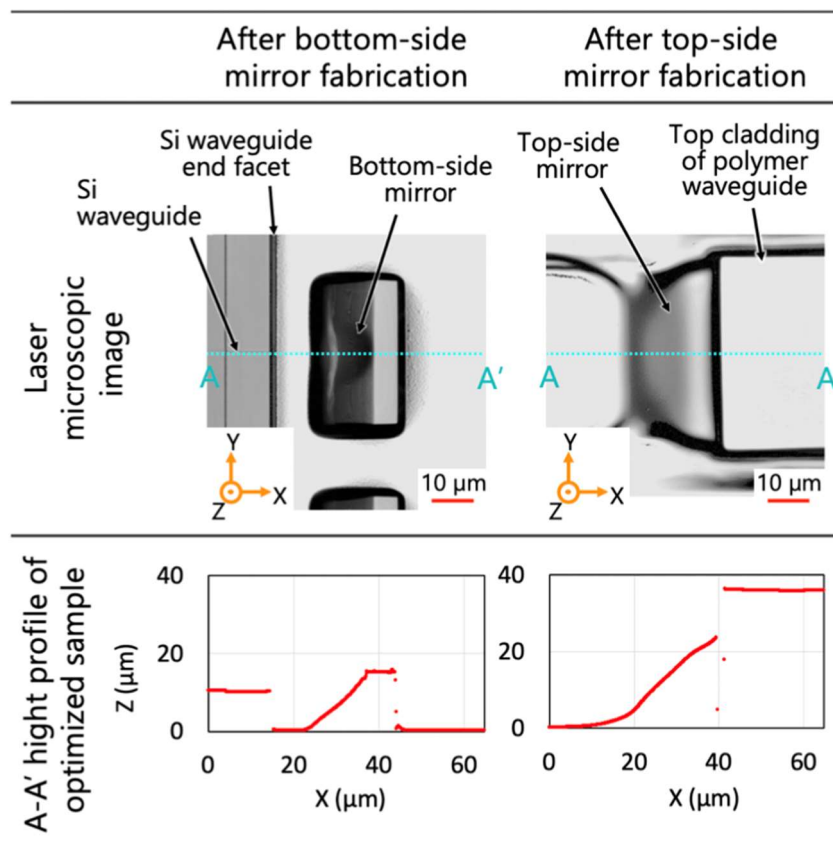


図 1.2.2.1(ウ)-22 試作した上下ミラーのレーザー顕微鏡写真と高さプロファイル測定結果

光電子集積インターポーザの応用例として、51.2 Tb/s スイッチ用光電子集積インターポーザがある。シリコンフォトニクスチップ埋め込み技術に対してチップ位置精度の改善やプロセス温度制御の改善を行うことに加え、モールド技術やシングルモードポリマー光導波路との集積化技術を開発し、マルチチップの埋め込み工程の基本検討を行った。図 1.2.2.1(ウ)-23 には、マルチチップ実装技術を適用した、51.2 Tb/s スイッチ用光電子集積インターポーザのコンセプトモデルを示す。32 チップが基板に埋め込まれ、基板端の光モジュールまでポリマー光導波路で接続されている。

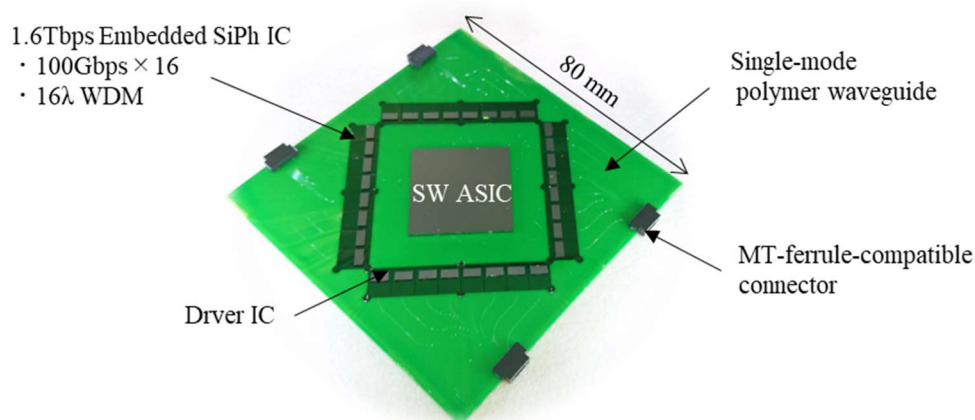


図 1.2.2.1(ウ)-23 51.2Tb/s スイッチ用光電子集積インターポーザのコンセプトモデル

光電子集積インターポーザの応用例として、小型光モジュールがある。シリコンフォトニクスチップとポリマー光導波路を用いた光電子集積インターポーザ構造の伝送動作を実証するため、曲面マイクロミラーとシングルモードポリマー光導波路を用いて、シリコン導波路とシングルモードファイバとの異種導波路接続構造を作りこんだ小型光モジュールを試作した。試作工程の概略図と、試作した光モジュールの外観写真を図 1.2.2.1(ウ)-24 に示す。5 mm×5 mm のシリコンフォトニクスチップに曲面マイクロミラーを形成後、キャビティを形成したプリント基板へ埋め込み、接着剤で固定し、シングルモードポリマー導波路を形成した。このシリコンフォトニクスチップを埋め込んだ基板に対して、ドライバ IC やチップコンデンサを実装し、ワイヤボンディング、電気コネクタ実装、ヒートシンクおよびファイバボン実装を行い光モジュールを完成させた。光モジュール基板のサイズは 12 mm×12 mm である。試作したモジュールを用いて、曲面マイクロミラーとシングルモードポリマー光導波路を用いた光接続構造において、アクティブ素子を集積化して初めて 25Gb/s×4 チャンネルの光および電気出力のアイ波形を確認した。

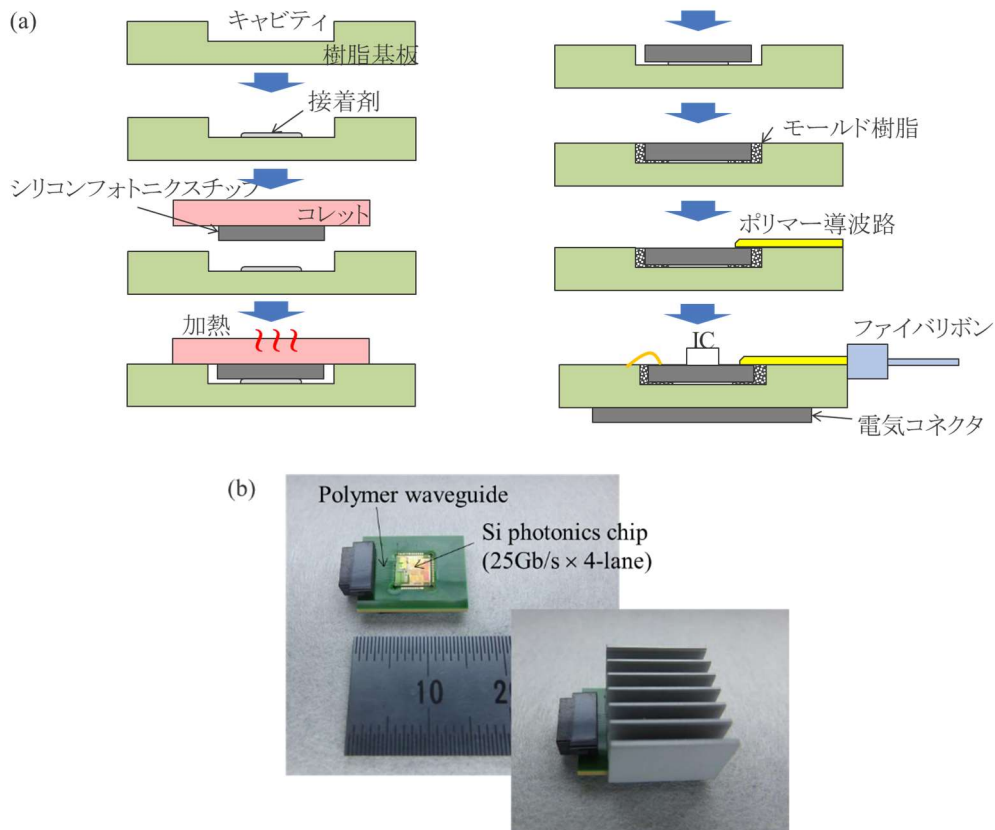


図 1.2.2.1(ウ)-24 (a)モジュール試作工程、(b)試作した小型光モジュール

通信波長帯において低損失かつ高速大容量光伝送可能な光電子集積インターポーザの研究開発を進めてきた。56 Gb/s PAM4 光信号かつ複数光波長を用いた際に発生しうるポリマー光導波路内の非線形光学効果による影響の検討や破壊検査を行い、ポリマー光導波路 1 本あたり 800 Gb/s 以上の伝送速度 (56 Gb/s PAM4 x 16 波長) が可能であることを実証した。2022 年度から 2021 年度にかけては、当該ポリマー光導波路、三次元光ミラー、シリコン光導波路を用いた三次元光配線で構成される光電子集積インターポーザ基板の開発に着手した。光電子集積インターポーザ基板は熱膨張係数の事なる

複数の材料を用いている事から、光電子集積インターポーザ基板の温度依存性の影響を小さくするため、シリコン基板とポリマー層の厚さ等の最適化を行い、コパッケージの次世代標準としても想定されている 112 Gb/s PAM4 光信号を用いて、光電子集積インターポーザ基板に対する高速・高温動作時の光伝送試験を行った。

製作した光電子集積インターポーザ基板のテストチップを図 1.2.2.1(ウ)-25(a)、(b)に示す。テストチップは、シリコン光導波路で構成される 1×8 MMI スプリッター（両端にスポットサイズコンバータが含まれる）と、マイクロミラー、ポリマー導波路へと接続されている。

図 1.2.2.1(ウ)-25(c)は、25 °Cおよび 85 °Cにおける光電子集積インターポーザ基板の挿入損失の波長依存性を示している。本測定結果から、温度上昇に伴う挿入損失の変化がほとんど見られないことが分かる。挿入損失のわずかな劣化は、調芯系のアライメントによる測定誤差の範囲内であると考えている。また、挿入損失は約 23dB ほどであるが、その内訳は光入力パワーを 8 分岐するための MMI スプリッターの挿入損失が両端のスポットサイズコンバータも含めて約 18.0 dB と大半を占めており、三次元光配線部分のマイクロミラーとポリマー導波路の損失は約 3.0~4.0 dB と見積もられる。

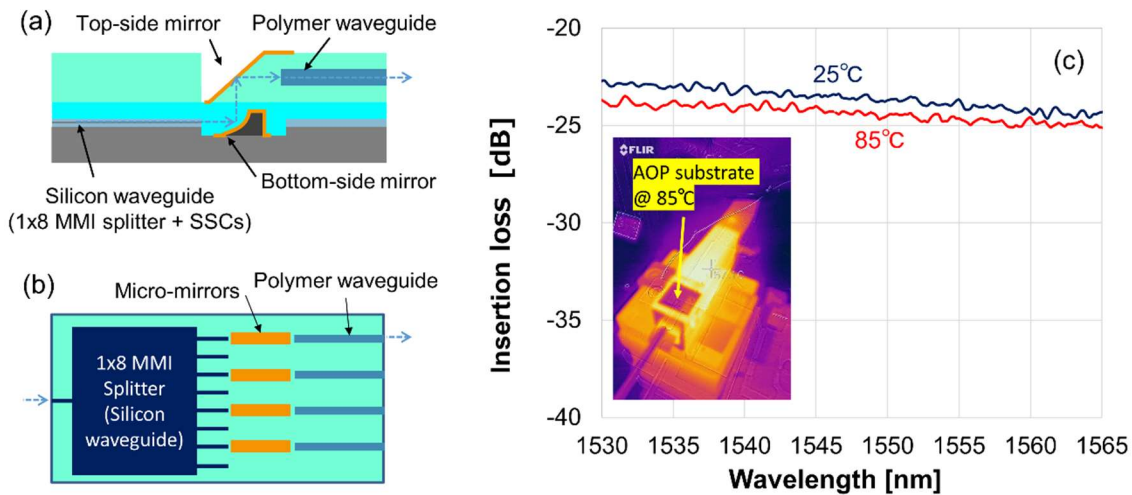


図 1.2.2.1(ウ)-25 : シリコン導波路 (MMI スプリッター)、一对のマイクロミラー、ポリマー導波路を備えた光電子集積インターポーザ基板の(a)断面図と(b)全体図。(c) 25 °Cおよび 85 °Cにおける光電子集積インターポーザ基板の挿入損失の波長依存性

図 1.2.2.1(ウ)-25 (b)の光電子集積インターポーザ基板を用いた 112 Gb/s PAM4 光伝送試験の測定系を説明する。1545nm のレーザーダイオードから発生した CW 光、任意波形発生器 (AWG)、ニオブ酸リチウム (LiNbO3) 強度変調器を用いて 112 Gb/s PAM4 の光信号波形を生成する。光信号は、光増幅器 (EDFA) で増幅された後、ヒータ上に設置された光電子集積インターポーザ基板にカップリングされる。シリコン光導波路は TE 偏波用に設計されているため、光信号の偏波を偏波コントローラによって制御する。光電子集積インターポーザ基板伝送後の光信号は、EDFA で光増幅を行う、当該 EDFA の自然放出 (ASE) 雑音を光フィルタで除去し、光検出器 (PD) で受信した光信号のアイパターンをオシロスコープでモニターする。

今回の測定では、光電子集積インターポーザ基板通過後の出力光信号波形の信号品質を TDECQ (transmit and dispersion eye closure quaternary) で評価した。なお、112Gb/s PAM4 変調方式を用いるイーサネット標準規格では、受信時の光波形の TDECQ 値が 3.4 dB 以下であることが要求されている。図 1.2.2.1(ウ)-26 (a)は、光電子集積インターポーザ基板を同じ挿入損失を持つ光固定減

衰器に置き換えて、リファレンスとした 112Gb/s PAM4 のアイパターンである。リファレンス信号の TDECQ は 1.40 dB であった。図 1.2.2.1(ウ)-26(b)は、光電子集積インターポーザ基板を 25°C (室温) の環境下で測定した 112Gb/s PAM4 のアイパターンである。TDECQ は 1.60 dB とわずかに劣化した が、リファレンスとわずかな差しかないことから、光電子集積インターポーザ基板伝送時の光学ペナ ルティが十分に低いことを裏付けている。TDECQ のわずかな低下は、光電子集積インターポーザ基 板の入出力面と調芯系で用いた光ファイバの間で発生した多重反射によるものと考えている。図 1.2.2.1(ウ)-26 (c)は、光電子集積インターポーザ基板を 85°C の環境下で測定した 112Gb/s PAM4 のア イパターンである。測定された TDECQ (=1.65dB) は、室温での測定値とほぼ同じ結果であった。 112 Gb/s PAM4 光変調信号を用いた高温化での伝送実証に加え、数値解析を用いて光電子集積インタ ーポーザの構成における高い温度トレランスを明らかにした。解析手法としては、有限要素法を用 いて温度による形状変化を評価し、物理光伝搬においてシリコン導波路からポリマー導波路までの光 結合効率を求めた。解析により、波長 1550 nm において CPO Collaboration の要求仕様である 15°C から 85°C の範囲内で 90% の結合効率を満たすことを示した。

これらの結果から、光電子集積インターポーザ基板は熱膨張係数の大きく異なる異種材料が混在す る構造にもかかわらず、高速かつ高温環境下において、信頼性の高い動作が可能であることを実証し た。光電子集積インターポーザ基板がコパッケージ技術の実用化への第一歩となることを期待したい。

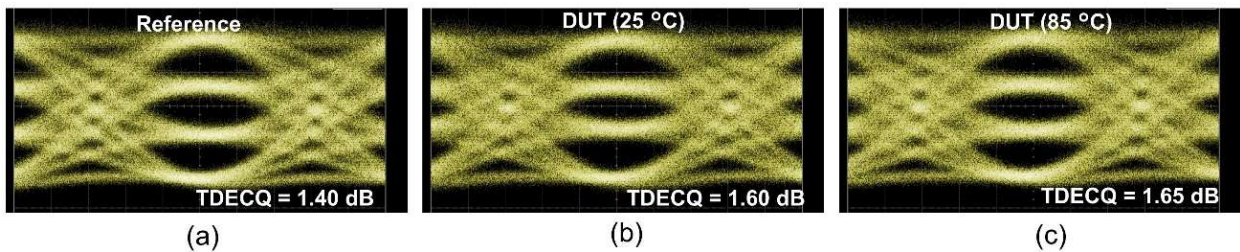


図 1.2.2.1(ウ)-26 : 112Gb/s PAM4 アイパターン(a)リファレンス、(b)25°C環境下、(c)85°C環境下

<ベンチマーク>

光電子集積インターポーザにおいて、異種導波路接続構造としてポリマー光導波路を利用すること で、シリコンフォトニクスチップの小型化・低コスト化や実装密度向上が可能である。局面マイクロ ミラーとシングルモードポリマー光導波路を組み合わせた光接続構造で、パッシブだけではなくアク ティブ動作まで実証した点は他機関と比較して大幅なアドバンテージを有している。また、光電子ハ イブリッドシステム、光電子集積サーバにおいて、光電子融合インターポーザは電子回路の近傍に設 置されるなど、高温環境下での動作が要求される。それに加えて、光電子コパッケージ技術の次世代 標準としても想定されている 112 Gb/s PAM4 光信号において、標準化で定義されているような高い 伝送品質が要求される。製作した光電子融合インターポーザは、シリコンとポリマーという熱膨張係 数が 2 桁以上異なる材料で三次元集積されているにもかかわらず、高速かつ高温環境下において、信 頼性の高い動作が可能であることを実証した。尚、現状では三次元光配線を行った光電子融合インタ ーポーザにおいては、先進的技術としてロードマップでは上げられているが、達成している機関は存 在せず、本研究成果はコパッケージ技術の実用化の観点から新たな一歩を切り拓いたと言える。

・インプリントステッパ法を用いた大面積露光装置の開発

＜アプローチ、特長技術＞

光電子インターポーザのポリマーの構造体には、光導波路や、光路変換ミラーなどマイクロスケールの構造体の形成が必要となる。そこで直接描画法によって形成したミラー構造上などに、50mm角以上の大面積露光により、シングルモードポリマー導波路パターンを重ね露光する装置が必要となる。本研究では微細構造が彫り込まれたモールドを紫外光で硬化する樹脂（ポリマー）に押し付け、紫外光を照射し、モールドを離型することによって、マイクロ構造体を高精度にパターンニング可能なインプリント技術を活かしたステッパ装置を開発する（図 1.2.2.1(ウ)-27）。産総研が培ってきたインプリント研究の実績・経験を融合することにより、光電子インターポーザの作製に用いる大面積露光法の確立を目指す。

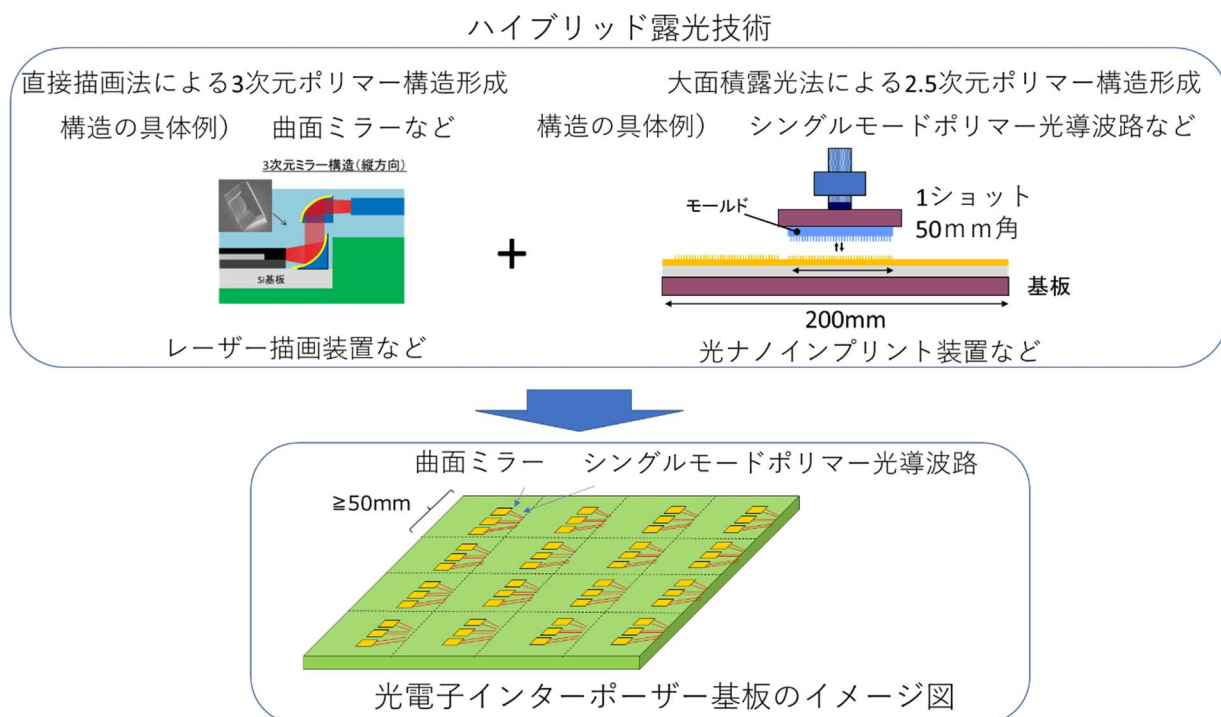


図 1.2.2.1(ウ)-27 直接描画法と大面積露光法を組合せたハイブリッド露光技術

＜成果＞

まず基本設計を行い、産総研のこれまでのナノインプリント技術を投入することにより、1年間でプロトタイプ機を完成させた。図 1.2.2.1(ウ)-28 (a)に開発装置の構想図と完成写真を示す。可動域 200mm 角のウェーハ XYθ ステージ、ロードセル（荷重センサー）を搭載した 3 軸から構成されるモールドテーブル、平行光 UV、マシンコントローラーによるインプリントシーケンシャルプログラムを搭載した装置している。この装置を用いて図 1.2.2.1(ウ)-28 (b)のように 200mm ウェーハ面内に 64 ショットのステップアンドリピート、ラインパターン 100nm の解像度でのインプリント動作を実証した。また、4 軸にロードセルを搭載して圧力制御させることにより、2N 以下の低圧力でのインプリント動作を可能にした。

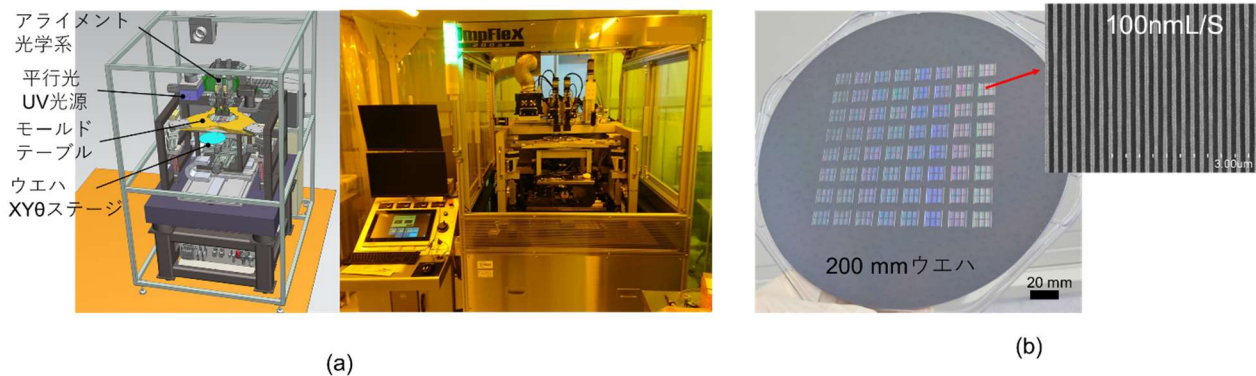


図 1.2.2.1(ウ)-28 (a)200mm ウェーハ対応のナノインプリントステッパーの構想図と開発装置写真、
(b) 200mm ウェーハ全域に 100nm パターンでステッパ実証したウェーハ写真

次に 1 ショットの露光面積の大面积化のためにショットサイズ 50mm 角用の空圧式のウェーハステージに改良を施し、図 1.2.2.1(ウ)-29 (a)のように 50mm 角の領域で欠陥のないポリマーパターンの形成に成功した。そして、図 1.2.2.1(ウ)-29 (b)に示すようにクラッド層に幅 7 μm の導波路構造をパターンニングし、コアを埋め込んだシングルモードパターンの試作を行った。ビーム評価の結果、シングルモードの伝搬を確認し、インプリント装置でシングルモード光導波路構造の試作が可能であることを実証した。また、インプリント装置のアライメントシステムを構築し、画像処理エンジンによるパターン読み込み機能とモアレ稿によるパターン検出方法を採用することにより、100nm 精度での位置合わせ機能を実現した。

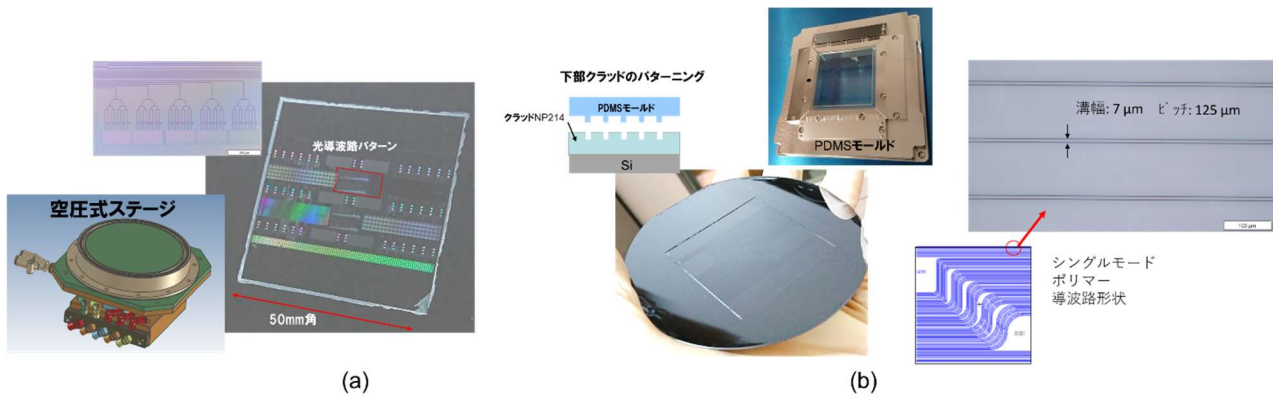


図 1.2.2.1(ウ)-29 (a)空圧式ステージによる 50mm ショットサイズでのインプリント結果
(b)シングルモードポリマー導波路の試作結果

図 1.2.2.1(ウ)-30 (a)のように光電子インターポザの上ミラー構造をレーザー描画で形成した下ミラーに位置合わせしながらインプリントするプロセスの構築を行った。PDMS レプリカモールドでインプリントすることにより、図 1.2.2.1(ウ)-30 (b)、(c)のようにポリマー導波路面に上ミラー構造の形成に成功した。

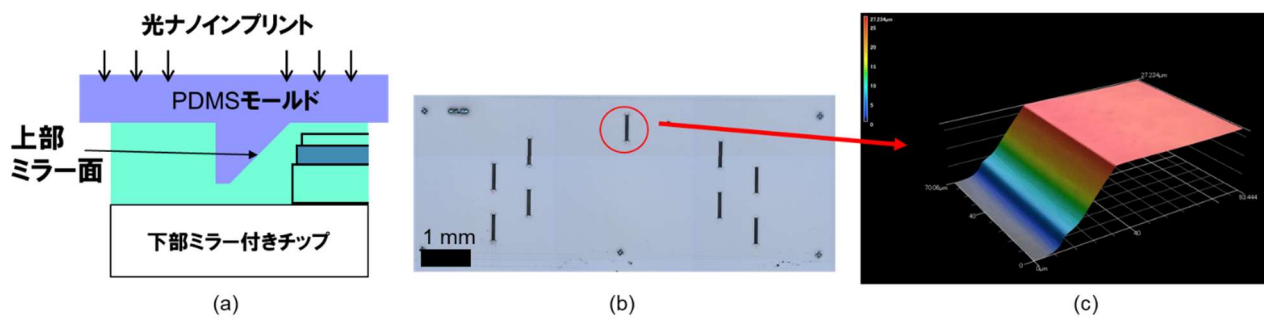


図 1.2.2.1(ウ)-30 (a)PDMS モールドによるインプリント作製法による上部ミラー構造の断面図、(b) 上部ミラー構造の試作サンプルの顕微鏡画像 (c) 試作した上部ミラー面のレーザー顕微鏡解析画像

<ベンチマーク>

これまでインプリント装置はメーカーによって販売されているが、パターンニングエリア 50mm 角以上、アライメント精度 100nm 以下を満たし、高さ方向に制御性が高い光電子インターポーザのパターンニングに適した装置は、世の中にはない。本開発では、光電子インターポーザに適した機能を持つ 200mm ウェーハ対応のステップアンドリピート型のナノインプリントステッパーの開発に成功した。この装置は、光電子インターポーザの量産に向けて大幅なアドバンテージを有している。

1.2.2.2 光電子集積インターポーザのシステム化技術

エ) 情報処理システム化技術

①光電子融合サーバボード

ポスト 5G/6G 時代に向けて今後ますます増加する膨大な通信量、ネットワークの複雑化、大量なデータ輻輳などの課題を解決するため、将来の IoT システムに対して更なる大容量化、低遅延化、省電力化が求められている。本プロジェクトでは将来 IoT システムやコンピューティングの大容量化、省電力化を実現するために 10 Tbps インターコネクタ伝送を実現する光電子融合サーバボードの開発を進めてきた。本項では光電子融合サーバボードを構成する集積シリコンフォトニクス回路技術、ガラスインターポーザ基板技術、光配線導波路技術など要素技術の開発成果と試作した光電子融合サーバボードを用いた光インターコネクタのシステム検証について報告する。

【最終目標】

光電子融合サーバボードのプロトタイプを試作して良好な伝送品質を持つ 10 Tbps 伝送可能な CPU 間インターコネクタのシステム化技術を確立する。

<光電子融合サーバボードの概要>

本プロジェクトで開発する光電子融合サーバボードのコンセプトを図 1.2.2.2(エ)①-1 に示す。シリコンフォトニクス光 I/O チップとガラス基板を用いた光電子集積インターポーザを構造上の特長とする。シリコンフォトニクス光 I/O チップは、毎秒 112 ギガビット (112 Gbps) の伝送速度をもつレーンを 16 個備えており、それらは光 I/O チップ内に集積された光合分波器により 16 波の光信号で波長多重 (Wavelength Division Multiplexing: WDM) される。このシリコンフォトニクス光 I/O チップを CPU チップの両翼に 3 個ずつ計 6 個配置することで 112 Gbps×16 波長×3×2~10 Tbps の伝送性能を発揮する。シリコンフォトニクス光 I/O チップの光信号は、ガラス基板上の低損失ポリマー導波路と光コネクタにより高密度光インターフェースを実現する。サーバボードとガラス基板光電子集積インターポーザは LGA (Land Grid Array) ソケットを介して接続され、サーバシステムへの実装が容易な構成とした。

ここで示したコンセプトは、スーパーコンピュータの更なる高性能化に向けた技術の方向性に合致している。ムーアの法則が限界に近づきつつあり、半導体プロセスの微細化が進捗してもコスト低減につながらないフェーズに突入したことから、コンピューティングの高性能化に向け、微細化への取組みとともに、プロセッサと複数のチップレットによるマルチチップパッケージ化、ヘテロジニアス集積化への取組みが進んでいる。高密度実装技術により、光モジュールを CPU パッケージに統合する Co-Packaged Optics (CPO) や Near Packaged Optics (NPO) の提案・標準化議論も活発である。こうした状況においては、CPU/システム高性能化で実装部品の大型化が進むと予想されるため、既存の有機基板を用いたインターポーザでは、反りが増大しマルチチップ実装が困難となる。また、大きい誘電正接、表面粗さによる電気伝送損失が大きくなるという課題も深刻となる。一方、熱膨張率がシリコンに近く寸法安定性の高いガラス基板を用いた場合、反りが小さく安定した実装プロセスが実現するとともに、CPU 近傍へチップを多数搭載した高密度マルチチップ実装が可能と予想できる。更に、誘電率、誘電正接が低く表面平坦性も高いことから、高速伝送特性の向上が期待できる。

本プロジェクトは、ガラス基板を用いた光電子集積インターポーザによる高密度実装光電子融合サーバボードを開発し、サーバシステムへ実装して高速動作実証を行うことを目的とする。

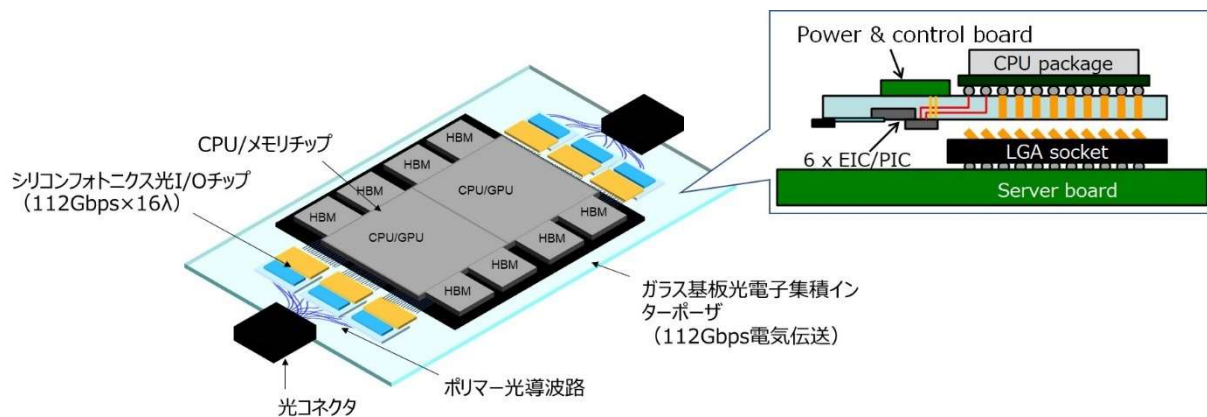


図 1.2.2.2(エ)①-1 光電子融合サーバボードのコンセプト

＜光電子融合サーバボード実現への課題設定とアプローチ＞

本項では、前項で概要を説明した光電子融合サーバボードの実現に向けた課題とアプローチについて説明する。

10 Tbps 伝送可能な光電子融合サーバボードの構成要件から、以下の課題を設定した。

- 課題 1 光電子集積インターポーザにおける CPU パッケージ-光エンジン間の 112 Gbps 電気信号の品質確保
- 課題 2 シリコンフォトニクスによる集積型 WDM 合分波器の高精度な波長制御
- 課題 3 光電子集積インターポーザにおける光信号の品質確保
- 課題 4 既存システムへの実装可能な構造

これらの課題へのアプローチについて説明する。

アプローチ 1 (ガラス基板インターポーザの利用)

課題 1 の高速電気信号の高密度伝送に向けては、後に述べるように、単純に CPU パッケージと光エンジンの距離を縮めるというだけでなく、大型化・多ピン化のトレンドにある CPU パッケージとの実装性を念頭に置き、シリコンと熱膨張率が近く、高速電気伝送に適した誘電特性と平坦性を併せ持つガラス基板をインターポーザとして使用する。

アプローチ 2 (WDM 技術)

課題 2 の WDM 技術に向けては、シリコンフォトニクスは微細加工による高密度集積に適するものの、製造性や温度変動などにより光導波路の屈折率がマイクロにばらついて、優れた合分波フィルタ特性を得るのが難しいという課題があることから、後に述べるように、フィードバック制御機構を有するシリコンフォトニクス WDM 合分波器を開発する。

アプローチ 3 (光配線技術)

課題 3 の光信号の品質確保に向けては、光電子集積インターポーザへのガラス基板導入と WDM 技術導入を前提に、ガラス基板上への高密度・低損失シングルモードポリマー導波路による光配線技術と、ガラス基板上のポリマー導波路とシングルモード光ファイバアレイを高密度かつ低損失に光接続する光コネクタ技術を開発する。

アプローチ4（既存サーバを用いた構成検証と課題抽出）

課題4の既存システムへの実装可能な構造に対しては、実際に既存のサーバシステムを利用し、既存電気インターフェースと互換性がある光インターフェースを試作して、光インターフェースに置き換えた上でシステムを動作させ、特に温度環境や放熱に着目しつつ構成上の要諦や課題を抽出し、光電子融合サーバボードの開発にフィードバックさせる。このとき、電気インターフェースと光インターフェースとの比較についても実施する。

以上述べた課題とアプローチを図 1.2.2.2(エ)①-2 にまとめた。また、本研究開発の2020年度から2021年度の実施計画を図 1.2.2.2(エ)①-3 に示した。各課題とアプローチは開発項目としてまとめた。本書では、この後、各課題に対するアプローチと成果の詳細を述べ、次節において、これらの成果をベースにした光電子融合サーバボードの試作とCPU間インターコネクタの検証結果を報告する。

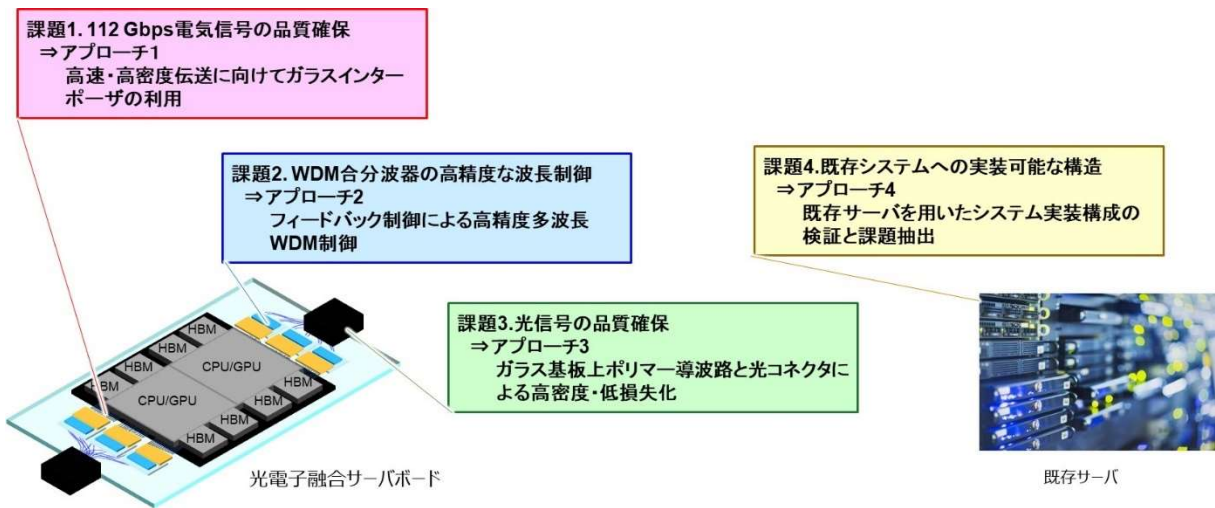


図 1.2.2.2(エ)①-2 本研究開発の課題とアプローチ

開発項目	2020年度		2021年度			
	上期	下期	第1四半期	第2四半期	第3四半期	第4四半期
アプローチ1~4 光電子融合サーバボード	10Tbpsに向けたプロトタイプ構造設計	基本構造の改良試作		10Tbpsに向けたプロトタイプ動作実証		
アプローチ2 シリフォト集積素子実装技術	WDM光トランシーバと分波器単体の試作 10Tbpsに向けた高密度実装構造の設計			10Tbpsに向けた高密度実装構造の確立		
アプローチ1 高密度電気配線技術	ガラス基板を用いたインターポータの開発 10Tbpsに向けた高密度電気配線構造の設計			10Tbpsに向けた高密度電気配線構造の確立		
アプローチ4 冷却技術	既存サーバを用いたシステム実装構成の検証と課題抽出 10Tbpsサーバボード冷却構造の設計			10Tbpsサーバボード用冷却技術の実証		
アプローチ3 光配線技術	ガラス基板へのポリマー光導波路形成と低損失光コネクタの試作 光配線反射抑制構造の設計			反射抑制技術の確立		

図 1.2.2.2(エ)①-3 実施計画

<高速・高密度伝送に向けたガラスインターポーザ構造の開発>

高速伝送における光電子変換実装構造で最も重要な点は、CPU から光電子変換素子までの距離を短くすることにある。物理的な距離だけを単純に考えるならば、CPU が実装されるパッケージ基板を拡大して CPU のすぐ横に光電子変換素子を配置するという、オンパッケージ実装構造が最適となるが、以下に示す観点から、その実現には克服すべき課題がある。

・半導体サプライチェーン

現在の半導体サプライチェーンにおいては、パッケージ基板に CPU が実装された CPU パッケージの単位で検査、保証されている。したがって、光電子変換素子をオンパッケージで実装する場合、CPU パッケージとしての検査、保証対象に光電子変換素子が含まれることとなるため、新規設計の他、サプライチェーンの変更が必要となり、開発、製造性、管理運用の観点からも実現までには多くの交渉と多額の費用が必要となる。

・冷却

CPU は発熱体であるため、光電子変換素子を隣接して配置して冷却構造を CPU と共有する場合、光電子変換素子は CPU と同等の温度になることを前提とする必要がある。

CPU よりも低い温度で使用することを想定するならば、新規な冷却技術、構造が必要となる。

・CPU パッケージ実装性（基板反り）

CPU チップの大型化には限界があるものの、システム性能向上を目的に、積層メモリを含む複数のチップを実装するマルチチップ化や、チップトレイなどの技術開発により、CPU パッケージは大型、多ピン化がすすみ、システムボードへの実装が困難となっている。この最大の原因は、チップ材料であるシリコンと、基板材料であるガラスコンポジット材料との熱膨張率差による基板反りである。光電子変換素子のオンパッケージ化によってパッケージ基板のサイズが拡大することは、仮に曲率が等しくても反り量（システムボードとパッケージの間隙差）が増加するため、はんだによる BGA（Ball Grid Array）、着脱可能な LGA（Land Grid Array）いずれの場合においても深刻な問題となる。

上記の課題は、技術的に解決不可能なものではないが、光電子変換素子を活用した CPU 間光インターコネクタの実用化を考えた場合、まずは、できる限り既存の半導体サプライチェーン、CPU パッケージ実装構造、冷却技術を用いた形態で、CPU 間光インターコネクタの有効性を実証することが必要と考える。本検討においては、既存のサーバシステムを流用し、実用化可能、かつ、112 Gbps PAM4 伝送まで適用化可能な、CPU 間光インターコネクタを実証するための実装構造を立案することを目的とする。

光電子融合サーバボードの構造を検討する前提として、既存のサーバシステムを流用する以上、CPU パッケージとシステムボード、および、CPU の冷却構造はそのまま用いることとした。これは、それらに変更を加えることは新たなシステムを構築するに等しく、本来の目的である、CPU 間光インターコネクタ実証に必ずしも必要ではないと判断したためである。また、これによって、課題である半導体サプライチェーンと冷却は、既存のものが適用できることとなる。

具体的なアプローチとして、本来 CPU パッケージとシステムボードが接合されている部分に光電子変換素子を搭載した基板を挿入し、CPU 間光インターコネクタに必要な高速伝送配線だけを CPU パッケージから引き出して直近に配置した光電子変換素子へ接続、残りの配線（電気、制御、インターフェース）は全てそのまま基板のスルービアを経由してシステムボードへ接続する、インターポーザ構造を立案した。

立案したインターポーザ構造の概要を図 1.2.2.2(エ)①-4 に示す。CPU パッケージと光電子変換素子

間の高速伝送配線については、112 Gbps 伝送を可能とするため、伝送損失を低減することを目的に、システムボードの配線ルールに準じた幅約 200 μm の差動配線とし、配線長をできる限り短くすることとした。

基板上に光電子変換素子と CPU パッケージを実装したインターポーザは、CPU パッケージよりも大きなサイズとなるため、CPU パッケージが実装されるべきシステムボード上の領域に実装しようとしても、システムボード上に実装された部品と干渉してしまい、そのままでは実装できない。そこで、システムボード上に部品高さをクリアするためのスペーサを実装してインターポーザを持ち上げ、光電子変換素子が実装された部分が中に浮く構造とした。

光電子変換素子実装部を中に浮かせることは、冷却（風の流路確保）、インターポーザ実装面積の活用（浮いた部分の裏面活用）など、高密度実装設計の自由度を拡大する観点から有利であると考えられる。また、インターポーザとスペーサの間は、既存冷却構造の加圧による LGA 接続とすることで、着脱可能とした。LGA 接続構造は、はんだ BGA 接続構造とは異なり、温度変化による寸法や反りの変化によって発生する応力変化を、接点のズレによって吸収可能であるため、大型 CPU パッケージの実装技術としても有利である。上記の構成とすることで、既存のシステム構成を変更することなく、CPU パッケージの直近に、最短距離で光電子変換素子を配置することが可能となる。

インターポーザ基板の材質としては、CPU の材料であるシリコンと熱膨張率が近く、剛性、平坦性に優れたガラスの適用を前提とした。これは、従来の有機基板では、今後のマルチチップ化、チップトレイによって増加するチップ面積を実装した場合、発生する反りによって実装が困難となることを予想し、基板材質の変更によって反りの問題に対して抜本的な解決を図る試みである。シリコンと熱膨張率が近いガラスでは、将来的にチップトレイやシリコンインターポーザを直接実装する構造で反りを抑えるのに有効であることは当然であるが、今回の検討において使用する有機基板を用いた CPU パッケージでも利点がある。それは、LGA ソケット実装におけるガラスインターポーザの反り方向（凹凸）である。

有機基板を用いた CPU パッケージでは、シリコンと有機基板との熱膨張率差により室温では、CPU パッケージの中央部が LGA ソケットから離れる形状となる。一方、CPU パッケージを実装したガラスインターポーザでは熱膨張率差の関係が上下逆になるため、CPU パッケージの中央部が LGA ソケットに近づく形状となる。この様子を図 1.2.2.2(エ)①-5 に示す。LGA ソケットは CPU パッケージの上面と、システムボードの裏面から圧力を加えて接合する構造であるが、その加圧は、CPU パッケージ、あるいは、インターポーザの外側から押さえつける構造となる。そのため、必然的に外周に力がかかり易く、中央部が加圧されづらい。この点で、CPU パッケージ中央部が LGA ソケットに近いガラスインターポーザは、LGA ソケット加圧構造の特徴上、望ましい反り形状が予想され、有機基板を用いた CPU パッケージにおいても、課題の一つである CPU パッケージ実装性（基板反り）を改善することができる。また、ガラス基板の利点は熱膨張率、剛性、平坦性といった機械的な部分だけではなく、低誘電正接、低吸水性であるため、高速伝送特性についても有利である。

以上についてまとめる。既存のサーバシステムを流用しながら CPU パッケージの直近に光電子変換素子を配置して、CPU 間光インターコネクタ実証が可能な、インターポーザ実装構造を立案した。立案した構造は、半導体サプライチェーン、冷却、CPU パッケージ実装性（基板反り）という、CPU 間光インターコネクタ実用化における課題を解決するものである。また、実装性の観点においては、ガラス基板と LGA ソケットを適用することで、CPU パッケージ大型化における問題に対する抜本的な解決策とした。

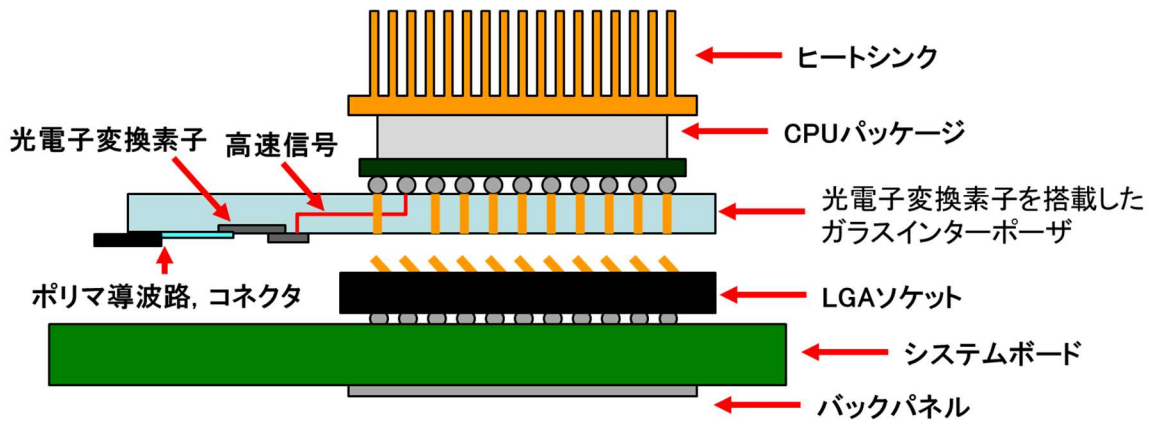


図 1.2.2.2(エ)①-4 インターポーザ構造の概要

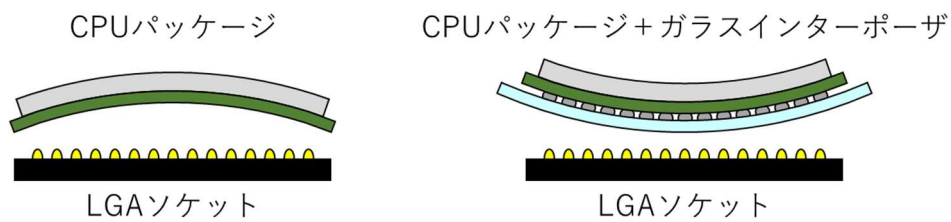


図 1.2.2.2(エ)①-5 CPU パッケージ、ガラスインターポーザの反り形状

[WDM 技術]

<フィードバック制御による低クロストーク WDM 技術の開発>

光電子融合サーバボードの 10 Tbps 化とこれを用いたサーバシステム動作実証に向け、高密度大容量化のファイバ数律速を解消する技術としてシリコン光集積回路の波長分割多重(WDM)化を進めた。ここで中核となる技術が WDM フィルタであるが、シリコン光集積回路上に実現しようとする波長チャンネル間のクロストークが増大する問題がある。これは光集積回路製造時の光導波路寸法ばらつきにより生じる光路長誤差がシリコン光集積回路では大きくなってしまっているのが原因であり、光送受信器の小型大容量化の障壁となっていた。またサーバボードに搭載する光送受信器はマイクロプロセッサという高消費電力電子集積回路と共に近接実装することが求められる。この場合電子集積回路の発熱により光送受信器に動的な温度変化が生じる。この動的な温度変化も WDM フィルタの波長チャンネル間クロストークを発生させる原因となる。我々はこれらの問題を解決する新しい WDM フィルタとして Cascaded AMZ Triplet (CAT)を開発した。本技術により製造誤差・動的な温度変化等により生じる光路長誤差を全自動でモニタし補償し、クロストークを抑えることが可能になる。誤差モニタ・補償機能を実現する制御回路は電子集積回路チップに搭載しシリコン光集積回路上に直接実装することが可能であり、制御回路を含めて WDM フィルタ全体を集積小型化することが可能である。本技術によりシリコン光集積回路を用いながら約-50 dB という極めて小さいクロストークを実現するとともに、動的に変化する環境温度下で常時エラーフリー動作を実現した。本技術によりサーバシステムに WDM 技術の導入が可能になり、ファイバ数律速の解消によりサーバシステムのインタコネクションボトルネック解消が可能になる。

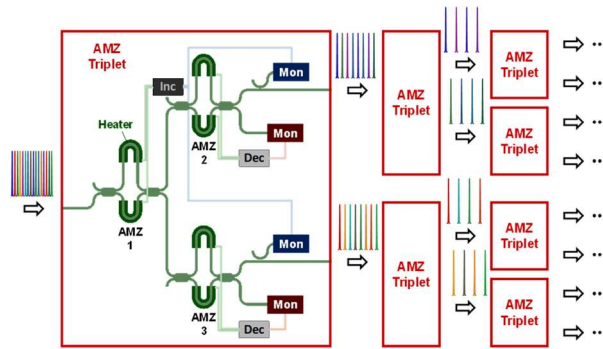


図 1.2.2.2(エ)①-6 CAT の構成 (Mon : パワーモニタ、Inc/Dec : 制御回路)

Si PIC (Photonics Integrated Circuit)上の分波器にクロストークが発生するのは、導波路寸法誤差による干渉計位相誤差が原因である。従って位相誤差を検出できれば、それをヒータ等の移相器で補正することでクロストークを抑えることが可能になる。CATは図 1.2.2.2(エ)①-6 に示すように AMZ Triplet をバイナリツリー状に接続したものである。AMZ Triplet は 3 個の同一 AMZ から構成され、WDM デインタリーバの機能を持つ。本構造を用いれば位相誤差がパワーモニタ検出値に反映され、ヒータ電流をディザリングしながらこの値が増大・減少する方向に制御することで位相誤差を極小化することが可能になる。バイナリツリー上で後段に位置する AMZ Triplet の波長間隔を前段の倍にすることで、全体として分波器の機能を実現できる。ヒータ制御回路は図 1.2.2.2(エ)①-7 に示すように 180 nm CMOS 等の低コスト IC 上に搭載し、PIC 上に直接フリップチップボンディングすることで低コスト・小型化を図る。図 1.2.2.2(エ)①-8 に AMZ Triplet の構造およびそのシンボルを示す。図 1.2.2.2(エ)①-9 は AMZ Triplet 構造をバイナリツリー状に配置することで構成した、4、8、16、32、64 波長 CAT デマルチプレクサ (分波器) の構造を示す。図 1.2.2.2(エ)①-10 は、図 1.2.2.2(エ)①-9 に示したデマルチプレクサの動作をシミュレーションした結果であり、透過スペクトルを示している。最上段は制御開始時のもので、製造ばらつきによる位相誤差のため正常な透過スペクトルは得られていない。その状態から、ここで提案する制御を適用すると徐々に位相誤差が小さくなり、最終的に最下段に示すように誤差が補正され、良好な分波特性が得られることが見てとれる。

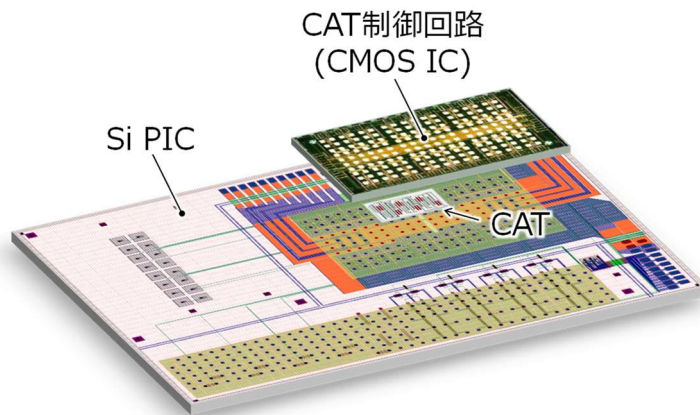


図 1.2.2.2(エ)①-7 CAT の実装形態

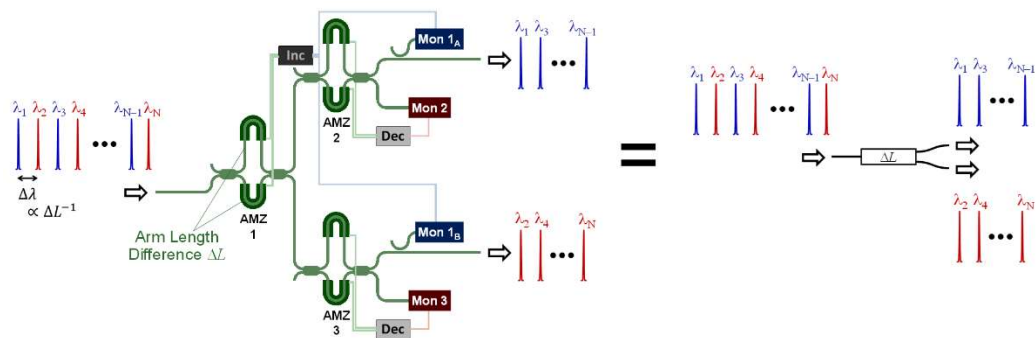


図 1.2.2.2(エ)①- 8 AMZ Triplet の構造、AMZ Triplet は同一のアーム長差 ΔL を持つ3つの同一の AMZ から構成される WDM デインターリーブとして機能

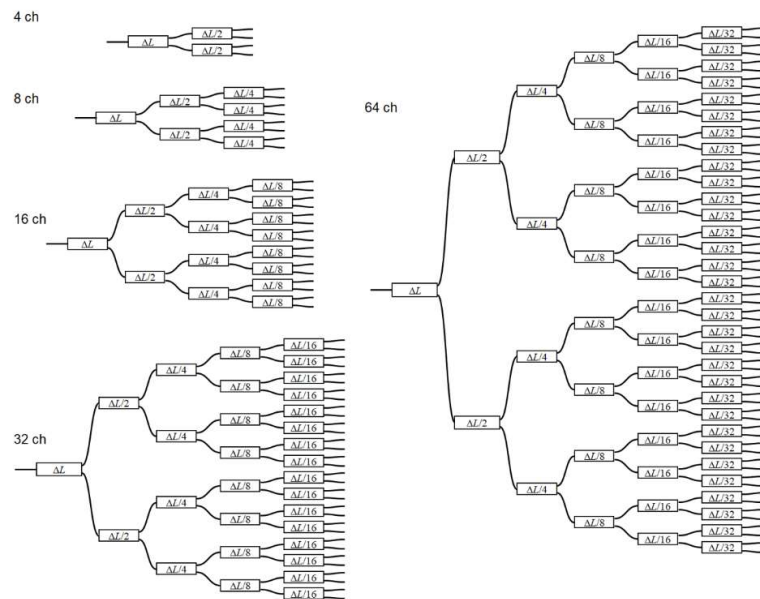


図 1.2.2.2(エ)①- 9 4、8、16、32、64 波長 CAT デマルチプレクサの構造

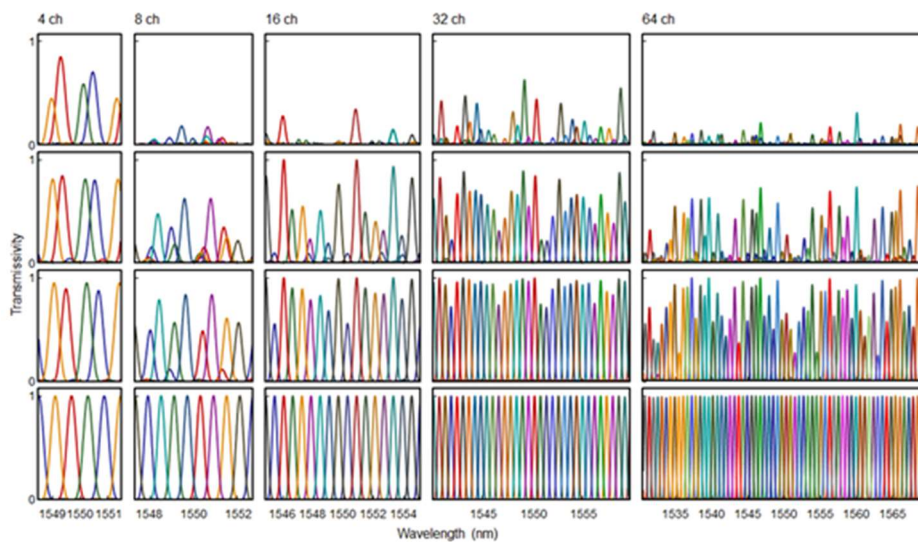


図 1.2.2.2(エ)①- 10 4、8、16、32、64 チャンネル CAT デマルチプレクサの透過スペクトル (最上段：制御開始時、最下段：誤差補正後、中2段：中間状態)

CMOS制御ICを集積した4チャンネルWDM用CATデマルチプレクサを試作し動作実証を実施し、25 Gb/s NRZ 信号に対して高速温度変化条件下でエラーフリー動作を実現した。以下にその内容を示す。

[PIC+EIC アセンブリ搭載 CAT デマルチプレクサ]

PIC とコントローラ用 EIC で構成される CAT デマルチプレクサの構造を図 1.2.2.2(エ)①- 11(a)に示す。PIC はバイナリツリー構造に接続した 3 つの AMZ Triplet から構成される。TSMC 180 nm CMOS プロセスで試作した制御用 EIC は Supervisory Controller と Control Element (CE) で構成され、各 CE が各 AMZ に備わるヒータ対を駆動する。

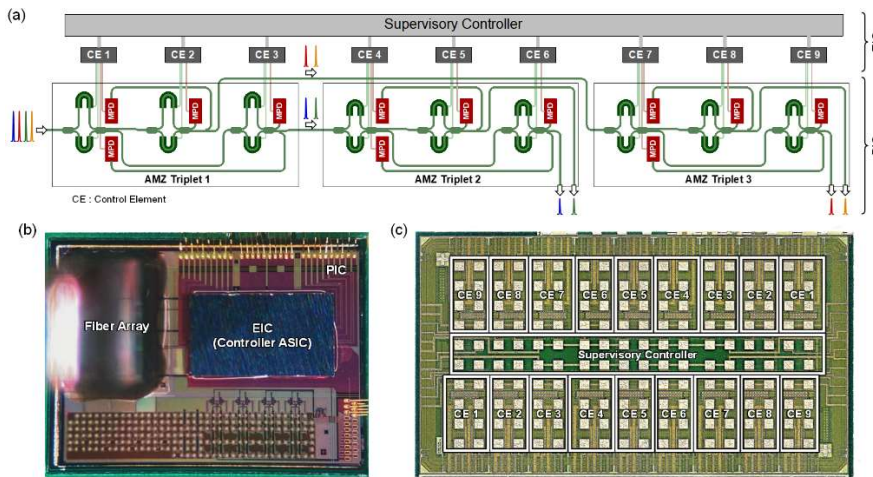


図 1.2.2.2(エ)①- 11 (a) CAT の構造、(b) PIC+EIC アセンブリ、(c) EIC の詳細画像

各 CE はヒータドライバを 2 個持ち、それぞれがヒータ対の 1 つを駆動する。図 1.2.2.2(エ)①- 12 に示すように、繰り返し周期 1 μ s、100 階調のパルス幅を持つパルス幅変調 (PWM) 信号をヒータ駆動に用いた。Supervisory Controller (SC) が各 CE の動作順序とタイミングを決定する。SC が CE にトリガをかけると CE は制御シーケンスを 1 サイクル分実行する。まずパルス幅を微小に増減させるディザリングを実施し、増減させた時の 2 モニタ信号をサンプルアンドホールド回路で保持する。次にこれらの保持信号を比較器 (Comp) で比較し、その結果に基づきパルス幅を増加させるか減少させるかを決定する。

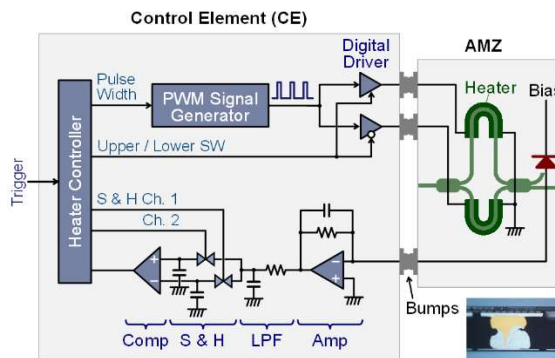


図 1.2.2.2(エ)①- 12 Control Element (CE) の構造

[誤差補正動作の実証]

O バンド 400 GHz 間隔 4-ch WDM 信号に対して分波の実証実験を実施した。PIC+EIC アセンブリに外部から供給される電気信号は 1.8、3.3 V 電源と 100 MHz クロック、SPI インタフェース（コマンド・ステータスの通信用）のみである。WDM 信号を入射し EIC 動作を開始させた後評価したスペクトルを図 1.2.2.2(エ)①-13 に示す。EIC 動作の開始とともに瞬時にクロストークが信号ピークの -50 dB まで抑圧されるという結果が得られた。

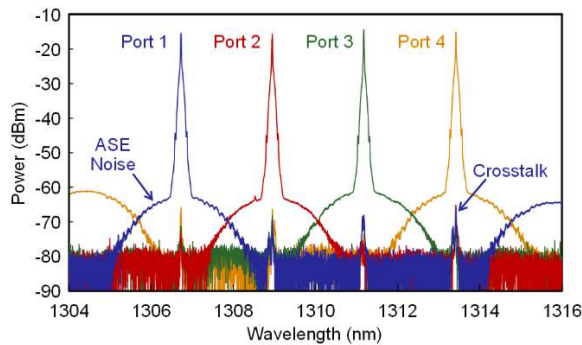


図 1.2.2.2(エ)①-13 4 ポートから得られた分波後の光信号スペクトル

[動的な温度変動下の分波特性]

自動誤差補正機能は時間変動する誤差の補正にも適用可能であり、CPU や DSP 等とコパッケージした場合に起こる動的な温度変化条件下においても動作することが見込まれる。これを評価するために PIC ダイ下有機基板の下に装着した熱電クーラ(TEC)を用いて PIC に温度変化を生じさせ動作特性評価を実施した。図 1.2.2.2(エ)①-14(a)に示すように TEC 電流 I_{TEC} を 0、1.5、-1.5、0 A と 100 秒毎に変化させ、PIC の透過スペクトルのシフト量からシフト量と温度の関係を示す係数 $0.07 \text{ nm}/^\circ\text{C}$ を用いて温度の時間変化を導出したところ最大および最小時において温度変化はそれぞれ +23、-3°C という結果が得られた（図 1.2.2.2(エ)①-14(b)）。同様の I_{TEC} 変化のもと、すなわち図 1.2.2.2(エ)①-14(b)に示した PIC 温度変化のもとで EIC を動作させながら 4 チャンネル WDM 信号のデマルチプレクシングを実施した。図 1.2.2.2(エ)①-14(a)に示すようにパルス幅変化は図 1.2.2.2(エ)①-14(b)の温度変化を縦方向に反転したものと同様の形をしている。一定温度(図中 A)におけるアイ波形の品質が 0.33 、 $-0.53^\circ\text{C}/\text{s}$ の温度変化条件下(図中 B、C)においても劣化せず保持されており、スペクトルも同様に全く劣化を示していないことが分かる（図 1.2.2.2(エ)①-14(c)）。これらの結果に示す通り、集積 CAT が期待通りの温度変化耐性を持つことを確認した。

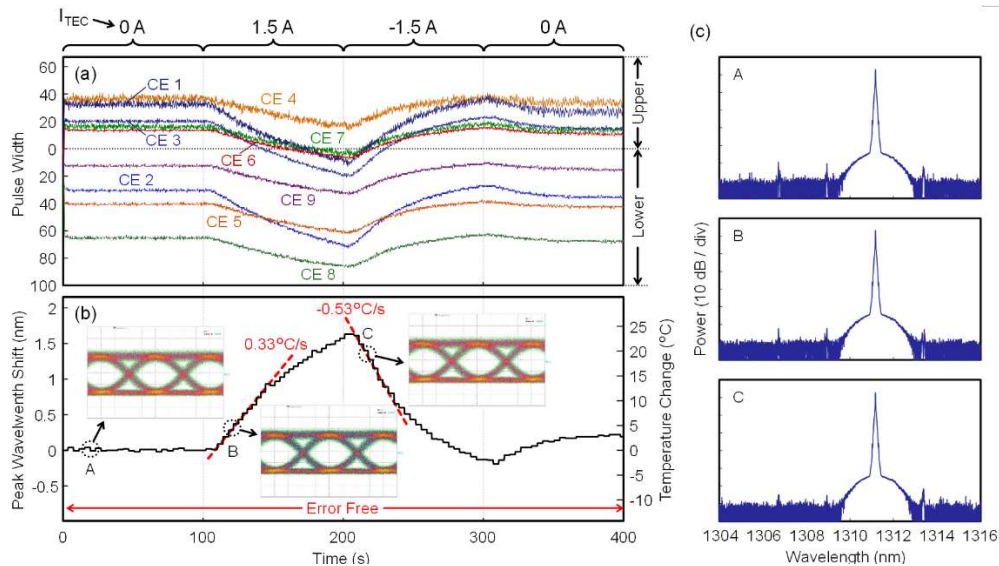


図 1.2.2.2(エ)①-14 動的な温度変化状況における 25 Gb/s NRZ 変調信号の分波特性
 (a)パルス幅変化、(b)温度変動プロファイル、(c)A、B、C点における分波信号スペクトル

光電子融合サーバボードの 10 Tbps 化とこれを用いたサーバシステム動作実証に向け、高密度大容量化のファイバ数律速を解消する技術としてシリコン光集積回路の WDM 化を進めた。中核となる技術として WDM フィルタの開発を行い、シリコン光集積回路で課題であったクロストークの問題を解消することに成功した。サーバボードに搭載する光送受信器はマイクロプロセッサという高消費電力電子集積回路と共に近接実装することが求められ、電子集積回路の発熱により光送受信器に動的な温度変化が生じ、この動的な温度変化も WDM フィルタの動作を妨げる要因であったが、本技術によりこの問題も解消可能であることを実証した。本技術によりサーバシステムに WDM 技術の導入が可能になり、サーバシステムのインタコネクションの大容量化が期待できる。

[スケーラビリティの実証]

CAT は多段化により容易にチャンネル数を増大することが可能であるが、実際に 5 段構成の CAT を試作し、32 チャンネルのデマルチプレクスに成功した。図 1.2.2.2(エ)①-15(a)に試作した 32 チャンネル CAT デマルチプレクサの構造、図 1.2.2.2(エ)①-15(b)にフリップチップ実装した PIC+EIC アセンブリを示す。EIC の回路構成は図 1.2.2.2(エ)①-16(a)に示すように、4 チャンネル CAT を多段化したものである。32 チャンネル WDM 信号を入射しながら EIC の動作を開始した後の各 CE のパルス幅の変化を図 1.2.2.2(エ)①-16(b)に示す。4 チャンネルと同様に数秒でパルス幅は安定化し、この間に誤差の補正が終了したことを示している。図 1.2.2.2(エ)①-17(a)にパルス幅安定化後に各ポートの出力信号を測定した結果を示す。信号パワーとクロストークパワーの比の値として 43.8 dB が得られ、32 チャンネルに拡大した CAT においてもクロストークが抑制されることが分かる。図 1.2.2.2(エ)①-17(b)にクロストーク・損失をまとめる。全チャンネルのクロストークの総和として求められるトータルクロストークの値として -38.5 dB という値が得られ、Si PIC で実現したデマルチプレクサとして最も低いクロストークを実現することに成功した。

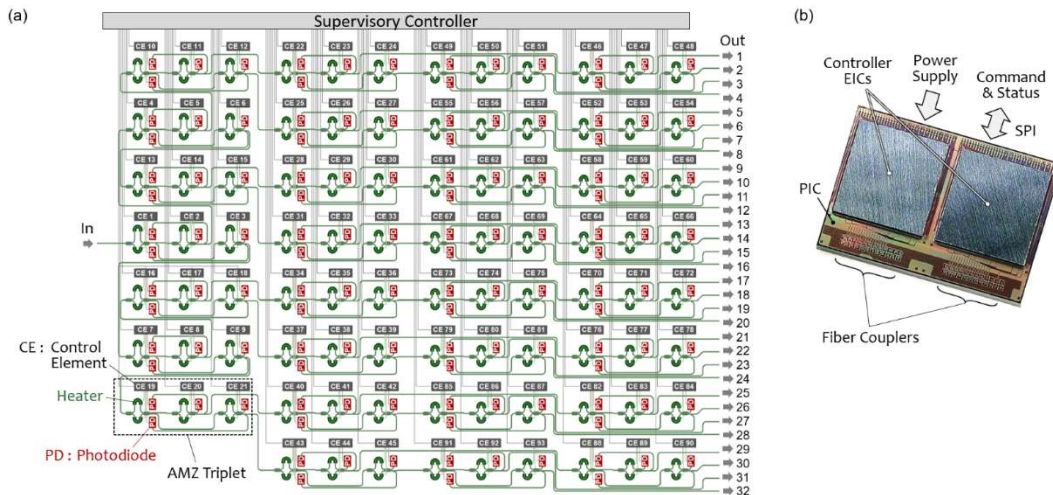


図 1.2.2.2(エ)①- 15 (a) 32 チャンネル CAT デマルチプレクサの構造、(b)フリップチップ実装した PIC+EIC アセンブリ

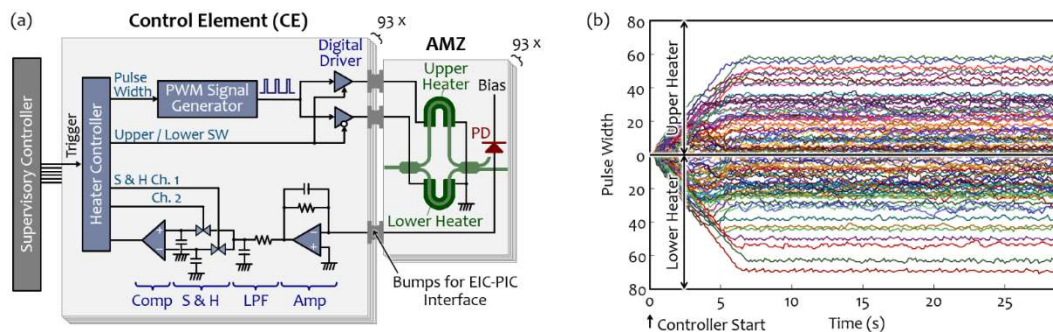


図 1.2.2.2(エ)①- 16 (a) 32 チャンネル CAT の制御チップ構成、(b)各 CE のパルス幅の変化

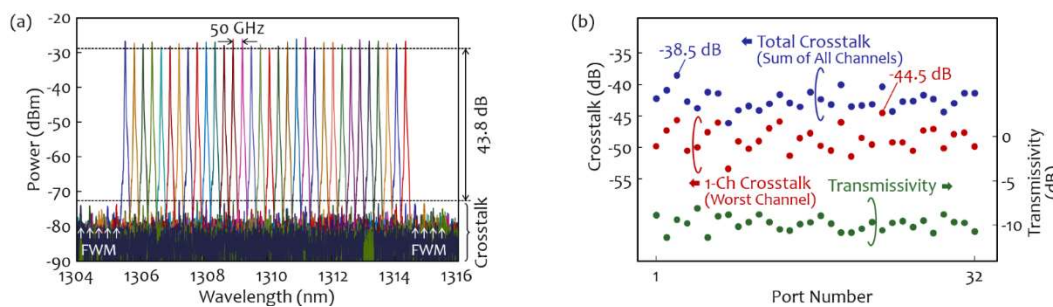


図 1.2.2.2(エ)①- 17 (a) 32 出力ポートの出力信号スペクトル、(b) 各ポートのクロストークおよび透過率

[トランシーバによる WDM 技術検証]

10 Tbps CPU 間インターコネクタ実現に必要な光エンジン技術の原理実証機として、前項で開発した WDM 技術を搭載したシリコンフォトニクス光エンジンを試作した。

シリコンフォトニクス WDM 光集積チップは、外形寸法 5 mm×7 mm 内に、光入出力領域、MUX (合波)・DEMUX (分波) 領域、光変調器・受光器領域等が配置され、ドライバチップ、WDM 制御チップを実装することにより、25 Gbps×4 波の WDM 信号の送受信が行える仕様となっている。

図 1.2.2.2(エ)①- 18 に WDM 光集積チップの外観写真を示す。TX (送信) 側と RX (受信) 側で、

以下の様な光回路構成を有する。

TX 側は、外部の光源より供給される 4 波長のレーザ光が、光入出力領域に設けられた 4 つの GC (グレーティングカップラ) よりチップ内にそれぞれ入射する。光電子融合サーバボードは CPU などの発熱源の直近に光エンジンを搭載するため、熱の影響を受けるレーザは離れた場所に配置することが望ましいためである。入射光は光変調器領域に配置した Mach-Zehnder 干渉計タイプの変調器 (Tx1~Tx4) で 25 Gbps の NRZ (Non-Return-to-Zero) 信号光に変調される。MUX 領域で合波された後、送信用 GC (Tx out) より WDM 光として出射される構成である。

RX 側は、受信用 GC (Rx in) より入射した WDM 信号光は DEMUX 領域で 4 波長に分波された後に、受光器領域の 4 個の Ge フォトダイオード (Rx1~Rx4) でそれぞれに光電変換される構成である。

WDM は O バンド (1310 nm 帯) で動作し、400 GHz 間隔となるように設計した。類似規格である 100GBASE-LR4 (IEEE 802.3bm) の 800GHz 間隔に対して、2 倍の密度である。

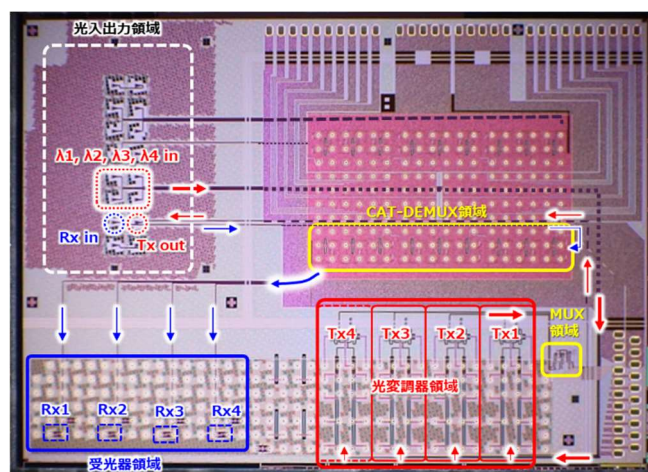


図 1.2.2.2(エ)①- 18 WDM 光集積チップの外観写真

WDM 光集積チップは、直径 300 mm、SOI (Silicon on Insulator) 厚 205 nm、BOX (Buried Oxide) 厚 2 μm 、総厚約 775 μm の SOI ウエハを用い、300 mm ウエハプロセスにより製造された。その際、FEOL (前工程) と BEOL (後工程) で異なるファウンドリを用いた。図 1.2.2.2(エ)①- 19 に WDM 光集積チップの断面構造の概略図を示す。FEOL 工程では主に、Si 導波路加工、イオン注入、Ge エピ層形成、ヒータ層形成、コンタクトホール形成、2 層のメタル層 (M1,M2) 形成、パッシベーション層形成等を行った。一方で BEOL 工程では主に有機密着層形成ならびに UBM (Under Bump Metal) 形成を行った。有機密着層は、WDM 光集積チップ上にドライバチップならびに制御回路チップをそれぞれフリップチップ実装した際の多数の微細バンブ接続部の歩留り改善を目的として形成した。

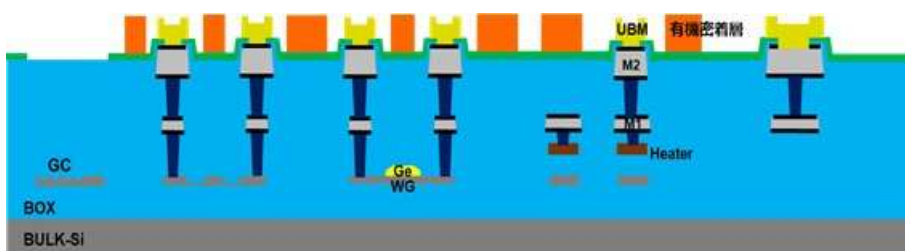


図 1.2.2.2(エ)①- 19 WDM 光集積チップ断面構造概略図

この光集積チップを用いたシリコンフォトニクス光エンジンの外観写真を図 1.2.2.2(エ)①- 20 に、ブロック構成を図 1.2.2.2(エ)①- 21 に示す。光集積チップを駆動・制御するドライバチップおよび制御チップは、光集積チップ上にフリップチップ実装されている。これにより、小型化と配線長の短縮によるシグナルインテグリティの確保を図っている。WDM 信号の MUX および DEMUX は、電源投入時のイニシャライズおよび運用時の微修正を行うフィードバック制御回路が必要である。MUX は ADC (アナログ-デジタル変換回路) および DAC (デジタル-アナログ変換回路) をマイクロコントローラで制御することで、DEMUX は前項で述べた専用 IC を搭載して実現している。

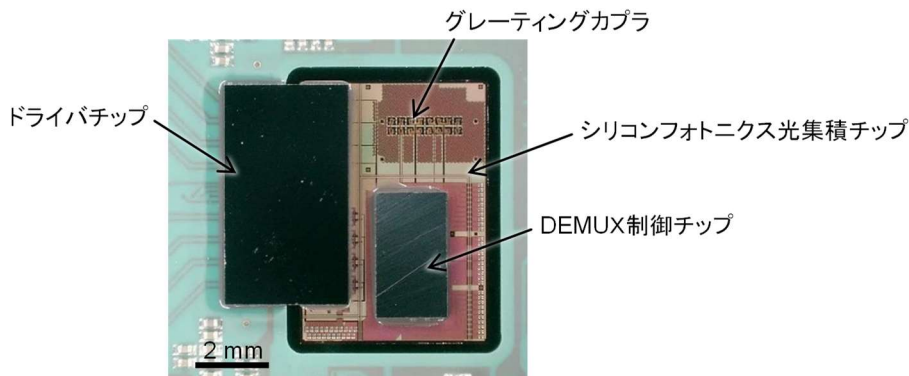


図 1.2.2.2(エ)①- 20 シリコンフォトニクス光エンジンの外観写真

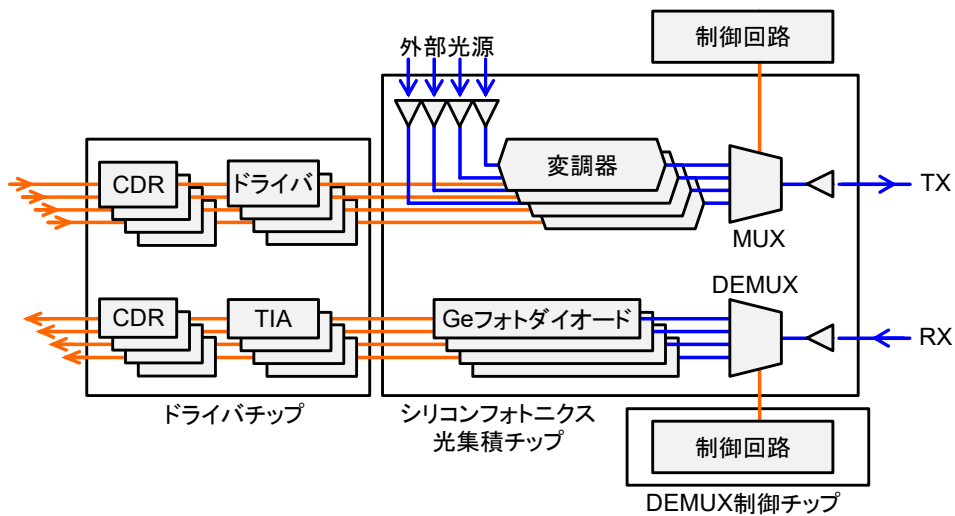


図 1.2.2.2(エ)①- 21 シリコンフォトニクス光エンジンの構成

CDR: Clock Data Recovery、TIA : Transimpedance Amplifier

この光エンジンを図 1.2.2.2(エ)①- 22 に示すトランシーバとして試作した。トランシーバの性能評価を簡便に実施するために、市販の QSFP (Quad Small Form-factor Pluggable) 評価ボードに装着できる形状としているが、完全には QSFP 規格に準拠していない。トランシーバ基板には光エンジンおよび電源回路、制御回路が搭載されている。

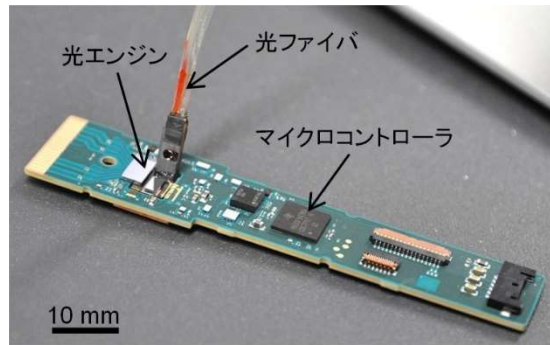


図 1.2.2.2(エ)①- 22 試作トランシーバ

試作したトランシーバの特性を図 1.2.2.2(エ)①- 23 の構成で評価した。2 台のトランシーバを対向して配置し、それぞれに PPG (パルスパターン発生器) と BERT (ビットエラーレートテスト) を接続して、波長可変レーザからのレーザ光を供給する。トランシーバへ任意のパワーの WDM 信号を入力するため、光アンプと VOA (可変光アッテネータ) を組み合わせている。

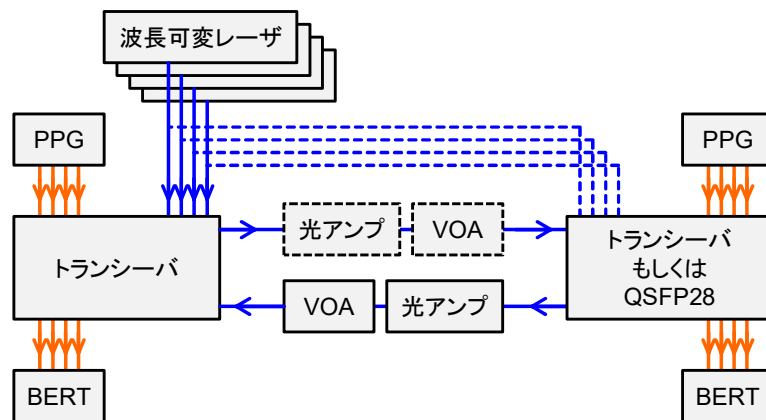


図 1.2.2.2(エ)①- 23 試作トランシーバの評価系 (QSFP28 の場合、破線は使用しない)

TX からの光出力のスペクトルは、図 1.2.2.2(エ)①- 24 に示すように 4 波長が均一に合波されており、光集積チップの MUX およびそのフィードバック制御回路の動作を確認した。前項の DEMUX の結果と併せて、WDM に必要な MUX および DEMUX の動作を実証したことになる。

トランシーバの TX および RX の出力波形を図 1.2.2.2(エ)①- 25 に示す。アイが十分開口した良好な品質である。これを送受信したときの BER (ビット誤り率) を図 1.2.2.2(エ)①- 26 に示す。4 チャンネルとも $BER < 10^{-12}$ のエラーフリー伝送を実現できていることを示している。パワーのばらつきは、チャンネルごとの損失ばらつきを反映していると思われる。

10 Tbps CPU 間インターコネク実現に必要な光エンジン技術の原理実証機として試作したトランシーバの WDM 動作およびエラーフリーのデータ伝送を確認した。これにより、光エンジンとしての原理的な動作を実証した。

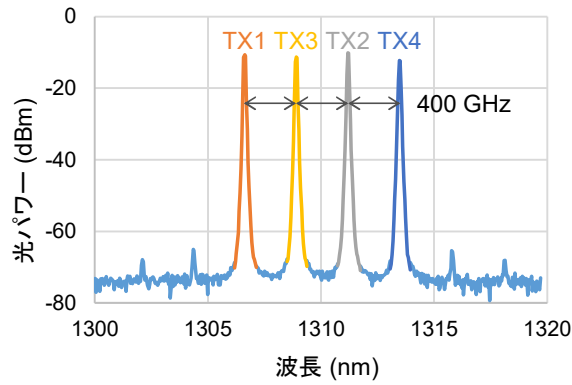


図 1.2.2.2(エ)①-24 トランシーバ出力の光スペクトル

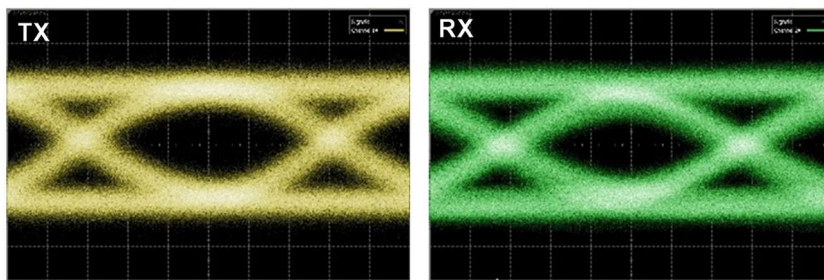


図 1.2.2.2(エ)①-25 トランシーバ出力波形

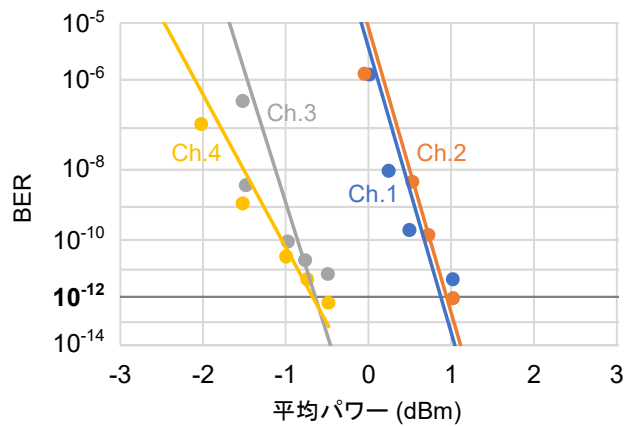


図 1.2.2.2(エ)①-26 25.0 Gbps 動作のビット誤り率 (PRBS7: 疑似ランダム信号)

WDM の MUX および DEMUX は前述のようにフィードバック制御で性能を維持できる。制御エラーが発生した場合、MUX は単純に光パワーが弱くなるだけであるが、DEMUX は他波長の混入による信号の劣化が生じる。通常の動作状態でフィードバック制御が必要となるのは、温度ドリフトに対してである。そこで、温度への追従性を調査した。ここでは温度そのものではなく、温度係数(0.07 nm/°C)に相当する波長ずれを与えることで、疑似的に温度ドリフトを表現した。

図 1.2.2.2(エ)①-27 に DEMUX のフィードバック制御の効果を示す。フィードバック制御が OFF 状態では数°C のドリフトでエラーが発生したのに対し、ON 状態では±20 °C に相当する変動でもエラーフリーを実現しており、フィードバック制御の有効性を確認した。

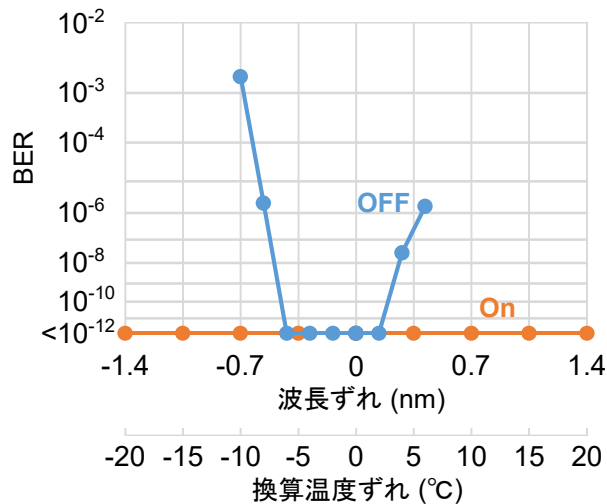


図 1.2.2.2(エ)①-27 DEMUX のフィードバック制御

[ガラスインターポーザへの光配線技術の開発]

10 Tbps の広帯域インターコネクタバンド幅を有する光電子融合サーバボード用ガラスインターポーザの高密度多チャンネル光配線として、ポリマー導波路が有望である。図 1.2.2.2(エ)①-28 にガラスインターポーザ用光接続構造の模式図およびモックアップの外観写真を示す。シリコンフォトニクス光チップとドライバや TIA が集積された電気チップがダイボンディングされ、電気光信号変換を行う光エンジンとして機能する。光エンジンはインターコネクタを行う LSI 近傍に配置され、電気配線長を短くすることで 100 Gbps 以上の高速信号伝送を低消費電力で行える構造としている。光配線は 2 つのミラー構造を有するポリマー導波路で形成され、基板端で光ファイバアレイに接続されている。これにより、低背かつ高密度で複数の光エンジンとの入出力チャンネルを基板端の一か所に集約でき、冷却機構や他の基板上的電子部品との部品干渉が起こらない高密度光配線が実現できる。

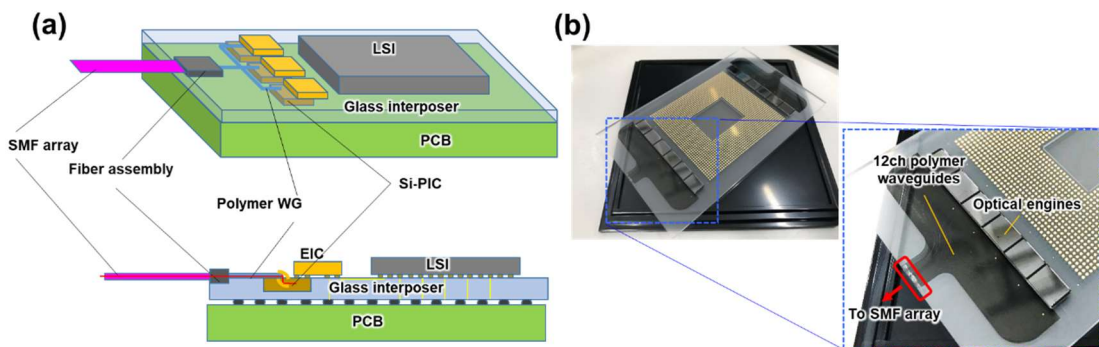


図 1.2.2.2(エ)①-28 高密度ガラスインターポーザ上光配線 (a)模式図、(b)モックアップの外観写真

基板上的ポリマー導波路と光ファイバアレイを高密度かつ低損失に光接続するため、図 1.2.2.2(エ)①-29 に示す新規の光ファイバアセンブリ構造を考案した。高精度位置合わせを要するシングルモードでの光接続のため、高精度 V 溝アレイを有する V 溝チップを基板端に埋め込み、新開発の蓋付き小型フェルール (5 mm × 6 mm × 0.3 mm-t) を用いて、12 本のファイバアレイを V 溝アレイに押圧しながら一括搭載可能な構造とした。これにより、パッシブでも各ポリマー導波路と各光ファイバとの位置および高さを高精度に位置合わせすることができる。蓋付き小型フェルールを V 溝上で接着固定

し、ファイバアレイの逆端の標準多心光コネクタで着脱が可能となるピグテイル構造とした。開発したこの構造にプロジェクト開発の上下ミラーを形成し、ガラス基板上での光配線技術の検証を行った。

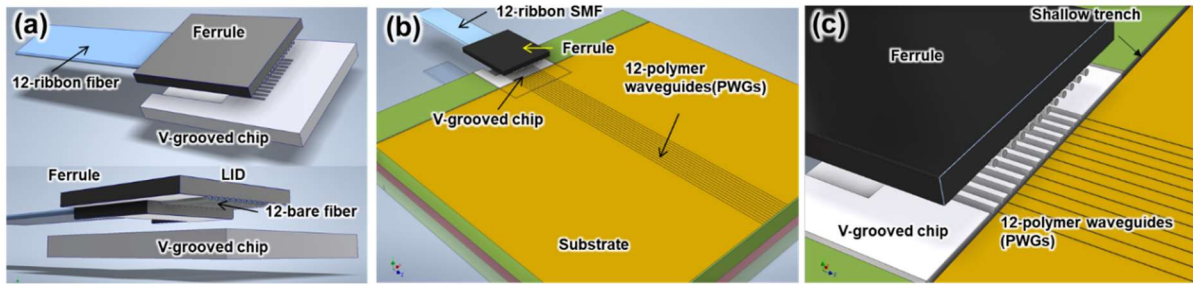


図 1.2.2.2(エ)①-29 提案したポリマー導波路への光ファイバアセンブリ構造

ガラスインターポーザへの光配線用ポリマー導波路のレーザ顕微鏡像、断面写真、および損失データを、それぞれ図 1.2.2.2(エ)①-30 (a)、(b)および(c)に示す。露光プロセスにより、矩形形状のコアが得られ、 $1.31\ \mu\text{m}$ の波長帯の光に対してシングルモード伝搬を示した。カットバックにより、その伝搬損失は $0.5\ \text{dB/cm}$ 、モード不整合による結合損失は $0.6\ \text{dB}$ と低損失の特性が得られた。さらに、配線引き回しのため、曲げを有する導波路の評価を行い、 $6\ \text{mmR}$ で $0.2\ \text{dB}$ 以内の曲げ特性を確認した。

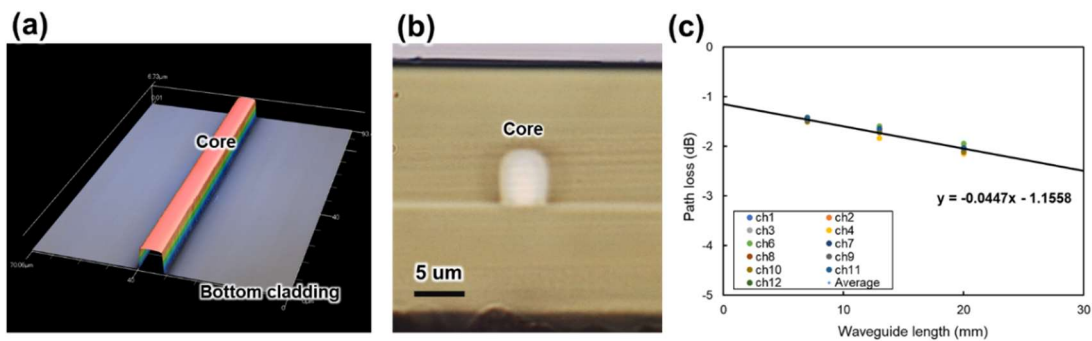


図 1.2.2.2(エ)①-30 開発したポリマー導波路 (a)レーザ顕微鏡像、(b)断面写真、(c)損失データ

開発した光導波路を用いてファイバアセンブリを試作した。図 1.2.2.2(エ)①-31 にファイバアセンブリの外観、およびファイバとポリマー導波路の接続箇所の外観を示す。半導体プロセスで形成した $1\ \mu\text{m}$ 以内の高精度 V 溝チップを再配線プロセス用のモールド樹脂に埋め込んで、基板とし、V 溝チップのアライメントマークを基準としてポリマー導波路を基板上に形成した。また、射出成型で蓋付き小型フェルルールを試作し、ファイバアレイを実装後に V 溝チップ上に搭載して接着固定した。接続箇所の外観より、ファイバは V 溝上で非常に高精度に整列しており、提案したファイバアセンブリの実現に成功した。ファイバと導波路間の接続部には、反射防止および保護のため透明樹脂封止した。

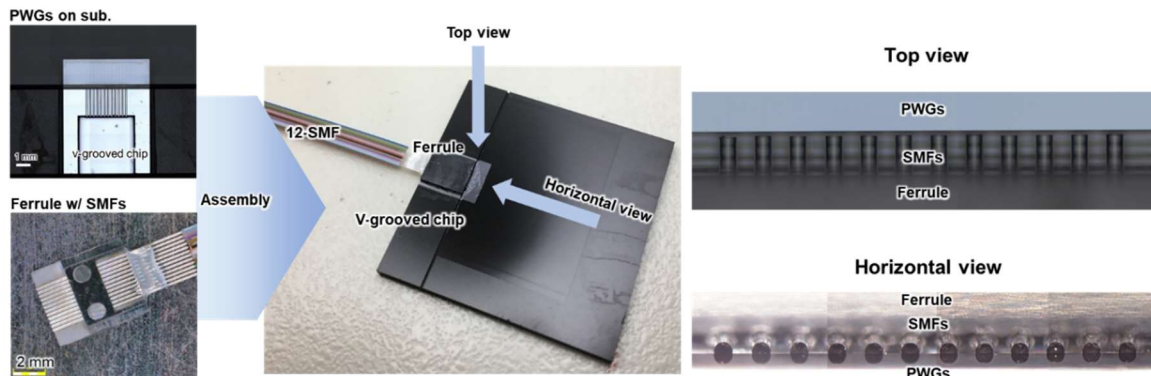


図 1.2.2.2(エ)①- 31 開発したファイバアセンブリおよびファイバとポリマー導波路の接続箇所の外観

図 1.2.2.2(エ)①- 32(a)に可視光入力時の外観、同図(b)に 1.31 μm の波長帯での各チャンネルでの接続損失、および同図(c)にその温度依存性評価の結果を示す。ファイバレイ側から可視光を入力し、入力光が導波路内部を伝搬していることを視覚的に確認した。また、各チャンネルの接続損失は低く、全 12 チャンネルの平均接続損失は 1.45 dB であり、シングルモードでのパッシブ実装技術としては世界最高レベルの低損失での光接続を実証した。高番号のチャンネルが僅かに高い傾向がみられるが、これはフェルールの V 溝チップへの押圧方法の微修正により他のチャンネルと同レベルまで低損失化が実現可能と考えている。反射減衰量は約 33 dB であり、これは光ファイバ、ポリマー導波路、およびそれらの間に充填した透明樹脂の屈折率値からの計算予測値に近く、本構造での伝送路間で空隙が存在しないことを明らかにした。また、10 Tbps クラスの光電子融合サーバボードでの LSI は消費電力量が高く、高効率冷却機構でもガラスインターポーザ端での温度上昇が予測される。本アセンブリでの温度依存性では、55 $^{\circ}\text{C}$ のステージ温度上でも損失変動は 0.3 dB 以内と非常に小さく、実用上の有効性を明らかにした。(図 1.2.2.2(エ)①- 32(c)参照)

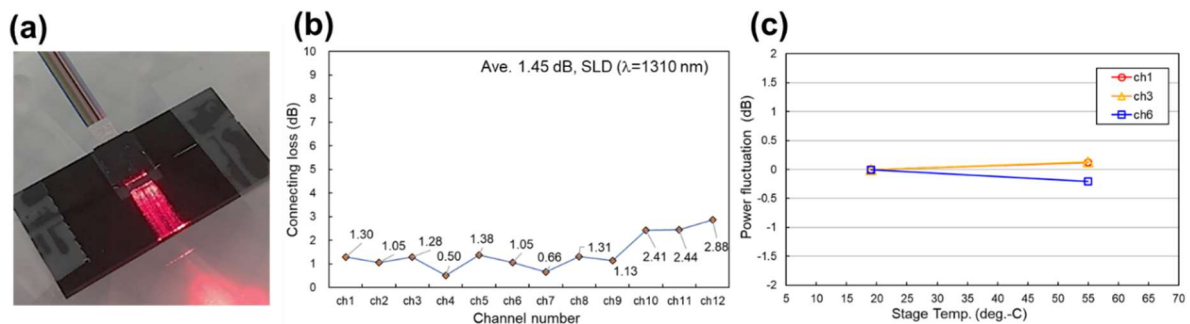


図 1.2.2.2(エ)①- 32 (a)可視光入力時の外観、(b)試作ファイバアセンブリの接続損失、(c)温度依存性

ガラスインターポーザへの光配線技術の検証を目的とし、開発したポリマー導波路、光ファイバアセンブリ、およびプロジェクトで開発した階調露光による上下ミラー構造を用いて、小型ガラス基板上への光配線の試作を行った。図 1.2.2.2(エ)①- 33 に検証構造の模式図を示す。ガラス基板表面にザグリ加工を行い、前述の V 溝チップ、および別途準備したループバック導波路を持つシリコンフォトニクスチップを埋め込み、ポリマー導波路、上下ミラーを形成する。同図に示すように、上下ミラー構造により、ポリマー導波路とシリコン導波路の結合は 2 回反射を行い、空間光学的に接続される。

上部ミラー面は平面空気全反射、下部ミラー面は凹面金属膜反射でスポットサイズ変換機能も担っている。

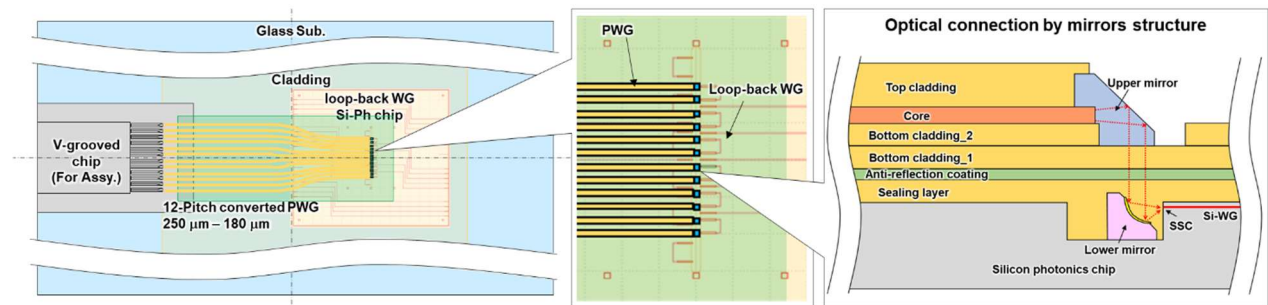


図 1.2.2.2(エ)①- 33 ガラス基板上への光配線技術検証構造の模式図

試作したガラス基板上光配線の写真およびレーザ顕微鏡像を図 1.2.2.2(エ)①- 34 に示す。同図(a)の低倍率写真ではパターニングされた上部クラッドによりピッチ変換の形状が確認できる図 1.2.2.2(エ)①- 34(b)はチップ内に形成した下部ミラーの写真およびレーザ顕微鏡像を示す。写真中の黄色い部分は金蒸着膜をミラー面にパターニングしたものである。1.31 μm の光に対して曲率が最適化されており、下部ミラーの単独評価でも 2-3 dB 程度と、プロジェクトから報告されている値と同程度の損失値を達成した。同図(c)は上部ミラーの写真およびレーザ顕微鏡像を示す。図 1.2.2.2(エ)①- 33 断面図における下部クラッド 2 がパターニングされており、パターニングされた開口部境界に設計値に近い寸法、位置で上部ミラーの形成を実現した。ガラス基板上へのポリマー導波路、および上下ミラーの製造可能性を確認した。

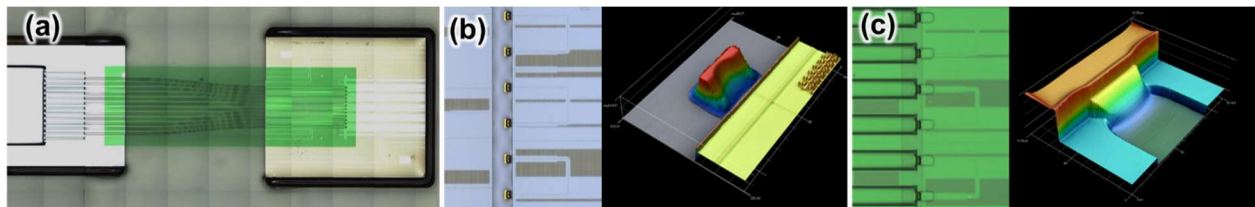


図 1.2.2.2(エ)①- 34 ガラス基板上光配線の写真およびレーザ顕微鏡像
(a)ポリマー導波路、(b)下部ミラー、(c)上部ミラー

図 1.2.2.2(エ)①- 35(a), (b)に光ファイバアレイをアセンブリしたガラス基板上光配線の外観を示す。ガラス基板でも問題なく、ファイバアセンブリが可能であること実証した。同図(c)に、各チャンネルでの 1.31 μm 帯の光学評価による挿入損失データを示す。中央付近のチャンネルが約 20 dB と安定している一方、端付近のチャンネルで損失が高い傾向がみられる。チップとガラス基板の境界付近で膜厚が他より厚くなっており中央付近のチャンネルと比較して各構造の寸法、形状値が設計値と乖離していたためである。各構造の寸法、形状値が設計値に近い中央付近のチャンネルでは、片方向での光学損失はループバックの約 20 dB の半分の約 10 dB となり、内訳としては、各要素のばらつきを含めた単体評価の結果より、ファイバアセンブリで 2 dB、ポリマー導波路で 1 dB、上下ミラーで 6 dB、および過剰損 1 dB 程度と推測される。本結果によりガラス基板上での光ファイバからシリコンフォトニクスチップまでの光配線技術の検証を達成した。今後、各製造プロセスの見直し、特に上下ミラーの形状、寸法

の改良によりさらなる低損失化が可能であると考えられる。以上の結果より、光電子融合サーバボード用ガラスインターポーザへのポリマー導波路光配線技術適用可能性の目途が得られた。

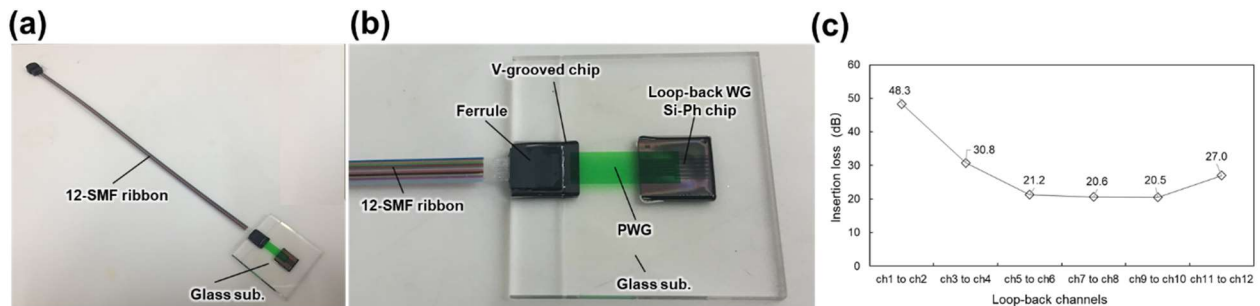


図 1.2.2.2(エ)①-35 光ファイバアレイ実装ガラス基板光配線サンプル (a)(b)外観、(c)挿入損失

光電子融合サーバボードに適用するためのガラスインターポーザ上光配線には高密度かつ低損失、さらに高温での安定性が不可避の要件である。提案したファイバアセンブリは従来の標準多心コネクタである MT フェルールよりも設置面積が小さく、低背も実現しており、世界最高レベルでの高密度となっている。また、その損失もシングルモードでのパッシブ実装においては世界最高レベルの低損失接続性能が得られている。さらには高温環境においても変動は見られず、サーバ用実装技術として有望な構造であると結論付けられる。一方、シリコンフォトンクスとの接続効率やプロセス歩留まりについては、各製造プロセス改良を行いながら今後向上していく必要がある。

光電子融合サーバボード用のガラスインターポーザ上光配線実現に向けて、シングルモードポリマー導波路および高密度パッシブファイバアセンブリの研究開発を行った。ポリマー導波路は 0.5 dB/cm と低損失な評価結果が得られ、また、基板上に形成したポリマー導波路と接続するために考案した新規ファイバアセンブリ構造では平均 1.45 dB と非常に低接続損失の特性を示し、新たな光実装技術の開発に成功した。また、ガラス基板上で上下ミラーと組み合わせたループバック構造の試作サンプルにより、現状、片道約 10 dB の挿入損失でのガラス基板上でのポリマー導波路による光配線技術の検証を達成した。今後上下ミラーの改良を中心に全体的にプロセスを改良し、さらなる低損失化が可能と考えられる。以上の結果より、ポリマー導波路による光配線技術のガラスインターポーザへの適用可能性の目途が得られた。

[既存サーバを用いたシステム実装構成の検証と課題抽出]

本研究開発で掲げるシステム化技術の確立を達成するには、 10 Tbps 伝送動作を可能とする要素技術に留まらず、光電子融合サーバボードのサーバシステムへの実装構成の検証が必要となる。サーバシステムへの実装上の課題としては、例えば製造面では、CPU パッケージと光エンジンとの混載において、リフロー工程で生じる反りの影響を低減する実装構造が挙げられる。また、システム性能面では、高速電気信号の配線長短縮の観点で、高温で動作する CPU パッケージ近傍に光エンジンを配置することが望ましく、冷却構造に特別な工夫が必要か否かという課題もある。これら以外にも潜在的な課題をあらかじめ抽出する必要がある。本節では、サーバシステムへの実装上の課題を抽出し、光電子融合サーバボードの構造設計や試作にフィードバックすることを目的とした活動の成果を報告する。

本研究開発のテーマである光電子融合サーバボードは近い将来の高性能サーバシステムへの適用を想定したものであり、現状 10 Tbps もの伝送帯域を必要とするサーバシステムは存在しないことから、

システム実装構成の検証は次のように進めた。

- ・電気インターフェース (I/F) を有する既存のサーバシステムを利用
- ・電気 I/F と互換性があり、同等の伝送帯域を有する光 I/F を試作
- ・既存サーバシステムの電気 I/F を光 I/F へ置き換え
- ・光 I/F で置き換えた既存サーバのシステム動作性能を評価

以下得られた成果について報告する。

- ・既存サーバシステムの決定

初めに、システム実装構成の検証に使用する既存サーバシステムを決定した。決定した既存サーバシステムは、筐体内に PCI 規格サーバボードを複数枚搭載可能な構造であり、PCI 規格サーバボードは Mini-SAS 規格に準拠した 100 Gbps (25 Gbps×4 チャンネル) ×5 ポートの電気 I/F を有する。複数の PCI 規格サーバボードを電気ケーブルで接続して並列演算トポロジを形成する。今後、PCI 規格サーバボードを既存サーバボードと呼ぶ。既存サーバシステムの筐体は、PCI の空冷規格 (45°C、5 m/s) に適合した冷却機構を有する。

- ・電気 I/F と互換性があり、同等の伝送帯域を有する光 I/F の試作

次に、既存サーバボードの電気 I/F と同等の伝送帯域をもち、互換性を有する光 I/F を試作した。既存サーバボードの電気 I/F は 25 Gbps×4 チャンネルのポートを 5 個備えている。そこで、シリコンフォトニクス技術をベースとする光 IO コアを 5 個用いた光電子変換ボード (EO ボード) により、電気 I/F を光 I/F に置き換える構造とした。光 IO コアは、1 個あたり 25 Gbps×4 チャンネルの伝送帯域を低消費電力で実現し、モジュールサイズも 5 mm 角と小さいことから高密度実装に適すると判断した。

基本構造の決定に続き、EO ボードの詳細構成を設計した。EO ボードの基材は樹脂基板とし、図 1.2.2.2(エ)①-36 左の断面構造に示すように、EO ボードと既存サーバボードは、高さ 5 mm のスタックコネクタを介して脱着可能な構造とした。既存サーバボード側のスタックコネクタは中継基板に取り付けられており、中継基板の裏面は電気 I/F ソケット用のスルーホールに埋め込んだ Cu ボールとはんだで実装される。図 1.2.2.2(エ)①-36 左の断面構造での電源配線 (Power integrity, PI) および信号配線 (Signal integrity, SI) の解析結果を同図右および図 1.2.2.2(エ)①-37 に示す。電源配線、信号配線ともに十分安定な設計性能を有し、25 Gbps 信号の伝送シミュレーションでは良好なアイ開口が得られた。

- ・既存サーバシステムの電気 I/F を光 I/F へ置き換え

以上の設計に基づき EO ボードを試作し、既存サーバボードに実装した (図 1.2.2.2(エ)①-38)。5 個の光 IO コアがわずか間隔 5 mm で高密度に配置されている。EO ボードは CPU パッケージの直近に配置され、電気配線長は最長で 65 mm であった。光 IO コアには、サーバシステムの冷却風を想定して構造設計したヒートシンクを取り付け、過度な発熱を抑制した。既存サーバボードへの実装前に EO ボード単体での評価を実施し、25 Gbps×20 チャンネルの高密度同時動作を確認した。

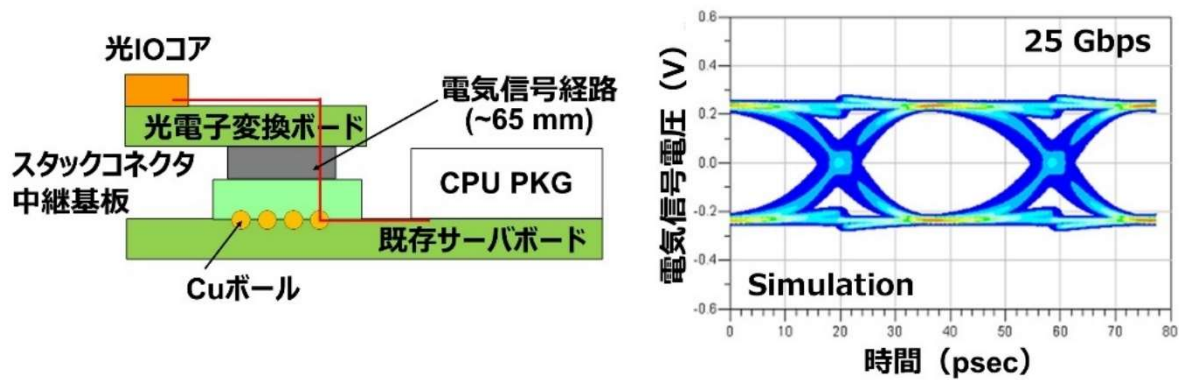


図 1.2.2.2(エ)①- 36 光電子変換ボード (EO ボード) の断面構造 (左)、25 Gbps 信号の伝送シミュレーション結果 (右)

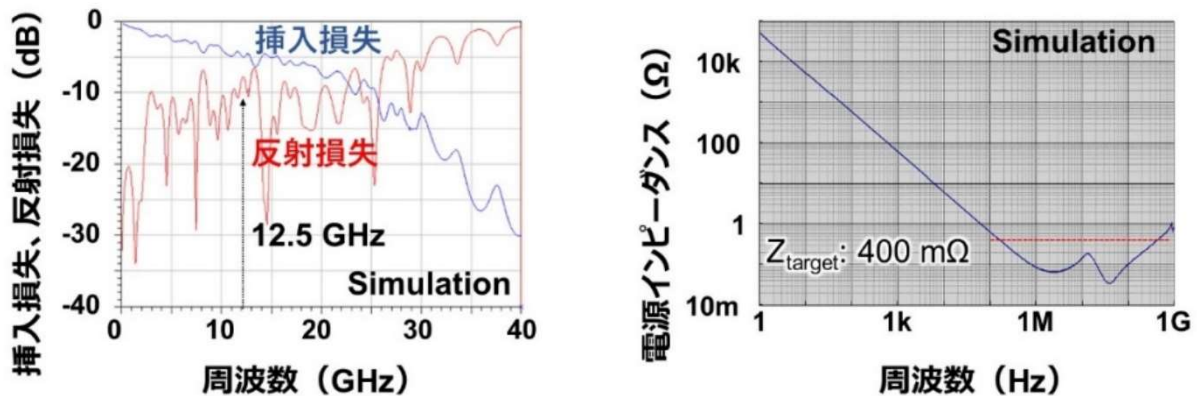


図 1.2.2.2(エ)①- 37 電気伝送路の周波数応答特性 (左)、電源インピーダンス特性 (右)



図 1.2.2.2(エ)①- 38 試作した EO ボードと既存サーバボードへの実装

・ 光 I/F で置き換えた既存サーバのシステム動作性能評価

高密度 EO ボードを既存サーバに搭載しシステム動作させることで、システム実装技術の課題を抽出した。まず、システム動作中の既存サーバ内部の温度分布を実測したところ、図 1.2.2.2(エ)①- 39 に示すように、最悪条件で、CPU 近傍は約 70°C まで、光 I/F 部は約 60°C まで上昇することが分かった。

この結果から、シリコンフォトニクス技術を用いた光エンジンは動作上限温度が 80°C以上と高く、CPU 直近への近接配置が可能との知見を得た。更に、既存サーバの冷却機構をそのまま利用できる目途を得た。

前項の SI 解析で示したように、今回の構造は電気配線長が最長 65 mm と長く、25 Gbps の信号伝送には耐えられるが、光電子融合サーバボードの目標 112 Gbps (56 GBaud、PAM4) には届かない。上述の通り、シリコンフォトニクス光エンジンは CPU 直近への配置が可能であるが、それでも、伝送損失の大きい樹脂基板では目標達成へのハードルが高い。基板材料の選択が課題となる。これを光電子融合サーバボードの設計にフィードバックした。

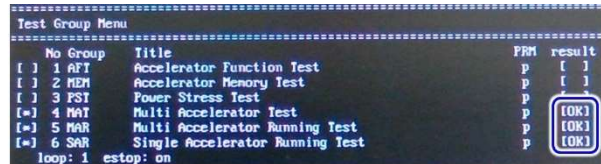
次に、電気インターコネクと光インターコネクとで既存サーバシステム動作を比較した。既存サーバは複数の既存サーバボードを搭載し、それらをインターコネクとで接続してトポロジを形成し、高い並列演算性能を得る。そこで、図 1.2.2.2(エ)①- 40 左に示すように、既存サーバの筐体内に、電気 I/F サーバボード 2 枚の対向ペアと、光 I/F サーバボード 2 枚の対向ペアを格納し、対向ペアをそれぞれ、Cu ケーブル、光ファイバで接続してトポロジを形成する。システム動作の検証には、専用のテストプログラムを用いた。図 1.2.2.2(エ)①- 40 右にテストプログラム実行結果の一例を示す。同図右上の結果は長さ 6 m の光ファイバを用いた場合で、すべてのテストステップで「OK」が表示されており、正常にシステム動作することを示している。一方、同図右下の結果は長さ 3 m の Cu ケーブルを用いた場合で、テスト結果に「NG」が表示されており、電気 I/F サーバボード間の信号疎通不良のためにシステム動作できない状態であることを示している。図 1.2.2.2(エ)①- 41 左は、ケーブル長を変えながら、電気インターコネクと光インターコネクとのシステム動作を比較した結果を示す。電気インターコネクとは 24 Gbps、距離数 m で信号劣化を示し、システム動作しなくなる一方で、光インターコネクとは光ファイバ長 300 m 以上でのエラーフリー伝送を確認し、システム動作が可能であることが分かった。以上の知見より、図 1.2.2.2(エ)①- 41 右に示すように、シリコンフォトニクスを用いた光インターコネクにより、サーバシステムの並列接続数を増やすことができ、結果として並列演算性能の向上に有利になることが分かった。更に、電気インターコネクでは Cu ケーブル長に依存した最適調整が必要だが、光インターコネクでは伝送特性が距離（光ファイバ長）にあまり依存しないので調整が不要である。サーバ運用面での光インターコネクの有用性を確認できた。



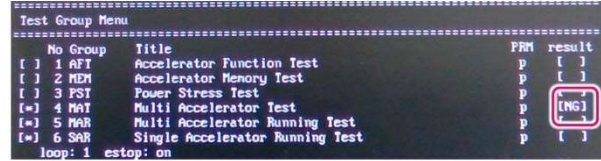
図 1.2.2.2(エ)①- 39 既存サーバがシステム動作中の既存サーバボードの温度分布



既存サーバシステム



光ファイバ接続 (6 m)



電気ケーブル接続 (3 m)

図 1.2.2.2(エ)①- 40 電気、光インターコネクトを実装した既存サーバ (左)、そのシステム動作評価結果の例 (右)

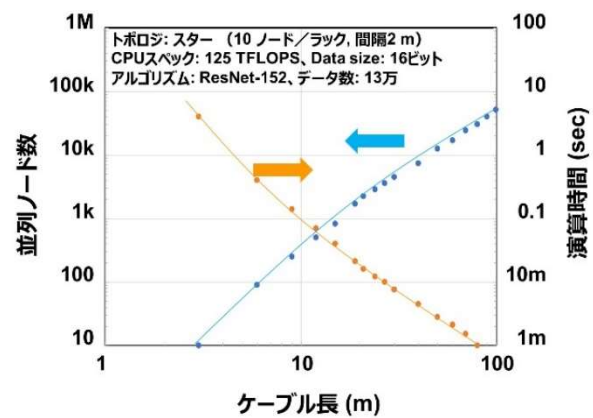
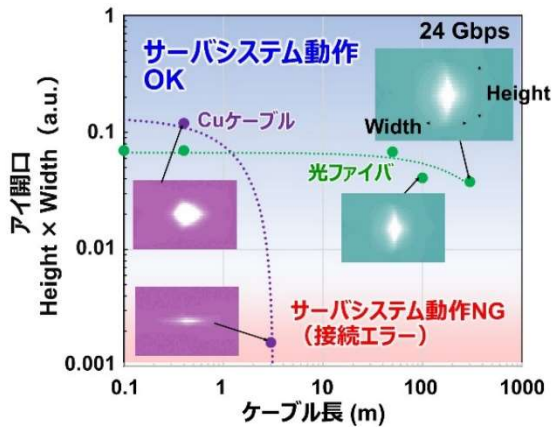


図 1.2.2.2(エ)①- 41 光インターコネクトと電気インターコネクトの比較 (左)、システム動作可能なケーブル長と並列ノード数、演算性能の試算結果 (右)

既存サーバシステムの電気 I/F を光 I/F に置き換えシステム動作を検証し、サーバシステムへの実装上の課題を抽出して、後節で述べる光電子融合サーバボードの構造設計や試作にフィードバックした。また、動作上限温度が 80°C 以上と高いシリコンフォトニクスは専用の冷却機構なしでも CPU への近接配置が可能であり、高速電気配線の短縮による広帯域化に有利との知見が得られた。更に、電気インターコネクトと光インターコネクタのシステム動作を比較し、光インターコネクトの有効性を実証した。

[光電子融合サーバボードの試作とシステム実証]

光電子融合サーバボードプロトタイプ試作

既存のサーバシステムを流用したガラスインターポーザ構造の、光電子融合サーバボードプロトタイプ試作を行った。

光電子融合サーバボードプロトタイプ試作において、以下の各部材について特性評価、あるいは、信頼性評価とともに、光電子融合サーバボードプロトタイプとしての組み立てを実施し、実用化における以下の課題抽出とその対策立案までを行う。

- ・ガラスインターポーザ (112 Gbps PAM4 伝送フィジビリティ検証)

- ・LGA ソケット（熱サイクル、高温高湿試験）
- ・冷却・LGA 加圧構造（冷却構造設計、実装応力解析）

以下にそれぞれの課題に対する対策を説明する。

- ・ガラスインターポーザ

試作したガラスインターポーザ基板の層構成を図 1.2.2.2(エ)①-42 に、外観を図 1.2.2.2(エ)①-43 にそれぞれ示す。

今回試作したガラスインターポーザでは、貫通ビア径が最大で $\phi 80 \mu\text{m}$ と、CPU パッケージの電源ビアが要求する許容電流値が満たせないという問題が発生した。このため、 $\phi 80 \mu\text{m}$ のビアを 4 つ並列接合することで対応した。

ビア径が大きくてできない最大の理由は、ガラスへの Cu めっき密着性不足である。これは、ガラス基板の低コスト化、適用範囲拡大において、今後に向けた課題として残る。

また、インターポーザでは配線以外に、穴開けや、ザグリ加工が部分的に必要となるが、ガラスに対してそのような加工を機械加工で行うと微細なチッピングが発生し易く、応力が加わった場合にクラックの起点となる恐れがある。そこで今回の試作では、穴開け、ザグリ加工は全てケミカルエッチングで実施し、チッピングが発生しないように配慮した。

112 Gbps PAM4 伝送フィジビリティ検証について、図 1.2.2.2(エ)①-44 に、今回実際に使用したガラスインターポーザ配線を実測した伝送特性（S パラメータ）を示す。比較として、有機基板で同等の配線を試作、実測した結果も示した。

図から明らかなように、ガラスインターポーザの伝送特性は、有機に比べて低損失である。これは、有機基板材料に比べて誘電正接が小さいことに起因していると考えられる。

この S パラメータを用いて 112 Gbps PAM4 のアイパターンをシミュレーションした結果を図 1.2.2.2(エ)①-45 に示す。

評価の結果得られたアイパターンは、開口高さ（32 mV）、幅（0.20 UI）のクライテリアを満たすことから、今回試作したガラスインターポーザ構造は、112 Gbps PAM4 の光インターコネクタ実装構造として適用可能であることが明らかとなった。

- ・LGA ソケット

試作した LGA ソケット（2 種）の外観、およびコンタクトの拡大を、図 1.2.2.2(エ)①-46 に示す。

2 種の違いはコンタクトピンの違いで、一つはエッチングで形成された金属ピンを樹脂に埋め込んだもの、もう一つは半ドラム上に形成されたシリコンゴムの表面にメッシュ状のコンタクトを巻き付けたピンを樹脂ハウジングに埋め込んだものである。金属ピンのものはコンタクトを得るための荷重が $>4 \text{ gf}$ で実績があるコンタクトピンであるのに対して、メッシュ状のコンタクトを巻き付けたピンのものは、フィールドでの実績はないものの、より低荷重の $>1 \text{ gf}$ でコンタクトが得られることから、2 種を試作して比較評価した。

LGA ソケットの位置合わせ機構については、システムボード上に搭載したスペーサ側と、ガラスインターポーザ側とは、有機基板（スペーサ）、LGA ソケットのハウジング、ガラスインターポーザ、それぞれの熱膨張率を考慮した異なる構造とした。

LGA ソケットのハウジングは樹脂のため、有機基板との熱膨張差は小さく、位置合わせは機械的なピンの勘合とした。一方、LGA ソケットのハウジングとガラスインターポーザの熱膨張差は大きく、ガラスインターポーザに穴をあけたピンの勘合では、停止→稼働時の温度差によりガラスに局所的な応力が発生し、破壊するリスクが大きいと考えた。そこで、LGA ソケットのハウジングにガラスイン

ターポーザ外形に合わせて位置合わせ用ピンを立て、ガラスインターポーザの外形で位置合わせする構造とした。これにより、温度が上昇した場合には、相対的にピンがガラスから離れる方向へ異動するため、システム稼働時の温度上昇でガラスインターポーザに応力がかからない位置合わせ構造を実現できた。

外形基準ということは位置合わせ精度も低下せざるを得ないが、今回試作した LGA ソケットピンは垂直方向に伸縮する構造であり、折れ曲がったコンタクトピンを用いてワイピングを必要とする構造とは異なるため、今回用いる CPU パッケージの仕様である、1 mm ピッチの $\phi 0.55$ mm BGA パッドで、十分な位置合わせ精度が得られるものと判断した。

試作した LGA ソケットに対して試験用の実装構造を組み立て、サーバ製品 5 年相当の信頼性評価（高温高湿放置、熱サイクル）を実施した。その結果、金属ピンの LGA ソケットについては問題が見られなかったのに対して、メッシュ状のコンタクトを巻き付けたピンの LGA ソケットは、高温高湿放置、熱サイクルともに断線が発生した。断線の原因はピンを埋め込んだ樹脂ハウジングの変形であり、高温時に樹脂の弾性率が低下し、荷重に耐えられず変形したものと考えられる。今回の試作では紫外線硬化型樹脂を用いた 3D プリンタを使った簡易成形で行ったため、ソケット量産品で一般に用いられる液晶ポリマーに比べて耐熱性が低いとはいえ、樹脂ハウジングを大型の LGA ソケットに適用する場合、十分な耐熱、耐荷重を事前検討する必要があることが明らかとなった。

・冷却・LGA 加圧構造

冷却構造（ヒートシンク）は、既存システムの実装構造（システムボードの取り付け穴、システムボード裏面のバックプレート）を流用することとした。しかし、既存のシステムは冷却を目的とした加圧構造であるのに対して、本試作では LGA ソケットを接続するための加圧が必要となるため、ヒートシンクの設計では冷却、LGA ソケット加圧の両面からシミュレーションを実施し、システムとして成立するかどうか、事前検討を実施した。

冷却シミュレーションとして、CPU 稼働時の発熱を考慮した温度分布を解析した結果、CPU の発熱がほぼ全てヒートシンクに流れることによって、ガラスインターポーザ上に実装された光電子変換素子には影響なく、独立した冷却構造を考えれば良いことが明らかとなった。冷却シミュレーションによって得られた CPU 周辺の温度分布図を図 1.2.2.2(エ)①-47 に示す。

加圧構造としての実装応力シミュレーションでは、ヒートシンク荷重の増加に耐えられる強度を持たせるために、CPU パッケージに接する Cu 板の厚みを増加させることで、LGA ソケット全体でコンタクトに必要な荷重がかけられることが明らかとなった。実装応力シミュレーションによって得られた LGA ソケットコンタクト面の接圧分布図を図 1.2.2.2(エ)①-48 に示す。

・光電子融合サーバボードプロトタイプアセンブリ

試作した各部材と、既存システムの CPU パッケージ、システムボードを用いて、光電子融合サーバボードプロトタイプのアセンブリを実施した。ガラスインターポーザ上への CPU パッケージ、光モジュール実装については、事前にはんだリフローのための温度プロファイルを検討、取得し、一度のはんだリフローで実装できるように準備した。CPU パッケージ実装後、LGA ソケット接合面の反り形状を観察した結果、予想通り、CPU パッケージ中央部でシステムボードとの距離が小さくなる形状となっていることが確認できた。

CPU パッケージ、光モジュールが実装されたガラスインターポーザを、LGA ソケットを介してシステムボードに接続する工程を図 1.2.2.2(エ)①-49 に示す。システムボード上にはんだ実装されたスペーサには LGA ソケットに設けられた位置合わせ用ピンが勘合する穴が開いており、LGA ソケットは

容易にスペーサ上で位置決めできる。LGA ソケットとガラスインターポーザの位置合わせは、LGA ソケットに設けられた 6 本の位置合わせピンへの、三辺の外形突き当てで行い、その後、ヒートシンクを上から四角のボルトで加圧固定することで組立が完了する。

組立後、システムボードに設けられた CPU パッケージ接続確認用のクーポンを用いて、LGA ソケット、ガラスインターポーザを介して、システムボードと CPU パッケージが電氣的に接続されていることを確認した。組立が完了した光電子融合サーバボードプロトタイプの外観を図 1.2.2.2(エ)①- 50 に示す。

既存のサーバシステムを流用しながら CPU パッケージの直近に光電子変換素子を配置して、112 Gbps の伝送速度による CPU 間光インターコネクトを可能にする、光電子融合サーバボードプロトタイプを試作した。主な開発部材として、ガラスインターポーザ基板、LGA ソケット、冷却・LGA 加圧構造を開発し、実用化に向けた評価を行った。その結果、CPU パッケージと光電子変換素子をガラスインターポーザ上に短距離で実装し、それを LGA ソケットでシステムボードに接続することで、既存のサーバシステム開発の延長技術で、112 Gbps の高速光インターコネクトが適用可能であることを実証できた。また、LGA ソケットの試作では信頼性評価で問題が発生し、今後の実用化において解決すべき信頼性での課題（ソケットハウジングの高耐熱、高耐荷重化）が明らかとなった。

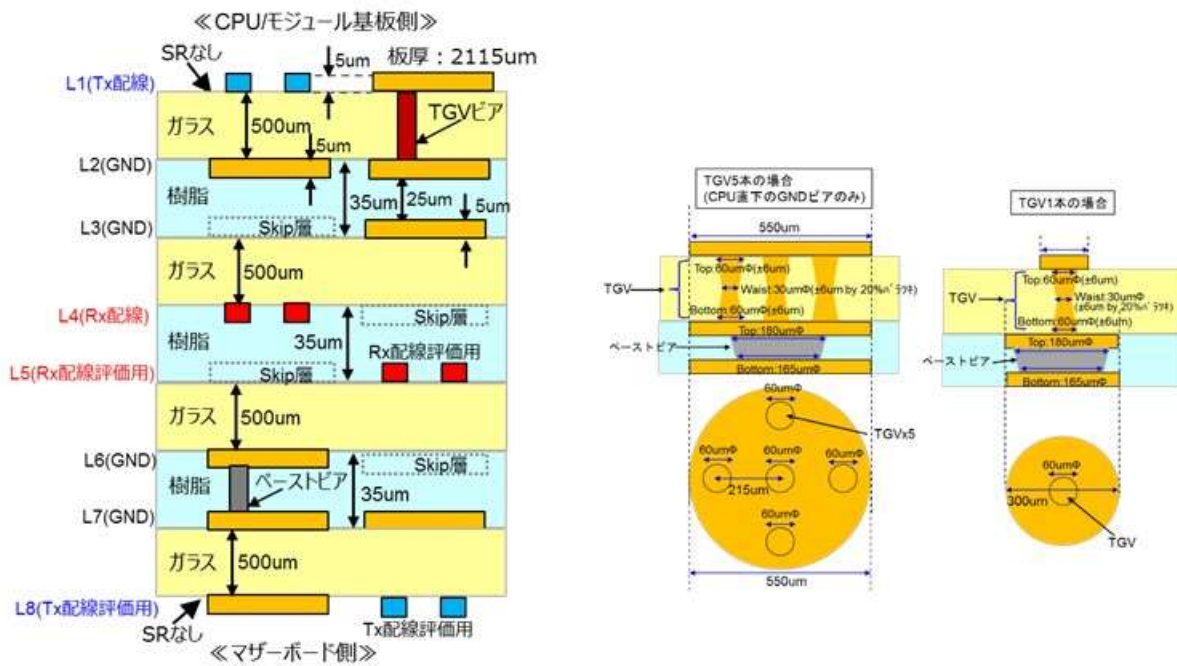


図 1.2.2.2(エ)①- 42 ガラスインターポーザ基板の層構成

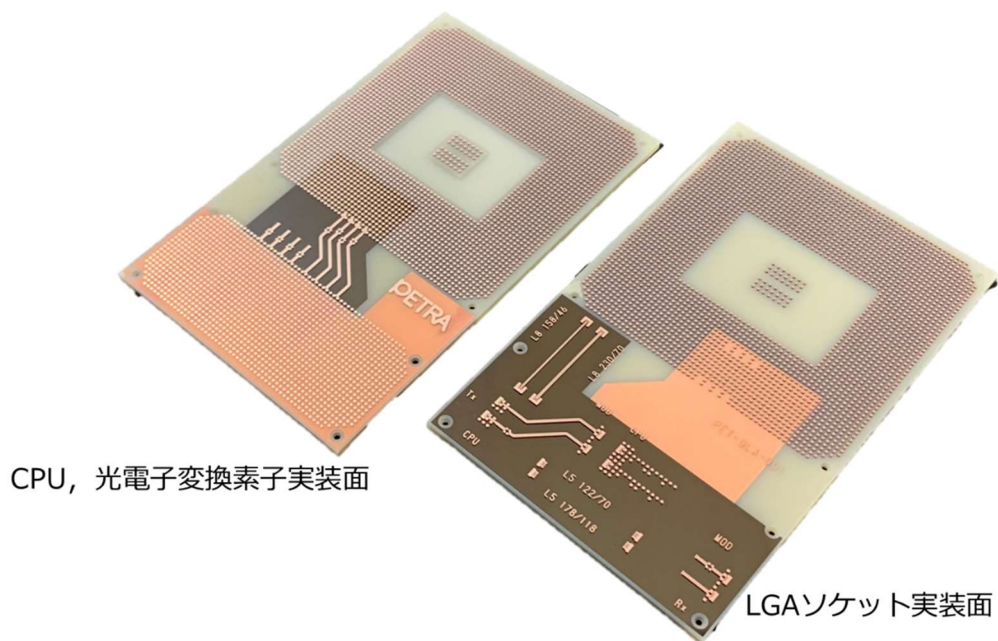


図 1.2.2.2(エ)①- 43 試作したガラスインターポーザ基板の外観

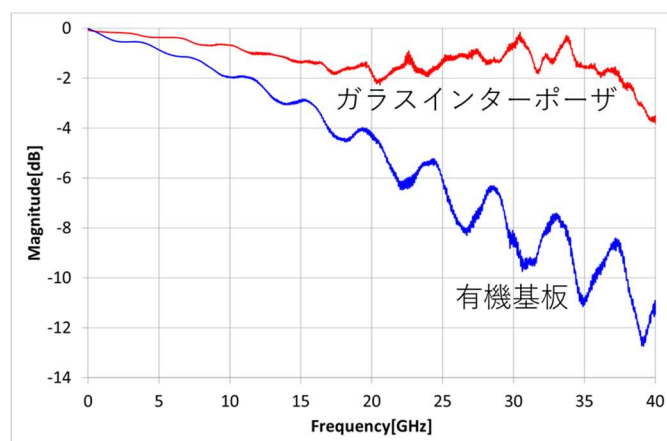


図 1.2.2.2(エ)①- 44 試作したガラスインターポーザ基板配線を実測した伝送特性

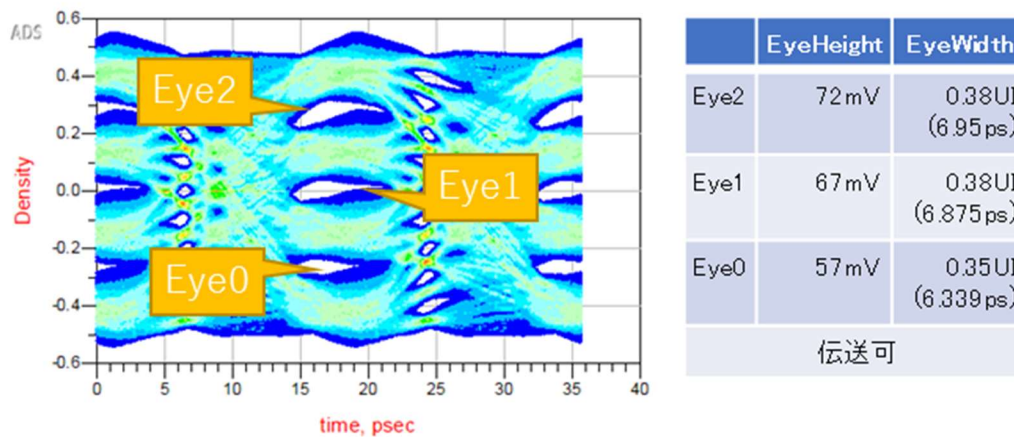
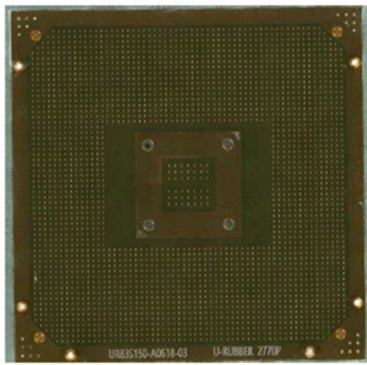
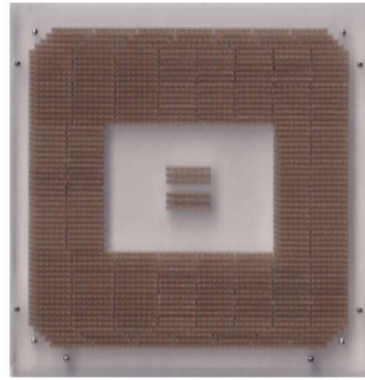


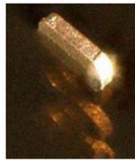
図 1.2.2.2(エ)①- 45 実測した伝送特性を用いた 112 Gbps PAM4 アイパターンシミュレーション結果



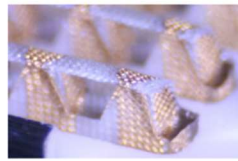
金属ピンタイプ 外観



メッシュ状コンタクトタイプ 外観



金属ピンタイプ コンタクト拡大



メッシュ状コンタクトタイプ コンタクト拡大

図 1.2.2.2(エ)①- 46 試作した LGA ソケット (2 種) の外観とそのコンタクト

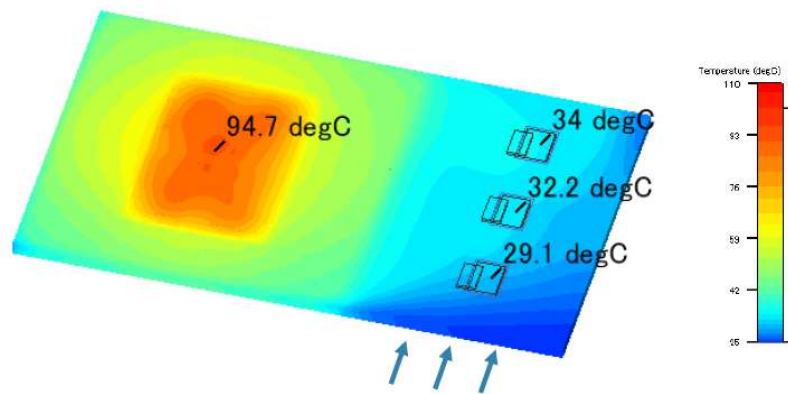


図 1.2.2.2(エ)①- 47 冷却シミュレーションによる CPU 周辺の温度分布図

金属ピンタイプ (必要荷重 > 4gf)

メッシュ状ピンタイプ (必要荷重 > 1gf)

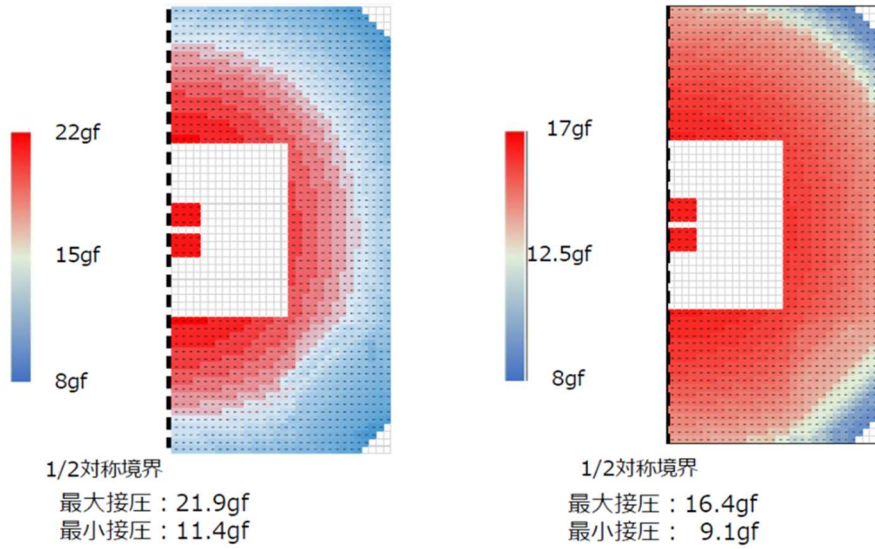


図 1.2.2.2(エ)①- 48 応力シミュレーションによる LGA ソケットコンタクト面の接圧分布図

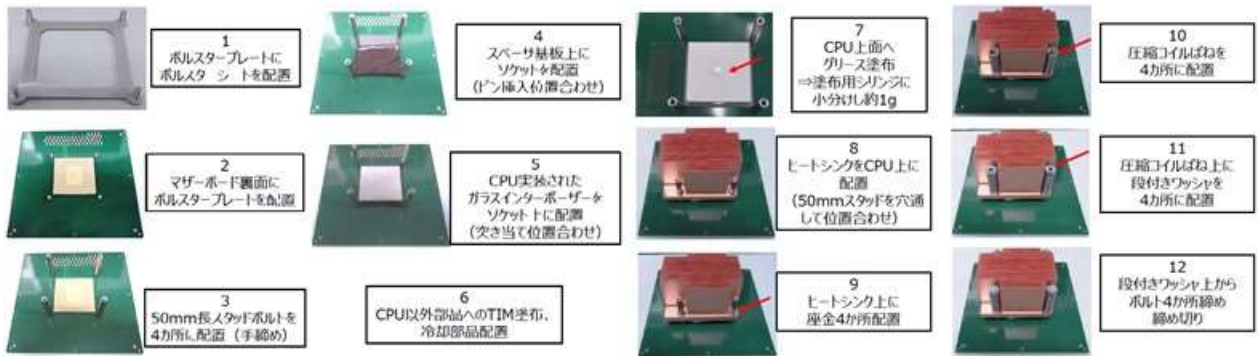


図 1.2.2.2(エ)①- 49 光電子融合サーバボードプロトタイプの組み立て工程



図 1.2.2.2(エ)①- 50 試作した光電子融合サーバボードプロトタイプの外観

CPU 間インターコネクタ（システム化）の実証

本節では、前節で報告した光電子融合サーバボードを使用した CPU 間インターコネクタの検証結果を報告する。本研究開発では、光電子集積インターポーザのシステム化技術として、光電子融合サーバボードを試作し、試作した光電子融合サーバボードをサーバシステムに搭載して CPU 間インターコネクタのデモ実証を実施することを最終目標と掲げており、本節は最終成果の報告との位置づけとなる。

本研究開発のテーマである光電子融合サーバボードは将来の高性能サーバシステムへの適用を目指している。このため、インターコネクタのデモ実証は、現在商用化されているスーパーコンピュータに採用されている高性能 CPU を使用する。スーパーコンピュータに採用されている高性能 CPU は、Beyond Moore を見越したチップレット、マルチチップ化など最新トレンドを実装しており、次世代高性能サーバシステムへの光電子融合サーバボードの技術適用性を検証するには最適な選択と言える。以上を踏まえて、CPU 間インターコネクタの検証は次のように進めることとした。

- ・スーパーコンピュータ用高性能 CPU を搭載する評価用サーバシステムの準備
 - ・評価用サーバシステムへの光電子融合サーバボード搭載
 - ・評価用サーバシステムを用いた CPU 間インターコネクタ実証
- 以下、各成果について報告する。
- ・スーパーコンピュータ用高性能 CPU を搭載する評価用サーバシステムの準備

実際のスーパーコンピュータシステムの階層構成を図 1.2.2.2(エ)①- 51 に示す。本書で報告する評価用サーバシステムは、同図では赤枠で示した階層まで、すなわちシェルフ相当までをカバーするものである。本研究開発では、評価用サーバシステムの BoB (Branch of Blades) 相当部分に 2 台のサーバボードを搭載した構成となっている。

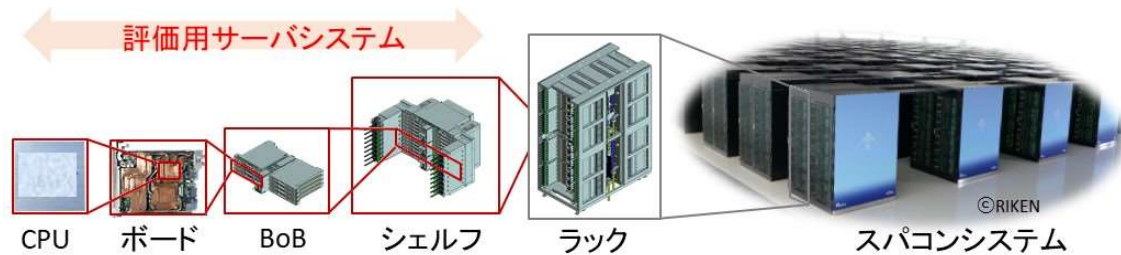


図 1.2.2.2(エ)①- 51 スーパーコンピュータシステムの階層構造と評価用サーバシステムの位置づけ

・評価用サーバシステムへの光電子融合サーバボード搭載

2 枚の光電子融合サーバボードをそれぞれ BoB#0、BoB#1 に搭載し、光ファイバで接続して対向接続を形成した。光電子融合サーバボードを搭載した評価用サーバシステムのシェルフ相当部内部の様子を図 1.2.2.2(エ)①- 52 に示す。



図 1.2.2.2(エ)①- 52 光電子融合サーバボードを搭載した評価用サーバシステム外観（左）とその拡大写真（右）

・評価用サーバシステムを用いた CPU 間インターコネクタ実証

CPU 間インターコネクタ実証実験系を図 1.2.2.2(エ)①- 53 に示す。光電子融合サーバボードに搭載された CPU には、外部インターコネクタ用高速信号を処理する Serdes が集積されている。今回の実証実験では、Serdes が有する複数のポートの内、4 ポート (0x00~0x03) を使用する。各ポートは 25 Gbps の伝送帯域を持ち、トータルで 25 Gbps×4 ポート (=100 Gbps) の CPU 間インターコネクタが形成される。Serdes の各ポートは、光電子融合サーバボード上のガラスインターポーザを通して光 IO コアの送受信チャンネルに接続される。図 1.2.2.2(エ)①- 53 では、0x03-ch1、0x02-ch2、0x01-ch3、0x00-ch4 が接続されている。光 IO コアの各チャンネルには光ファイバが実装されており、これを介して 2 台の光電子融合サーバボードが対向接続され、CPU 間インターコネクタが形成される。光電子融合サーバボードの外部にはドングルが配置される。外部コントローラからドングルを介して CPU 内の Serdes を直接制御することにより、CPU 間インターコネクタへの高速信号送受信を行う。

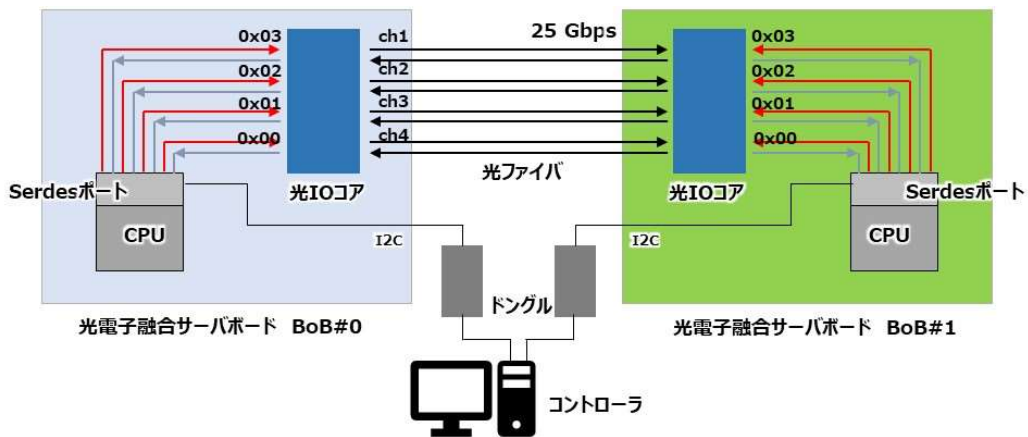


図 1.2.2.2(エ)①- 53 CPU 間インターコネク特実証実験系

対向での CPU 間インターコネク特実証実験に先立ち、まず、樹脂基板を用いた光電子融合サーバボードとガラス基板を用いた光電子融合サーバボードとの信号伝送特性を比較した。評価用サーバシステムの BoB#0 のみに樹脂基板またはガラス基板サーバボードを搭載して BoB#1 はブランクとした。更に ch1 から ch4 の送信ファイバと受信ファイバを結合させてループバックを形成した。図 1.2.2.2(エ)①- 54 に樹脂基板光電子融合サーバボードとガラス基板光電子融合サーバボードのループバック (LB) 特性を示す。信号伝送速度は 25 Gbps、送信信号のイコライザ設定は図中に示した設定とした。同一条件では、ガラス基板光電子融合サーバボードの伝送特性が樹脂基板より優れていることを確認できた。高速伝送化という課題に対し、ガラス基板の有効性を示すことができた。

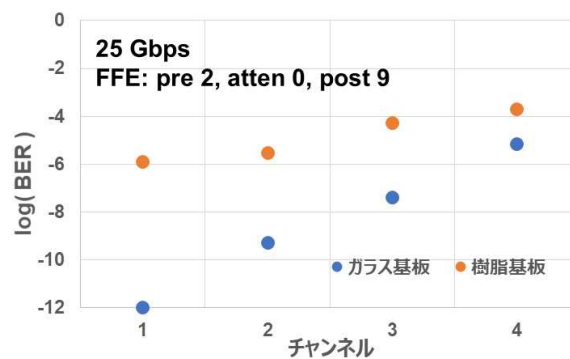


図 1.2.2.2(エ)①- 54 樹脂基板光電子融合サーバボードとガラス基板光電子融合サーバボードの LB 特性比較

図 1.2.2.2(エ)①- 55 に、CPU 間インターコネク特的実証実験結果の例を示す。図 1.2.2.2(エ)①- 53 の実証実験系において、BoB#1 の光電子融合サーバボードから BoB#0 の光電子融合サーバボードへ 25 Gbps 信号を送ったときのビット誤り率 (BER) を計測してアイ開口を測定した。なお、本実証実験では、送信イコライザを最適化し、図 1.2.2.2(エ)①- 54 の設定とは異なる設定としている。図 1.2.2.2(エ)①- 56 には、図 1.2.2.2(エ)①- 55 の縦軸である電圧振幅においてアイ開口の電圧マージンと BER の関係をプロットした。ch1 から ch3 では 10^{-12} 以下の BER 特性が、ch4 では 10^{-10} 以下の BER 特性が得られており、対向での信号疎通ができていることを確認した。この結果より、試作した光電子融合サーバボードによる CPU 間インターコネク特を実証した。

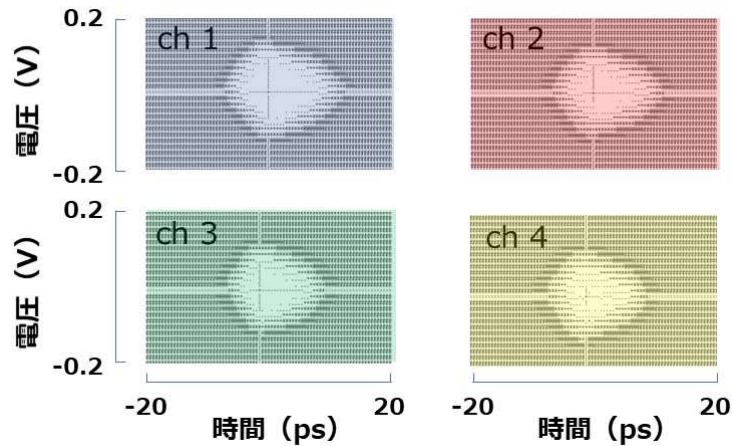


図 1.2.2.2(エ)①- 55 CPU 間インターコネクタの実証実験結果 (BER 測定によるアイ開口評価、25 Gbps)

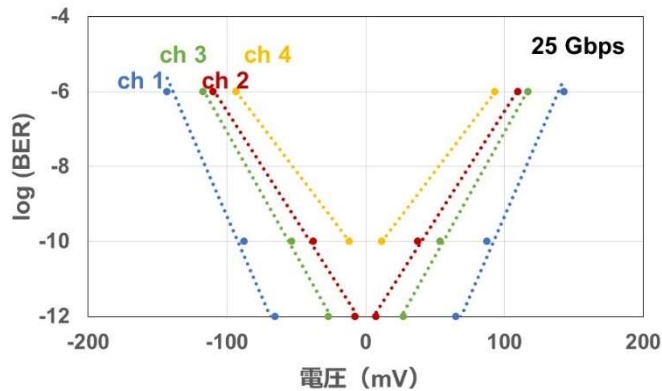


図 1.2.2.2(エ)①- 56 CPU 間インターコネクタ実証実験結果 (アイ開口の電圧マージンと BER の関係)

＜光電子融合サーバボードの概要＞の項において、スーパーコンピュータの更なる高性能化に向けた技術の方向性として、高密度実装による省電力、大容量化の流れを述べた。光モジュールを CPU パッケージに統合する Co-Packaged Optics (CPO)や、光モジュールを CPU パッケージに近接する Near Packaged Optics (NPO)の提案・標準化の議論が進んでいる状況にある。図 1.2.2.2(エ)①- 57 で示すように、本プロジェクトで開発した光電子融合サーバボードを CPO や NPO と比較すると、光モジュールを CPU パッケージに近接配置する構成であり、NPO の構造に近い。ただし、実装時の反りの問題を抑制しつつ電気信号の高速伝送性能に優れたガラス基板をインターポーザに用いた点、LGA ソケットによりサーバボード (マザーボード) との脱着が可能な構造とした点が重要な特長であり、実システムへの搭載を意識した構造としている。更に、本プロジェクトで開発した光配線技術とファイバアセンブリ技術は、高密度かつ低損失、さらに高温での安定性を有し、サーバ用実装技術として有望な構造を実現している。これらの点で、最近始まった CPO、NPO の議論に対して、アドバンスを有すると考えられる。

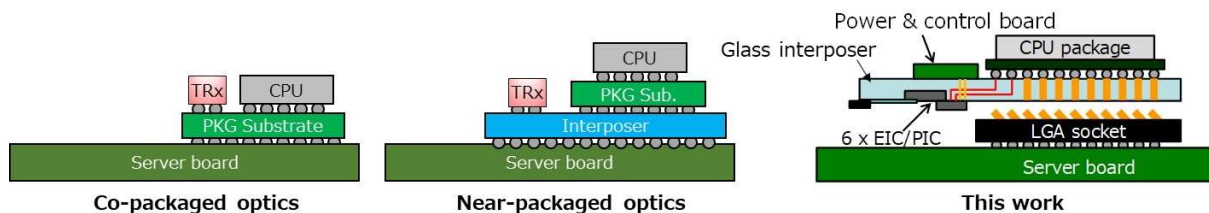


図 1.2.2.2(エ)①- 57 コパッケージ構造、ニアパッケージ構造と本プロジェクトの構造

光電子集積インターポーザのシステム化技術として、ガラス基板をインターポーザに適用した光電子融合サーバボードを試作し、スーパーコンピュータ用高性能 CPU を使用する評価用サーバシステムに搭載して、CPU 間インターコネクットの 25 Gbps×4 チャンネル信号疎通の実証を達成した。また、樹脂基板との比較により、ガラス基板の高速信号伝送化への有効性を実証した。

[10 Tbps サーバボードに向けた技術展開]

以上報告したガラス基板をインターポーザに適用した光電子融合サーバボードに、前項で報告した WDM 技術すなわち温度無依存 WDM 合分波技術を融合することで、10 Tbps 伝送が実現する。すなわち、ここで報告した WDM 技術は、フィードバック制御を利用し、温度変動や素子ばらつきの影響を補償することができる。このため、高温で動作するサーバシステム内での安定動作や、シリコンフォトニクスでは他に例を見ない多波長化への道を拓く技術と言える。図 1.2.2.2(エ)①- 58 は、提案する WDM 技術を用いて試作した多波長分波器のチップ写真とシミュレーション結果を示している。

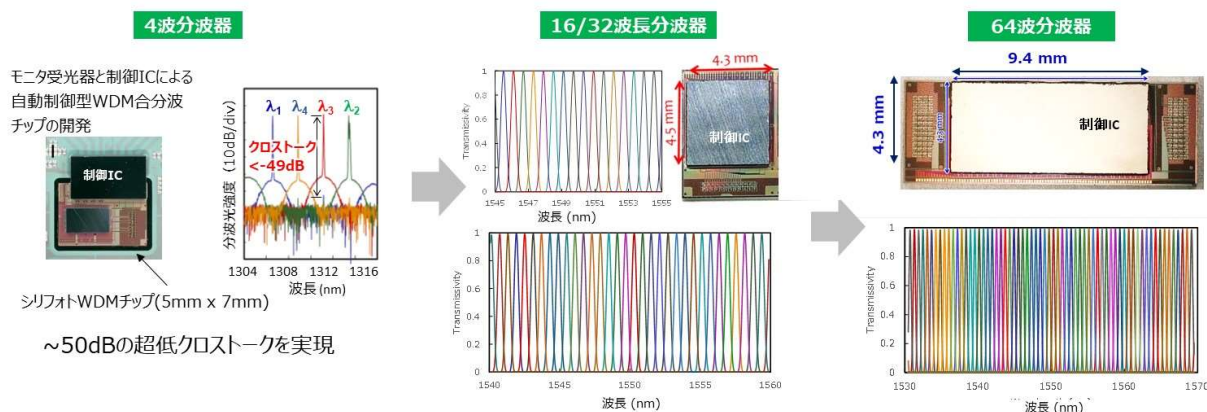


図 1.2.2.2(エ)①- 58 10 Tbps サーバボードに向けた WDM スケーラビリティ技術

これらの結果より、112 Gbps×16 波 WDM シリコンフォトニクスチップをガラス基板光電子集積インターポーザ上にマルチチップ実装することで、10 Tbps 伝送が実現する見通しを得た。

[まとめ]

10 Tbps の CPU 間インターコネクットを実現する光電子融合サーバボードの実装技術を確立した。シリコンと近い熱膨張率を持ち、剛性、平坦性に優れたガラス基板を光電子集積インターポーザの有望な基板材料と考え、ガラス 4 層で構成する合計 2 mm 厚のガラス基板を開発した。試作したガラスインターポーザは 112 Gbps PAM4 の電気信号伝送が可能な高速電気特性を示した。光配線技術としてポリマー導波路とファイバを接続する高精度なコネクタアセンブリ技術を開発し、ポリマー導波路

は 0.5 dB/cm と低損失な結果が得られ、ポリマー導波路と接続する新規ファイバアセンブリ構造では平均 1.45 dB の低接続損失特性を示した。ガラス基板上にスーパーコンピュータ用高性能 CPU と高密度光エンジン(光アイオーコア 5 台)搭載ボードを実装した光電子集積インターポーザを LGA ソケットを介して接続する光電子融合サーバボード実装技術を開発した。試作した光電子融合サーバボードを評価用サーバシステムシェルフに収納、CPU 内で高速信号処理を行う SERDES から 25 Gbps 信号を生成し、サーバ間 25 Gbps×4 チャンネル光信号疎通を確認した。また製造誤差や環境温度変動に対応できる自律制御型の WDM フィルタを開発した。光回路に集積した受光器で信号強度をモニタし、透過特性をフィードバック制御することで異なる波長の信号間で-50 dB 以下のクロストークを実現し、4 波長から 32、64 波長までスケールリングできることを実証した。以上の技術確立により 10 Tbps 光電子融合サーバボードの実現が可能であることを示した。

②ラックスケール並列分散システム

【最終目標】

消費電力の少ない光電子集積インターポーザ技術と波長多重技術を用いた接続技術を組み合わせた光電子融合サーバボードを試作し、試作機とシミュレーションを用いてサーバ電力量を 30%削減可能であることを示す。

＜アプローチ、特長技術＞

まず、本プロジェクトの目標の一つである、サーバの消費電力量を 3 割削減する方法に関して、その方針を以下に説明する。IT 機器の省エネルギー化とは、ある仕事（アプリケーション）に対して、

$$\text{消費電力量} = \text{平均消費電力} \times \text{実行時間} \quad (1)$$

を小さくすることである。クラスタ・サーバで並列分散処理を行う場合、式(1)右辺第 2 項に関して、

$$\text{実行時間} \approx \text{演算時間} + \text{通信時間} \quad (2)$$

と近似することができる。ここで通信時間とはプロセッサ間でデータを共有するために行うプロセッサ間の通信時間である。例えば演算時間と通信時間が同程度で、式(1)右辺第 1 項が変わらない場合、通信時間を約 6 割削減することで式(2)右辺の実行時間は約 3 割減少し、式(1)左辺のサーバ全体の消費電力量を約 3 割削減することが可能である。そこで我々は、並列分散処理を実行するクラスタ・サーバのノード間の通信時間を削減することによりアプリケーションの実行時間を削減し、結果としてアプリケーション単位でのサーバ消費電力量を 3 割以上削減することを方針とした。通信時間を削減するためには、通信帯域幅を広くすること、通信遅延時間を短くすること、および通信回数を少なくすることが有効である。そこで我々は、これらを同時に実現出来る計算ノード間ネットワーク・アーキテクチャとして、光ハブを提案している。

光ハブの構成および動作の概略を図 1.2.2.2(エ)②-1 に示す。光ハブ全体の物理的構成（物理トポロジー）は、複数の計算ノードが波長ルータを中心にスター状に接続された構成となっている。各計算ノードは光送信器および光受信器を持ち、計算ノードの数を N とすると、光送信器は N 個の光変調器（Mod）と $N \times 1$ 波長合波器（Mux）、光受信器は N 個の受光器（PD）と $1 \times N$ 波長分波器（Demux）を持つ。光送信器では、 N 個の変調器で N 個のキャリア波長を変調した N チャンネルの信号が波長合波器で波長多重されて波長ルータに接続された 1 本の光ファイバに出力される。逆に光受信器では、波長ルータに接続された 1 本の光ファイバから入力した波長多重信号が、波長分波器で N チャンネルの信号に分離され N 個の受光器で電気信号に変換される。各計算ノードの光送受信器は、シリコンフォトリソグラフィを用いた光電子集積インターポーザにより、小型化、高密度化、広帯域化、低消費電力化される。

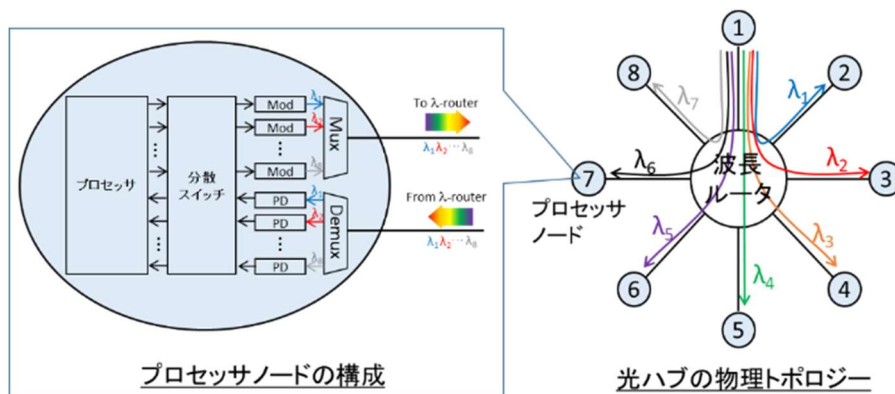


図 1.2.2.2(エ)②-1 光ハブの構成と動作の概略

波長ルータはN個の入力ポートおよび出力ポートを有し、入力ポートと波長によってその出力ポートが循環的に決まる光素子である。例として8入力8出力の波長ルータの動作を表1.2.2.2(エ)②-1に示す。光ハブの論理トポロジーは全ノード間を直接接続したフルメッシュ接続と等価である。波長ルータを用いない場合、N個のノード間をフルメッシュ接続するためには、図1.2.2.2(エ)②-2に示す通りN(N-1)本の光ファイバが必要であり、Nがある程度大きい場合にはファイバ本数が多くなりすぎて実現困難であったが、上記提案の光ハブでは、図1.2.2.2(エ)②-1に示す通り光ファイバの本数は2N本でよく、光ファイバの本数を桁違いに減らすことができ、ノード間をフルメッシュ接続することが可能となる。なお、図1.2.2.2(エ)②-1の右図、図1.2.2.2(エ)②-2共に、ノード間の接続を示す1本の線は双方向通信を行うための2本の光ファイバを表している。

図1.2.2.2(エ)②-1に示す通り、光ハブの各計算ノードには、プロセッサ側の入出力ポートと通信相手ノード（波長）に対応したネットワーク側ポートの間を任意に接続するスイッチが必要になる。我々はこれを分散スイッチと呼んでいる。一方、従来のEthernetやInfiniBand (IB)のスイッチは、ノード間にハブ状（スター型またはツリー型）に設置されるので、集中スイッチと呼んでいる。集中スイッチは、全ノードからのトラフィックがスイッチに集中するため、ネットワークの規模や帯域幅が集中スイッチの容量で制限されてしまうという課題がある。一方、分散スイッチは、各スイッチの規模が集中スイッチの約1/Nであり、各ノードに分散配置されるため、上記集中スイッチの課題を緩和することができる。また、分散スイッチを用いたネットワークは、集中スイッチに比べて光送受信器数を半減できるという利点もある。

表 1.2.2.2(エ)②-1 波長ルータの入出力ポートと波長の関係

波長	出力ポート							
	1	2	3	4	5	6	7	8
1	λ_0	λ_1	λ_2	λ_3	λ_4	λ_5	λ_6	λ_7
2	λ_7	λ_0	λ_1	λ_2	λ_3	λ_4	λ_5	λ_6
3	λ_6	λ_7	λ_0	λ_1	λ_2	λ_3	λ_4	λ_5
4	λ_5	λ_6	λ_7	λ_0	λ_1	λ_2	λ_3	λ_4
5	λ_4	λ_5	λ_6	λ_7	λ_0	λ_1	λ_2	λ_3
6	λ_3	λ_4	λ_5	λ_6	λ_7	λ_0	λ_1	λ_2
7	λ_2	λ_3	λ_4	λ_5	λ_6	λ_7	λ_0	λ_1
8	λ_1	λ_2	λ_3	λ_4	λ_5	λ_6	λ_7	λ_0

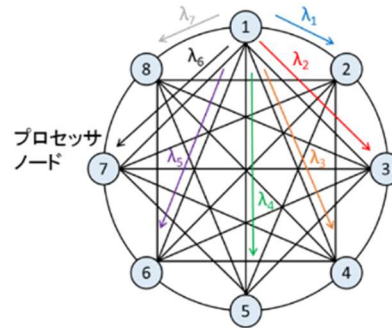


図 1.2.2.2(エ)②-2 光ハブの論理トポロジー

上記提案の光ハブを用いることで、計算ノード間通信の帯域幅、遅延時間、通信回数を以下の通り改善し、通信時間を削減することができる。

- シリコンフォトニクス、光電子集積インターポーザ、および波長多重を用いることにより、光送受信器を小型・高密度・高速化し、計算ノード間通信の帯域幅を広帯域化
- 計算ノード間をフルメッシュ接続することにより、パケットの衝突が発生しないため、従来必要だったパケットのルーティング、待機、再送等の制御によって生じる時間を削減し、計算ノード間通信の遅延時間を短縮
- 計算ノード間をフルメッシュ接続することにより、従来集合通信で必要だった複数回の通信回数を1回にし、計算ノード間通信の通信回数を削減

計算ノード間を光ハブで接続した並列分散処理システムの全体像イメージを図 1.2.2.2(エ)②-3 に示す。

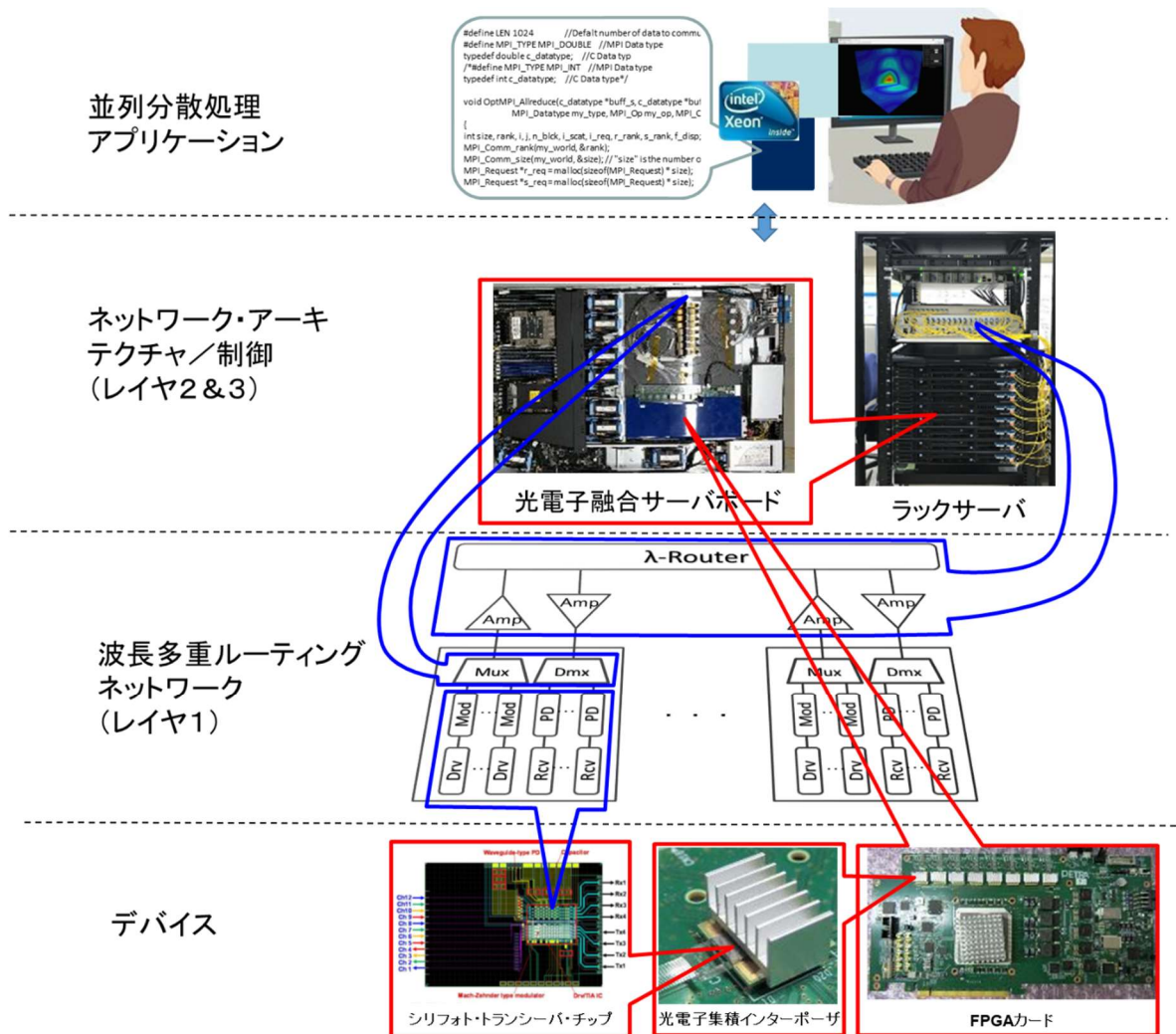


図 1.2.2.2(エ)②-3 計算ノード間を光ハブで接続した並列分散処理システムの全体像イメージ

<成果>

2018年度の成果は以下の通りである。

[デバイス・レイヤ]

デバイス・レイヤでは、光集積回路の構成要素デバイスの仕様の検討を行い、第2期で開発した集積光 I/O コアの IC 及び IC 接続部分の構造は共通とし、高密度波長多重(DWDM)用に C 帯(1550 nm 帯)で動作する構成要素デバイスに変更し、送信器(Tx)側は外部光源からの TE 光入力と光変調器からの光出力することとし、受信器(Rx)側は偏波分散の影響を抑える幅広導波路をフォトダイオード(PD)の前に配置してシングルモードファイバ(SMF)で接続する構造を基本構造とした。そして数種類に絞った構成要素デバイスおよび光接続構造の課題の抽出をして選定方針を明確化した。

[波長多重ネットワーク (レイヤ1)]

波長多重ネットワーク (レイヤ1) では、先ずネットワークシミュレータを用いたノード間波長多

重ネットワークのシミュレーション環境を構築し、そのシミュレーション環境を用いてノード間波長多重ネットワークのリンク設計を行った。本ネットワークでは、多波長光源から発生した等波長間隔の多波長光が、光アンプ後スプリッタで分割されて各計算ノードに送られる。計算ノードの送信(Tx)部において、光変調器で FPGA の電気信号から光変調信号が生成され、アレイ回折格子(AWG)で多重化される。一方、計算ノードの受信(Rx)部において波長多重された光変調信号が AWG で波長分割されて受光器で電気信号に変換される。Tx 部と Rx 部の間には前後に光アンプが配置された波長ルータが配置され、各ノード間がフル接続される(図 1.2.2.2(エ)②-4)。この構成をもとに光変調強度(OMA)、S/N 比などに着目して 1 波長におけるリンク設計を行い、基本仕様を定めた。そしてその構成部品の仕様の検討を行い、選定方針を明確化した。

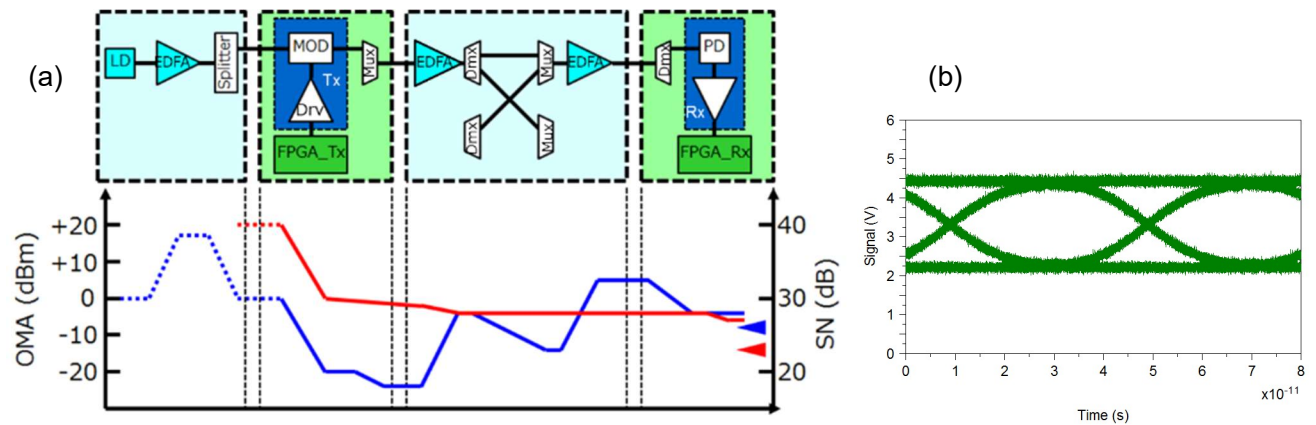


図 1.2.2.2(エ)②-4 ノード間波長多重ネットワークのリンク設計、(a)レベルダイアグラム、(b)25Gb/s 受信波のシミュレーション

[ネットワーク・アーキテクチャ/制御 (レイヤ 2 & 3)]

ネットワーク・アーキテクチャ/制御では、ノードの構成、ネットワークの制御方法および分散スイッチの仕様等を検討し、ポイント・ツー・ポイント (P2P) 通信の動作検証を行うと共に、FPGA 論理および FPGA カードの 1 次設計を行った。

2018 年度は、光ハブのノードの構成、制御方法等を検討し、P2P 通信の動作検証を行った。具体的には、光ハブの論理フルメッシュ接続によるノード間通信を模擬するため、自走アプリおよび分散スイッチ v1 を実装した 2 台の FPGA カード間を光接続で直結し、FPGA 間 P2P 通信のオフロード動作の実証実験を行った。分散スイッチ v1 の構成を図 1.2.2.2(エ)②-5 に示す。分散スイッチ v1 は、制御レジスタ(Control Register)、クロスバー・スイッチ(Crossbar Switch)、メモリ(Memory)から効率よくデータを取り出すための DMAC(Direct Memory Access Controller)で構成される。計算ノード間で通信を行う場合には、並列分散処理プログラミングの標準規格である MPI (Message Passing Interface)の使用を想定し、ノード毎に、MPI の通信パラメータを Control Register に設定する。分散スイッチ v1 は、Control Register の設定に基づき、自発的にクロスバー・スイッチと DMAC を稼働する。DMAC はメモリ制御部と接続され、効率よくメモリからデータの入出力を行う。これにより、低遅延で高効率な P2P 通信を実行する。この分散スイッチ v1 を、任意の電子回路を実装可能で、複数の光 I/O と 1 つの DDR4 メモリが繋がった FPGA カードに実装した。そして、評価アプリ Computation Logic に実装した通信時間を評価するアプリを用いて、P2P 通信における送信ノードの遅延時間を見積もった。その結果、0.34 μ s と低遅延な結果が得られた。この結果は、図 1.2.2.2(エ)②-6 に示すように、同様な方法で評価した

ギガビットイーサネットの約 $13 \mu\text{s}$ の初期遅延時間を約 $1/30$ に削減できるだけでなく、通信 1 回あたりの遅延時間である約 $1.5 \mu\text{s}$ も約 $1/5$ に削減できることを示している。更に、この光ハブの通信時間は、文献調査によって得られた NVIDIA 社の最新のチップ間通信技術である NVLINK の初期遅延時間と比べても約 $1/30$ と小さく、良好な結果である。

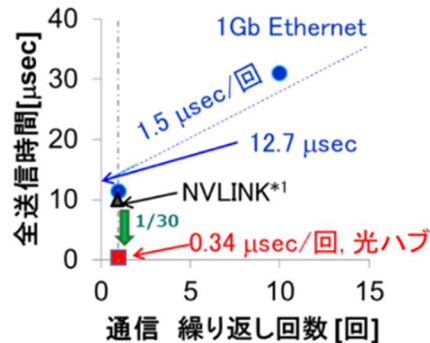
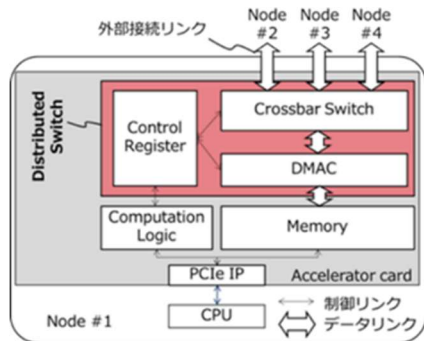


図 1.2.2.2(エ)②-5 分散スイッチ v1 の構成

図 1.2.2.2(エ)②-6 送信ノードでの P2P 遅延

[並列分散処理アプリケーション]

並列分散処理アプリケーションでは、HPC 等の並列分散システムの評価で使用されるベンチマーク・プログラムを選定し、そのソースコードにおけるノード間データ伝送部分を光ハブに適用できるコードに改変し、仮想ハードウェア上のシミュレーションにより実行速度の分析を行った。

具体的にはまず、論理フルメッシュ接続である光ハブに適した通信アルゴリズムを検討した。論理フルメッシュ接続で、P2P 通信を行う場合を考える。通信パスとして送受信ノード間の 1 本のリンクだけを使う場合(直接ルーティングと呼ぶ)を図 1.2.2.2(エ)②-7(a)に示す。この場合、同図に示す通り、1 本のリンクでは比較的帯域幅が狭く、多数の使われていないリンクが存在するため、通信が非効率になる場合がある。そこで図 1.2.2.2(エ)②-7(b)に示すマルチパス・ルーティングを導入する。すなわち、送信ノード内で送信データは N 分割(N : ノード数)され、まずその内の $N-1$ 個が送信ノード以外の $N-1$ ノード(内 1 が受信ノード、 $N-2$ が中継ノード)に Scatter され(1st-hop)、次に送信ノードに残った 1 個と $N-2$ 個の中継ノードのデータが受信ノードへ Gather される(2nd-hop)。この方法により、実効帯域幅を直接ルーティングに対して $N/2$ 倍に拡大することができる反面、通信遅延時間は 2 倍になる。そのため、送信データサイズを s 、リンクの帯域幅を B 、通信遅延時間を L とすると、 $s \leq BLN/(N-2)$ (遅延律速)のときは直接ルーティングを、 $s > BLN/(N-2)$ (帯域律速)のときはマルチパス・ルーティングを用いる。他の通信パターン(Bcast, Reduce, Allreduce 等)についても、同様にマルチパス・ルーティングにより帯域幅の $N/2$ 倍化が可能である。

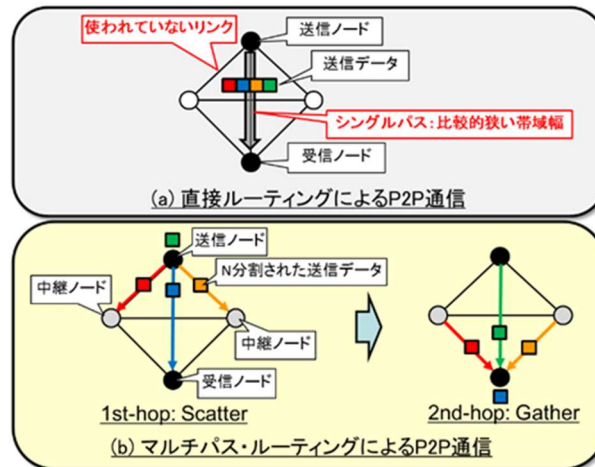


図 1.2.2.2(エ)②-7 直接ルーティングとマルチパス・ルーティング

提案した光ハブの性能を予測するため、並列計算シミュレータ SimGrid によるシミュレーションを行った。SimGrid は既存の MPI を使った並列計算コードを仮想並列計算プラットフォーム上で実行し、その実行時間をシミュレーションすることができる。光ハブと比較する従来型のネットワーク・トポロジーとして、3D トーラス(3D-torus)型およびツリー(Tree)型との比較を行った。SimGrid でシミュレーションした MPI_Bcast の通信時間を図 1.2.2.2(エ)②-8 に示す。前述の通り、光ハブではメッセージサイズが $BLN/(N-2)$ より小さいときには直接ルーティング、それより大きいときにはマルチパス・ルーティングを行っている。いずれの場合でも、光ハブは従来型ネットワークに比べて 1 桁程度高速であることを確認した。

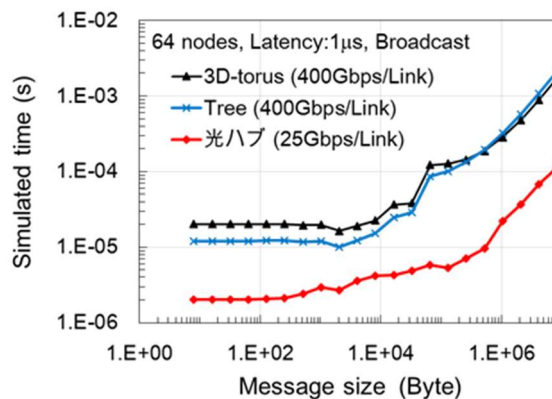


図 1.2.2.2(エ)②-8 SimGrid による MPI_Bcast の通信時間シミュレーション

2019 年度の成果は以下の通りである。

[デバイス・レイヤ]

2019 年度は、FPGA カードの光電子集積インターポーザに用いる光集積回路を試作し評価を行った(図 1.2.2.2(エ)②-9)。符号誤り率(BER)測定において送受信とも C 帯でのエラー・フリー動作(25 Gbps, PRBS $2^{31}-1$)を確認した。特に Rx 側では、TE/TM の偏光入力に対し、 45° 偏光は TE/TM 偏光の間に BER 曲線が存在することから、偏波分散によるジッタが十分抑制されていることを確認した。

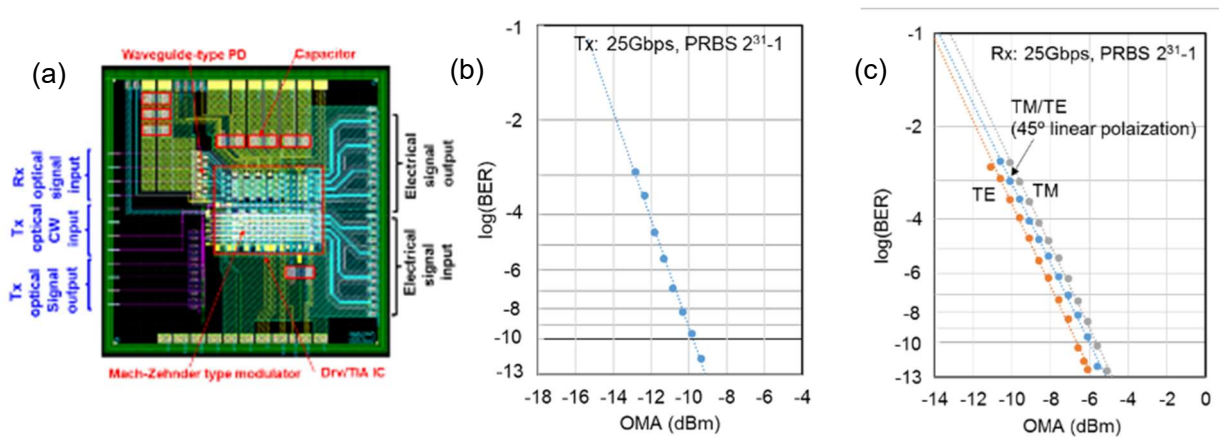


図 1.2.2.2(エ)②-9 (a)光集積回路のレイアウトの一例とその(b)Tx 側および(c)Rx 側の符号誤り率特性

更にその評価結果を基に、最終デモに用いる光集積回路のパラメータを決定した。Tx 側は 4ch の SiGe 変調器、Rx 側は 4ch の導波路 PD とし、光接続構造は偏光保存ファイバ(PMF)を含む SMF アレイを光集積回路の端面で結合する方式とし、その端面部にスポットサイズ変換器を集積した。これとインターポーザ化を考慮した寸法調整をし、図 1.2.2.2(エ)②-10 にレイアウト示す最終デモ用シリフォト光集積回路の設計を行い、ウエハプロセスを開始した。

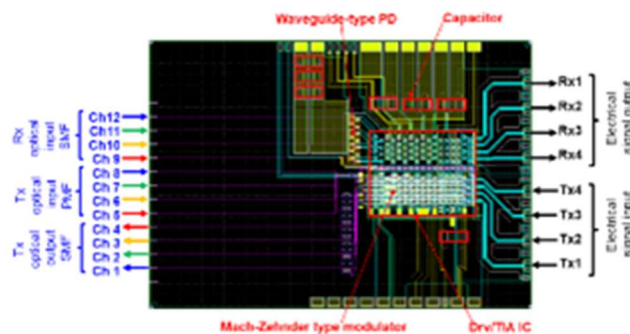


図 1.2.2.2(エ)②-10 最終デモ用シリフォト光集積回路レイアウト (7.1 mm × 5 mm)

次に FPGA カードの開発計画について述べる。ラックスケール並列分散処理システムのネットワーク・アーキテクチャ/制御の基本動作と広帯域通信を行うため、光電子融合サーバボードのアクセラレータおよびネットワーク・インターフェースとして、1 次試作カード (FPGA-HP) の試作および動作実証 (2018 年度~2020 年度) と 2 次試作カード (FPGA-HP2) の試作および動作実証 (2019 年度~2021 年度) を行った。試作した 2 種のカードの諸元を表 1.2.2.2(エ)②-2 に示す。1 次試作カード (FPGA-HP) は、第 2 期で開発した光 IO コアを用いた光電子集積インターポーザを FPGA カード上に実装して動作検証を行い、第 3 期で開発する波長多重に対応した光電子集積インターポーザを実装した FPGA-HP2 に向けた技術的な課題抽出 (電気・冷却特性、実装・機構検証) を目的とした。

表 1.2.2.2(エ)②-2 試作カード諸元

	1次試作カード (FPGA-HP)	2次試作カード (FPGA-HP2)
FPGA	外形サイズ : 52.5 mm×52.5 mm、1 mm ピッチ BGA Transceiver: 64ch@28.3 G + 32ch@17.4 G LE : 2,073K	
メモリ (帯域,-容量)	HBM2 (512 GB/s, 8GB)	
光 IF 帯域	～800 Gbps 送受 (25 Gbps/ch×4ch x8pcs)	
IF 接続 ch 数	光伝送 : 32ch 電気伝送 : 2ch + 16ch (PCIe Gen3x16)	
光 Port	12-MPO×8port (MMF)	12-MT×8port (SMF)
冷却方式	空冷 (FAN 有/無)	空冷 (FAN 無のみ)
カード寸法	266.5 mm×111.15 mm PCIe 規格準拠	266.5 mm×133.65 mm

2018～2019 年度に設計・試作を行った 1 次試作カード (FPGA-HP) の詳細構成を図 1.2.2.2(エ)②-11 に示す。汎用サーバに実装可能な PCIe 規格準拠とし、ネットワーク・アーキテクチャ/制御の動作確認を行うための FPGA (52.5 mm×52.5 mm、1 mm ピッチ BGA、HBM2 : 512 GB/s) を選定し搭載した。また、カード上に 4 チャンネルのトランシーバタイプ (4ch-TRx) の光 IO コアを用いた光電子集積インターポーザを最大 8 個搭載 (脱着) 可能で、光の入出力コネクタとして 12 芯 MPO コネクタをカード端に 8 個実装することで 1 カードあたり最大 800 Gbps の光の帯域を有する。冷却においては、カード上に実装する空冷ファンの有無を変更出来るようにすることでカードを実装するサーバ機種の変更が可能とし汎用性を持たせ各種サーバにて検証可能な構造とした。

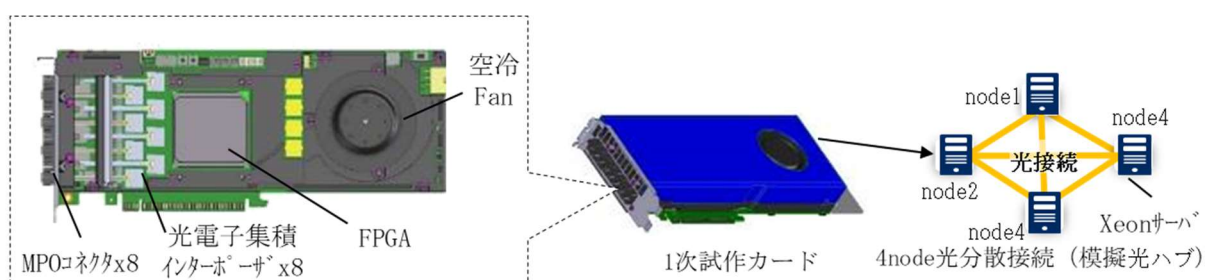


図 1.2.2.2(エ)②-11 1次試作カードおよび光接続イメージ

[波長多重ネットワーク (レイヤ1)]

波長多重ネットワークの光源・ルータ・アンプボードの仕様を確定し、送受信器以外の主要構成部品を用いたリンク実験による評価を開始し、25 Gbps でのアイ開口を確認した。

[ネットワーク・アーキテクチャ/制御 (レイヤ2 & 3)]

2019 年度は、2018 年度の成果をもとに広帯域化と集合通信の低遅延動作を実証した。広帯域化にはネットワーク側だけでなく、ノード内 (メモリ側) の帯域幅も考慮する必要がある。既存の FPGA

カードではメモリ制御部や DMAC の 1 チャンネルあたりの帯域の拡大には限界があるため、ノード数に応じて複数チャンネルのメモリ制御部や DMAC を配置する分散スイッチ v2 を設計した。

我々が開発したノード間フルメッシュ光配線接続との比較を行うため、図 1.2.2.2(エ)②-12 に示すノード間が電気配線接続された従来型の CPU クラスタを構築した。各サーバの演算チップには、CPU として Xeon Gold 5215(10 core)を用いた。スレッド機能も使うことで 1 CPU 当たり 20 プロセスの同時処理が可能である。通信には 100 Gbps の InfiniBand を用い、中央の電気スイッチに直接接続する Tree トポロジーで評価した。また、アプリケーション実行時にメモリ帯域で律速されないよう、DDR4 メモリを 8 個接続し、広帯域なメモリ帯域を実現している。このクラスタを用い、CPU 上のメモリ間の集合通信を行った際の通信時間を調査した。並列データ処理においては、必要な時に 1 度通信の指示が発生するため、Start-up Latency という初回の通信指示に要する通信時間を評価した。集合通信の中で、特に全ノード間で通信を行う Allgather, Alltoall, そして Allreduce の結果を図 1.2.2.2(エ)②-13 に示す。データサイズが小さい領域でも、Allgather と Allreduce の start-up latency は数十 μ s 以上を要し、Alltoall においてはさらに遅い数十 ms となった。これは、メモリに関する設定の時間や PCIe バスを経ての HCA の設定時間が必要なためである。さらに Alltoall では、データの書き込みの際にノード間でのデータの転置作業も必要となる。少ないメモリ・チャンネルで転置を含めた作業を行うにはより複雑な作業が必要で、それに伴う作業で数十 ms の時間がかかったと考える。また、各ノードの送信データサイズから Start-up latency を割って出した、各ノード当たりのスループットの結果を図 1.2.2.2(エ)②-14 に示す。1 ノード当たり 100 Gbps のネットワーク帯域を有するが、データサイズが 1 MB/ノードにおいてもスループットは 10 Gbps 以下と小さかった。また、1 GB/ノードとより大きなデータにおいても 30 Gbps 程度のスループットしか出なかった。これは、従来の通信では、確実に集合通信を行うため、 $\log_2 N$ (N はノード数) と複数ステップに分けてデータの移動を行うためである。

専用の演算チップを導入してデータ処理を高速化させていくと、演算時間よりもこのような集合通信に要する時間の方が長くなる。すると、並列データ処理としてノード数を増やしても、アムダールの法則により通信時間で性能が律速され、性能がスケールしなくなる。この Start-up latency の抜本的な削減と、通信ステップの削減が重要である。

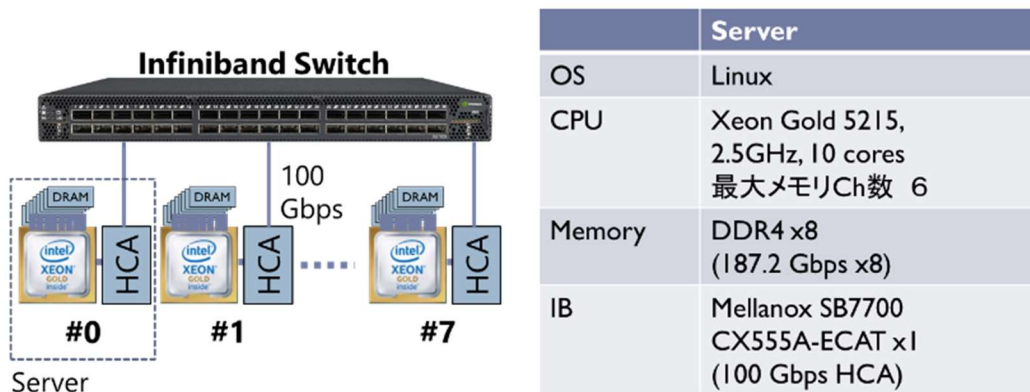


図 1.2.2.2(エ)②-12 従来 CPU クラスタ

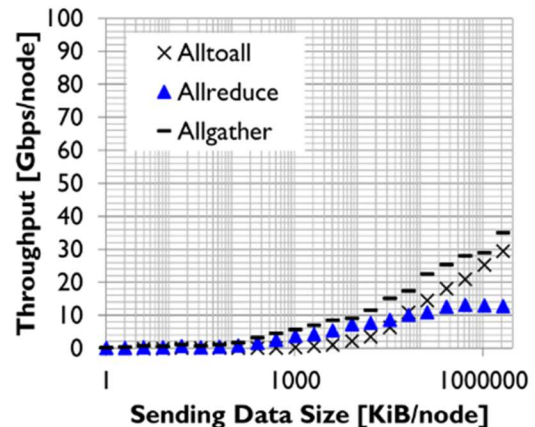
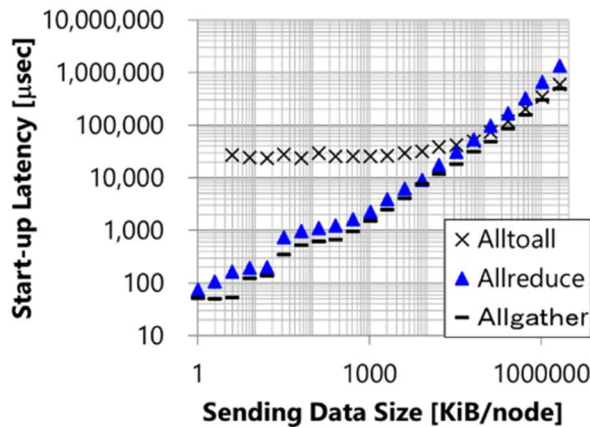


図 1.2.2.2(エ)②-13 InfiniBand での集合通信時間 図 1.2.2.2(エ)②-14 InfiniBand での集合通信スループット

FPGA は、内部のハードウェアリソースが有限であるという制約はあるが、新しいアーキテクチャ専用のハードウェア回路を実装できる。また、データフロー処理によるデータ処理の高速化や、任意の回路の書き換えが可能で、且つ、広帯域な外部接続用の I/O と広帯域メモリも用意できる。そこで、FPGA を用いて並列データ処理の高速化を実証することを目標とした。

FPGA 上に、並列データ処理機構と合わせた広帯域な通信機構を実現する上で、FPGA 上のハードウェアリソースの利用を如何に抑えるかが重要となる。先行して FPGA クラスタの研究を行っている理研では、既存の packets 通信の IP を FPGA 内で直接駆動する検討も行われている。しかしながら、FPGA でのデータフロー処理を確実に行うためには、通信の IP だけでは不足し、専用のバックプレッシャー回路が必要となる。これらの機構をすべて用意していくと、数 100 Gbps/ノードの構成で、全ての FPGA のロジック (Intel 社の FPGA においては、ロジックは Adaptive Logic Modules (ALMs)に相当) を使ってしまう。従来の通信 IP によらない、新しい、軽量の通信制御方式の導入が必要である。我々は、最新の広帯域メモリである HBM2 の多メモリ・チャンネル特性に着目した軽量のネットワーク機構である OPTWEB を新たに導入した。図 1.2.2.2(エ)②-15 に OPTWEB を実現するための FPGA 内のブロック図と、FPGA 間の接続の両方を示す。OPTWEB は、複数の FPGA 間をフルメッシュ接続し、ネットワーク間の制御を簡易化するとともに、集合通信を 1 回で実現できる。

OPTWEB の基本構成として、ノード間は 1 つの双方向のリンクで接続される。このリンクには、リンク専用の専用回路 (Link IP) が用意され、例えば Intel の FPGA では SerialLite III (SL3) が使われる。OPTWEB の内部は、ノード数の 2 倍の数の Direct Memory Access Controller (DMAC) を有し、且つ、それを一括で制御できる M_DMAC と、内部の経路を切り替えてフルメッシュに接続されたノード間の通信経路を設定する Distributed Switch が配置される。

まず、M_DMAC とメモリとの接続について示す。全 FPGA (FPGA 数 n) を使った集合通信では全ての DMAC を使い、一度に全てのデータの Read/Write を行う。少ないハードウェア利用量で各 DMAC が効率よく広帯域のデータを取り出せるよう、専用のメモリ・チャンネル $M\#k$ (k は $0 \sim n-1$ の整数) を用意する。この時、1 つの DMAC で同時に双方向の Read/Write が実現できるよう、 $M\#k$ には 2 つの独立した Pseudo channel を持たせる。この $M\#k$ を、メモリマップドバスでの 1×2 のバススイッチを介し Read 用の DMAC($R\#k$)と Write 用の DMAC($W\#k$)の両方に接続する。次に M-DMAC と Distributed Switch 間について説明する。M_DMAC の各 DMAC からは、メモリマップドバスと比べて

より簡易な制御バスとデータレーンで構成されるストリームバスで接続される。そして、Changeover Switch を介して Distributed Switch と、並列分散処理でのデータ処理を担う Data Processing Core と接続される。Distributed Switch はデータ送出側（図 1.2.2.2(エ)②-15 の上部）と、データ受信側（図 1.2.2.2(エ)②-15 の下部）で構成が異なる。データ送出側は、M_DMAM の R#k と接続され、その入力データは Distributor でノード数分コピーされる。ノード数分の Distributor からの信号は 1つの Nx1 スイッチに接続され、1つの R#k が選択される。その後、FPGA 間の制御を担う Sync IP と FPGA 間のリンクを構築するための Link IP を経由して別の FPGA と接続される。一方、データ受信側は、各 FPGA からのデータが Link IP と Sync IP を経由して NxN スイッチに接続される。その後、Changeover Switch を介して M_DMAM のそれぞれの W#k に接続される。ただし、自ノードで折り返すストリームバスは Sync IP や Link IP を介さず直接 Nx1 スイッチから NxN スイッチへ接続される。M_DMAM から出てくるストリームバスの実効帯域に対し、Link IP での通信帯域を合わせることで、データの滞留が最小限に抑えられる。また、M_DMAM と Distributed Switch はクロック周波数を同じにして同じストリームバスの実効帯域にすることで、ブロック間の Buffer も不要となり ALMs の利用量を削減できる。

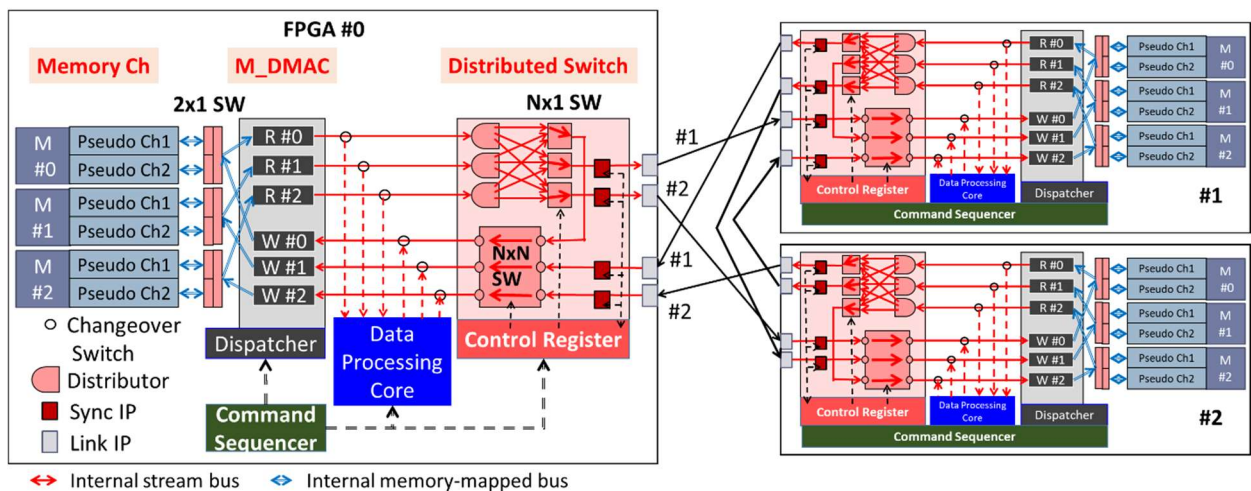


図 1.2.2.2(エ)②-15 OPTWEB を実現するための FPGA 内ブロック図

ここで、Sync IP は従来のようなパケットごとの処理でなく、通信単位毎に処理する簡易な機構を導入した。図 1.2.2.2(エ)②-16 に示すように、FPGA 間での通信において、データと制御信号との区別をするため、1 クロック分の信号が来たときは制御信号として、2 クロック以上の信号が来たときは先頭の 1 クロック分の情報を除いた後に残りをデータとして扱う。そのため、データ送出時には、送信側の Link IP では 1 クロック部の制御信号を付加してデータを送出する。Link IP の SL3 はクロック毎のデータを正確に再生できるため、この簡易な機構で制御信号を判別できる。そして、Command Sequencer を使って、M_DMAM と Distributed Switch を図 1.2.2.2(エ)②-17 のフローに従って指示を出すことで、確実な通信を行う。Barrier を行う時は、各 FPGA は接続するリンク全てで制御信号を送出する。そして、全てのリンクで制御信号が来た後、Barrier が完了したとして終了する。

データ通信を実行する場合、まず通信に関するメモリ領域を管理する DMAM に指示を出すとともに、通信の種類を判断し、どのリンクを使うかを判別する。そして、Distributed Switch 内のスイッチを設定するとともに、データサイズを元にイーガ通信かランデブー通信のどちらを行うかの判定をする。データサイズが小さい場合はイーガ通信としてすぐにデータの送出を開始する。一方データ

サイズが大きい場合は、ランデブー通信として受信側の準備確認を行う。受信側の FPGA の関連するリンクの Sync IP から制御信号を送出し、送信側の FPGA の関連するリンクの Sync IP で全手の制御信号が到達すると、データ送出を開始する。設定したデータ量の送受を確認すると、送受それぞれのノードで通信が完了となる。ただし、この状態では次の通信指示が来ても開始できない。受信側の関連するリンクの Sync IP が受信完了済みを通知するための制御信号を送出し、送信側が関連するリンクの全ての制御信号を確認した時点で次の通信の受付が可能となる。

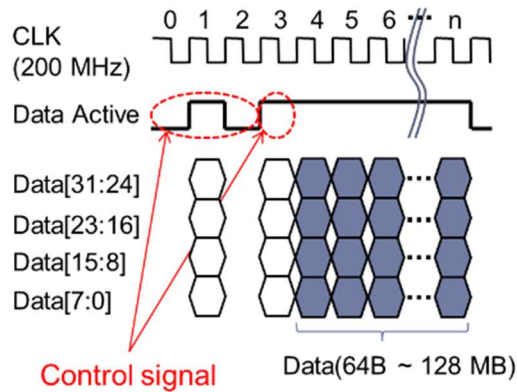


図 1.2.2.2(エ)②-16 Sync IP における制御信号とデータ

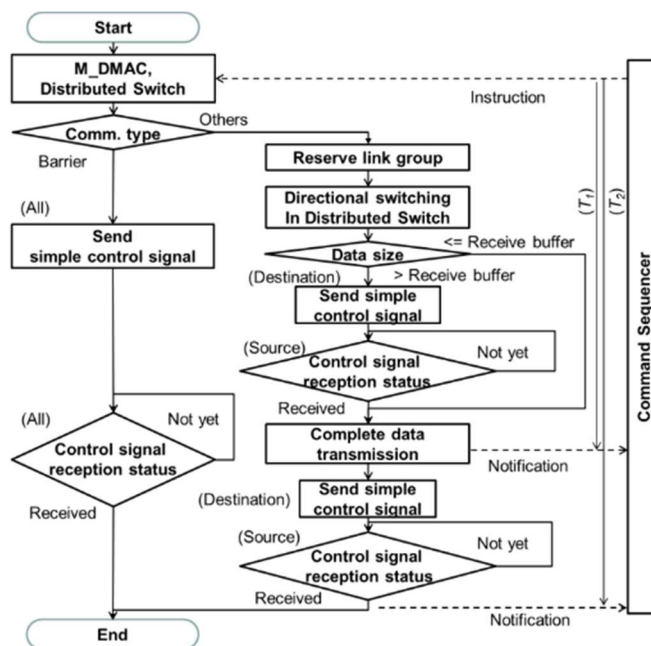


図 1.2.2.2(エ)②-17 OPTWEB を実現するための FPGA 内のフロー図

この方式に沿って FPGA 間での通信が問題なくできるかを確認するため、図 1.2.2.2(エ)②-18 に示す HBM2 が搭載された FPGA カードを 4 枚用意し、FPGA 間が 50 Gbps/link でフルメッシュ接続された評価系を用意した。Link IP には SL3 を用い、図 1.2.2.2(エ)②-17 で示した機構を 4 台構成に拡張した回路設計を行い、その回路を各 FPGA に実装した。また、各 FPGA のコマンドシーケンサーに通信を複数回連続実行するフローと、その各通信に要する時間を正確に計測するためのカウンタ回路を用意し、各通信の特性を評価した。

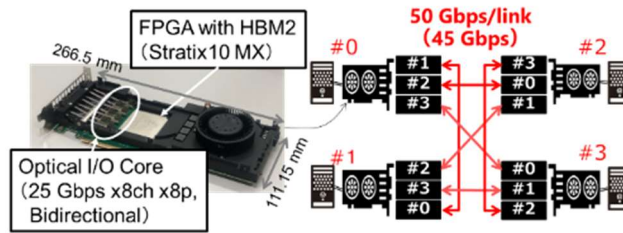


図 1.2.2.2(エ)②-18 FPGA カード 4 台での評価機構

図 1.2.2.2(エ)②-19 に Barrier 特性を示す。4 台間で大きな時間差があっても、1 回の Barrier で約 0.3 μs の時間差に収まった。さらに Barrier を繰り返すことでさらに 0.02 μs まで削減された。このように OPTWEB を用いることで FPGA 間の時間差を簡単に 1 μs 以下に抑えられた。これは、実際の通信時のランデブー通信などの制御信号のやり取りも同様に短時間でできることを意味し、通信の低遅延化が期待できる。

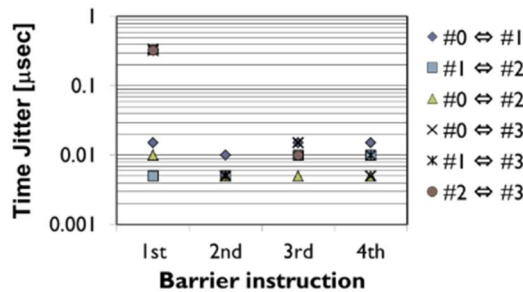


図 1.2.2.2(エ)②-19 Barrier 特性

次に SendRecv, Scatter, Gather, Broadcast, Alltoall, そして Allgather の並列分散処理で用いられる主要な通信に関し、128 MiB のデータの通信に要する時間を計測して実効帯域を見積もった。図 1.2.2.2(エ)②-20 に、最も時間の要したリンクでの実効帯域の結果を示す。全ての通信において約 45 Gbps/link の結果が得られた。図 1.2.2.2(エ)②-20 に示すように FPGA 間のリンクの物理帯域は 50Gbps (25 Gbps x2) であるが、Link IP に用いた SL3 の通信効率仕様上 90% となっている。この 45 Gbps/link の結果は SL3 による通信効率の低下によるものである。更に、2FPGA 間の通信である SendRecv と、全ノードの全てのリンクを使って通信する Alltoall, Allgather で、実効帯域のデータサイズ依存性の結果を図 1.2.2.2(エ)②-21 に示す。横軸のデータサイズは、各リンク当たり通信するデータサイズである。Alltoall や Allgather と複雑な通信でも、各リンクで 1 対 1 の SendRecv と同等の実効帯域が得られた。また、Start-up latency を 0.8 μs としたときの理論カーブと一致する結果が得られた。この低遅延な特性は他の通信でも同様である。図 1.2.2.2(エ)②-22 にも各リンクで通信するデータサイズが 64B の時の、各通信の Start-up latency の結果を示す。Barrier に関しては、実際のデータの通信がないため、メモリの設定に要する時間がかからない。そのため Start-up latency は 0.4 μs と短い。その他の通信は、メモリ設定を含む初期設定に 0.3 μs 、そしてデータの移動に 0.4 μs の時間を要するが、トータルで Start-up latency は 0.7 μs と小さい結果が得られた。なお、これらはイーガー通信での結果である。Allgather に関しては、同じデータサイズでランデブー通信した場合の結果も示す。ランデブー通信で事前に受信準備の確認をしても、Start-up latency はわずか 0.1 μs しか増えなかった。これは、制御信号のやり取りの間にメモリ設定の準備ができるためである。これらの評価から、OPTWEB での FPGA

間接続では、低 Start-up latency で高効率のデータ転送が可能であることが示された。

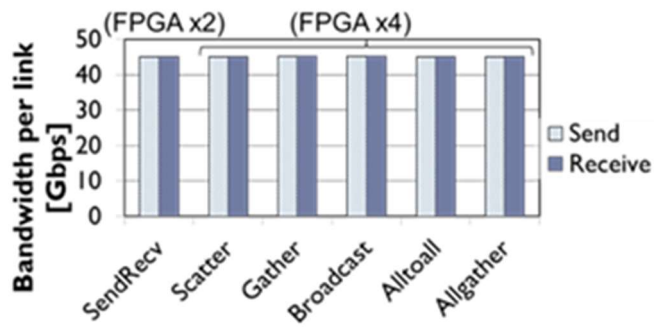


図 1.2.2.2(エ)②-20 各通信における実効帯域@128MiB

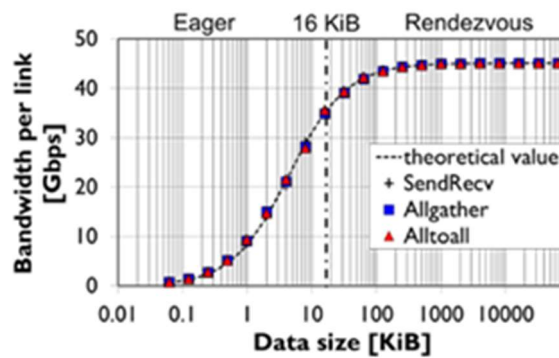


図 1.2.2.2(エ)②-21 実効帯域のデータサイズ依存性

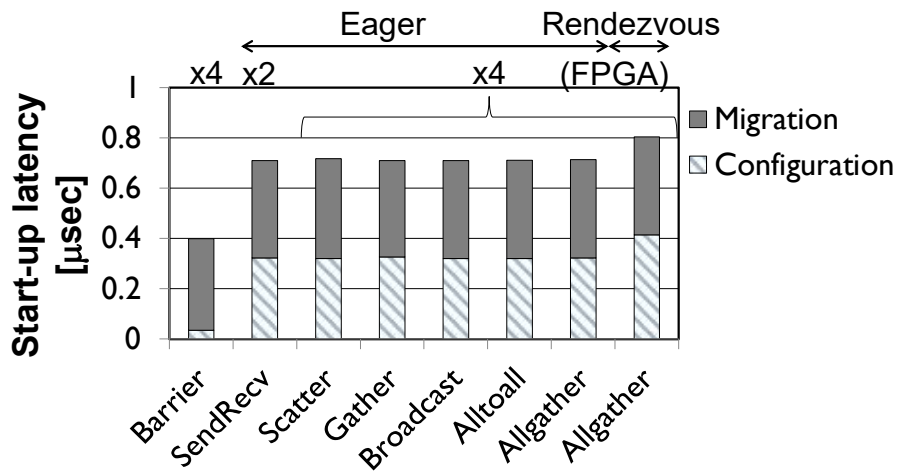


図 1.2.2.2(エ)②-22 各通信における Start-up latency

さらに、高効率な集合通信を活用することで、フルメッシュ接続で不得意とする 1 対 1 通信の広帯域化も可能であることを実証した。従来のネットワーク手法では、1 対 1 通信では 1 つのリンクしか用いない。そのため、1 つのノード当たり X Gbps の帯域を有していても、接続ノード数 N の場合は X/N Gbps の帯域になってしまう。この問題を回避するために、我々は図 1.2.2.2(エ)②-7 に示すような Multipath Routing を提案した。例えば 1 対 1 通信の場合、先ず Scatter でデータをばらまいた後、Gather で目的ノードにデータを集める。このように 2 回の集合通信に分けることで広帯域な通信が可能である。これを図 1.2.2.2(エ)②-18 で示した FPGA4 台の構成と、さらに 8 台に拡張した構成で検証した結

果を図 1.2.2.2(エ)②-23(a)に示す。Multipath Routing により 2 回の通信が必要となるためデータサイズが小さい時の通信時間は通常の通信の 2 倍となる。しかしながら、データサイズが大きい時は、使用するノード数が多いほど Multipath Routing により短時間で通信が可能となる。通信時間から実効帯域を見積もった結果を図 1.2.2.2(エ)②-23(b)に示す。N=4 で 2 倍、N=8 でさらに 2 倍の帯域増が確認できた。

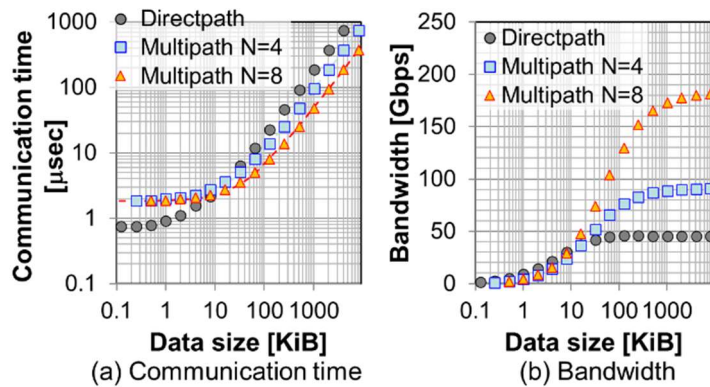


図 1.2.2.2(エ)②-23 Multipath Routing による通信時間と実効帯域

このように低遅延で広帯域の通信が可能である OPTWEB の軽量性を図 1.2.2.2(エ)②-24 に示す。8 台の FPGA を 50 Gbps/link で接続した構成での ALMs の利用率を示しており、1FPGA 当たりのネットワーク帯域の総和は 400 Gbps/FPGA の結果である。この OPTWEB の基本構成でも、ALMs の利用量は 30%と小さく抑えられた。また、このうち OPTWEB 専用で用いられる Distributed Switch と SL3 の合計はわずか 12.7%と小さかった。それ以外は Data Processing Core でのデータ処理にも活用できるため、本構成の軽量性が示された。

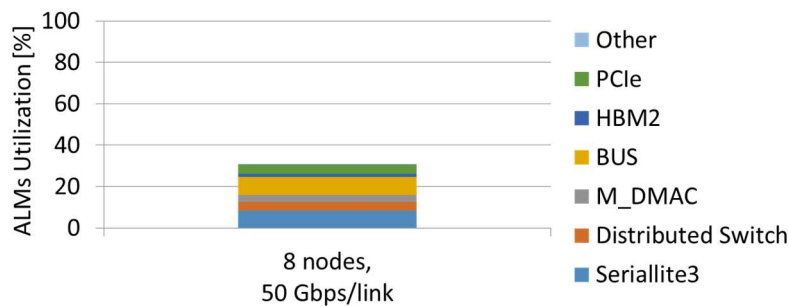


図 1.2.2.2(エ)②-24 OPTWEB 8ノード 400 Gbps 構成での ALMs 利用率

[並列分散処理アプリケーション]

アプリケーションレイヤでは、並列計算シミュレータ SimGrid を用いて、並列計算ベンチマークである NAS Parallel Benchmarks (NPB) の Integer Sort (IS)、Fourier Transform (FT)、Data Traffic (DT)、および Graph500 の実行時間をシミュレーションした。その結果を図 1.2.2.2(エ)②-25 に示す。縦軸は実行時間の逆数を 3D-torus を 1 として相対値で示した。今回シミュレーションを行った各ベンチマークの最大のモデルサイズは、IS と FT が Class-C、DT が Class-B、Graph500 は Scale factor が 26 であり、これらのモデルサイズでの各ベンチマークの主要な通信パターンは、IS が Alltoallv、FT が Alltoall、DT が Send/Recv、Graph500 が Allgather であった。同図に示す通り、IS、FT、Graph500 のように集合通信

が主要な通信パターンであるアプリケーションでは、光ハブによってアプリケーションの実行を高速化できる可能性が高いことを確認した。一方、DT では光ハブによる顕著な高速化効果は出ていない。この原因は、DT の主要な通信パターンである Send/Recv をマルチパス・ルーティング化するために、MPI の片方向通信(Put/Get)を MPI_Win_lock モードで用いたが、その前処理および同期処理に時間が掛かっているためと推定しており、まだ2倍程度の高速化の余地があると見込んでいる。また、今回のシミュレーションでは暫定的に通信遅延時間は全て 1 μ s/Link で共通としたが、光ハブの論理フルメッシュ・トポロジーは従来の方式に比べて本質的に低遅延化が可能であり、更なる高速化が可能と見込んでいる。これらの成果を並列計算機の国内会議 SWoPP2019 および国際会議 HPC-Asia2020 等に発表した。また、光ハブを模した4ノード間フルメッシュ光配線を用いた並列計算システムを構築し、従来のツリー型電気配線に比べてソーティング処理を約1桁高速化出来ることを CEATEC 2019 等にて実演した。

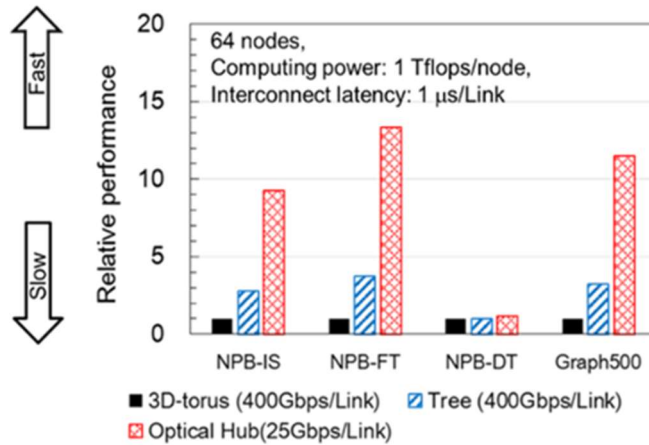


図 1.2.2.2(エ)②-25 SimGridによる並列分散ベンチマークのシミュレーション

より実用的な並列計算アプリケーションとして、科学技術アプリケーションへの光ハブの適用も検討している。物理方程式を差分化して計算する有限差分法(時間領域は FDTD, 周波数領域は FDFD と呼ばれる)は、電磁波をはじめとする波の散乱解析に於いて並列化が容易なことから幅広く利用され、しかも光ハブのアプリケーションとしても適していることが明らかになった。

一例として電磁波の有限差分法では、マクスウェル方程式の電場と磁場を3次元メッシュに差分化して計算する。並列計算を行う場合、空間分割して各ノードにそれぞれの3次元メッシュを割り当てる。(図 1.2.2.2(エ)②-26 左図参照) 特に FDTD では、電場と磁場を交互に計算するが、その際に隣接するノード表面の磁場と電場の情報をノード間で伝送しなければならない。従って、ノード間の通信帯域と遅延が各計算ステップに必要な時間の低減に大きな影響を与える。(図 1.2.2.2(エ)②-26 右図参照) この特徴は、弾性波や物質波等、他の波動解析でも同様である。光ハブではスイッチを介さず直接ノード間で広帯域・低遅延伝送が可能のため、有限差分法の高速計算が期待できる。

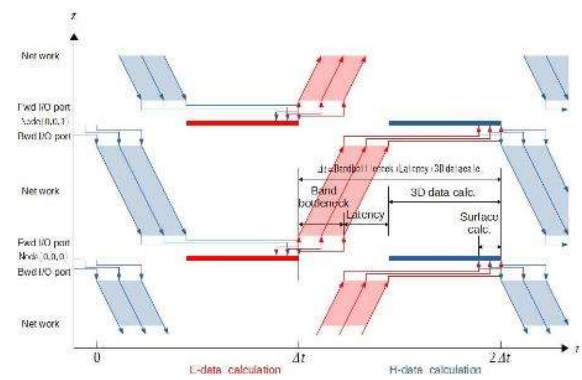
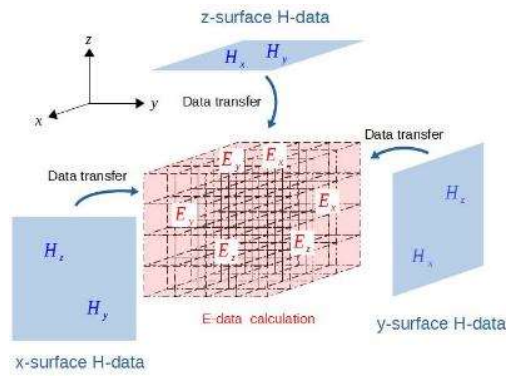


図 1.2.2.2(エ)②-26 左図：空間分割したノードの3次元メッシュ. 電場(E-data)を計算する際、ノード内の磁場(H-data)だけでなく隣接するノード表面の磁場も必要. ノード間で H-data を伝送. 右図：計算ステップ(横軸)と空間分割したノード間(縦軸 z 方向のみ表示)の関係. 通信帯域と遅延の改善で FDTD の計算ステップ時間 Δt を短縮可能. また計算と通信を同時に行えば、 Δt の更なる短縮も可能

光ハブの有用性を有限差分法で実証するために、まずは計算自体の有用性を提示する必要がある。シリコンフォトニクス設計解析は、有限差分法の良い適用事例の一つである。シリコンとシリカは大きな屈折率差で強い光閉じ込めを実現する反面、従来の近似解析法が使えず、有限差分法による直接計算が多く用いられる。しかも光回路の解析規模を拡大するには、光導波路の曲げに柔軟に適應できる座標系に対する差分が必須である。そこで任意の直交曲線座標を設定できる有限差分法を導入し、光導波路構造(図 1.2.2.2(エ)②-27 左図)の光損失の計算を実行した(図 1.2.2.2(エ)②-27 右図)。部分的な計算ではあるが、低損失・コンパクトな光回路を有限差分法で設計可能な事を示した。今後も計算法の有用性を示しつつ、解析規模を拡大し並列化を進め、光ハブへの適用を目指す。

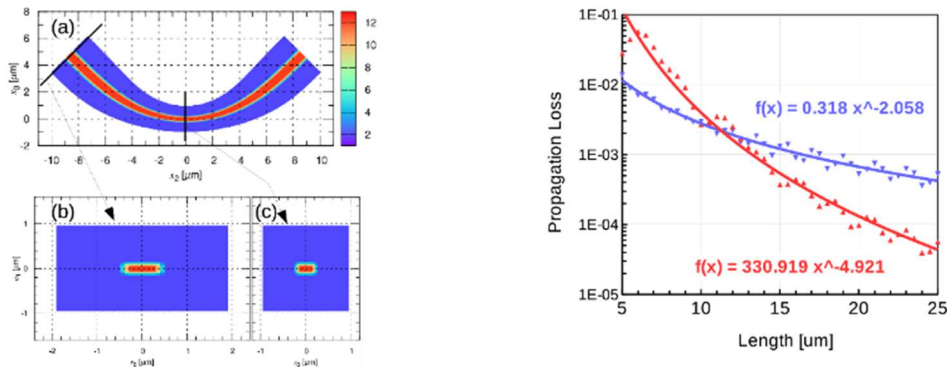


図 1.2.2.2(エ)②-27 左図：曲げ導波路の誘電率分布 (a)チップ面内の分布 (b)幅が広い導波路断面 (c)幅が狭い導波路断面 右図：FDFD 計算結果. 曲げ導波路伝搬長(横軸)と光損失パワーと入射パワー比(縦軸)の関係. 赤は左図の曲げ構造、青が狭い導波路を曲げた場合の損失. 実用的な伝搬長(>12 μm)では、曲げながら幅を変えた構造の方が低損失.低損失な幅広導波路の適用範囲を広げることが可能

2020 年度の成果は以下の通りである。

[デバイス・レイヤ]

2020 年度は、最終デモで用いる光集積回路チップおよび光電子集積インターポーザの試作を行った。本光電子集積インターポーザでは、交換が容易となるように FPGA カードとの挿抜を可能としたソケットを有するインターポーザ基板に、ドライバ/TIA IC がフリップチップ実装された光集積回路

を搭載し、放熱のためのヒートシンクが搭載されている。一方接続する 12ch ファイバ・アレイは中央の ch5-ch8 に PMF を、その両側のチャンネルに SMF を並べ、光集積回路の端面側にファイバ・ブロックを、反対側は 12 芯の MT コネクタが接続されている。光集積回路側端面のスポットサイズに近くなるように、小径ファイバを用い、MT 側で通常径のファイバとなるよう中間部に熱拡散拡大コア(TEC)領域が構成されている(図 1.2.2.2(エ)②-28 (a))。実装工程ならびにファイバ接続強度の検討を行った結果、光集積回路チップの端面をインターポーザ基板から突き出した構造でファイバ実装を実現した。インターポーザ基板のフットプリントは 12 mm×12 mm であり、25 Gb/s×4 ch 送受、帯域幅密度 69.4 Gb/s/cm²の光電子集積インターポーザを実現した(図 1.2.2.2(エ)②-28(b))。

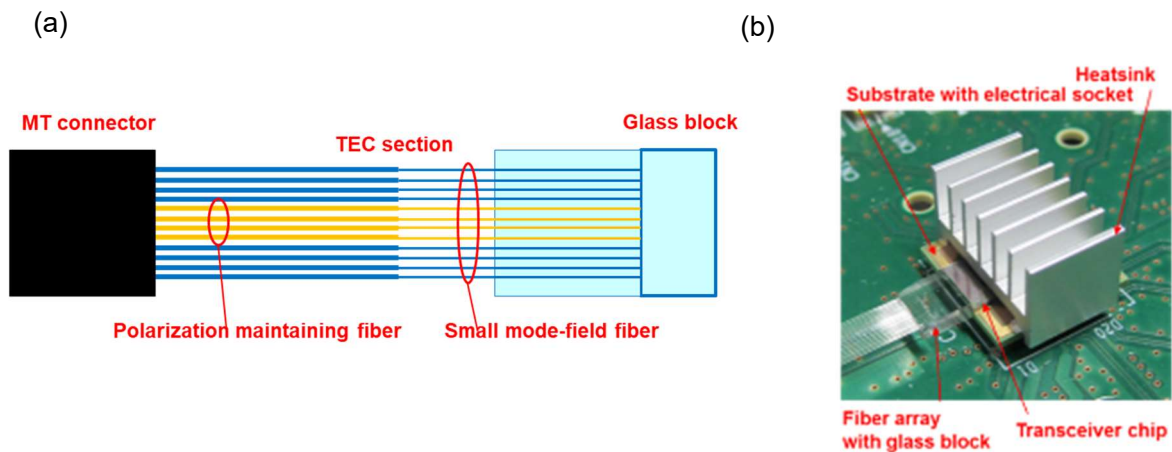


図 1.2.2.2(エ)②-28 最終デモ用、(a)ファイバ・アレイ構造、(b)光電子集積インターポーザの俯瞰写真

電気伝送設計

FPGA カード (FPGA-HP/FPGA-HP2) の SI/PI (Signal Integrity : 信号品質 / Power Integrity : 電源品質)をシミュレーションにより解析し、製造前段階で電気特性を把握し、詳細設計へ反映させた。このことにより、25 Gbps/ch の高速電気信号および電源の品質確保を行った。図 1.2.2.2(エ)②-29 に FPGA カード内の高速電気伝送経路および給電経路の概略図を示す。

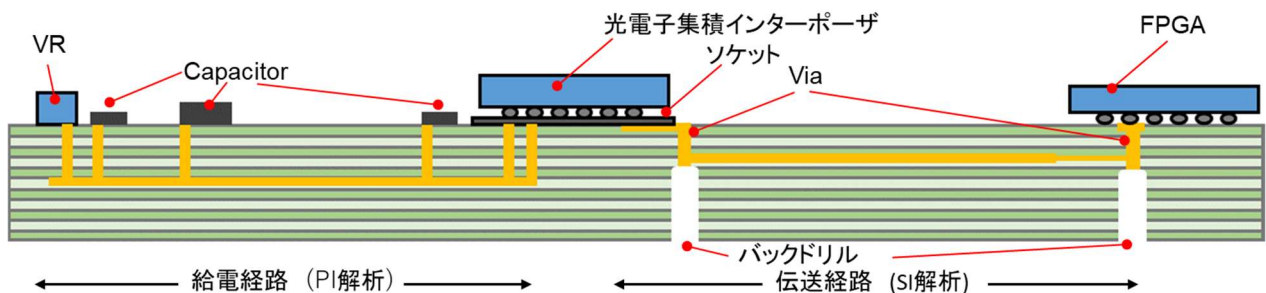


図 1.2.2.2(エ)②-29 高速電気伝送経路および給電経路の概略図

信号品質においては、FPGA と光電子集積インターポーザ間の 25 Gbps 電気伝送に対応するため、この高速伝送路部のモデル化を行い、シミュレーションにて解析を実施した。図 1.2.2.2(エ)②-30 に FPGA と光電子集積インターポーザ間の差動配線の減衰特性、および反射特性を解析した結果を示す。一般的な光モジュールの規格 (OIF-CEI-28G-VSR) と比較し、十分なマージンを確保するとともにイ

インピーダンス整合を確認した。特にソケットから高速信号線を引出す Via と FPGA 部の Via にバックドリルを適用し特性の改善を行った。また、信号配線同士に十分な間隙を確保することでクロストーク影響を最小化した。図 1.2.2.2(エ)②-31 に、Via 単体の S パラメータをバックドリル有無で比較した結果例を示す。Via 構造の最適化により基本周波数 (12.5 GHz) における減衰特性は 2.5 dB 程度、反射特性は 16.5 dB 程度の改善効果がある。

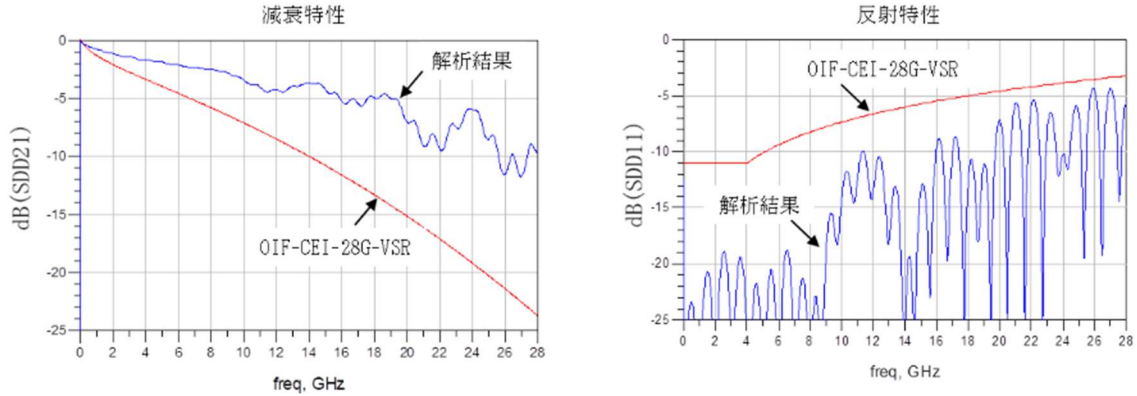


図 1.2.2.2(エ)②-30 FPGA と光電子集積インターポーザ間の S パラメータ解析

(左：減衰特性、右：反射特性)

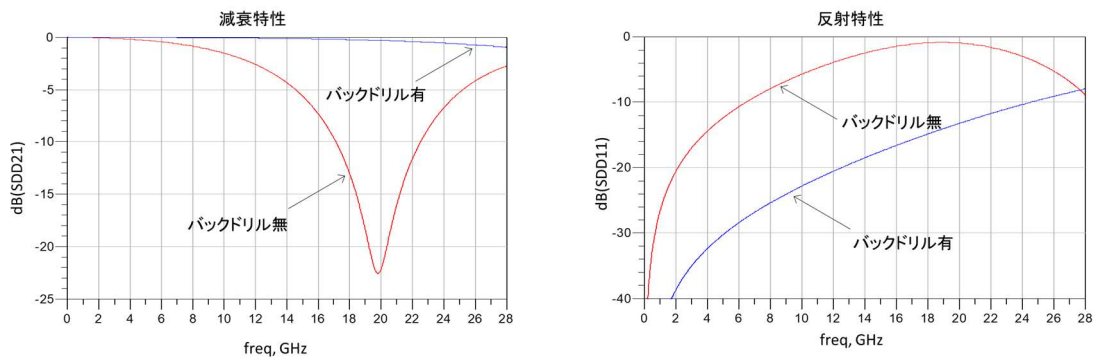


図 1.2.2.2(エ)②-31 Via 単体の S パラメータ解析 (左：減衰特性、右：反射特性)

電源品質においては、図 1.2.2.2(エ)②-29 に示す VR (Voltage Regulator) と光電子集積インターポーザのソケット間の給電経路のモデル化を行い、シミュレーション解析した。電源インピーダンスの最適化を実施した結果を図 1.2.2.2(エ)②-32 に示す。基板構造で決まる 10 MHz 付近の電源のインピーダンス特性がターゲットインピーダンスを満たしていることを確認し、更に他の電源とのアイソレーション確保にて干渉の最小化を図った。

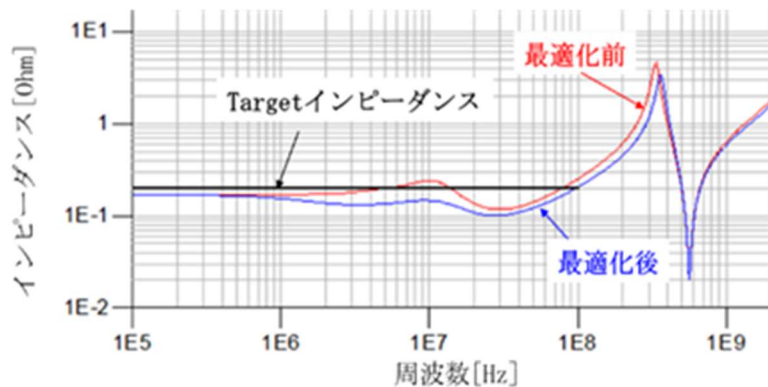


図 1.2.2.2(エ)②-32 電源インピーダンス特性解析

実際の電気伝送品質を確認するためカード上の FPGA 内の受信部の電気波形の確認と PRBS 2³¹-1 のパターン伝送における受信部の BER (ビット・エラー・レート) テストにて全チャンネル BER < 10⁻¹² @PRBS 2³¹-1 の検証を実施した。図 1.2.2.2(エ)②-33 に 1 Port (4ch) 分の 25 Gbps 伝送時の FPGA 内受信波形 (Eye) の観測結果を示す。各チャンネルにおいて十分な Eye 開口にて信号品質を確認した。

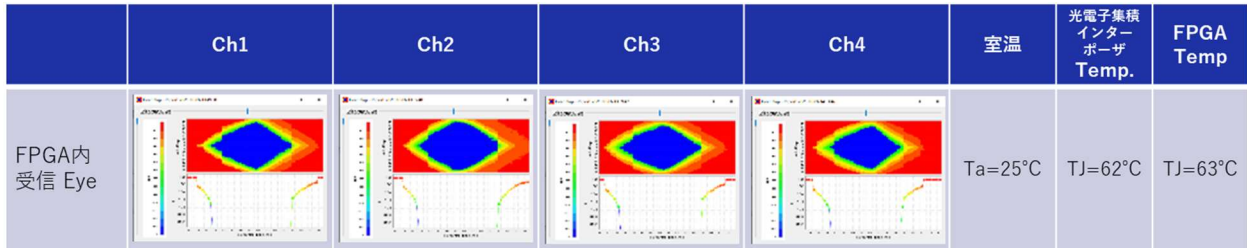


図 1.2.2.2(エ)②-33 試作カード FPGA 内受信波形 (Eye)

[波長多重ネットワーク (レイヤ1)]

波長多重ネットワークの光源、ルータ、アンプの各ボードの仕様を確定し、主要構成部品の入手し、試作を行った。光源は波長可変光源 1 台につき 1 波長を設定し、16 波長分 16 台を搭載した多波長光源で、制御を一括で行い波長グリッドを正確に設定できる(図 1.2.2.2(エ)②-34(a))。光源から各ノードの Tx 部までは、PMF で接続するものとするため、Erbium doped fiber amplifier (EDFA)(図 1.2.2.2(エ)②-34 (b))およびスプリッタ(図 1.2.2.2(エ)②-34 (c))は PMF 対応のものを使用した。波長ルータ・ボード(図 1.2.2.2(エ)②-34(d))は同一波長光信号間のクロストークによる光信号品質劣化を抑制するため石英系 AWG を 2 段縦続接続する構成としたが、接続段数が増えることにより蓄積される光スペクトル狭窄による光信号品質劣化を抑制するためにフラットトップ AWG を用いた。

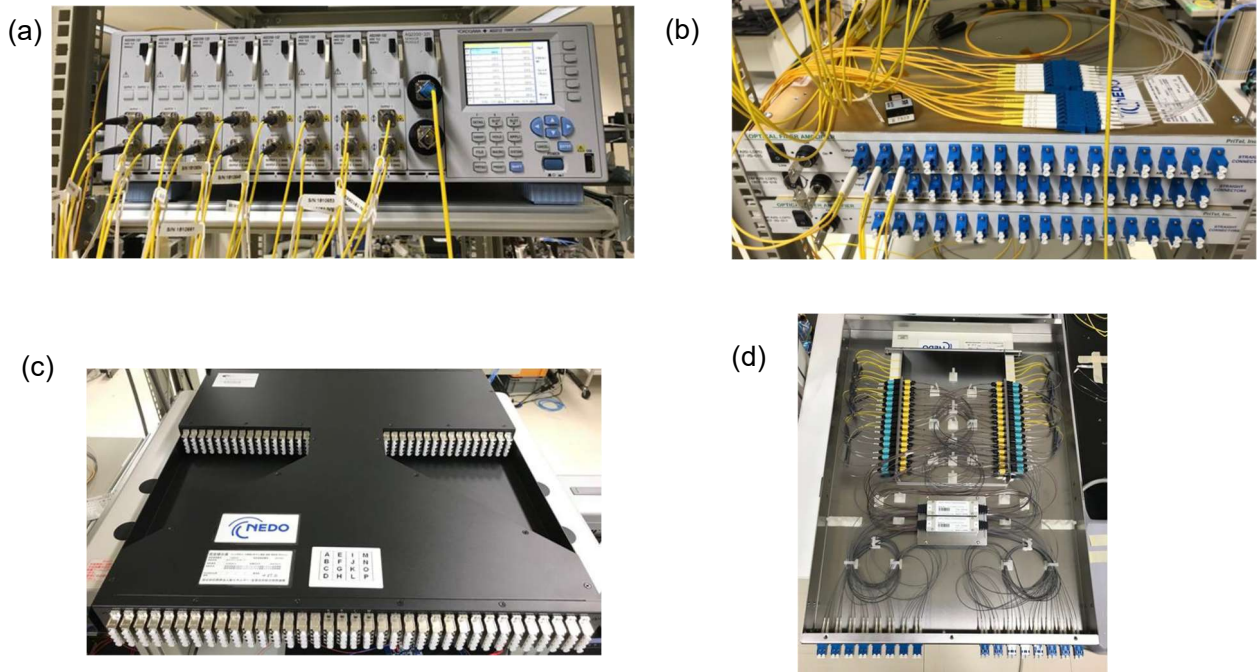


図 1.2.2.2(エ)②-34 波長多重ネットワークの主要構成部品の外観写真、(a)多波長光源、(b)EDFA 光アンプ、(c)光スプリッタボード、(d)波長ルータ・ボード

また、FPGA を搭載した FPGA カード 1 枚に、光電子集積インターポーザを搭載して(図 1.2.2.2(エ)②-35(a))、多波長を用いた波長多重および波長ルーティング動作の検証を行った。200 GHz 間隔の 16 波長(インターポーザ 4 台分)で 25 Gb/s 疑似ランダムビット列(PRBS)31 段の信号を伝送し、FPGA に実装されたトランシーバツールキットにより符号誤り率(BER)測定を行い、計算ノードの入力パワーが 1 dBm 以上で 16 波長の BER が同時に 10^{-12} 以下になることを確認した(図 1.2.2.2(エ)②-35(b)の青いセル部分)。最終段の EDFA の光出力がチャンネルあたり 6 dBm 設定であることからネットワークには十分なマージンがあることを確認した。

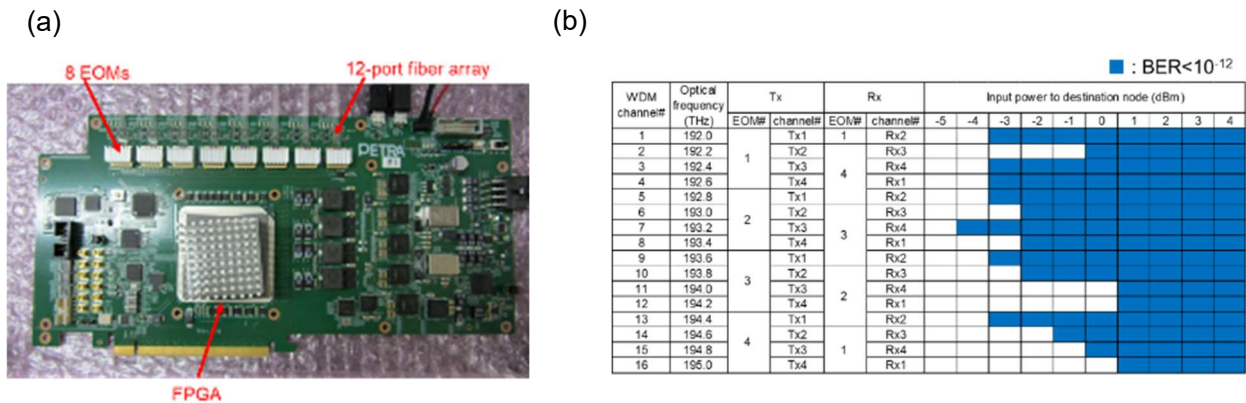


図 1.2.2.2(エ)②-35 光電子集積インターポーザを搭載した FPGA カードの(a)外観写真と(b)動作特性

[ネットワーク・アーキテクチャ/制御 (レイヤ 2 & 3)]

2020 年度は、2019 年度で確定した OPTWEB を使ったアプリケーション実装の指針確立と、更なる OPTWEB の広帯域化を行った。業界トップクラスの最大 409 GB/s のメモリ帯域、送受各 100 GB/s のネットワーク帯域、最大 32 ノードのフルメッシュ接続が可能な 32 チャンネルのネットワーク・ポートを有する並列リンク版 FPGA カードを試作し、FPGA クラスタのデータセンターへの適用を積極的に進めている事業者へ貸し出し、高い評価を受けた。また、最終デモで用いる波長多重版 FPGA カードの論理設計および試作を行った。更に、深層学習等において律速要因となる集合通信 (Allreduce 通信) に関して、フルメッシュ光接続、マルチ・パス通信およびメモリ・アクセス回数削減等により、8 ノードの並列分散システムで、従来の CPU 間を InfiniBand 電気接続した場合に比べて、3 倍以上の高速化を実証した。

図 1.2.2.2(エ)②-36 に示すように、物理的に 50 Gbps/リンク (2×25 Gbps/リンク) で FPGA 間を最大 16 枚の FPGA で完全に接続できるファイバ・シートを用意した。このシートは、8 芯の MPO コネクタを介して FPGA カードに接続することができ、FPGA 間で 100 Gbps/リンク (4×25 Gbps/リンク) の Gbps で 8 台の FPGA 間のフルメッシュ接続ネットワークを実現した。

内部のデータレーン幅は、HBM2 のチャンネルに合わせて 256 ビット幅とした。内部動作周波数を 200 MHz に設定することで、1M#n あたり 51.2 Gbps で読み書きが可能となる。2つの M#n を 1つのノードとの通信用に用意し、FPGA 間も 90 Gbps/リンクでの接続を実現することで、この FPGA カードで最大 720 Gbps/FPGA のネットワーク帯域が実現できる。アプリケーションの仕様に依じてこの OPTWEB の構成を最適化した。FPGA 内の回路は、インテル Quartus Prime Pro バージョン 19.4 を使用して、Verilog ハードウェア記述言語 (HDL) で開発したデザインを合成した。

比較のために、同じ数の CPU (Xeon Gold 5215, 2.5GHz) と 8 個の 187.2 Gbps 帯域の DDR4 メモリ

を備えたサーバを用意し、InfiniBand (IB) アダプタ (CX555A-ECAT) を介して 1 台の IB スイッチ (SB7700) に 100Gbps/リンクで接続した。CPU コア数も 1 から 8 まで変化させた。CPU サーバの OS には、CentOS Linux v7.8.2003 を使用した。CPU サーバの集団通信用インターフェースには、OpenMPI v4.1 を使用した。90 Gbps/リンクで、1 FPGA 当たりのネットワーク帯域を 720 Gbps/FPGA まで拡大したときの Alltoall 通信の結果を図 1.2.2.2(エ)②-37 示す。CPU での比較評価では、1 CPU 当たり用いるコア数を 1 個と 8 個の両方の結果を示す。どちらにしても、Alltoall 通信のメモリ設定に要する大きな Start-up latency のために実行時間は遅い。それに対し、OPTWEB を用いた Alltoall では、1 μ s 以下の Start-up latency のために大幅に実行時間が改善できた。HBM2 のメモリサイズで決まる上限のデータサイズが 2 KiB においては、1 ノード当たりのデータ量を実行時間で割った 1 FPGA 当たりのスループットが 716 Gbps/FPGA となった。これは想定するネットワーク帯域 720 Gbps/FPGA を 99%活用していることを意味し、非常に高効率の Alltoall 通信が実現された。また、CPU+IB に対して、2 KiB で 22.8 倍高速化されたことも確認できた。

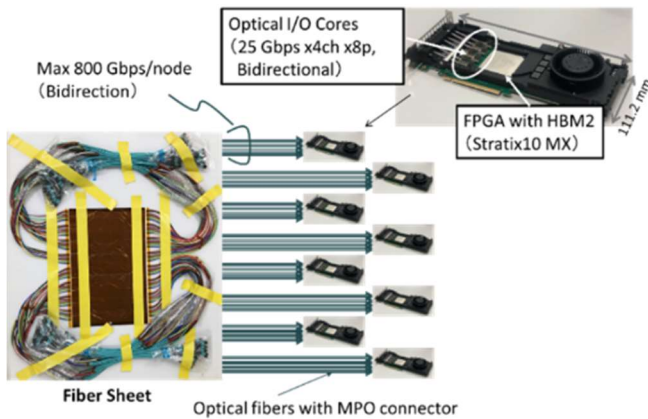


図 1.2.2.2(エ)②-36 ファイバ・シートによる FPGA 間フルメッシュ接続

[サーバ]

ラックスケール並列分散処理システムを構成する光電子融合サーバボードのベースとなるサーバの選定を行った。サーバ選定の主な要求条件としては、サーバラックに高密度に搭載するためサーバボード自身の厚みが 1U であること、FPGA カード 1 枚を搭載し、FPGA カード上の光電子集積インターポーザ及び FPGA、さらにサーバボード上の CPU を効率よく冷却できる構造であること、光電子集積インターポーザ及び AWG に接続される光ファイバをサーバボード内に収容できるエリアを持ち、サーバフロント面及びリア面に光ファイバ入出力エリアを確保できることとした。光電子融合サーバボード内の実装イメージを図 1.2.2.2(エ)②-38 に示す。また、光電子融合サーバボード内に収容する光ファイバの接続コネクタや、長さを含めた光ファイバのイメージを図 1.2.2.2(エ)②-39 に示す。

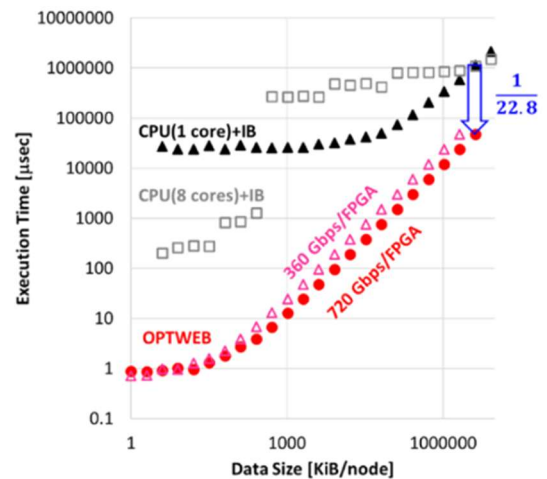


図 1.2.2.2(エ)②-37 Alltoall 実行時間

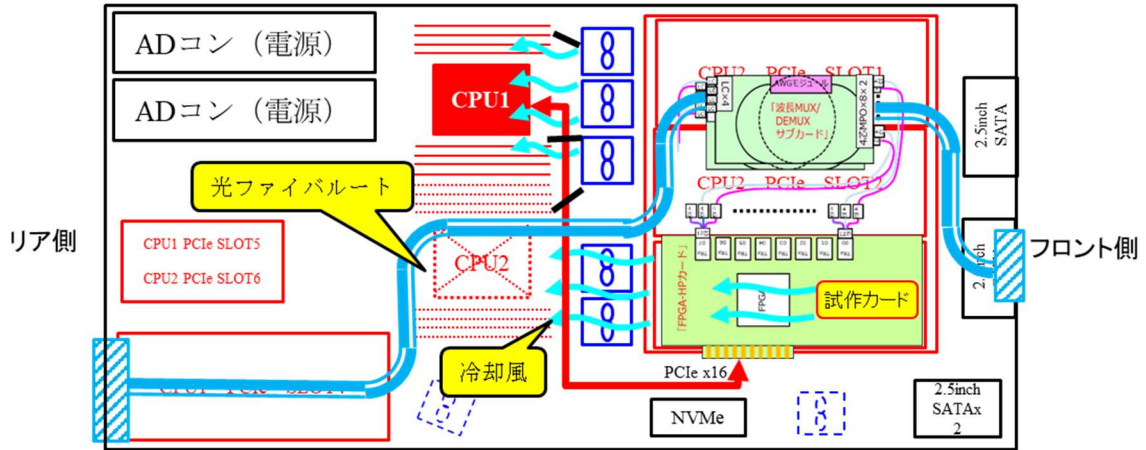


図 1.2.2.2(エ)②-38 光電子融合サーバボード内の実装イメージ

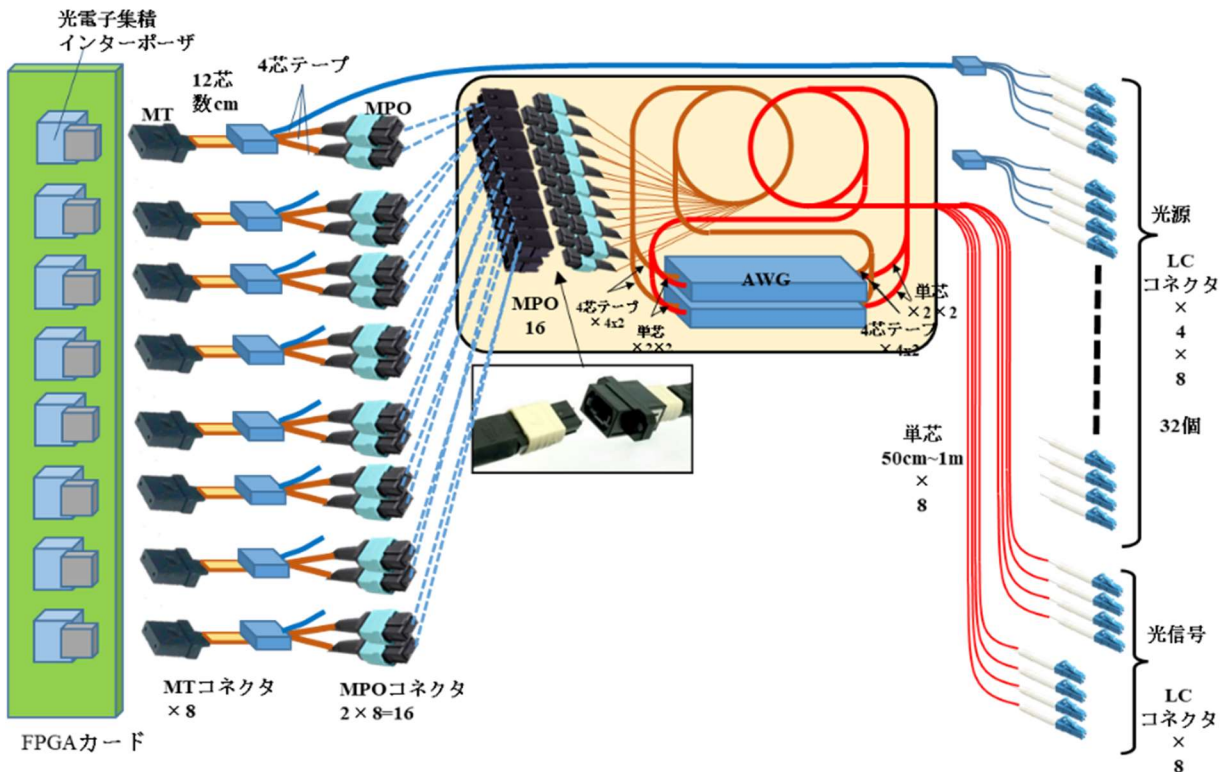


図 1.2.2.2(エ)②-39 光電子融合サーバボードに収容する光ファイバ、光コネクタのイメージ

[並列分散処理アプリケーション]

ソートは、リレーショナルデータベース、MapReduce や Spark などの分散ビッグデータ処理用のフレームワーク、レイ・トレーシングやレンダリングなどのコンピュータ・グラフィックス、グラフ検索、N体シミュレーションなどの科学的計算など、幅広いアプリケーションで使用される。

ソートは、これまでに最も多くのアルゴリズムが研究された計算処理の一つであり、各アルゴリズムの特徴は、計算の複雑さ (operational complexity) で表すことができる。例えば、バブルソートまたは挿入ソートの平均の計算複雑さは $O(n^2)$ 、クイックソートまたはマージソートは $O(n \log n)$ である。ここで、 n はソートされるキーの数である。一般に、2つのキー間で比較を繰り返すアルゴリ

ズムでは、平均の複雑さを $O(n \log n)$ より小さくすることは出来ない。本開発では、上記のようなキー間を比較が必要ない計数ソート(Counting sort)をソート・アルゴリズムとして採用した。計数ソートの平均的な計算の複雑さは $O(n+K)$ である。ここで、 K はキー範囲であり、キーの数 n よりも小さい場合、計数ソートの計算の複雑さは、すべてのソート・アルゴリズムの中で最も小さくなる。ソートの処理速度や扱えるデータ量を増やすためには、多数のプロセッサによる並列分散処理が有効である。これまでに多数の CPU や GPU を用いた分散ソートの報告があるが、多数の FPGA を用いた分散ソートの報告は無かった。我々は多数の FPGA 間を高速な光配線で接続した並列分散システム上で、高速な分散ソートの実現を目指した。

ソーティング処理されるデータは、列型データベースを意識し、key と value のセットとし、それぞれ 4-byte 整数とした。ただし、key の種類数は 64 (key の値は 0~63) である。ソーティング処理では、key と value のセット (レコード) が key の昇順に並び替えられる。FPGA クラスタの場合、ソーティング処理後には、例えば key が 0 のレコードはノード 0 のメモリ・チャンネル 0 に、key が 63 のレコードはノード 7 のメモリ・チャンネル 7 に格納される。

FPGA に実装した分散計数ソートの工程フローを図 1.2.2.2(エ)②-40 に示す。この工程フロー図では、key または value データのメモリへの read/write 単位でフローを分割している。各ステップで、データの read と write が対になっている場合は、read のメモリ・チャンネルおよびメモリ領域と write のメモリ・チャンネルおよびメモリ領域が重ならないようにしており、read から write までは 1 本のパイプラインとして同時に実施することが出来る。そのためメモリ・アクセス回数 (パイプラインのシリアル本数) は、read と write の対で 1 回と数えると、この図 1.2.2.2(エ)②-40 の工程数と同じ 11 となる。以下に図 1.2.2.2(エ)②-40 の各工程を簡単に説明する。

工程①では、key データをメモリから read し、key の種類ごとに出現回数を数え上げ、key の種類ごとの出現度数表 (ヒストグラム) を作成し、フリップ・フロップに保存する。このヒストグラムは後の工程⑥と⑦で、Alltoallv 通信を行う際に、送信先毎の key 数として利用される。工程②では、key データを read し、その上位 3 bits から、次工程③でその key が移動する行先メモリのメモリ・チャンネル番号(0~7)の表を作成しブロック RAM に保存する。工程③では、key を read し、工程②で作成した表に従ってクロスバー・スイッチを切り替え、key を行先メモリに write する。なお、工程②と③は、ブロック RAM の容量を節約するため、512-burst 毎にブロック RAM を上書きしながら行う。工程④は工程②と同じ動作であり、工程⑤は工程③の key を value に置き換えた動作になる。工程⑥では、送信元ノードで key を read し、ノード間で Alltoallv 通信を行い、送信先ノードで key を write する。この際、工程①で作成したヒストグラムを用いて、各送信先に何個の key を送るかの情報を獲得し、Alltoallv 通信の終了判定に利用している。ノード間はフルメッシュ接続されており、各ノード間は専用のリンク帯域が確保されている。また、予め工程③で送信先ノードに対応したメモリ・チャンネルに接続されたメモリ領域に key を移動済みであるため、メモリからネットワーク・ポートまでも専用のバスが確保されている。これらの仕組みにより、送信元メモリから受信先メモリまで専用の帯域を使ったデータの移動が可能になる。工程⑦では、工程⑥の key を value に置き換えた動作を行う。工程⑧⑨および工程⑩⑪では、工程②③および工程④⑤の上位 3 bits を下位 3 bits に置き換えた動作をそれぞれ行う。このような仕組みにより、工程②③、工程④⑤、工程⑧⑨および工程⑩⑪に、ほぼ同じ回路を用いることができ、FPGA の回路規模の節約になる。

図 1.2.2.2(エ)②-41 に今回の実機検証で用いた回路構成のハードウェアリソース量の結果を示す。ソータ単体の ALMs の利用量は 40 % と高かった。この高い利用量のため、HBM2 は 1 つのみを活用

することとし、回路全体を構成した。最終的に ALMs の利用量は 81%に達した。なお、バッファ用の高速メモリである M20K の利用率は 18.1%、DSP の利用率は 0%と、ハードウェアリソース量は小さく抑えられている。動作周波数は 125 MHz、OPTWEB の有効リンク帯域は、32Gbps/リンク (256Gbps/FPGA) となった。この場合、ネットワークのバイセクション帯域は 512Gbps であり、IB を 100Gbps/ノードで動作させた競合 CPU クラスタのバイセクション帯域幅 400Gbps とほぼ同等となった。ソート用のデータは、key と value の対 (レコード) の数は 2^{27} 個、key の種類数は 64 (key の値は 0~63)、key の分布はランダムとし、FPGA では HBM2、CPU では DDR4 のメモリに配置した。

図 1.2.2.2(エ)②-42 に、8 ノードで分散計数ソートを行った際の実行時間の結果を示す。まず、CPU 間を InfiniBand で接続した場合、1 コアでの実行時間は 0.51 秒、8 コアでは 0.165 秒となり、コア数が 8 倍に増えたにもかかわらず、高速化は約 3 倍にとどまった。その原因は、CPU クラスタでは Alltoall の通信負荷が高いためであると推定した。今回の評価では、Key データと Value データのデータサイズはそれぞれ 64 MiB/ノードである。ノード 1 台当たりのデータ量を実行時間で割った値であるスループットは 10.9 Gbps/FPGA と小さく、Alltoall 通信だけを見ても IB の帯域 (100 Gbps/ノード) を活用できていない。次に、FPGA 間を OPTWEB 接続した場合、実行時間は 0.03 秒となり、CPU(1 コア) に対して 17 倍、CPU(8 コア) に対して 5.3 倍の高速化を達成した。このとき、FPGA クラスタで得られたソーティングのスループット (key の総 byte 数をソーティング処理時間で割った値) は、17.3 GB/s であった。

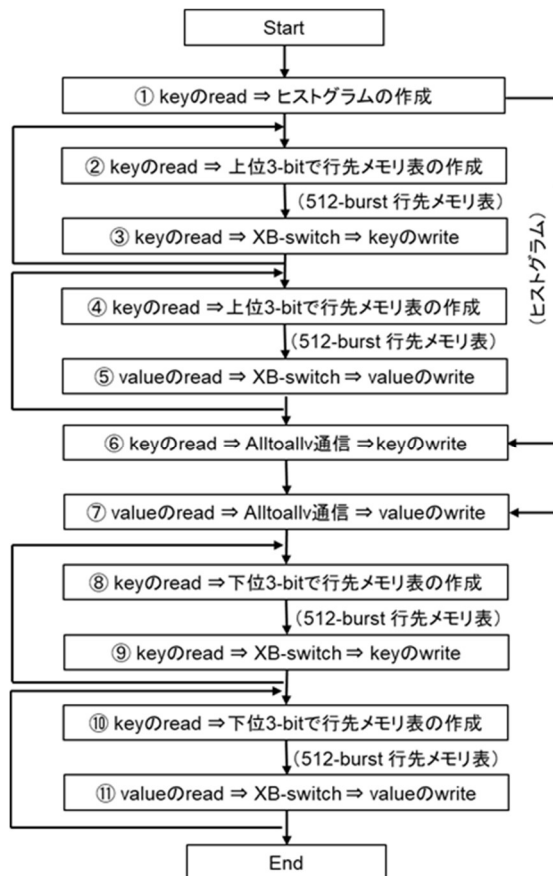


図 1.2.2.2(エ)②-40 分散計数ソートの工程フロー

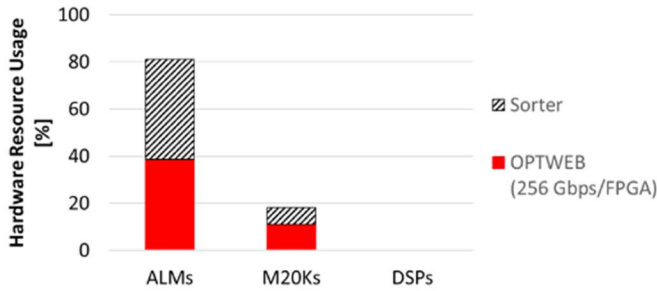


図 1.2.2.2(エ)②-41 分散計数ソートのハードウェアリソースの利用量

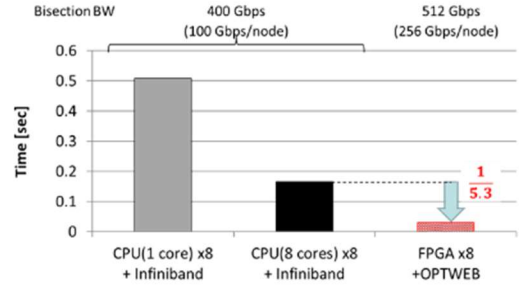


図 1.2.2.2(エ)②-42 分散計数ソートの実行時間

2021 年度の成果は以下の通りである。

[デバイス・レイヤ]

2021 年度は、最終デモで用いる光電子集積インターポーザのファイバ・アレイ実装の改善を行った。12 芯ファイバ・アレイの導波路端面の接続において、当初 Tx 側の ch1-ch8 の経路をモニタしていたが外側の Rx 側 ch12 側の位置ずれを抑えることにより、Rx 側のロスを改善した(図 1.2.2.2(エ)②-43)。

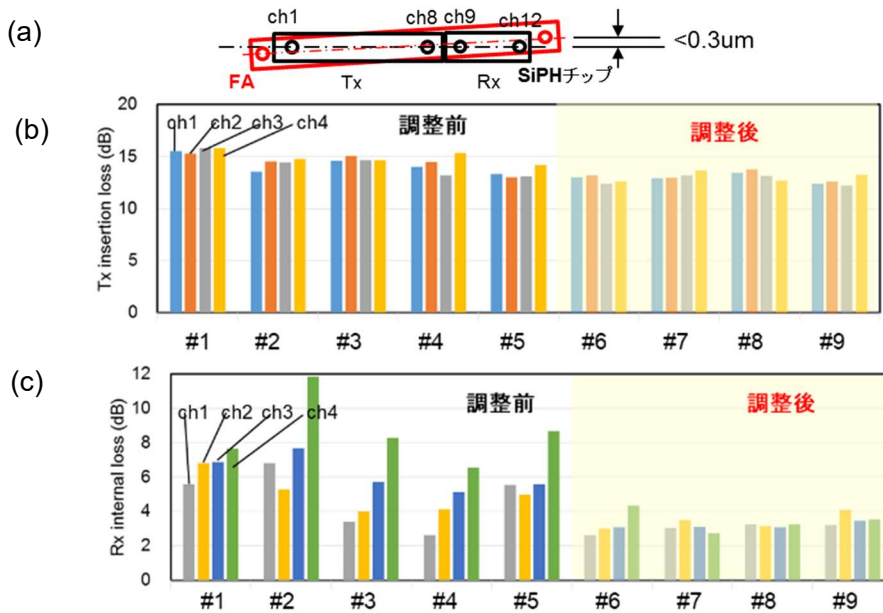


図 1.2.2.2(エ)②-43 ファイバ・アレイ実装の改善 (a)説明図、(b)Tx 側ロスの変化、(c)Rx 側ロスの変化

上記改善試作により、最終デモ用として送受信器の損失を波長ルーティング設計のパワーバジェットに対して十分低く抑え、消費電力の抑制に貢献することを可能とする光電子集積インターポーザをまず FPGA カード 1 枚分 8 台確認し (図 1.2.2.2(エ)②-44)、そして 8 ノード全体で 64 台以上を確保した。

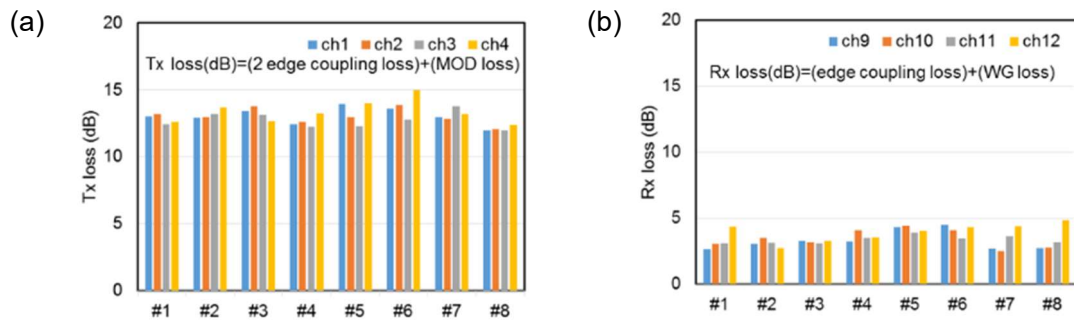


図 1.2.2.2(エ)②-44 光電子集積インターポーザ 8 台の(a)Tx 側および(b)Rx 側の損失分布

また、光電子集積インターポーザの波長依存性を評価し、波長ルーティングで用いる波長範囲(光周波数換算で 192.0~195.0 THz, 200 GHz 間隔)においてほぼ波長依存性のないことを確認した(表 1.2.2.2(エ)②-3)。このことは、使用する波長毎に別々の光電子集積インターポーザを用意する必要が無いこと、および EDFA での一括増幅におけるパワー調整が容易になることを示している。

表 1.2.2.2(エ)②-3 (a)Tx 側ロスおよび(b)Rx 側パワー変換効率の波長依存性

(a)	Tx loss at max power (dB)				(b)	Power respisibility (mA/mW)					
	Optical frequency (THz)	ch1	ch2	ch3		ch4	Optical frequency (THz)	ch9	ch10	ch11	ch12
	192.0	13.6	13.7	13.4	14.0		192.0	0.49	0.44	0.47	0.42
	192.2	13.6	13.7	13.4	13.9		192.2	0.50	0.46	0.45	0.42
	192.4	13.6	13.7	13.6	13.9		192.4	0.50	0.47	0.45	0.44
	192.6	13.8	13.9	13.4	13.9		192.6	0.50	0.46	0.47	0.43
	192.8	13.8	13.8	13.5	13.9		192.8	0.50	0.47	0.45	0.44
	193.0	13.8	13.6	13.6	14.0		193.0	0.50	0.48	0.47	0.43
	193.2	13.9	13.8	13.6	14.0		193.2	0.49	0.47	0.46	0.43
	193.4	14.2	13.9	13.7	14.0		193.4	0.50	0.47	0.44	0.43
	193.6	13.9	14.0	13.7	14.2		193.6	0.51	0.43	0.45	0.42
	193.8	14.0	13.9	13.8	14.0		193.8	0.50	0.46	0.44	0.43
	194.0	14.1	14.0	13.8	14.2		194.0	0.51	0.47	0.45	0.42
	194.2	14.0	13.8	13.7	14.1		194.2	0.51	0.47	0.48	0.43
	194.4	14.0	14.2	13.8	14.2		194.4	0.51	0.47	0.46	0.43
	194.6	14.1	14.3	13.8	14.4		194.6	0.51	0.46	0.43	0.43
	194.8	14.0	14.1	13.8	14.1		194.8	0.51	0.46	0.48	0.44
	195.0	14.0	14.3	14.0	14.3		195.0	0.51	0.47	0.47	0.43

FPGA カードでは、2次試作カード (FPGA-HP2) の冷却及び光ファイバ接続性を考慮した最適な実装構造、及び FPGA カードを光電子融合サーバボードに搭載した際の冷却性および光ファイバ収容性を考慮した最適なサーバボード内実装構造を検討した。図 1.2.2.2(エ)②-45 に 2次試作カード (FPGA-HP2) の構造図を示す。FPGA が搭載された実装基板をアルミニウム製のフランジとスティフナーで挟み込むことで剛性のある構造体とし、光電子集積インターポーザは冷却・電気配線・光ファイバ接続を考慮し基板の長辺側一列に配置、FPGA の発熱を冷却するフィンタイプのヒートシンクを取付け、ヒートシンクに効率よく冷却風を流すためのカバーを取り付けている。図 1.2.2.2(エ)②-46 に 2次試作カードおよびラックサーバ(8 ノード接続)を示す。

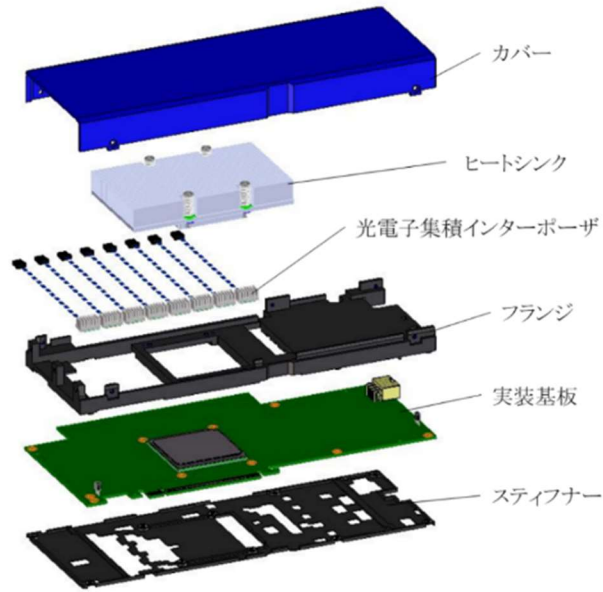


図 1.2.2.2(エ)②-45 2次試作カード (FPGA-HP2) 構造図

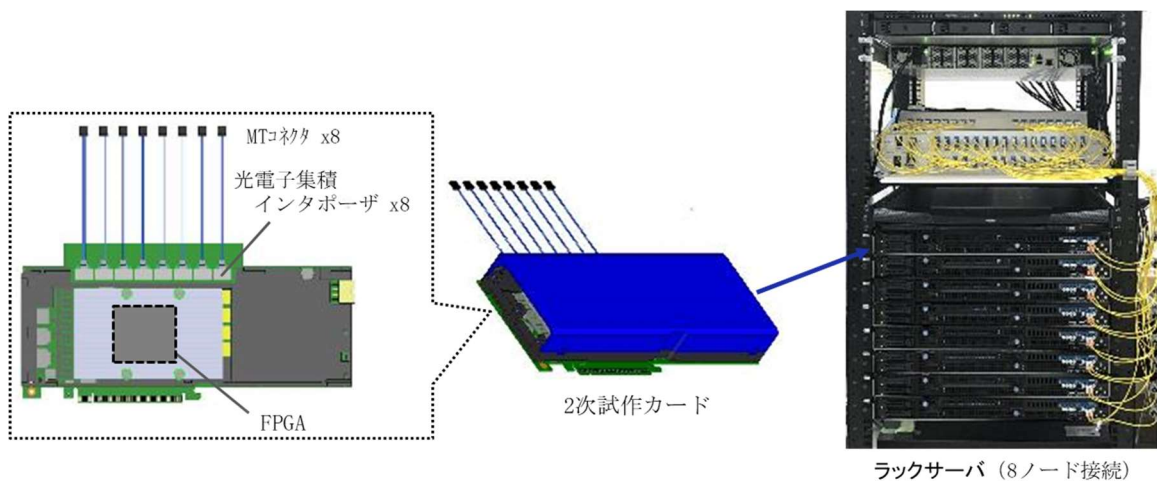


図 1.2.2.2(エ)②-46 2次試作カードおよびラックサーバ(8ノード接続)

[波長多重ネットワーク (レイヤ1)]

波長多重ネットワークでは、ラックスケールの並列分散処理システムに適用可能な波長多重ネットワークを構築し(図 1.2.2.2(エ)②-47)、そのリンク検証を行った。1 ノードあたり 8 台のインターポーザを搭載し、8 ノード間のフル接続波長ルーティング同時動作(全 64 台、全 224 ch、総バンド幅 5.6 Tbit/s)をエラー・フリーで実証した(図 1.2.2.2(エ)②-48)。また、フル接続波長ルーティングシステムの消費電力をワットメータで測定し、電気配線で構成される InfiniBand システムに対して同程度(約 1.2 倍)に抑えられることを確認した。

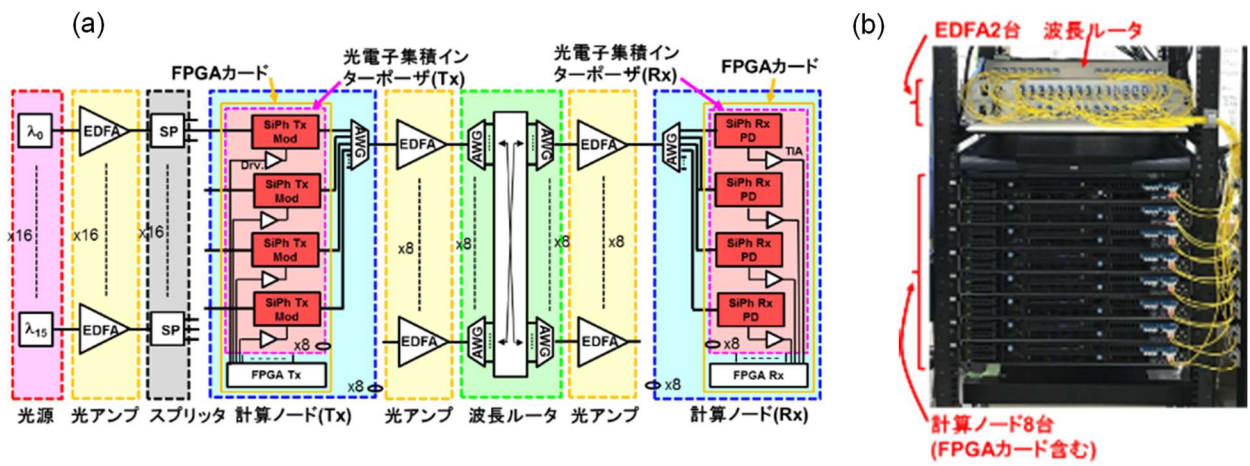


図 1.2.2.2(エ)②-47 (a)8 ノード間フル接続波長ルーティング・ネットワーク構成と (b)8 ノードラックサーバの外観写真

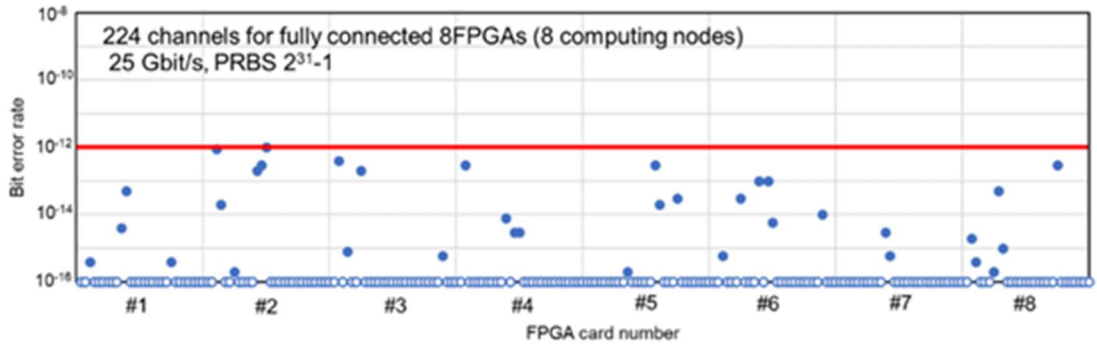


図 1.2.2.2(エ)②-48 8 FPGA ノード間のフル接続波長ルーティング動作におけるエラー・フリー実証 [サーバ]

光電子融合サーバボード内実装構造

FPGA カードを光電子融合サーバボード内に実装した状態を図 1.2.2.2(エ)②-49 に示す。サーバボードには 6 台のファンが内蔵されており、下側 2 台のファンはサーバボード上の CPU 及びメモリを冷却するために使用し、上側 2 台のファンは FPGA カードに搭載されている FPGA の冷却に使用、上から 3 番目のファンは FPGA カード上の光電子集積インターポーザを冷却するために使用する。

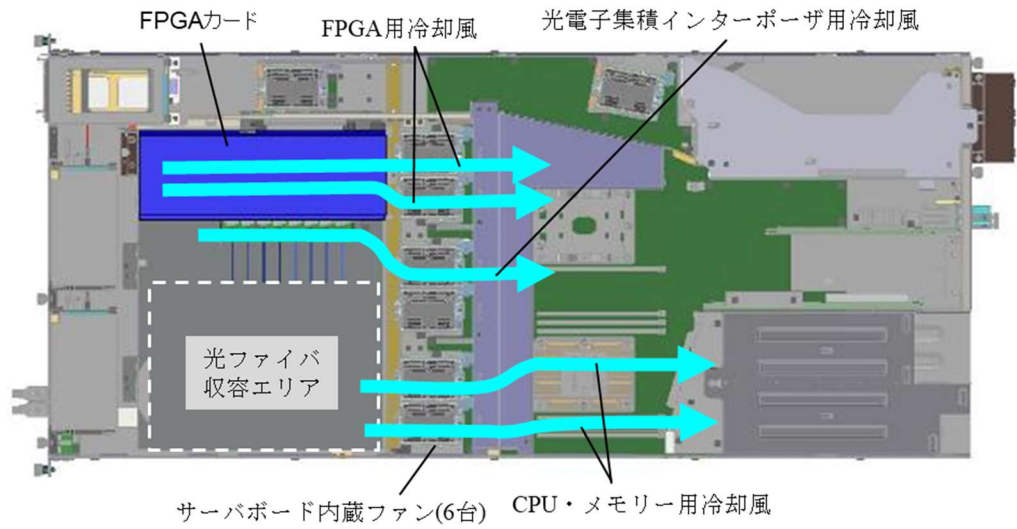


図 1.2.2.2(エ)②-49 光電子融合サーバボード内の実装状態及び冷却風の流れを示す図

FPGA カード上の光電子集積インターポーザを冷却するための専用のダクトを設置した。光電子集積インターポーザ冷却用のダクトと、ダクトをサーバボード内に設置したイメージを図 1.2.2.2(エ)②-50 に示す。

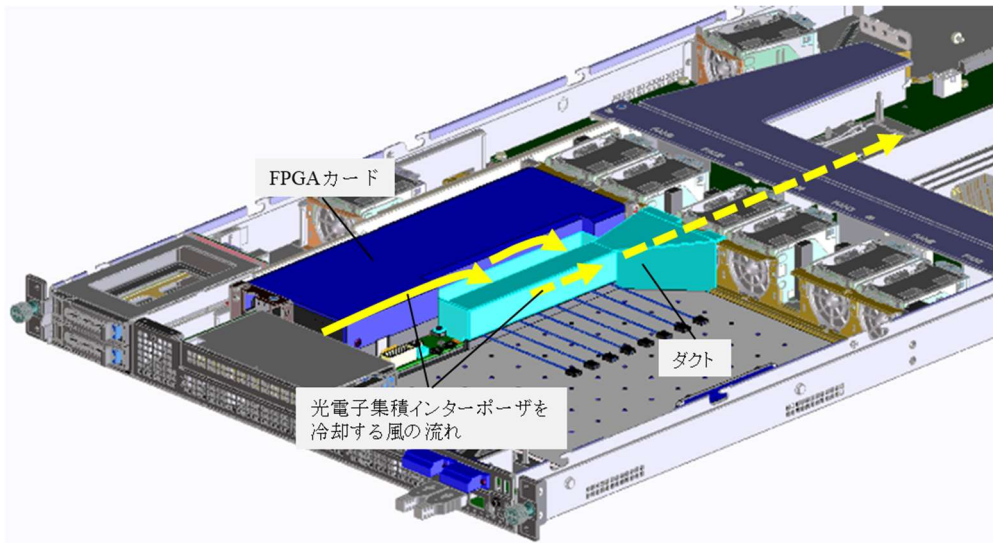


図 1.2.2.2(エ)②-50 光電子集積インターポーザ冷却用ダクトの設置イメージ図

光電子融合サーバボード内の光ファイバ収容

FPGA カード上の光電子集積インターポーザに接続される光ファイバを収容するイメージを図 1.2.2.2(エ)②-51 に示す。光電子融合サーバボード内の光ファイバ収容エリアにて、光電子集積インターポーザ、AWG、フロント及びリア側から配線される光ファイバの余長をフォーミングし、MPO コネクタを中央付近に整列配置、それぞれ対応したチャンネルの光ファイバを接続する。

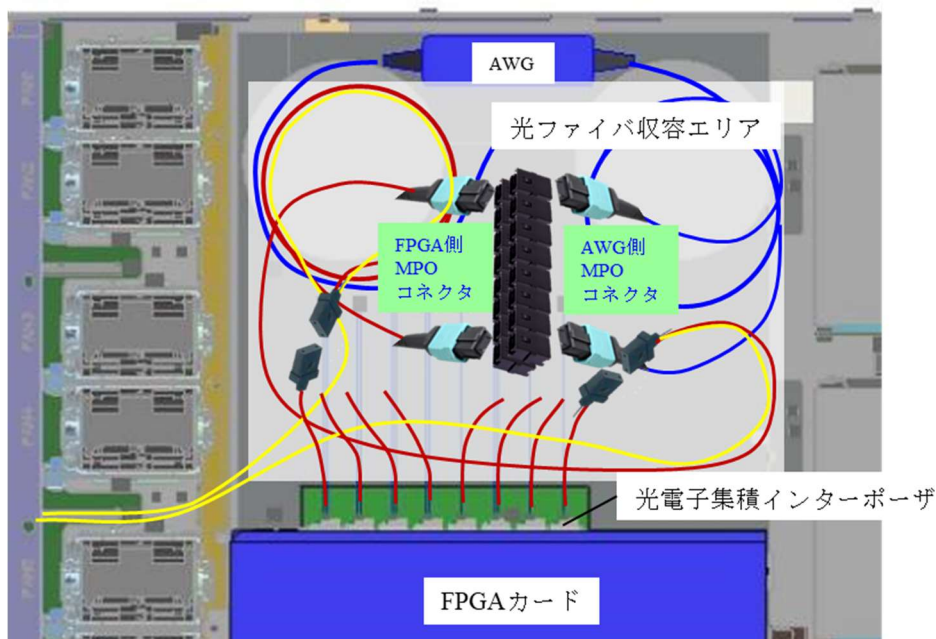


図 1.2.2.2(エ)②-51 光電子融合サーバボード内の光ファイバ接続・収容イメージ図

サーバラック内構成

ラックスケール並列分散処理システムを構成するラックへの搭載物について、光信号ファイバ配線や、光源ファイバ配線、電源配線を考慮し、搭載位置の最適化検討を実施した。ラックへの搭載物としては、1U光電子融合サーバボード8台、無停電電源3台、光源ボード1台、光アンプボード3台、光スプリッタボード1台、波長ルータ・ボード1台、他ストレージや通信機器であり、高さ33Uの19インチ標準ラックを採用し、図 1.2.2.2(エ)②-52 に示す各装置の実装構成に決定した。

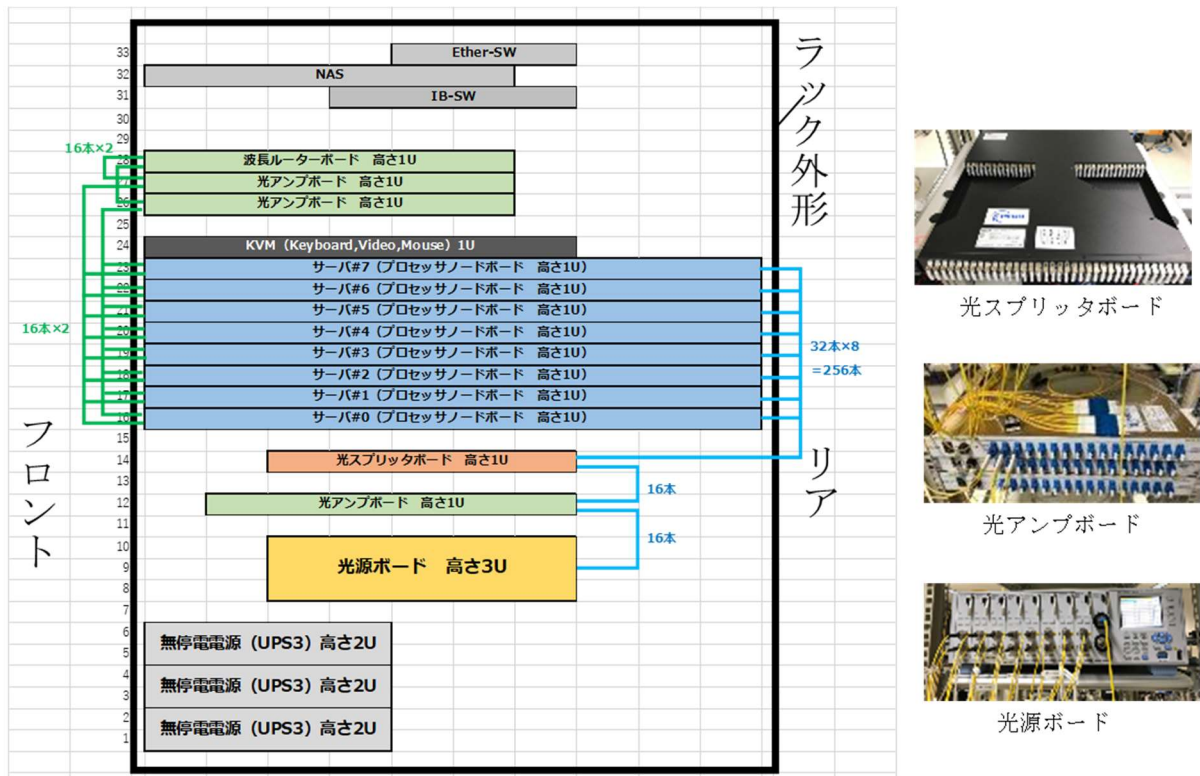


図 1.2.2.2(エ)②-52 並列分散処理ラックサーバシステムのラック内実装構成図

[並列分散処理アプリケーション]

分散乱流シミュレータ

集積光インターポーザを搭載している FPGA-HP2 カードを用いた並列分散処理システムの優位性を示すために、乱流数値シミュレーションを行うデモアプリケーションを作成した。オープンソースの乱流シミュレーションである SpectralDNS を基にして、演算および通信処理は FPGA を用いて高速化し、その結果を可視化するアプリケーションである。今回の並列処理システムの構成は、FPGA-HP2 カードが搭載されたラック型サーバ8台で全ノードが集積光インターポーザを用いてメッシュ接続されている。成果として、8ノード間 Alltoall 通信と高負荷な演算を融合した分散 3D-FFT と、乱流数値シミュレーションに必要な各種演算を全て OpenCL カーネルで実装した。OpenCL への実装においては乱流シミュレーションの内部詳細を把握したうえで、C++でリファレンス実装を行い全体のシステム構築を行った。その結果、本システムは、1ノードあたり 1CPU の場合と比べ、10倍以上の高速化を実現した。また、リアルタイムで 3D 表示可能なアプリケーションを作成した。図 1.2.2.2(エ)②-53 にアプリケーションの動作例を示す。

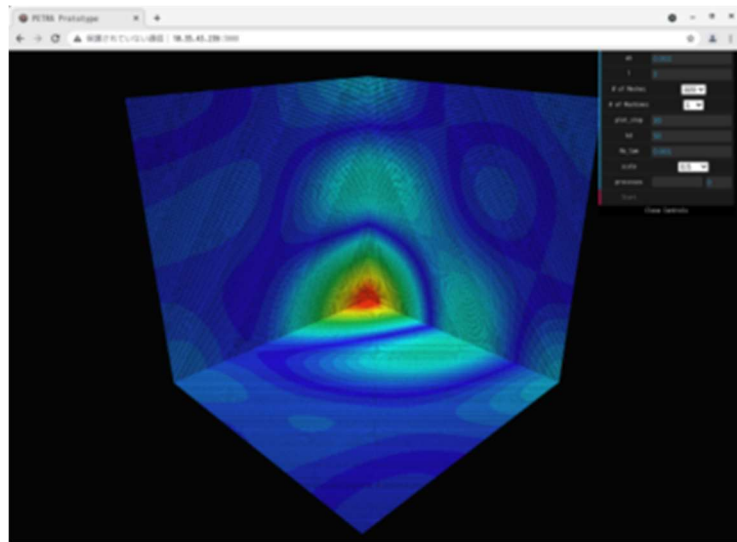


図 1.2.2.2(エ)②-53 乱流数値シミュレーションの動作例

有限差分法電磁界シミュレータ

光電子集積サーブに親和性の高いアプリケーションとして有限差分 (FDTD: Finite Difference Time Domain method)法の最適化に取り組んだ。特にシリコンフォトニクスデバイス設計に利用される電磁波のFDTD法に絞って、様々な検討を行った。2020年度と2021年度には、粗いグリッドのまま計算精度を向上できる前処理法を導入し、計算量低減に成功した。並列処理を進めても、グリッドサイズを粗くしないと計算資源を圧迫してしまう。そこで各ノードのメモリに余裕をもたせ、且つ計算電力量を削減するために、有限差分法におけるグリッドサイズの粗視化を進めた。図 1.2.2.2(エ)②-54 に電磁波の有限差分法である FDTD 法で用いるグリッドを示す。

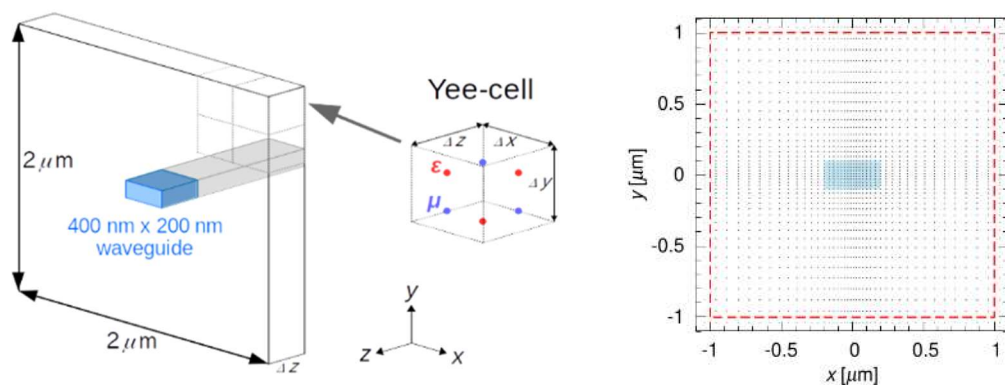


図 1.2.2.2(エ)②-54 左図は幅 400 nm、高さ 200 nm の Si 導波路とその周囲の計算領域を示す。各グリッドは Yee cell によって媒質の 6 成分が配置される。右図は平均で 50 nm のグリッドサイズをもつ不均一グリッド

目標値として、平均グリッドサイズを 50 nm とし、計算精度を誤差 1%以下に設定した。このサイズは Si 導波路を伝播する光の実効波長のおよそ 1/10 の粗さなので、そのままシミュレーションを行うと計算誤差が 1%以上生じてしまい、デバイス設計に支障を生じる。一方、光ファイバを含めた $10^6 \mu\text{m}^3$ 程度の領域を計算する場合、この粗さでも必要な要素数は 10^{11} であり、これ以上グリッドを

細かくするとシステム記憶容量を越えてしまう。

上記の目標を達成するため、計算アルゴリズムを改変せず、前処理のみで計算精度を向上させる検討を行った。計算誤差にはグリッドと光学構造の不整合によって生じる誤差と、有限差分によって生じる誤差の2種類がある。前者は、Yee cell内の媒質パラメータの平均化によって不整合を緩和する手法が知られているが、媒質パラメータが2階のテンソルで表現され、アルゴリズムに影響を与えると共に、計算量も3倍に増加する。そこでパラメータを増やすこと無く平均化を行い、不整合による誤差を低減することに成功した(図 1.2.2.2(エ)②-55)。一方、後者の誤差は、微分を単純な差分に置き換えたため生じる。その補正を単純な前処理によって与える事が可能になり、差分誤差を効果的に削減することに成功した(図 1.2.2.2(エ)②-56)。

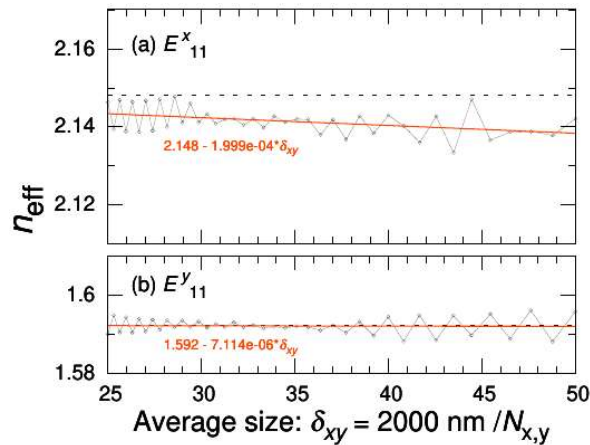


図 1.2.2.2(エ)②-55 幅 400nm、高さ 200nm Si 導波路の有効屈折率のグリッドサイズ依存性(但し、計算には高精度差分法を用いている) Yee cell内の平均化処理でグリッドサイズが 50nm でも誤差が 1%以下に収まっている (a) 基底モード(TE-mode)、(b) 励起モード(TM-mode) の計算結果

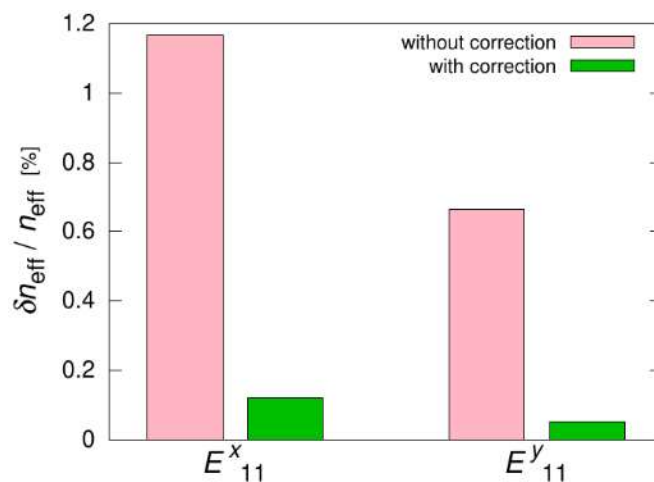


図 1.2.2.2(エ)②-56 差分補正による有効屈折率誤差の削減 左側が基底モード(TE-mode)、右側が励起モード(TM-mode)を示す、それぞれの緑が差分補正の前処理を施した計算結果

以上の取り組みにより、並列化しやすい FDTD 法の特徴を活かしたまま、計算誤差 1%以下を維持してグリッドサイズを大きくすることが出来た。前処理法を使用せずに精度を維持する場合、グリッドサイズは少なくとも 1/2 に縮小する必要がある。FDTD 法の計算量は 3 次元グリッド数の 4/3 乗に比例するため、精度を維持したまま前処理法によって計算電力量は 1/16 に削減することが可能となった。

分散ソータ

2020 年度に開発した光接続された 8 つの FPGA による分散計数ソータには、以下の 2 つの課題があった。1 つ目は、電気配線接続された CPU システムに比べて 5.3 倍高速だったが、メモリ・アクセス回数が多く、更に高速化出来る余地があったこと、2 つ目は、キーの範囲がメモリチャンネルの総数である 64 に制限されていたことである。そこで 2021 年度は、1 つ目の課題に対して計数ソートのメモリ・アクセス回数の削減を行い、2 つ目の課題に対しては基数ソートを導入することでキーの範囲の拡大を行った。

まず、1 つ目の課題に対するメモリ・アクセス回数の削減について述べる。我々の方式の分散計数ソートでは演算時間はほぼ無視できるため、分散ソートのスループットは、主にメモリ・アクセスとノード間通信の遅い方に律速され、その理論ピーク性能 T は、

$$T = N \min \left(\frac{WMC}{A}, \frac{B}{m} \right) \quad (3)$$

で表される。ここで、 N はノード数、 W は 1 メモリ・チャンネル当たりのバス幅、 M は 1 ノード当たりのメモリ・チャンネル数、 C はクロック周波数、 A はメモリ・アクセス回数、 B はノード帯域、 m は通信回数であり、 \min 関数内の第 1 項および第 2 項はそれぞれメモリ・アクセスおよびノード間通信に起因するスループットである。メモリ・アクセス律速の場合は、一度メモリから読み出したデータをなるべく長いパイプラインで処理した後にメモリに書き込むことにより、メモリ・アクセス回数を削減することが高速化に有効である。2020 年度に開発した計数ソータでは、式(3)の各パラメータの値は、 $N=8$ 、 $W=32$ byte、 $M=8$ 、 $C=125$ MHz、 $A=11$ 、 $B=32$ GB/s、 $m=2$ であり、この場合はメモリ・アクセス律速となり、期待される理論ピーク性能は 23 GB/s、実測値 17.3 GB/s は理論ピーク値の 74% だった。

一般にデータベースでは 1 つの key に対して複数の value が付随してレコードを形成することが多いが、ソーティングの処理能力を議論する場合には、value の処理を含めると話が複雑になるため、key のみの処理で議論することも多い。そこで 2021 年度は value の処理を削除し、key のみを扱うこととした。value の処理を削除すると、図 1.2.2.2(エ)②-40 に示した 11 の工程の内、④⑤⑦⑩⑪の 5 つの工程を削除することができ、メモリ・アクセス回数も 11 回から 6 回に削減することができた。また、工程①のヒストグラム作成工程および工程②の行先メモリ表の作成工程を、工程③のクロスバー・スイッチ切り替え工程に併合して 1 本のパイプライン化した。また、工程⑧の行先メモリ表の作成工程を、工程⑨のクロスバー・スイッチ切り替え工程に併合して 1 本のパイプライン化した。これらにより、メモリ・アクセス回数は 3 回に削減され、スループットの理論ピーク性能は 102 GB/s となった。

従来 FPGA 間通信では、実際に送信または受信されたメッセージサイズをカウントし、シーケンサで指定のメッセージサイズと比較することで通信の終了を検知していたが、その代わりに EOP (End of Packet)を送受信することで通信終了を検知する方式に変更した。これにより、工程⑥の Alltoallv 通信の際に事前に送信先毎のメッセージサイズを確定する必要がなくなり、工程①のヒストグラムの作

成が不要となった。そこで工程①と②を1本のパイプラインに併合し、メモリ・アクセス回数を2回に削減した。これにより、スループットの理論ピーク性能は154 GB/sとなった。

更に、FPGA内のバス幅を半分、クロック周波数を2倍にし、キーの範囲を4ビットにすることで、1つのFPGA内で送信側の処理と受信側の処理を同時に行えるようにし、計数ソート1回当たりのメモリ・アクセス回数を1回に削減した。このとき、式(3)の各パラメータは、 $N = 8$ 、 $W = 16$ バイト、 $M = 8$ 、 $C = 300$ MHz、 $A = 1$ 、 $B = 45$ GB/s、 $m = 1$ であり、式(3)から導出される計数ソートの理論ピーク・スループットは307.2 GB/sとなった。

次に2つ目の課題であるキーの範囲を拡大するために行った基数ソートの導入について述べる。基数ソートは、キーを複数の桁に分け、その桁ごとに計数ソートを行うアルゴリズムである。我々は、キーを4ビットごとに分け、4ビットごとに計数ソートを8回行うことで32ビットのキー範囲までソートを可能にした。この方式では、FPGA内の同一回路を繰り返し利用することが出来るため、FPGAリソースを節約することが出来る。32ビットの基数ソートの合計メモリ・アクセス数は8であり、式(3)の理論上のピーク・スループットは、4ビット分散計数ソートの8分の1、すなわち38.4 GB/sとなった。

[消費電力量削減の実証実験]

上記の通り設計された分散基数ソータを、図1.2.2.2(エ)②-47(b)に示す8ノードのラックサーバシステムに実装し、32ビット整数をキーとしてソート処理の実験を行った。キーの数は、 $2^{27}=134,217,728$ 個である。実験は、8ノードのFPGA間を光配線(波長ルーティング+OPTWEB)で接続したシステム、および8ノードのCPU間を電気配線(InfiniBand EDR)で接続したサーバシステムで行い、それぞれのソート処理時間を計測した。また、それぞれのソート処理中の消費電力も測定した。その結果を図1.2.2.2(エ)②-57に示す。ソート処理時間は、電気配線サーバシステムが0.731秒、光配線サーバシステムが0.015秒となり、光配線サーバシステムにより電気配線サーバシステムに比べてソート処理時間を98%削減できた。一方、消費電力は、電気配線サーバシステムが3427.0 W、光配線サーバシステムが4018.5 Wとそれほど大きな差は無かった。その原因は、光配線サーバシステムの消費電力の83%は、電気配線サーバシステムと共通の1Uサーバの消費電力であり、光配線で消費する電力は17%と相対的に小さいためである。消費電力量は、消費電力×時間であるので、これらの結果から電気配線サーバシステムおよび光配線サーバシステムの消費電力量を計算すると、電気配線サーバシステムが2503.5 J、光配線サーバシステムが60.7 Jとなり、光配線サーバシステムにより電気配線サーバシステムに比べて消費電力量(消費エネルギー)を98%削減することができた。

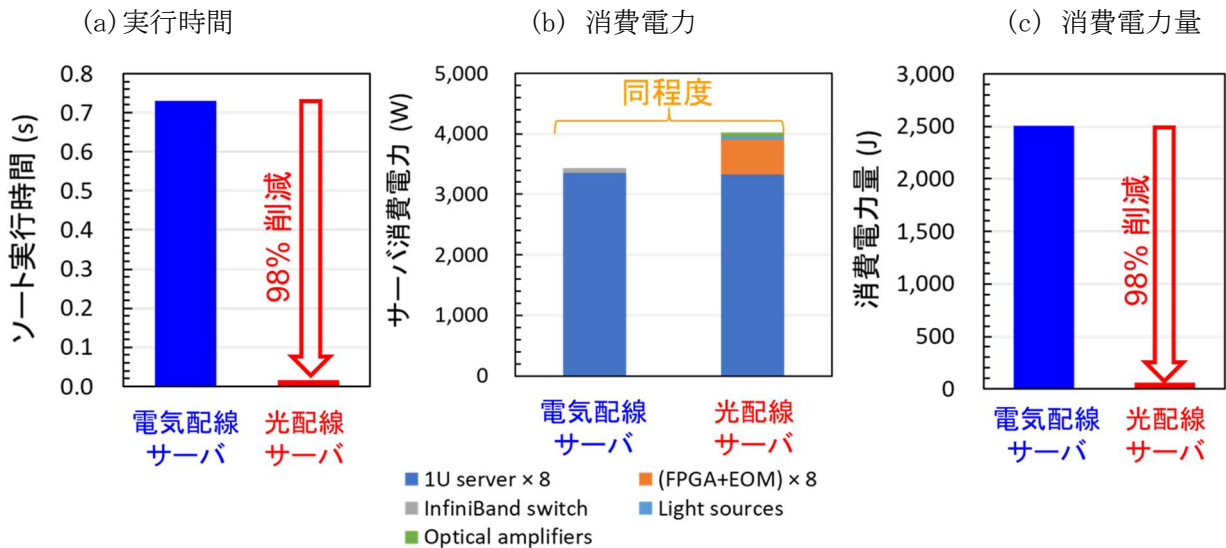


図 1.2.2.2(エ)②-57 電気配線および光配線サーバシステムによる分散基数ソートの実験結果

[将来技術]

集積型コム光源

今回開発した波長ルーティングを用いたラックスケール・サーバシステムにおいては、波長多重光源として市販の多波長光源（図 1.2.2.2(エ)②-34(a)）を用いたが、将来的にはその小型・低電力・低コスト化が望まれる。これらの要求を満たす多波長光源として、集積型コム光源の初期検討を行った。

集積型コム光源の構成を図 1.2.2.2(エ)②-58(a)に示す。自由スペクトル間隔(FSR)が 200 GHz となるリング共振器フィルタ、C 帯で 16 波分を通過し、その外側を抑制する帯域フィルタ、導波路ミラーで構成されるシリフォト基板上に、2 電極の反射型半導体光アンプ(RSOA)をフリップチップ実装することにより、RSOA の反射端面と導波路ミラーで構成される共振器長の 2 倍(=基本周回長)をリング周回長の整数倍となるように設定し、外部共振器型モード同期による光周波数コム光源として動作する。図 1.2.2.2(エ)②-58(a)に示す全体構成の内、図 1.2.2.2(エ)②-58(b)に示すシリフォト光回路の試作・評価を行い、図 1.2.2.2(エ)②-58(c)(d)に示す通り、そのフィルタ動作を確認した。今後 2 電極 RSOA の活性層に量子ドットを適切に用いることにより、更なる利得帯域の拡大や各波長チャンネルの相対強度雑音の抑制が期待される。

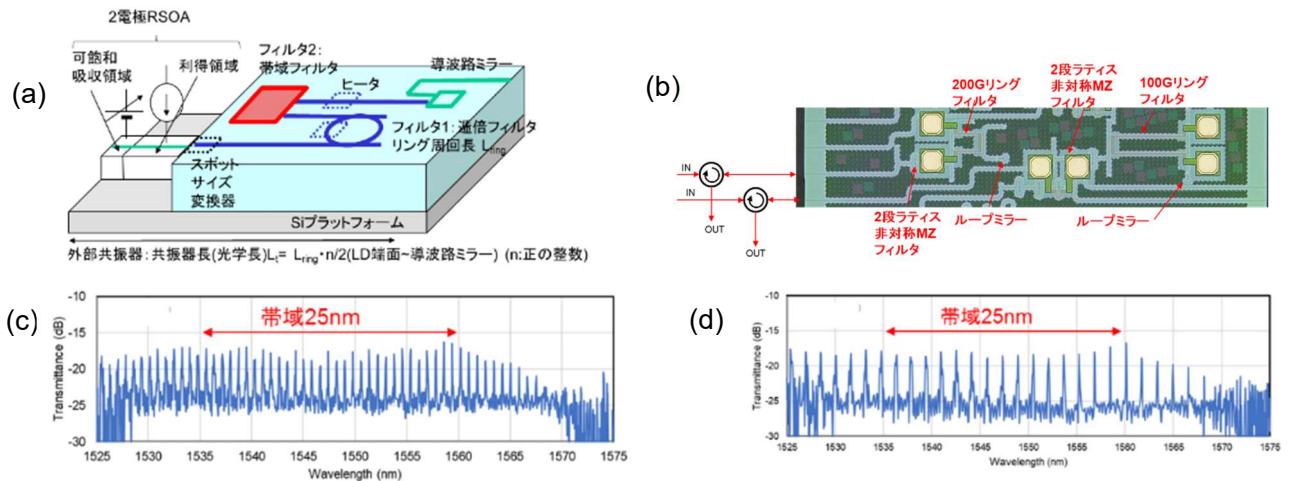


図 1.2.2.2(エ)②-58 小型多波長光源の(a)構造、(b)試作したシリフォト回路の写真、(c)100 GHz 用フィルタ特性、(d)200 GHz 用フィルタ特性

ポリマ導波路ミラー型光電子集積インターポーザ

今回開発したラックスケール・サーバシステムにおいては、光電子集積インターポーザと SMF アレイの光学的接続は、アクティブ・アライメントによる端面結合方式で行ったが、将来的には、さらなる高密度・高信頼・低コスト化が望まれる。これらの要求を満たす実装方式として、ポリマ導波路ミラー型光電子集積インターポーザの初期検討を行った。その断面構造を図 1.2.2.2(エ)②-59(a)に示す。シリコンフォトニクスチップをインターポーザ基板に内蔵し、基板上にポリマ光導波路を形成し、シリコンフォトニクスチップ上のシリコン光導波路とポリマ光導波路間を 2 段ミラーにより接続し、ポリマ光導波路と SMF 間を MT コネクタで接続する構造になっている。試作した光電子集積インターポーザの写真を図 1.2.2.2(エ)②-59(b)に示す。試作の都合上、図 1.2.2.2(エ)②-59(a)に示した光コネクタの部分がポリマ導波路と SMF アレイ・ガラスブロックとの接着構造となっているが、それ以外の部分は図 1.2.2.2(エ)②-59(a)に示した構造の通り試作した。送信器の光出力、受信器の電気出力共に、25 Gbps の NRZ 信号でのアイ開口動作を確認した(図 1.2.2.2(エ)②-59(c))。

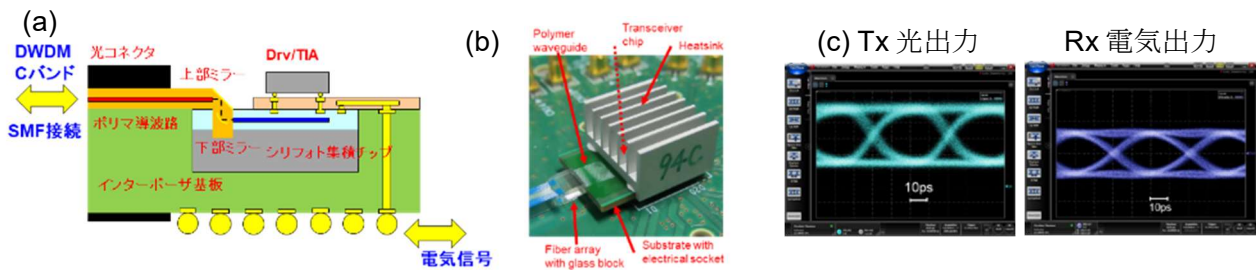


図 1.2.2.2(エ)②-59 導波路ミラー型光電子集積インターポーザ

(a)断面構造、(b)試作インターポーザの外観写真、(c)アイ開口波形(25 Gbp/s, PRBS31 段)

<ベンチマーク>

図 1.2.2.2(エ)②-57 に示した通り、我々が開発した計算ノード間を光配線で接続したラックスケール・サーバシステムは、従来の計算ノード間を電気配線で接続したサーバシステムに比べて、ソート処理の実行時間を 98%削減した。すなわち、光配線サーバシステムにより、従来の電気配線サーバシステムに比べて 48 倍の処理の高速化を実現した。この高速化に伴う消費電力の増加は高々 17%であった。ソート等のワークロードの処理に必要なエネルギーは、その消費電力と処理時間の積で表される。したがって、我々が開発した計算ノード間を光配線で接続したラックスケール・サーバシステムは、従来の計算ノード間を電気配線で接続したサーバシステムに比べて、48 倍の高速化と 98%の消費エネルギー削減を同時に実現した。

<まとめ>

サーバの消費電力量を 30%以上削減することを目標に、計算ノード間を光配線で接続したラックスケール・サーバシステムの開発を行った。

サーバのワークロードごとの消費電力量（消費エネルギー）は、そのワークロードを実行中の消費電力とそのワークロードの実行時間の積で表される。したがって、消費電力量の削減のためには、消費電力の削減および実行時間の削減すなわち処理の高速化が重要である。我々は、ラックスケール・サーバシステムを構成する各技術レイヤにおいて、表 1.2.2.2(エ)②-4 に示すアプローチを取り、表 1.2.2.2(エ)②-4 に示す消費電力削減要因および実行時間削減要因の貢献により、消費電力量の削減を

行った。その結果、我々が開発した計算ノード間を光配線で接続したラックスケール・サーバシステムは、従来の計算ノード間を電気配線で接続したサーバシステムに比べて、48 倍の高速化と 98%の消費電力量削減を同時に実現した。

表 1.2.2.2(エ)②-4 消費電力量削減に向けたアプローチと削減要因

技術レイヤ	アプローチ	消費電力量削減要因	
		実行時間削減	消費電力削減
アプリケーション	計数ソート	最小計算量アルゴリズム 最小メモリ・アクセス 転置回路による安定ソート化	
	分散ソート	グローバル・パイプライン 高速 Alltoall 通信	
	基数ソート	同一 FPGA 回路の繰り返し利用	
サーバ	ラックサーバ	波長ルーティング対応設計	空冷設計
ネットワーク (レイヤ 2&3)	OPTWEB	簡素化フロー/ルーティング制御 軽量ネットワーク回路 FPGA メモリ間専用線	
ネットワーク (レイヤ 1)	波長ルーティング	高均一信号品質 高帯域密度光コネクタ	高エネルギー効率 EDFA パッシブ波長ルータ オフチップ光源の集中管理 光コネクタ数の削減
	フルメッシュ・ネットワーク	パケット衝突考慮不要 直径1のネットワーク	パケットスイッチの不要化 EO/OE 変換の半減
デバイス	カスタム FPGA カード	広帯域メモリ&ネットワーク	低クロック周波数
	DWDM 用インターポサ	オンボード・オプティクス	C 帯 & SMF 対応
	シリコンフォトニクス	高帯域密度光トランシーバ	低電気容量デバイス

1.2.2.2(オ) 情報通信システム化技術

<位置づけ、最終目標>

飛躍的な利用拡大が期待されるデータセンタの性能を最大限に活かした IoT 社会の進展のためには、データセンタに集約される膨大なデータの流れを収容する情報通信ネットワークの構築が急務となっている。IoT を支えるアクセスネットワークとして期待されるのは第 5 世代移动通信（5G）である。現状の 5G はまだほとんどが 4G 設備上で提供されていて、フルスペックの 5G は限られた場所でスポット的に提供されているのみにとどまっているが、今後、ポスト 5G と呼ばれる本格的な 5G サービスの提供に向けては、スモールセルと呼ばれる小さなエリアごとに基地局を面的に設置する必要がある。そうすると基地局の設置数は 4G ネットワークの約 100 倍に上ることが想定されるので、基地局装置には設置場所を選ばない小型化が求められる。

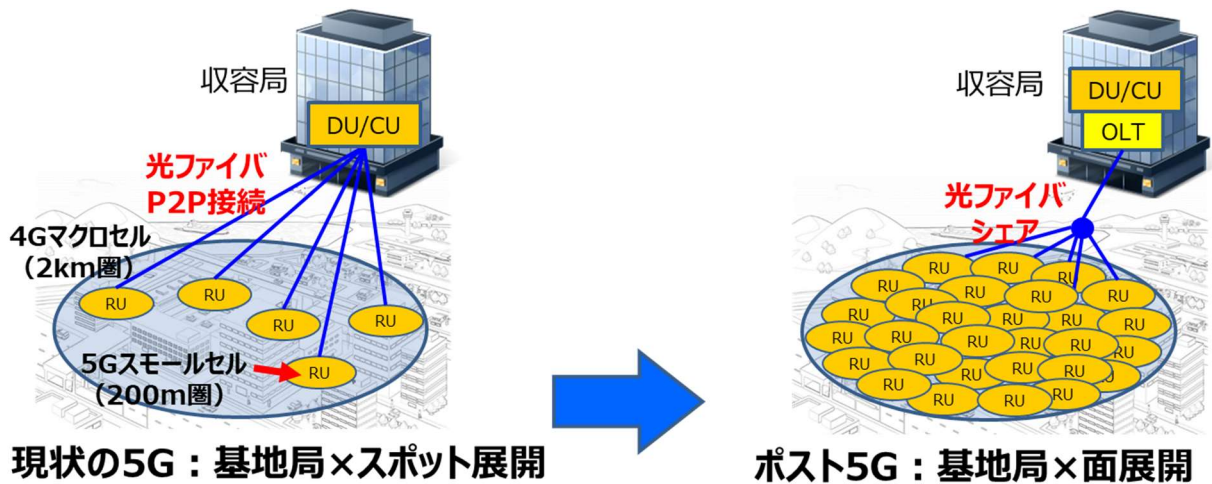


図 1.2.2.2(オ)-1 5G における基地局の高密度化

ポスト 5G において多数のスモールセルアンテナを結ぶフロントホールネットワークには様々な方式が検討されているが、中でも TWDM-PON (Time Wavelength Division Multiplexing-Passive Optical Network) の構成を用いてスモールセルアンテナを既存の光アクセスファイバ網に収容する方式が設備コストの観点から有望である。TWDM-PON は、上り下り各 4 波長を多重して、1 波長あたり 10 Gbps で、トータルで上り下り各 40 Gbps の通信を行う方式である。5G の普及のためには、スモールセルアンテナに内蔵可能な、超小型の TWDM-PON 用 ONU (Optical Network Unit) の開発が待たれている。

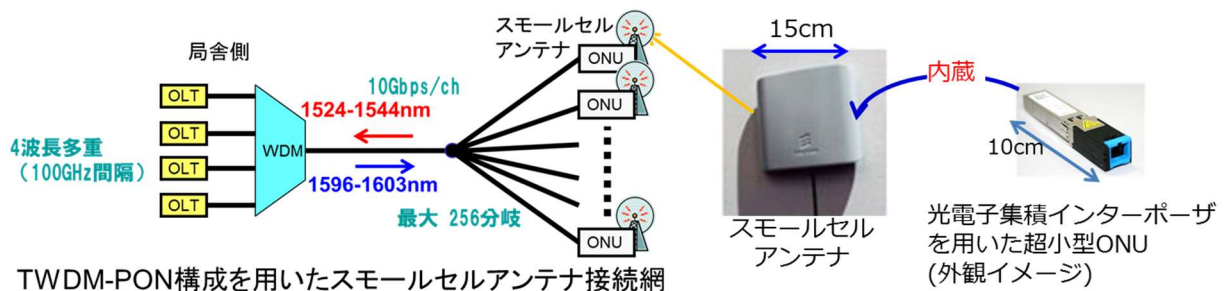


図 1.2.2.2(オ)-2 TWDM-PON によるスモールセル接続と ONU の小型化

そこで、本システム化技術開発では、「1.2.2.1 光電子集積インターポーザのデバイス・実装技術」で開発する高速・小型・省電力光電子集積インターポーザの技術を適用することにより、TWDM-PON で用いる一芯双方向波長多重光トランシーバ及びこれを搭載した ONU を小型化するための要素技術を開発することを目的とした。

下記の技術開発を行った。

- ・ 上り下り各 4 波長多重の送受信機能をシリコンフォトニクス技術により集積する WDM 一芯双方向光送受信チップ
- ・ WDM 一芯双方向光送受信チップ上に集積可能な高感受光器
- ・ WDM 一芯双方向光送受信チップを光電子集積インターポーザ基板に埋め込んで、光ファイバに偏波無依存で光結合させる実装技術

【最終目標】

光電子集積インターポーザを用いた一芯双方向波長多重トランシーバを搭載することにより、光加入者端末装置を 10 cm×2 cm×2 cm 以下のサイズに小型化するための実装技術を開発する。

＜アプローチ、特長技術＞

克服すべき主な課題は次の 3 点である。

- ・ 光ファイバ通信網を通ってくる光信号は不定偏波なので、偏波無依存受信が必要。
- ・ 光ファイバの多分岐に伴う信号光減衰に対応できる高感受光が必要。
- ・ 5G の小型基地局に内蔵するための小型実装技術が必要。

そのためのアプローチは、まず、TWDM-PON 集積チップの開発である。TWDM-PON で用いる上り下り各 4 波長多重の一芯双方向光送受信機能をシリコンフォトニクス技術により超小型の光送受信チップに集積した上、偏波ダイバーシティの光回路構成により偏波無依存受信を実現した。この TWDM-PON 集積チップには、「1.2.2.1 光電子集積インターポーザのデバイス・実装技術」で開発した偏波分離・回転素子及び波長合分波回路などの要素デバイス技術を適用した。

次に、APD (アバランシェフォトダイオード) 導入による受光素子の高感度化である。図 1.2.2.2(オ)-3 に従来及び本プロジェクト開発の APD 型 Ge (ゲルマニウム) 受光器の断面模式図を示す。高い受光感度を得るために APD 型で雪崩増倍現象を利用して受光感度を増倍させる Ge 受光器である。光吸収領域と増倍領域を分離して効率的に雪崩増倍が生じるようにした SAM (Separated Absorption and Multiplication) 構造であり、Ge 膜が光吸収領域、SOI 層のノンドープ領域が増倍領域として動作する。また、Ge の吸収端付近の波長帯域である 1600 nm 帯の光も高感度で受信するために、Ge 光吸収領域を伝搬する光が金属電極で散乱、吸収されることがないように、Ge 光吸収領域にメタルコンタクトが不要な横型 SAM 構造とした。さらに、高効率、低偏波依存でシリコン導波路と Ge 光吸収領域とを光学的に結合させるために、同図(a)に示す従来のエバネッセント型に対して、同図(b)本提案構造 1 に示すバットジョイント型とした。本構造は、Ge 光吸収領域にイオン注入、コンタクトホール、電極形成が不要なため、ほとんどの工程を成熟した CMOS プロセスで製造できるメリットもある。さらに、同図(c)に示す本提案構造 2 は、本提案構造 1 の SAM 構造と比較すると、光吸収領域と増倍領域の間にチャージ領域が追加されている SACM (Separated Absorption, Charge and Multiplication) 構造であり、チャージ領域の作用で Ge 光吸収領域に印加されるバイアス電圧が調整されることで、より効率的に増倍領域にバイアスが印加され、SAM 構造よりも低バイアスで増倍が得られるメリットがある。チャー

ジ領域を追加するため、製造上イオン注入プロセスが多くなるデメリットはあるが、暗電流を下げる効果も期待される。

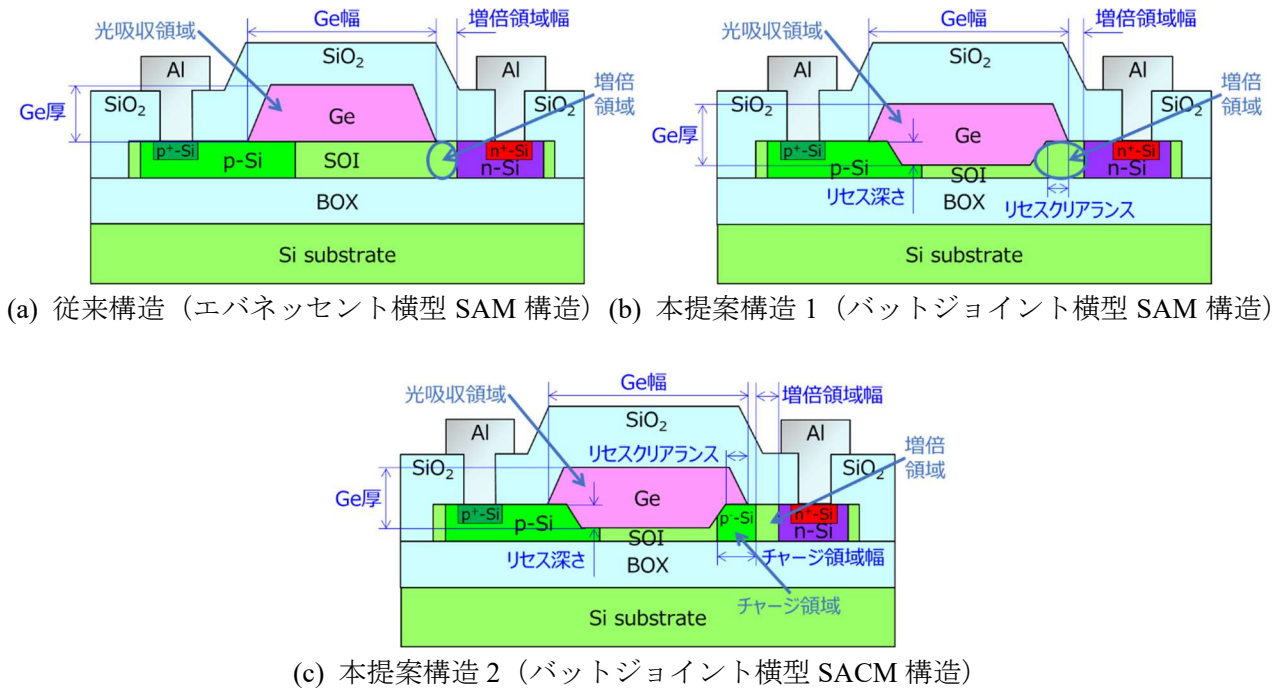


図 1.2.2.2(オ)-3 APD 型 Ge 受光器の断面模式図

さらにもう一つのアプローチは、光電子集積インターポーザを用いた小型化実装技術の開発である。本プロジェクトで開発した電子光集積インターポーザを用いた TWDM-PON ONU 用光トランシーバは、シリコンフォトニクス技術を用いて超小型化した TWDM-PON 集積チップをインターポーザ基板に埋め込むことにより、光送受信チップと制御回路 IC とが一体で実装されていることが特徴である。このような実装形態をとることにより、光送受信チップと制御回路 IC がコネクタを介さずにインターポーザ上の配線で接続できる。送信光と受信光の波長帯が離れており、受信光の偏波がランダムなので、光信号を入出力するポートには、「1.2.2.1 光電子集積インターポーザのデバイス・実装技術」で開発した波長無依存・偏波無依存動作可能なポリマーミラーを採用した。一方、送信用外部光源を入力するポートには、TE (Transverse Electric) 偏波動作のグレーティングカップラを用いることとした。断面構造概略を図 1.2.2.2(オ)-4 に示す。

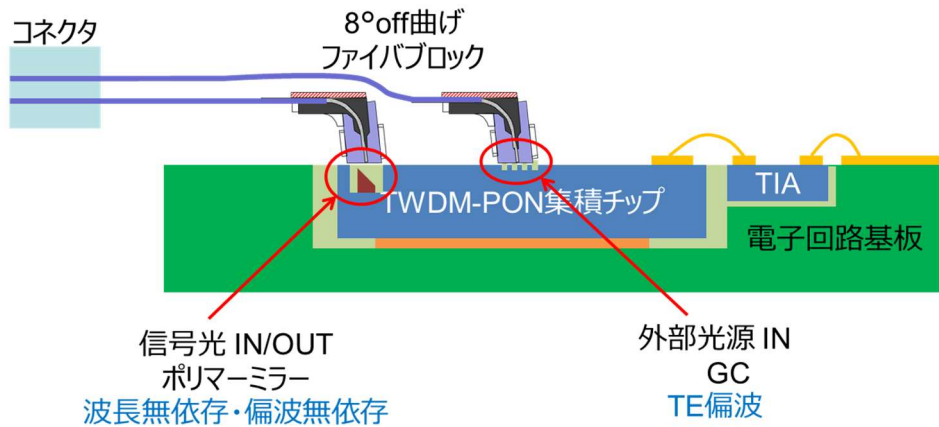


図 1.2.2.2(オ)-4 TWDM-PON ONU 用光電子集積インターポーザの基本構造

<成果>

[TWDM-PON 集積チップ]

TWDM-PON 集積チップは、上り下り各 4 波長多重の一芯双方向光送受信機能をシリコンフォトニクス技術により集積した光回路チップである。図 1.2.2.2(オ)-5 に示すように、ここには「1.2.2.1 光電子集積インターポーザのデバイス・実装技術」で開発した偏波分離・回転素子及び波長合分波回路などの要素デバイス技術が 5 mm×3.5 mm に収まる 1 個のシリコンチップに集積されている。偏波無依存受信のために、受信ブロックは図 1.2.2.2(オ)-6 に示すように、偏波分離回転素子と 2 個の AWG (Arrayed Waveguide Grating) で偏波ダイバーシティを構成している。

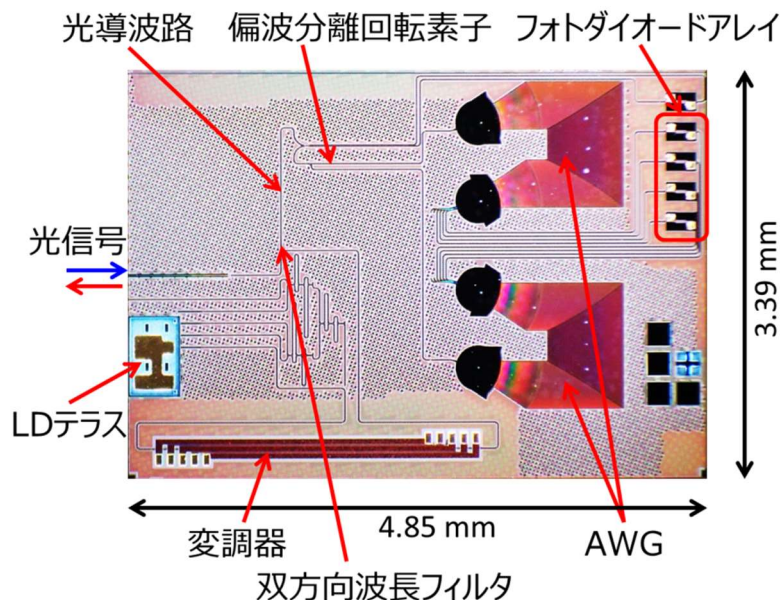


図 1.2.2.2(オ)-5 試作した TWDM-PON 集積チップ

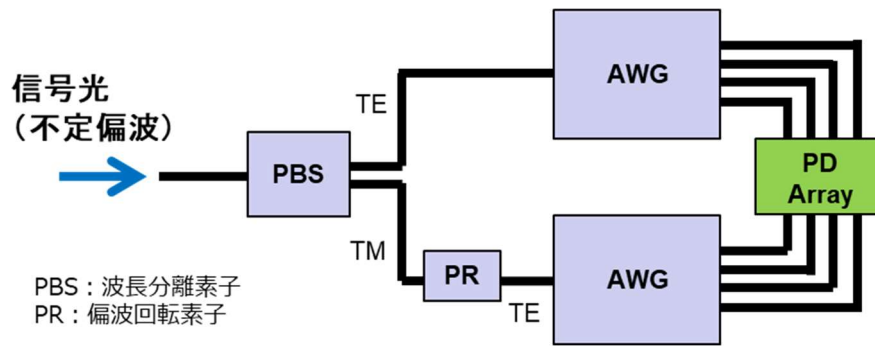


図 1.2.2.2(オ)-6 受信ブロックの偏波ダイバーシティ構成

図 1.2.2.2(オ)-7 に、TWDM-PON 集積チップの光受信動作評価で得られた受信波形を示す[1]。10 Gbps×4 波長の光受信動作に加えて、偏波ダイバーシティによる偏波無依存受信を実証した。

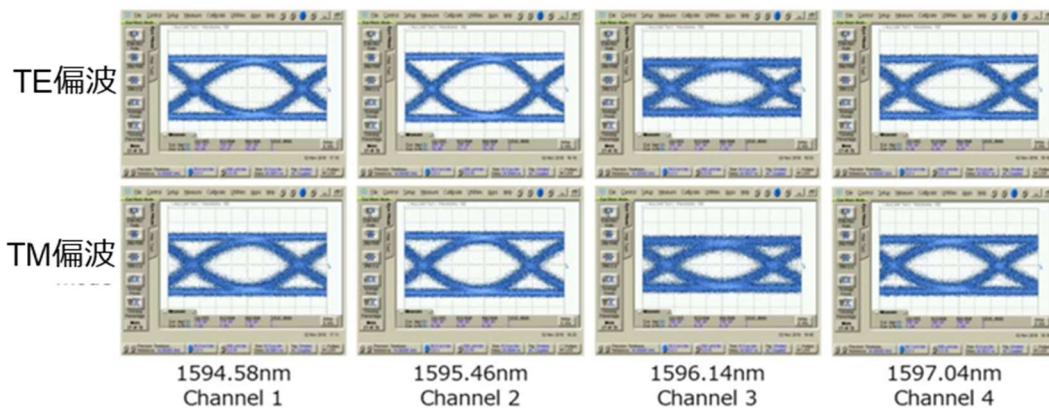


図 1.2.2.2(オ)-7 10 Gbps×4 波長受信波形（偏波無依存）

[WDM フィルタ]

TWDM-PON 集積チップの構成要素である WDM フィルタにおいては、主に受信側の波長を分離する構造として、従来より AWG を利用した素子構成としていた。受信光においては偏波状態がランダムなので、偏波無依存の光回路が必要となる。そのために、TWDM-PON 集積チップの受信光回路には図 1.2.2.2(オ)-6 に示した偏波ダイバーシティ構成を用いている。初段に偏波分離素子を構成し、偏波状態を TE 偏波及び TM (Transverse Magnetic) 偏波に分離する。さらに偏波回転素子を用いて TM 偏波状態を TE 偏波に固定する。それぞれの光信号を波長分離し受光素子である PD (Photo detector) に入射させる。このため、波長分離素子である AWG を 2 素子利用していた。しかしながら、製造誤差の影響を考慮するとそれぞれの AWG の特性を個別に制御することが必要となり制御システムに負荷をかけることが確認されたため、本プロジェクトでは波長制御を簡易化するための構造として図 1.2.2.2(オ)-8 に示すように双方向 AWG 構造を新たに採用した。これにより、波長制御すべき素子が一つとなるとともに占有面積に関しても従来の 60%程度に縮小され光集積回路チップの小型化が期待できる。波長分離間隔を 100 GHz Grid として設計した双方向 AWG の光学測定結果を図 1.2.2.2(オ)-9 に示す[2]。同図に示すように設計通りの波長間隔で波長分離できていることが分かる。また消光比は、約 20 dB と比較的良好な結果が得られている。TE 偏波 及び TM 偏波に設定した光を入射させた場合の測定結果がそれぞれ実線及び破線で記載されているが、両偏波状態に対して波長間隔及び分離波長が一致している。

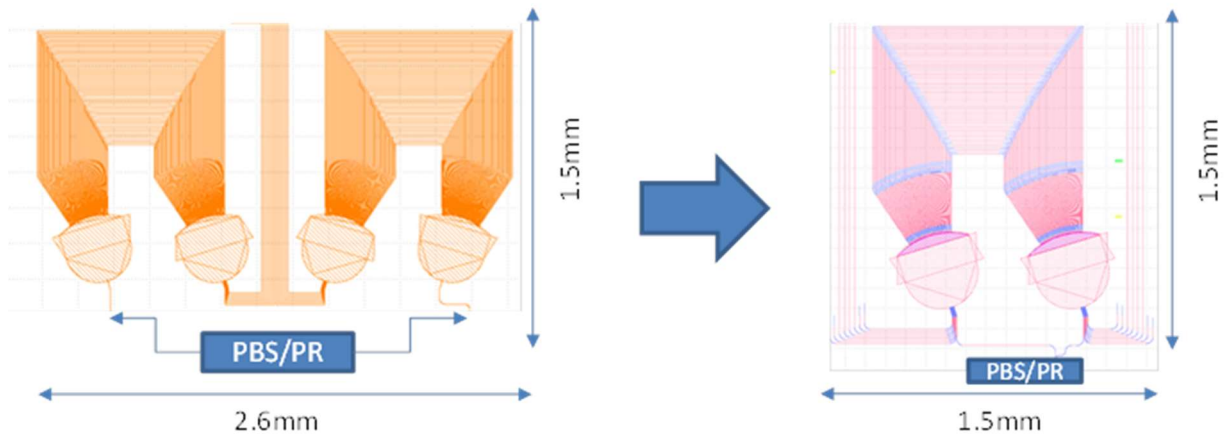


図 1.2.2.2(オ)-8 双方向 AWG を用いた受信側光回路

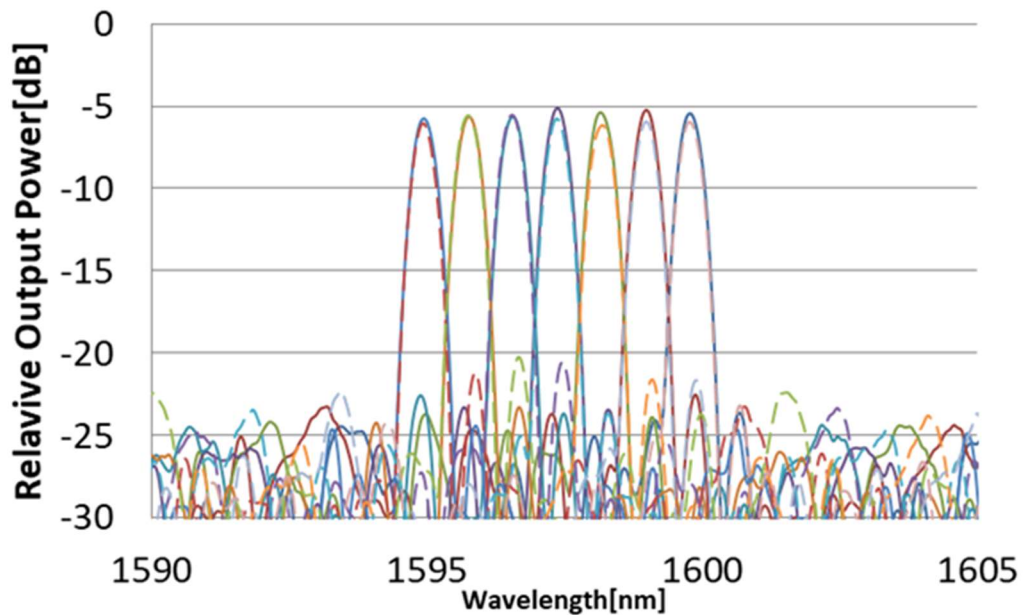


図 1.2.2.2(オ)-9 双方向 AWG の光学測定結果

AWG を利用した構成では、波長ごとに分光したのち必要な波長チャンネルを選択する操作を行うが、波長可変フィルタを利用して、より簡単な構成で波長チャンネルを選択することも可能である。この目的のために波長可変フィルタの試作も行った[3]。図 1.2.2.2(オ)-10 にその構造と光学特性測定結果を示す。構造は Bragg グレーティングを使用したもので、3 対のグレーティングとそれに挟まれた 2 対の共振器導波路により構成されるものを選択した。この構造によりコンパクトな素子で 100 GHz 間隔の波長チャンネルに対応することができる。2 対の共振器構造で、スロープが急峻でトップ部分が広い波長選択ピーク形状を得ることができる。

Bragg グレーティングの周期、周期数、掘り込みの深さや共振器導波路の長さなどを、プロセスの特性に応じて調整していくことで、所望の特性を示すものを得ることが可能となった。またこの素子と TM 偏波基本モードを TE 偏波 1 次モードへと変換し、TE 偏波は基本モードに保つ作用を有する素子を組み合わせることで、偏波無依存で動作できることを確認している[3]。

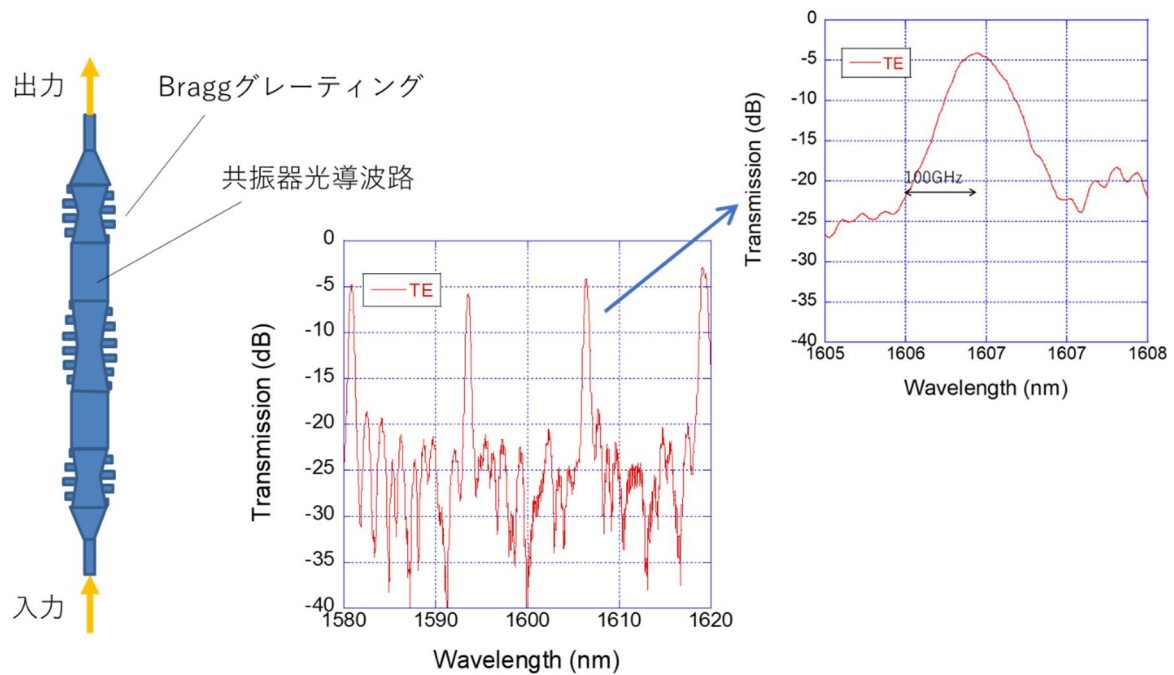


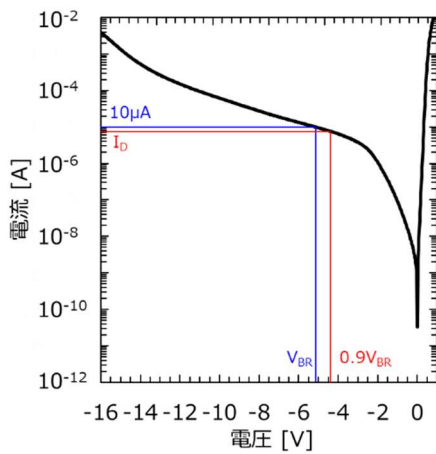
図 1.2.2.2(オ)-10 Bragg グレーティング波長フィルタ (構造及び光学測定結果)

[アバランシェフォトダイオード]

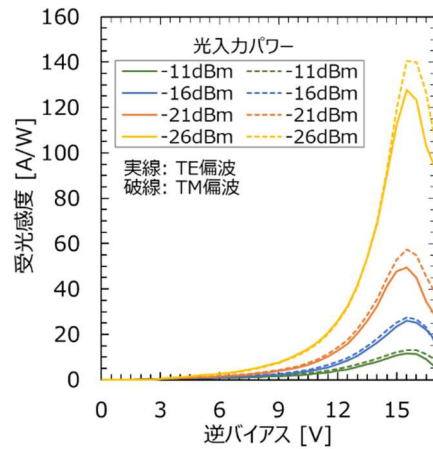
図 1.2.2.2(オ)-11 (a)~(d)に、試作したバットジョイント横型 SAM 構造をもつ APD 型 Ge 受光器の暗状態の電流電圧特性、波長 1600 nm 帯における受光感度と周波数応答の測定結果をそれぞれ示す[4]。暗電流については同図(a)に示す通り、逆方向電流 10 μA 時の逆方向電圧をブレイクダウン電圧 V_{BR} 、ブレイクダウン電圧 V_{BR} の 90 % の逆方向電圧における逆方向電流を暗電流 I_{D} と定義すると、暗電流 I_{D} は 8.29 μA だった。受光感度については同図(b)に示す通り、逆バイアス 15.5 V において、波長 1600 nm の TE 偏波光に対する受光感度は、APD 型 Ge 受光器が受光する光のパワー (光入力パワー) が -16 dBm のとき 25.9 A/W、TM 偏波光に対する受光感度は、同じく光入力パワー -16 dBm のとき 27.4 A/W だった。また、同図からわかる通り、APD 型 Ge 受光器の受光感度は光入力パワーに依存し、低パワーほど高受光感度となった。光入力パワー -26 dBm においては 130 A/W を超える受光感度が得られた。この理由は、一般的に知られているように、APD の直列抵抗と負荷抵抗を流れる光電流による電圧降下により、光電流の増加に伴い増倍領域にかかる電圧が低下するため[5]と考えている。APD 型 Ge 受光器の波長 1600 nm における受光感度としては、我々の知る限り世界最高レベルの値が得られた。周波数応答については同図(c)に示す通り、逆バイアス 15.5 V において、波長 1600 nm に対する遮断周波数は 15.9 GHz となり、10 GHz を十分超えた。ビットエラーレート (BER: Bit Error Rate) の測定結果を同図(d)に示す。TWDM-PON ONU 受信仕様は、BER が 10^{-3} となる受光パワーを最小受信感度と規定しており、APD 単体での最小受信感度は -22 dBm が得られた。

図 1.2.2.2(オ)-12 (a)~(c)に、試作したバットジョイント横型 SACM 構造をもつ APD 型 Ge 受光器の暗状態の電流電圧特性、波長 1600 nm 帯における受光感度と周波数応答の測定結果をそれぞれ示す[6]。暗電流については同図(a)に示す通り、784 nA だった。SAM 構造と比べると暗電流は 1/10 以下になり、SACM 構造とすることで狙い通り暗電流を低減することができた。受光感度については同図(b)に示した。逆バイアス 12 V において、波長 1600 nm の TE 偏波光に対する受光感度は、光入力パワー -19 dBm のとき 14.7 A/W、TM 偏波光に対する受光感度は、同じく光入力パワー -19 dBm のとき 21.7 A/W だっ

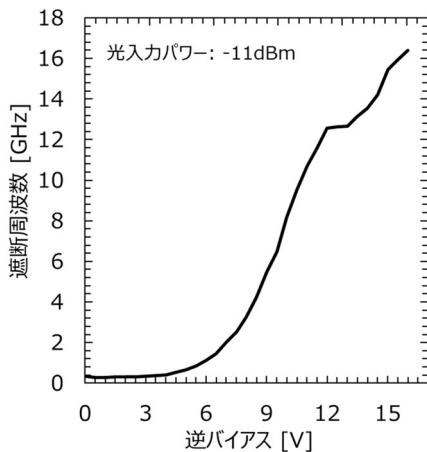
た。同図からわかる通り、SAM 構造と同様に受光感度は光入力パワーに依存し、低パワーほど高受光感度となった。また、SAM 構造と比べると受光感度は半分程度ではあったが、SACM 構造とすることで狙い通り受光感度が最大となる逆バイアスを 4 V 低減することができた。一方、SAM 構造と比べると受光感度の偏波依存性が大きくなった。原因については詳細を検討中だが、SACM 構造に起因するものではなく、Ge 光吸収領域形成時の残留応力によるものと考えている。今後は Ge 成膜条件を最適化することで残留応力を低減し偏波依存性の低減を図る。周波数応答については同図(c)に示す通り、逆バイアス 13 V において、波長 1600 nm に対する遮断周波数は 4~5 GHz となり、SAM 構造とは異なり 10 GHz を超えることができなかった。SAM 構造と比べてチャージ領域が追加されていることで p-Si と n-Si の間の距離が長くなり、キャリアの走行時間が長くなったことが原因と考えている。今後は Ge 幅や p-Si と n-Si の間の距離等、設計を最適化することで SACM 構造 APD 型 Ge 受光器の周波数応答の改善を図る。



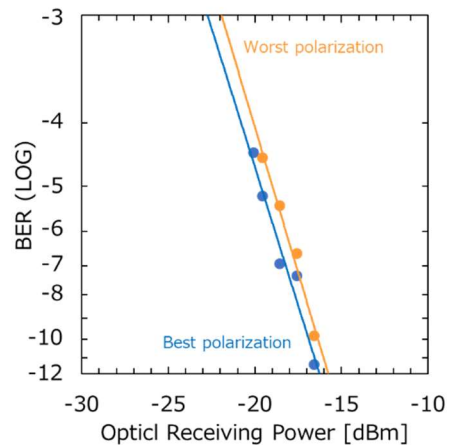
(a) 暗状態の電流電圧特性



(b) 波長 1600 nm 帯における受光感度

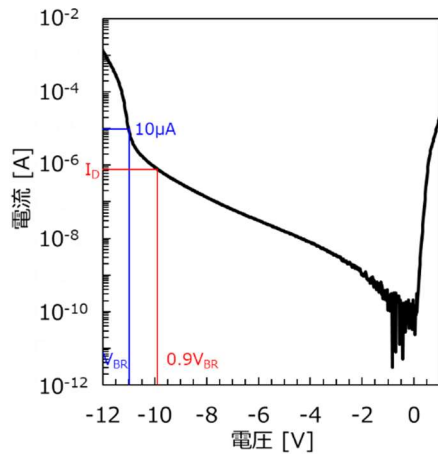


(c) 波長 1600 nm 帯における遮断周波数

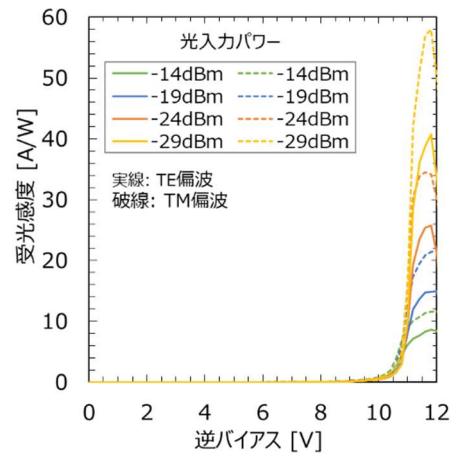


(d) ビットエラーレート測定結果
(10 Gbps, NRZ, PRBS 2³¹-1)

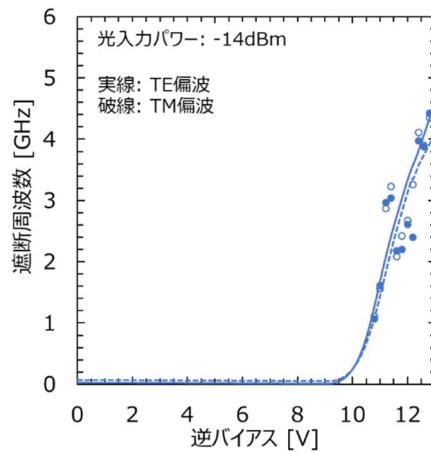
図 1.2.2.2(オ)-11 SAM 構造を有する APD 型 Ge 受光器の特性評価結果 (設計値 : Ge 幅 1 μm、素子長 200 μm、増倍領域幅 0.4 μm)



(a) 暗状態の電流電圧特性



(b) 波長 1600 nm 帯における受光感度



(c) 波長 1600 nm 帯における遮断周波数

図 1.2.2.2(オ)-12 SACM 構造を有する APD 型 Ge 受光器の特性評価結果
(設計値 : Ge 幅 1.6 μm 、素子長 200 μm 、増倍領域幅 0.4 μm 、チャージ領域幅 0.4 μm)

[送信光源]

TWDM-PON システムにおける光トランシーバの問題点として、アップストリーム信号が決められたタイミングでのみ送信できるバースト信号であることが挙げられる。すなわち、他チャンネルや他 ONU へのクロストークを低減するため、光バースト信号生成に対応した光ゲートスイッチとしても機能する光増幅器が必要である。送信モジュールを構成する要素は、LD (Laser Diode) 光源・光変調器・光増幅器であるため、変調器のみシリコンで形成するよりも、すべてを InP (リン化インジウム) ベースで一括形成するほうが合理的である。以上の方針に基づき、今回試作した多波長光源は、図 1.2.2.2(オ)-13 の写真に示すように、4 チャンネル DBR (Distribution Bragg Reflector) -LD アレイからの出力を 3dB カプラで合波し、EA (Electrical Absorption) 変調器および半導体光増幅器 (SOA: Semiconductor Optical Amplifier) を介して出力する集積チップ構造となっている。各 DBR-LD は、前後の DBR、活性層 (SOA)、位相調整領域 (PS: Phase Shifter) から構成されている。各構成要素それぞれに電極が形成されており、個別に駆動することで波長の微調整が可能である。なお、モジュール化した際の電極配置を考慮した非対称なレイアウトを採用している。

多波長光源としての特性評価にはモジュール化が必要なので、多波長光源としての動作特性は後述のモジュール評価の項で紹介することとして、ここでは同一ウェハ上に同時に試作した多波長光源用各要素デバイスの評価結果を図 1.2.2.2(オ)-14 (a)~(c)に示す。(a)は、電流パルス駆動した DBR-LD 単体の I-L 特性の温度依存性 (25, 50, 75 °C) と 25 °C における I-V 測定結果である。25 °C における発振しきい値は 15 mA、微分効率は 0.037 W/A であった。温度上昇と共に、しきい値の増加、光出力の低下が見られ、50 °C ではレーザー発振が得られたが、75 °C ではレーザー発振しなかった。(b)は、DBR の周期と発振波長の関係を図示したものである。TWDM-PON システムで利用される 1532.68-155.04 nm の波長への合わせこみが可能であることが確認できた。EA 変調器集積 LD の静的消光比の電圧依存性を(c)に示す。TWDM-PON 仕様の消光比 6 dB を得るには、少なくとも 3-4 V 程度が必要なが確認できた。

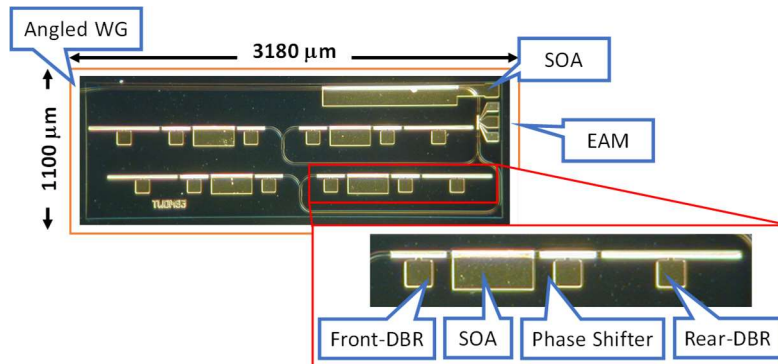
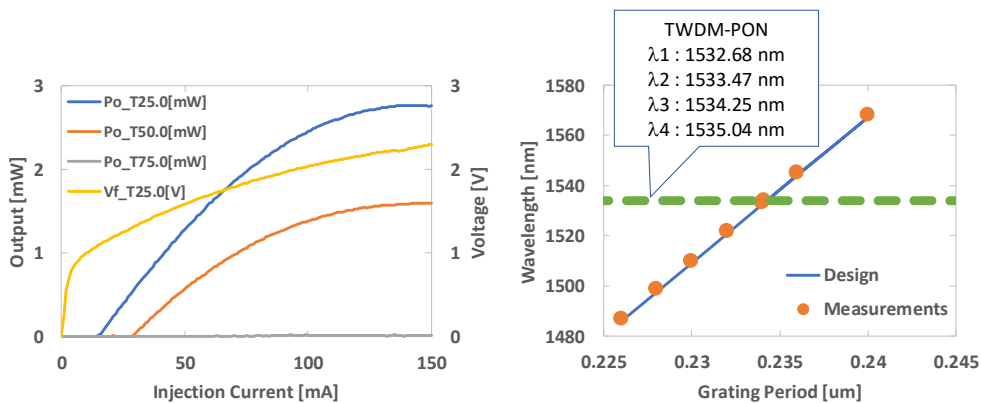
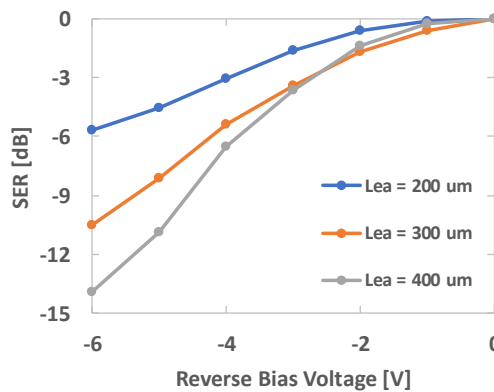


図 1.2.2.2(オ)-13 TWDM-PON 用多波長光源の顕微鏡写真



(a) DBR-LD 部の I-L/I-V 特性

(b) DBR による波長コントロール



(c) EA 変調器部の静的消光比

図 1.2.2.2(オ)-14 多波長光源用各要素デバイスの評価結果

[光結合構造：光信号入出力]

図 1.2.2.2(オ)-15 に示すように、送受信光を入出力するポートには「1.2.2.1 光電子集積インターポータのデバイス・実装技術」で開発したポリマーミラー構造を用いて、TWDM-PON 集積チップ入出力光を基板法線方向へ入出力する。ポリマーミラーは下部クラッド材料に埋め込まれるが、下部クラッド材料の屈折率をシリコン導波路の有効屈折率に近い 1.5 付近に選ぶことにより、シリコン導波路端面 A 部の反射損失を抑制している。ポリマーミラーにより効率的にコリメート光に変換できるようなモードフィールド分布をシリコン導波路端面で得るために、シリコン導波路終端部には逆テーパ型のスポットサイズコンバータを設けた。

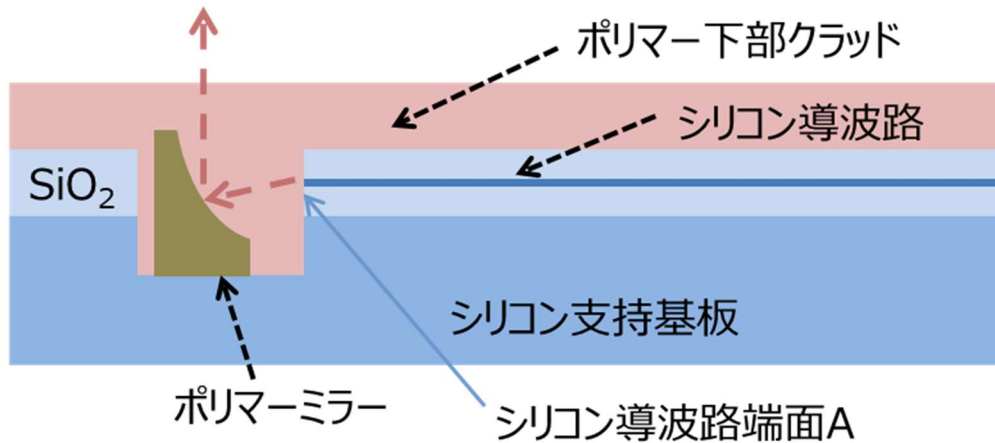
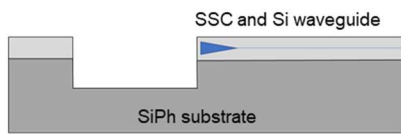


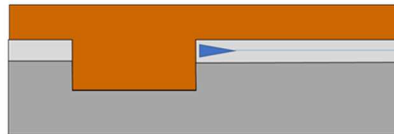
図 1.2.2.2(オ)-15 送受信光入出力ポート概略図

送受信光入出力に使用するポリマーミラー構造の形成手順を図 1.2.2.2(オ)-16 に示す。まず、光集積回路が形成されたシリコンフォトニクスチップ上の、シリコン導波路のスポットサイズコンバータ端部に接する位置に、SiO₂（二酸化ケイ素）層およびシリコン支持基板をドライエッチングすることにより 100 μm×100 μm のキャビティを形成する（同図 1）。キャビティ深さは、キャビティ底がシリコン導波路の下 10 μm になるように加工する。続いて感光性ポリイミドをスピン塗布（同図 2）、レーザー描画装置によるグレースケールリソグラフィと感光部の現像、350 °C のキュアプロセスにより凹面形状の傾斜面を持つポリマーミラーを形成する（同図 3）。次に、金（Au）を金属蒸着で成膜し（同図 4）、パターニングを施すことでポリマーミラーの凹面傾斜部に金属ミラー面を形成する（同図 5）。その後、クラッド材をスピン塗布によりポリマーミラーを形成しているキャビティに充填（同図 6）した上で、TWDM-PON 集積チップ上の電極パッド部の開口パターニングを施すことで、インターポータ構造を形成する。

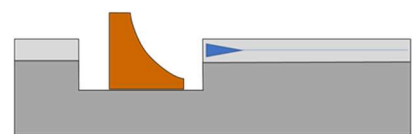
1. SiO₂/Si をドライエッチング



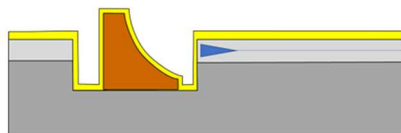
2. 感光性ポリイミドをスピン塗布



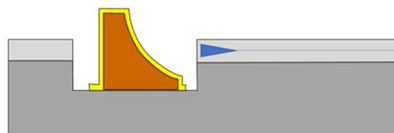
3. レーザー描画と現像でポリマーミラーを形成し、その後 350°Cでキュアプロセス



4. Au膜を蒸着



5. ポリマーミラーのAuミラー面をパターンニング



6. 透明樹脂をポリマーミラー部へ充填し、電極部を開口パターンニング

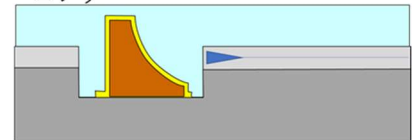


図 1.2.2.2(オ)-16 ポリマーミラー構造形成手順

今回作製したインターポーザ構造では、図 1.2.2.2(オ)-4 に示したように 8 ° off の角度を持つ曲げファイバをポリマーミラーに結合する。効率的な光結合を得るために、光学シミュレーションによりミラー形状の最適化設計を行った結果、理想的なポリマーミラー形状のパラメーターは、図 1.2.2.2(オ)-17 の断面模式図に示すように、H : 15.20 μm、θ : 40.8 °、L : 17.08 μm、Ry : 52.05 μm、および Rx : 21.50 μm と計算された。

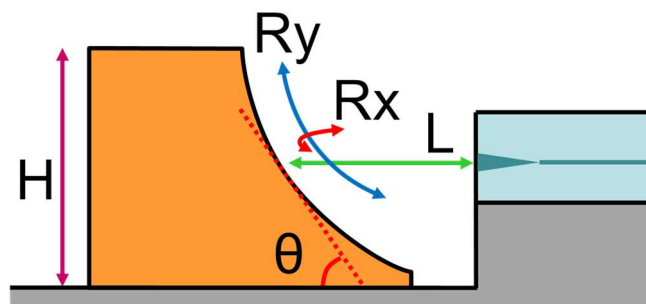


図 1.2.2.2(オ)-17 ポリマーミラー形状の各パラメーターを示す断面模式図

シミュレーションで計算された理想形状にポリマーミラーが形成できるように、塗布条件、描画条件、現像条件、キュア条件などプロセス条件の最適化を行ない、ポリマーミラー形状の各寸法が H : 14.87 μm、θ : 41.0 °、L : 18.08 μm、Ry : 46.65 μm、Rx : 20.23 μm のポリマーミラーを完成させた。図 1.2.2.2(オ)-18 にポリマーミラーを形成した TWDM-PON 集積チップの写真を示す。また、図 1.2.2.2(オ)-19 に作製したポリマーミラーの断面ラインプロファイルと 3 次元画像を示す。

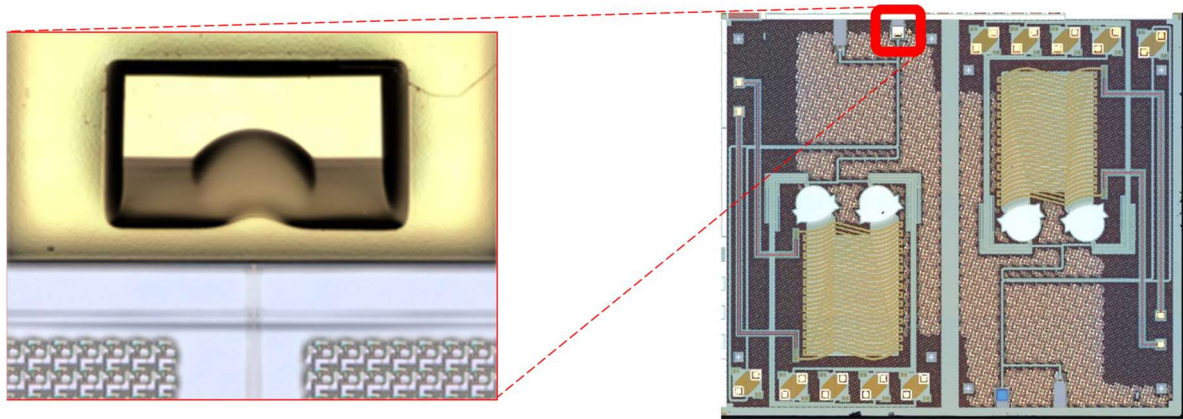


図 1.2.2.2(オ)-18 ポリマーミラーを形成した TWDM-PON 集積チップの上面写真

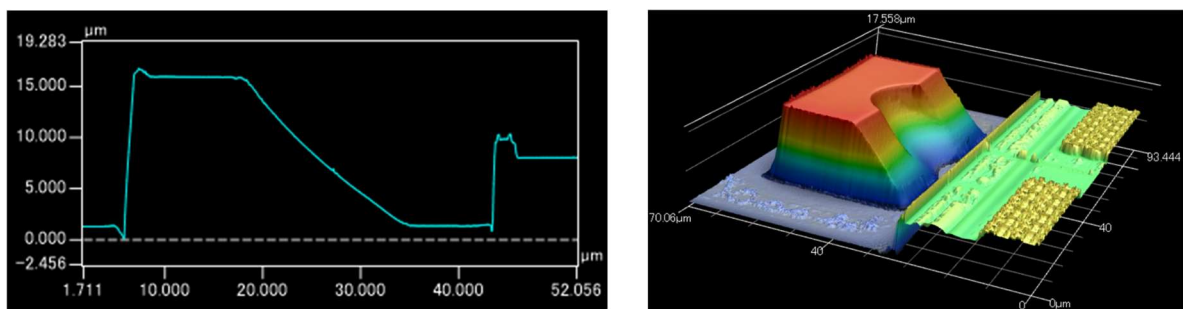


図 1.2.2.2(オ)-19 作製したポリマーミラーの断面ラインプロファイルと 3 次元画像

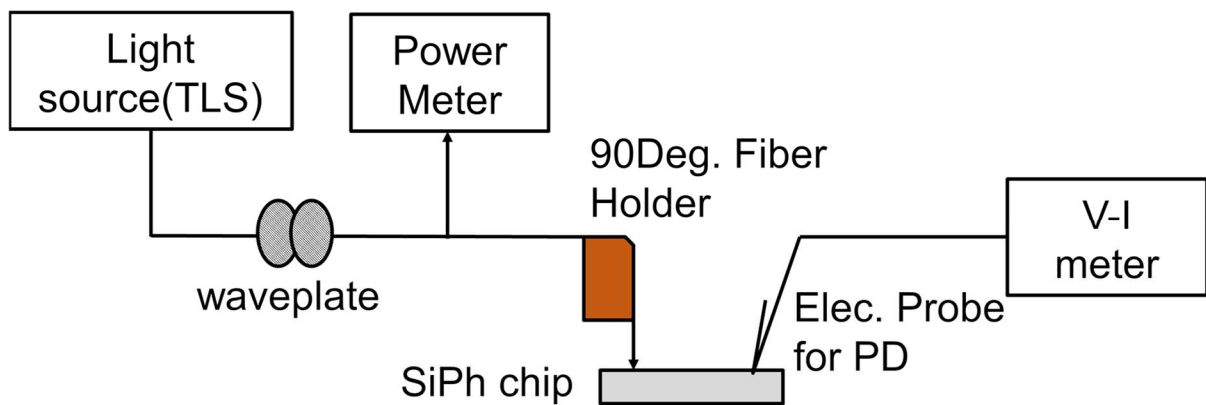


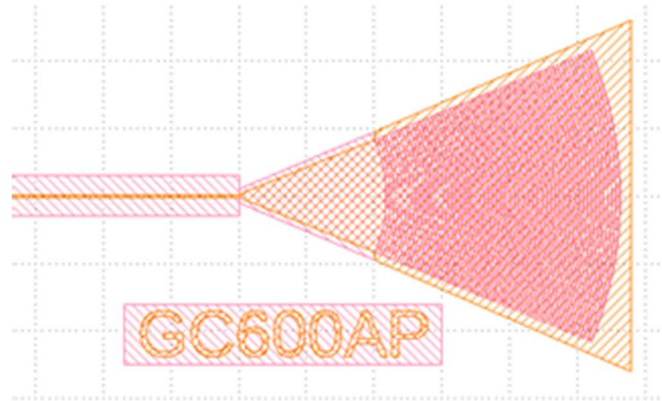
図 1.2.2.2(オ)-20 ポリマーミラー結合損失評価に使用した測定器構成

今回作製したポリマーミラーについて、図 1.2.2.2(オ)-20 に示すような測定系を用いて結合損失を評価した。波長 1570 nm および出力 10 dBm のレーザー光を曲げファイバよりシリコンフォトニクス光集積回路チップに入力し、チップ内に内蔵された Ge フォトダイオードの出力光電流を測定した。その後、Ge フォトダイオードの波長 1570 nm における受光感度と測定光電流から Ge フォトダイオードに到達した光パワーを算出し、光集積回路内の種々の光素子の伝搬損失を差し引いてポリマーミラーの結合損失を求めた。その結果、ポリマーミラーの結合損失は 8.04 dB と見積もられた。

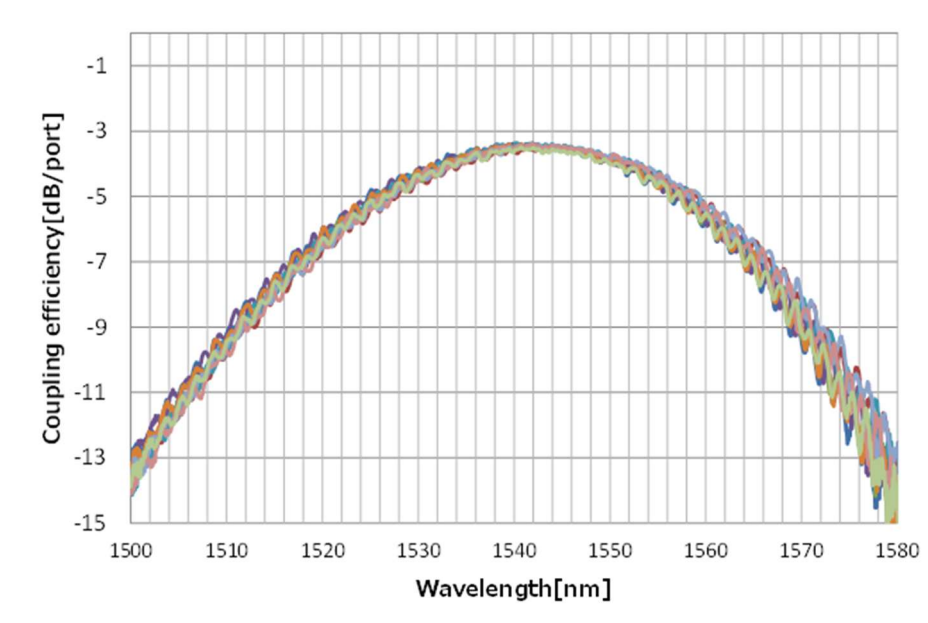
[光結合構造：外部光源入力]

外部光源入力ポートには、表面入出力に広く利用されているグレーティングカップラを用いた。送信

用外部光源が TE 偏波で固定されているため、外部光源の波長帯域で結合効率が TE 偏波で最大となるような設計を行う必要がある。採用したグレーティングカップラにおいても製造プロセスに負荷がかからないように一般的な扇形でピッチ間隔をアポタイズした構造を採用した。試作したグレーティングカップラの平面図及び光学的結合効率測定結果を図 1.2.2.2(オ)-21 に示す。同図(b)より、最大結合効率-3.3 dB/port、1 dB 帯域 25~30 nm と外部光源接続のためのグレーティングカップラとしては十分な実力を持つことが確認できた。グレーティングカップラからの出射角度は 8° として、ポリマーミラーと同様に 8° off の角度を持つ曲げファイバに最適結合できる設計とした。



(a)平面図



(b) シングルモードファイバとの光学的結合効率測定結果

図 1.2.2.2(オ)-21 グレーティングカップラ平面図及び光学的結合効率測定結果

[光トランシーバモジュール]

上記要素技術を組み合わせて TWDM-PON ONU 用光トランシーバモジュールを試作した。入出力信号光を高効率に結合して小型に実装するために、ミラー構造で上面に光ファイバ結合するための光電子集積インターポーザ基板と外部電気通信を行うためのマザーボード基板を分離する設計とした。モジュール基板の写真を図 1.2.2.2(オ)-22 に示す。光電子集積インターポーザは、光集積回路およびその

内部にポリマーミラーが形成された TWDM-PON 集積チップと、高速通信を確保するため受信部用のトランスインピーダンスアンプ (TIA: Transimpedance Amplifier) を回路基板に埋め込んで一体化した構造で、光トランシーバの基本機能が 10 mm×15 mm のサイズに集積されている。TIA から出力された信号は、合計で 4 Ch (チャンネル) 分存在しそれらを高速に切替える必要があることからマザーボード基板上に高速切替対応可能な電子スイッチを搭載している。インターポータ基板とマザーボード基板間の高周波伝送にはハーフスルーホールを用いた電極を用いることで 10 Gbps の高速通信可能としている。図 1.2.2.2(オ)-23 が試作した光トランシーバモジュールであり、10 cm×2 cm×2 cm に収まるサイズとなっている。

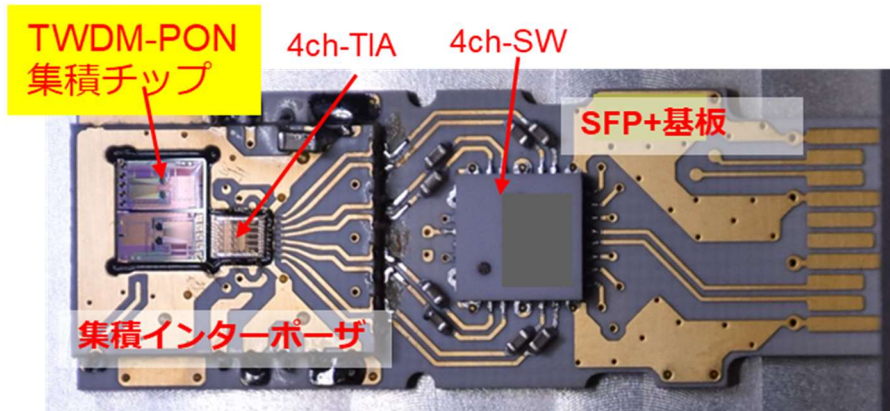


図 1.2.2.2(オ)-22 モジュール基板

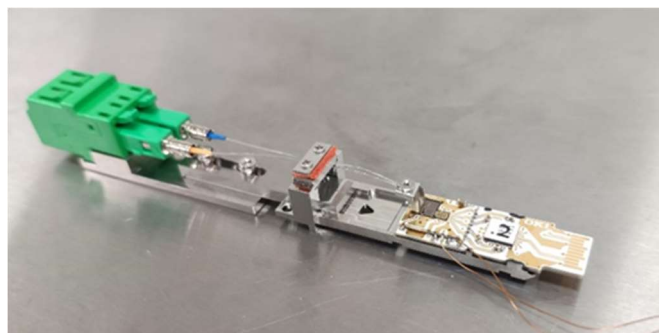


図 1.2.2.2(オ)-23 光トランシーバモジュール

モジュール全体の構成概略を図 1.2.2.2(オ)-24 に示す。送信光源モジュールは、[送信光源]の項に記載した 4 波長の DBR レーザーと EA 変調器を集積した InP チップを搭載している。送信経路は、送信光源モジュールからの信号光を WDM フィルタで合波して、光ファイバに送信する経路となる。受信経路は、受信信号光を WDM フィルタで受信光回路側に分波する経路となる。受信光回路は、双方向 AWG を用いた偏波ダイバーシティによる偏波無依存 4 波長の受信回路である。

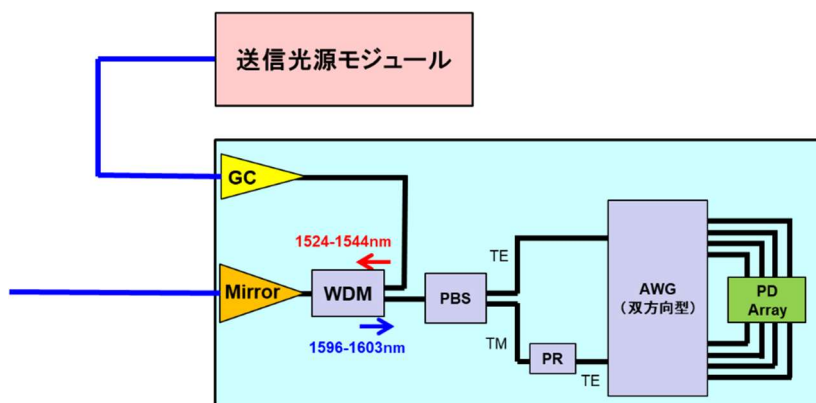


図 1.2.2.2(オ)-24 TWDM-PON ONU 用光トランシーバモジュールの構成概略

[モジュール動作実証]

試作した光トランシーバモジュールの評価結果を以下に記す。

図 1.2.2.2(オ)-25 は評価測定系の構成概略図である。収容局舎側の 4 波多重送受信動作は市販の装置を組み合わせて再現した。評価対象の光トランシーバモジュールは、基地局側 4 波多重送受信動作を再現する系の中のモジュール評価基板に取り付けて評価した。

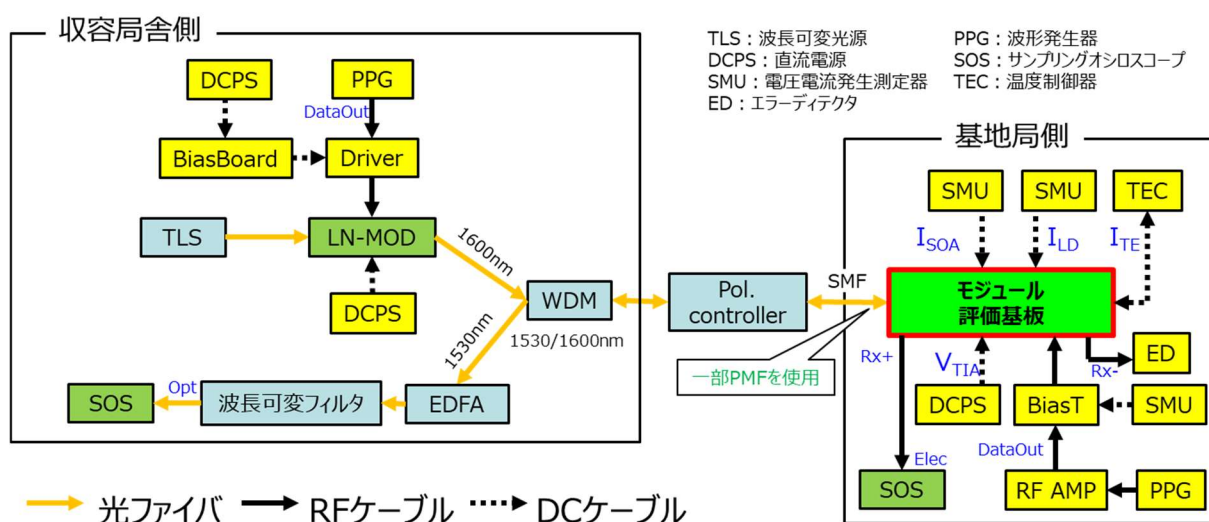


図 1.2.2.2(オ)-25 光トランシーバモジュール評価系の構成概略

まず送信側の動作について説明する。図 1.2.2.2(オ)-26 に 10 Gbps で動作させたときの 4 チャンネル分のアイパターンとそれぞれに対応する光スペクトルを示す。送信光源モジュールの駆動条件は、LD 駆動電流 80 mA、SOA 駆動電流 70 mA、変調器逆バイアス-4 V、電圧振幅 6 V、TEC (Thermo-Electrical Controller) 温度 25 °C である。消光比は 2.5~3.0 dB が得られた。今回の集積光源チップでは EA 変調器の長さが 100 μm と短かったが、図 1.2.2.2(オ)-14 (c)の結果から、より長い 200~300 μm の EA 変調器を用いれば 6 dB 以上の消光比が得られる見通しが得られている。発振波長に関しては 1532.68-155.04 nm の TWDM-PON の仕様の範囲内に入っており、DBR や位相調整領域へのバイアス印可により波長調整が可能である。

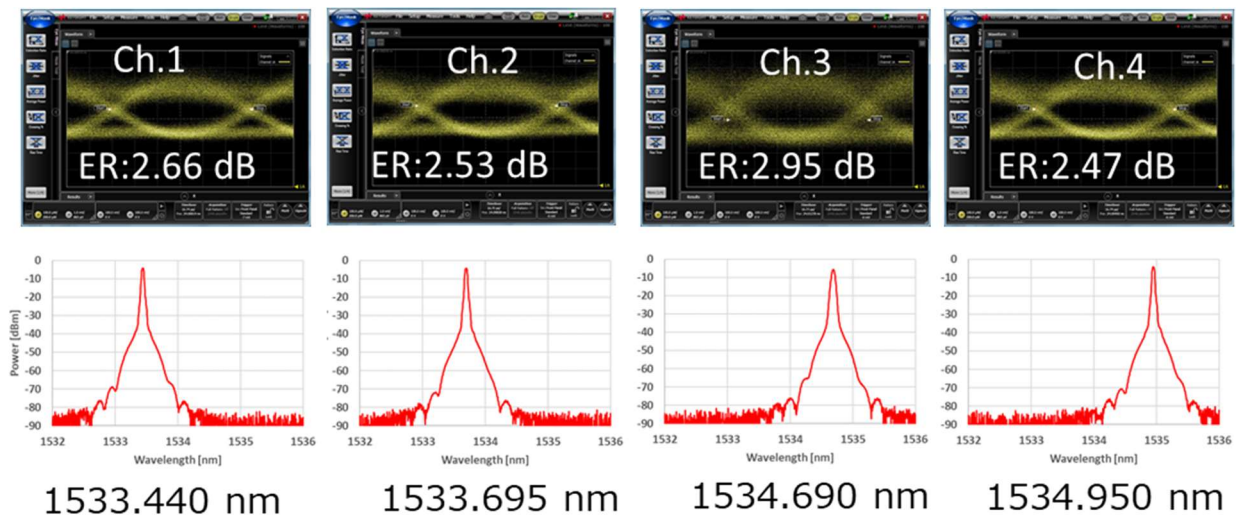


図 1.2.2.2(オ)-26 光トランシーバモジュール送信光の 10 Gbps アイパターンと波長スペクトル

次に、受信特性を評価した結果を以下に示す。今回試作した光トランシーバモジュールに搭載した TWDM-PON 集積チップで用いた PD は、図 1.2.2.2(オ)-27 に示す周波数応答に優れた PIN (p 型-i 型-n 型) -PD である。この PIN-PD の基本特性を評価した結果は、逆バイアス 3 V において、暗電流は 2.71 μA 、波長 1600 nm における受光感度は TE 偏波で 1.30 A/W、TM 偏波で 1.09 A/W、遮断周波数は 27.6 GHz であった。図 1.2.2.2(オ)-28 (a)~(b)に、試作した 2 台の TWDM-PON ONU 用光トランシーバモジュール (モジュール No.A 及び No.B) の受信側出力波形を示す。モジュール No.A については、上段は BER が最小になる偏波状態 (Best 偏波) での波形、下段は BER が最大になる偏波状態 (Worst 偏波) での波形である。モジュール No.B については、偏波依存性が小さいので、上段に TE 偏波での波形、下段に TM 偏波での波形を示した。

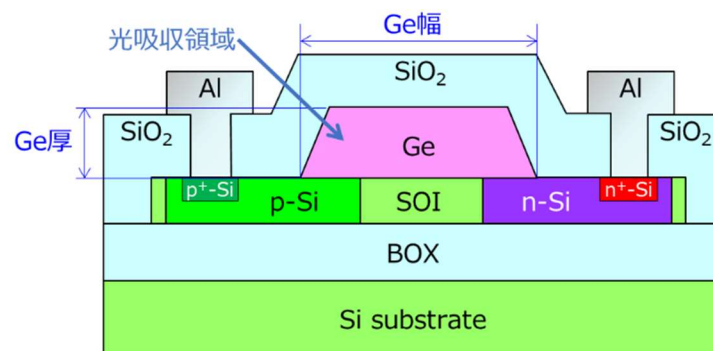
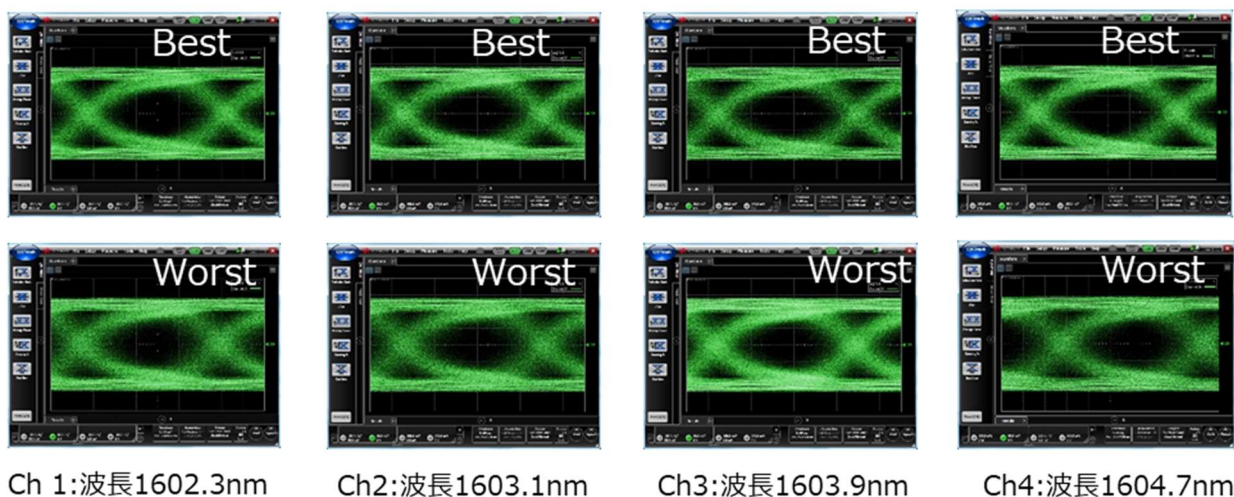
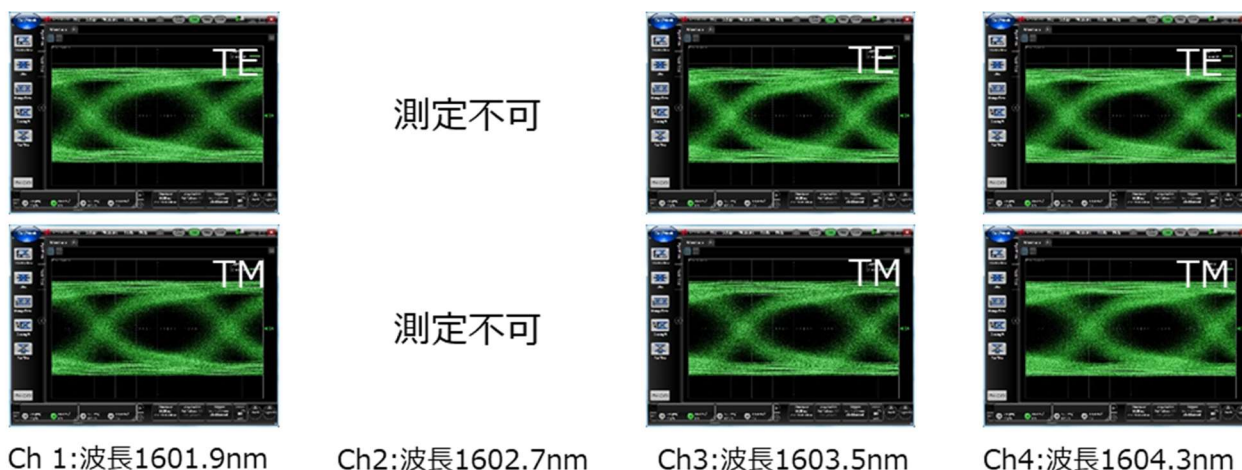


図 1.2.2.2(オ)-27 PIN-PD 型 Ge 受光器の断面模式図



(a) モジュール No.A (10 Gbps, NRZ, PRBS $2^{31}-1$, 平均受光パワー-3.6 dBm)



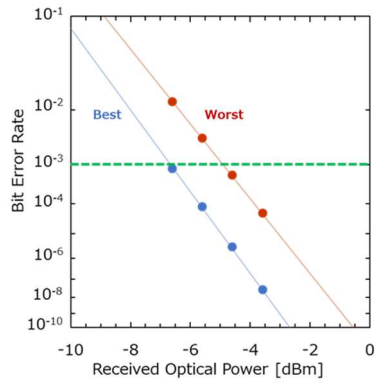
(b) モジュール No.B (10 Gbps, NRZ, PRBS $2^{31}-1$, 平均受光パワー-4.4 dBm)

図 1.2.2.2(オ)-28 TWDM-PON ONU 用光トランシーバモジュールの受信側出力波形

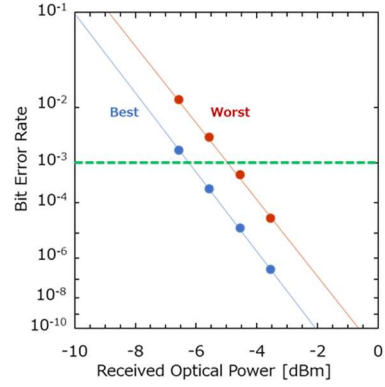
チャンネル選択により 4 波長から 1 波長を選択して受信できることを実験的に示すことができた。モジュール No.B においては Ch 2 で受信側出力波形が得られなかったが、この原因は、PIN-PD 型 Ge 受光器自体の受光感度不良であることが分かっている。同図からわかる通り、各チャンネルに対応する受信波長の間隔は 0.8 nm であり、TWDM-PON の波長間隔仕様 100 GHz (約 0.8 nm) と一致した。また、受信側出力波形におけるアイ開口状態は、いずれのチャンネルにおいても入力光偏波依存性がほとんど認められなかった。ただし、時間軸上のアイ開口部位置に若干の偏波依存性があるのは、TWDM-PON 集積チップ内の Si 導波路の偏波分散が表れたものであり、今後 Si 導波路の設計変更により改善できると考えている。

上記光送受信動作評価により、サイズ 10 cm×2 cm×2 cm のパッケージに収容できる光トランシーバモジュールにおいて、上り下り各 4 波長多重、10 Gbps の一芯双方向送受信動作、及び偏波無依存受信動作が実証できた。

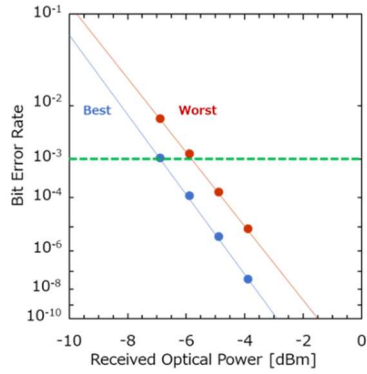
図 1.2.2.2(オ)-29 に、試作した 2 台の TWDM-PON ONU 用光電子集積インターポーザ送受信モジュールの各チャンネルにおける BER 測定結果を示す。



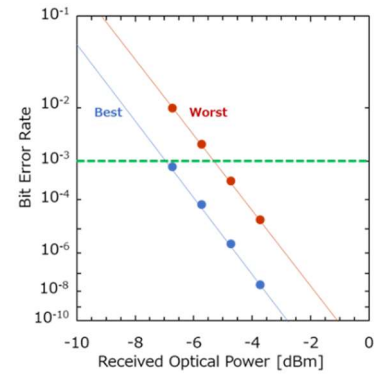
Ch 1: 波長 1602.3 nm



Ch 2: 波長 1603.1 nm

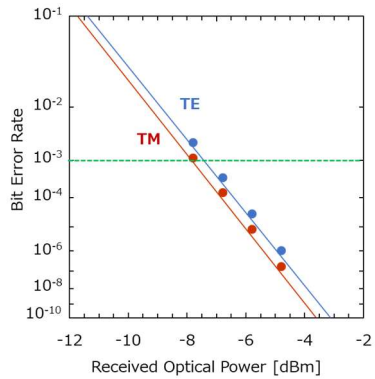


Ch 3: 波長 1603.9 nm



Ch 4: 波長 1604.7 nm

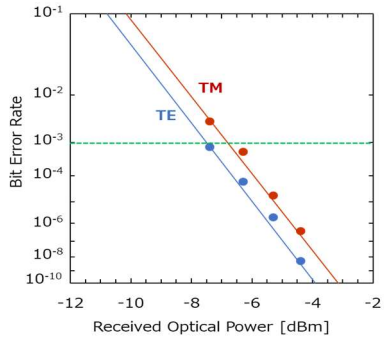
(a) モジュール No.A



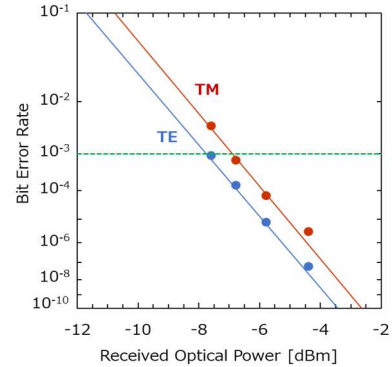
Ch 1: 波長 1601.9 nm

測定不可

Ch 2: 波長 1602.7 nm



Ch 3: 波長 1603.5 nm



Ch 4: 波長 1604.3 nm

(b) モジュール No.B

図 1.2.2.2(オ)-29 TWDM-PON ONU 用光トランシーバモジュールの受信側ビットエラーレート測定結果 (10 Gbps, NRZ, PRBS $2^{31}-1$)

TWDM-PON ONU 受信仕様は、BER が 10^{-3} となる受光パワーを最小受信感度と規定していることから、図 1.2.2.2(オ)-29 から当該送受信モジュールの最小受信感度は、モジュール No.A においては-7~-5 dBm、モジュール No.B においては-8~-7 dBm と求められる。TWDM-PON ONU 受信仕様で定められている最小受信感度は-28 dBm であるため、今回の PIN-PD を用いた光トランシーバモジュールでは、まだ 20 dB 以上の感度改善が必要である。そのため、前章で報告した SACM 構造 APD 単体で最小受信感度の評価を試みた。その結果を以下に示す。

TWDM-PON ONU 用光トランシーバモジュールのファイバ結合損、導波路損失、WDM フィルタ挿入損失等を考慮すると、当該送受信モジュールで TWDM-PON ONU 受信仕様で定められている最小受信感度-28 dBm を達成するには、表 1.2.2.2(オ)-1 に示すように PD 単体での最小受信感度は-34.5 dBm が求められる。

表 1.2.2.2(オ)-1 光トランシーバモジュールのロスバジェット

	挿入損
トランシーバ最小受光感度(dBm) 規格値	-28
ファイバ結合損(ミラー)(dB)	3
導波路損失(1dB/cm×10mm導波)(dB)	1
WDM1フィルタ挿入損(dB)	0.5
PBS, PR挿入損(dB)	0.5
AWG挿入損失(dB)	1.5
PD 最小受光感度 (dBm) 目標値	-34.5

図 1.2.2.2(オ)-30 に単体の SACM 構造 APD を搭載した受信モジュールの波長 1600 nm の光信号における受信出力波形を示す。APD には逆バイアス 10.3 V を印加した。同図からわかる通り、入力光の偏波依存性が無いクリアなアイ開口が得られた。

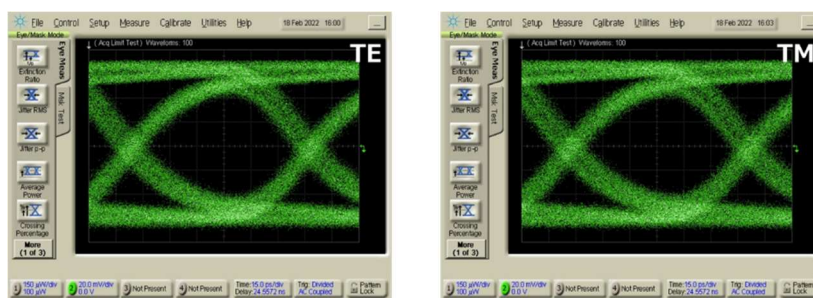


図 1.2.2.2(オ)-30 単体の SACM 構造 APD を搭載した受信モジュールの受信出力波形 (10 Gbps, NRZ, PRBS $2^{31}-1$, 平均受光パワー-13.8 dBm@TE/-13.9 dBm@TM)

図 1.2.2.2(オ)-31 に単体の SACM 構造 APD を搭載した受信モジュールの BER 測定結果を示す。横軸は単体の SACM 構造 APD が受信する平均光パワーである。同図からわかる通り、受信光平均パワーが大きい領域と小さい領域で、BER 特性の傾きが異なった。受信光平均パワーが大きい領域では、単体の SACM 構造 APD を搭載したチップと光入力用光ファイバを調芯装置によりアクティブ調芯していることによる調芯揺らぎに起因する BER 特性が表れているものと考えられる。一方、受信光平均パワーが小さい領域では、単体の SACM 構造 APD の素子特性に起因する BER 特性と調芯揺

らぎに起因する BER 特性が合算されていると考えられるが、単体の SACM 構造 APD の素子特性に起因する BER 特性に比べると、調芯揺らぎに起因する BER 特性は無視できる程小さいため、BER 測定結果から最小受信感度を求めるにあたっては、受信光平均パワーが小さい領域の BER 特性から求めることとする。

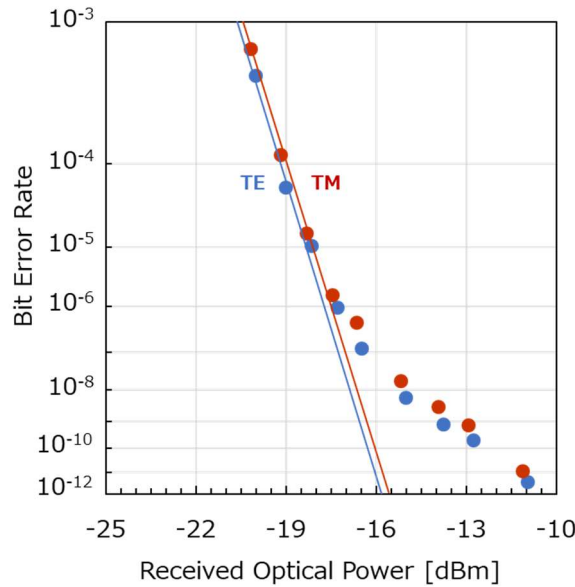


図 1.2.2.2(オ)-31 単体の SACM 構造 APD を搭載した受信モジュールのビットエラーレート測定結果 (波長 1600 nm, 10 Gbps, NRZ, PRBS 2³¹-1)

以上を踏まえて、単体の SACM 構造 APD を搭載した受信モジュールの最小受信感度を求めたところ、TE 偏波、TM 偏波共に -20.5 dBm が得られた。SACM 構造 APD については、まだ試作回数が少なく、目標とする受光感度を得るに至っていないが、これまでの試作評価と理論的な考察から、今後チャージ領域の幅とドーピングレベルを最適化することにより TWDM-PON 規格の要求感度が実現できる見通しが得られている。

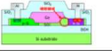
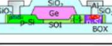






- [1] H. Ono, et al., OECC 2019, WD3-3
- [2] Y. Onawa et.al., Electronics Letters (2019),55(8):475
- [3] H. Okayama et.al., Jpn. J. Appl. Phys., vol. 59, No. 12, p. 128002 (2020)
- [4] 小野 他, 信学技報, vol.120, no.147, LQE2020-7, 2020.
- [5] W. S. Zaoui *et al.*, *Opt. Exp.*, vol.17, no.15, pp.12641-12649, 2009.
- [6] H. Ono *et al.*, ISPEC2021, P-38, 2021.

<ベンチマーク>

APD 型 Ge 受光器のベンチマークを表 1.2.2.2(オ)-2 に示す。APD 型 Ge 受光器については、PETRA が本プロジェクトでこれまで開発してきたのは、波長 1600 nm 帯の高感度受光を狙ったものであり、他にあまり例を見ないため、厳密なベンチマークは難しい。本プロジェクトで開発した SACM 構造の APD は、他の APD よりも概ね印加電圧を低く抑えることができたと言える。今後は SACM 構造 APD

のチャージ領域のドーズ量を含めた設計の最適化で更なる高感度化、高速化を目指す。

表 1.2.2.2(オ)-2 APD 型 Ge 受光器のベンチマーク (()内は未発表の参考値)

暗電流は各社定義が異なり比較できないため記載していない	波長 [nm]	駆動電圧 [V]	M=1のときの受光感度 [A/W]	増倍率 M	3dB帯域 [GHz]	GBP [GHz]	代表図
PETRA / Lateral SAM	1600	-16	(0.5)	49.9	16.4	(818)	[1] 
PETRA / Lateral SACM	1600	-12	(0.8)	(27)	4	108	[8] 
IMEC / Lateral SACM	1550	-12	0.78	8.5	32	272	[2] 
HP / Vertical SACM	1550	-9.9	1.05	11	25	276	[3] 
SiFotonics Tech. / Vertical SACM	1310	-18	0.6	10	36	360	[4] 
Sandia Nat. Lab. / Ver-Lat SACM	1510	-31	0.78	69.3	6	432	[5] 
McGill Univ. / Ver-Lat SACM	NA	-14.9	0.6	10	NA	NA	[6] 
Intel / Vertical SACM	1300	-24	0.55	30	11.5	340	[7] 

現在入手可能な TWDM-PON ONU 用の光トランシーバモジュールは 10 cm×2 cm×2 cm に近いサイズに小型化されたものもあるが、送信側に 1 個の波長可変レーザー、受信側に 1 個の波長可変フィルタを搭載しており、波長切り替えには 0.5~1 s の時間を要する。それに対して本開発の光トランシーバモジュールは送信側に 4 波長のアレイレーザー、受信側に 4 個の PD アレイを用いてこれを電気的に切り替えることにより、1 ms 以下の高速の波長切り替えが可能である。この特長により同程度のサイズであっても、PON 仮想化によるネットワーク資源のダイナミックな制御に対応できる点で優位である。

表 1.2.2.2(オ)-3 TWDM-PON ONU 用光トランシーバモジュールの比較

	PETRA(本開発)	A社 (Preliminary)	B社 (Preliminary)
			
サイズ	H2cm x W2cm x D10cm	H1cm x W2cm x D11cm	H1cm x W2cm x D9cm
構造 (送信側)	4波長アレイレーザ	波長可変レーザ	波長可変レーザ
構造 (受信側)	PDアレイ+波長分波フィルタ	PD+波長可変フィルタ	PD+波長可変フィルタ
波長切り替え時間	< 1ms	送信: 0.5s 受信: 1s	送信: 1s 受信: 1s

[1] H. Ono, et al., ISPEC 2019, C-3

[2] S. A. Srinivasan, et al., ECOC 2019, Tu.1.E

- [3] Z. Huang, et al., *Optica*, vol.3, no.8, pp.793 (2016)
- [4] M. Huan, et al., OFC 2018, W4D.1
- [5] N. J. D. Martinez, et al., *Optics Express*, vol.24, no.17, pp.19072 (2016)
- [6] A. Samani, et al., OFC 2019, Th3B.1
- [7] Y. Kang, et al., *nature photonics*, DOI:10.1038/NPHOTON.2008.247
- [8] H. Ono, et al., ISPEC 2021, P-38

<まとめ>

5G スマールセル基地局に組み込み可能な TWDM-PON 用の超小型光トランシーバ開発を目的として、モジュールサイズを 10 cm×2 cm×2 cm に小型化するための要素技術を確立した。上り下り各 4 波長多重、10 Gbps の一芯双方向送受信機能をシリコンフォトニクス技術により 5 mm×3.5 mm のワンチップに集積した光送受信チップを試作して、偏波無依存受信動作を実証した。また、アバランシェフォトダイオード導入による受光器の高感度化に取り組み、光吸収領域と増倍領域を分離した SAM 構造により、最大 130 A/W の受光感度を達成した。ビットエラーレートを評価した結果、最小受信感度 -22 dBm を得た。さらに、光送受信チップを回路基板に埋め込んだ光電子集積インターポーザ及びポリマーミラーを用いた偏波無依存の光結合構造を備え、サイズ 10 cm×2 cm×2 cm のパッケージに収容できる光トランシーバモジュールを試作して、上り下り各 4 波長多重、10 Gbps の一芯双方向送受信動作、及び偏波無依存受信動作を実証した。

1.2.3 (ii)国際標準化

標準化活動

【位置づけ、最終目標】

国際競争力を確保するために、諸外国での同種の研究開発プロジェクトの現状を分析するとともに、プロジェクトの進展状況を踏まえ、成果の優位性を保つために国際標準化を積極的に推進する。また、フォーラム標準化機関[OIF(Optical Internetworking Forum)、IEEE802.3 (Ethernet Working Group)、COBO (Consortium for On-Board Optics)]、並びにデジュール標準化機関[IEC (International Electrotechnical Commission)]等の標準化動向を踏まえ、研究開発成果が迅速かつ広く世界の市場で受け入れられるようにするために、光電子集積インターポーザに関わる国際標準化を積極的に推進する。表 1.2.3-1 に標準化の活動スケジュールを示す。

【最終目標 (2021 年度末)】

光電子集積インターポーザの物理仕様 (サイズ、入出力構成)、電気・光インターフェースに関し、提案した標準化案の採択推進活動を行う。

2018 年度は、光電子集積インターポーザのデータセンタ等の次世代高速光伝送への適用について、IEEE802.3、OIF、COBO 等における標準化へのコンセンサス形成と提案を行った。

2019 年度は、光電子集積インターポーザの IEEE802.3、OIF、COBO 等における標準化の提案を行い、標準化テーマへの採用を目指した。

2020 年度は、光電子集積インターポーザの IEEE802.3、OIF、COBO 等におけるデータセンタ等への適用に向けた標準化案の提案を行った。

2021 年度は、光電子集積インターポーザの IEEE802.3、OIF、COBO 等におけるデータセンタ等への適用に向けた標準化案の採択推進活動を行う。

表 1.2.3-1 標準化の活動スケジュール

開発項目	2018年度	2019年度	2020年度	2021年度
光電子集積 インターポーザ	物理仕様の標準化 に向けたコンセンサ ス形成	データセンタ等への 適用に向けた標準 化提案	標準化提案と 標準化推進	標準化案の 採択推進
	→			

【アプローチ、特長技術】

本活動においては、本プロジェクトの成果である光実装部品／システムのグローバル展開に向け、事業化の観点から本プロジェクトの成果を、我が国で保持すべき技術としてブラックボックス化すべき部分と、オープンにして広く普及を図るべき部分に切り分け、オープン部分の国際標準化を図る。具体的には、フォーラム標準化機関 OIF(Optical Internetworking Forum)、IEEE802.3 (Ethernet Working Group)、COBO (Consortium for On-Board Optics)、並びにデジュール標準化機関 IEC (International Electrotechnical Commission) 等の標準化動向を踏まえ、光電子集積インターポーザに関わる国際標準化を積極的に推進する。標準化に当たっては、国内外の有力企業と協調しながら進める。

【成果】

光電子集積インターポーザの標準化に関しては、2018 年度と 2019 年度においては、光電子集積パ

パッケージの標準化に関し、OIF や COBO において主要ユーザ、特にデータセンタ向けに Si フォトニクス
 の低消費電力性、小型、高密度信号伝送技術の紹介を行い、標準化提案に向けたコンセンサス形成
 を行った。技術背景として、データセンタのスイッチ容量の拡大に伴い、スイッチラックの前面プレ
 ート（フェースプレート）に実装するプラグابل光トランシーバモジュール形態の信号密度の限界が
 指摘され新たな技術として Si フォトニクスを中心とする光電子集積技術、パッケージ技術が求められ
 ている。 2019 年度には、前述のプラグابل光トランシーバに代わる実装方式として、スイッチ LSI
 と光インターフェースがパッケージレベルで集積される “Co-package” と呼ばれる実装形態が議論さ
 れるようになり、光電子集積インターポーザの適用分野として Co-package 標準化に関与することとし
 た。

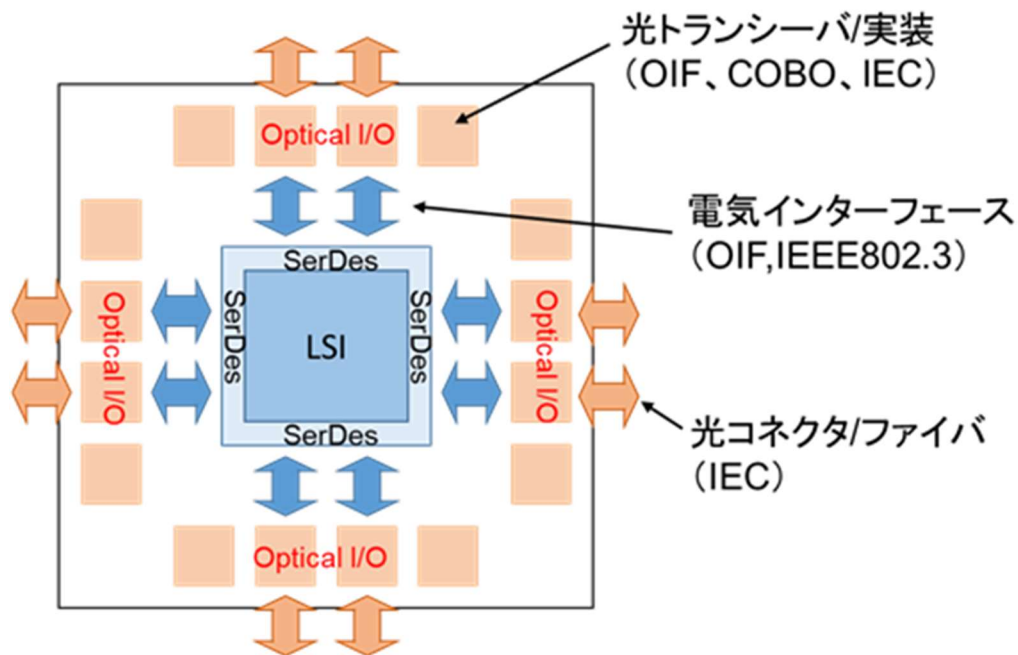


図 1.2.3-1 光電子集積インターポーザ技術を適用した Co-package 標準化の項目と関係する標準化母体

図 1.2.3-1 に示すように、Co-package は LSI 近傍に小型の光トランシーバを実装したパッケージ技術
 全体を示し、電気インターフェース、光トランシーバの構造やサイズ、その実装技術、さらに光接続
 方式やコネクタなど、標準化項目は多岐にわたる。本プロジェクトでは 2012 年以降、Si フォトニク
 スパッケージ技術の標準化に参画しており、小型・低消費電力な SI フォトニクスパッケージの標準化
 活動を継続しており、OIF、COBO、IEC、IEEE802.3 などの関連する標準化母体における技術的なプレ
 ゼンスを確立してきた。

Co-package の応用が期待されるデータセンタでは、次世代のスイッチの目標性能を 51.2 Tbps とし
 て Co-package の標準化議論が始まった。OIF では、新しい技術である Co-package の要素技術や技術課
 題、適用分野を明確化し、標準化すべき項目を議論するフレームワークが 2020 年 11 月に発足した。
 COBO においても同様のワーキンググループが発足し（2020 年 11 月）、幅広く意見を集約している。
 このような Co-package の標準化を進めるにあたり、主要メンバーへのインプットを行うとともに、標
 準化プロジェクト発足に向けたコンセンサス形成の議論を行った。

我々は、51.2 Tbps スwitchの Co-package の実現形態として光電子集積インターポーザの要素技術
 を結集し、2020 年 3 月に図 1.2.3-2 に示すようなコンセプトモデルを作成した。16 波長の多重化を用
 い、信号レート 100 Gbps/ch とした 1.6 Tbps の光トランシーバチップを、スイッチ LSI の周りに 32 個

配置する。各々の光トランシーバチップの光入出力は、ミラーを形成したインターポーザ基板上的のポリマー導波路で基板端のエッジコネクタに集約する構造であり、Co-package サイズ 80 mm 角、トランシーバチップサイズは 12 mm 角である。WDM 回路、ポリマー導波路基板などの要素技術の詳細は本報告書の各章参照。

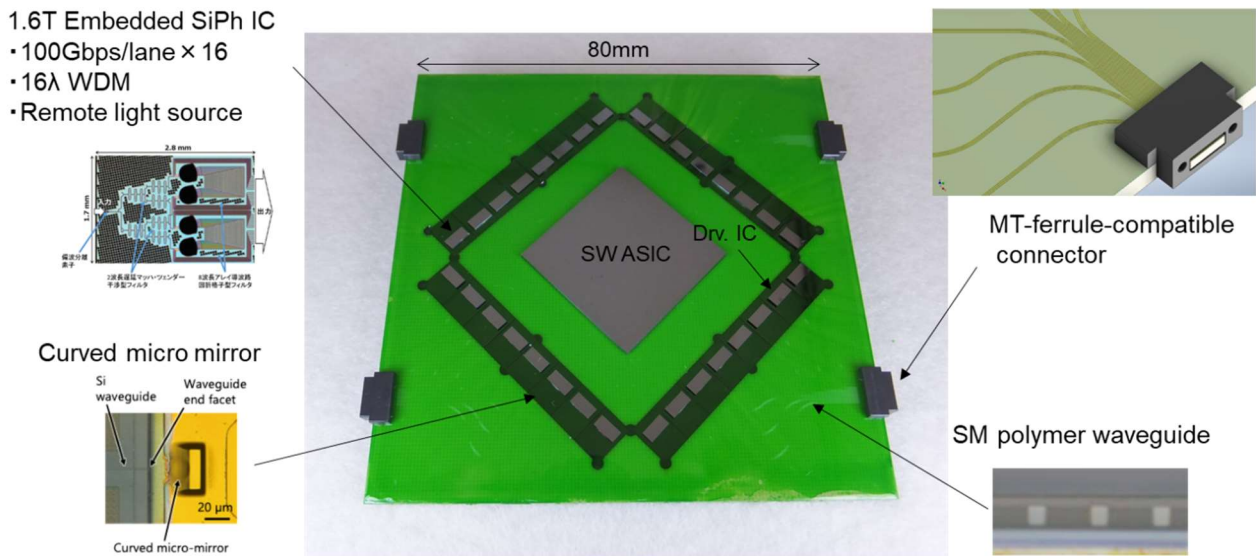


図 1.2.3-2 光電子集積インターポーザ技術を適用した 51.2 Tbps スイッチパッケージのコンセプトモデル

データセンタ用のスイッチ応用に関しては、Microsoft と Facebook が主導する Co-package Optics Collaboration (CPO) において、100 Gbps x 32 ch の 3.2 Tbps 光トランシーバパッケージを用いる 51.2 Tbps スイッチの Co-package 構成の仕様が公開された (2021 年 2 月 / http://www.copackagedoptics.com/wp-content/uploads/2021/02/JDF-3.2-Tb_s-Copackaged-Optics-Module-PRD-1.0.pdf)。

データセンタ用のスイッチ、AI (人工知能)、ディープラーニングなどのコンピューティングノード間を繋ぐインターコネクタ等、Co-package の適用範囲は広いが、システム要件としては、信号速度、チャンネル数、信号遅延 (レイテンシ) などの要求値が異なる。共通する項目を標準化していく方向性として、電気信号インターフェースと光トランシーバパッケージのフットプリント (寸法) と信号入出力パッド/ピンの配置を共通化する標準化を先行で行うこととなった。

3.2 Tbps 光トランシーバパッケージの標準化は、データセンタースイッチに特化した CPO の仕様がベースのため、汎用性がない。これに対し、我々は OIF のフレームワークにおいて、小規模コンピューティングからデータセンタ応用まで、汎用性を持たせるための標準化項目を検討し、我々のコンセプトモデルのような 16 ch パッケージと CPO の 32 ch の光パッケージ間のピン配置の共通化や実装方法の共通化議論を行った。具体的な汎用パッケージの標準化は今後も継続される。

インターフェースの共通化については、OIF の電気インターフェース標準である Common Electrical Interface の 112 Gbps の標準化策定に参画し、LSI と Si フォトニクスチップ間の短距離の電気接続に適用する CEI-112G-XSR (Extreme Short Reach) 規格の仕様を確定させた (2021 年 12 月)。本プロジェクトの成果である Si フォトニクスドライバ・レシーバ回路および集積パッケージを実用化する際に、標準化された電気インターフェースが利用できることで、幅広い応用分野への展開が期待できる。

IEC では光ファイバ通信に関する国際規格制定を担う第 86 専門委員会 (TC86) の小委員会 SC86 において、光電子集積構造の標準化に参画した。Si フォトニクスや化合物半導体とシリコン電気回路との集積による光集積回路 PIC (Photonic Integrated Circuit) は将来の高速高効率な情報伝送手段として重要とされており、継続して標準化活動を行っている。光電子集積インターポーザの前段階の技術である PIC 標準化においては、2015 年からプロジェクトリーダーとして、Si フォトニクスのパッケージ標準化を主導してきた。

パッケージ構造に関する標準は、IEC 62148-19:Fibre optic active components and devices - Package and interface standards - Part 19: Photonic chip scale package として完成し、2019 年 5 月 2 日に発行された (図 1.2.3-3)。光電子集積インターポーザへのアップグレードに向けた議論を COBO,OIF の Co-package 標準化と連携しながら行っている。

光トランシーバとしての標準化は、性能標準 (Performance standard) として、25 Gbps/ch までの標準化を完了し、IEC 62149-11:"Fibre optic active components and devices - Performance standards - Part 11: Multiple channel transmitter/receiver chip scale package with multimode fibre interface" として 2020 年 4 月 8 日に発行された。112 Gbps 動作へのアップグレードについては、本プロジェクトの成果を踏まえ、モジュールレベルの実用化と並行して標準化される予定である。

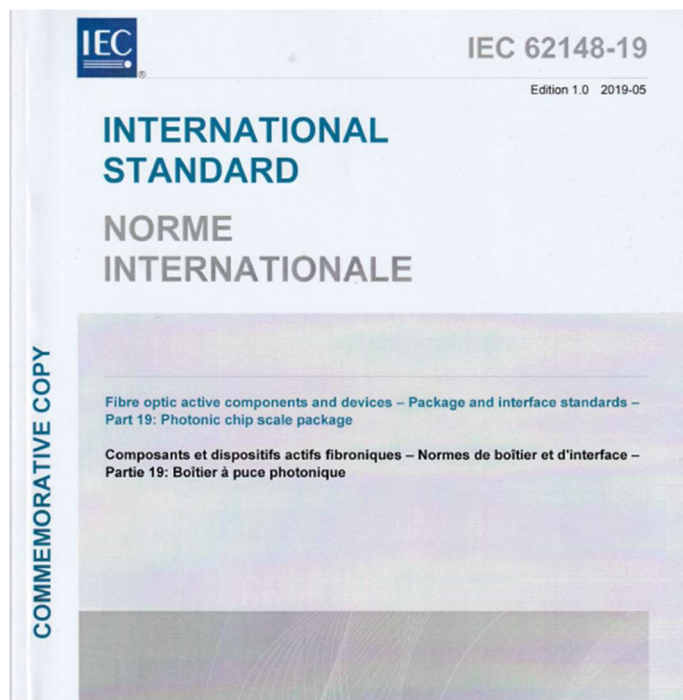


図 1.2.3-3 IEC から発行された光電子集積パッケージ標準の表紙 (IEC 62148-19)

さらに IEC ではパッケージの他、高密度光実装に必要となる高密度光ファイバアレイや光コネクタ等の光コンポーネントについてもエコシステムの構築に向けた標準化活動を推進している。光インターフェース標準に関しては IEC 62496-4 Interface standards において Si フォトニクス光電子集積インターポーザの高密度光接続を想定して、従来の 250 μm ピッチの並列ファイバコネクタの 2 倍の高密度化となる、ファイバーアレイコネクタの 125 μm 狭ピッチ光インターフェースの定義を加え、今後の実用化に向けたファイバアレイ標準、コネクタ標準への要求仕様をまとめた。

以上の IEC における PIC パッケージ標準化および光電子集積インターポーザでの継続的な貢献が認

められ、2020年9月に電気・電子技術の標準化活動への貢献と業績に対して贈られるIEC1906賞を受賞した。

【ベンチマーク】

低消費電力なトランシーバIC技術、ポリマー導波路を集積したインターポーザ実装技術等、優位性を確保しながらCo-packageの分野で標準化を推進してきた。一方で、データセンタ向けのCo-packageについては、データセンタのシステムベンダ主導で技術ロードマップと仕様に基づいた標準化が先行している。MicrosoftとFacebookが主導するCPOの3.2Tbps光パッケージは、仕様がシステムベンダの間ではほぼ決まってからOIFで標準化を開始しており、この狙いは、デバイス、パッケージ、実装のすべての分野に関わる新しいエコシステム(供給網や検査体制等)を立ち上げるためであると言える。その点で、我々のアプローチは、汎用性を持たせるためのインターフェースやフットプリントの共通化に重点を置いており、データセンタ以外への波及効果がある。大規模なデータセンタのスイッチに特化するよりも、より広い適用分野を有するコンピューティング全般に適用可能な標準化を推進する上で、小型、低消費電力なSiフォトリソグラフィパッケージ技術の優位性を生かした標準化活動を行っている。

【まとめ】

光電子集積インターポーザの適用分野として、COBO,OIFにおいてLSIと光インターフェースをパッケージレベルで集積するCo-package標準化を推進し、データセンタからコンピューティングの幅広い分野に適用可能な標準体系として、インターフェースと物理仕様であるサイズやピン配置の標準化を進展させた。IECにおいて光電子集積インターポーザの標準化体系を確立し、パッケージと光インターフェースの標準化を達成した。

1.2.4 ③成果普及活動

1.2.4.1 成果普及・人材育成活動

<位置づけ、最終目標>

東京大学ナノ量子情報エレクトロニクス研究機構において、プロジェクト成果の普及のための人材育成並びに成果普及を図る。

大学院生を対象とした光エレクトロニクス分野に関わる教育カリキュラム「ナノ量子情報エレクトロニクス特論」および学内外の学生や社会人を対象とした公開セミナー「フォトリソグラフィ・イノベーションセミナー」を継続的に実施してプロジェクト成果の活用および当該領域の研究開発および社会実装を推進する人材を育成する。

<アプローチ>

フォトリソグラフィイノベーション共創プログラムでは、以下の課題について成果普及活動を行う。

(a) 人材育成

(ア) 企業集中講義を含む大学院教育カリキュラム「ナノ量子情報エレクトロニクス特論」

(イ) 学内外の学生と社会人のためのフォトリソグラフィに関する公開セミナー「フォトリソグラフィ・イノベーションセミナー」

<成果>

「フォトニクスイノベーション共創プログラム」においては、プロジェクト成果の普及と普及を支える人材の育成を目指して活動した。将来の本分野を支える人材の育成として実施した大学院生向けカリキュラム「ナノ量子情報エレクトロニクス特論」は、光エレクトロニクスのみならず、物理学、半導体工学、情報科学など工学、理学、数理科学などを含む講義によるフォトニクスの成果の普及を担う高度な人材の育成となった。

フォトニクス・イノベーションセミナーにおいては、2018年度に4回のセミナー、2019年度に3回のセミナー、2020年度に4回のセミナー、2021年度に1回のセミナーを開催した。2018年度は、量子情報、光コム、トポロジカルフォトニクス、光電子融合集積技術に関するセミナーを開催した。延べ300名以上の参加者を得て、光電子融合技術に関して基礎理論から応用技術、産業化に至る幅広い領域の教育と技術の啓蒙に寄与した。東京での開催に加えて、京都、仙台でも開催することで、東京に限らず関西地区や東北地区の社会人を含むフォトニクス技術の研究者の参加者を得て、プロジェクト成果の普及とフォトニクス分野の人材教育としての機能を果たした。2019年度においても、異種材料集積技術やフォノンエンジニアリング、量子ドット、フォトニック結晶、量子情報、光電子融合技術に関するセミナーを開催した。東京に加えて、再度京都でも開催することで、東京地区と関西地区の研究者や学生などの交流を促進し、フォトニクス分野の人材教育に貢献した。2020年度以降においては、コロナ禍の影響を受けて、すべてオンラインという形でセミナーを開催した。2020年度においては、光集積回路を用いた量子情報処理、トポロジカルフォトニクス、光電子融合技術、光ファイバ通信最新動向に関するセミナーを実施した。2021年度においては光電子融合技術に関するセミナーを実施した。オンライン開催とすることで、開催場所にとらわれず国内外の研究者や学生らの参加を得たことで、プロジェクト成果の普及とフォトニクス分野の人材教育に貢献を果たした。

フォトニクス・イノベーションセミナーの実施実績を以下に示す。

表 1.2.4.1-1 フォトニクス・イノベーションセミナーの開催実績

開催日	テーマ	講演題目・講演者	参加者数
2018年 6月15日	だれにでもわかる量子情報	量子鍵配送のセキュリティ：Why and How 小芦雅斗（東京大学工学系研究科附属 光量子科学研究センター 教授・センター長） 光量子コンピュータの基礎から応用まで 武田俊太郎（東京大学大学院工学系研究科物理工学専攻 助教）	55名
2018年 10月24日	光コム基礎から応用、シリコンフォトニクス最新動向	光コムによる光波の自在操作と周波数物差しを超えた応用展開 美濃島薫（電気通信大学 教授、JST ERATO 知的光シンセサイザ研究総括） シリコンフォトニクス集積回路トランシーバと今後の動向 中村隆宏（技術研究組合光電子融合基盤技術研究所 研究統括部長）	78名

2018年 12月3日	シリコンフォトニクスの最先端	<p>Advances in Photonics and electronics Convergence System Technology</p> <p>荒川泰彦（東京大学 ナノ量子情報エレクトロニクス機構 特任教授）</p> <p>Electronic-Photonic Integration Platforms: Datacom, RF and Sensing</p> <p>L. C. Kimerling（Thomas Lord Professor of Material Science and Engineering, Massachusetts Institute of Technology）</p> <p>Photonic Integration of Ultra-High-Q Optical Resonators for Next-Generation Clocks and Hertz-Absolute-Accuracy Optical Frequency Synthesizers</p> <p>K. Vahala（Professor, California Institute of Technology）</p>	166名
2019年 2月28日	フォトニクスの最先端	<p>トポロジカルフォトニクス:トポロジーを活用した光制御</p> <p>岩本敏（東京大学生産技術研究所 准教授）</p> <p>誘導ラマン散乱による生体の振動分光イメージング</p> <p>小関泰之（東京大学大学院工学系研究科電気系工学専攻 准教授）</p>	44名
2019年 7月18日	異種材料集積フォトニクスとナノ構造フォノンエンジニアリングの最新動向	<p>「化合物半導体異種材料集積によるシリコンフォトニクスの新たな展開」</p> <p>松尾慎治（NTT 先端集積デバイス研究所 上席特別研究員）</p> <p>「フォトニクスからフォノンクスへ ～ナノ構造を使った高度な熱流制御～」</p> <p>野村政宏（東京大学生産技術研究所 准教授）</p>	34名
2019年 10月23日	-	<p>量子ドットフォトニクスの進展～黎明期から実用化まで～</p> <p>荒川 泰彦（東京大学ナノ量子情報エレクトロニクス研究機構 特任教授）</p> <p>フォトニック結晶の進展と将来展望</p> <p>野田 進（京都大学工学研究科電子工学専攻 教授）</p> <p>光子を操るー光量子計測とその展望</p> <p>竹内 繁樹（京都大学工学研究科電子工学専攻 教授）</p>	-名

2019年 11月26日	シリコンフォトニクス の最先端	Advances in Photonic and Electronic Convergence System Technology 荒川 泰彦 (東京大学 ナノ量子情報エレクトロ ニクス機構 特任教授) The 2020 Integrated Photonic Systems Roadmap – International Grand Challenges and Key Needs for Silicon Photonics Lionel C. Kimerling (Thomas Lord Professor of Material Science and Engineering, Massachusetts Institute of Technology) High-speed and Energy-efficient Optical Link Based on Silicon Photonics and CMOS Electronics H. Rong (Intel Labs)	159名
2020年 10月12日	-	光集積回路を用いた量子情報処理 松田 信幸 (東北大学工学研究科通信工学専攻 准教授)	72名
2020年 11月16日	-	トポロジカルフォトニクス:トポロジーを活用し た光導波路の可能性 岩本 敏 (東京大学先端科学技術研究センター 教授)	75名
2020年 11月30日	シリコンフォトニクス の最先端	Advances in Photonic and Electronic Convergence System Technology Y. Arakawa (The University of Tokyo) Standardization for Photonic Integration: Materials, Processes and Architecture L. C. Kimerling (Massachusetts Institute of Technology) Quantum Dot Optoelectronic Devices on Si J. Bowers (University of California, Santa Barbara)	-名
2021年 1月21日	-	光ファイバ通信におけるデジタル革命 ~符 号化変調・光空間多重技術~ 五十嵐 浩司(大阪大学工学研究科電気電子情報 通信工学専攻 准教授)	53名
2021年 12月13日	シリコンフォトニクス の最先端	Progress in Photonic Electronic Convergence Technologies through National Projects in Japan Y. Arakawa (The University of Tokyo) Pb/s I/O with Electronic-Photonic Integration L. C. Kimerling (Massachusetts Institute of Technology)	-名

		High Temperature Quantum Dot Laser Reliability on Si J. Bowers (University of California, Santa Barbara)	
--	--	---	--

<まとめ>

東京大学において、成果普及、人材育成に向けたプログラム「フォトニクスイノベーション共創プログラム」を実施し、光エレクトロニクス分野におけるイノベーション創出に向けた人材育成を推進した。大学院生向けカリキュラム「ナノ量子情報エレクトロニクス特論」では、光エレクトロニクスとその関連分野の講義に加え企業での集中講義を行い、フォトニクスの成果普及に実践的に貢献する高度な人材を育成した。フォトニクス・イノベーションセミナーでは、光電子融合技術に加えて、量子情報や光コムなど広範なフォトニクス技術に関する基礎から産業化までの講演を開催した。東京に加えて、京都や仙台などでもセミナーを開催した。またコロナ禍以降においてはオンライン開催とすることで、学内外の学生や社会人から多くの参加者を得たことで、当該技術の社会実装を推進する人材の育成に寄与した。

1.2.4.2 普及活動

<位置づけ、最終目標>

シリコンフォトニクスに関連する技術開発は、米国の AIM (American Institute for Manufacturing Integrated Photonics) や、欧州の国家プロジェクトに見られるように、世界規模でしのぎが削られている状況である。このような状況において、研究開発と併行して、ニュースリリース、展示会への出展、シンポジウム開催等の取組みを通じて、世界規模で本事業のプレゼンスを高め、開発技術の優位性を示すとともに、光エレクトロニクス技術の普及促進を行う。

<成果>

PETRA と東京大学が主催する国際会議「ISPEC (International Symposium on Photonics and Electronics Convergence)」と、一般財団法人光産業技術振興協会と共催している「光産業技術シンポジウム」を開催し、2018年度～2021年度の事業テーマである、光電子集積インターポーザとそれを用いたシステム化の有効性を広くアピールした。「ISPEC」では国際的な技術交流を、「光産業技術シンポジウム」では業界内の技術交流を積極的に行った。

また、CEATEC、InterOpto 等の展示会活動を活用して、広報活動を展開した。海外でのプレゼンスを高めるために、2018年度は OFC (米国)、2019年度は ECOC (欧州) の展示会に出展した。

更に、これらの内容を PETRA-WEB、活動報告の中で紹介するとともに、一部はプレスリリースをした。

1.2.5 実用化・事業化に向けての見通しおよび取組について（公開）

成果の実用化・事業化に向けた戦略として、知財戦略とシリフォト設計・プロセス統合プラットフォームの構築が挙げられる。

知財戦略として、オープン・クローズ戦略を図 1.2.5-1 に示す。オープン戦略は、インターポーザの外観、性能、製造方法等を知財化し、電気・光の入出力に関わるインターフェース部は標準化を図る。クローズ戦略は、実装方法、装置仕様等をブラックボックス化して、事業化における強みにする。

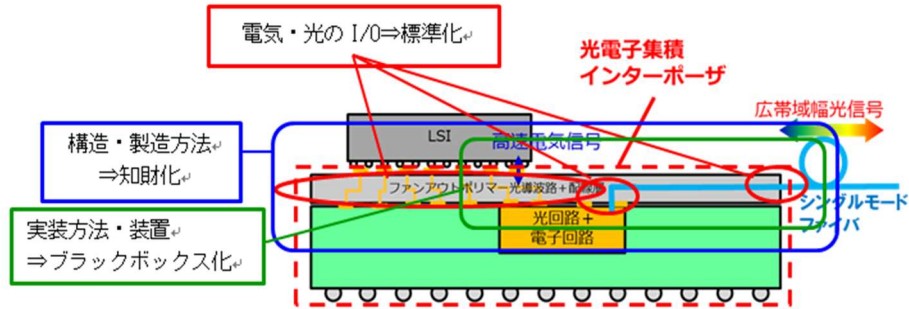


図 1.2.5-1 オープン・クローズ戦略

また、図 1.2.5-2 に示すようにシリフォト統合化集積プロセスと設計・プロセス統合ライブラリ技術を構築し、組合員企業やアイオーコア社に展開することで、低コストでシリフォトチップ供給が可能となるプラットフォームとして活用する。

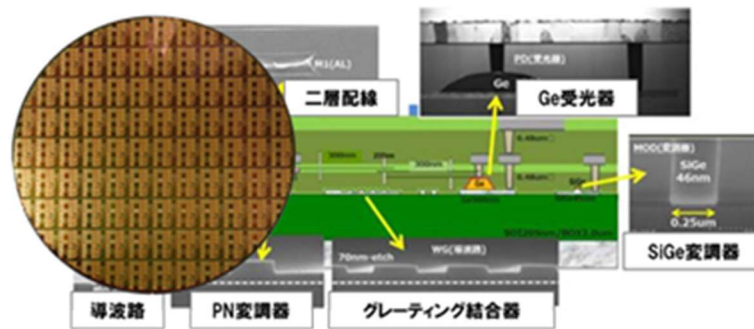


図 1.2.5-2 シリフォト設計・プロセス統合プラットフォームの構築

1.2.5.1 光電子融合サーバボード

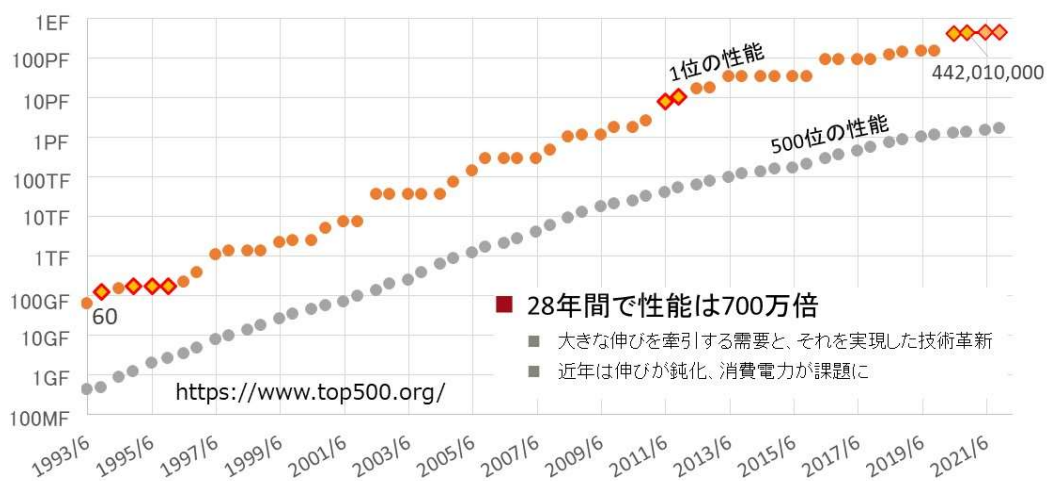


図 1.2.5.1-1 スーパーコンピュータ 28年の性能推移

スーパーコンピュータの性能は、図 1.2.5.1-1 に示すように、堅調な需要と技術革新に支えられなが

ら、ここ 28 年間で約 700 万倍に向上した。しかしながら、近年はその伸びが鈍化するとともに、消費電力が課題として顕在化している。この原因として、すでに報告したように、ムーアの法則が限界に近づきつつあり、半導体プロセスの微細化が進展しても性能向上とコスト低減につながらないフェーズに突入したことがある。今後の更なるスーパーコンピュータの高性能化の方向性として、半導体プロセスの更なる微細化への流れは依然としてあるものの、実装面での技術革新、すなわちプロセッサと複数のチップレットによるマルチチップパッケージ化や、テクノロジーやデバイスが異なるチップを集積するヘテロジニアス集積化が注目されている。一方、更なる大容量化と省電力化に向けて光モジュールと LSI パッケージの統合や光モジュールを LSI パッケージに近接配置するような高密度実装技術が注目されている。この流れの中で Facebook 社と Microsoft 社が設立した Co-Packaged Optics (CPO) Collaboration では光モジュールを LSI パッケージに統合する CPO 技術が議論されている。また標準化団体である OIF では光モジュールを LSI パッケージに近接実装する Near Packaged Optics (NPO) 技術が提案され活発な議論がすすんでいる。

図 1.2.5.1-2 で示すように、本プロジェクトで開発した光電子融合サーバボード技術を CPO や NPO と比較すると、光モジュールを LSI パッケージに近接配置する構成であり、NPO の構造に近い。ただし、実装時の反りの問題を抑制しつつ高速伝送性能に優れたガラス基板をインターポーザとして用い、サーバボード（マザーボード）との脱着を可能とする LGA ソケットを採用するなど、実システムへの搭載を意識した構造と言える。更に、本プロジェクトで開発した光配線技術とファイバアセンブリ技術は、高密度かつ低損失、さらに高温での安定性を有し、スーパーコンピュータへの実装技術として有望な構造を実現している。

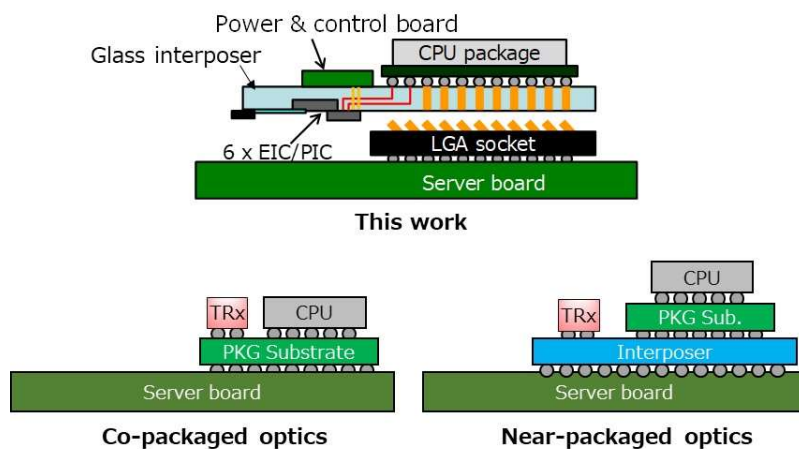


図 1.2.5.1-2 CPO 構造、NPO 構造と本プロジェクトの構造

データセンターサーバや高性能コンピュータ（HPC）市場は今後も堅調な成長を維持すると予想される。ある調査会社は 2022 年時点で HPC 市場は世界で 450 億米ドル規模であり、7%の CAGR で 2030 年までに 720 億米ドルに達すると予想している。これは気象・防災、創薬、交通など AI/ビッグデータを活用する様々な分野での需要が大きく拡大しているためであり、HPC 市場の成長に対する社会の期待は大きい。

本プロジェクトで開発したサーバ間光インターコネクト技術は、次世代の高性能サーバシステムおよびそれを支える大規模ネットワークの差異化技術として期待している。本プロジェクトで開発した技術を他社に先駆けていち早く事業化するために、サーバ事業関連部門と定期的な情報交換を行っている。サーバ実装コストを含めた全体のコストダウンや光 I/O の供給を含めたサプライチェーンの検討を進めていく。

1.2.5.2 ラックスケール並列分散システム

Big Data や AI で扱うデータ量・計算量ともに増大しており、図 1.2.5.2-1 に示す様に国内市場において 2020 年度は 6.7 倍、2030 年度は 14.1 倍で成長している（2015 年度比）。また、世界的に扱うデータ量は、2 年毎に倍増している。

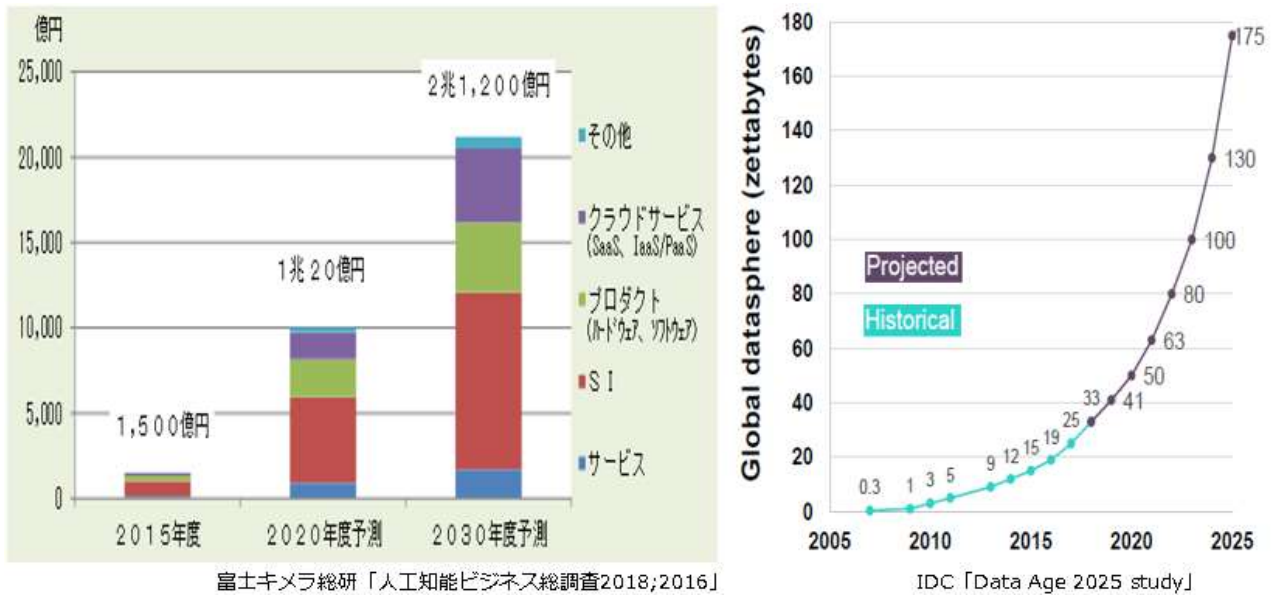
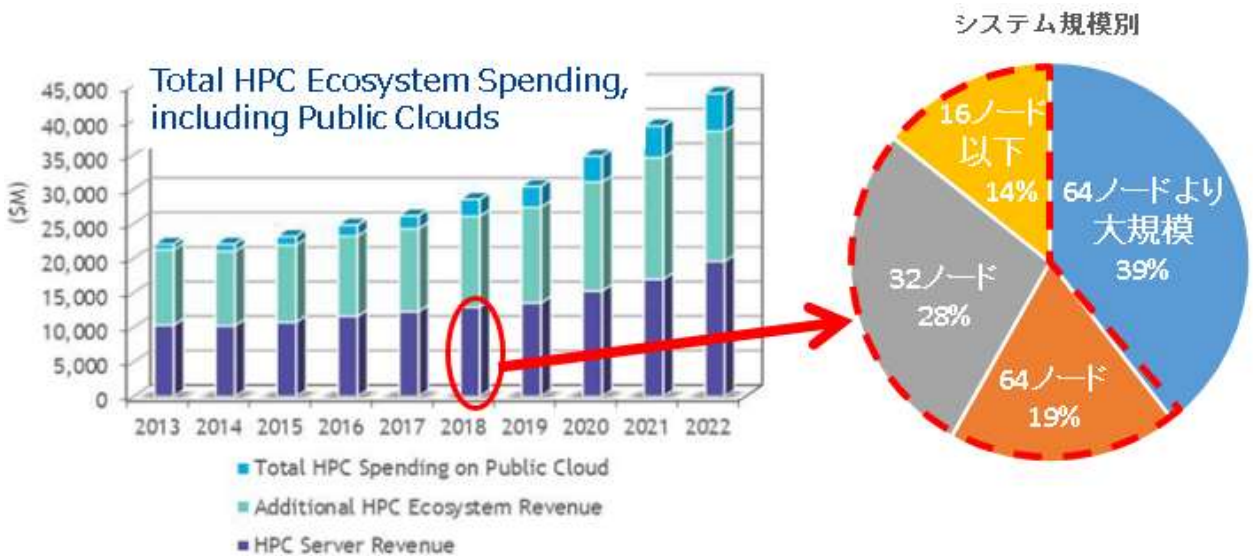


図 1.2.5.2-1 Big Data/AI で扱うデータ量・計算量ともに増大

世界的な市場規模は、HPC(High Performance Computing)の領域において図 1.2.5.2-2 に示す様に、システム規模別に見ると分散処理を必要とするユーザーの 6 割が 64 ノード以下の構成であり、1.2 兆円のパークが見込まれる。1 ラック規模のシステムを実用化・事業化のターゲットとすることが有望である。



出展：HYPERION RESERCH, 2018

図 1.2.5.2-2 分散処理を必要とするユーザーの 6 割が 64 ノード以下の構成

国内の特に AI 市場規模予測を図 1.2.5.2-3 に示す。2025 年度においては国内 AI ビジネス市場は、約

3,750 億円(プロダクト)が見込まれ、HPC やラックサーバ領域において波長ルータや光ネットワークカードを組み込み、伝送性能向上とコスト削減によりビジネスの拡大が期待される。

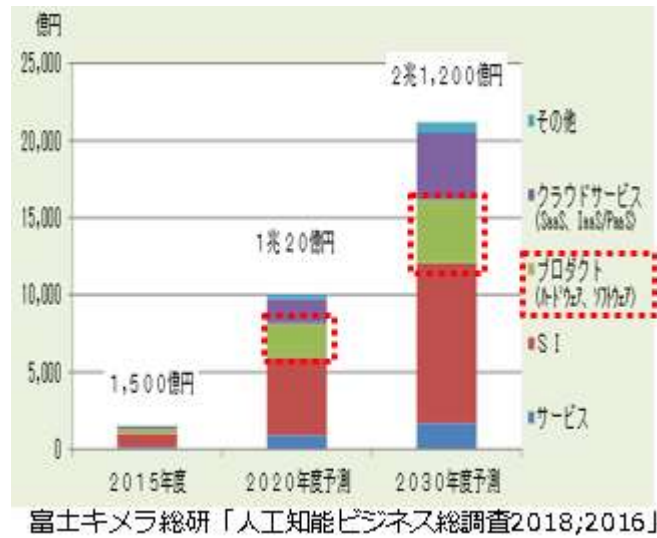


図 1.2.5.2-3 国内の市場規模予測

ラックスケール並列分散システムは消費電力の少ない光電子集積インターポーザ技術と波長多重技術を用いた接続技術を組み合わせた光電子融合サーバボードを試作し、試作機とシミュレーションを用いてサーバ電力量を 30%削減可能であることを実証した。

また、ラックスケール並列分散システムを FPGA(Field Programmable Gate Array)の論理回路として実装した FPGA+光ボードで実際のアプリケーションを動作させ、OPTWEB でノード間を接続することで、従来のサーバ (Xeon) に比べ実効性能が向上することを実証した。

昨今、注目を集めている人工知能(AI: Artificial Intelligence)や、分散処理向けのシステムとして OPTWEB の有効性が見込まれる。

今後の事業化に向けて、ボードを試作し具体的用途の検討を促進すると共に、市場動向や競合他社の動向を見据えタイムリーに実用化できるよう検討・開発を行う。

並行してラックスケール並列分散システムを量産化レベルに仕上げるための信頼性確認、歩留まり向上するための検討を進めると共に、ラックスケール並列分散システムをより使いやすく、汎用的な部品とするための検討を進める。具体的には、ラックスケール並列分散システムは光部品を光ファイバで接続するための光コネクタが多いため、組立が容易に出来ない課題もある。実用化のためには誰でも取り扱いやすい形態が必須と考え、一括接続可能なコネクタの様な交換が容易となるモジュール化の検討を進める。

1.2.5.3 情報通信システム化技術

日本を含む世界では既に 5G サービスの提供が始まっているが、現状の 5G はまだほとんどが 4G 設備上で提供されていて、フルスペックの 5G は限られた場所でスポット的に提供されているのみにとどまっている。今後、ポスト 5G とも呼ばれる本格的な 5G サービスの提供に向けては、スモールセルと呼ばれる小さなエリアごとに基地局を面的に設置する必要がある。そうすると基地局の設置数は 4G ネットワークの約 100 倍に上ることが想定されるので、基地局装置には設置場所を選ばない小型化が求められる。多数のスモールセルアンテナを結ぶフロントホールネットワークには PON の構成を用いてスモールセルアンテナを既存の光アクセスファイバ網に収容する方式が設備コストの観点から有望である。

「1.2.2.2(オ) 情報通信システム化技術」項の開発は、5G ネットワークを支える PON システムへの適用を目指すものであり、ONU の小型化により、設置場所を選ばない小型のスモールセル基地局装置が実現され、5G の本格的な普及を加速させることが期待される。5G の機能拡張における面的な基地局の敷設に併せて、PON 仮想化によるネットワーク資源割り当て機能を利用した PON 資源のダイナミックな制御や、サービス毎にネットワークスライスを構築することによる効率的なネットワーク運用も視野に入れている。

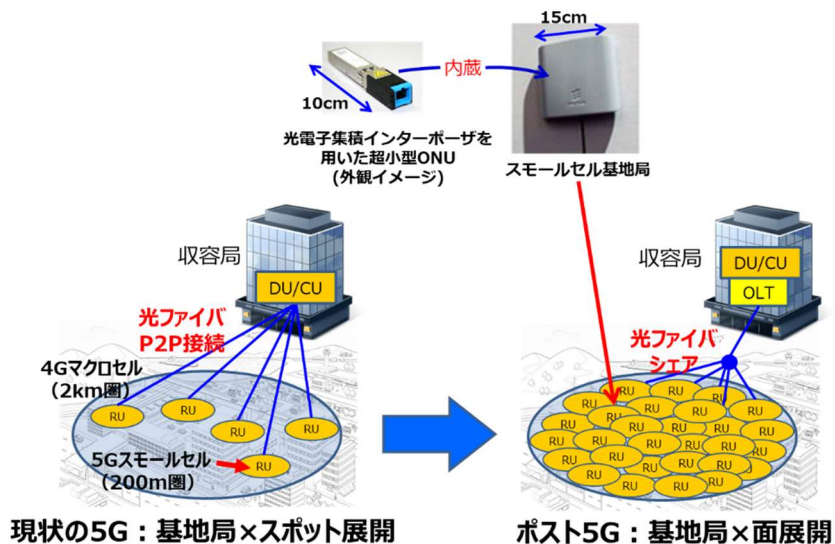


図 1.2.5.3-1 ONU 小型化によりポスト 5G の本格的普及を加速

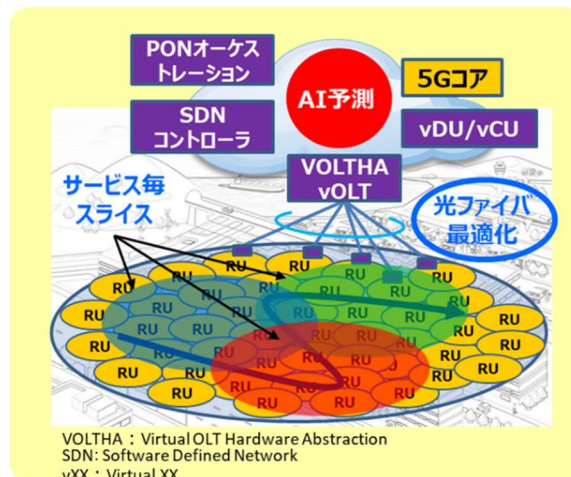


図 1.2.5.3-2 PON 仮想化によるネットワーク資源割り当て制御

現在国内の4Gマクロセル基地局は約70万局が設置されている。ポスト5Gにおけるスモールセル基地局の設置密度は4Gマクロセル基地局の約100倍と想定されるが、実際にはすべての地域でポスト5Gに向けたスモールセルの面的な敷設が早急に求められるわけではない。2030年までに現在の4Gサービスエリアの40%に5Gスモールセルが面的に敷設展開されると仮定すると、2,800万局が新たに設置されることになる。その前提で国内のPON装置の市場規模を予測すると、図1.2.5.3-3に示すように、2022年比で約1.8倍に拡大すると推計される。

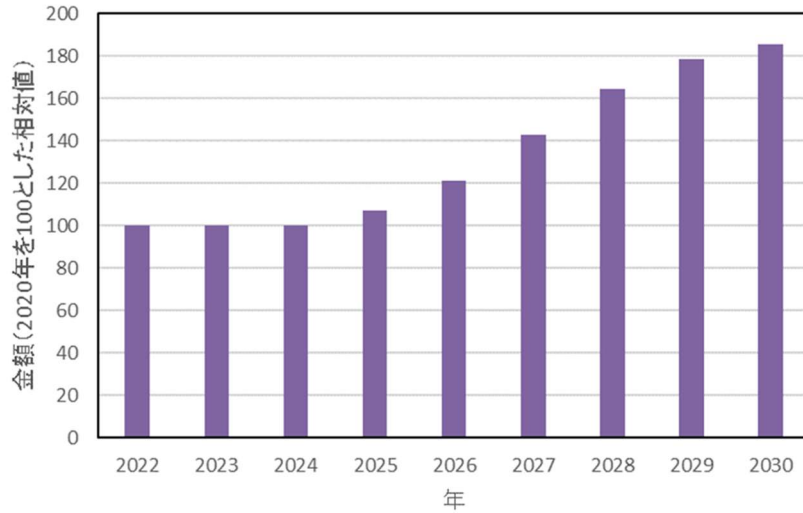


図 1.2.5.3-3 国内のPON装置市場規模予測

今後の事業化に向けては、モバイルキャリアへのヒアリングを実施し、5Gスモールセルの敷設計画を調査するとともに、ローカル5Gへの展開も考慮し、CATV事業者などへもヒアリングを行い、ネットワーク構成に対する展望や課題を探る。また、業界の標準化活動に参加することで、システムレベルで他社/他装置との接続検証、各通信キャリアでのフィールド試験に参加し、参入優位となるRFPにつなげる。従来より、標準化団体におけるPONシステムの標準化活動を先導してきたが、今後も海外も視野に入れてシステム全体としての技術の普及活動を行う。

結び

超低消費電力型光エレクトロニクス実装システム技術開発プロジェクトでは、電気回路と光回路の特徴を活かした要素技術の実装・集積化による光配線・光素子の新たな機能創出を図り、情報機器の小型化低消費電力化を実現し、システムレベルでの光配線技術の有効性を世界に先駆けて示すとともに、その事業化への道を拓いていくことを目的に遂行した。

その結果、本プロジェクトでは、光配線技術と電子回路技術を融合した光エレクトロニクス実装システム基盤技術を確立し、システムレベルでの光配線技術の有効性を実証するとともに、その事業化への道を拓くことができた。

特に注力して開発した技術の例としては、下記を挙げることができる。

- ・ シリコンフォトニクス超小型光 I/O コア
- ・ 変調器、受光器、光源、波長多重光回路などの基盤デバイス技術
- ・ シリコンフォトニクス集積化プロセス技術
- ・ 量子ドットレーザや新型変調器などの革新的デバイス技術

また、スーパーコンピュータ用高性能 CPU と高密度光エンジン搭載ボードを実装した光電子集積インターポーザを接続する光電子融合サーバボード実装技術を開発した。この技術を用いて試作した光電子融合サーバボードでの動作実証も含めて、10 Tbps 光電子融合サーバボードの実現が可能であることを示した。

一方、開発した計算ノード間を光配線で接続したラックスケール・サーバシステムでは、従来の計算ノード間を電気配線で接続したサーバシステムに比べて、48 倍の高速化と 98% の消費電力量削減を同時に実現した。第三期当初の目標値である 30% をはるかに凌ぐ、消費電力量削減を達成した。

さらには、5G スモールセル基地局に組み込み可能な TWDM-PON 用の超小型光トランシーバ開発を目的として、光送受信チップを回路基板に埋め込んだ光電子集積インターポーザ及びポリマーミラーを用いた光結合構造を備え、サイズ 10 cm×2 cm×2 cm のパッケージに収容できる光トランシーバモジュールを試作して動作を実証した。

製品化を目指したこれらの技術開発の推進により、光トランシーバの分野において、研究開発フェーズから事業フェーズへの橋渡しを達成することができた。

本プロジェクトの成果が、今後のデジタルトランスフォーメーションおよびグリーントランスフォーメーションの統合的発展に活用されることを期待する。

2. 研究発表・講演、文献、特許等の状況

(1) 研究発表・講演

発表者	所属	タイトル	雑誌名・学会名・イベント名等	発表年月日
田中 有	PETRA	IoT 社会の進展を支える次世代大容量シリコンフォトニクス技術	光産業技術マンスリーセミナー	2018 年 5 月
中村 隆 宏	PETRA	Chip-scale optical transceiver “Optical I/O core” for interconnections among boards and LSIs based on silicon photonics technology	North American Workshop on Silicon Photonics for High Performance Computing	2018 年 5 月
竹村 浩 一	PETRA	Optical co-packaging with silicon photonics	Optical Interconnects Conference 2018	2018 年 6 月
鄭 錫煥	PETRA	Silicon Photonics Technologies for High-Density Interconnects	Opto-Electronics and Communication Conference (OECC) 2018	2018 年 7 月
鄭 錫煥	PETRA	Silicon Photonics Device Technologies for On-Chip WDM Applications	Opto-Electronics and Communication Conference (OECC) 2018	2018 年 7 月
藤方 潤 一、他	PETRA、 東京大学	高性能 Si/SiGe 変調器と光集積回路への応用	電子情報通信学会 レーザ・量子エレクトロニクス研究会	2018 年 7 月
岡本 大 典、他	PETRA、 アイオー コア株式 会社	シリコンフォトニクスを用いた高速・高密度光インターコネクットの現状と将来展望	東北大学 第 600 回伝送工学研究会	2018 年 7 月
青木 剛	PETRA、 富士通 (株)、(株) 富士通研 究所	On-Package High-Density Silicon Photonics Optical Transceiver	44th European Conference on Optical Communication (ECOC2018)	2018 年 9 月

森戸 健	(株)富士通 研究所、 PETRA	Flip-chip-bonding Based Hybrid Integration for High Performance Silicon Photonics PICs	44th European Conference on Optical Communication (ECOC2018)	2018年9月
小野 英 輝、他	PETRA、 沖電気工 業(株)	TWDM-PON 光トランシーバ 集積チップの4チャンネル Rx 動作	2018年電子情報通信学会ソサイエ ティ大会	2018年9月
岡本 大 典、他	PETRA、 アイオー コア株式 会社	25-Gb/s × 4-ch Chip-Scale Optical Receiver Operating up to 85°C with Temperature- Compensation Function	2018 International Conference on Solid State Devices and Materials (SSDM2018)	2018年9月
藤方 潤 一	PETRA	High-Speed Ge/Si Electro- Absorption Optical Modulator for Low Power Optical Interconnection	2018 International Conference on Solid State Devices and Materials (SSDM2018)	2018年9月
藤方 潤 一、他	PETRA	TM0 モード励起した MOS 型 Si 光変調器のキャリア蓄積モ ードによる高効率動作の検討	第79回応用物理学会春季学術講演 会	2018年9月
中村 隆 宏、他	PETRA、 アイオー コア株式 会社	Advanced optical interconnection technologies based on silicon photonics for future computing systems	The International Conference on Photonics in Switching and Computing 2018 (PSC2018)	2018年9月
中村 隆 宏	PETRA	Hybrid Integration of LD chips on optical I/O cores	44th European Conference on Optical Communication (ECOC2018)	2018年9月

清水 隆 徳	PETRA	Flip-chip-bonding technology of hybrid integrated laser source on silicon substrate and its optical interconnect application	44th European Conference on Optical Communication(ECOC2018)	2018年9月
早川 明 憲	PETRA、 富士通 (株)、(株) 富士通研 究所	Silicon Photonics Technologies for High-Dense Integrated Optical Interconnects	PHOTONICS2018	2018年10月
青木 剛	PETRA	高密度オンパッケージ シリコンフォトニクス光 TRx の開発	フットニックデバイス応用技術研究会	2018年10月
岡山 秀 彰	沖電気工 業(株)、 PETRA	シリコン光導波路を用いた Bragg グレーティング	サイバネットシステム 光通信セミナー2018	2018年10月
堀川 剛、他	PETRA、 AIST	Validation Flow for SOI photonic Integrated Circuits using Multi-parameter Extraction Technique	Japan SOI Design Workshop	2018年10月
指宿 康 弘、他	PETRA、 アイオー コア株式 会社	光 I/O コア多心一括実装の検討	2018 実装学会ワークショップ	2018年10月
天野 建	PETRA、 AIST	ポリマー光導波路を用いた光電気ハイブリッドパッケージ技術	フットニックデバイス応用技術研究会	2018年10月
天野 建、他	PETRA、 AIST	High density optical card edge connector for polymer optical waveguide on printed circuit board	IEEE CPMT Symposium Japan 2018	2018年11月
天野 建	PETRA、 AIST	ポリマー光導波路を用いた高密度光回路基板の研究開発	第 68 回 OPT 公開研究会	2018年11月

中村 隆 宏	PETRA	シリコンフォトニクス集積回路を用いた光インターコネクション	NICT 調査検討委員会	2018年11月
田中 有	PETRA	IoT 社会の進展を支えるシリコンフォトニクス技術	Photonic Device Workshop 2018 (LQE12月研究会)	2018年12月
田中 信 介	PETRA、 富士通 (株)、(株) 富士通研 究所	CMOS ドライバ集積シリコン フォトニクス小型・低電力 PAM4 光送信機	レーザー学会学術講演会第 39 回年 次大会	2019年1月
蘇武 洋 平	PETRA、 富士通 (株)、(株) 富士通研 究所	光受信機における二次元グレー ティングカプラの偏波依存 性の低減	OPE 研究会	2019年1月
中村 隆 宏	PETRA	Introduction and Status of PETRA Project	Integrated Photonic Systems Roadmap I Winter Meeting in Japan 2019	2019年1月
鄭 錫煥	PETRA	Wide spectral range operable and fabrication tolerant Si-wire WDM (De)Multiplexers for optical interconnects	SPIE Photonics West 2019	2019年2月
田中 信 介	PETRA、 富士通 (株)、(株) 富士通研 究所	低電力 CMOS ドライバ集積 シリコン光変調器	2019年度電子情報通信学会総合大 会	2019年3月
小野 英 輝、他	PETRA	Butt-Coupled Waveguide Germanium Avalanche Photodiodes with Lateral SAM Structures	OFC 2019	2019年3月

岡山 秀彰、他	沖電気工業(株)、 PETRA	非対称方向性結合器型偏波変換 Bragg グレーティング	応用物理学会	2019年3月
佐々木 浩紀	沖電気工業(株)、 PETRA	Development of silicon photonics integrated circuits for next generation optical access networks	ISDCS 2019	2019年3月
堀川 剛、他	PETRA、 AIST	Validation Flow for SOI photonic Integrated Circuits using Multi-parameter Extraction Technique	IPKISS User Group Meeting	2019年3月
竹村 浩一、他	PETRA	チップスケール Si フォトニクス・トランシーバにおけるレーザー・ダイオードの封止工程	第33回エレクトロニクス実装学会春季講演大会	2019年3月
藤方 潤一、他	PETRA	横型 PIN 接合構造を用いた導波路型 Ge 受光器の高速動作特性の検討	第66回応用物理学会春季学術講演会	2019年3月
白杵 達哉	PETRA	多モード光導波路における光散乱の解析	第66回応用物理学会春季学術講演会	2019年3月
竹村 浩一、他	PETRA	Packaging Technologies for Chip-scale Silicon Photonic Transceivers	International Conference on Electronics Packaging (ICEP) 2019	2019年4月
中村 隆宏	PETRA	Optical interposer for 10-Tbps interconnection	The 2nd North American Workshop on Silicon Photonics for High Performance Computing	2019年5月
白杵 達哉、他	PETRA	Silicon Photonics and Optical Hub for Computing System	1st LBNL/R-CCS Workshop on New Frontiers of Computer Architecture and System Software towards Post-Moore Era	2019年5月

竹村 浩 一	PETRA	Si フォトニクスによる光電子 集積化とその動向	エレクトロニクス実装学会 システ ム設計研究会公開研究会	2019 年 6 月
中村 隆 宏	PETRA	On-board optics and optical interposer for high-bandwidth interconnection	1st Special Symposium on Silicon Photonic of the Future (SSPhF 2019)	2019 年 6 月
秋山 知 之	PETRA	A Demultiplexer with a Complete Fabrication-Error- Correction Capability Enabling High-Wavelength-Count(> 64 ch) Dense WDM on Low-Cost Si PIC Platforms	24th OptoElectronics and Communications Conference / International Conference on Photonics in Switching and Computing 2019	2019 年 7 月
岡山 秀 彰、他	沖電気工 業(株) 、 PETRA	Silicon waveguide polarization beam splitter using reversed delta beta coupler structure	OECC/PSC 2019	2019 年 7 月
岡山 秀 彰、他	沖電気工 業(株) 、 PETRA	Silicon waveguide polarization rotation Bragg grating using directional coupling	OECC/PSC 2019	2019 年 7 月
小野 英 輝、他	沖電気工 業(株) 、 PETRA	Receiver Characteristics of 4ch Transceiver Module with Si Photonics Integrated Chip Suitable for TWDM-PON ONU	OECC/PSC 2019	2019 年 7 月
白杵 達 哉	PETRA	Numerical Designing of Optical Waveguide by Curvilinear Coordinates	19th International Conference on Numerical Simulation of Optoelectronic Devices (NUSOD2019)	2019 年 7 月

鄭 錫煥	PETRA	Wideband 1×8 Silicon Optical Demultiplexer Based on Point-Symmetrical Cascade Mach-Zehnder Interferometers	Advanced Photonics Congress 2019	2019 年 7 月
中村 隆 宏	PETRA	シリコンフォトニクス光送受信器 -光インターコネクションへの適用-	光通信システム研究会 (OCS) Summer School 2019	2019 年 7 月
水谷 健 二、他	PETRA、 NEC	光ハブによる Accelerator 間直接フルメッシュ接続に向けた Distributed Switch によるメモリ間通信特性	Summer United Workshops on Parallel, Distributed and Cooperative Processing	2019 年 7 月
賣野 豊、他	PETRA	ノード間波長ルーティング・インターコネクト (光ハブ) を用いた並列計算システム	Summer United Workshops on Parallel, Distributed and Cooperative Processing	2019 年 7 月
藤方 潤 一、他	PETRA	High-Efficiency of Narrow-Width MOS Capacitor Type Si Optical Modulator with TM Mode Excitation	GFP2019	2019 年 8 月
乗木 暁、他	AIST、 PETRA	Mirror-based silicon-photonics vertical I/O with coupling efficiency enhancement for standard single-mode fiber	The 45th European Conference on Optical Communication	2019 年 8 月
鄭 錫 煥、他	PETRA、 沖電気工業(株)、 AIST	Silicon Photonics Based 16λ-WDM Demultiplexers for Operating in C-band and O-band Spectral Regimes	45th European Conference on Optical Communication	2019 年 9 月

秋山 知之、他	PETRA、富士通(株)、(株)富士通研究所	A WDM Demultiplexer Having an Automatic Fabrication-Error-Correction Capability to Enable Integration on Low-End Si PIC Platforms	45th European Conference on Optical Communication	2019年9月
藤方 潤一、他	PETRA	Si Optical Modulator with Strained SiGe Layer and Ge Photodetector with Lateral PIN Junction for 56 Gbaud Optical Transceiver	SSDM2019	2019年9月
藤方 潤一、他	PETRA	進行波電極構造を利用した1.3 μ m 波長帯高速 Si 光変調器の検討	第80回応用物理学会秋季学術講演会	2019年9月
藤方 潤一、他	PETRA	Ge/Si リブ導波路構造を用いた電界吸収型光変調器の検討 III	第80回応用物理学会秋季学術講演会	2019年9月
竹村 浩一、他	PETRA、AIST	Vertical Optical and Electrical Interconnection for Chip-Scale-Packaged Si Photonic Transceivers	The IEEE International 3D Systems Integration Conference (3DIC)	2019年10月
乗木 暁、他	AIST、PETRA	Optical TSV Using Si-Photonics Integrated Curved Micro-Mirror	The IEEE International 3D Systems Integration Conference (3DIC)	2019年10月
秋山 知之、他	PETRA、富士通(株)、(株)富士通研究所	ローエンド Si プロセスで高歩留り・温度無依存動作を実現する自動誤差補正機能を備えた超低クロストーク WDM 分波器	電子情報通信学会 OPE・LQE・OCS11月研究会	2019年11月
青木 剛	PETRA	ビッグデータ社会を支える光インターコネクタ実装技術	第41回 ナガセ マイクロエレクトロニクスセミナー	2019年11月
岡山 秀彰、他	沖電気工業(株)、PETRA	Reflective Silicon Arrayed Waveguide Grating using One-Dimensional Photonic Crystal reflector	MOC2019 (24th MICROOPTICS CONFERENCE)	2019年11月

牛田 淳、他	PETRA、 AIST	Consistent parameter extraction and wafer-level variation analysis for DCs, MZIs, and MRRs	EOS Topical Meeting on Integrated Optics 2019	2019 年 11 月
堀川 剛	PETRA、 AIST	ハイブリッド集積シリコンフ ォトニクス技術の最新動向	第 71 回 OPT 公開研究会	2019 年 11 月
乗木 暁、他	AIST、 PETRA	Beam Waist Controlled Vertical Optical Path Conversion Using Integrated Curved Micro Mirror for Silicon Photonics	MOC2019 (24th MICROOPTICS CONFERENCE)	2019 年 11 月
竹村 浩 一	PETRA	超小型 Si フォトニクス光ト ランシーバの耐熱性	電子情報通信学会 ポリマー光 部品 (POC)研究会	2019 年 11 月
中村 隆 宏	PETRA	シリコンフォトニクス技術の 光インターコネクションへの 展開	日本学術振興会 179 委員会	2019 年 12 月
田中 有	富士通 (株)、 PETRA	LSI 間の大容量伝送を実現す るシリコンフォトニクスデバ イス	結晶加工と評価技術第 145 委員会 第 167 回研究会	2020 年 1 月
堀川 剛	PETRA、 AIST	大口径 SOI を用いた光集積デ バイスの製造・評価技術	立行政法人日本学術振興会 結晶加 工と評価技術第 145 委員会	2020 年 1 月
賣野 豊、他	PETRA	Parallel computing systems with wavelength routing interconnect "Optical Hub"	International Conference on High Performance Computing in Asia-Pacific Region (HPC Asia 2020)	2020 年 1 月
田中 有	富士通 (株)、 PETRA	High-speed and large-capacity integrated silicon photonics technologies	SPIE Photonics West 2020	2020 年 2 月
牛田 淳、 他	PETRA、 AIST	Device & Process Validation Flow in PETRA Silicon Photonics Platform	Southampton 大学 セミナー	2020 年 2 月
村尾 覚、 他	PETRA、 AIST	Device Verification Technnique for Active Devices in PETRA Silicon Photonics Platform	Southampton 大学 セミナー	2020 年 2 月

須田 悟、他	PETRA、 AIST	Transmission of 43-Gb/s optical signals through a single-mode polymer waveguide for LAN-WDM	SPIE Photonics West 2020	2020年2月
乗木 暁、 他	PETRA、 AIST	MT-ferrule compatible passive optical coupling for single-mode polymer waveguide in co-packaged optics	SPIE Photonics West 2020	2020年2月
小野 英 輝、他	沖電気工 業(株)、 PETRA	高感度低偏波依存 1600nm 帯受光可能な導波路型 Ge-APD	2020年電子情報通信学会総合大会	2020年3月
天野 建、他	AIST、 PETRA	アクティブオプティカルパッケージ実現に向けたシリコンフォトニクス用マイクロミラー	2020年電子情報通信学会総合大会	2020年3月
竹村 浩 一、他	PETRA、 AIST	コパッケージングへ向けた Si フォトニクス内蔵基板	第34回エレクトロニクス実装学会春季講演大会	2020年3月
乗木 暁、 他	PETRA、 AIST	曲面マイクロミラーを用いたシリコンフォトニクスの広帯域垂直光 I/O	第34回エレクトロニクス実装学会春季講演大会	2020年3月
須田 悟、他	PETRA、 AIST	シングルモードポリマー光導波路を用いた 43Gb/s 光伝送および LAN-WDM による大容量化	第34回エレクトロニクス実装学会春季講演大会	2020年3月
乗木 暁、 他	PETRA、 AIST	Key technology developments of active optical package (AOP) substrate for co-packaging of silicon photonics	SPIE Photonics Europe 2020	2020年3月
中村 隆 宏	PETRA	シリコンフォトニクスによる集積化・高密度化の進展と将来展望	2020年電子情報通信学会総合大会	2020年3月
藤方 潤 一、他	PETRA	歪 SiGe 層を用いた C バンド帯高性能 Si 光変調器および Si 光トランシーバへの応用	2020年電子情報通信学会総合大会	2020年3月

岡本 大典、他	PETRA、 アイオー コア株式 会社	A 25-Gb/s × Four-Channel Chip-Scale Optical Receiver Operating at up to 85°C with a Temperature-Compensation Function	第 67 回応用物理学会春季学術講演 会	2020 年 3 月
藤方 潤 一、他	PETRA	Ge/Si リブ導波路構造を用い た電界吸収型光変調器の検討 (IV)	第 67 回応用物理学会春季学術講演 会	2020 年 3 月
藤方 潤 一、他	PETRA	High-Speed and 16λ-WDM Operation of Ge/Si Electro- Absorption Modulator for C- band Spectral Regime	OFC2020	2020 年 3 月
水谷 健 二	PETRA	光ハブ用 Distributed Switch に よる、複数ノード上 HBM 2 メモリ間の集合通信特性	Summer United Workshops on Parallel, Distributed and Cooperative Processing	2020 年 7 月
賣野 豊	PETRA	ノード間光ハブ接続を用いた 並列行列積計算の高速化	Summer United Workshops on Parallel, Distributed and Cooperative Processing	2020 年 7 月
小野 英 輝	沖電気工 業(株)、 PETRA	高感度低偏波依存 1600nm 帯 受光可能な導波路型 Ge-APD	電子情報通信学会 レーザ・量子エ レクトロニクス (LQE) 研究専門委 員会 8 月研究会	2020 年 8 月
竹村 浩 一	PETRA	部品内蔵技術のシリコンフォ トニクスへの展開	エレクトロニクス実装学会部品内蔵 技術委員会 2020 年度第 2 回公開研 究会	2020 年 8 月
小野 英 輝、他	沖電気工 業(株)、 PETRA	高感度低偏波依存 1600nm 帯 受光可能な導波路型 Ge-APD	電子情報通信学会 レーザ・量子エ レクトロニクス (LQE) 研究専門委 員会 8 月研究会	2020 年 8 月

藤方 潤 一	PETRA	High-Speed Ge/Si Electro-Absorption Optical Modulator with C-band Wavelengths Operation at high Temperature up to 85°C	SSDM2020	2020年9月
岡山 秀 彰	沖電気工業(株)、 PETRA	偏波変換器を使用した偏波無依存 Si 導波路 Bragg グレーティング共振器波長フィルタ	第 81 回応用物理学会秋季学術講演会	2020年9月
藤方 潤 一	PETRA	Ge/Si リブ導波路構造を用いた電界吸収型光変調器の高温動作に関する検討	第 81 回応用物理学会秋季学術講演会	2020年9月
岡山 秀 彰、他	沖電気工業(株)、 PETRA	偏波変換器を使用した偏波無依存 Si 導波路 Bragg グレーティング共振器波長フィルタ	第 81 回応用物理学会秋季学術講演会	2020年9月
藤方 潤 一、他	PETRA	High-Speed Ge/Si Electro-Absorption Optical Modulator with C-band Wavelengths Operation at high Temperature up to 85°C	SSDM2020	2020年9月
藤方 潤 一、他	PETRA	Ge/Si リブ導波路構造を用いた電界吸収型光変調器の高温動作に関する検討	第 81 回応用物理学会秋季学術講演会	2020年9月
岡山 秀 彰	沖電気工業(株)、 PETRA	Silicon Waveguide Contradirectional Coupler Polarization Rotation Bragg Grating	2020 IEEE Photonics Conference (IPC)	2020年10月
天野 建	AIST、 PETRA	光実装技術の取り組み	CEATEC2020	2020年10月
天野 建	AIST、 PETRA	シリコンフォトニクス向けポリマー光材料インターフェース	光通信技術展 (FOE)	2020年10月

小倉 一郎	PETRA	Si フォトニクスと光インター コネクションの最新動向	光通信技術展 (FOE)	2020 年 10 月
小倉 一郎	PETRA	Si フォトニクスと光インター コネクションの最新動向	光通信技術展 (FOE)	2020 年 10 月
中村 隆 宏	PETRA	シリコンフォトニクスによる 集積化・高密度化の進展と将 来展望	Photonics Device Workshop 2020	2020 年 11 月
藤方 潤 一	PETRA	Si photonics devices for electronics-photonics convergence system	大阪大学フォトニクスセンター 2020 年度フォトニクスセミナー	2020 年 11 月
中村 隆 宏	PETRA	シリコンフォトニクスによる 集積化・高密度化の進展と将 来展望	Photonics Device Workshop 2020	2020 年 11 月
藤方 潤 一	PETRA	Si photonics devices for electronics-photonics convergence system	大阪大学フォトニクスセンター 2020 年度フォトニクスセミナー	2020 年 11 月
堀川 剛	PETRA	A Compact Monitoring Circuit to Accurately Extract Fabrication Deviations in Silicon Waveguides	The 46th European Conference on Optical Communication (ECOC)	2020 年 12 月
乗木 暁 博	AIST、 PETRA	Demonstration of Optical Re- Distribution on Silicon Photonics Die Using Polymer Waveguide and Micro Mirrors	The 46th European Conference on Optical Communication (ECOC)	2020 年 12 月
小野 英 輝	沖電気工 業(株)、 PETRA	1600nm 帯受光に適した高利 得導波路型 Ge-SACM-APD	2021 年電子情報通信学会総合大会	2021 年 3 月
秋山 知 之	PETRA、 富士通(株)	シリコン光集積回路上多波 長・高スペクトル効率波長多 重を実現する Cascaded AMZ Triplet 型分波器	2021 年電子情報通信学会総合大会	2021 年 3 月

村尾 覚 志	PETRA	キャリア空乏型マッハ・ツェンダシリコン変調器における光位相シフタのコンパクトモデルの提案およびパラメータ抽出	2021年電子情報通信学会総合大会	2021年3月
岡山 秀 彰	PETRA、 沖電気工業(株)	モード次数変換と異幅導波路間回折を使用した Si 導波路 Bragg グレーティング素子	第 68 回応用物理学会春季学術講演会	2021年3月
藤方 潤 一	PETRA	横型 PIN 接合構造を用いた導波路型 Ge 受光器の高速動作特性の検討(II)	第 68 回応用物理学会春季学術講演会	2021年3月
村尾 覚 志	PETRA	Compact modeling and parametric extraction of phase shifters in carrier-depletion Mach-Zehnder silicon modulators	Photonics West 2021	2021年3月
天野 建	AIST、 PETRA	Development of optical coupling technologies for Si-photonics-die embedded package substrate	SPIE Photonics West Digital Forum 2021	2021年3月
乗木 暁 博	AIST、 PETRA	アクティブ光パッケージ基板に向けたマイクロミラー・ポリマー導波路集積技術	第 35 回エレクトロニクス実装学会春季講演大会	2021年3月
竹村 浩 一	PETRA	部品内蔵基板を用いたコパッケージ用小型光モジュールの検討	第 35 回エレクトロニクス実装学会春季講演大会	2021年3月
小野 英 輝、他	沖電気工業(株)、 PETRA	1600nm 帯受光に適した高利得導波路型 Ge-SACM-APD	2021年電子情報通信学会総合大会	2021年3月
岡山 秀 彰、他	沖電気工業(株)、 PETRA	モード次数変換と異幅導波路間回折を使用した Si 導波路 Bragg グレーティング素子	応用物理学会春季学術講演会	2021年3月

藤方 潤 一、他	PETRA	横型 PIN 接合構造を用いた導 波路型 Ge 受光器の高速動作 特性の検討(II)	第 68 回応用物理学会春季学術講演 会	2021 年 3 月
秋山 知 之、他	PETRA、 富士通(株)	シリコン光集積回路上多波 長・高スペクトル効率波長多 重を実現する Cascaded AMZ Triplet 型分波器	電子情報通信学会総合大会	2021 年 3 月
村尾 覚志 他	PETRA	Compact modeling and parametric extraction of phase shifters in carrier-depletion Mach-Zehnder silicon modulators	Photonics West 2021	2021 年 3 月
村尾 覚志 他	PETRA	キャリア空乏型マッハ・ツェ ンダシリコン変調器における 光位相シフタのコンパクトモ デルの提案およびパラメータ 抽出	電子情報通信学会 総合大会	2021 年 3 月
水谷 健 二、他	PETRA、 NII	Accelerating Parallel Sort on Tightly-Coupled FPGAs enabled by Onboard Si-Photonics Transceivers	OFC2021	2021 年 6 月
八重樫 浩樹	PETRA	5G ネットワーク向け超小型 光トランシーバー	エレクトロニクス実装学会 部品内 蔵技術委員会公開研究会	2021 年 6 月
秋山 知 之、他	PETRA、 富士通(株)	A Crosstalk-Free (-49 dB) Silicon WDM Demultiplexer Controlled Fully Automatically with an ASIC	OFC2021	2021 年 6 月
天野 建 他	PETRA、 AIST	Polymer Waveguide-coupled Co-packaged Silicon Photonics Transceiver Modules	OFC 2021	2021 年 6 月
賣野 豊、他	PETRA、 NII	フルメッシュ接続された FPGA クラスタによる分散 ソートの高速化	Summer United Workshops on Parallel, Distributed and Cooperative Processing (SWoPP 2021)	2021 年 7 月

中村 隆 宏	PETRA	シリコンフォトニクス基礎 と光トランシーバの集積化・ 高密度化応用 ～これからの 時代に必要大容量光インタ ーコネクションのキーテクノ ロジー～	サイエンス&テクノロジー セミナ ー	2021年7月
天野 建	PETRA, AIST	ポリマー光導波路を用いた光 電気ハイブリッドパッケージ 技術	日本工業出版「光アライアンス」	2021年7月
天野 建	PETRA, AIST	光電コパッケージにおける光 実装技術	光産業技術マンスリーセミナー	2021年7月
岡山 秀 彰、他	PETRA、 沖電気工 業(株)	多モードシステム用 MMI カ プラ構成とその応用	第応用物理学会秋季学術講演会	2021年9月
清水 隆 徳、他	PETRA	Error-Free Operation for Fully Connected Wavelength-Routing Interconnect among 8 FPGAs with 2.8-Tbit/s Total Bandwidth	47th European Conference on Optical Communication(ECOC2021)	2021年9月
秋山 知 之、他	PETRA、 富士通(株)	Temperature-Insensitive Crosstalk-Free WDM Demultiplexing Using Controller-Integrated Cascaded AMZ Triplet on Si Nano- Waveguide PIC Platform	47th European Conference on Optical Communication	2021年9月
村尾 覚志 他	PETRA	マッハ・ツェンダ型シリコン 光変調器のアーム間不均衡に よる OMA ペナルティの評価	2021年応用物理学会秋季学術講演 会	2021年9月
村尾 覚志 他	PETRA	シリコン光変調器の消光比お よび位相シフト吸収損失のウ ェーハレベル自動評価技術の 開発	2021年電子情報通信学会ソサイエ ティ大会	2021年9月
中村 隆 宏	PETRA	シリコンフォトニクスによる 光トランシーバの集積化・高 密度化の進展	FOE2021	2021年10月
中村 隆 宏	PETRA	SCR を活用したシリコンフォ トニクス集積回路技術の構築	第13回 TIA シンポジウム	2021年10月

秋山 知之	PETRA、 富士通(株)	シリコン光集積回路で多波 長・高スペクトル効率波長分 割多重を実現する Cascaded AMZ Triplet 型分波器	フォトニックデバイス応用技術研究 会	2021 年 10 月
村尾 覚志 他	PETRA	キャリア空乏マッハ・ツェン ダ型シリコン光変調器におけ る位相シフタのコンパクトモ デルの提案ならびにパラメー タ抽出	2021 年 10 月電子情報通信学会光エ レクトロニクス (OPE) 研究会	2021 年 10 月
村尾 覚志 他	PETRA	マッハ・ツェンダ型シリコン 光変調器のアーム間不均衡に よる OMA ペナルティの理論 および実験的検討	2021 年 10 月電子情報通信学会光エ レクトロニクス (OPE) 研究会	2021 年 10 月
中村 隆 宏	PETRA	SCR を活用したシリコンフォ トニクス集積回路技術の構築	2021 年第 3 回 TIA ナノエレクトロ ニクス MG 委員会	2021 年 11 月
岡山 秀 彰、他	PETRA、 沖電気工 業(株)	Polarization rotator Bragg grating assisted wavelength selective polarization alignment	arXiv	2021 年 12 月
賣野 豊、他	PETRA、 NII	A 243-GB/s Distributed Counting Sort by Reduced Memory Accesses on an Eight- FPGA Cluster	27th Asia and South Pacific Design Automation Conference (ASP-DAC 2022)	2022 年 1 月
田中 有	PETRA、 富士通(株)	High-speed Silicon photonics link in high performance computing(tentative)	Resource Disaggregation In High Performance Computing (RESDIS-Asia 2022), Workshop at HPC Asia 2022	2022 年 1 月
青木 剛、 乗木暁博 他	PETRA、 AIST	High-Density Passive Assembly of Fiber Optic Array to Single- Mode Polymer Waveguides Using Embedded V-grooves for Co-packaged Optics	SPIE Photonics West 2022	2022 年 1 月

須田 悟史 他	PETRA, AIST	112-Gb/s PAM4 transmission using polymer-waveguide- coupled silicon-photonics for next-generation co-packaged optics	SPIE Photonics West 2022	2022 年 1 月
岡本 大 典、他	PETRA、 アイオー コア株式 会社	超小型 Si-Photonics トランシ ーバ“光 I/O コア”の進展	電子情報通信学会 2022 年総合大会	2022 年 3 月
村尾 覚志 他	PETRA	マッハ・ツェンダ型シリコン 光変調器のデュアル駆動によ るチャープ可変量の理論的検 討	2022 年応用物理学会春季学術講演 会	2022 年 3 月
村尾 覚志 他	PETRA	マッハ・ツェンダ型シリコン 光変調器のアーム間不均衡に よるチャープへの影響検討	2022 年電子情報通信学会総合大会	2022 年 3 月

(2) 論文

発表者	所属	タイトル	雑誌名・学会名・イベント名等	ページ	発表年月日
Y. Hinakura, et al.	横浜国立大学	Electro-optic phase matching in Si photonic crystal slow light modulator using meander-line electrodes	Optics Express	11538 - 11545	2018年4月
J. Kwoen, et al.	The University of Tokyo	All MBE grown InAs/GaAs quantum dot lasers on on-axis Si (001)	Opt. Express	11568 - 11576	2018年4月
J. Tatebayashi, et al.	The University of Tokyo	Nanowire-quantum-dot lasers on flexible membranes	Appl. Phys.	065002-1 - 065002-4	2018年5月
H. Yoshikawa, et al.	Sharp Corporation, The University of Tokyo	Observation of infrared absorption of InAs quantum dot structures in AlGaAs matrix toward high-efficiency solar cells	Jpn. J. Appl.	062001-1 - 062001-5	2018年5月
R. Katsumi, Y. Ota, et al.	The University of Tokyo	Transfer-printed single-photon sources coupled to wire waveguides	Optica	691 - 694	2018年5月
T. H. Xiao, et al.	東京大学	Mid-infrared high-Q germanium microring resonator	Optics Letters	2885 - 2888	2018年6月
A. Osada, et al.	The University of Tokyo	Transfer-printed quantum-dot nanolasers on a silicon photonic circuit	Appl. Phys. Express	072002-1 - 072002-4	2018年6月

K. Kuruma, et al.	The University of Tokyo	Time-resolved vacuum Rabi oscillations in a quantum-dot-nanocavity system	Phys. Rev. B	235448-1 - 235448-7	2018 年 6 月
J. Fujikata, et al.	東京大学、PETRA	High-performance Si optical modulator and Ge photodetector and their application to silicon photonics integrated circuit	ECS Trans.	17 – 25	2018 年 7 月
C. P. Ho, et al.	東京大学	Tunable grating coupler by thermal actuation and thermo-optic effect	IEEE Photonics Technology Letters	1503 – 1506	2018 年 7 月
Y. Ota, et al.	The University of Tokyo	Advanced Photonic Crystal Nanocavity Quantum Dot Lasers	IEICE Trans. Electron	553 - 560	2018 年 7 月
Q. H. Vo, et al.	The University of Tokyo	Two dimensional photonic crystal nanocavities with InAs/GaAs quantum dot active regions embedded by MBE regrowth	Jpn. J. Appl. Phys.	08PD03-1 - 08PD03-4	2018 年 7 月
N. Nishiyama, et al.	東京工業大学	Si-photonics-based Layer-to-layer Coupler Toward 3D Optical Interconnection	IEICE Transactions on Electronic	501 - 508	2018 年 7 月
J. Suzuki, et al.	東京工業大学	Highly efficient double-taper-type coupler between III-V/Silicon-on-insulator hybrid device and silicon waveguide	Japanese Journal of Applied Physics	501 - 508	2018 年 8 月
T.-H. Xiao, et al.	東京大学	High-Q germanium optical nanocavity	Photonics Res.	925 – 928	2018 年 9 月

J. Kang, et al.	東京大学	Ge photodetector monolithically integrated with amorphous Si waveguide on wafer-bonded Ge-on-insulator substrate	Optics Express	30546 – 30555	2018 年 11 月
Y. Ota, et al.	The University of Tokyo	Topological photonic crystal nanocavity laser	Commun. Phys.	1 - 8	2018 年 11 月
H. Yoshikawa, et al.	Sharp Corporation, The University of Tokyo	InAs/GaAs quantum dot infrared photodetectors on on-axis Si (100) substrates	Electron. Lett.	1395 - 1397	2018 年 11 月
Q. Li, et al.	東京大学	Ultra-power-efficient 2×2 Si Mach-Zehnder interferometer optical switch based on III-V/Si hybrid MOS phase shifter	Optics Express	35003 – 35012	2018 年 12 月
Takashi Asano, et al.	Kyoto University	Photonic Crystal Devices in Silicon Photonics	Proceedings of the IEEE		2018 年
Daiki Yamashita, et al.	Kyoto University, Osaka Prefecture University	Lasing dynamics of optically-pumped ultralow-threshold Raman silicon nanocavity lasers	Physical Review Applied		2018 年
Daiki Yamashita, et al.	Kyoto University, Osaka Prefecture University	Strongly asymmetric wavelength dependence of optical gain in nanocavity-based Raman silicon lasers	Optica		2018 年
Takashi Asano, et al.	Kyoto University	Optimization of photonic crystal nanocavities based on deep learning	Optics Express		2018 年
Y. Akashi, et al.	Waseda Univ. NICT	Demonstration of All-Optical Logic Gate Device using MQW-SOA and 10Gbps XNOR Operation	Physica Status Solidi A,	1800529	2018 年

岡山 秀彰、他	沖電気工業(株)、PETRA	Wavelength filter using twin one-dimensional photonic crystal cavity silicon waveguides	Electronics Letters	107-109	2019年1月
岡本 大典、他	PETRA、アイオーコア株式会社	25 Gb/s × Four-Channel Chip-Scale Optical Receiver Operating up to 85°C with a Temperature-Compensation Function	Japanese Journal of Applied Physics (JJAP)	SBEE04-1~6	2019年2月
T. Fujigaki, et al.	東京大学	High-efficiency Ge thermo-optic phase shifter on Ge-on-insulator platform	Optics Express	6451 - 6458	2019年2月
J. Kwoen, et al.	The University of Tokyo	High-temperature continuous-wave operation of directly grown InAs/GaAs quantum dot lasers on on-axis Si (001)	Opt. Express	2681 - 2688	2019年2月
M. Takenaka, et al.	東京大学、PETRA	III-V/Si hybrid MOS optical phase shifter for Si photonic integrated circuits	IEEE/OSA Journal of Lightwave Technology	1474 - 1483	2019年3月
J. Kwoen, et al.	The University of Tokyo	Elimination of anti-phase boundaries in a GaAs layer directly-grown on an on-axis Si(001) substrate by optimizing an AlGaAs nucleation layer	Jpn. J. Appl.	SBBE07-1 - SBBE07-5	2019年3月
R. Katsumi, et al.	The University of Tokyo	Quantum-dot single-photon source on a CMOS silicon photonic chip integrated using transfer printing	APL Photonics	036105-1 - 036105-6	2019年3月
田中 有	PETRA	Recent Progress in Development of Large-Capacity Integrated Silicon Photonics Transceivers	電子情報通信学会英文論文誌 C	357-363	2019年4月

太繩 陽 介、他	PETRA	Polarization insensitive wavelength de-multiplexer using arrayed waveguide grating and polarization rotator / splitter	Electronics Letters	475-476	2019 年 4 月
中村 隆宏	PETRA	Fingertip-size optical module, "Optical I/O Core", based on silicon photomixing integration and optical/electrical assembly, and its application to FPGA	IEICE Transactions C	333-339	2019 年 4 月
T. Sanjoh, et al.	東京大学	Thermal properties of III-V on a SiC platform for photonic integrated circuits	Jpn. J. Appl. Phys	SBBE06	2019 年 4 月
Y. Taguchi, et al.	東京大学	Numerical analysis of Ge/Si hybrid MOS optical modulator operating at mid-infrared wavelength	Jpn. J. Appl. Phys	SBBE03	2019 年 4 月
A. Tamada, et al.	The University of Tokyo	Single Plasmon Generation in an InAs/GaAs Quantum Dot in a Transfer-Printed Plasmonic Microring Resonator	ACS Photonics	1106 - 1110	2019 年 4 月
岡山 秀 彰、他	沖電気工業 (株)、 PETRA	Asymmetric directional coupler type contra-directional polarization rotator Bragg grating	JJAP Brief Notes	68002	2019 年 5 月
Y. Hinakura, et al.	横浜国立大 学	64 Gbps Si photonic crystal slow light modulator by electro-optic phase matching	Optics Express	14321 - 14327	2019 年 5 月
Y. Ota, et al.	The University of Tokyo, National Institute for Materials Science	Photonic crystal nanocavity based on a topological corner state	Optica	786 - 789	2019 年 5 月

C.-P. Ho, et al.	東京大学	Mid-infrared tunable Vernier filter on a germanium-on-insulator photonic platform	Optics Letters	2779 – 2782	2019 年 6 月
乗木 暁、 他	AIST、 PETRA	45-degree curved micro-mirror for vertical optical I/O of silicon photonics chip	Optics Express	19749-19757	2019 年 7 月
W. Lin, et al.	The University of Tokyo	Spin-dependent directional emission from a quantum dot ensemble embedded in an asymmetric waveguide	Opt. Lett.	3749 - 3752	2019 年 7 月
W. Zhan, et al.	The University of Tokyo	Emission at 1.6 μm from InAs Quantum Dots in Metamorphic InGaAs Matrix	Phys. Stat. Sol. (b)	1900392-1 - 1900392-6	2019 年 9 月
岡山 秀彰、 他	沖電気工業(株)、 PETRA	Reflective arrayed waveguide grating with parallel arms using one-dimensional photonic crystal reflector	Electronics Letters		2019 年 10 月
鄭 錫煥	PETRA	Broadband 1 \times 8 Channel Silicon-Nanowire-Waveguide WDM Filter Based on Point-Symmetric Mach-Zehnder Interferometric Optical Couplers in O-band Spectral Regime	Optics Express	3564-3575	2019 年 12 月
Y. Ota, et al.	The University of Tokyo, NTT Corporation, RIKEN, CNRS, University of California Berkeley	Active topological photonics	Nanophotonics	547 - 567	2019 年 12 月
Ryotaro Konoike, et al.	Kyoto University	On-chip dynamic time reversal of light in a coupled-cavity system	APL Photonics		2019 年

Takashi Asano, et al.	Kyoto University	Iterative optimization of photonic crystal nanocavity designs by using deep neural networks	Nanophotonics		2019 年
Masahiro Nakadai, et al.	Kyoto University, Osaka Prefecture University	Statistical evaluation of Q factors of fabricated photonic crystal nanocavities designed by using a deep neural network	Applied Physics Express		2019 年
鄭 錫煥、他	PETRA、沖電気工業(株)、AIST	Polarization Diversified 16λ Demultiplexer Based on Silicon Wire Delayed Interferometers and Arrayed Waveguide Gratings	Journal of Lightwave Technology	2680-2687	2020 年 1 月
R. Katsumi, et al.	The University of Tokyo	In situ wavelength tuning of quantum-dot single-photon sources integrated on a CMOS-processed silicon waveguide	Appl. Phys. Lett.	041103-1 - 041103-15	2020 年 1 月
Y. Miyatake, et al.	東京大学	Computational design of efficient grating couplers using artificial intelligence	Jpn. J. Appl. Phys.	SGGE09	2020 年 3 月
Q. Li, et al.	東京大学	Optical phase modulators based on reverse-biased III-V/Si hybrid metal-oxide-semiconductor capacitors	IEEE Photonics Technology Letters	345 – 348	2020 年 3 月
乗木 暁、他	PETRA、AIST	Beam Waist Controlled Vertical Optical Path Conversion Using Integrated Curved Micro Mirror for Silicon Photonics	Japanese journal of applied physics	SOOB02	2020 年 4 月
M. Takenaka, et al.	東京大学	III-V/Si hybrid optical modulators based on MOS capacitor	Proc. SPIE	1136402	2020 年 4 月
C.-P. Ho, et al.	東京大学	Tunable germanium-on-insulator band-stop optical filter using thermo-optic effect	IEEE Photonics Journal	1 – 7	2020 年 4 月

K. Kuruma, et al.	The University of Tokyo	Surface-passivated high-Q GaAs photonic crystal nanocavity with quantum dots	APL Photonics	046106-1 - 046106-6	2020年4月
庄司雄哉	東京工業大学	不揮発機能を有する磁性光スイッチ	光アライアンス	20 - 24	2020年4月
Y. Wang, et al.	東京工業大学	High-quality InP/SOI heterogeneous material integration by room temperature surface-activated bonding for hybrid photonic devices	Japanese Journal of Applied Physics	52004	2020年4月
鄭 錫煥、他	PETRA、AIST	Phase behaviors for silicon-wire multistage delayed interferometric WDM filters across whole 300-mm silicon-on-insulator wafer	Journal of Optical Society of America B	1847-1856	2020年5月
乗木 暁、他	PETRA、AIST	Mirror-based silicon-photonics vertical I/O with coupling efficiency enhancement for standard single-mode fiber	Journal of Lightwave Technology	3147-3155	2020年5月
Z. Zhao, et al.	東京大学	Efficient mid-infrared germanium variable optical attenuator fabricated by spin-on-glass doping	IEEE/OSA Journal of Lightwave Technology	4808 - 4816	2020年5月
J, Kwoen, et al.	The University of Tokyo	Classification of Reflection High-Energy Electron Diffraction Pattern Using Machine Learning	Crystal Growth and Design	5289 - 5293	2020年5月
Y. Hinakura, et al.	横浜国立大学	Development of 64 Gbps Si photonic crystal modulator	IEICE Transaction on Electronics	635 - 644	2020年7月
K. Kuruma, et al.	The University of Tokyo	Strong Coupling Between a Single Quantum Dot and an L4/3 Photonic Crystal Nanocavity	Appl. Phys. Express	82009-1 - 82009-5	2020年7月

天野 建	AIST、 PETRA	アクティブオプティカルパ ッケージ実現に向けたシリ コンフォトニクス用マイク ロミラー	応用物理学会フ ォトニクスニュ ース	12-16	2020年8月
Y. Hinakura, et al.	横浜国立大 学	Silicon photonic crystal modulators for high-speed transmission and wavelength division multiplexing	IEEE Journal of Selected Topics in Quantum Electronics	4900108	2020年9月
R. H. Neranjith, et al.	東京工業大 学	All-optical serial-to-parallel converter based on nonlinear effects in silicon microring resonators	IEICE Electronics Express	20200227	2020年9月
藤方 潤一	PETRA	High-speed Ge/Si electro- absorption optical modulator in C-band operation- wavelengths	Optics Express	33123-33134	2020年10月
藤方 潤 一、他	PETRA	High-speed Ge/Si electro- absorption optical modulator in C-band operation- wavelengths	Optics Express	33123 - 33134	2020年10月
太田 泰友 他	The University of Tokyo	転写プリント法による光素 子のシリコン上ハイブリッ ド光集積	レーザー研究	545 - 549	2020年10月
T. Murai, et al.	東京工業大 学	Nonvolatile magneto-optical switches integrated with magnet stripe array	Optics Express	31675 - 31685	2020年10月
庄司雄哉 他	東京工業大 学	シリコン導波路上への磁性 材料貼り合わせによる集積 型光アイソレーター	レーザー研究	540 - 544	2020年10月
T. Mitarai, et al.	東京工業大 学	Design and measurement of broadband loop mirror with curved directional coupler based on Si waveguides	Japanese Journal of Applied Physics	112002	2020年10月

岡山 秀彰	沖電気工業 (株)、 PETRA	Polarization insensitive silicon waveguide wavelength filter using polarization rotator and mode conversion Bragg grating with resonator cavity	Japanese Journal of Applied Physics	128002	2020年11月
岡山 秀彰、他	沖電気工業 (株)、 PETRA	Polarization insensitive silicon waveguide wavelength filter using polarization rotator and mode conversion Bragg grating with resonator cavity	Japanese Journal of Applied Physics	128002	2020年11月
S. Ohno, et al.	東京大学、 PETRA	Taperless Si hybrid optical phase shifter based on a metal-oxide-semiconductor capacitor using an ultrathin InP membrane	Optics Express	35663 – 35673	2020年11月
S. A. M. E. Moataz, et al.	東京工業大学	Fabrication of Si photonic waveguides by electron beam lithography using improved proximity effect correction	Japanese Journal of Applied Physics	126502	2020年11月
T. Murai, et al.	東京工業大学	Magneto-optical Microring Switch Based on Amorphous Silicon-on-Garnet Platform for Photonic Integrated Circuits	IEICE Trans. Electron.	645–652	2020年11月
S. Isawa, et al.	Waseda Univ. NICT	Regional band-gap tailoring of 1550nm-band InAs quantum dot Intermixing by controlling ion implantation depth	Physica Status Solidi A	1900521	2020年
Y.Hiraishi, et al.	Waseda Univ. Univ. of Tokyo	InAs/GaAs Quantum Dot Intermixing by Dry Etching and Ion Implantation”,	Physica Status Solidi A	1900851	2020年
J, Kwoen, et al.	The University of Tokyo	Classification of in situ reflection high energy electron diffraction images by principal component analysis	Jpn. J. Appl. Phys.	SBBK03-1 - SBBK03-4	2021年1月

藤方 潤一	PETRA	High-Efficiency of Narrow-Width MOS Capacitor Type Si Optical Modulator with TM Mode Excitation	Optics Express	10104-10116	2021 年 3 月
水谷 健二	PETRA	OPTWEB: A Lightweight Fully Connected Inter-FPGA Network for Efficient Collectives	Special Issue on Communications for Many-Core Processors and Accelerators (IEEE Computer Society)	1 - 14	2021 年 3 月
秋山 知之	PETRA、富士通(株)	Cascaded AMZ Triplets: A Novel Class of Demultiplexers Enabling Dense WDM on Si PICs with Ultralow Crosstalk and High Spectrum Efficiency	Optics Express	7966-7985	2021 年 3 月
藤方 潤一、他	PETRA	High-Efficiency of Narrow-Width MOS Capacitor Type Si Optical Modulator with TM Mode Excitation	Optics Express	10104-10116	2021 年 3 月
秋山 知之、他	PETRA、富士通(株)	Cascaded AMZ Triplets: A Novel Class of Demultiplexers Enabling Dense WDM on Si PICs with Ultralow Crosstalk and High Spectrum Efficiency	Optics Express	7966 - 7985	2021 年 3 月
Q. Li, et al.	東京大学	Si racetrack optical modulator based on the III-V/Si hybrid MOS capacitor	Optics Express	6824 – 6833	2021 年 3 月
R. Shiratori, et al.	横浜国立大学	Particle swarm optimization of silicon photonic crystal waveguide transitions	Optics Letters	1904 - 1907	2021 年 4 月

J. Kwoen, et al.	The University of Tokyo	E-band InAs Quantum Dot Laser on InGaAs metamorphic buffer layer with filter layer	Electron. Lett.	567 - 568	2021 年 4 月
高橋 博之、他	沖電気工業(株)	シリコンフォトニクス技術の開発と光バイオセンサーへの技術展開	OKI テクニカルレビュー	54 - 57	2021 年 5 月
D. Minemura, et al.	東京工業大学	Polarization coupler for polarization-rotating Mach-Zehnder interferometer	IEICE Electronics Express	20210176	2021 年 5 月
S. Ohno, et al.	東京大学	Si microring resonator optical switch based on optical phase shifter with ultrathin-InP/Si hybrid metal-oxide-semiconductor capacitor	Optics Express	18502 – 18025	2021 年 6 月
T.Niu, et al.	The University of Tokyo	GaAs-based microelectromechanical terahertz bolometers fabricated on highresistivity Si substrates using wafer bonding technique	Appl. Phys. Lett.	041104-1 - 041104-5	2021 年 7 月
S. Liu, et al.	東京工業大学	Mode-evolution-based TE mode magneto-optical isolator using asymmetric adiabatic tapered waveguides	Optics Express	22838 - 22846	2021 年 7 月
中村 隆宏	PETRA	シリコンフォトニクスによる光トランシーバの集積化・高密度化の進展と将来展望	電子情報通信学会：和文論文誌C	218 - 224	2021 年 8 月
J. Kwoen, et al.	The University of Tokyo	InAs/InGaAs Quantum Dot Lasers on Multi-Functional Metamorphic Buffer Layers	Opt. Express	29378 - 29386	2021 年 8 月
M. A. Serrano-Núñez, et al.	東京工業大学	Design of ultra-compact TE mode ring optical isolator using a cobalt ferrite film for silicon photonic integrated circuits	Japanese Journal of Applied Physics	092003-1-7	2021 年 8 月

R. H. Neranjith, et al.	東京工業大学	4-Bit All-Optical Serial-to-Parallel Converter With Sub-dB/cm Delay Lines Based on Rib Waveguides	Journal of Lightwave Technology	6524 - 6530	2021 年 8 月
K. Hirotsu, et al.	横浜国立大学	Si photonic crystal slow-light waveguide optimized by informatics technology	Optics Letters	4422 - 4425	2021 年 9 月
W. Zhan, et al.	The University of Tokyo	E-band InAs/GaAs Tri-layer Quantum Dot Lasers	Phys. Stat. Sol. (a)	2100419-1 2100419-6	2021 年 9 月
R. Katsumi, et al.	Toyohashi University of Technology, The University of Tokyo	Unidirectional output from a quantum-dot single-photon source hybrid integrated on silicon	Opt. Express	23 - 25	2021 年 10 月
徳島 正敏、他	PETRA	Nonlinear loss characterization of continuous wave guiding in silicon wire waveguides	Applied Physics Express (APEX)	12208-1~4	2021 年 12 月
徳島 正敏、他	PETRA	A demonstration of in-depth analysis of Si-photonics circuits using OFDR: waveguides with grating couplers	Optics Letters	162 - 165	2021 年 12 月
Z. Zhao, et al.	東京大学	Low-loss Ge waveguide at the 2- μ m band on an n-type Ge-on-insulator wafer	Opt. Mater. Express	4097 - 4106	2021 年 12 月
太田 泰友 他	Keio University, The University of Tokyo	転写プリント法を用いた量子/古典光源のハイブリッド光集積	電子情報通信学会論文誌 C	326 - 334	2021 年 12 月

Takeshi Shibata, et al.	Kyoto University	Fabrication and characterization of an L3 nanocavity designed by an iterative machine-learning method	APL Photonics	036113-1-10	2021 年
Taro Kawakatsu, et al.	Kyoto University, Osaka Prefecture University	Sub-100-nW-threshold Raman silicon laser designed by a machine-learning method that optimizes the product of the cavity Q-factors	Optics Express	17053 - 17068	2021 年
Masahiro Nakadai, et al.	Kyoto University	Electrically controlled on-demand photon transfer between high-Q photonic crystal nanocavities on a silicon chip	Nature Photonics	113 - 118	2021 年
牛田 淳 他	PETRA	Systematic identification of crosstalk and bandwidth upper limit in highly cascaded Mach-Zehnder lattice optical filters	Japanese Journal of Applied Physics	22001	2022 年 1 月
M. A. Serrano-Núñez, et al.	東京工業大学	Small magnetless integrated optical isolator using a magnetized cobalt ferrite film	IEICE Trans. Electron.	2021500	2022 年 1 月
清水 隆 徳、他	PETRA、NII	Accelerating Parallel Data Processing using Optically Tightly-Coupled FPGAs	Journal of Optical Communications and Networking (JOCN) 2021	A166 - A179	2022 年 2 月
岡本 大 典、他	PETRA、徳島大学	112-Gb/s PAM-4 Silicon-Photonics Receiver Integrated with SiGe-BiCMOS Linear Transimpedance Amplifier	IEEE Photonics Technology Letters	189 - 192	2022 年 2 月
Y. Makihara, et al.	東京工業大学	Design and characteristics of reflectivity tunable mirror with MZI and loop waveguide on SOI	Japanese Journal of Applied Physics		2022 年 2 月

村尾 覚志 他	PETRA	Compact behavioral model and parametric extraction for optical phase shifters in carrier-depletion Mach- Zehnder silicon modulators	Optics Communications	127645	2022 年 3 月
天野 建 他	PETRA, AIST	ポリマー光導波路を用いた 光電コパッケージ	エレクトロニク ス実装学会誌	162 - 165	2022 年 3 月

(3) 特許等 (知財)

出願者	出願番号	国内・国外・PCT	出願日	状態	名称
日本電気株式会社, 技術研究組合光電子融合基盤技術研究所	2020-109694	J P : 日本国	2020.6.25	出願継続中	計算機、並列計算機システム、方法及びプログラム
沖電気工業株式会社, 技術研究組合光電子融合基盤技術研究所	2020-083650	J P : 日本国	2020.5.12	出願継続中	光波長フィルタ及び波長分離光回路
沖電気工業, 技術研究組合光電子融合基盤技術研究所	2020-083651	J P : 日本国	2020.5.12	出願継続中	光波長フィルタ
富士通株式会社, 技術研究組合光電子融合基盤技術研究所	2019-093396	J P : 日本国	2019.5.17	出願継続中	光半導体素子
技術研究組合光電子融合基盤技術研究所	2020-512891	J P : 日本国	2020.3.3	出願継続中	並列計算方法およびシステム
技術研究組合光電子融合基盤技術研究所, 日本電気株式会社	16/788756 (US)	US : アメリカ合衆国	2020.2.12	出願継続中	OPTICAL ELEMENT

技術研究組合 光電子融合基盤技術研究所	J P 2 0 1 9 / 0 2 8 2 5 2 (W O)	WO : 世界知的所有 権機関 (W I P O) (国際事務局)	2019.7.18	出願継続中	並列計算方法およびシステム
技術研究組合 光電子融合基盤技術研究所, 沖電気工業株式会社	特願 2 0 1 8 - 1 5 2 9 6 6	J P : 日本国	2018.8.15	登録済み	光ハイブリッド回路
沖電気工業株式会社, 技術研究組合 光電子融合基盤技術研究所	特願 2 0 1 8 - 1 5 2 9 6 7	J P : 日本国	2018.8.15	登録済み	波長フィルタ
沖電気工業株式会社, 技術研究組合 光電子融合基盤技術研究所	特願 2 0 1 8 - 1 7 1 3 6 2	J P : 日本国	2018.9.13	登録済み	光導波路素子
富士通株式会社, 日本電気株式会社, 技術研究組合 光電子融合基盤技術研究所	特願 2 0 1 8 - 1 7 2 3 2 0	J P : 日本国	2018.9.14	出願継続中	並列計算機システム、並列計算機システムの制御方法、及びプログラム

沖電気工業株式会社, 技術研究組合 光電子融合基盤技術研究所	特願 2018-177843	J P : 日本国	2018.9.21	出願継続中	光導波路モジュール
技術研究組合 光電子融合基盤技術研究所, 沖電気工業株式会社	特願 2018-178219	J P : 日本国	2018.9.25	登録済み	半導体受光素子、及び光電融合モジュール
沖電気工業株式会社, 技術研究組合 光電子融合基盤技術研究所	特願 2018-220537	J P : 日本国	2018.11.26	登録済み	偏波分離素子
沖電気工業株式会社, 技術研究組合 光電子融合基盤技術研究所	特願 2018-220538	J P : 日本国	2018.11.26	登録済み	光導波路回路
技術研究組合 光電子融合基盤技術研究所, 沖電気工業株式会社	特願 2019-004468	J P : 日本国	2019.1.15	登録済み	光導波路回路
沖電気工業株式会社, 技術研究組合 光電子融合基盤技術研究所	特願 2019-004469	J P : 日本国	2019.1.15	登録済み	光導波路回路

沖電気工業株式会社, 技術研究組合 光電子融合基盤技術研究所	特願 2019-011074	J P : 日本国	2019.1.25	登録済み	波長制御素子及び波長制御方法
技術研究組合 光電子融合基盤技術研究所, 日本電気株式会社	特願 2019-025235	J P : 日本国	2019.2.15	出願継続中	光学素子
沖電気工業株式会社, 技術研究組合 光電子融合基盤技術研究所	特願 2019-025461	J P : 日本国	2019.2.15	登録済み	光波長フィルタ
沖電気工業株式会社, 技術研究組合 光電子融合基盤技術研究所	特願 2019-034243	J P : 日本国	2019.2.27	登録済み	光回路集積ウェハ用光電融合プローブ及び測定方法
沖電気工業株式会社, 技術研究組合 光電子融合基盤技術研究所	特願 2019-050237	J P : 日本国	2019.3.18	登録済み	光ハイブリッド回路
技術研究組合 光電子融合基盤技術研究所	特願 2019-060316	J P : 日本国	2019.3.27	出願継続中	受光器

技術研究組合 光電子融合基盤技術研究所, 富士通株式会社	特願 2019-082252	J P : 日本国	2019.4.23	出願継続中	光伝送モジュール
技術研究組合 光電子融合基盤技術研究所, 富士通株式会社	特願 2019-099669	J P : 日本国	2019.5.28	出願継続中	波長合分波素子、光送信装置及び光受信装置
技術研究組合 光電子融合基盤技術研究所, 富士通株式会社	特願 2019-100439	J P : 日本国	2019.5.29	出願継続中	光分波器、光伝送装置及び光分波制御方法
富士通株式会社, 技術研究組合 光電子融合基盤技術研究所	特願 2019-107786	J P : 日本国	2019.6.10	出願継続中	光分岐挿入デバイス
技術研究組合 光電子融合基盤技術研究所, 沖電気工業株式会社	特願 2019-122007	J P : 日本国	2019.6.28	登録済み	半導体受光素子、光電融合モジュール及びアバランシェフォトダイオードの製造方法
沖電気工業株式会社, 技術研究組合 光電子融合基盤技術研究所	特願 2019-172315	J P : 日本国	2019.9.20	登録済み	面受光型の半導体受光素子、及びその製造方法

技術研究組合 光電子融合基盤技術研究所, 沖電気工業株式会社	特願 2019-178796	J P : 日本国	2019.9.30	登録済み	光導波路素子及び光軸調整方法
沖電気工業株式会社, 技術研究組合 光電子融合基盤技術研究所	特願 2019-197657	J P : 日本国	2019.10.30	出願継続中	光波長フィルタ
沖電気工業株式会社, 技術研究組合 光電子融合基盤技術研究所	特願 2020-026131	J P : 日本国	2020.2.19	登録済み	光導波路素子
技術研究組合 光電子融合基盤技術研究所, 沖電気工業株式会社	特願 2020-026132	J P : 日本国	2020.2.19	出願継続中	光波長フィルタ
技術研究組合 光電子融合基盤技術研究所	特願 2020-027280	J P : 日本国	2020.2.20	出願継続中	光源が冗長化された集積化光送信器
技術研究組合 光電子融合基盤技術研究所	特願 2020-040665	J P : 日本国	2020.3.10	出願継続中	並列計算システム
技術研究組合 光電子融合基盤技術研究所	特願 2020-043874	J P : 日本国	2020.3.13	出願継続中	無光源状態でのバイアス条件決定が可能な集積化光送信器

沖電気工業株式会社, 技術研究組合 光電子融合基盤技術研究所	特願 2020-046022	J P : 日本国	2020.3.17	出願継続中	光電融合モジュール及びその製造方法
沖電気工業株式会社, 技術研究組合 光電子融合基盤技術研究所	特願 2020-046023	J P : 日本国	2020.3.17	出願継続中	光電融合モジュール及びその製造方法
技術研究組合 光電子融合基盤技術研究所, 富士通株式会社	特願 2020-052257	J P : 日本国	2020.3.24	出願継続中	光通信素子、光送信器及び制御方法
沖電気工業株式会社	2021-024987	J P : 日本国	2021.2.19	出願継続中	光波長フィルタ
富士通株式会社, 技術研究組合光電子融合基盤技術研究所	16/885994 (US)	US : アメリカ合衆国	2020.5.28	出願継続中	OPTICAL ADD-DROP DEVICE
富士通株式会社, 技術研究組合光電子融合基盤技術研究所	16/884244 (US)	US : アメリカ合衆国	2020.5.27	登録済み	OPTICAL DEMULTIPLEXER, OPTICAL TRANSPORT APPARATUS, AND METHOD OF

					CONTROL LING OP TICAL D EMULTIP LEXING
技術研究組 合光電子融 合基盤技術 研究所	16/81 7152 (US)	US:アメリカ合衆 国	2020.3.12	出願継続中	PHOTODE TECTOR
沖電気工業 株式会社, 技術研究組 合光電子融 合基盤技術 研究所	2020- 19398 9	JP:日本国	2020.11.24	出願継続中	光導波路素子
富士通株式 会社, 技術 研究組合光 電子融合基 盤技術研究 所	16/85 1440 (US)	US:アメリカ合衆 国	2020.4.17	出願継続中	OPTICAL SEMICON DUCTOR DEVICE
沖電気工業 株式会社, 技術研究組 合光電子融 合基盤技術 研究所	2020- 19398 7	JP:日本国	2020.11.24	出願継続中	偏波状態調整素 子及び偏波状態 調整方法
沖電気工業 株式会社, 技術研究組 合光電子融 合基盤技術 研究所	2020- 19398 8	JP:日本国	2020.11.24	出願継続中	グレーティング 素子及び光デバ イス

沖電気工業株式会社, 技術研究組合光電子融合基盤技術研究所	2020-193990	J P : 日本国	2020.11.24	出願継続中	光受信回路
国立研究開発法人産業技術総合研究所	2020-154578	J P : 日本国	2020.9.15	出願継続中	光学装置及び光学システム
技術研究組合光電子融合基盤技術研究所, 沖電気工業株式会社	2020-201647	J P : 日本国	2020.12.4	登録済み	光回路素子、モニタリングシステム及びモニタリング方法
富士通株式会社, 技術研究組合光電子融合基盤技術研究所	2021-010832	J P : 日本国	2021.1.27	出願継続中	波長分波装置、光送受信器、光回路、及び波長分波制御方法
技術研究組合光電子融合基盤技術研究所	2021-055097	J P : 日本国	2021.3.29	登録済み	光半導体素子及びその製造方法
富士通株式会社, 技術研究組合光電子融合基盤技術研究所	17/197282 (US)	US : アメリカ合衆国	2021.3.10	出願継続中	OPTICAL COMMUNICATION COMPONENT, OPTICAL TRANSMITTER, AND CONTROL METHOD

日本電気株式会社, 技術研究組合光電子融合基盤技術研究所	17/35 6797 (US)	US: アメリカ合衆国	2021.6.24	出願継続中	COMPUTING MACHINE, METHOD AND NON-TRANSITORY COMPUTER-READABLE MEDIUM
国立研究開発法人産業技術総合研究所	PCT/J P2021 /0257 45	PCT (全指定)	2021.7.8	出願継続中	光学装置及び光学システム
国立研究開発法人産業技術総合研究所	11012 5587 (TW)	TW: 台湾、中華民国	2021.7.13	出願継続中	OPTICAL DEVICE AND OPTICAL SYSTEM
技術研究組合光電子融合基盤技術研究所	16/64 6901 (US)	US: アメリカ合衆国	2020.3.12	出願継続中	METHOD AND SYSTEM FOR PARALLEL COMPUTATION
富士通株式会社, 技術研究組合光電子融合基盤技術研究所	17/53 0653 (US)	US: アメリカ合衆国	2021.11.19	出願継続中	WAVELENGTH DEMULTIPLEXER, OPTICAL TRANSCEIVER FRONT-END MODULE, PHOTONIC CIRCUIT, AND

					WAVELEN GTH DEM MULTIPLE XING CO NTROL M ETHOD
沖電気工業 株式会社	2021- 11559 4	J P : 日本国	2021.7.13	出願継続中	光波長フィルタ

(4) 受賞実績

発表者	所属	タイトル	雑誌名・学会名・イベント名等	ページ	発表年月日
野田進	京都大学	レーザー進歩賞「フォトニック結晶レーザーの発明とその産業展開」	泰山賞		2018年 7月
岡本 大典、他	PETRA、 アイオー コア株式 会社	25Gb/s×four-channel chip-scale optical receiver operating at up to 85 °C with a temperature-compensation function	応用物理学 会シリコン テクノロジー 一分科会論 文賞		2019年 4月
雛倉陽介	横浜国立 大学	小型 Si フォトニック結晶スローライト変調器の 64 Gbps 動作	電子情報通 信学会 LQE 研究会奨励 賞		2019年 5月
荒川 泰彦	東京大学	For contributions to the development and commercialization of quantum dot lasers.	IEEE Jun-ichi Nishizawa Medal		2019年 5月
Y. Hinakura	横浜国立 大学	64 Gbps Si photonic crystal slow light modulator by electro-optic phase matching	OECC/PSC 2019 Best Student Paper Award		2019年 7月
雛倉陽介	横浜国立 大学	メアンダライン電極フォトニック結晶光変調器の 64 Gbps 動作	応用物理学 会講演奨励 賞		2019年 9月
野田進	京都大学	2019 MOC Award	微小光学国 際会議		2019年 11月

勝見 亮太 (太田 泰友, 長田有登, 田尻武義, 山口拓人, 角田雅弘, 岩本敏, 秋山英文, 荒川泰彦)	東京大学	Local tuning of transfer-printed quantum-dot single-photon sources on a CMOS silicon chip	MOC2019 Paper Award		2019年 11月
Ryotaro Konoike	Kyoto University	On-chip dynamic time reversal of light in a coupled-cavity system	APL Photonics Future Luminary Award 2019		2020年 2月
竹中 充	東京大学	Bandgap-tunable III-V-OI Photonics Platform with Quantum Well Intermixing for Versatile Active-passive Integration of Chip-scale Photonic Integrated Circuits	IEEE EDS Japan Joint Chapter Student Award		2020年 9月
小倉 一郎	PETRA	電気・電子技術の標準化活動への貢献と業績	IEC1906 賞		2020年 9月
槇原 豊, MOATAZ Shaher Anis Mahmoud Eissa, 御手洗 拓矢, 雨宮 智宏, 西山 伸彦, 庄司 雄哉, 鈴木 恵治郎, 鴻池 遼太郎, 岡野 誠, 池田 和浩, 水本 哲弥	東京工業大学	再構成可能な光集積回路に向けた Si 導波路型反射率可変ミラー	電子情報通信学会レーザー・量子エレクトロニクス研究会 2020年度奨励賞		2020年

岩本 敏, 太田 泰友, 荒川 泰彦	東京大学, 慶応大学	トポロジカルフォトンクス：トポロジ ーと光が奏でる協奏曲	第45回レー ザー学会業 績賞論文賞 【解説部 門】		2021年 5月
太田 泰友	慶応大学, 東京大学	転写プリント法を用いたハイブリッド 集積シリコンフォトンクス	第45回レー ザー学会研 究奨励賞		2021年 5月
勝見 亮太, (太田 泰 友, 田尻 武義, 岩本 敏, 秋山 英文, J.P Reithmaier, M. Benyoucef, 荒川 泰彦)	豊橋技術 科学大学, 電気通信 大学, 東 京大学, 慶応大学, カッセル 大学	ファイバーピグテール付き Si 導波路上 への量子ドット-ナノ共振器結合系の転 写プリント集積	第50回 (2021年春 季) 応用物 理学会講演 奨励賞		2021年 9月
関根尚希	東京大学	異種材料集積シリコン光集積回路と光 変調器応用に関する先駆的研究	第23回電 子情報通信 学会エレクトロ ニクス ソサイエテ ィ賞		2022年 2月

(5) 成果普及の努力（プレス発表等）

発表者	所属	タイトル	雑誌名・学会名・イベント名等	発表年月日
堀川 剛	PETRA、 AIST	シリコンフォトニクス	筑波大学・第6回 T I A ナノエレクトロニクス・ナノテクノロジーサマースクール	2018年8月
PETRA		超低消費電力型光エレクトロニクス実装システム技術開発の展示	InterOpto2018	2018年10月
東京大学、 PETRA		The8th International Symposium on Photonics and Electronics Convergence -Advanced Nanophotonics and Silicon Device Systems-の主催	ISPEC2018	2018年12月
NEDO、 PETRA、 沖電気工業(株)		小型に集積可能なフォトダイオードで受光感度 21.8A/W を達成	NEDO のプレスリリース	2019年3月
NEDO、 PETRA		世界初、最小規格のオンボード光モジュールで 400 ギガビット/秒伝送を実現	NEDO のプレスリリース	2019年3月
COBO、 PETRA		超低消費電力型光エレクトロニクス実装システム技術開発の展示（COBO ブース内）	OFC2019	2019年3月
堀川 剛	PETRA、 AIST	シリコンフォトニクス集積回路の製造・評価プラットフォーム	光産業技術振興協会 マンスリーセミナー	2019年5月
小野英輝	沖電気工業(株)、 PETRA	テクノロジートレンド 通信用 Ge-APD	一般財団法人光産業技術振興協会 オプトニューズ	2019年7月

NEDO、 PETRA、沖電 気工業(株)		40Gbps の光信号に対応した超小型の 4 波長多重光受信チップを開発	NEDO のプレスリリース	2019 年 7 月
NEDO、PETRA		シリコンフォトニクス技術を活用した小型の 16 波長多重光回路チップを開発	NEDO のプレスリリース	2019 年 9 月
NEDO、PETRA		超低消費電力型光エレクトロニクス実装システム技術開発の展示	CEATEC2019	2019 年 10 月
東京大学、 PETRA		The 9th International Symposium on Photonics and Electronics Convergence -Advanced Nanophotonics and Silicon Device Systems-の主催	ISPEC2019	2019 年 11 月
PETRA		超低消費電力型光エレクトロニクス実装システム技術開発の展示	InterOpto2020	2020 年 1 月
NEDO、PETRA		データセンター用サーバーの計算速度を一桁高速化 ―世界初、光配線でサーバーボードを直結したラック型システムを完成―	NEDO のプレスリリース	2020 年 10 月
NEDO、PETRA		超低消費電力型光エレクトロニクス実装システム技術開発の展示	CEATEC2020	2020 年 10 月
東京大学、 PETRA		The 10th International Symposium on Photonics and Electronics Convergence -Advanced Nanophotonics and Silicon Device Systems-の主催	ISPEC2020	2020 年 11 月
PETRA		超低消費電力型光エレクトロニクス実装システム技術開発の展示	InterOpto2021	2020 年 12 月

NEDO、PETRA		世界初、光 IC と LSI を一体集積可能とする 3 次元光配線技術を開発	NEDO のプレスリリース	2021 年 7 月
PETRA		超低消費電力型光エレクトロニクス実装システム技術開発の展示	InterOpto	2021 年 10 月
NEDO、PETRA		超低消費電力型光エレクトロニクス実装システム技術開発の展示	CEATEC2021	2021 年 10 月
東京大学、PETRA		The 11th International Symposium on Photonics and Electronics Convergence -Advanced Nanophotonics and Silicon Device Systems-の主催	ISPEC2021	2021 年 12 月

契約管理番号：	18100246-0
---------	------------

(B) プロジェクト基本計画

プロジェクト基本計画は、独立行政法人 新エネルギー・産業技術総合開発機構（以下、NEDOと表記する）のプロジェクトを効率的かつ効果的に実施するために、次に掲げるプロジェクトの基本事項を定めたものである。

- ① プロジェクトの目的、目標及び内容
- ② プロジェクトの実施方式
- ③ 研究開発の実施期間
- ④ 評価に関する事項
- ⑤ その他の重要事項

基本計画は、原則として全研究開発期間に亘り有効であるが、技術評価の結果や内外の研究開発動向・政策動向、研究開発予算の確保状況等の外部状況変化、あるいは研究体制、当該研究開発の進捗状況等の内部変化に応じて、適宜・適切にその内容を変更する。

本プロジェクト「超低消費電力型光エレクトロニクス実装システム技術開発」の基本計画¹を次ページ以降に示す。

¹ 「超低消費電力型光エレクトロニクス実装システム技術開発」基本計画：
<http://www.nedo.go.jp/content/100749254.pdf>

「超低消費電力型光エレクトロニクス実装システム技術開発」基本計画

I o T 推進部

1. 研究開発の目的・目標・内容

(1) 研究開発の目的

①政策的な重要性

クラウドコンピューティングやI o T（もののインターネット）の利用拡大、A I（人工知能）の活用が急速に進んでおり、データセンタなどにおける情報処理量や情報通信トラフィックが指数関数的に増大しており、今後も情報量の増大が予測されている。現状技術の延長ではデータ伝送に係る電力消費量は増加し続け、平成37

(2025)年には1500億kWh（現在の国内電力消費量全体の6分の1）に膨らむと見込まれている。情報処理で発生する排熱を少ない電力で処理できるようになったことなどにより、データセンタの市場規模の伸びに対する消費電力量の伸びは徐々に小さくなる傾向にあるが、一層の省電力化のためには、情報処理機器・装置そのものの低消費電力化と高速化を両立できる技術開発と社会実装を進める必要がある。こうした状況を踏まえ、内閣府が平成28（2016）年1月策定した第5期科学技術基本計画および平成29（2017）年6月に策定した科学技術イノベーション総合戦略2017の中では、「超スマート社会」（Society5.0）実現のために情報通信基盤技術の開発強化が掲げられ、大規模データを高速にリアルタイムにかつ少ない消費電力で処理するためのデバイスおよびネットワーク実現が求められている。

電子機器に電気配線を用いる場合データ伝送量や速度、伝送距離の増加に伴い信号伝送の損失が大きくなるのに対して、光配線を用いる場合それらが増大しても損失は一定であり消費電力の増加は極めて小さいという特性がある。このメリットを生かして、光配線は高速インターネット網や携帯電話基地局で利用されているほか、近年はデータセンタ等の低消費電力化・高速化技術として光配線技術が有力視され、半導体関連企業などで研究開発が進められている。

②我が国の状況

我が国では、平成21（2009）年度から25（2013）年度まで、内閣府・総合科学学術会議の下で日本学術振興会（JSPS）が進める「最先端研究開発支援プログラム（FIRSTプログラム）」においてフォトンクス・エレクトロニクス融合システム基盤技術開発（PECS T : Photonics-Electronics Convergent System Technology）事業が進められ、光源・受信器・導波路など光インターコネクに必要

な技術を1つのシリコンチップに集積し光集積回路として機能させるための研究開発が行われ、光集積回路として世界最高の情報伝送密度を実証することに成功し、世界をリードするポジションを獲得している。また、平成20（2008）年度から29（2017）年度まで、文部科学省（JST）の「先端融合領域イノベーション創出拠点形成プログラム」において光ネットワーク超低エネルギー化技術拠点事業が進められ、シリコンフォトニクススイッチ等の基盤技術開発とネットワークシステムの構築により大容量データを超低消費電力で伝送できる光パスネットワークの原理を実証している。

③世界の取組状況

海外では、政府資金投入による大型プロジェクトとして研究開発活動が活発に進められている。

例えば、欧州では「7th Research Framework Programme (FP7)」（2007年～2013年、総額68億円）が実施され、その後継として「HORIZON2020」の中で12のシリコンフォトニクス関連のプロジェクト（2015年～2020年、総額51億円）が遂行されている。

米国でも「DARPA Projects for Silicon Photonics」（2006年～2012年、総額86億円）等の取組があり、2015年以降は日本のプロジェクトをモデルにしてシリコンフォトニクスの実装及びものづくりを目的とするプロジェクト「The American Institute for Manufacturing Integrated Photonics (AIM Photonics)」（2015年～2019年、総額726億円）、及び「Energy-efficient Light-wave Integrated Technology Enabling Networks that Enhance Datacenters (ENLITENED)」（2017年～2020年、前半2年の総額約28億円）が立ち上がっている。

④本事業のねらい

本研究開発は、情報通信機器の省電力化と高速化を目的に、電子機器の電気配線を光配線に置換する光配線技術と電子回路技術を融合させた光エレクトロニクス実装システム技術を実現する基盤技術を確立することを目指す。

本研究開発で成果を得ることにより、光半導体分野における我が国の国際優位性を維持するとともに、光エレクトロニクスを用いた新たなコンピューティング市場において我が国が競争力を獲得し、さらには半導体産業、回路基板産業やそれらをシステム化したサーバ、ルータ等の情報通信機器産業などのエレクトロニクス産業の活性化にも資する。

（2）研究開発の目標

①アウトプット目標

本研究開発では、電気配線を用いたサーバボードに比べて消費電力を3割削減できかつデータセンタレベルでの運用が可能な光電子融合サーバを実現するための要素技術を確立することを目標とする。

具体的には、電子機器のデータ伝送において10Tbps/ノードの伝送帯域と電気配線を用いる場合と比較して1/10の低消費電力化を、また通信速度あたりの面積比で1/100以下の小型化（100倍の帯域密度）を実現する。

研究開発の進捗に合わせ開発成果の一部を順次実用化し、光配線と電子回路を融合させた光エレクトロニクス市場の創出と開拓を目指す。

本プロジェクトでは、平成29（2017）年度までに実施した光エレクトロニクス実装基盤技術開発及び光エレクトロニクスシステム化技術開発により上記アウトプット目標を実現可能とする技術を確立している。引き続き研究開発を行い、プロジェクト完了までに上記目標を達成する。

個々の開発項目における中間及び最終目標に関しては、別紙1および2を参照のこと。

②アウトカム目標

本事業で開発される技術をサーバ、データセンタ、ネットワーク機器等に適用し普及させることにより、平成42（2030）年には国内で年間約1500万トンのCO₂排出に相当するエネルギーが削減されると見込まれる。

また、グローバルな市場創出効果として平成42（2030）年度に1.26兆円程度が期待される。

③アウトカム目標達成に向けての取組

研究開発の成果は、各実施者が自社に持ち帰り、実用化のための技術開発等を実施して事業化を進める。また、開発成果の新たな適用先の探索と顧客価値の評価に努める。このような取組を通じて、本プロジェクトの研究開発成果で実現するIT機器の高い省エネルギー性能とデータ転送性能を強みとして、市場の創出とシェア獲得を迅速に進め、IT機器の電力消費量低減とCO₂排出量の削減を推進する。

研究開発と並行して、光エレクトロニクス技術の標準化を図り、研究開発の成果が迅速かつ広く世界の市場で受け入れられるよう努める。また、ニュースリリース、展示会への出展、シンポジウム開催等の取組を通じて本事業の情報発信及び光エレクトロニクス技術の普及促進を行うと共に、光エレクトロニクス技術に関する人材育成の活動により企業や大学における研究活動の支援等を行う。

（3）研究開発の内容

上記目標を達成するために、以下の研究開発項目について、別紙の研究開発計画に基

づき、研究開発を実施する。

【委託事業】

研究開発項目① 光エレクトロニクス実装基盤技術の開発

- (i) 実装基盤技術
 - (a) 光エレクトロニクス実装技術
 - (b) 光エレクトロニクス集積デバイス技術
 - (c) 光エレクトロニクスインターフェース技術
 - (d) 光エレクトロニクス回路設計技術
- (ii) 革新的デバイス技術

研究開発項目② 光エレクトロニクス実装システム化技術の開発

- (i) システム化技術
 - (a) サーバボードのシステム化技術開発
 - (b) ボード間接続機器、筐体間接続機器のシステム化技術開発
 - (c) データセンタ間接続機器のシステム化技術開発
 - (d) 企業間ネットワーク接続機器のシステム化技術開発
 - (e) 光電子集積インターポーザのデバイス・実装技術開発
 - (f) 光電子集積インターポーザのシステム化技術開発
- (ii) 国際標準化

以上の研究開発は、実用化まで長期間を要するハイリスクな基盤的技術に対して、産官学の複数事業者が互いのノウハウなど持ち寄り、協調して実施する事業であり、委託事業として実施する。

2. 研究開発の実施方式

(1) 研究開発の実施体制

プロジェクトマネージャーに国立研究開発法人新エネルギー・産業技術総合開発機構（以下「NEDO」という。）IoT推進部 中山 敦 を任命して、プロジェクトの進行全体を企画・管理や、そのプロジェクトに求められる技術的成果及び政策的効果を最大化させる。

また、研究開発に参加する研究開発グループが持つ研究開発ポテンシャルを最大限活用することにより効率的な研究開発の推進を図る。この目的でNEDOが委嘱する研究開発責任者（プロジェクトリーダー）として、国立大学法人東京大学 ナノ量子情報エレクトロニクス研究機構 特任教授 荒川泰彦氏を置き、効果的な研究開発を実施する。

本研究開発は、経済産業省において我が国の将来の成長の糧となるイノベーションを創出する未来開拓研究プロジェクトの一つである「光エレクトロニクス」として平成24（2012）年度に立ち上げられた10年間のプロジェクトであり、事業開始から平成29（2017）年度末まで6年間の研究開発実施者を平成24（2012）年度に企業、大学等

の研究機関(委託先から再委託された研究開発実施者を含む)から公募によって選定し、共同研究契約等を締結する研究体を構築して開始したものである。

これを受けNEDOは平成25(2013)年度から29(2017)年度まで5年間の基本計画を策定し、研究開発を実施した。

平成29(2017)年度に実施した中間評価において、プロジェクトの必要性、研究開発マネジメント、研究開発の成果、実用化・事業化に向けた取組および見通しが評価され、当初計画した計10年間の事業遂行が妥当と認められた。

以上のことより、平成30(2018)年度から33(2021)年度まで4年間の研究開発実施者を公募により選定する。公募は、企業や大学等の研究機関等(以下、「団体」という。)のうち原則として日本国内に研究開発拠点を有するものを対象とし、単独又は複数で研究開発に参加するものとする。ただし、国外の団体の特別の研究開発能力や研究施設等の活用又は国際標準獲得の観点から必要な場合は、当該の研究開発等に限り国外の団体と連携して実施することができるものとする。

(2) 研究開発の運営管理

研究開発全体の管理・執行に責任と決定権を有するNEDOは、経済産業省及び研究開発実施者と密接な関係を維持しつつ、事業の目的及び目標、並びに本研究開発の目的及び目標に照らして適切な運営管理を実施する。具体的には、NEDOは四半期に一回程度事業の進捗について実施者から報告を受けること等により各研究開発項目の進捗と研究開発項目間の整合性・連携状況の確認を行うと同時に、政策動向・業界技術動向等も把握して、必要な対策を合議し、PLおよび実施者と連携して実施する。必要に応じて技術推進委員会等を開催して外部有識者の意見を運営管理に反映するものとする。

3. 研究開発の実施期間と経緯

2.(1)ですでに述べたとおり、経済産業省は未来開拓研究プロジェクト「光エレクトロニクス」の事業期間として平成24(2012)年度から平成33(2021)年度(10年間)を予定し、平成24(2012)年度から平成29(2017)年度までの6年間の実施者を公募した。平成25(2013)年度からはNEDOが、平成29(2017)年度までの5年間の基本計画を策定し研究開発を実施した。平成29(2017)年度に実施した中間評価において、プロジェクトの必要性、研究開発マネジメント、研究開発成果、実用化・事業化に向けた取組及び見通しが評価され、それを踏まえ当初計画された計10年間の事業として実施する。

以上の経緯と平成29(2017)年度まで計6年間の研究開発の成果を踏まえ、平成25(2013)年度にNEDOが策定した基本計画の一部を見直して平成30(2018)年度から平成33(2021)年度まで4年間の研究開発を継続する。変更点は別紙1および2を参照のこと。

4. 評価に関する事項

NEDOは、技術的及び政策的観点から、研究開発の意義、目標達成度、成果の技術的意義及び将来産業への波及効果等について、外部有識者による研究開発の評価を事業項目毎に実施する。具体的には、本基本計画の対象期間中の平成26(2014)年度、平成29(2017)年度に中間評価を実施済みであり、また平成31(2019)年度に中間評価、平成34(2022)年度に事後評価を実施する。評価結果は、経済産業省と相談のうえ、事業の延長・加速・縮小や必要な体制の再構築などを含めて後年度の研究開発に迅速に反映することとする。

なお評価の時期は、当該研究開発に係る技術動向、政策動向や当該研究開発の進捗状況等に応じ、前倒しする等適宜見直すものとする。

5. その他重要事項

(1) 研究開発成果の取扱い

①成果の普及

得られた研究開発成果のうち、共通基盤技術に係るものについては、プロジェクト内で速やかに共有した後、NEDO及び実施者が協力して普及に努めるものとする。

②標準化との連携

得られた研究開発の成果については、成果のグローバル展開に向けてオープン/クローズド戦略に基づき事業戦略と一体となった国際標準化を進める。また、諸外国に先んじて国際標準を獲得するため、国際標準提案に係る戦略的かつ迅速な国際標準獲得活動を実施する。

③知的財産権の帰属

委託研究開発の成果にかかわる知的財産権については、「国立研究開発法人新エネルギー・産業技術総合開発機構 新エネルギー・産業技術業務方法書」第25条の規定等に基づき、原則として、すべて委託先に帰属させることとする。

④知財マネジメントに係る運用

本プロジェクトは、「NEDOプロジェクトにおける知財マネジメント基本方針」を適用する。

(2) 基本計画の変更

プロジェクトマネージャーは、当該研究開発の進捗状況及び評価結果、社会・経済的状况、国内外の研究開発動向、政策動向、第三者の視点からの評価結果、研究開発費の確保状況等、プロジェクト内外の情勢変化を総合的に勘案し、必要に応じて目標達成に向けた改善策を検討し、達成目標、実施期間、実施体制等、プロジェクト基本計画の見

直しを弾力的に行うものとする。

(3) 根拠法

本プロジェクトは、国立研究開発法人新エネルギー・産業技術総合開発機構法第15条第1号ニ及び第9号に基づき実施する。

6. 基本計画の改訂履歴

- (1) 平成25(2013)年3月制定。
- (2) 平成27(2015)年9月、根拠法の追加に伴う改訂。
- (3) 平成30(2018)年1月、平成30(2018)年度から平成33(2021)年度の基本計画追加に伴う改訂。
- (4) 平成30(2018)年11月、PLの所属先の記載を変更。

(別紙1) 研究開発計画

研究開発項目①光エレクトロニクス実装基盤技術の開発

1. 研究開発の必要性

クラウドコンピューティングやI o T (もののインターネット) の利用拡大、A I (人工知能) の活用が急速進んでおり、データセンタなどにおける情報処理量や通信トラフィックが指数関数的に増大しており、今後も情報量の増大が予測されている。

電子機器に電気配線を用いる場合データ伝送量や速度、伝送距離の増加に伴い信号伝送の損失が大きくなるのに対して、光配線を用いる場合それらが増大しても損失は一定であり消費電力の増加は極めて小さいという特性がある。このメリットを生かして、光配線は高速インターネット網や携帯電話基地局で利用されているほか、近年はデータセンタ等の低消費電力化・高速化技術として光配線技術が有力視され、半導体分野の企業で研究開発が進められている。

本研究開発では、電子機器の電気配線を光配線に置換し電子回路技術を融合させる光エレクトロニクス実装システム技術の根幹となる光電子集積インターポーザ、光電子ハイブリッド回路基板等を実現するための構成要素技術の開発と、高速化、省電力化、小型化などの面で画期的な性能向上や中期的な技術基盤の変化をもたらす革新的デバイス技術の開発を行う。

2. 具体的研究内容

(i) 実装基盤技術

(a) 光エレクトロニクス実装技術

電気配線と光配線が融合した光電子ハイブリッド回路基板の作製技術、高密度の光・電気のインターフェースを備えた光電子集積インターポーザを光電子ハイブリッド回路基板に実装するための実装技術とインターフェース技術及び高信頼、低コスト化を実現する設計・方式・製造装置を開発する。また、光電子集積インターポーザとL S I を接続するインターフェース技術及び光電子ハイブリッド回路基板間を接続する高集積コネクタ技術を開発する。さらに汎用電気インターフェースに対応した光素子駆動アナログ電子回路を開発し、ロジックL S I に搭載するためのアナログ電子回路技術の開発を行う。

(b) 光エレクトロニクス集積デバイス技術

光トランシーバや光電子集積インターポーザ等を実現する基盤技術として、光導波路、光源、光変調器、受光器、光入出力素子、合分波器などの超小型要素光素子を開発すると共に、これらを高密度集積する技術を開発する。また、光信号の並列化、多重化、多値化についても検討を行い、インターポーザ上での大容量信号伝送技術を開発する。さらに、ロジック、メモリ等の電子回路チップの搭載が可能で、光トランシーバを高密

度に集積した、低消費電力で低コストな光電子集積インターポーザを形成する基盤技術の開発を行う。

(c) 光エレクトロニクスインターフェース技術

大規模データセンタ内の筐体間接続、データセンタ間接続に向けた、100Gbpsの伝送容量を持つデジタルコヒーレント送受信モジュール実現のための信号処理回路と光回路に関する基盤技術を開発する。

(d) 光エレクトロニクス回路設計技術

光回路技術と電子回路技術を融合した新しい光エレクトロニクス回路の設計技術に関し、光、電子、それぞれの回路の最適設計を効率的に行うための統合設計環境を実現する基盤技術を開発する。さらに、本統合設計環境を本事業内の研究チームで利用可能とするための支援体制、スキームを整備する。

(ii) 革新的デバイス技術

[革新的光源・光検出器技術]

光電子集積インターポーザの光源、受光器の高性能化に向け、シリコン基板上量子ドットレーザ技術とその集積化技術の開発を行うとともに、高感度受光器に関する技術開発を行う。

[革新的光変調器技術]

光電子集積インターポーザの光変調器の高性能化に向けた光制御技術として、新原理に基づく次世代光変調器を開発する。

[革新的光配線技術]

光電子集積インターポーザの光導波路の高機能化に向けた光配線基盤技術として、フォトニックナノ構造等を用いた光配線技術の開発を行う。

[革新的光エレクトロニクス回路技術]

光電子集積インターポーザの光回路を高機能化する機能可変型光エレクトロニクス回路の基盤技術として、サーバ回路の再構成を可能とする光フィールドプログラマブルゲートアレイ技術及びそのための要素デバイスの開発を行う。

[革新的光スイッチングデバイス技術]

大規模光電子集積インターポーザで実現されるサーバ回路におけるデータ通信の高効率化に向け、CPU間等の効率的なデータ転送を可能とする光ルーティング技術実現のためのハイブリッド集積光スイッチングデバイス技術、超高速集積光信号処理デバイスの開発を行う。

3. 達成目標

光電子集積インターポーザ、光電子ハイブリッド回路基板及びそれぞれの要素技術を組み込んだデバイスの集積化技術を開発することにより、電気配線の1/10の低消費電力

化・高速化（1 mW/Gbps）を達成する目処を得るとともに、1/100以下の小型化実現のための要素技術を確立する。また、機器間光インターフェースにおいて、100 Gbps/chの高速伝送及び現状の光トランシーバモジュールの消費電力（300W程度）を1/5～1/10まで低減できる低消費電力化技術を実現する。

各開発項目は計10年間の開発期間を最大四期に分け、それぞれの期間で目標を定めて技術開発を行う。

(i) 実装基盤技術

(a) 光エレクトロニクス実装技術

多数の光デバイス・電子デバイスが搭載されたシリコンフォトニクスによる光電子インターポーザ及び光電子インターポーザを搭載した光電子ハイブリッド回路基板を実現するための基盤技術を開発する。

【中間目標】（平成26（2014）年度末）

小型の高速・低消費電力光トランシーバと数十mm角のポリマー光配線を形成した光電子ハイブリッド回路基板を開発し、光入出力を持つLSIを実現するための基盤技術を確立する。

【最終目標】（平成29（2017）年度末）

5cm×5cm程度の光電子ハイブリッド基板上にLSIを搭載するモジュール化技術を確立し、LSIモジュールでの高速光インターコネクトを実現する。

(b) 光エレクトロニクス集積デバイス技術

超高速のデータ伝送を行う光電子集積インターポーザを実現するため、シリコンフォトニクス技術を用いた光集積回路技術を開発するとともに、ロジックLSI、メモリLSI、光デバイス等を光電子集積インターポーザ上に高密度集積するための集積化技術を実現する。

【中間目標】（平成26（2014）年度末）

光信号の並列化技術、多重化技術を開発し、大容量信号伝送を実現するための基盤要素技術を確立する。また、低コスト化のための光素子の集積化技術と導波路技術を確立する。

【最終目標】（平成29（2017）年度末）

多数の光素子を集積した光電子集積インターポーザの大容量伝送を実現するための基盤集積技術を確立する。

(c) 光エレクトロニクスインターフェース技術

大規模データセンタ内の筐体間、データセンタ間の大容量通信を可能とする小型デジタルコヒーレント光トランシーバに必要な信号処理回路、光回路技術を平成28（2016）年度までに確立する。

【中間目標】（平成26（2014）年度末）

100Gbps動作に対応するDSP-LSIと集積光送受信デバイスの試作を行い、基本性能評価と問題点の抽出を行う。

【最終目標】(平成28(2016)年度末)

低消費電力DSP-LSI最終プロトタイプを実現するとともに、データセンタ間通信向け低消費電力100Gbpsデジタルコヒーレント光トランシーバを実証するための要素技術を確立する。

(d) 光エレクトロニクス回路設計技術

光回路技術と電子回路技術を融合した新しい光エレクトロニクス回路を効率的に設計するための光エレクトロニクス統合設計環境を実現し、プロジェクト内での活用を可能とするとともに、本プロジェクト成果事業化時に適用できる効率的な設計フロー構築のための基盤技術を確立する。

【中間目標】(平成26(2014)年度末)

マルチフィジクス対応の光エレクトロニクス実装システム統合設計環境の基本構成を構築し、統合設計を行うための基本的なフローの実証を行う。また、光デバイス設計の基盤技術として、光変調器等の開発に適用可能な電子・光連携TCADの基本構造を確立する。

【最終目標】(平成29(2017)年度末)

光デバイス設計用電子・光連携TCADと光電子集積インターポーザの設計を可能とする統合設計環境を連携させ、基本実装構造に関するデータベース(デザインキット)を整備し、光電子集積インターポーザを効率的に設計可能とする。

(ii) 革新的デバイス技術開発

光電子集積サーバの高性能化を可能とする光電子集積デバイスの非連続的な高速化・低消費電力化・小型化・低コスト化などの高性能化をもたらす挑戦性の高い技術の研究開発を、以下のように実施する。なお、当該技術開発に関しては、その開発の性質等を考慮し、技術開発の進捗度、本研究開発事業内での展開の可能性等の観点から、必要に応じて見直しを適宜実施するものとする。

[革新的光源・光検出器技術]

光電子集積インターポーザの光源、受光器の高性能化に向けてシリコン基板上量子ドットレーザ技術とその集積化技術の開発を行うと共に、高感度受光器に関する技術開発を行う。

【中間目標】(平成26(2014)年度末)

温度安定シリコン上量子ドットレーザの基盤技術開発を進め、シリコン導波路結合型単チャンネル量子ドットレーザを実現する。また、超高感度受光器の基盤技術として受光器における暗電流抑制効果を実証する。

【中間目標】（平成29（2017）年度末）

光電子集積サーバ用の集積化光源への展開に向け、量子ドットレーザアレイを実現するとともにシリコン系基板上に直接成長した量子ドットレーザを試作する。また、導波路型受光器における暗電流抑制技術を実現する。これらの検討を通じて、光電子集積サーバ技術への技術展開の見通しを示すとともに事業化に対する課題を明確化する。

【中間目標】（平成31（2019）年度末）

光電子集積インターポーザ用集積化光源に向け、シリコン上量子ドットレーザの高温動作と高速変調動作を実現する。また、光電子集積インターポーザ用集積化受光器への展開に向け、シリコン基板上に集積した受光器の低暗電流動作を実証し、高速応答動作可能な構造を明確にする。

【最終目標】（平成33（2021）年度末）

光電子集積インターポーザ用集積化光源に向け、 $1.4\mu\text{m}$ 以上の長波長帯のシリコン基板上量子ドットレーザの実現可能性を示す。また、光電子集積インターポーザ用集積化受光器に向け、高速応答可能で省電力化が可能な導波路型受光器を実証することにより、光電子集積インターポーザへの技術展開の見通しを示すと共に、事業化に対する課題を明確化する。

[革新的光変調器技術]

光電子集積インターポーザの光変調器の高性能化に向けた光制御技術として、新原理に基づく次世代超小型光変調器の開発を行う。

【中間目標】（平成26（2014）年度末）

光電子集積サーバに使用する光電子集積インターポーザの光変調器の超小型化を可能とする新原理に基づく変調器として、 10Gbps 程度の高速動作を実現する。

【中間目標】（平成29（2017）年度末）

超小型高速変調器としてLN変調器を凌駕する実用性能を得る。また、これらの検討を通じて、光電子集積サーバ技術への技術展開の見通しを示すとともに事業化に対する課題を明確化する。

【中間目標】（平成31（2019）年度末）

光電子集積インターポーザ用の集積化光変調器への展開に向け、超小型化・高速動作を可能とするスローライト型変調器や低消費電力化が可能なハイブリッドMOS型光変調器等の動作を実証する。

【最終目標】（平成33（2021）年度末）

光電子集積インターポーザ用の集積化光変調器への展開に向け、スローライト型変調器やハイブリッドMOS型変調器等に対し、多重化・多値変調等の伝送方式を実現する可能性を実証することにより、光電子集積インターポーザへの技術展開の見通し

と事業化に対する課題を明確化する。

[革新的光配線技術]

光電子集積インターポーザの光導波路の高機能化に向けたナノスケール光配線基盤技術として、フォトニック結晶構造等を用いた信号伝搬制御等に関する高度な光配線技術の開発を行う。

【中間目標】（平成26（2014）年度末）

光電子集積サーバの配線密度を飛躍的に高めることできる3次元光配線技術において、層間方向への伝搬機能が可能であることを実証する。

【中間目標】（平成29（2017）年度末）

3次元光配線技術として垂直方向と水平方向の伝搬機能の統合を実現する。また、これらの検討を通じて、光電子集積サーバ技術への技術展開の見通しを示すとともに事業化に対する課題を明確化する。

【中間目標】（平成31（2019）年度末）

光電子集積インターポーザへの展開に向け、フォトニックナノ構造等を用いた光損失補償機能や光バッファ機能など、革新的導波路技術の可能性を示す。

【最終目標】（平成33（2021）年度末）

光電子集積インターポーザへの展開に向け、フォトニックナノ構造等による光損失補償機能や光バッファ機能を統合することなどにより高度な光配線技術を開発し、光電子集積サーバ技術の革新的展開へ寄与する。

[革新的光エレクトロニクス回路技術]

光電子集積インターポーザの光回路を高機能化する機能可変型光エレクトロニクス回路の基盤技術として、光回路の再構成を可能とする光フィールドプログラマブルゲートアレイ（以下光FPGA）技術及びそのための要素デバイスの開発を行う。

【中間目標】（平成26（2014）年度末）

ハイブリッド回路基板上における半導体レーザの高効率化を行うとともに複数の光増幅器が並ぶアレイデバイスを実現する。

【中間目標】（平成29（2017）年度末）

異なる機能の光回路を同一回路基板上に集積し、光FPGAコンセプトを実証する。また、これらの検討を通じて、光電子集積サーバ技術への技術展開の見通しを示すとともに事業化に対する課題を明確化する。

【中間目標】（平成31（2019）年度末）

光電子集積インターポーザへの展開に向け、光FPGAを構成するハイブリッド光素子の集積プロセスシーケンスを確立し、光FPGAの原理実証を行う。

【最終目標】（平成33（2021）年度末）

光電子集積インターポーザへの展開に向け、シリコンインターポーザ上で機能可変型光エレクトロニクス回路の基本機能を実証して光FPGA実現の見通しを明らかにすることにより、光電子集積サーバ技術の革新的展開へ寄与する。

[革新的光スイッチングデバイス技術]

大規模光電子集積インターポーザで実現されるサーバ回路におけるデータ通信の高効率化に向け、CPU間等の効率的なデータ転送を可能とする光ルーティング技術実現のためのハイブリッド集積光スイッチングデバイス技術、超高速集積光信号処理デバイスの開発を行う。

【中間目標】（平成26（2014）年度末）

サーバ回路におけるデータ通信の高効率化を可能とする導波路クロスバー型をベースとした超小型光スイッチを試作し、スイッチング動作を実証するとともに、超高速光信号処理デバイス実現にむけた基本的な論理動作を実現する。

【最終目標】（平成29（2017）年度末）

光スイッチマトリクスの高電力化、光信号処理デバイスの10Gbps程度での動作を実証する。また、これらの検討を通じて、光電子集積サーバ技術への技術展開の見通しを示すとともに事業化に対する課題を明確化する。

研究開発項目②光エレクトロニクス実装システム化技術の開発

1. 研究開発の必要性

本プロジェクトで目指す小型、高速、低消費電力の光電子融合サーバを実現するには、それに適したシステムアーキテクチャを見出すとともに、運用信頼性のある実用性の高い技術の開発が必要である。光電子集積インターポーザは、これまでの研究開発の成果を集約しアウトプット目標を達成するために重要な素子であり、そのデバイス技術、実装技術及びシステム化技術を開発する必要がある。

本研究開発では、光配線導入による低消費電力化や高速化などのメリットを生かすサーバ等のシステムアーキテクチャの要件・課題を抽出し、研究開発項目①光エレクトロニクス実装基盤技術の開発の要素技術を用いてシステムを構築するための基盤技術を開発する。これにより、システムの実用性を検証するとともに、要素技術開発にフィードバックすることで、完成度の高い技術の効率的な開発を実現する。

2. 具体的研究内容

(i) システム化技術

(a) サーバボードのシステム化技術開発

データセンタレベルでの運用が可能な、多種のLSIを高密度集積した光電子集積インターポーザを光電子ハイブリッド回路基板上に搭載した、小型・高速動作・低消費電力光電子融合サーバボードを実現するための基盤技術を開発する。また、高速ストレージインターフェースに適応する光インターフェースと大容量高速NANDデバイスを搭載した光インターフェース付き大容量SSDを実現するための基盤技術を確立する。

(b) ボード間接続機器、筐体間接続機器のシステム化技術開発

光送受信システムを内蔵し、光ケーブルと電気コネクタを実装した光トランシーバを開発し、アクティブ光ケーブル(AOC)を実現する。さらに、光トランシーバを集積した光電子ハイブリッド回路基板上に、既存ロジックLSIを実装した光ケーブル付きLSIを開発する。

(c) データセンタ間接続機器のシステム化技術開発

低消費電力DSP-LSIと集積型送受信光デバイスをモジュール化したデータセンタ間接続用光トランシーバの実現を目的に、高周波実装回路技術と、変調器/ドライバ、受信フロントエンド等のデバイス制御技術を確立し、小型で低消費電力の100Gbpsデジタルコヒーレント光トランシーバを実現する。

(d) 企業間ネットワーク接続機器のシステム化技術開発

シリコンフォトンクス技術を用いたアクセスネットワーク用集積光エレクトロニクスチップを開発し、企業間ネットワーク接続機器に適用する一芯双方向波長多重トランシーバのシステム化技術を確立する。

(e) 光電子集積インターポーザのデバイス・実装技術開発

平成29(2017)年度までに本プロジェクトで開発された光エレクトロニクス実装基盤技術およびシステム化技術あるいはそれらと同等の技術を基に、光電子集積インターポーザを実現するために必要なデバイスおよび実装技術を開発する。

具体的には光変調器、受光器、光入出力素子、合分波器などの光電子インターポーザの構成要素となる光素子を小型化、高速化および低消費電力化するための技術を開発すると共に、光信号の多重化および多値化を検討し、光電子集積インターポーザにおける大容量信号伝送技術を開発する。

また、光電子集積インターポーザの大容量化、高信頼、低コスト化を実現する実装技術として、異種導波路を接続する技術、光電子集積インターポーザとLSIを接続するインターフェース技術、及び高集積コネクタ技術を開発する。

(f) 光電子集積インターポーザのシステム化技術開発

上記(e)で研究開発する光電子集積インターポーザを情報処理装置や情報通信機器およびそのシステムに適用するために必要となるシステム化技術の研究開発を行う。

(f-1) 情報処理システム化技術

実際のデータセンタで運用が可能でありかつ光電子集積インターポーザを用いた小型かつ高速動作が可能な低消費電力光電子融合サーバボードを実現するため、必要となるシステム化技術を開発する。

(f-2) 情報通信システム化技術

シリコンフォトンクスデバイス技術を応用展開した光電子集積インターポーザを用いて、小型一芯双方向波長多重トランシーバのシステム化技術を確立する。

(ii) 国際標準化

国際競争力を確保するために、諸外国での同種の研究開発プロジェクトの現状を分析するとともに、プロジェクトの進展状況を踏まえ、成果の優位性を保つために国際標準化を積極的に推進する。また、フォーラム標準化機関[OIF(Optical Internetworking Forum)、IEEE802.3(Next gen 100G Optical Ethernet Study Group)、COBO(Consortium for On-Board Optics)]、並びにデジュール標準化機関[IEC(International Electrotechnical Commission)]等の標準化動向を踏まえ、研究開発成果が迅速かつ広く世界の市場で受け入れられるようにするために、光電子集積インターポーザに関わる国際標準化を積極的に推進する。

3. 達成目標

電気配線を用いたサーバボード比で消費電力が3割削減でき、データセンターレベルの運用が可能な、多種のLSIを高集積化した小型・高速動作・低消費電力な光電子融合サーバボード等を実現するため基盤技術を開発し、光電子融合サーバボード実現のための目処を得ることを目標とする。

具体的には、光電子集積インターポーザを実現するために必要なデバイス技術および実装技術を開発し、10Tbps/ノードの高速・高密度化と、電気配線を使用した場合の1/10に相当する1mW/Gbpsの低消費電力を実現するための要素技術を確立する。

加えて、順次実用化する開発成果の事業化に必要となる国際標準の提案と採択推進活動を行う。

各開発項目は計10年間の開発期間を最大四期に分け、それぞれの期間で目標を定めて技術開発を行う。

(i) システム化技術

(a) サーバボードのシステム化技術開発

電気配線を用いたサーバボード比で消費電力が3割削減でき、データセンターレベルでの運用が可能な光電子集積サーバボード実現のための基盤技術を開発する。多種のLSIが高密度集積した光電子集積インターポーザを光電子ハイブリッド回路基板上に搭載した小型・高速動作・低消費電力光電子集積サーバボードを実現するための課題抽出を行い、課題解決の目処を得る。また、高速ストレージインターフェースに適応する光インターフェースと大容量高速NANDデバイスを搭載した光インターフェース付き大容量SSDを実現するための基盤技術を確立する。

【中間目標】(平成26(2014)年度末)

光電子集積技術を最大限に活かすために光インターコネクションに要求される伝送スペック(変調速度、多重度、チャンネル数など)及び光電子インターポーザの回路冷却に関する基本要件を明らかにする。また、光電子集積インターポーザと積層型ストレージチップ実装基板からなるハイブリッド型の光インターフェース付きSSDを試作し、標準ストレージインターフェースによる光接続動作を検証する。

【最終目標】(平成29(2017)年度末)

光電子集積サーバボードにおける伝送機能の主要部分からなる送受信部を試作し、要求スペックを満たす光伝送を実証する。また、光電子集積インターポーザに積層型のストレージチップを実装した光インターフェース付SSD技術を確立する。

(b) ボード間接続機器、筐体間接続機器のシステム化技術開発

光ケーブルと電気コネクタを実装した光トランシーバによるアクティブ光ケーブルの実現と、光トランシーバとロジックLSIを実装した光ケーブル付きLSIの実現

に向け、次の開発を行う。

【中間目標】（平成26（2014）年度末）

小型光トランシーバを搭載したアクティブ光ケーブル（AOC）を完成させ、筐体間接続における実用性を実証する。また、標準化動向を考慮しながら、光トランシーバとロジックLSI間の電気伝送に関するインターフェース仕様を決定する。

【最終目標】（平成29（2017）年度末）

LSIと光トランシーバの接続構造を決定する。また、策定した設計基準に基づき既存ロジックLSIを搭載できる基板を設計・試作し、光ケーブルを用いたLSI搭載基板間光接続を実現する。

（c）データセンタ間接続機器のシステム化技術開発

低消費電力DSP-LSIと小形集積型送受信光デバイスをモジュール化したデータセンタ間接続用トランシーバの実現に向け、次の検討を行う。

【中間目標】（平成26（2014）年度末）

一次試作の光デバイス及びDSP-LSIを用いたトランシーバを試作し、デバイス制御動作を検証するとともに改良・完成度向上に向けた指針・フィードバック事項を抽出する。

【最終目標】（平成28（2016）年度末）

抽出した技術課題を解決し、目標である小型、低消費電力を満たす100Gbpsデジタルコヒーレント光トランシーバを実現する。

（d）企業間ネットワーク接続機器のシステム化技術開発

シリコンフォトニクス技術を用いた集積光エレクトロニクスチップを開発し、企業間ネットワーク接続機器に適用する一芯双方向波長多重トランシーバを実現するための基盤システム化技術を確立する。

【中間目標】（平成26（2014）年度末）

シリコン光導波路による波長合分波器を用いて1.25Gbpsの一芯双方向光トランシーバを実証する。

【最終目標】（平成29（2017）年度末）

シリコン光導波路による双方向多重合分波器と波長多重合分波器を組み合わせ集積試作し、一芯双方向波長多重動作をシリコンワンチップ上で実証するとともに、企業間ネットワーク向け波長多重合分波器実用化のための要求課題を抽出し、解決の目処を得る。

（e）光電子集積インターポーザのデバイス・実装技術開発

光電子集積インターポーザを実現するために必要なデバイス技術および実装技術を

開発し、10Tbps/ノードの高速・高密度化を実現するための要素技術を確立する。

具体的には、光変調器、受光器、光入出力素子、合分波器など光電子集積インターポーザの構成要素となる光素子の小型、高速、低消費電力化技術を開発する。また、シングルモードファイバーとの接続に適した異種導波路接続構造並びに導波路・光ファイバー間の接続構造を開発する。更に、光電子集積インターポーザにおける大容量信号伝送技術として光信号の多重化、多値化技術を開発する。

【中間目標】(平成31(2019)年度末)

光配線の消費電力を2mW/Gbps以下にするための要素技術を開発する。また、光電子集積インターポーザの異種導波路接続技術と高集積コネクタを開発し、損失の少ないシングルモードファイバーとの光リンクを実現する。

【最終目標】(平成33(2021)年度末)

光配線の消費電力を1mW/Gbps以下とするための要素技術と、電気配線と比較し通信速度あたりの面積で1/100すなわち100倍の帯域密度を実現するための要素技術、およびシリコンフォトニクス技術による波長多重シングルモード光回路を開発することにより、10Tbps/ノードの帯域幅を持つ光電子集積インターポーザ技術を実現する。

(f)光電子集積インターポーザのシステム化技術開発

(f-1)情報処理システム化技術

上記(e)で開発する高速・小型・省電力光電子集積インターポーザを用いたサーバボードを実現するための要素技術を開発し、データセンタで運用できかつ電気配線を用いた場合に比べて消費電力を3割削減できることを示す。

【中間目標】(平成31(2019)年度末)

波長多重技術を用いた接続技術を開発し、消費電力の少ない光電子集積インターポーザ技術と合わせることでサーバ電力量を30%削減可能であることをシミュレーションにより示す。

【最終目標】(平成33(2021)年度末)

消費電力の少ない光電子集積インターポーザ技術と波長多重技術を用いた接続技術を組合せた光電子融合サーバボードを試作し、試作機とシミュレーションを用いてサーバ電力量を30%削減可能であることを示す。

(f-2)情報通信システム化技術

上記(e)で開発する高速・小型・省電力光電子集積インターポーザを用いることにより、一芯双方向波長多重トランシーバを搭載した光アクセスネットワーク端末装置を小型化するための要素技術を開発し、光加入者端末装置を10cm×2cm×2cm以下のサイズに小型化する目処をつけることを目標とする。

【中間目標】(平成31(2019)年度末)

一芯双方向波長多重トランシーバに消費電力の少ない光電子集積インターポーザを実装し、動作検証を行う。

【最終目標】（平成33（2021）年度末）

光電子集積インターポーザを用いた一芯双方向波長多重トランシーバを搭載することにより、光加入者端末装置を10cm×2cm×2cm以下のサイズに小型化するための実装技術を開発する。

（ii）国際標準化

本プロジェクトでの開発成果の事業化に必要な各種インターフェースの標準化を獲得するため、次のような標準化活動を実施する。

【中間目標】（平成26（2014）年度末）

光インターコネクトに関する標準化団体（O I F (Optical Internetworking Forum)、I E E E 8 0 2 . 3 (Next gen 100G Optical Ethernet Study Group)) に参画し、「キーメンバーコミュニティー」におけるプレゼンスを確立する。また、100Gbps デジタルコヒーレント光トランシーバに関する標準化を推進する。

【中間目標】（平成29（2017）年度末）

本プロジェクトの成果である光実装部品における各種インターフェース等の標準化提案活動を行い、実用化する開発成果の事業化に必要な標準の提案を行う。

【中間目標】（平成31（2019）年度末）

光電子集積インターポーザの物理仕様（サイズ、入出力構成等）、電気・光インターフェースに関する各種標準化団体に参画し、実用化する開発成果の事業化に必要な標準の提案を行う。

【最終目標】（平成33（2021）年度末）

光電子集積インターポーザの物理仕様（サイズ、入出力構成等）、電気・光インターフェースに関し、提案した標準化案の採択推進活動を行う。

(別紙2) 研究開発計画

	H24 2012	H25 2013	H26 2014	H27 2015	H28 2016	H29 2017	H30 2018	H31 2019	H32 2020	H33 2021
研究開発項目① 光エレクトロニクス実装 基盤技術の開発	(i)実装基盤技術(光I/Oコア)									
	(ii)革新デバイス技術									
研究開発項目② 光エレクトロニクス実装 システム化技術の開発	(i)システム化技術(光I/Oコア)						(光電子集積インターポーザ)			
	(ii)国際標準化									
評価時期			中間 評価			中間 評価		中間 評価		事後 評価 (H34)

(C) 未来開拓研究プロジェクト実施要綱および実施に関する基本方針

未来開拓研究プロジェクト

経済産業省が実施している未来開拓研究プロジェクトは、中長期的観点の研究開発を優れた技術および知見を有する国内外の企業、大学、公的機関などで構築した研究体制で推進することにより、我が国が直面する環境・エネルギー問題及び少子高齢化問題等の構造的課題の克服、東日本大震災後の状況変化を踏まえたエネルギー需給安定化並びに新興国の台頭により厳しさを増す我が国産業の成長に貢献することを目標として実施されているものである。

本プロジェクト（「超低消費電力型光エレクトロニクス実装システム技術開発」）は、2012年度に未来開拓研究プロジェクトとして定められ、実施されている。

次ページ以降に未来開拓研究プロジェクトの実施要綱、および本プロジェクトが記載された基本方針を示す。

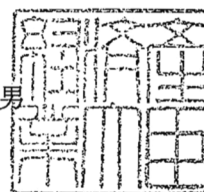
経済産業省

平成24・03・21産第4号

平成24年8月28日

未来開拓研究プロジェクト実施要綱

経済産業大臣 枝野 幸男



(目的)

第一条 この実施要綱は、経済産業大臣による未来開拓研究プロジェクトの実施に関する基本方針の策定に関する事項、経済産業省の関係部局による未来開拓研究プロジェクトの実実施計画の策定に関する事項その他未来開拓研究プロジェクトを実施するために必要な制度の骨格に関する事項等を定め、未来開拓研究プロジェクトを円滑かつ効果的に実施することにより、もって我が国経済の持続的な発展を図ることを目的とする。

(定義)

第二条 この実施要綱において「未来開拓研究プロジェクト」とは、我が国の将来の成長の糧となるイノベーションを創出する、従来技術の延長線上にない、開発リスクの高い革新的技術に関する中長期的な研究開発プロジェクトであって、国のイニシアティブの下、優れた技術及び知見を有する国内外の企業、大学、公的研究機関等を集め、省庁の枠を超えて、継続的に実施されるもののうち、第五条の規定による指定を受けたものをいう。

(基本方針)

第三条 経済産業大臣（以下「大臣」という。）は、未来開拓研究プロジェクトの実施に関する基本方針（以下「基本方針」という。）を作成するものとする。

2 基本方針には、次に掲げる事項について定めるものとする。

- 一 未来開拓研究プロジェクトの実施の目標
 - 二 未来開拓研究プロジェクトの要件に関する事項
 - 三 未来開拓研究プロジェクトの概要、未来開拓研究プロジェクトの成果の事業化を促進するための取組に関する事項、研究開発及び事業化に必要な知的財産の取扱いに関する事項その他未来開拓研究プロジェクトの円滑かつ効果的な実施に関し必要な事項
 - 四 前各号に掲げるもののほか、未来開拓研究プロジェクトの実施に関する重要事項
- 3 大臣は、研究開発の動向の変化、社会情勢の変化その他情勢の変化により必要が生じたときは、基本方針を変更するものとする。
 - 4 大臣は、基本方針を定め、又はこれを変更しようとするときは、あらかじめ産業構造審議会の意見を聴くものとする。

(未来開拓研究プロジェクト候補の選定)

- 第四条 産業技術環境局長は、基本方針において定める未来開拓研究プロジェクトの要件を満たしうる研究開発プロジェクトを次条において未来開拓研究プロジェクトとして指定するものの候補（以下「未来開拓研究プロジェクト候補」という。）として選定するものとする。
- 2 産業技術環境局長は、前項の規定による選定をしようとするときは、あらかじめ、技術総括審議官及び未来開拓研究プロジェクト候補の選定に係る部局の長（以下「関係部局長」という。）の意見を聴き、その意見を尊重しなければならない。

(未来開拓研究プロジェクトの指定)

- 第五条 大臣は、前条第一項の規定により選定された未来開拓研究プロジェクト候補の中から、基本方針に適合すると判断されるものを未来開拓研究プロジェクトとして指定するとともに、当該未来開拓研究プロジェクトの実施に係る責任を有する部局の長（以下「所管部局長」という。）を指定するものとする。
- 2 大臣は、前項の規定により未来開拓研究プロジェクト及び所管部局長を指定した場合には、当該プロジェクトの概要及び所管部局長を基本方針に規定

するものとする。

(実施計画)

第六条 産業技術環境局長及び所管部局長は、共同で、未来開拓研究プロジェクトごとに、当該未来開拓研究プロジェクトを実施するための計画（以下「実施計画」という。）を定めるものとする。

- 2 実施計画においては、次に掲げる事項を規定するものとする。
 - 一 未来開拓研究プロジェクトの目標及びその研究開発の内容
 - 二 前号に掲げるもののほか、未来開拓研究プロジェクトの成果を事業化するための取組その他未来開拓研究プロジェクトの実施に必要な事項
- 3 産業技術環境局長及び所管部局長は、研究開発の動向の変化、社会情勢の変化その他情勢の変化により必要が生じたときは、実施計画を変更するものとする。

(年度計画)

第七条 産業技術環境局長及び所管部局長は、毎事業年度の開始前に、前事業年度までの未来開拓研究プロジェクトの進捗状況を踏まえ、実施計画に定める目標を達成するため、年度ごとの未来開拓研究プロジェクトの実施に関する計画（以下「年度計画」という。）を定めるものとする。

- 2 第六条第三項の規定は、前項の年度計画に準用する。

(政策評価)

第八条 産業技術環境局長は、経済産業省技術評価指針（平成二十一年三月三十一日）に基づき、定期的に、未来開拓研究プロジェクトについて評価を行うものとする。

- 2 産業技術環境局長及び所管部局長は、前項の評価の結果を踏まえ、未来開拓研究プロジェクトの実施計画又は年度計画を見直す必要があると判断した場合には、すみやかに、これらを変更するものとする。

(独立行政法人の協力)

第九条 産業技術環境局長及び所管部局長は、未来開拓研究プロジェクトの実

施に当たって、独立行政法人に対し、未来開拓研究プロジェクトの実施に関し必要な協力を求めるものとする。

(文部科学省等との連携の協議)

第十条 産業技術環境局長は、未来開拓研究プロジェクトの実施に当たって、文部科学省その他の行政機関（経済産業省を除き、以下「関係行政機関」という。）の所掌に係る科学技術の基礎的研究と密接な連携を行う必要がある場合には、関係行政機関の担当部局等の長に対し、未来開拓研究プロジェクトを連携して行うための体制の構築等に関する協議を申し入れるものとする。

2 産業技術環境局長は、未来開拓研究プロジェクトの実施に当たって、関係行政機関の所掌に係る事業と密接な連携を行う必要がある場合には、未来開拓研究プロジェクトの成果を活用する可能性がある事業等と密接な連携を行う必要がある事業を所管する関係行政機関の担当部局等の長に対し、未来開拓研究プロジェクトを連携して行うための体制の構築等に関する協議を申し入れるものとする。

(雑則)

第十一条 この要綱に定めるもののほか、未来開拓研究プロジェクトの実施に関し必要な事項は、産業技術環境局長が別に定める。

2 産業技術環境局長は、前項の規定により必要な事項を定めるときその他未来開拓研究プロジェクトの実施に必要となる総合的な検討を行うときは、技術総括審議官及び関係部局長の意見を聴くものとする。

附 則

第一条 産業技術環境局長は、この要綱の施行後、技術総括審議官及び関係部局長の意見を聴いて、経済産業省が行う研究開発プロジェクトの企画・立案やその推進に関する基本方針の策定等の措置について検討を行い、所要の措置を講ずるものとする。

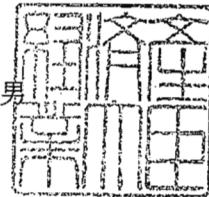
経済産業省

平成 24・03・21 産第 5 号

平成 24 年 8 月 28 日

未来開拓研究プロジェクトの実施に関する基本方針

経済産業大臣 枝野 幸男



1. 未来開拓研究プロジェクトの実施の目標

未来開拓研究プロジェクトは、中長期的観点の研究開発を優れた技術及び知見を有する国内外の企業、大学、公的研究機関等で構築した研究体制で推進することにより、我が国が直面する環境・エネルギー問題及び少子高齢化問題等の構造的課題の克服、東日本大震災後の状況変化を踏まえたエネルギー需給安定化並びに新興国の台頭により厳しさを増す我が国産業の成長に貢献することを目標とする。

2. 未来開拓研究プロジェクトの要件に関する事項

未来開拓研究プロジェクトは、客観的なデータ等に基づいて、以下のすべての要件を満たす技術とする。

①我が国経済社会に大きなインパクトを与える技術

我が国が直面する環境・エネルギー問題や少子高齢化問題等の根本的な解決に貢献し、経済成長への寄与の著しい技術であること。

②従来技術の延長線上にない、開発リスクの高い技術

実用化されていない新材料や新原理の導入など、従来技術の延長線上にない、非連続型の発展が必要な技術であり、実用化まで長期間を要し、開発に伴うリスクが高い技術であること。

③我が国が強みを持つ技術

影響力のある論文や重要特許の件数、関連する市場におけるシェア等か

ら、我が国が国際的に優位にあると判断される技術であること。

3. 未来開拓研究プロジェクトの円滑かつ効果的な実施に関し必要な事項

(1) 未来開拓研究プロジェクトの概要及び所管部局長

2. に定める要件を満たし、未来開拓研究プロジェクト実施要綱第五条第一項の規定により指定された未来開拓研究プロジェクトについて、その必要性・事業内容、2. の要件への適合、目的・目標等の事業概要及び所管部局長を別添1において整理するものとする。

(2) 未来開拓研究プロジェクトの推進体制等

未来開拓研究プロジェクトの成果の事業化を促進するための取組に関する事項その他未来開拓研究プロジェクトの円滑かつ効果的な実施に関し必要な事項について、以下のとおり定める。

① 推進体制の構築

研究開発のみならず、その後の事業化においても十分な成果を上げるため、それぞれの役割が明確で、研究開発及び事業化の段階において優れた技術、知見を有する相互補完的な関係にある企業（中小企業、ベンチャー企業を含む。）、大学、公的研究機関等から構成される事業推進体制（以下「推進体制」という。）を構築し、研究開発段階から事業化を志向して推進することとする。

なお、推進体制の構築に当たっては、国内外の技術及び市場の動向を調査した上で、国外の大学や企業の参画の是非を検討することとする。

② 関連独立行政法人の協力

研究開発及び事業化の促進に当たって、関連する分野において所管する独立行政法人の知見・ノウハウ等を活用することが必要である場合には、実施計画に当該独立行政法人の役割を位置付け、協力を求めるものとする。

③ 他省庁の施策との連携体制の構築

ア. 文部科学省等との連携

未来開拓研究プロジェクトに関連した文部科学省等が実施する基礎的研究との連携を密にし、研究開発の効率的推進や事業化の加速を実現するため、原則として、未来開拓研究プロジェクトと当該基礎的研究の参加者間で、研究課題の決定、成果の共有・取扱、設備の共用及

び研究人材交流の促進等について連携する体制を構築する。

イ. 他の事業所管省庁との連携

必要に応じて、未来開拓研究プロジェクトの成果の活用に関連した事業及び規制を所管する省庁との連携を密にし、研究開発の効率的推進や事業化の加速を実現するため、研究開発関連の調整及び共有のほか、規制緩和、導入促進等の関連施策を講じる連携体制を構築するものとする。

④研究開発及び事業化に必要な知的財産の取扱い等

推進体制の効果的な運用のため、別添2に掲げる基本的考え方に従って研究開発及び事業化に必要な知的財産管理の規定等の整備を求めることとする。また、参加する大学に、研究人材の流動化や実践的な人材育成への取組を促すこととする。

⑤その他事業化促進の取組

開発された成果を我が国の産業競争力強化につなげるため、事業者だけでなく、潜在的なユーザー等の意見を聴いて、標準化戦略や成果の市場への受容を促すための安全・性能証明の方策を含む事業化戦略を策定する。また、途中段階で得られた成果は他の施策と連携しつつ、事業化を図る。

4. その他、未来開拓研究プロジェクトの実施に関する重要事項

未来開拓研究プロジェクトを継続的に実施するため、予算、組織、制度等に関する必要な措置を行うよう努めるものとする。

関連技術や市場の動向を随時把握し、最新の技術や知見を事業に取り込むように努めることとする。

定期的に評価を実施し、研究開発の内容及び事業化の戦略等について適切な見直しを行う。

未来開拓研究プロジェクト

1. 高効率モーター

(1) 事業の必要性・事業内容

現在、電力の過半はモーターが消費している。また、家電や産業機械向けに加えて、自動車の電動化（HEV、EV、FCV）に伴ってモーターの需要の拡大が予想されている。モーターはその消費電力の2割を損失しており、中長期的なエネルギー需給戦略において、モーターの省エネは最重要課題の一つである。モーターの性能は磁石に依存しており、省エネに当たっては、高性能な磁石の開発が鍵となる。

現行で最強であるネオジム磁石は日本で発明されたものであり、我が国は磁石技術で世界をリードしてきた。特に自動車駆動用モーターに使用される高性能磁石に至っては、日本の3企業のみが生産している。一方、ネオジム磁石の性能が理論限界に接近し、米国における基本特許が期限を迎えることから、我が国の優位性が低下する恐れがある。

また、高性能磁石の原材料には、現在、中国がほぼ供給を独占しているレアアース（ネオジム、ジスプロシウム等）が大量に必要とされ、特定国の原料の生産動向に影響される可能性があることから、レアアースの安定確保に取り組むとともに、レアアースに依存しない体制の構築が急務となっている。

そのため、レアアースに依存しない革新的な高性能磁石を開発し、磁石産業の競争力を維持・強化することで、次世代自動車や家電、産業機械の心臓部であるモーターの競争力を確保し、我が国産業全体を活性化に寄与することを目指す。

(2) 要件への適合

①我が国経済社会への大きなインパクト

- ・電力消費の過半を占めるモーターに関する省エネ
- ・中国が掌握するレアアースからの脱却

②従来技術の延長線上にない、開発リスクの高さ

- ・レアアースフリーかつ現行磁石の理論限界を超える高性能磁石の開発

③我が国の強み

- ・現行最強であるネオジム磁石を我が国が発明

・高性能磁石及び高効率モーター設計技術は日本が世界をリード

(3) 事業の目的・目標

現在のレアアース添加型磁石の2倍の磁力を持ちながら、レアアースを使用しない革新的な高性能磁石を開発する。また、内部エネルギー損失（鉄損）を半減するための高効率軟磁性体（鉄芯）を開発する。モーター全体の設計見直しを行い、システム全体としてのエネルギー損失を1/4削減する。

(4) 事業期間

平成24年度から平成33年度

(5) 事業規模

200億円程度を想定（平成24年度から3年の国庫債務負担行為を確保）

※中間評価等の結果を勘案し、事業規模は必要に応じて見直す。

(6) 所管部局長

製造産業局長

2. 光エレクトロニクス

(1) 事業の必要性・事業内容

クラウド・コンピューティングの進展によりデータセンタ等における情報処理の大規模化が進み、情報処理量や通信トラフィックが指数関数的に増大しており、今後とも情報量の増加は止まらないと予測されている。現状の技術のままではデータ伝送に係るコストや電力消費量は増加することが予測され、2025年には4倍（現在の国内電力消費量全体の4分の1）に膨らむと見込まれている。このため、機器・装置の低コスト化、低消費電力化を可能とする革新的技術の開発を進めていく必要がある。

これまで、情報通信機器は半導体回路の微細化を進めることで、低消費電力化や小型化、高機能化といったニーズに応じてきたが、微細加工技術の限界が見え始めている。このような状況で一層の低消費電力化や高機能化を実現していくには、微細化以外の技術の高度化を図ることが必要である。光エレクトロニクス実装システム技術開発は、今後、情報処理量の急増に伴って、電力消費量の増大が見込まれている中、情報通信機器の省電力、

高速、小型化を可能とする光配線、光素子を開発し、システム化を行うものであり、低消費電力化や高機能化に対して極めて有効な施策となる。

光技術は半導体分野の主要なグローバル企業が次世代のデータセンタ等の低消費電力化・高性能化技術として有力視しており、米国で大型プロジェクトが進行中である。我が国は青色ダイオードを始めレーザーダイオード等の光半導体ではこれまで世界をリードし、世界市場の6割程度を占めてきた。IT機器、家電機器への光伝送技術の本格的導入に当たっては国家プロジェクトの下で、我が国が強みを有する要素技術を結集して、研究開発を進めることが必要である。それによって、光エレクトロニクスを用いた新たなコンピューティング市場において競争力を獲得し、ひいては半導体産業、回路基板産業や、それらをシステム化したサーバ、ルータ等の情報通信機器産業などの幅広いエレクトロニクス産業の活性化にも資することが出来る。

(2) 要件への適合

①我が国経済社会への大きなインパクト

- ・2025年には電力消費4倍と予想されるIT機器のデータ伝送に関し、現状の1/10の低消費電力化・高速化

②従来技術の延長線上にない、開発リスクの高さ

- ・半導体の微細化の限界を超えた省電力、高速、小型化を達成する光配線、光素子の開発

③我が国の強み

- ・レーザーダイオード等の光半導体は我が国が世界をリード

(3) 事業の目的・目標

光配線、光素子を開発し、電子機器のデータ伝送に関し、現状の1/10の低消費電力化・高速化と通信速度あたりの面積比で約1/100以下の小型化・高密度配線を可能とする光エレクトロニクス実装システム技術を実現し、データセンタレベルでの運用可能性を検証する。これにより、電力消費が急増すると予想される電子機器の消費電力を大幅に（サーバの場合は3割）削減する。

(4) 事業期間

平成24年度から平成33年度

(5) 事業規模

300億円程度を想定

※中間評価等の結果を勘案し、事業規模は必要に応じて見直す。

(6) 所管部局長

商務情報政策局長

3. 革新的触媒

(1) 事業の必要性・事業内容

我が国の化学産業は、出荷額約40兆円、従業員数約88万人を擁する一大産業であり、高い国際競争力を誇る製品を多数生み出している。とりわけ石油化学部材やケイ素部材は自動車、情報・通信分野等の高度組立産業を中心に必要不可欠な役割を果たしている。

一方で、同産業は基幹化学品から機能性化学品までの様々な製品の原料として化石資源を大量に消費し、二酸化炭素排出量においても産業分野の13%を占める。地球温暖化が懸念され、輸入に頼る石油の価格上昇や枯渇リスクに直面する中、化学品製造の革新的イノベーションの実現により、こうした課題を乗り越えていくことが急務となっている。石油資源からの脱却や低炭素社会の実現のためのキーテクノロジーである触媒技術は、ノーベル化学賞を受賞した野依良治、鈴木章、根岸英一教授らを擁する我が国が世界トップレベルの技術を有する。

そのため、二酸化炭素と水を原料に太陽エネルギーでプラスチック原料等基幹化学品を製造する革新的触媒や、砂から有機ケイ素原料を直接合成し、同原料から高機能有機ケイ素部材を製造する革新的触媒等の技術開発を行い、我が国が有する技術の国際的優位性を確保しながら、資源問題、環境問題を同時に解決することを目指す。

(2) 要件への適合

①我が国経済社会への大きなインパクト

- ・石油に依存しない化学品製造プロセスの構築

②従来技術の延長線上にない、開発リスクの高さ

- ・二酸化炭素と水を原料に太陽エネルギーでプラスチック原料等の基幹化学品等を製造する触媒の開発

③我が国の強み

- ・キーテクノロジーとなる触媒技術において、我が国は多数のノーベル化

学賞受賞者を輩出するなど、世界をリード

(3) 事業の目的・目標

二酸化炭素と水を原料に太陽エネルギーでプラスチック原料等基幹化学品を製造する革新的技術を確立するため、太陽エネルギーにより水から水素を製造する光触媒のエネルギー変換効率の30倍以上の飛躍的向上等を図り、2030年に既存のオレフィン製造量の20%を代替し、オレフィン原料であるナフサを17%削減する。また、金属ケイ素を経ない砂からの有機ケイ素原料や高機能有機ケイ素部材を製造する革新的技術を確立するため、ケイ素に適用可能な触媒の開発及びその反応率の向上等を図り、有機ケイ素部材の高性能化や製造プロセスの省エネ化（低コスト化）により、更なる市場拡大を実現する。

(4) 事業期間

平成24年度から平成33年度

(5) 事業規模

170億円程度を想定（平成24年度から3年の国庫債務負担行為を確保）

※中間評価等の結果を勘案し、事業規模は必要に応じて見直す。

(6) 所管部局長

製造産業局長

未来開拓研究プロジェクトにおける知的財産等の取扱に関する基本的考え方

- 未来開拓研究プロジェクトにおいては、参加者間のシナジー効果の発揮等によるプロジェクトの目的(研究開発の成功と成果の事業化による国益の実現)達成を確実にするため、知的財産について適切な管理を行う。
- 具体的には、プロジェクトで発生する知的財産が、原則として参加者に帰属することを前提に、以下のような問題を防止する観点から、プロジェクトごとの事情に応じて、適切な措置を講ずる。

- 参加者の所有する知的財産権(フォアグラウンド、バックグラウンド)がプロジェクトの推進の障害になること
- 参加者 A と B の協力(A から B への知的財産権の実施許諾や材料提供等)による事業化を想定していたところ、A からプロジェクト外の X(B の競合相手等)に対して、より有利な条件で実施許諾や材料提供がなされてしまい、プロジェクトの目的が達せられなくなること
- A から B への知的財産権の実施許諾や材料提供等が何らかの事情(例:A の X による買収、A のプロジェクトからの脱退 等)で滞り、プロジェクトの目的が達せられなくなること
- 大学等と企業の共有特許に係る不実施補償等を巡る協議が難航し、産学連携や事業化に支障が生じること

- 経済産業省は、プロジェクトごとの事情に応じて、これらの問題を防止するために必要な措置を、経済産業省と事業推進体制間の契約や事業推進体制内の規約等の形で具体化し、適切な管理を実現する。
- なお、未来開拓研究プロジェクトにおいては、プロジェクトの発明に基づく知的財産権の出願費用は、原則として参加者の自己負担とするが、必要に応じ、事業推進体制内の審査を経て、予算の範囲内で、プロジェクト予算で負担することができることとする。

(D) 超低消費電力型光エレクトロニクス実装システム技術開発事前評価報告書、総合科学技術会議が実施する国家的に重要な研究開発の評価結果

次ページ以降に2011年度（平成23年度）に、産業構造審議会産業技術分科会評価小委員会にて実施された本プロジェクトの実施に係る事前評価書、および、総合科学技術会議が実施する国家的に重要な研究開発の評価 「超低消費電力型光エレクトロニクス実装システム技術開発」の評価結果を示す。この結果に基づき、事業の効率的かつ効果的な実施を行っている。

超低消費電力型光エレクトロニクス
実装システム技術開発事業
事前評価報告書

平成23年7月
産業構造審議会産業技術分科会
評価小委員会

はじめに

研究開発の評価は、研究開発活動の効率化・活性化、優れた成果の獲得や社会・経済への還元等を図るとともに、国民に対して説明責任を果たすために、極めて重要な活動であり、このため、経済産業省では、「国の研究開発評価に関する大綱的指針」（平成20年10月31日、内閣総理大臣決定）等に沿った適切な評価を実施すべく「経済産業省技術評価指針」（平成21年3月31日改正）を定め、これに基づいて研究開発の評価を実施している。

今回の評価は、「超低消費電力型光エレクトロニクス実装システム技術開発事業」の事前評価であるが、本事業は、現在、新しい国家プロジェクトのあり方として議論している非連続型研究開発事業の一つとして検討していることから、この視点から評価を行うことが必要と考え、産業構造審議会産業技術分科会評価小委員会に付議することとした。

なお、当該研究開発事業は、昨年事前評価を実施した「超低消費電力型光電子ハイブリッド回路技術開発事業」の名称を「超低消費電力型光エレクトロニクス実装システム技術開発事業」へ変更し、来年度から実質的な研究開発をスタートさせるものであり、技術開発内容等に大きな変更がないことから、この度の事前評価では、第1章技術に関する施策及び新規研究開発事業の概要及び第2章評価コメントは、昨年事前評価した「超低消費電力型光電子ハイブリッド回路技術開発事業」のものを掲載している。

今般、当該研究開発事業に係る検討結果が事前評価報告書の原案として産業構造審議会産業技術分科会評価小委員会（小委員長：平澤 冷 東京大学名誉教授）に付議され、内容を審議し、了承された。

本書は、これらの評価結果を取りまとめたものである。

平成23年7月

産業構造審議会産業技術分科会評価小委員会

産業構造審議会産業技術分科会評価小委員会
委員名簿

委員長	平澤 冷	東京大学名誉教授
	池村 淑道	長浜バイオ大学バイオサイエンス研究科研究科長 バイオサイエンス学部学部長 コンピュータバイオサイエンス学科 教授
	大島 まり	東京大学大学院情報学環教授 東京大学生産技術研究所教授
	太田 健一郎	横浜国立大学特任教授
	菊池 純一	青山学院大学法学部長・大学院法学研究科長
	小林 直人	早稲田大学研究戦略センター教授
	鈴木 潤	政策研究大学院大学教授
	中小路 久美代	株式会社S R A先端技術研究所所長
	森 俊介	東京理科大学理工学部経営工学科教授
	吉本 陽子	三菱UFJリサーチ&コンサルティング株式会社 経済・社会政策部主席研究員

(委員敬称略、五十音順)

事務局：経済産業省産業技術環境局技術評価室

「情報政策関連事業」に係る事前評価検討会
委員名簿

座長 藤村 修三 東京工業大学 イノベーションマネジメント研究科 教授

加藤 和彦 筑波大学大学院システム情報工学研究科 教授

新 誠一 電気通信機器大学電気通信学部システム工学科 教授

舘 暲 慶應義塾大学大学院メディアデザイン研究科 教授

廣瀬 通孝 東京大学情報工学研究科 教授

前口 賢二 (社)半導体産業研究所 所長

望月 洋介 (株)日経BP クリーンテック研究所長

(敬称略、五十音順)

事務局:経済産業省商務情報政策局情報政策課

超低消費電力型光エレクトロニクス実装システム技術開発事業（旧「超低消費電力型光電子ハイブリッド回路技術開発事業」）の評価に係る省内関係者

【事前評価時】

商務情報政策局 情報通信機器課長 吉本 豊（事業担当課長）

産業技術環境局 産業技術政策課 技術評価室長 秦 茂則

新規研究開発事業「超低消費電力型光エレクトロニクス実装システム技術開発事業」（旧「超低消費電力型光電子ハイブリッド回路技術開発事業」）に関する事前評価

審議経過

○事前評価検討会（平成22年5月10日）

- ・評価の方法等について
- ・技術に関する施策及び新規研究開発事業の概要並びに創設の妥当性について
- ・評価の進め方について

※会議終了後、メールレビューにて評価報告書（案）の審議

○産業構造審議会産業技術分科会評価小委員会（平成22年7月7日）

- ・事前評価報告書（案）について（個別審議）

○産業構造審議会産業技術分科会評価小委員会（平成23年7月22日）

- ・事前評価報告書（案）について

目 次

はじめに

産業構造審議会産業技術分科会評価小委員会 委員名簿

「情報政策関連事業」に係る事前評価検討会委員名簿

「超低消費電力型光エレクトロニクス実装システム技術開発事業」（旧「超低消費電力型光電子ハイブリッド回路技術開発事業」）の評価に係る省内関係者

「超低消費電力型光エレクトロニクス実装システム技術開発事業」（旧「超低消費電力型光電子ハイブリッド回路技術開発事業」）事前評価 審議経過

	ページ
第1章 技術に関する施策及び新規研究開発事業の概要	
1. 技術に関する施策の概要	1
2. 新規研究開発事業の創設における妥当性等について	1
3. 新規研究開発事業を位置付けた技術施策体系図等	3
第2章 評価コメント	4
第3章 評価小委員会のコメント及びコメントに対する対処方針	7

（参考資料1）「超低消費電力型光電子ハイブリッド回路技術開発事業」事前評価に係る評価小委員会委員からのコメント及び対処方針

（参考資料2） 超低消費電力型光エレクトロニクス実装システム技術開発事業の概要（PR資料）

第1章 技術に関する施策及び新規研究開発事業の概要

1. 技術に関する施策の概要

「科学技術で世界をリード」（総理所信）し、環境と経済が両立した持続可能な成長に貢献するべく、グリーンイノベーションを推進する研究開発、国際競争力の強化を実現することが必要。情報通信機器分野においては、我が国の主力産業の一つであり、国際的な技術開発競争が最も激しい分野の一つでもある IT・エレクトロニクス産業の競争力強化と「グリーン IT」による低消費電力化への貢献を目的に、各種デバイスやネットワーク関連機器等の開発に取り組む。

2. 新規研究開発事業の創設における妥当性等について

- プリント基板等の電気配線基板は、情報通信機器、映像機器、携帯機器、ロボット、計測機器、自動車などを始めとして、殆ど全ての民生用／産業用電子機器で広く利用されており、我が国の基幹産業を支える基盤技術である。
- 現在、上記電子機器で扱う情報量は飛躍的に増加しており、今後とも情報量の増加は止まらなると予測されている。この情報量の増加に伴い、電気配線基板には、情報信号の高速化、配線密度の高密度化、小型軽量化、柔軟性等が求められている一方で、省エネ化も達成する必要がある。
- しかしながら、電気配線には本質的に電気抵抗、電気容量、インダクタンスが存在するため、信号の周波数が高くなると消費電力が大きくなる、配線サイズが大きくなる、電磁干渉による雑音が大きくなる等の課題が生じ、上記の要求を満たすことが困難になってきている。
- これまでに、LSIチップ内のグローバル配線を光配線化するための技術開発事業（MIRAIプロジェクト）、LSIモジュール内配線を光配線化するための技術開発事業（フォトニクス・エレクトロニクス融合システム基盤技術開発）、および電気配線基板間（バックプレーン）を光で接続するための技術開発事業（次世代高効率ネットワークデバイス技術開発）等は実施されているが、LSIモジュール間（電気配線基板内）配線の上記課題に対する技術開発が手つかずの状態にあり、早急に着手する必要がある。
- 半導体国際技術ロードマップ（ITRS）によると、早ければ2015年頃にはLSIモジュール間の配線に光配線が必要になると予測されている。その実現のためには、インターフェースの標準化やサプライチェーンの変革も必要になり、民間企業の単独による開発・事業化では不可能である。このような状況を受け、米国では2008年からDARPAの資金による光電子ハイブリッド集積PJであるUNIC-PJが、同じく欧州ではEUのFP7の資金による多数の光電子ハイブリッド集積関係PJ（HELIOS, BOOM, HISTRIC, WADIMOS等）が開始されており、応用範囲の広い本基盤技術分野で日本が遅れをとらないためにも、早急に国の主導による技術開発を開始する必要がある。
- 上記の課題を解決した配線基板を実現するため、高周波信号の接続を高密度・小型・低消費電力で行うことが出来る光配線と、小型・低消費電力で信号処理を行うことができるCMOS-LSIをハイブリッド集積した光電子ハイブリッド回路基板技術開発を、産

学連携により実施する。

- 具体的には、従来のLSIのインターフェース機能および電気プリント基板の配線機能を、シリコンまたは化合物半導体を用いた集積型光インターフェースおよび光配線基板に置き換え、これらをCMOS-LSIおよび電気配線基板とハイブリッド集積することにより、1mW/Gbps以下の低消費電力化・高速化と従来面積比で約1/100以下の小型化・高密度配線化を実現する技術開発を実施する。更に、波長多重技術および光スイッチング技術等を適用することにより、高速・高密度・柔軟・省エネルギーな光配線を実現する。また、究極の省エネ技術である、全光型革新的デバイス（光IC、光LSI）の基盤技術開発も進める。

3. 新規研究開発事業を位置づけた技術施策体系図等

デバイスの革新による低炭素社会の実現と社会的課題の解決



第2章 評価コメント

1. 事業の目的・政策的位置付け（新規研究開発事業の創設）の妥当性

光デバイス技術の開発は半導体ロードマップにより比較的短期で実用化が望まれている技術であり、小型・低消費電力機器を実現するためには必須の技術である。またコンピューティングや将来のスマートグリッドに代表される大規模通信網を支える基盤技術として不可避である。中でも本プロジェクトが目的としている光電子ハイブリッド回路技術は光通信システムを構築してゆく上での一つの技術的ボトルネックとなっていることから、産学連携によりこれを解決することの意義は大きい。本事業による要素技術確立、インターフェイス標準化、CMOS-LSIとのハイブリッド集積実証が行われることで一気に企業製品開発へ移行する環境が生まれる期待は大きい。

なお、本プロジェクトの開発技術は激しい国際間での開発競争が予想されることから、わが国産業を国際競争において優位な位置に立たせることができるかどうかモジュールレベルでのコスト・性能比を強く留意した開発が必要であると同時に、プロジェクトの柔軟で慎重な推進が求められる。また、デバイスがどういう新しいシステムを生み、どうエネルギーを削減するかはわかるが、その変化は量的な変化だけでなく、世の中の変化にどう影響するのかを示すことが必要と思われる。

【肯定的意見】

・光を利用した本プロジェクトは、産学連携が必須の分野と考える。コンピューティングとしても、社会インフラとしても不可避になる技術であり、ここに国の予算がつくことは妥当だと考える。

・目標とする時期に関して、「ITRSに遅れを取らない」と読める文章があるが、ITRSよりも前倒しで実現することを期待する。

・光デバイス技術は将来のスマートグリッドに代表される大規模通信網を支える基盤技術の一つである。中でも本プロジェクトが目的としている光電子ハイブリッド回路技術は光通信システムを構築してゆく上での一つの技術的ボトルネックとなっている。従ってこれを解決することの福音は大きい。

・LSIモジュール間の光配線は半導体ロードマップにより比較的近場で実用化が急がされている技術であり、小型・低消費電力機器を実現するためには必須の技術です。本事業による要素技術確立、インターフェイス標準化、CMOS-LSIとのハイブリッド集積実証が行われることで一気に企業製品開発へ移行する環境が生まれる期待は大きい。

【問題点・改善すべき点】

・10年前にも同様の事業提案があったように記憶している。技術は進展し、社会情勢も変わってきている。過去からの経緯を含めて、ロードマップが欲しい。

・他の事業に比べ、国が開発すべき論点が、希薄である。そこを明確にすべきである。

・デバイスがどういう新しいシステムを生み、どうエネルギーを削減するかはわかる。しかし、その変化は量的である。もっと質的な変化につながるアイデアをデバイスとシステムの連携で作れないものか。

・しかし一方で、上記肯定的意見での記述内容は激しい国際間での開発競争が予想されることを意味する。すなわち、本プロジェクトがわが国産業を国際競争において優位な位置に立たせることができるかどうかは微妙である。もちろん開発に遅れを取り追従す

る側に回った場合でも、基礎的な知識を有しているかどうかでその追従速度は変わってくる。従って、国際競争の激しさは本プロジェクトの重要性を低下させるものではないが、プロジェクトの柔軟で慎重な推進が通常の研究・開発プロジェクトよりも求められる。

・実用化に向けた大きな課題はコストと思います。モジュールレベルでのコスト・性能比を強く留意した開発を望みます。

2. 今後の新規研究開発事業の実施に向けての提言

息の長い開発が必要なことは分かるが、戦略性や将来見通しを技術者目線ではなく、国民目線で説明できるかが重要である。また目的と光電子ハイブリッド回路技術の進捗状況だけでなく、関連する他の技術の発展状況を踏まえて随時研究・開発方針を柔軟に適正化するための研究戦略組織の併設が必要と思われる。

【各委員の提言】

- ・この課題に限らず提案されている技術は重要だけど目新しさが無い。息の長い開発が必要なことは分かるが、それだけに歴史も含めて戦略性や将来見通しが必要。昨年と今年は何が違うかを技術者目線ではなく、国民目線で説明できるかが重要。
- ・目的と電子ハイブリッド回路技術の進捗状況だけでなく、関連する他の技術の発展状況を踏まえて、随時研究・開発方針を柔軟に適正化するための研究戦略組織の併設が必要と思われる。
- ・アプリケーションにより求められる性能、コストが異なると思います。今後の議論の中で明確にして欲しい。

第3章 評価小委員会のコメント及びコメントに対する対処方針

本研究開発事業に対する評価小委員会のコメント及びコメントに対する推進課の対象方針は、以下のとおり。

【超低消費電力型光エレクトロニクス実装システム技術開発事業】

コメント①

非連続型研究開発として国が長期・段階的に実施する必要性等をより明確にするとともに、当面する技術的な進捗度の評価や、その実用化に伴う新しい課題の探索・解決などの学習型の仕組み作りを試みる等、プログラム設計とその運用に配慮しながら進めていただきたい。

対処方針①

平成23年度に光エレクトロニクス実装技術に関する先導研究の結果等を踏まえ、平成24年度以降本事業において国が長期・段階的に実施する必要性等をより明確にするとともに、技術的な進捗度の評価や、その実用化に伴う新しい課題の探索・解決などの学習型の仕組み作りを試みる等、適切に執行を進めて行く。

「超低消費電力型光電子ハイブリッド回路技術開発事業」事前評価に係る
評価小委員会委員からのコメント及び対処方針

コメント	対処方針
<p>○本事業については、光素子・全光通信に既に取り組んでいる通総研のプログラムとの連携が必要。省庁間の共管プログラムにしてはどうか。</p> <p>○我が国の光電子ハイブリッド回路技術は、欧米等に比べて遅れており、実用化に向けた明確なロードマップを作成し、早急に取り組むことを期待。</p>	<p>○本プロジェクトはボード内・機器内・データセンタ内の省エネを目指すものであり、総務省及び情報通信研究機構の光ネットワークの研究開発とは、オール光用機器・システム実現を見据えて研究成果を共有するなど連携を行う方針である。</p> <p>○欧米等に対して優位に立てるように、高い競争力を有する日本の中核企業が結集して行う。その際、優先的に行う技術開発課題の抽出、先行開発を視野に入れたロードマップの策定を行う方針である。</p>

超低消費電力型光エレクトロニクス実装システム技術開発

商務情報政策局 情報通信機器課
03-3501-6944

事業の内容

事業の概要・目的

○クラウド・コンピューティングの進展によりデータセンターの情報処理の大規模化が進み、情報処理量や通信トラフィックの指数関数的増大に直面しています。光電子ハイブリッド回路技術開発は、省電力、高速で小型な光接続により様々なLSIを高集積することを可能とすることから、高い情報処理能力を有するサーバ等のIT機器の大幅な消費電力低減が見込まれます。

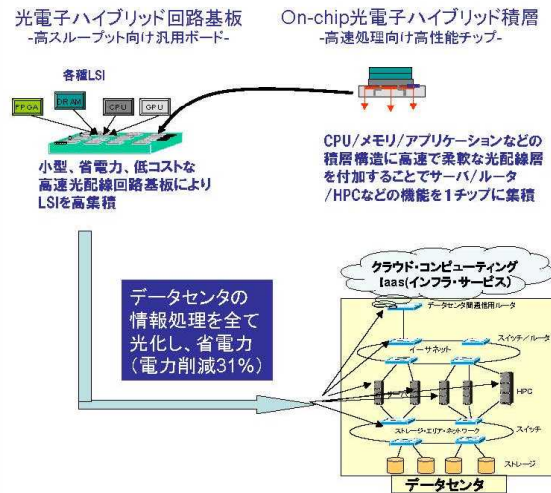
○データセンターを構成するルータ、サーバ等のIT機器内におけるLSI内間の配線とインターフェイスを、電子回路と光回路をハイブリッド集積した光電子ハイブリッド回路技術の研究開発により小型、省電力、低コスト化し、データセンターの情報処理量の増加による課題を解決します。

条件（対象者、対象行為、補助率等）



事業イメージ

○光電子ハイブリッド回路をルータ、サーバ等の全てのIT機器に搭載し、情報処理量の増加に対応し省電力化を実現します。



総合科学技術会議が実施する
国家的に重要な研究開発の評価

「超低消費電力型光エレクトロニクス
実装システム技術開発」
の評価結果

平成 23 年 12 月 15 日

総合科学技術会議

目次

1.	はじめに.....	1
2.	評価の実施方法.....	2
2.1.	評価対象の概要.....	2
2.2.	評価目的.....	2
2.3.	評価方法.....	3
3.	評価結果.....	6

参考1 評価専門調査会 名簿

参考2 評価検討会 名簿

参考3 審議経過

参考4 第1回検討会 経済産業省提出資料【省略】

参考5 第2回検討会 経済産業省提出資料【省略】

1. はじめに

総合科学技術会議は、大規模な研究開発その他の国家的に重要な研究開発について、国の科学技術政策を総合的かつ計画的に推進する観点から、自ら評価を行うこととされている（内閣府設置法第26条）。

このため、総合科学技術会議では、新たに実施が予定される国費総額が約300億円以上の研究開発について評価を行い、その結果を公開するとともに、評価結果を推進体制の改善や予算配分に反映させることとしている。評価にあたっては、あらかじめ評価専門調査会が、必要に応じて専門家・有識者の参加を得て、府省における評価の結果も参考に調査・検討を行い、総合科学技術会議はその報告を受けて結果のとりまとめを行うこととしている。

「超低消費電力型光エレクトロニクス実装システム技術開発」は、平成24年度予算概算要求において、経済産業省が新たに実施することとした事業であり、平成24年から平成33年までの10年間の国費総額約291億円を見込む大規模研究開発である。総合科学技術会議では、評価専門調査会に当該研究開発に関係する分野の専門家・有識者を交えて調査・検討を行った。その結果を踏まえて評価を行い、その結果をここにとりまとめた。

総合科学技術会議は、本評価結果を関係大臣に通知し、実施計画や推進体制の改善、予算配分への反映を求めるとともに、評価専門調査会において、その実施状況をフォローアップすることとする。

2. 評価の実施方法

2.1. 評価対象の概要

○名称:『超低消費電力型光エレクトロニクス実装システム技術開発』

○実施府省:経済産業省

○実施期間及び予算額:

平成 24 年度から平成 33 年度まで。

国費総額約 291 億円。

平成 24 年度予算概算要求額約 60 億円。

○事業内容:

光配線(高屈折率、低減衰率の微細な光導波路)や光素子(小型で低損失な光変調器、受光器等)の開発を行い、光エレクトロニクス(エレクトロニクスとフォトリソグラフィの融合)実装システム技術を実現することにより、今後、電力消費が急増すると予想されるサーバ等の電子機器の消費電力を大幅に削減する。

2.2. 評価目的

総合科学技術会議は、国の科学技術政策を総合的かつ計画的に推進する観点から実施し、評価結果を関係大臣に通知して、当該研究開発の効果的・効率的な遂行を促進することを目的に評価を実施する。

2.3. 評価方法

(1) 評価検討会の設置

評価に必要な調査・検討を行うため、評価専門調査会〔参考 1〕の有識者議員 1 名、専門委員 3 名に、外部より当該分野の専門家・有識者 3 名の参加を得て、評価検討会を設置した〔参考 2〕。

当該分野の専門家、有識者の選任においては、評価専門調査会会長がその任に当たった。

(2) 評価時期

評価結果を推進体制の改善や予算配分に反映させる必要があるため、予算概算要求提出後、10 月より調査・検討を開始し、年内に評価結論を得ることとした〔参考 3〕。

(3) 調査・検討方法

ア. 過程

- ・ 第 1 回評価検討会において、経済産業省の担当室長他から研究開発等の内容について説明を受け〔参考 4〕、質疑を行い、イ. の調査・検討項目を念頭に問題点や論点候補について議論した。その後、この議論と評価検討会委員から提出された追加質問に基づく追加説明依頼項目について、経済産業省へ対応を依頼した。また、評価検討会委員からの評価コメントを踏まえ、論点を整理した。
- ・ 第 2 回評価検討会において、追加説明依頼項目について経済産業省から説明を受け〔参考 5〕、質疑を行い、問題点や論点を議論した。
- ・ 第 1 回、第 2 回評価検討会での調査・検討内容及び、評価検討会委員からの評価コメントを踏まえ、評価結果原案(評価に

係る調査・検討結果)を作成した。

- ・ 評価専門調査会において、評価結果原案(評価に係る調査・検討結果)を検討し、評価結果案をとりまとめ、総合科学技術会議において審議の上、決定した。

イ. 調査・検討項目

評価検討会においては、(1)の依頼項目について経済産業省から説明を受け、(2)の調査検討項目に係る基本的な項目に加え、評価対象事案に応じた評価の視点を明示し、調査・検討を実施した。

(1)依頼項目

- ①名称
- ②実施期間、全体事業費(うち国費)、平成24年度予算概算
要求額
- ③目的(背景、意義、効果など)
- ④科学技術基本計画における位置付け等
- ⑤実施内容と目標(具体的な実施内容と達成目標、期待する
成果など)
- ⑥年次計画(具体的な実施内容、事業費とその用途別内訳な
ど)
- ⑦実施体制
- ⑧推進体制(役割、権限、責任など)
- ⑨研究開発評価(評価者、実施目的、実施時期、事前評価の
結果など)
- ⑩関係施策・事業との関係

(2)調査・検討に係る基本的な項目

A. 科学技術上の意義

科学技術上の目的・意義・効果等。

B. 社会・経済上の意義

社会・経済上の目的・意義・効果等。

C. 国際関係上の意義

国際貢献・役割分担、国益上の意義・効果等。

D. 計画の妥当性

目標・期間・予算・体制・人材や安全・環境面等からの妥当性。

E. 運営等

事前評価の実施状況、評価結果の反映の仕組等。

ウ. その他

評価検討会は非公開としたが、資料は公表に適さないとされた部分を除き検討会終了後に公表。また、議事概要については発言者による内容確認後に非公表情報、発言者の氏名を除き公表。

3. 評価結果

(1) 総合評価

「超低消費電力型光エレクトロニクス実装システム技術開発」は、電子回路と光回路をハイブリッド集積した光電子ハイブリッド回路技術を開発することにより、データセンターを構成するルータ、サーバ等の IT 機器内における LSI 間の配線とインターフェースの小型化、省電力化、低コスト化を実現するものである。

本事業は経済産業省が実施する事業であり、実施期間は平成 24 年度から平成 33 年度までである。

今後、クラウド化、データ処理の高度化が進んで行く上で、データセンターをはじめとする情報処理インフラの電力消費量は急速に増加していくと考えられる一方で、地球的規模の課題である温室効果ガス削減への取組みや、今回の東日本大震災を受けての電力消費量の削減が強く求められている。

このような状況下、IT 機器内の電気配線を光化することで、低消費電力で付加価値の高い情報処理システムを社会に提供することを目指している本事業の対象とする技術開発の必要性は高い。

また、IT 機器間の光通信技術が広く普及した現在、光信号のままプリント基板上および LSI に信号伝送する技術が強く求められている。本事業で実施される技術開発は、低消費電力化のみならず、電子回路のプリント基板上に光を導入することのメリットである高速化、小型化・高密度化、低コスト化、回路複雑性の低減、信号伝送信頼性向上等に大きく寄与し、従来のエレクトロニクス技術の延長では達成できない、より高速化・高信頼化した情報処理システムの実現が期待されるため、本事業によって開発される技術の有効性は高い。

本技術が社会に実装されるためには、従来のエレクトロニクスと同程度の低コストかつ信頼性の高い光電気変換素子や光配線との接続の実現、プリント基板上に光導波路を形成する技術、光と電気が融合したシステムとしての安定性・信頼性の確保、大口径ウエハ上に作製された光配線を搭載したインターポーザの信頼性評価という今までにない評価技術開発などのブレークスルーが求められてい

ることから、難易度の高い技術開発の必要があり、研究開発のリスクは高い。また、求められている技術開発要素が広範囲であることから、多くの企業間の連携や要素技術の連携・統合が必要であり、光エレクトロニクス分野で世界をリードし、日本の国際競争力を維持するために、国が主導して取り組む必要がある。

以上のことから、本事業は、実施の意義や必要性が高く、国として取り組むべきものと判断される。

なお、本事業の実施に当たっては、以下の指摘事項を踏まえた対応を求めるものである。

(2) 指摘事項

①光エレクトロニクス実装システム全体の目標及びマイルストーンの明確化と計画の柔軟な見直しについて

本事業は、長期に及ぶプロジェクトであることから、国際競争の観点に立って、プロジェクト全体としての目標を明確にしつつ、柔軟に計画の見直しを行っていくことが必要である。

個別要素技術に関しては、光インターポーザ大口径ウェハプロセス、LSI インターフェース設計、シリコンフォトニクスインターポーザ、光エレクトロニクス実装システムの低消費電力化・小型化について定量的な目標が設定されており、その見直しを行うことも計画に織り込まれているが、それら個別要素技術を統合して実現する、製品イメージを基にした最終目標とその中間目標に関しては、現段階では示されていない。

このため、製品イメージに基づく最終目標を設定するとともに、中間目標(マイルストーン)についても定量化できるものにしておく必要がある。

また、特に、成熟した電子回路のプリント基板にこの新技術が導入されるためには、光導入による低消費電力化や高速化などのメリットを生かすシステムのアーキテクチャを設計し、その設計に基づいて関連技術の目標を設定することが重要である。現段階では、光

源技術や素子実装技術などの具体的目標が示されていないので、それらを明確にする必要がある。

さらに、開発した技術が実用化されるためには、コストの低減も重要であるが、現段階では具体的な目標は示されていない。このため、コストについての目標を明示していく必要がある。

設定した目標や達成時期については、国際的な技術開発の進展状況との比較を基に必要な見直しを行いつつ、プロジェクトを推進する必要がある。

②プロジェクトの効果的・効率的な推進体制及び実施体制の構築について

技術研究組合等をプロジェクトの実施主体とし、プロジェクトリーダーを責任者として権限を集中して事業化までの推進を図っていく体制は適切であるが、プロジェクト途中での評価結果に基づく目標・運営体制等の見直しについての具体的な手順は現段階で示されていない。

このため、経済産業省内の責任体制と併せて、評価体制と評価方法、評価結果を計画の見直し等につなげる手順等についても全体の事業計画の中で明確に位置付けるとともに、技術研究組合等の構成メンバーとなる研究開発実施主体を募集する際の公募要領等にも明示する必要がある。

また、研究開発を実施していく上で、光エレクトロニクス実装システムについて、これまでにない新しいシステムとして、社会に実装していくためには、光と電気の融合が鍵となることから、光技術の関係者だけでなく、LSI、コンピュータのハードウェア・ソフトウェア、コンピュータアーキテクチャー、ネットワークなど異分野の研究者、技術者が一体となって課題を解決できる体制を構築することが重要である。併せて、主要な適用先であるデータセンター開発の実施主体とも密接な連携を取りながら、効率よくプロジェクトを進める体制を構築することも必要である。

このため、研究開発実施主体が応募する際の要件に含める等により、これらの研究開発の実施体制を構築することが必要である。

③研究開発成果を産業化、社会実装に結びつけるための出口戦略について

最終的なメインターゲットとしては、省電力化と高速化、小型化による効果が非常に大きいと考えられるサーバとスパコンを、CPU やメモリの LSI チップの I/O 部分の消費電力を 1/10 にすることにより、サーバにおいては現行比で、約3割程度の省電力化を実現することを目標としている。この目標達成に向けて、電子回路だけで実現する競合技術や海外プロジェクトの動向を踏まえ、光技術の導入による高機能化を、電子回路とコストパフォーマンスで勝負できるような形で、実用化していく必要がある。

また、本技術の本質的な競争力を担保するために、海外企業が簡単に真似ることができない技術要素やノウハウを適切な形で閉じ込めるブラックボックス化と、開発技術や製品を企業が利用し易い形で提供するオープン化を戦略的に融合させて推進することが必要である。

本事業に関し、経済産業省は、産業政策として、設備投資に対する補助金サポート、企業の再編や分社化等を支援するツールを考えているとしており、国内のデータセンターへの積極的な導入については種々検討がなされている。しかしながら、世界市場で優位に立つためには、低消費電力と低価格で製品を提供することにとどまるのではなく、単純な価格競争に陥らないように製品の付加価値を高めるなど戦略的な対応を検討する必要がある。

また、長期的な市場戦略という観点に立てば、データセンターの海外立地が進む可能性もあることから、本施策の目標が達成される2021年におけるデータセンターの国内外の立地動向についての展望を持ちながら研究開発を推進することが重要である。

④知的財産権及び国際標準への戦略的対応について

知的財産権を技術研究組合等で一括管理する方向は適切であるが、価値ある知的財産を生み出し、かつそれらを有効に活用する、

知的財産の具体的な管理運営指針づくりについて、技術研究組合等に参加する企業などが十分協議・調整しておくことが必要である。

また、本プロジェクトで技術開発する成果を世界へ展開していくために、経済産業省は、諸外国での同種の研究開発プロジェクトの現状を分析し、今後の研究開発の進展状況を踏まえ、国際標準化に向けてオープンに連携すべきところとブラックボックスとして競争すべきところを組み合わせ、戦略的に推進することが必要である。

《参考資料》

- (参考 1) 評価専門調査会 名簿
- (参考 2) 評価検討会 名簿
- (参考 3) 審議経過
- (参考 4) 第 1 回評価検討会 経済産業省提出資料【省略】
- (参考 5) 第 2 回評価検討会 経済産業省提出資料【省略】

参考 1 評価専門調査会 名簿

会長	奥村 直樹	総合科学技術会議	議員
	相澤 益男	同	
	本庶 佑	同	
	白石 隆	同	
	今榮 東洋子	同	
	青木 玲子	同	
	中鉢 良治	同	
	大西 隆	同	

(専門委員)

浅見 泰司	東京大学空間情報科学研究センター長 教授
阿部 啓子	東京大学大学院農学生命科学研究科 特任教授
飯島 貞代	三菱化学株式会社 三菱化学フェロー、ヘルスケア企画室部長
伊藤 恵子	専修大学経済学部准教授
上杉 邦憲	独立行政法人宇宙航空研究開発機構 名誉教授
上野 裕子	三菱UFJリサーチ&コンサルティング 株式会社 主任研究員
尾形 仁士	三菱電機エンジニアリング株式会社相談役
長我部 信行	株式会社日立製作所中央研究所長
河合 誠之	東京工業大学大学院理工学研究科教授
来住 伸子	津田塾大学学芸学部教授
高橋 真理子	朝日新聞編集委員
中馬 宏之	一橋大学イノベーション研究センター教授
中杉 修身	元上智大学教授
中村 崇	東北大学多元物質科学研究所教授
福井 次矢	聖路加国際病院院長
松橋 隆治	東京大学大学院工学系研究科教授
村上 輝康	株式会社野村総合研究所シニア・フェロー

《参考資料》

参考 2 評価検討会 名簿

奥村 直樹	総合科学技術会議 議員
座長 村上 輝康	評価専門調査会 専門委員
尾形 仁士	同
中馬 宏之	同
木村 忠正	電気通信大学 名誉教授
小柳 光正	東北大学未来科学技術共同研究センター 教授
長谷川 淳	ルネサスエレクトロニクス技術開発本部 副本部長

参考 3 審議経過

- 10月11日 評価専門調査会
評価検討会の設置、評価時期の確認等
- 10月28日 第1回評価検討会
経済産業省から事業内容のヒアリング、質疑、論
点の検討
⇒追加質問を整理し、経済産業省へ対応を依頼
⇒委員からの評価コメントに基づき論点を整理
- 11月11日 第2回評価検討会
追加質問事項に対する追加ヒアリング、評価の骨
子の検討
⇒評価に係る調査・検討結果をとりまとめ
- 11月29日 評価専門調査会
検討会座長から評価に係る調査・検討結果の報
告、評価結果案の検討
⇒評価報告書案のとりまとめ
- 12月15日 総合科学技術会議
評価結果案に基づく審議と評価結果の決定

「超低消費電力型光エレクトロニクス実装システム技術開発」 のフォローアップ結果

平成 25 年 9 月 5 日

評価専門調査会

総合科学技術会議では、内閣府設置法第 26 条第 1 項第 3 号に基づき、国の科学技術政策を総合的かつ計画的に推進する観点から、大規模な研究開発その他の国家的に重要な研究開発の評価を実施している。

評価の実施に関しては、「総合科学技術会議が実施する国家的に重要な研究開発の評価について」(平成 17 年 10 月 18 日 総合科学技術会議決定、以下「評価に関する本会議決定」という。)において、国費総額が約 300 億円以上の新規の大規模研究開発については事前評価を行うこととされている。また、この事前評価を実施した研究開発については、研究開発が開始された後に、評価専門調査会が、事前評価で指摘した事項への対応状況等の確認を行うためのフォローアップを行うこととされている。

これに基づき総合科学技術会議は、「超低消費電力型光エレクトロニクス実装システム技術開発」について平成 23 年度に事前評価を実施した。

本事業は、光配線や光素子の開発を行い、光エレクトロニクス（エレクトロニクスとフォトリソグラフィの融合）実装システム技術を実現することにより、今後、電力消費が急増すると予想されるサーバ等の電子機器の消費電力を大幅に削減することを目的とするものである。

総合科学技術会議が平成 23 年度に実施した事前評価の結果においては、本事業は実施の意義や必要性が高く、国として取り組むべきものとされるが、システム全体の目標及びマイルストーンの明確化と計画の柔軟な見直し、効果的・効率的な推進体制の構築、産業化や社会実装に結びつけるための出口戦略、知的財産権及び国際標準への戦略的な対応に関する指摘事項についての対応を求めた。

今般、これらの研究開発が開始後約 1 年を経過したことから、フォローアップとして、現時点における研究開発の実施状況や、事前評価において示された指摘事項への対応状況等を確認した。

1. 事業の概要とこれまでの事業の経過

1.1. 事業の概要

事業名	担当府省名
超低消費電力型光エレクトロニクス実装システム技術開発	経済産業省

クラウドコンピューティングの進展により、データセンターの情報処理の大規模化が進み、情報処理量や通信トラフィックの指数関数的な増大に直面する中で、サーバ等の IT 機器における省電力化が求められている。

本事業は、電子回路と光回路をハイブリッド集積した光電子ハイブリッド回路技術を開発することより、データセンタを構成するルータ、サーバ等の IT 機器内における LSI 間の配線とインターフェイスについて、小型化、省電力化、低コスト化を実現することを目的とするものである。

LSI 間を接続するプリント基板や、LSI チップと基板上の光配線をつなぐインターポーザに光配線を形成するなど、従来比 1/10 の低消費電力化と高速化を実現する技術を開発するとともに、従来面積比で約 1/100 以下の小型化並びに高密度配線化を実現することを目標としている。

また、本事業は、平成 24 年度から平成 33 年度までの 10 年間で実施する計画のものであり、事業全体に係る予算額は、事業開始当初において国費総額約 291 億円を予定していたものである。

1.2. これまでの事業の経過

本事業は計画どおり平成 24 年度より開始され、平成 24 年 8 月に実施計画が策定されている。

また、同年度に実施機関の選定に係る公募を行い、技術研究組合光電子融合基盤技術研究所（PETRA）が実施機関に選定された。

平成 24 年度より、要素技術の開発や光 I/O や光ケーブルの基本設計等を進めている。

平成 24 年度においては約 28 億円、平成 25 年度は約 24 億円の国費が措置されている。

2. フォローアップの方法等

2.1. フォローアップの方法

評価専門調査会に、評価専門調査会の会長が指名する専門委員、同会長が選考した専門家から構成するフォローアップ検討会を設置し、経済産業省から、現時点までの事業の実施状況や、事前評価において示された指摘事項への対応状況等を聴取し、その確認及び今後の課題等を把握した。これに基づき評価専門調査会がフォローアップ結果をとりまとめた。

2.2. ヒアリング項目

- ① 事業の実施概要（目的・目標、事業の体制・計画及び経費、取組状況及び今後の予定・課題等）
- ② 事前評価における指摘事項等への対応状況
- ③ その他

3. フォローアップ結果

事前評価において指摘した事項について、研究開発開始後に検討が進められ、製品化イメージに基づく開発目標の設定や、評価の実施に係る体制づくり、知的財産権の管理運営や国際標準化の取組等について、具体化が図られていると認められる。

しかしながら、研究開発成果を実用化に結びつけるための出口戦略や、競争力確保の観点からの性能やコスト等に係る検証や目標設定等については課題があるものと考えられる。

こうした観点に立って、引き続き本研究開発を進めるに当たり、以下の対応を求めるものである。

3.1. 光エレクトロニクス実装システム全体の目標及びマイルストーンの明確化と計画の柔軟な見直しについて

(事前評価での指摘事項)

- 本事業は、長期に及ぶプロジェクトであることから、国際競争の観点にたって、プロジェクト全体としての目標を明確にしつつ、柔軟に計画の見直しを行っていくことが必要である。

個別要素技術に関しては、光インターポーザ大口径ウェハプロセス、LSI インターフェース設計、シリコンフォトニクスインターポーザ、光エレクトロニクス実装システムの低消費電力化・小型化について定量的な目標が設定されており、その見直しを行うことが計画に織り込まれているが、それら個別要素技術を統合して実現する、製品イメージを基にした最終目標とその中間目標に関しては、現段階では示されていない。

このため、製品イメージに基づく最終目標を設定するとともに、中間目標(マイルストーン)についても定量化できるものにしておく必要がある。

- 成熟した電子回路のプリント基板にこの新技術が導入されるためには、光導入による低消費電力化や高速化などのメリットを生かすシステムのアーキテクチャを設計し、その設計に基づいて関連技術の目標を設定することが重要である。現段階では、光源技術や素子実装技術などの具体的目標が示されていないので、それらを明確にする必要がある。
- 開発した技術が実用化されるためには、コストの低減も重要であるが、現段階では具体的な目標は示されていない。このため、コストについての目標を明示していく必要がある。
- 設定した目標や達成時期については、国際的な技術開発の進展状況との比較を基に必要な見直しを行いつつ、プロジェクトを推進する必要がある。

【対応状況】

・事業開始後の平成 24 年 8 月に「超低消費電力型光エレクトロニクス実装システム技術開発」の実施計画を定め、この中で想定する製品イメージを基に技術開発の詳細と最終目標を定めている。

具体的には、サーバ内に搭載する光電子集積インターポーザの開発を最終目標と設定しつつ、光電子変換チップを用いたアクティブ・オプティカル・ケーブルの開発を第 1 期（平成 26 年度まで）の目標、サーバに搭載する光ケーブル付 L S I 基板の開発を第 2 期（平成 29 年度まで）の中間目標とした。

また、これらの成果を組み込んだサーバシステムを構築し、小型化されたオンチップサーバの製品化についても検討を進めていくこととしている。

アーキテクチャの設計に関しては、第1期で製品化を想定している小型光電子変換チップについて、既存の化合物光源や光導波路、電子ドライバ回路、ミラーを、シリコンフォトニクス基板上に実装するためのアーキテクチャの設計と、要素部品の開発を平成25年度中に完成させることを目標としている。

次に、平成26年度までに、これらの要素部品についての実装技術を確立することで、小型光電子変換チップの1次試作を完了する予定としている。

・研究開発成果の今後の実用化に向けて、日本知財仲裁センターによる事業適合性判定に取り組むとともに、外部コンサルタントも含めた体制下でビジネスモデルや具体的なコスト目標の検討に着手している。

コストについての目標に関しては、第1期の製品化イメージである光電子変換チップを装着したアクティブ・オプティカル・ケーブルについての検討がなされ、研究開発に反映させている。

・平成26年度および29年度において、外部有識者による中間評価を実施することとし、本研究開発の実実施計画においても明示しており、国際的な技術開発の進展状況等を踏まえつつ必要な見直しを行っていくこととしている。

【指摘事項】

最終目的である光電子集積サーバシステムの検討を行い、サーバの国際競争力強化の観点から、第2期の光ケーブル付LSI基板や第3期の光電子集積インターポーザに求められる性能やコストに関して、システムレベルからトップダウンで目標設定を適切に行うことが重要である。

また、サーバのアーキテクチャやサーバを構成する他のハードウェア、ソフトウェア等のコンポーネントについて、本取組以外のプロジェクトや民間企業等における技術開発の状況を検証することも必要である。

こうした目標設定の検討については、平成25年中に実施すること

とし、平成 26 年度に事業主体である NEDO が実施予定の中間評価において、この点についての確認を行うことが適当である。

3.2. プロジェクトの効果的・効率的な推進体制及び実施体制の構築について

(事前評価での指摘事項)

- プロジェクト途中での評価結果に基づく目標・運営体制等の見直しについての具体的な手順は現段階で示されていない。

このため、経済産業省内の責任体制と併せて、評価体制と評価方法、評価結果を計画の見直し等につなげる手順等についても全体の事業計画の中で明確に位置付けるとともに、技術研究組合等の構成メンバーとなる研究開発実施主体を募集する際の公募要領等にも明示する必要がある。

- ・光エレクトロニクス実装システムについて、これまでにない新しいシステムとして、社会に実装していくためには、光と電気の融合が鍵となる。

従って、光技術の関係者だけでなく、LSI、コンピュータのハードウェア・ソフトウェア、コンピュータアーキテクチャ、ネットワークなど異分野の研究者、技術者が一体となって課題を解決できる体制を構築することが重要である。併せて、主要な適用先であるデータセンター開発の実施主体とも密接な連携を取りながら、効率よくプロジェクトを進める体制を構築することも必要である。

このため、研究開発実施主体が応募する際の要件に含める等により、これらの研究開発の実施体制を構築することが必要である。

【対応状況】

・本研究開発の実施機関の選定にあたって作成した公募要領において、本研究開発における評価の実施方針を示し、また、実施計画において、中間評価の時期や最終目標、経済産業省内の責任体制、実施計画の改定の基準等について記載している。

・研究開発の実施体制の構築に向けては、実施計画において、様々な技術階層の融合を必要とする具体的な研究開発テーマを明示した上で、当該研究開発テーマを推進する実施機関の公募を行い、外部有識者による第三者委員会により審査を踏まえ選定を行っている。

その結果、光技術、LSI、ハードウェア、ソフトウェア、アーキテクチャ、ネットワークの製品開発を専門とする企業を組合員企業とした技術研究組合を選定しており、これらの分野に関する専門性を有する研究者が参画し研究活動を行う体制が整えられたとしている。

【指摘事項】

研究開発の実施体制については、技術研究組合内における異分野の研究者間での連携体制が整えられたところであり、今後の実質的な連携が求められる。また、研究開発成果の主要な適用先であるデータセンターとの連携についても推進することが求められる。

3.3. 研究開発成果を産業化、社会実装に結びつけるための出口戦略について

(事前評価での指摘事項)

□最終的なメインターゲットとしては、省電力化と高速化、小型化による効果が非常に大きいと考えられるサーバとスパコンを、CPUやメモリのLSIチップのI/O部分の消費電力を1/10にすることにより、サーバにおいては現行比で、約3割程度の省電力化を実現することを目標としている。

この目標達成に向けて、電子回路だけで実現する競合技術や海外プロジェクトの動向を踏まえ、光技術の導入による高機能化を、電子回路とコストパフォーマンスで勝負できるような形で、実用化していく必要がある。

□世界市場で優位に立つためには、低消費電力と低価格で製品を提供することにとどまるのではなく、単純な価格競争に陥らないように製品の付加価値を高めるなど戦略的な対応を検討する必要がある。

□長期的な市場戦略という観点に立てば、データセンターの海外立地が進む可能性もあることから、本施策の目標が達成される2021年におけるデータセンターの国内外の立地動向についての展望を持ちながら研究開発を推進することが重要である。

【対応状況】

・電子回路分野や光エレクトロニクス分野に係る国際学会への参加、特許に係る調査、競合する他社製品についての内部解析やコスト試算を行っており、電子回路のみによる既存技術の性能の進展についても経時的にベンチマークを行っている。

また、本研究開発の成果の実用化に向けて、コストパフォーマンスの向上を図るため、ビジネスモデルや具体的な目標の検討に着手している。

・製品の付加価値化等の戦略的対応に関しては、本研究開発の成果によって、低消費電力性能に加え、小型化や高速化による価値を製品に付加できることから、こうした強みを生かしつつ、その他の性能の向上についても考慮し技術開発を推進することとしている。

・研究成果を組み込んだサーバシステムの国内外への展開を図る観点から、データセンターの立地動向とともに、データセンター内のサーバの要求スペック等の把握に努めることとしている。

【指摘事項】

国際的な市場や競合技術の開発動向等を継続的に把握していく必要がある。その際、電子回路のみでも低消費電力化や高速化が進む可能性があるため、競合技術の動向を把握するとともに、必要に応じて目標の設定や要素技術開発内容の見直しが求められる。

3.4. 知的財産権及び国際標準への戦略的対応等について

(事前評価での指摘事項)

知的財産権を技術研究組合等で一括管理する方向は適切であるが、価値ある知的財産を生み出し、かつそれらを有効に活用する、知的財産の具体的な管理運営指針づくりについて、技術研究組合等に参加する企業などが十分協議・調整しておくことが必要である。

本技術の本質的な競争力を担保するために、海外企業が簡単に真似ることができない技術要素やノウハウを適切な形で閉じ込めるブラックボックス化と、開発技術や製品を企業が利用し易い形で

提供するオープン化を戦略的に融合させて推進することが必要である。

- 本プロジェクトで技術開発する成果を世界へ展開していくために、経済産業省は、諸外国での同種の研究開発プロジェクトの現状を分析し、今後の研究開発の進展状況を踏まえ、国際標準化に向けてオープンに連携すべきところとブラックボックスとして競争すべきところを組み合わせ、戦略的に推進することが必要である。

【対応状況】

・現在、技術研究組合を構成する組合員企業間において調整を図りながら、研究開発や、その成果を活用した事業化を効果的に推進するための知財規程の策定が進められている。

また、日本知財仲裁センターの事業適合性判定を受けるなど、知財の価値を如何に高めていくかについても検討を進めていくこととしている。

・オープン・ブラックボックス戦略については、開発中の光電子変換チップに関し、要素部品の配置やインターフェースについては国際標準化、光と電気の内部接続については特許化を図る一方で、製造装置あるいは製造プロセスについてはブラックボックス化する、といった戦略を計画に位置づけている。

・事業戦略と一体となった国際標準化を進めるとともに、光産業技術の標準化推進団体を研究実施体制に組み込むことで、戦略的かつ迅速な国際標準の提案や獲得を目指すこととしている。

【指摘事項】

知的財産権の管理運営に係る規定の策定に向けた検討が進められているが、引き続き具体的な運用に向けて、参加企業間での十分な連携や円滑な意思調整を図ることが望まれる。

オープン・ブラックボックス化および国際標準化については、専門家が参画した体制において、強いリーダーシップによるマネジメントを行い、戦略的に推進することが必要である。

(参考1) 評価専門調査会 名簿

(議員：8名)

会長	久間 和生	総合科学技術会議議員
	原山 優子	同
	橋本 和仁	同
	平野 俊夫	同

(専門委員：18名)

相澤 彰子	国立情報学研究所コンテンツ科学研究系教授
天野 玲子	鹿島建設株式会社知的財産部長
石田 東生	筑波大学システム情報系社会工学域教授
伊藤 恵子	専修大学経済学部教授
射場 英紀	トヨタ自動車株式会社電池研究部部長
上杉 邦憲	独立行政法人宇宙航空研究開発機構名誉教授
上野 裕子	三菱UFJリサーチ&コンサルティング株式会社主任研究員
長我部 信行	株式会社日立製作所中央研究所所長
河合 誠之	東京工業大学大学院理工学研究科教授
白井 俊明	横河電機株式会社常務執行役員 イノベーション本部長
高橋 真理子	朝日新聞編集委員
竹中 章二	株式会社東芝執行役常務待遇 スマートコミュニティ事業統括部首席技監
玉起 美恵子	アステラス製薬株式会社研究本部研究推進部課長
中村 崇	東北大学多元物質科学研究所教授
福井 次矢	聖路加国際病院院長、京都大学名誉教授
松岡 厚子	独立行政法人医薬品医療機器総合機構 規格基準部テクニカルエキスパート
松橋 隆治	東京大学大学院工学系研究科教授
村越 千春	株式会社住環境計画研究所取締役最高顧問研究員

平成25年4月30日現在

(参考2) フォローアップ検討会名簿

久間 和生	総合科学技術会議 評価専門調査会長
座長 白井 俊明	横河電機株式会社常務執行役員イノベーション本部長 (評価専門調査会専門委員)
小柳 光正	東北大学未来科学技術共同研究センター教授
西村 正	東京工業大学大学院理工学研究科連携教授
保立 和夫	東京大学大学院工学系研究科教授

(参考3) 審議経過

平成 25 年

5 月 13 日

評価専門調査会

○フォローアップの進め方について（決定）

7 月 9 日

フォローアップ検討会

○フォローアップ検討会における調査検討の進め方

○調査検討のとりまとめの検討

9 月 5 日

評価専門調査会

○フォローアップ検討会の調査結果の報告

○フォローアップ結果のとりまとめ

○フォローアップ結果を経済産業省に通知