

「次世代スマートデバイス開発プロジェクト」

事業原簿

【公開版】

担当部	国立研究開発法人 新エネルギー・産業技術総合開発機構 IoT 推進部
-----	--

2.3.1 三次元プロセッサ向け大電流供給技術、高速伝送技術、バックサイド製造技術の研究開発	240
2.3.2 三次元プロセッサ向け大面積チップ積層技術、高性能冷却技術の研究開発	250
2.3.3 三次元対応高性能プロセッサの設計開発、実証確認.....	255
IV. 実用化・事業化に向けての見通し及び取組について.....	261
1. 実用化・事業化に向けての見通し及び取組について.....	261

(添付資料)

- ・プロジェクト基本計画
- ・事前評価関連資料(事前評価書、パブリックコメント募集の結果)
- ・論文等リスト

開発体制	経産省担当原課	商務情報政策局 情報産業課、製造産業局 自動車課
	プロジェクトリーダー	委託事業：無し ※テーマリーダー： 株式会社デンソー基礎研究所 理事 大倉 勝徳 (2013年11月～2015年12月) 株式会社デンソー先端技術研究所 所長 川原 伸章 (2016年1月～2018年2月) 助成事業：無し
	委託先 助成先	研究開発項目① 委託先： 株式会社デンソー ラピスセミコンダクタ株式会社 国立研究開発法人産業技術総合研究所 再委託先：株式会社豊田中央研究所 株式会社図研 株式会社デンソー ルネサスエレクトロニクス株式会社 助成先： 株式会社デンソー 研究開発項目② 助成先： ルネサスエレクトロニクス株式会社 クラリオン株式会社 研究開発項目③ 助成先： 富士通株式会社
情勢変化への対応	<p>(1) 【2014年度】印刷 TSV 技術開発における材料開発の促進（研究開発項目①委託事業） （研究開発項目①委託事業） 印刷 TSV および接合用の材料開発は、当初再委託先の材料を使って開発を進める計画だったが、当該材料が目標特性を満たすことが確認できなかった。そこで、外部の幅広い候補材料からスクリーニングを行い、目標とする特性を発揮できる材料を選定し、開発を進める計画に変更するとともに、実施体制の一部を変更した。</p> <p>(2) 市場競争の激化に対応した性能検証手法の効率化による最終目標達成時期の前倒し（2015年度） （研究開発項目②助成事業） 市場競争の激化に対応し、早期の実用化が必須となったため、性能検証手法を変更して、チップの制作時間および性能検証の期間を短縮することにより、最終目標達成時期を 2015 年度末に前倒しできる見込みが得られた。これに伴い、本研究開発項目を 2015 年度で終了することとし、計画の前倒しを行った。</p> <p>(3) 開発の進展による開発の効率化（2015年度） （研究開発項目③助成事業） 2014 年度までの研究で、三次元実装の実プロセッサを試作する場合の課題を、三次元実装 TEG の試作、二次元実装開発結果、EDA ツールから抽出し評価する手法を開発した。これに伴い、性能確認の方法を実プロセッサによる実性能測定から新手法による性能実証に変更するとともに、性能評価の時間、項目を増やし、開発効率および評価精度の向上をはかることとした。</p> <p>(4) 開発の進展による実施内容・計画の変更（2016年度） （研究開発項目①委託事業） 2015 年度に中間目標を達成し、最終目標の具現化に向け、大規模アレイ測距デバイスの検証期間延長のための 1 チップ化や、プロセスの信頼性試験効率化のための実施内容の変更とそれに伴う予算配分の適正化を行った。また、「①-7 三次元実装検査技術の開発」については、最終目標を達成したため、2015 年度末で終了した。</p> <p>(5) 開発の進展と市場競争の激化に対応した早期実用化に向けた最終目標達成時期の前倒し（2017年度） （研究開発項目①委託事業、助成事業） 大規模アレイ測距デバイスでの検証において、最終目標を上回ることが早期に判明したことと、開発競争の激化に対応し早期の実用化が必須となったため、委託事業の開発項目「①</p>	

		-1 測距センサデバイス・回路技術」と、本成果であるセンシングデバイスを適用する助成事業を2017年9月末で終了することとし、計画の前倒しを行った。
中間評価結果への対応		2015年度に行われた中間評価への対応として、・研究開発項目内の連携を深めるために横串WGによる実施者間の密な情報交換の実施、・外部有識者による技術推進委員会の開催、・定期的に各社の実用化・事業化計画のヒアリングを実施し、計画のブラッシュアップ、等を実施し、中間評価の指摘事項をプロジェクト運営へ反映した。
評価に関する事項	事前評価	2013年度実施 担当部 電子・材料・ナノテクノロジー一部
	中間評価	2015年度実施 (※研究開発項目②については、前倒し事後評価として実施した。)
	事後評価	2018年度実施
III. 研究開発成果について		<p>① : 車載用障害物センシングデバイスの開発</p> <ul style="list-style-type: none"> ・高感度・高画素の受光素子を開発し、50m以上先の車両や歩行者等多数の障害物の位置と距離を同時に測定できるセンシングデバイスを開発した。 ①-1 測距センサデバイス開発・回路技術 <ul style="list-style-type: none"> ・センサ IC (SPAD3000 画素+測距回路) の試作及び性能評価を完了するとともに、信号処理 LSI の試作及び評価を行い、移動体検出のリアルタイム処理実証を完了した。 ①-2 三次元統合設計環境の開発 <ul style="list-style-type: none"> ・三次元積層 IC の接続検証、解析モデル出力機能を有する統合設計環境として、統合設計ツールと PDK の開発、および設計フローを構築した。 ①-3 TSV プロセスインテグレーション技術の開発 <ul style="list-style-type: none"> ・レギュラ構造及び ATI 構造で車載信頼性を持つ TSV プロセスインテグレーション技術を開発し、各構造の特徴から用途を明確にするとともに、TSV の設計仕様と製造プロセス仕様を策定した。 ①-4 印刷 TSV 技術の開発 <ul style="list-style-type: none"> ・溶融金属充填法及び絶縁材充填法の成立性を確認し、ボイドレス充填が可能な評価設備を開発した。 ①-5 印刷等によるマイクロバンプ形成技術・反り対策技術の開発 <ul style="list-style-type: none"> ・車載信頼性を確保し、さらに低コストはんだ TSV/バンプ一体形成プロセスを開発し、技術仕様書としてまとめた。 ①-6 低応力積層/接続技術の開発 <ul style="list-style-type: none"> ・高精度アライメント技術にて、1 万画素レベルのバンプ接続を達成し、Ni ポスト構造で車載信頼性を確保する低応力積層/接続技術を開発し、技術仕様書としてまとめた。 ①-7 三次元実装検査技術の開発 <ul style="list-style-type: none"> ・電氣的テスト技術に関しては 20µm/40µm ピッチプローブによるマイクロバンプへの直接プロービング技術を確認し、プローブカード仕様書としてまとめた。 ・X 線 CT 装置による非破壊の不良解析性能を検証し、不良に至る前兆の判断と CT 検査時間を短縮化する手法を確認し、CT 検査手順書としてまとめた。 ①-8 三次元実装評価技術の開発 <ul style="list-style-type: none"> ・構築した電気評価技術や TSV による熱応力評価技術の実測と解析の比較検証を実施し、信頼性評価結果から設計指針を作成した。 ①-助成 測距センサモジュールの開発 (助成) <ul style="list-style-type: none"> ・委託事業で開発した受光 IC に、レーザダイオードの発光、MEMS スキャナの駆動を高精度に同期制御する回路を組み合わせたモジュールを開発し、50m 以上先の障害物検知性能を確認した。 <p>② : 障害物検知・危険認識アプリケーションプロセッサの開発</p> <ul style="list-style-type: none"> ②-1 画像意味理解プロセッサプラットフォーム技術の開発 <ul style="list-style-type: none"> ・性能目標 (メモリスループット: 96GByte/s 以上、電力性能比: 1,900GOPS/W 以上、) を達成した。 ②-2 車両周辺監視用画像意味理解アプリケーションソフトウェア技術の開発 <ul style="list-style-type: none"> ・以下の機能を有する車両周囲監視用アプリケーションソフトウェアを開発し、50msec 以下の処理時間を達成した。 一歩行者等を検知する移動体検知、車両等を検知する側方接近車検知、障害物等を検知する静止立体物検知、それら検知結果を元に車両周囲の状況を空間マップ化して衝突危険度判定を行うロジック。

	<p>③ : プローブデータ処理プロセッサの開発</p> <ul style="list-style-type: none"> ・20nm プロセスで3次元積層を用い従来の1.5倍の48演算コアを実装し2Ghz動作時に電力あたり演算性能:4.9Gflops/W、ピーク演算性能:1.5TFlops、メモリスループット:0.31Byte/flopを確認した。 <p>③-1 三次元プロセッサ向け大電流供給技術、高速伝送技術、バックサイド製造技術の研究開発</p> <ul style="list-style-type: none"> ・TSV 経由マルチレーン 25.8Gbps ボード内伝送を確認した。 ・低インピーダンス電源供給網設計の実施と大電流対応積層構造仕様を策定し、300W 給電を確認した。 ・薄化大面積チップのバックサイド製造の高歩留りと安定性を確認した。 <p>③-2 三次元プロセッサ向け大面積チップ積層技術、高性能冷却技術の研究開発</p> <ul style="list-style-type: none"> ・32×25mm²の大面積チップ積層技術を確立。低熱膨張アンダーフィルを適用して目標信頼性を確認した。 ・微細流路クーリングプレートで60W/cm²冷却を確認し、三次元積層プロセッサ熱解析モデルで300W冷却を検証した。 <p>③-3 三次元対応高性能プロセッサの設計開発、実証確認</p> <ul style="list-style-type: none"> ・693mm²の世界最大面積のダイを積層した積層プロセッサとその評価システムを試作し、プロセッサ等の機能や信頼性等が実現できていることを確認した。 	
	投稿論文	「査読付き」33件、「研究発表・講演」94件
	特 許	「出願済」152件（うち国際出願62件）、「登録」17件（うち国際出願分13件）
	その他の外部発表 (プレス発表等)	10件
IV. 実用化・事業化の見通しについて	<p>次世代スマートデバイス開発プロジェクト事業においては、研究開発を実施する民間企業が、事業終了後コスト等を考慮しつつターゲットを明確にして、本事業の成果の実用化・事業化を進め、実績を積み上げることで更なる用途展開を図る。その際、自動車メーカーおよび部品供給企業等との共同開発によりデファクトスタンダードを獲ることで、競争優位を構築する。</p>	
V. 基本計画に関する事項	作成時期	2013年7月 作成
	変更履歴	2015年10月 研究開発項目②の実施期間変更に伴う改訂

プロジェクト用語集

用語	説明	分類
AC-FW	Automated Chaining Framework の略。データを準備するためのコード(転送コード)と演算を行うためのコード(演算コード)が混然一体となって記載される従来のプログラミング言語と異なり、本プロジェクトで提案する、転送コードと演算コードとを独立に記述する形に改めたプログラミングフレームワーク。	②
ADAS	Advanced Driver Assistance System の略、先進運転支援システム。事故などの可能性を事前に検知し、警告、回避するシステムである。	共通
APD	Avalanche Photo Diode の略。逆バイアスを印加することにより光電流が増倍される高速・高感度のフォトダイオード。	①
API	Application Programming Interface の略。ソフトウェアコンポーネントが互いにやりとりするのに使用するインターフェースの仕様のこと。	②
ATI	Annular Trench Insulator の略。TSV 構造の中で絶縁層をリング状に形成して中央に導体を形成した構造。	①
Ballot	規格の内容が意義が有るかを判断する投票のために提出する規格原案。	①
BIST	Built-In Self Test の略。テスト容易化設計 (DFT : design for testability) 技術の一つ。	①
CMOS	Complementary Metal Oxide Semiconductor の略。MOS トランジスタの組み合わせで構成される半導体回路の一種。消費電力が低く、小型化・高集積化に適する。	共通
CPU	Central Processing Unit の略、中央処理装置。コンピュータを構成する部品の一つで、各装置の制御やデータの計算・加工を行う電子回路のこと。	共通
CT	Computed Tomography : コンピュータ断層撮影の略であり、X線などを利用して物体を操作しコンピュータを用いて処理することで、物体の内部画像を構成する技術、あるいはそれを行うための機器。	①
Cu Via Fill	TSV の内部導体を Cu で埋め込む構造。	①
CVBS	Color Video, Blank, and Sync の略。コンポジットカラービデオ信号。	②
DEF	Design Exchange Format の略。設計情報記述フォーマット。	①
DRC	design rule check の略。半導体プロセスにおいて使用するマスクパターンや、プリント基板の設計データがデザインルール(設計規則)に違反していないかを検証するための CAD ツール(プログラム)、もしくはその工程。	①

用語	説明	分類
EDA	electronic design automation の略で電子機器、半導体など電子系の設計作業を自動化し支援するためのソフトウェア、ハードウェアおよび手法の総称。	③
ESD	Electro-Static Discharge の略。静電気放電。	①
FM	Foreign Material の略。異物の意。	①
FPD-LinkIII	車載情報機器向けの映像通信インターフェース規格。	②
FPGA	Field Programmable Gate Array の略。利用者が独自の論理回路を書き込むことの出来るゲートアレイの一種。多数の LUT(Look Up Table)とスイッチ搭載し、これを組み合わせて回路を構成する。	共通
GDS II	Graphic Database System の略。フォトマスクのデータ形式。	①
GPU	Graphics Processing Unit の略。ジオメトリエンジンなどの専用ハードウェアによって画像データ処理を行う集積回路のこと。	共通
HTS	High Temperature Storage の略。高温環境内で対象電子部品の動作確認を行う寿命評価。	①
I/O(Input/Output)	IC の入出力端子。	①
IR Drop	LSI の消費電力の増大にともなう、電源配線上に生じる電源電圧降下のこと (IR は電流 I と抵抗 R の積電圧を表す)。	③
JTAG	Joint Test Action Group の略。集積回路や基板の検査、デバッグなどに使える、バウンダリスキャンテストやテストアクセスポートの標準 IEEE 1149.1 の通称。	①
KOZ	Keep-out Zone の略。デバイス配置禁止領域。	①
LEF	Library Exchange Format の略。ライブラリ記述フォーマット。	①
LSB	Least Significant Bit の略。コンピュータの最下位ビット。	①
LSI	Large Scale Integrated circuit の略。多数の素子を半導体上に一つにまとめた電子部品のうち大規模なもののこと。	共通
LVS	layout versus schematic の略。集積回路を製造するために作成したフォトマスクパターン(レイアウト)が、設計したネットリストと一致しているかを検証すること。	①
MEMS	Micro Electro Mechanical Systems の略。機械要素部品、センサ、アクチュエータ、電子回路を一つのシリコン基板、ガラス基板、有機材料などの上に集積化したデバイス。	①
Open VX	標準化団体 Khronos にて現在進められている Computer Vision の業界標準開発環境のこと。組込向けで、異なるアーキテクチャ間での性能可搬性を実現可能、規格適合性試験を用意する。	②
Pcell	Parameterized Cell の略。パラメタライズされたセル。	①

用語	説明	分類
PDK	Process Design Kit の略。特定の半導体プロセスで IC 設計するために使用するファイル群一式。	共通
PF	プラットフォームのこと。	②
PI	Power Integrity の略で電源品質。	共通
PLL	Phase Locked Loop の略。周波数負帰還回路、安定した周波数の信号を発生する回路。	共通
RDL	Re-Distribution Layer の略。再配線層。	共通
RTL	Register Transfer Level の略。レジスタ転送レベル。集積回路設計において同期デジタル回路を記述する手法の一種。	②
SI	Signal Integrity の略。信号品質。	共通
Si-IP	シリコンインターポーザ。LSI 間の配線を担うことを主な目的とするシリコンの基板。配線長や配線幅を小さくできるため、周波数の高い信号で課題となる配線の寄生容量や配線長のバラつきなどを減らせ、高周波回路の設計が容易になる。	③
SoC	System on Chip の略。一つの IC チップに複数の回路機能が集積されてシステムの機能を持つ半導体製品。	②
SPAD	Single Photon Avalanche Diode の略。APD をガイガーモードで動作させ、フォトン入射を電圧パルスとして検出できるフォトダイオード。	①
SPICE	Simulation Program with Integrated Circuit Emphasis の略。電子回路のアナログ動作をシミュレーションするソフトウェア。	①
TAT	Turn Around Time の略。システムに指示を入力してから結果を出力するまでの時間。	②
TDC	Time-to-Digital Converter の略。高精度時間測定回路。	①
TEG	Test Element Group の略。LSI に発生する設計上や製造上の問題を見つけ出すための評価用素子。LSI のプロセス開発、設計、製造などの各種段階で発生する問題点の要因を究明するため、LSI を構成する素子や構造の一部を切り出したり、原因の究明に適した専用の回路を構成することで、早期に原因を究明できるようにする。	共通
THB	Temperature Humidity Bias Test の略。高温高湿度環境内で対象電子部品に電気バイアスを与えて動作確認を行う寿命評価。	①
TOF	Time Of Flight の略。光の飛行時間。	①
TSV	Through-Silicon Via の略。複数のチップを積層し封止するためのシリコン基板を貫通する電極のこと。積層チップ間を最短距離で接続できることで、高機能・高速動作の IC システムの実現が可能となる。	共通
TSV-PDK	TSV の PDK。	共通

用語	説明	分類
Velodyne	Velodyne 社の全方位 LiDAR イメージングユニットのこと。64 個のレーザー送受信センサを内蔵し、全方位 360° / 垂直視野角 26.8° の測距画像の取得が可能。	①
アーキテクチャ (Architecture)	ハードウェア、OS、ネットワーク、アプリケーションソフトなどの基本設計や設計思想のこと。	共通
アセンブラ	人間から見て解釈しやすいニーモニック (簡略化した英単語や記号の組合せ) (アセンブリ言語) で書かれたプログラムをコンピュータが解釈可能な機械語プログラムへ変換 (アセンブル) を行うプログラムのこと。	②
アプリケーション (ソフトウェア)	コンピュータの利用者がコンピュータ上で実行したい作業を実施する機能を直接的に有するソフトウェア。	②
アライメント	位置合わせ。	①
アルゴリズム (Algorithm)	コンピュータで計算を行うときの計算方法や手順。	共通
アンダーフィル (Under fill)	IC パッケージやダイの接続信頼性を高めるために使われる接着性のある封止樹脂。IC パッケージやダイの半田ボール等の接続部分に注入される。	③
移動体検知	カメラ映像から歩行者などの移動体を認識するアプリケーション。	②
Via Last プロセス	TSV 加工方式の中で完成したウェハを最後に TSV 加工するプロセス。	①
エレクトロマイグレーション (Electromigration)	電気伝導体の中で移動する電子と金属原子の間で運動量の交換が行われるために、金属原子が徐々に移動することで材質の形状に欠損が生じる現象。この効果は電流密度が高い場合に大きくなる。	③
演算アレイ回路	メニーコアを構成するプロセッシングエレメントアレイの回路。	②
オーバードライブ	最初にプローブ端子が半導体の端子に触れたところからさらに押し込んで圧接すること。	①
逆アセンブラ	アセンブラの逆を行うプログラムのこと。	②
空間マップ	路面認識結果等から車両周辺状況をマップ化するアプリケーション。	②
クーリングプレート	CPU 等の冷却装置。	③
コア層	パッケージ等の芯材の層。支持体となる層。	③
コンパイラ	人間に分かりやすく複雑な機能や構文を持つ高水準プログラミング言語 (高級言語) で書かれたコンピュータプログラムを、コンピュータが解釈・実行できる形式 [オブジェクトコード (機械語の集合)] に一括して変換するソフトウェア。	②
サポートウェハ	薄型ウェハの補強、反り矯正を行うための支持基板。	③

用語	説明	分類
三次元積層	素子の配置や配線を立体構造にして集積度を高めた半導体集積回路。配線の短縮により動作の高速化と省電力化を図ることができる。	共通
C4 バンプ	ワイヤーボンディングに代わるパッケージ実装方式で使用される、こぶ状の導体突起。パッケージ基板の上に電極として形成しダイと接合する。C4はControl. Collapse Chip Connectionの略。	③
シミュレータ (Simulator)	何らかのシステムの挙動を、それとほぼ同じ法則に支配される他のシステムやコンピュータなどによって模擬すること。	②
静止立体物検知	カメラ映像から立体物を認識するアプリケーション。	②
側方接近車検知	カメラ映像から側方遠方の接近車両を認識するアプリケーション。	②
反り	(ウェハがお椀型に)変形すること。ウェハ上に膜を成膜すると、ウェハと膜の熱膨張率差により反りが生じる。	共通
ダイ (die)	半導体チップの製造工程で、円盤状のウェハに回路パターンを焼き付け、さいの目状に切り分けて得られた一枚一枚のチップのこと。これに金属端子やプラスチックのカバーなどを取り付けると半導体パッケージとなる。	③
ダイシング	半導体のウェハ上に形成された集積回路などを、ダイシングソーでさいの目状に切り分けチップ化すること。	③
ダイシングテープ	導体・電子部品・光学部品製造におけるダイシング工程においてワークを固定する時に使用される。タック力が極めて強いのでパッケージ飛びが起こらない。UV照射後は瞬時に粘着力がなくなるので、容易にピックアップができる。	③
タイムスロット	時分割多重方式を用いてデータを送るとき、一つのチャンネルが占有する時間間隔のこと。	①
チッピング	「欠け」のこと。砥石の欠け、加工対象の欠けのどちらの意味にも使う。ワークの角や淵などがわずかに欠けてしまう現象や、砥石の砥層部分の一部が少し欠けてしまうなどのケースを「チッピング」と呼ぶ。	③
ディジーチェーン	まとめて電気接続評価するために回路を数珠つなぎにすること。	①
データストリーム	連続したデータの流れのこと。	①
データパス	コンピュータシステム内の処理データの流れのこと。	①
テストベッド	大規模なシステム開発で用いられる、実際の運用環境に近づけた試験用プラットフォームの総称。	②
電力性能比	電力あたりの性能。単位：GOP/W、Gflops/W。	共通
ネットリスト	トランジスタ情報およびトランジスタ間の接続情報が記述された回路データ。	①

用語	説明	分類
ノイズキャンセル	誤検知要因になるノイズ成分を低減すること。	②
バンブ	ワイヤーボンディングに代わるパッケージ実装方式で使用される、こぶ状の導体突起。	共通
ビア (Via)	多層配線において、下層の配線と上層の配線を電気的につなぐ接続領域。通常は層間絶縁膜をエッチングしてビア・ホールを開口し、そのビア・ホールを金属材料で埋め込んで形成する。	共通
p-implant 層	p 型のイオンを注入された半導体の層構造。	①
ピーク性能	コンピュータの理論ピーク性能のこと。一方で実質的な性能を実効性能とよぶ。	②
ピラー	柱。	③
ファウンドリ	半導体産業において、実際に半導体デバイス(半導体チップ)を生産する工場。	①
VGA カメラ	30 万画素相当の解像度を持つ車載カメラ。	②
フリップチップ	実装基板上にチップを実装する方法の 1 つ。チップ表面と基板を電氣的に接続する際、ワイヤーボンディングのようにワイヤによって接続するのではなく、アレイ状に並んだバンブと呼ばれる突起状の端子によって接続する方法。	③
フロアプラン	レイアウト実装設計の最初の工程で、チップ上にどの回路ブロックをどこに配置するかの大枠を決める作業。	③
プロービング	金属探針(プローブ)を使って半導体の電気テストを行うこと。	①
プローブ (半導体試験)	細い探針を当てて電気信号を流し、半導体回路が設計どおりに機能しているかを電氣的に検査すること。そのための探針のこと。	共通
プローブカード	ウェハ上の LSI を検査するための金属探針(プローブ)付き基板。	①
ヘテロジニアスマルチコア	異種のアーキテクチャをもつマイクロプロセッサが統合された CPU のこと。	①
ボイド	気泡。空洞。	共通
マイコン (Microcontroller)	コンピュータシステムをひとつの集積回路に組み込んだもの。	①
マッピング (mapping)	何かの分布や配置などを地図に重ね合わせて図示すること。	②
メイレイ命令セット	コンピュータのハードウェアに対して命令を伝えるための言葉の語彙。	②
Mega カメラ	100 万画素相当の解像度を持つ車載カメラ。	②
メニーコア	メニーコアプロセッサは、ひとつのプロセッサの中に、実際に計算などの処理を行う部分(コア)をたくさん持ったプロセッサのこと。コアが一つのプロセッサより処理速度を上げることができるが、ソフトウェアがメニーコアに対応している必要がある。	②

用語	説明	分類
メモリストール	メモリアクセスを要因としてCPUの動作が一時的に停止すること。	①
メモリスループット	コンピュータシステムの性能を量的に図る指標の一つで、時間当たりのメモリ部と処理部の間のデータ転送量。単位：Byte/s。	共通
用意周到型アーキテクチャ	本プロジェクトで提案し開発したアーキテクチャ。従来の汎用メニーコアでは、各コアが夫々命令を自由にメモリから読出して実行したり、あるいはデータが必要と分かった時にメモリへ取りにいったりするように動作する(ここでは「臨機応変型アーキテクチャ」と呼ぶ)のに対して、コアごとに「データを届ける」機能、「命令を届ける」機能、「データを演算する」機能のそれぞれについて、画像意味理解処理に固有の特性を導入することが可能となり、低電力化を実現できるアーキテクチャ。	②
ランタイムマネージャ	ランタイムはコンピュータプログラムの実行時のこと。また、プログラムの実行時に必要となる実行環境やライブラリなどのソフトウェア部品のこと。正しくは「ランタイムライブラリ」「ランタイムパッケージ」「ランタイムエンジン」などと呼ばれるが、慣用的に省略してランタイムと呼称することが多い。ランタイムマネージャはこのランタイム向けのマネジメントを行う機構のこと。	②
リーク	電気回路上で絶縁されるべき部分から電流が漏れること。	①
リフロー	「リフローはんだ付け」を略で、事前に常温で付けておいたはんだを、後で加熱して溶かしてはんだ付けすること。	③
リンカ	コンパイラによって変換されたオブジェクトコード(機械語の集合)に、必要なライブラリなどを付け加えて実行可能ファイルを生成するプログラムのこと。	②
ロジック (Logic)	処理の流れや利用しているアルゴリズムなど、コードが体現する論理のこと。	②
路面認識	カメラ映像から路面領域とそれ以外を認識するアプリケーション。	②

I. 事業の位置付け・必要性について

1. 事業の背景・目的・位置づけ

1.1 事業の背景

次世代交通社会の実現には、自動車の燃焼システムの環境対応に加え、急発進、急停止、渋滞等による非効率な燃料消費の改善および人の飛び出しや走行中の急な割り込み等による衝突事故の削減など、一層の省エネ化と安全走行の高度化が重要である。その実現には、自動車の周辺情報を集め即座に状況を把握するシステムの構築が必要となり、そのための技術開発が求められている。

1.2 事業の目的

本事業では、このような次世代交通社会の実現に必須となるエレクトロニクス技術の開発を行う。具体的には、2020年度頃の市場投入を目指し、安全運転支援を実現するためのセンシングデバイスの開発、車載センサの情報から障害物を認識し危険度を判別するアプリケーションプロセッサの開発、多くの車から収集した情報を分析するプローブデータ処理プロセッサの開発を行うことで、渋滞緩和、交通事故低減に寄与し、低炭素かつ安全な次世代交通社会の基盤を整備するとともに、我が国の自動車関連企業の競争力強化に資することである。

1.3 事業の位置づけ

1.3.1 政策上の位置づけ

2011年8月に閣議決定された「第4期科学技術基本計画」では、「グリーンイノベーション」を強力に推進していくことが示され、その中の「エネルギー利用の高効率化およびスマート化」において、情報通信機器やシステム構成機器の一層の省エネルギー化への取り組みが掲げられた。本プロジェクトは、この基本計画を指針とした科学技術イノベーション政策の下策定された「科学技術イノベーション総合戦略」（2013年6月に閣議決定）では、「科学イノベーションが取り組むべき課題」として「革新的デバイスの開発による効率的エネルギー利用」が掲げられ、情報機器に関する取り組みの一項目である「超低消費電力デバイスの基礎技術開発」の中に「半導体チップの三次元実装化技術の開発」が挙げられた。また、翌年更新された「科学技術イノベーション総合戦略2014」（2014年6月に閣議決定）では、工程表の中に半導体チップの三次元実装化技術開発に加えて、「システム化・実装化技術の開発」として、本プロジェクトの主要テーマである、車載用センシングデバイス、障害物検知・危険認識プロセッサ、プローブデータ処理プロセッサの開発が明記されるに至った。以上のように本プロジェクトは当時の諸政策を実現するための研究開発の一環として活動を開始した。

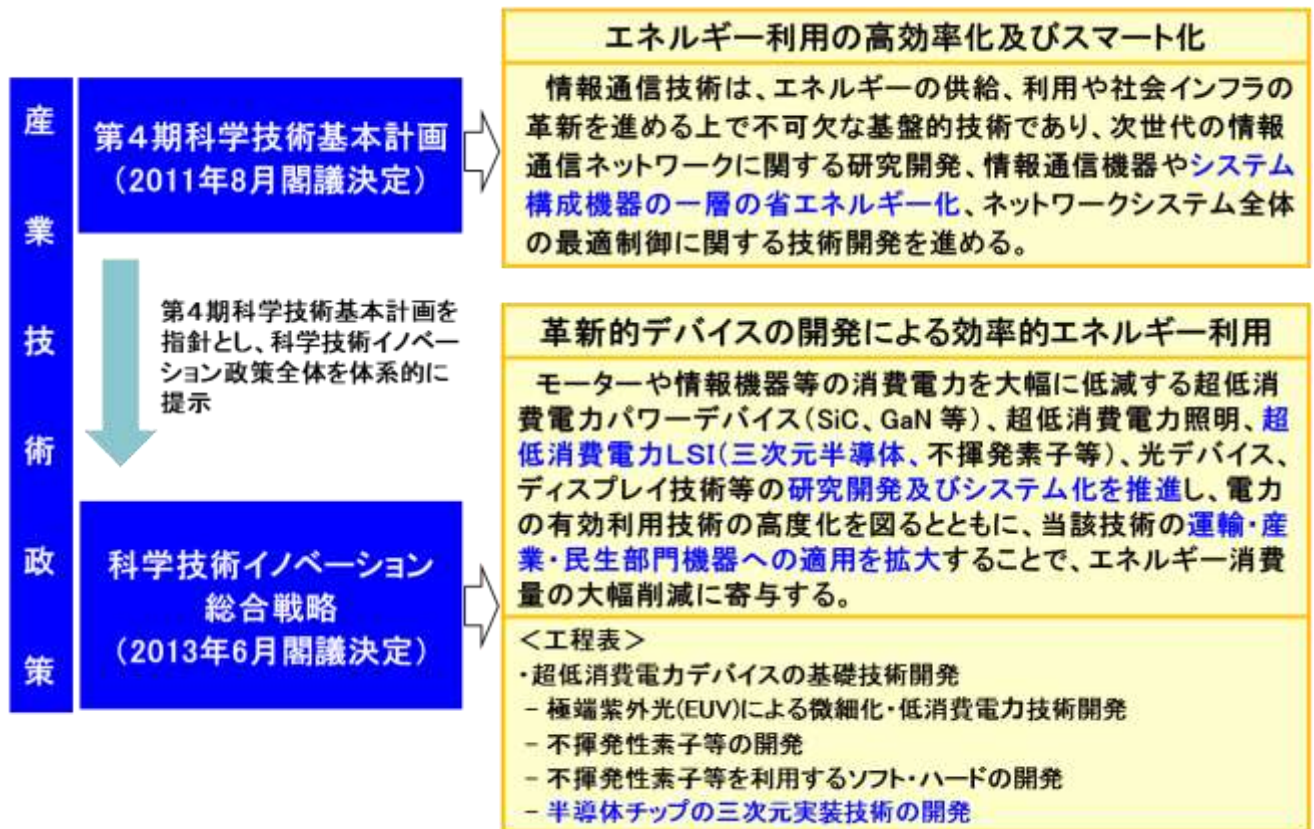


図 I-1.3-1 政策上の位置づけ

1.3.2 研究開発上の位置づけ

省エネ化と安全走行の高度化に対する開発の取り組みは、欧州では2010年頃には安全性向上のための衝突回避技術開発に重点が置かれたが、近年は自動運転を目指す開発が進んでいる。米国では早くから、各種センサとそこから得られた情報を処理して状況把握と判断を行い、車両を制御する自律走行技術の開発が始まっており、2020年度頃の実現を目指し民間ベースでの開発が進んでいる。一方、我が国では衝突回避に加え車車間通信、路車間通信技術を用いた渋滞緩和に関する技術開発が進行しているが、近年は衝突事故回避の要求から自動ブレーキ等の安全支援装備の新車普及率が急速に高まっている。このように、次世代高度交通システムに向けた開発は、国内外、官民間問わず加速している。

また、上記技術開発の成果を受けた安全走行装置や衝突回避装置の普及に伴い、これらの装着を義務化する動きも先進国を中心に出てきており、これに合わせて次世代高度交通システム用の電子デバイス市場の拡大も進行していくものと予測される。

本プロジェクトでは、自動車の更なる省エネ化、安全走行の高度化を実現するキーデバイスとなる次世代の障害物センシングデバイス、プロセッサ等の半導体デバイス（これらを、「次世代スマートデバイス」と称する）並びに、それらを実現する上で必要となる、半導体デバイスの低消費電力化、高速化、高集積度化のための三次元実装等の技術を開発する。その成果は、

エネルギー消費量削減・低炭素化社会の実現と、我が国の自動車産業およびエレクトロニクス産業の競争力の強化に貢献すると期待される。

1.4 NEDO が関与することの意義

次世代高度交通システムでは、エレクトロニクスによる高度なセンシング技術、データ処理技術が必須であるが、現状のデバイス技術では限定的な条件下でしか使用できず、複数のセンサを組み合わせが必要であったり、処理能力の問題で機能が限定されたりするという解決すべき課題が存在する。このような課題を解決し、自動車の更なる省エネ化、安全走行の高度化を実現するキーデバイスとなる、次世代の障害物センシングデバイス、プロセッサ等の技術的競争力強化を図ることは、「我が国経済・社会の基盤としての電子・情報通信産業の発展を促進するため、電子デバイス等に関する課題について重点的に取り組む」という、NEDO の中期計画に沿ったものである。

また、「次世代スマートデバイス」では、既存の半導体微細化技術だけでは実現困難な処理速度・低消費電力特性および高集積化を実現するために、Si 貫通ビアを活用した集積回路の三次元実装技術、センサデバイスの素子技術、大量の情報を処理・認識・予測するためのハードウェア・ソフトウェア技術等の異なる技術領域を束ね、また、単独の企業だけでは成しえない難易度の高い要素技術の開発等が必要であり、民間単独で行うことはきわめて困難である。

従って本プロジェクトは、電装・半導体等各分野のメーカーおよび研究機関の英知を集めて開発を行う必要があることに加え、我が国の産業利益を支えているエレクトロニクス産業および自動車産業の国際競争力強化および世界をリードするグリーンイノベーションの実現に寄与するものであり、産業政策の面からもきわめて重要な課題であることから、国家プロジェクトとして NEDO が関与すべきものと考えられる。

1.5 実施の効果(費用対効果)

本プロジェクトは、事業期間 5 年間、事業規模 80 億円の計画で進められた。事業は委託および助成があり、委託事業は NEDO 負担、助成事業は NEDO 負担率 1/2 以下である。委託事業では、次世代スマートデバイスで必要となる、既存技術では実現困難な処理速度・低消費電力特性および高集積化を実現するために必要な要素技術の開発を車載用障害物センシングデバイスの開発(研究開発項目①)の一環として行う。助成事業では、委託事業で開発された要素技術を適用した車載用障害物センシングモジュールの開発を研究開発項目①として行うとともに、障害物検知・危険認識アプリケーションプロセッサの開発(研究開発項目②)と、プローブデータ処理用プロセッサの開発(研究開発項目③)の 3 テーマを実施した。

(1) 経済効果

車載用半導体は世界全体で 3 兆円以上の市場規模があり、従来の EUC に加え、ハイブリッド車や電気自動車、ADAS (先進運転支援システム: Advanced Driver Assistant System) の普及に伴い、これらで用いられるプロセッサ、各種センサ、パワー半導体等を中心に拡大が続いている。その中で、本プロジェクトの開発対象である車載用障害物センシングデバイスと ADAS

用プロセッサの世界市場規模は、2020年でそれぞれ約1.7兆円及び、約900億円と予想されている。本研究開発の成果としてそれぞれシェア15%及び30%を獲得したと想定すると、車載用障害物センシングデバイスで約2,500億円、先進運転支援用プロセッサで約300億円の市場創出効果が期待できる。

(2) 省エネルギー効果

本事業の研究成果で実現される交通安全支援システムは、衝突回避等の事故低減効果だけではなく、急発進・急停止などの非効率な運転の改善、プローブデータの活用でもたらされる、渋滞の減少による省エネルギー効果が期待できる。

2020年に本事業で開発したデバイスの普及率が6%、本デバイスによる省エネ効果で25.7%の燃料節約が可能だと仮定し、我が国の自動車交通によるCO₂排出量予測より、CO₂排出の削減量を試算すると、図I-1.5-1に示すように、CO₂の排出削減量は約220万トンと推測できる。

省エネ効果

・2020年の日本のCO ₂ 排出量予測* ¹	: 1,009百万トン
・国内のCO ₂ 総排出量に占める自動車輸送の割合* ²	: 15.4%
・省エネ走行によるCO ₂ 排出抑制* ³	: 25.7%
・2020年時点の本システムの普及率	: 6%

2020年時点で
約220万トンの削減

*¹: IAEA Energy Outlook 2015より、*²: 日本国温室効果ガスインベントリ報告書よりNEDOで計算、*³: 「LET'Sスマートドライブ」(財)省エネルギーセンターより

図 I-1.5-1 省エネルギー効果

(3) その他

本事業で要素技術の開発を行う、Si貫通ビアを活用した集積回路の三次元実装技術は、高集積化、高速化、低消費電力化を実現するというチャレンジングな課題を含み、本事業で開発するデバイスだけではなく、他の機能や用途を持った集積回路に広く応用できるものである。

よって、多機能化、高速化、小型化、省エネ化の要求がますます高まってくる、携帯情報端末用LSIやヘルスケア用LSI等に適用を拡大していくことで、更に大きな経済効果や省エネルギー効果が期待できる。

1.6 各技術開発分野の競合状況

本プロジェクトにおける、各技術開発分野の競合状況を、表I-1.6-1に示す。

表 I -1. 6-1 各技術開発分野の競合状況

分野	諸外国との競合状況
車載用障害物センシングデバイス	<p>【現状】 ・ミリ波レーダー、レーザーレーダー、カメラ、超音波ソナー等を単独あるいは複数組み合わせて使用。 ・電装、カメラ、センサ等の各メーカー20社以上が市場を分け合っている。 海外：Bosch(独)、Continental(独)、Valeo(仏)、Hella(独)、Dellphi(米)、Magna(加)、舜宇(中)等 国内：デンソー、パナソニック、ソニー、オムロン等</p> <p>【今後】 ・車両周辺環境の影響を受けずに障害物を検知できる。 ・高分解能・高感度化、小型化、低コスト化、高車載信頼性、三次元空間認識。 ・技術開発ステージにおいて、日米欧で競争状態。 従来のTier1等部品メーカーに加えて多数のベンチャが提案</p>
車載用情報処理プロセッサ	<p>【現状】 ・安全支援システムの「危険認識」の段階（白線認識、障害物認識）に関する車載情報システム用LSIはIntel/Mobileyeが6～7割を握る状態。</p> <p>【今後】 ・本プロジェクトで取り組む「危険予測」の段階は技術開発ステージで、日米欧で競争状態。</p>
大容量データ処理プロセッサ	<p>【現状】 ・サーバーのシェアとリンクしており、日本の市場は現在約5%。 ・米国のIntel、Nvidia、AMD、IBM、Oracle等がほぼ独占。</p> <p>【今後】 ・本プロジェクトの成果を国産サーバーのキーデバイスとして、本分野の国際競争力を強化。</p>
三次元積層半導体	<p>【現状】 ・車載分野向けの高信頼性組立受託事業の計画は国内外ともなし。 （PC、モバイル、ネットワーク機器向けは台、韓、米で占有）</p> <p>【今後】 ・積層技術は技術開発段階であるが、車載品質に関するノウハウを有する、日本の電装メーカーが優位性をもつ。</p>

II. 研究開発マネジメントについて

1. 事業の目標

本プロジェクトは、自動車の周辺情報を把握するシステムのキーデバイスである車載用障害物センシングデバイス、障害物検知・危険認識アプリケーションプロセッサおよびプローブデータ処理プロセッサを開発し、自動車関連企業の競争力強化に貢献することを目指すものである。

本プロジェクトでは、3項目の研究開発を実施する。以下に各研究開発項目の概要および目標を記す。

研究開発項目① 車載用障害物センシングデバイスの開発

夜間を含む全天候下で20m以上先の車両や歩行者等多数の障害物の位置と距離を同時にリアルタイムで測定できるセンシングデバイスおよび三次元積層による省スペース化と高速信号伝送特性を併せ持つデバイスの小型化技術を車載品質レベルで開発する。

【中間目標】(2015年度末)

- ・ 20m以上先の車両や歩行者等多数の障害物の位置と距離を同時に測定できるセンシングデバイスを開発し、性能評価を行う。その評価結果から最終目標達成のための課題を抽出し、解決の技術的見通しを明確にする。
- ・ センシングデバイスの省スペース化に資するデバイスの小型化技術の技術的見通しを明確にする。

【最終目標】(2017年度末)

- ・ 走行中に夜間を含む全天候下で、20m以上先までの車両や歩行者等多数の障害物の位置と距離を同時にリアルタイムで高精度に測定するセンシングデバイスを開発する。
- ・ 車載環境下で上記のセンシング特性を有し、バックミラー裏やバンパー等限られたスペースに搭載できるデバイスの小型化技術を開発する。

研究開発項目② 障害物検知・危険認識アプリケーションプロセッサの開発

センシングデバイスからの大量のデータを高速かつ低消費電力で処理できるアーキテクチャを搭載した車載用のプロセッサを開発する。

上記のプロセッサをプラットフォームとして、より多くの車両や歩行者等の障害物の動きを予測し、その衝突の危険度を判別するアプリケーションソフトを開発する。

【中間目標】

- ・ 車両や歩行者等多数の障害物の動きを予測するアルゴリズムを開発し、その危険度を判別するソフトウェアの仕様を作成する。
- ・ センシングデバイスからの大量のデータを高速かつ低消費電力で処理するプロセッサのアーキテクチャを設計し、技術的見通しを明確にする。

【最終目標】(2015年度末)→市場競争の激化に対応した、性能検証開発の手法の効率化、見直しにより最終目標達成時期を2017年度末から2015年度末に前倒しする計画変更を実施。

- ・ 以下の機能を有するアプリケーションソフトを開発する。
 - 走行車両周辺の歩行者、自動車、二輪車など多数の障害物の認識
 - それぞれの障害物の動きの予測
 - それぞれの障害物の衝突危険度の判別

- ・ アプリケーションソフトを搭載した以下の性能を有するアプリケーションプロセッサを開発する。
 - メモリスループット : 80 GByte/s 以上
 - 単位消費電力当たり演算性能 : 1,000 GOPS/W 以上
GOPS (Giga Operations per Second)
 - 検出処理時間 : 50 msec以下

研究開発項目③ プローブデータ処理プロセッサの開発

車両からのリアルタイム情報と過去の渋滞モデル等から個々の自動車に安全で効率的な運転支援情報を提供するハイエンドサーバシステムに搭載されるプロセッサ(※)を開発する。具体的には、2020年度頃の実用化を目指し、テレマティクス向けサーバシステムが扱うエクサバイト規模の情報をリアルタイムで処理する低消費電力プロセッサ技術を開発する。

(※) 本事業では、回路、システム、設計技術、組立技術を重点的な対象とし、専ら新材料、新デバイス構造、新プロセスの開発を目的とするものは対象としない。

【中間目標】(2015年度末)

- ・ 大容量データを高速かつ低消費電力で処理するプロセッサの要素技術を開発し、最終目標達成に必要な技術的見通しを明確にする。

【最終目標】(2017年度末)

- ・ 以下の性能を有する高性能で低消費電力のプロセッサを開発する。
 - 単位消費電力当たり演算性能 : 3 Gflops/W 以上
 - ピーク演算性能 : 1 Tflops 以上
 - メモリスループット : 0.3 Byte per flop 以上
flops (floating-point operations per second)

NEDOは、これらの研究開発項目において、個別に設定した中間目標および最終目標性能の確認を最長2017年度までに達成すべき目標として設定し、プロジェクトの目標としている。

2. 事業の計画内容

2.1 研究開発の内容

本プロジェクトでは、3件の研究開発項目を実施する。それぞれの研究開発項目について、以下で説明する。

2.1.1 研究開発項目① 車載用障害物センシングデバイスの開発

[委託事業、助成事業(助成率：1/2以下)※]

※産官の複数事業者が互いのノウハウ等を持ちより協調して実施する基盤的内容について委託事業として実施し、それ以外の場合は助成事業(助成率1/2以下)として実施する。

担当： デンソー株式会社
ラピスセミコンダクタ株式会社
国立研究開発法人産業技術総合研究所

2.1.1.1 研究開発項目の概要

本研究開発項目では、渋滞緩和、交通事故低減に寄与し、安全運転支援を実現するためのセンシングデバイスとして、車載用測距センサを開発する。測距センサには、主にミリ波方式、ステレオカメラ方式、レーザレーダー方式があり、それぞれに長所・短所を併せ持ち、研究課題を抱えている。本事業では従来の約1000倍の空間分解能を持ち、昼夜問わず遠距離の歩行者・車両を検知(測距)できる測距センサの開発を行う。今回はレーザレーダー方式を当面の開発対象とし、当該特性を実現するために受光素子の感度向上と距離精度の向上を目指す。

感度向上は、高感度受光素子の採用と、受光素子の実効面積拡大(受光素子と信号処理回路の分離)により実現を目指す。距離精度の向上は、受光素子と信号処理回路を三次元的に実装して配線長を最短かつ等長とすることで、信号の遅延時間を最小かつ均等化することにより実現を目指す。高感度な受光素子の実現に不可欠となる三次元実装技術は、これまでも多くの研究開発事例が報告されているものの、実用化量産化に向けた技術課題の大きさから実用化は一部のアプリケーションに留まっている。

以上より、本研究開発項目では、車載用測距センサを実現するため、以下の技術課題の解決を目指す。

課題1 10000画素以上の空間分解能を持つ測距センサデバイス・回路技術の開発

課題2 三次元積層ICを設計するための設計環境の構築

課題3 三次元実装を実現するプロセス技術の開発

課題4 三次元実装の検査方法/評価方法の開発

課題5 測距センサの小型化を実現するモジュール技術の開発(助成事業)

2.1.1.2 研究開発項目の具体的内容 [() 内は開発サブテーマ No.]

2.1.1.2-1 課題1：測距センサデバイス・回路技術 (①-1)

主担当： 株式会社デンソー 測距センサ回路技術
株式会社豊田中央研究所(再委託) 測距センサデバイス技術

本研究では、市販されている測距センサが遠方の人など自動車より小さい物体を検出できるように、空間分解能を市販品の約1000倍以上向上することを目的とする。具体的には、市販品の空間分解能は10画素程度であるが、10000画素以上を有する測距センサを目指す。最終的には、10000個以上の測距センサデバイスと、それぞれの測距センサデバイスからの出力を読み取り、出射から受光までの時間(TOF; Time Of Flight)を算出する測距センサ回路、計測されたTOFから高SN比で距離を計算する信号処理LSIからなる三次元実装受光チップ実現の目処付けをする。また、高速・高精度で並列特性を有する読出し回路および時間計測回路に加え、測距センサの検知率を高めるデータ処理方式や並列化処理による高スループットなデジタル信号処理回路を開発する。

2.1.1.2-2 課題2：三次元統合設計環境の開発 (①-2)

主担当： 株式会社デンソー 統合設計環境の開発
株式会社図研(再委託) 統合設計プラットフォーム構築
副担当： 国立研究開発法人産業技術総合研究所

三次元半導体の特長を最大限に引き出して、高性能・高信頼性かつ低コストなセンサデバイスを実現するために必要な、IC設計からモジュール全体の実装設計までをカバーする統合設計環境を構築する。

本研究では、三次元半導体構造モデリング技術、ツール間I/F、TSVシミュレーションモデル、三次元向け電源線/信号線解析技術などの要素技術を開発し、IC設計、積層チップ設計、解析を統合した設計環境を構築する。また、開発技術を製品設計につなげるため、既存の設計インフラをベースに、三次元半導体特有の設計技術やモデルを加え、全体設計フローと統合設計環境フレームワークを構築する。

2.1.1.2-3-1 課題3-1：TSVプロセスインテグレーション技術の開発 (①-3)

主担当： ラピスセミコンダクタ株式会社
副担当： 株式会社デンソー、国立研究開発法人産業技術総合研究所

本事業の研究課題である車載用測距センサの距離性能を向上させる技術は、各画素からの信号を遅延時間なく伝達するために、各画素から信号を受ける信号処理LSIまでの物理的な配線を等長配線とする技術が必要である。本研究では、1チップあたり2万個以上のTSVを有し、

かつ車載信頼性を有する TSV 構造・形成プロセス技術開発を行うのと同時に、プロセス開発全体を効率化し、実用化へ向けた開発を行う。また、プロセス確立のために、TSV 内への金属充填プロセス開発用金属充填装置および洗浄装置等の導入を図る。

2.1.1.2-3-2 課題 3-2：印刷 TSV 技術の開発 (①-4)

主担当： ラピスセミコンダクタ株式会社、住友精密工業株式会社(再委託)

副担当： 株式会社デンソー、国立研究開発法人産業技術総合研究所

本研究では、TSV 形成処理工程を大幅に短縮・改善するために、TSV 形状に対して適用範囲の広い TSV 用金属充填技術と絶縁層形成技術の開発を行う。

TSV 用金属充填技術の開発としては、流動性の金属材料を真空環境下でウェハ上に導入し、加圧機構等によって TSV に充填したのちに固化させる技術およびそのプロセス加工装置の開発を行う。また、TSV 用絶縁層形成技術の開発としては、絶縁材料をウェハ上にあけられたリング状他の溝の中に充填した後に焼成することにより、短時間でウェハ全面に TSV 用絶縁層を形成する技術およびそのプロセス加工装置の開発を行う。

2.1.1.2-3-3 課題 3-3：印刷等によるマイクロバンプ形成技術・反り対策技術の開発 (①-5)

主担当： ラピスセミコンダクタ株式会社、株式会社デンソー(再委託)

副担当： 国立研究開発法人産業技術総合研究所

本研究では、印刷法等による新しいバンプ形成プロセスを開発し、従来のめっきによるバンプ形成のプロセスよりも、プロセス時間の低減を実現する。最終的なバンプ径は 10 μ m 以下を目標とし、それに対応する関連技術の開発を行う。

2.1.1.2-3-4 課題 3-4：低応力積層／接続技術の開発 (①-6)

主担当： ラピスセミコンダクタ株式会社、株式会社デンソー(再委託)

副担当： 国立研究開発法人産業技術総合研究所

測距誤差を小さくし、測距センサの距離性能を向上させるためには、測距センサチップと信号処理チップを上下に配置し、各画素からの信号を TSV と接続バンプを介して縦方向に結線する方法が理想であるため、車載信頼性を満足させる積層/接続技術を開発する。本研究では、車載信頼性を有する 1 チップあたり 1 万個以上の接続バンプを持つ積層/接続技術を開発する。

2.1.1.2-3-5 課題 3-5：センシングデバイス、三次元積層技術に関する動向調査

主担当： 株式会社デンソー、ラピスセミコンダクタ株式会社、
国立研究開発法人産業技術総合研究所

本開発を推進するに当たり、センシングデバイス、三次元実装技術等に関する市場動向・業界の技術動向を常に調査し、開発方針、目標の妥当性等について把握する。また下記学会等に必要に応じて参加し、情報収集もしくは各研究成果の発表・議論を行い、適宜研究内容へ反映させる。

(関連学会)

IEEE Electronic Components and Technology Conference (ECTC)

IEEE International 3D Systems Integration Conference (3DIC)

IEEE International Solid-State Circuits Conference (ISSCC)

2.1.1.2-4-1 課題 4-1：三次元実装検査技術の開発 (①-7)

主担当： ラピスセミコンダクタ株式会社、
ルネサスエレクトロニクス(再委託)

副担当： 株式会社デンソー、国立研究開発法人産業技術総合研究所、

三次元積層技術を実用化する上で、量産工程での積層構造に対する検査技術の確保が不可欠である。本研究では、電気的な評価技術として、20 μ m ピッチ/ ϕ 5 μ m 以下のマイクロバンプを直接検知するための新プローブ材料の開発、プローブ異物洗浄技術、および表面酸化膜除去技術(微小スクラブ機構)の開発を行う。更に、非破壊測定技術として、X線や発熱解析手法等による高分解能の不良部非破壊探傷・不良解析技術を開発する。

2.1.1.2-4-2 課題 4-2：三次元実装評価技術の開発 (①-8)

主担当： 国立研究開発法人産業技術総合研究所
副担当： ラピスセミコンダクタ株式会社、株式会社デンソー

本研究では、三次元実装技術を車載センサシステムに応用するにあたり、設計基板技術として重要な項目となる、TSV 技術および超多ピン接続の積層実装システムに対応した電気・熱・応力評価技術を開発する。

第一として、電気設計・計測評価技術としては、当該三次元実装技術上、不可欠な電源安定化技術に対応する電源評価技術の開発を行う。具体的にはシステム系における電源ネットワークインピーダンスが 10GHz で 1 Ω 以下を達成できるデカップリングキャパシタ内蔵インターポーザ等の電源安定化技術およびその評価技術を開発し、三次元 LSI 積層実装システム全体で車載センサシステムに対応する 100 GB/s~1 TB/s 程度の高速動作の安定化を目指す。

第二として、車載センサシステムで重要となる、放熱・冷却対応設計技術および評価技術を開発する。具体的には三次元積層実装 LSI 上でトランジスタ動作時に発生する局所熱（ホットスポット）の解析・計測評価技術を開発する。さらに、三次元積層実装 LSI 内から外への放熱経路の解析・計測技術も開発する。

第三として、新規 TSV および微細超多ピン接続による積層構造の不良評価技術を開発し、信頼性の高いプロセス工程を実現する。三次元実装時における微細な TSV およびバンプ接続部では熱・応力による変形が無視できないことから、微小構造体における熱・応力の連成解析技術の開発を行う。

2.1.1.2-5 課題 5：測距センサモジュールの開発[助成事業(助成率：1/2 以下)] (①-助成)

主担当： 株式会社デンソー

測距センサの原理は、レーザダイオード (LD) から出射されたパルス光が物体に当たって戻ってきた光をフォトダイオードで受光し、出射から受光までの時間を計測する。本開発では、高出力LD、電子スキャナ、委託事業 (①-1) の成果として試作した大規模アレー受光IC、受発光レンズ、同期制御マイコンボードから成る一体型測距センサモジュールを試作し、動作検証を実施して、システムとして最終目標 (20m以上先までの障害物の位置と距離をリアルタイムに測定) の達成を確認する。また、車載環境下で上記のセンシング特性を有し、バックミラー裏やバンパー等限られたスペースに搭載できるデバイスの小型化技術を開発する。

2.1.2 研究開発項目② 障害物検知・危険認識アプリケーションプロセッサの開発

[助成事業(助成率：1/2 以下)]

担当：ルネサスエレクトロニクス株式会社

クラリオン株式会社

※本研究開発項目は、2015 年度で最終目標を達成見込のため前倒し事後評価とする。

2.1.2.1. 研究開発項目の概要

本研究開発項目では、センシングデバイスからの大量のデータを高速かつ低消費電力で処理できる新たなアーキテクチャを搭載した車載用のプロセッサを開発する。

更に開発したプロセッサをプラットフォームとして、より多くの車両や歩行者等の障害物の動きを予測し、その衝突の危険度を判別するアプリケーションソフトを開発する。

2.1.2.2. 研究開発項目の具体的内容 [() 内は開発サブテーマ No.]

2.1.2.2-1 画像意味理解プロセッサプラットフォーム技術の開発 (②-1)

担当：ルネサスエレクトロニクス株式会社

次世代 ADAS の画像意味理解機能を実現するために必要なプロセッサの性能は、現世代 ADAS (=100GOPS/W) の場合と比べ、1 桁以上高い (=1000GOPS/W) ものになると予想されている。しかしながら、これまでのプロセスの微細化によって得られた電力性能比の目覚ましい向上は頭打ちしており、今後さらに微細化が進んだとしても、電力性能比の向上は多く望めない状態に直面している。また、温度依存性の高い車載環境では元々許容される電力上限が低いため、多くの現世代 ADAS では、高周波数化のアプローチよりも優れた電力性能比が期待できる並列処理のアプローチ、すなわちマルチ～メニーコアという切り札が既に利用されてしまっているため、さらなる電力性能比向上のハードルは非常に高い。そうした中、次世代 ADAS が要求する優れた電力性能比の実現に向けた課題は、下記 2 点にまとめられる。

課題 1：プロセスの微細化だけでは実現できない、現状のメニーコアよりも優れた電力性能比を持つプロセッサをいかに実現していくか。

課題 2：ますます複雑化そして高度が進む次世代 ADAS 向けソフトウェアを効率よく開発できるようにするため、既に現世代 ADAS でも問題が顕在化してきている、多数存在するコアを有効に使いこなして性能を引き出すのが困難という、メニーコアが持つ本質的な課題をどう抜本的に解決していくか。

本研究開発では、以下に示す 2 種類の技術を開発することを通じて、これらの課題を解決する。

課題 1：プロセッサによる処理は、「命令を届ける」、「データを届ける」、「データを演算する」の 3 つの作業の大きく分けられる中で、各作業に向けた回路

を、画像意味理解処理が有する特徴にそれぞれ特化して設計する、「用意周到型アーキテクチャ」技術の開発

課題 2 : メニーコアの性能を最大限引き出せない要因である、データを準備するためのコード(転送コード)、並びに演算を行うためのコード(演算コード)が混然一体となって記載される従来のプログラミング言語と異なり、転送コードと演算コードとを独立に記述する形に改めたプログラミングフレームワーク (AC-FW : Automated Chaining Frame Work)を開発する。

2.1.2.2-1-1 画像意味理解プロセッサ技術 (②-1-1)

1000 GOPS/W の電力性能比と、画像意味理解アルゴリズムの詳細まで記述可能な汎用なプログラマビリティの実現を両立した、画像意味理解プロセッサ技術を開発する。

メニーコア型プロセッサにおける「命令を届ける」、「データを届ける」、そして「データを演算する」のそれぞれについて、画像意味理解処理に固有の特性を導入した「用意周到型アーキテクチャ」を開発することで、プログラマビリティと高い電力性能比の両立を実現する。

2.1.2.2-1-2 画像意味理解プロセッサに向けたソフトウェア開発環境技術 (②-1-2)

本項目では以下の特徴を有する、画像認識において世界初のプログラミングフレームワークを開発する。

- ・プロセッサの専門知識を有しないアルゴリズム開発者であっても、用意周到型アーキテクチャに基づく画像意味理解プロセッサのピーク性能を容易に引き出せる。
- ・異なるプロセッサアーキテクチャ間でも性能可搬性を提供する。
- ・世界標準のオープン仕様に準拠し、プログラマ人口を確保できる。

転送コードと演算コードとを独立に記述する形に改めたプログラミングフレームワーク (AC-FW : Automated Chaining Framework)」を開発することで、用意周到型アーキテクチャに基づく画像意味理解プロセッサの性能をより簡単に引き出せ、かつ、性能可搬性も備えたソフトウェア開発環境を実現する。

異種アーキテクチャ間で性能可搬性を提供するプログラミングフレームワークを用意周到型プロセッサ用を実現する C コンパイラ、ランタイムライブラリの実現と、上記プログラミングフレームワークを標準化団体 Khronos において OpenVX として採用獲得を目指す。

2.1.2.2-1-3 前方監視用画像意味理解アプリケーションの実時間動作実証 (②-1-3)

本項目では、前方監視用画像意味理解アプリケーションソフトウェアのコアを、本事業で開発する画像意味理解プロセッサ技術向けに実装を行う。更に画像意味理解プロセッサ技術の評価システムを用いて、実装したアプリケーションソフトウェアのコアの評価を行い、システムが要求する性能で動作することを検証する。

2.1.2.2-1-4 画像意味理解リファレンスデータ取得システム的设计 (②-1-4)

異なる画像意味理解アプリケーションの開発に共通で使用できる映像リファレンスデータを取得する、画像意味理解リファレンスデータ取得システムを設計する。

画像意味理解アプリケーションの開発では、

- ・危険検知レベルの目標設定
- ・アルゴリズム選定とアルゴリズム開発(辞書開発)
- ・ソフトウェアの性能評価
- ・危険検知レベルの評価

の各段階において、画像データならびに測距センサデータなどの関連データが不可欠であり、車両周辺監視画像意味理解および前方監視画像意味理解で共通に利用できる映像リファレンスデータを取得することが重要となる。

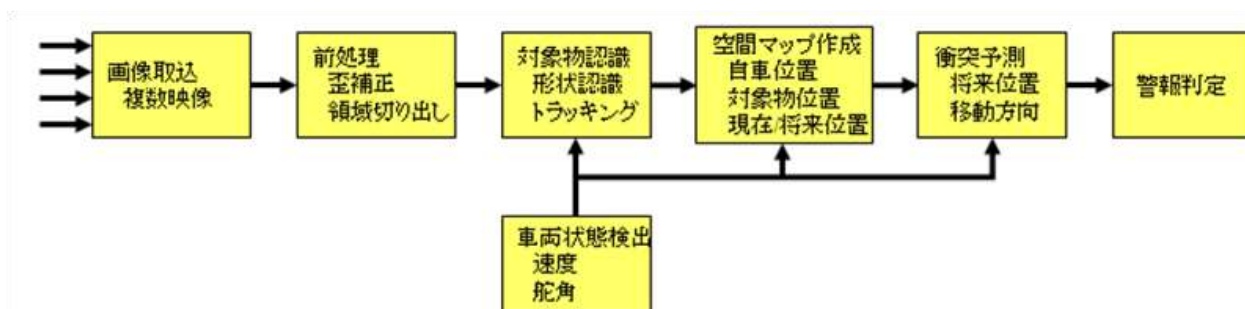
そこで、映像リファレンスデータ取得システムをテストベッドで検証を行いつつ設計する。

2.1.2.2-2 車両周辺監視用画像意味理解アプリケーションソフトウェア技術の開発 (②-2)

担当：クラリオン株式会社

本開発項目では、交差点右左折などでの安全運転を支援するため、車両周囲の広い範囲で歩行者等の移動物体を検知し、その危険度を判断する、画像意味理解アプリケーションプロセッサ用のアプリケーションソフトウェア技術を開発する。

具体的には、複数の広角カメラを車両に搭載し、車両全周囲の画像を取得する。取得した画像から画像意味理解アプリケーションプロセッサを通じて歩行者等をリアルタイムに検出し、更にその位置や移動方向に関する情報を含む空間マップを作成して衝突の危険性を判定することを特徴とする画像意味理解を実現する。図Ⅱ-2.1.2-1 に本手法の処理の流れを示す。



図Ⅱ-2.1.2-1 車両周辺監視用アプリケーションソフトウェア処理の流れ

以上の一連の流れにより、複数カメラ画像から自車周辺の移動物体を検出し、警報を発することができる。

2.1.3 研究開発項目③ プローブデータ処理プロセッサの開発

[助成事業(助成率：1/2 以下)]

担当：富士通株式会社

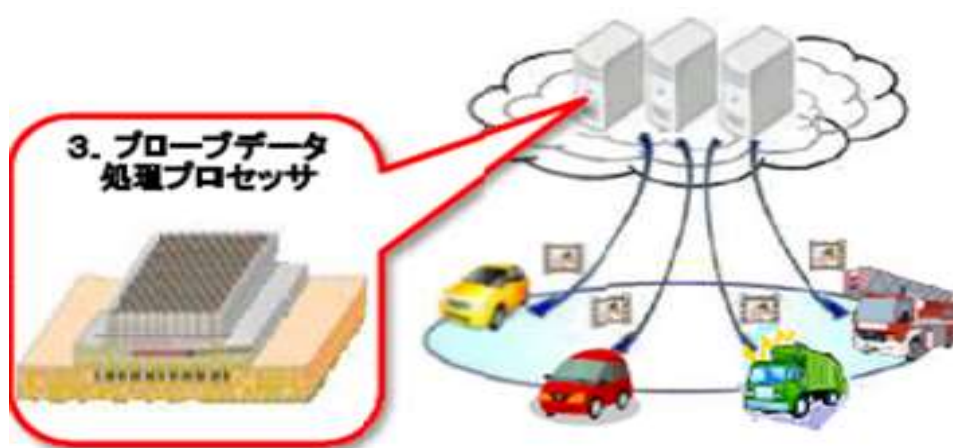
2.1.3.1. 研究開発項目の概要

本開発項目では、2021 年度頃の市場投入を目指し、多くの車から収集した情報を分析するサーバシステムにて使用されるプローブデータ処理プロセッサ(図Ⅱ.2.1.3-1)の開発を行う。具体的には以下の性能を有するプロセッサ開発を最終目標とする。

[最終目標]

- ・単位消費電力当たり演算性能 : 3 Gflops/W 以上
- ・ピーク演算性能 : 1Tflops 以上
- ・メモリスループット : 0.3 Byte per flop 以上

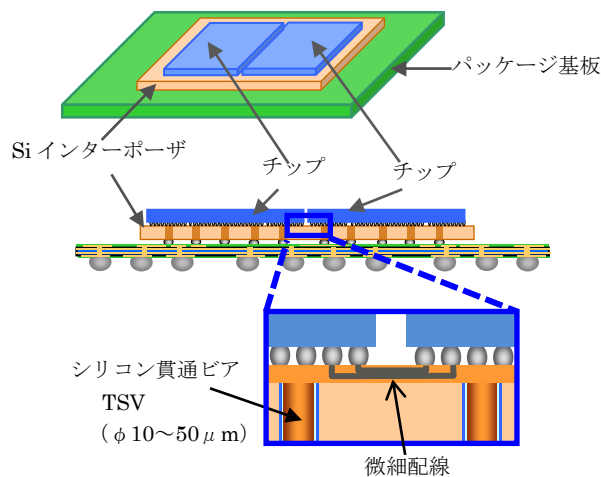
Flops (floating-point operations per second)



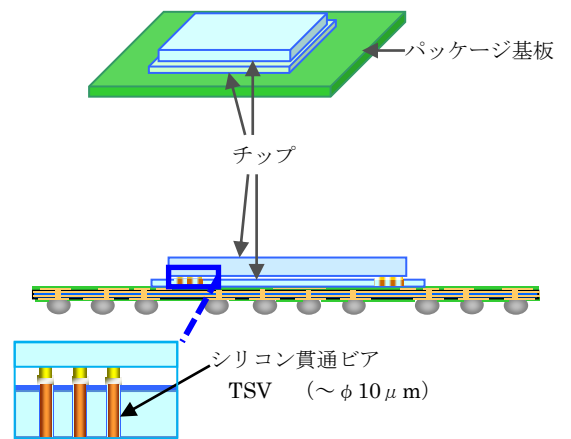
図Ⅱ-2.1.3-1 プローブデータ処理プロセッサ

上記の目標を達成するプローブデータ処理プロセッサを実現するためには、プロセッサ単体の高性能化と低消費電力化が必要である。高性能化のためには回路規模の拡大が必要であるが、従来の LSI では微細化のテクノロジーが進んでも、チップサイズの製造限界により回路規模は限定されてしまう。

今回開発を目指すプロセッサ性能の実現には、これまで以上に高集積化する必要がある。そのための手段として 2.5 次元実装(図Ⅱ.2.1.3-2)や、チップに形成した Si 貫通ビア(TSV: Through Silicon Via)を用いて縦積みする三次元実層(図Ⅱ.2.1.3-3)が挙げられる。三次元実層は、2.5 次元実装より配線長を短くして高速化を図れるほか、信号伝送での電力損失を少なくできる。すなわち、チップあたりの消費電力を下げることができるといったメリットがあり、本プロジェクトで開発する高性能低消費電力プロセッサの実現には必須の技術である。



図Ⅱ-2.1.3-2 2.5次元実装



図Ⅱ-2.1.3-3 3次元実装

しかし、現在実用化されているか又は実用化に近付いている3次元実装技術は、主にモバイル向けチップの小型高集積化に適した方向の技術であって、高性能プロセッサに3次元実装技術を適用するためには従来と異なる方向の技術が必要となる。すなわち、高性能プロセッサはモバイル向けチップと比較すると、①消費電力が大きいため大電流の供給を必要とする、②消費電力が大きいため高性能な冷却を必要とする、③積層チップ間および積層チップ外部とやり取りするデータ量が多いため多数信号ピンでの高速な伝送を必要とする、④チップ面積が大きいため積層に際して位置精度や応力などの機械的な問題がある、という特徴があり、これらの特徴をカバーできる技術を新たに開発することが必要である。従って、本研究開発では、「3次元プロセッサ向け大電流供給技術・高速伝送技術の研究開発」(上記①③の解決)、「3次元プロセッサ向け大面積チップ積層技術・高性能冷却技術の研究開発」(上記②④の解決)、およびそれらの技術を用いた「3次元プロセッサの設計開発・性能予測」を目標課題として研究開発を行う。

課題1. 3次元プロセッサ向け大電流供給技術、高速伝送技術、バックサイド製造技術の研究開発

開発目標とするプロセッサは、目標性能を達成した段階で200~300W程度の消費電力となることが見込まれる。2008年度~2012年度にて実施されたNEDOプロジェクト「立体構造新機能集積回路(ドリームチップ)技術開発」(以下、先行研究)においては、このような大電力を想定した研究は実施されていない。このような大電力供給を3次元積層構造で実現するためには、新たに、大電力供給に適したパッケージからチップへの電力供給経路となるTSVおよびTSVを経由するチップ裏面の電源配線構造が必要となる。このため、TSVだけでなく、バックサイド(裏面)の設計技術や、設計した裏面構造を実現するウェハ処理技術が必要となる。また、大電流対応の微小端子接合技術の開発も合わせて実施する必要がある。

更に高速信号の新たな伝送経路となるTSV経由配線や大電力の電源供給TSV配線に対応した、Signal Integrity(SI)、Power Integrity(PI)の解析、検証技術が必要となる。

課題 2. 三次元プロセッサ向け大面積チップ積層技術、高性能冷却技術の研究開発

三次元プロセッサ向け大面積チップ積層技術には、チップサイズ $\square 20\text{mm}$ 以上、数万端子以上の TSV を有するチップを積層するために過剰な力をかけることなく均一に接合する新たなプロセス技術の確立が必要であり、そのチップ積層過程では下チップの発熱を上チップへ拡散できる熱伝導性の良い封止材の選定とその封止材をチップ間に均一に充填するプロセス技術の確立が必要である。また、パッケージ実装過程では大面積積層チップを搭載するために生じるパッケージ基板と積層チップ間の反りの抑制と、熱膨張係数差のために生じる膨張・収縮への耐久性確保が必要である。高性能冷却技術には、消費電力が大きいプロセッサを冷却するため高性能かつコンパクトな冷却構造の開発が必要となる。

課題 3. 三次元対応高性能プロセッサの開発

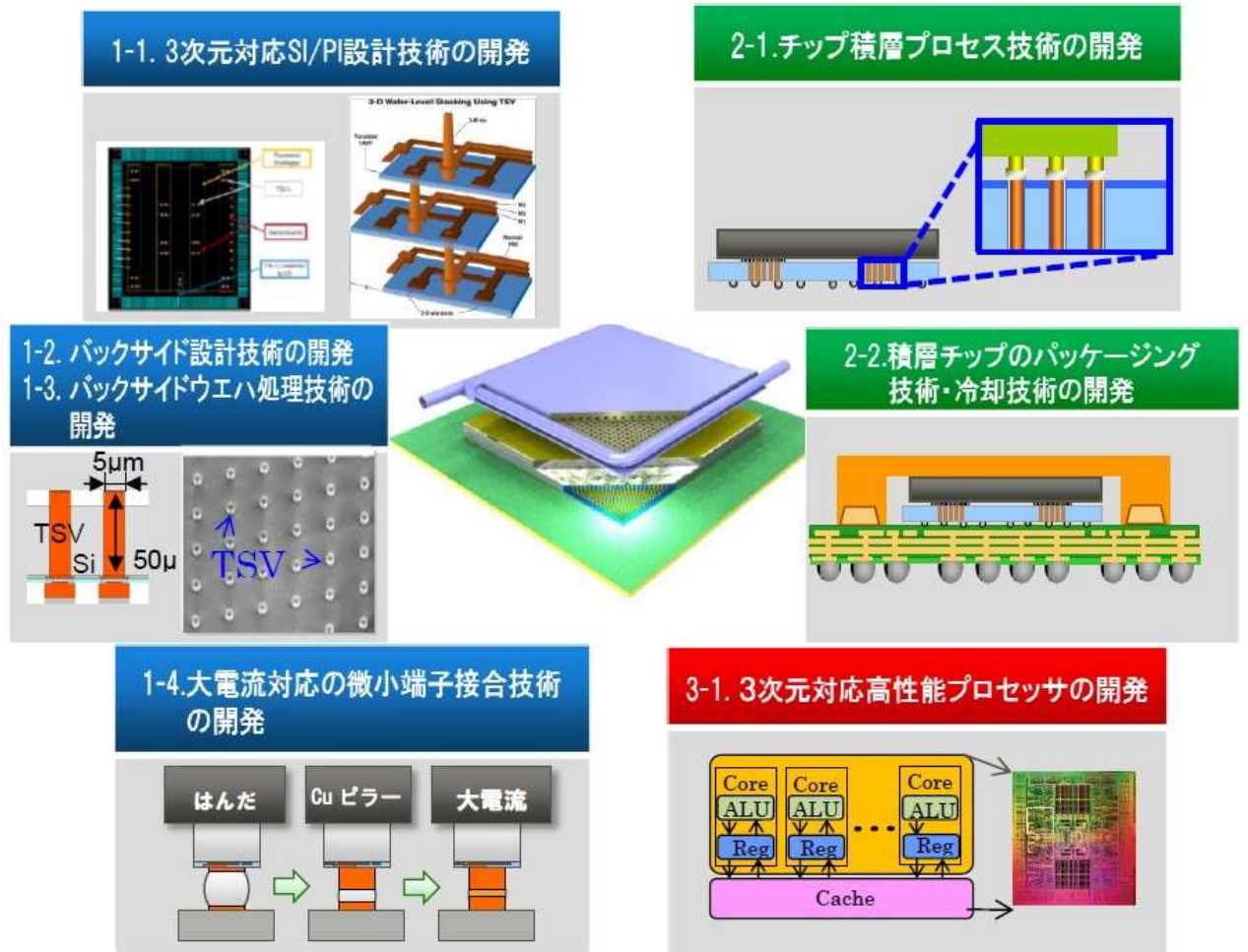
目標課題 1, 2 で開発した三次元対応のための要素技術の取り込みや、三次元実装によって発生するチップ分割に対応するため、フロアプランやプロセッサの基本仕様を作成が必要となる。

次に、その基本仕様等に基づき論理設計やレイアウト設計を行うにあたっては、面積、速度、電力等の最適化が必須であり、それらを可能とする三次元実装設計環境が必要となる。また、積層するチップ間の微小接合端子は、従来の端子に比べピッチが $1/3$ 以下であり、端子数が 10 倍以上になることが想定され、この微小で多数の接合端子用のテストプローブは非常に高価だけでなく、製造すらできない可能性がある。そこで従来の少ないピン数のプローブでもテスト可能な三次元実装 LSI 向けのテスト手法が必要となる。

以上、まとめると以下のような課題となる(図 II. 2. 1. 3-4)。

【課題リスト】

- | | |
|--------|-------------------------------------|
| 課題 1-1 | 三次元対応 SI/PI 設計技術の開発 |
| 課題 1-2 | バックサイド設計技術の開発 |
| 課題 1-3 | バックサイドウェハ処理技術の開発 |
| 課題 1-4 | 大電流対応の微小端子接合技術の開発 |
| 課題 2-1 | チップ積層プロセス技術の開発 |
| 課題 2-2 | 積層チップ(チップ積層された部品)のパッケージング技術・冷却技術の開発 |
| 課題 3-1 | 三次元対応高性能プロセッサの開発 |



図Ⅱ-2. 1. 3-4 開発課題

2. 1. 3. 2. 研究開発項目の具体的内容 [() 内は開発サブテーマ No.]

2. 1. 3. 2-1-1 課題 1-1：三次元対応 SI/PI 設計技術の開発 (③-1-1)

三次元積層構造モジュールの電力供給設計については、TSV を経由する電源配線に対し、TSV を含めた配線の電気特性モデルを作成する技術、さらに電気特性モデルを解析することで TSV 挿入によるインピーダンスの上昇、電源電圧の DC ドロップ、回路が電流を消費した時の電圧変動等の Power Integrity を検証する技術を開発する。信号配線設計については、TSV を経由するマルチレーン高速伝送に対し、TSV の周波数依存の挿入損失・反射損失およびクロストークの影響等の Signal Integrity を評価する技術を開発する。

2.1.3.2-1-2 課題 1-2：バックサイド設計技術の開発 (③-1-2)

大電流の供給と高速伝送を実現するため、高速信号の伝送に有利な微細な TSV を形成可能なビアミドル TSV 方式を用いて、大電流が供給できる TSV の束ね配置を検討するなど、LSI のバックサイド(裏面)構造の設計技術を開発する。

2.1.3.2-1-3 課題 1-3：バックサイドウェハ処理技術の開発 (③-1-3)

2.1.3.2-1-2 で検討した 2 層のバックサイド(裏面)電極構造を実現するための積層チップの試作を通じた高信頼な TSV 裏面再配線プロセス技術を開発する。

2.1.3.2-1-4 課題 1-4：大電流対応の微小端子接合技術の開発 (③-1-4)

TSV を介して積層するチップの微小な端子を通して安定に大電流を供給するため、電流密度の増加で生じるエレクトロマイグレーション耐性に優れた接続構造を開発する。

2.1.3.2-2-1 課題 2-1：チップ積層プロセス技術の開発 (③-2-1)

上下に積層するチップは、どちらも $\square 20\text{mm}$ 以上の大型サイズであり、特に下層に位置するチップは微細な TSV(直径 $5\sim 10\mu\text{m}$)が数万個形成された厚み $50\mu\text{m}$ を想定しているが、チップの積層工程で、薄化チップのハンドリングや積層時の反りストレスによるデバイスへのダメージが懸念される。そこで、デバイスに与えるダメージを最小限に抑えデバイスに影響を与えない薄化チップのハンドリング技術とチップ積層技術を開発する。

また、上下のチップ積層では、グリッドアレイ状に $35\sim 50\mu\text{m}$ ピッチ間隔で配置された数万端子を高精度・高品質に接続する微細接合技術と、積層した $20\sim 40\mu\text{m}$ のチップ間隙に上下チップの発熱を速やかに熱拡散させる高熱伝導特性を有した封止材料(アンダーフィル)をボイド無く高品質に充填するために、高熱伝導 封止材料と高精度封止プロセス技術を開発する。

2.1.3.2-2-2 課題 2-2：積層チップのパッケージング技術・冷却技術の開発 (③-2-2)

$\square 20\text{mm}$ 以上の積層チップとパッケージ基板との接合では、両者の反り抑制と熱膨張係数差による繰返し熱応力への耐久性確保が重要である。この要件を満たし、超高速差動伝送を実現するパッケージ基板の仕様を開発する。また、プロセッサを高密度に実装でき、プロセッサ間の近距離接続が可能となるような、パッケージ基板サイズに近い投影面積を有し、かつチップから冷媒までの伝熱経路の近い冷却構造を開発する。また、高効率な冷却循環システムを構築するために熱輸送方式および放熱部を開発する。

2.1.3.2-3 課題 3：三次元対応高性能プロセッサの開発 (③-3)

まず、三次元実装に対応した設計の最適化を可能とする三次元実装設計環境を開発する。次に、三次元実装によって変化するチップ分割等を考慮し、目標性能を満たすフロアプランとプロセッサの基本仕様を開発する。更に、従来の少ないピン数のプローブでもテスト可能な三次元実装 LSI 向けのテスト手法を開発する。そして、構築した設計環境のもとで策定した基本仕様に基づき、論理設計、レイアウト設計を行い、三次元実装を使用した高性能プロセッサを開発する。またプローブ処理プロセッサとしての確認のために、プローブ処理性能を含めた性能の検証をする。

2.1.4 研究開発スケジュール

以降に各研究開発項目の研究開発スケジュールを示す。

研究開発項目① 車載用障害物センシングデバイスの開発(1/2)

実施項目	2013年度		2014年度		2015年度		2016年度		2017年度		備考
	下期	上期	下期	上期	下期	上期	下期	上期	下期		
①-1：測距センサデバイス・回路技術	目標仕様策定		TEG 試作 FPGA 設計		プロト試作→検証		ICテストサンプル設計		ICテストサンプル試作→検証		担当：(株)デンソー、(株)豊田中央研究所
①-2：三次元統合設計環境の開発	要素開発		設計試行		TEG 試作、I/F 開発		評価、プロト開発 設計適用、ツール化		環境整備、リファイン		担当：(株)デンソー、(株)図研、(国)産業技術総合研究所
①-3：TSVプロセスインテグレーション技術の開発	プロセス成立性評価		プロセス TEG 評価		民生レベル信頼性評価		課題抽出 車載レベル信頼性基礎評価		改良条件抽出 車載レベル信頼性評価		担当：ラピスセミコンダクタ(株)、(株)デンソー、住友精密工業(株)、(国)産業技術総合研究所
①-4：印刷TSV技術の開発	<金属充填技術> 初期成立性確認	初期プロセス開発と材料の絞込		実証機基本仕様作成 材料とプロセスの開発		実証機開発準備 量産に向けた課題解決		材料とプロセスの微細ビア対応と充填良品率向上			担当：ラピスセミコンダクタ(株)、住友精密工業(株)、(株)デンソー、(国)産業技術総合研究所
	<絶縁層形成技術>	実証機の製作		実験機のα機化改造 材料とプロセスの開発		実証機基本仕様作成 プロセス技術の改善と充填良品率向上		実証機開発準備と量産に向けた課題解決			

研究開発項目① 車載用障害物センシングデバイスの開発(2/2)

実施項目	2013年度		2014年度		2015年度		2016年度		2017年度		備考
	下期	上期	下期	上期	下期	上期	下期	上期	下期		
①-5：印刷バンパ・反り対策技術の開発											担当：ラピスセミコンダクタ(株)、(国)産業技術総合研究所、(株)デンソー
①-6：低応力積層/接続技術の開発											担当：(株)デンソー、ラピスセミコンダクタ(株)、(国)産業技術総合研究所
①-7：三次元実装検査技術の開発											担当：ラピスセミコンダクタ(株)、ルネサスエレクトロニクス(株)、(株)デンソー、(国)産業技術総合研究所
①-8：三次元実装評価技術の開発											担当：(国)産業技術総合研究所、(株)デンソー
①-助成：測距センサモジュールの開発											担当：(株)デンソー

研究開発項目② 障害物検知・危険認識アプリケーションプロセッサの開発

実施項目	2013年度		2014年度		2015年度		備考
	下期	上期	下期	上期	下期	上期	
②-1：画像意味理解プロセッサプラットフォーム技術の開発							担当： ルネサスエレクトロニクス(株)
②-1-1：画像意味理解プロセッサ技術	アーキテクチャの設計		RTL設計、検証	評価システムの開発	性能評価		
②-1-2：画像意味理解プロセッサに向けたソフトウェア開発環境技術	AC-FWの設計 基本APIライブラリの開発		コンパイラ開発 拡張APIライブラリの開発	マネージャの開発 動作検証			
②-1-3：前方監視用画像意味理解アプリケーションの実時間動作実証	アプリケーション分析		アプリケーション検討	評価システム実装 動作検証 性能評価			
②-1-4：画像意味理解リファレンスデータ取得システムの設計	テストベッド開発		高精度化改善検討				
②-2：車両周辺監視用画像意味理解アプリケーションソフトウェア技術の開発	ロジック基礎検討		ベースアプリ開発 画像意味理解アプリ開発	性能改善			担当： クラリオン(株)

研究開発項目③ プローブデータ処理プロセッサの開発

実施項目	2013年度		2014年度		2015年度		2016年度		2017年度		備考
	下期		上期	下期	上期	下期	上期	下期	上期	下期	
③-1-1： 三次元対応 SI/PI 設計 技術の開発	解析手法 調査 →		モデル作成 SI,PI 解析 →		SI,PI 最適化 →						担当： 富士通(株)
③-1-2： バックサイ ド設計技術 の開発	課題抽出 →		構造策定 →		設計ルール の策定 →						
③-1-3： バックサイ ドウェハ処 理技術の開 発	課題抽出 →		評価技術の 確立 →		プロセスの 最適化 →						
③-1-4： 大電流対応 の微小端子 接合技術の 開発	電流密度 耐性調査 →		構造策定 →		電流密度 耐性確認 プロセス検証 →						
③-2-1： チップ積層 プロセス技 術の開発	方式検討 課題抽出 耐性調査 →		構造・材料・ 製造条件評価 課題抽出 耐性調査 →		技術の詳細評 価と確立 →						
③-2-2： 積層チップ のパケー ジング技 術・冷却技 術の開発	方式検討 課題抽出 耐性調査 →		試作製造 基本性能検証 課題抽出 →		技術の詳細評 価と確立 →						
③-3： 三次元対応 高性能プロ セッサの開 発			論理仕様作成 要素回路開発 性能見積もり →		論理設計 テスト設計 実装設計 →		試作チップ製造 パッケージ組立 →		試作チップ 評価 →		

2.1.5 開発予算

表Ⅱ-2.1.5-1 に、本プロジェクトにおける開発予算の推移を示す。

表Ⅱ-2.1.5-1 開発予算の推移

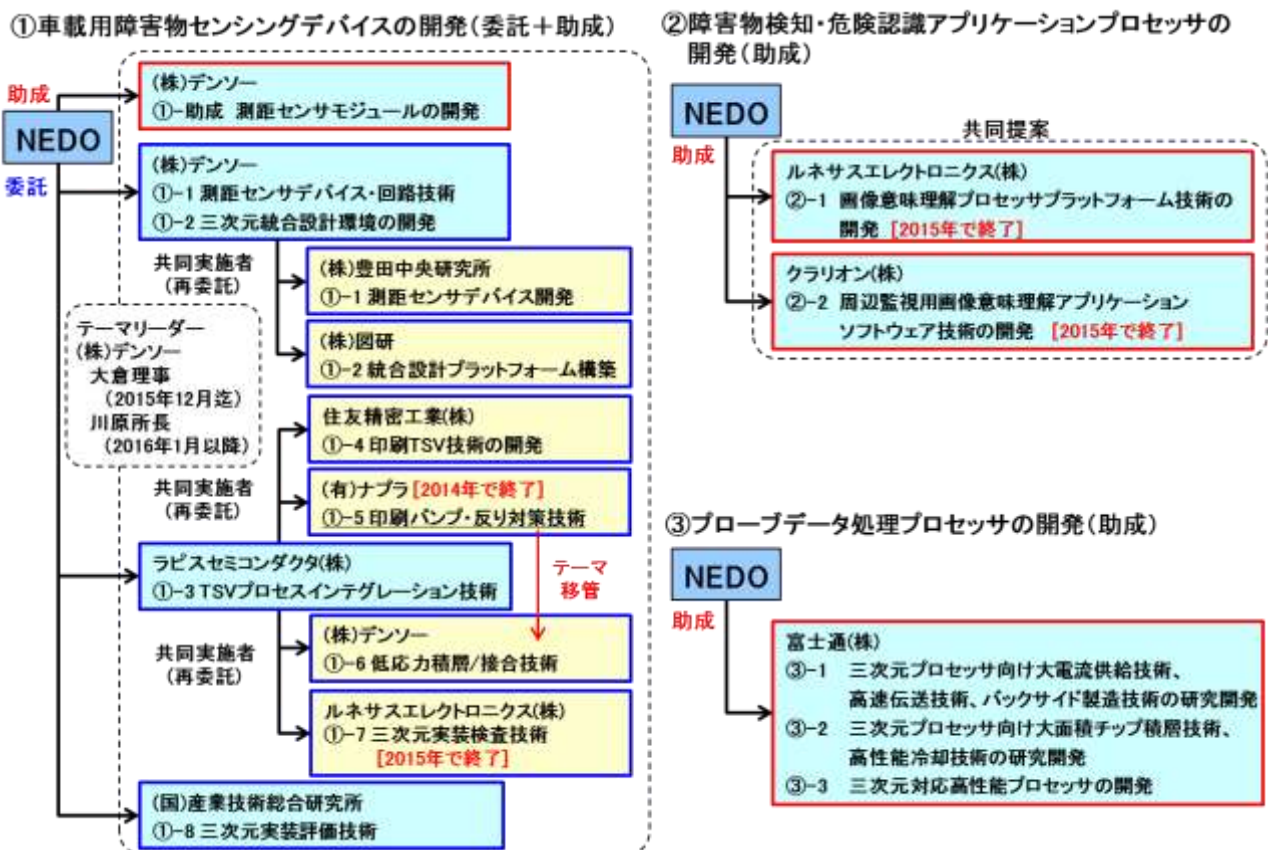
[単位:百万円、下段はNEDO負担額]

研究開発項目		2013年度 (H25)	2014年度 (H26)	2015年度 (H27)	2016年度 (H28)	2017年度 (H29)	合計
①車載用障害物 センシングデバ イスの開発	委託	566 566	1,384 1,384	1,228 1,228	618 618	605 605	4,664 4,664
	助成 (1/2以下)	31 16	40 20	40 20	20 10	10 5	111 56
②障害物検知・ 危険認識アプリ ケーションプロ セッサの開発	助成 (1/2以下)	222 111	414 207	233 116	—	—	1,071 536
③プローブデータ 処理プロセッサ の開発	助成 (1/2以下)	251 126	1,217 609	746 373	400 200	179 89	2,251 1,126
合計	委託	565	1,384	1,491	618	605	4,664
	助成	502 253	1,671 836	1,259 509	420 210	189 94	3,803 1,902
	総予算	1,068 817	3,056 2,220	2,510 2,000	1,038 828	794 700	8,467 6,566

2.2 研究開発の実施体制

本プロジェクトは3つの研究開発項目が独立しているため、プロジェクトリーダーは置いていない。研究開発項目①は関係する実施者が多いことから、株式会社デンソーの大倉勝徳氏（2013年11月～2015年12月）、川原伸章氏（2016年1月～2018年2月）をテーマリーダーとして、その下にサブテーマリーダーを置いて研究開発を推進している。

共同実施先、再委託先を含めた体制は、図Ⅱ-2.2-1のとおりである。



図Ⅱ-2.2-1 本プロジェクトの研究開発実施体制

2.3 研究開発の運営管理

研究開発全体の管理・執行に責任を有する NEDO は、経済産業省および研究開発責任者と密接な関係を維持しつつ、プログラムの目的および目標、並びに本研究開発の目的および目標に照らして適切な運営管理を実施する。具体的には、年2回開催する NEDO 主催のプロジェクト推進委員会ほか、実施者主催の会議体への出席、本プロジェクト独自の進捗管理票(毎月1回提出)等のコミュニケーションを通してプロジェクトの運営管理に NEDO の意思を反映させている。(表 II-2.3-1)

表 II-2.3-1 研究開発の進捗管理

会議名	対象 開発項目	主催者	開催頻度	内容
プロジェクト推進委員会	①②③	NEDO	年2回程度 各項目	・進捗報告、確認 ・開発方針・推進計画の報告、確認 ・実用化、事業化に関する報告
技術推進委員会	①③	NEDO	2017年3月	・外部有識者委員による、開発方針・推進計画、 開発進捗、実用化・事業化に関する確認
技術連絡会	①②③	実施者	年2回程度 各項目	・進捗報告、確認 ・開発方針・推進計画の報告、確認
横串WG (知財運営委員会併催)	①委託	実施者	月1回 各グループ	・毎月の進捗共有、技術ディスカッション ・出願内容に関する報告、調整、アドバイス

具体的な実施実績と今後の予定を図 II-2.3-1 に示す。

2013年度	2014年度	2015年度	2016年度	2017年度
採択審査委員会	PJ推進委員会 PJ推進委員会 実施体制変更 技術連絡会 開発促進財源投入	中間評価 実施計画変更 PJ推進委員会	実施体制変更 技術連絡会 実施計画変更 実用化推進会議 (PJ推進委員会)	技術推進委員会 実施計画変更 PJ推進委員会 実用化推進会議 (PJ推進委員会)
横串WG (委託デバイスG、委託プロセスGで毎月開催)				
知財運営委員会 (出願時/横串WG併催)				
事後評価				

図 II-2.3-1 進捗管理の実績と今後の予定

また、中間評価結果への対応として、外部有識者の意見を採り入れる場として2017年3月に技術推進委員会を実施した。この委員会は、進捗状況を確認するとともに、事業の推進判断に資することを目的として開催した。

【技術推進委員会】

- ・実施時期： 2017年3月2日(木)
- ・実施方法： 外部有識者による評価(表 II-2.3-2)
- ・事務局： NEDO IoT 推進部
- ・評価項目：
 - 1) 事業の位置づけ、研究開発マネジメント
 - 2) 研究開発成果、今後の計画
 - 3) 実用化・事業化計画

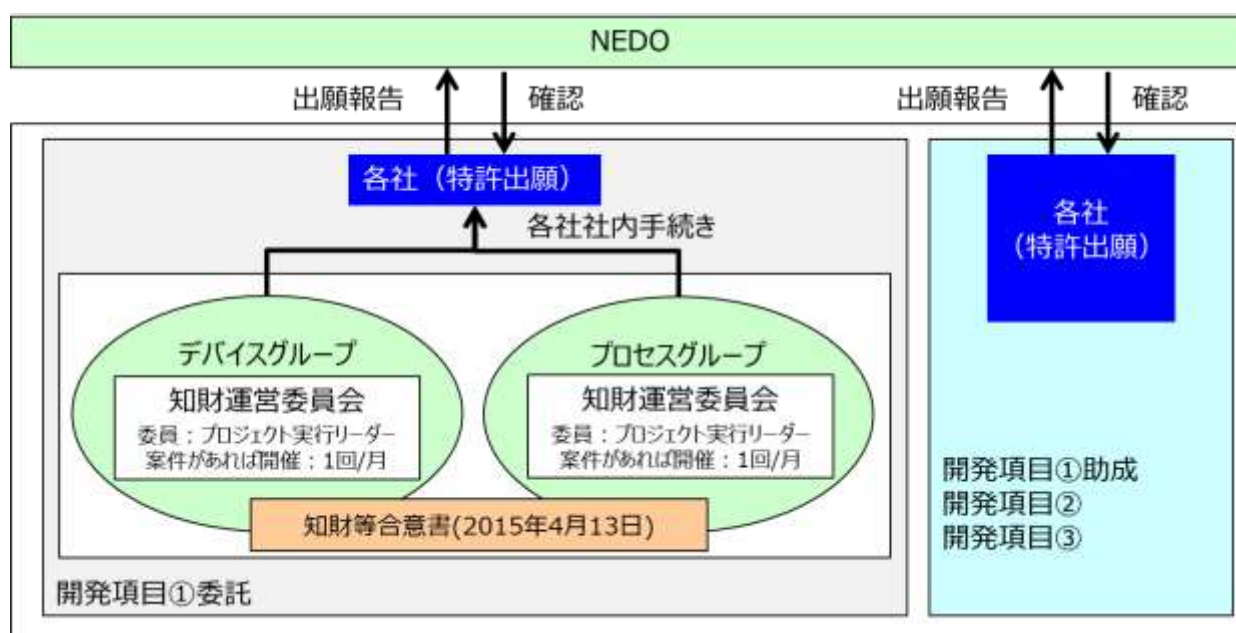
表Ⅱ-2.3-2 技術推進委員会外部有識者委員

	氏 名	所 属	役 職
委員長	天野 英晴	慶應義塾大学 情報工学科	教 授
委 員	鶴原 義郎	オートインサイト株式会社	代 表
委 員	藤本 公三	大阪大学 大学院工学研究科	教 授
委 員	向林 隆	株式会社アイティーファーム	取締役

2.4 研究開発成果の実用化・事業化に向けたマネジメントの妥当性

研究成果の実用化・事業化については、年に2回実施しているプロジェクト推進委員会の中で、各テーマにおける実施者の実用化・事業化に向けた取り組みの確認、議論を行うこととし、2014年度2回目のプロジェクト推進委員会（2015年1月～2月実施）より運用を開始した。また、中間評価結果を踏まえ、2016年度以降は、プロジェクト推進委員会の一環として実用化・事業化に向けたヒアリングに重点を置いた実用化推進会議を数多く開催するとともに、技術推進委員会において外部有識者委員からの提言をいただくなど、実施者の実用化・事業化計画のブラッシュアップを実施した（図Ⅱ-2.3-1参照）。

一方、知財マネジメントに関しては、図Ⅱ-2.4-1に示すように、複数の実施者が参画している開発項目①の委託テーマにおいては、知財等合意書にて実施者間の運用ルールを規定するとともに、当該合意書に基づく知財運営委員会を立ち上げて、本プロジェクトの研究開発活動で出てきた知的財産の運営を行っている。



図Ⅱ-2.4-1 本プロジェクトの知財マネジメント推進体制

3. 情勢変化への対応

研究開発項目①「車載用障害物センシングデバイスの開発」（委託・助成事業）

（1）印刷 TSV 技術開発における材料開発の促進

印刷 TSV および接合用の材料開発は当初再委託先の材料を使って開発を進める計画であったが、その材料が目標とする特性を満たすことを確認出来なかった。この結果を受け、2014 年には幅広く候補材料をスクリーニングして目標性能を発揮する最適材料の開発を進める計画に変更し、併せて実施体制の一部を変更した。この変更により、材料スクリーニングのための工数が追加となったが、最適材料を選定することができ、印刷 TSV 技術確立の目処を立てることができた。

（2）開発促進財源の投入

2014 年度までの開発の進捗を踏まえ、解決すべき課題の対策を進めるため 2015 年 6 月に 263 百万円の開発促進財源の投入を行った。具体的な内容は表 II-3-1 に示すとおりである。この開発促進財源投入により必要な対策を実施することができ、その後の研究開発の着実な推進が可能となった。

（3）開発状況の進展や市場の状況による最終目標達成時期の前倒し

また、開発のターゲットとしているレーザレーダ方式のセンサデバイス市場の開発競争の激化に対応して、早期実用化を進めることとした。検証を行った大規模アレイ測距デバイスで最終目標を上回る測距性能が得られていることから、委託事業の「①-1 測距センサデバイス・回路技術」とその成果をシステム化した「助成事業」を切り出して、早期の実用化・事業化の着手が妥当であると技術推進委員会の評価も得られたことから、当該テーマを半年前倒しして 2017 年 9 月で終了することとした。この変更により、早期に実用化ステージに移行することが可能となった。

研究開発項目②「障害物検知・危険認識アプリケーションプロセッサの開発」（助成事業）

（1）開発状況の進展や市場の状況による最終目標達成時期の前倒し

市場競争の激化に対応して早期の実用化を進めることとした。チップ制作時間および性能検証の期間の短縮、性能検証手法の見直しにより、最終目標達成時期を 2 年前倒しし 2015 年度末に開発を完了することとした。これに伴い基本計画を変更し、また中間評価を前倒し事後評価に変更して実施した。この変更により、早期に実用化ステージに移行し、実用化、事業化を加速することができた。

研究開発項目③「プローブデータ処理用プロセッサの開発」（助成事業）

（1）開発状況の進展による開発の効率化

2014 年度までの研究で、三次元実装 TEG、二次元実装開発結果、及び EDA ツールから抽出した課題を解決することで、三次元実装プロセッサの試作時に発生する課題の解決、及び性能評価を可能とする新たな開発手法を構築することができた。これに伴い、三次元実装プロセッサの性能評価を新手法による性能実証に変更するとともに、性能評価の期間を確保し、評価項目を増やすことで信頼性の高いプロセッサ技術を確立することとした。

この変更により、成果の有効性の早期実証、プローブデータ処理性能確認の追加、実用化時に使用するプロセスノードへの展開が可能となった。

表Ⅱ-3-1 加速資金投入実績

【実施年月】 2015年6月、【金額】 合計263百万円
 開発項目①（委託事業）への資金投入
 (1) センサデバイスのノイズ発生メカニズムの究明とその対策の実施
 (2) 印刷TSV用材料拡充の結果、当初の予定より多数の材料を評価する必要が生じたため

件名	対象研究開発細目	追加予算	実施内容	成果・効果
(1)	測距センサデバイス/ 回路技術の開発	50百万円	<ul style="list-style-type: none"> ・センサのノイズ発生原因究明と対策を目的としたTEG試作およびその評価の実施 ・三次元実装検討TEG試作へのリスク低減を目的とした、設計シミュレーションの改良 	<ul style="list-style-type: none"> ・ノイズ評価用TEGを用いた評価を実施 ・ノイズの影響等を設計シミュレーションに反映。
	三次元ICの統合設計 環境の開発	90百万円	<ul style="list-style-type: none"> ・車載環境下におけるノイズ等の影響を明確化し、三次元IC試作時の車載信頼性確保を目的として、PDK開発TEGの試作・評価による各種IC試作用パラメータ抽出。 	<ul style="list-style-type: none"> ・TEGを設計・試作・評価し、特性パラメータを組み込んだTSV-PDKを開発。
(2)	印刷TSV技術の開発	123百万円	<ul style="list-style-type: none"> ・幅広いTSV充填候補材料からの絞り込みを加速するとともに、印刷TSV技術開発を確実なものとするために、評価用TEGの設計/試作、TEGの充填加工、加工したTEGの評価を追加。 	<ul style="list-style-type: none"> ・充填金属材料： 13種→2種に絞り込み。 ・絶縁層形成材料： 8種→2種に絞り込み。 ・プロセス最適化実施。

4. 評価に関する事項

NEDOは、(1) 事業の位置付け・必要性、(2) 研究開発マネジメント、(3) 研究開発成果、(4) 実用化、事業化に向けての見通しおよび取り組みの4つの評価項目について、外部有識者による評価を行うこととしている。また、中間評価結果を踏まえて必要に応じて事業の加速・縮小・中止等、見直しを迅速に行う、評価の時期については当該研究開発に係る技術動向・政策動向や当該研究開発の進捗状況等に応じて事業実施を前倒しする等適宜見直すものとしている。

本プロジェクトは、2013年から5年間の事業であることから、中間評価を2015年度、事後評価を2018年度に実施することとした。

5. 中間評価結果への対応

2015 年度の間中間評価結果の指摘事項を受けて、以下に示す対応を行った。その結果、プロジェクトの最終目標を達成することができた。

表Ⅱ-4-1 中間評価の主な指摘事項に対する対応

	指摘	対応
1	開発マネジメントが従来の縦割り型の計画遂行になっており、テーマが統一されている割には各研究開発項目の横のつながりが希薄である。本事業を効率的に進めるための調整が必要である。必要に応じて数値目標や体制の変更などがあってもよい。	<ul style="list-style-type: none"> ・複数の実施者が参画している研究開発項目①に関しては、テーマリーダーのデンソー、サブテーマリーダーのラピスセミコンダクタの下、月に1回程度の横串WGを活用した実施者間の情報交換を確実にを行い、進捗管理を強化した。 ・事業全体に関しては、プロジェクト推進会議や実施者との個別ヒアリング等を活用し、実施計画や予算配分の見直しを行った（実施計画変更：2015年12月、2016年3月、8月、2017年3月）。
2	研究開発を前倒し終了する研究開発項目については、実用化での事業目標達成へのフォローアップが必要である。	<ul style="list-style-type: none"> ・前倒し終了した研究開発項目②（助成事業）は、企業化状況報告書の提出により、毎年度、実用化・事業化のフォローアップを実施し、早期の実用化を達成。
3	目標設定がプロジェクト開始当時のものとなっており、最終成果に向けて、適宜目標設定を見直すことも必要である。	<ul style="list-style-type: none"> ・2017年3月に外部有識者委員で構成された技術推進委員会を開催し、最終成果に向けた進捗確認、実用化計画、目標設定、プロジェクト推進の妥当性について議論を行った。目標設定は変更せず、最終成果達成に向けた優先度・重点化を定め、実施内容や予算計画の見直しに反映した。 ・また、目標を達成した成果の早期実用化に向け、「①-助成 測距センサモジュールの開発」と「①-1 測距センサデバイス回路技術」について、半年前倒しの2017年9月で終了することとした。
4	技術の費用対効果、市場価格に対するコスト計算、市場競争評価が十分でなく、成果の実用化・事業化に向けての課題が残る。目標設定の項目や水準をもう少し厳格に見直す必要がある。	<ul style="list-style-type: none"> ・上述の技術推進委員会で各実施者の実用化・事業化計画を併せて審議し、成果の実用化・事業化に向けた課題や提言をいただいた。 ・NEDOと実施者間で定期的に実用化・事業化会議を開催し、技術推進委員会の提言内容も含め、実施者の計画のブラッシュアップを行った。

Ⅲ. 研究開発成果について

1. 事業全体の成果

(1) 目標の達成状況と成果

本研究では、次世代スマートデバイスとして、3つの研究開発項目

研究開発項目① 車載用障害物センシングデバイスの開発

研究開発項目② 障害物検知・危険認識アプリケーションプロセッサの開発

研究開発項目③ プローブデータ処理プロセッサの開発

について、以下の研究開発項目を実施した。表Ⅲ-1 に各研究開発項目の成果と目標達成状況を示す。いずれも最終目標を達成している。達成度は、◎大きく上回って達成、○達成、△達成見込み、×未達として記載している。

表Ⅲ-1 事業全体の目標達成状況

開発項目	最終目標	成果	達成度
①：車載用障害物センシングデバイスの開発	20m以上先の車両や歩行者等多数の障害物の位置と距離を同時に測定できるセンシングデバイスを開発し、性能評価を行う。	高感度・高画素の受光素子を開発し、50m以上先の車両や歩行者等多数の障害物の位置と距離を同時に測定できるセンシングデバイスを開発した	◎
①-1：測距センサデバイス・回路技術の開発	<ul style="list-style-type: none"> センサ IC (SPAD3000 画素+測距回路) を試作し性能評価 信号処理 LSI を試作し、移動体検出のリアルタイム処理を実証 	<ul style="list-style-type: none"> センサ IC (SPAD3000 画素+測距回路) の試作及び性能評価完 信号処理 LSI の試作及び評価、移動体検出のリアルタイム処理実証完 	○
①-2：三次元統合設計環境の開発	<ul style="list-style-type: none"> 三次元積層 IC の接続検証、解析モデル出力機能を有する統合設計環境構築 (データ取込み、検証、解析モデル 1~2 日 @ TSV : 5 万本, 2 チップ積層) 	<ul style="list-style-type: none"> 統合設計ツールと PDK の開発、および設計フロー構築により目標を達成 (データ取込み、検証、解析モデル 24 時間 @ TSV : 5 万本, 2 チップ積層) 	◎
①-3：TSV プロセスインテグレーション技術の開発	<ul style="list-style-type: none"> 車載レベル信頼性の構造決定 設計仕様策定 	<ul style="list-style-type: none"> レギュラ及び ATI 構造で車載信頼性の確保が可能。さらに各構造の特徴から用途を明確にした。 TSV の設計仕様と製造プロセス仕様を策定した 	○
①-4：印刷 TSV 技術の開発	<ul style="list-style-type: none"> 熔融金属充填技術および装置の基盤技術開発 絶縁材充填焼成技術および装置の基盤技術開発 	<ul style="list-style-type: none"> 熔融金属充填法及び絶縁材充填法の成立性を確認し、ボイドレス充填が可能な評価設備を開発した 	○
①-5：印刷等によるマイクロバンプ形成技術・反り対策技術の開発	<ul style="list-style-type: none"> 車載信頼性を担保するマイクロバンプ形成プロセスの構築 技術仕様書策定 	<ul style="list-style-type: none"> 車載信頼性を確保し、さらに低コストはんだ TSV/バンプ一体形成プロセスを開発。 技術仕様書策定完了。 	○
①-6：低応力積層/接続技術の開発	<ul style="list-style-type: none"> 車載信頼性を担保する積層/接続技術の構築 技術仕様書策定 	<ul style="list-style-type: none"> 高精度アライメント技術にて、1 万画素レベルのバンプ接続を達成し、Ni ポスト構造で車載信頼性を確保。 技術仕様書策定完了。 	○

①-7：三次元実装検査技術の開発 (2015年度にて開発完了)	<ul style="list-style-type: none"> ・マイクロバンプ直接プロービング技術の確立 ・三次元積層品の非破壊検査技術の確立 	<ul style="list-style-type: none"> ・20μm/40μm ピッチプローブによる直接プロービング技術を確立 ・X線CT検査装置による非破壊不良検査技術を確立 (CT検査手順書発行完了) 	○
①-8：三次元実装評価技術の開発	<ul style="list-style-type: none"> ・車載用三次元実装半導体の設計に向けた、低コスト化及び、高信頼性化の指針の確立 	<ul style="list-style-type: none"> ・構築した電気評価技術やTSVによる熱応力評価技術の実測と解析の比較検証を実施。 ・信頼性評価結果からの設計指針策定。 	○
①-助成：測距センサモジュールの開発	<ul style="list-style-type: none"> ・委託事業で開発した高画素・超高感度の受光ICを用いた、測距センサモジュールの開発 	<ul style="list-style-type: none"> ・開発した受光ICに、レーザダイオードの発光、MEMS スキャナの駆動を高精度に同期制御する回路を組み合わせたモジュールを開発し、50m以上先の障害物検知性能を確認 	◎

開発項目	最終目標	成果	達成度
②：障害物検・危険認識アプリケーションプロセッサの開発	<ul style="list-style-type: none"> ・アプリケーションソフトを搭載した以下の性能を有するアプリケーションプロセッサを開発する。 -メモリスループット： 80 GByte/s 以上 -単位消費電力当たり演算性能： 1,000GOPS/W 以上。 -検出処理時間：50msec 以下。 ・以下の機能を有するアプリケーションソフトを開発する。 -走行車両周辺の歩行者、自動車、二輪車など多数の障害物の認識。 -それぞれの障害物の動きの予測。 -それぞれの障害物の衝突危険度の判別。 	<p>開発したアプリケーションプロセッサ性能</p> <ul style="list-style-type: none"> -メモリスループット： 96 GByte/s ≥ -単位消費電力当たり演算性能： 1,900GOPS/W -検出処理時間：50msec 以下 <p>開発した車両周囲監視用アプリケーションソフトウェア</p> <ul style="list-style-type: none"> ・歩行者等を検知する移動体検知 ・車両等を検知する側方接近車検知 ・障害物等を検知する静止立体物検知 ・検知結果を元に車両周囲の状況を空間マップ化して衝突危険度判定を行うロジックを開発 	○
②-1-1：画像意味理解プロセッサ技術	<p>画像意味理解プロセッサ技術がメモリスループット：80 GByte/s 以上、単位消費電力当たり演算性能：1,000GOPS/W 以上、の性能を達成可能であることを見積もるとともに、開発した評価チップ上で、前方監視に加え周辺監視用アプリケーションソフトウェアが動作することを示し、用意周到型アーキテクチャに基づく画像意味理解プロセッサの有効性を実証する。</p>	<p>メモリスループット 96 GByte/s 以上と単位消費電力当たりの演算性能 1,900GOPS/W を達成した。開発したプロセッサ技術を実装した FPGA チップを含む評価システムを用いて、前方監視用と周辺監視用の画像意味理解アプリケーションソフトウェアの性能評価により、用意周到型アーキテクチャに基づく画像意味理解プロセッサの有効性を実証した。</p>	○
②-1-2：画像意味理解プロセッサに向けたソフトウェア開発環境技術	<p>用意周到型プロセッサに向けた AC-FW 対応ランタイムマネージャを開発することでその有効性を実証する。また、画像意味理解 API ライブラリを、用意周到型プロセッサの評価チップ上で動作検証を行い、その有効性を実証する。</p>	<p>用意周到型プロセッサに向けた AC-FW 対応ランタイムマネージャを開発するとともに、画像意味理解 API ライブラリを、用意周到型プロセッサの評価システムで動作検証を行い、有効性を実証した。本開発フレームワークの一部仕様が業界標準規格 OpenVX 1.0 に採用</p>	○

		された。	
②-1-3：前方監視用画像意味理解アプリケーションの実時間動作実証	前方監視用画像意味理解アプリケーションを、本事業で開発する画像意味理解プロセッサ向けに実装を行う。更に画像意味理解プロセッサの評価チップを搭載する評価ボードを用いて、実装したアプリケーションの評価を行い、システムが要求する性能で動作することを検証する。	前方監視用画像意味理解アプリケーションソフトウェアのコアを画像意味理解プロセッサ向けに実装し、評価システムで動作解析し、実装したアプリケーションが、システムが要求する性能で動作することを検証した。	○
②-1-4：画像意味理解リファレンスデータ取得システムの設計	開発したテストベッド評価に基づき、高精度化するための課題と改善策をまとめる。	開発したテストベッドをもとに機器特性を取得し、改善策について検討し、精度を高める方法についてまとめ、改善効果を確認した。	○
②-2：車両周辺監視用画像意味理解アプリケーションソフトウェア技術の開発	以下の機能を有するアプリケーションソフトを開発する。目標とする処理時間は50msec以下。 ・走行車両周辺の歩行者、自動車、二輪車など多数の障害物の認識。 ・それぞれの障害物の動きの予測。 ・それぞれの障害物の衝突危険度の判別。	車両周辺監視用アプリケーションソフトウェアを開発した。50msec以下の処理時間を達成した。 ・歩行者等を検知する移動体検知 ・車両等を検知する側方接近車検知 ・障害物等を検知する静止立体物検知 ・検知結果を元に車両周囲の状況を空間マップ化して衝突危険度判定を行うロジックを開発	○

開発項目	最終目標	成果	達成度
③プローブデータ処理プロセッサの開発	・以下の性能の高性能かつ低消費電力のプロセッサを開発する -電力あたり演算性能：3Gflops/W -ピーク演算性能：1Tflops -メモリスループット：0.3Byte/flop	・20nmプロセスで3次元積層を用い従来の1.5倍の48演算コアを実装し、2Ghz動作時に以下の性能を確認 -電力あたり演算性能：4.9Gflops/W -ピーク演算性能：1.5Tflops -メモリスループット：0.31Byte/flop	○
③-1：三次元プロセッサ向け大電流供給技術、高速伝送技術、バックサイド製造技術の研究開発	・TSV経由マルチレーン25.8Gbpsボード内伝送検証。 ・300W対応の電源供給網設計と大電流対応積層構造仕様の策定。 ・TSVバックサイドの量産実現性の確立。	・TSV経由マルチレーン25.8Gbpsボード内伝送を確認。 ・低インピーダンス電源供給網設計と大電流対応積層構造仕様の策定し、300W給電を確認。 ・薄化大面積チップのバックサイド製造の高歩留りと安定性を確認。	○
③-2：三次元プロセッサ向け大面積チップ積層技術、高性能冷却技術の研究開発	・試作プロセッサ組立プロセスの選定、および試作品の熱サイクル(-55~125℃)1000cycクリア。 ・三次元積層プロセッサの発熱量300W、発熱密度50W/cm ² を許容する冷却構造開発。	・32×25mm ² の大面積チップ積層技術を確立。低熱膨張アンダーフィルを適用して目標信頼性を確認。 ・微細流路クーリングプレートで60W/cm ² 冷却を確認し、三次元積層プロセッサ熱解析モデルで300W冷却を検証。	○
③-3：三次元対応高性能プロセッサの設計開発、実証確認	③-1/2で開発した技術を用いた大面積の積層プロセッサ及びその評価システムを試作し、要素技術開発で想定した機能や信頼性が実現できたことを確認する。	・693mm ² の世界最大の面積のダイを積層した積層プロセッサとその評価システムを各2種試作完了し、プロセッサ等の機能及び信頼性を確認。	○

(2) 成果の普及

得られた成果をもとに、94件の学会等での発表や講演を行うとともに、33件の論文発表を行った。報告会やワークショップ、展示会への出展も実施し、対外的な成果発信を行った。なお、学会や論文発表において5件の受賞実績があり、研究開発成果に対して外部からの評価を獲得している。

表Ⅲ-2 成果の普及（論文発表等件数）

	2013	2014	2015	2016	2017	計
論文 (査読有)	0	2	11	6	14	33
研究発表・講演等 (査読無)	0	11	34	24	25	94
受賞実績	0	1	1	0	3	5
新聞・雑誌等 への掲載	0	0	0	5	2	7
報告会・ 展示会等	0	0	3	2	0	5

※2018年9月30日現在

(3) 知的財産権の確保に向けた取組

特許は152件出願し、うち62件を外国出願した。

また、研究開発項目①の中での薄チップのハンドリングに関連して得られた成果の標準化活動を行い、SEMI規格が2件（G96-1014、G97-0116）制定された。

表Ⅲ-3 特許出願件数

	2013	2014	2015	2016	2017	計
特許出願 (うち外国出願)	4 (0)	16 (3)	53 (11)	51 (31)	28 (17)	152 (62)

※2018年9月30日現在

2. 研究開発項目毎の成果

2.1 研究開発項目① 車載用障害物センシングデバイスの開発

本研究開発項目は委託事業において (i)測距センサ回路技術・統合設計環境 (ii)TSV プロセスインテグレーション (iii)三次元実装評価技術 の構成で、相互に連携を取って開発を進めた。また助成事業として主に(i)の成果を用いてレーザレーダを仕立てて、性能確認を行った。

(i) 測距センサ回路技術・統合設計環境

現在量産される車載レーザレーダは 10 数 m 前方の車両を検出するが、自動運転の実現に向けて、さらに小さい歩行者、路上落下物などを遠方まで検知することが必要となる。本プロジェクトでは、高感度・高画素の受光素子を開発し距離 50m の歩行者を検知できる技術を開発した。開発した受光 IC は障害物までの距離データをリアルタイムに出力する機能を内蔵し、現在自動運転の実証実験に使用される高価な高性能レーザレーダに匹敵する性能である。

さらに車載システムでの走行経路探索や衝突回避の判断処理を想定し、測距センサから出力される距離データを時系列に処理し、移動体を追跡する信号処理 LSI を併せて開発した。

また LSI の回路・レイアウト情報、TSV 情報（構造・回路定数・物性値など）、パッケージ・ボード情報など統合的に取り扱う設計環境を開発した。既存の回路設計ツール、熱・応力・電磁界などの専用解析ツールとも連携し、設計作業の自動化により大幅な効率化を実現した。

(ii) TSV プロセスインテグレーション

低コストかつ車載信頼性を有する TSV 構造の実現をめざし ATI (Annular Trench Insulator) 構造を採用し、導体部にハンダを充填する技術を開発し、金属充填・ATI 構造 TSV の実現に目途をつけ、TSV プロセスインテグレーション技術として完成させた。

TSV 形成に印刷技術を導入し、金属充填と絶縁層形成およびその製造装置に関する基盤技術を開発した。LSI 接続部のマイクロバンプと TSV の一体印刷形成が可能となり、工程の大幅短縮により従来のめっき方式に比べプロセス時間を約 30%削減することができた。

発生する応力の低減をねらい、TSV 構造、バンプ形状および接合工程の最適化を進め、民生機器・産業機器向け、さらに車載向け信頼性基準を確保できることを確認した。また低温プロセスにより接合時間を短縮し、32%のコスト削減を確認した。

20 μm ピッチ/直径 5 μm の微細ピッチ/微小サイズの TSV を検査するため、バンプ直接プロービング技術を確立した。また X 線 CT 装置を用いた最先端の立体構造解析技術によって基板-チップ間、チップ-チップ間の接続部、TSV 内部を非破壊検査できる手法を確立した。

(iii) 三次元実装評価技術

微小サイズの TSV を微細ピッチかつ超多ピンで接続する三次元積層技術を車載システムに適用することを想定し、影響が懸念される電気特性・熱・応力等の評価技術を開発した。

電気特性評価では、5 μ m 径の TSV 及びバンプを含む構造に対応した PI(Power Integrity)・SI(Signal Integrity)解析・計測評価技術の構築を進め、TSV におけるノイズの影響について明らかにした。熱応力評価では、特に微細な TSV 形成による隣接素子への応力の影響を調べるため、顕微レーザーラマン分光測定装置による実測技術と構造解析による熱・応力の連成解析技術を開発した。またエレクトロマイグレーション評価システムを立ち上げ信頼性評価を効率化し、TSV の材料・構造・プロセス選定、開発の加速に大きく貢献した。

(iv) 車載用障害物センシングデバイスの開発 (助成)

委託事業において試作評価した受光 IC にレーザ発光部、スキャン部を組み合わせるレーザレーダの評価を行い、距離 50m の検知性能を確認した。レーザ光を用いる測距センサは、自動運転の実現においてカメラ、ミリ波レーダとともに必要とされており、現在世界各地で実施されている実証実験においても必ず搭載されているセンサである。そこで要求されるのは高画素で遠方まで検知可能な性能であるが、現在これを実現できているのは、計測器、軍事などの特殊用途のセンサで、非常に高価かつ大型である。現在、車載用の高性能・小型・低コストのレーザレーダの実現をめざして、多数の車載部品および半導体メーカー、大学、ベンチャーなどが活発に開発を推進している状況であり、本プロジェクトの活動により、高感度受光素子を用いた高性能測距センサの実現目処を得たことは大きな成果であり、今後社会実装に向けて開発を加速する。

各項目の詳細な成果は以下の通り。

2.1.1 測距センサデバイス・回路技術 (①-1)

(主担当：株式会社デンソー 測距センサ回路技術)

(主担当：株式会社豊田中央研究所 (再委託) 測距センサデバイス技術)

2.1.1.1 研究開発概要と実施計画

昨今、自動車メーカー・部品メーカー・ベンチャーなどで、自動運転の実現に向けて研究が活発になっている。ここではカメラ、ミリ波レーダに加えてレーザレーダの重要性が強調されている。カメラは、高画素化が容易であるため空間分解能が高く、車両・歩行者・標識などの物体認識に用いられるが、距離の離れた障害物の測距性能、夜間の使用などには限界がある。またミリ波レーダは 200m 先の車両を検知することができるが、空間分解能が低いいため障害物の位置について、たとえば自車レーンか隣接レーンかの区別には限界があり、小さい路上落下物などの検知にも適さない。これらの弱点を補うセンサとしてレーザレーダが注目されており、各社が実施する自動運転の公道実験車には、計測器用途の高性能レーザレーダが搭載されている。レーザレーダは、照射したレーザ光が障害物に反射して返ってくるまでの時間から距離を求めるもので、原理的に高精度な測距が可能であり、レーザ光のビーム径を絞って縦横にスキャンすることで 50~100m 程度の範囲を高い空間分解能で昼夜を問わず測距可能である。ただし高性能ではあるものの大型かつ高価であるため、自動運転の普及に向けて小型低価格が求められているが、技術課題が大きく、現在安全運転支援の用途で量産されているレーザレーダは、10 数 m 前方の車両を数画素で検知するレベルに留まっている。

また、レーザレーダにより検知した情報をもとに実際に自車の進路を決定するには、自車位置を推定し、自車周辺の静止物／移動物を層別し、移動物を時系列で追跡しながら freespace (走行可能な経路) の有無を検知し、停止あるいは障害物を避けて進むなどをリアルタイムに判断する必要がある。

このようなニーズを応えるべく、本プロジェクトでは従来の 1000 倍の空間分解能を持ち、昼夜問わず遠距離の歩行者・車両などを検知 (測距) できる測距センサと、その測距情報から自車位置推定・移動体追跡をリアルタイムに行う信号処理 LSI の開発を行う。

2.1.1.2 目標

1) 測距センサデバイス・回路 (受光 IC)

現在量産されている車載用測距センサは 10 数 m 前方の車両を検出する機能を有するが、自動運転の実現に向けて、さらに遠方の歩行者、路上落下物など車両より小さい障害物を検出することが望まれる。このためには検知距離を向上させるとともに、空間分解能を現量産品の 1000 倍以上に拡大し、数千～1 万画素程度とすることが必要となる。

本研究項目では、このような高性能測距センサモジュールの実現に必要な新規測距センサデバイス・回路の技術獲得を目的としており、本プロジェクト終了までに 3000 画素超の受光 IC を設計・評価し、基盤技術を確立することを目標とする。

2) 信号処理 LSI

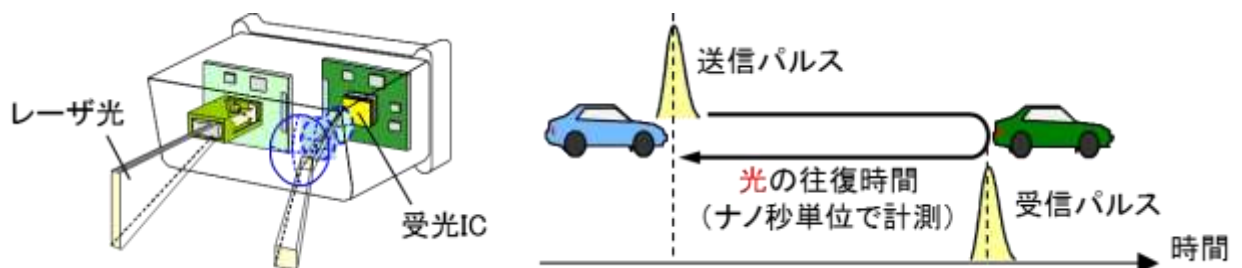
実際の車載システムにおいては、数千～1 万画素程度を有する受光 IC の各画素から出力される距離データを時系列に処理し、建物、標識などの静止物と走行車両、歩行者などの移動体に分離し、移動体を追跡して走行経路探索や衝突回避の判断につなげる処理を行う必要がある。本研究項目では、将来の自動運転車のニーズを鑑み、1 万画素のデータを 20fps の速度でリアルタイムに処理する信号処理 LSI の実現を目標とする。

2.1.1.3 成果

1) 測距センサデバイス・回路 (受光 IC)

1-1) 受光 IC の構成

図Ⅲ-2.1.1-1 に測距センサモジュールを示す。測距センサモジュールは、発光部から照射したレーザパルス光の物体からの反射光を受光 IC で受光し、その受発光の時間差を計測し距離に換算することにより測距を行う。



図Ⅲ-2.1.1-1 測距センサモジュール

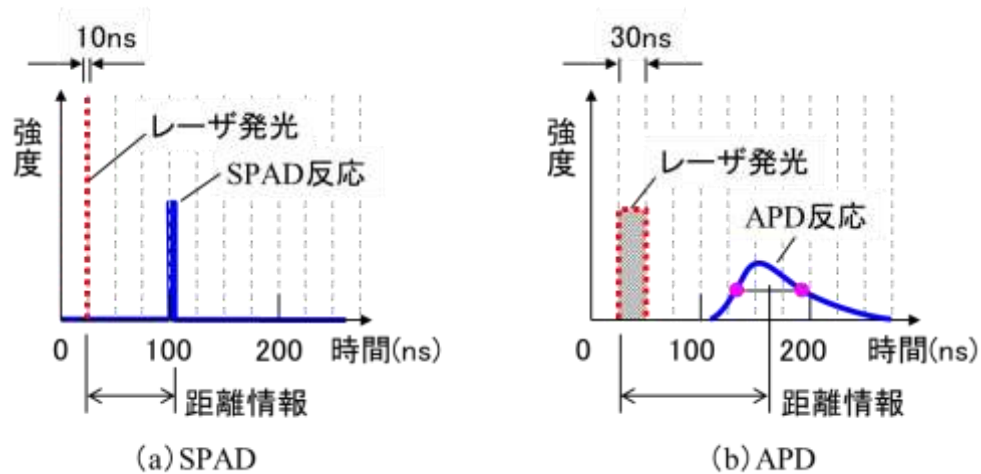
図Ⅲ-2.1.1-2 に受光 IC の構成を示す。受光 IC は、SPAD と呼ばれる受光素子とその信号を取り出す信号取出回路から成る測距センサデバイス、受発光の時間差を 1ns 以下の時間分解能で計測するための時間カウンタ：TDC (Time to Digital Converter)、その時間差を距離に換算する距離換算回路から構成される。



図Ⅲ-2.1.1-2 受光 IC の構成

1-2) 受光素子の選定

測距センサデバイスには赤外線レーザーの受光素子として、一般的に PD (Photo Diode) もしくは APD (Avalanche Photo Diode) が採用されている。APD は 300V 程度の高い逆電圧を印加して動作させるフォトダイオードで、内部増幅作用により感度が高められ応答も速い。この APD の逆電圧を降伏電圧以上に設定すると、さらに高い増倍率が得られる。このような状態で APD を動作させることをガイガーモードと呼び、単一フォトン入射でも応答するので、Single Photon Avalanche Diode (SPAD) と呼ばれる。図Ⅲ-2.1.1-3 に SPAD と APD のレーザー発光に対する反応波形を示す。APD は出力波形をアナログ信号処理する必要があるため、30ns 程度の幅を持ったレーザー発光を必要とする。これに対し SPAD は、単一フォトンに反応できる高速・高感度のデバイスであるため、短パルスのレーザー発光でもデジタル的なパルスを出力できる。レーザー発光は眼に対する安全基準で発光エネルギーが制限されるが、SPAD を使用する場合、発光パルス幅を短くすることができる分、発光強度を高くすることが可能となる。これにより高い SN 比を確保することが可能となり、検知距離性能を伸ばすことにつながる。これは雨や霧などの悪天候下においても、従来製品より高精度な検出が可能となり競争力の向上になる。



図III-2.1.1-3 SPAD と APD の比較

SPAD は 2000 年代に標準 CMOS プロセスにオプション工程を追加して製造されるようになり、数 $10\mu\text{m}$ サイズの SPAD を多数配列し、さらに時間計測から距離換算までの回路を同一チップに集積することが可能となった。印加電圧が 20 数 V と低いことから、APD に比べて電源回路も簡略化でき、小型化や低コスト化を期待できるようになってきた。本プロジェクトでは、この SPAD を選択し、受光感度の向上およびその出力信号を処理する後段回路の開発を進めることとした。

1-3) 開発の進め方

実際の受光 IC 開発は表 III-2.1.1-1 に示すように、3 段階に分けて進めた。まず平成 26 年度は SPAD 素子の感度向上をめざし構造の最適化を行った。また SPAD 1 画素と時間計測回路の最小構成の受光 IC で、基本回路構成を確立した。平成 27 年度は 128 画素に拡大し、距離換算回路までを 1 チップに集積し、受光 IC アーキテクチャを完成した。平成 28~29 年度は、さらに 3120 画素まで拡張した受光 IC を試作し成立性を検証した。

レーザー発光と障害物からの反射光を SPAD で受光するまでの時間差を TDC でカウントするが、たとえば 1m 先の障害物を検知する場合、その時間はわずか 6.7ns 程度である。したがって SPAD アレイを構成する各素子の信号出力の遅延時間のばらつきが、測距性能のばらつきに直結する。信号出力の遅延は出力配線の抵抗と寄生容量が支配的であるため、各 SPAD 素子と TDC の配置を極力均一となるよう配慮するが、SPAD アレイ~距離換算回路までを 1 チップに集積する場合には、レイアウト上の限界がある。これは画素数が増えるにつれて困難となるため、測距性能への影響が問題ないレベルを考慮して、画素数を 3120 画素とした。

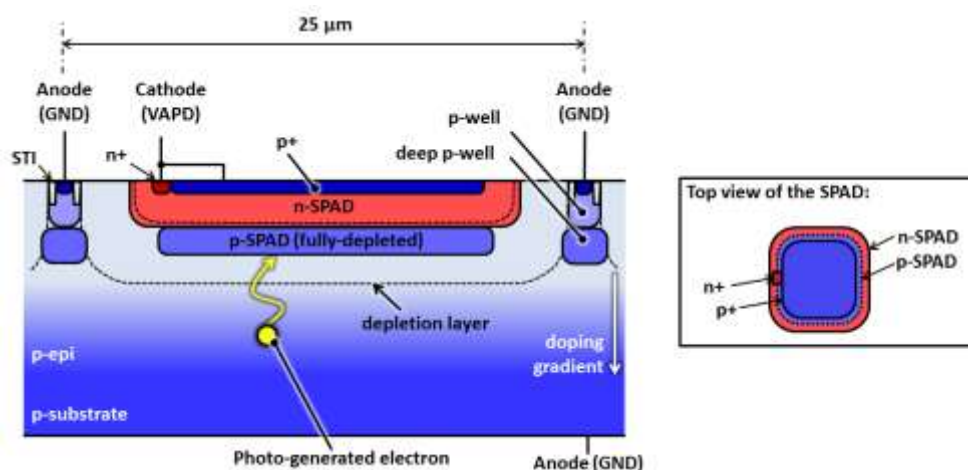
本プロジェクトでは、距離換算回路までを 1 チップに集積したが、将来、三次元積層技術開発の成果を活用し、SPAD アレイと時間計測・距離換算を処理する回路を別チップに分割、積層することにより、1 万画素を超える大規模アレイであっても上記のレイアウト制約を排除できるため、超高画素の測距センサデバイスの実現が可能となる。

表Ⅲ-2.1.1-1 受光 IC 開発の取組

	H26年度:1画素受光IC	H27年度:128画素	H28~29年度:3120画素
ねらい	<ul style="list-style-type: none"> SPADの性能検証 測距回路の基本構成の確立 	<ul style="list-style-type: none"> 128画素SPADと測距回路の一体化で成立性検証 	<ul style="list-style-type: none"> 3120画素でレーザーレーダの性能を検証
概要	最小限の構成でSPADの性能を検証 	信号処理回路を128画素用に拡張し、SPADと一体化 	SPAD&回路を3120画素に拡張 
成果	<ul style="list-style-type: none"> SPADの性能確認 SPAD素子構造の最適化 測距回路の動作検証 	<ul style="list-style-type: none"> 128画素+測距回路での成立性を確認 	<ul style="list-style-type: none"> 3120画素でのレーザーレーダの性能検証

1-4) SPAD 受光素子

図Ⅲ-2.1.1-4 に波長 900nm 前後の近赤外領域で高感度を得ることを目指した SPAD 受光素子の断面図を示す。SPAD は CMOS ウェハの p-epi 上に形成され、n- SPAD、p- SPAD と呼ぶ 2 つの SPAD 専用の拡散層で構成される。2 つの拡散層のドーピング濃度を最適に設計することで、高い増倍率が得られた。

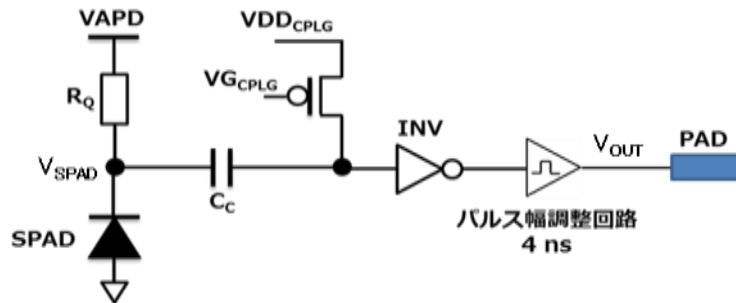


図Ⅲ-2.1.1-4 SPAD 受光素子の構造

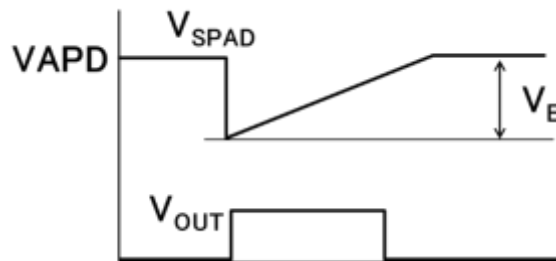
図Ⅲ-2.1.1-5 に SPAD 受光素子と信号取出回路の構成を示す。この回路が SPAD 毎に接続されている。SPAD のクエンチングとリチャージは R_Q (約 300kΩ) により受動的に行われる。フォトンが SPAD に入射すると電圧が低下して $V_E (= V_{APD} - V_{BD})$ の負の電圧パルスが SPAD のカソード側に発生する。ここで V_{BD} は SPAD のブレイクダウン電圧、 V_{APD} は SPAD に供給されるバイアス電圧である。このとき V_E をエクセス電圧と呼ぶ。発生したパルスは結合キャパシ

タ (C_c) とインバータ (INV)、パルス幅調整回路により、約 4ns の幅のパルスとして出力される。

図Ⅲ-2.1.1-6 にこの一連の動作を示す。ここで、 V_{SPAD} は SPAD のカソード側に発生する電圧、 V_{OUT} は出力電圧である。

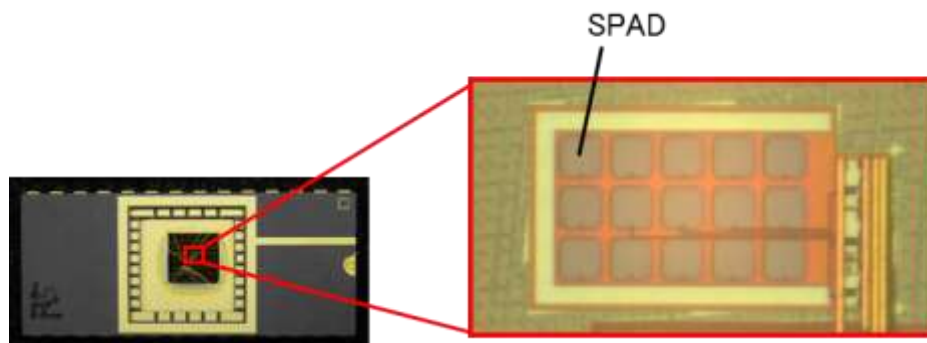


図Ⅲ-2.1.1-5 SPAD 受光素子と信号取出回路の構成



図Ⅲ-2.1.1-6 SPAD と信号取出し回路の動作

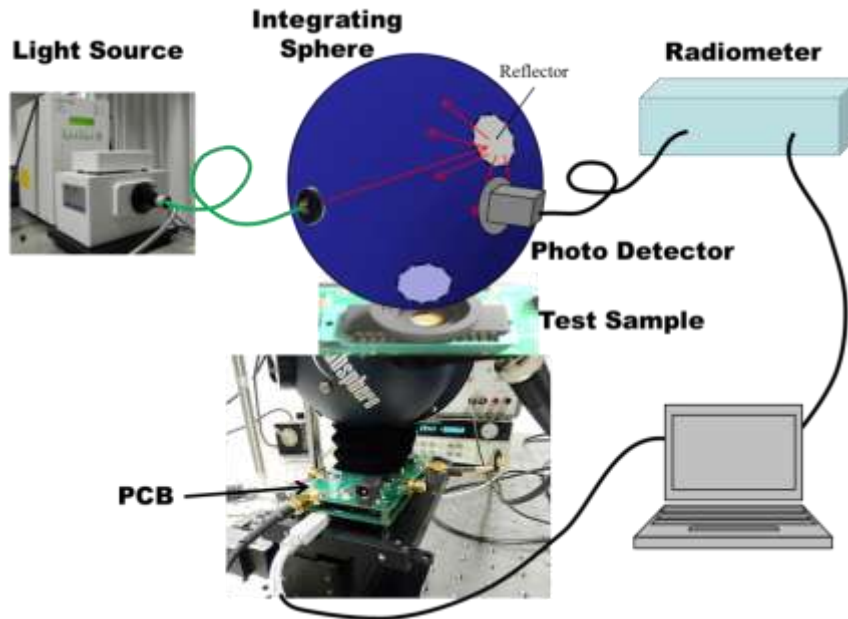
図Ⅲ-2.1.1-7 に試作した SPAD 受光素子のテストチップの例を示す。試作は $0.18 \mu\text{m}$ の CMOS プロセスを採用した。



図Ⅲ-2.1.1-7 試作した SPAD 受光素子のテストチップの例

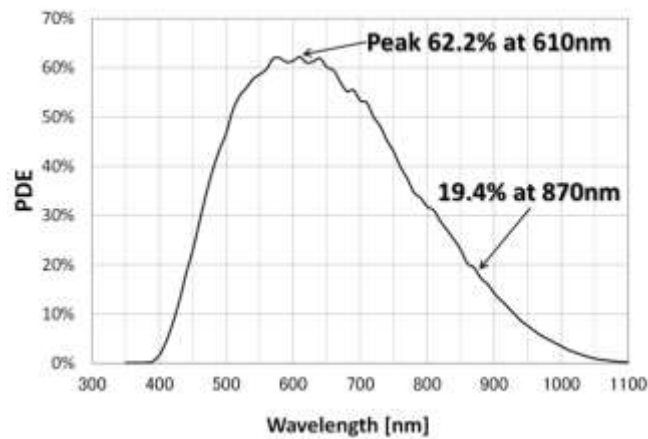
1-5) 受光素子の評価

感度の評価には、図Ⅲ-2.1.1-8 に示す評価系を用いた。積分球 (Integrating Sphere) により SPAD への照射光を均一化すると同時に、参照ポートで照射光密度を測定している。接続された光源 (Light Source) は波長 $350\text{nm} \sim 1100\text{nm}$ の範囲の光を出力することができる。

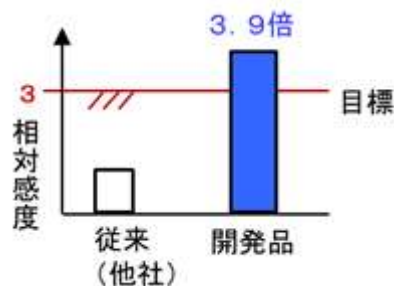


図Ⅲ-2.1.1-8 受光素子の感度評価系

図Ⅲ-2.1.1-9 にエクセス電圧 (V_E) を 5V として、波長を変化させて測定した PDE (フォトン検出効率: Photon Detection Efficiency) を示す。PDE のピークは 62.2% (@610nm) となり、レーザレーダでの利用が想定される 870nm の波長では 19.4% の PDE が得られた。図Ⅲ-2.1.1-10 に従来品と開発品の比較例を示す。相対感度として 3.9 倍の向上である。



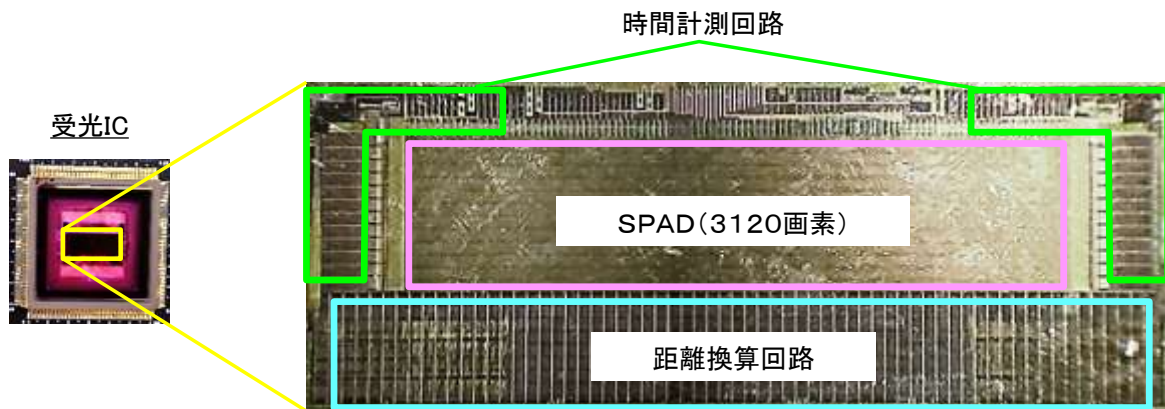
図Ⅲ-2.1.1-9 受光素子の PDE 評価結果 (室温、 $V_E = 5V$)



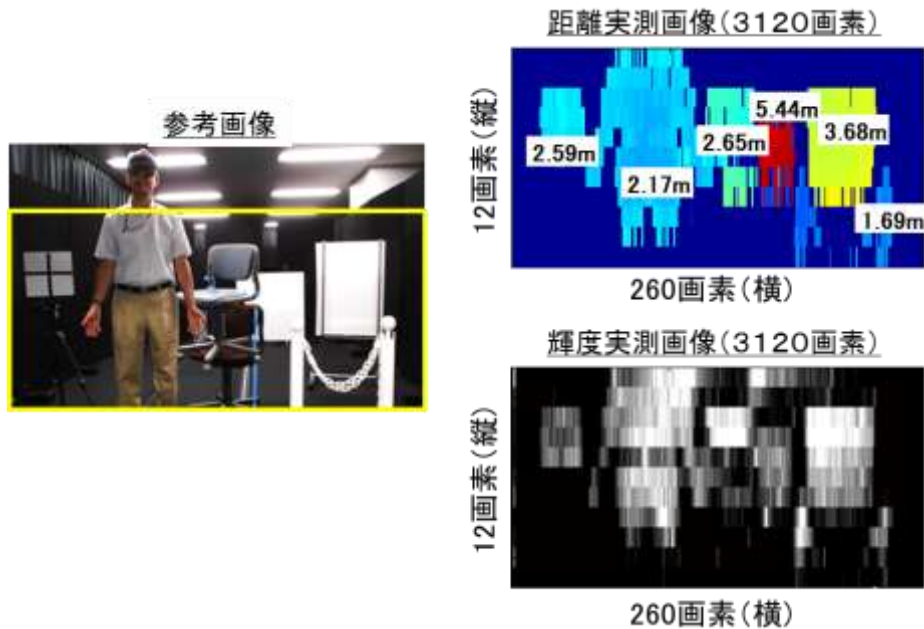
図Ⅲ-2.1.1-10 受光素子の感度評価結果 (室温、 $V_E = 5V$ 、波長 870nm)

1-6) 受光 IC の設計、評価

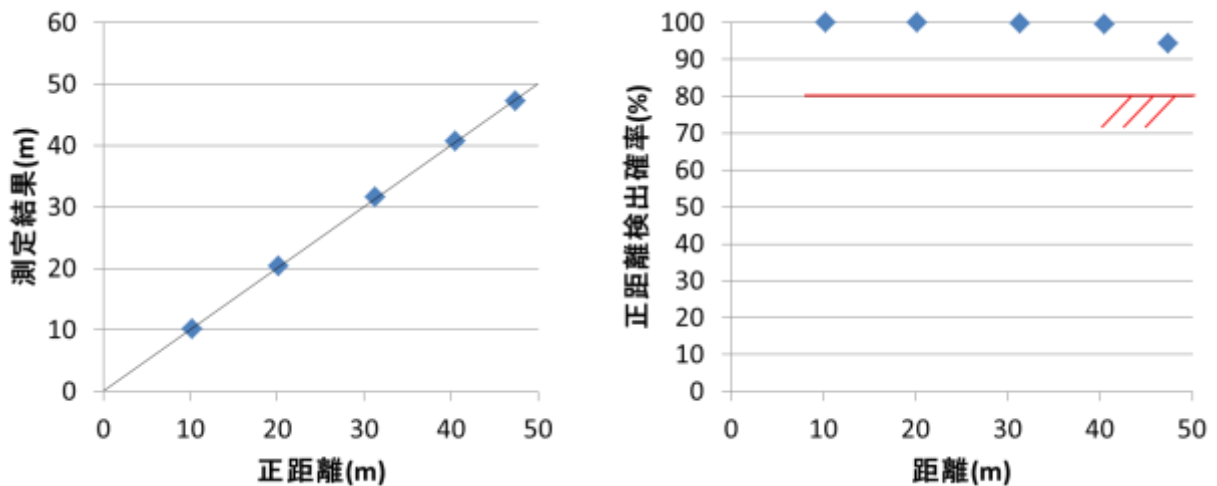
図Ⅲ-2.1.1-11 に設計・試作した 3120 画素受光 IC の写真を示す。これをレーザ、スキャナ等と組み合わせて測距センサモジュールを試作した。出力された測距画像の例を図Ⅲ-2.1.1-12 に示す。また図Ⅲ-2.1.1-13 に測距性能の評価結果を示す。横 260 画素、縦 12 画素の距離画像が得られることを確認し、測距センサとしての成立性が検証された。3000 画素を超える SPAD と測距出力機能を 1 チップに集積した受光 IC は、公開された情報の中ではトップレベルのものである。なお測距センサモジュールは助成事業として実施したため、ここでは詳細な説明を省略する。



図Ⅲ-2.1.1-11 測距センサ受光 IC の構成



図Ⅲ-2.1.1-12 開発した受光 IC の測距評価



図III-2.1.1-13 測距性能評価結果

1-7) 1万画素への拡張

より遠方の障害物、路上の小さな落下物などをレーザレーダで検知するためには、1万画素程度の画素数が求められる。本プロジェクトで開発した1チップの受光ICでは、前述のようにSPAD素子と後段の距離換算回路を接続配線する2次元的なレイアウト制約から、3000画素程度が限界となる。したがってこれ以上の画素数拡張は、本プロジェクトで並行開発するTSVプロセスを採用してSPADアレイと後段の回路を上下層に分割する必要がある。TSVにより1万個のSPAD素子と各素子の出力信号を受ける後段回路は、数10 μ mの距離で全て均一に接続され、信号遅延のばらつきを最小限に抑えることが可能となる。上下層に配置するSPAD素子および後段回路は、本プロジェクトで開発したものを単純に拡張すれば良く、回路設計上の課題は特にない。

なお上下層分割の構想、TSVの目標仕様などは、III-2.1.2節に後述する。

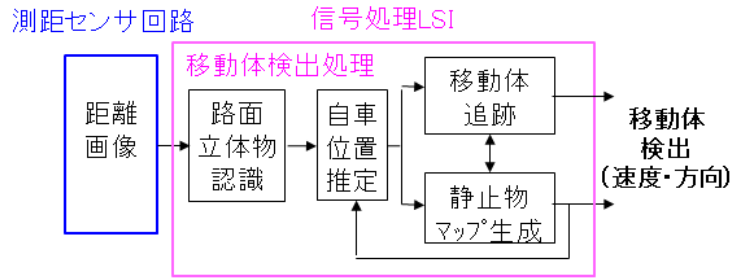
2) 信号処理LSI

2-1) 信号処理の概要

受光ICから3120画素の各々の検知距離が出力され、このデータを画像処理することで、図III-2.1.1-12に示すような画像が得られるが、実際の車載システムにおいては、前述のように得られた距離データを時系列に処理し、建物、標識などの静止物と走行車両、歩行者などの移動体に分離し、移動体を追跡して走行経路探索や衝突回避の判断につなげる処理を行う必要がある。

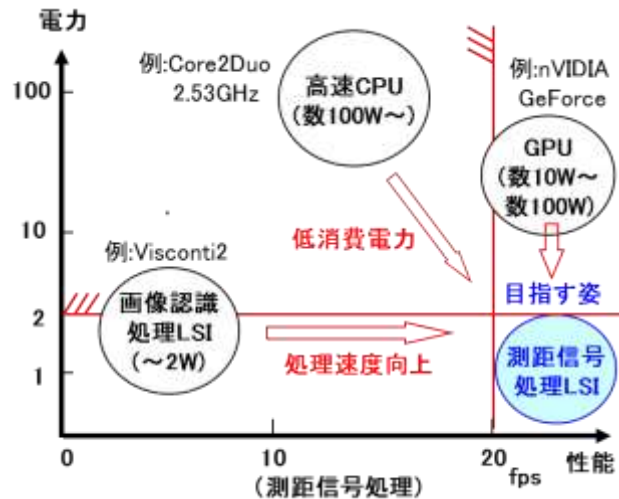
将来は20fpsの速度で1万画素を超える測距データをリアルタイムで処理する必要があることから、本プロジェクトでは並列化処理による高スループットな信号処理LSIも合わせて開発した。

図III-2.1.1-14に信号処理LSIにおける処理概要を示す。信号処理LSIは測距センサ回路が測距した距離画像を取得し、移動体を検出して出力する。移動体検出処理は、以下の処理を行う。まず距離画像から路面と立体物を分離する。そして走行する自車の位置変化を参照して、立体物を移動体と静止物に分類し、移動体について時系列で追跡を行う。



図Ⅲ-2.1.1-14 信号処理 LSI での処理概要

また図Ⅲ-2.1.1-15 に信号処理 LSI の目標イメージを示す。汎用の高速 CPU や GPU では、組み込みに求められる電力要件を満たすことは難しい。また既存の他用途向け画像認識処理 LSI では性能面での達成が難しいと考えられる。そこで本開発では測距信号処理を 20fps で実行、かつ消費電力を 2W 以下に抑えることを目標として検討を行った。



図Ⅲ-2.1.1-15 信号処理 LSI の目標イメージ

2-2) 開発の進め方

測距センサの信号処理を既存の LSI で行った場合、図Ⅲ-2.1.1-15 に示すように、画像認識処理 LSI のような特定用途向けでは、専用のハードウェアを実装することにより性能効率を高めており実行効率は高いが、測距センサの信号処理のように異なる用途に対しては狙った性能を出せない。一方、汎用の高速 CPU や GPU では汎用性を重視し特定用途に特化した命令は実装されていないため、処理によっては多大な実行サイクルが必要となり、やはり処理性能が不足したり、あるいはクロック周波数の高速化やコアの並列化により消費電力が過大となる。またバスのアーキテクチャに起因するデータ転送のボトルネックが性能低下に大きく寄与することも、プロセッサ関連の研究成果から明らかである。

そこで本プロジェクトでは ①専用バスによる高速データ転送 ②移動体検出処理に特化した特殊命令の実装 の 2 点により、測距センサの信号処理性能と低消費電力の両立を図ることとした。

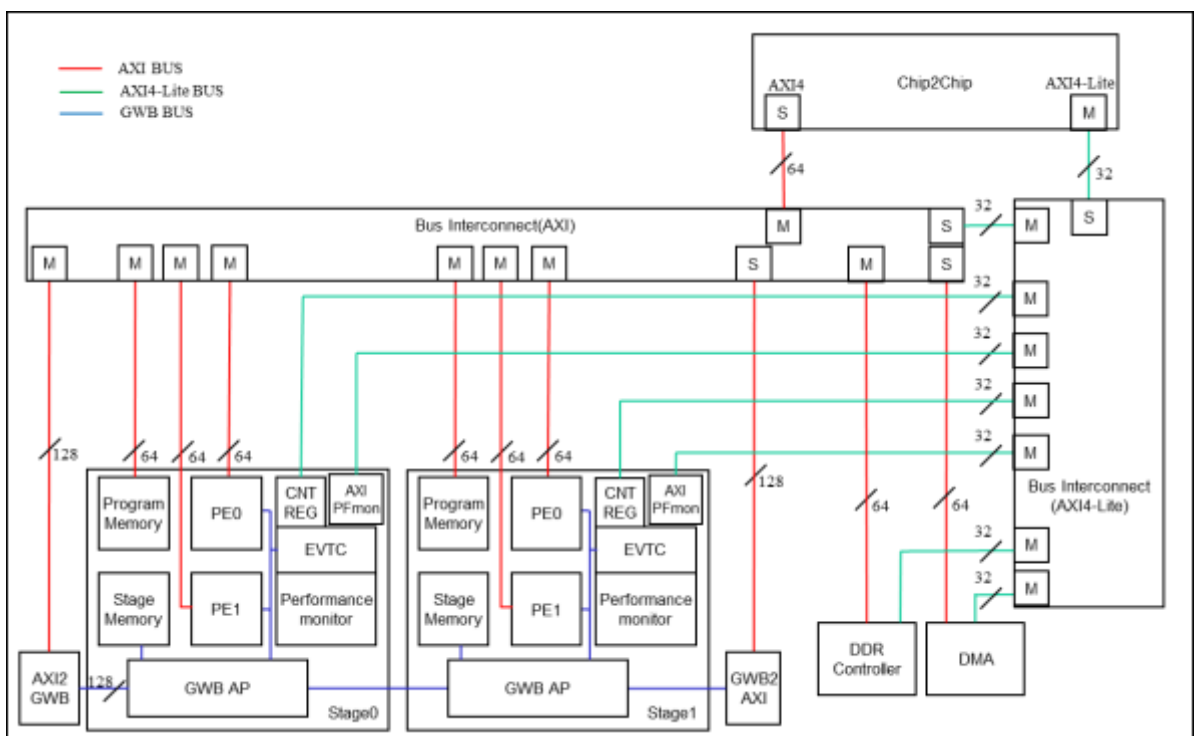
また検証に際して p10 実施計画に示すように、

- ・平成 26 年度：FPGA を用いて構想の成立性を検証
- ・平成 27 年度：これを LSI に実装してプロジェクト目標の達成を確認の 2 段階で進めることとした。

2-3) 信号処理 LSI の回路構成

図Ⅲ-2.1.1-16 に回路構成を示す。並列データ処理が可能な 2 つの PE (Processor Element) を備えたマルチコアユニットを 2stage 搭載し、stage 毎に異なる処理を実行可能とした。

各 stage には PE 用の Program Memory を 128KB、データ格納用の Stage Memory を 512KB 搭載している。ホスト CPU や DMA などによりプログラムを Program Memory にオフロードし PE を起動、Stage Memory に処理対象となるデータを転送することで処理が開始される。



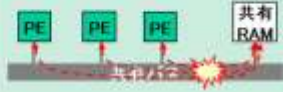
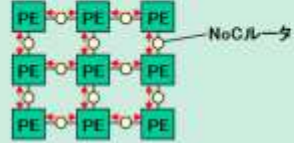
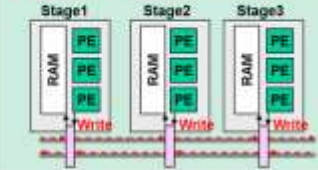
図Ⅲ-2.1.1-16 信号処理 LSI の回路構成

2-4) 専用バスによる高速大容量データ転送

各 Stage を GWB (Global Write Back) バスと呼ぶ独自の書き込み専用の双方向バスで結合し、転送効率を高めた。

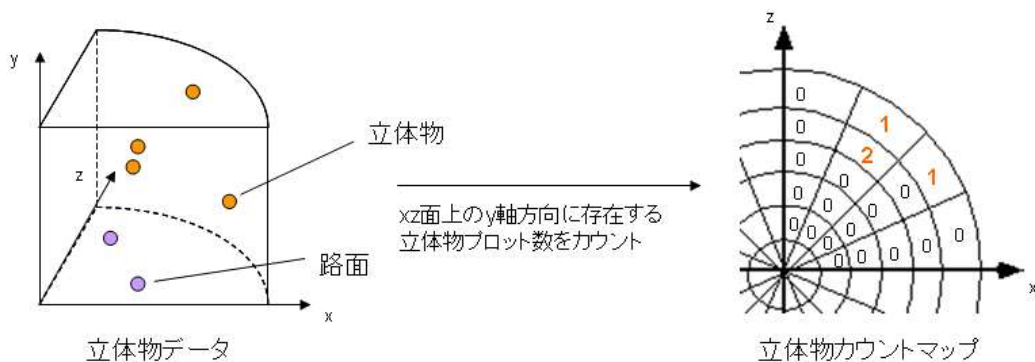
表III-2.1.1-2に従来のバスアーキテクチャとGWBを比較検討した結果を示す。GWBアーキテクチャでは各PEはStage Memoryからデータを読み出し、各PEのローカルメモリを使用して処理を実行する。その結果をGWBを経由して他StageのStage Memoryに書き込みを行う。これにより、処理に伴う読み出し/書き込みの競合を極力回避しつつ、GWBのデータ方向を書き込み限定にすることでハードウェアの簡素化を図っている。

表III-2.1.1-2 各種バスアーキテクチャの比較

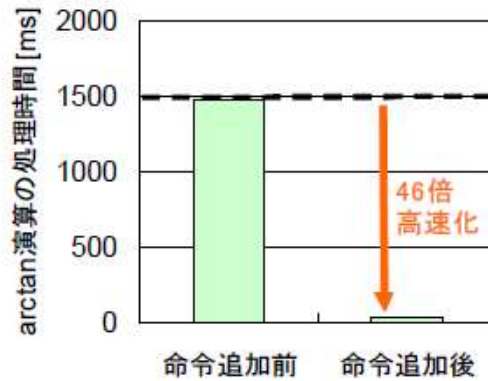
	バス型	ネットワーク型	GWB(本案)
			
帯域	× (競合大)	○	○
柔軟性	○	○	○
サイズ	○	× (接続回路大)	○

2-5) 特殊命令の実装

移動体検出処理に特化した特殊命令を実装することにより、処理の高速化を図った。たとえば静止物マップ生成において図III-2.1.1-17に示すように、レーザレーダから出力された3次元データを2次元投影面にプロットし、物標の位置をマッピングする。その際、汎用LSIではarctanなどの角度計算は汎用命令を組み合わせるが、計算量が大きく処理性能向上のボトルネックになっていた。この角度計算を特殊命令として実装することにより、図III-2.1.1-18に示すように46倍の高速化効果を確認した。



図III-2.1.1-17 静止物マップ生成



図Ⅲ-2.1.1-18 特殊命令の実装効果

特殊命令は、測距センサの信号処理実行プロファイルを分析し、寄与度の大きい処理について検討した結果、165 命令を実装することとした。

2-6) FPGA での検証

検討結果について FPGA を用いて成立性検証を行った。PE に使用するコアは、ユーザ側で独自に定義した命令セットを実装可能であることを条件に、Cadence 社の Xtensa プロセッサを採用した。

表Ⅲ-2.1.1-3 に FPGA を用いた成立性検証の結果を示す。処理速度に関して目標達成のめどを確認できた。なお FPGA 動作速度限界を考慮し、LSI 想定周波数の 1/2 を目標とした。

表Ⅲ-2.1.1-3 FPGA での成立性検証結果

	FPGA目標 (LSI換算値)	結果
周波数	50 (100) MHz	66 MHz
処理速度	10 (20) fps	10 fps

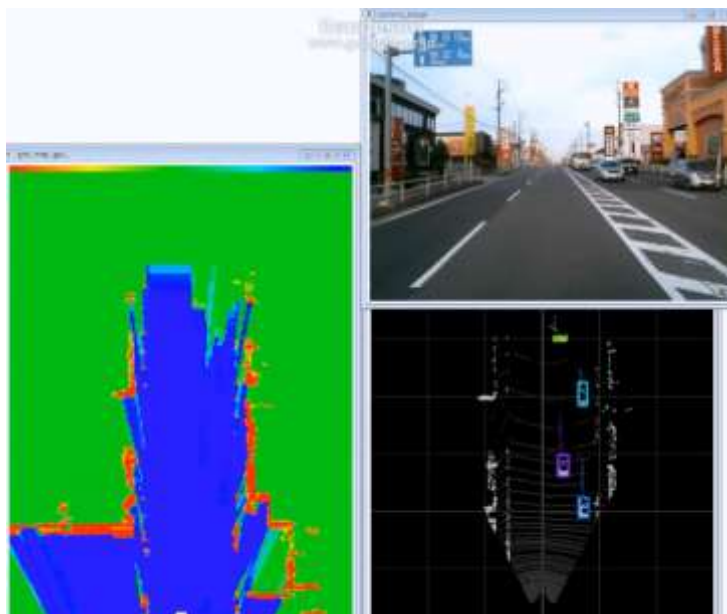
2-7) LSI での検証

FPGA での検証結果をもとに TSMC 社の 65nm プロセスを用いて信号処理 LSI のプロト品 (SoC System on Chip) を試作した。図Ⅲ-2.1.1-19 に LSI および評価装置の外観を示す。前述のように、移動体検出処理に特化した特殊命令セットおよび GWB バスを実装する専用コアとなっている。なお評価装置に入力する距離画像は、本プロジェクトで開発するレーザレーダは時期的に間に合わないため、Velodyne 社製レーザレーダ (HDL-64e) で代用した。処理する距離データは 10752 画素、20fps 相当であり、想定する高性能レーザレーダをカバーしている。



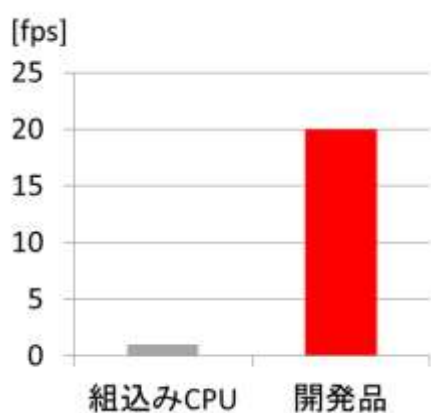
図Ⅲ-2.1.1-19 信号処理 LSI プロト (SoC) と評価装置外観

図Ⅲ-2.1.1-20 に本 LSI で処理した移動体検出の結果を示す。図左は静止物マップであり、青色部が路面、赤色部が立体物を表している。図右下は移動体追跡の結果であり、反対車線で対向する 4 台の車両を矩形領域で追跡できていることが判る。図右上はリファレンス用のカメラ画像である。

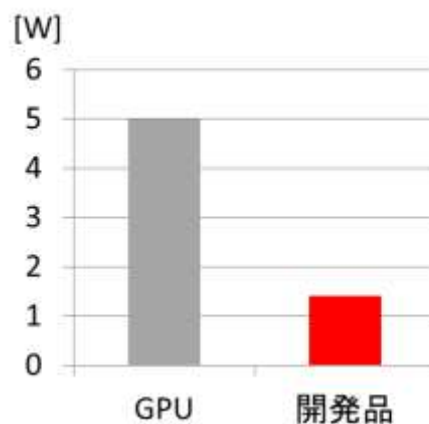


図Ⅲ-2.1.1-20 移動体検出の信号処理結果

図Ⅲ-2.1.1-21、図Ⅲ-2.1.1-22 に上記処理実行時の本 LSI の性能評価結果を示す。図Ⅲ-2.1.1-21 は処理速度で、本プロジェクトの目標である 20fps での処理を確認した。これは組み込み用途の一般的な CPU の約 20 倍の処理速度である。また図Ⅲ-2.1.1-22 は消費電力の評価結果で、消費電力：1.5W と一般的な GPU の数分の 1 に低減し、車載組み込みシステムに適用可能なレベルであることを確認した。



図Ⅲ-2.1.1-21 処理速度評価結果



図Ⅲ-2.1.1-22 消費電力評価結果

2.1.2 開発する TSV の目標仕様

(主担当：株式会社デンソー

ラピスセミコンダクタ株式会社

国立研究開発法人産業技術総合研究所)

2.1.2.1 研究開発概要と実施計画

1 万画素の SPAD アレイと各画素の出力信号から距離情報を出力する LSI を三次元積層した測距センサ IC を想定し、ここに採用する TSV の仕様について、測距センサ性能と TSV プロセス開発の技術課題の双方への影響をすり合わせつつ決定した。

代表的な仕様として、①TSV の抵抗値、寄生容量 ②信頼性 ③コストが上げられる。

① 抵抗値、寄生容量

SPAD 出力信号の遅延に影響するため、測距センサの検知距離精度から上限が決定される

② 信頼性

車載用途を視野に、高温・高湿・冷熱サイクルなど厳しい環境条件への耐性が求められる

③ コスト

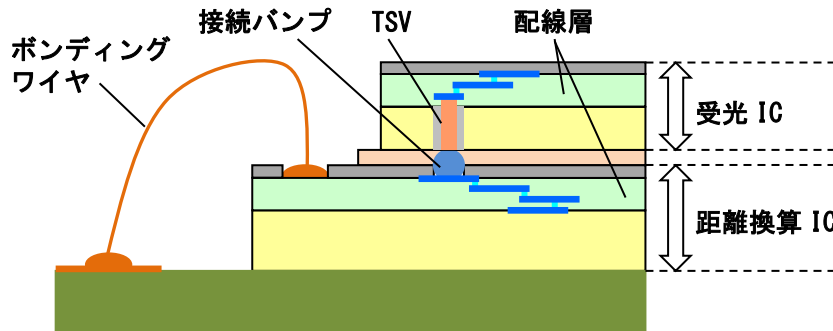
機能対コストを他の手段と比較しつつ、競争力ある目標値を設定する

測距センサと TSV プロセスを並行開発するにあたり、プロジェクト初期において開発目標として合意し、開発進捗に合わせて協議の上、随時見直すこととした。

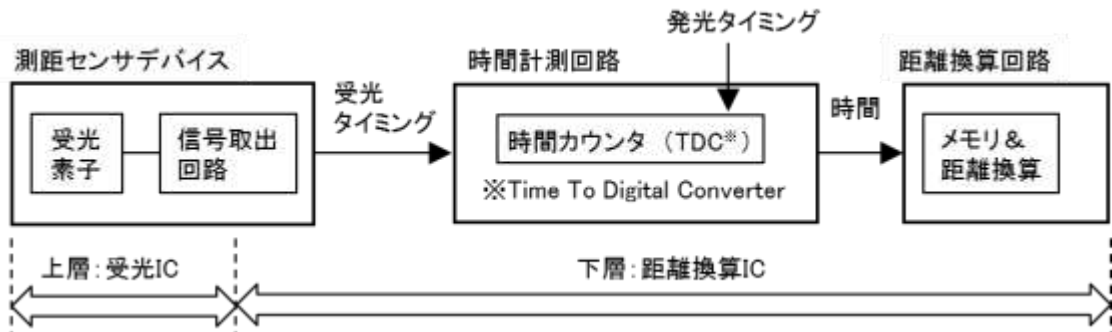
2.1.2.2 TSV 目標仕様の決定

1) 抵抗値、寄生容量

図Ⅲ-2.1.2-1 に示すように測距センサ IC として、上層に SPAD 素子およびその信号を出力する信号取り出し回路の一部からなる受光 IC、下層にその信号から障害物までの距離を出力する距離換算 IC を積層する三次元積層構造を想定した。また図Ⅲ-2.1.2-2 に回路ブロックの上下層分割を示す。

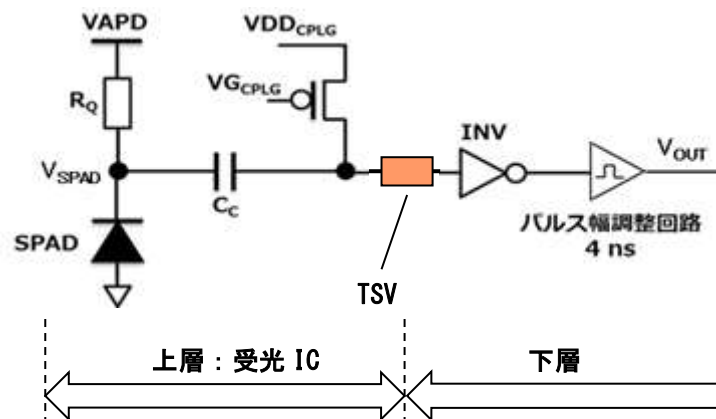


図Ⅲ-2.1.2-1 測距センサ IC の構造



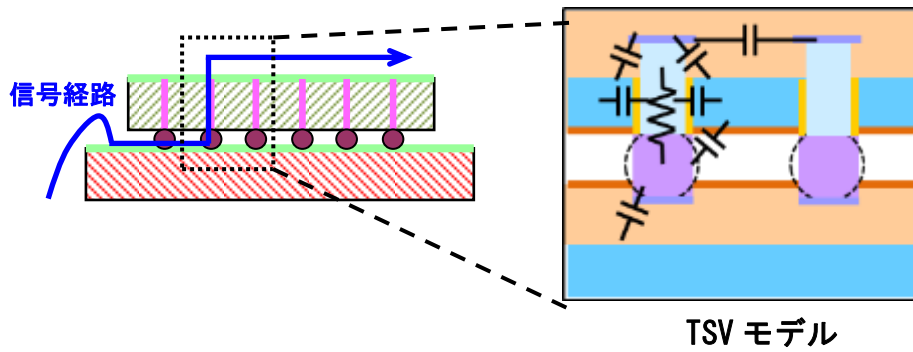
図Ⅲ-2.1.2-2 回路ブロックの上下層分割

前述の図Ⅲ-2.1.1-4 に示した SPAD 受光素子と信号取出し回路の構成を TSV による上下層分割で示すと図Ⅲ-2.1.2-3 のように SPAD と信号取り出し回路の一部が上層となる。



図Ⅲ-2.1.2-3 SPAD 受光素子と信号取り出し回路の構成

この回路構成に対して、図Ⅲ-2.1.2-4 に示すような TSV の抵抗、寄生容量を含むシミュレーションモデルを作成し、SPAD 出力に対する TSV 特性の影響を確認した。



図Ⅲ-2.1.2-4 TSV シミュレーションモデル

これにより、表Ⅲ-2.1.2-1 に示す暫定目標仕様を決定した。

表Ⅲ-2.1.2-1 TSV 暫定目標仕様

項目	目標仕様
TSV 抵抗 ※バンプおよび LSI 配線との接触抵抗を含む	$\leq 1\Omega$ TSV-bump 1pair
寄生容量 (TSV 単体)	$< 50\text{fF}$

2) 信頼性

一般的な車載半導体製品の信頼性目標を参考に、表Ⅲ-2.1.2-2 を目標仕様とした。

表Ⅲ-2.1.2-2 信頼性目標

項目	試験条件	試験時間	目標仕様
高温放置	150°C	1000 時間	抵抗変化率 $\leq 10\%$
高温通電	150°C@1mA	1000 時間	
温度サイクル	-40~125°C(5min 間隔)	1000 サイクル	

3) コスト

測距センサのコスト目標などを考慮し、TSV&バンプ形成 および上下層の LSI を接合する加工のプロセスコストの目標を従来比 30%削減とした。

2.1.3 三次元統合設計環境の開発 (①-2)

(主担当：株式会社デンソー 統合設計環境の開発

株式会社図研 (再委託) 統合設計プラットフォーム構築)

(副担当：国立研究開発法人産業技術総合研究所)

2.1.3.1 研究開発概要と実施計画

三次元半導体の長を最大限に引き出して、高性能・高信頼性のセンサデバイスを低コストに実現するためには、IC 設計からモジュール全体の実装設計までをカバーする統合設計環境が必要である。

TSV を使った三次元半導体設計では、機能分割や TSV 最適配置、設計自動化ツールの TSV への対応、IC 積層化に伴う電源供給性能の把握など、三次元固有の技術課題がある。そこで本開発項目では、三次元半導体構造モデリング技術、ツール間 I/F、TSV シミュレーションモデル、三次元向け電源線/信号線解析技術を開発し、モジュール設計および LSI/PKG(Package)/Board の統合設計環境を構築する。

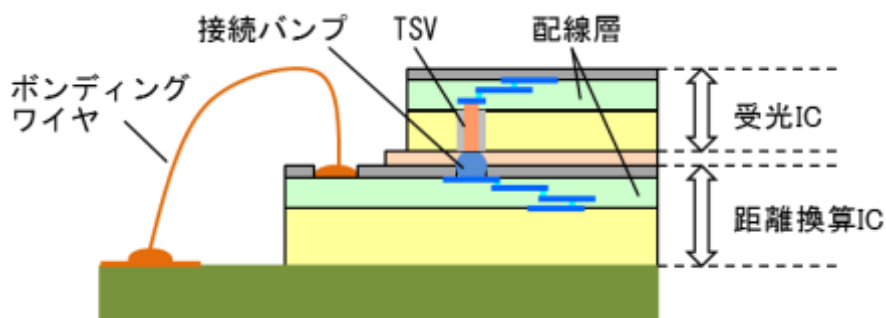
また、開発技術を製品設計につなげるために、全体設計フローと統合設計環境フレームワークの構築に取り組む。取り組み方針として、既存の設計インフラをベースに、三次元半導体特有の設計技術やモデルを加えることとする。

2.1.3.2 目標

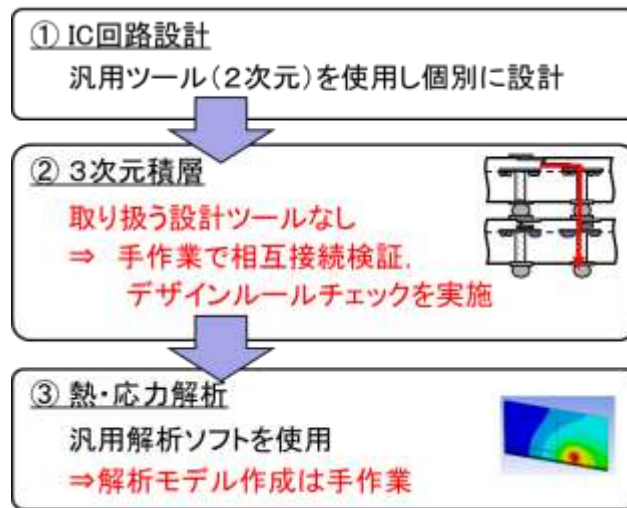
本プロジェクトでは、受光 IC と距離換算 IC の 2 チップを積層する三次元積層 IC の設計を対象とする (図Ⅲ-2.1.3-1)。想定する三次元積層 IC には以下の特徴がある。

- ・チップ間の接続に、多数の TSV/マイクロバンプ (5 万本以上) を使用する
- ・複数のテクノロジー (180nm と 65nm) が混在する
- ・薄化したチップ (厚さ 20 μ m) を積層するため、熱応力の影響が懸念される

従来の設計ツールや設計手法は、このような三次元積層 IC の設計に対応していない。例えば、チップ間の接続検証や解析用モデルの作成は手作業で行なうことになり (図Ⅲ-2.1.3-2)、設計工数の増大や設計ミスの発生の要因になる。



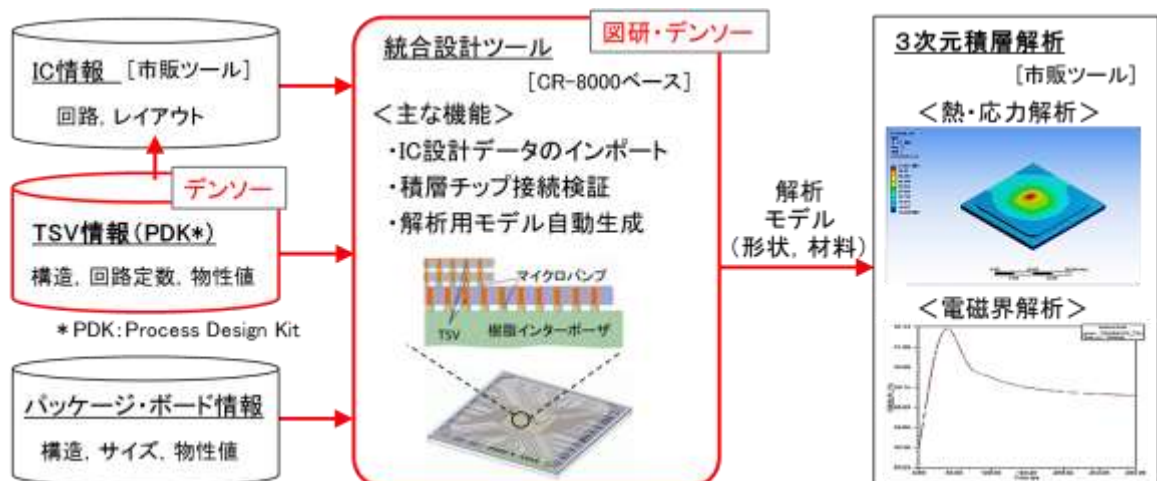
図Ⅲ-2.1.3-1 想定する三次元積層 IC (断面)



図III-2. 1. 3-2 従来の設計フローの問題点

そこで我々は、できるだけ人手を介さずに自動化し、かつ各設計工程をシームレスにつなげた統合設計環境を構築して、設計効率化と設計ミス防止を図る（図III-2. 1. 3-3）。このような設計環境を、実用に耐えうるレベルで実現するためには、統合設計ツールと TSV-PDK (Process Design Kit) の開発、および、設計フローの構築が必要となる。

以下に各項の目標について述べる。



図III-2. 1. 3-3 目標とする統合設計環境

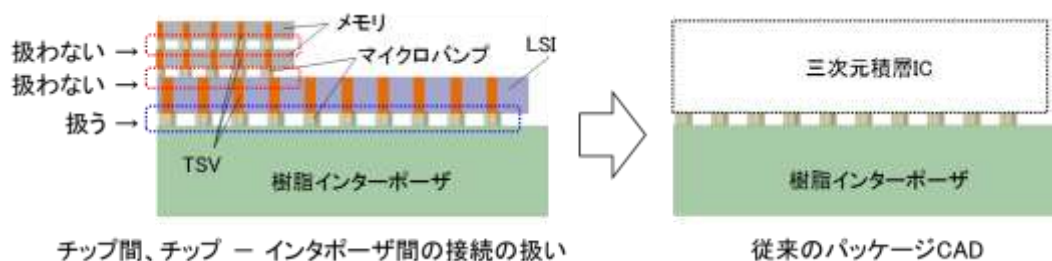
1) 統合設計ツール開発

基板積層を得意とし三次元構造データを取り扱える基板設計ツールをベースに、新たに統合設計ツールを開発する。なお、IC 設計と解析については、実績のある市販の専用ツールを使用する。

従来の基板設計ツールは、IC の内部情報を持たないため、基板やパッケージとは直接関係しない IC チップ間のピンを扱うことができない（図III-2. 1. 3-4）。したがって、IC チップ間の接続やマイクロバンプ間の座標ズレを自動で検証することができず、手作業で確認していた。また、基板やパッケージと IC チップとの間の配線経路を確認する手段がなかった。さらに、TSV を含む IC チップ内の情報がないため、三次元積層構造の解析用モデルを作成できず、汎用解析ソフトのモデリング機能を使って手作業で解析モデルを作成していた（図III-2. 1. 3-2）。こ

これらの課題を解決するために、①IC 設計データのインポート、②積層チップ接続検証、③解析用モデル自動生成 を主要機能として開発する。

想定する三次元積層 IC（チップ積層数 2、TSV 5 万本）の設計工数を見積もったところ、従来手法では、IC 設計データのインポート、積層チップの接続検証、解析モデル作成の工程に約 90 日を要していた。新たに開発する統合設計ツールにより、これらの工程を 1～2 日に短縮することを目標とする。



図Ⅲ-2.1.3-4 従来の三次元積層構造の取り扱い

2) TSV-PDK 開発

TSV を用いた LSI 設計を効率化するために、TSV-PDK (Process Design Kit: 設計に必要なライブラリ) を開発する。TSV-PDK は、TSV のセルライブラリ、接続検証用ルールコード、ユーティリティソフト等で構成される。

本プロジェクトで対象とする三次元積層 IC は、上層チップ (180nm プロセス) と下層チップ (65nm プロセス) とで製造するファウンドリメーカーとテクノロジーが異なる。このような場合、従来は LSI の設計環境はファウンドリメーカー毎に独立しているため、回路図入力、回路シミュレーション、レイアウト設計・検証の各設計工程の効率が低下する。

そこで、各ファウンドリメーカーのテクノロジーに適合した TSV-PDK を開発する。本プロジェクトでは、TSV の PDK とプロセスを並行して開発するため、できるだけパラメータ化して設計ルール変更に柔軟に対応できるようにする。

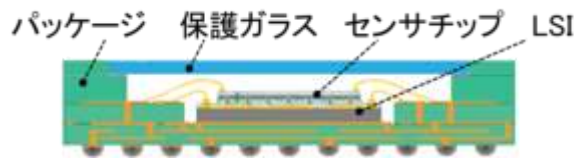
3) 三次元積層 IC 設計フローの構築

開発した統合設計ツールと TSV-PDK を用いて三次元積層 IC を効率よく設計するための設計フローを構築する。そして、製品と同等規模の検証用データを用いて開発した統合設計ツール、TSV-PDK、設計フローを検証する。その結果を、手順書としてまとめる。

2.1.3.3 成果

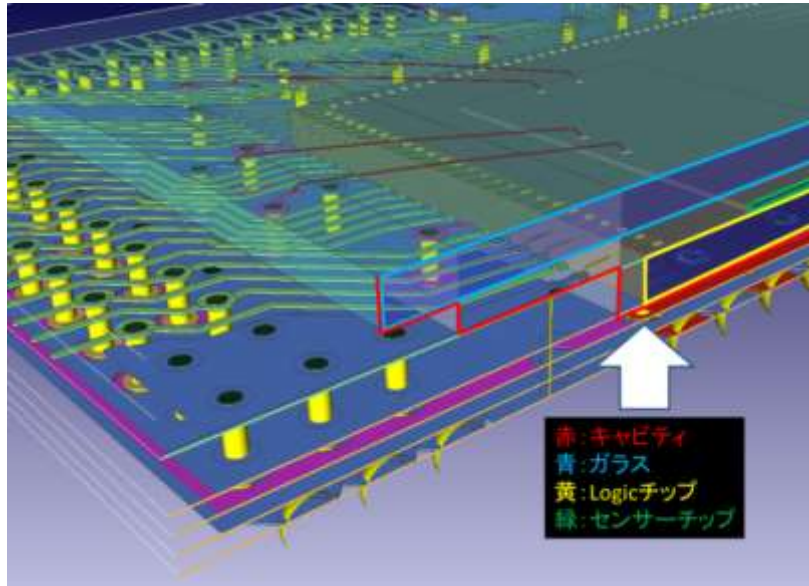
1) 統合設計ツール開発

図Ⅲ-2.1.3-5 に目標とする三次元積層 IC とパッケージのモチーフ構造を示す。従来は三次元積層 IC を扱える設計ツールがなく、人手による対応で上下層チップの接続検証、解析ツールにて熱・応力解析のモデル作成等を行う必要があったため、多大な工数を要し、設計品質にも懸念があった。今回の研究開発では、三次元データを取り扱える基板設計ツール『図研 CR-8000 Design Force』をベースに TSV を含んだ三次元積層 IC 用途に拡張し、IC 情報と TSV 情報を取り込み自動処理する機能を開発した。



- ・TSV : 約5万個
- ・チップ積層数: 2

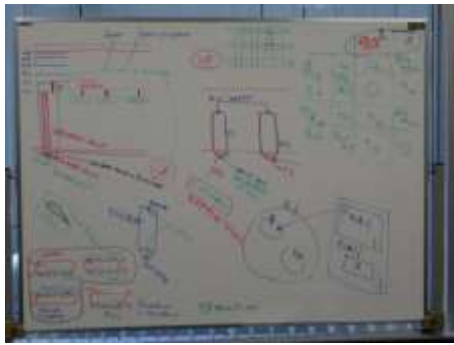
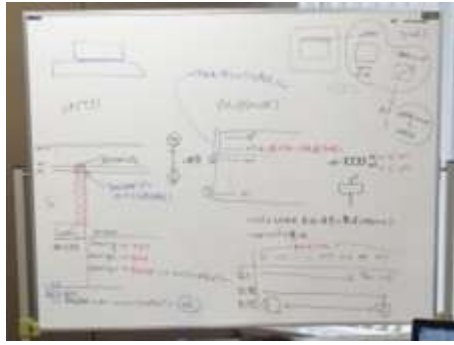
拡大図



図III-2.1.3-5 三次元積層 IC とパッケージの構造

■ ツール開発の進め方

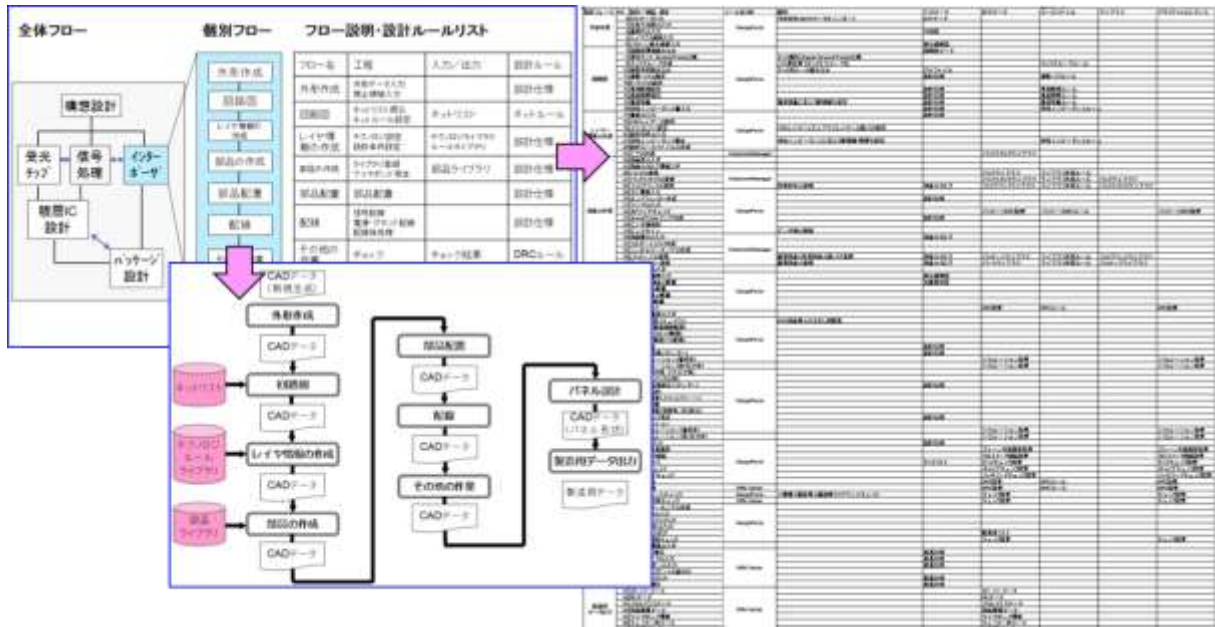
上記モチーフの設計を進めるための統合設計フローを仮説し、それに必要となる統合設計ツールの機能要件を抽出、ツールの機能仕様書を作成してプロト版の開発を行う。プロト版ができたなら、関係者が集まり実際にモチーフ設計を実践しながらレビューを行う（図III-2.1.3-6）。このループを繰り返すことで小さなアイデアを取りこぼすことなく受け止めた。そして、統合設計ツールに不可欠な要素技術、統合設計フローの最適化に必要な大小さまざまな機能、大規模データに対応するためのパフォーマンス改善、専用メニューによる工数削減などを行った。なお、設計ツールの研究開発においては、①顧客・外部ベンダーとの連携の部門、②基礎演算・OS/HW との IF 部の開発部門、③配置・配線など基礎部の開発部門、④LSI/PKG/Board 連携の開発部門、⑤エレメカ協調の開発部門、⑥ユーティリティ系の開発部門が開発案件に応じて連携する体制で取り組んだ。



図Ⅲ-2.1.3-6 機能要件抽出の検討例とプロト版レビュー風景

■抽出した機能要件

図Ⅲ-2.1.3-7 が初期に想定した統合設計フローと、各工程での入出力情報、各工程での詳細な作業分解と参照する情報などを一覽にまとめたものである。この情報をもとにモチーフ設計を進めながら、各工程の作業ごとに必要な機能要件を抽出し、統合設計ツールの機能開発に必要な機能仕様書を作成して専門家によるプログラム作成を行った。



図Ⅲ-2.1.3-7 検討した統合設計フロー（案）と機能要件リスト

1-1) IC 設計データのインポート

IC 設計ツールから出力された GDS II データ、レイヤ定義情報、ピン情報などを設定することで簡単に IC 設計データを取り込むことができる。ピン情報の取込みには、テキストラベルを使う方法と専用のプロパティを設定して高速に処理する方法が選択できる。また、アレイビアを IC 設計ツールと同じ名前に復元する機能も搭載している。なお、取り込んだ IC 設計データは、導体厚さ、絶縁層厚さ情報を設定することで三次元表示することができる (図 III-2.1.3-8)。

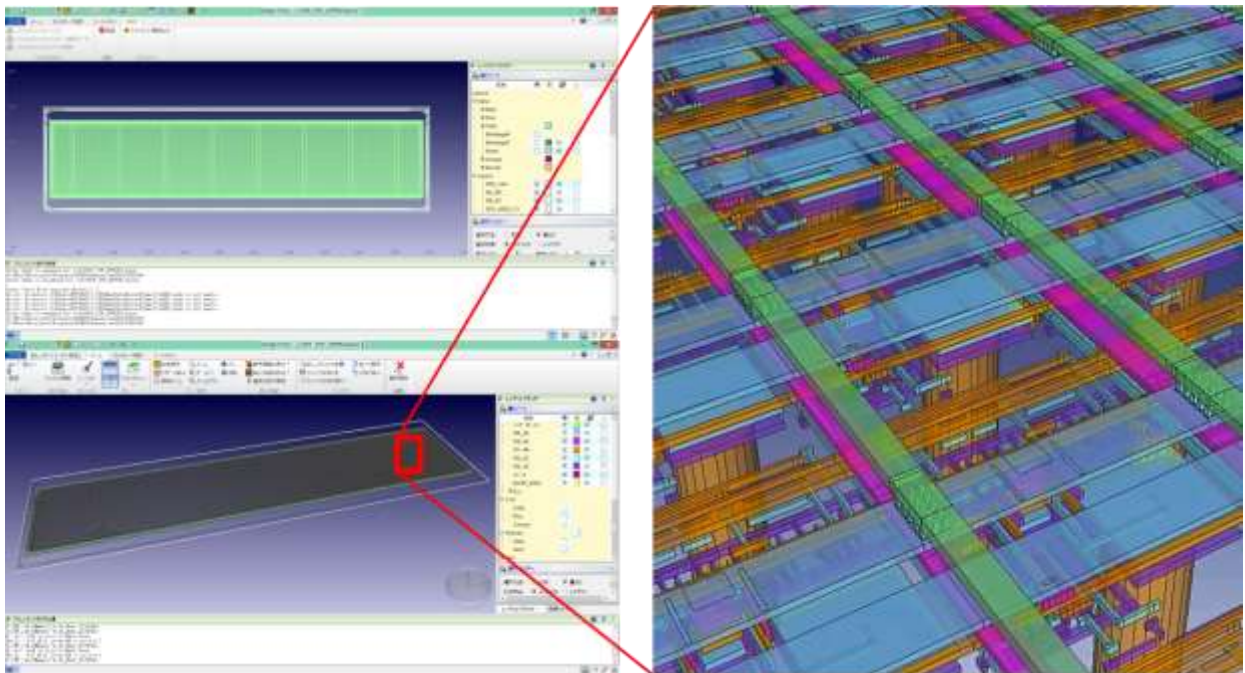


図 III-2.1.3-8 取り込んだ IC 設計データと三次元表示

■ IC 設計データインポートに必要な情報

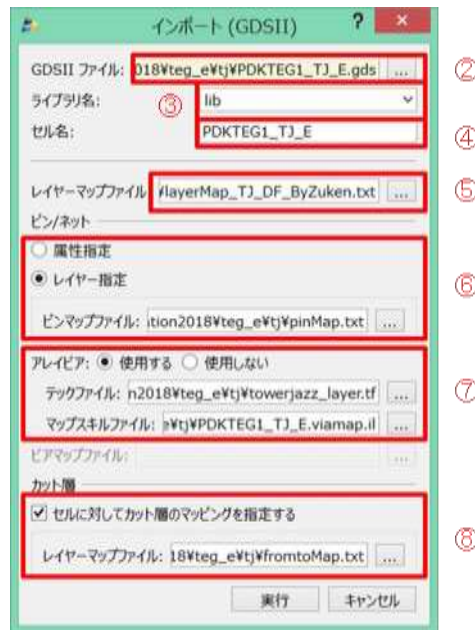
IC 設計データのインポートを、初心者にも分かり易く多くの人に使ってもらえるように、設定するパラメータをテーブル化して準備し、IC 設計データと合わせてデザインキットとして一緒に受け渡しするようなフローとした。IC 設計データのインポート時に「レイヤ変換に関するファイル」、「ピン変換に関するファイル」、「ビア変換に関するファイル」を準備することで、簡単にインポートができる。

IC データインポート機能は、専用のダイアログ (図 III-2.1.3-9) に以下の項目を設定して実行する。設定項目は多いが、ファイル名指定や選択のみで作業を極力容易にした。図 III-2.1.3-10 は、データや情報の流れを簡単に示した図である。

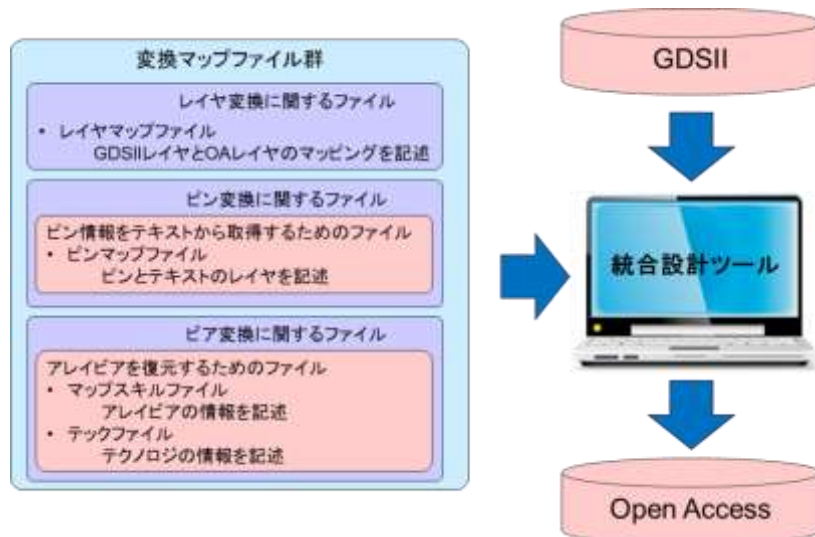
- ① インポート機能からダイアログを開く
- ② インポートする GDS II ファイル名を指定する
- ③ ライブラリを格納するフォルダを指定する
- ④ インポート完了後オープンするセル名を指定する
- ⑤ レイヤの対応を記述したファイルを指定する
- ⑥ ピン/ネットの情報を GDS II 中の属性 (プロパティ) から取得するか、レイヤ (ラベル) から取得するかを選択する。属性を選択した場合は GDS II 中のピン番号やネット名を表すスト

リーム ID を記述したファイルを、レイヤを選択した場合はピン形状レイヤとラベルレイヤの対応を記述したファイルを指定する

- ⑦ アレイビアの復元機能を使用するか選択する。通常は復元機能を使用し、ビアの形状情報などを記載したテックファイルとアレイ状態を記述したマップスキルファイルを指定する
- ⑧ TSV 形状等のカット層図形が接続レイヤまで届かない場合に使用するオプション。使用するとカット層図形が延伸する。使用の場合は対象カット層と延伸先のレイヤを記述したマップファイルを指定する。
- ⑨ [実行]をクリックすると GDS II インポートが開始する



図Ⅲ-2.1.3-9 GDS II インポートダイアログ



図Ⅲ-2.1.3-10 GDS II インポート時に必要なファイル群

■ IC 設計データ

IC 設計ツールから取り込んだ GDS II データは、Open Access のデータベースとして保存され、IC 設計データと同じくセルの階層化構造を保っている。なお、IC 設計データはサイズが膨大なため、三次元積層 IC の検証に必要なレイヤの情報だけを指定して取り込むことが可能となっている。TSV に関しては、ビア／セルオブジェクト形状の双方に対応した。また、接続検

証をするためにピン情報がどのレイヤに入っているかなど、IC 設計ツールの設計情報を基板設計ツールに引き継ぐ必要がある。

上記で取り込んだ上層チップ、下層チップの IC 設計データは、パッケージ基板上で三次元積層 IC として認識できる構造にする必要がある。具体的には上層チップの IC 設計データが入る箱、下層チップの IC 設計データが入る箱を IC 設計データから自動作成し、パッケージ基板に上下層チップの IC 設計データが入る箱を積層し、IC 設計データをそれぞれの箱にリンクするような形となる。

※Open Access とは

Open Access は、IC の設計ツール間において、単にデータの交換ができるだけでなく、真の運用互換性 (interoperability) を求める団体活動。Open Access は米国の標準化コンソーシアム Silicon Integration Initiative (Si2) 傘下の Open Access 協議会 (OAC: The OpenAccess Coalition) が、標準化を推進している。

1-2) 積層チップ接続検証

三次元積層 IC の LVS/DRC (Layout versus Schematic / Design Rule Check) の機能について、パッケージ構造例に沿って説明する。

■三次元積層 IC とパッケージ構造

三次元積層 IC とパッケージ構造を説明する。搭載する IC は全部で 3 個であり、8×8mm の CPU 1 個と、5.4×2.7mm のメモリ 2 個を 3 段に積層する。これを 27×27mm の 4 層パッケージ基板にフリップチップ実装し、樹脂モールドするというパッケージデータを作成した (図 III-2.1.3-11)。なお、CPU は 15,600 個のマイクロバンプ、メモリは 9,520 個のマイクロバンプ、パッケージは 376 個のはんだボールを持った BGA (Ball Grid Array) であり、相互に電氣的に接続されている (図 III-2.1.3-12)。なお、統合設計ツールでは三次元積層 IC および、パッケージ基板、樹脂モールド、はんだボールを含むパッケージを 1 つの画面に表示することができ、さらに三次元表示をして視覚的に構造を確認することができる (図 III-2.1.3-13)。また、新規開発した LVS や DRC の機能を使うことで、電氣的な接続検証や設計ルールチェックを高精度かつ短時間で実現することが可能である。

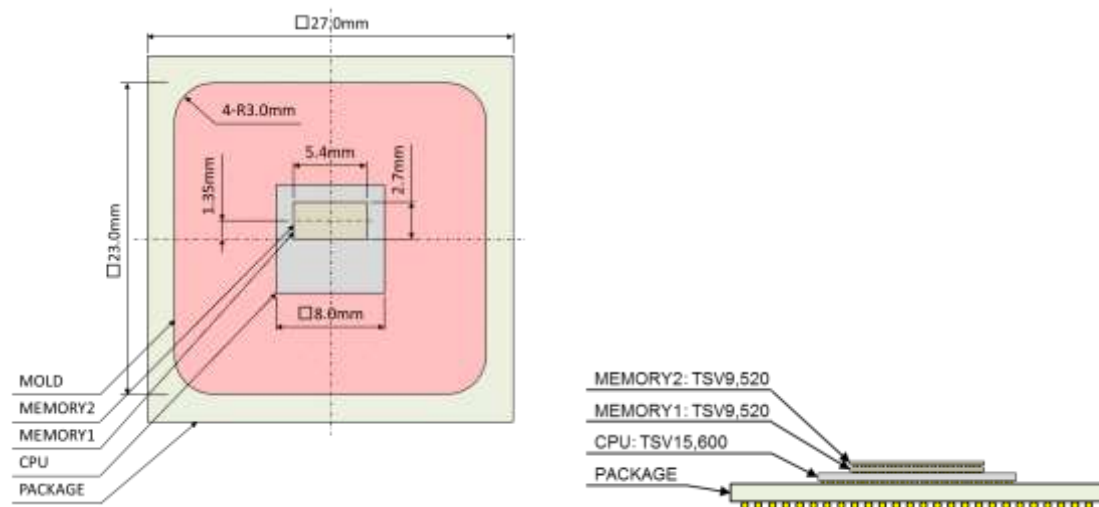
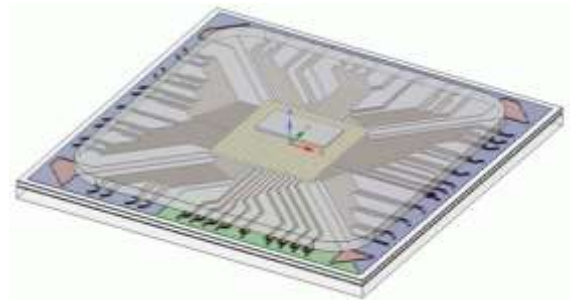
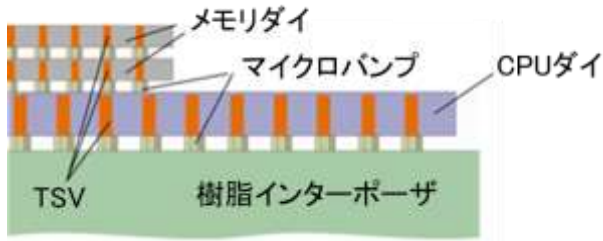


図 III-2.1.3-11 三次元積層 IC とパッケージの構造



図III-2.1.3-12 三次元積層 IC の拡大図

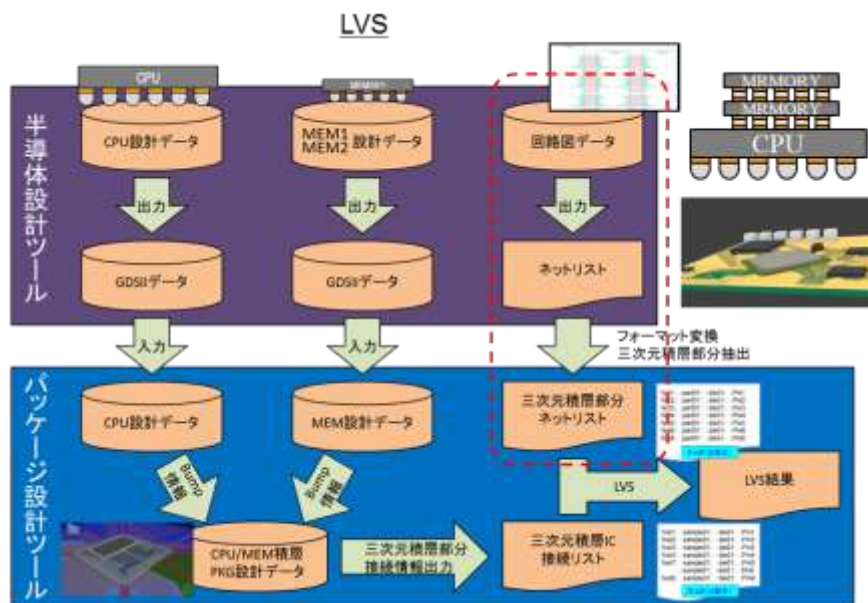
図III-2.1.3-13 三次元積層 IC とパッケージ

ここで三次元積層 IC のデータ作成手順に関して、簡単に説明しておく。

- 1 : IC 設計データの取り込み
TSV を含む IC 設計データを、積層する IC の種類分読み込む。
- 2 : IC 設計データからマイクロバンプの情報抽出
IC 設計データからマイクロバンプの情報を抽出し、積層する箱のデータを作成する。
- 3 : 三次元積層 IC の積層設計
パッケージ基板に積層する IC の積層方法、積層順序、IC 厚さ、マイクロバンプサイズなどを指定する。
- 4 : 三次元積層 IC の LVS/DRC
三次元に積層する各 IC 間の LVS と DRC を行う。

■開発した LVS 手法

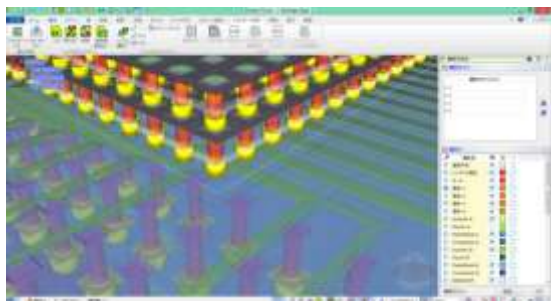
TSV を利用した三次元積層 IC の製造技術や設計手法は未だ過渡期にあり、今後も変わる可能性が高い。この段階において、個別仕様の IC に特化して設計フローを確定し、専用の機能を開発することは得策ではない。その時代の最新実装技術や最新 CAD 技術に応じて臨機応変に対応できるフレキシブルな設計フローが望ましい。そこで、IC 設計ツールと基板設計ツールを相互に活用して、一般的な半導体設計やパッケージ設計を踏襲できる設計フローとした（図III-2.1.3-14）。



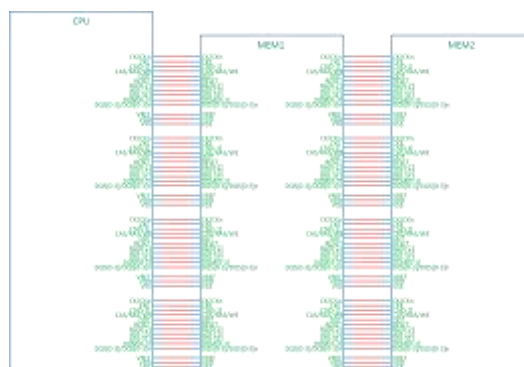
図III-2.1.3-14 三次元積層 IC の LVS フロー

このフローの特徴のひとつは、IC 設計データを基板設計ツールに取り込むところにある。従来の基板設計ツールでは、ワイヤボンディングやフリップチップ実装で必要なパッドの座標とサイズ情報などしか取込まないことが多いため、TSV を含む IC 内部での結線情報が分からず、TSV を利用した三次元積層 IC の LVS には適していなかった。

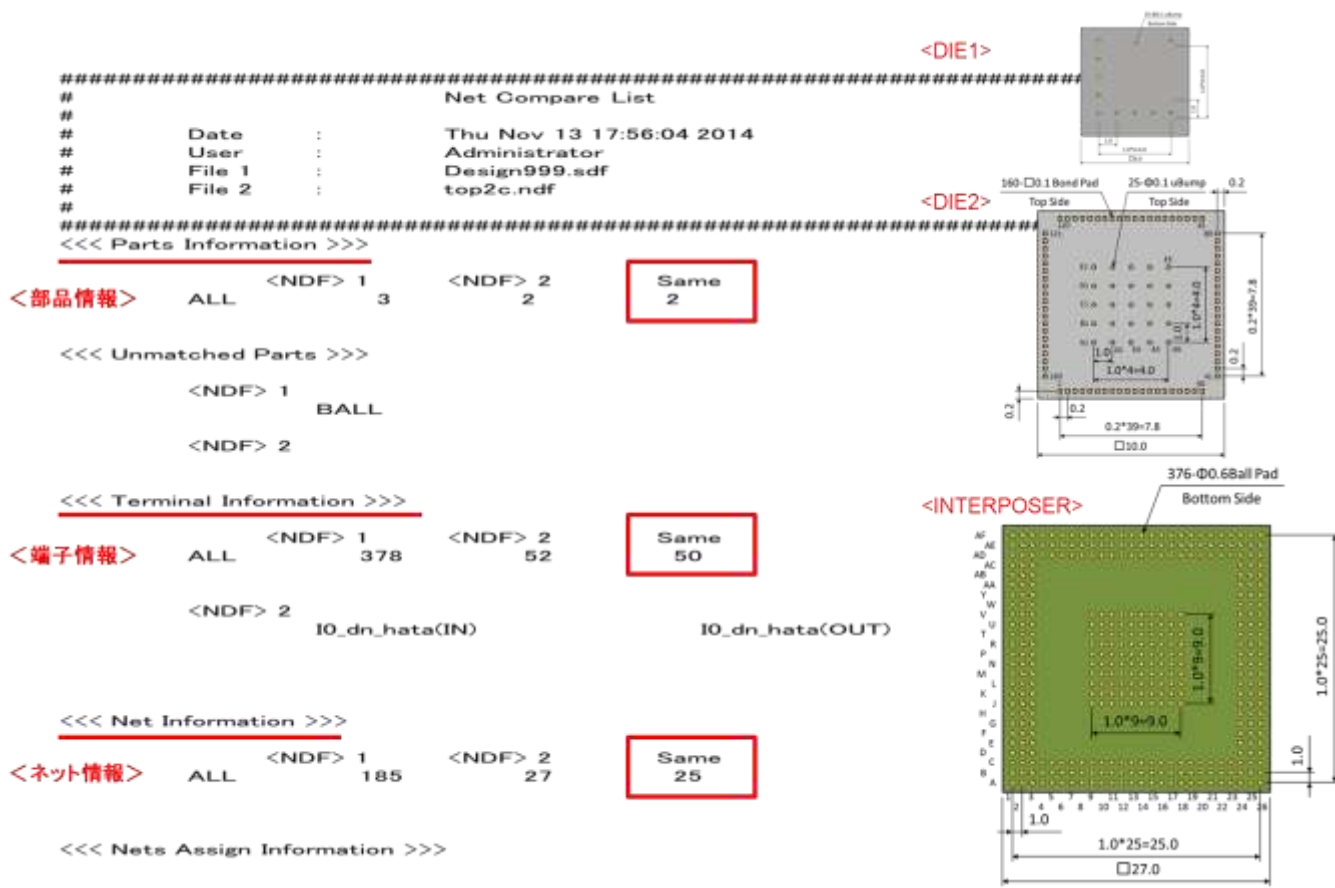
今回新たに開発した技術では、前述のように複数の IC 設計データを取込み、三次元表示する（図Ⅲ-2.1.3-15）とともにマイクロバンプの座標やインスタンス名などのピン情報を認識できる。また三次元積層 IC における IC 間の接続リストを抽出する機能により、IC 設計ツールの回路図（図Ⅲ-2.1.3-16）から抽出したネットリストと比較することにより、LVS の結果を得ることができる。この方法は全て基板設計ツールの機能で実現できるため、従来の手作業を含む手法と比較して、高精度かつ短時間で対応できる。図Ⅲ-2.1.3-17 は LVS の結果例である。



図Ⅲ-2.1.3-15 IC 設計データを三次元表示



図Ⅲ-2.1.3-16 IC 設計ツールの回路図



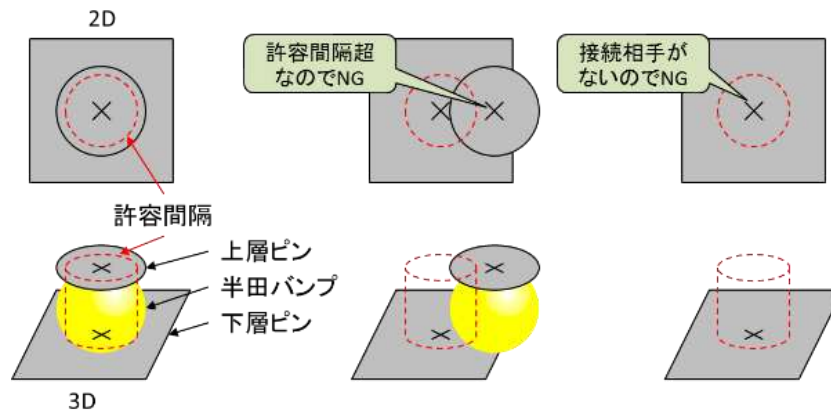
図Ⅲ-2. 1. 3-17 LVS の結果例

■開発した DRC 手法

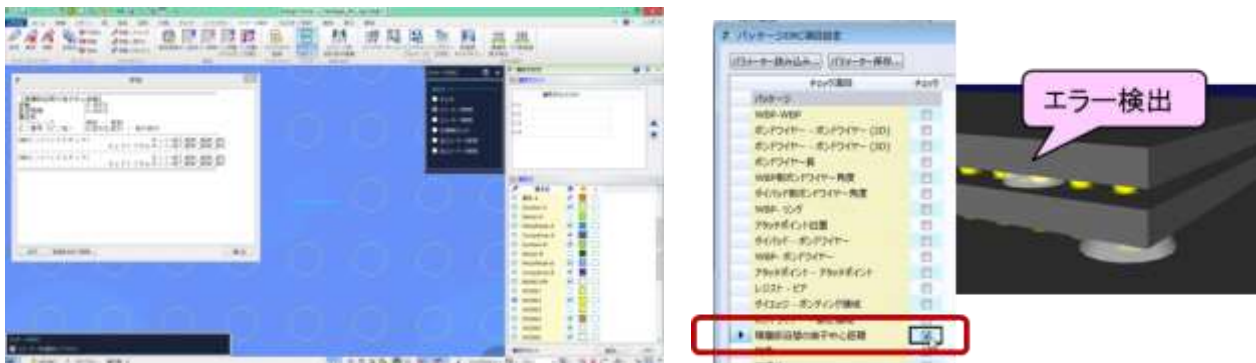
従来の基板設計ツールでは、フリップチップ実装で必要なパッドの座標とパッドサイズ情報などしか取込まないことが多いため、三次元積層 IC の IC チップ間の DRC を行うことはなかった。

今回新たに開発した技術では、積層する IC チップの設計データを取込むため、最新の CAD データでマイクロバンプの座標やインスタンス名をもとに、DRC を実施することが可能となる。この機能は積層する IC チップの上下のマイクロバンプの座標にズレがないか、ナノメートルレベルまで確認することが可能である。また疑似エラーを回避するための判定基準として、ズレの許容値を持たせる機能も有しており、いろいろな三次元積層 IC のチェックに対応することが可能である（図Ⅲ-2. 1. 3-18）。

図Ⅲ-2. 1. 3-19 は DRC の結果であり、積層メモリ間（MEM1 と MEM2）の M25 というピンにて、マイクロバンプの座標が食い違っていることが分かる。この機能により三次元積層 IC 間のマイクロバンプの欠落、ズレが検出でき、従来よりも高精度に三次元積層 IC の DRC を行うことが可能となった。



図Ⅲ-2.1.3-18 DRC の判定基準



図Ⅲ-2.1.3-19 マイクロバンプの座標チェック結果

■積層チップ接続検証のまとめ

三次元積層 IC を用いたシステムの LVS/DRC を高速に実現するための手法を検討した。この手法をベースとした基板設計ツールの機能開発を行うことで、TSV を利用した三次元積層 IC 全体の設計検証が高精度かつ短時間で完了することが確認できた。

1-3) 解析用モデル自動生成

三次元積層 IC は、TSV によるチップ間の多ピン接続、TSV 挿入による熱応力の発生、TSV における信号品質劣化の懸念などにより設計は複雑化する。今まではこれらに対応した最適な設計環境はなく、市販の IC 設計ツールや市販の基板設計ツール、表計算ソフトの活用、手作業により設計していた。そのため、作業効率が悪く多くの設計工数を要していた。

ここでは、TSV を用いた三次元積層 IC の設計を飛躍的に効率化する設計環境を開発した。

■解析モデルの作成

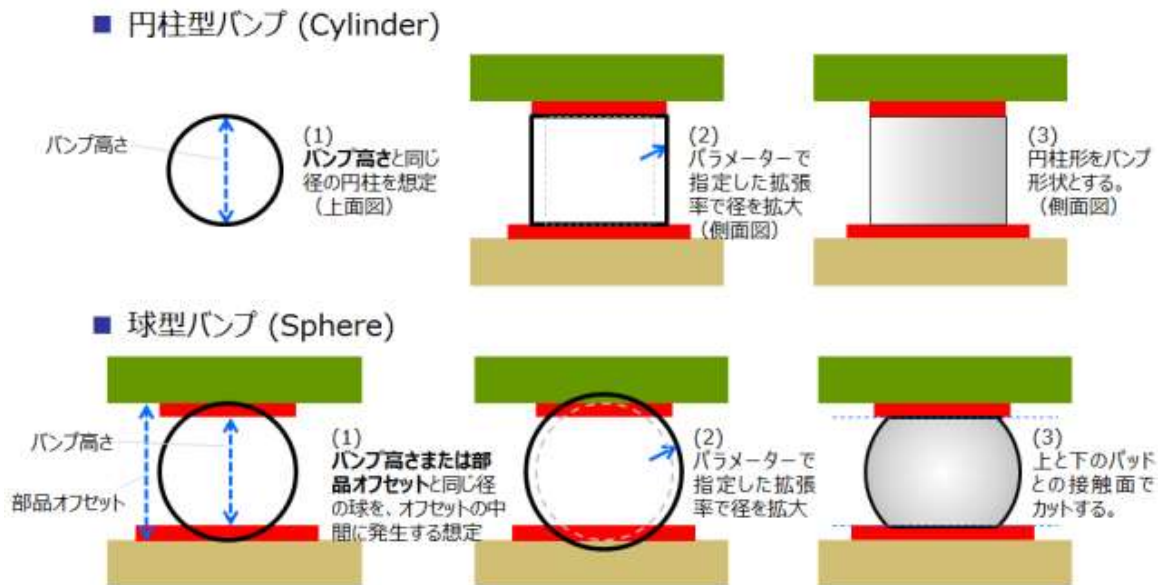
TSV の周囲には絶縁膜が存在しているため、チップ内に TSV が多数配置されると、チップの熱伝導は低下する。また、TSV 加工のためにチップを薄化するため、チップの熱伝導はさらに低下する。したがって、TSV の構造や配置を考慮した、積層チップの熱伝導の解析が必要となる。今までは TSV を含む IC 設計データを解析ツールに取り込むことができないため、解析ツールのエディタ機能を使って解析モデルを手作業で入力する必要があり、設計負荷が増大していた。また TSV とマイクロバンプを含む積層チップの形状データや物理パラメータを熱・応

力解析ツールに出力する機能もないため、同様に解析ツールでの再入力が必要となる。これらの課題に対応した設計環境を開発し、三次元積層 IC の設計効率化を図った。

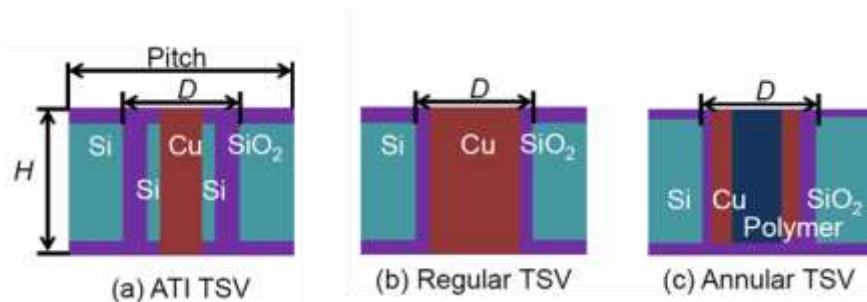
■解析モデル作成の自動化

三次元積層 IC の設計データから解析用モデルを自動生成する機能を開発した。IC 設計ツールでは、TSV とマイクロバンプについて円や多角形などのパターン情報のみを入力していて、断面構造に関する情報が欠落している。詳細な熱応力解析を実施する場合には、TSV やマイクロバンプの断面構造を含む詳細な形状モデルが必要となる。一方、三次元積層 IC とパッケージを含むモジュール全体で熱の伝わり方を解析する場合には、TSV やマイクロバンプの詳細モデルでは計算負荷が大き過ぎる。そこで、解析目的に応じて詳細度を変えて、簡略化モデルを作成する機能を開発した。

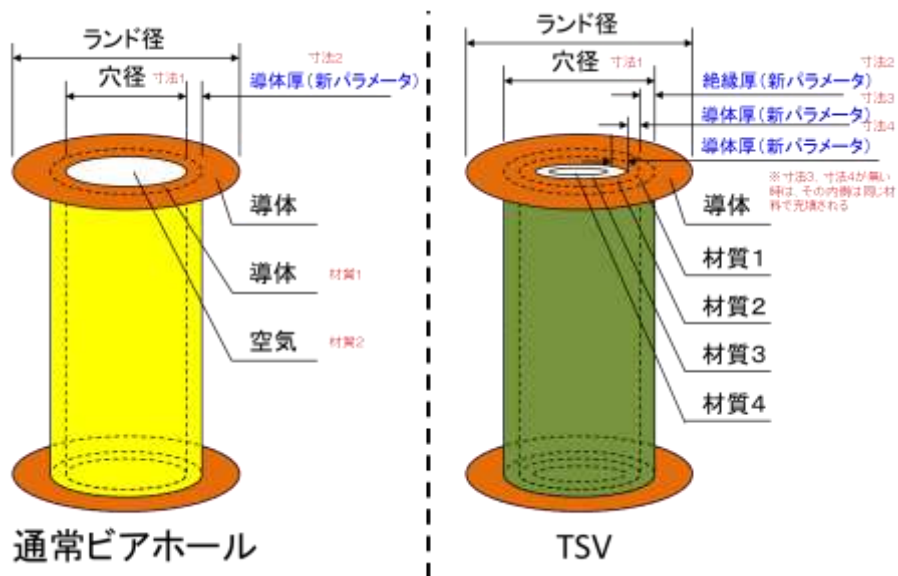
詳細な解析用モデルを作成する場合、まずマイクロバンプと TSV の形状を複数のパラメータにより指定する。マイクロバンプのモデルは、球（樽）型、円柱、八角柱等から形状を選択する（図Ⅲ-2.1.3-20）。バンプモデルのパラメータとして形状、バンプ径、バンプ高さを用意した。TSV モデルは、TSV の導体層と絶縁層の幅を設定する。一方、TSV はさまざまな製造方法および構造（図Ⅲ-2.1.3-21）が研究開発されているため、TSV 周囲に複数の絶縁層を設定することができるようにした（図Ⅲ-2.1.3-22）。また、解析用モデル作成の実行時に対象領域を指定すれば、指定された領域内の IC チップの形状データを出力する。その際、指定領域に含まれる TSV とバンプは、設定したパラメータに従って詳細形状に置換えられる。



図Ⅲ-2.1.3-20 マイクロバンプの詳細なモデル

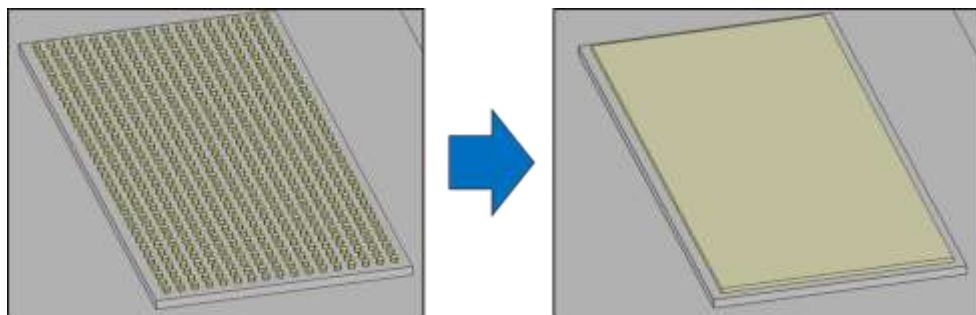


図Ⅲ-2.1.3-21 TSV 構造例

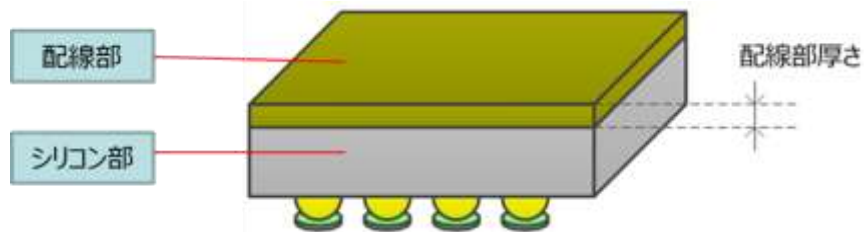


図Ⅲ-2.1.3-22 TSVの詳細モデル

また、モジュール全体の解析をする場合は、計算負荷を軽減するためにTSVとマイクロバンプをまとめてシートモデルに置換えて出力する機能も搭載した(図Ⅲ-2.1.3-23)。また、ICチップをシリコン部と配線部に水平面で分割するような簡素化モデルにも対応した(図Ⅲ-2.1.3-24)。



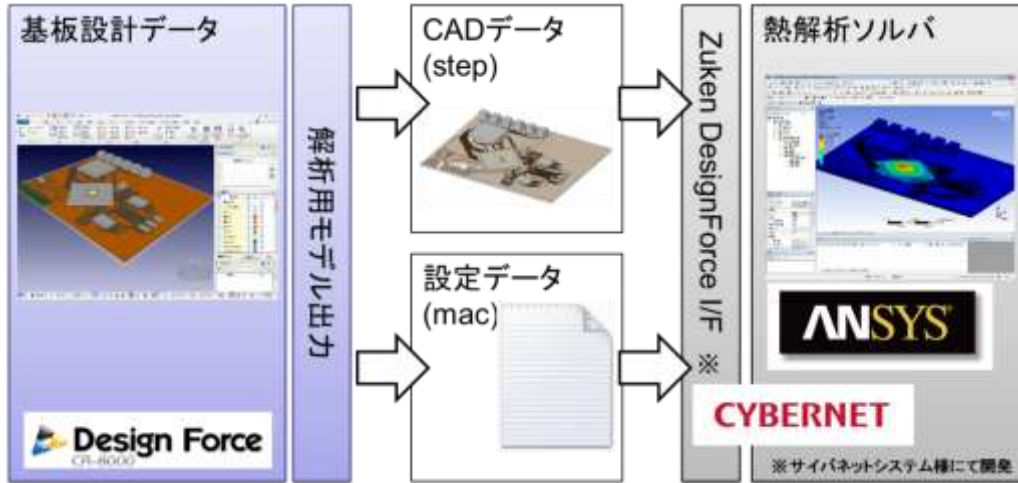
図Ⅲ-2.1.3-23 マイクロバンプをまとめて平板状に置き換え



図Ⅲ-2.1.3-24 ICチップを半導体部と配線エリアに分割して出力

■解析用モデルに材料情報を受け渡すしくみ

解析モデルの形状データと合わせて、材料情報などを自由に受け渡す方法を検討し、仕組みを開発した（図Ⅲ-2.1.3-25）。図Ⅲ-2.1.3-26 は ANSYS Mechanical マクロ用設定ファイルの例である。



図Ⅲ-2.1.3-25 解析用モデルに材料情報などを合わせて受け渡す仕組み

```

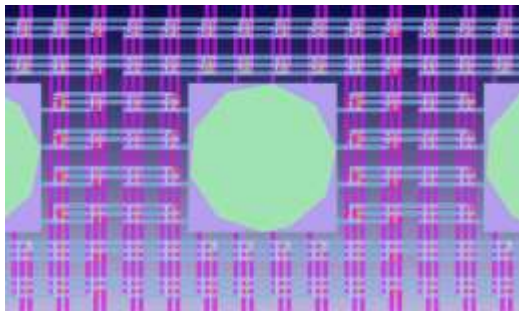
! ANSYS Mechanical Macro File
! Created by : Zuken CR-8000 Design Force 2018.000
...
...
...
LAYMAT(1,1)='Cu'
LAYMAT(1,2)='FR-4'
LAYMAT(1,3)='Cu'
LAYMAT(1,4)='FR-4'
LAYMAT(1,5)='Cu'
LAYMAT(1,6)='FR-4'
LAYMAT(1,7)='Cu'
...
...
< 基板の材料設定 >
...
! Via material name
*DIM,VIAMAT,STRING,248,PSKCNT_1,5
VIAMAT(1,1)='VIA_0.1','SiO2','Cu','Polymer','
!
...
< TSVの材料設定 >
...

```

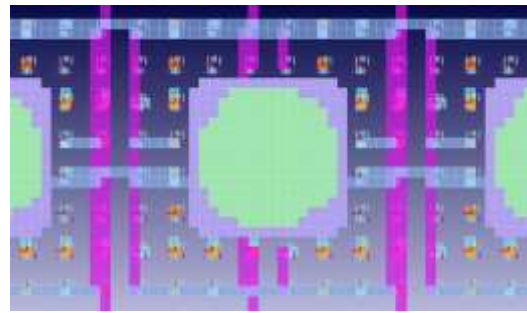
図Ⅲ-2.1.3-26 ANSYS Mechanical マクロ用設定ファイル（例）

■IC 設計データの解析モデル出力

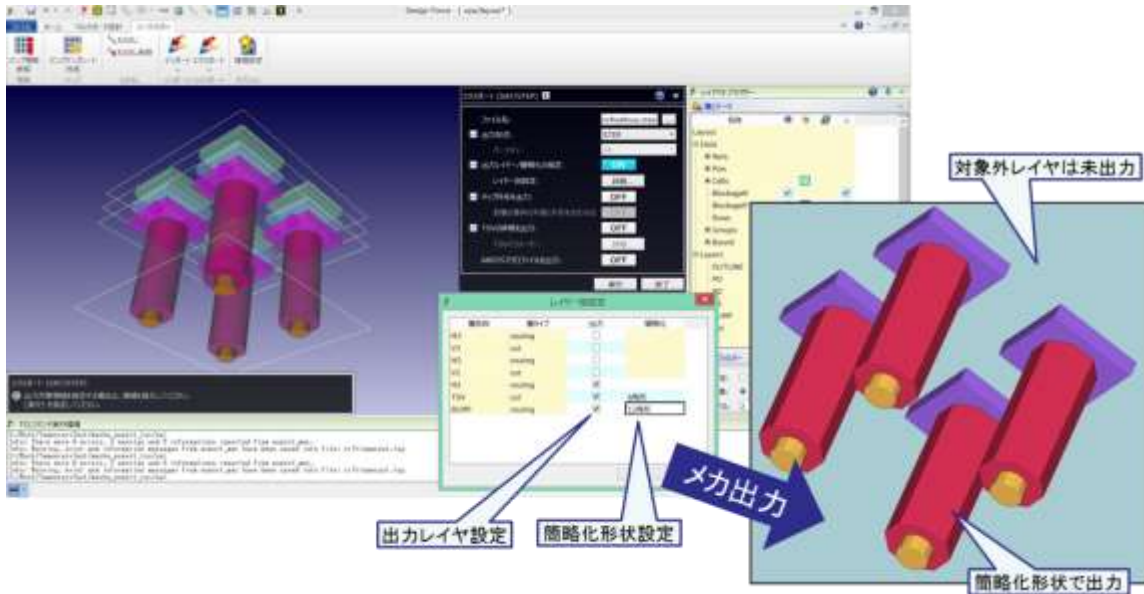
取り込んだ IC 設計データを解析用モデルとして出力できるようにした。この時、解析データを軽量化するための縮退機能（詳細なパターンデータを基盤の目に切って抽象化する機能、膨大なビアデータをまとめて単純化する機能、円または多角形を八角形などに単純化して置き換える機能）も開発した。精度をある程度保ちながら、解析時間の短縮が可能となる（図Ⅲ-2.1.3-27、図Ⅲ-2.1.3-28、図Ⅲ-2.1.3-29）。



図III-2.1.3-27 縮退処理前のデータ例



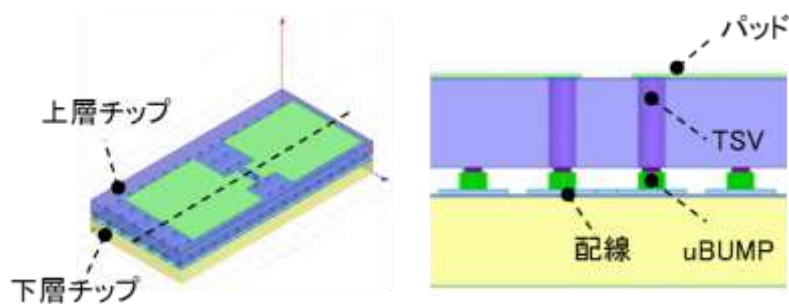
図III-2.1.3-28 縮退処理後のデータ例



図III-2.1.3-29 自動生成された解析用モデル

■解析用モデル自動生成の試行

開発した設計ツールにて、解析用モデルの自動生成を行い、出力時間、解析モデルサイズ、解析時間の検討を行った。使用したデータは下層チップ（フェイスアップ）に、TSV 付きの上層チップ（フェイスアップ）がマイクロバンプで接合された 2 段の三次元積層 IC である（図 III-2.1.3-30）。三次元積層 IC の電気特性を測定するためのデージーチェーン部を切り出した。



図III-2.1.3-30 三次元積層 IC の解析用モデル（領域切り出し）

結果は表Ⅲ-2.1.3-1 であり、実用には適さない結果であった。統合設計ツールのデータ構造と、解析用データの構造の違いによりデータ量が増大している。また、切り出したエリアにはパッド下に多数のビアが存在した。さらに、IC 設計ツールで作成された TSV やマイクロバンプが多角形であることが分かったので、これを対策することとした。

表Ⅲ-2.1.3-1 解析用モデル自動生成の結果

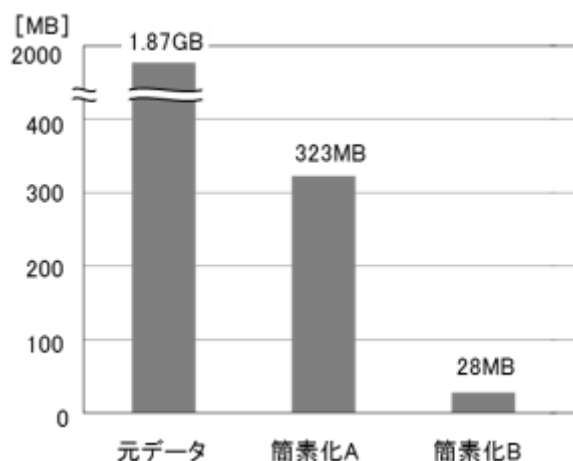
データサイズ	約1.87GB
データ作成時間	3時間
解析時間	48時間超

■課題解決の取り組み

解析対象の IC 設計データを詳細に確認し、以下の簡素化が可能であることが分かった。それぞれに対応した簡素化の機能を追加開発した。その結果が、図Ⅲ-2.1.3-31 である。解析用モデルの自動生成～解析までの時間を 76 分に短縮できた。

簡素化 A：パッド下のアレイビアをまとめる（電氣的に意味のないダミービア）

簡素化 B：バンプの形状 128 角形（円形）→8 角形



図Ⅲ-2.1.3-31 データ簡素化機能によるデータサイズ圧縮の効果

なお、IC 設計データは膨大なため、他にもデータを簡素化する手法を考えて統合設計ツールに組み込んだ。解析用データの縮退機能である（図Ⅲ-2.1.3-27、図Ⅲ-2.1.3-28）。この機能では、①エリア指定機能、②指定した層のデータのみを抽出する機能、③IC 設計データを基盤の目に切って銅箔の占有率を考慮して抽象化する機能、④膨大で電氣的に無意味なビアデータをまとめて単純化する機能、⑤円または多角形を八角形などに単純化して置き換える機能（図Ⅲ-2.1.3-29）などが含まれており、前述の TSV の詳細化と併用して使用することができる。精度をある程度保ちながら、解析時間の短縮が可能となる。

■解析用モデル自動生成のまとめ

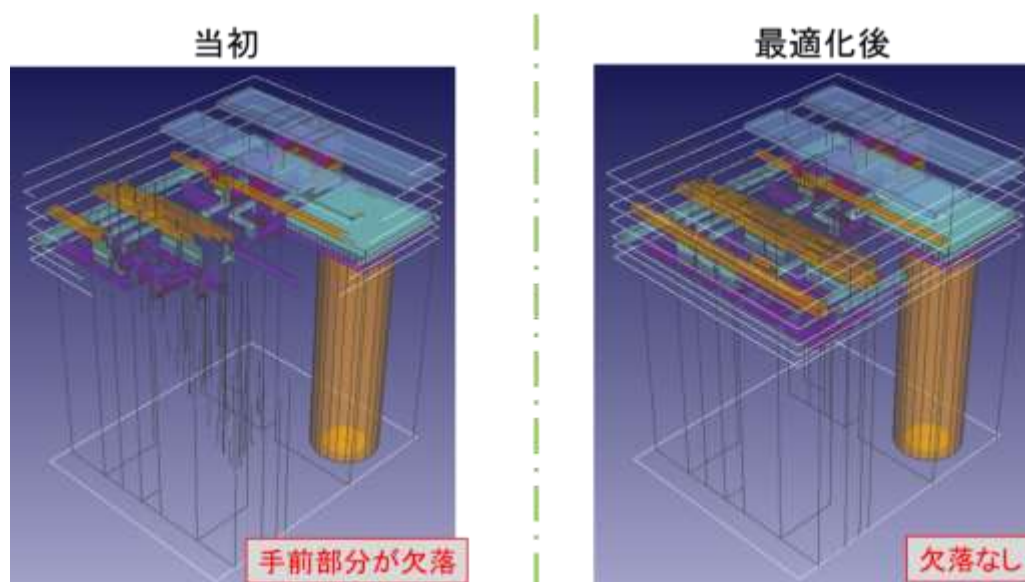
開発した設計環境では、解析モデルの自動生成、さらにデータの詳細化や簡略化、軽量データへの置き換え機能を実現しており、解析精度の向上および解析時間の短縮化ができています。

1-4) その他機能

三次元積層 IC を扱う統合設計環境として、設計品質向上、設計工数低減に必要な機能をいくつか開発したので、代表的なものについて説明する。

■微細な IC 設計データの表示改善

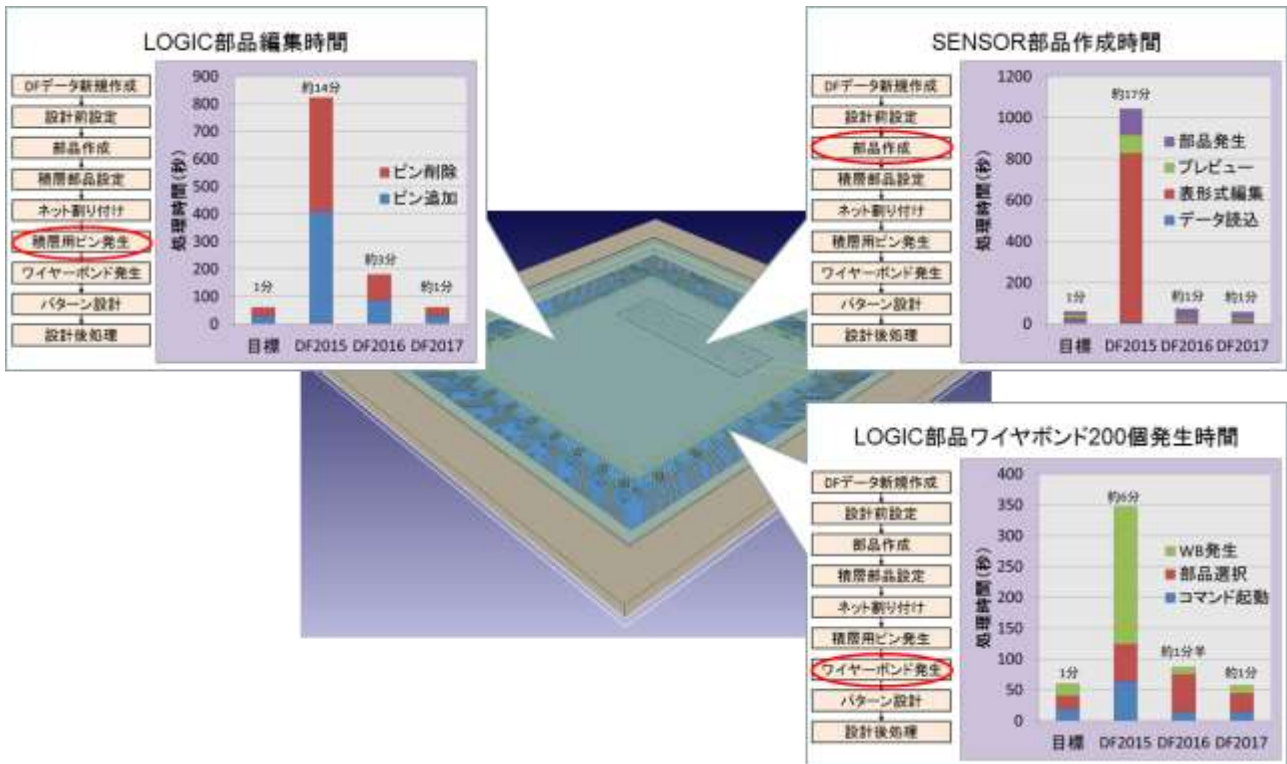
基板設計ツールでは、500×600mm など大きな基板データを扱うため、少しでも高速に表示ができるようにチューニングされていた。それに対して、三次元積層 IC の設計データはナノメートルレベルとけた違いに小さいため、双方の表示を乱れなく高速に表示させるには調整が必要となった（図Ⅲ-2.1.3-32）。



図Ⅲ-2.1.3-32 改善前後の IC 設計データの表示状態

■パフォーマンス向上

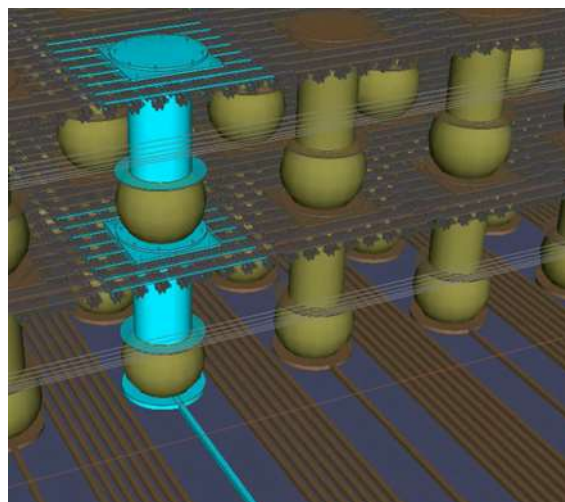
今回目標とする三次元積層 IC とパッケージモチーフ構造では、TSV が約 5 万本と想定している。このため、基板設計ツールで一般的に扱っているデータ量の 1,000~10,000 倍以上のデータを扱うこととなる。よって、統合設計ツールにはパフォーマンス向上が求められるため、プログラムの細部まで見直し、チューニングを行った。図Ⅲ-2.1.3-33 はパフォーマンス向上の一例である。



図Ⅲ-2.1.3-33 統合設計ツールのパフォーマンス向上例

■ TSV を含むシステムネットのハイライト機能

三次元積層 IC を設計する場合、パッケージと IC チップ、上下層チップ間でどのような接続になっているかネット単位でネットハイライト表示を行う機能は有効である。従来のハイライト機能を拡張し、TSV を経由したシステムネットのハイライト機能、さらにネット名指定ではなく、オブジェクト指定によるハイライト機能に対応した (図Ⅲ-2.1.3-34)。



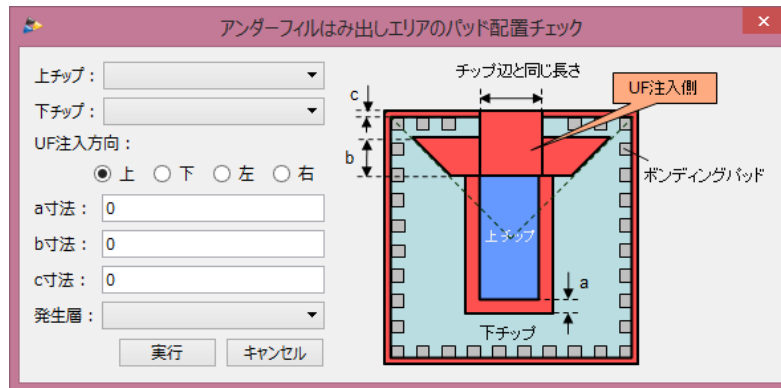
図Ⅲ-2.1.3-34 TSV を含むシステムネットのハイライト

■ アンダーフィルはみ出しエリアのパッド配置チェック

三次元積層 IC を設計するとき、電気的接続以外にもモノづくりを考慮した MRC (Manufacturing Rule Check) は重要である。ここでは IC チップを積層した後にアンダーフィルを注入、その後ワイヤボンディングする工程において、アンダーフィル塗布エリアにワ

イヤボンディング用のパッドが配置されていないか自動チェックするしくみについて説明する（図Ⅲ-2.1.3-35）。

製造現場から設計ルールを入手し、ダイアログで示される各寸法を入力することで、禁止エリアを自動発生し、禁止エリア内にパッドが配置されていないか自動チェックするしくみである。



図Ⅲ-2.1.3-35 アンダーフィルはみ出しチェックのダイアログ

1-5) 開発結果

従来のパッケージ設計フロー（図Ⅲ-2.1.3-36）に対して、三次元積層 IC とパッケージ+基板の構造が扱える統合設計フロー（図Ⅲ-2.1.3-37）に対応した統合設計ツールを完成させた。統合設計フローを実現するための開発要件は 100 件を超えていたため、それぞれ優先順位を付けて要素技術開発をし、プロトタイプ評価を重ねて作り上げた（表Ⅲ-2.1.3-2）。統合設計フロー中に赤字で示したものは、従来の機能に対して新しく機能開発したもの、または従来機能を大幅に拡張して使いやすくしたり、アルゴリズムを見直して高速処理化したものである。

この統合設計ツールを使うことにより三次元積層 IC 設計における LVS/DRC、三次元積層 IC を用いたパッケージの熱応力設計が可能である。また、三次元積層 IC の構想設計における効率改善が期待できるため、設計初期段階における構想設計や解析による妥当性の確認、チップ/パッケージ/基板の条件を考慮した協調設計、低コストで信頼性の高い最適解を見つけることが可能である。なお、プロジェクト開始前の設計フローでは手作業だった工程を機能開発して自動化することにより、工数削減目標を達成した（表Ⅲ-2.1.3-3）。



図III-2.1.3-36 パッケージ設計フロー



図III-2.1.3-37 統合設計フロー

表III-2.1.3-2 開発した件数

カテゴリー	件数
新機能・機能拡張	90
操作性改善	46
パフォーマンス改善	9
データベース拡張	3

表III-2.1.3-3 自動化により工数削減目標を達成

〔測距センサの例: TSV5万本@2チップ積層〕

設計工程	従来	成果
①LSIデータ取込み	192H	8H
②接続検証	192H	5H
③解析モデル生成	336H	11H
合計	720H	24H

■専用メニュー

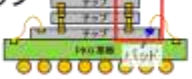


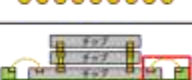
経験豊富なベテラン設計者以外でも使えるように、設計フローにそって必要な機能ボタンを配置した専用メニューを作成した（図III-2.1.3-38）。専用メニューには設計支援機能として、三次元積層 IC やパッケージの個別の製造性をチェックするための MRC (Manufacturing Rule Check) 機能、操作手順もその場で参照できるようにボタン配置した。なお、この専用メニューは設計者自身で簡単に追加・編集が可能な仕様であるため、扱う製品の特長やプロジェクトごとに最適な専用メニューとして運用することが可能である。



図Ⅲ-2.1.3-38 三次元積層設計専用メニュー

■ベンチマーク

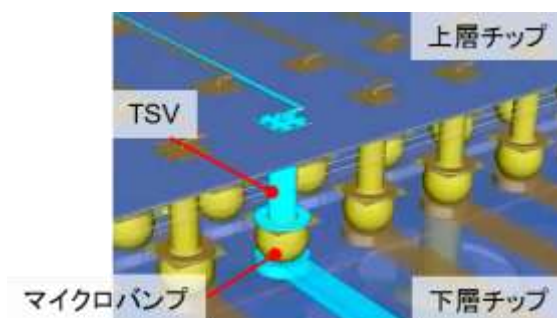
開発した統合設計ツールが市場で競争力があるかどうか、第三者にベンチマーク調査を依頼したので、その結果の一部を示す（図Ⅲ-2.1.3-39、表Ⅲ-2.1.3-4）。市場で採用されている 23 種類の三次元積層構造について、TSV の有無、実装構造の特徴、設計時の課題、設計に必要な機能、そして他社ツールでの対応状況である。当初、ベースとした基板設計ツールもほぼ互角で機能不足であったが、本研究開発により満足できるレベルに達し、設計効率化に大きな効果があった。比較検討した他社ツールは基板設計データを IC 設計ツール側に取り込む方向での対応が多く、三次元積層 IC における上下の接続検証や可視化（図Ⅲ-2.1.3-40）、解析モデル自動生成などの機能はなかった。「チップ積層化」については、三次元表示による可視化が特に必要な要件であるため、基板設計ツールでの対応が良い評価となった。

構造	必要機能	開発品	ベンチマーク対象
①TSVを介して上下のチップを接続 	・パッド⇔μバンプ⇔TSV間の接続の確立 ・上記接続のDRC/LVS	○	×
②すべてのチップをTSVで接続 	・μバンプ⇔TSV⇔μバンプ間の接続の確立 ・上記接続のDRC/LVS	○	×
③シリコンインターポーザを用いた3D/2.5Dパッケージ 	・シリコン・インターポーザの設計ルールに対応した設計機能	○	△ 配線検討レベル。製造可能なデータではない
④TSVを用いたチップスタック型キャビティ有りパッケージ基板 	・キャビティ対応のワイヤーボンド ・キャビティ縁とチップ縁のDRC	○	×

図Ⅲ-2.1.3-39 三次元積層構造で設計ツールの対応を検証

表Ⅲ-2.1.3-4 三次元積層 IC における上下の接続ネットの可視化

		開発品	A社	B社	C社
半導体設計ツール	パッケージ/ボードの接続情報を半導体設計ツールにインポート	—	○	○	○
	パッケージ/ボードの寄生パラメータを半導体設計ツールにインポート	—	○	○	○
	パッケージ/ボードのSパラメータを半導体設計ツールにインポート	—	○	—	○
	パッケージ/ボードのレイアウト情報を半導体設計ツールにインポート	—	—	○	—
基板設計ツール	パッケージ/ボードの接続情報を半導体設計ツールにエクスポート	△	○	○	—
	パッケージ/ボードの寄生パラメータを半導体設計ツールにエクスポート	○	○	○	—
	パッケージ/ボードのSパラメータを半導体設計ツールにエクスポート	○	○	—	—
	パッケージ/ボードのレイアウト情報を半導体設計ツールにエクスポート	○	△	○	—
	チップレイアウト情報をパッケージ/ボードツールにインポート	○	△	—	—
	チップレイアウト情報取込み時にアレイビアの復元機能	○	—	—	—
	チップ/パッケージ/ボードのレイアウト統合表示	○	—	—	—
	チップ/パッケージ/ボードのレイアウト統合三次元表示	○	—	—	—
	チップ/パッケージ/ボードのシステムネットハイライト	○	—	—	—
	チップ/パッケージ/ボードのLVSの実行	○	—	—	—
	チップ/パッケージ/ボードの統合DRC	○	—	—	—
	チップ/パッケージ/ボードの統合MRC	○	—	—	—
	チップ/パッケージ/ボードの積層データから解析モデルを自動出力	○	—	—	—
	チップ/パッケージ/ボードの解析モデルの詳細化/簡易化出力対応	○	—	—	—
	チップ/パッケージ/ボードの三次元統合設計環境メニューによる使いやすさ	○	—	—	—
	チップ/パッケージ/ボードのフロアプラン/構想設計機能	○	—	—	—
	チップ/パッケージ/ボードの断面表示機能	○	—	—	—



図Ⅲ-2.1.3-40 三次元積層 IC における上下の接続ネットの可視化

2) TSV-PDK 開発

■前提条件

本プロジェクトで開発するセンサモジュールの概要について述べる。

上層チップはセンサ素子を配置したもので、180nm プロセスにより試作する。センサ素子の出力信号を下層チップに伝送するために TSV を形成する。下層チップは、センサ信号の読出し回路と処理回路を搭載し、65nm プロセスで試作する。下層チップの表面には、TSV から伝送された信号を受けるためのマイクロバンプを形成する。

180nm プロセスと 65nm プロセスのチップは、それぞれのファウンドリメーカーで製造し、TSV とマイクロバンプは本プロジェクトのプロセスにて加工する。

上層チップのセンサと下層チップの読み出し回路とを TSV で接続した構成を 1 画素分として、これをアレイ状に配置する。TSV は、この他に電源、グラウンド、制御線用の TSV を加えて総計で約 5 万個になる。センサアレイ部の TSV を通過する信号の遅延時間ばらつきが測距センサの距離精度に大きく影響するため、この部分はアナログ回路として取り扱う。また、TSV はあらかじめ決められた位置に、人手により配置する。このように、TSV を用いる回路には論理合成ツールや自動配置配線ツール等の自動設計ツールは使用しないため、自動化ツールの TSV への対応は、今回は開発の対象外とする。

使用する IC 設計ツールを表Ⅲ-2.1.3-5 に示す。

この前提条件のもとで、IC 設計に必要となる TSV-PDK を開発して IC 設計環境を構築する。

表Ⅲ-2.1.3-5 使用する IC 設計ツール

ツール名	ツールベンダ	製品名(略称)	バージョン
回路図エディタ	Cadence	Virtuoso Schematic Editor (VSE)	IC6.1.5-64b.500.17
シミュレーション環境設定ツール	Cadence	Virtuoso Analog Design Environment (ADE)	
回路シミュレータ	Cadence	Virtuoso Spectre	
レイアウトエディタ	Cadence	Virtuoso Layout Suite (VLS)	
レイアウト検証ツール	Cadence	Assura Design Rule Checker (AssuraDRC)	41USR4_OA615
	Cadence	Assura Layout Versus Schematic (AssuraLVS)	
	Mentor	Calibre nmDRC	2011.2.27.20
	Mentor	Calibre nmLVS	
寄生抽出	Cadence	QRC Extraction	EXT14.20.000

■PDK の全体像

PDK (Process Design Kit) とは、特定の半導体プロセスで IC 設計するために使用するファイル群一式のことである。本プロジェクトでは、TSV とマイクロバンプ (uBUMP) 用の PDK を開発した (表Ⅲ-2.1.3-6)。

TSV-PDK はファウンドリメーカーから提供される 180nm プロセス用 PDK と組み合わせて使用し、また、uBUMP-PDK は 65nm プロセス用 PDK と組み合わせて使用する。

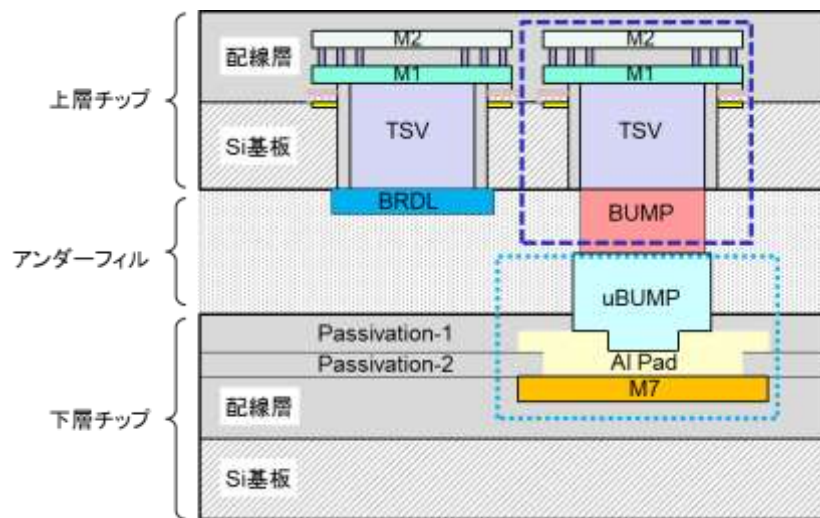
表Ⅲ-2.1.3-6 TSV とマイクロバンプの PDK

項目	データ	内容
TSV-PDK (180nmプロセス)	TSVセル	TSVのシンボル、等価回路モデル、レイアウト (PCELL:パラメタライズされたセル)など
	TSV SPICEモデル暫定版	Q3Dによって作成したSPICEモデル
	レイヤマップファイル	TSV、BUMP、RDLのレイヤを定義
	TSV用 LVSルールファイル一式	既存のLVSルールにTSVレイヤを追記
	TSV用 DRCルールファイル一式	設計基準に従い作成したDRCルール
	エラーコード一覧表	DRCルールに記述されたエラーリスト
	QRC用テクノロジファイル一式	TSVを含む寄生抽出のためのルール
uBUMP-PDK (65nmプロセス)	uBUMPセル	uBUMPを含むuPADセルを作成
	レイヤマップファイル	uBUMPレイヤを定義
	uBUMP用 LVSルールファイル一式	既存のLVSルールにuBUMPレイヤを追記
	uBUMP用 DRCルールファイル一式	設計基準に従い作成したDRCルール
	エラーコード一覧表	DRCルールに記述されたエラーリスト
ユーティリティ	ネットリスト生成プログラム	マルチテクノロジシミュレーション対応

■レイヤマップ

ウェハプロセスと TSV 加工を異なるメーカーで製造するため、使用するレイヤに制約事項が生じる。この他にも IC 設計ツールによる制約事項もある。そこで、図Ⅲ-2.1.3-41 の積層 IC に対して、以下に示す制約を考慮して上層チップの TSV レイアウトのレイヤを定義した（表Ⅲ-2.1.3-7）。

- ・ TSV 導体（レイヤ名：TSV）、バンプ（レイヤ名：BUMP）、再配線層（レイヤ名：BRDL）の 3 レイヤを重複しないよう定義
- ・ IC 設計ツールの制約：システム定義レイヤと重複するため、レイヤ番号 195～255 は使用禁止
- ・ ファウンドリメーカー支給の PDK の制約：ウェハプロセス用のレイヤ定義と重複するため、0～194 は使用禁止



図Ⅲ-2.1.3-41 積層 IC の断面構造

表Ⅲ-2.1.3-7 上層チップの追加レイヤ

	Virtuoso		GDS	
	LAYER NAME	purpose	LAYER NUMBER	DATA TYPE
1	TSV	drawing	1000	0
2	BUMP	drawing	1001	0
3	BUMP	label	1001	7
4	BUMP	pin	1001	19
5	BRDL	drawing	1002	0
6	BRDL	label	1002	7
7	BRDL	pin	1002	19

表Ⅲ-2.1.3-8 下層チップの追加レイヤ

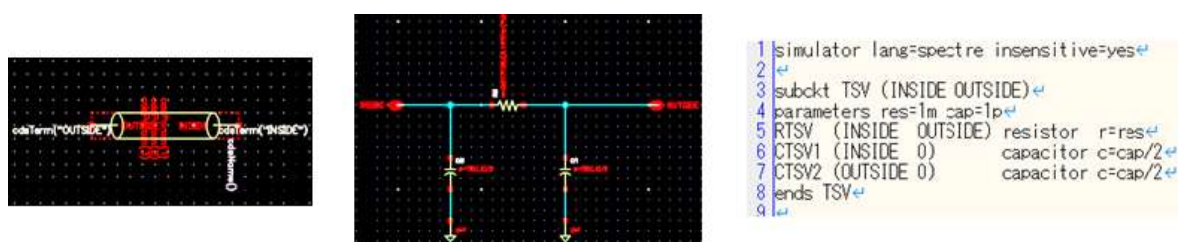
	Virtuoso		GDS	
	LAYER NAME	purpose	LAYER NUMBER	DATA TYPE
1	uBUMP	drawing	1003	0
2	uBUMP	pin	1004	0

同様に、下層チップのマイクロバンプのレイヤを定義した（表Ⅲ-2.1.3-8）。下層チップのファウンドリ（65nm プロセス）提供の PDK に合わせて、pin は単独のレイヤ番号を割り当てた。

■ TSV セル

TSV デザインルールを基にケイデンス社 Virtuoso 用の TSV セルを開発した。これにより、設計者は TSV をセルとして取り扱うことができ、TSV のサイズ等のパラメータを設定してシミュレーションを実行できる。また、パラメータにしたがって TSV セルのレイアウトを自動発生する。以下にその概要を記す (図Ⅲ-2. 1. 3-42)。

- ・シンボル：TSV 形状を模した、円柱状のシンボルを作成
- ・等価回路モデル：広く用いられている π 形モデルを作成
- ・回路シミュレーションモデル：上記の等価回路を Spectre 形式 (.lib) で記述したモデルライブラリを作成
- ・レイアウト：Virtuoso のスクリプト言語 SKILL を用いて PCELL (パラメータ化されたセル) を作成。入力パラメータ (表Ⅲ-2. 1. 3-9) にしたがって TSV セルのレイアウトを自動発生する (図Ⅲ-2. 1. 3-43)。



(a) シンボル

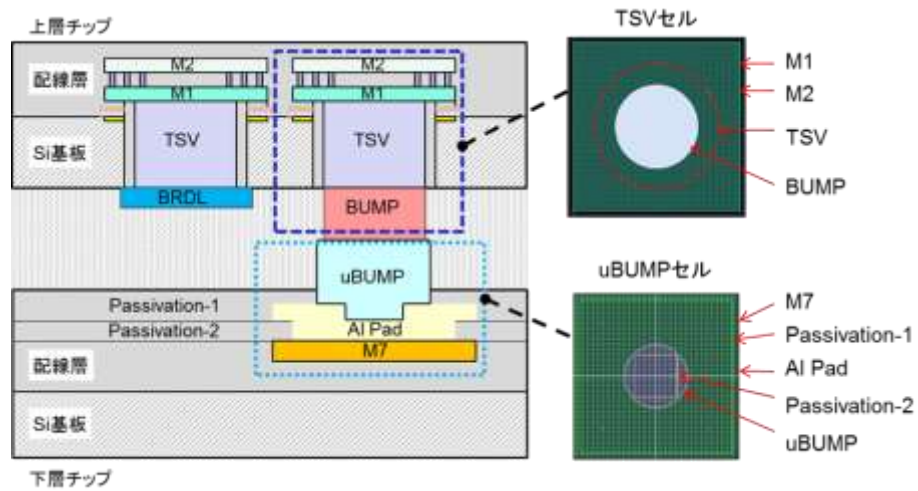
(b) 等価回路モデル

(c) 回路シミュレーションモデル

図Ⅲ-2. 1. 3-42 TSV セル

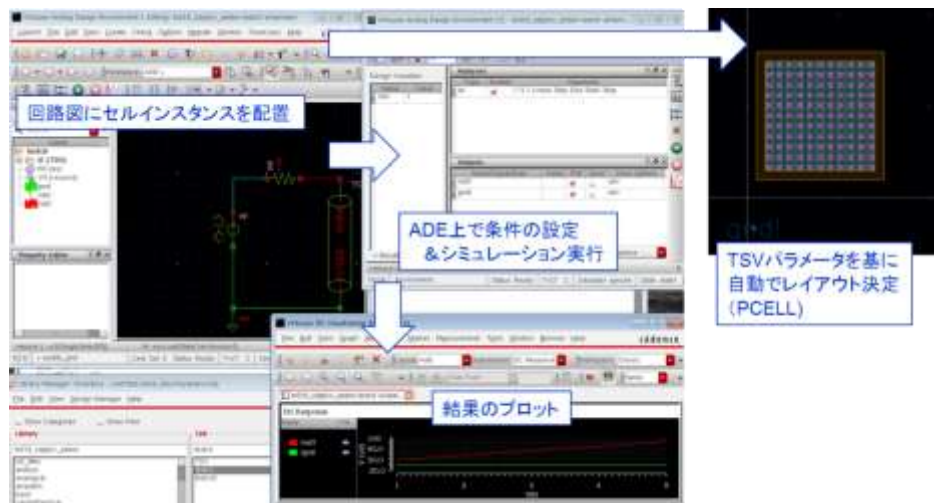
表Ⅲ-2. 1. 3-9 PCELL のパラメータ

変数名	初期値	説明
tsvradius	3.0u	TSVの半径
sw_v2	ON	TSV上のメタル(M1,M2)領域にV2を発生
sw_brdl	ON	BRDLを発生
nsxl	0.22u	TSV上のACTIVEからSalicide Blockの距離
brdl	10.0u	BRDLの幅
xp_aa_ol	0.02u	TSV上のACTIVEからP+の距離
sw_bump	ON	BUMPを発生
tap	ON	リング形状のTAPを発生
ringwidth	1.0u	リング形状のTAP幅
ringspace	1.2u	TSV上のメタル(M1,M2)からTAPの距離
aa	1.0u	TSVからACTIVEの距離
bump	1.0u	TSVからBUMPの距離
metalsize	1.0u	TSVからメタル(M1,M2)の距離



図III-2.1.3-43 TSVセルのレイアウト

回路図エディタ上でセルインスタンスを配置し、TSV 込みのシミュレーションが可能な環境が整った。また、TSV レイアウトが自動発生する仕組みも完成した（図III-2.1.3-44）。



図III-2.1.3-44 回路図エディタ入力から TSV セルレイアウトの生成まで

■ レイアウト検証 (DRC/LVS) ルールコード

TSV とマイクロバンプに対応した DRC ルールコードを作成した。

ファウンドリ提供の DRC ルールファイルとは独立して使用して、ファウンドリの DRC ルールではサポートしていない項目のみ実装する。デザインルールの”値”は変数化し、値を変更可能とする（表III-2.1.3-10）。

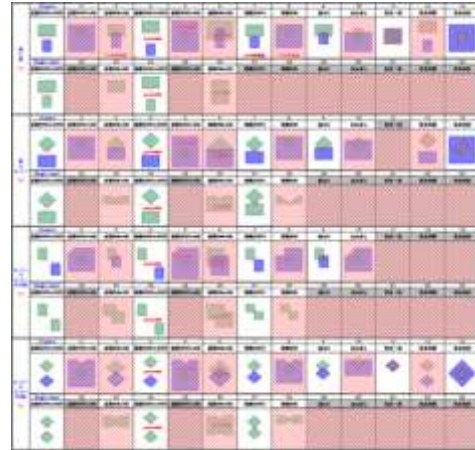
TSV と無関係なパターンに対する擬似エラーを抑制するために、TSV 領域を 9.0um 拡大した領域を TSV_AREA と定義して、TSV_AREA 外の Metal は検証対象外とする。

作成した DRC ルールコードについて、レイアウトパターンを作成し（図III-2.1.3-45）、幅チェックコマンド (INT)、間隔チェックコマンド (EXT)、マージンチェックコマンド (ENC) が正しく動作することを確認した。

表Ⅲ-2.1.3-10 デザインルールの変数

PAR_A1	TSV Width	20.0um
PAR_A2	TSV-Active Min Enclose	3.0um
PAR_B1	METAL Min Width	26.0um
PAR_B4	MI(TSV)-MI(TAP) Min Space	3.0um
PAR_B5	MI(TAP) Min Width	3.0um
PAR_B12	CS Width	0.22um
PAR_E1	BUMP Width	16.0um
PAR_F1	TSV-DEVICE Min Space	30.0um
PAR_G1	TSV Min Space	30.0um
PAR_G2	TSV Max Space	100.0um
PAR_H1	Prohibition Area	100.0um

間隔チェック



図Ⅲ-2.1.3-45 検証用パターン

LVS ルールコードは、ファウンドリから提供されるコードを流用し、TSV 検証に必要なレイヤ定義と接続定義を追加して作成する。IFDEF 文を使用し” TSV” が定義されていた場合に追記した情報を読み込む仕組みとする。

ファウンドリ提供の LVS ルールコードに、TSV、BUMP および BUMP 用ラベルを接続レイヤに登録し、BUMP を端子とする回路ネットワークに対応させる。

IFDEF 文を使用して、” TSV” が定義されていた場合に追記した情報を読み込む。スイッチ” TSV” を有効化することで TSV 対応の LVS に、スイッチ” TSV” を無効化することでファウンドリ提供の標準 LVS に切り替わるようにする。LVS 実行方法はファウンドリの検証環境に準拠する。

デバッグ用データを作成して、下記 2 点の観点で、回路図とレイアウトのコンペアを実施した。

- BUMP_pin (L60 D244) が端子テキストとして認識されているか
- ルールコードで追加した BUMP、メタル間が TSV を介して接続されているか

これにより、作成した LVS ルールコードに問題ないことを確認した。

■マルチテクノロジーシミュレーション

三次元積層 IC は、異なるテクノロジー (180nm プロセスと 65nm プロセス) のチップを積層するため、三次元 IC 設計環境において異なるプロセス間のシミュレーションへの対応が必要である。

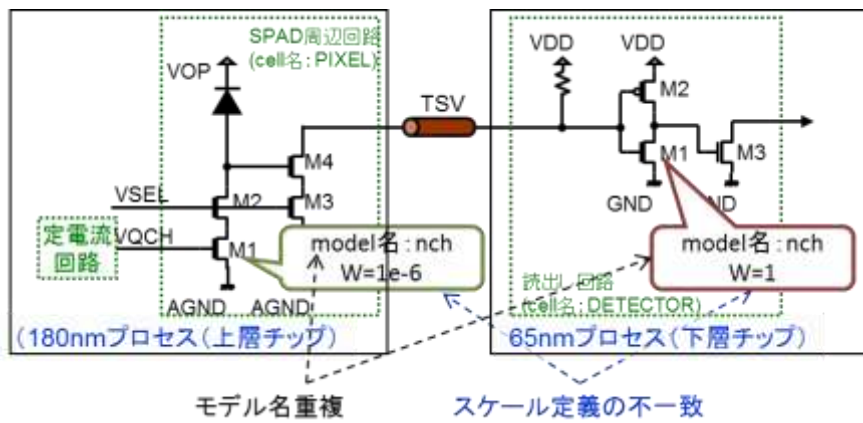
異なるプロセス間のシミュレーションでは、モデル名の重複やスケール定義の不一致によりシミュレーションを実行できないため (図Ⅲ-2.1.3-46)、ネットリストを手動で書き換え、include 文を subckt 内に記述するといった修正が必要であり、設計効率が悪かった。

そこで、設計ツール ADE-L (ケイデンス社) からマルチテクノロジーシミュレーションの自動実行できるよう、以下の要領で自動化のプログラムを開発した。

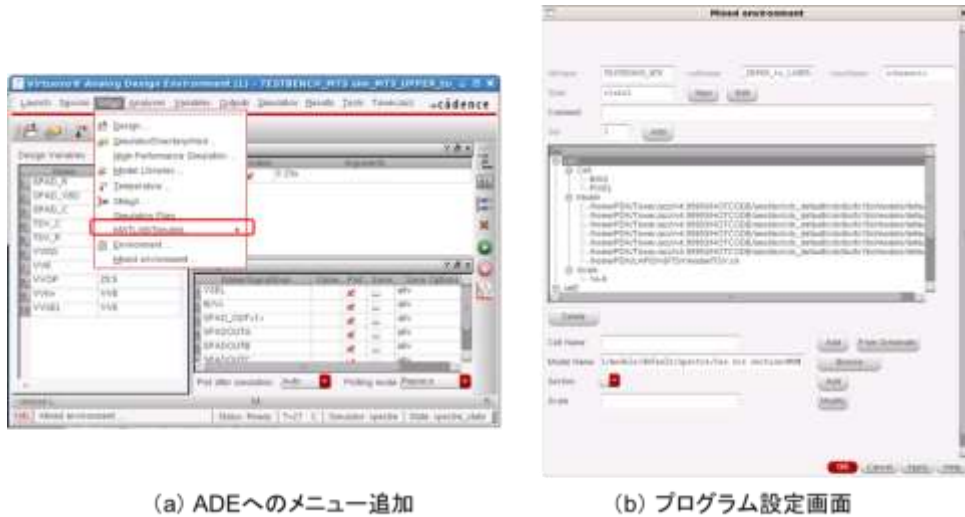
- SKILL 言語により、自動でネットリストを書き換えるプログラムを作成
- ADE-L に追加したプルダウンメニューからプログラム起動を確認 (図Ⅲ-2.1.3-47)
- 準備したテストベンチ回路 (図Ⅲ-2.1.3-48) により、ネットリストが書き換わることを確認

以上により、検証環境ツールの GUI からマルチテクノロジーシミュレーションを実行できる環境

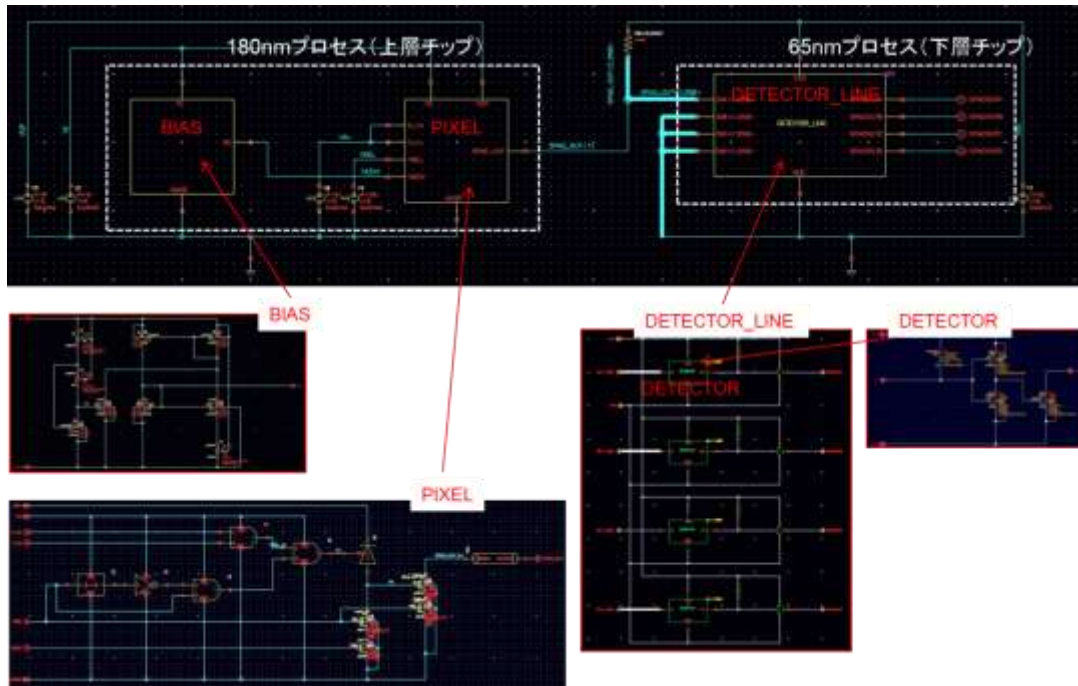
を構築した。



図III-2. 1. 3-46 三次元積層 IC シミュレーションの課題



図III-2. 1. 3-47 GUI からのプログラム起動



図III-2.1.3-48 ネットリスト書き換えの確認

3) 三次元積層 IC 設計フローの構築

開発した統合設計ツールと TSV-PDK を用いて三次元積層 IC を効率よく設計するための設計フローを構築し、製品と同等規模の検証用データを用いて検証した。その結果を以下に述べる。

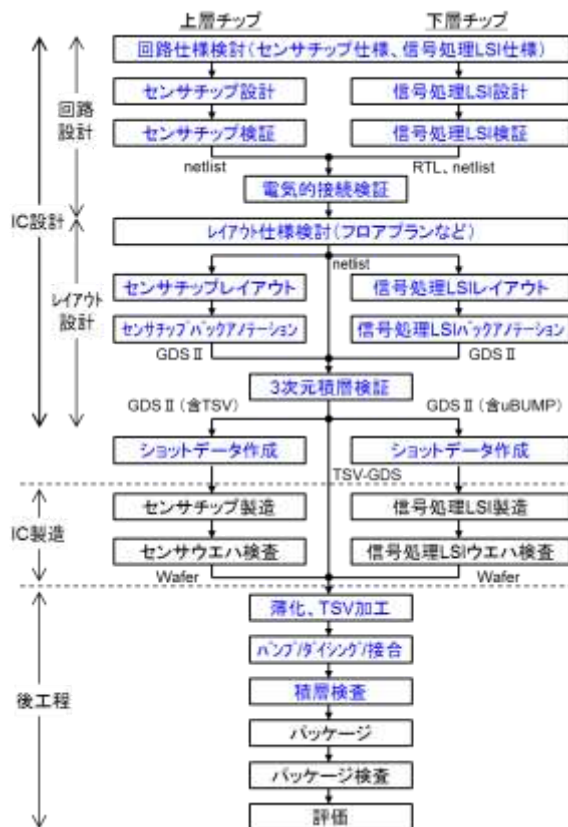
3-1) TSV 対応 IC 設計フロー

■設計フローの構築

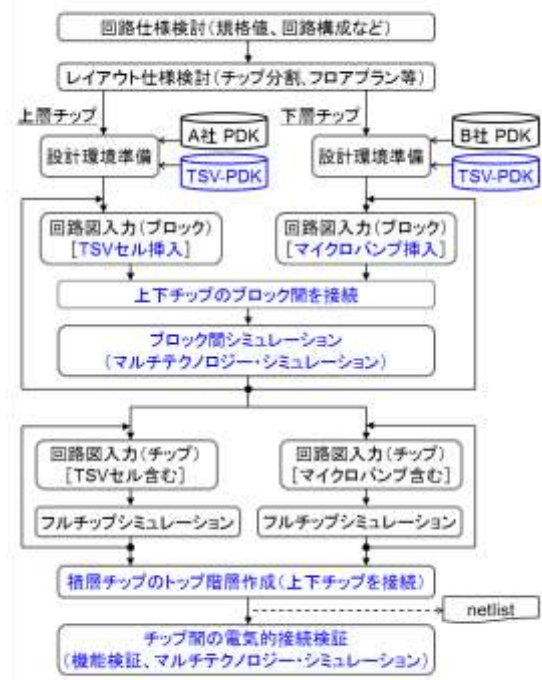
TSV を用いた IC 設計は、以下の点で従来手法と異なる。

- ・異なる半導体プロセスが混在する。(本プロジェクトでは、上層チップに 180nm プロセス、下層チップに 65nm プロセスを採用)
- ・積層チップに多数の I/O が存在する (I/O 数は約 5 万個)
- ・TSV を通して電源供給と信号伝送を行う
- ・複数の会社間で設計データの授受が発生する

全体フローを図III-2.1.3-49 に示す。従来の設計手法と異なる部分を図中に青字で記す。このセンサモジュールでは、TSV を使用する回路ブロックは自動設計ツールを用いず人手で設計することを想定している。TSV 未使用のデジタル回路には従来の設計手法を適用する。



図III-2.1.3-49 全体設計フロー



図III-2.1.3-50 LSIの回路設計フロー

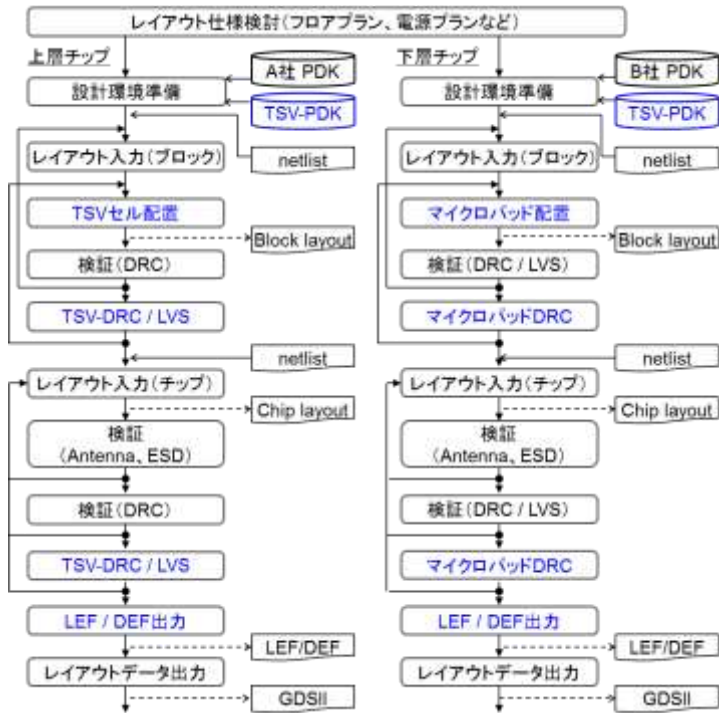
回路設計の工程（図III-2.1.3-50）では、まず TSV-PDK を読み込む。ここでは、TSV-PDK を任意のディレクトリに格納した後、テクノロジライブラリのパス設定、検証ルールコードのパッチ適用、レイアウトデータ表示のカラー設定を実施する。また、複数のテクノロジ混在による、モデル名の重複やスケール定義の不一致等の問題を回避するため、マルチテクノロジシミュレーションの設定を行う。

回路ブロックの回路図入力において、TSV を用いて接続する部分に TSV セル（上層チップ）、マイクロバンプ（下層チップ）のシンボルを挿入して、上層チップと下層チップを接続した回路ブロックを作成する。この回路ブロックには複数のテクノロジ（180nm ルールと 65nm ルール）が混在するため、マルチテクノロジシミュレーションを適用する。

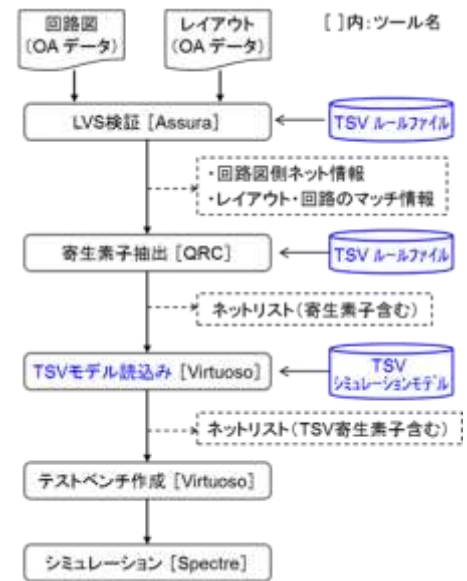
レイアウト設計フローを図III-2.1.3-51 に示す。対象とするセンサモジュールは、上層チップと下層チップを約 5 万個の TSV で接続する。これらの TSV は各チップの入出力端子（I/O）に相当し、5 万個の TSV すべてに端子名を付加する必要がある。そこで、多数の端子名を入力する際にミスの混入を防ぐために、端子名を自動生成するプログラムを作成した。

なお、統合設計ツールにおいて積層 IC 間の DRC/LVS 検証を実行する際、使用するレイアウトデータに下記の制約があるため、レイアウト設計時、あるいはレイアウトデータのエクスポート時に対応しておく必要がある。

- ・全配線にネット名が付与されていること
- ・全バンプにピン図形とラベルが配置されていること
- ・トップセルのセル枠に特定のレイヤが必要



図Ⅲ-2.1.3-51 LSI レイアウト設計フロー

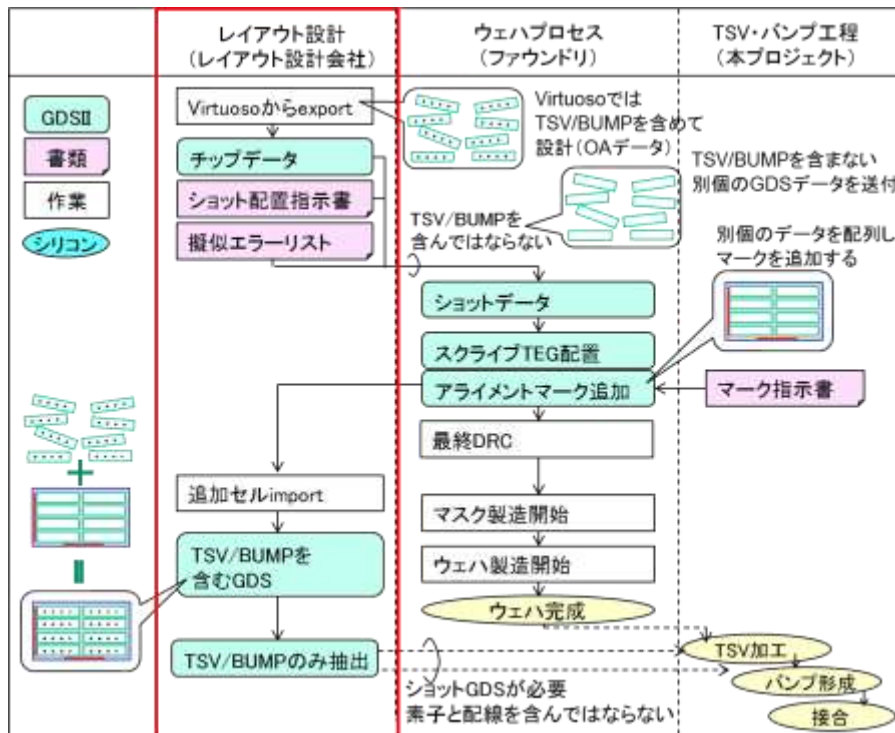


図Ⅲ-2.1.3-52 寄生素子抽出フロー

次に、TSV を使用した IC の DRC/LVS の手順について述べる。DRC の検証品質を確保するため、まずファウンドリメーカーから提供された DRC ルールコードを用いて実行し、次に TSV-PDK の DRC ルールコードを用いて実行する。LVS においては、ファウンドリメーカーから提供された LVS ルールヘッダと TSV-PDK の LVS ルールコードを用いて実行する。

寄生素子抽出のフローと使用するツールを図Ⅲ-2.1.3-52 に示す。TSV セル内の寄生素子は TSV セルの SPICE モデルとして PDK に含まれている。したがって、IC 設計データの寄生素子抽出では、TSV セル内の寄生素子を抽出しないようブロックの指定をする。

寄生素子シミュレーションは、上層チップの PDK (ファウンドリ提供) と TSV-PDK とのマルチテクノロジーシミュレーションを実施する。



図III-2.1.3-53 テープアウトの手順

■テープアウト手順

TSV データを含む上層チップのデータをテープアウトする際、TSV 系レイヤを含む全データ GDS II データと、ファウンドリメーカー向け GDS II データ、TSV 加工向け GDS データの 3 種類を作成する必要がある。

全データ GDS とファウンドリメーカー向け GDS II との間で LVL (Layout versus Layout) 検証を実行して、データ差分が TSV 系レイヤのみであることを確認する。また、全データ GDS と TSV 加工向け GDS では、LVL 検証にてデータ差分がファウンドリメーカーのレイヤのみであることを確認する。

バンプレイヤを含む下層チップのデータをテープアウトする際も同様の手順を行う。

■ショットデータ作成の手順

テープアウトからウェハ後工程までのデータの流れを図III-2.1.3-53 に示す。設計、前工程のファウンドリ、後工程のメーカー間でマスクデータの授受が発生する。

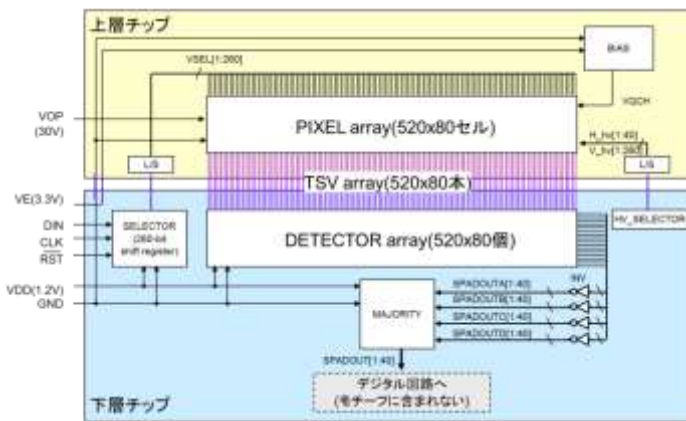
ファウンドリメーカーから入手したショットデータ GDS II に TSV、バンプレイヤを追加した状態のショットデータを作成する。このショットデータは GDS II 形式であり、TSV レイヤ、バンプレイヤ、後工程用アライメントマークが含まれている。

■設計フローの検証

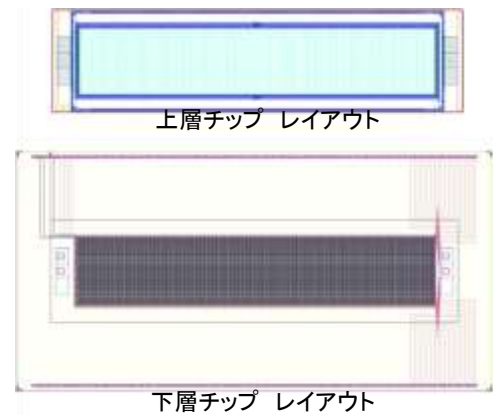
三次元積層 IC 設計フロー、および、TSV・マイクロバンパと他社 PDK との連携を確認するため、本プロジェクトで開発した TSV-PDK、uBUMP-PDK (マイクロバンパの PDK) を使用してモチーフ仕様通りに回路・レイアウト設計ができるかを検証した。

フロー検証に用いた回路を図III-2.1.3-54 に、そのレイアウトを図III-2.1.3-55 に示す。開発品に搭載される予定の 520×80 の SPAD アレイと読み出し回路の仕様を以下の条件にて作成した。

- ・本プロジェクトで開発した TSV・マイクロバンプの PDK とファウンドリが提供する PDK との連携を検証するため、上下層チップを跨る回路のみを作成。
- ・設計データにて回路動作検証、レイアウト検証、寄生抽出まで確認するため、シミュレーション実行可能な回路とし SPAD 素子は等価回路モデルで作成。
- ・開発品と同じプロセス（上層チップ：180nm プロセス、下層チップ：65nm プロセス）。
- ・PIXEL サイズは開発品と同じサイズ（520×80 画素）。



図Ⅲ-2. 1. 3-54 設計フロー検証に用いた回路



図Ⅲ-2. 1. 3-55 検証に用いたレイアウト

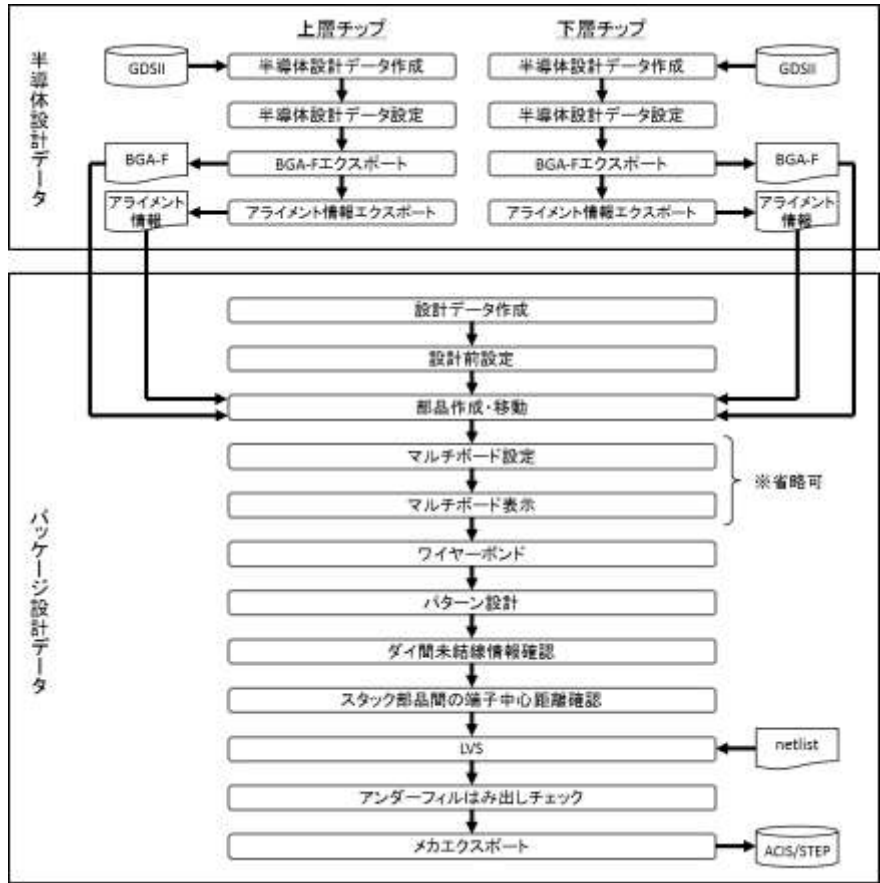
TSV とマイクロバンプを含む検証用回路を用いて、構築した IC 設計フローに問題ないことを確認した（表Ⅲ-2. 1. 3-11）。 また、この検証用回路を用いて TSV 目標仕様を策定した。

表Ⅲ-2. 1. 3-11 検証項目と結果

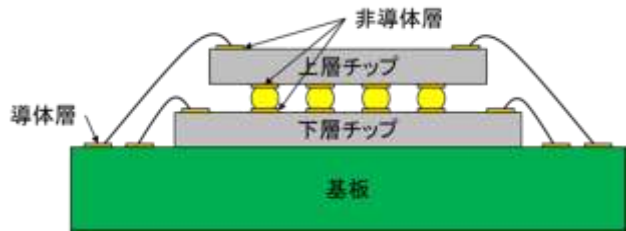
	検証項目	結果
上層チップ	ファウンドリ提供の設計環境にTSV-PDKをインストール	○
	TSVを含む回路図を入力し、回路シミュレーションを実行	○
	TSVを含むレイアウトを作成し、レイアウト検証を実行	○
	TSVを含むレイアウトから寄生素子を抽出	○
下層チップ	ファウンドリ提供の設計環境にuBUMP-PDKをインストール	○
	上下チップを接続した回路を作成し、マルチテクノロジーシミュレーションを実行	○
	マイクロバンプを含むレイアウトを作成し、レイアウト検証を実行	○

3-2) チップ積層パッケージ設計フロー

チップ積層パッケージ設計フローを図Ⅲ-2. 1. 3-56、モチーフ構造を図Ⅲ-2. 1. 3-57 に示す。一般的なパッケージ設計フローでは、半導体設計データは扱わず、チップの XY サイズと厚さ、パッケージと接続するワイヤボンディングパッドやマイクロバンプのパッド座標だけを扱う。統合設計ツールでは半導体設計データを取り込み、三次元表示して確認したり、上下層チップ間の接続確認をしたり、解析データを自動生成できることが大きな特長となる。



図Ⅲ-2.1.3-56 チップ積層パッケージ設計フロー



図Ⅲ-2.1.3-57 モチーフ構造

以下、チップ積層の手順を示す。

■ IC 設計データのインポート

1 : IC 設計データの読み込み

GDS II ファイル名、ライブラリ名、セル名、レイヤマップファイル、ピンマップファイル、テックファイル、マップスキルファイルなどを指定する。

2 : IC データの設定

読み込んだデータとサイズが一致しているか確認し、違いがあれば修正する。

3 : テクノロジ編集

各層間厚を実際の製造ルールに設定する。具体的な設定値は設計情報を参照する。ここで設定した値は三次元表示に反映される。

4 : IC の外部端子情報エクスポート

IC の外部端子情報をエクスポートする。IC の表裏両面にピンがある場合は表裏別々にエクスポートする必要がある。

5 : アライメント情報エクスポート

アライメントマークのセル名を指定して、そのセルの配置座標等の情報をエクスポートする。この情報を参考に、IC の位置合せを行いチップ積層する。

6 : パッケージ設計前準備

基板外形層とレイアウト領域層に、パッケージ外形を面データとして入力する。

7 : パッドスタック登録

パッケージ設計で使用する配線ビアやワイヤーボンドパッドをパッドスタック登録する。

8 : 設計条件編集

配線幅や配線クリアランス、使用するビアの仕様等、設計ルールに関する設定を行う。

9 : ボール部品作成

パッケージ基板のはんだボール部分を部品として作成する。

10 : 積層部品作成・移動

半導体設計データからエクスポートした IC の外部端子情報を元に積層部品を作成する。チップ積層する場合は電氣的に接続がある面の数だけ部品作成が必要である。なお、積層部品の部品厚さ、バンプ高さを設定し、アライメントマークを指定することで自動位置合わせを行うことも可能である。

11 : マルチボード設計

パッケージ設計で作成した積層チップ（ここでは IC 設計データが入る箱と外部端子を作成）に対して、1 項で取り込んだ IC 設計データをリンクする。なお、この時に IC 設計データが入る箱と IC 設計データのピン座標を比較して、同一座標にあるものを接続し、接続に矛盾がないかチェックできる。

12 : ワイヤボンド発生

ワイヤ形状等のプロファイル設定を行い、ワイヤボンドを発生する。ワイヤボンドを個別または一括で移動する。ワイヤのルールに問題がないかチェックする。

13 : パターン設計

デザインルールに従い、パッケージの配線設計を行う。自動ファンアウト、自動ファンイン、ネット交換、自動接続などの機能を使う。

14 : 積層チップ間未結線情報

積層チップ間結線が、論理ネット通りに結線されているかを確認する。結線の判定は上層チップ、下層チップのマイクロバンプ位置がずれていないか、ネット名に食い違いがないかで行う。

15 : パッケージ DRC の実行

パッケージの DRC を実行する。具体的な設定値は設計情報を参照する。

16 : LVS 実行

チップ積層部分について、回路図から出力した CDL データとチップ積層配置したパッケージ設計データを比較して、回路図どおりに接続しているかを確認する。

■積層部品作成・搭載位置合わせ

積層部品の作成および積層、積層位置合わせは作業の工程が多く、設計ツールの操作も複雑で難しい。そこで初心者でも積層部品作成・搭載位置合わせが簡単にできるカスタム機能を開発した。IC 設計データの取り込み時に「IC の外部端子情報ファイル (BGA-F)」、「製造時に位置合わせに使用するアライメント座標情報ファイル」を出力することで、簡単にチップ積層ができる。

カスタム機能は、専用のダイアログに以下の項目を設定して実行する。設定項目は多いが、自動設定や自動計算を行い、作業を極力容易にした (図Ⅲ-2.1.3-59)。

- ① カスタム機能からダイアログを開く
- ② チップ積層数を選択
- ③ 積層部品作成を新規で行うか選択
- ④ チップ積層がパッケージ基板の表層か内層か選択
- ⑤ IC 設計データから出力した BGA-F を設定
- ⑥ 積層部品間の接続層を指定
- ⑦ 積層部品の実装種別を選択 (フリップチップ/ワイヤーボンド)
- ⑧ 積層部品のフットプリント名を指定 (BGA-F から自動設定)
- ⑨ 積層部品のリファレンス名を設定 (BGA-F から自動設定)
- ⑩ 積層部品の部品厚を設定 (BGA-F から自動設定)
- ⑪ バンプ高さを設定 (BGA-F の値から自動計算)
- ⑫ 搭載位置合わせの設定 (アライメント座標データの値から自動配置)
- ⑬ アライメント座標データのファイル名を指定



図Ⅲ-2.1.3-59 積層部品作成・チップ積層・搭載位置合わせダイアログ

3-3) 解析ツールでのインポート

統合設計ツールにより自動生成した解析用モデルについて、解析ツールへのインポートを確認した。その結果を以下に述べる。

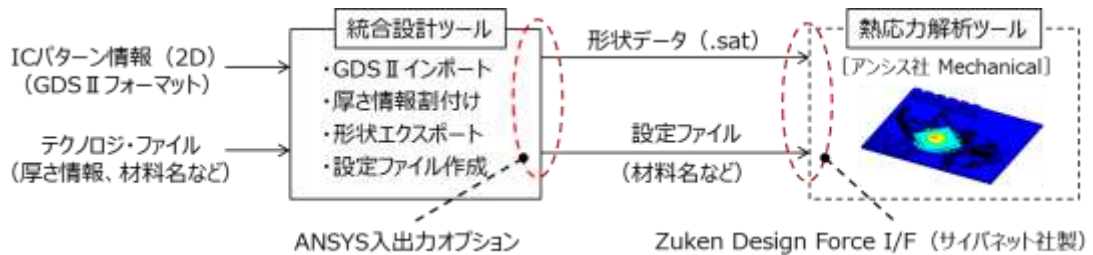
■熱応力解析ツール ANSYS Mechanical でのインポート

統合設計ツールへの IC データのインポートから、熱応力解析ツール Mechanical (アンシス社) への解析用モデルのインポートまでの一連の流れを図Ⅲ-2.1.3-60 に示す。統合設計ツールから形状データと材料情報をエクスポートする。形状データは、SAT 形式 (3D ソリッド形状のファイル形式の一種) で出力する。材料情報は、統合設計ツールの 'ANSYS 入出力オプショ

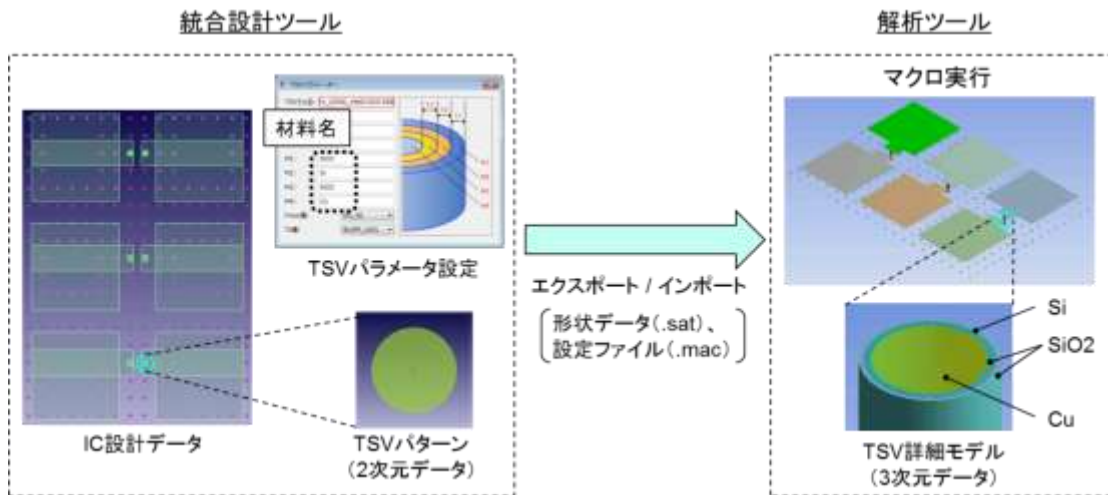
ン' により作成する ANSYS Mechanical マクロ用設定ファイルの中に記載される (図Ⅲ-2.1.3-26)。

ANSYS Mechanical 側で、まず形状データ (ファイル拡張子 .sat) をインポートし、次に、Zuken Design Force I/F (アンシス社) を使って設定ファイルを読み込み、マクロを適用する。

これにより各レイヤ、および TSV に材料情報が自動的に付加されることを確認した (図Ⅲ-2.1.3-61)。



図Ⅲ-2.1.3-60 Mechanical へのデータ出力



図Ⅲ-2.1.3-61 Mechanical への材料情報受渡し

■電磁界解析ツール HFSS でのインポート

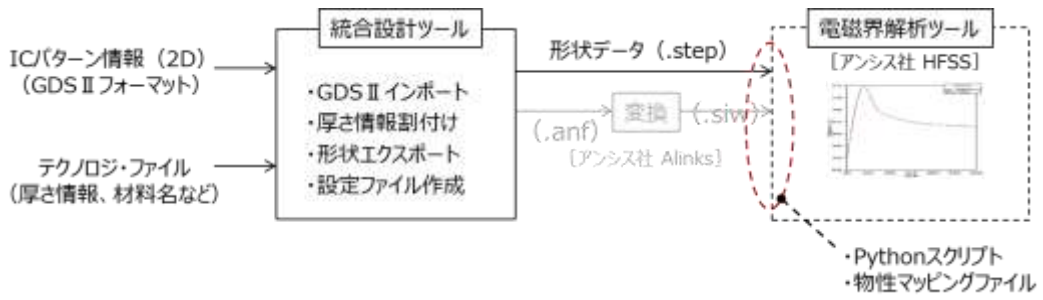
統合設計ツールへの IC データのインポートから、電磁界解析ツール HFSS (アンシス社) への解析用モデルのインポートまでの一連の流れを図Ⅲ-2.1.3-62 に示す。

電気系の解析ツールでは、ANF (Ansoft Neutral File) 形式が用いられることが多いが、調査の結果、ANF には以下の制約があることがわかった。

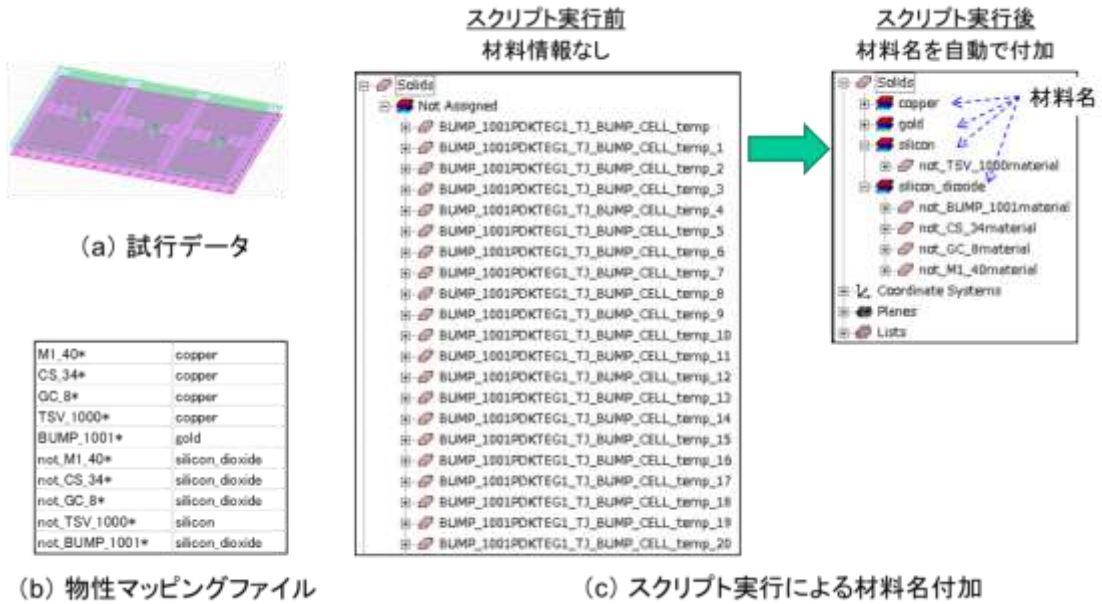
- ・パッド下のビアが接続領域として認識されない (ポリゴンとして認識)
- ・アレイビアを表現できない
- ・言語仕様が非公開のため、TSV の記述法が不明

そこで、形状データのフォーマットとして、STEP 形式 (機械設計データ、電子設計データ等で使用されるデータ形式の規格) を採用した。

材料情報については、物性マッピングファイル (レイヤと材料名とを対応付けた csv ファイル) と python スクリプトを作成し、HFSS 上でスクリプトを実行することで各オブジェクトに材料名が設定される (図Ⅲ-2.1.3-63)。



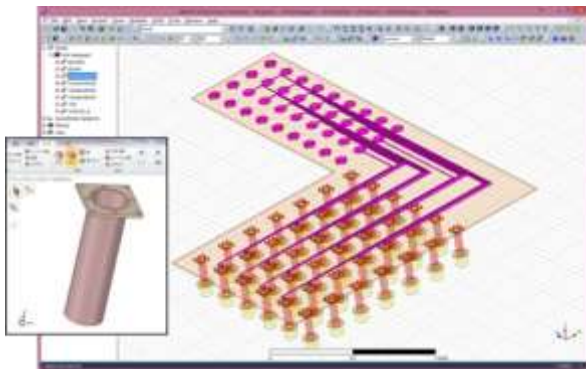
図III-2.1.3-62 HFSS へのデータ出力



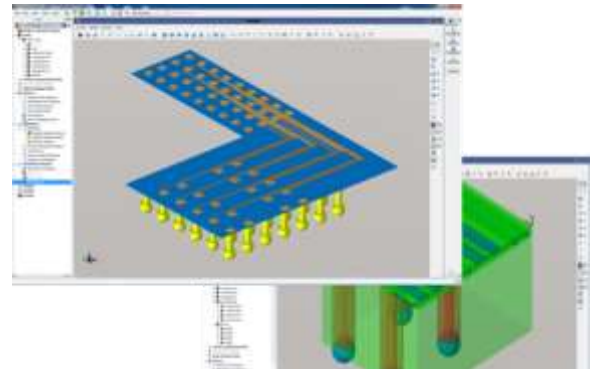
図III-2.1.3-63 HFSS への材料情報受渡し

■その他の電磁界解析ツールでのインポート

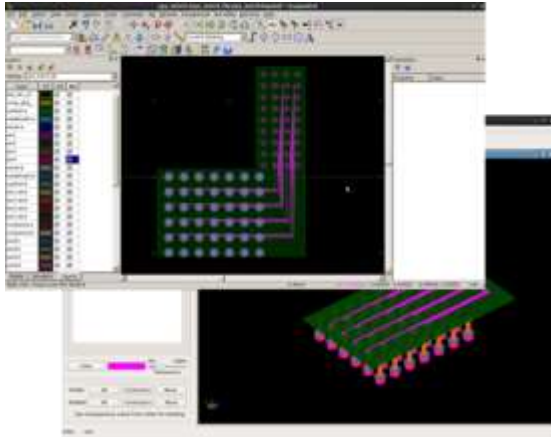
ANSYS Mechanical (アンシス社)、ANSYS HFSS (アンシス社) 以外のシミュレーションツールでのインポートに関しても評価を行った。図III-2.1.3-64 は ANSYS Q3D (アンシス社)、図III-2.1.3-65 は EMPro (キーサイト社)、図III-2.1.3-66 は ADS-Momentum (キーサイト社)、図III-2.1.3-67 は MW STUDIO (CST 社) でのインポート結果であり、図形として正しい形状で取り込みができていることを確認した。



図III-2.1.3-64 Q3D 読み込み結果



図III-2.1.3-65 EMPro 読み込み結果



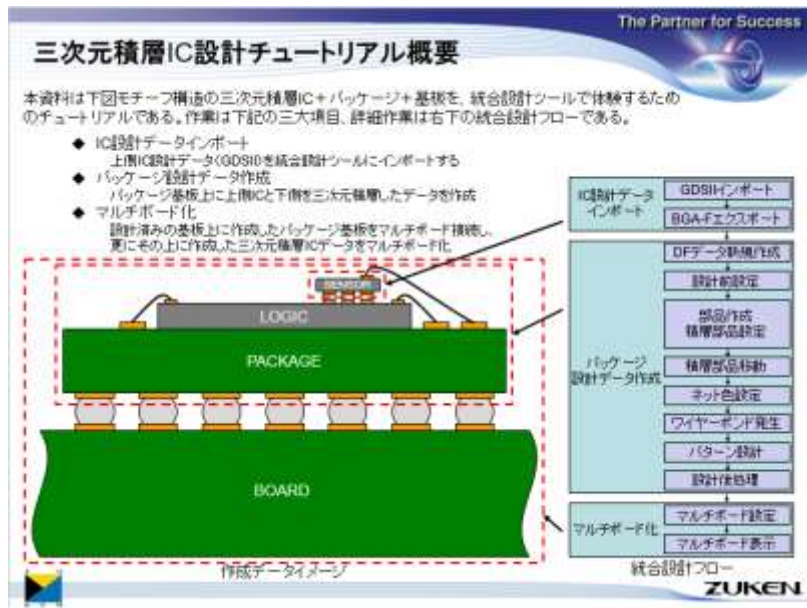
図Ⅲ-2.1.3-66 ADS-Momentum 読み込み結果



図Ⅲ-2.1.3-67 MW STUDIO 読み込み結果

3-4) チュートリアル、手順書の作成

開発した統合設計ツールの最終プロト版を使って、三次元積層 IC+パッケージ+基板の統合設計環境を体験するためのチュートリアル (図Ⅲ-2.1.3-68) および手順書 (図Ⅲ-2.1.3-69) を作成した。



図Ⅲ-2.1.3-68 三次元積層 IC 設計のチュートリアル



TSV対応IC設計手順書

チップ積層設計手順書

図Ⅲ-2.1.3-69 三次元半導体積層パッケージ設計手順書

4) 統合設計環境の適用例

ここでは、本プロジェクトで構築した統合設計環境の適用事例を紹介する。事例として「三次元積層 IC の構想設計」、「三次元積層 IC を用いたパッケージ熱応力設計」、「シリコンインターポーザや FO-WLP への適用」である。

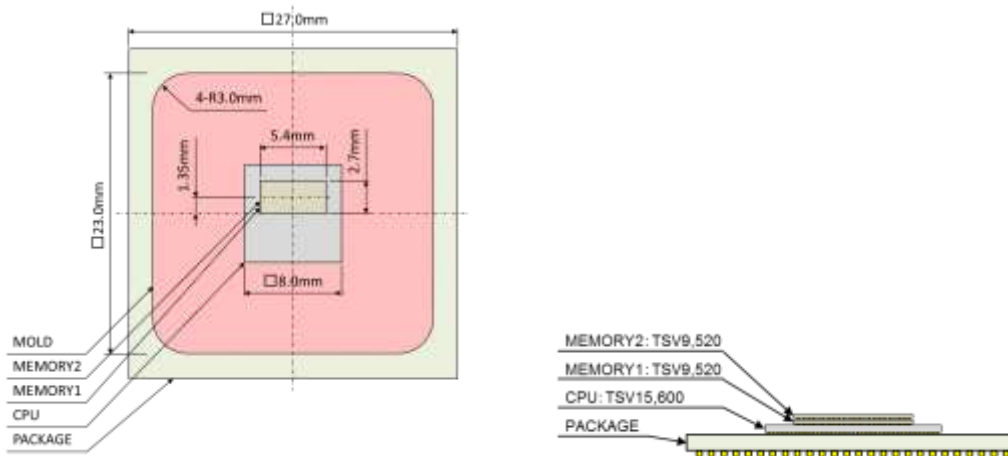
4-1) 三次元積層 IC の構想設計

三次元積層 IC 設計の初期段階では、IC やパッケージの様々な構造を比較検討しながら最適構造を決めることが求められるが、現状ではそれに対応した設計ツールと手法が確立されていないため、多くの工数を要する。ここでは、三次元積層 IC 設計における初期段階での構想設計効率改善手法を説明する。

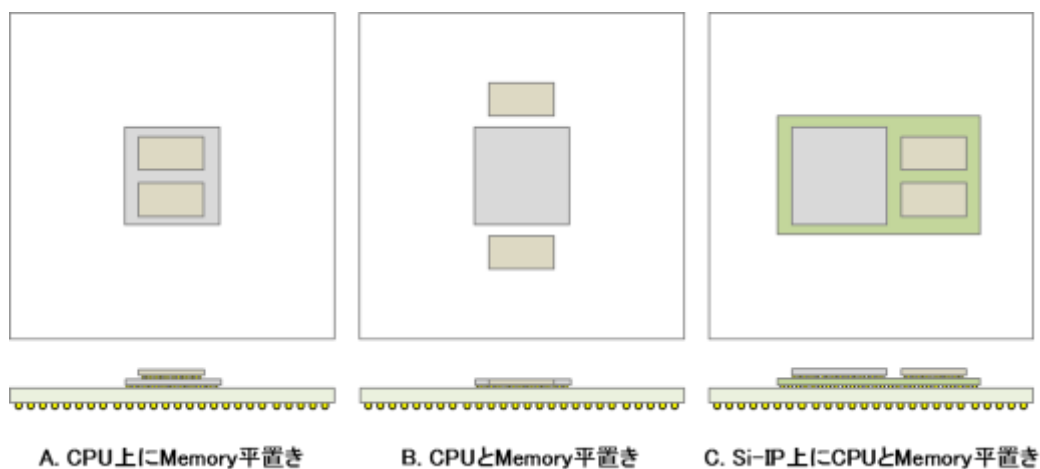
■三次元積層 IC の構想設計における課題

ここで用いる三次元積層 IC とパッケージ構造を図Ⅲ-2.1.3-70 に示す。搭載する IC は $8 \times 8 \text{mm}$ の CPU1 個、 $5.4 \times 2.7 \text{mm}$ のメモリ 2 個、 $27 \times 27 \text{mm}$ の 4 層樹脂パッケージである。積層形態として例えば、

- A. CPU の上にメモリ 2 個を平置きした構造
- B. CPU とメモリ 2 個を平置きした構造
- C. パッケージ上に Si-IP (Silicon-Interposer) を用いて CPU とメモリ 2 個を平置きした構造が考えられる (図Ⅲ-2.1.3-71)。構想設計ではこれらの積層形態の比較検討を想定する。



図Ⅲ-2.1.3-70 三次元積層 IC とパッケージ構造



図Ⅲ-2.1.3-71 三次元積層 IC とパッケージ構造の比較

一般的な三次元積層 IC の構想設計では、搭載する IC の情報が与えられ、積層方法やパッケージ/基板の検討を行い、設計実現性、電気的特性、熱的特性、製造性、信頼性、コストなどに問題が無いか検証を行う。ここでは熱的特性の検証を例にとって、構想設計の課題について説明する。構想設計段階で熱的特性検証をするには、図Ⅲ-2.1.3-70 と図Ⅲ-2.1.3-71 に示すような複数の構造の CAD データを作成し、そこから解析用 CAD データを出力する。そして、CAE (Computer Aided Engineering) に渡して解析を行い、最適な構造を選び出すというフローになる。このように、構想設計では複数の構造を比較検討するために、複数の CAD データを作成する。さらに前述のように、IC/パッケージ/基板の異なる種類の設計ツールを組合せて使う必要があるため、設計者には大きな負荷となる。そこで、多くの選択肢の中から最適構造を選び出すために、構想設計容易化手法が必要となる。

ここで三次元積層 IC とパッケージ構造の構想設計フローについて、簡単に説明しておく。

■三次元積層 IC の構想設計フロー

1 : IC の情報を設定する

サイズ、厚さ、材質、マイクロバンプ配置情報、消費電力などその段階で分かっている情報を CAD に与えてデータ化する。

2：パッケージの情報を設定する

サイズ、基板層数、厚さ、材質、各層の残銅率、BGA 配置情報、IC の積層方法・積層順序・配置情報、ビアの情報などを CAD に与えてデータ化する。

3：基板の情報を設定する

サイズ、基板層数、厚さ、材質、各層の残銅率、パッケージの配置情報、ビアの情報などを CAD に与えてデータ化する。

4：解析用 CAD データを出力する

出力したい構造（例えば三次元積層 IC 単体、三次元積層 IC+パッケージ、三次元積層 IC +パッケージ+基板）を選択して解析用 CAD データを出力する。

5：CAE で解析をする

解析用 CAD データを取り込み、熱解析を行う。

■提案の構想設計効率改善手法

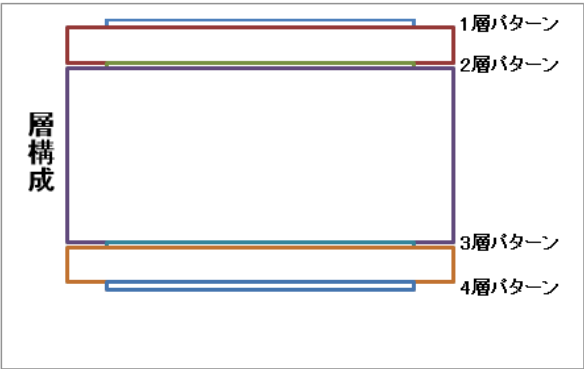
前述の三次元積層 IC の構想設計フローに従い、CAD にてマニュアル作業でデータ作成を行うことは技術的に可能であるが、毎日 CAD を使って設計をしているような専門家でないとなりが複雑で難しく時間がかかってしまう。そこで CAD 外部にユーティリティを作成し、三次元積層 IC とパッケージ構造の CAD データを自動作成する手法を検討した。今回は表計算ソフトのマクロ機能を使用することとし、実際にプロトタイプを作って評価した。

■構想設計のための情報の入力

最初にベースとなる基板の基板層数、外形寸法 (X, Y)、各層の厚さ、材質、残銅率などを入力する (図Ⅲ-2.1.3-72)。このとき入力した基板層構成がイメージしやすいように、断面図をリアルタイムに表示する機能を付加した。また残銅率の情報は CAD データ自動作成時に、①ベタ面として出力し等価熱伝導率として渡す方法、②指定の残銅率となるような井桁状のメッシュプレーンとして出力する方法 (図Ⅲ-2.1.3-73)、③指定の残銅率となるような四角いドット (メッシュプレーンのネガポジ反転パターン) を発生する方法を選択することができる。

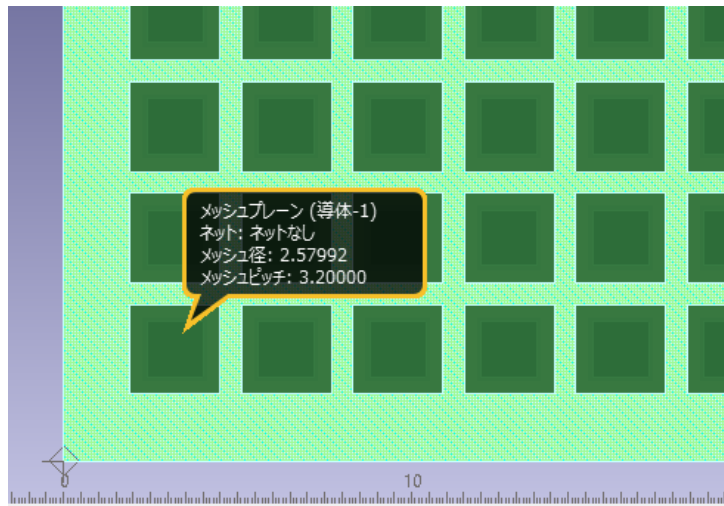
基板	層数	X寸法	Y寸法	マクロ出力	
	4	100	80		

層構成	厚さ	材質	残銅率	
	1層	0.043	Copper	35.0%
	1-2層	0.2	GlassEpoxy	
	2層	0.032	Copper	75.0%
	2-3層	1	GlassEpoxy	
	3層	0.032	Copper	65.0%
	3-4層	0.2	GlassEpoxy	
4層	0.043	Copper	25.0%	
4-5層				
5層				
5-6層				
6層				
合計	1.55			



断面図の層構成は、4層の積層構造を示しています。各層は異なる色で区別され、右側に「1層パターン」「2層パターン」「3層パターン」「4層パターン」とラベルされています。左側には「層構成」という縦書きのラベルがあります。

図Ⅲ-2.1.3-72 表計算ソフトによる基板情報入力画面



図Ⅲ-2.1.3-73 残銅率を反映したメッシュプレーン

次に基板の上に搭載するパッケージのサイズ (X, Y)、基板厚さ、材料、配置座標・角度を入力する (図Ⅲ-2.1.3-74)。このとき入力したパッケージの配置座標・角度がイメージしやすいように、部品配置図をリアルタイムに表示する機能を付加した。またパッケージの BGA ピッチ、ボール径、高さ、材料の指定や、基板のビアピッチ、穴径、ランド径、配置エリアを指定できるようにした。

次にパッケージ上に搭載する IC のサイズ (X, Y)、部品厚さ、材料、配置座標・角度を入力する。また IC のマイクロバンプのピッチ、径、高さ、材料、積層順序を指定することにより、CAD データを自動作成することが可能である。表Ⅲ-2.1.3-12 は、出力する三次元積層 IC とパッケージ構造 (IC、パッケージ、基板) の情報である。

基板		層数	X寸法	Y寸法	マクロ出力	
基板		4	100	80		

部品	部品情報				配置情報			バンプ情報				ビア情報						
	名称	X寸法	Y寸法	部品厚	材料	X座標	Y座標	角度	積層順	バンプ	ピッチ	径	高さ	材料	有無	ピッチ	径	ランド径
	PKG	27	27	0.5	Ceramic	44	29	315	1	フルグリッド	1	0.5	0.35	Solder	エリア中	t	0.25	0.5
	CPU	8	8	0.2	Silicon	44	29	315	2	フルグリッド	0.2	0.1	0.07	Solder	無し			
	MEM1	5.4	2.7	0.1	Silicon	44.95	29.95	315	3	フルグリッド	0.15	0.075	0.053	Solder	無し			
	MEM2	5.4	2.7	0.1	Silicon	44.95	29.95	315	4	フルグリッド	0.15	0.075	0.053	Solder	無し			

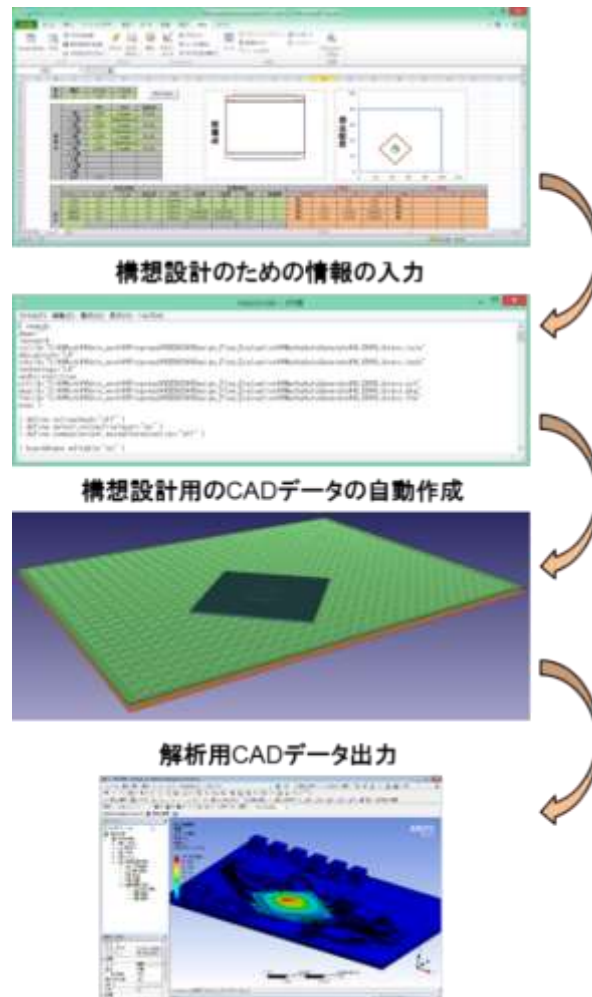
図Ⅲ-2.1.3-74 表計算ソフトによる部品情報入力

表Ⅲ-2. 1. 3-12 出力する三次元積層構造の情報

部品	項目	値
IC(MEMORY1)	XY寸法	5.4mmX2.7mm
	厚さ	0.1mm
	材質	Silicon
IC(MEMORY2)	XY寸法	5.4mmX2.7mm
	厚さ	0.1mm
	材質	Silicon
IC(CPU)	XY寸法	8mmX8mm
	厚さ	0.2mm
	材質	Silicon
PKG	XY寸法	27mmX27mm
	厚さ	0.5mm
	材質	GlassEpoxy
BOARD	XY寸法	100mmX80mm
	厚さ	1.6mm
	材質	GlassEpoxy

■ 構想設計用の CAD データ作成

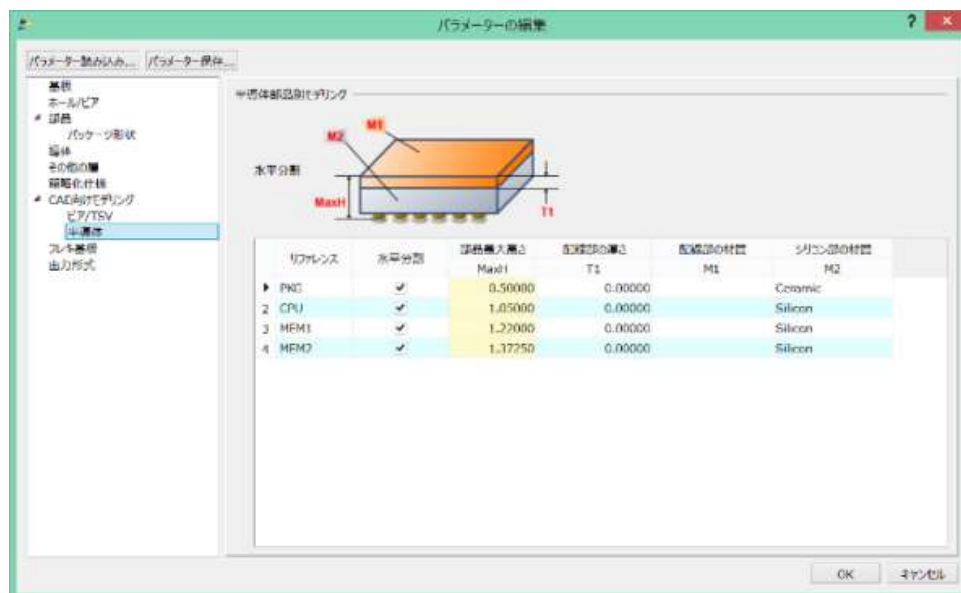
図Ⅲ-2. 1. 3-75 は、構想設計用の CAD データ作成の流れを示したものである。表計算ソフトにて作成した CAD データ自動作成用マクロを元に、CAD データを自動作成する。このまま解析用 CAD データを出力することも可能だが、CAD 画面上で配置位置や構造を変更したり、情報を付加することも可能である。



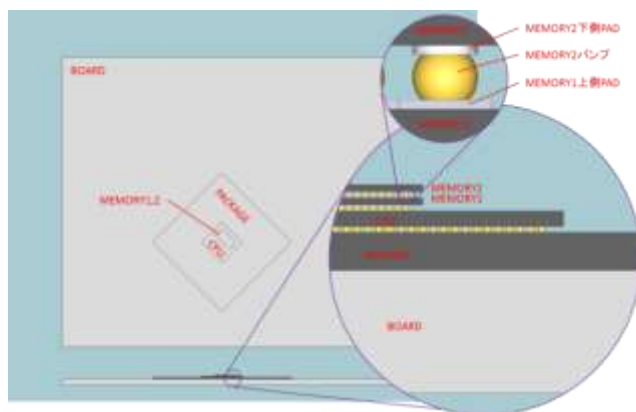
図Ⅲ-2. 1. 3-75 CAD データ自動作成フロー

■解析用 CAD データ出力

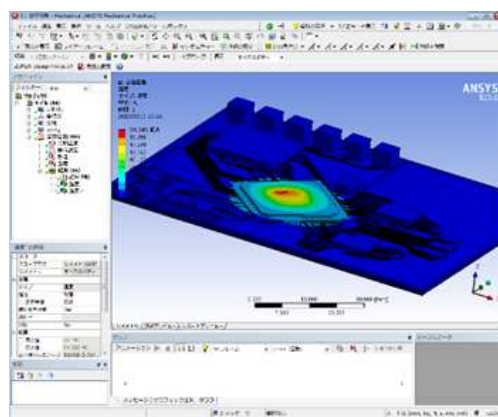
図Ⅲ-2.1.3-76 は、解析用 CAD データ出力パラメータの設定画面である。多くの情報は表計算ソフトで設定した情報をそのまま引き継いで使えるが、ここで条件を変更して出力することも可能である。図Ⅲ-2.1.3-77 は出力した解析用 CAD データの詳細、図Ⅲ-2.1.3-78 は熱解析結果である。



図Ⅲ-2.1.3-76 解析用 CAD データ出力パラメータ



図Ⅲ-2.1.3-77 解析用 CAD データ詳細例



図Ⅲ-2.1.3-78 熱解析の結果例

■三次元積層 IC の構想設計のまとめ

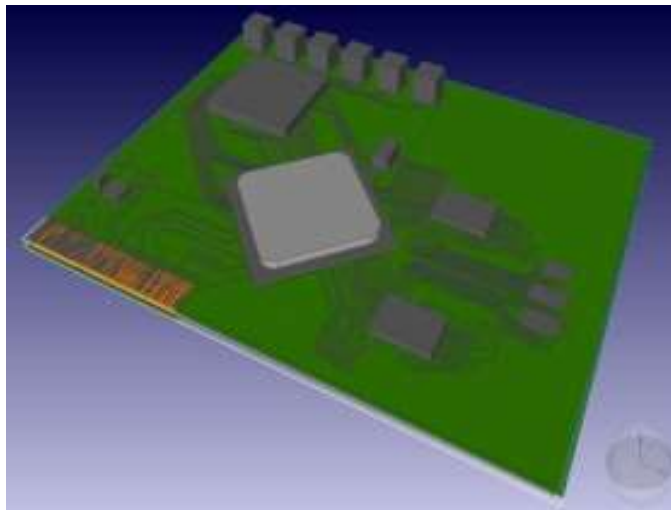
三次元積層 IC 設計における初期段階での構想設計効率改善手法について提案した。提案手法をベースとした構想設計を行うことで、TSV を利用した三次元積層 IC の構想設計が高精度かつ短時間で完了することが確認できた。構想設計では複数の構造について多くの項目を検証するため、いろいろな工程の設計者が簡単に活用できるシステムである必要があり、効率改善手法は大きな効果を発揮すると考えられる。

4-2) 三次元積層 IC を用いたパッケージ熱応力設計

設計初期段階において IC 設計者が熱を考慮する場合、経験則や大雑把なシステム仕様に基づくケースが多い。そのため、過剰なマージン見積もりによる製品コスト増大、あるいは不十分な放熱見積もりによる誤作動を引き起こすおそれがある。前述の通り三次元積層 IC は放熱が困難であり、従来以上に適切な IC 放熱設計手法が必要とされている。そのために、IC を封入するパッケージのみならず、基板レイアウトや周辺部品の配置を含め、システム全体の熱を解析する技術が必要不可欠と考えられる。ここでは、IC の詳細設計前にシステム全体の熱解析を高速に実現するための統合設計フローを検証した。

■解析モデルと制約条件

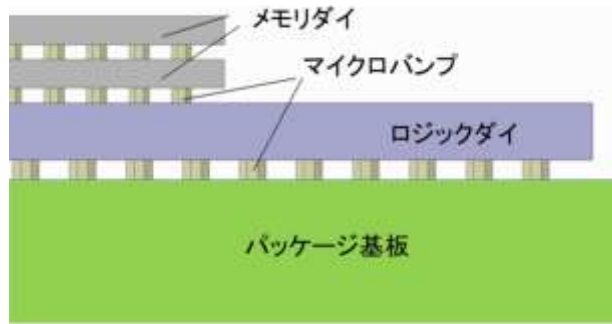
ここで使用する解析モデルと制約条件を説明する。新規設計する CPU の他に、DDR など既存のパッケージ品や受動部品などを組み合わせ、4 層基板上に実装するモチーフデータを作成した (図Ⅲ-2.1.3-79)。基板データは、JEITA LPB 相互設計 WG の Golden Sample を参照し、IC 部分を三次元積層 IC に置き換えている。基板は 4 層構造であり、外形 100mm×80mm である。



図Ⅲ-2.1.3-79 基板データ

CPU 部はロジックダイの上にメモリダイを 2 枚積層する三次元積層構造 (図Ⅲ-2.1.3-80) で、ロジックダイはパッケージ基板とはんだボールを介して基板に接続される。CPU はモールド樹脂で覆われている。ロジックダイとメモリダイは、マイクロバンプと呼ばれる微細なはんだボールで接続されている。統合設計ツールでは、三次元積層 IC および、パッケージ基板、モールド樹脂、基板を 1 つの画面で表示することができ、さらに三次元表示をして視覚的に構造を確認することができる。また新規開発した解析モデルの自動生成機能を使うと、ビアやパターンが任意の精度で STEP データとして出力することができる。

解析実行の際に与える制約条件は、CPU 端部に与えた 1W の熱流と、外気に触れる部分からの雰囲気 (22℃) 輻射のみとした。解析ツールは ANSYS Mechanical を利用し、定常熱分布を結果として得るものとする。利用する計算機のスペックは表Ⅲ-2.1.3-13 に示す通りである。構想設計段階での解析を想定し、データ作成から解析完了まで要する時間の目標値を最大 1 時間とした。



図Ⅲ-2. 1. 3-80 CPU 断面図

表Ⅲ-2. 1. 3-13 計算機スペック

OS	Windows7 Professional 64bit
CPU	Intel Core i7-4770 3.40GHz
RAM	16 GB

■統合設計フローおよび解析手法

前述の解析用モデルをそのまま取り込んで解析した場合、メッシング・解析が目標時間以内に終了しない。有限要素法の節点数が莫大なためである。節点数を増加させる主な要因はマイクロバンプおよび基板配線パターンであると考えられる。そこで、計算時間を短くするための新しく開発した2種類の手法に関して検証した。

1つ目は、マイクロバンプ接合部をボックス形状の物質に置換して解析する手法である。置換物質は、アンダーフィルとはんだの熱伝導率を基に算出した直交異方性の等価熱伝導率を利用する。この手法を接合部近傍のみを取り出した小規模モデルにおいて検証したところ、精度よく近似できることを確認した。

2つ目は、基板配線パターンをブロック状に近似する手法である。基板を格子状の領域に分割し、導体の占める面積が大きい領域は全体が導体となるような近似を実施する。この近似には、前述のSTEP出力時のパターン精度コントロール機能を利用する。

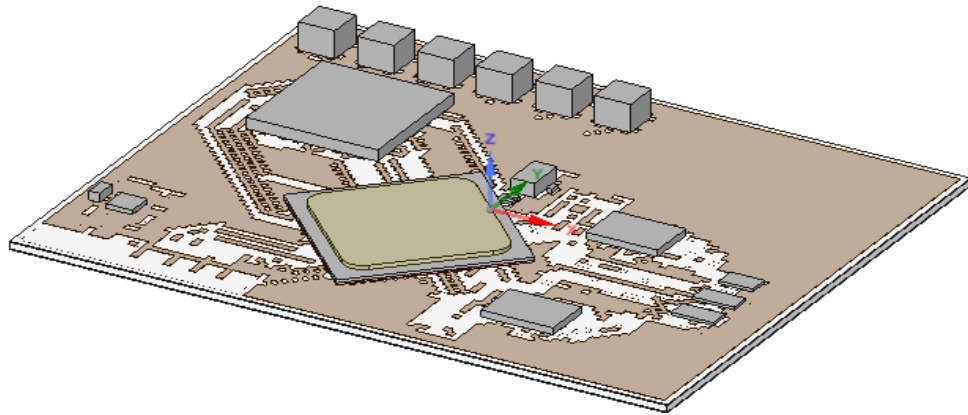
■解析結果

上記の手法を用いることで、システム全体の解析が実行できることを確認した。詳細モデルに含まれるバンプ接合部をボックス形状に近似し、かつ基板の配線パターンをブロック状に近似した解析データを自動生成した(図Ⅲ-2. 1. 3-81)。

この解析データをメッシングしたところ、1分未満で完了し、約17万節点となった(表Ⅲ-2. 1. 3-14)。また解析データを用いて伝熱解析を実施したところ、1分未満で結果が得られた(図Ⅲ-2. 1. 3-82)。IC内部の温度勾配も確認でき、構想設計段階での熱見積りに有効利用できるレベルであることが確認できた。

短時間での計算が実行可能であるので、パッケージ・アンダーフィル材・モールド樹脂・基板レイアウトを具体的なレベルまで検討することが可能である。この手法を用いれば、伝熱解析のみならず応力解析の高速化も可能である。解析完了までに要した時間の内訳は、既存基板データのCPU部修正に30分、STEPデータ出力に10分、解析ツールへの読み込み及び設定に

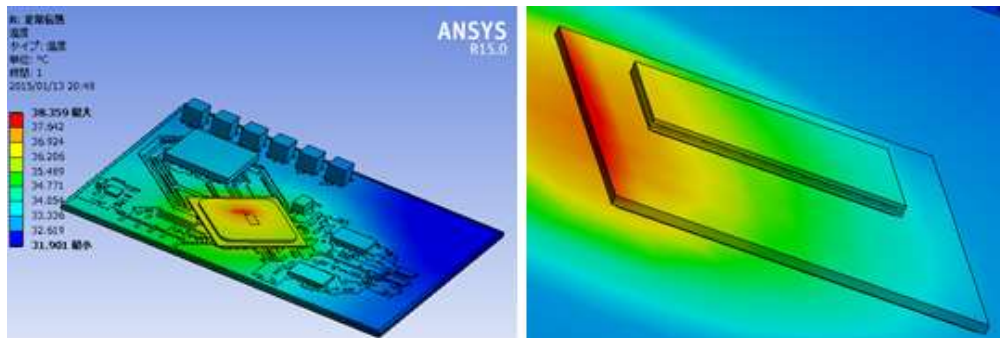
15分、解析計算に1分であった。以上を合計すると56分であり、目標を達成することができた。



図Ⅲ-2.1.3-81 基板パターンのブロック近似

表Ⅲ-2.1.3-14 計算時間

節点数	170572
要素数	23564
メッシング時間	42.6 秒
計算時間	48.0 秒



図Ⅲ-2.1.3-82 解析結果（左：基板全体 右：IC内部）

■三次元積層 IC を用いたパッケージ熱応力設計のまとめ

三次元積層 IC を用いたシステムに対し、全体の熱解析を高速に実現するための設計フローを検証した。統合設計ツールを使用することで、基板全体の熱解析平均的なスペックの計算機を用いて合計1時間未満で完了できる。

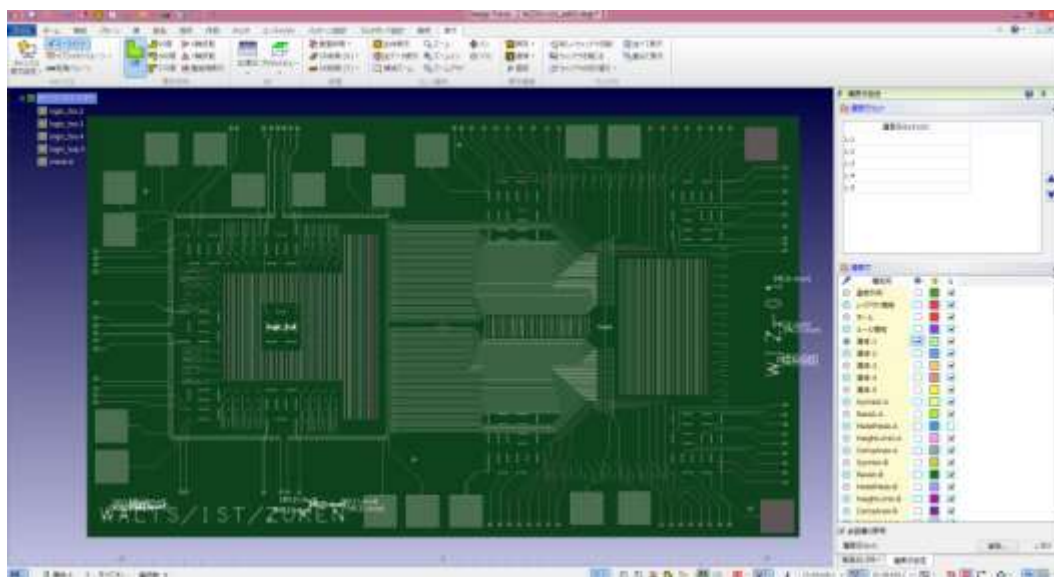
4-3) シリコンインターポーザや FO-WLP への適用

開発した統合設計ツールを評価するため、三次元積層評価用デジチェーン TEG チップを実装できるシリコンインターポーザの設計および製造、FO-WLP (Fan Out Wafer Level Package) の設計および応力解析による検証を行った。

■シリコンインターポーザの設計

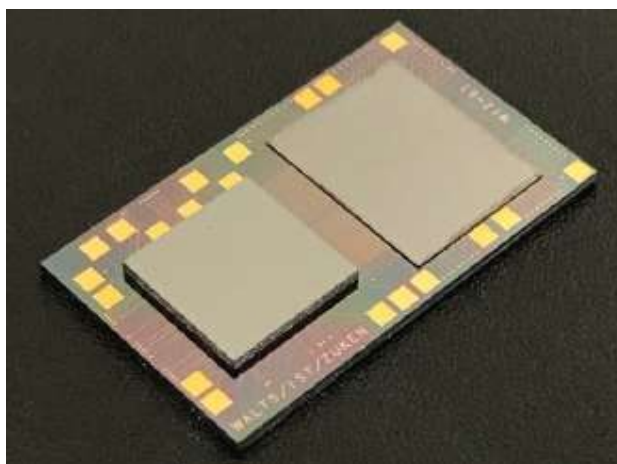
三次元積層評価用デジチェーン TEG チップを実装できる TSV 付シリコンインターポーザを設計し、統合設計フローおよび統合設計ツールに問題ないことが確認できた（図Ⅲ-2.1.3-83）。統合設計フローで使用した主な機能は以下である。

- GDS II データインポート機能
- DRC 機能
- TSV 経路のシステムネットハイライト機能
- GDS II 出力による製造用レチクルマスク作成



図Ⅲ-2.1.3-83 シリコンインターポーザの図面

なお、ここで設計したシリコンインターポーザの設計データから GDS II 出力を行い、i 線ステッパー用のレチクル作成を行い、8 インチウェハにてビア・ファースト法/ボッシュプロセスによる TSV 形成、およびデュアルダマシンプロセスによる微細配線形成を行った。また、製造したシリコンインターポーザに三次元積層評価用デジチェーン TEG チップを実装した。図Ⅲ-2.1.3-84 は実装後の写真である。



図Ⅲ-2.1.3-84 シリコンインターポーザに複数段実装した TEG チップ

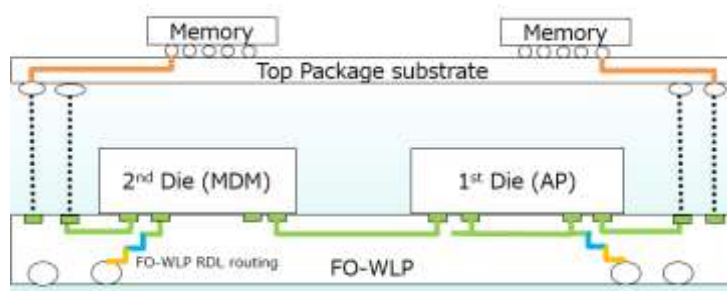
■FO-WLP の設計

図Ⅲ-2.1.3-85はFO-WLPのモチーフ構造である。ダイ① 40um ピッチ uBump : 1,996 ピン、ダイ②40um ピッチ uBump : 1,206 ピン、FO-WLP 0.4mm ピッチ BGA : 1,750 ピン、3層配線、Line/Space=10/10um という設計仕様である。FO-WLPのサイズを20x14mmから18x12mmにシュリンクしたときの熱応力の差を比較検討する。

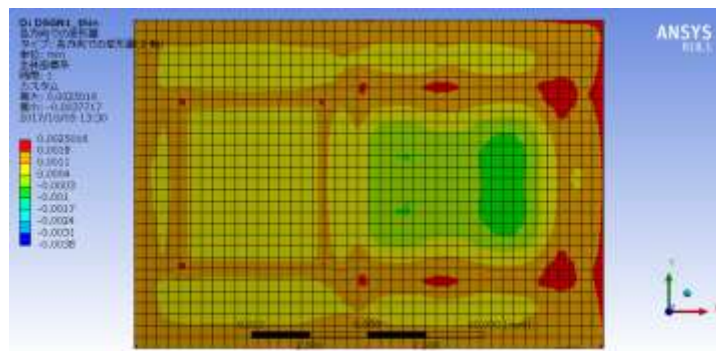
具体的なFO-WLPおよびPoPを設計、解析モデル自動出力を実施して、統合設計フローおよび統合設計ツールを検証した。統合設計フローで使用した主な機能は以下である。

- ・GDS II データインポート機能
- ・DRC 機能
- ・FO-WLP・PoP (Package on Package) 実装のシステムネットハイライト機能
- ・解析用モデルの自動出力 (ANSYS Mechanical 用 STEP データ)

なお、ここで設計したFO-WLPからSTEP出力を行い、ANSYS Mechanicalで熱応力解析を行った。図Ⅲ-2.1.3-86は解析結果である。



図Ⅲ-2.1.3-85 FO-WLPのモチーフ構造



図Ⅲ-2.1.3-86 FO-WLPの熱応力解析の結果例

■シリコンインターポーザやFO-WLPへの適用のまとめ

シリコンインターポーザ、FO-WLPの設計で検証した結果、従来設計フローによる想定工数に対して、大幅な工数削減効果があることが確認できた。

以上、3つの事例で示したように、統合設計環境により三次元積層ICの設計が大幅に効率化される。

今回開発した統合設計ツールは、TSV を使った三次元積層 IC の設計に限定されない。2. 1D インターポーザや様々なタイプの FO-WLP (eWLP、InFO、MCeP 他) に対しても有効と考えられる。さらに、シリコン・フォトリソ IC の分野でも SOI 基板や TSV を用いた 3D/2. 5D 実装が進むと予想されており、将来的にはこの分野への展開の可能性も有している。

5) まとめ

従来、三次元積層を取り扱う設計ツールがないため、多数の TSV/マイクロバンプを用いて接続された三次元積層 IC 間の接続検証や、TSV を含む三次元積層 IC の解析モデルの作成を手作業で行う必要があった。これにより多くの設計工数が発生していた。

本プロジェクトでは、三次元積層 IC を取り扱う統合設計ツールと、TSV 向けの PDK (Process Design Kit : 設計に必要なライブラリ) を開発し、これらを用いた三次元積層 IC 設計フローを構築した。本プロジェクトの成果により、三次元積層 IC 設計の大幅な工数低減を実現した。

2.1.4 TSV プロセスインテグレーション技術の開発 (①-3)

(主担当：ラピスセミコンダクタ株式会社)

(副担当：株式会社デンソー(再委託)、住友精密工業株式会社(再委託)、国立研究開発法人産業技術総合研究所)

2.1.4.1 研究開発概要

1 万画素を超える大規模 SPAD アレイを実現するためには、各 SPAD 素子から距離換算回路までの信号の遅延時間を均等にしなければならない。

具体的には、各 SPAD 素子から距離換算回路までを物理的に等長配線にする技術が必要である。実現手段は、大規模 SPAD アレイと距離換算 LSI を三次元に積層し、両 LSI 間を TSV(Through Silicon Via)を介して接続する構造が最も理想的である。

また、本開発製品(測距センサ)は自動車の安全運転等に重要な役割を担うため、従来の TSV が多く用いられている携帯電話用カメラモジュール等の品質(民生・産業用)より高信頼性である車載品質が要求される。

2.1.4.2 目標

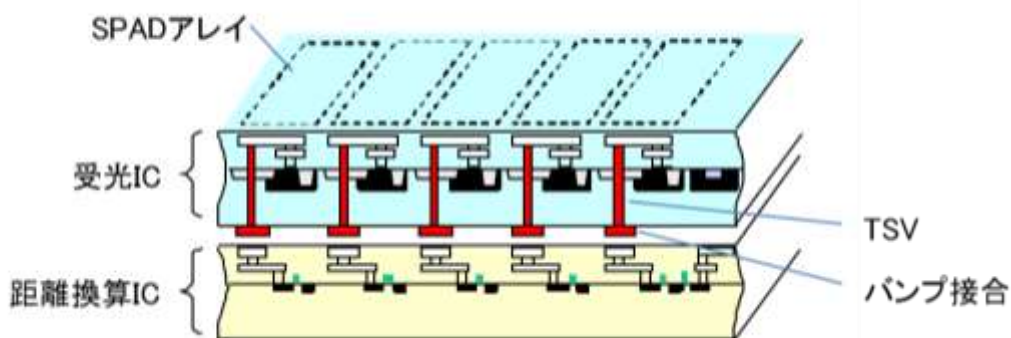
将来の超高画素測距センサを実現するため、Ⅲ-2.1.2 節で示した TSV 仕様を満足する三次元実装技術を開発する必要がある。

本プロセス開発では、SPAD アレイおよび距離換算回路を模した TEG サンプルを用いて、TSV 抵抗 1Ω 以下、TSV 容量 50 fF 以下、かつ車載レベルの信頼性を有する TSV 構造・形成プロセスを実現することを目標とした。

2.1.4.3 成果

1) 三次元実装測距センサ形成プロセス

図Ⅲ-2.1.4-1 に本プロセス開発により将来的に実現を目指す三次元実装測距センサ IC の構造を示す。上層に 1 万画素を超える SPAD アレイと信号取り出し回路の一部からなる受光 IC、下層に距離換算 IC を積層する構成となる。TSV は受光 IC 内に配置され、上下層 IC はバンプを介して接合されている。



図Ⅲ-2.1.4-1 三次元実装測距センサ IC の構造

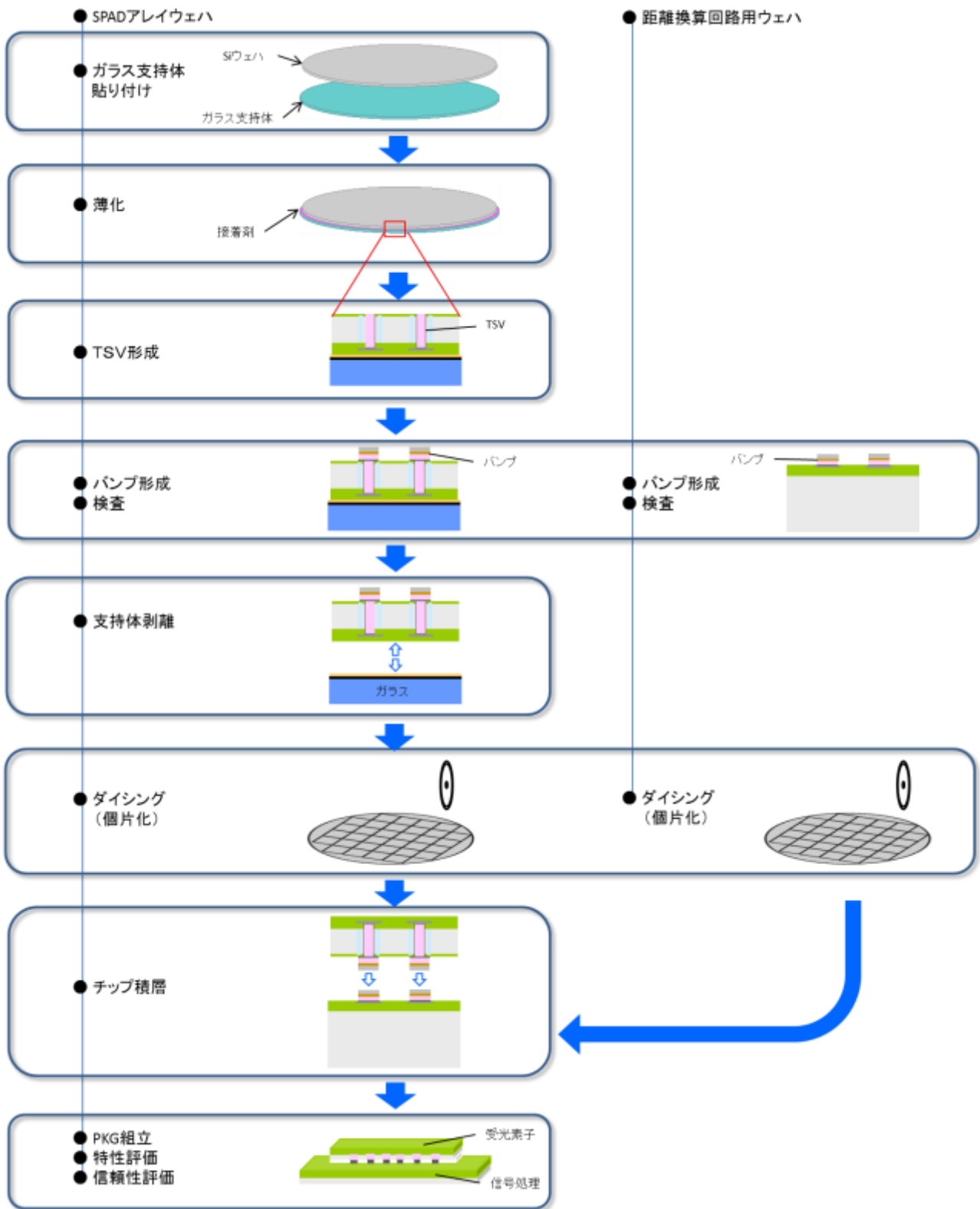
TSV の形成方法は様々なプロセスが挙げられるが、本プロジェクトでは事業化を念頭に置き、ビアファースト方式やビアミドル方式に比べて、汎用性が高く、比較的加工コストが安いビアラスト（裏面ビア）方式を採用した。

図Ⅲ-2.1.4-2 に、三次元実装測距センサ IC を形成するプロセスフローを示す。

SPAD アレイウェハに対し、テンポラリ接着剤を介してガラス支持体を貼り付け、Si を薄化した後、TSV を形成する。更に TSV 直上にバンプを形成し、ガラス支持体を剥離した後、ダイシングによりチップ化し受光 IC を作製する。

一方、距離換算回路用ウェハは、表面側にバンプ形成を行う。その後ダイシングによりチップ化し距離換算 IC を作製する。更に受光 IC を上に、距離換算 IC を下にして、バンプ同士を接合することでチップ積層を行う。

得られた積層チップは、パッケージ組立を行い、三次元実装測距センサ IC が完成する。



図Ⅲ-2.1.4-2 三次元実装測距センサ IC のプロセスフロー

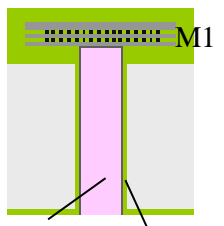
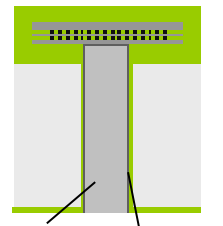
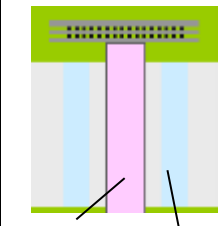
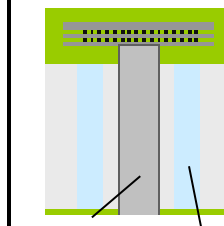
2) TSV 構造の検討

表Ⅲ-2.1.4-1 に評価した TSV 断面構造と仕様を示す。TSV 構造は、従来型となるレギュラ構造に加えて、高い信頼性を期待できる側壁絶縁を強化した ATI (Annular Trench Insulator) 構造を試作評価した。TSV 導体には、従来型の Cu めっき充填方式に加えて、低コスト化を期

待できる印刷法のはんだ充填方式を採用した。チップコストを抑制し1万画素を最適配置するため、TSVピッチは20 μm で設計した。

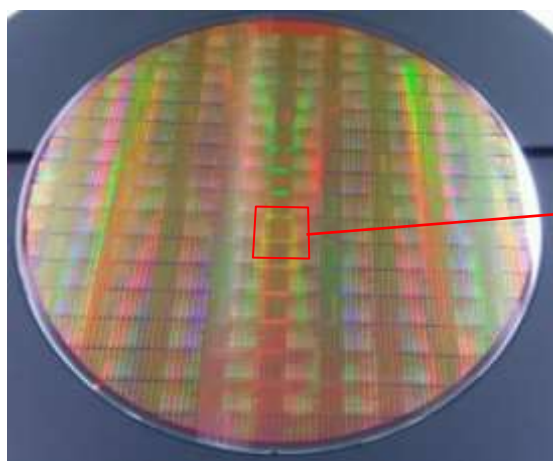
TSVピッチ20 μm を実現するため、TSV外径はピッチの1/2 (10 μm) 以下を目標とし、レギュラ構造はTSV外径6 μm 、ATI構造はTSV外径10 μm 、絶縁リング幅2 μm で設計した。TSV長 (Si厚) は、予想される電気特性および個片化後のチップハンドリング性等を考慮して、狙い値を20 μm とした。TSVの電気特性に関するプロセス目標は、仕様より厳しいTSV抵抗0.5 Ω 以下、TSV容量30 fF以下を判断基準とした。

表III-2.1.4-1 TSV構造と目標仕様

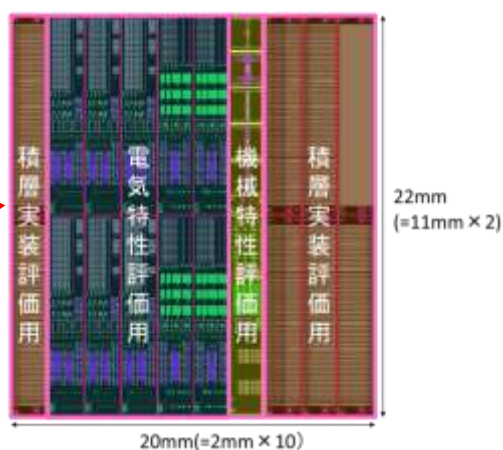
TSV構造	レギュラ構造TSV		ATI構造TSV	
側壁絶縁材料	SiO ₂		樹脂	
ビア充填材・方式	Cu_電解めっき	はんだ_印刷	Cu_電解めっき	はんだ_印刷
縦構造図				
TSV長 (Si厚)	20 μm			
TSVピッチ	20 μm			
導体径 / TSV径	5 / 6 μm		4 / 10 μm	
TSV抵抗	$\leq 0.5 \Omega$			
TSV容量	$\leq 30 \text{ fF}$			

3) 評価 TEG

TSVプロセス開発のため、TEG ウェハを作製した。TEGはSPADアレイを想定した仕様とし、多層配線層は全てアルミ配線 (Al-Cu) である。図III-2.1.4-3に試作した上層用TEGウェハ写真を、図III-2.1.4-4に1ショット全体図を示す。ウェハサイズは8インチで、電気特性評価用チップ、機械特性評価用チップおよび積層実装評価用チップから構成される。1ショットサイズは縦22 mm×横20 mmであり、1ショット中のチップ数は20個である。

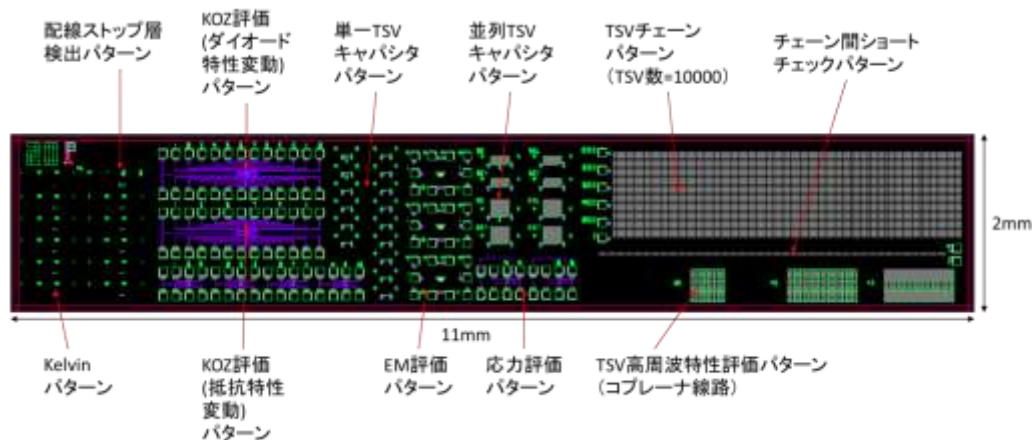


図Ⅲ-2.1.4-3 上層用 TEG ウェハ写真

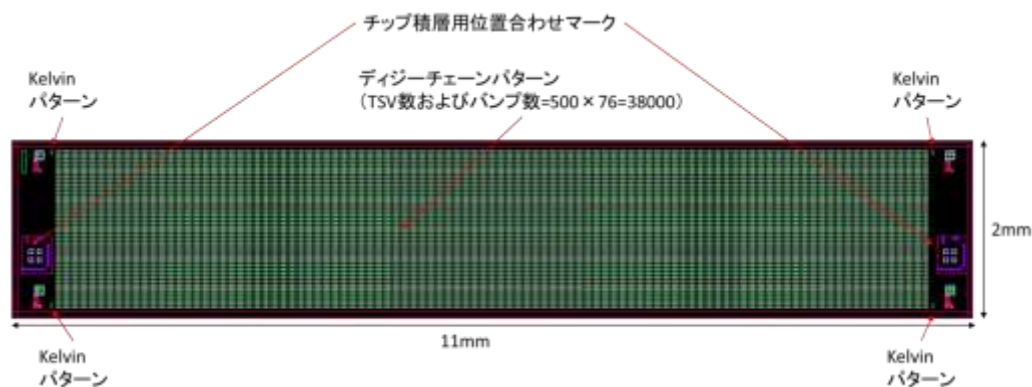


図Ⅲ-2.1.4-4 1ショット全体図

図Ⅲ-2.1.4-5 に $20\ \mu\text{m}$ ピッチ TSV 電気特性評価チップを示す。TSV チェーンパターン、単一/並列キャパシタパターン、Kelvin パターンなどの評価パターンから成り、上層用 TEG ウェハに対し TSV および再配線を形成することで TSV 単体の電気特性評価を行うことができる。図Ⅲ-2.1.4-6 に積層実装評価チップを示す。上層用 TEG ウェハに対し TSV およびマイクロバンプを形成後、チップ個片化し、別途作製したバンプ付き下層 TEG チップと積層することで積層実装後の評価が可能となっている。受光 IC の設計で示した画素配列を反映して、チップサイズは $2\ \text{mm} \times 11\ \text{mm}$ (TSV 数およびバンプ数; 最大 38,000 個 = 横 500 \times 縦 76) と縦横比を大きく設計した。



図Ⅲ-2.1.4-5 $20\ \mu\text{m}$ ピッチ TSV 電気特性評価用チップ

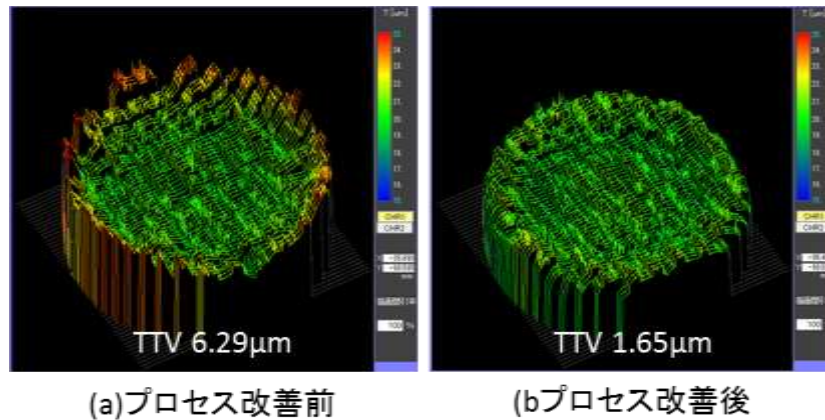


図Ⅲ-2.1.4-6 積層実装評価用チップ

4) TSV インテグレーション技術開発

4-1) ガラス支持体貼付け、薄化加工プロセス

特性ばらつきが小さく高歩留まりの TSV 形成を実現するため、Si 厚みばらつきは極力小さくする必要がある。図Ⅲ-2.1.4-7 に上層用 TEG ウェハ Si 厚 20 μm 薄化後の TTV(Total Thick Variation)測定結果を示す。ガラス貼り合わせ加工や薄化加工の条件最適化を図り、Si 厚みばらつきを TTV 2 μm (Si 厚みの 10%) 以内に抑制できた。テンポラリ接着剤は、従来より耐熱性の高いアクリル系樹脂を採用することで、ATI 構造実現のために 250 $^{\circ}\text{C}$ 以上の高温処理が必要となる樹脂印刷プロセスやはんだ印刷プロセスを導入することが可能となった。



図Ⅲ-2.1.4-7 Si 薄化後 TTV 測定結果

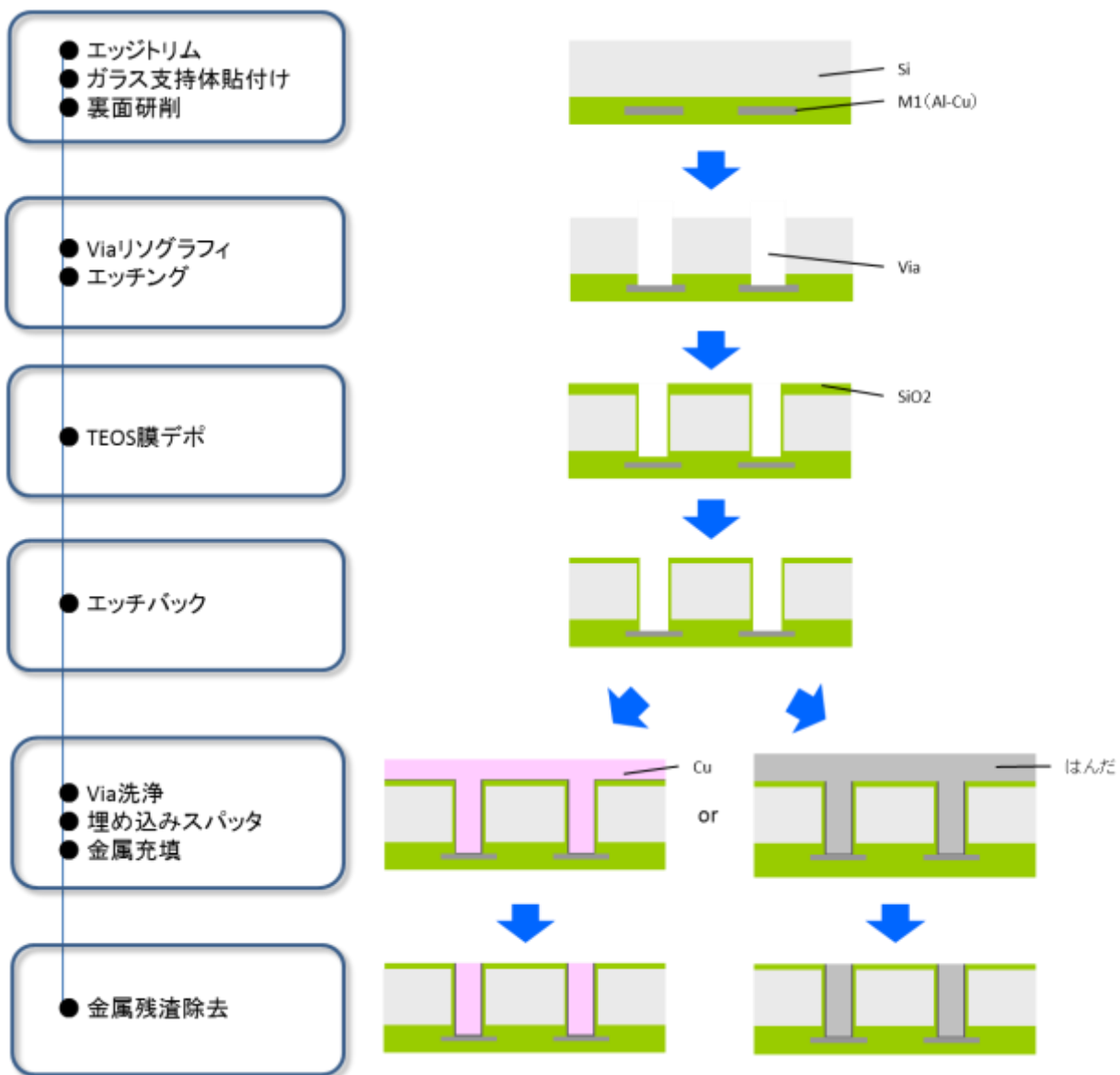
4-2) TSV 形成プロセス

4-2-1) TSV 形成プロセスフロー

図Ⅲ-2.1.4-8 にレギュラ構造の TSV 形成プロセスフローを示す。薄化済上層用 TEG ウェハに対し、TSV 形成用のフォトリソグラフィを行った後、深堀 Si エッチングと層間絶縁膜 (SiO_2) エッチングを行う。その後、TSV の側壁酸化膜を低温 CVD により形成した後、酸化膜エッチバック処理でボトムの SiO_2 膜を除去する。次に、Ti/Cu スパッタ後、はんだ印刷ないしは電解めっきで金属を埋め込み、表面の金属膜を CMP 等で除去し、レギュラ構造の TSV が完成する。

図Ⅲ-2.1.4-9 に ATI 構造の TSV 形成プロセスフローを示す。ATI 構造のプロセスは、絶縁膜を埋め込むアニュラトレンチと金属導体を埋め込むビアを別々に作製するため、レギュラ構造と比較してフォトリソグラフィ工程と Si 深堀エッチング工程が 1 回多い。

薄化済上層用 TEG ウェハに対し、アニュラトレンチ形成用のフォトリソグラフィを行った後、深堀 Si エッチングを行う。その後、印刷技術で絶縁樹脂をトレンチ内に埋め込み、表面の残渣膜を研削、CMP 等で除去して TSV 側壁の絶縁リングを形成する。その後、絶縁リングの内側にビア形成用のフォトリソグラフィを行った後、深堀 Si エッチングと層間絶縁膜 (SiO_2) エッチングを行う。次に、Ti/Cu スパッタ後、はんだ印刷ないしは電解めっきで金属を埋め込み、表面の金属膜を CMP 等で除去し、ATI 構造の TSV 形成が完成する。



図III-2. 1. 4-8 レギュラ構造 TSV 形成フロー

- エッジトリム
- ガラス支持体貼付け
- 裏面研削

- TEOS膜デポ
- アニュラーリソグラフィ
- エッチング

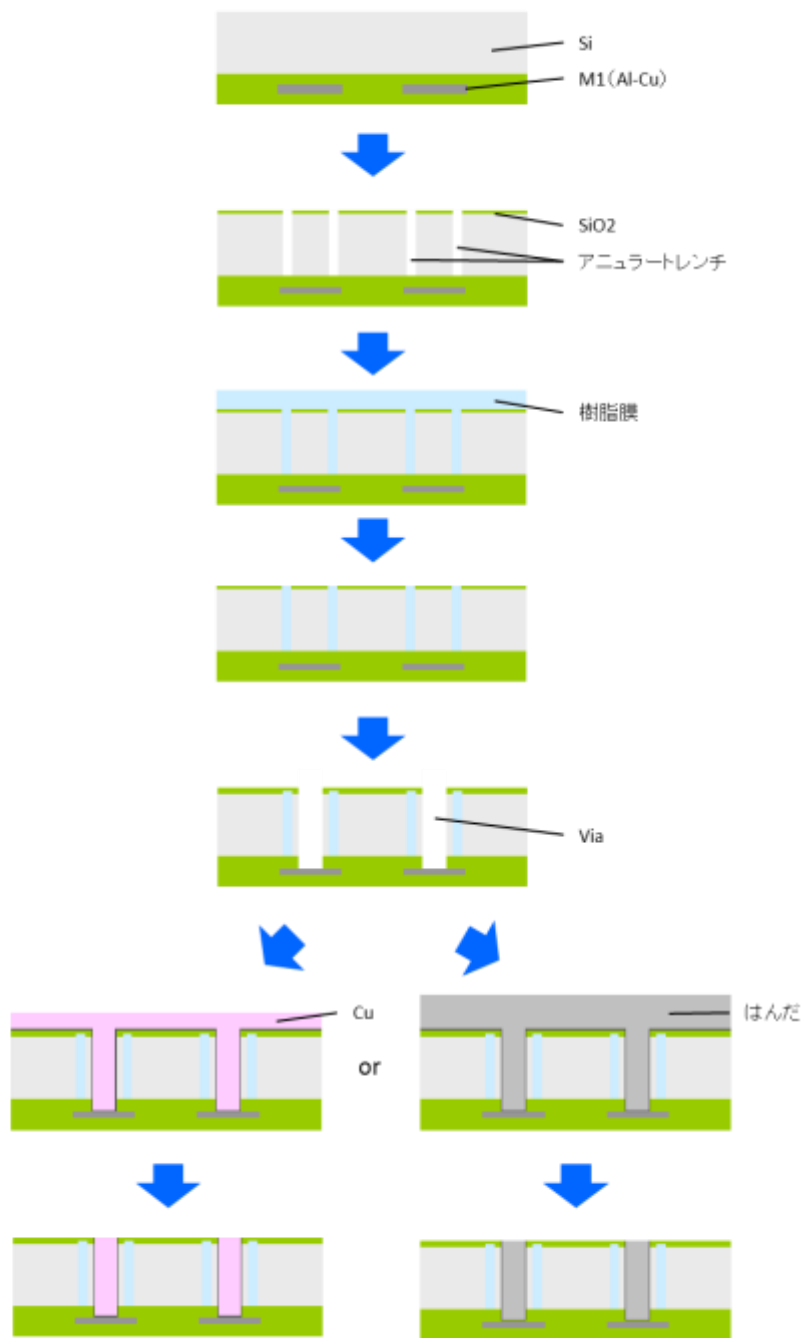
- 絶縁樹脂埋め込み

- 樹脂残渣除去

- TEOS膜デポ
- Viaリソグラフィ
- エッチング

- Via洗浄
- 埋め込みスパッタ
- 金属充填

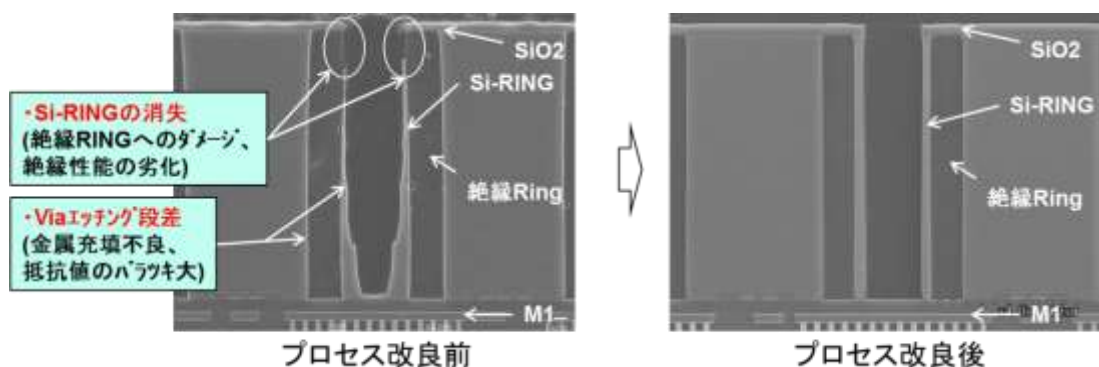
- 金属残渣除去



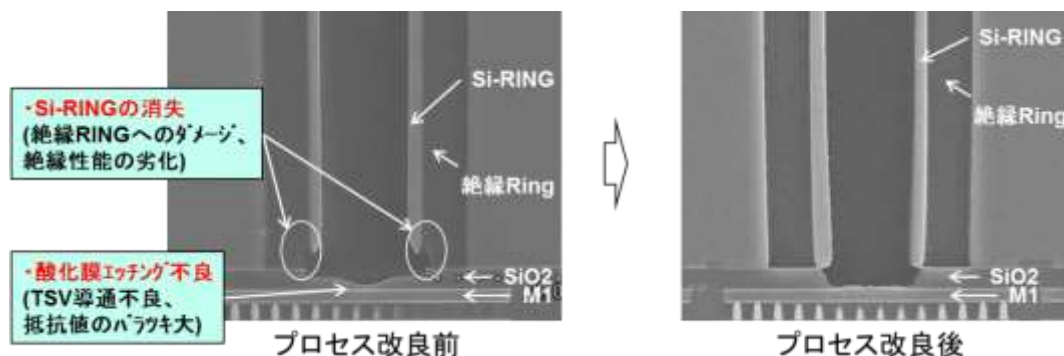
図III-2.1.4-9 ATI 構造 TSV 形成フロー

4-2-2) TSV 形成条件の改善

ATI 構造では、絶縁リング加工後にビア加工を行うため、ビアエッチング形状の安定化に課題があった。主要な原因の一つとして、Si に比べて熱容量の大きな絶縁リングによりエッチング時の放熱性が悪化するためと考えられる。図Ⅲ-2.1.4-10 にビア形成 Si エッチング後断面 SEM 像を、図Ⅲ-2.1.4-11 にビア形成ボトム SiO₂ エッチング後断面 SEM 像をそれぞれ示す。いずれもエッチング条件の最適化（エッチング方式、ガス種、ガス組成等）することで、ビア形状の改善を行った。

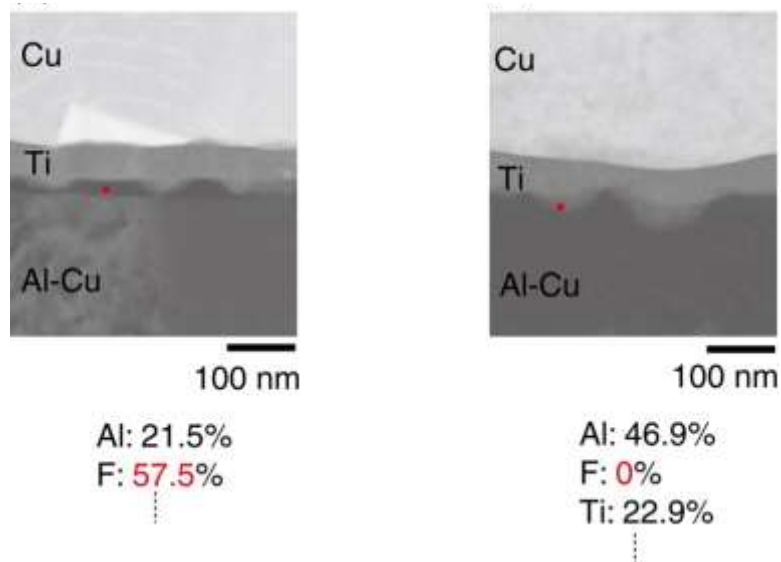


図Ⅲ-2.1.4-10 ATI 構造 TSV のビア形成 Si エッチング後断面 SEM 像

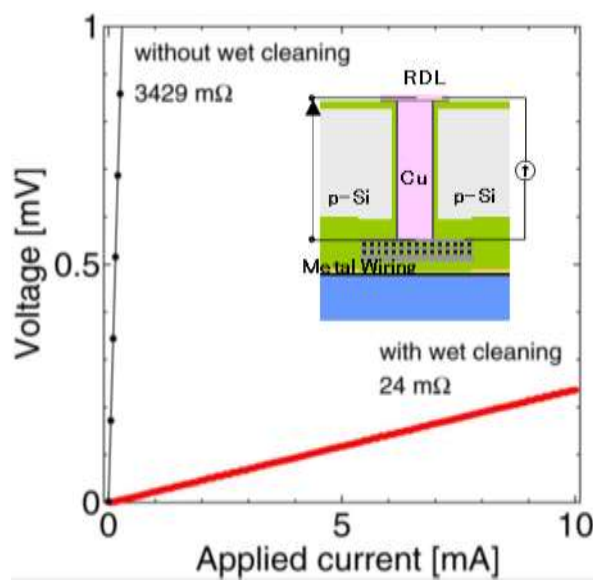


図Ⅲ-2.1.4-11 ATI 構造 TSV のビア形成ボトム SiO₂ エッチング後断面 SEM 像

TSV は第 1 メタル層 (Al-Cu) に対してコンタクトする構造となるため、適切な界面状態となるプロセス設定が必要である。ビアエッチング後に露出するメタル表面は、エッチングガスの影響でフッ化アルミニウムを主成分とする高抵抗不純物が生じる場合があった。図Ⅲ-2.1.4-12 に試作した TSV について、TSV と第 1 メタル層界面の EDX 分析結果を、図Ⅲ-2.1.4-13 に同じサンプルの TSV 抵抗測定結果を示す。ビアエッチング後のメタル表面に対し適切なウェット洗浄処理を行うことで、アルミ表面からフッ素成分が除去されるとともに、アルミ配線と TSV のコンタクト性を大きく改善した。



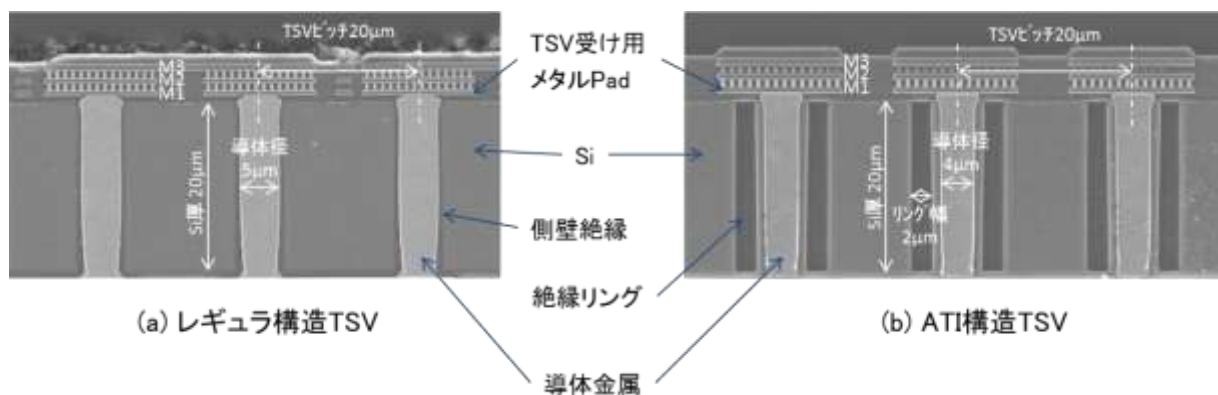
(a) ウェット洗浄を行わない場合 (b) ウェット洗浄を行った場合
 図III-2.1.4-12 TSVと第1メタル層 (Al-Cu) 界面のEDX分析結果



図III-2.1.4-13 TSV抵抗測定結果

4-2-3) TSV 形状出来栄

図Ⅲ-2.1.4-14 に試作した TSV 断面 SEM 写真を示す。レギュラ構造、ATI 構造ともにほぼ目標通りの寸法で加工できた。TSV はすべて第 1 メタル層でコンタクトできており、第 2 メタル層以降への突き抜けはなかった。

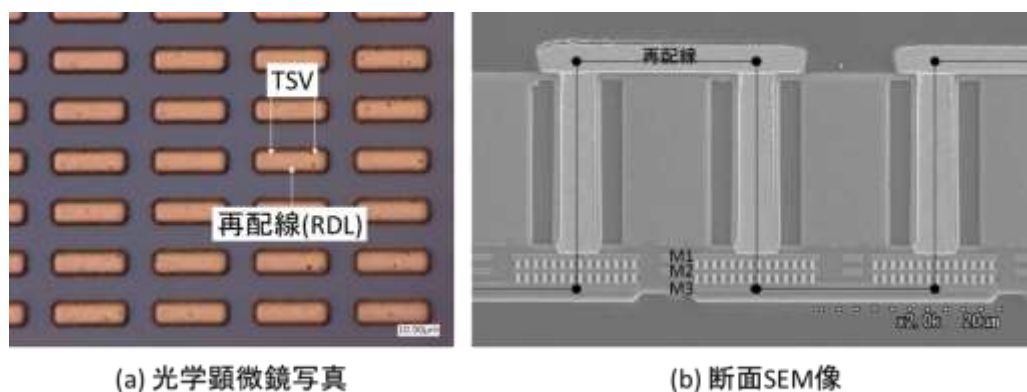


図Ⅲ-2.1.4-14 TSV 断面 SEM 像

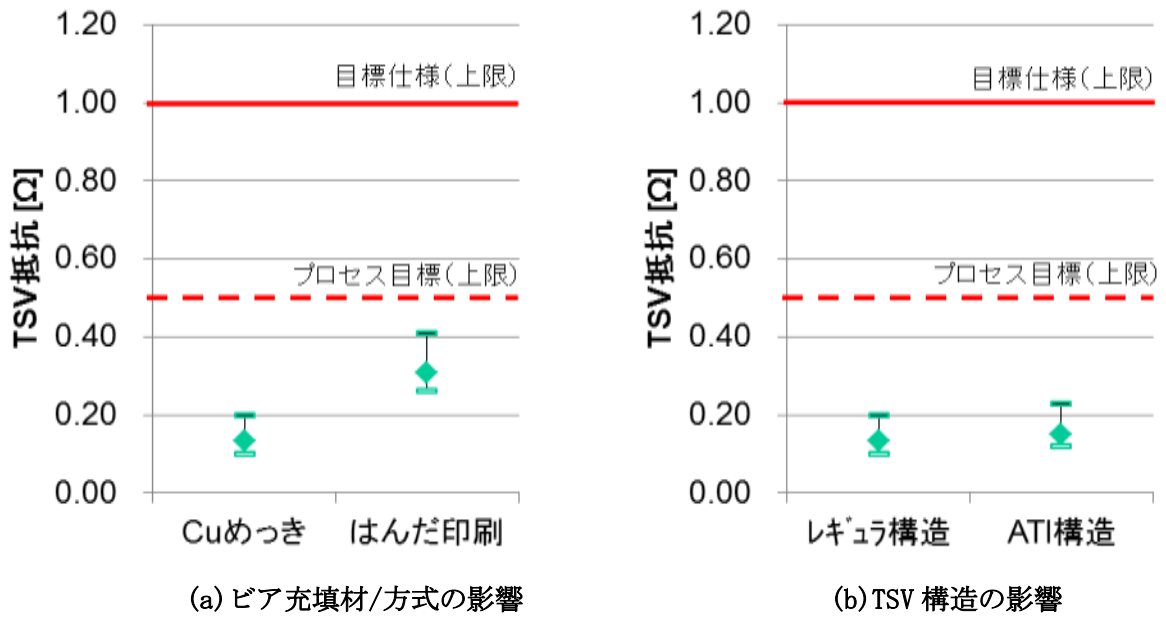
4-2-4) TSV 単体初期特性

4-2-4-1) TSV 抵抗

図Ⅲ-2.1.4-15 に試作測定した 20,000 個の TSV を含む TSV チェーンパターンを観察結果を、図Ⅲ-2.1.4-16 に 1 ノードあたりの TSV 抵抗評価結果を示す。TSV チェーンパターンの電圧-電流特性から、TSV 数と累積抵抗値の関係に変換し、1 ノードあたりの抵抗値を算出した。TSV 抵抗値に対するビア充填材/方式の影響について、導体材料の物性差を反映してはんだ印刷が Cu めっきに比べて若干高めの抵抗値を示したが、いずれもプロセス目標の 0.5Ω 以下を達成した。また TSV 構造の影響については、レギュラ構造と ATI 構造ともに大きな差異がなく、プロセス目標の 0.5Ω 以下となった。



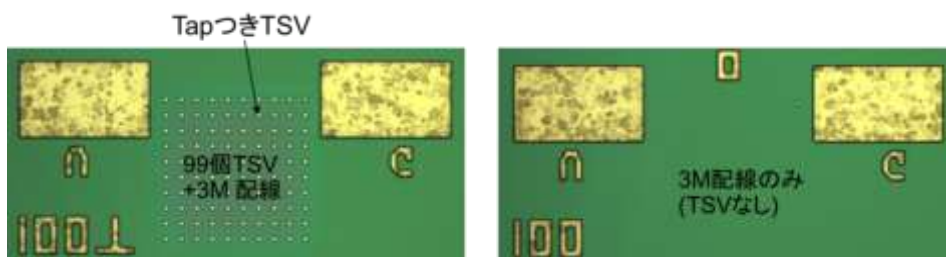
図Ⅲ-2.1.4-15 20,000 個の TSV を含む TSV チェーンパターンの写真



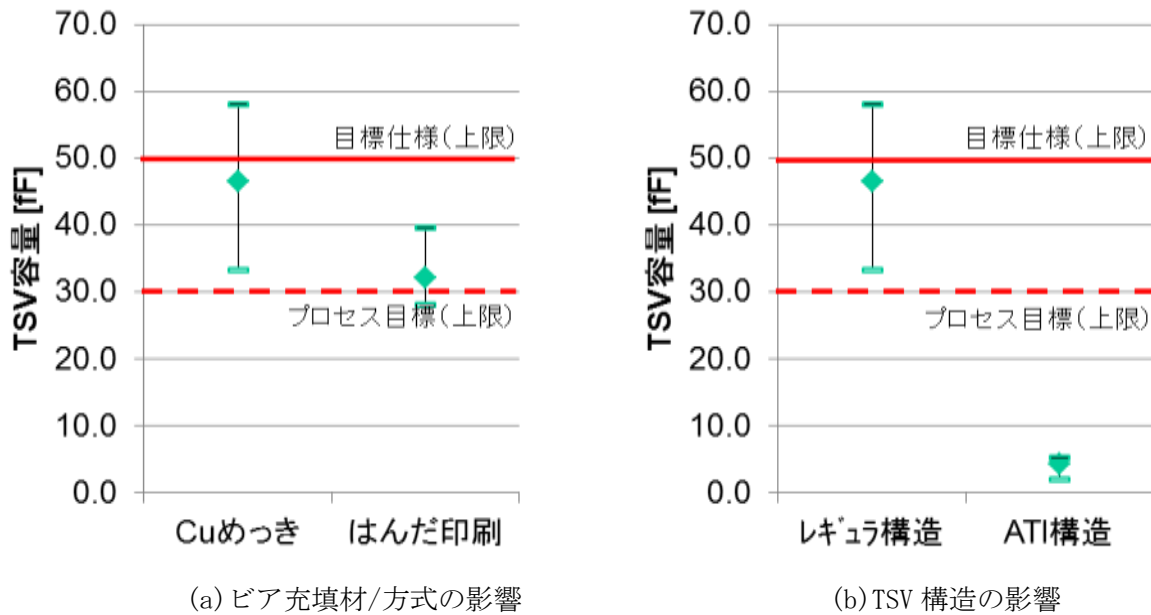
図III-2.1.4-16 TSV 抵抗評価結果

4-2-4-2) TSV 容量

図III-2.1.4-17 に試作測定した TSV キャパシタパターン写真、図III-2.1.4-18 に TSV 容量評価結果を示す。アルミ配線+99 個の TSV の試料とアルミ配線のみ試料の静電容量を測定し、その差分から 99 個の TSV のみの静電容量を測定した。なお測定は、蓄積状態（印加電圧：-5 V）、周波数：1 MHz で行った。TSV 容量値に対するビア充填材/方式の影響については、はんだ印刷と Cu めっきのいずれも、プロセス目標の 30 fF 以下を達成できなかった。はんだ印刷は、Cu めっきより若干容量が低い容量値（目標仕様の 50 fF 以下）を示したが、これははんだ充填時の熱処理（約 250°C）の影響によると考えられる。また TSV 構造の影響については、ATI 構造のみ TSV 容量値約 4 fF とプロセス目標の 30 fF 以下を大幅に達成できた。これは ATI 構造の絶縁リングの効果を反映したもので、レギュラ構造に比べて絶縁幅ばらつきが小さいため、容量値のばらつきも小さく安定した結果となった。



図III-2.1.4-17 20 μm ピッチ並列 TSV キャパシタの光学顕微鏡写真



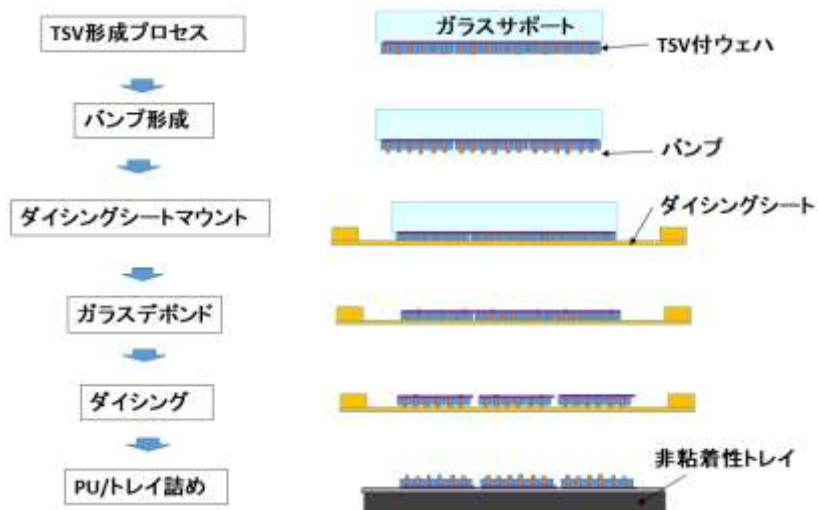
図III-2.1.4-18 TSV 容量評価結果

4-3) バンプ形成

上層用 TEG ウェハに TSV 形成した後、TSV 直上に Cu/Ni/はんだ（厚み 3 μm / 1 μm / 2 μm ）から成る接合用のマイクロバンプを形成した。下層用 TEG ウェハにはパッシベーション開口面に同様のバンプを形成した。尚、バンプ開発の詳細はIII-2.1.6 節で述べる。

4-4) 支持体剥離、ダイシング、ピックアップ

上層用 TEG ウェハの TSV およびバンプ加工面側をダイシングシートに貼り付け、ガラス支持体を剥離した。次いでウェハをブレードダイシングした後、ピックアップを行った。図III-2.1.4-19 にフローの概略を示す。



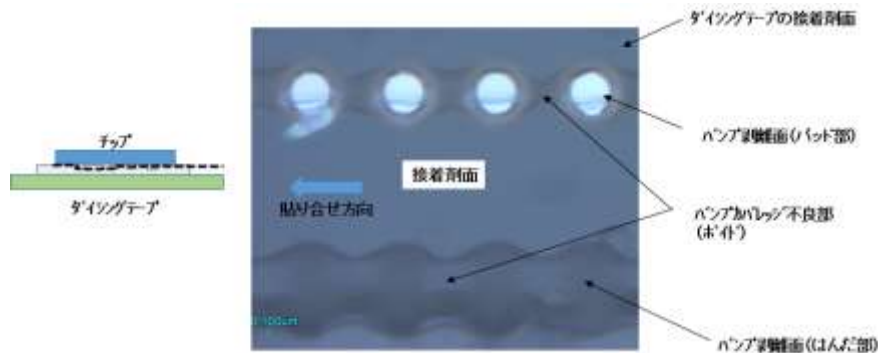
図III-2.1.4-19 プロセスフロー（バンププロセス～ピックアップ）

ベーシカルな製造条件としては、2012年に完了したドリームチッププロジェクトで調査した10 μ m厚のダイシング・ピックアップ結果を参考にして、ダイシングシートは古河電工製UC334を使用した。一方、差異点としては、下記2点が挙げられる。

- (1) 本プロジェクトで対象とするチップサイズが2 mm \times 11 mmと細長い形状となっており、チップ剛性が無く割れやすい。
- (2) ウェハ裏面側に20 μ mピッチの bumps若しくは再配線が形成されている。

【ダイシングシートマウント】

裏面に bumpsが有るウェハをダイシングシートにマウントする場合は、ウェハ裏面および bumpsがシート材と隙間なく密着する必要がある。図III-2.1.4-20に密着性が不十分な場合の写真を示す。ダイシングシート材 UC334-95（ベース基材厚：80 μ m、糊厚：15 μ m、UV照射前接着強度：1.4-1.7 N/m²、照射後接着強度：0.2-0.4 N/m²）を常温下でマウントし、チップをピックアップした後のシート面を観察した。その結果、 bumpsがシートの接着剤に十分埋まっていなかった部分や、 bumpsが根元から取れてシートに残ってしまったケースが発生した。貼り合せ実験をした結果、ステージ温度40 $^{\circ}$ C \sim 50 $^{\circ}$ Cで密着性が良いと判明した。



図III-2.1.4-20 チップピックアップ後の埋め込み不良状態

【ダイシング】

薄チップのチップングやクラック対策として、考慮すべき点は (1) ダイシングのカットの順番 (2) カット深さ (シングルカットかステップカットか) (3) カットスピード (4) ブレードの種類 である。ダイシング装置はディスコ製DFD6361を使用した。

表III-2.1.4-2に評価結果を示す。ダイシングカットの順番は、長辺側をCH1の条件で先にカットして、続いてCH2として短辺側をカットした。これはダイシング中のチップの回転を防止するためである。次にシングルカットと2段階でカットするステップカットを評価した。ステップカットの目的はチップングを抑制するためであったが、薄チップでは効果が無く、チップ断面形状に影響を及ぼす事が判明した(図III-2.1.4-21)。カットスピードについては回転数を遅くしても効果が明確に出ず、CH1とCH2の条件を適正化しながら、ダイシングシートへの切込み深さやブレード剛性を調整する事により、チップングやヘアークラックを改善させることが判明した。本プロジェクトにおけるダイシング条件は表III-2.1.4-2で記載の条件5を用いた。



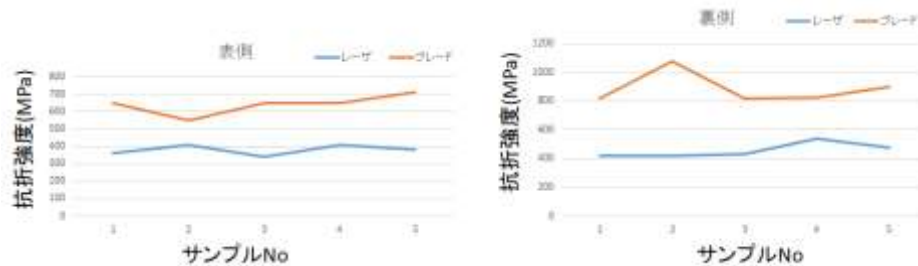
(a) ステップカット時 (条件1) (b) シングルカット時 (条件5)

図Ⅲ-2.1.4-21 カット方法の差による断面形状

表Ⅲ-2.1.4-2 ダイシング条件と評価結果

	条件1	条件2	条件3	条件4	条件5
カット方法	Step cut	Single Cut	Single Cut	Single Cut	Single Cut
スピンドル回転数 [min ⁻¹]	30,000	10000~30000	30000/30000	30000/30000	30000/30000
切り込み深さ [mm]	Z1軸:ウエハへ 10um Z2軸:テープへ 25um	テープへ 15um	テープへ 20um	テープへ CHI 20um/ CH2 15um	テープへ CHI 20um/ CH2 15um
カット速度	10mm/s	5mm/s-10mm/s	CHI: 10mm/s CH2: 5mm/s	CHI: 10mm/s CH2: 10mm/s	CHI: 10mm/s CH2: 5mm/s
ブレード	ZH05-SD4500-NI- 50-BB	ZHZZ-SD4800-HI- 50 AA	ZHZZ-SD4800-HI- 50 AA	ZHZZ-SD4800-HI- 50 AA	CHI: ZHZZ- SD4800-HI-50 AA CH2: ZH05- SD4500-NI-50 BB
評価結果	1CH目:カット時にヘ アクラック状のチップ ング有。 断面方向でのチップ ング大。	1CH目:カット時にヘ アクラック状のチップ ングが減少。 2CH目:コーナー チップング有。	1CH目:カット時にヘ アクラック状チップ ングが大幅減少。 2CH目:短辺カット時 のコーナーチップ ング減少。短辺中央部 にてヘアークラック発 生半数有。	短辺中央のクラック は減少。 コーナー欠けは大幅 に改善。	短辺中央のクラック は最善。 コーナー欠けは大幅 に改善。

またレーザダイシングについても評価した。外観上のチップングやクラックは皆無であるが、図Ⅲ-2.1.4-22 に示すように抗折強度がチップ裏面側から測定した場合で、ブレードダイシングに比較して約 50%に減少する。これはレーザの熱衝撃による低下と想定されたため、本プロジェクトでは採用しなかった。近年では、低熱衝撃のレーザ光の適用も検討されているが、本チップへの評価時点では、明確な効果がまだ見られていなかった。



(a) チップ表面側からの強度

(b) チップ裏面側からの強度

図Ⅲ-2.1.4-22 ダイシング後のチップ抗折強度

【ピックアップ】

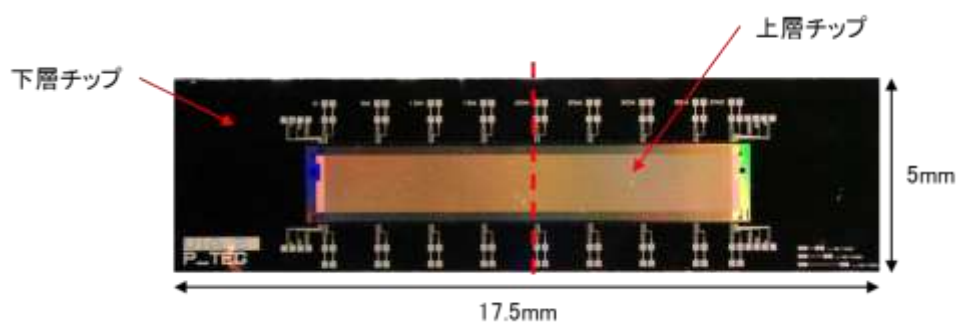
ピックアップは、キヤノンマシンリ製 CAP-3500 を用いた。本装置は薄チップのピックアップが可能なスライド剥離方式を使用している。スライド剥離の方向は、チップ短辺方向に並行で、かつコーナー突き上げ無で実施した。表Ⅲ-2.1.4-3 の条件で、TSV/バンプ付 20 μm 厚のチップを割れ等の発生なくピックアップできた。

表Ⅲ-2.1.4-3 ピックアップ条件

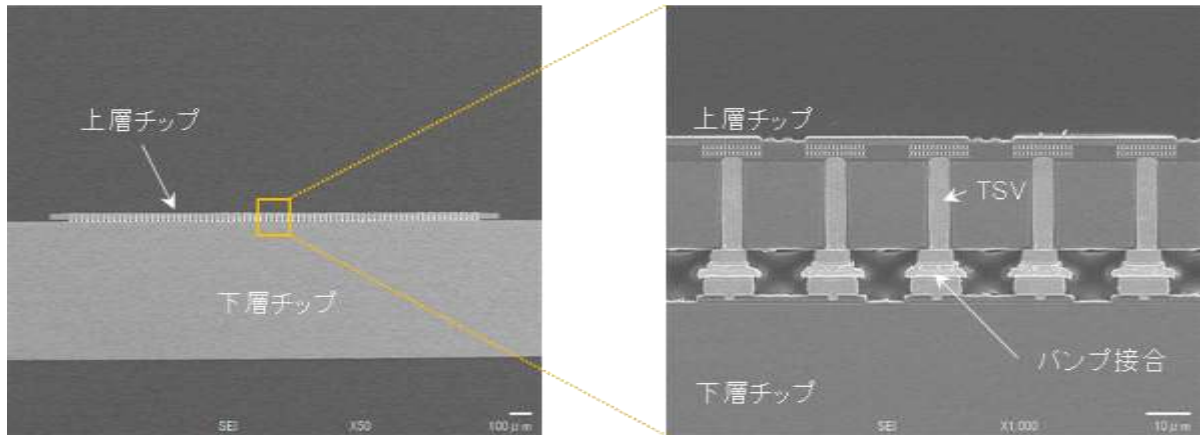
装置	CAP-3500 (キヤノンマシンリ)
ピックアップ速度	1 mm/s
ピックアップ荷重	90 g
吸着時間	500 ms
エキスパンド量	3 mm
チップコーナ突き上げ量	—
突き上げピン位置	—
スライドスピード	200 $\mu\text{m}/\text{s}$

4-5) チップ積層

TSV/バンプ形成済み上層用 TEG チップに対し、同じくバンプ形成した下層 TEG チップとチップ積層を行った。図Ⅲ-2.1.4-23 にチップ積層後の写真を、図Ⅲ-2.1.4-24 に TSV およびバンプ接合部の断面 SEM 像を示す。バンプ同士がアライメント精度良く接合されており、接合界面も良好であることがわかる。38,000 個の TSV/バンプチェーンが電氣的にも問題なく導通していることを確認した。チップ積層開発の詳細はⅢ-2.1.7 節に述べる。



図Ⅲ-2.1.4-23 チップ積層後の写真



図Ⅲ-2.1.4-24 TSV およびバンパ接合部の断面 SEM 像

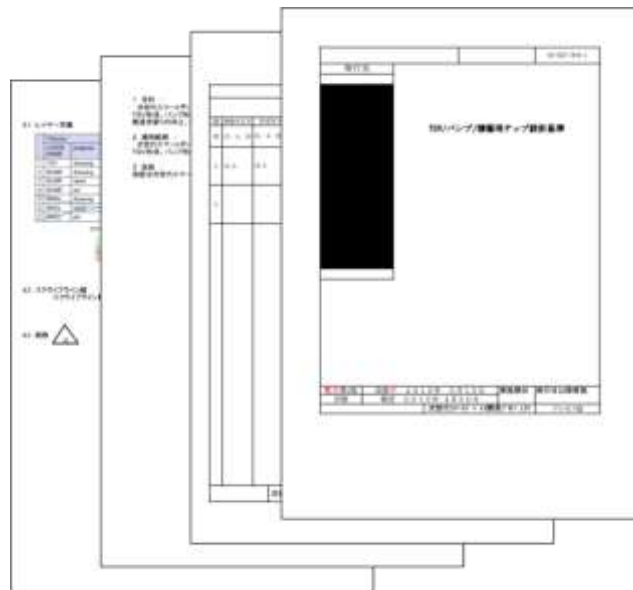
4-6) 信頼性評価

得られた積層チップについて、パッケージ組立後、下記の信頼性評価を行い、目標とした車載基準の信頼性を満たすことを確認した。信頼性評価の詳細はⅢ-2.1.10 節で述べる。

- ・高温保存 (150°C) >1000 時間
- ・高温通電 (150°C@1 mA) >1000 時間
- ・温度サイクル (-40°C~+125°C) >1000 サイクル

5) 技術仕様書

本プロセス開発により完成した TSV インテグレーション技術について、チップ設計基準書、工程仕様書等から構成される技術仕様書 (図Ⅲ-2.1.4-25) を作成した。



図Ⅲ-2.1.4-25 技術仕様書

6) コスト

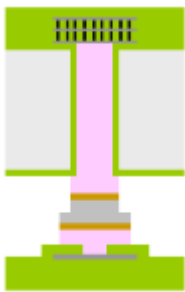
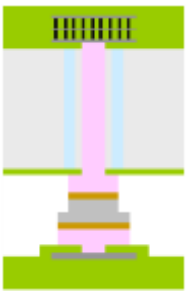


Yole 社のコストシミュレーションツールである 3D-Package CoSim を使用し、従来技術と本プロジェクトで開発した各 TSV 構造のコストを比較した。工程の範囲は、薄化から積層までの工程である。(図Ⅲ-2.1.4-26)

コストを分析した TSV の仕様を表Ⅲ-2.1.4-4 に示す。シミュレーションしたすべての TSV 構造で、コスト目標である従来比 0.7 以下を達成することが確認できた。



図Ⅲ-2.1.4-26 コストシミュレーション解析例

表Ⅲ-2.1.4-4 コストシミュレーション結果

ビア充填剤・方式	Cu 電解めっき		はんだ 印刷	
TSV 構造	レギュラ構造	ATI 構造	レギュラ構造	ATI 構造
縦構造				
コスト (従来比)	0.53	0.64	0.43	0.54

2.1.5 印刷 TSV 技術の開発 (①-4)

(主担当：ラピスセミコンダクタ株式会社、住友精密工業株式会社 (再委託))

(副担当：国立研究開発法人産業技術総合研究所、株式会社デンソー (再委託))

2.1.5.1 研究開発概要

TSV 形成処理工程を大幅に短縮・改善するために、TSV 形状に対して適用範囲の広い TSV 用金属充填技術と絶縁層形成技術および両装置の基盤技術開発を行う。

1) TSV 用金属充填技術および装置

流動性の金属材料を真空環境下でウェハ上に導入し、加圧機構等によって TSV に充填したのちに固化させる技術および装置の基盤技術開発を行う。

2) TSV 用絶縁層形成技術および装置

絶縁材料をウェハ上にあけられたリング状他の溝の中に充填した後に焼成することにより、短時間でウェハ全面に TSV 用絶縁層を形成する技術および装置の基盤技術開発を行う。

2.1.5.2 TSV 用金属充填技術および装置

2.1.5.2-1 目標

TSV に熔融はんだを充填し固化させる TSV 用金属充填技術を材料・プロセス両面で確立し、そのための実験機を製作し、装置化の基盤技術開発を行う。

確立する技術には下記項目を含む

- ・材料の選定
- ・充填プロセスの確立 (ボイドレス充填)
- ・材料充填後の残渣除去工程の確立
- ・アルミ配線との安定した電氣的コンタクトの確立
- ・電極形成コストの抑制

2.1.5.2-2 成果

【材料】

本プロジェクトではビアラスト TSV 形成プロセスへの適用を評価する為、250℃前後で熔融するはんだを選定し充填評価を実施した。評価したはんだ材を表Ⅲ-2.1.5-1 に示す。

その際のウェハテンポラリボンド剤の耐熱性は 250℃程度である。従って、充填処理温 250℃での充填良品率が高く、充填後のウェハの反り量が小さい Sn-0.7Cu-0.05Ni を選択した。

表Ⅲ-2.1.5-1 金属充填材料 材料選定テスト一覧

組成	固相点 (°C)	液相点 (°C)	充填処理温度 (°C)	充填良品率(*1)		ウェハ反り(mm)	
				選別基準=95%以上		選別基準=0.5mm以下	
Sn-5.0Sb	240	243	270	94.9%	△	3mm	×
Bi-2.6Ag	262	270	280	97.0%	○	1mm	×
Bi-2Sn	246	264		99.6%	○	0.5mm	○
Bi-1Sn	257	269		99.1%	○	0.5mm	○
Bi-0.5Sn	263	270		100%	○	0.5mm	○
Bi-2Sn-2Sb(P)	255	265		92.2%	△	0.7mm	△
Bi	271			97.1%	○	0.4mm	○
Sn-3Ag-0.5Cu	217	220		250	61.0%	×	0.9mm
Sn-3.5Ag	221		96.5%		○	0.7mm	△
Sn-0.55Cu	227	229	92.6%		△	0.6mm	△
Sn-0.7Cu-0.05Ni	227		97.3%		○	0.2mm	○
Sn	232		98.5%		○	0.5mm	○

(*1) 径 5μm ピアをダイサーでカットして観察した結果
充填圧力は 0.8MPa で統一

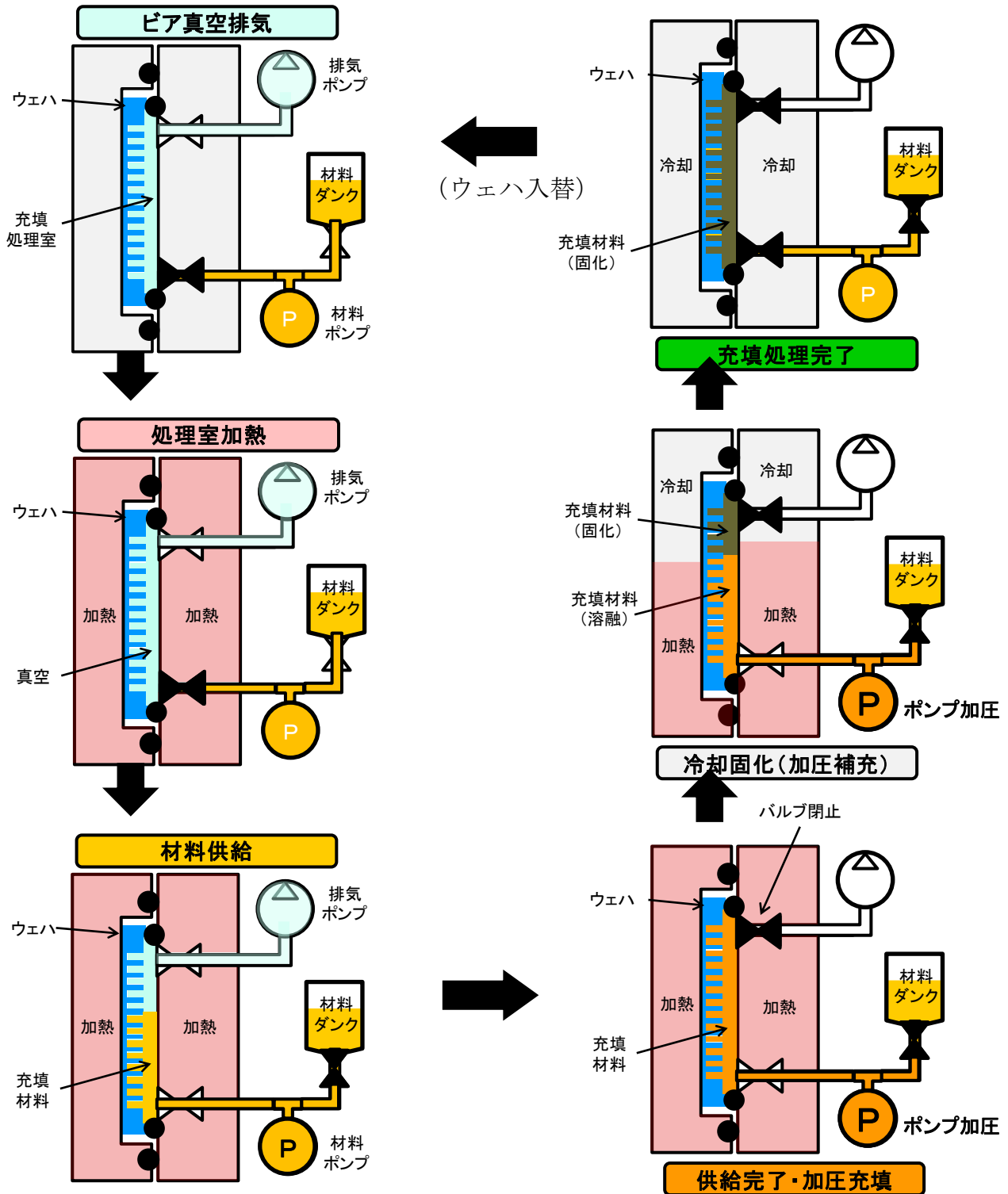
尚、Bi 系材料は凝固時に膨張する特性があり、充填時にボイドを生じ難いという特性を有するが、延性を示さず脆いという特性に注意が必要である。Bi 系材料の配線とのコンタクトについては Ni 層を介在させることで強固な結合が得られることを確認した。

一方、Sn 系材料は凝固収縮が 3%程度と大きく固相変態も生じるため、これによるボイド生成を防止する充填プロセスが重要となる。Sn 系材料の配線とのコンタクトは Cu、Ni などの金属層を介在させることで容易に結合が可能である。

【充填プロセス】

ビア加工面を含むウェハ表面側を真空排気して加熱したチャンバ内に溶融金属を流し込み、その溶融金属に圧力を加えてビアに押し込み、溶融金属を冷却固化する充填法の改善プロセス開発と装置開発を実施した。Sn系はんだ材料の凝固収縮によるボイドの生成を抑制するため、溶融金属を加圧補充しながら一方向に固化できる構造とし、処理室空間の気相分の影響も最小化するためにウェハを縦に配置して真空排気しながら溶融金属を供給できる構造とした。

図Ⅲ-2.1.5-1にウェハを縦配置で処理する装置のプロセスフローを示す。



図Ⅲ-2.1.5-1 金属充填プロセスフロー

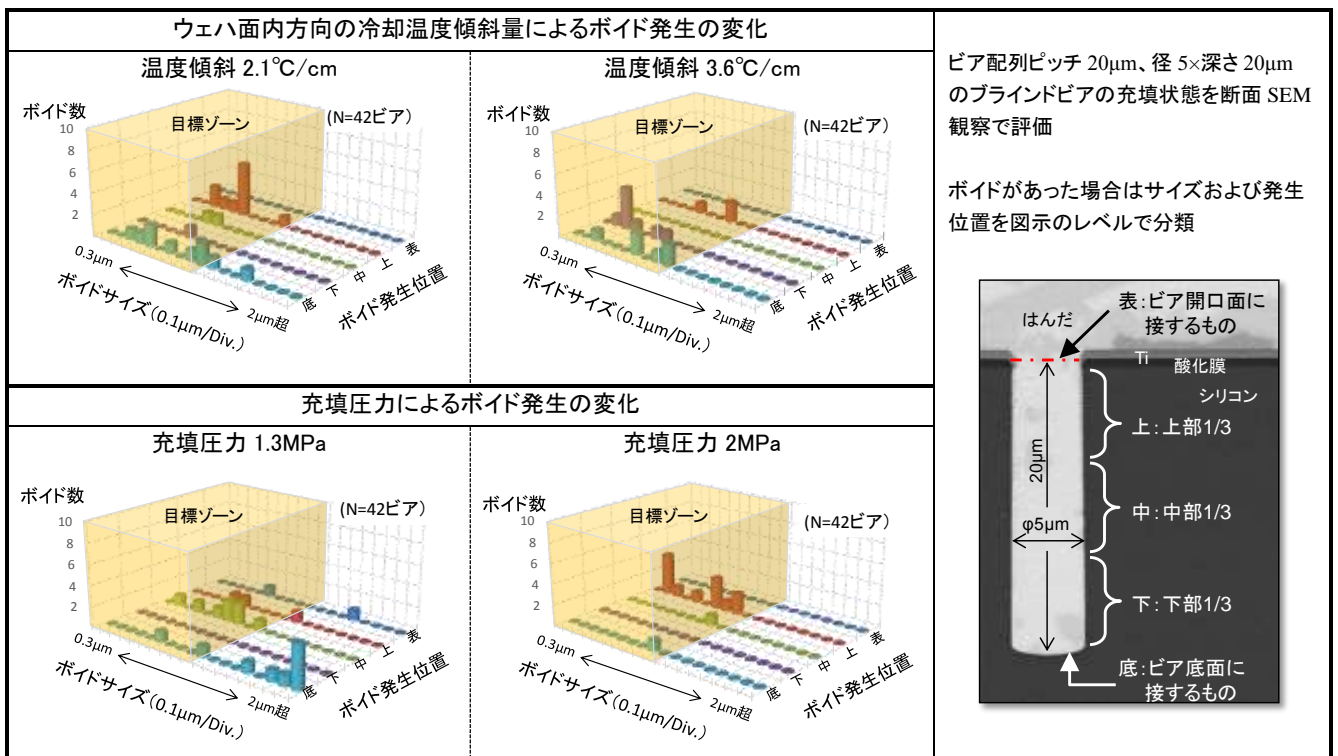
本技術の充填性能として、ビア内のボイドサイズをビア径の 1/3 以下とすることを目標に設定している。この充填性能に対して、充填処理のパラメータが与える影響を評価した。評価の一覧を表Ⅲ-2.1.5-2、評価データの例を図Ⅲ-2.1.5-2 に示す。これにより充填の加圧力だけでなく、固化過程の冷却制御が重要であることが明確となった。これは、冷却条件によって Sn はんだの凝固収縮によるヒケ巣の発生位置やデンドライト生成に影響するためと推定される。

表Ⅲ-2.1.5-2 金属充填パラメータ評価一覧

各評価項目における水準を色付けセルで表示

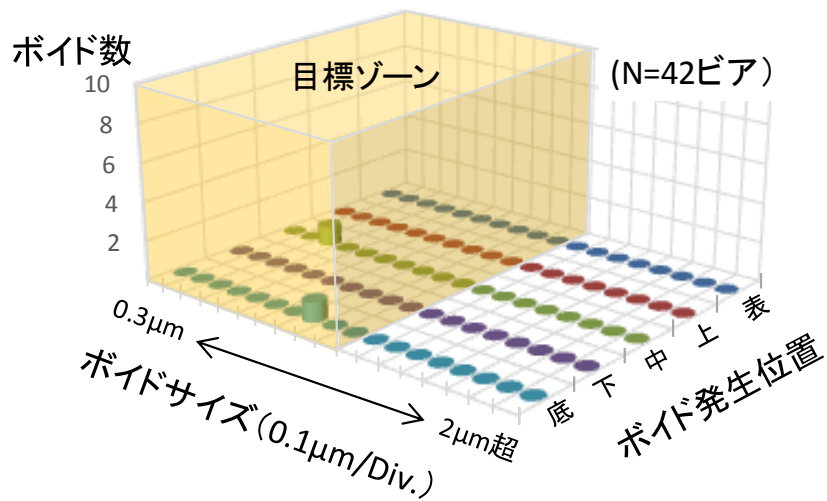
評価項目	充填パラメータ				充填性への効果・傾向	
	冷却条件		加圧補充	充填圧力		ウエハ表面上はんだ厚さ
	面内方向* 温度傾斜					
1 ウエハ面内方向の冷却温度傾斜	2.1°C/cm	あり	2MPa	110μm	効果あり 傾斜大が良	
	2.9°C/cm					
	3.6°C/cm					
2 冷却時の材料加圧補充	3°C/cm (±0.1)	あり なし	1.6MPa	110μm	効果あり 加圧補充ありが良	
3 充填圧力	3°C/cm (±0.1)	あり	2MPa	110μm	効果あり 1.6MPaまでの範囲で影響大	
			1.6MPa			
			1.3MPa			
4 残渣膜厚	3°C/cm (±0.1)	あり	2MPa	60μm	影響なし	
				110μm		
				160μm		
5 各パラメータ複合評価 (冷却温度傾斜 強化)	4.7°C/cm	あり	1.6MPa	110μm	複合で効果確認	

(* 凝固温度付近でのログ値)



図Ⅲ-2.1.5-2 充填パラメータ評価結果 (例)

図Ⅲ-2.1.5-3 にパラメータ評価の結果に基づいて充填条件を最適化したサンプルの評価結果を掲載する。充填条件の最適化により、ボイドサイズ、発生数ともに抑制ができています。



図Ⅲ-2.1.5-3 充填パラメータ評価 (条件最適化)

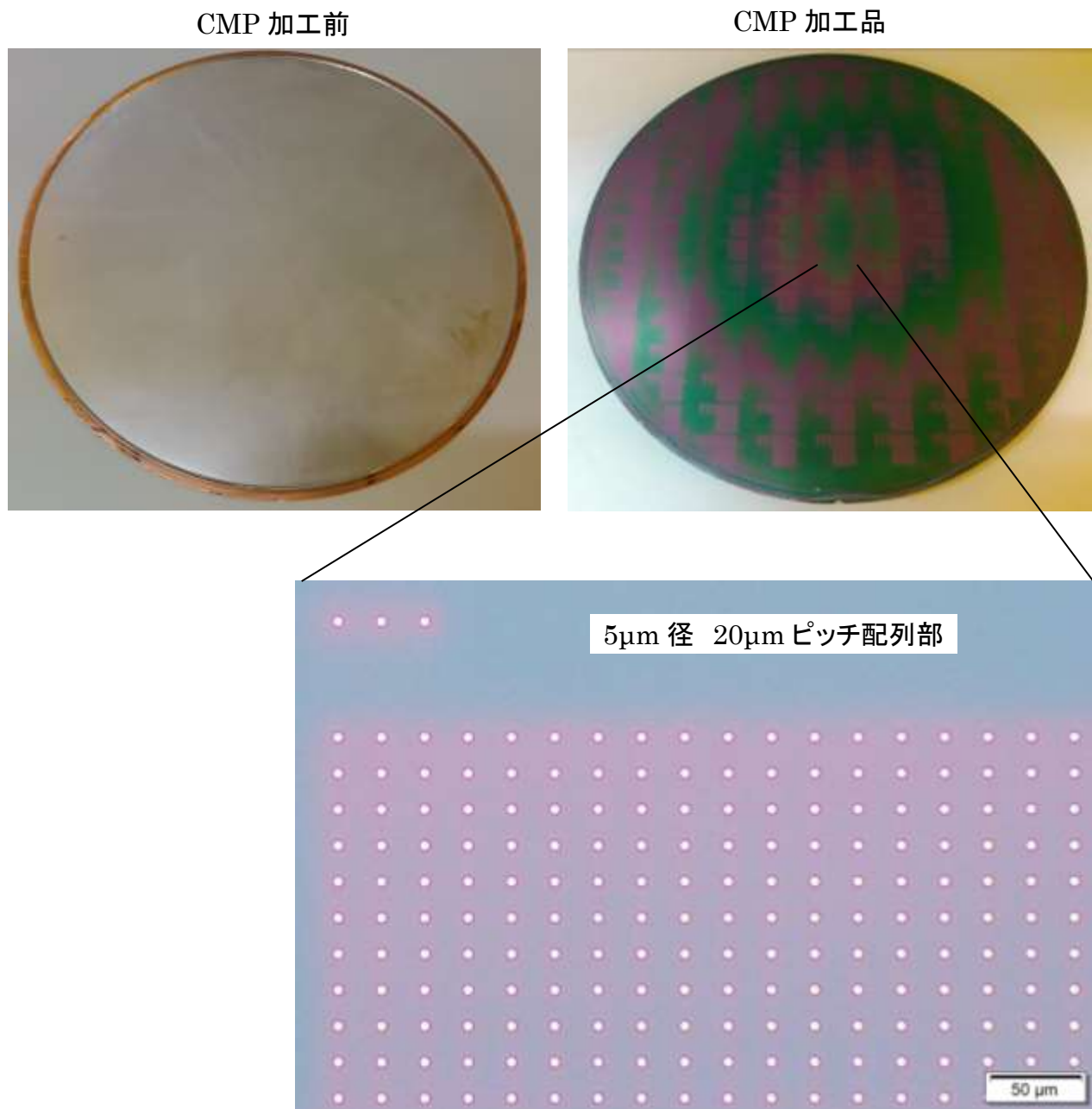
【金属充填後の残渣除去】

TSV を完成させるには金属充填処理にてウェハ表面上に形成されたはんだ膜を除去する必要がある。従って金属膜の除去プロセスを開発した。

①CMP による除去

CMP 加工による Sn はんだの除去加工プロセスを開発した。(図Ⅲ-2.1.5-4)

Sn はんだ用の CMP スラリが存在しないため、Cu めっき膜除去と同等の除去レートは得られず、当初は5~10倍の加工時間を要していたが、スラリー調整等により2.5倍程度の時間まで短縮された。専用のCMPスラリー開発が進めば同等の加工時間が得られると想定している。



図Ⅲ-2.1.5-4 金属残膜のCMP除去

②サーフェスプレーナによる切削除去（プロセスコスト削減の検討）

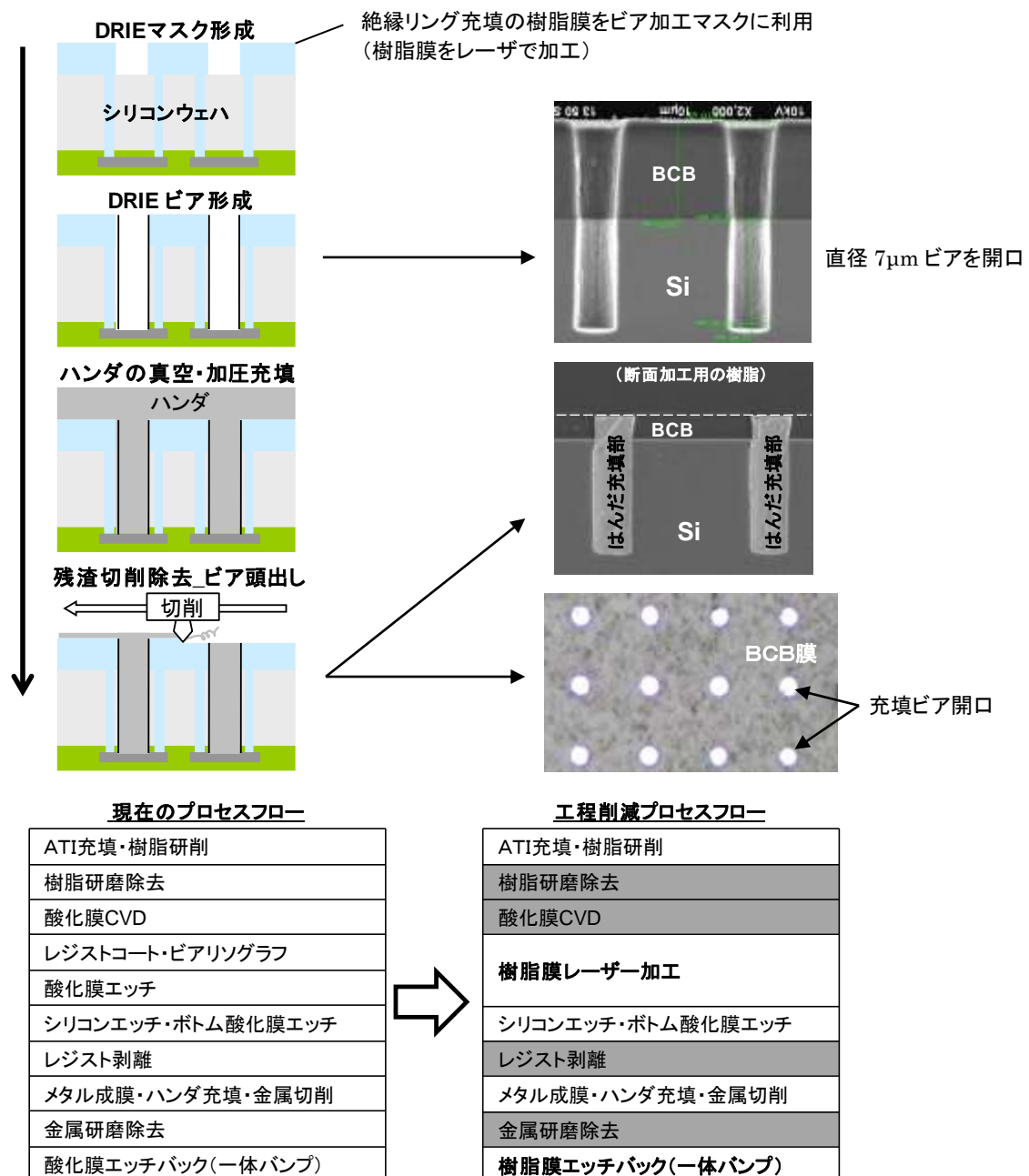
除去加工コストの抑制手段として切削加工による除去プロセスの検討も実施した。

メカニカルな切削加工ではウェハ表面の酸化膜面で加工を停止することが困難であるため、ビア加工に用いる樹脂マスクを切削代として利用して充填ビアの開口を得る方法を取った。ビア加工マスクに耐熱性を有するレジストマスクを利用することで、金属充填の熱処理にも耐え、切削加工だけでも容易に充填ビア開口が得られることを確認した。

さらに、Ⅲ-2.1.5.3 節に記載の絶縁層形成プロセスでウェハ上に形成される樹脂膜をビア加工マスクとして利用し、同様に金属充填後の残膜除去に利用できることも確認した。

(図Ⅲ-2.1.5-5)

直径 10 μm 以上のビアであれば、この手法で TSV プロセスフローを簡略化することで、ATI 構造 TSV のコストを約 20%削減できる可能性がある。



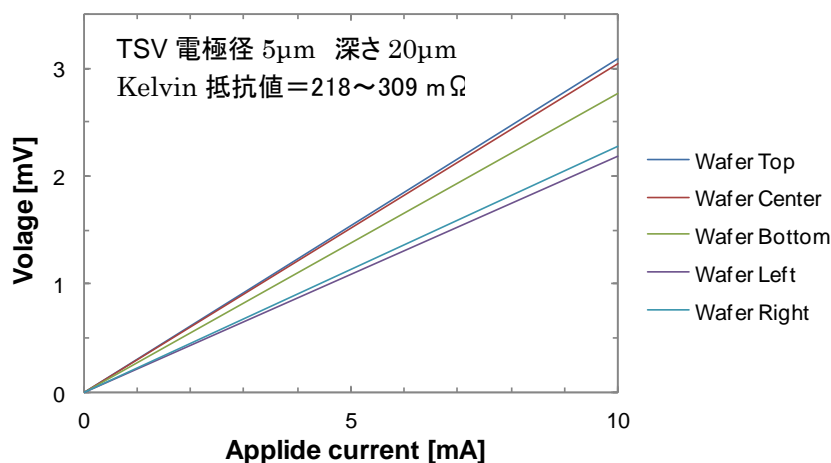
図Ⅲ-2.1.5-5 金属残膜の切削除去

【アルミ配線とのオーミックコンタクト】

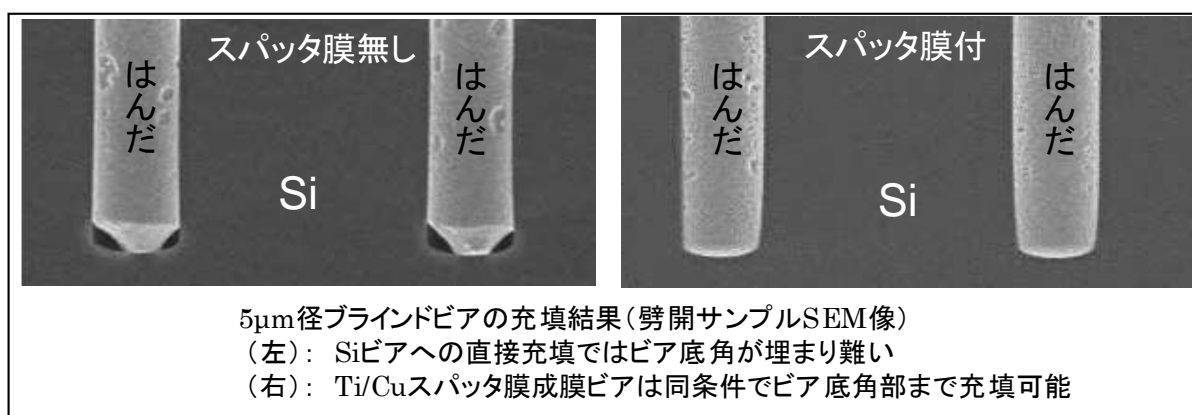
本プロジェクトでは TSV がコンタクトする配線はアルミをターゲットとしている。アルミ配線はビア開口後に表面が酸化するため一般的に Sn はんだとの接合は困難であり、本充填技術でもビア底のアルミ配線と充填金属とで直接のオーミックコンタクトは得られなかった。

対策として Cu めっき充填におけるスパッタ膜 (Ti/Cu 膜) をアルミ配線と Sn はんだとのコンタクト層として用いることとし、結果として Cu めっき充填と同じ条件で成膜したスパッタ膜において理論値相当のコンタクトを得ることが出来た。(図Ⅲ-2.1.5-6)

また、このスパッタ膜はビアに対するはんだの濡れ性を付与するため充填性の向上にも寄与し、特にビア底角部において顕著な充填性の改善が確認された。(図Ⅲ-2.1.5-7)



図Ⅲ-2.1.5-6 アルミ配線を用いたケルビンパターンでの IV 測定結果 (200mm ウェハ中央と外周 4 点の評価データ)

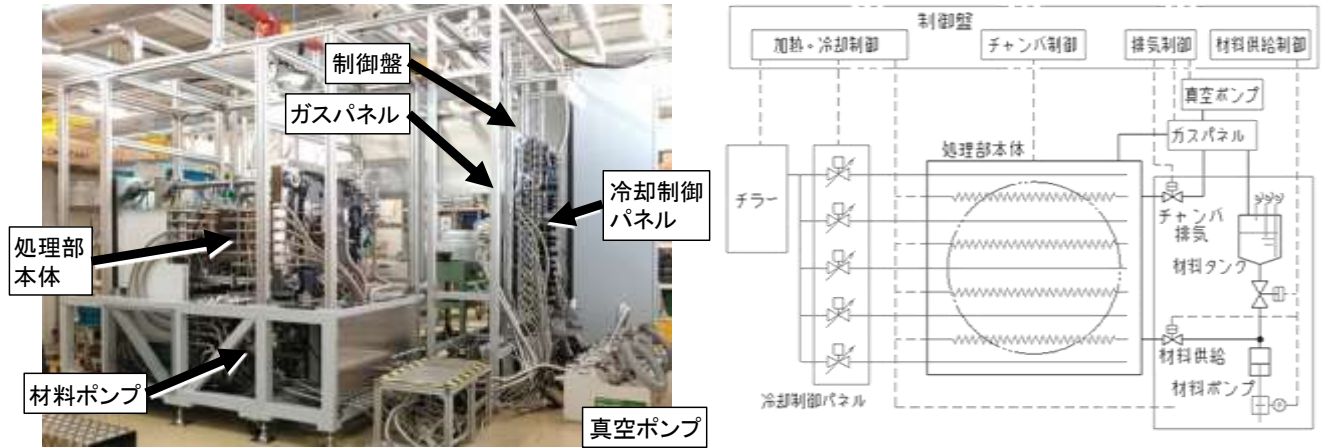


図Ⅲ-2.1.5-7 スパッタ膜による充填性向上

【実験装置】

開発した実験装置の概要を記載する。

充填プロセスの項に記載の通り、Sn系はんだ材料の凝固収縮によるボイドの生成を抑制するため、熔融金属を加圧補充しながら一方向に固化できる構造で装置を製作した。同時に、複数ポイントに処理チャンバの温度モニタを配置し、また、2MPaまでの充填圧力に耐える構造とした。(図Ⅲ-2.1.5-8)



図Ⅲ-2.1.5-8 実験装置の外観とフローシート概略

【装置基本仕様】

本プロジェクトにより得られた充填性能を満たすための装置基本仕様を表Ⅲ-2.1.5-3に記載する。

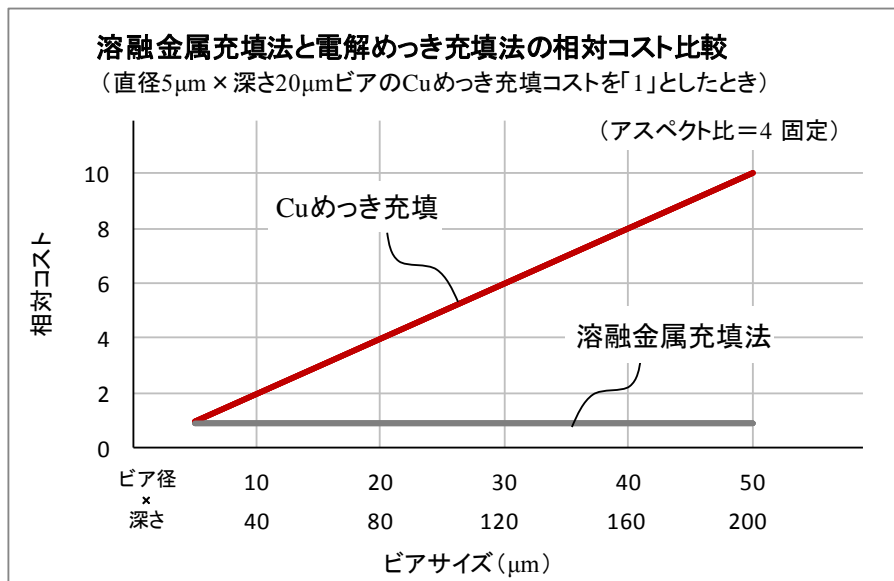
表Ⅲ-2.1.5-3 熔融金属充填装置の基本仕様

項目		仕様
温度	ウェハ冷却温度勾配	≥3.6°C/cm(面内方向)
	温度可変範囲	80~250°C
	面内温度分布	昇温完了時:±10°C
	冷却速度	≥0.4°C/sec
加圧力	充填加圧力	≥1.6 MPa
真空度	処理室真空度	≤5Pa
材料	材料使用量	≤3cc/枚
プロセス	プロセスタイム	昇温 540sec 注湯 120sec 計1080sec (18min) 冷却 420sec
	加圧補充機能	供給圧力 ≥1.6MPa
その他	エッジ除外領域	ウェハ外周より 6mm

【ビア充填コストの抑制効果】

本技術の TSV 充填コストを試算した結果、本プロジェクトのターゲットビアサイズにおいてはめっき充填法に対して 10%程度の改善しか得られない結果となった。これはターゲットビアサイズが微細なため、めっき充填法でも比較的短時間で処理が可能となるためである。

しかし、めっき充填法はビアサイズが大きくなるにしたがって処理時間が増大し、材料使用量も増大するためコストが増加する傾向がある。一方、熔融金属充填法のプロセスコストは基本的にビアサイズの影響を受けずに一定のため、大きなビアであるほどめっき充填法に対するコストメリットが大きくなる傾向を示す。図Ⅲ-2.1.5-9 に両技術のビアサイズとコストとの関係を示す。このコストはアスペクト比を 4 に固定して独自に試算した結果である。



図Ⅲ-2.1.5-9 めっき充填法とのコスト比較

2.1.5.3 TSV 用絶縁層形成技術および装置

2.1.5.3-1 目標

TSV 電極を取囲むリング状の溝に液状の絶縁材料を充填して固化させる TSV 用絶縁層形成技術を材料・プロセス両面で確立し、装置化の基盤技術開発を行う。

確立する技術には下記項目を含む

- ・材料の選定
- ・充填プロセスの確立（ボイドレス充填）
- ・材料充填後の残渣除去工程の確立
- ・絶縁層形成コストの抑制

2.1.5.3-2 成果

【材料】

開発を開始した当初は絶縁層形成材料としてシリカ系材料を選定し、スキージ等によりアニュラトレンチに充填する手法を開発していたが、固化させるための焼成温度を 250℃以下にすることが当初想定以上に困難であることが明らかになり、シリカ系材料の適用を断念した。

代替手段として液状の樹脂系絶縁材料中に浸漬してこれをアニュラトレンチに充填した後に 250℃以下で焼成固化する手法の開発に着手。樹脂系絶縁材料の候補は 8 種類ほどあり、これらについて充填性能、発生膜応力、物性値実測結果等の評価を行った。またこれらのデータを使用して産業技術総合研究所でシミュレーションによる TSV 構造解析を行い、その結果から材料を選定した。(表Ⅲ-2.1.5-4)

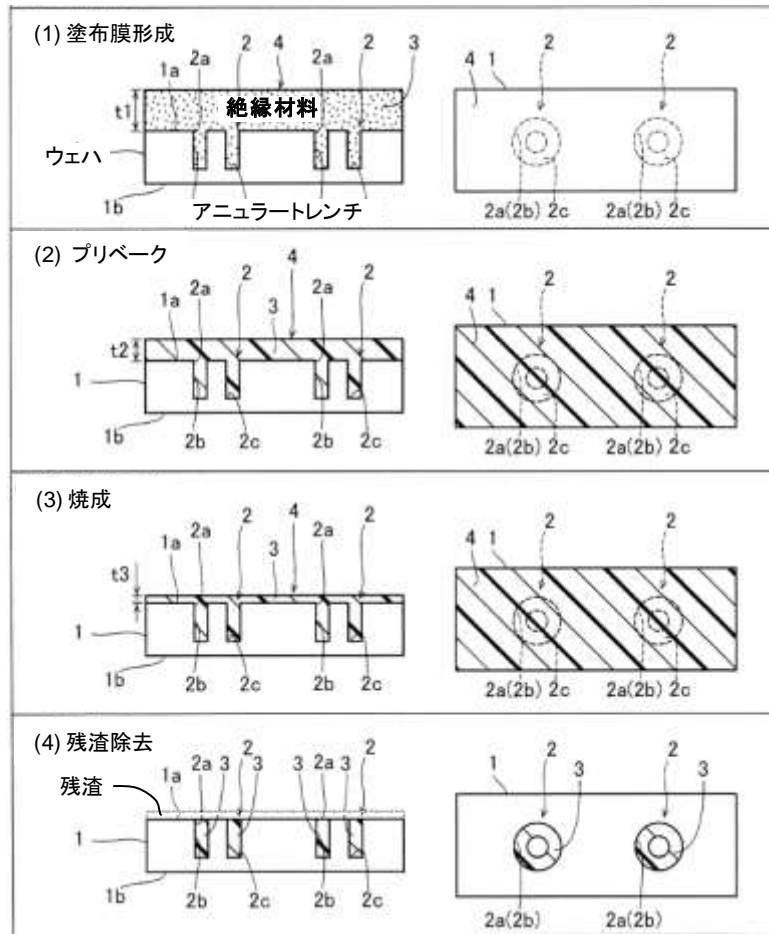
表Ⅲ-2.1.5-4 絶縁層形成材料の絞込み

評価項目	物性値	TSV構造応力 解析シミュレーション	絶縁性能	充填良品率	密着性	判定結果
判定基準	TMA引張モード 変位量<10% (室温⇔350℃)	デバイス領域への応力 (硬化温度→室温時) SiO ₂ =186MPa	比誘電率<8.1 (SiN膜同等)	≥95%	テープテスト	
フッ素系	○	△ (391MPa)	○ 4.3~5.8	○ 100%	○	採用
BCB	○	○ (-)	○	○ 100%	○	採用
シリコーン	X	○ (1.8MPa)	X 測定できず	/	/	採用不可
PI系_1	△	△ (601MPa)	○ 4.2~5.4	X 0%	○	採用不可
PI系_2	○	X (907MPa)	○ 4~5.4	X Siホスト変形	/	採用不可

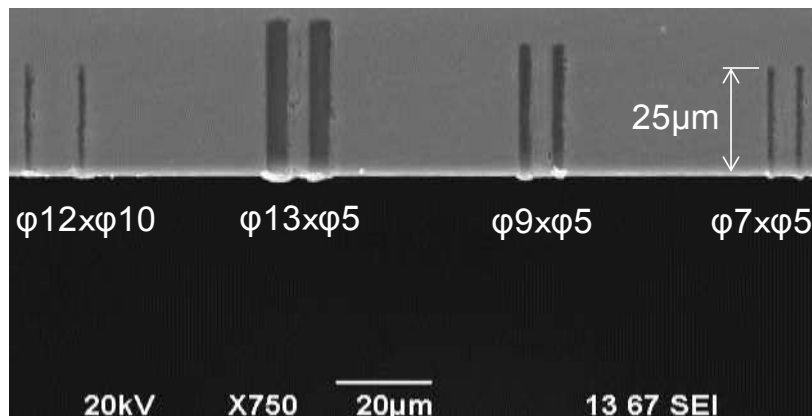
(○=適合 △=改善余地あり X=対策不可)

【絶縁層形成プロセス】

候補材料を使用して充填試験を重ね、基本プロセス技術を確定した。(図Ⅲ-2.1.5-10)
 また、選定した材料は幅 $1\mu\text{m}$ 深さ $25\mu\text{m}$ のアニュラトレンチにおいても良好な充填性を示した。(図Ⅲ-2.1.5-11)



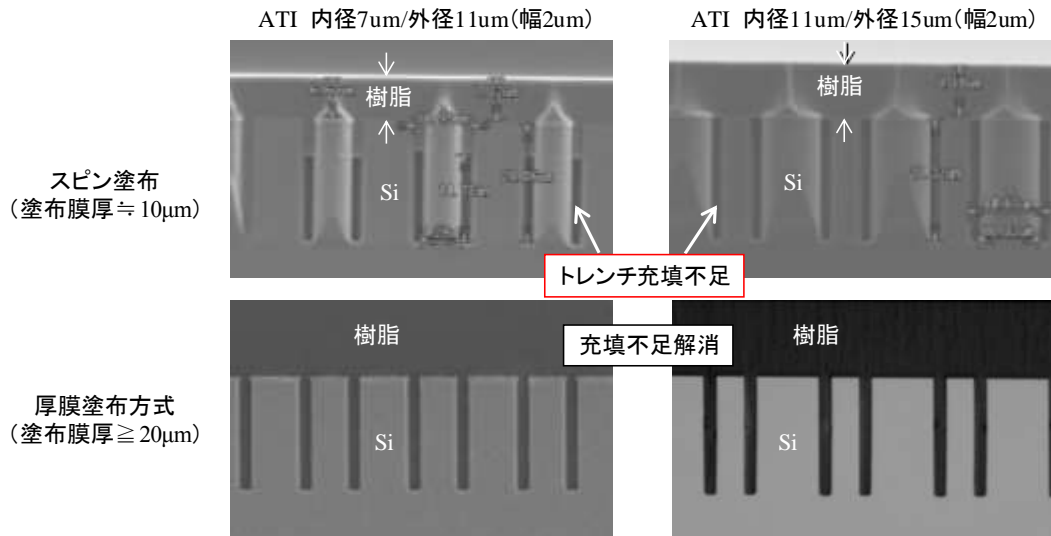
図Ⅲ-2.1.5-10 基本プロセス技術の確立 (特許出願)



図Ⅲ-2.1.5-11 充填したサンプルの断面の電子顕微鏡写真
 (絶縁層形成材料をアニュラトレンチに充填)

【ボイドレス充填】

さまざまなトレンチ形状に対して充填評価を実施したところ、トレンチサイズの拡大および開口率が高くなるとベーク過程での充填材料の体積減少によってトレンチ内の充填不足を発生する事が判明した。この問題の解消には、材料塗布の過程でウェハ上にトレンチ深さの1~1.5倍の厚膜形成が必要であることを明らかにした。これに対し、スピン塗布方式ではウェハ上に十分な材料（膜厚）を形成する事が出来ない為、厚膜を形成できる塗布方式を開発し、ボイドレス充填に必要な塗布膜厚を確保する事で充填良品率95%以上を達成した。（図Ⅲ-2.1.5-12）

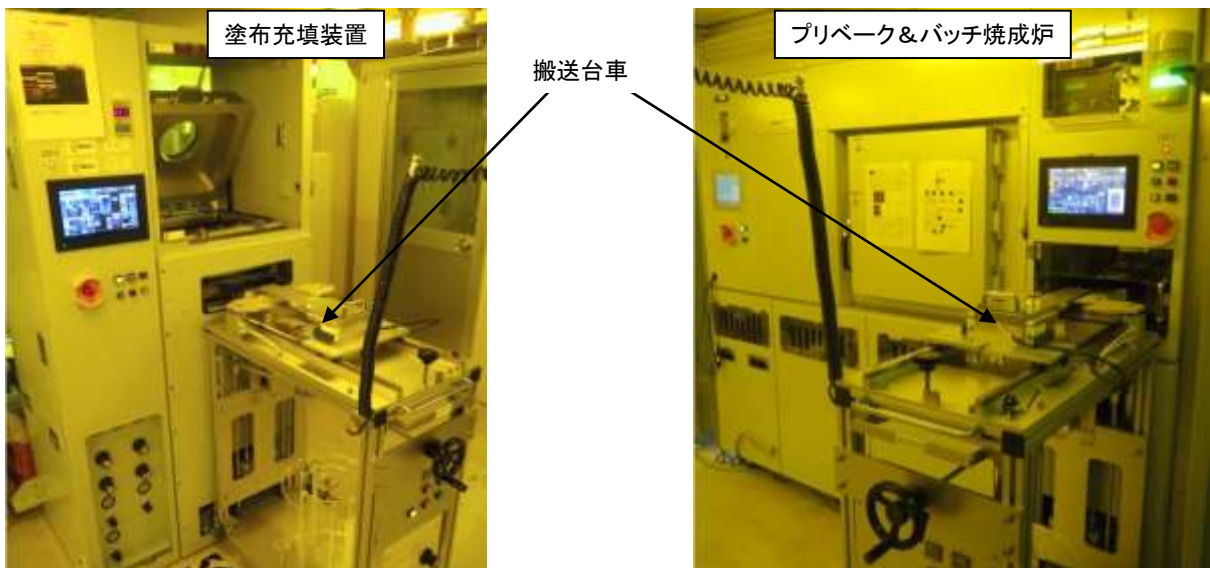


図Ⅲ-2.1.5-12 塗布方式と充填結果（充填材焼成後の ATI 断面 SEM 像）

【実験装置】

実験装置の概要を記載する。

ウェハは搬送台車にセットし、搬送台車から塗布充填装置およびプリベーク&バッチ焼成炉に投入できる構造とした。プリベーク&バッチ焼成炉内では枚葉式でプリベーク処理されたウェハが自動で石英カセットに収納され、石英カセットでバッチ焼成した後、石英カセット毎取出しステージに移載されて絶縁層形成処理が完了する構造となっている。（図Ⅲ-2.1.5-13）

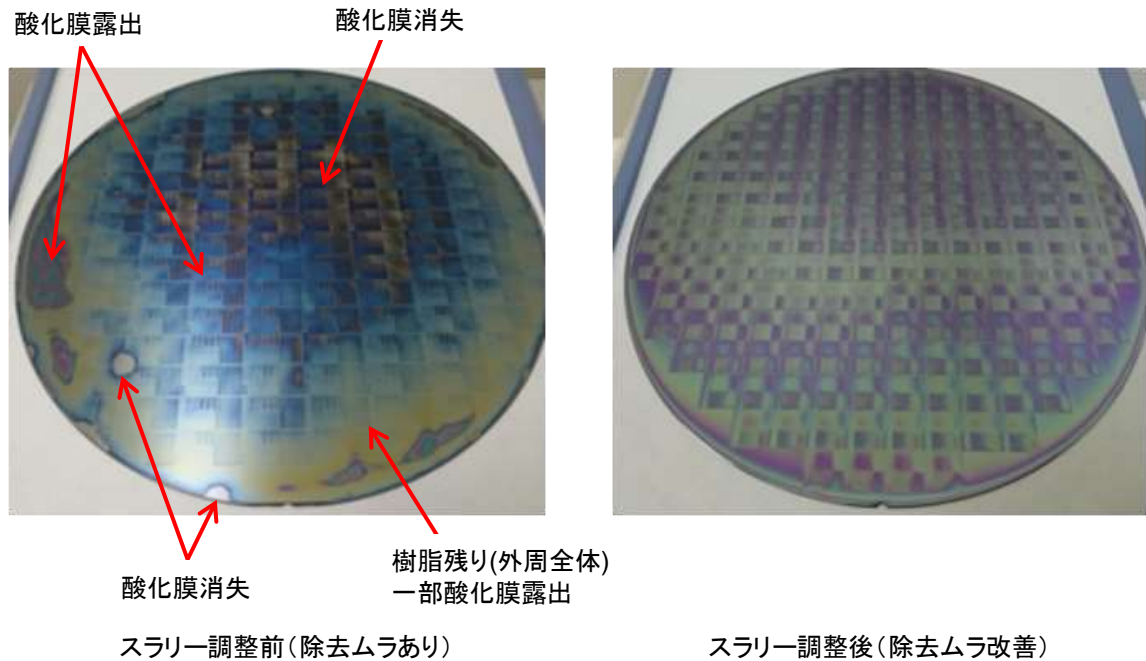


図Ⅲ-2.1.5-13 実験装置外観

【絶縁材料充填後の残渣除去】

次工程に渡す条件として、ウェハ表面の酸化膜を残した状態で絶縁樹脂残渣を完全に除去するプロセス要求があり、グラインドによる粗加工とCMP仕上げによる残渣除去の評価を実施した。

CMP スラリの配合を調整し、絶縁樹脂材と酸化膜の選択比を高くする事で絶縁樹脂残渣を完全に除去する事ができた。(図Ⅲ-2.1.5-14)



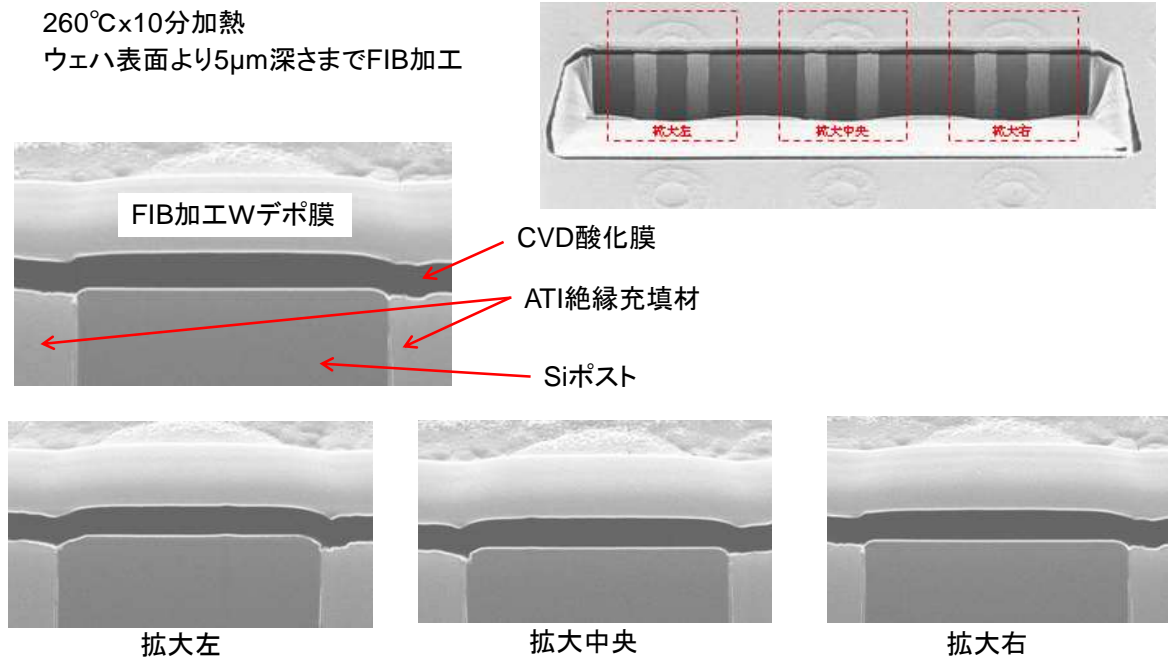
図Ⅲ-2.1.5-14 残渣除去加工結果

また、ガラスサポートウェハの場合、ガラス貼合せ部分に付着した絶縁材料はCMP加工で除去できず、サポートガラスからのウェハデマウント工程で不具合を生じる。従って、ガラス貼合せ部分への絶縁材料の付着を回避する必要がある、実験装置の塗布充填装置はスプレッド方式から、塗布範囲の設定が可能な描画塗布方式に構造を変更することで対策を施した。

【熱プロセス耐性の確認】

絶縁材料を充填したアニュラトレンチの上に酸化膜を成膜した場合に、充填材のポップアップ現象などによる不具合を生じることが無いかを確認した。

絶縁材料が充填されたアニュラトレンチ上に CVD 酸化膜を 500nm 成膜した後、260°C で 10 分間の加熱処理を行ったサンプルを作成し、CVD 酸化膜／絶縁充填材の界面周辺の断面観察を実施した結果、変形・クラック等の不具合を生じないことが確認された。(図Ⅲ-2.1.5-15)



図Ⅲ-2.1.5-15 後工程温度耐性評価結果

【絶縁層形成コストの抑制】

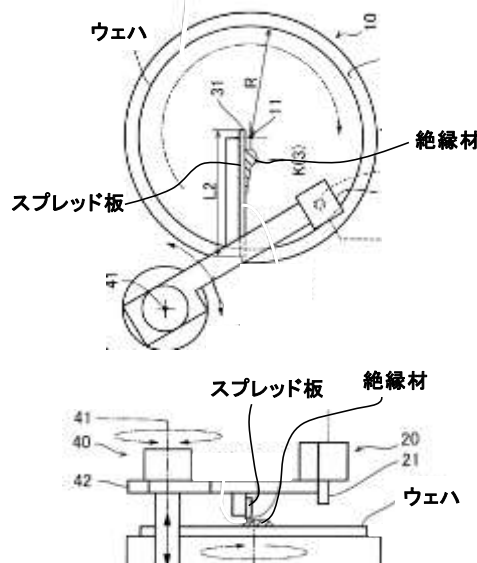
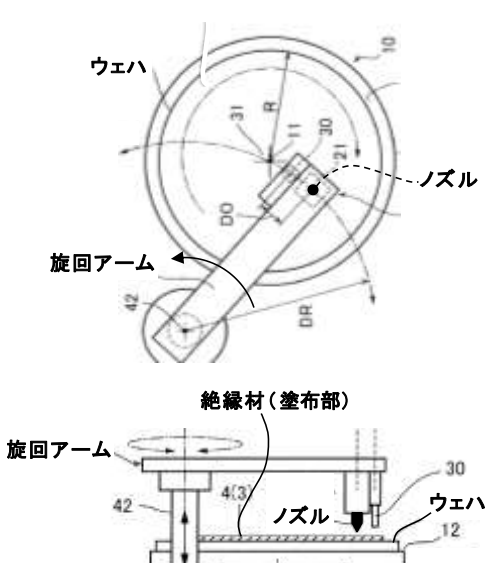
Ⅲ-2.1.4.3節-6) 項のATI 構造 TSV コストシミュレーションでは、絶縁層形成プロセスの材料消費量は2g/枚、処理能力は1時間当たり6枚と設定しており、これを目標性能として実験装置の開発を進め、下記の対応によって目標を達成した。

ー 材料消費量の削減 ー

アニユラトレンチを絶縁材料で完全に充填するには、前述の通り、ウェハ上の絶縁材料の塗布膜厚はトレンチ深さの1~1.5倍必要であり、例えばトレンチ深さが20μmの場合は塗布膜厚が20~30μm必要となる。これに対して、絶縁材料の塗布方式としてスプレッド方式では塗布膜厚のばらつきが大きく、ウェハ全面で完全な充填を達成するにはトレンチ深さの2倍以上の塗布膜厚設定が必要であった。そこで描画塗布方式を開発することで塗布膜厚のばらつきを改善し、材料消費量を2/3以下に削減することで材料消費量の目標を達成した。(表Ⅲ-2.1.5-5)

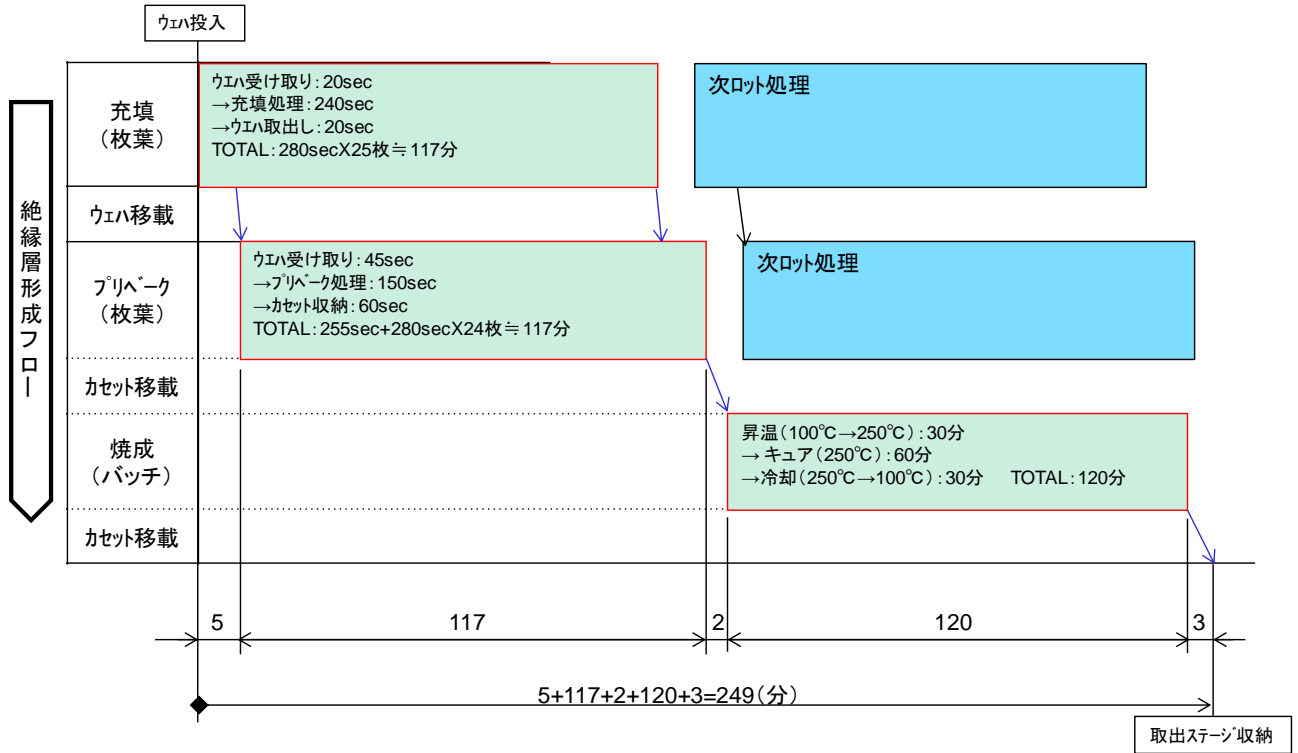
表Ⅲ-2.1.5-5 材料消費量削減効果検証結果

(ウェハサイズ=8インチ)

方式	スプレッド方式(特許出願)	描画塗布方式(特許出願)
構造	 <p>ウェハ中央に供給した液体をスプレッド板で塗り広げることで膜を形成する方法</p>	 <p>ウェハ表面に渦巻き状の軌跡を描くように液体を塗布することで膜を形成する方法</p>
設定膜厚	60μm	30μm
生成膜厚	60±30μm	35±5μm
塗布量	2.4g	1.3g

— 処理能力の向上 —

熱硬化性樹脂材料は概ね 1～2 時間程度の焼成時間を必要とする。これに対し、本プロジェクトではウェハ 25 枚のバッチ焼成炉を適用することにより、1 時間当たり 6 枚の処理能力を達成した。(図Ⅲ-2.1.5-16)



図Ⅲ-2.1.5-16 処理能力 (25 枚処理時間)

2.1.6 印刷等によるマイクロバンプ形成技術・反り対策技術の開発 (①-5)

(主担当：ラピスセミコンダクタ株式会社、株式会社デンソー (再委託))

(副担当：国立研究開発法人産業技術総合研究所)

2.1.6.1 研究開発概要

本プロジェクトでは、印刷法等による新しいバンプ形成プロセスを開発し、従来のめっきによるバンプ形成のプロセスよりも、プロセス時間の削減を実現する。

2.1.6.2 目標

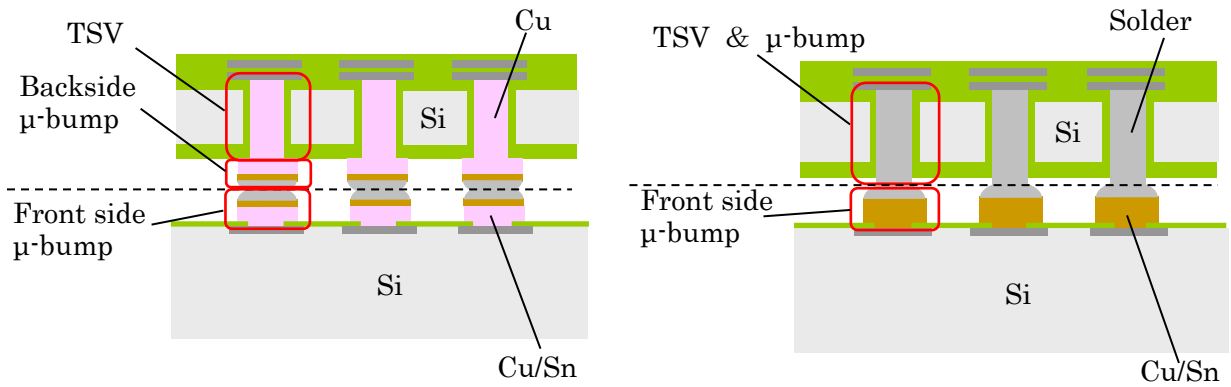
本プロジェクトでは、Ⅲ-2.1.4 節に記載した TSV 仕様を満足するため、目標とするバンプ径を直径 10 μ m 以下とし、対応する関連技術の開発を行う。

2.1.6.3 成果

本プロジェクトでは、従来のめっきによるバンプ形成のプロセスよりもプロセス時間を削減し、直径 10 μ m 以下の微細バンプ形成を実現するために、印刷方式の検討、印刷材料の選定、TEG による印刷技術の技術的検討、反り対抗層の検討を行った。

まず、バンプ形成プロセス時間の削減について説明する。従来の Cu-TSV を用いた構造と、本プロジェクトのはんだ-TSV を用いた構造を図Ⅲ-2.1.6-1 に併記した。(a) に示す従来品では、上チップに形成された Cu-TSV および Cu-マイクロバンプと、下チップに形成された Cu-マイクロバンプを接合することで積層構造を提供する。(b) に示す開発品では、上チップに形成されたのはんだ-TSV と、下チップに形成された Ni-マイクロバンプを接合することで同様に積層構造を提供することができる。これらの違いとして、上チップの Cu-マイクロバンプ形成工程が削減できることで、ウェハ加工の一部工程が減少し、大幅なコストダウン効果が見込める。さらに下バンプ材料を、従来の Cu から Ni に変更することで、車載信頼性を兼ね備えた構造を提供することが可能となる。

以下に詳細を説明する。



(a) 従来品：Cu-TSV

(b) 開発品：はんだ-TSV

図Ⅲ-2.1.6-1 TSV断面構造

本プロジェクトの開発品と従来品の製造工程フローを図Ⅲ-2.1.6-2に示す。

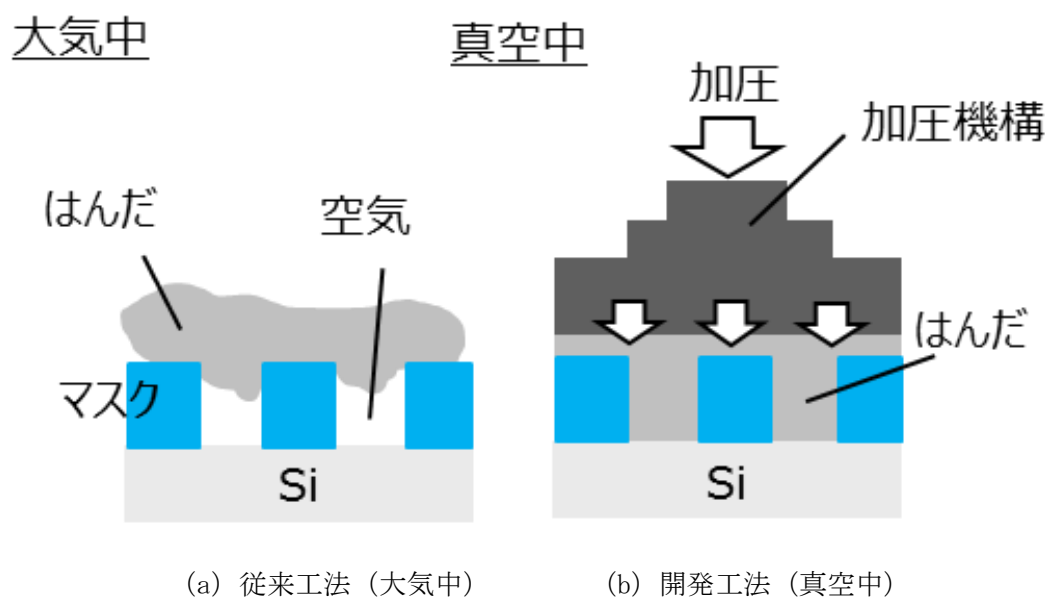
	従来技術	開発技術
バンプ径	20 μ m	7 μ m
工程数	13	9
構造		
工程	<ul style="list-style-type: none"> ● フトリソ ● Siエッチング ● 洗浄 ● TEOS成膜 ● TEOSエッチング ● スパッタ ● Cuめっき ● CMP ● UBM成膜 ● フトリソ ● Cu/Ni/SACめっき ● レジスト剥離 ● UBM除去 	<ul style="list-style-type: none"> ● フトリソ ● Siエッチング ● 洗浄 ● TEOS成膜 ● TEOSエッチング ● スパッタ ● TSVバンプ一体形成 ● CMP ● エッチバック <p style="text-align: right;">} 4工程分の削減</p>

図Ⅲ-2.1.6-2 製造工程フロー

従来品の製造工程では、ビアをエッチング後、スパッタ膜形成工程を経てCuめっき、CMP (Chemical Mechanical Polishing) 工程後にはTSV形成後、バンプを形成するためのUBM (Under Bump Metal) 成膜およびフォトリソ、Cu/Ni/SnAgCuめっきを施した後、レジスト剥離、UBM除去工程を経て、上チップのウェハ工程を完了する。このように、従来品のCuめっき法では、TSVとバンプが別工程のため工程数が多いという問題がある。

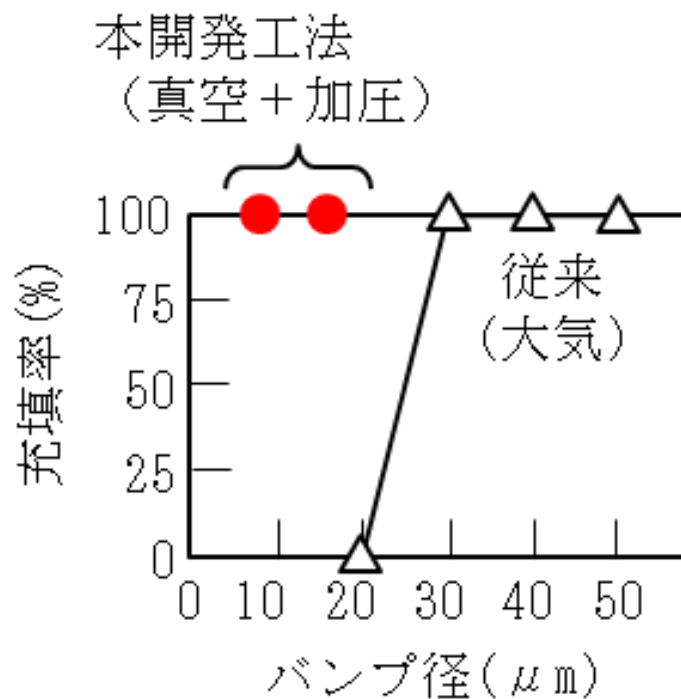
これに対し工程削減によるコスト低減を狙った製造工程では、ビアをエッチング、スパッタ膜形成後、溶融金属を充填、金属研削、CMPを行う。その後エッチバック工程を追加することで、高さ1 μm 以下のはんだ突起構造を形成することができた。ただし開発工程の溶融金属を充填する際、大気中の印刷法において、直径20 μm 以下では空隙が発生し、微細なTSV径の埋め込みができないという課題が挙げられる。

この課題を解消するため、Ⅲ-2.1.5節にて記載の印刷TSV技術を用いることで、従来の大気中での印刷法と比べ、より狭小ビアへの充填が可能になった。図Ⅲ-2.1.6-3に従来工法と開発工法を比較して図示する。図Ⅲ-2.1.6-3(a)は、従来の印刷工法での溶融はんだ充填を示しており、ビアの上部からのはんだを充填するため、ビア中の空気が閉じ込められボイドとなる。一方、図Ⅲ-2.1.6-3(b)の真空中加圧印刷法では、印刷時に溶融はんだがウェハを覆った後、加圧機構ではんだを加圧し、ビア内のボイドを最小化することができる。また印刷時にビア内も減圧状態になるため、外圧による圧縮効果が期待でき、よりボイドを抑制可能な工法である。



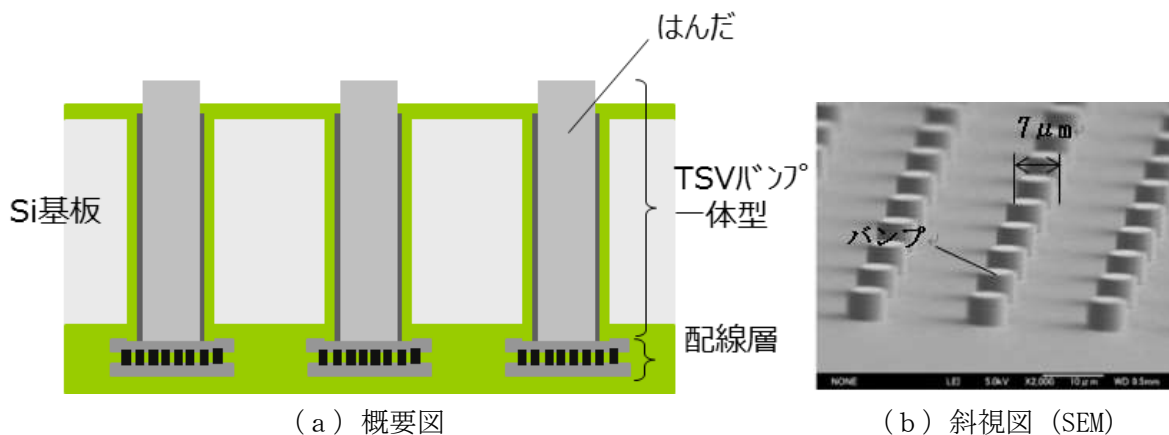
図Ⅲ-2.1.6-3 真空加圧法

はんだ充填工法を用い、バンプ径に対する充填率の関係を調査した結果を図Ⅲ-2.1.6-4に示す。従来工法では、バンプ径20 μm 以下になると溶融はんだがビアに充填できず、ビア内にボイドが多発したのに対し、開発工法を用いた場合には、7 μm のバンプ径でも100%の充填率を確保できている。



図III-2.1.6-4 バンプ形成結果

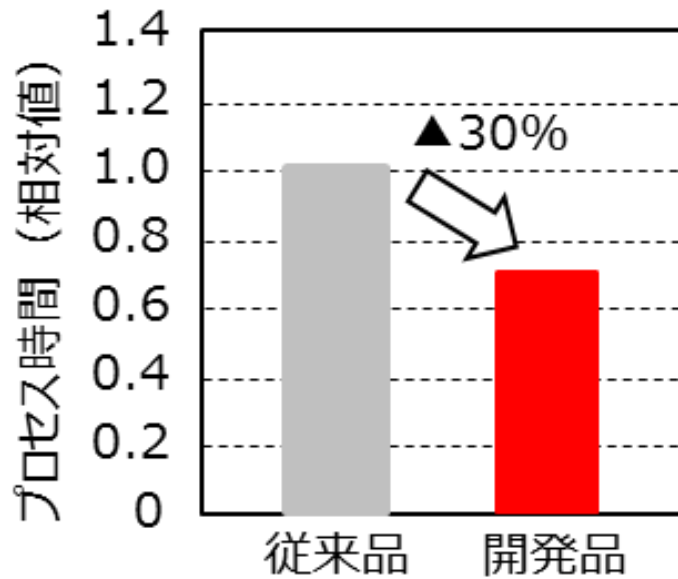
本開発の製造工法を用いて製作したはんだ-TSV 一体構造の概要図、および鳥瞰図を図III-2.1.6-5 に示す。同図にはバンプ径 7μm の試作品を掲載しており、積層に適するようバンプ高さを 1μm 以下にした。



図III-2.1.6-5 TSV バンプ一体構造

このように、真空加圧法を用いた製造工程の採用により、従来の大気中での印刷では達成し得なかった狭小ビアの電極埋め込みは、目標とする 10μm 以下となる 7μm のバンプ径をボイドレスで製造することができ、従来工程より 4 工程少ない工程で製造することを可能にした。

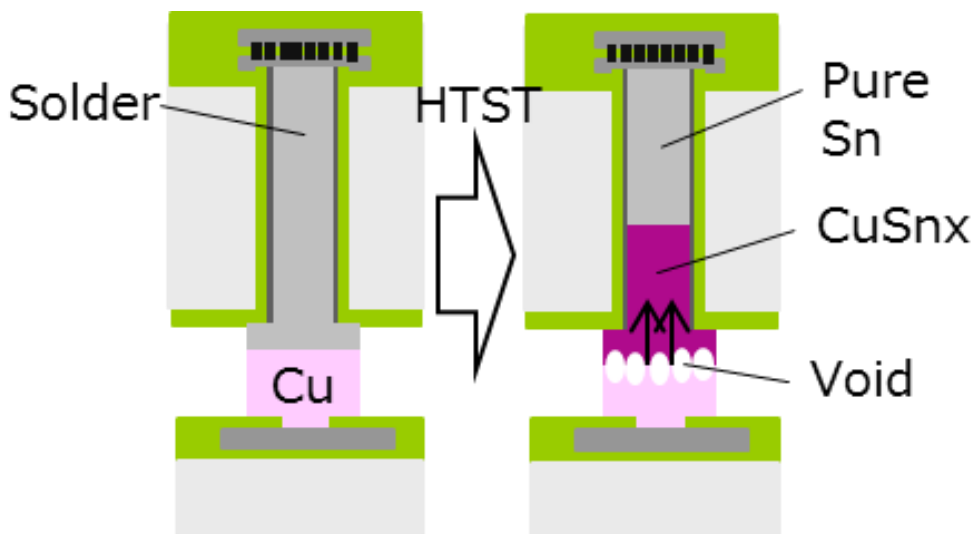
以上より、はんだ充填工法を用いることで、図III-2.1.6-6 に示すように、従来の TSV 工程と比べ、バンプ製造工程に要する時間を 30%削減することに成功した。



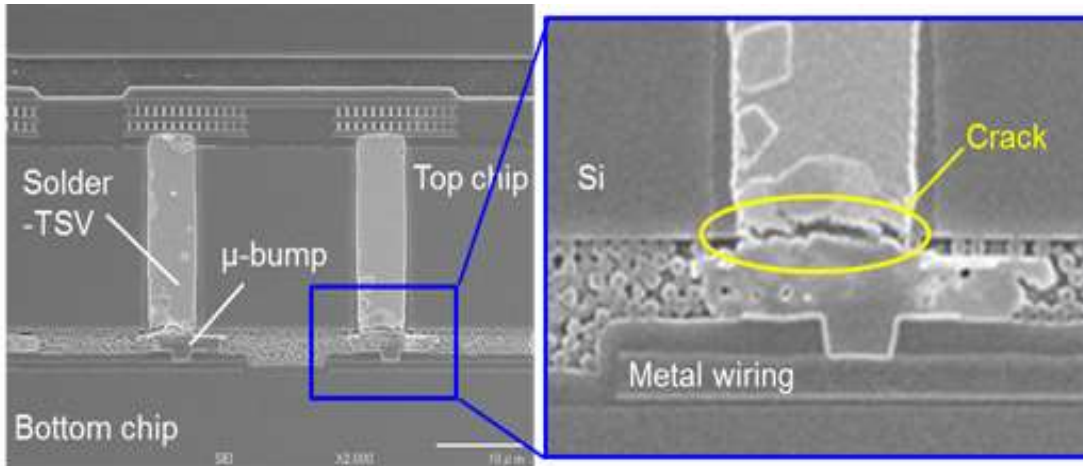
図Ⅲ-2.1.6-6 プロセス時間削減効果

次に、新構造であるはんだ TSV バンプ一体型構造の早期課題抽出のため、工程条件検討を進めながらウェハ試作、チップ化、パッケージ実装を行い、高温保存試験 (HTST:High Temperature Storage Test)、温度サイクル試験、高温通電試験などの信頼性試験を早期に行った。

まず信頼性試験から、TSV を構成するはんだと、被接合体であるマイクロバンプを有する下配線基板との接合部の課題として、従来構造からの変化点である、はんだ-Cu マイクロバンプ間の相互拡散速度差によるカーケンダルボイド発生が接合部に与える影響を抽出した。これは、接合工程や車載条件において高温に曝される場合、更には熱応力によるせん断/引張り応力が接合部に印加され、接合寿命を低下させる懸念がある。カーケンダルボイドの発生時の模式図を図Ⅲ-2.1.6-7 に示す。実際に同構造の試作品にて高温保存試験を行った結果、図Ⅲ-2.1.6-8 に示すように、接合部にカーケンダルボイドが発生しており、これらが繋がる、もしくは熱応力が加わることで界面に亀裂が入り、TSV の断線に至る不具合が発生した。

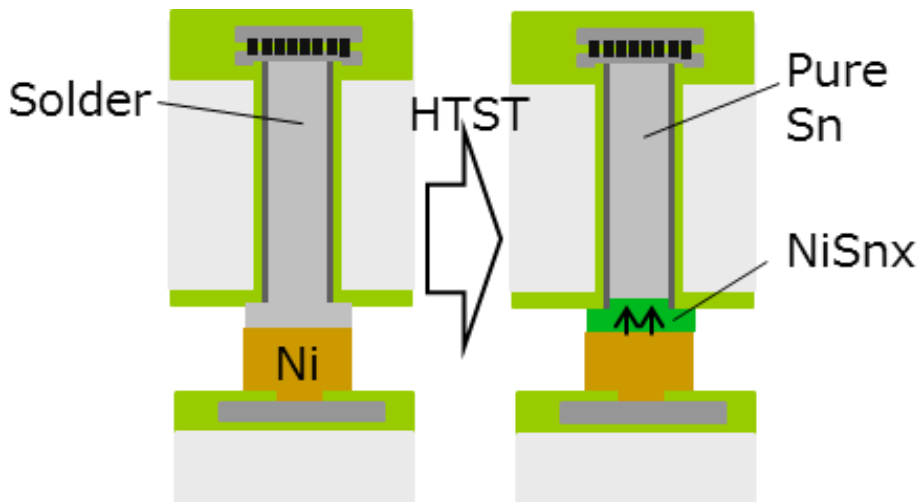


図Ⅲ-2.1.6-7 カーケンダルボイド発生メカニズム



図Ⅲ-2.1.6-8 カーケンダルボイドによるクラック

このような現象に対し、カーケンダルボイドの抑制するため、バンプ材料を拡散しにくい材料に変更する対策方針とし、現行の Cu 材料に比べ、はんだ材料の主元素である Sn との相互拡散係数差が小さく、かつ安価であり電極として抵抗が小さい Ni 材料を選定し、図Ⅲ-2.1.6-9 の模式図に示すように、Cu に代えて Ni マイクロバンプを形成した。図Ⅲ-2.1.6-11 は、実際に製作した試作品の高温保存試験後の状態を示している。対策前の Cu-マイクロバンプ接合品と比較すると、拡散による合金層 IMC (Intermetallic Compound) の形成は確認できたがボイドの発生は見られず、界面のクラックの発生も見られなかった。



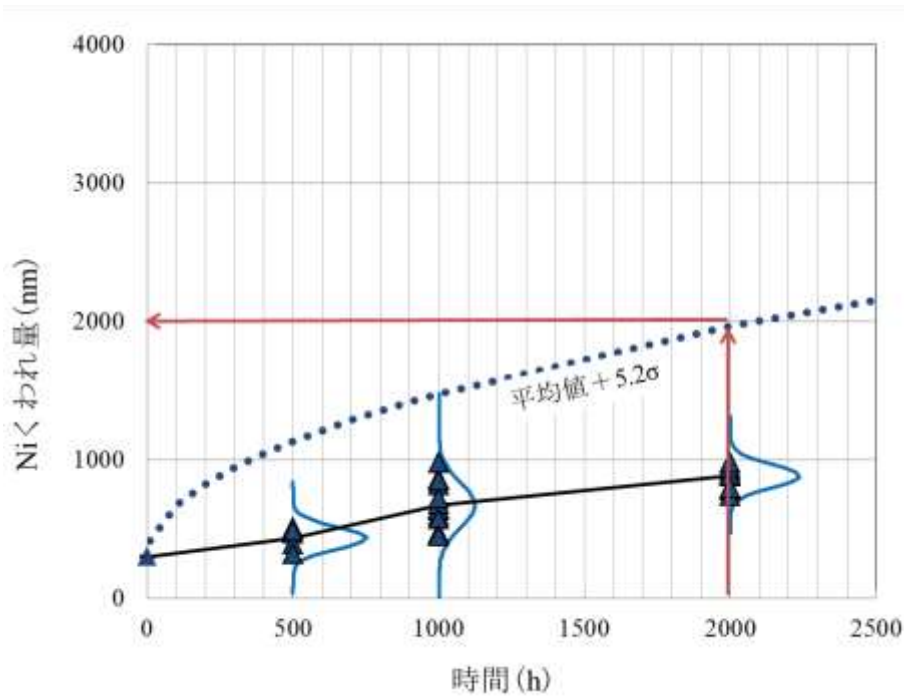
図Ⅲ-2.1.6-9 カーケンダルボイド対策

また、バンプ材料を Cu から Ni に変更することで、高温保存時のくわれ量が変わるようになるため、初期 Ni の厚さを規定しておく必要がある。ただし、熱履歴や使用する材料純度や成分等により、くわれ量が変化するため、工程を変える際は、再設計する必要がある。

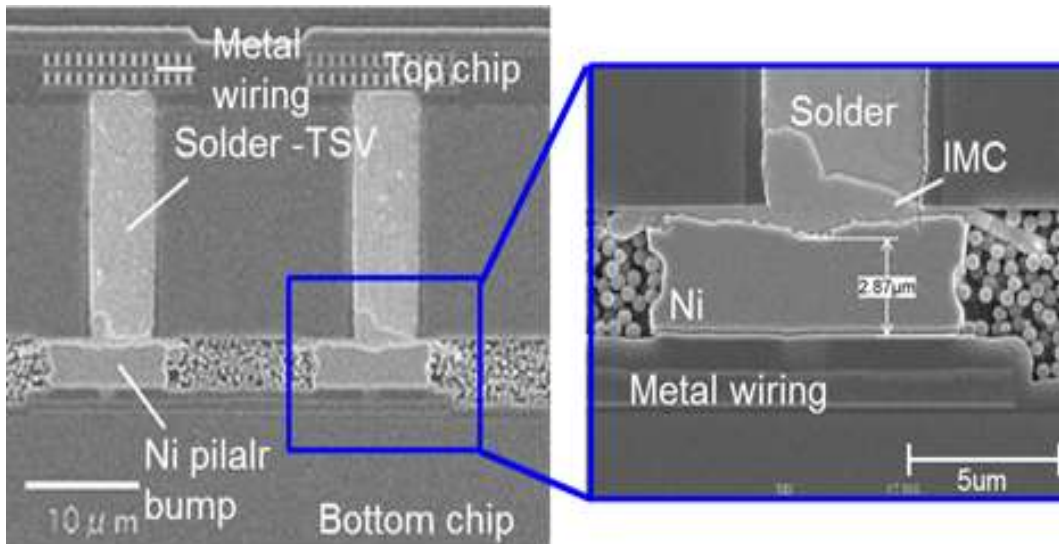
以下に本開発工程の Ni 厚を設計する。

まず、Ni めっきのはんだに対するくわれ量（はんだ材と Ni の合金化に伴う Ni 減少量）を実験で求めた。ここで、本プロジェクトで使用するはんだは、Ⅲ-2.1.5 節 印刷 TSV 技術の開発にて記載する Sn-0.7Cu-0.05Ni である。図Ⅲ-2.1.6-10 には、150℃環境で経過した時間に対する Ni のくわれ量を示している。初期のくわれ量は、製造工程およびはんだリフロ工程（260℃、

1min×3 回) を経たことによるものである。500 時間、1,000 時間、2,000 時間におけるくわれ量の平均値にばらつき 5.2σ (不良率発生推定: 0.1ppm 以下) を含めた点を結んだ線を設計値とした。同図より、150°C 環境下で 1,000 時間の保存に耐えるためには、時間余裕度 2 倍を確保して Ni バンプの厚さを $2\mu\text{m}$ 以上とした。実際に接合品を用いて 150°C、1,000 時間の高温保存試験を実施した結果、図Ⅲ-2.1.6-11 右の拡大図に示すように、Ni は残存し、カーケンダルボイドは見られなかった。



図Ⅲ-2.1.6-10 高温保存時の Ni めっきくわれ量

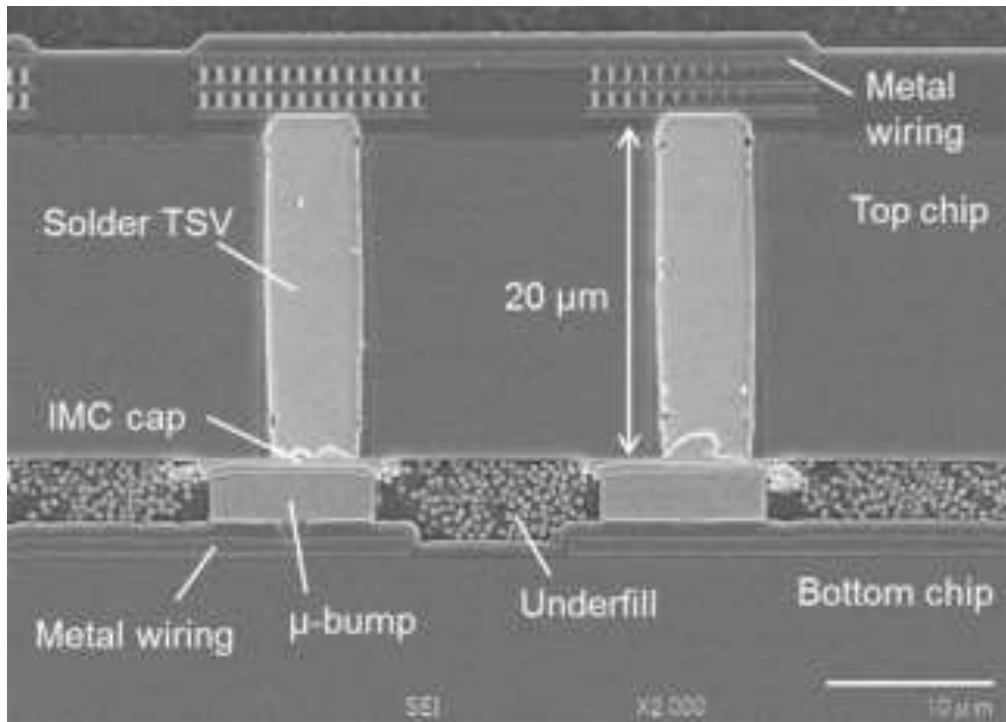


図Ⅲ-2.1.6-11 カーケンダルボイド対策結果

また構造上の課題として、はんだ TSV マイクロバンプ一体構造を採用することにより、同接合体をプリント基板へはんだ実装する際、ビア内に充填されたはんだが再熔融し、ビア内から漏れ出し、空隙が発生することで電極オープン不良となる懸念がある。

この懸念に対し、TSV 電極を構成するはんだと、被接合体であるマイクロバンプの界面に Sn-Ni からなる IMC 層を形成することで融点を高め、はんだ直径リフロー時の熱による再溶融をさせない構造とする工法を採用した。具体的に、はんだ主成分の Sn の融点は約 233℃に対し、Ni₃Sn₄ の融点は 794℃となるため IMC は再溶融しない。なお、従来の Cu-マイクロバンプ品と比較して、IMC 形成時の破壊靱性は Ni > Cu であり、本プロジェクト構造の方が優れる。

実際に本構造にて、はんだリフロー工程相当の熱履歴を通した結果、図Ⅲ-2.1.6-12 の断面像に示すようにビアからはんだ漏れは見られず、TSV 内の空隙の発生もなく良好な接合状態を維持していることが確認できた。



図Ⅲ-2.1.6-12 はんだ TSV バンプ一体型の断面

上記懸念点の対策を施した工程で作製した試作品にて、温度サイクル試験、高温通電試験、高温保存試験の信頼性評価を実施した。初期抵抗値は、実装のため、はんだリフローを 3 回処理した後の抵抗値を測定しており、図には初期抵抗値からの変化率をプロットした。

- ① 温度サイクル試験：条件 $-40 \leftrightarrow +125^{\circ}\text{C}$ (各 5min) 、結果 図Ⅲ-2.1.6-13
- ② 高温通電試験 : 条件 150°C 、1mA 、結果 図Ⅲ-2.1.6-14
- ③ 高温保存試験 : 条件 150°C 、結果 図Ⅲ-2.1.6-15

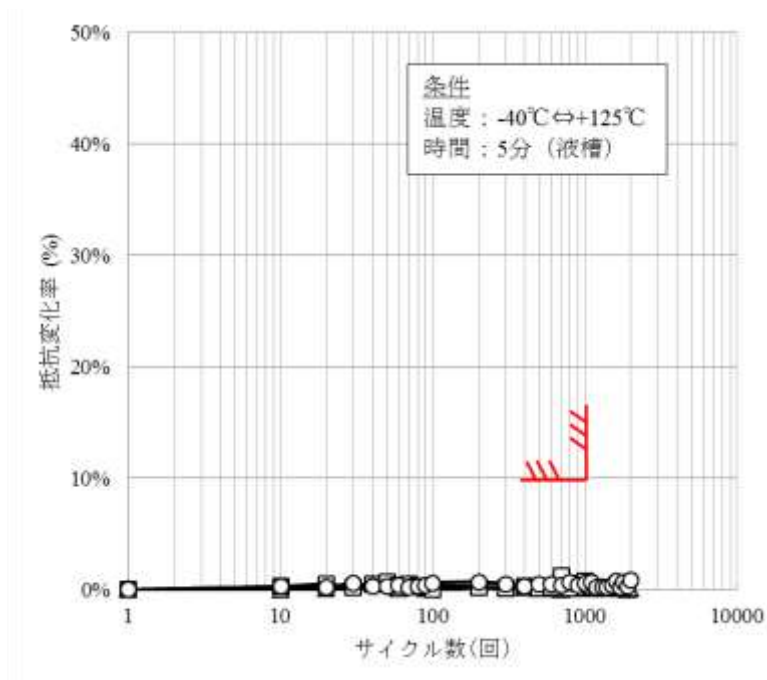
温度サイクル試験について、目標とする 1,000 サイクルの 2 倍まで確認したが、抵抗率の変化が微量であり、良好な接合状態を維持することが分かった。

高温保存試験について、試験時間経過とともにビアに充填したはんだの主成分である Sn と被接合体の Ni マイクロバンプからなる IMC 層が成長する。この IMC 層である NiSn 合金は、Sn 単体および Ni 単体より抵抗値が高いため、成長とともに TSV の抵抗が上昇することになる。また IMC 層の成長は Sn の粒界等に沿って不均一な面で成長するため、抵抗変化率にばらつきが生じた。

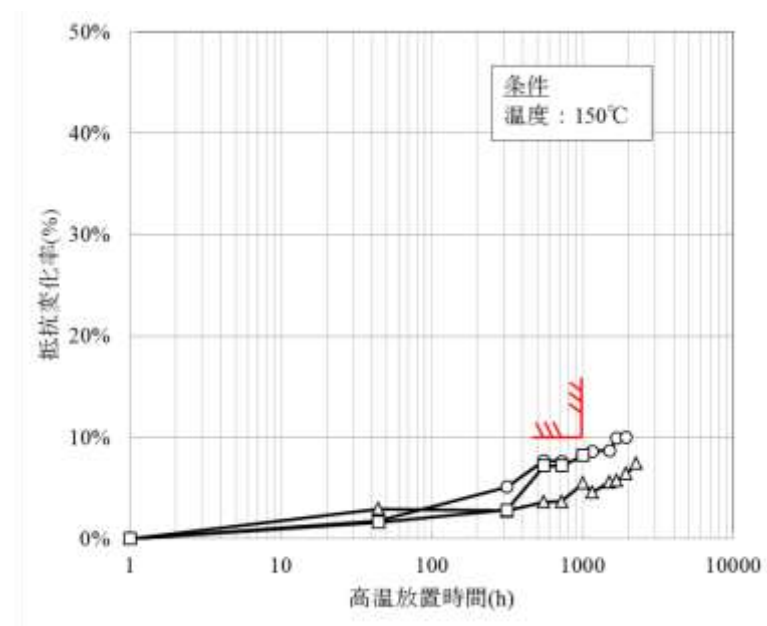
高温通電試験について、低融点である Sn のマイグレーションを懸念したが、結果は高温保存試

験とほぼ同様であり、今回の電流値 1mA 程度での通電による影響は少ない結果となった。

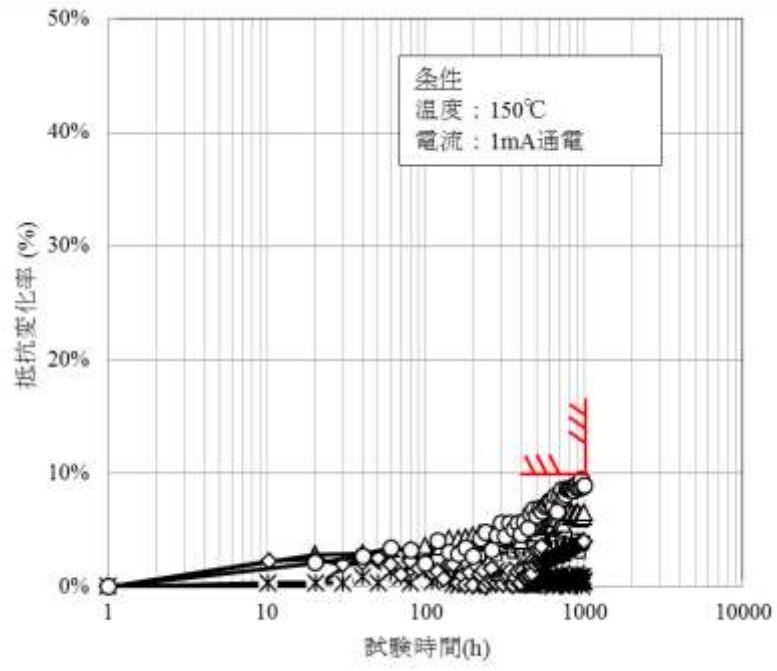
以上、本開発によるはんだ TSV-マイクロバンプ一体構造により、低コスト化と信頼性を兼ね備えた接合体を提供することができた。



図Ⅲ-2.1.6-13 温度サイクル試験結果



図Ⅲ-2.1.6-14 高温保存試験結果



图III-2.1.6-15 高温通電試驗結果

2.1.7 低応力積層／接続技術の開発（①-6）

（主担当：ラピスセミコンダクタ株式会社、株式会社デンソー（再委託））

（副担当：国立研究開発法人産業技術総合研究所）

2.1.7.1 研究開発概要

測距誤差を小さくし、測距センサの距離性能を向上させるためには、SPAD アレイチップと距離換算 LSI チップを上下に配置し、各画素からの信号を TSV とバンプを介して縦方向に最短結線する方法が理想である。その実現のためには、チップ同士を上下に積層し、電氣的に接続するチップ積層/接続技術が必要である。本プロジェクトでは、信頼性を有する 1 チップあたり 10,000 個以上の接続バンプを持つ積層/接続技術を開発する。さらに、積層工程の低コスト化実現にあたり、コストダウンアイテムを抽出し、その効果を検証する。

2.1.7.2 目標

本プロジェクトでは、信頼性を有する 1 チップあたり 10,000 個以上のバンプを持つ積層/接続技術を開発するために、一般的に用いられている可視光カメラ認識によるアライメント法に代わる技術を導入してチップの積層/接続を検討し、車載信頼性を担保する接合品質を得る。

2.1.7.3 成果

まず本プロジェクトに用いた TEG における接合に関わる工程フローを図Ⅲ-2.1.7-1 に記載する。ウェハ薄化からバンプ加工までは、前節まで（～Ⅲ-2.1.6 節）に記載されているため割愛し、その後の工程から記載した。

① ダイシングシートマウント

ウェハを個片化するダイシング工程前に、チップ固定のためのダイシングシートにウェハを接着する。

② ガラス／接着剤剥離

薄化したウェハを固定するためのガラス台座からウェハを剥離する。

③ ダイシング

所望のチップサイズにするためダイシングによりウェハを切断する。

④ ダイピックアップ

個片化したチップをダイシングテープからピックアップする。

⑤ チップ接合／UF（Under Fill）注入

本開発に用いた接合法を用いて上下チップを接合する。次にアンダーフィルを注入し、上下チップを固定する。

⑥ ダイボンド

測距センサ製品を想定したセラミックパッケージに、前記接合済みのチップを接着する。

⑦ ワイヤボンド

チップの電極パッドとセラミックパッケージの電極パッドを Au ワイヤで接続する。

⑧ ガラス封止

チップ雰囲気窒素になるようにガラスで封止する。

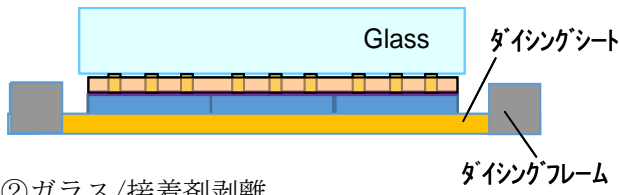
⑨ 基板はんだ付け

前記までの形成したガラス封止セラミックパッケージをプリント基板にはんだ実装する。

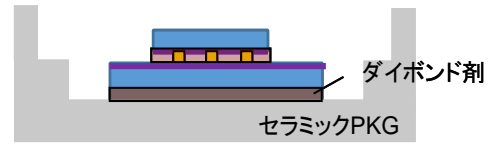
⑩ 信頼性試験

プリント基板およびセラミックパッケージに実装した状態で、各種信頼性試験を実施する（図Ⅲ-2.1.7-2）。

①ダイシングシートマウント



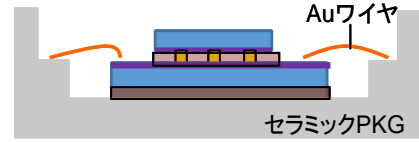
⑥ダイボンド



②ガラス/接着剤剥離



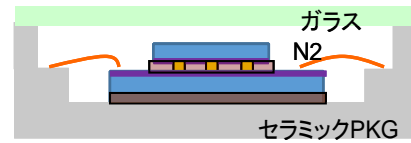
⑦ワイヤボンド



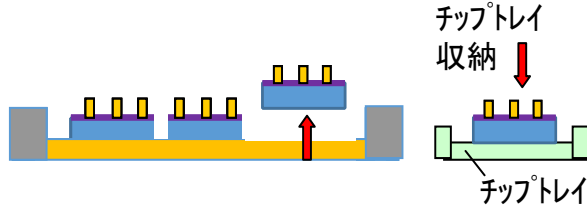
③ダイシング



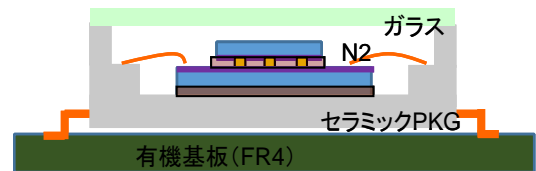
⑧ガラス封止



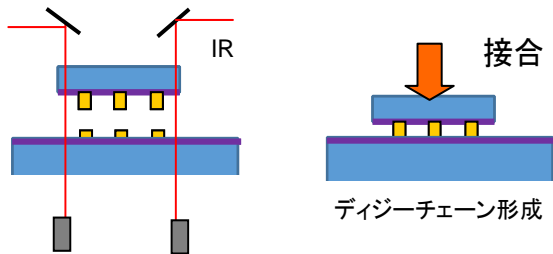
④ダイピックアップ



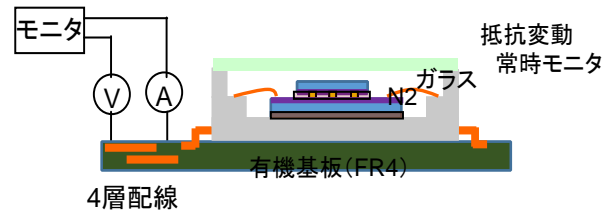
⑨基板はんだ付け



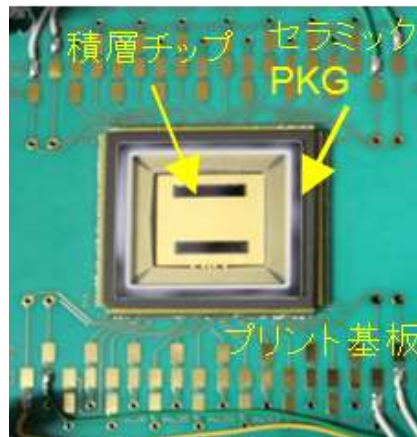
⑤チップ接合/UF注入



⑩信頼性試験



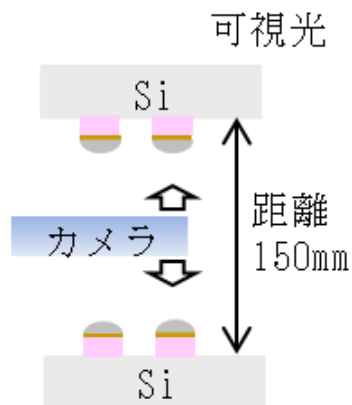
図Ⅲ-2.1.7-1 接合評価 TEG 工程フロー



図Ⅲ-2.1.7-2 基板はんだ付け状態

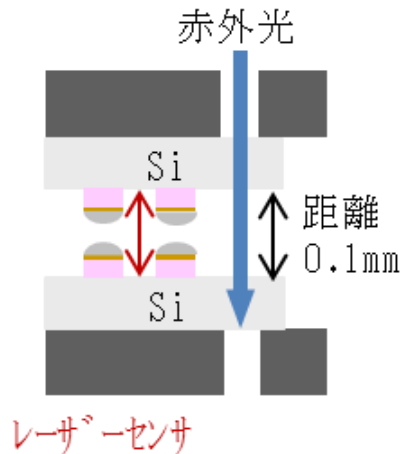
図Ⅲ-2.1.7-1の⑤チップ接合工程において、本プロジェクトのターゲットである7 μ m径以下のバンプの接続では、従来の可視光を使用したカメラの代わりに、赤外光とレーザセンサによる新制御法を用いた。制御の概要を図Ⅲ-2.1.7-3に示す。本プロジェクトの制御法により、従来のカメラ認識による機械精度誤差を解消できることで高精度なアライメントを実現した。本プロジェクトの制御方式を用いることで、従来のカメラ認識法ではアライメント精度 $\pm 2\mu$ m あったが、赤外光がシリコン基板を透過することから、上下のシリコン基板に設けたアライメントマークをダイレクトに合わせることが可能となり、そのアライメント精度は $\pm 0.5\mu$ m を実現し、目標とするバンプ径7 μ mに対して10%以下の精度となった。

従来工法



アライメント精度： $\pm 2\mu$ m

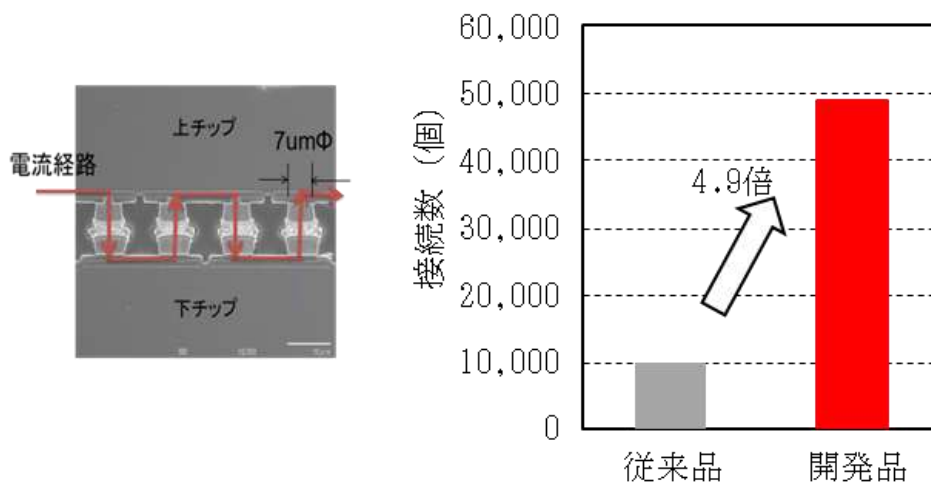
本開発工法



アライメント精度： $\pm 0.5\mu$ m

図Ⅲ-2.1.7-3 アライメント方法比較

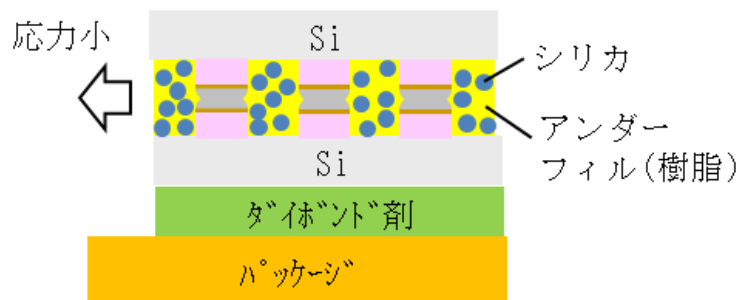
本プロジェクトに用いた制御法を用いて積層した結果、従来 10,000 個のバンプ接合であったが、従来比にて約 5 倍の 49,000 個のバンプ接続を達成し、より高精細な接続が可能となった(図Ⅲ-2.1.7-4)。



図Ⅲ-2.1.7-4 微細バンプ接続結果

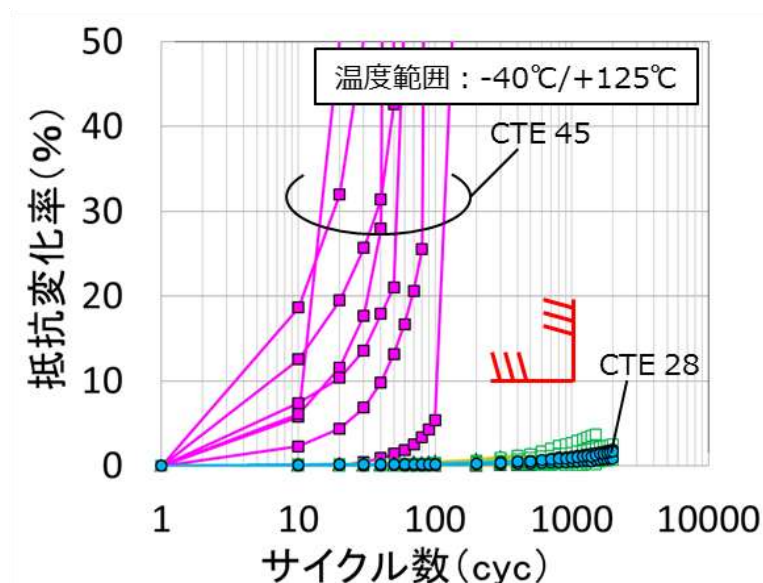
なお本項の開発に用いた構造は、図Ⅲ-2.1.7-4左に示す断面SEM (Scanning Electron Microscopy) 写真のように、シリコン基板上に接合部の導通が確認できるようデージーチェーン電極を形成、接合部には7 μ m径のCuポスト電極を形成後、Niめっきを介してはんだめっきを施したものとし、積層試験専用にて製作したテストサンプルとした。

また、チップ接合部の保護および補強のために用いるアンダーフィルについて、シリコンの線熱膨張係数CTE (Coefficient of Thermal Expansion) に近付けることで冷熱時のせん断応力低減効果を狙った。ナノサイズのシリカフィラを用いてアンダーフィル材の線熱膨張係数を、従来のCTE=48に対し、フィラ高充填化することでCTE=28とした。このアンダーフィル材を用いることで、シリコン基板のCTE \approx 3に近付けることができ、低応力な積層構造体を提供した(図Ⅲ-2.1.7-5)。



図Ⅲ-2.1.7-5 低応力実装

このように、接続部に加わる構造起因の熱応力を、アンダーフィルの物性値を調整することにより低減させることができ、温度サイクルに対する信頼性を確保した。



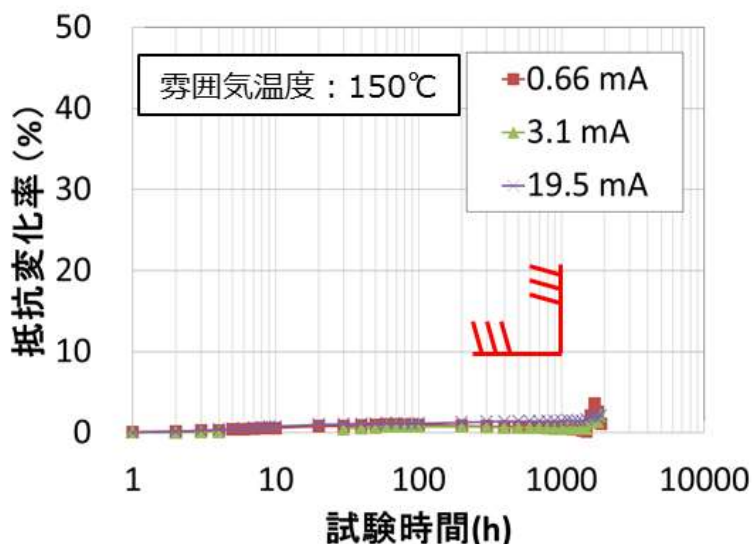
図Ⅲ-2.1.7-6 温度サイクル試験結果

図Ⅲ-2.1.7-6には、CTEを変えて積層した構造体を用いて、-40°C/+125°Cの温度サイクル試験の結果を示す。CTE=45のアンダーフィルを用いた場合には、10サイクル程度で接続部の抵抗が大きく変化し始め、100サイクル以下で接合部のクラック発生によるオープン不良となった。

一方、CTE=28のアンダーフィルを用いた場合には、2,000サイクル経過後においても接続部の

抵抗上昇は 5%以下と僅かに上昇した程度であり、良好な接合状態を維持できることが分かった。

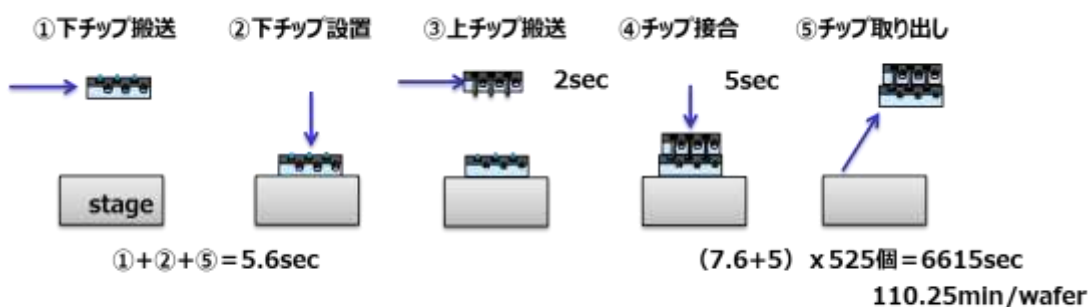
また、高温通電試験を実施した結果を図Ⅲ-2.1.7-7 に示す。図Ⅲ-2.1.7-4 の赤線に示す電流経路に、0.66mA、3.1mA、19.5mA を通電し、150℃の雰囲気にて試験を行った。2,000 時間経過後も抵抗変化は僅かであり、良好な接合状態が維持できたといえる。



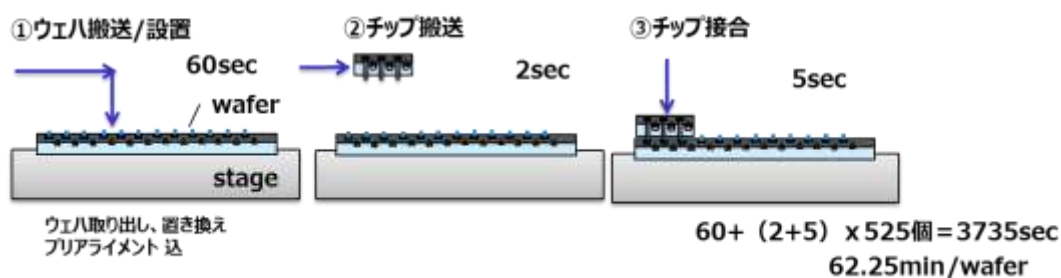
図Ⅲ-2.1.7-7 高温通電試験結果

次に、積層コスト(ダイシング、接合、アンダーフィル注入)を削減する検討を行った。その中でもコストへの影響が大きいチップ接合工程の低コスト化を実施した。

Chip to Chip (C2C)



Chip to Wafer (C2W)



図Ⅲ-2.1.7-8 チップ接合工程フロー

チップ接合工程の詳細フローを図Ⅲ-2.1.7-8 に示す。これらのうち、まず、従来工法 C2C (Chip to Chip) を説明する。

- ① 接合する下チップをステージ上方に搬送する。
- ② 搬送した下チップを予熱されたステージ上に設置する。
- ③ 搬送した下チップの上方に上チップを搬送する。
- ④ 搬送した上チップと下チップの位置合わせを行い、荷重を印加してチップ同士を接合する。
接合後に上チップを加熱・保持・冷却を行う。
- ⑤ 接合されたチップを取り出し搬送する。

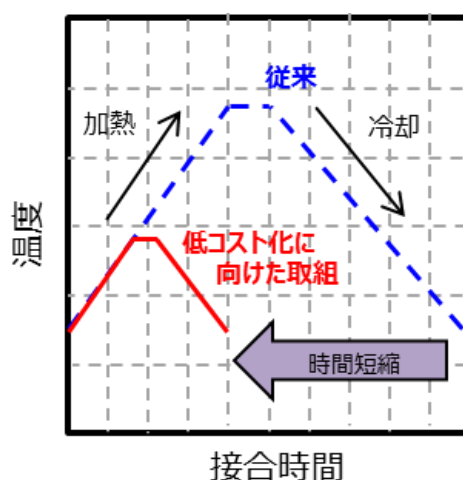
接合工程は、チップセットと加熱/冷却/加圧の工程に分解でき、それぞれの工程で時間短縮を図った。チップセットは C2W (Chip to Wafer) 方式の採用、加熱/冷却/加圧工程は接合温度を低温化して加熱/冷却時間を短縮することで実現する (図Ⅲ-2.1.7-9)。

まず、C2W 方式を用いたチップ接合時間短縮について説明する。なお、C2W 法では、全ての上チップをウェハに接合した後、ウェハを接合装置から取出し、ダイシング工程を経てチップ接合体を得る。

- ① 接合する下ウェハを搬送・設置する。
- ② 上チップを接合する下ウェハ位置の上方に上チップを搬送する。
- ③ 搬送した上チップと下チップの位置合わせを行い、荷重を印加してチップ同士を接合する。

C2C 方式では、搬送・設置および接合体の取出し時間は 5.6sec/チップであり、ウェハ上に 525 チップ搭載する場合には、上チップの搬送時間 2sec チップと接合時間の 5sec/チップを併せて 6,615sec かかっていた。これに対し C2W 方式では、従来下チップの搬送・設置に要した時間を削減できるため、ウェハ搬送の 60sec に上チップ搬送・設置および接合時間の 5sec/チップの時間の 3,735sec となるため、接合に要する時間を大幅に削減可能となる。

また接合の温度に関して、ピーク温度を低温化することで、加熱時間および冷却時間を短縮可能であり、これにより接合時間を大幅に削減できる。



図Ⅲ-2.1.7-9 低温化による時間短縮

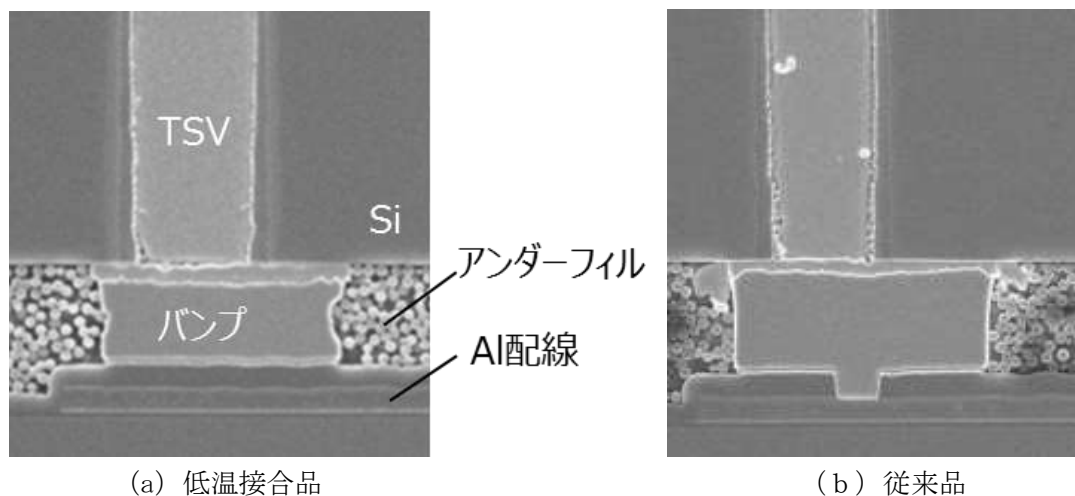
低温接合と従来の接合との違いは、TSV とバンプの接合部の状態である。この場合、懸念点として以下の3点が挙げられる。

- ① 熱処理が短くなるために TSV を形成するはんだとバンプを形成する Ni からなる合金層形成が不十分となることから、Ⅲ-2.1.6 節で記載した TSV からのはんだ漏れ出し防止効果を期待する合金層キャップの形成が不完全となり、はんだ漏れが発生する可能性がある。
- ② C2W 工程への変更時、最初のチップ接合と最後のチップ接合までにウェハが放置されることから、バンプの表面酸化により接合時に酸化物界面の存在による初期抵抗値異常が発生する可能性がある。
- ③ 合金層形成状態の変化による熱応力に対する信頼性の低下が懸念される。

これらの懸念に対する検証試験を実施した。

なお、本検証に用いるサンプルは、懸念される内容が TSV に充填するはんだの漏れ出しであるため、上側のチップをはんだ TSV 加工品、下側チップは Ni バンプ品を用いて積層、評価した。なお、低温化の効果を確認するため、従来法で接合した比較サンプルを同時に同 Lot のチップを用いて作製し、同時期にチップ積層、および評価を行った。

図Ⅲ-2.1.7-10 に低温接合後、はんだリフロー工程相当の熱履歴を印加した後の接合断面を示したものである。低温接合においてもはんだ漏れは発生せず、良好な接合状態が維持できることが分かった。また、接合荷重による接合部付近のクラック等の異常も見られなかった。

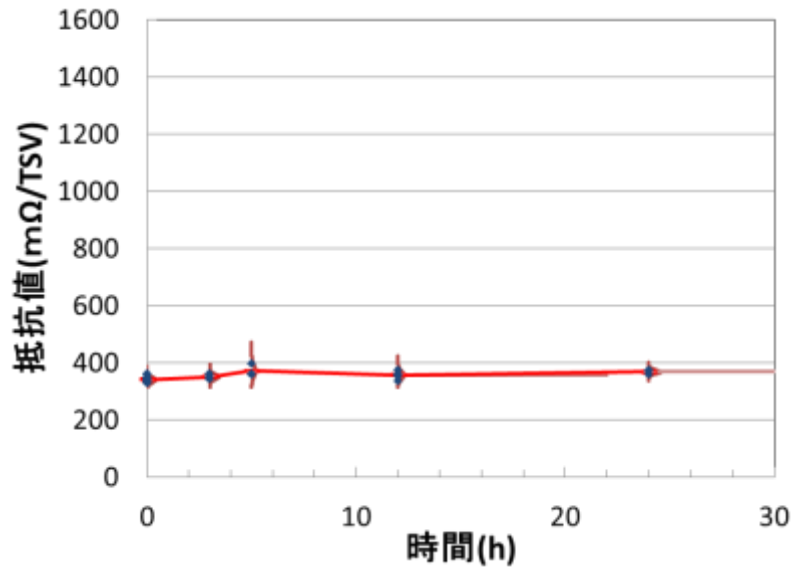


図Ⅲ-2.1.7-10 低温接合のはんだ漏れ確認結果

次に、バンプ放置時間に対する接続抵抗異常について評価を行った。前述のように、C2W 方式にすることで、チップ接合するウェハ側のバンプの放置時間が著しく長くなる懸念がある。例えば本開発に用いたチップサイズであれば、525 チップを 5sec/チップで接続できた場合、各チップ搬送時間 2sec/チップを含めて所要時間は 62min 以上となる。この間、バンプ表面が大気に曝されることではんだの表面酸化が進み、還元し難い SnO₂ が形成されることになる。

SnO₂ 層が薄い場合には、積層時の荷重によって層が破壊されることで導通が確保できるが、厚くなってくると酸化層が残存する可能性があり、接続時に抵抗異常が発生する懸念がある。そこで、接合待ち状態と同じ大気環境下で下バンプを放置した後チップ積層し、抵抗値を測定した結果を図Ⅲ-2.1.7-11 に示す。大気放置時間 3 時間においても通常の抵抗値と同等であり、最大 24

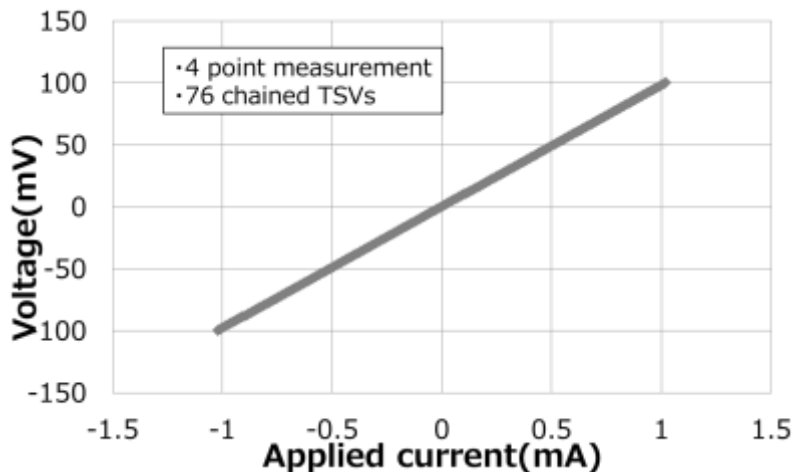
時間放置しても抵抗値の変化が見られないことから、はんだ表面酸化の接続抵抗への影響はないものと考えられる。



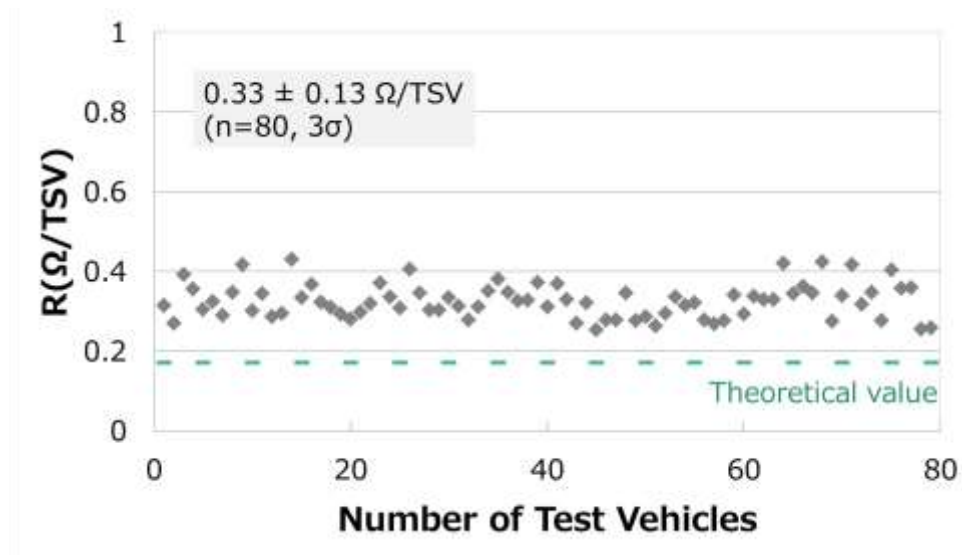
図Ⅲ-2. 1. 7-11 接合待ち時間に対する接続抵抗値

実際に、C2W 法にて低温接合後、図Ⅲ-2. 1. 7-2 に示すパッケージングまで行ったもので、電流－電圧特性を計測した結果を図Ⅲ-2. 1. 7-12 に示す。同図では、TSV をデイジーチェーンで 76 本つないだ状態で測定した。この結果から、良好な接合状態を示すことが分る。更に、同測定方法にて 80 か所の測定した結果、平均値 $0.33 \Omega/\text{TSV}$ 、ばらつき $3\sigma = 0.13 \Omega/\text{TSV}$ が得られ、安定した抵抗値を得ることが確認できた（図Ⅲ-2. 1. 7-13）。

したがって、C2C から C2W 工程への変更による初期抵抗値への影響はないものと思われる。

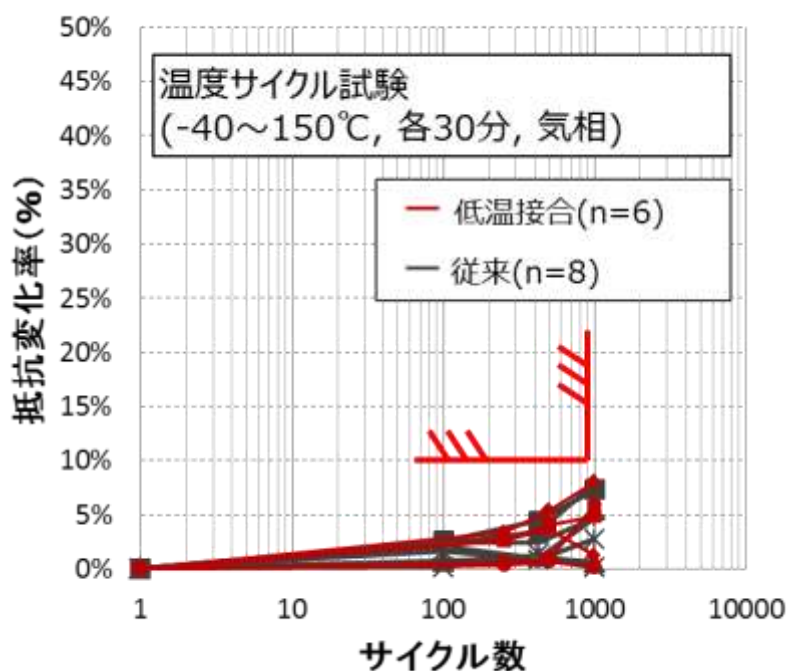


図Ⅲ-2. 1. 7-12 C2W 低温接合品の電流－電圧特性



図Ⅲ-2.1.7-13 C2W 低温接合品の抵抗測定結果

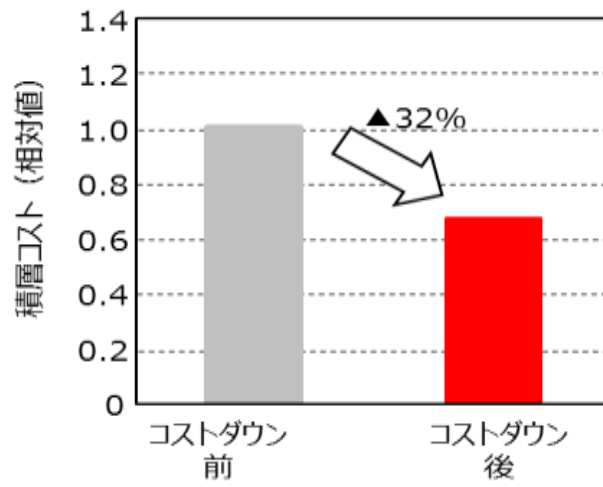
最後に、熱応力に対する耐久性の試験を実施した結果を図Ⅲ-2.1.7-14 に示す。先に記載したように、比較用に従来法の結果も併記した。なお本評価では、低温化による信頼性の差異を確認するため、前述の温度サイクル試験条件の $\Delta T=165^{\circ}\text{C}$ より厳しい条件である $\Delta T=190^{\circ}\text{C}$ にて評価を実施しているため、従来法の結果が前述の結果と異なっている。



図Ⅲ-2.1.7-14 低温接合の温度サイクル試験結果

温度サイクル試験結果から、低温接合品および従来品共に目標値である抵抗変動率 10%以下（1,000 サイクル後）を達成しており、それらの間には差異は認められなかった。このことから、低温化による接合品質の低下はないものと考えられる。

以上の取組みにより、接合コストのコストダウンに成功し、従来と比較し 32%の大幅なコストダウンを実現した(図Ⅲ-2.1.7-15)。



図Ⅲ-2.1.7-15 コストダウン結果

2.1.8 三次元実装検査技術の開発 (①-7)

担当：ラピスセミコンダクタ株式会社、ルネサスエレクトロニクス株式会社(再委託)、
株式会社デンソー(再委託)、国立研究開発法人産業技術総合研究所、

2.1.8.1 研究開発の内容

イメージセンサや次世代のネットワークデバイス、車載情報システム分野など高速データ処理に対応して、三次元構造のパッケージの適用が必要となってきた。三次元実装品の歩留向上によるコストダウンや製品の垂直立上げを実現するためには、TSV の検査技術(マイクロバンプへの直接プロービング)、三次元実装品の非破壊検査技術(パッケージ状態での不良モード解析)が必要となる。

しかしながら、現状、バンプ対応のプロービングピッチは、80 μm ピッチのプローブカードが製品開発に導入されている状況である。また、実装品の不良解析においては、実装品を加工して SEM 等による2次元の解析を実施しており、解析時間も1日以上要している状況である。

このような現状に対して、20 μm ピッチのマイクロバンプへの直接プロービングおよび実装状態での非破壊による検査技術を開発する。

基本計画として、以下のステップで開発した。

- ①マイクロバンプ接合に支障ないようにバンプ潰れがなく、電気的コンタクトが可能なプローブ材料等プローブピン仕様を設計する。プローブピン仕様設計に当たっては、TEG ウェハを用いて、コンタクト荷重、接触抵抗等の初期特性を測定し、成立性の見通し判断を行う。また、マイクロバンプの直接プローブ検査に必要な検査設備の仕様を検討する。
非破壊測定技術に関しては、現状技術の調査、デモによる課題抽出を実施し、目標技術の実現性について見通し判断を行う。
- ②プローブピン仕様を用いて、20 μm ピッチのバンプにコンタクト可能なプローブカードの構造設計、開発をする。プローブカードの構造設計、開発に当たっては、20 μm ピッチバンプ形成、且つ、ダイチェーンまたは配線ショート構造の TEG ウェハを試作し、接触抵抗、耐久性等を評価する。また、20 μm ピッチ/ ϕ 5 μm 以下のマイクロバンププローブ検査に対応した高精度な自動位置合わせ機能や支持体付きウェハの搬送機能を備えた検査設備を導入し、実現性を評価する。
非破壊測定技術に関しては、①で成立性が見通しが立った場合、抽出した課題の対策を検討し、対策実現性の評価を進める。具体的には、TSV 付きチップを組み込んだ PKG で、基板-チップ間やチップチップ間の接続部のオープンやショート、TSV 内部のオープンを非破壊で確認できることを目的に、その実現性を評価する。
- ③プローブカード構造を改良して、マイクロバンプからの信号入出力で電気的特性試験を可能とする。電気的特性試験の評価には専用の TEG ウェハを試作し、評価を行う。また、必要に応じてプローブカードと検査設備間の中継配線基板の改良・開発を行い、20 μm ピッチ/ ϕ 5 μm 以下のマイクロバンプ直接プロービング技術を確立する。
非破壊測定技術に関しては、②で開発した技術に改良を施し、評価を行う。具体的には、更なる高精細部分確認、例えば不良に至る前の前兆の判別や、検査時間の短縮などの可能性を追求する。

2.1.8.2 開発成果の要約

三次元実装品のマイクロバンプへの直接プロービング技術開発は、20 μm および 40 μm ピッチのプローブカードを開発し、TSV バンプへのプロービングが可能となった。

多ピン(1 万ピン相当)の 40 μm ピッチプローブカードは、量産対応の TSV 導通テストを目的に、20 μm ピッチの TSV に対し、X/Y に 20 μm ずらすことで数回のコンタクトで全ピンテストする。少ピン(36 ピン)の 20 μm ピッチプローブカードは、隣接ピン間シュートなど初期評価および詳細解析に用いる。

三次元実装品の非破壊検査技術の開発は、X 線 CT 検査装置を用い条件を適正化することで、非破壊で基板-チップ間やチップチップ間の接合部の不良モード解析が可能であることを確認し実用化可能な見込みを得た。


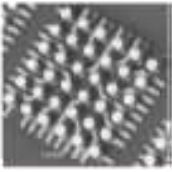


2.1.8.3 成果の意義

従来不可能であった、20 μm ピッチのマイクロバンププロービング開発および非破壊での三次元実装品の検査技術開発により、TSV やその接合部などの不良を早期に発見し、製造工程へのフィードバックが可能となり、三次元実装品の歩留向上によるコストダウンや製品の垂直立上げに貢献できる。

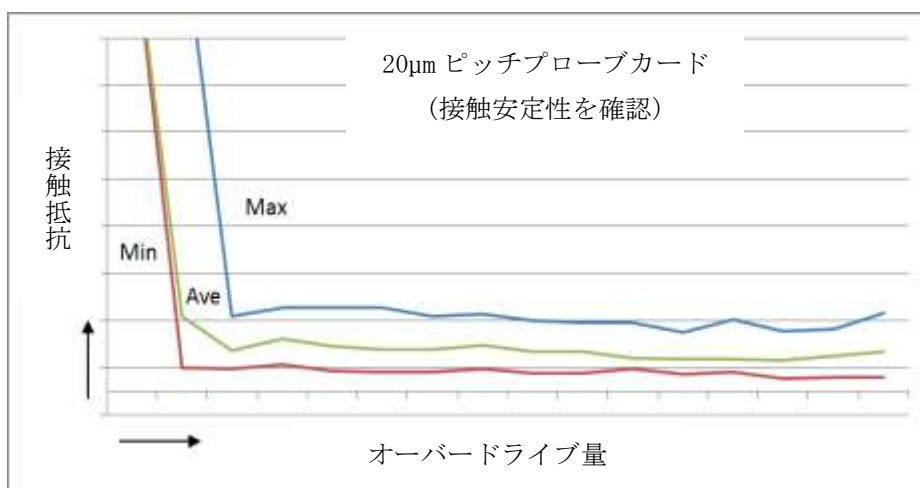
2.1.8.4 達成度

最終目標である 20 μm ピッチのマイクロバンプ直接プロービング技術は、40 μm ピッチおよび 20 μm ピッチのプローブカードを開発完了した。評価 TEG により電氣的接触性と、直接プローブ後のバンプに対する接合性を確認し、バンプ潰れと接触安定が両立でき、実用化可能な結果を得た。これにより、20 μm ピッチ/ ϕ 5 μm 以下のマイクロバンプへの直接プロービング技術を確立した。更に、その成果をプローブカード仕様書としてまとめた。

また、三次元実装品の非破壊検査技術は、平成 26 年度に導入した X 線 CT 装置を用いた最先端の立体構造解析技術により、TSV による三次元実装を行った TEG において 1.5 μm サイズの不良検出を可能とした。更に、不良に至る前兆の判断と CT 検査時間を短縮化する手法を確立し、それらの成果を CT 検査手順書としてまとめた。

	外観	プローブ種類
20 μm ピッチ プローブカード		 MEMS型 プローブ
40 μm ピッチ プローブカード		 垂直型 プローブ

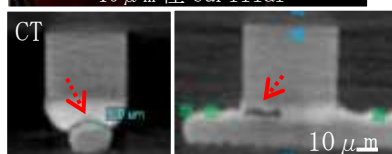
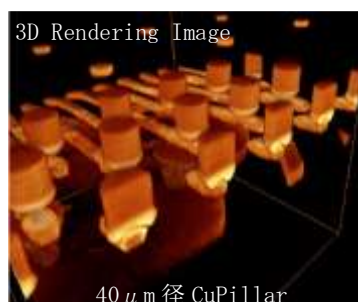
図Ⅲ. 2.1.8-1 20 μm /40 μm ピッチプローブカード開発



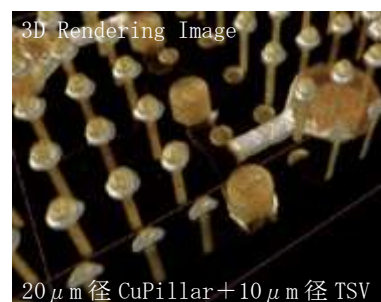
図Ⅲ. 2. 1. 8-2 20μm/40μm プローブカードの接触安定性評価結果



X線CT解析装置
X-Radia 520 Versa



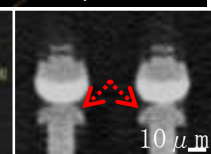
未融合



ボイド



異物



未融合

図Ⅲ. 2. 1. 8-3 X線CT装置による非破壊でのTSV/接合部の不良モード分類

2.1.9 三次元実装評価技術の開発 (①-8) -三次元実装構造の電気・熱・応力特性解析評価-

(主担当：国立研究開発法人産業技術総合研究所)

(副担当：ラピスセミコンダクタ株式会社、株式会社デンソー)

2.1.9.1 研究開発概要

三次元実装技術を車載センサシステムに応用に向けた、開発する TSV 技術及び超多ピン接続の積層実装システムに対応する電気・熱・応力評価技術の開発を行う。

電気設計・計測評価技術としては、当該三次元実装技術に対応する電源安定化技術に対応する電源評価技術の開発を行う。三次元実装技術では、積層化された多数の LSI チップへ一括して大電流を電源供給する必要があるため、単一 LSI チップへ電源供給する場合に比べて、電流変化 di/dt が積層数倍に大きくなるため、ノイズ抑制能力の高い、広い周波数範囲で低インピーダンス化された電源供給ネットワーク構築が求められる。電源供給経路における寄生インダクタンスは、高周波領域のインピーダンス特性に反映しており、電源供給経路に挿入されるデカップリングコンデンサは、低周波領域のインピーダンス特性に反映している。高周波ノイズを抑制するためには、デカップリングコンデンサによって低インピーダンス化される周波数領域をできるだけ高い周波数まで広げていく必要がある。デカップリングキャパシタが持つ寄生インダクタンスを小さくするためには、デカップリング用チップキャパシタを多数個並列搭載して寄生インダクタンスを低減させることにより、広い周波数範囲で低インピーダンス特性を示す受動部品内蔵型インターポーザの利用が考えられる。システム系における電源ネットワークインピーダンスで 10 GHz で 1Ω 以下を達成できるデカップリングキャパシタ内蔵インターポーザ等の電源安定化技術及びその評価技術を開発し、三次元 LSI 積層実装システム全体で車載センサシステムに対応する 100 GB/s ~ 1 TB/s 程度の高速動作の安定化を目指す。

また、車載センサシステムに対応する放熱・冷却を実現する設計・評価技術を実現する。このとき、三次元積層実装 LSI におけるトランジスタ動作時に発生する局所熱であるホットスポットの抑制を目的に、ホットスポットの解析・計測評価技術の開発を行う。さらに、三次元積層実装 LSI 内から外への放熱経路の解析・計測技術の開発を行う。

また、新規 TSV 及び微細超多ピン接続による積層構造の不良評価技術を開発する。これは、TSV 製造プロセス時や積層接続プロセス時の不良を明らかにすることで、プロセス工程の高信頼性化を実現する。三次元実装時における微細な TSV 及びバンプ接続部では熱・応力による変形が無視できない。このため、微小構造体における熱・応力の連成解析技術の開発を行う。

2.1.9.2 目標

当該三次元実装技術に対応する電気・熱・応力それぞれの解析評価環境を構築し、本プロジェクトの成果物に対応する評価 TEG を設計・製造したうえで、構築した環境を用いて電気・熱・応力特性の実サンプル評価と解析による検証を実施する。また、本プロジェクトの成果物に有用な電気・熱・応力に関する設計又は製造指針を導出する。

2.1.9.3 成果

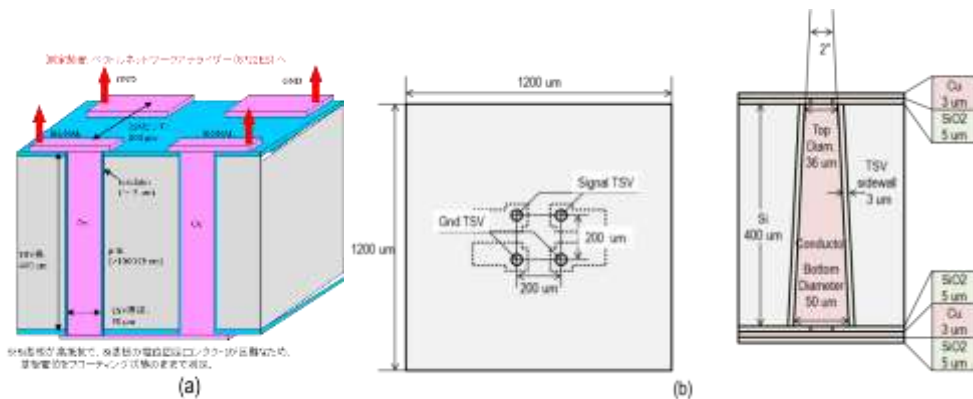
以下 1)、2)、3) 項にて、電気特性解析評価、熱特性解析評価、応力特性解析評価の成果を示す。

1) 三次元実装構造の電気特性解析評価

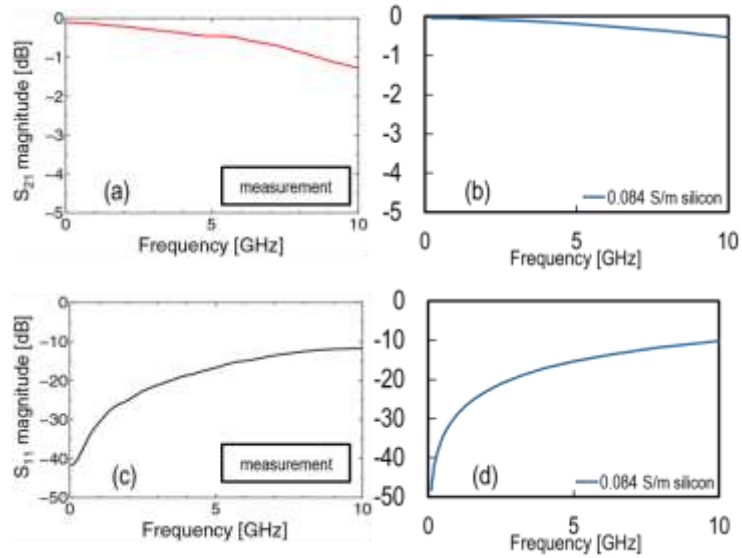
1-1) 三次元実装構造の全体解析に向けた電気特性の解析評価環境の構築

三次元実装構造の全体解析に向けて、電磁界解析ソフトウェア Keysight EMPro を導入し、TSVの電気的特性評価環境を構築した。EMPro は有限要素法(Finite Element Method, FEM)を用いた解析が可能であり、時間領域差分法(Finite Difference Time Domain, FDTD)法に対して大規模・複雑構造の解析において有利である。図III-2.1.9-1-1(a)に示される直径 50 μm 、高さ 400 μm の既存 TSV について図III-2.1.9-1-1(b)に示される同寸法 TSV・同レイアウトのモデルを作成し、実測結果と EMPro を用いた解析結果を比較(図III-2.1.9-1-2)、S11 パラメータにおける一致を確認した。

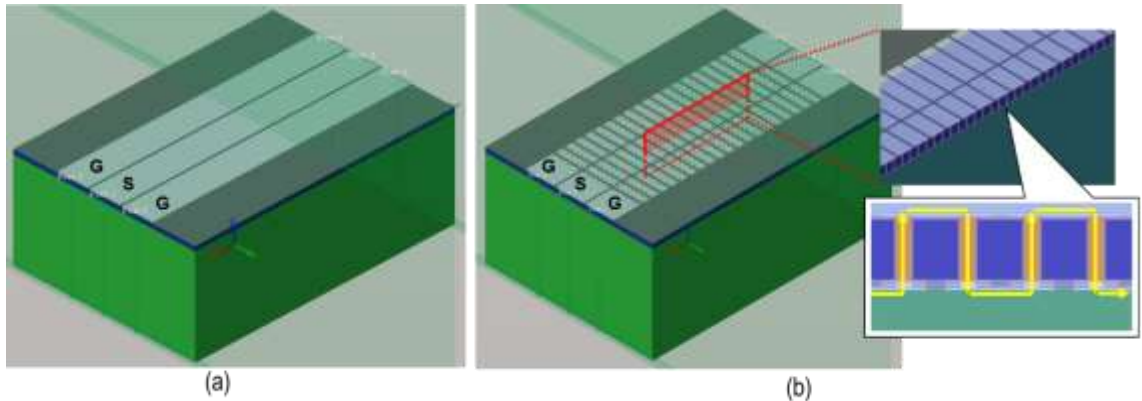
上記結果を基に TSV の電気的特性評価の一環として本プロジェクトにおいて導波路を搭載した評価チップを作成し、実測結果と EMPro による解析を比較した。評価チップの TSV の径は 6 μm (導体径 5 μm)であり、Si 基板厚は 20 μm となっている。導波路は接地・信号・接地の GSG タイプであり、並行平板のみで構成された導波路(図III-2.1.9-1-3(a))と TSV チェーンを含む導波路(図III-2.1.9-1-3(b)、信号線部分で切断した断面図)が存在する。図III-2.1.9-1-4 に解析結果と実測結果の比較を示す。TSV 無し並行平板と TSV 有り並行平板では明らかな特性変化があり、実測結果が解析結果により再現されており、精度の高いモデル化手法の開発・解析評価環境の構築を達成した。このとき、EMpro で 3 次元電磁界モデルを作成し Keysight ADS により解析を行っている。



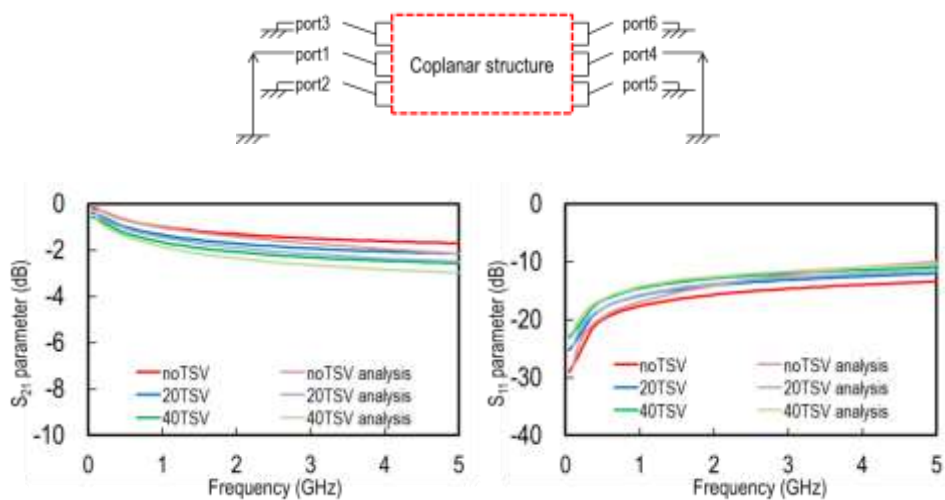
図III-2.1.9-1-1 (a)既存 TSV の構造および (b)構築したモデル



図III-2.1.9-1-2 (a) S₂₁ パラメータ実測結果、(b) S₂₁ パラメータ解析結果、
(c) S₁₁ パラメータ実測結果、(d) S₁₁ パラメータ解析結果



図III-2.1.9-1-3 (a) 並行平板 GSG 導波路モデル、
(b) TSV チェーン有り GSG 導波路モデル及び断面図

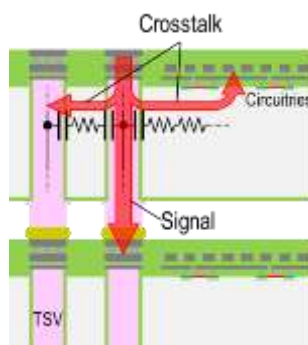


図III-2.1.9-1-4 TSV なし/あり導波路の電気的特性実測・解析比較結果

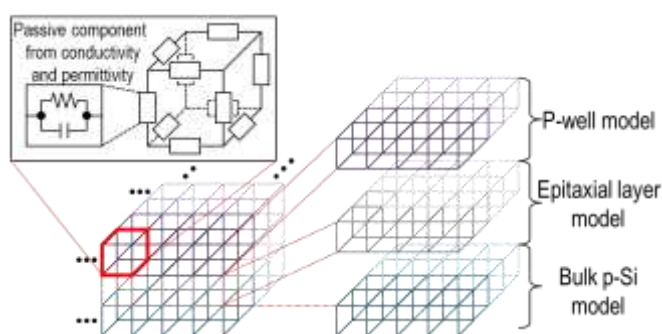
1-2) 車載センサシステムにおける PI(power integrity)、SI(signal integrity)解析評価技術の研究

TSVを持つ車載センサシステムにとって、図Ⅲ-2.1.9-1-5のようなTSVと回路、TSVとTSVの間に発生する相互干渉(クロストーク)がPI及びSIなど動作安定性を劣化させる原因となる。これらはシステムの安定動作を妨げる大きな要因であるため、TSVを考慮したSI、PIの解析評価技術を開発した。

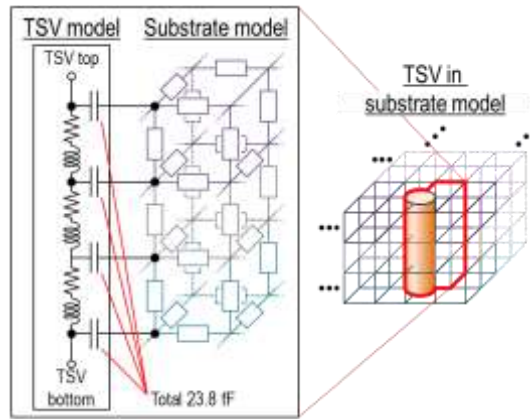
SI、PIの解析評価技術開発として、図Ⅲ-2.1.9-1-6に示される複雑な不純物濃度を持つシリコン基板を表現可能なシリコン基板格子モデル、及び図Ⅲ-2.1.9-1-7に示されるようにTSVモデルをシリコン基板格子モデルに含めて回路解析ソフトウェア Keysight ADS上で解析するシステムを構築した。車載センサシステムにおいてはSPAD(single photon avalanche diode)素子を用いて測距センサを構築するが、SPAD素子の形成には複雑な不純物濃度を持つシリコン基板が必須である。通常の2次元メッシュの場合、シリコン基板の深さによって異なる電気特性を表現できないため、SI、PIの解析が困難であるが、構築したシリコン基板格子モデルは3次元メッシュを作成することで深さによって異なる電気特性を表現可能である。また、TSV導体と周辺基板モデルを絶縁体容量を介して接続することで基板に形成されたTSVを再現した。これによりTSV間の干渉・TSVとシリコン基板間の干渉を解析出来る為、三次元実装構造内部のSI、PIの解析に有用である。



図Ⅲ-2.1.9-1-5 TSVと回路、TSVとTSV間の相互干渉



図Ⅲ-2.1.9-1-6 複雑な不純物濃度を再現するシリコン基板格子モデル

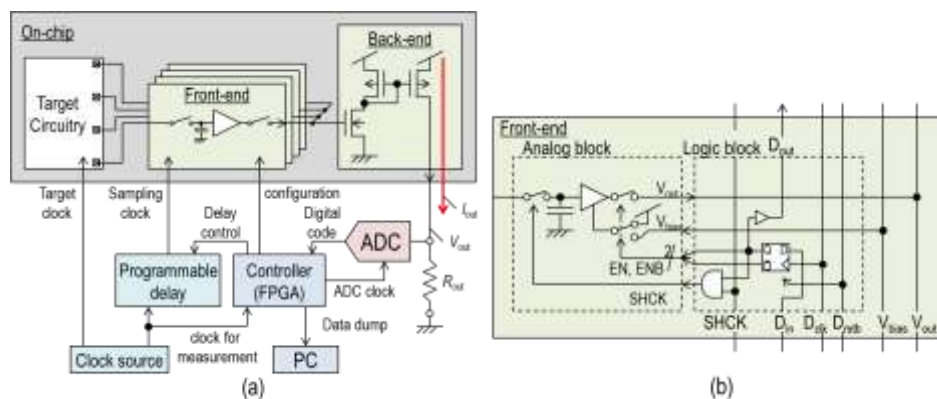


図Ⅲ-2.1.9-1-7 TSVを含むシリコン基板格子モデル

1-3) 微細 TSV と積層構造を含むシステムの電源安定化解析評価技術の開発及びシステムレベル TEG 評価による製品 TEG の設計指針導出

(1) PI・SI 評価システムの開発

本プロジェクトで開発する微細 TSV と積層構造を持つセンサデバイスの設計指針導出のため、微細 TSV と積層構造を持つシステムの電源・信号・基板等、任意の点の電圧を評価可能な PI・SI 評価システム(図Ⅲ-2.1.9-1-8(a))を開発した。このシステムでは図Ⅲ-2.1.9-1-8(b)に示されるオンチップ評価回路で保持した電圧をチップ外の ADC(analog-digital converter, アナログデジタル変換回路)によりデータ化する為、面積コストが小さく、従来のデジタル化機能の一部をチップに搭載するシステムに比べて 1000 倍以上の高速化が可能である。(NEDO P08009 超ワイドバス SiP 三次元集積化技術の研究開発の評価システムと比較)



図Ⅲ-2.1.9-1-8 (a)PI・SI 評価システム全体図、(b)オンチップ評価回路

(2) PI・SI 評価チップの開発

PI・SI 評価のため、0.18 μm CMOS プロセスで PI・SI 評価チップの開発を行った。チップ内には様々な電源パターンから発生する電源ノイズを評価可能な PI 評価ブロック、TSV から基板に漏出する信号強度を評価可能な SI 評価ブロックが搭載されており、前述の PI・SI 評価システムにより PI・SI 評価が可能である。図Ⅲ-2.1.9-1-9 に PI・SI 評価チップのレイアウトを示す。評価チップは PI 評価パターン、SI 評価パターン、後述する TSV 積層前評価シ

システム評価パターンから成り、チップオンボード実装による評価、プローブによる評価が可能である。

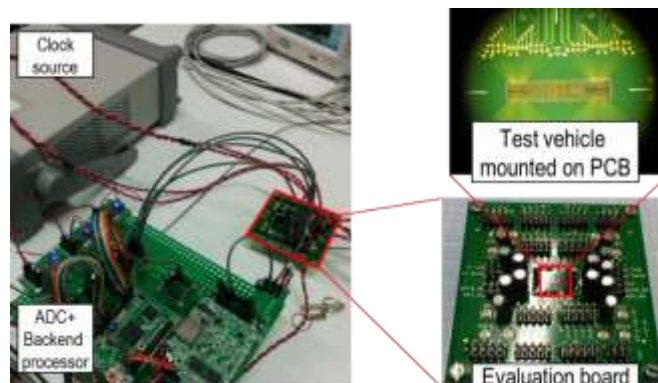


図Ⅲ-2.1.9-1-9 PI・SI 評価チップレイアウト

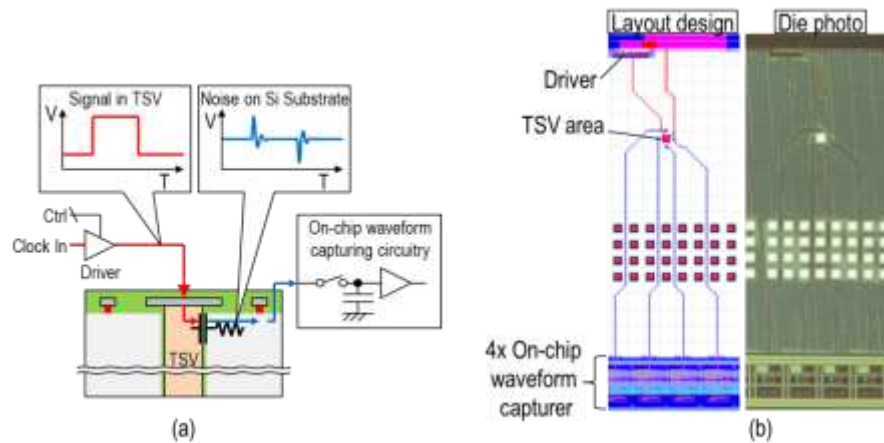
(3) PI・SI のための TSV 周辺ノイズ実測の実現

PI・SI 評価のため、開発した PI・SI 評価チップを用いた TSV 周辺ノイズ実測環境を構築した。構築した環境を図Ⅲ-2.1.9-1-10 に示す。PI・SI 評価チップは PCB 上にチップオンボード形態で実装され、ADC 及び FPGA を含むバックエンド処理系と接続することでチップ内部電圧の実測を可能にしている。実測原理としては図Ⅲ-2.1.9-1-11(a)に示すように、信号を TSV に入力し、TSV の側壁絶縁膜を通してシリコン基板に漏出するノイズを基板に接続した電極から検知し、オンチップ評価回路で観測するものとなっている。図Ⅲ-2.1.9-1-11(b)に TSV 周辺ノイズ実測のための評価ブロックレイアウト及びチップ写真を示す。評価対象とした構造は図Ⅲ-2.1.9-1-12 に示す 4 種であり、TSV の有無によるノイズ増加や、増加したノイズを低減させる手法の効果を確認可能となっている。

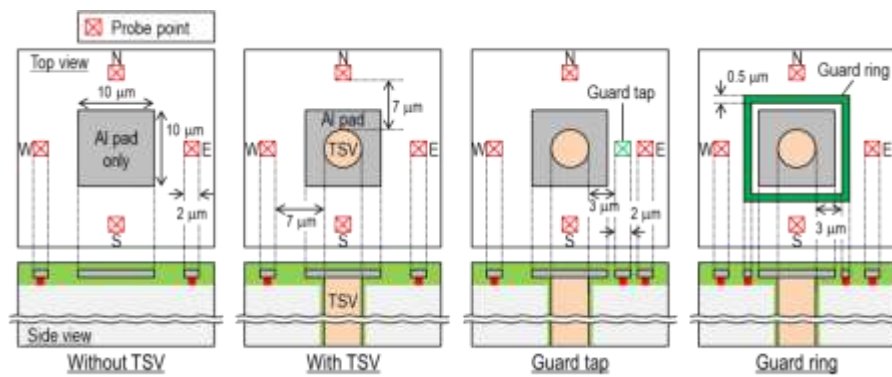
図Ⅲ-2.1.9-1-13(a)に TSV 周辺ノイズ実測結果を示す。縦軸がノイズの振幅を示し、図Ⅲ-2.1.9-1-12 に示す 4 種の構造について TSV 周囲 4 点でのノイズ観測結果を示している。これらの実測結果より、何も無い配線構造に対して TSV が加わることで周辺へのノイズ漏出が 2 倍程度に増加すること、ガードリング等のノイズ抑制手法が劇的なノイズ抑制効果を持つことが重要な知見として得られた。また、1-2)にて開発した解析手法を用いると図Ⅲ-2.1.9-1-13(b)の結果となり、実測と高い整合性を持っていることが確認できた。これら実測・解析結果から、アナログ回路等のノイズに敏感な回路に対してはガードリングを敷設してノイズを低減させるなどの設計指針を立てることができ、解析モデルを用いることで効果の見積もりが可能となった。



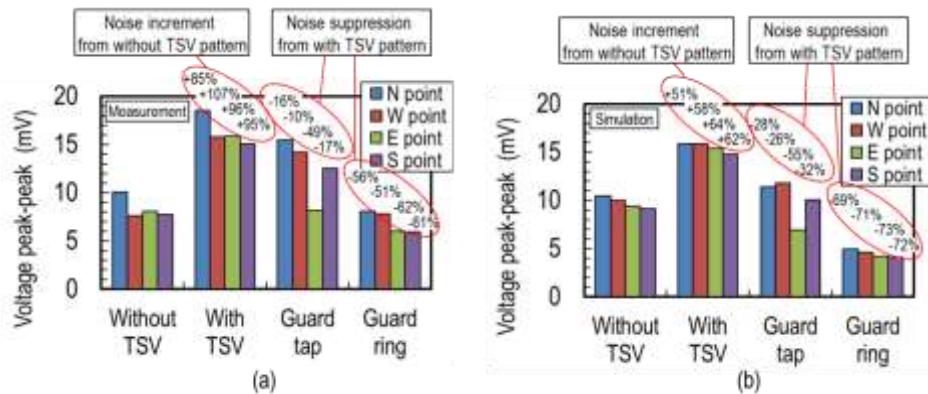
図Ⅲ-2.1.9-1-10 TSV 周辺ノイズ実測環境



図III-2. 1. 9-1-11 (a)TSV 周辺ノイズ実測手法、(b)測定ブロックレイアウト及び写真



図III-2. 1. 9-1-12 TSV 周辺ノイズ実測用パターン

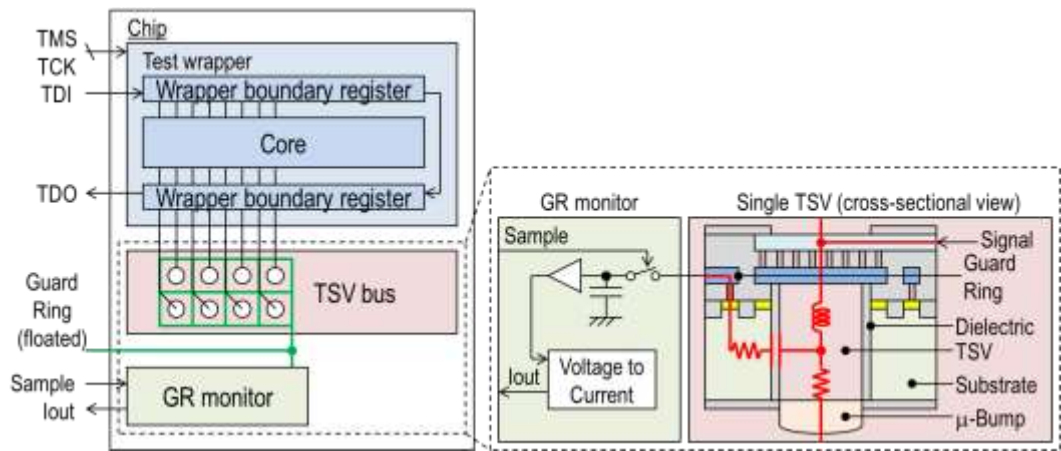


図III-2. 1. 9-1-13 (a)TSV 周辺ノイズ実測結果、(b)TSV 周辺ノイズ解析結果

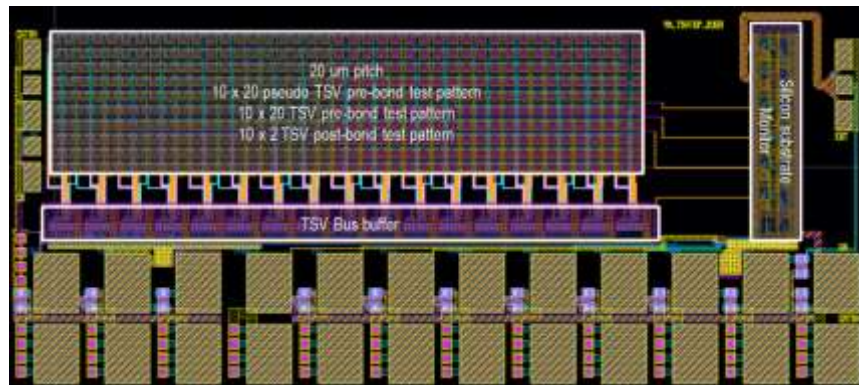
(4) PI・SI 評価システムを用いた TSV 積層前評価システムの開発

PI・SI 評価システムが TSV からシリコン基板への信号漏出という形で SI を評価出来ることから、TSV の積層前評価システムを開発した。図III-2. 1. 9-1-14 に TSV 積層前評価システムの全体図を示す。TSV 積層前評価システムは TSV に信号が入力された際のシリコン基板への漏出ノイズが TSV の電気的特性に依存することを利用し、シリコン基板の電位を評価することで TSV の良・不良を判断する。TSV に対し直接回路を接続する必要が無いため負荷無し

で TSV 評価が可能であることが利点である。PI・SI 評価チップに TSV 積層前評価システムの評価パターン(図Ⅲ-2. 1. 9-1-15)を搭載しており、実測による検証が可能である。



図Ⅲ-2. 1. 9-1-14 TSV 積層前評価システム全体図

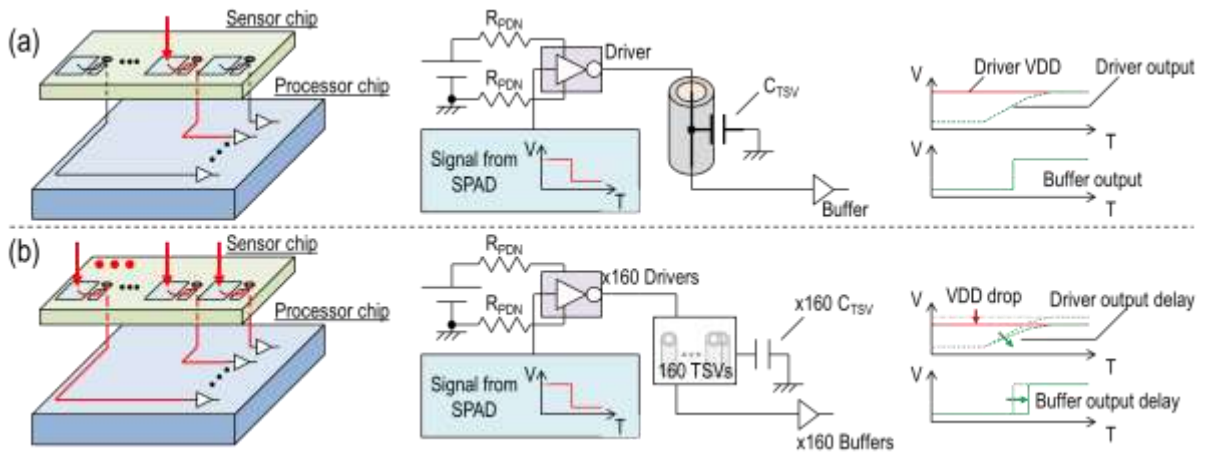


図Ⅲ-2. 1. 9-1-15 TSV 積層前評価システム評価パターンレイアウト

1-4) 製品チップのための設計指針

測距デバイスの PI・SI を議論する指標として、受光素子搭載チップから距離算出チップへの出力信号のタイミング変動の影響が最も大きいと考えられる。これは容量の大きい TSV を多数駆動する必要がある上に、高密度に集積された受光素子により配線可能領域が制限されるためである。

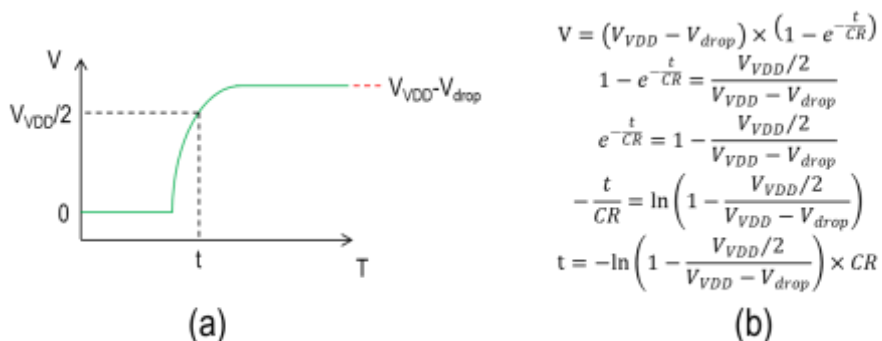
製品チップのための設計指針を導出する為に図Ⅲ-2. 1. 9-16 に示される解析モデルを作成し、解析を行った。解析において TSV の容量は 5 μm 径かつ高さ 20 μm の電極が比誘電率 3.9 で 200 nm 厚の絶縁体で覆われている場合を想定し 56 fF とする。一度に動作する受光素子数が 160 のとき、最も電源電圧変動が激しくなるのは 160 素子が全て同時動作する場合(図Ⅲ-2. 1. 9-16(b))と考えられるため、単一素子が動作する場合(図Ⅲ-2. 1. 9-16(a))に対し最も誤差が大きいと言える。



図Ⅲ-2.1.9-1-16 (a)単一素子が動作する場合、(b)160素子が同時動作する場合のイメージ、解析モデルブロック図、信号遅延予想

解析モデルを用いた設計指針の確からしさを、図Ⅲ-2.1.9-18 に示す解析結果と比較しつつ確認した。TSV を駆動する回路が 1.8 V で動作し、1 つあたりプロセスで提供される高耐圧インバータと同様の駆動力(出力抵抗 9.76 kΩ)を持ち、PDN(power delivery network, 電源網)のインピーダンスを VDD/VSS とともに 10 Ω と仮定すると、 $I=V/R$ より $1.8 / (9760/160 + 10) = 25.4$ mA の電流が流れ、回路の電源電圧は抵抗比(9760/160:10)より抵抗分圧で 254 mV の電圧降下が見積もられる。(実際は電圧降下により回路の駆動力が低下する為、図Ⅲ-2.1.9-1-18(a)の解析例では 203 mV 程度の電圧降下となっている。)

このとき、後に続く回路の入力閾値を 0.9V(電源電圧/2)とするとバッファに論理が伝達されるまでの時間 t は図Ⅲ-2.1.9-1-17(a)に示される関係になる。 C =駆動される TSV の合計容量、 R =駆動されるインバータの出力抵抗と PDN の合成抵抗とすると、図Ⅲ-2.1.9-1-17(b)より 1 素子駆動時の t と 160 素子駆動時の t の誤差は 175 ps となる。(実際は前述の電圧降下緩和により遅延量も緩和される。図Ⅲ-2.1.9-1-18(a)の解析例では 148 ps 程度に収まる。)

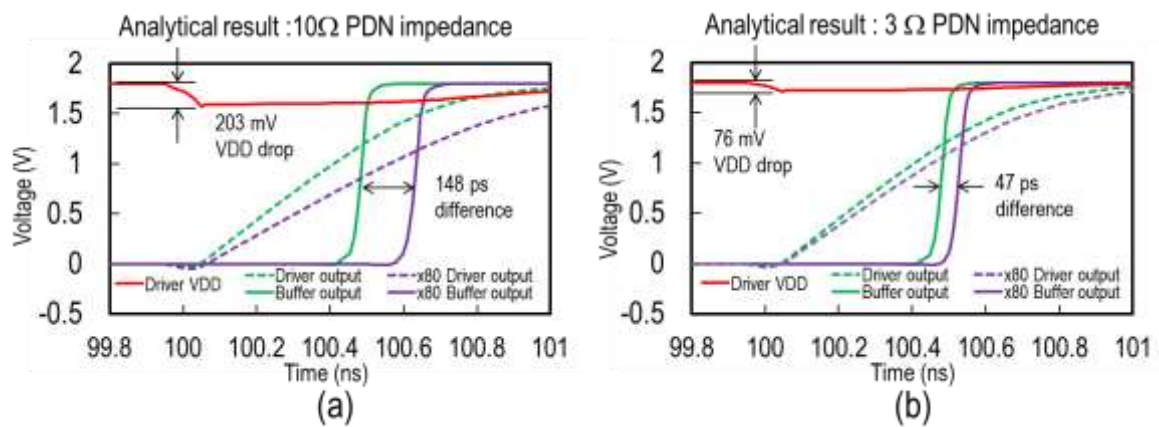


図Ⅲ-2.1.9-1-17 (a)閾値(電源電圧/2)に到達するまでの時間 t の図、および(b)時定数より導出される時間 t

本プロジェクトの測距センサに搭載された時間-デジタル変換回路の最小分解能を 208 ps、許容誤差を最小分解能の 1/4 とした場合、許容できる時間誤差は 52 ps である。その為、見積もられた 175 ps および解析例の 148 ps では許容範囲を超えるため改善の必要がある。

1 素子駆動時と 160 素子駆動時の誤差は RC 時定数と電圧降下量によって決定されるため、PDN のインピーダンスを下げ PI を改善することが測距精度の確保に繋がる。例えば PDN のインピーダンスを 3 Ω にまで下げることによって回路の電源電圧は 160 素子駆動時でも 84 mV に収まり、遅延の差は 47.3 ps となる為、許容範囲に収まる。(図Ⅲ-2.1.9-18(b)解析例では電圧降下は 76 mV となり、誤差は 47 ps となっている。)

計算および解析より、仮定する条件下においては少なくとも PDN のインピーダンスを 3 Ω 以下にするという設計指針が示された。



図Ⅲ-2.1.9-1-18 (a)PDN インピーダンスが 10 Ω である場合、および(b)PDN インピーダンスが 3 Ω である場合の解析結果

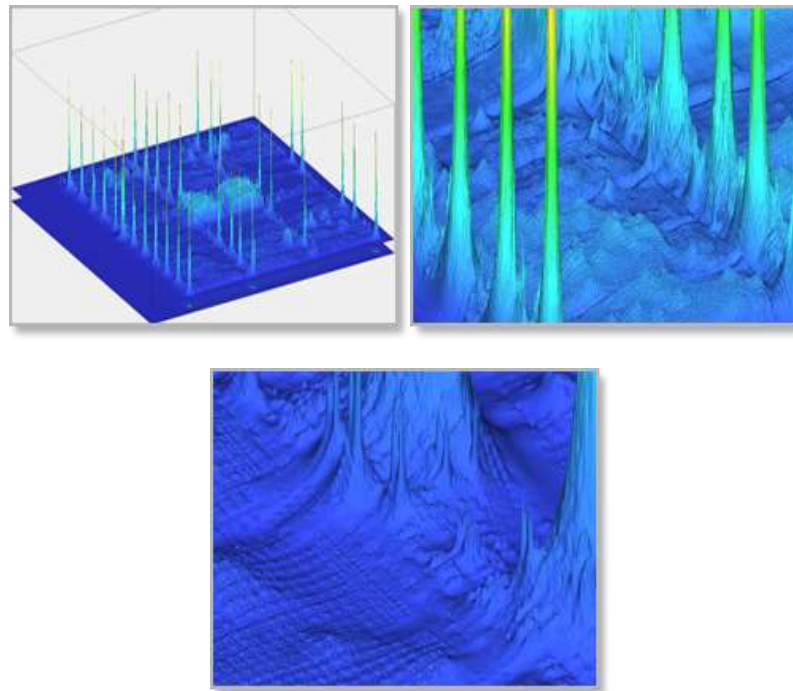
2) 三次元実装構造の熱特性解析評価

2-1) 三次元実装構造の全体解析に向けた熱の解析評価環境の構築

三次元実装構造の全体解析に向けた熱の解析評価環境の構築として、LSI 熱解析ソフトウェアの比較評価を行った(表Ⅲ-2.1.9-2-1)。三次元積層実装 LSI におけるトランジスタ動作時に発生する局所熱であるホットスポットの抑制を目的に、ホットスポットの解析・計測評価技術の開発のため、LSI の全エリアでナノレベル位置分解能での、熱過渡解析が可能なツールが必要である。従って、表Ⅲ-2.1.9-2-1 より LSI の精密な熱解析が可能な Keysight Heatwave を導入した。図Ⅲ-2.1.9-2-1 に Keysight Heatwave の解析事例を示す。

表Ⅲ-2.1.9-2-1 熱解析ソフトウェアの比較

	ANSYS Icepak	Keysight HeatWave
Full-chip analysis	△	◎
Full-chip at nanometer scales	×	○
Transient analysis	○	○

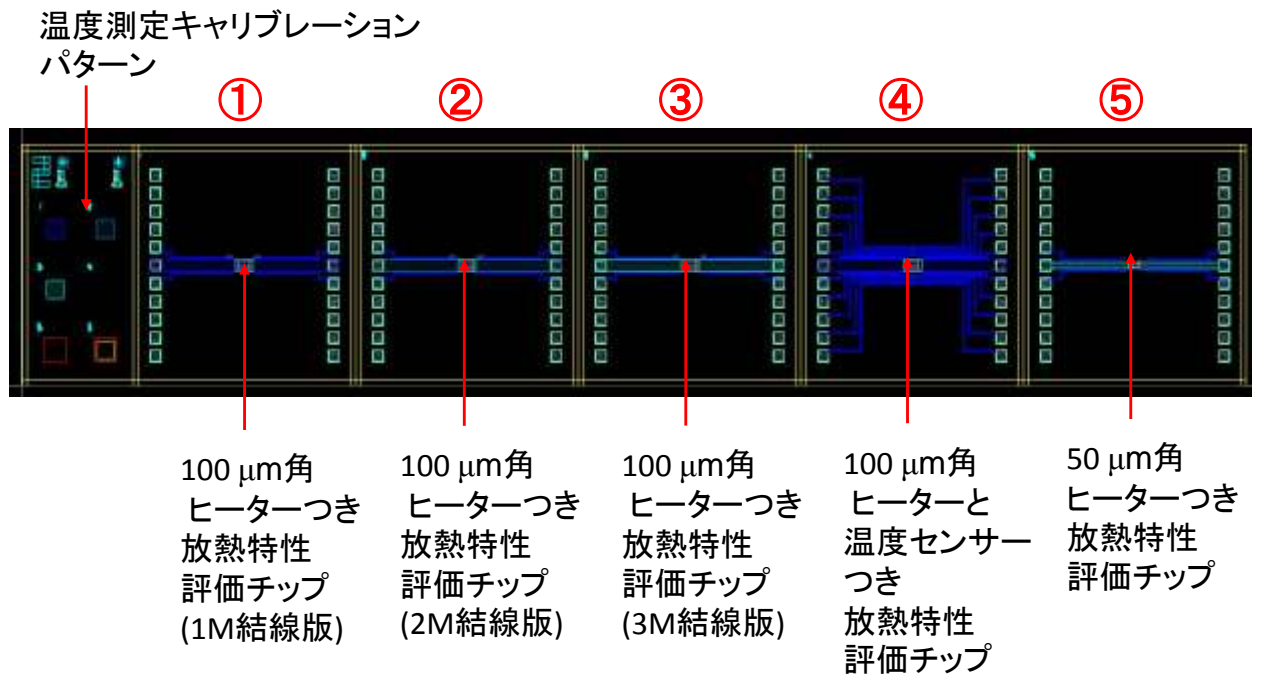


図Ⅲ-2.1.9-2-1 Keysight HeatWave による三次元集積回路熱解析事例

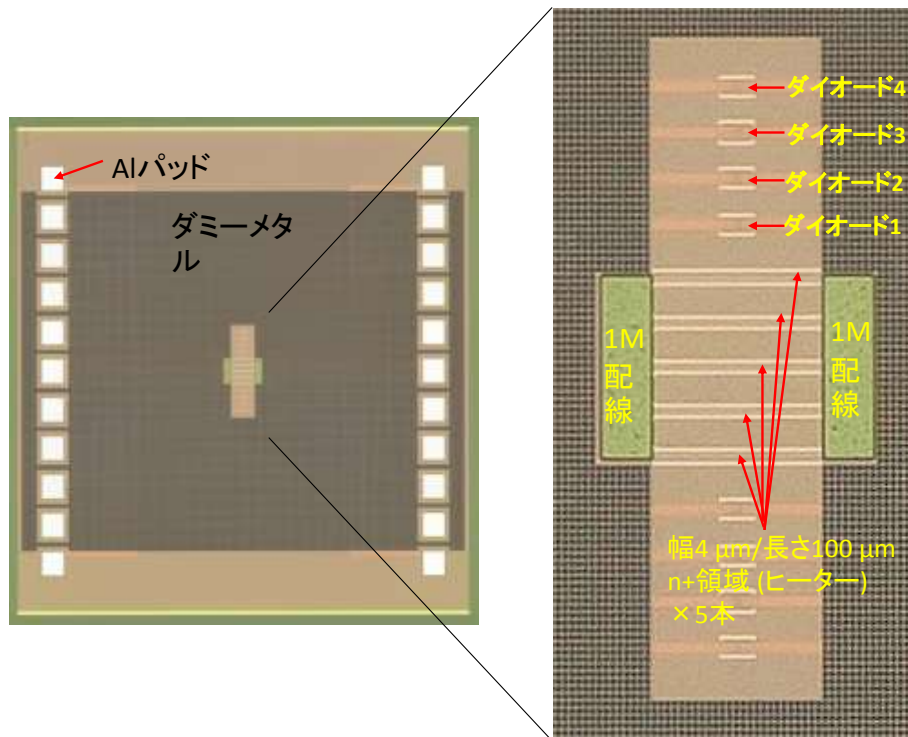
2-2) トランジスタ動作によって生じるホットスポットの解析評価技術の開発

車載センサシステムに対応する三次元 LSI 積層実装システムのチップレベルおよびパッケージレベルによる放熱解析評価技術の開発の第一歩として、放熱特性評価チップを設計した(図Ⅲ-2.1.9-2-2)。図Ⅲ-2.1.9-2-3 に示したように、熱評価 TEG には、100 x 100 μm 角内に、5本の並列抵抗を設置しており、抵抗に電流を流すことで発熱・抵抗値を測定することで温度計測可能

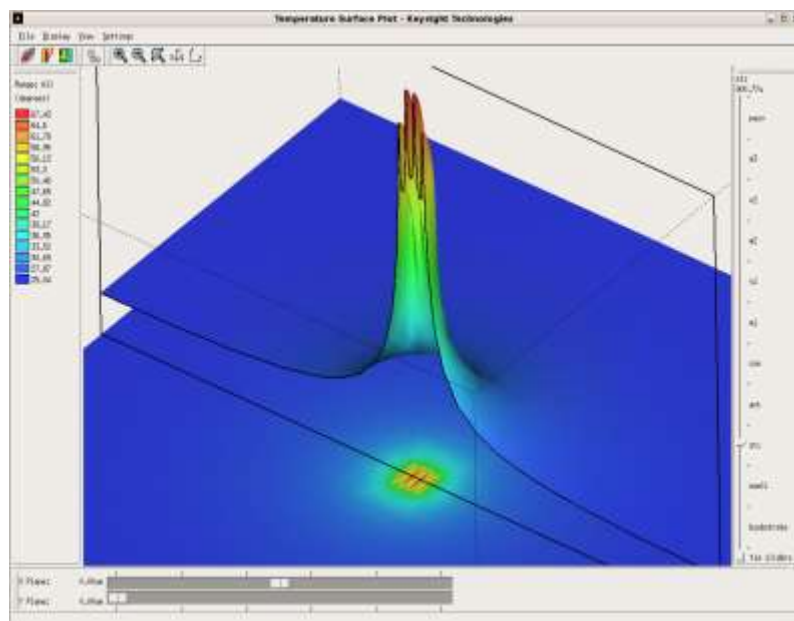
である。また、温度センサとしてダイオードを搭載しているものはダイオード配置位置の温度を測定可能である。温度センサつき放熱特性評価チップ（図Ⅲ-2.1.9-2-2 の④、図Ⅲ-2.1.9-2-3）の、ダミーメタル、全てのレイアウトを含めた統合的な解析を行った（図Ⅲ-2.1.9-2-4、図Ⅲ-2.1.9-2-5）。



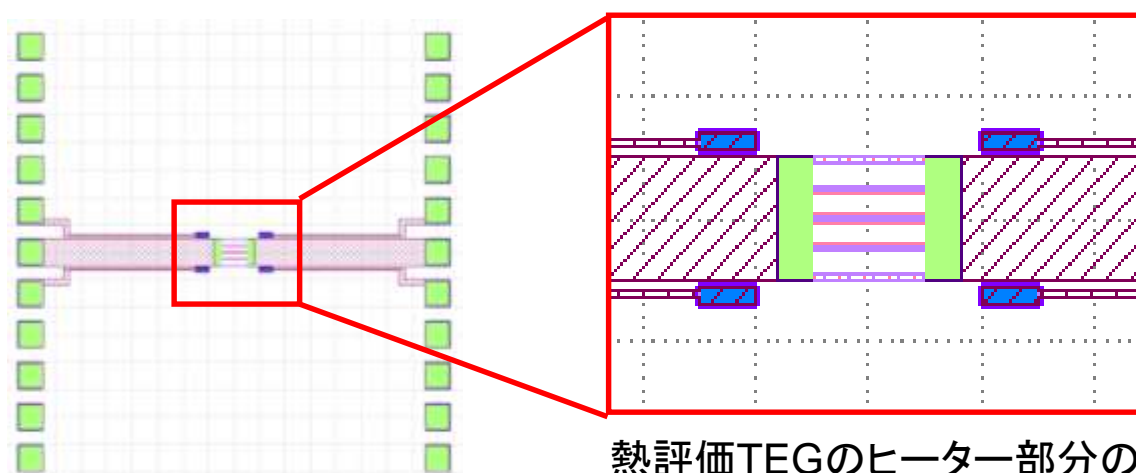
図Ⅲ-2.1.9-2-2 温度センサ付き放熱特性評価チップ



図Ⅲ-2.1.9-2-3 温度センサつき放熱特性評価チップの拡大写真



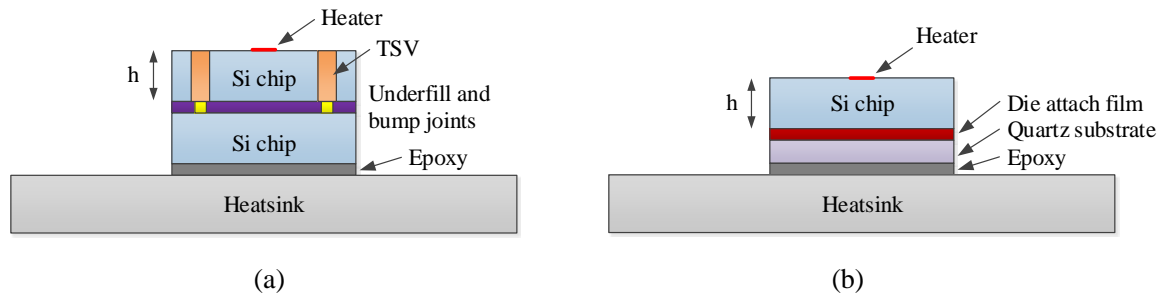
図Ⅲ-2.1.9-2-4 Keysight HeatWave で解析されたヒーター発熱による熱分布図



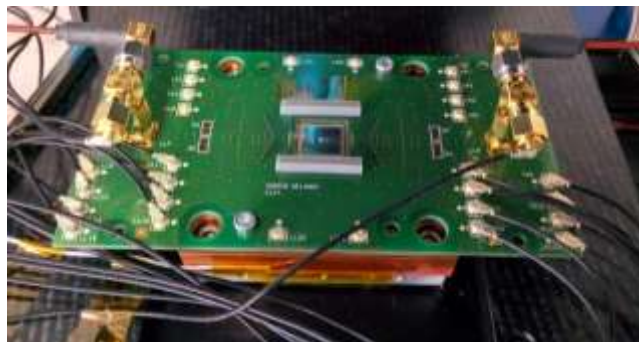
熱評価TEGのレイアウト図

熱評価TEGのヒーター部分の
拡大図

図Ⅲ-2.1.9-2-5 解析に用いた構造のレイアウト (ダミー非表示)



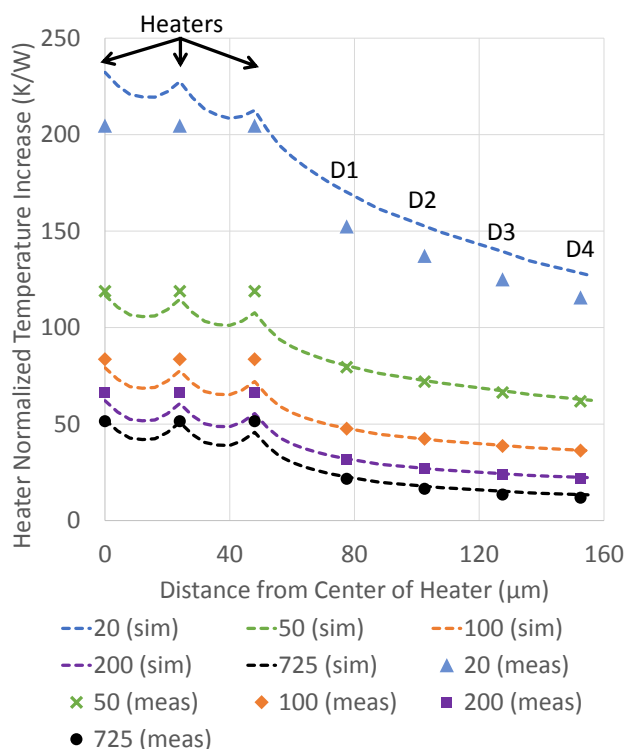
図Ⅲ-2.1.9-2-6 (a) 一般的 TSV 付き三次元実装構造、(b) キャリブレーション用単純構造の 2 種の実装形態



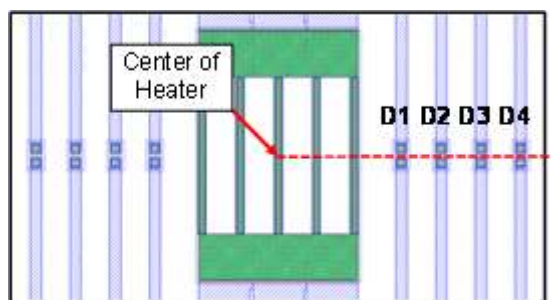
図Ⅲ-2.1.9-2-7 4 端子測定可能な評価システムに接続された熱特性評価チップ

また、温度センサによる温度実測を行った。測定対象となるサンプルは図Ⅲ-2.1.9-2-6(a)に示す一般的な TSV 付き三次元実装構造と図Ⅲ-2.1.9-2-6(b)に示す解析とのマッチング用単純構造の二種類の実装形態で実装されている。単純構造においてはアンダーフィルとバンプ接合の代わりに die attach film により Si とヒートシンクの間には断熱層を形成した。さらに熱伝導率の低い石英を用いることで発熱に対する温度応答を向上し測定感度を高めている。

まず図Ⅲ-2.1.9-2-5(b)に示す単純構造を用いて実測とシミュレータの結果を比較する。これらのサンプルをプリント基板に実装し、4 端子評価により温度センサ及びヒーター部の温度を評価した。図Ⅲ-2.1.9-2-7 に実装したサンプルの写真を示す。薄化による上昇率を評価するため、厚み 725、200、100、50、20 μm の 5 種類とした。解析結果と実測結果の比較を図Ⅲ-2.1.9-2-8(a)に示す。このとき熱解析はダミーメタル・ダミーアクティブを含めた全レイアウトを考慮した条件である。また、実測において熱源の出力は 200 mW とした。Y 軸は K/W で表されるヒーター出力に対する温度上昇率で、X 軸は各温度センサとヒーターの中心との距離である。マーカーは実測結果で破線は Keysight Heatwave による解析結果を示す。X 軸は図Ⅲ-2.1.9-2-8(b)の破線上のものである。このとき、チップ中央の温度測定はヒーターの抵抗値測定で算出した。実測では 5 本の抵抗それぞれの温度変化は区別できないためヒーター 3 か所の実測値は同一値である。解析結果においてはヒーター 3 か所の温度は中心部ほど高くなりやすい様子が現れている。



(a)



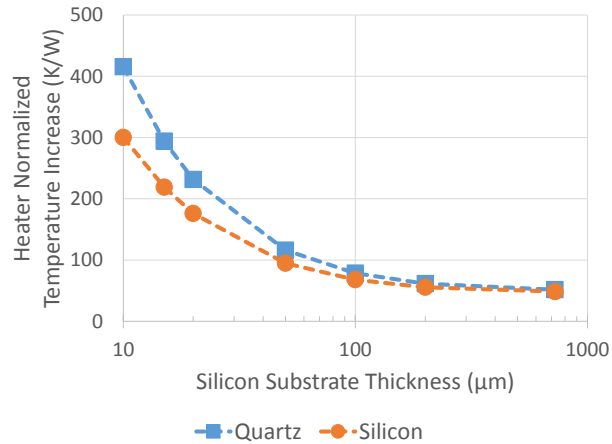
(b)

図Ⅲ-2.1.9-2-8 (a) 上層チップ厚み 725、200、100、50、20 μm の 5 種類の
実測/解析による温度上昇率、(b)測定/解析点の位置関係

グラフより、実測と解析が高い精度で一致していることが確認できた。このことから、解析モデルが正確であり、様々なチップ厚における温度分布が本解析手法により予測可能であるといえる。本解析手法を用いて図Ⅲ-2.1.9-2-6 の(a)(b)の実装方式における温度上昇率(K/W)を解析した結果を図Ⅲ-2.1.9-2-9 に示す。グラフより、下層基板が伝熱性の高いシリコン基板である場合と断熱性の高い石英基板である場合の違いが明確に表れている様子が示された。放熱環境としては、シリコン基板上に実装した場合は良好な放熱特性を示し、石英基板上に実装した場合悪い放熱特性を示しているといえる。

また、同じ解析結果について上層チップ厚 725 μm を基準にした場合薄化に応じて温度上昇が何倍になるかを石英基板実装、シリコン基板実装についてそれぞれ表Ⅲ-2.1.9-2-2、表Ⅲ-2.1.9-2-3 に示す。これらの表より、725 チップ厚を 725 μm から 10 μm へ薄化したことによって温度がシリコン基板の場合では 6.17 倍、石英基板の場合では 8.03 倍上昇した。実際のホットスポットは

チップ上の位置関係、材料等による変わるが、この結果から上層チップの厚さと許容できる最大電力などの総合的なガイドラインが得られる。また、三次元 LSI 積層実装システムにおける薄化による温度上昇が設計時に無視できないもので、動作または信頼性のために設計に考慮する必要性が示された。



図III-2.1.9-2-9 上層チップ厚み 725、200、100、50、20、15、10 μm の 7 種類の温度上昇解析結果

表III-2.1.9-2-2 上層チップ厚みに対する温度上昇比較（石英基板上実装）

Substrate thickness (um)	Change vs. unthinned
10	8.03x
15	5.69x
20	4.48x
50	2.25x
100	1.52x
200	1.19x
725	---

表III-2.1.9-2-3 上層チップ厚みに対する温度上昇比較（シリコン基板上実装）

Substrate thickness (um)	Change vs. unthinned
10	6.17x
15	4.51x
20	3.62x
50	1.95x
100	1.40x
200	1.14x
725	---

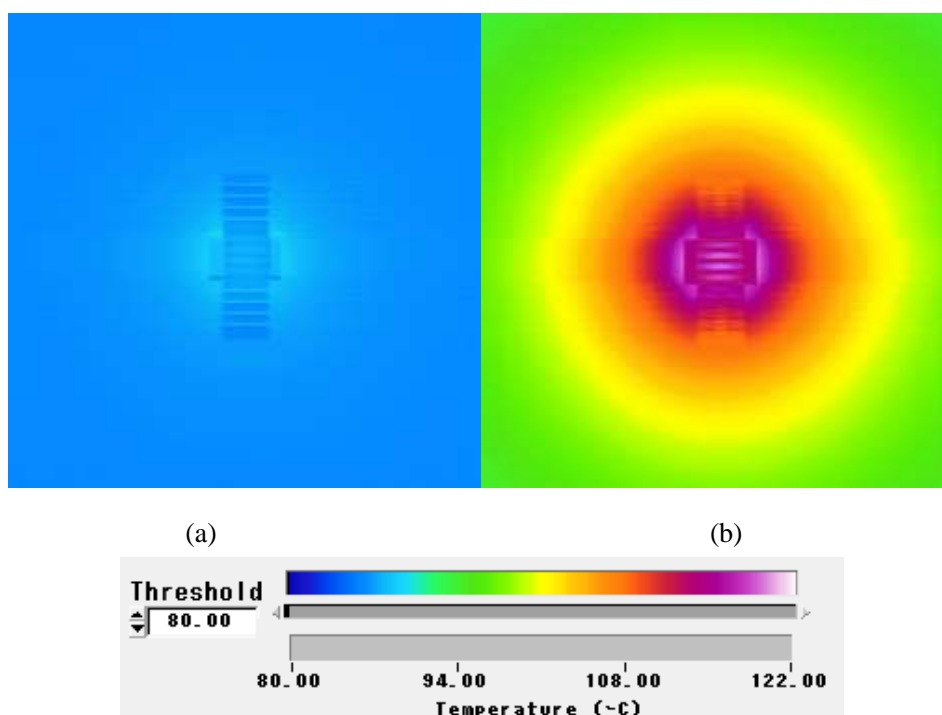
2-3) サーマカメラによる車載センサシステムに対応する

三次元 LSI 積層実装システムのホットスポット評価の検討

電気的な温度センサ（ダイオード）の搭載で特定の箇所の温度を測定することが可能になるが、温度分布を詳細に全面把握するため、サーモカメラ（赤外線カメラ）を導入した。表面温度分布を観察的に取得する装置は主に 2 種類の測定方法がある。サーモカメラはサンプル表面の温度により変化する熱放射を検出することで温度を測定する。放射量は温度および材質の放射率により決定され、表面の材質を考慮する必要がある。表面に複数の材質があるセンサデバイスを想定し、表面材料の放射率補正において、2 種類の材料以上に対応するものが重要である。また、サーモリフレクタンス法による温度観察装置は、レーザなど光源の光をサンプルの表面に当てて、反射の強度による温度を検出するものである。レーザ放射から反射検出の周期に物理的な制限があるため、回路と観察装置の動作時の同期（ロックイン機能）が重要である。しかし、マイクロプロセッサ等、複雑な論理回路で構成している半導体チップでは、ロックインが困難なため、マイクロプロセッサを搭載した車載センサデバイスを測定できる赤外線カメラを検討することとなった。比較検証の結果、高速な検出ロックイン機能不要で、2 μsec の過渡現象測定が可能、世界最小の赤外線空間分解能である約 3 μm を実現し、放射率の全自動補正機能が可能かつ放射率補正が 2 つの温度点で可能となっており、2 種類の材料以上の表面材料の放射率補正に対応し、液体窒素によるセンサの冷却時の振動の影響が無い等の理由により、QFI 社の InfraScope II を導入した。装置の仕様を表 III-2.1.9-2-4 に示す。

表Ⅲ-2.1.9-2-4

<p>装置外観</p>	
<p>センサ：画素数</p>	<p>InSb：1024x1024 (液体窒素冷却)</p>
<p>位置分解能</p>	<p>3 μm (時間分解能：12.5ms) 21 μm (時間分解能：3μs)</p>
<p>時間分解能</p>	<p>12.5 ms 3 μs</p>
<p>温度分解能</p>	<p>0.05 °C (時間分解能：12.5ms) 0.1 °C (時間分解能：3μs)</p>



図III-2.1.9-2-10 (a)729.2 μm 厚基板・ヒーター出力 260 mW・基準温度 80 $^{\circ}\text{C}$ 、
(b) 24.2 μm 厚基板・ヒーター出力 240 mW・基準温度 80 $^{\circ}\text{C}$ での実測結果

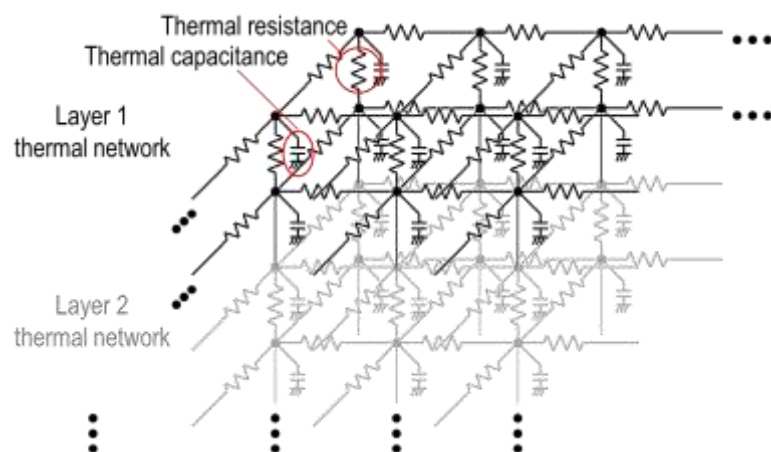
サーモカメラによる、温度センサつき放熱特性評価チップ（図III-2.1.9-2-2 中の④）の表面温度の観察を行った（図III-2.1.9-2-10）。ヒーターを中心とした十字の部分は、ダミーメタルが配置されなかった領域であり、温度が周囲よりも低く見えている。これは、ホットチャックからシリコン基板を通過している赤外線の影響で、温度が低く見えるためと考えられる。太い配線では、測定の精度が高くないため、低い放射率になっているが、ダミーメタルが配置されている領域の放射率は想定より高いかつ、一定になっている。そのため、ダミーメタル配置領域を利用することで測定の検証が容易になると考えられる。このことから車載センサデバイスを含む、一般的なLSI回路の赤外線カメラによる測定精度向上のためのダミーメタル領域の必要性についての指針を得ることができた。

2-4) 三次元実装構造の過渡熱解析に向けた解析評価環境の構築

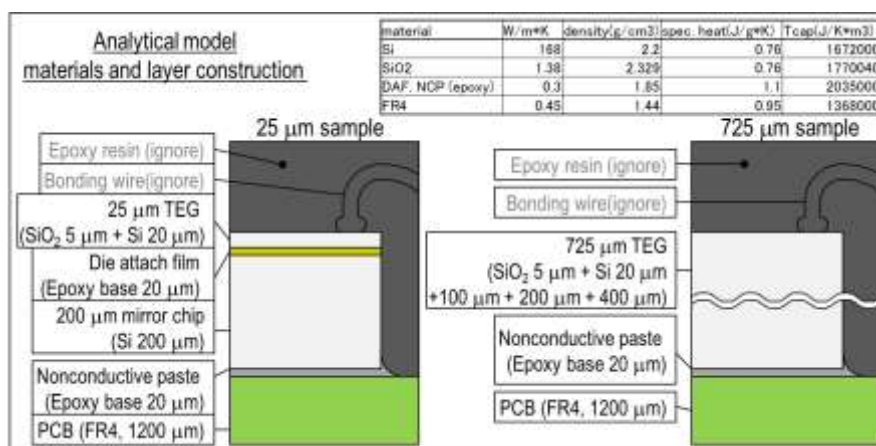
三次元実装構造の過渡的熱特性の解析に向けた解析評価環境の構築のために、三次元的なTNM(thermal network method, 熱回路網法)のためのモデル構築手法を開発した。TSVを用いる三次元実装構造においては、TSV形成のためのチップの薄化が必須であるが、放熱特性評価チップの温度上昇特性評価及び解析結果から、薄化されたチップにおいては熱伝導体となるシリコンが薄くなるため熱が逃げにくく集中することが予想される。そのため、通常厚みのシリコン基板ではピーク温度が低くても薄化シリコン基板ではピーク温度が高くなると考えられる。また薄化シリコン基板においては熱が周辺に拡散するまでに時間が必要なため、瞬間的な温度の上昇等の過渡的な特性が変化することも考えられる。温度はデバイスの特性及び寿命に密接に関わるため、精度と信頼性を求められる車載センサシステムにおいては重要課題である。

三次元実装構造ではチップを積層することから平面的な熱の拡散だけでなくチップ間の熱の拡

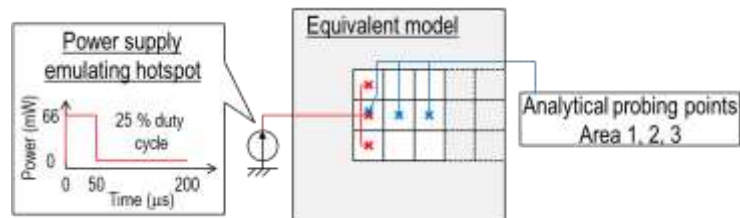
散も考慮する必要があり、三次元的な熱の挙動を解析可能なモデルが必須である。そこで、図Ⅲ-2.1.9-2-11 に示される立体的メッシュ構造を持つ熱回路網モデルを提案、構築手法を開発した。薄化チップと通常厚みチップの熱特性を比較するために水平方向メッシュ寸法 40 μm 、図Ⅲ-2.1.9-2-12 に示す材料及び垂直方向メッシュ寸法で熱回路網モデルを生成し、図Ⅲ-2.1.9-2-13 に示すように 50 μs 加熱(66mW)・150 μs 休止の条件で過渡的な熱の広がり解析した。熱回路網モデルは SPICE に代表される一般的な回路シミュレータで解くことが可能であり、本プロジェクトでは Keysight ADS を用いた。それぞれの解析結果を図Ⅲ-2.1.9-2-14 に示す。過渡解析結果より、通常厚み基板において 1.8 K しか温度上昇が見られず、周辺領域への温度変化も殆ど見られなかった。一方で薄化基板においては 3.1 K の温度上昇が確認され、31 μs 遅れて 80 μm 離れた領域に温度ピークをもたらすことが解析により示された。これにより、薄化されたチップ上では温度に対する感度が高い回路を熱源から 80 μm 以上離すことで瞬間的な温度変化から逃れることができるなど、設計指針を立てることが可能になった。



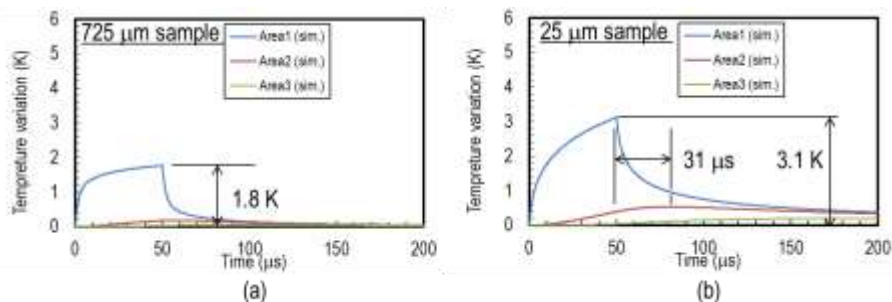
図Ⅲ-2.1.9-2-11 三次元実装構造をモデル化可能な熱回路網モデル



図Ⅲ-2.1.9-2-12 解析に用いた薄化チップと通常厚みチップの断面構造



図Ⅲ-2.1.9-2-13 熱回路網モデルを用いた過渡解析条件

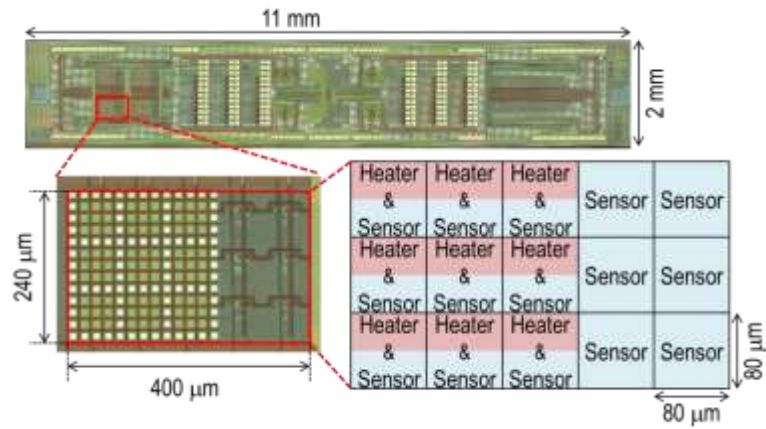


図Ⅲ-2.1.9-2-14 (a)通常厚み基板と(b)薄化基板における過渡熱解析結果

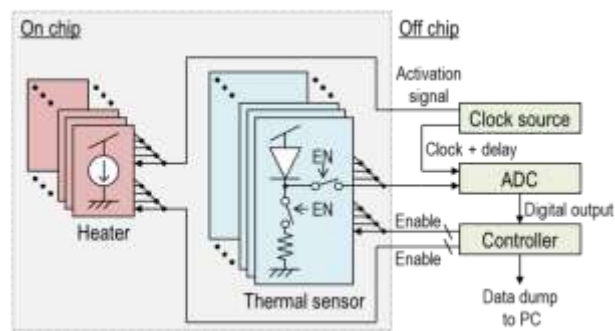
2-5) 三次元実装構造の過渡熱解析に向けた解析評価環境の構築

三次元実装構造の過渡的熱特性について、解析結果を実測により検証するための評価チップ及び評価構造を図Ⅲ-2.1.9-2-15に示す。提案する構造においては、80 μm角のセンサ領域を5x3個配置しており、そのうち左側9領域については電流消費で発熱するヒーターを搭載している。図Ⅲ-2.1.9-2-16に評価構造とオフチップ系のブロック図を示す。ヒーターはCMOSスイッチに電流を流すことにより発熱するものであり、外部からオン・オフ信号を入力することで高速な発熱・休止の切り替えが可能である。センサは温度を電圧に変換するダイオードベースの回路構造であり、駆動開始から1 μs以内に目標値の±1%の電圧に到達するよう、急な温度変化を観測するのに十分な駆動力を有する。

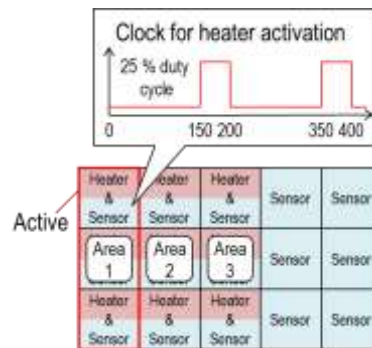
図Ⅲ-2.1.9-2-17に過渡的熱分布の実測条件を示す。通常厚み基板と薄化基板を用いたサンプルで解析に用いた条件と同規模の熱を発生させ、温度センサにより過渡的な変化を実測した。図Ⅲ-2.1.9-2-18に示すように実測結果は解析結果(図Ⅲ-2.1.9-2-14)と高い整合性を示しており、開発した解析手法の確からしさが示された。



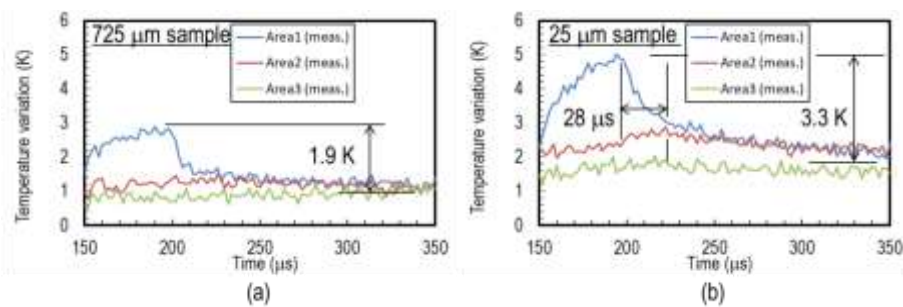
図Ⅲ-2. 1. 9-2-15 三次元実装構造における熱測定のための評価構造



図Ⅲ-2. 1. 9-2-16 過渡的熱分布を評価するための評価回路とオフチップ系



図Ⅲ-2. 1. 9-2-17 過渡的熱分布の実測条件



図Ⅲ-2. 1. 9-2-18 (a)通常厚み基板と(b)薄化基板における過渡的熱分布の実測結果

2-6) 製品 TEG のための設計指針

三次元実装構造の熱特性解析評価に際して、三次元実装構造の全体解析に向けた熱の解析評価環境を構築した。また、車載センサデバイスを積層したことを想定するヒーター付きチップを搭載したテストモジュールに対する電氣的温度測定および赤外線カメラによる温度の測定を行い、実測とシミュレーションを比較し、測定精度の向上に向けた検討を行った。さらに、PDK-TEG を設計・過渡的熱特性の評価を実施した。

以上より、車載センサデバイスの製品 TEG としては、(1)三次元集積回路における抜熱にアンダーフィルと伝熱性の良い下層基板が不可欠、(2)温度上昇が大きい回路における、精密な温度分布を得るために、ダミーメタルおよび材料の熱伝導率依存性を考慮したシミュレーション環境が必要、(3)薄化したチップをサーモカメラでの測定を可能にするには、赤外線の通過を制御する、計画的ダミーメタル配置など、設計の工夫が重要、(4)過渡的な熱の集中を避けるためにヒーターとなる回路間に一定の距離が必要である、という設計指針が得られた。

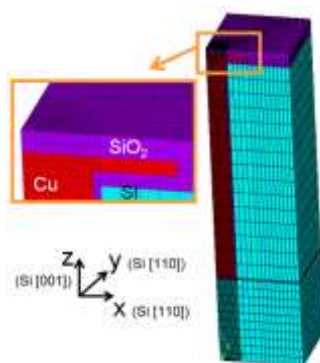
3) 三次元実装構造の応力・熱解析評価

3-1) ラマン分光法による応力分布測定と解析結果の検証

FEM シミュレーション解析検証のために、ラマン分光法による応力分布測定した。シリコン貫通電極つきチップに対して、断面加工を行ったのち、ラマン分光法を用いて、TSV 近傍の応力およびその温度変化を測定した。図Ⅲ-2.1.9-3-1 に示される測定箇所は TSV 端より 1 μm、3 μm、5 μm の CVD-SiO₂直下 (SiO₂/Si 界面より 0.5 μm 下方の位置)の Si 領域 の3点とする。また、測定温度は、-55℃、常温、125℃の3水準とする。なお、偏光測定により、応力は、TSV の半径方向(x 方向)と垂直方向(z 方向)の成分に分離する。TSV 断面の二分の一解析モデルを図Ⅲ-2.1.9-3-2 に示す。表Ⅲ-2.1.9-3-1 に示される材料パラメータ使用し、測定と同じ状態で TSV が 25℃から-55℃と 25℃から 125℃へ温度変化させた熱応力を解析した。



図Ⅲ-2.1.9-3-1 TSV サンプルの横断面

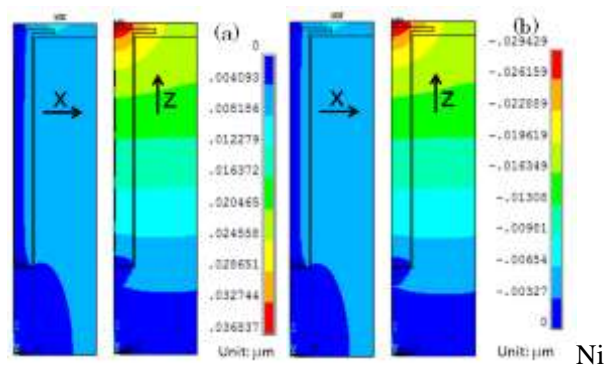


図Ⅲ-2.1.9-3-2 TSV 断面の 1/2 の解析モデル

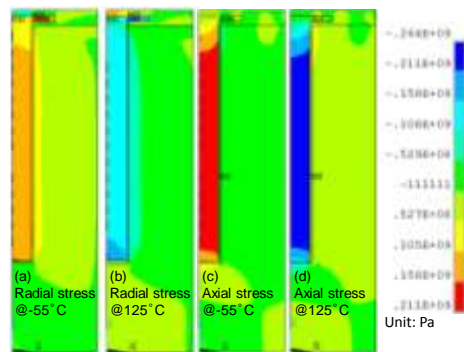
表Ⅲ-2.1.9-3-1 シミュレーション用材料パラメータ

Material	Young' Modulus (GPs)	Poisson Ratio	CTE (ppm/°C)
copper	121	0.34	17
Si	Ex=Ey=170 Ez=131 shear-modulus Gyz=Gzx=79.83 Gxy=51.13	YZ: 0.28 XZ: 0.36 XY: 0.064	2.8
SiO ₂	70	0.16	0.6
Polymer	2.9	0.4	50

125°Cおよび-55°Cで TSV の断面の半径方向(x 方向)と垂直方向(z 方向)の変形が図Ⅲ-2. 1. 9-3-3 に示す。常温から 125°Cまで 100°Cの昇温では、TSV モデルが正の熱膨張を示す。常温から-55°Cまで-80°Cの降温は、TSV モデルで負の熱膨張(収縮)を示す。最大膨張(収縮)は、TSV の上端中央エリアで発生する。125°Cおよび-55°Cで TSV の断面の半径方向(x 方向)と垂直方向(z 方向)の応力は図Ⅲ-2. 1. 9-3-4 に示す。TSV 金属材料の Cu の線膨張係数(CTE)は、シリコン基板より約 5 倍大きいので、昇温の場合は、CuTSV はシリコン基板によって収縮する。また降温の場合は、TSV が膨張する。半径方向(x 方向)の応力の最大値が、TSV 上端周辺部にある。最大軸方向(z 方向)応力は、Cu/ SiO₂ 界面で観察される。Cu/ SiO₂ 界面での熱の変化による収縮膨張が大きいので、熱サイクルを繰り返すと TSV ポップアップ障害等が発生する。

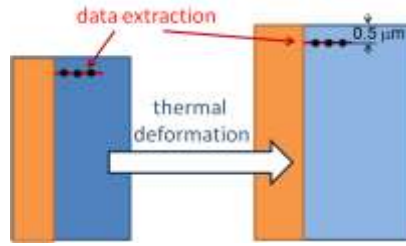


図Ⅲ-2. 1. 9-3-3 (a) 125°Cおよび (b) -55°Cで TSV の断面で TSV の半径方向(x 方向)と垂直方向(z 方向)の変形

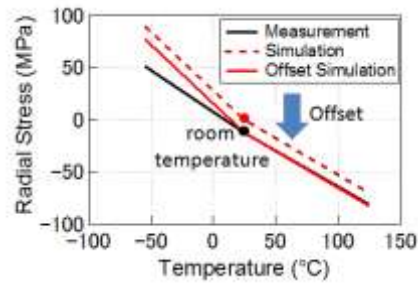


図Ⅲ-2. 1. 9-3-4 125°Cおよび-55°Cで TSV の断面で TSV の半径方向(x 方向)と垂直方向(z 方向)の応力

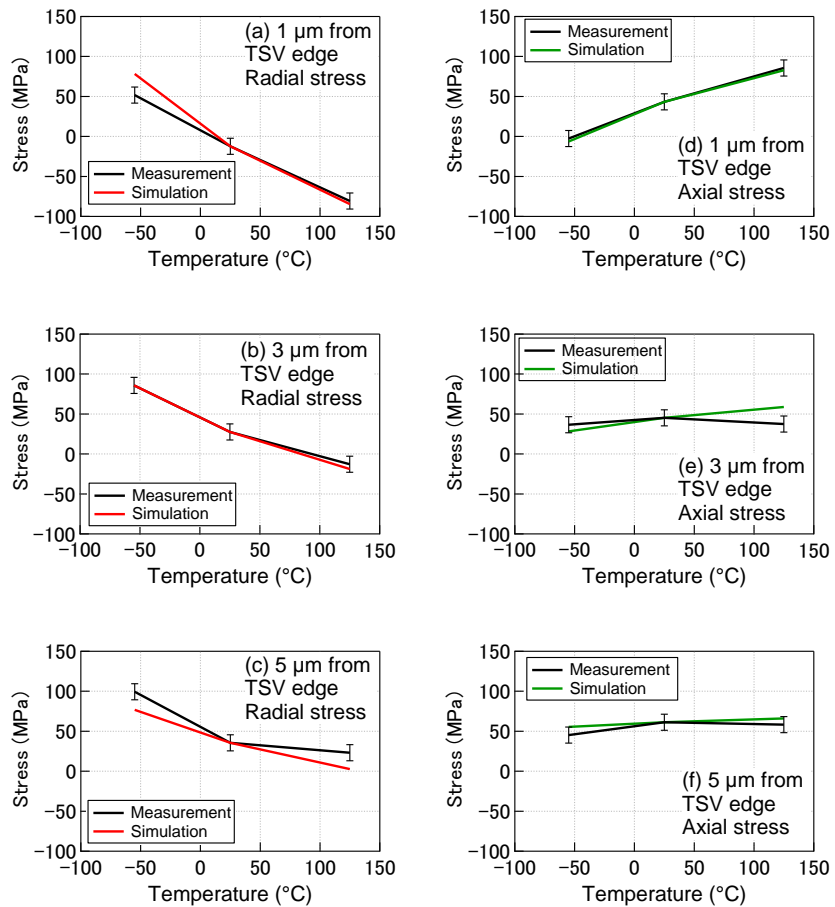
温度変化させた時、TSV XZ 断面が変形する。三箇所の測定ポイントの位置も変形するが、図Ⅲ-2. 1. 9-3-5 に示されるように変形後の応力値は測定ポイントの元の座標と同じ位置の応力値を採用した。解析では常温でストレスフリーとして計算したが、実測では常温で残留応力があるため、図Ⅲ-2. 1. 9-3-6 に示すように、結果のオフセット付与処理を行った。図Ⅲ-2. 1. 9-3-7 に示されるシミュレーションの 3 ポイントの半径方向および軸方向の熱応力は、測定データと比較してよく一致していた。これにより FEM シミュレーション解析方法を検証できた。検証済みのモデルは、構造および材料物性値分析のために使用する。



図Ⅲ-2. 1. 9-3-5 正確な解析データを取り出す方法



図Ⅲ-2. 1. 9-3-6 常温で測定された残留応力を用いた解析結果オフセット付与処理



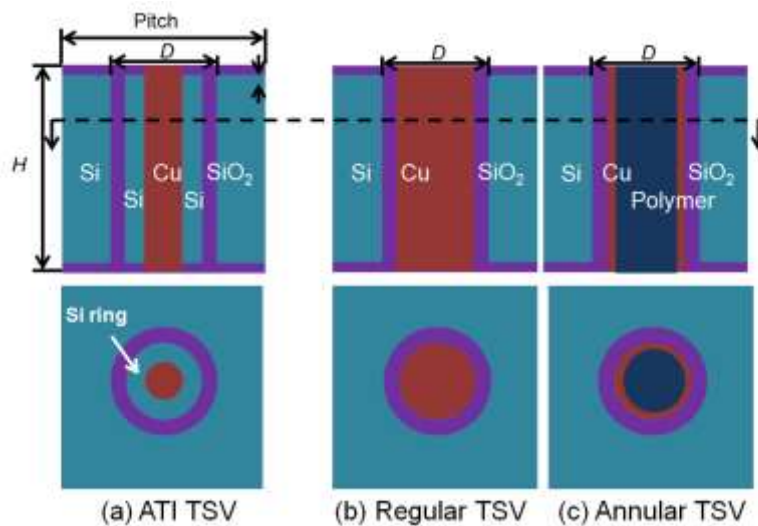
図Ⅲ-2. 1. 9-3-7 応力の測定と解析結果比較

3-2) ATI TSV 構造の解析

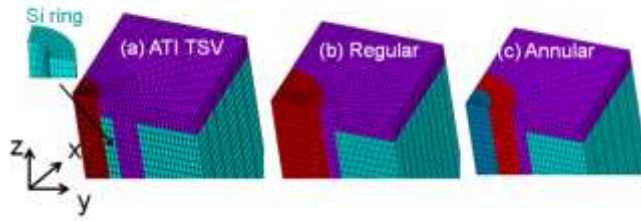
ATI TSV 構造の熱応力の評価のために、図Ⅲ-2.1.9-3-8 に示される三種類の TSV について図Ⅲ-2.1.9-3-9 に示される 1/4 モデルを作成し、表Ⅲ-2.1.9-3-1 に示される材料パラメータを使用し、三種類の TSV モデルを解析した。25°C から 125°C へ温度変化させた時の三種類の TSV のストレス分布結果について図Ⅲ-2.1.9-3-10 に示す。ATI TSV の Si 基板の応力は他の 2 つの構造より小さいことが分かった。図Ⅲ-2.1.9-3-11 に示される Path A でのストレス分布を示す (図Ⅲ-2.1.9-3-12)。Cu-Si 間の熱膨張率が Si-SiO₂ 間の熱膨張率より大きいとき、ATI TSV 構造はストレスを Cu-Si 間の接触面に集中させ、Si リングの外側で緩和させることが分かった。図Ⅲ-2.1.9-3-11 に示される Point 1 における TSV 端での TSV 直径に対するストレスを図Ⅲ-2.1.9-3-13 に示す。ATI TSV は他の 2 つの構造の TSV (Regular および Annular) と比較してストレスが小さいと推測される。TSV 直径 20 μm の時に、ATI TSV の Si 基板のストレスは、従来型の TSV と比較して 30% 減少した。TSV 直径が最小値 5 μm の時には、ATI 構造は Si 基板のストレスは 30MPa 未満で、従来型の TSV より 80% 小さいことが分かった。

表Ⅲ-2.1.9-3-2 解析モデル(単位: μm)

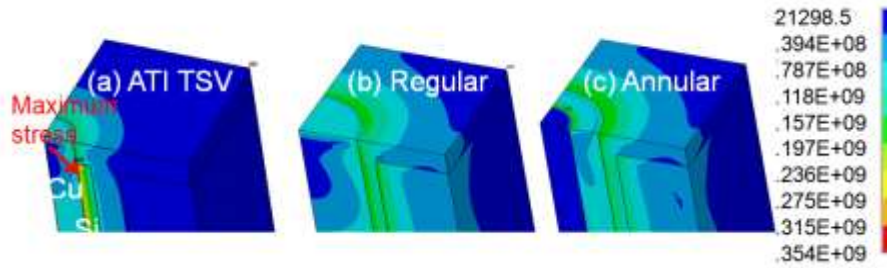
TSV type	Diameter D	Pitch	Height H	SiO ₂ thickness	
ATI TSV	5, 10, 15, 20	twice of D	40	1	Si ring thickness: 0.5
Regular				0.5	
Annular					Cu thickness: 1



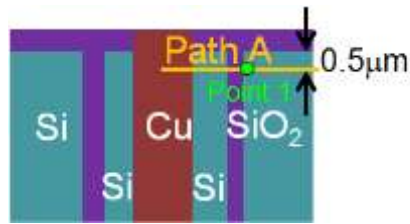
図Ⅲ-2.1.9-3-8 三種類の TSV の構造



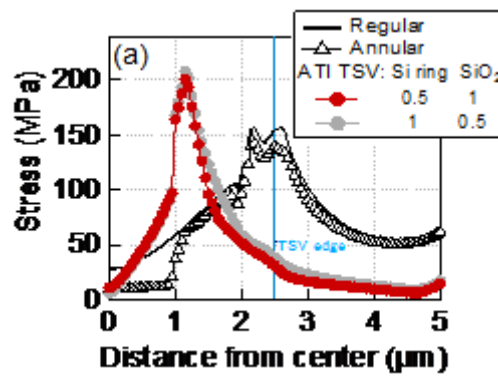
図III-2.1.9-3-9 三種類の TSV 構造のシミュレーションモデル



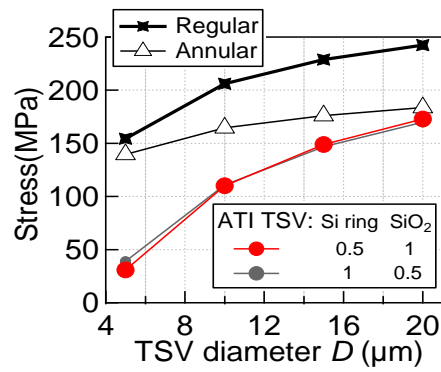
図III-2.1.9-3-10 25°Cから 125°Cへ温度変化させた時のストレス分布(単位: Pa)



図III-2.1.9-3-11 TSV 断面の Path A と Point 1 の位置

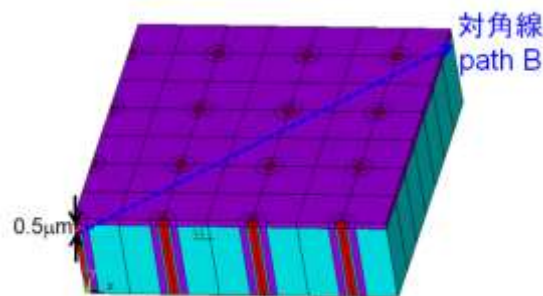


図III-2.1.9-3-12 Path A でのストレス分布

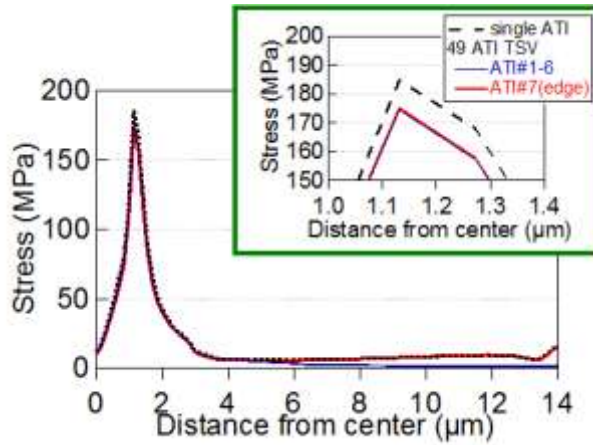


図III-2.1.9-3-13 Point 1におけるTSV端でのストレス

ATI TSV 相互間での熱応力影響の評価のために、図III-2.1.9-3-14 に示される 49 個の TSV と、単体の TSV (6 μm 径、20 μm ピッチ) の解析について比較検証した。25°C から 125°C へ温度変化させた時の対角線 Path B で 49 個の TSV と単体 TSV ストレス分布比較結果が図III-2.1.9-3-15 のように示される。ATI TSV 端#7 は解析空間の端面の効果のため、ATI TSV 端#1~6 に比較して応力が大きく発生していると考えられる。また、応力値のピークも、解析空間の端面の効果により、変化している。1 の TSV 解析は 5.5% 応力が大きい。そのため、TSV の解析には、1 個の TSV の解析ではなく、解析空間の端面効果が無い TSV が含まれる、9 個以上の TSV の解析にて行う必要があると推測される。



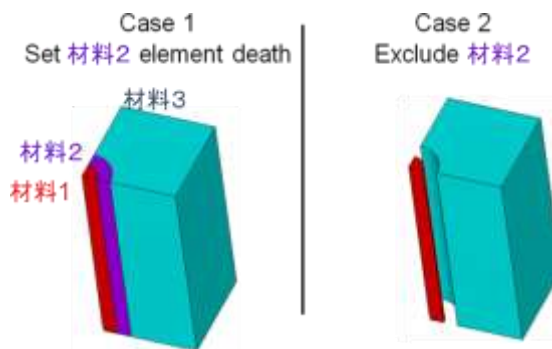
図III-2.1.9-3-14 49 個 (7×7) の TSV (6μm 径、20μm ピッチ) の 1/4 モデル



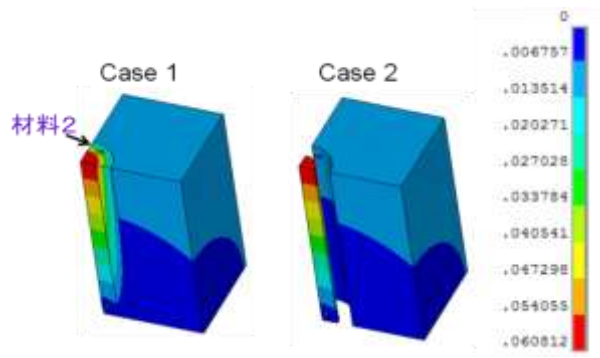
図Ⅲ-2.1.9-3-15 25℃から 125℃へ温度変化させた時の対角線 Path B における 49 個 TSV と単体 TSV ストレス分布比較結果

3-3) ATI TSV の材料とプロセス決定のための諸諸絶縁材料と
金属材料の ATI TSV プロセスフローの熱応力解析

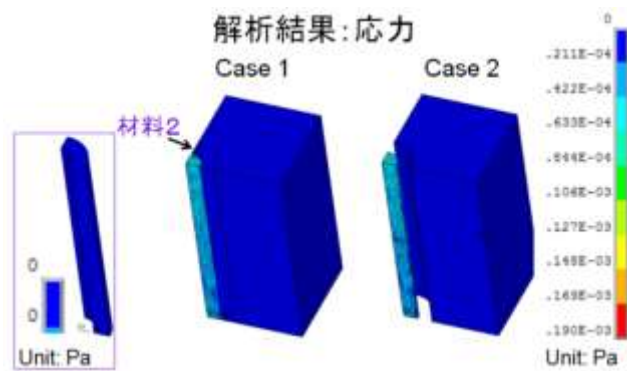
図Ⅲ-2.1.9-3-16 に示される材料 2 が element death 機能を使用したモデルと材料 2 を削除したモデルの二つのケースについて解析を行った。25℃から 200℃へ温度変化させた時の TSV の変形とストレス分布結果を図Ⅲ-2.1.9-3-17 と図Ⅲ-2.1.9-3-18 に示す。材料 2 を削除した場合と、element death 機能を使用した場合の差異を比較し、変形と応力の解析結果において、2 つの解析結果の差異は無かった。図Ⅲ-2.1.9-3-19 に示される材料 2 がある場合は、変形も応力も大きく変化することが分かった。



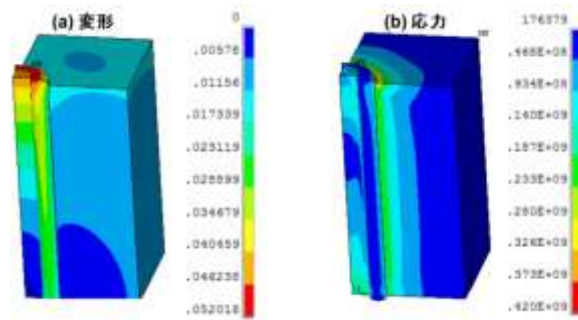
図Ⅲ-2.1.9-3-16 element birth/death 機能検証のための 2 ケース解析
(材料 1: Cu, 材料 2: Insulator Ea, 材料 3: Si)



図Ⅲ-2.1.9-3-17 25℃から200℃へ温度変化させた時の TSV の変形解析結果(単位：μm)



図Ⅲ-2.1.9-3-18 25℃から200℃へ温度変化させた時の TSV のストレス分布解析結果(単位：Pa)

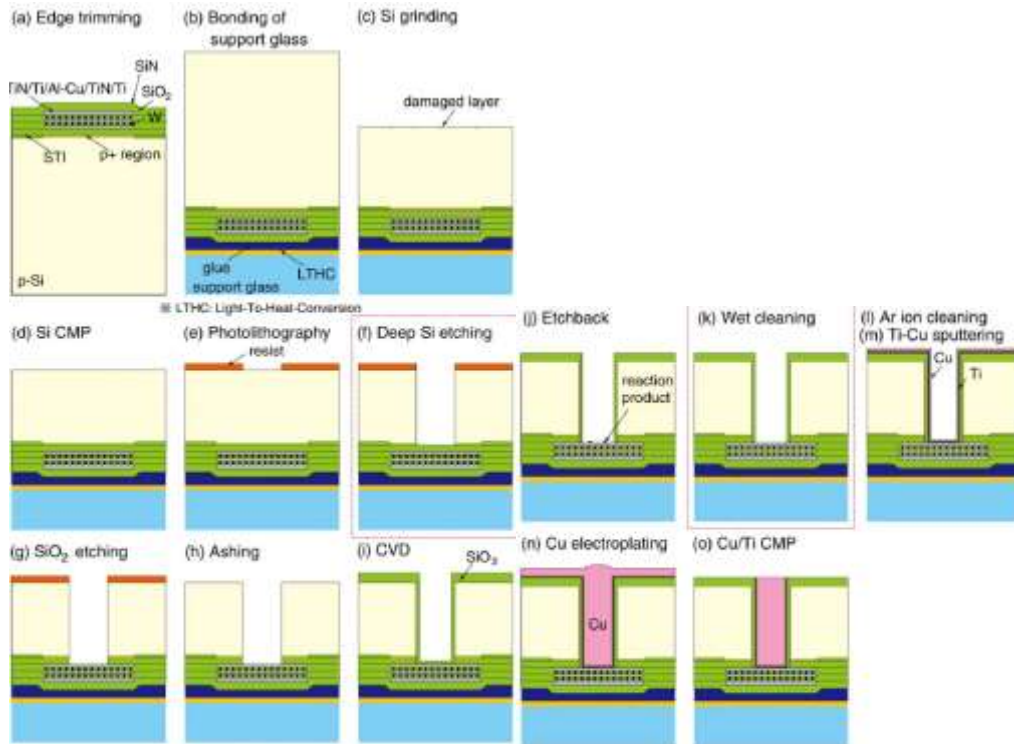


図Ⅲ-2.1.9-3-19 材料2がある場合の (a) 変形(単位：μm)と(b)応力(単位：Pa)

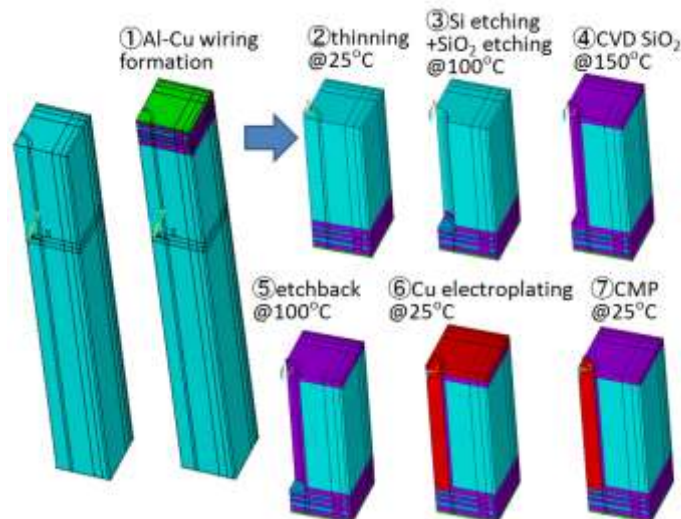
以上より、element death 機能を使用したモデルを使用することで、TSV における作製プロセスを考慮した材料とプロセス温度を決定するための解析手法について構築できることが分かった。特にこの解析手法を用いることで、ATI TSV のような複雑な形状・プロセスの構造体についての熱応力解析も可能になると考えられる。

3-4) ATI TSV 製造プロセスを考慮した解析モデルと残留応力の分析

残留応力の分析のために、解析モデルを用いてレギュラ TSV と ATI TSV の製造プロセスの解析を行った。図III-2.1.9-3-20 のレギュラ TSV の製造プロセスを考慮して、element death/birth 機能を使用して図III-2.1.9-3-21 に示す解析モデルを作った。

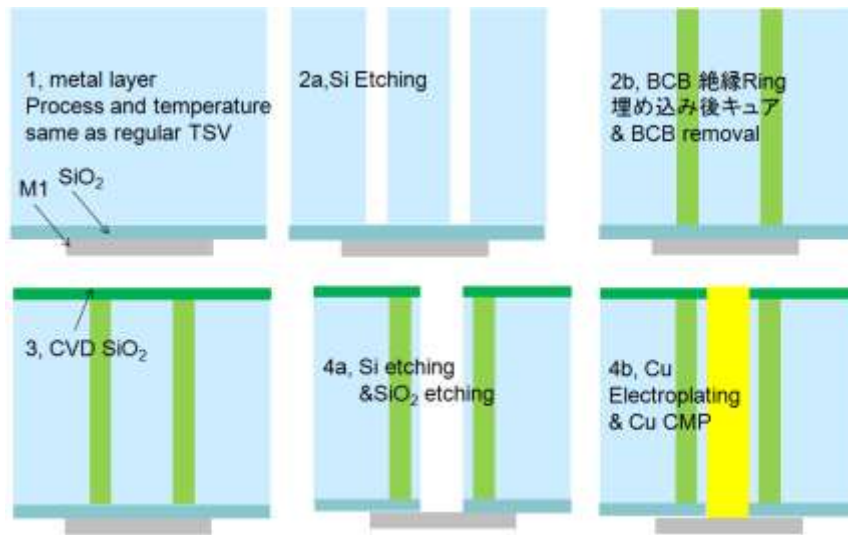


図III-2.1.9-3-20 レギュラ TSV の製造プロセス

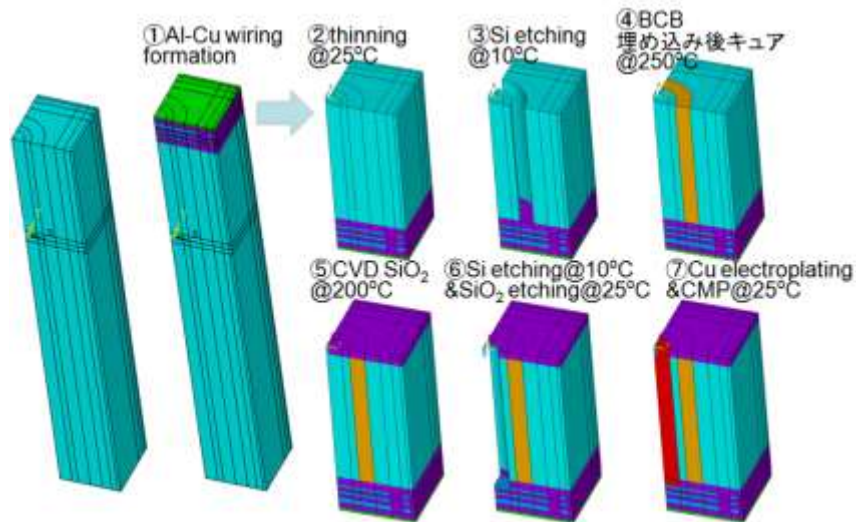


図III-2.1.9-3-21 レギュラ TSV の製造プロセスの解析モデル

図III-2.1.9-3-22 の ATI TSV の製造プロセスを考慮して、element death/birth 機能を使用して図III-2.1.9-3-23 に示す解析モデルを作った。

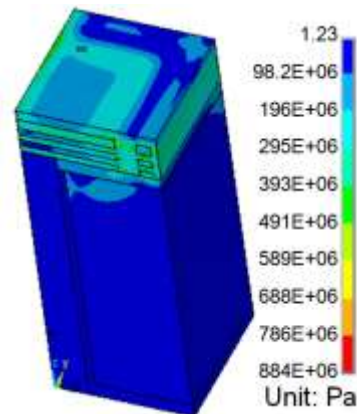


図III-2.1.9-3-22 ATI TSV の製造プロセス



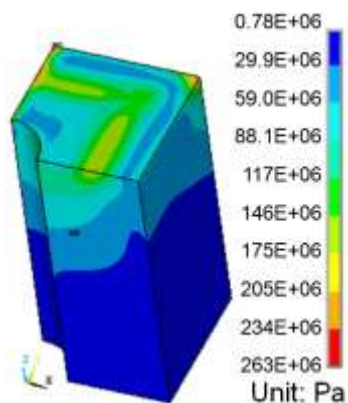
図III-2.1.9-3-23 ATI TSV の製造プロセスの解析モデル

図III-2.1.9-3-24 は室温の時のレギュラ TSV の残留応力の分布を示す。レギュラ TSV について、表面配線層の製造時の温度が高いため、表面配線層に残留応力が集中する。



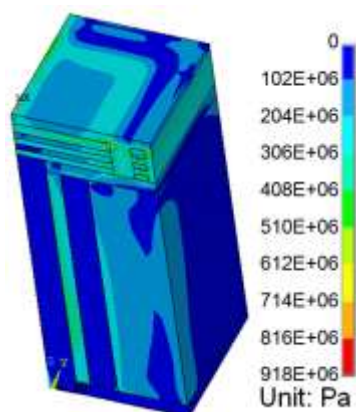
図III-2.1.9-3-24 レギュラ TSV の残留応力の分布

故に図Ⅲ-2.1.9-3-25 に示されるように表面配線層と近い Si 基板の上部の残留応力が大きい。



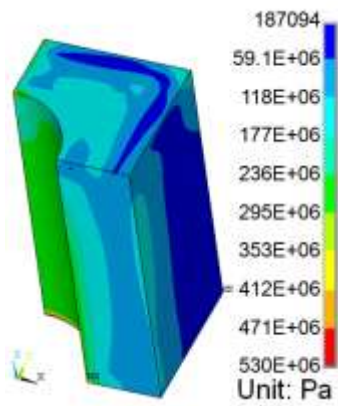
図Ⅲ-2.1.9-3-25 レギュラ TSV の Si 基板の残留応力の分布

ATI TSV の残留応力の分布を図Ⅲ-2.1.9-3-26 に示す。表面配線層の製造温度が高いため、表面配線層に残留応力が集中して図Ⅲ-2.1.9-3-24 のレギュラ TSV とほぼ同じレベルの応力が発生している。



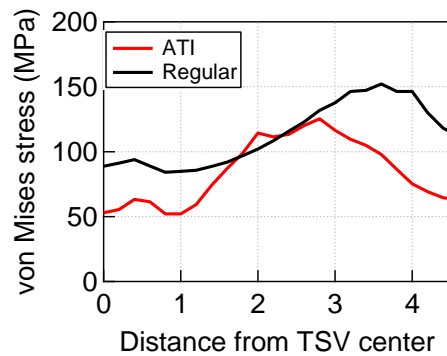
図Ⅲ-2.1.9-3-26 ATI TSV の残留応力の分布

ATI TSV の Si 基板の残留応力の分布を図Ⅲ-2.1.9-3-27 に示す。レギュラ TSV と比較して絶縁膜の製造温度が高い (250°C) ために、ATI TSV の Si 基板界面の残留応力が大きい。しかしデバイスの形成箇所 (表面配線層の近傍) の ATI TSV の残留応力レベルはレギュラ TSV と同程度に収まっている。



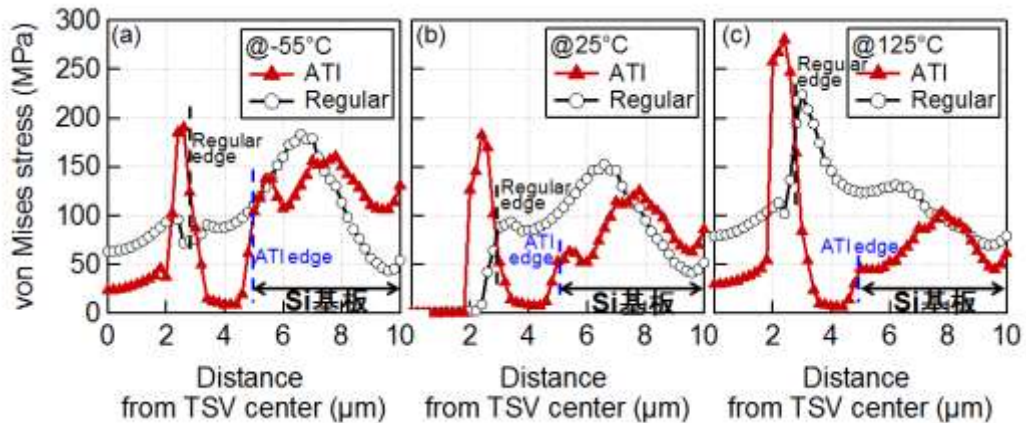
図III-2.1.9-3-27 ATI TSV の Si 基板の残留応力の分布

TSV 周辺の Si 基板 (SiO_2/Si 界面より $0.5 \mu\text{m}$ 下方) の残留応力を分析した。図III-2.1.9-3-28 に示す TSV 中心距離に対する応力プロットのとおり ATI TSV の残留応力がレギュラ TSV よりも緩和されており、応力が高い箇所においてもレギュラ TSV と同程度に収まると結論できる。



図III-2.1.9-3-28 ATI TSV の Si 基板の残留応力とレギュラ TSV の比較

熱サイクル中の残留応力の分析のために、製造プロセス後の熱サイクル中の残留応力解析を行った。ATI TSV とレギュラ TSV の熱サイクル中の残留応力の比較を図III-2.1.9-3-29 に示す。TSV 周辺 Si 基板 (SiO_2/Si 界面より $0.5 \mu\text{m}$ 下方) の ATI TSV の残留応力は、室温又は高温の時レギュラ TSV より小さく、低温の時レギュラ TSV と同じレベルに収まる。

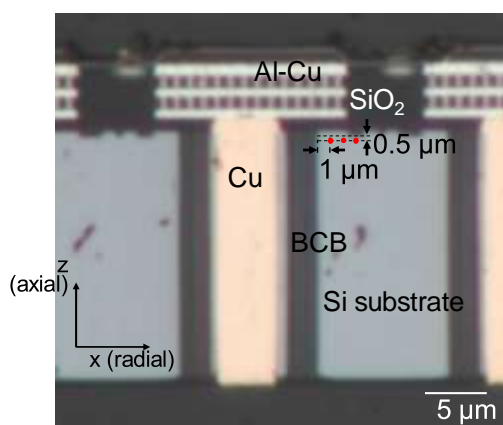


図III-2.1.9-3-29 熱サイクル中 ATI TSV の残留応力とレギュラ TSV の比較

製造プロセスを考慮した残留応力解析により、残留応力の原因を特定することができた。また、ATI TSV の熱応力が絶縁層の内側に集中しており、周辺 Si 基板の応力レベルがレギュラ TSV よりも優れていると結論づけることができた。

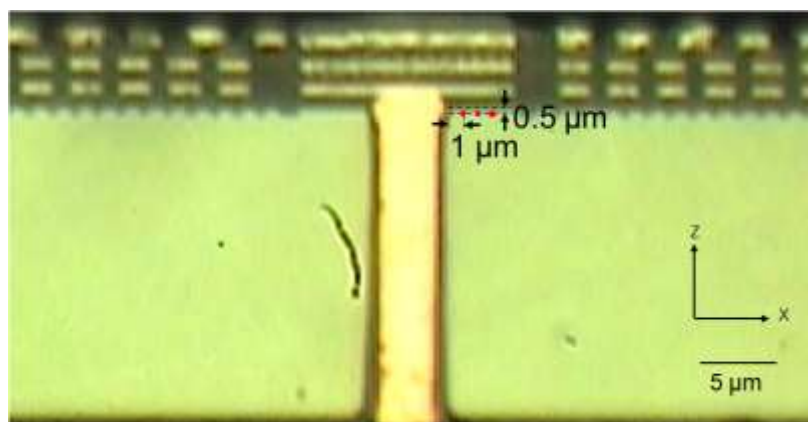
3-5) ATI TSV 構造のラマン分光法による応力分布実測

ATI TSV 構造の応力分析のために、ラマン分光法により応力分布を実測した。TSV つきチップに対して、断面加工を行ったのち、ラマン分光法を用いて、温度変化に対する TSV 近傍の応力変化を測定した。図Ⅲ-2.1.9-3-30 に示される測定箇所は TSV 端より $1\ \mu\text{m}$ 、 $2\ \mu\text{m}$ 、 $3\ \mu\text{m}$ 離れた Si 基板 (SiO_2/Si 界面より $0.5\ \mu\text{m}$ 下方) 3 点とする。また、測定温度は、 -55°C 、室温、 125°C の 3 水準とする。なお、偏光測定により、応力は、TSV の半径方向(x 方向)と垂直方向(z 方向)の成分に分離する。



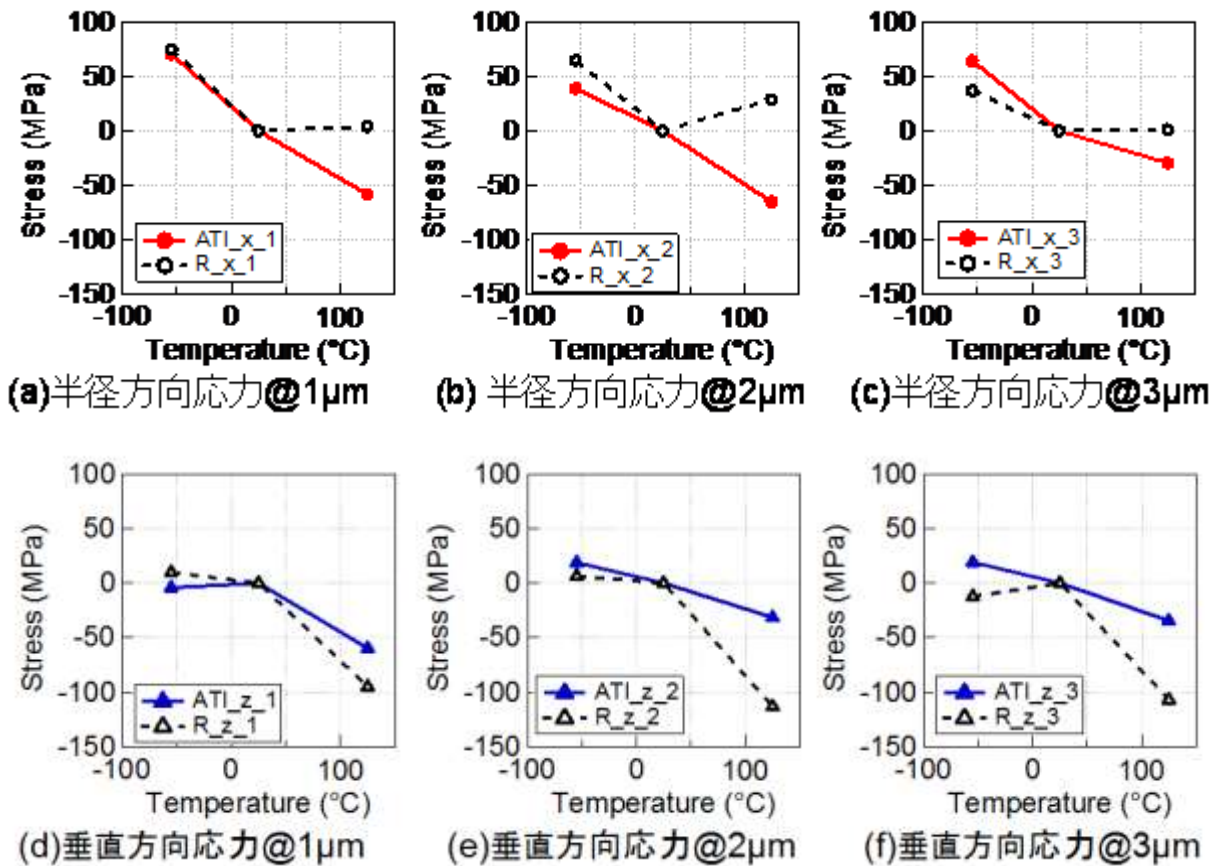
図Ⅲ-2.1.9-3-30 ATI TSV サンプルの横断面

比較のために、レギュラ TSV もラマン分光法により温度変化に対する TSV 近傍の応力変化を測定した。図Ⅲ-2.1.9-3-31 に示される ATI TSV と同様に測定箇所は TSV 端より $1\ \mu\text{m}$ 、 $2\ \mu\text{m}$ 、 $3\ \mu\text{m}$ 離れた Si 基板 (SiO_2/Si 界面より $0.5\ \mu\text{m}$ 下方) 3 点とする。



図Ⅲ-2.1.9-3-31 レギュラ TSV サンプルの横断面

ATI TSV とレギュラ TSV の実測応力の比較結果を図Ⅲ-2. 1. 9-3-32 に示す。それぞれの測定点において室温を基準とした-55℃、125℃での半径方向(x 方向)と垂直方向(z 方向)応力変化を比較した。



図Ⅲ-2. 1. 9-3-32 ATI TSV とレギュラ TSV の実測応力の比較

ATI TSV の半径方向(x 方向)応力はレギュラ TSV より大きい傾向にあるが、原因として 10 μm pitch の ATI TSV が隣の ATI-TSV から x 方向応力の影響をうけて応力が大きくなるのに対して、100 μm pitch のレギュラ TSV は周辺 TSV からの x 方向応力の影響が無いためであると考えられる。ATI TSV の垂直方向(z 方向)応力については解析と同様にレギュラ TSV より緩和されており、ATI TSV は応力の観点からレギュラ TSV よりも優位であると結論が出た。

2.1.10 三次元実装評価技術の開発 (①-8) -初期特性評価と信頼性評価-

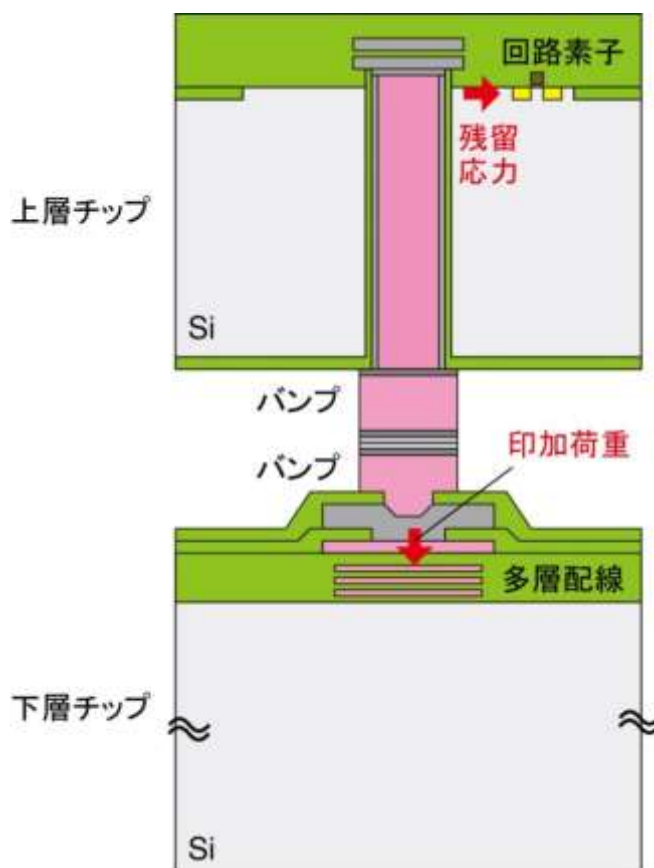
(主担当：国立研究開発法人産業技術総合研究所)

(副担当：ラピスセミコンダクタ株式会社、株式会社デンソー)

2.1.10.1 初期特性評価

今回の測距センサシステムは、図Ⅲ-2.1.10-1-1 のように、受光用の上層チップと、距離演算用下層チップを、TSV+バンプで積層接続したものである。上層チップには、各画素ごとに TSV が形成されるので、その形成工程の熱履歴で発生する残留応力によって、回路素子の電気特性の変動が生じる懸念がある。また、下層チップには、チップ直上でバンプ接続によるチップ積層を行うために、その際の印加荷重で、バンプ直下にある多層配線がダメージを受ける可能性がある。

本節では、3次元構造の測距センサシステムを想定し、TSV 形成工程やチップ積層工程を行い3次元構造となった場合にどのような電気特性となるか (TSV 形成工程やチップ積層工程を行うことで、回路素子や多層配線の電気特性が、ウェハ状態からどの程度変動するか) を検討した。



図Ⅲ-2.1.10-1-1 3次元構造の測距センサシステムにおける懸念点。

2.1.10.1-1 上層チップ側の初期特性評価

上層チップ側では、TSV と各回路構成要素 (MOSFET と多結晶シリコン抵抗とキャパシタと SPAD) を近接配置する場合、TSV 周辺で発生する残留応力の影響を受けて、電気特性の変動が発生する可能性がある。特に、MOSFET では、ピエゾ抵抗効果 (応力によってエネルギーバンド構造が変化し、キャリア移動度が変化する現象) により、大きな特性変動が発生する懸念がある。そこで、TSV 周辺で発

生ずる残留応力が MOSFET に与える影響を調査するとともに、その影響が大きい場合には、MOSFET を配置できない配置禁止領域 (Keep out zone)を決定することとした。なお、ここでの Keep out zone の定義は、以下のとおりとする。

Keep out zone = ドレイン電流 I_D の変動率が 5%以上となる領域。
(TSV や 1M パッド領域も含む。)

また、TSV は、図Ⅲ-2.1.2-5 で TSV 配置領域として規定されている 8 μm 角以内に配置できているレギュラ構造の Cu-TSV とはんだ-TSV のみを対象とし、ATI 構造の TSV は対象外とした。

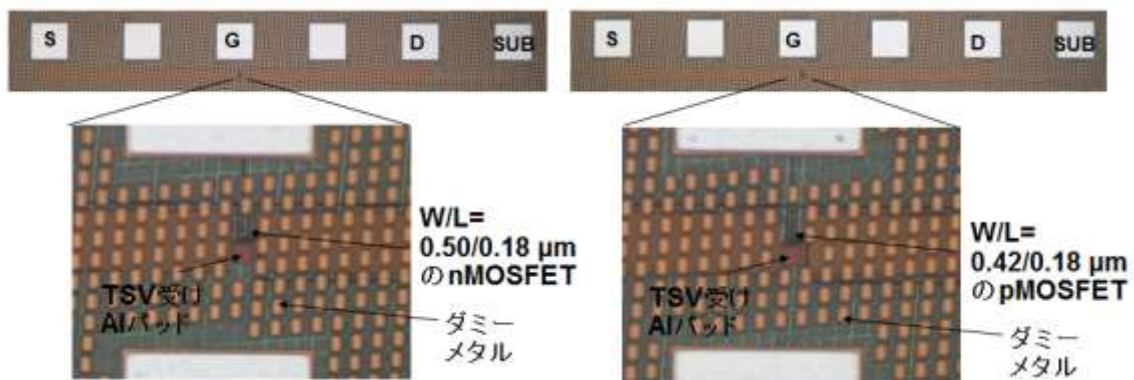
この TSV 周辺の残留応力が MOSFET に与える影響の調査は、(1) 直接測定法、(2) 応力感度係数を用いた推定法、の 2 通りで実施した。以下に評価結果を示す。

[A] 直接測定法での評価

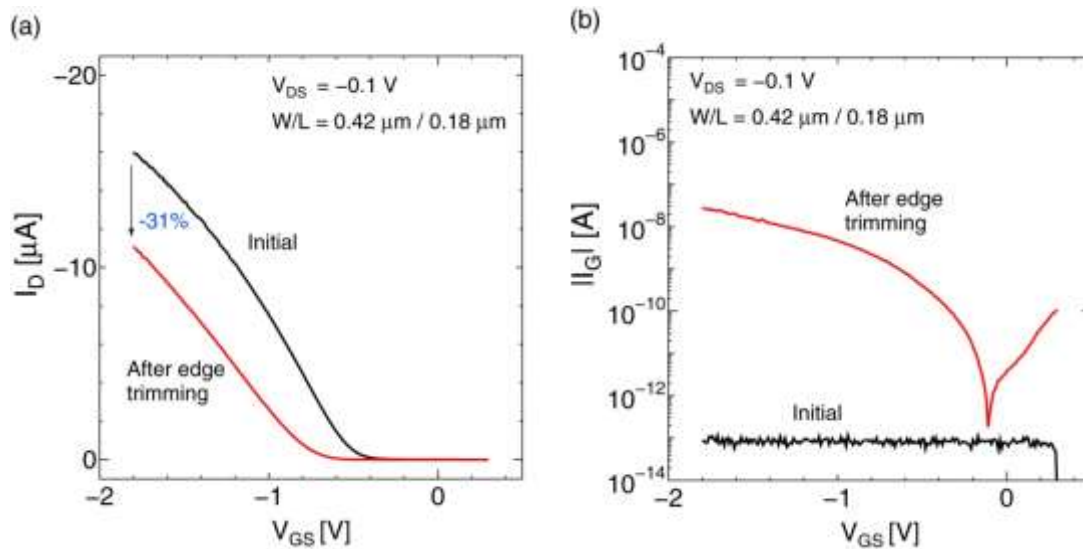
直接測定法は、MOSFET を作製したウェハに対して、MOSFET 近傍に TSV を作製して、3 次元積層した後でのドレイン電流 I_D の変化率を直接測定する方法である。具体的な手順としては、以下のとおりである。

- (1) 図Ⅲ-2.1.10-1-2 のような、ゲート幅 W 0.50 μm /ゲート長 L 0.18 μm の nMOSFET とゲート幅 W 0.42 μm /ゲート長 L 0.18 μm の pMOSFET を準備し、初期状態のドレイン電流を測定した。
- (2) 次に、(a) エッジトリミング、(b) サポートガラス貼り付け、(c) TSV 形成、(d) サポートガラス剥離、(e) ダイシング、(f) チップ積層を実施した後で、半導体パラメータアナライザ 4156C (Keysight 社製)を用いて、ドレイン電流 I_D を測定し、変化率 $\Delta I_D/I_D$ を求めた。

しかしながら、実施の途中の段階で、ゲートリークが発生し、数十%程度のドレイン電流の変動が生じた (図Ⅲ-2.1.10-1-3 参照)。これは、MOSFET のゲート端子に保護ダイオードがついておらず、各種工程で発生した静電気が、測定用のパッドを通じて、ゲート酸化膜に流入したためである。それゆえ、この手法を用いて、TSV 周辺の残留応力が MOSFET に与える影響を調査することを断念した。



図Ⅲ-2.1.10-1-2 ゲート幅 W 0.50 μm /ゲート長 L 0.18 μm の nMOSFET とゲート幅 W 0.42 μm /ゲート長 L 0.18 μm の pMOSFET の光学顕微鏡写真。



図III-2.1.10-1-3 エッジトリミング後の pMOSFET の

(a) ゲート-ソース間電圧 V_{GS} -ドレイン電流 I_D 特性、

(b) ゲート-ソース間電圧 V_{GS} -ゲート電流 I_G 特性の例。

この場合、エッジトリミング時の静電気でゲートリークが発生し、ドレイン電流が 31%低下している。

[B] 応力感度係数を用いた推定法

応力感度係数を用いた推定法は、「MOSFET のドレイン特性の応力感度係数」と「有限要素解析で求めた残留応力」からドレイン電流の変動率を求めて、KOZ を規定する方法である。この手法は、間接的な手法であるものの、静電気ダメージの影響はなく、残留応力のみによる MOSFET の特性変動量を求めることができる。具体的な手順は、以下のとおりである。

- (1) ゲート幅 W 0.50 μm /ゲート長 L 0.18 μm の nMOSFET とゲート幅 W 0.42 μm /ゲート長 L 0.18 μm の pMOSFET をもつ短冊状のチップを準備した。
- (2) 短冊状のチップに対して 2 点曲げ試験 (図III-2.1.10-1-4 参照) を実施し、既知の応力に対する MOSFET のドレイン電流の変動率 (応力感度係数) を求めた。なお、ドレイン電流の測定条件は、nMOSFET の場合、ゲート-ソース間電圧 $V_{GS}=1.8$ V、ドレイン-ソース間電圧 $V_{DS}=0.1$ V であり、pMOSFET の場合、ゲート-ソース間電圧 $V_{GS}=-1.8$ V、ドレイン-ソース間電圧 $V_{DS}=-0.1$ V であった。また、この 2 点曲げ試験において、
 - (a) 短冊状のチップの幅と厚さを、チップの長さより大きくする
 - (b) Si (100) 面の $\langle 110 \rangle$ 方向に MOSFET を配置する
 とした場合には、印加している応力 σ は、以下の式から算出できる。

$$\sigma = 1.5hwE \frac{(1-x)}{l^3}$$

ここで、 h はチップの厚み、 w はチップのたわみ、 l : 固定点から作用点までの距離

x : 固定点から MOSFET までの距離、 E : Si のヤング率 である。なお、応力感度係数は、チャネルの種類 (nMOSFET と pMOSFET)、電流方向と応力の方向の関係に大きく依存するため、それぞれ求めた。

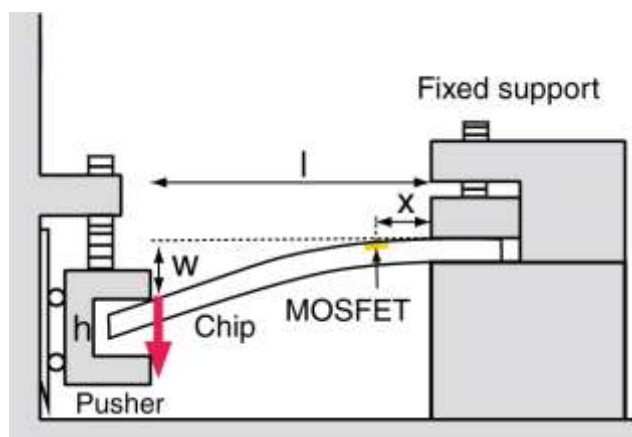
- (3) 有限要素解析により、Cu-TSV とはんだ-TSV 周辺に発生する残留応力を計算した。なお、Cu-

TSV の場合は、(a) Al パッド形成、(b) Si・SiO₂ エッチング(100℃以下)、(c) CVD (150℃)、(d) エッチバック(100℃以下)、(f) Cu 電解めっき・CMP (25℃)をモデル化し、(f)の応力-(a)の応力を発生応力とした。はんだ-TSV の場合は、(a) Al パッド形成、(b) Si・SiO₂ エッチング(100℃以下)、(c) CVD (150℃)、(d) エッチバック(100℃以下)、(f) はんだ充填(227℃)・CMP (25℃)をモデル化し、(f)の応力-(a)の応力を発生応力とした。

- (4) 図Ⅲ-2.1.10-1-5 のような TSV と MOSFET の位置関係を想定し、その場合の応力感度係数と残留応力からドレイン電流の変化率を以下の式から求めて、K0Z を検討した。

$$\frac{\Delta I_D}{I_D} = A_x \sigma_x + A_y \sigma_y + A_z \sigma_z$$

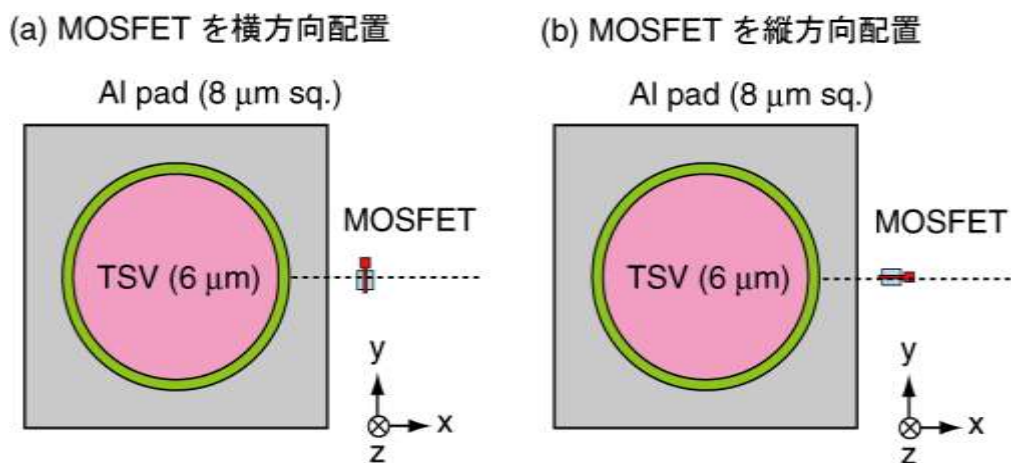
ここで、 A_x は x 方向の感度係数、 σ_x は x 方向の応力、 A_y は y 方向の感度係数、 σ_y は y 方向の応力、 A_z は z 方向の感度係数、 σ_z は z 方向の応力である。



図Ⅲ-2.1.10-1-4 2点曲げ試験法の概略図

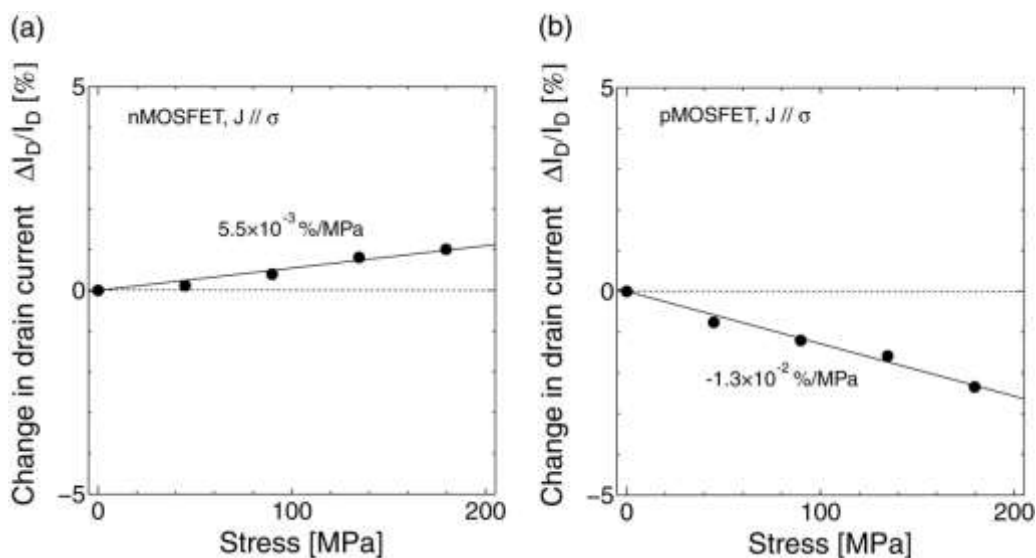
短冊状のチップに対して一端を固定し、もう一端に荷重を加え、曲げ変形を発生させて既知の応力を印加する手法。

この手法により、既知の応力に対する MOSFET の特性変動量（応力感度）を導出可能。



図III-2.1.10-1-5 TSV と MOSFET の位置関係

図III-2.1.10-1-6 に、応力とドレイン電流変化率の関係の例を示す。印加応力とドレイン電流変化率がほぼ線形関係があることが分かる。これより、各方向における感度係数を表III-2.1.10-1-1のように求めることができた。



図III-2.1.10-1-6 応力とドレイン電流変化率の関係の例。

- (a) 電流方向と応力方向が平行で nMOSFET の場合、
- (b) 電流方向と応力方向が平行で pMOSFET の場合。

表Ⅲ-2.1.10-1-1 ドレイン電流の応力感度係数のまとめ

(MOSFETの電流方向=x方向の場合)

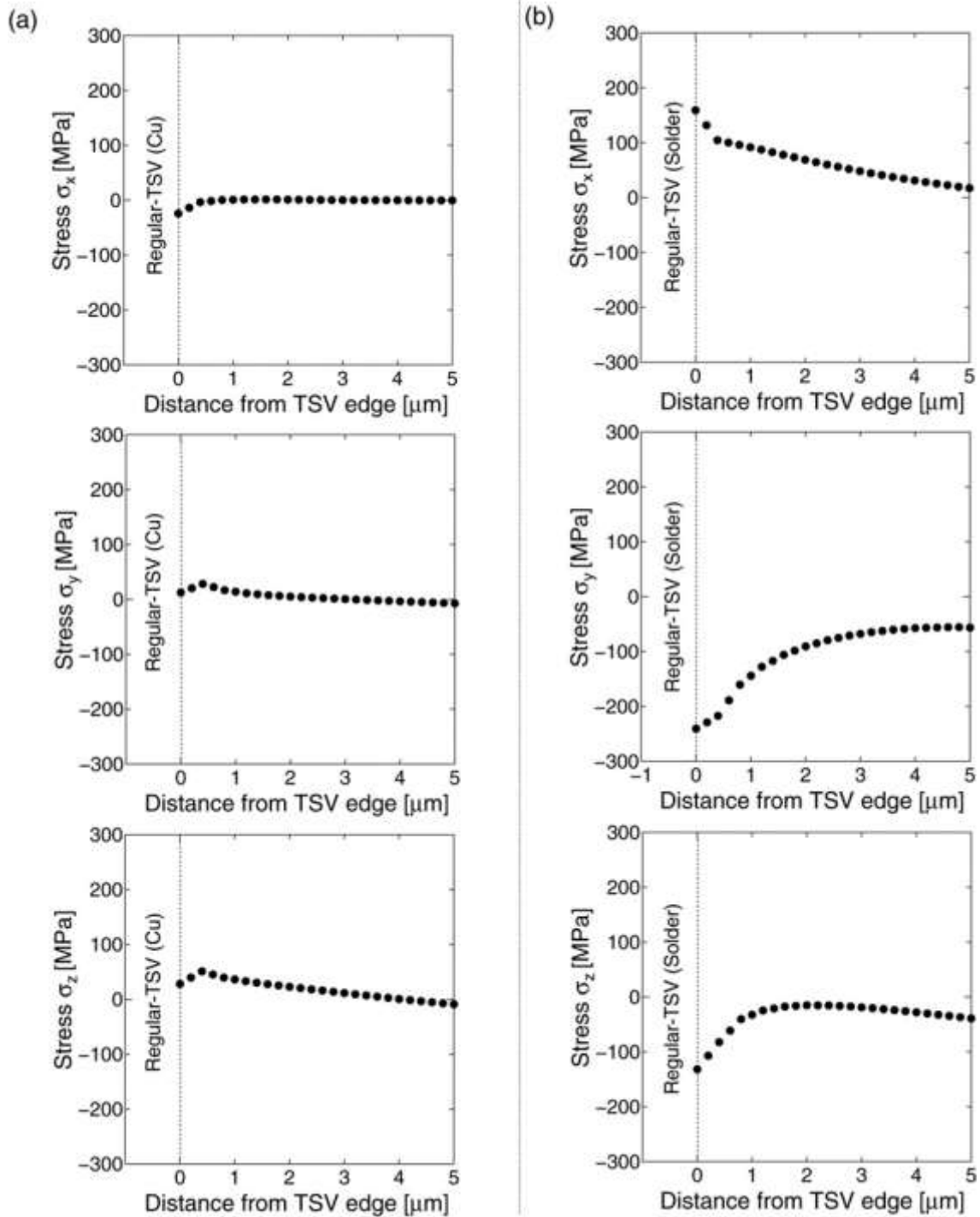
	nMOSFET	pMOSFET
Ax	$5.5 \times 10^{-3} \%/MPa$	$-1.3 \times 10^{-2} \%/MPa$
Ay	$3.5 \times 10^{-3} \%/MPa$	$5.7 \times 10^{-3} \%/MPa$
Az	$3.2 \times 10^{-3} \%/MPa$	$1.1 \times 10^{-3} \%/MPa$

(MOSFETの電流方向=y方向の場合)

	nMOSFET	pMOSFET
Ax	$3.5 \times 10^{-3} \%/MPa$	$5.7 \times 10^{-3} \%/MPa$
Ay	$5.5 \times 10^{-3} \%/MPa$	$-1.3 \times 10^{-2} \%/MPa$
Az	$3.2 \times 10^{-3} \%/MPa$	$1.1 \times 10^{-3} \%/MPa$

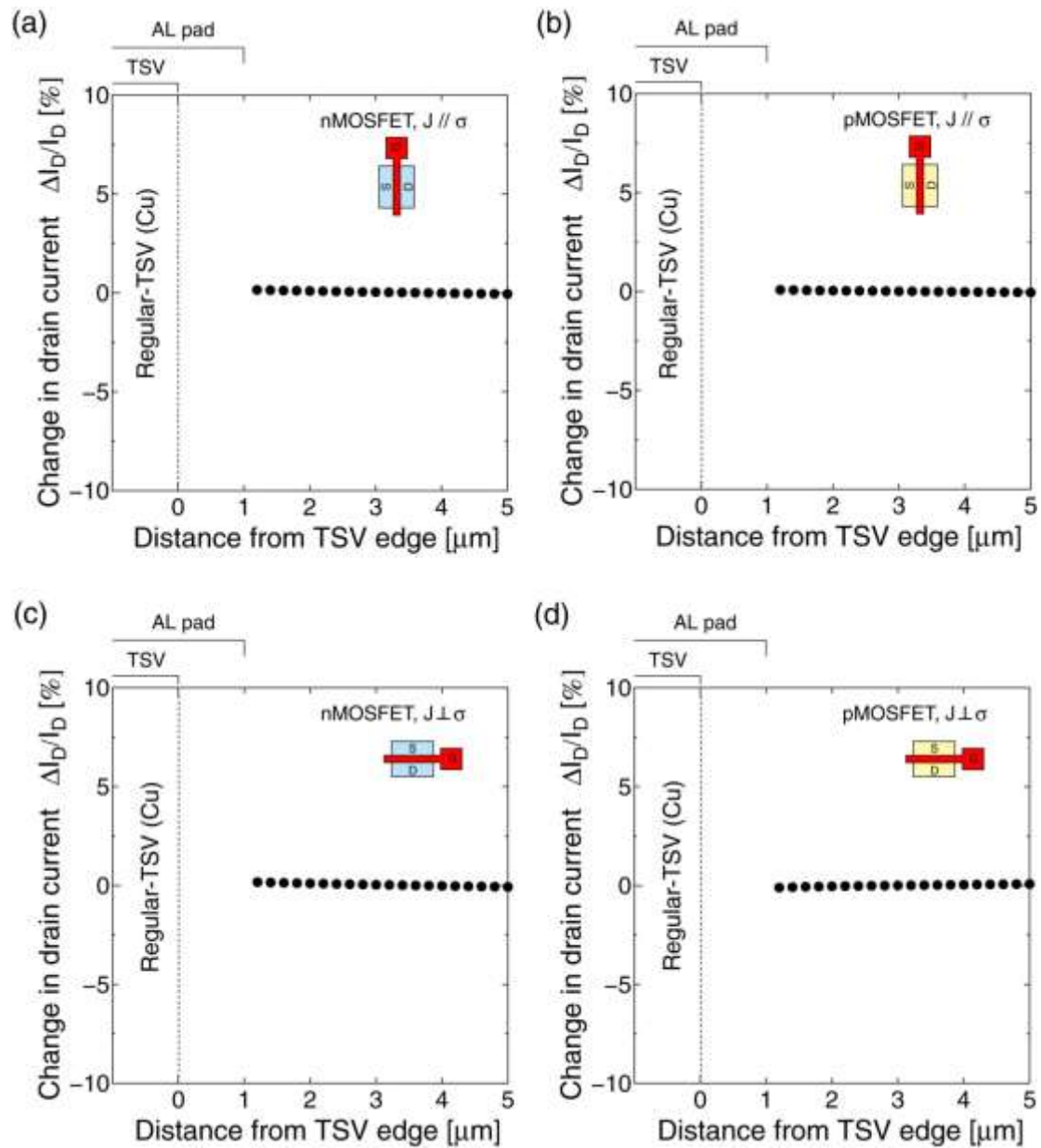
※Azについては、過去の文献値より計算した。

図Ⅲ-2.1.10-1-7 に、有限要素法で計算した残留応力の計算結果を示す。これより、はんだ-TSV の方が、発生応力が高いことが分かる。これは、はんだ-TSV の方が、Cu-TSV よりも高温プロセスであるためと考えられる。

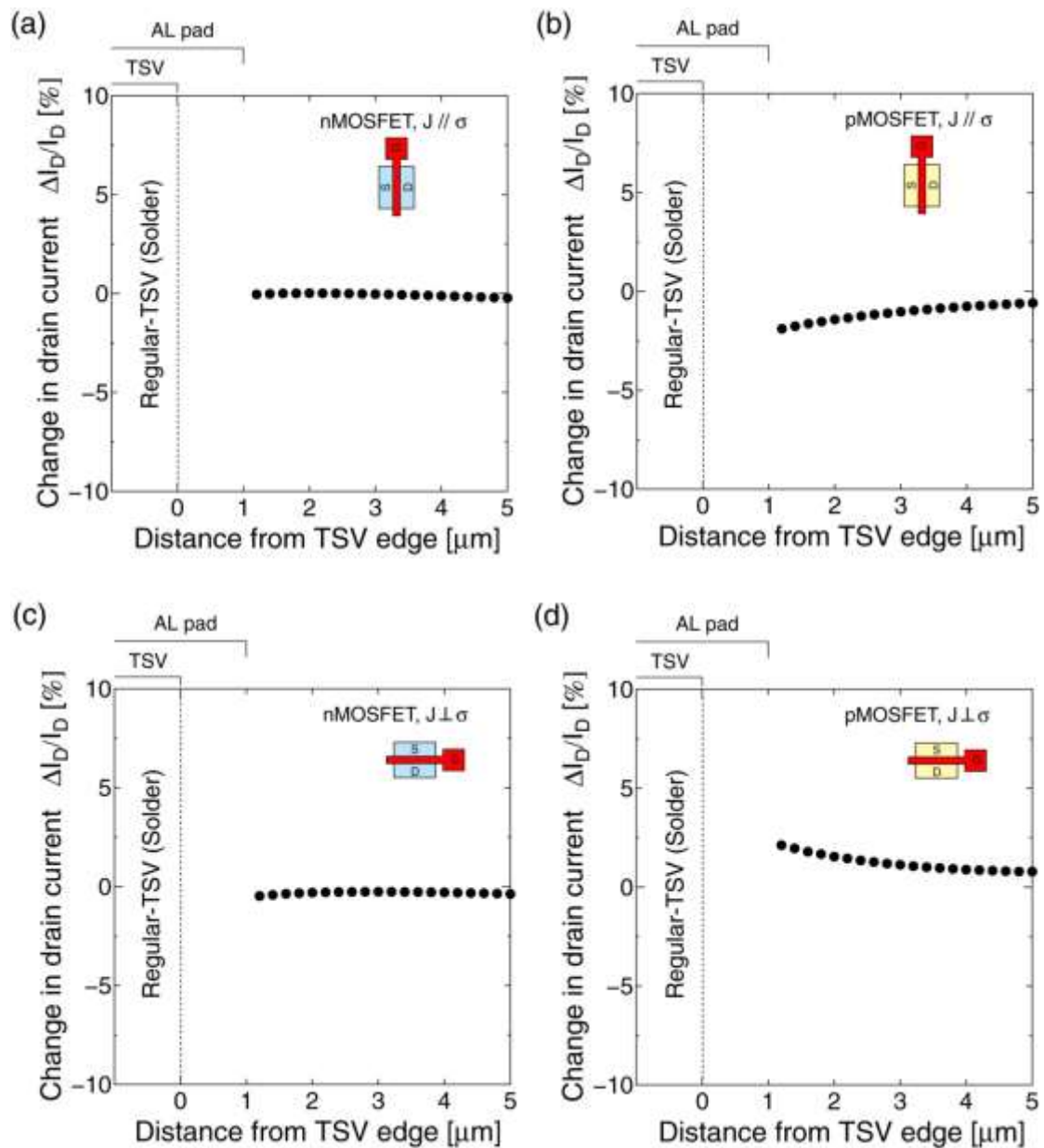


図III-2.1.10-1-7 有限要素法で計算した残留応力の計算結果
 (a) Cu-TSV の場合、(b) はんだ-TSV の場合

図III-2.1.10-1-8 と図III-2.1.10-1-9 に、Cu-TSV とはんだ-TSV の場合でのドレイン電流変化率の推定結果を示す。これより、Cu-TSV とはんだ-TSV の両者で、TSV 周囲の残留応力による nMOSFET・pMOSFET のドレイン電流変動率が 5%より小さく、TSV や Al パッド (1M) がない部分であれば、配置上の制約はないこと (KOZ = 8 μm 角の領域) がわかった。



図III-2.1.10-1-8 Cu-TSVの場合でのドレイン電流変化率の推定結果
 nMOSFET・pMOSFETのドレイン電流変動率は5%より小さく、
 TSVやAlパッド(1M)がない部分であれば、配置上の制約はなかった。



図Ⅲ-2.1.10-1-9 はんだ-TSV の場合でのドレイン電流変化率の推定結果

nMOSFET・pMOSFET のドレイン電流変動率は 5%より小さく、
TSV や Al パッド (1M) がいない部分であれば、配置上の制約はなかった。

2.1.10.1-2 下層チップ側の初期特性評価

下層チップには、チップ積層時の荷重が、 bumps を介して多層配線層に印加される。それゆえ、多層配線層 (特に、機械的に脆弱な Low-k 膜) への機械的ダメージが懸念される。そこで、チップ積層前後での、多層配線パターン (平行平板キャパシタ・楕形配線パターン) の特性変動量を測定した。

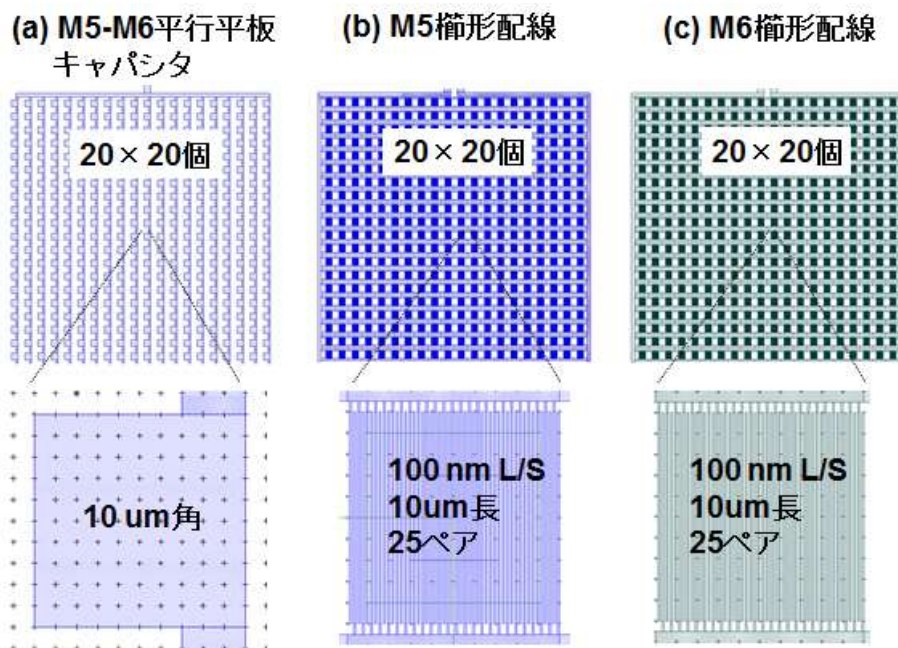
図Ⅲ-2.1.10-1-10 は、評価に用いた多層配線パターン (M5-M6 の平行平板キャパシタ、M5 楕形配線、M6 楕形配線) の概略図である。平行平板キャパシタアレイでは、10 μm 角の M5-M6 平行平板キャパシタが 400 個 (20 個 \times 20 個) でアレイ配置されている。M5 楕形配線では、100 nm のライン

アンドスペースの M5 パターンが 10 μm 長で 25 ペア有する楕形配線が 400 個 (20 個 \times 20 個)でアレイ配置されている。M6 楕形配線では、100 nm のラインアンドスペースの M6 パターンが 10 μm 長で 25 ペア有する楕形配線が 400 個 (20 個 \times 20 個)でアレイ配置されている。

このような多層配線パターンを有する下層チップ (チップ幅: 5 mm、チップ長さ: 13 mm、チップ厚み: 0.775 mm、バンプサイズ: 直径 8 μm) に対して、上層チップ (チップ幅: 2 mm、チップ長さ: 11 mm、チップ厚み: 0.02 mm、バンプサイズ: 直径 7 μm) を積層し、多層配線パターン (平行平板キャパシタ・楕形配線パターン) の静電容量・リーク電流の変動量を測定した。なお、チップの積層条件は、前処理: アルゴンの高速原子ビームを用いたバンプ表面清浄処理、印加荷重: 3 mN/bump、接合温度: 160 $^{\circ}\text{C}$ 、時間: 2.5 min、雰囲気: 大気中であった。

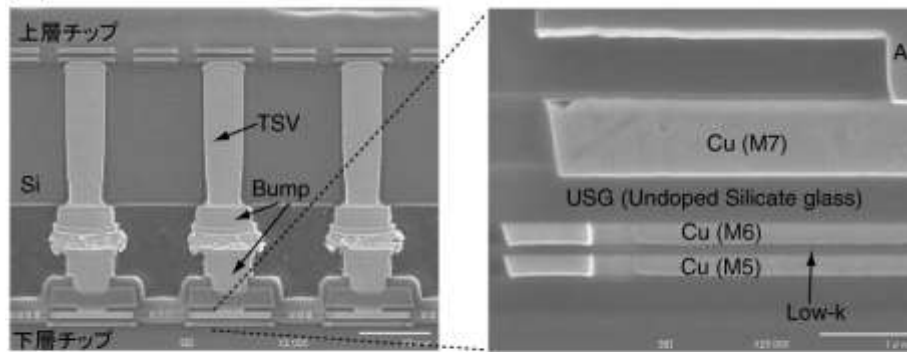
図III-2.1.10-1-11 に、チップ積層後の平行平板キャパシタ・楕形配線の断面 SEM 像を示す。M5-M6 平行平板キャパシタ・M5 楕形配線・M6 楕形配線で、チップ積層後において、Low-k 膜に、機械的な変形やクラックが生じていないことが分かる。

図III-2.1.10-1-12 と図III-2.1.10-1-13 に、各種パターンの静電容量とリーク電流の評価結果をそれぞれ示す。なお、測定個数は 30 個で、エラーバーの範囲は最大値と最小値である。これを見ると、各種パターンにおいて、チップ積層前後での静電容量およびリーク電流の変動量は小さいことが分かる。このことから、下層チップの多層配線層 (Low-k 膜) へのダメージは小さいといえる。

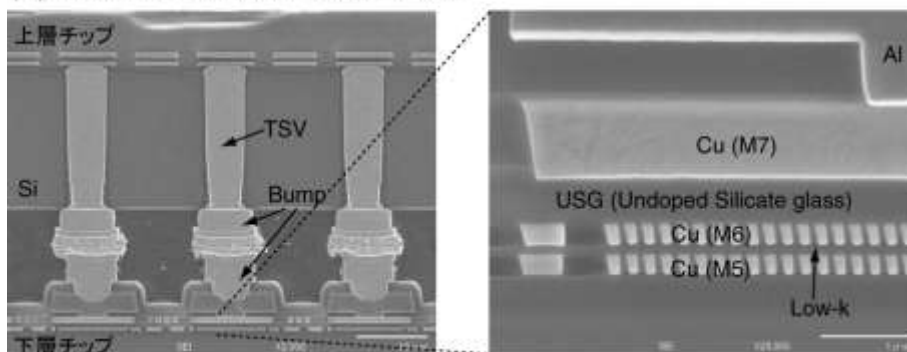


図III-2.1.10-1-10 評価に用いた多層配線パターンの概略図

(a) M5-M6 平行平板キャパシタ

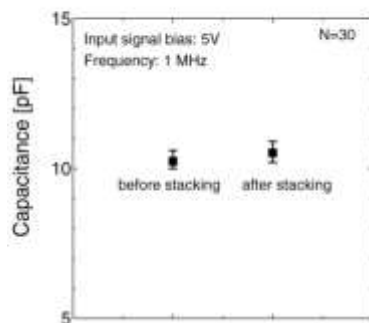


(b) M6 櫛形配線 / M5 櫛形配線

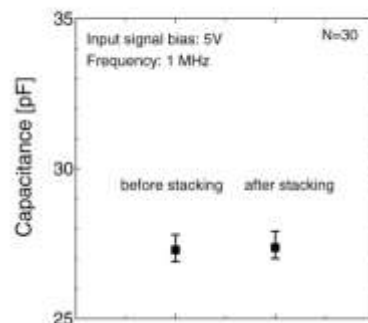


図III-2. 1. 10-1-11 チップ積層後の多層配線パターンの断面 SEM 像。

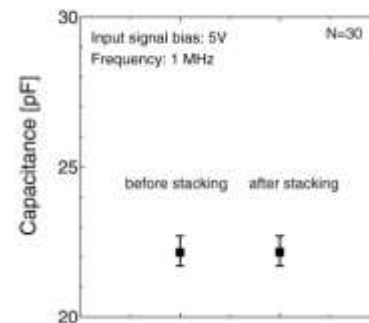
(a) M5-M6平行平板キャパシタ



(b) M5櫛形配線

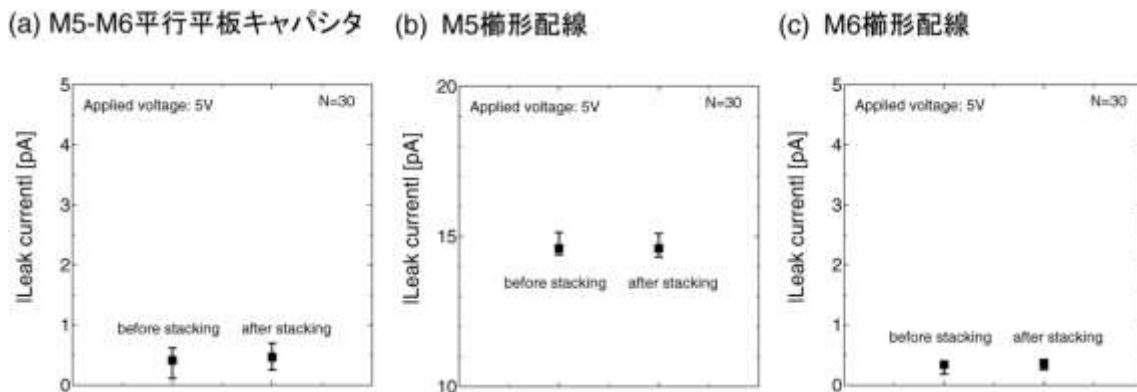


(c) M6櫛形配線



図III-2. 1. 10-1-12: 各種パターン ((a) M5-M6 平行平板キャパシタ、(b) M5 櫛形配線、(c) M6 櫛形配線)におけるチップ積層前後の静電容量の測定結果

測定装置は LCR メーター 4284A (Keysight 社製)であり、印加バイアスは 5 V、印加 AC 信号の振幅と周波数はそれぞれ 200 mV と 1 MHz であった。グラフのエラーバーとプロットは、30 試料の測定結果の最小値・最小値・平均値を示している。これらのグラフより、チップ積層前後で、静電容量に大きな変動は見られなかった。



図Ⅲ-2.1.10-1-13 各種パターン ((a) M5-M6 平行平板キャパシタ、(b) M5 楕形配線、(c) M6 楕形配線)におけるチップ積層前後のリーク電流の測定結果

測定装置は半導体パラメータアナライザ 4156C (Keysight 社製)であり、印加電圧は 5 V であった。グラフのエラーバーとプロットは、30 試料の測定結果の最小値・最小値・平均値を示している。これらのグラフより、チップ積層前後で、リーク電流に大きな変動は見られなかった。

2.1.10.2 信頼性評価

本プロジェクトの目標である車載用信頼性の確認について、(1) TSV 単体、(2) 積層接合品の 2 項目に分類した。車載用信頼性基準としては、AEC-Q100 をベースとして、項目を決定した。またその中で、本プロジェクトのアプリケーションであるセンサモジュールはセラミックパッケージへの中空封止であることから、耐湿性に関する項目を除外した。

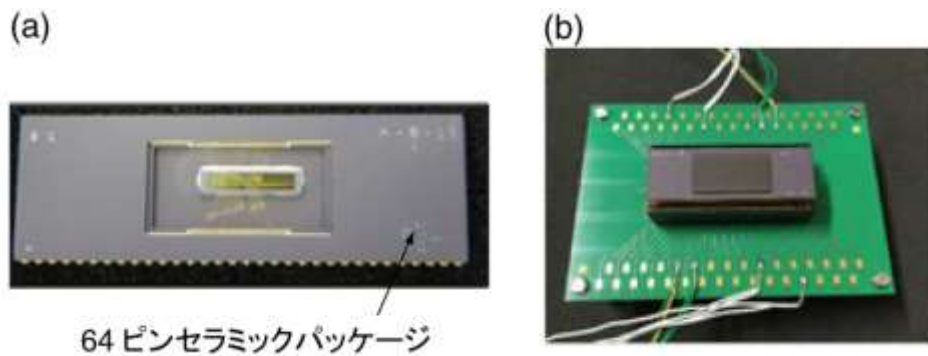
TSV 構造としては、レギュラ構造の Cu-TSV、レギュラ構造のはんだ-TSV、ATI 構造の Cu-TSV、ATI 構造のはんだ ATI の 4 種類があるが、構造への影響が想定される代表的な構造に限定して環境試験を実施した。従って ATI 構造のはんだ TSV については、評価を省略した。表Ⅲ-2.1.10-2-1 にその内容を示す。積層品は、本アプリケーションの場合ははんだを使用しているため、設定温度を -40°C 以上とした。また TSV 単体においては、他のアプリケーションでの必要性も想定して、厳しい条件を適用した。

表Ⅲ-2.1.10-2-1: 信頼性試験項目と目標値

試験項目	試験条件と目標		対象構造		
			レギュラー Cu-TSV	レギュラー はんだ-TSV	ATI Cu-TSV
温度サイクル	積層	$-40^{\circ}\text{C} \sim 125^{\circ}\text{C}$ ≥ 1000 サイクル	○	○	○
	単体	$-55^{\circ}\text{C} \sim 125^{\circ}\text{C}$ ≥ 2000 サイクル	○	—	○
		$-65^{\circ}\text{C} \sim 150^{\circ}\text{C}$ ≥ 500 サイクル	○	—	○
高温保存	積層	150°C ≥ 1000 時間	○	○	○
	単体	150°C ≥ 2000 時間	○	—	—
		175°C ≥ 700 時間	○	—	—
振動試験	積層	$20 \text{ Hz} \sim 2 \text{ KHz} \sim 20 \text{ Hz} > 4 \text{ minutes}$, X/Y/Z方向に4回, 最大荷重50 g 印加	○	○	—

* 合格判定基準: 抵抗変化率 $\leq 10\%$ であること

評価サンプルは図Ⅲ-2.1.10-2-1 に示すように TEG チップを 64 ピンセラミックパッケージにダイボン
ド、ワイヤボンドして中空封止した。測定ボードにはんだ付け後、環境試験を実施し、TEG チップ内
のデジチェーンパターンとケルビンパターンを用いて、抵抗変化率をモニタし、抵抗変化率 10%以
下を合格とした。



図Ⅲ-2.1.10-2-1: 評価サンプルの写真
(a) TEG チップの組み立て後 (b) 測定ボードへの実装後

2.1.10.2-1 温度サイクル試験結果

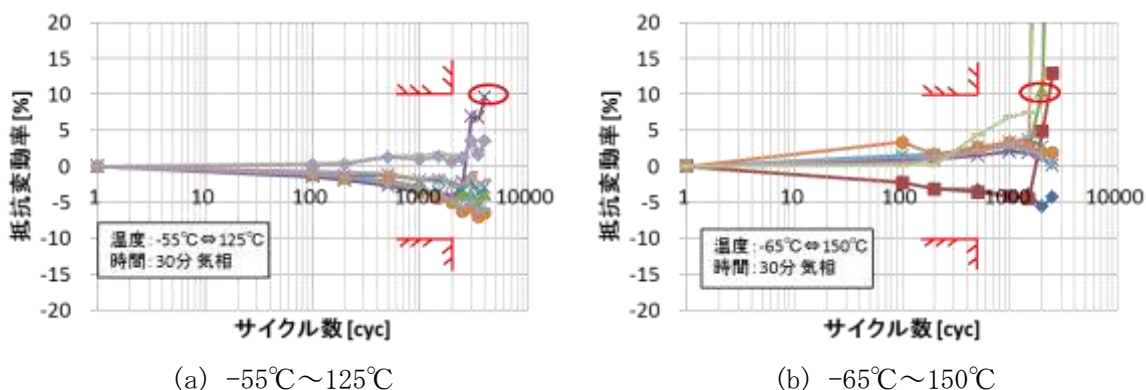
【単体チップの試験結果】

TSV チップの試験として、レギュラ構造の Cu-TSV での温度サイクル試験を実施した。試験条件は、
-55℃~125℃及び-65℃~150℃で、その結果を図Ⅲ-2.1.10-2-2 に示す。抵抗値変化率 10%を超えないサイ
クル数は、それぞれ 4000 サイクルと 1500 サイクルである。どちらも車載用信頼性の基準である
1000 サイクルと 500 サイクルを十分クリアしている。また、この結果を、温度差加速モデル（アイリ
ングモデル）

$$N = C (\Delta T)^{-n}$$

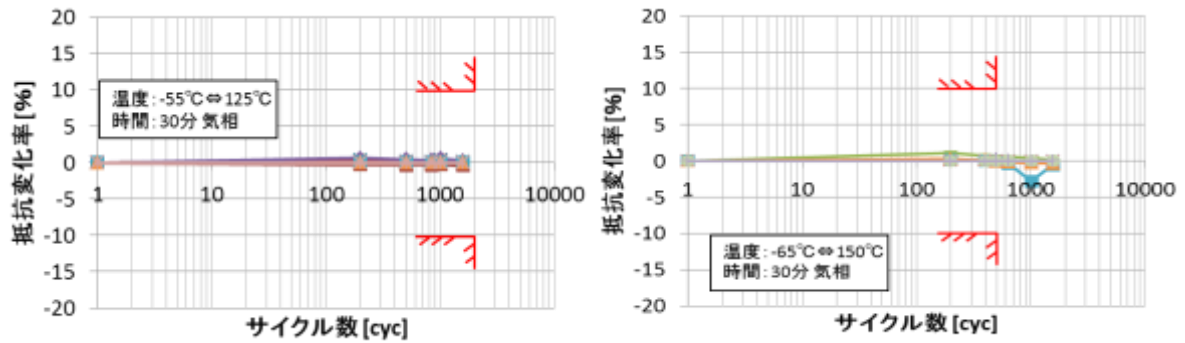
(N: 寿命、C: 定数、n: 故障モード、 ΔT : 環境における温度差)

に適用すると、 $4000 = C (180)^{-n}$ および $1500 = C (215)^{-n}$ となり、 $C=1.0 \times 10^{16}$ 、 $n=5.5$ となっ
た。本式に適用する事により、任意の温度差のヒートサイクル試験印加時の寿命推定が可能となった。



図Ⅲ-2.1.10-2-2: レギュラ構造の Cu-TSV での温度サイクル試験結果

同様に、ATI 構造の Cu-TSV での試験結果を図Ⅲ-2.1.10-2-3 に示す。-65℃~150℃は、1500 サイクル
で抵抗変化率も少なく判定基準をクリアした。



(a) -55~+125°C

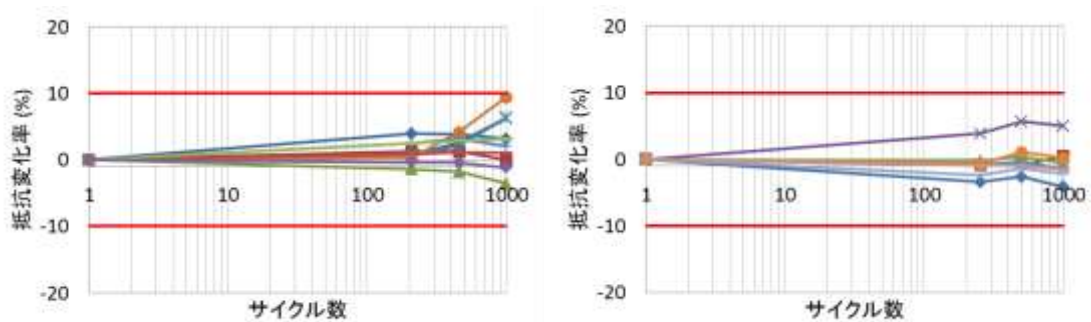
(b) -65~+150°C

図Ⅲ-2.1.10-2-3 : ATI 構造の Cu-TSV の温度サイクル試験結果

-65°C~+150°Cの条件でレギュラ構造の Cu-TSV (図Ⅲ-2.1.10-2-2(b))は、1500 サイクルの抵抗変化率が 10%は超えていないが、最大 8%変化している。一方、ATI 構造の Cu-TSV (図Ⅲ-2.1.10-2-3(b))は、1500 サイクルの抵抗変化率は 1%以下となっている。従って、ATI 構造の方が温度サイクル耐性は高いと考えられる。これはシミュレーション結果が裏付ける通りである。ただ現状の結果からは加速係数を算出するに至らなかった。

【積層品の試験結果】

レギュラ構造のはんだ-TSV チップの積層品の信頼性については、既にⅢ-2.1.7 節にて紹介済であるが、ここでは合わせて、レギュラ構造の Cu-TSV チップの積層品、ATI 構造の Cu-TSV チップの積層品についても同様に評価した。図Ⅲ-2.1.10-2-4 にその結果を示す。いずれの構造においても表Ⅲ-2.1.10-2-1 に示した判定基準をクリアしている。それぞれのデータから外挿した場合、本プロジェクトにおける上下チップの組み合わせからは、TSV 構造の差が顕著に影響しない事が判明した。



(a) レギュラ構造の Cu-TSV

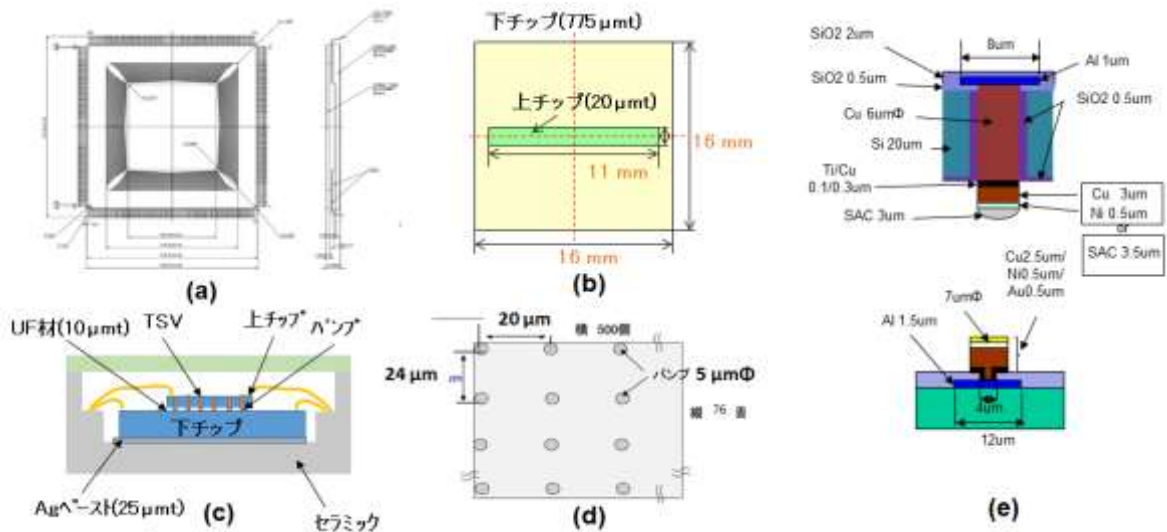
(b) ATI 構造の Cu-TSV

図Ⅲ-2.1.10-2-4 チップ積層品の温度サイクル試験結果 (-40~+125°C)

以上について次節にて、各種 TSV 構造における積層品ではんだ接合部に関する応力のシミュレーション結果を用いて検証する。

2. 1. 10. 2-2 積層品の応力シミュレーション結果

図Ⅲ-2. 1. 10-2-5 に示すように、20 μm 厚の TSV 付チップを厚さ 775 μm の下チップ上に実装し、

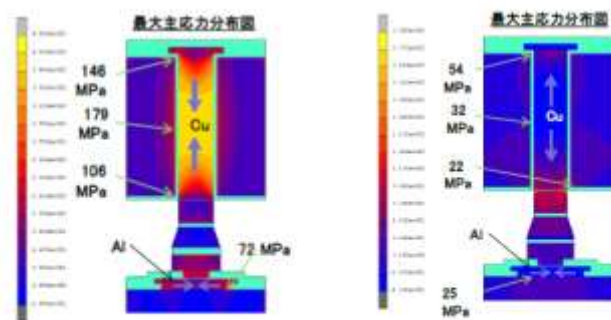


図Ⅲ-2. 1. 10-2-5 シミュレーション時のパッケージ構造

(a)パッケージ外形 (b)チップ平面図

(c)実装時の断面構造 (d)バンプ配置 (e)バンプ部構造

-40 $^{\circ}\text{C}$ ~125 $^{\circ}\text{C}$ 温度差によって発生したはんだ接合部への歪量をシミュレーションした。シミュレーションツールとしては MSC 社の Marc MENTAT を用いた弾塑性解析を実施、またバンプ数が約 40K 個と多いため、ズーム解析法を用いて計算が収束するようにした。また TSV としてレギュラ構造 Cu-TSV、レギュラ構造はんだ-TSV、ATI 構造 Cu-TSV、ATI 構造はんだ-TSV の 4 構造、バンプとしては Cu ピラー、オールはんだの 2 構造とした。代表的な 1 接続部の応力分布の計算結果を図Ⅲ-2. 1. 10-2-6 に示す。レギュラ構造 Cu-TSV における-40 $^{\circ}\text{C}$ 及び 125 $^{\circ}\text{C}$ の場合の結果である。



(a) -40 $^{\circ}\text{C}$

(b) 125 $^{\circ}\text{C}$

図Ⅲ-2. 1. 10-2-6 接合部における応力分布図

本シミュレーション結果より、はんだ接続部への歪量（温度差-40°C/25°C）を表Ⅲ-2.1.10-2-2にまとめた。材料物性値及びTSV内への充填プロセス温度の差からはんだの歪量がCuに比べて高い。

表Ⅲ-2.1.10-2-2 各構造における接続部歪量

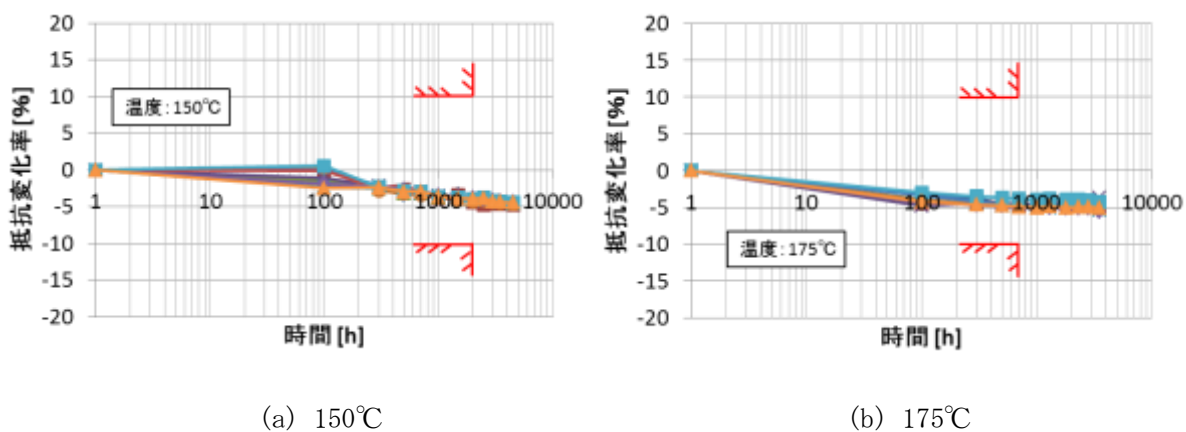
TSV構造	バンプ構造	歪量
レギュラーCu	Cuピラー+SAC	0.00941
レギュラーはんだ	オールSAC	0.05008
ATI Cu	Cuピラー+SAC	0.00597
ATI はんだ	オールSAC	0.02363

また構造の差からATIの方がレギュラよりも歪量が低くなった。以上の結果と実際の試験結果から想定すると、ATI はんだ-TSV 構造においても、耐ヒートサイクル性は判断基準を満足する事が判明した。ただTSVとしては、はんだよりもCuの方が接続部に対する寿命が更に長いという事が言える。

2.1.10.2-3 高温保存試験結果

【単体チップの試験結果】

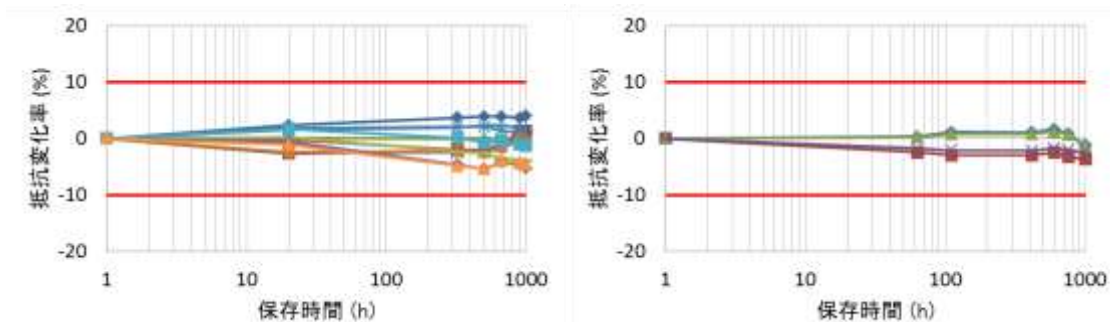
レギュラ構造のCu-TSVでの高温保存評価結果を図Ⅲ-2.1.10-2-7に示す。150°C及び175°Cで抵抗変化率10%以下であった時間を測定した結果、それぞれ4500時間と3600時間以上となり、車載用としての判定基準である2000時間及び700時間以上を遥かに満足している事が確認できた。これらのデータから変化率10%を超える時間を外挿しようとしたが、抵抗変化率が小さく想定できないため、アレニウスモデルからの活性化エネルギーの算出が出来ない。ただ表Ⅲ-2.1.10-2-1の基準を十分にクリアしており、車載用途として問題無い事が確認できた。



図Ⅲ-2.1.10-2-7 レギュラ構造のCu TSV 高温保存試験結果

【積層品の試験結果】

レギュラ構造のはんだ-TSV の積層品の信頼性については、既にⅢ-2.1.7 節にて紹介済であるが、ここでは合わせて、レギュラ構造の Cu-TSV の積層品及び ATI 構造の Cu-TSV の積層品についても同様に評価した。図Ⅲ-2.1.10-2-8 に評価結果を示す。TSV 形成プロセスに差が有るもののはんだ接合部の合金化に対する高温保存の影響は同じであり、いずれの構造においても表Ⅲ-2.1.10-2-1 に示した判定基準をクリアした。



(a) レギュラ構造の Cu-TSV

(b) ATI 構造の Cu-TSV

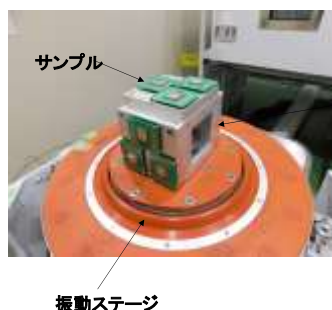
図Ⅲ-2.1.10-2-8 チップ積層品の高温保存試験結果(150℃)

また、レギュラ構造のはんだ-TSV との違いだが、積層接合部の合金化状態と TSV ビア底における UBM との合金化状態の 2 点が有るが、この 1000~2000 時間では顕著に現れなかった。

2.1.10.2-4 振動試験結果

レギュラ構造の Cu-TSV とはんだ-TSV の 2 種類について、実モジュールに近いパッケージに組み立てた。チップ積層条件は、160℃、25 MPa、30 sec で、チップ間にはアンダーフィル材を注入し、160℃、2 時間のキュアを実施した。パッケージとしては 256 ピンのセラミック QFP を使用した。TSV の形成された上チップから外部へは 25μm 直径の Au 線でワイヤボンディングした。前処理として 260℃ 3 回のリフローを印加後、PCB 上に実装してから、振動試験を図Ⅲ-2.1.10-2-9 に示す測定装置と測定条件にて評価した。判定基準としては、デージーパターンの抵抗値変化率が 10%以下である。

各 TSV 構造とも 3 パッケージずつ評価し、いずれの抵抗値変化も初期値の 98.4%~102.5%の間に有り、車載用基準をクリアしていることを確認した。



(a) 振動試験へのセット状態

	正弦波振動試験	ランダム振動試験
周波数	20-2000Hz	8-500Hz
加速度	1.5mm(20-80Hz) 20G(80-2000Hz)	6.27G
振動軸	3軸(x,y,z)	
試験回数	4回(4分×4回)	1回(30min)
判定基準:	抵抗変化率が10%以下であること	

(b) 詳細な振動試験条件

図Ⅲ-2.1.10-2-9 振動試験測定装置と測定条件

2.1.10.3 設計仕様を決めるための特性評価

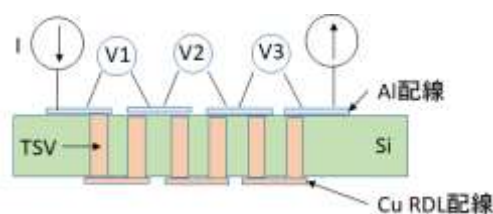
本節では、実使用上必要なエレクトロマイグレーション特性および絶縁膜絶縁破壊 TZDB (Time Zero Dielectric Breakdown) 特性についての評価結果を報告する。この目的は、対象となるデバイスの仕様 (例えば TSV1 個当たり、あるいは 接続バンプ 1 個当たりの許容電流密度や許容電圧) を決める上で大変重要なファクタとなる。まず、レギュラ構造の Cu-TSV にて基礎評価を行い、その他の構造に展開してガイドラインを決定する指標を求める。

2.1.10.3-1 エレクトロマイグレーション特性

【単体チップでの試験結果】

TSV に一定電流密度を印加し、TSV 内のエレクトロマイグレーションの発生により、抵抗変化率が 10%以下である時間を計測することにより、TSV の許容電流値を決定する事が出来る。

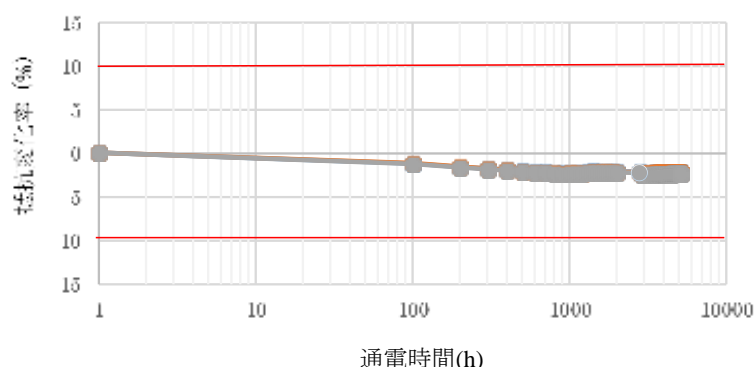
模式図を図Ⅲ-2.1.10-3-1 に示す。



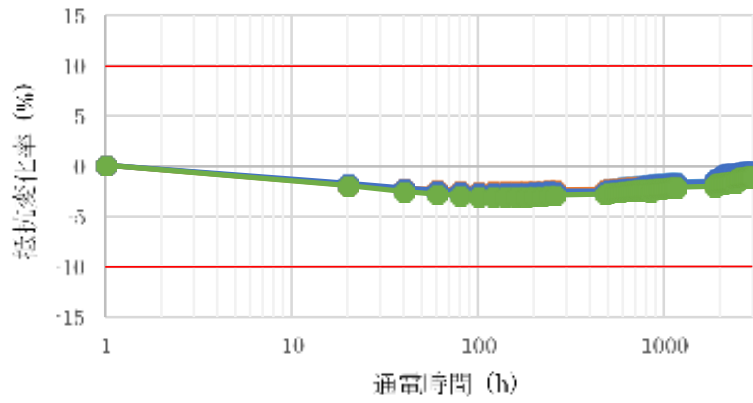
図Ⅲ-2.1.10-3-1 TSV 単体の EM 測定模式図

本プロジェクトにおけるレギュラ構造 Cu-TSV の Cu 径が 5 μm である事を考慮して TSV1 個当たりに印加する電流値を 50 mA と設定し、また温度加速条件として 150°C で抵抗値変化をモニタした。5000Hr で、抵抗値変化率は 10%未満で有り、不具合は無い。加速係数を算出のため、温度及び電流条件を変更した。175°C 100mA 時で 3200Hr、200°C 100mA 時で 1000Hr では不具合は無く、車載用として十分な EM 耐性を保有する事が確認できた。

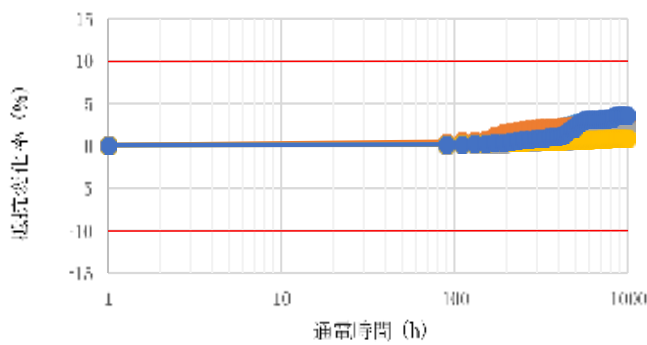
一方 200°C 120mA 印加時には、約 500Hr で抵抗値変化率が 10%を超える事から、 $E_a=0.85\text{eV}$ 、 $n=3.8$ と想定される。



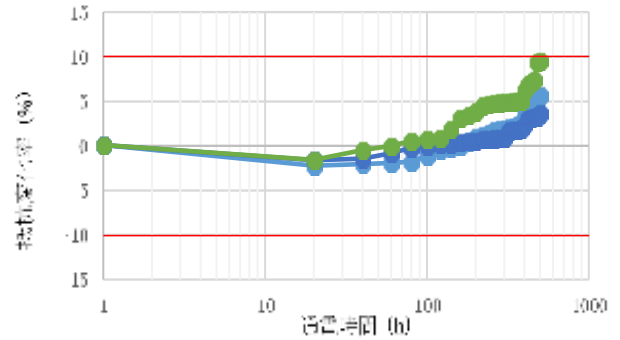
図Ⅲ-2.1.10-3-2 エレクトロマイグレーション (50mA 150°C)



図Ⅲ-2.1.10-3-3 エレクトロマイグレーション(100mA 175°C)



(a) 100mA 印加時

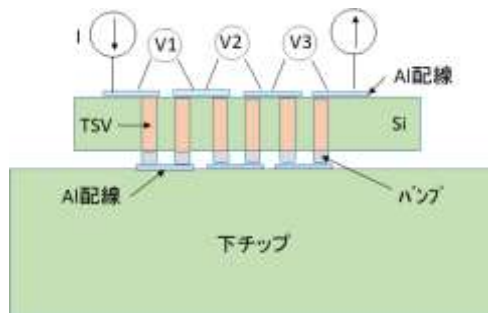


(b) 120mA 印加時

図Ⅲ-2.1.10-3-4 エレクトロマイグレーション(200°C) (a) 100mA (b) 120mA

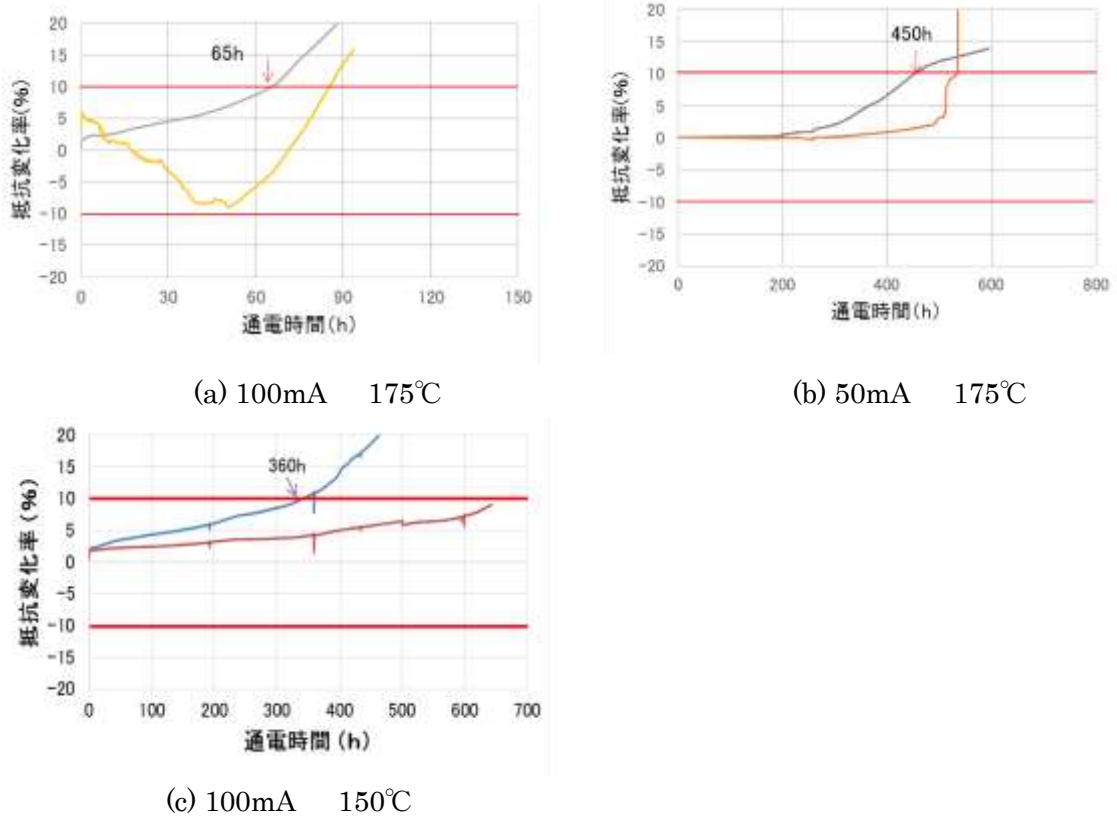
【積層接合品】

同様にはんだにて低温接合したチップ間のパスを経路としたエレクトロマイグレーションの測定結果をまとめる。図Ⅲ-2.1.10-3-5 に模式図を示す。



図Ⅲ-2.1.10-3-5 積層接合品の EM 測定模式図

レギュラ構造の Cu-TSV の積層品の評価結果が図Ⅲ-2. 1. 10-3-6 である。



図Ⅲ-2. 1. 10-3-6 レギュラ構造の Cu-TSV 積層品のエレクトロマイグレーション

エレクトロマイグレーションの反応式として

$$MTTF = A \cdot J^{-n} \cdot \exp(E_a/kT)$$

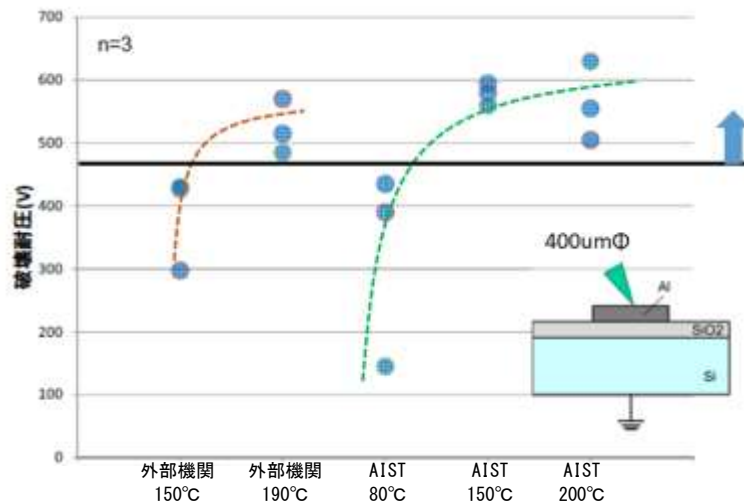
MTTF: 平均故障時間 (h)、A: 材料定数、J: 電流密度 (A/cm^2)、n: 定数、

E_a : 活性化エネルギー (eV)、k: ボルツマン定数 (eV/K)、T: 絶対温度 (K)

本図(a) (b)から抵抗値変化率 10%を超える最短時間で判断すると 175°C/100mA の寿命が 65 時間、175°C/50 mA の寿命が 450 時間、同様に 150°C/100mA の寿命が 360 時間であったことから、n 及び E_a を算出すると、 $n=2.79$ 、 $E_a=1.1$ eV となった。本結果より、車載用として、100°C、10 年を保証するための最大許容電流密度としては、直径 5 μ m での 61 mA なので、 3.1×10^5 (A/cm^2)となった。

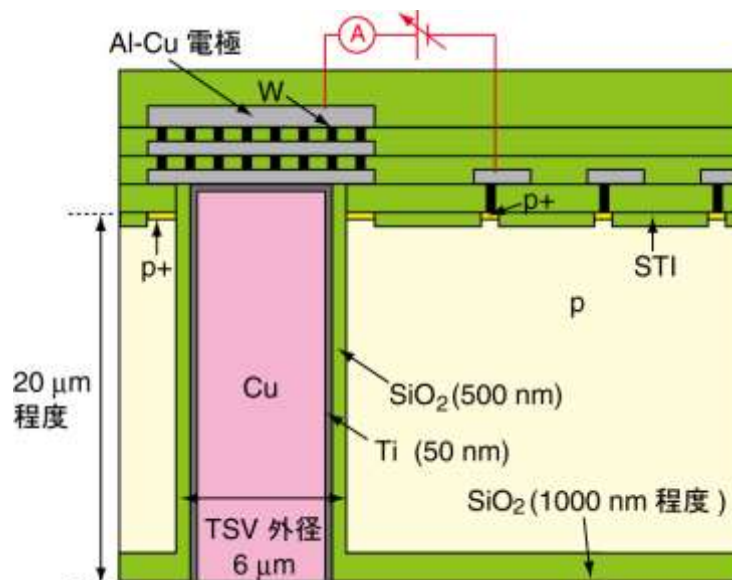
2. 1. 10. 3-2 TZDB 特性

TSV のライナー酸化膜の最適化を行うため、直径 400 μ m の平行平板キャパシタを作製し、TZDB 特性を測定して破壊電圧を求めた。その結果を図Ⅲ-2. 1. 10-3-7 に示す。ライナー酸化膜の成膜条件として、外部機関の成膜装置 PD-200STP (SAMCO 社製)または産業技術総合研究所の成膜装置 PD-330STC (SAMCO 社製)を用いて、目標の膜厚は 500 nm とし、成膜温度は 80°C~200°Cとした。結果として、PD-330STC での成膜条件では、成膜温度 150°C以上、PD-200STP での成膜条件の場合は 190°C以上が必要な事が判明した。また、均一に成膜されたライナー膜は、室温において 450V 以上の耐圧があることも判明した。



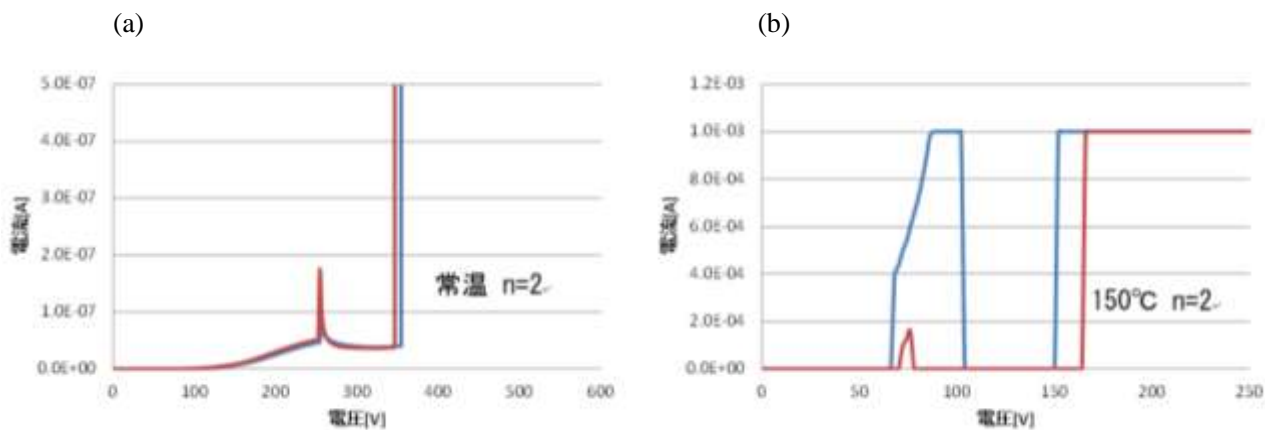
図III-2.1.10-3-7 TSVのライナー酸化膜の成膜条件と破壊電圧（測定温度：常温）

この成膜条件で作製した TEG 中に形成した TSV 単体チップを用いて評価した。温度サイクル試験同様に 64 ピンパッケージに組み立てて、単一 TSV に電圧を印加し、漏れ電流を測定する（図III-2.1.10-3-8）。漏れ電流値が 1 μA を超えた電圧値を絶縁破壊電圧と定義した。また加速するために測定環境温度を 150°Cとした。



図III-2.1.10-3-8 破壊電圧の測定箇所

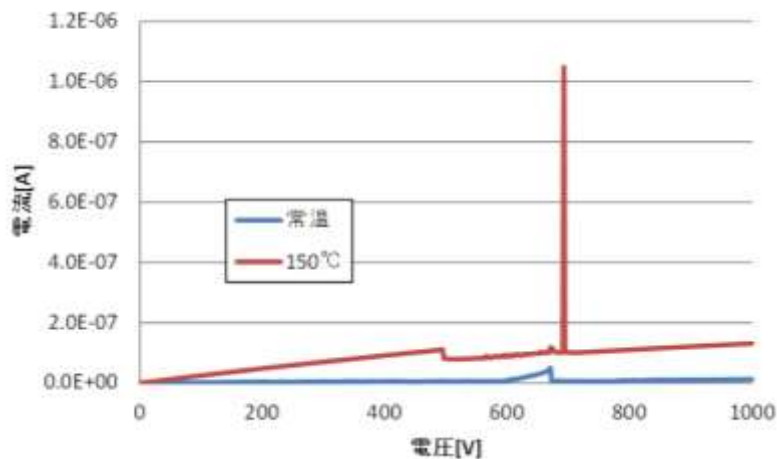
測定結果を図III-2.1.10-3-9 に示す。常温での破壊電圧は 350 V、150°Cでは 65 V である事が判明した。平行平板キャパシタの場合と比較して破壊電圧が 150V と低い理由は、TSV 内の CVD による SiO_2 膜厚ばらつきがあり、500nm より薄い部分が存在するためである。



図Ⅲ-2.1.10-3-9 (a)常温、(b)高温時の絶縁破壊電圧

連続的に 150°C下で動作する事をプロセスのばらつきも含めて考慮すると、許容最大電圧としては 50V 以下で使用する事が望まれる。

同様にして ATI 構造での TZDB 特性の測定結果を図Ⅲ-2.1.10-3-10 に示す。パルス的なノイズが見られるものの 1000V 以上の耐圧があることが確認できた。漏れ電流 1 μ A 以下を合格とするとばらつきを考慮しても 650V の耐圧があると推測される。本結果より 高耐圧用途の製品群に置いて、TSV 形成が必要なデバイスでも ATI 構造の適用が有効であることが検証できた。



図Ⅲ-2.1.10-3-10 ATI 構造における TZDB 特性

2.1.11 三次元実装評価技術の開発 (①-8) -標準化活動-

(主担当：株式会社デンソー、ラピスセミコンダクタ株式会社、
国立研究開発法人産業技術総合研究所)

本プロジェクトに置いては、プロセス面からは SEMI 3DS-IC 委員会 (現 3DP&I 委員会) の中で、電気特性面からは JEITA の半導体実装・製品技術専門委員会の集積回路製品技術小委員会 3D 半導体 Sub-Committee (SC) (現 3D 半導体/モジュール SC) の中で活動している。

【SEMI】

ワールドワイドな TSV を用いた三次元実装化の動向に基づき、北米・台湾・日本を 3 軸として標準化活動が行われてきた。本プロジェクトにおいても、その開発研究の中での知見を標準規格とすべく委員会内において産総研が主査を務めながら中心的な推進役を果たしてきた。その中で以下の 3 項目が成果となった。

- (1) G96-1014 「薄チップの抗折強度測定方法」 2014 年 4 月制定
- (2) G97-0116 「薄チップハンドリング用粘着トレイ規格」 2016 年 1 月制定
- (3) Doc. 5836 「薄チップ粘着トレイ用接着強度の測定法」 2018 年 3 月原案英文化が完了し、
2018 年中に Ballot に提出して、承認を受ける予定

これらは本プロジェクトの中で 20 μ m という薄チップをハンドリングするというテーマから派生した。SEMI 3DS-IC 委員会は Fanout Wafer Level Package (FO-WLP) の拡大に伴い、新たに 3D Packaging & Integration (3DP&I) 委員会に名称を変更し、引き続き産総研が主査の一役を担いながら標準化活動を継続していく。

【JEITA】

前プロジェクトであったドリームチッププロジェクトの成果を具現化するために IEC への提案を本プロジェクトの中で推進してきた。その結果として、IEC 63011-3 「TSV の電気特性モデルと測定方法」を 2017 年 5 月 委員会原案承認、2018 年 5 月 委員会投票予定で、2019 年 7 月に国際規格化予定である。

JEITA 3D 半導体 SC から 3D 半導体/モジュール SC に名称変更し、現在は JTAG を用いたアナログ BIST を外からプローブの当たれない接続部分の良否判定に導入する手法の規格化を主たるテーマにししながら、継続して活動を進めている。本方法は多数の TSV を有する IC の積層接続部の接続性検証のために大変重要な技術となる。

2.1.12 センシングデバイス、三次元積層技術に関する動向調査 (①-9)

(主担当：株式会社デンソー、ラピスセミコンダクタ株式会社)

国立研究開発法人産業技術総合研究所)

2.1.12.1 市場動向 (センシングデバイス)

民間調査会社の活用、および各種展示会、企業・研究機関への訪問などを通じてセンシングデバイスの技術・市場動向の調査を継続して進めた。

2020年以降の車載センシングシステムの市場予測は、調査会社によりバラツキはあるものの、自動運転技術の進展に伴い、カメラ、ミリ波レーダ、レーザレーダなどを合わせて2020年ごろに概ね1兆円規模の大きな市場になると予想されている。現在はカメラ、ミリ波レーダ、超音波センサが大半を占めるものの、前述のように本格的な自動運転の実現に向けてレーザレーダへの期待が大きいことは動向調査の結果でも裏付けされ、2020年以降センシングシステムにおけるレーザレーダの割合は急速に拡大するものと予想されている。

レーザレーダは検出方式によって ①ダイレクト ToF 式 (Time of Flight) ②位相差 ToF 式 に大きく分類される。

① ダイレクト ToF 方式

レーザ光を発射し、検知対象に反射した光を受光するまでの時間から距離を算出する方式。車載用として量産されるものは衝突防止用途に前方近距離の車両を検知するものが主で、画素数も数画素と少ない。この数年、部品メーカー、ベンチャー、研究機関などで、検知対象範囲を径を絞ったビーム光でスキャンして遠方まで検知するレーザレーダの開発が活発になっている。本プロジェクトではこの方式の性能向上に取り組んだ。

② 位相差 ToF 方式

複数に変調をかけたレーザ光を照射し、その反射光との位相差から距離を求める方式。イメージャ技術の応用で高画素センサを実現できるが、レーザ光を広範囲に拡げて照射するため、遠距離の検知には向かない。車載用としては車室内のジェスチャ認識用途に一部採用されるのみで、車両周辺を監視するセンサへの適用は、まだ開発段階である。

今後は自動運転の実現に向けて、車両周辺の障害物を近距離から遠距離まで高画素で検出するレーザレーダが求められ、ダイレクト ToF 方式と位相差 ToF 方式の使い分けで自動運転レベル 3 の普及とともに市場は大きく拡大するものと予想される。またこの技術は走行ロボット、ドローンなどの自律移動体分野にも適用され、市場はさらに大幅に拡大していく。

センシングデバイスはダイレクト ToF 方式の場合、現状では PD もしくは APD が採用されているが、高画素化とレーザレーダ体格が比例関係にあり、小型化が必須要件である車載用途でのネックとなっている。本プロジェクトで開発した SPAD は、前述のように高感度であること、CMOS プロセスを用いて高画素化が容易であること、デジタル出力で後段回路との親和性が高いことなどから、近年注目が高まっており、半導体メーカー、研究機関での取り組みが始まっている。既に製品化されている例としては、数画素センサがスマートフォンに搭載されている他、軍用で高出力レーザと組み合わせて 1 km 以上遠方を検知するもの、および医療用途などがあるが、まだ適用分野が限られており車載用途での量産例はない。

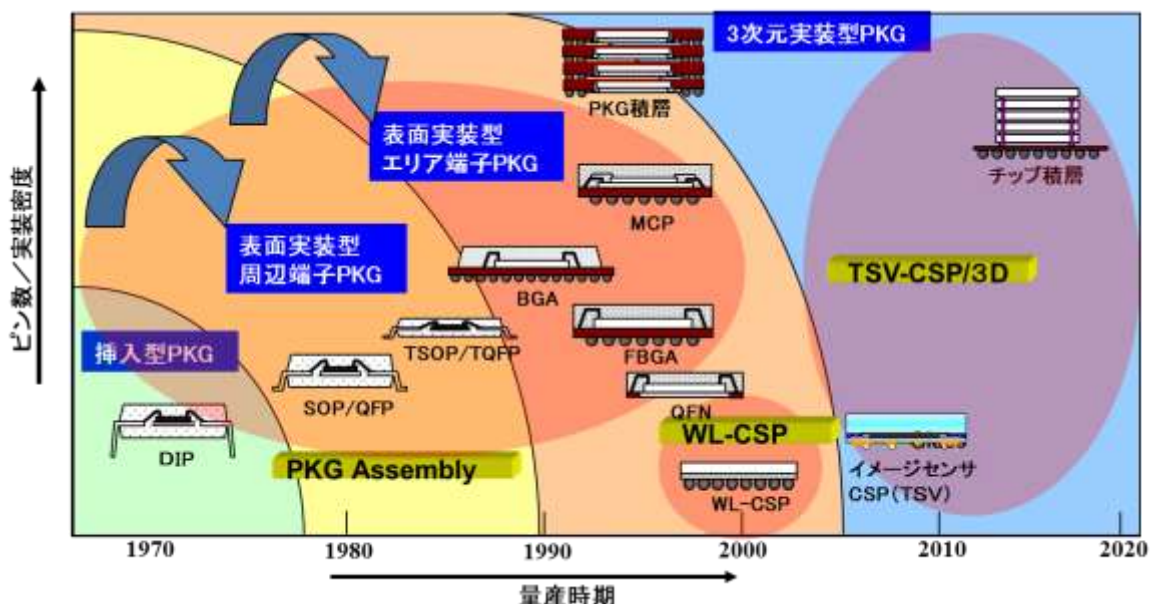
本プロジェクトでは、いち早く SPAD に着目し性能向上に取り組んだことにより、高性能・小型・高

信頼性・低コストの車載レーザレーダの実現めどが立ち、今後量産開発を進めることにより、上述の市場拡大に大きく貢献するものと期待される。

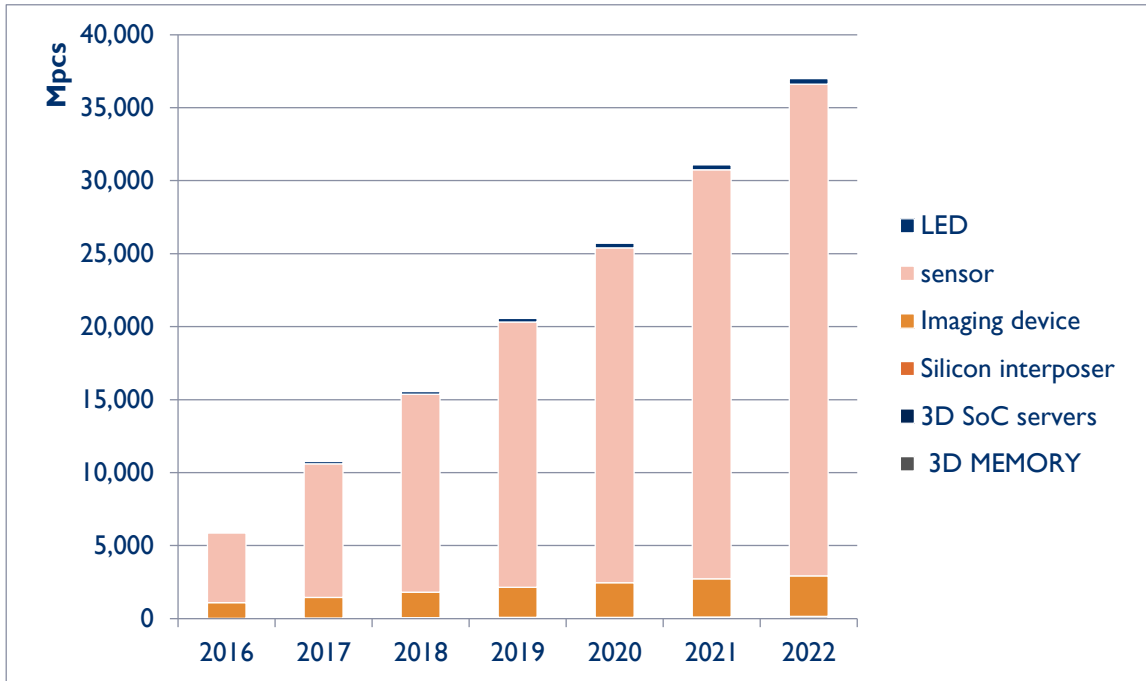
2.1.12.2 市場動向（三次元積層技術）

三次元積層技術の市場動向調査において半導体パッケージの切り口で調査を実施した。一般に半導体パッケージトレンドは高機能化、小型化の流れで開発され、昨今ではウェハレベルの配線加工を施したウェハレベル CSP (WL-CSP) の技術応用で TSV を施した 3D パッケージが最先端パッケージとして量産化されている。(図Ⅲ-2.1.12-1) これら三次元積層技術の市場は年々増加傾向であり、数量増加率は年 87%、市場金額増加率 46%となっている。(図Ⅲ-2.1.12-2、図Ⅲ-2.1.12-3) その中でも数量増となっているのは小型センサ（照度センサや指紋認証センサ）でスマートフォンを主としたモバイル機器への採用が進むと考えられる。

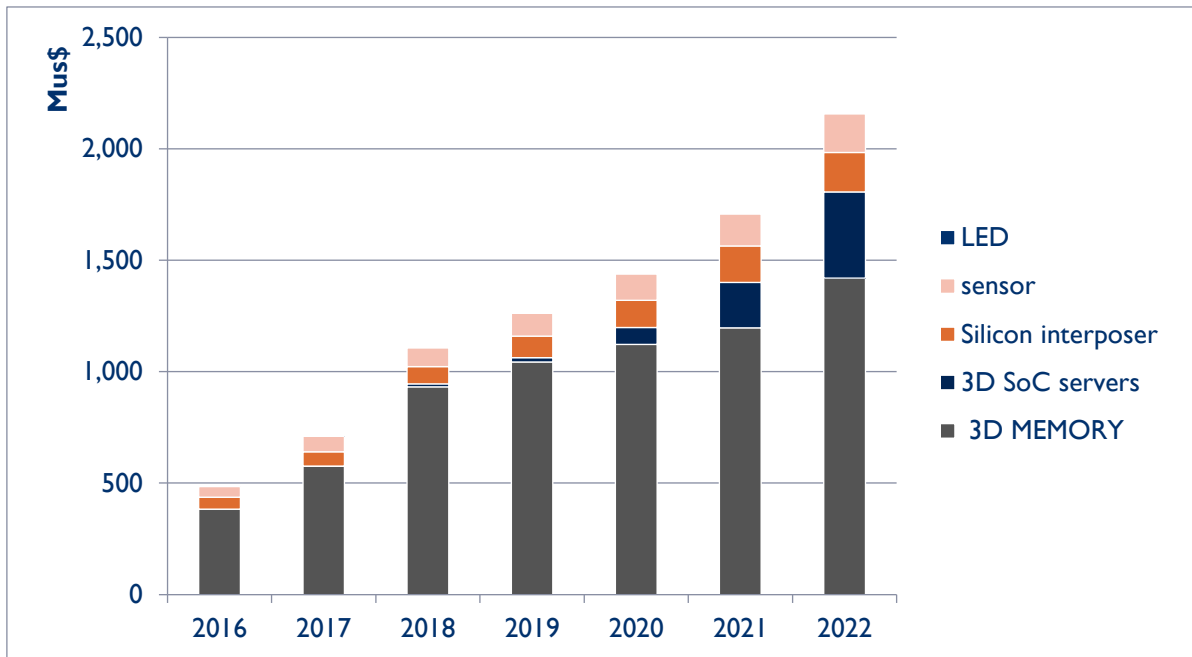
高付加価値のメモリ用途や SoC 用途は小型センサほどではないが着実に今後拡大していく市場である。本プロジェクトも高付加価値商品に含まれ、今後の拡大が期待される。商品単価が高く、商品寿命が長い用途で使われるのでさらなる高信頼性が要求され、より多くの商品展開にはコストダウンが必須となると思われる。



図Ⅲ-2.1.12-1 最先端パッケージ技術



図III-2.1.12-2 三次元積層技術市場・数量変動



図III-2.1.12-3 三次元積層技術市場・市場金額変動

2.1.12.3 TSV プロセス技術動向

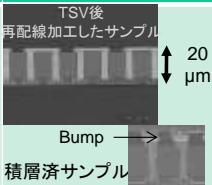


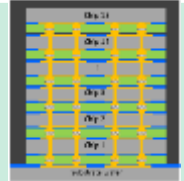
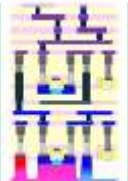
TSV プロセスにて製品化されている代表例が Sony の CMOS センサ及び Samsung、SKHynix、Micron 等の DRAM メーカーが提供する Hiperformance Memory Cube (HMC) や High Band Memory (HBM) である。各社の調査結果を図Ⅲ-2.1.12-4 に示す。比較のために両端に本スマートデバイス PJ の構造と同じ国プロで既に完了したドリームチップ PJ の構造を掲載した。

	本プロジェクト	SK Hynix	Samsung	Sony	AIST, Kobe Univ
方式	Via Last	Via Middle	Via Middle	W2W	Via Last
TSV径	6 μm (2x11=22mm ²)	6 μm (6.9x5.1=35.2mm ²)	7.5 μm (6x6.25=37.5mm ²)	3 μm (5.5x5.5=28.5mm ²)	20 μm (10x10=100mm ²)
TSV数	909個/mm ²	76個/mm ²	4個/mm ²	200個/mm ²	74個/mm ²
ピッチ	20 μm	40 μm	67 μm	14 μm	50 μm
Si厚	20 μm	46.5 μm	50 μm	8 μm	50 μm
バンプ径	7 μm	16 μm	33 μm	-	25 μm

図Ⅲ-2.1.12-4 本プロジェクトの構造と量産中の製品との構造比較

Sony については W2W を中心としたプロセスで、積層した 2 枚のウェハをビアラストにて配線接合を実施している。TSV 径としては 3 μm と小さいがウェハ厚みとしても 10 μm と薄く、TSV 密度としては DRAM よりは高いが、本プロジェクトに比較すると 1/4 程度の密度しかない。一方 DRAM 関係については、ビア径は本プロジェクトに近いがウェハ厚が 40 μm と厚い分アスペクト比が高い。TSV 形成はビアミドルであり、デバイスメーカーにしか TSV を形成できない構造となっておりアプリケーション拡大に制約が発生する。また、本プロジェクトでは、チップ全面に TSV が形成されているのに比較して、TSV 密度も低く、ある領域も限定されている。

次に、他の研究機関との比較を実施した。世界的にはアメリカの IBM、ベルギーの IMEC、フランスの Leti、シンガポールの IME 等が TSV プロセスの開発をリードしている。そこの比較表を図Ⅲ-2.1.12-5 に示す。IMEC、A*STAR (IME) は共にビアミドルである。TSV 径のサイズ的には A*STAR が 3 μm と小径でかつ TSV 密度も高いが、あくまでもプロセス評価用のサンプルであり、半製品でしかない。また Leti は W2W に焦点を絞って開発しており、TSV 密度は高いがアプリケーションが限定される。その観点からも本プロジェクトの目標値は、実用化という観点からは意義のある構造と考えられる。

	本プロジェクト	IBM	A*STAR	IMEC	Leti
					
方式	Via Last	-	Via Middle	Via Middle	W2W
TSV径	6 μm (2x11=22mm ²)	10~15 μm? (6x12=72mm ²)	3 μm (8x8=64mm ²)	5 μm (15.2x15.2=231mm ²)	
TSV数	909個/mm ²	25個/mm ²	27,777個/mm ²		10 ⁴⁻⁵ 個/mm ²
ピッチ	20 μm	184 μm	6 μm	20 μm	3~8 μm
Si厚	20 μm	50 μm	20 μm	50 μm	
バンプ径	7 μm	20 μm	3 μm	10 μm	

図Ⅲ-2. 1. 12-5 他の研究機関との構造比較

2. 1. 13 測距センサモジュールの開発 (①-助成)

(担当：株式会社デンソー)

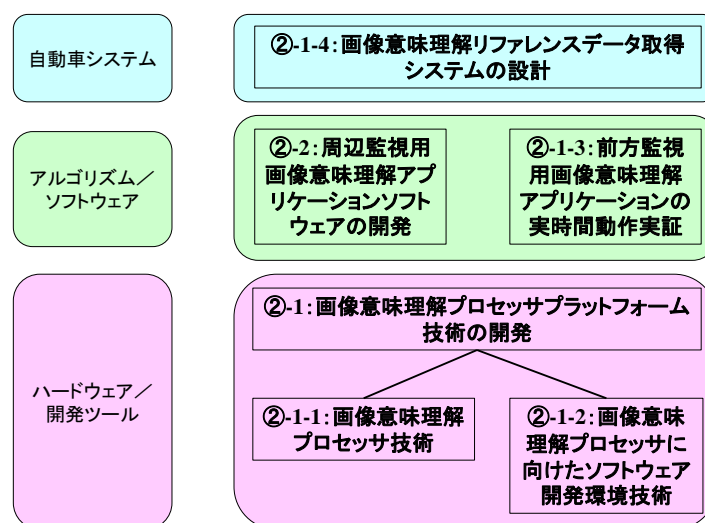
測距センサの原理は、レーザダイオード(LD)から出射されたパルス光が物体に当たって戻ってきた光をフォトダイオードで受光し、出射から受光までの時間を計測する。本開発では、委託事業で開発した高画素・超高感度の受光 IC を用いて、レーザダイオードの高出力発光制御、MEMS スキャナの高精度駆動制御、これらを高精度に同期制御する回路を組み合わせた測距センサモジュールを開発した。その結果、高性能レーザレーダの性能、体格に関する具体的な目標値に対して、目標値を上回る成果を上げた。測距モジュールでの性能評価および構築したシミュレーション技術により、現在自動車メーカー他が実施する公道実証試験において採用されているレーザレーダと同等以上の性能を小型・低コストで実現することが可能となった。実際の量産設計においては、自動車メーカーの多種多様なニーズに応じて、その要求にあったレーザレーダを設計することになる。車両前方を遠方まで、車両側方・後方を広範囲に、などカメラ、ミリ波レーダとの組み合わせで、レーザレーダに求められる仕様が異なるが、本プロジェクトで取得したデータおよびシミュレーション技術によって、要求に合致する製品の設計・提案が可能となった。

2.2 研究開発項目② 障害物検知・危険認識アプリケーションプロセッサの開発

2.2.1 障害物検知・危険認識アプリケーションプロセッサの開発

(担当：ルネサスエレクトロニクス株式会社)

図Ⅲ.2.2.1-1に「障害物検知・危険認識アプリケーションプロセッサの開発」の各研究開発項目の関係を示す。「障害物検知・危険認識アプリケーションプロセッサの開発」は将来の各種センサを装着した自動車システムを想定し、本事業で開発するハードウェア技術／開発ツール技術に基づき、本事業で開発するアルゴリズム技術／ソフトウェア技術を実装検討する。本事業では、電装品サプライヤと半導体デバイスメーカーが共同提案者として異業種の垂直連携体制を構築する。これにより、デバイス、アルゴリズム、システム利用方法のそれぞれの要求仕様や特性、さらには性能限界などを共有することが可能となり、世界トップの画像意味理解プロセッサプラットフォームならびにアプリケーションソフトウェアの開発が可能となる。自動車システムは「画像意味理解リファレンスデータ取得システム的设计(②-1-4)」で実施し、ハードウェア技術やソフトウェア技術の実証のためのリファレンスデータ取得システムを開発し、精度改善策をまとめる。ハードウェア技術／開発ツール技術は「画像意味理解プロセッサプラットフォーム技術の開発(②-1)」で実施し、ハードウェア技術である「画像意味理解プロセッサ技術(②-1-1)」で電力性能比に優れたプロセッサ技術を開発し、開発ツール技術である「画像意味理解プロセッサに向けたソフトウェア開発環境技術(②-1-2)」でプロセッサを効率良く動かすためのAC-FW対応ランタイムマネージャ技術とOpenVXを含むAPIライブラリ技術を開発する。そして、アルゴリズム技術／ソフトウェア技術は「周辺監視用画像意味理解アプリケーションソフトウェアの開発(②-2)」と「前方監視用画像意味理解アプリケーションの実時間動作実証(②-1-3)」で実施し、前者では周辺監視用のソフトウェア技術の開発とアプリケーション性能評価を行い、後者では前方監視用の処理を想定してアプリケーション性能評価を行い、開発技術の有効性を実証する。



図Ⅲ.2.2.1-1 障害物検知・危険認識アプリケーションプロセッサの開発の各研究開発項目の関係

2.2.1.1 画像意味理解プロセッサ技術の開発

プロセッサによる処理は「命令を届ける」、「データを届ける」そして「データを演算する」の3つの作業に大きく分けられる。各作業に向けた回路を、画像意味理解処理が有する特徴にそれぞれ特化し設計を行うことによって、専用設計に匹敵する優れた電力性能比とメモリスループットが得られると考える。

まず、電力性能比(1000GOPS/W 以上)と 96 GByte/s のメモリスループットを目標にして、「用意周型アーキテクチャ」のプロセッサの命令セットアーキテクチャを設計した。

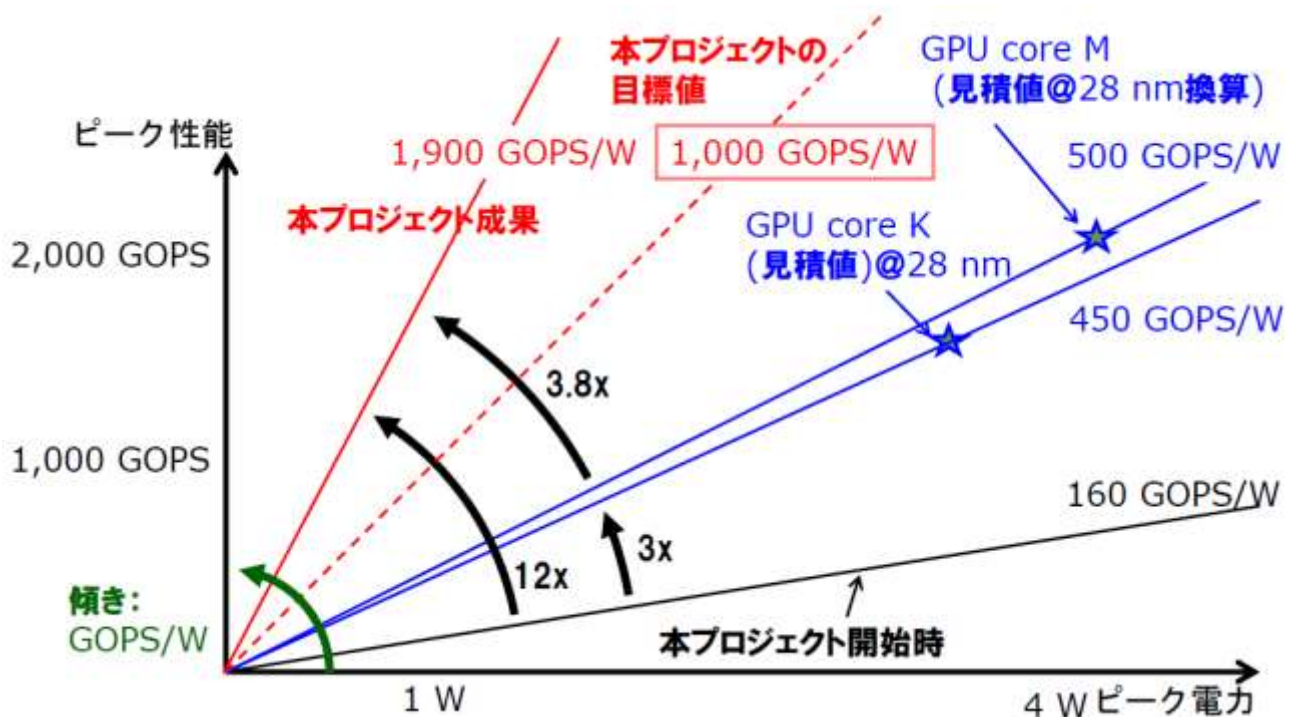
次に、プロセッサの詳細設計を実施した。開発した命令セットアーキテクチャの具現化を進め、「命令を届ける」、「データを届ける」「データを演算する」の各種機能を実現する RTL(Register Transfer Level)設計を行った。RTL 記述に対しては、検証項目を抽出するとともに、各項目に対して、動作確認用入力データ(検証パターン)を作成し、妥当性の検証を行った。

そして、画像意味理解プロセッサ技術の評価用チップとして、開発 TAT(Turn Around Time) が短くアーキテクチャ実証に適した FPGA(Field Programmable Gate Array)を選定し、実装を進めた。

さらに、画像意味理解プロセッサ技術を実装した FPGA を含む評価システムを用いて、前方監視用と周辺監視用の画像意味理解アプリケーションソフトウェアの性能評価を実施した。

本開発で目標としている 1000GOPS/W 以上の電力性能比に対しては、その到達度を評価すべく、電力見積りを実施した。その結果、1900GOPS/W の見積値であり、目標性能を達成した。メモリスループットの見積値も 96GByte/s 以上であり、目標性能を達成した。

図Ⅲ.2.2.1-2 に電力性能比のベンチマーク結果を示す。本事業により得られた電力性能比は高い電力性能比を誇る競合他社製品に対して、同一プロセス換算で 3.8 倍を達成し、他社を凌駕する製品競争力を獲得した。早期の実用化、事業化が望まれる。



図Ⅲ.2.2.1-2 電力性能比のベンチマーク結果

2.2.1.2 画像意味理解プロセッサ用ソフトウェア開発環境の開発

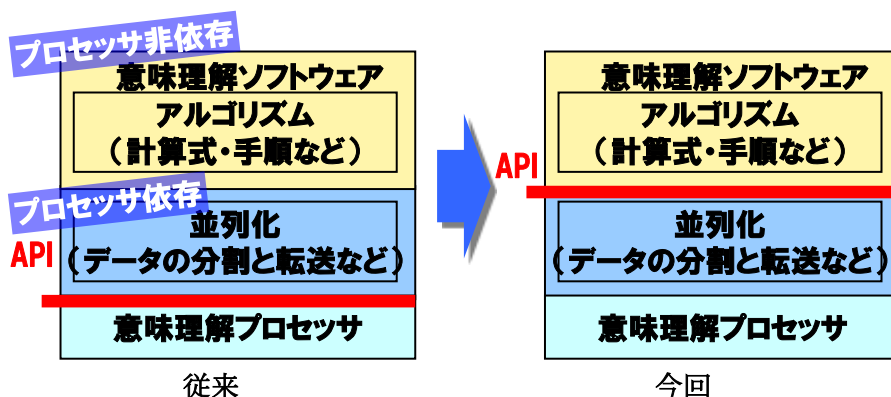
1) 画像意味理解プロセッサ向けプログラミングフレームワーク AC-FW の開発

用意周到型アーキテクチャに基づくメニーコアのピーク性能を、メニーコア利用熟練者でない画像意味理解処理アルゴリズム開発者であっても、容易に引き出せるプログラミングフレームワーク (AC-FW: Automated Chaining Framework) について、フレームワークを構成するツール群として、アセンブラ、逆アセンブラ、リンカ、シミュレータの開発を実施した。そして、画像意味理解プロセッサに向けた AC-FW 対応ランタイムマネージャの開発を完了した。

また、標準化団体 Khronos にて進められている CV (Computer Vision) の業界標準開発環境 OpenVX 策定活動へ参画し、当社が提案した本開発フレームワークの一部仕様の OpenVX 正式版仕様への採用を働きかけ、OpenVX 1.0 仕様に採用された。

本規格では、従来に対して、API の階層を引き上げてハードウェア依存を無くすとともに、競合他社規格の標準化の動きに対抗し、当社製品の性能を引き出す有利な仕様の採択を実現した。

図Ⅲ.2.2.1-3 と図Ⅲ.2.2.1-4 に OpenVX の API の階層と標準化に向けた取り組みをそれぞれ示す。



図Ⅲ.2.2.1-3 OpenVX の API の階層

◆標準化に向けた取り組み

平成25年度9月24日 OpenVX 1.0 Tiling Extensionリリース、平成26年度1月 改版
Khronos web(<https://www.khronos.org/registry/vx/>)掲載

- ADAS分野のイニシアチブをとるために、画像認識SW標準の仕様策定に積極的に参加
 - 業界標準化団体The Khronos GroupのOpenVX API規格
 - NVIDIA、Intel、Qualcomm、Samsung、TIなど主要半導体企業がメンバ
- RELに有利な仕様を提案し、導入可決された
 - ユーザが独自処理を追加できる枠組み
 - “User Kernel”
 - ローカルメモリを持つプロセッサに有利な枠組み
 - “User Kernel Tiling Extension”

～主なスケジュール～

2012.Jan.	OpenVX WG活動開始 RELも当初より参画
2012.Mar.	REL仕様を提案開始
2013.Sep.	REL提案仕様が可決
2013.Sep.	OpenVX 1.0 Tiling Extension 暫定版仕様公開
2014.Oct.	OpenVX 1.0正式版 仕様公開
2015.Jan.	OpenVX 1.0 Tiling Extension 暫定版仕様updated
2015.Jun.	OpenVX 1.0.1公開

図Ⅲ.2.2.1-4 OpenVX の標準化に向けた取り組み

2) 画像意味理解 API ライブラリの開発

Khronos にて進められている OpenVX 策定活動で基本処理関数として定義されつつあった API(Application Program Interface)の正式版リリースに備えて CV 関連関数ライブラリの開発を開始し、Khronos から 2014 年 10 月にリリースされた OpenVX 正式版仕様に従い、基本処理関数として定義された API ライブラリの開発を完了した。

2.2.1.3 前方監視用画像意味理解アプリケーションソフトウェアの実時間動作実証

本研究開発項目 2.2.1.3 と次の 2.2.1.4 は、上述の画像意味理解プロセッサプラットフォーム技術の有効性評価のための活動である。前者では、前方監視用アプリケーションソフトウェアによるプロセッサプラットフォーム技術の有効性を評価し、後者では、自動車システムにおける有効性評価用リファレンスデータの取得準備を実施した。

前者は、以下のステップで画像意味理解プロセッサプラットフォーム技術の有効性評価を進めた。

まず、前方監視用画像意味理解アプリケーションを用意周到型アーキテクチャで実現するための演算の見積もりとメモリアクセスパタンの分析を行った。同分析に基づき用意周到型アーキテクチャに求められる演算性能および転送性能の要件抽出を行い、本要件を満たすための演算アレイ回路とメモリアクセス制御機構の実現案を作成した。

次に、検討した前方監視用画像意味理解アプリケーションの演算処理およびメモリアクセスパターンを解析した。解析結果に基づき、画像意味理解プロセッサの HW 設計と FPGA 実装を実施した。また、上記前方監視用画像意味理解アプリケーションで必要となる API を定義し、画像意味理解拡張 API ライブラリとして開発した。

そして、画像意味理解プロセッサにおける前方監視用画像意味理解アプリケーションの性能評価を進め、目標であるシステム要求性能(実時間)動作を検証した。

開発した画像意味理解プロセッサプラットフォーム技術は、実アプリケーションで高い性能を実現した。

図Ⅲ.2.2.1-5 に画像意味理解プロセッサ技術を実装した FPGA 搭載ボードを用いた評価環境を示す。



図Ⅲ.2.2.1-5 画像意味理解プロセッサ技術を実装した FPGA 搭載ボードを用いた評価環境

2.2.1.4 画像意味理解リファレンスデータ取得システムの設計

本研究開発項目 2.2.1.4 では、先に述べた、後者の、自動車システムにおける有効性評価用リファレンスデータの取得準備を実施した。

まず、画像意味理解リファレンスデータ取得システムを設計した。本システムは、実車に前方監視カメラや周辺監視カメラおよびレーザーレーダーセンサなどを実装した評価データ収集車両であり、サンプルデータ収集を可能とする。このテストベッドの開発によりデータ収集が有効に行われることを確認した。

次に、画像意味理解リファレンスデータ取得システムのテストベッド高精度化への改善策検討を行った。先に作成したテストベッドをもとに機器特性を取得し、改善策について検討し、精度を高める方法についてまとめた。

そして、この改善案によってデータ収集の際に精度が改善されることを確認した。

本開発により、アプリケーションソフトウェア動作の有効性を評価する走行映像の実データ(リファレンスデータ)の取得手法を確立できた。

図Ⅲ.2.2.1-6 に画像意味理解リファレンスデータ取得システムを示す。(a)はデータ収集車両を、(b)は実際のシステム調整作業の様子を、それぞれ示す。



(a) データ収集車両

(b) 実際のシステム調整作業の様子

図Ⅲ.2.2.1-6 画像意味理解リファレンスデータ取得システム

2.2.2 車両周辺監視用画像意味理解アプリケーションソフトウェア技術の開発

(担当：クラリオン株式会社)

2.2.2.1 事業概要

複数のカメラで得られる全方向映像を監視し、直進ならびに右左折等の走行中や停車中において、自車周辺の歩行者・自転車や車両などの障害物を検知するとともに、自車の移動と障害物の移動を加味して衝突危険性を判定する画像意味理解アプリケーションソフトを開発する。

2.2.2.2 事業目標

2.2.2.2.1 研究開発内容

交差点右左折などでの安全運転を支援するため、車両周囲の広い範囲で、歩行者等の移動物体を検知し、その危険度を判断するアプリケーションソフトウェア技術を開発する。

2.2.2.2.2 解決手段

複数の広角カメラを車両に搭載し、車両全周囲の画像を取得する。取得した画像からリアルタイムに歩行者等を検出し、更なるその位置や移動方向に関する情報を含む空間マップを作成して衝突の危険性を判定することを特徴とする画像意味理解を実現する。

2.2.2.2.3 達成目標

時速 20km 以下の速度で直進または旋回している車両で、正面から左右各 180 度の範囲の、移動中および停止中の歩行者等を検知し、その動きを予測し、その衝突危険度を判定することを目標とする。

2.2.2.2.4 目標の妥当性

交差点を右左折しようとする車両は時速約 20km 以下で、直進または毎秒数十度程度の旋回運動を行っていると考えられるため、この車両状態で歩行者等の障害物を検出する性能が必要となる。

図Ⅲ.2.2.2-1 (a)～(c)に交差点付近での車両と歩行者の位置関係を示す。

図Ⅲ.2.2.2-1 (a)から、車両が右左折する際に横断中の歩行者が車両正面から左右 90 度以上の範囲に存在することが想定される。さらに図 1 (b) (c)のような歩道のない道路での右左折では正面から 180 度近く方向に存在する歩行者を巻き込み事故から保護する必要がある。

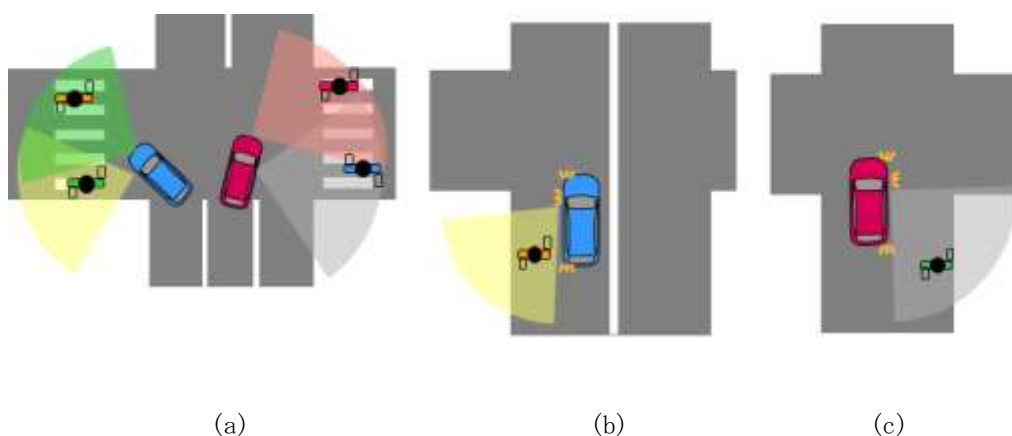
すなわち、交差点付近での事故防止を目的とする周辺監視画像認識システムにおいて、横断中の歩行者や巻き込みの可能性のある歩行者・自転車等を検出するためには、左右 180 度の検知範囲を実現することが必要である。

さらには、歩行者・自転車等の位置のみでなく移動方向を検出し、自車の移動速度・方向と合わせて衝突の危険性を判定する必要がある。

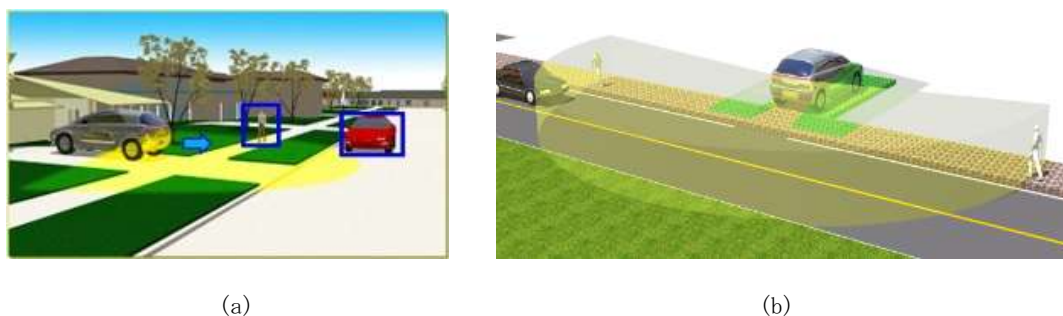
これらの検出結果を運転者に報知することができれば、ブレーキや操舵により事故を防止することができると思われる。

また、上記自車周辺の歩行者等の障害物の検知は、交差点のみならず同様な道路への進入状況(例えば、車庫からの出庫時)などにも活用出来ると考える。

図Ⅲ. 2. 2. 2-2 (a)～(b)に活用のシーンイメージを示す。



図Ⅲ. 2. 2. 2-1 交差点付近の車両と歩行者の位置関係



図Ⅲ. 2. 2. 2-2 周辺監視の活用のシーンイメージ

2. 2. 2. 3 研究開発目標

本プロジェクトにおける事業目標を達成・実現するために、5つの機能のアプリケーションソフトウェアの開発と机上用検証ツールである認識シミュレータの開発を行う。

5つの機能について、概略を以下に示す。

(1) 移動体検知：主に歩行者を検知するロジック

移動体検知は2つのロジックで構成される。1つは、カメラ映像より動きの特徴量を抽出して背景ノイズ成分を差分化(ノイズキャンセル)して残った動きベクトルから移動体を選別して追跡(トラッキング)するロジックと、もう一方カメラ映像より形状の相似性から歩行者認識を行い選択するものである。

2つのロジック結果を統合して最終的に移動体検知として判断処理される。

検知距離性能として、目標値は16mを設定。

(2) 路面認識：路面と路面上にある物体の識別を図るロジック

撮像面の投影画像であるカメラ映像を一旦俯瞰映像に変換して、連続して取得されるその俯瞰映像から一致領域/不一致領域を抽出し路面領域を生成する。

検知領域性能として、目標値は10m×12mを設定。

(3) 側方接近車検知：主に、車両を検知するロジック

カメラ映像は、そのレンズ歪特性によりレンズ周辺部が湾曲するため、遠方の車両の検知性能を向上させるためにレンズ歪補正を行ったカメラ映像を元に、形状判定等を行い車両を検知する。検知距離性能として、目標値は20mを設定。

(4) 静止立体物検知：路面上にある静止物の検知用ロジック

カメラ映像から、特徴量を抽出しその特徴量を時系列にトラッキングを展開。障害物判定を行った後位置推定をして静止立体物を同定する。検知距離性能として、目標値は20mを設定。

(5) 空間マップ：上記検知結果をマッピングおよび衝突予測判断

時系列に得られる、移動体、路面、接近車両、静止立体物の検知情報を統合化し、その結果より、自車の周囲状況を把握して衝突予測および危険度の判定を行う。検知領域性能として、目標値は20m×20mを設定。

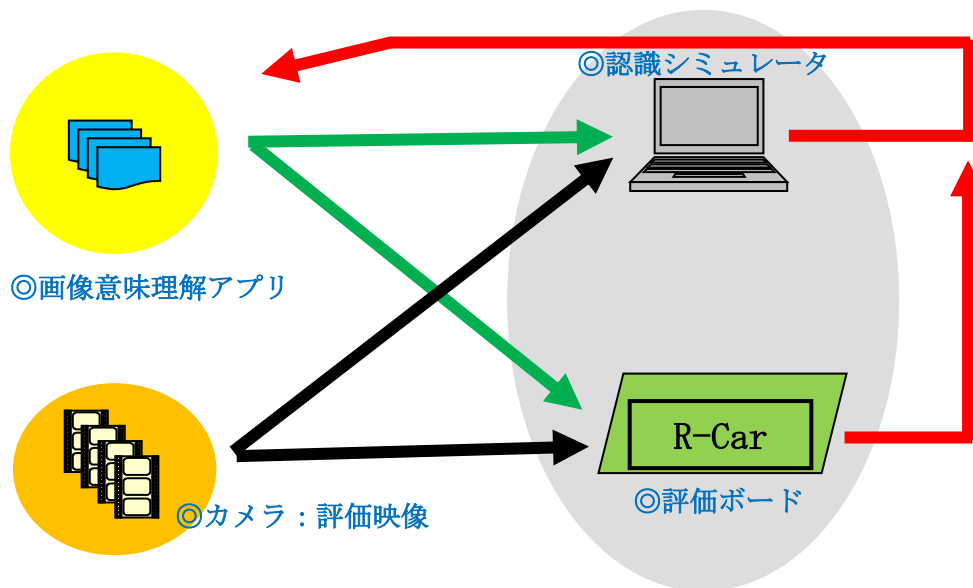
2.2.2.4 研究開発成果

本プロジェクトで開発したアプリケーションロジックについて性能評価を行った結果を表Ⅲ.2.2.2-1に示す。

表Ⅲ.2.2.2-1 性能評価結果

開発項目	開発内容	メジャー	目標値	成果	達成度
アプリロジック	移動体検知	検知距離	16m	16m	○
	路面認識	検知領域	10×12m	10×12m	○
	側方接近車検知	検知距離	20m	20m	○
	静止立体物検知	検知距離	20m	20m	○
	空間マップ生成	検知領域	20×20m	20×20m	○
シミュレータ	アプリロジックの机上検証ツール		—	—	○

なお、アプリ開発および評価検証においては、図Ⅲ.2.2.2-3 に示す環境で推進した。



図Ⅲ.2.2.2-3 アプリ開発評価検証環境

評価検証構成は、以下の通り。

- | | |
|----------------|--|
| ・カメラ／映像データ | ： VGA カメラ（または映像データ） |
| ・評価ボード | ： 現行ルネサス製 SoC を用いた評価ボード
※現行ルネサス製 SoC は来年度量産予定で本助成事業
開始時点のプロセッサ性能とは異なる。 |
| ・評価アプリケーションソフト | ： 現在開発中の意味理解アプリソフト |
| ・認識シミュレータ | ： 机上用検証ツール |

2.2.2.5 事業化に向けての達成度の見通し

事業化に向けての見通しとしては、以下2項目の目標性能達成が必要とされる。

2.2.2.5.1 検知距離および領域：

本項目は、各アプリケーションソフトの検証結果より各々目標性能を達成したため、見通しとして問題ないことを確認した。

2.2.2.5.2 処理時間：

ルネサスエレクトロニクス開発中の意味理解プロセッサ技術により、現行ルネサスエレクトロニクス製 SoC の処理性能に比べて3倍以上を達成することが報告済み。

その報告より、処理時間については各アプリケーションを実機検証で実施(図Ⅲ.2.2.2-3 を参照)。

評価結果より、アプリケーション毎で処理時間は異なるが概ね 150msec 程度と計測された。なお、ルネサスエレクトロニクスが開発されるアプリケーションプロセッサ技術が関係する画像認識エンジ

ンの負荷率は約 30～90%程度であった。

従って、ほぼアプリケーションソフト処理時間は目標値である 50msec を達成することが判明したため、見通しとして問題ないことが確認された。

2.3 研究開発項目③ プローブデータ処理プロセッサの開発

(担当：富士通株式会社)

2017年3月末時点におけるプローブデータ処理プロセッサ開発に係わる研究成果を以下に示す。全ての開発項目について目標を達成した。

2.3.1 三次元プロセッサ向け大電流供給技術、高速伝送技術、バックサイド製造技術の研究開発

本研究項目では、プローブデータ処理プロセッサ開発の要素技術となる三次元積層プロセッサ向けの、TSV 経由で高速な伝送を行う Signal Integrity (SI) 技術開発と、大電流を供給するための Power Integrity (PI) 技術開発を行う。

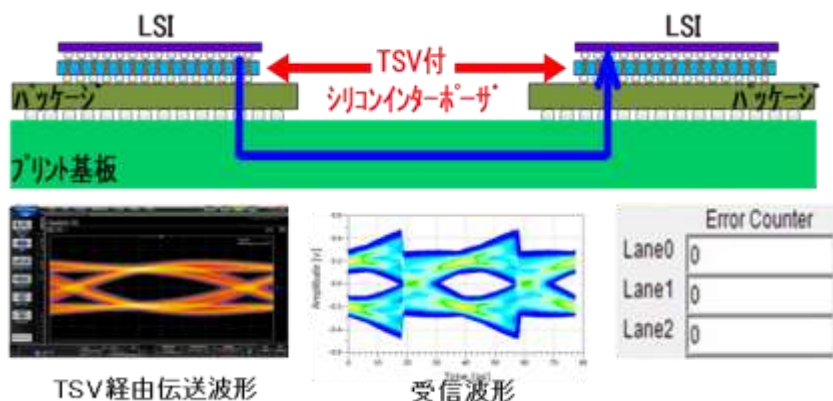
2.3.1.1 三次元対応 SI/PI 設計技術の開発

[三次元積層プロセッサチップ向けシステムボード SI/PI 設計]

本テーマでは、パッケージ基板とシステムボードでの高速信号伝送と大電流供給に対する SI/PI 設計技術を開発した。

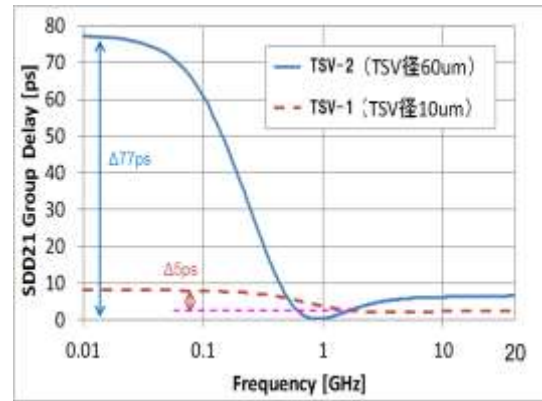
TSV 経由 25.8Gbps の SI 解析、実測による伝送検証において、マルチレーンでの良好な伝送品質を確認し(図Ⅲ.2.3.1.1-1)、TSV 経由の伝送波形では、TSV 径の違いによる 32Gbps 伝送波形と Group Delay への影響を確認した(図Ⅲ.2.3.1.1-2)。また、TSV 経由高速伝送解析の基礎データとなる TSV の S パラメータ・モデル化技術を確立した(図Ⅲ.2.3.1.1-3)。

ハイブリッドパッケージ基板を使用した垂直給電構造により、プロセッサチップ実装面への均一電位給電と 300W クラスのプロセッサ向け従来型パッケージ基板のケースと同等となる $1\text{m}\Omega$ 以下の低インピーダンス電源供給網インピーダンス設計を確認した(図Ⅲ.2.3.1.1-4)。

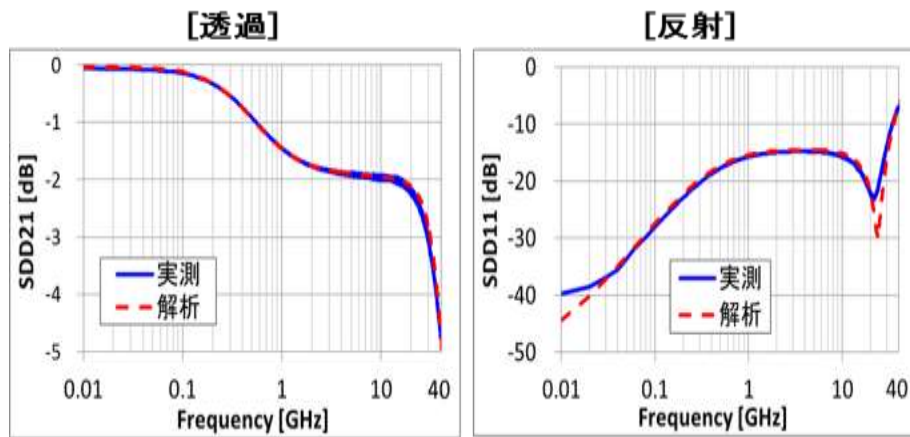


図Ⅲ.2.3.1.1-1 TSV 経由 25.8Gbps 伝送検証

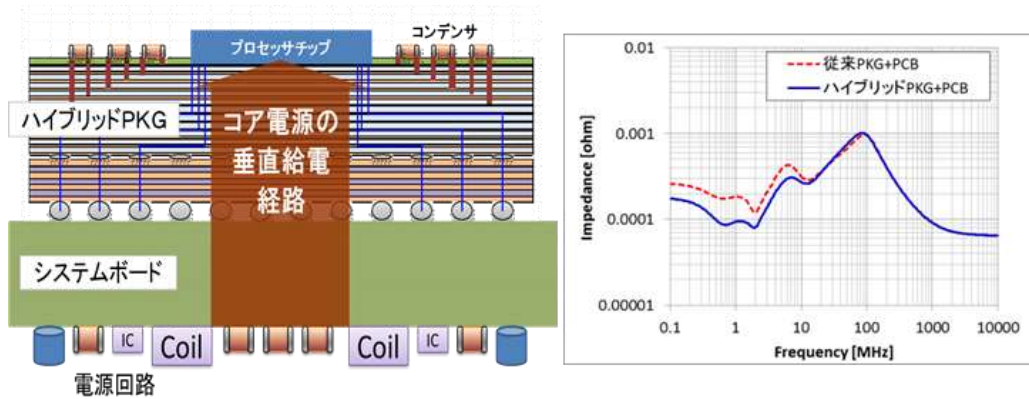
TEG品種	測定項目	TSV-TEG無し	TSV-TEG有り	波形劣化	SDD21 @16GHz
TSV-2 TSV径 60um	Eye波形			-	-
	Eye Height @BER=1E-12	283mVpp	149Vmpp	-5.6dB	-1.8dB
	Eye Width @BER=1E-12	18.1ps	13.2ps	-27.1%	-
TSV-1 TSV径 10um	Eye波形			-	-
	Eye Height @BER=1E-12	243mVpp	220mVpp	-0.9dB	-0.7dB
	Eye Width @BER=1E-12	17.6ps	16.9ps	-4.0%	-



図Ⅲ. 2. 3. 1. 1-2 TSV 経由 32Gbps 伝送波形と Group Delay 影響



図Ⅲ. 2. 3. 1. 1-3 TSV S パラメータ・モデル化



図Ⅲ. 2. 3. 1. 1-4 垂直給電構造と低インピーダンス電源供給網設計

表Ⅲ. 2. 3. 1. 1-1 開発成果と達成度

開発項目	目標値	成果
三次元積層プロセッサ向けシステムボード SI/PI 設計技術	TSV モデル化技術の確立	実測による TSV S パラメータを取得し、それをベースに TSV のモデル化技術(～40GHz)を確立した。
	TSV 経由マルチレーン 25.8Gbps 伝送 BER < 10^{-12} の達成	実チッププロセッサと TSV 付きシリコンインターポーザ積層による TSV 経由マルチレーン 25.8Gbps 伝送検証により、BER < 10^{-12} を確認した。 TSV 経由 32Gbps 伝送波形取得により、32Gbps 伝送における TSV 影響を確認した。
	300W クラスの PI 設計技術の確立	ハイブリットパッケージ基板を使用した垂直給電構造でプロセッサチップ実装面へ均一電位給電と 1mΩ 以下の低インピーダンス電源供給網設計を確認した。

表Ⅲ. 2. 3. 1. 1-1 の開発成果を統合することで、三次元積層プロセッサ向けパッケージ-システムボードの SI/PI 設計を可能とする見通しを得た。

2. 3. 1. 2 バックサイド設計技術の開発

本テーマでは、大電流供給と高速伝送を実現する TSV およびバックサイド(裏面)設計技術を開発した。

裏面再配線構造ならびにデザインルールを検討し、バンプあたり許容電流 100mA に適した TSV 束ね構造を策定し、チップ内のビア構造を含む高精度な電源電流分布シミュレーションで各部位が許容値内であることを確認した。図Ⅲ. 2. 3. 1. 2-1 はその解析モデルと結果の一例である。また、既存のマクロを活用する設計手法に対応すべく、マクロ周辺に TSV を配置する場合の、電源電流を面内方向に低インピーダンスで通電可能な厚膜 Si インターポーザの設計仕様を確定した。

バックサイド設計仕様をベースに、試作プロセッサ製造に合わせたプロセス設計とフィードバックしながら構造確定し試作を完了させた。試作プロセッサのチップサイズは TEG チップに比べて 1.6 倍の面積となるため、ボトムチップの反りと積層構造安定性の課題解決はさらに重要となるが、パッシベーション材料の検討も行い策定し信頼性も含めて最適化構造を確認できた。試作プロセッサの製造後の設計確認では策定したデザインルールが妥当であることを示した。

バックサイド端子の共通デザインルールの策定では、バックサイド設計技術の検証は Cu 再配線(RDL)形成、パッシベーション形成、アンダーバンプメタル(UBM)形成など、プロセスデザインルールを策定も同時に行った。さらに、量産に向けた製造容易性評価として、試作サイトのプロセス実力評価を通じて明らかとしてきたプロセスデザインルールをもとに、バックサイド構造設計にフィードバックしプロセスフローを確定した。図Ⅲ. 2. 3. 1. 2-2 に確定したマイクロバンプと RDL パッドの断面測長結果を示す。

試作プロセッサはチップ面積が 693mm² と TEG の 441mm² に対して、約 1.6 倍の面積である。試作プロセッサは面積となるため、ボトムチップの反りと積層構造安定性は重要な課題である。図Ⅲ. 2. 3. 1. 2-3 に、大面積チップ積層に対応した低反り構造における、ボトムチップ構造の反り量の

解析結果を示す。薄化プロセスの裏面設計では、有機系裏面材料を用いた RDL プロセスを開発し、デバイス面と拮抗した膜応力を生じさせることに成功した。詳細は以下に述べるが、従来の構造と比較して反りを 1/6 程度に低減できる、有機系エポキシ裏面材料を用いた RDL プロセスを開発し、薄化デバイスの 3 次元積層構造形成を容易にした。

試作プロセスでは、デバイス側に低応力の無機系テトラエトキシシラン (TEOS)-SiO₂ を使用し、裏面 RDL 側に膜応力の小さな低温硬化型ポリベンゾオキサゾール (PBO) を採用した場合でもチップの反りを従来構造の約 1/2 に大きく低減した薄化デバイスを実現した。これらのパッシベーション構造と共に試作プロセスの TSV-バックサイド構造を TEG 構造からマイナーチェンジし採用している。マイクロバンプの熱的な安定性を最終的に検証し、試作プロセス構造として 4 種類の構造を提案しプロセス試作を完了した。マイクロバンプ構造は大電流対応とするために Cu-Sn IMC

(Intermetallic Compounds) 構造を基本採用するが、Ni バリアを用いた SnAg/Ni/Cu ピラー構造も検討し、両バンプ構造での信頼性確認を試作プロセスに用いて評価し最終構造を確定した。図 III. 2. 3. 1. 2-4 に量産時の製造性を考慮し低反りと大電流にも対応した構造設計の結果を示す。

表 III. 2. 3. 1. 2-1 に開発成果と達成度を示す。

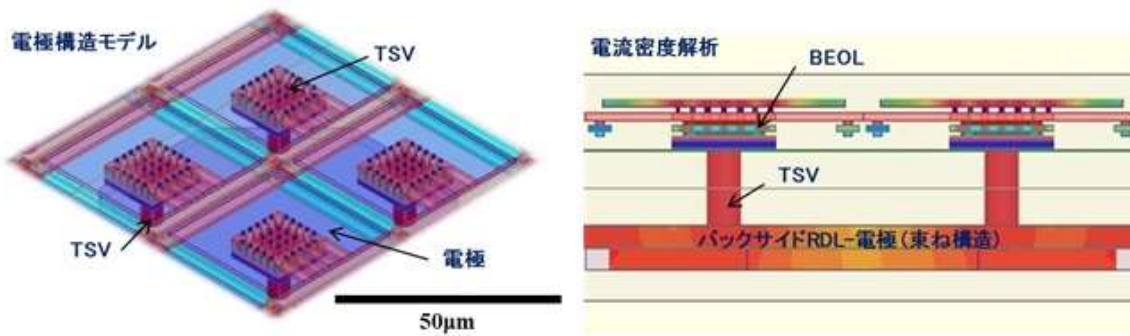


図 III. 2. 3. 1. 2-1 電源電流分布解析

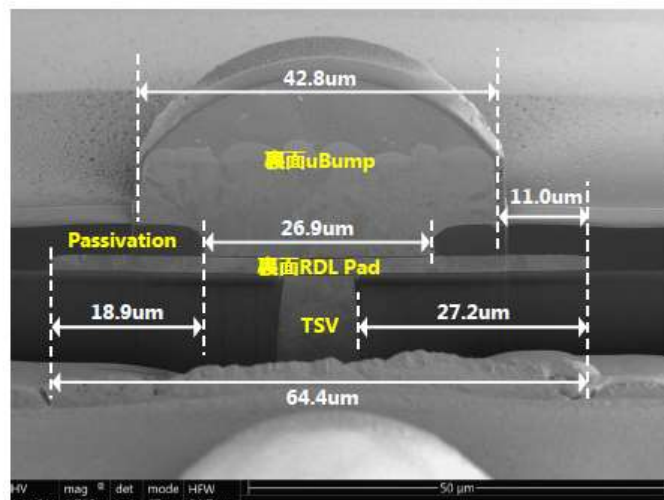
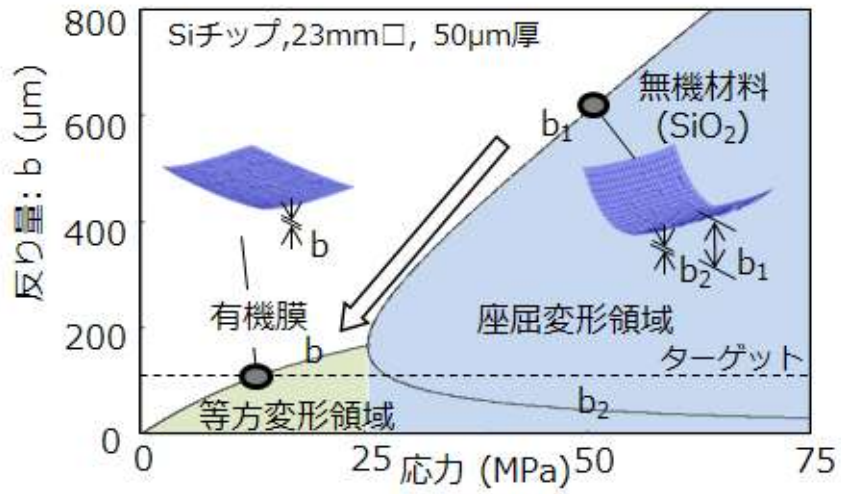
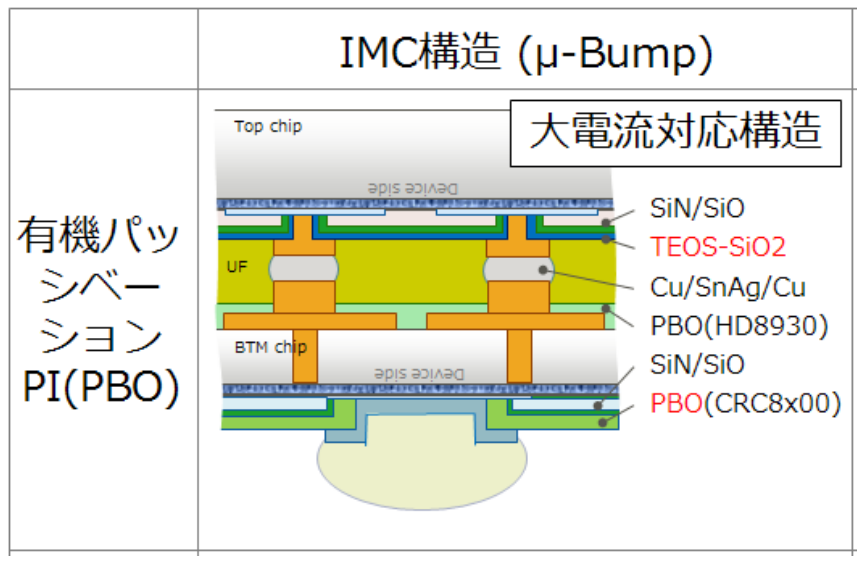


図 III. 2. 3. 1. 2-2 マイクロバンプと RDL パッドの断面測長結果



図Ⅲ. 2. 3. 1. 2-3 ボトムチップ構造の反り量の解析



図Ⅲ. 2. 3. 1. 2-4 低反りと大電流に対応した構造設計の結果

表Ⅲ. 2. 3. 1. 2-1 開発成果と達成度

開発項目	目標値	成果
バンプ当り 100mA に適した TSV 構造	TSV 束ね構造における構造を策定し、上チップ配線を含む電源経路における電流値の確認。	・ TSV に接続するチップ内配線の構造を策定し、シミュレーションからバンプ当たり 100mA 通電時でも、チップ内配線の全ビアがチップ製造メーカーの許容値内であることを確認した。
大電流供給と高速伝送を実現する裏面再配線	量産時の製造性を考慮した裏面再配線仕様の策定。	・ 試作サイトのプロセスデザインルールを鑑み、裏面の電極サイズ、ピッチ、ピラー端子径、層構成などのデザインを策定した。
上チップ電源供給用の Si インターポーザ	厚膜多層構造を中心とする Si インターポーザ設計仕様の確定。	・ 厚膜 Si インターポーザとして、銅配線層の厚さ 10 μ m、両面各 2 層の設計仕様を確定し、試作の結果、配線形成が可能であることを実証した。
バックサイド端子のデザインルール	Cu 再配線 (RDL) 形成、パッシベーション形成、アンダーバンプメタル (UBM) 形成など、プロセスデザインルールを確定	裏面電極の各試作サイトのプロセスルールにおいてランド電極のみ形成としたデザインルールを採用し共通化を可能とした。
薄化プロセッサの裏面設計	試作プロセッサチップ面積 (693mm ²) の大面積化に対応するボトムチップの反りと積層構造安定性	従来の構造と比較して反りを 1/6 程度に低減できる、有機系エポキシ裏面材料を用いた RDL プロセスを開発し、薄化デバイスの 3 次元積層構造形成を達成した。
バックサイド設計技術の試作プロセッサへの搭載	信頼性確認を試作プロセッサに用いて評価し最終構造を確定	マイクロバンプ構造は大電流対応とするために Cu-Sn IMC (Intermetallic Compounds) 構造を基本採用するが、Ni バリアを用いた SnAg/Ni/Cu ピラー構造も検討し、両バンプ構造での信頼性確認を試作プロセッサに用いて評価し最終構造を確定

2. 3. 1. 3 バックサイドウェハ処理技術の開発

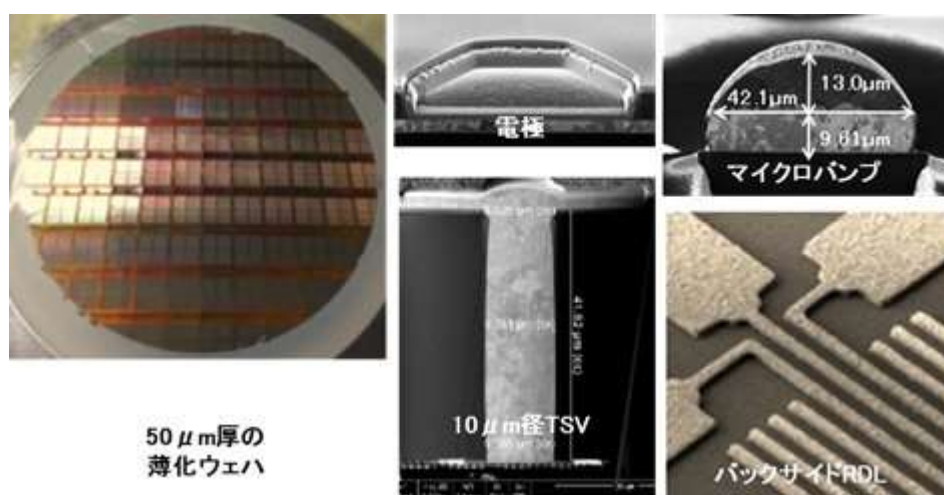
本テーマでは、積層工程を考慮した、ウェハの裏面処理プロセス技術の開発を行い、 $\square 20$ mm 以上の大チップにおいて、反りを抑制した裏面形成を実現するプロセスフローの策定とそのプロセス設計を行う指針の確立を行った。

メカニカル TEG および要素開発 TEG の試作を通して、高歩留り生産に向けた量産プロセスの課題を抽出し、試作サイトの最終的な歩留り検証と、ビアラスト方式を採用した TSV と裏面形成に関して改善プロセスを構築した。構築した裏面プロセスによって形成した TSV と裏面再配線の一例を図Ⅲ. 2. 3. 1. 3-1 に示す。今後は、有機系樹脂を採用することで低応力化した裏面構造を用いて設計した機能評価 TEG を、構築した裏面プロセスで試作し、反り量 100 μ m 以下に制御できることと TSV の抵

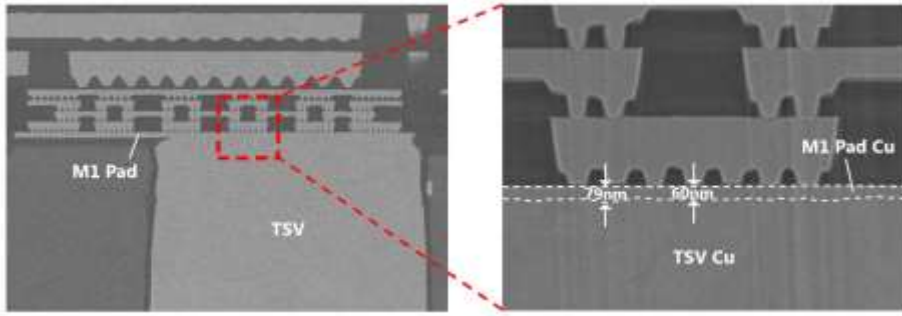
抗値歩留りを再確認するとともに、構築した高周波測定環境で TSV 付デバイスの高周波特性を測定し明確化することで、薄化チップ接合における接合不良を回避しかつ高周波特性のよい裏面処理プロセスおよびその設計指針を確立した。

試作プロセッサにおいて製造安定性を高め、より量産実現性の高いプロセス構築を目指した。外ファブにおけるバックサイド-TSV 形成プロセスでは、ほぼ 100%に近い製造歩留まりを保ったプロセス構築を完了した。平成 29 年度の外ファブプロセスによる高い安定性と量産性を実証し、試作プロセッサの製造を完了した。新たに、有機パシベーション膜上のリーク電流低減処理の導入や、無機パシベーション膜適用化の評価を行い、積層プロセッサの熱的安定動作と高い信頼性を実現する技術を確立した。

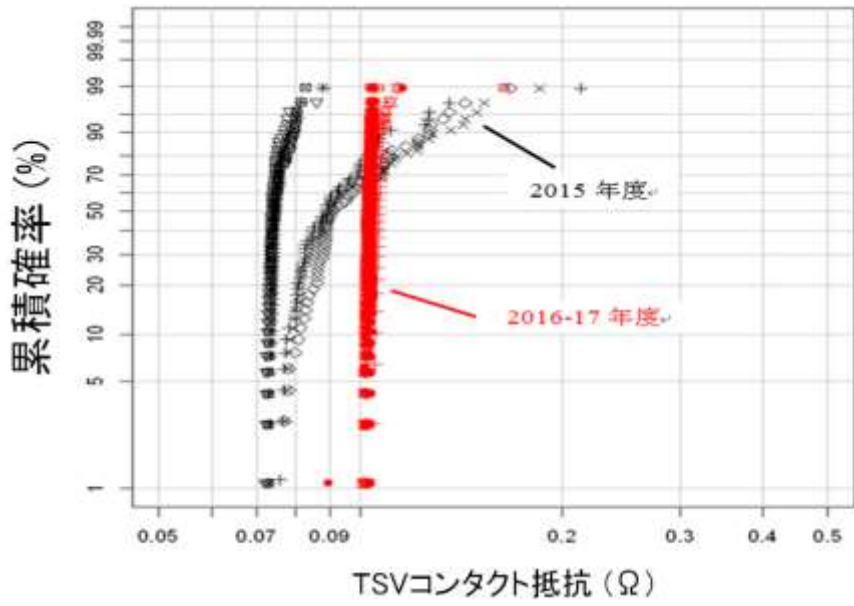
プロセスチューニングによる製造安定性の検証、また有機樹脂表層における端子間リーク電流の不具合改善のため、仮接着前のデバイス面および裏面バンプのシードエッチング後のウェットトリートメント処理を新規に導入した。高歩留り化に向けた製造プロセスの改善は、プロセッサ側の配線消失の致命的不良を低減するため、TSV エッチングのプロセスチューニングによる歩留り向上を目指し、結果を図Ⅲ. 2. 3. 1. 3-2 に示す様に、M1 配線層に狙い通りの膜厚の配線を残すプロセスを実現した。新規導入したウェットプロセスおよび仮接着プロセス変更前後で、RDL-TSV-BEOL のデージーチェーン抵抗を比較した結果を、図Ⅲ. 2. 3. 1. 3-3 に示す。一方、新規に表層のウェットトリートメントによる金属不動態膜除去処理を導入した。その導入結果を図Ⅲ. 2. 3. 1. 3-4 に示す。ロット別、ウェハ別のリーク電流測定結果であるが、樹脂表面のウェットトリートメント処理により電極間リーク電流を実用上問題ない $1.0 \mu\text{A}$ 以下を実現することが出来た。試作プロセッサの量産展開に向けて製造歩留り改善をプロセス改良を行い、入荷したバックサイド TSV のコンタクト導通確認や端子間絶縁リーク電流特性の評価結果から、TSV-バックサイド工程の製造歩留りは量産レベルに達しており、電気的な特性歩留りにおいてはほぼ 100%に近い良品チップの収率が達成できた。図Ⅲ. 2. 3. 1. 3-4 に試作プロセッサにおいて製造安定性を高め、より量産実現性の高いプロセスの構築した結果得られたボトムチップの形態を示す。表Ⅲ. 2. 3. 1. 3-1 に開発成果と達成度を示す。



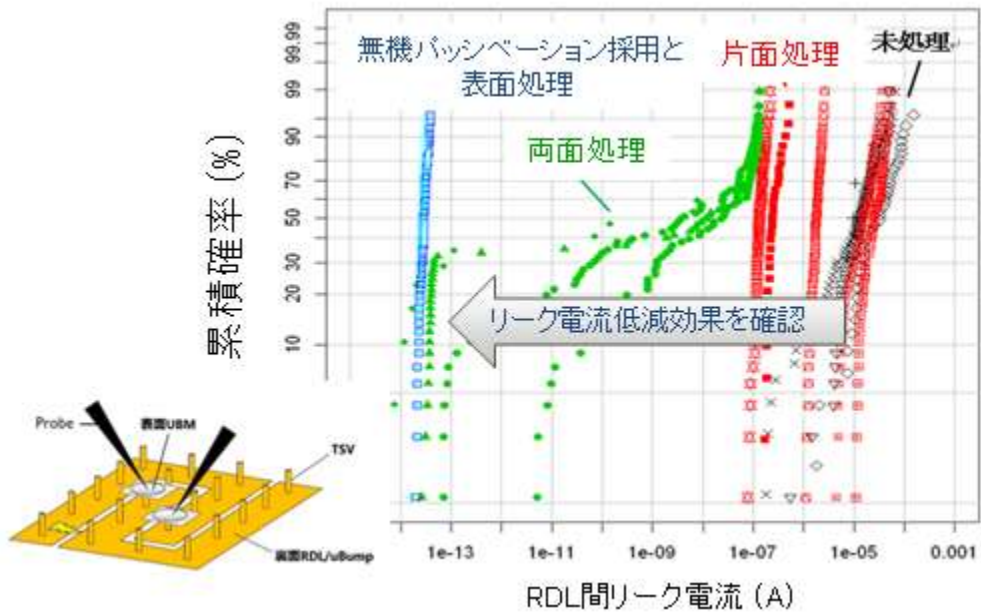
図Ⅲ. 2. 3. 1. 3-1 試作した要素開発 TEG



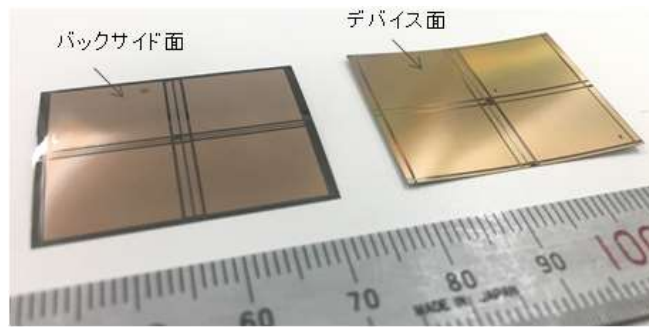
図Ⅲ.2.3.1.3-2 高歩留りビアラスト TSV 製造後のコンタクト断面写真



図Ⅲ.2.3.1.3-3 TSV コンタクトの製造歩留り結果



図Ⅲ.2.3.1.3-4 RDL 工程のリーク電流対策プロセス導入後の改善結果



図Ⅲ. 2. 3. 1. 3-5 TSV バックサイド工程後の試作プロセッサチップ

表Ⅲ. 2. 3. 1. 3-1 開発成果と達成度

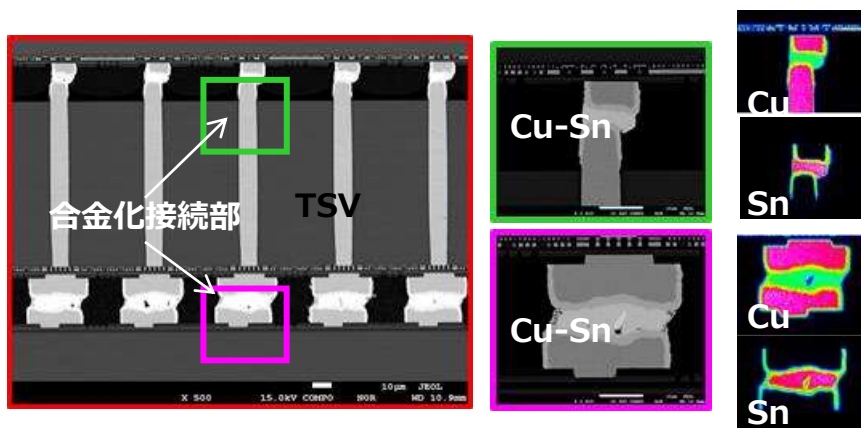
開発項目	目標値	成果
ウェハの裏面処理 プロセス技術	積層工程を考慮し反りを抑制した、裏面プロセスフローを策定する。 薄化デバイスチップ (50 μm 厚)、チップサイズ $\square 20\text{mm}$ 以上での反り量が 100 μm 以下を達成。	<ul style="list-style-type: none"> 複数の試作サイトで TSV 形成、薄化、裏面再配線・電極形成の各プロセスについてプロセスデザイン・ルールの評価と事前検証を完了し、基本プロセスフローを策定した。 有機系樹脂を採用した低応力の裏面構造を試作し、100μm以下の反りを確認した。
	試作サイトベンチマーク完了と歩留り確認。 (試作サイトで TSV の抵抗値歩留り 95%以上)。 機能評価 TEG の試作。	<ul style="list-style-type: none"> 各試作サイトでメカニカル TEG および要素開発 TEG を試作し、プロセスの共通課題の抽出・改善を行い、TSV 抵抗値歩留り 95%以上を達成した。またその過程でベンチマークを完了し、製造方式の違いの TSV コンタクト歩留りへの影響度を明確化した。 プロセスチューニングによる製造安定性の検証、また有機樹脂表層における端子間リーク電流の不具合改善のため、仮接着前のデバイス面およびウェットトリートメント処理を新規に導入し採用。
	裏面形成プロセス設計を行う指針の確立	<ul style="list-style-type: none"> 裏面再配線パターン密度に依存する薄化実デバイスの局所変形を、実測値に基づいた近似モデルを作成して予測する技術を開発し、裏面形成プロセス設計を行う指針を確立した。
	機能評価 TEG の試作	<ul style="list-style-type: none"> 試作サイト評価結果を機能評価 TEG の裏面設計仕様にフィードバックし機能 TEG の設計を完了した。
	TSV 付デバイスの高周波特性の明確化	<ul style="list-style-type: none"> 機能評価 TEG に高周波特性評価用の各種モニターを作成した。またウェハレベル、チップ両面プローバによる高周波測定環境を構築した。
	最終プロセス条件による試作プロセッサの試作	<ul style="list-style-type: none"> 製造歩留りは量産レベルに達しており、電気的な特性歩留りにおいてはほぼ 100%に近い良品チップの収率が達成できた。

2.3.1.4 大電流対応の微小端子接合技術の開発

本テーマではエレクトロマイグレーション耐性に優れた大電流対応の微小端子接合技術を開発している。

電流密度耐性の向上が期待される接続構造として、はんだ材料と電極材料を完全に合金化するIMC(Inter Metallic Compound)ボンディング技術により形成されるCuSn合金に着目し検討を実施した。はんだ材料(Sn等)と電極材料(Cuピラー)を完全に合金化するIMCボンディング技術を開発・試作し、TSVを含む接合部の電氣的基礎データを取得した。評価に使用した合金化接続部の断面を図Ⅲ.2.3.1.4-1に示す。また、C4バンプの給電限界に対応した許容電流値をもとに、TSVを経由して2層目チップへ供給する合金化接続部の1ピンあたりの印可電流値を明確化し、TSV束ね構造と合金化接続部を含む配電経路を有する積層体の試作を完了した。今後、達成目標である合金化接続部の電流密度限界とTSV束ね構造の許容電流値の明確化により、積層チップ間の接続構造の確立を目指す。

表Ⅲ.2.3.1.4-1に開発成果と達成度を示す。



図Ⅲ.2.3.1.4-1 評価に用いたTSVを含む合金化接続部断面

表Ⅲ.2.3.1.4-1 開発成果と達成度

開発項目	目標値	成果
大電流対応の微小端子接合技術	TSVを経由した合金化接続部の電流密度耐性評価と、接続部材料単体での電流密度耐性評価を行い、チップ間接合部構造および接合プロセスを開発。	<ul style="list-style-type: none"> ・C4バンプの給電限界に対応した許容電流値をもとに、TSVを経由して2層目チップへ供給する接続部の1ピンあたりの印可電流値を明確化した。 ・はんだ材料と電極材料を完全に合金化する合金化接続プロセスと、合金化接続部を伴うチップ間の微小端子接続構造を開発した。 ・TSV束ね構造と合金化接続部を含む配電経路を有する積層体の試作を完了した。

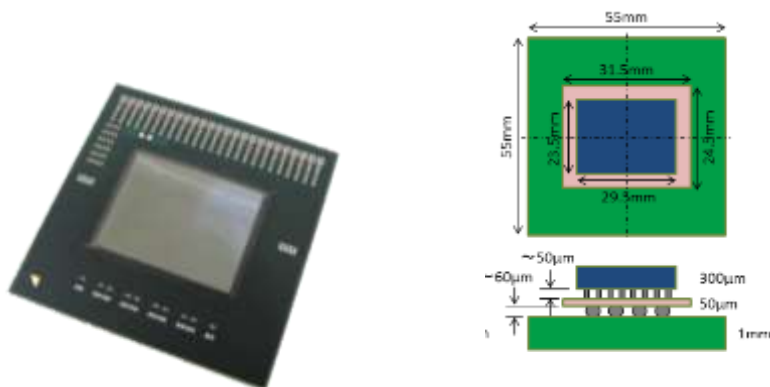
2.3.2 三次元プロセッサ向け大面積チップ積層技術、高性能冷却技術の研究開発

本研究項目では、 $\square 20\text{mm}$ 以上、数万端子以上の超多ピン接続のチップ積層を可能とするプロセス技術の開発を行う。この開発ではチップ積層および封止方式の開発、積層チップの基板実装技術開発を行い、最終的に試作プロセッサにて積層プロセスおよび信頼性の検証を行った。

更に本研究項目では、大電力の高速プロセッサでも効率的に冷却可能とするためにホットスポットを集中的に冷却する冷却技術を開発している。

2.3.2.1 チップ積層プロセス技術開発

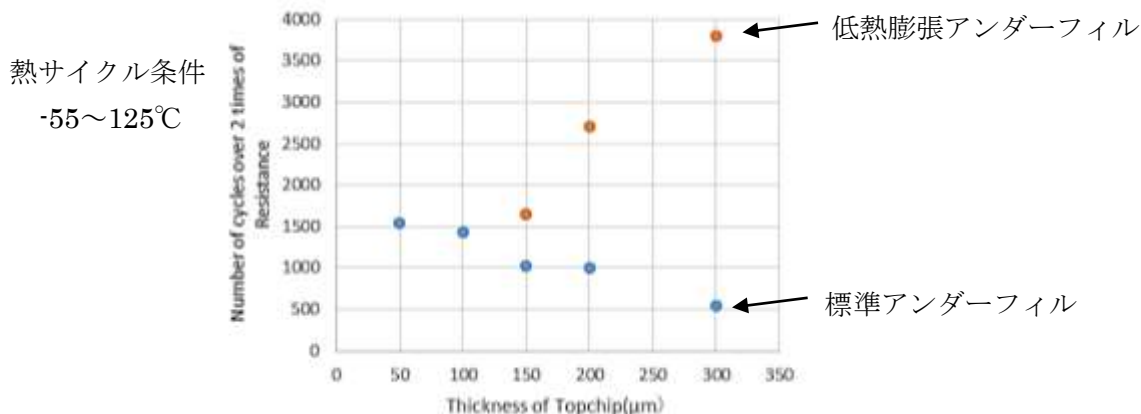
チップ積層プロセス技術については、平成28年度までに薄チップハンドリング技術、要素開発TEGによるマイクロバンプ接合要素技術開発と接合信頼性評価を行ってきた。チップ積層工程は、NCFを用いない方式（ギ酸リフロー）と、NCFを用いた方式の2種について評価を実施し、それぞれの方式において要素開発TEGでの実装条件を確立した。その後、機能評価TEGおよび試作プロセッサの端子接続ピッチ、チップサイズに合わせ、全マイクロバンプ接合とボイドレスアンダーフィル充填が可能であるNCFを用いない方式（ギ酸リフロー）を採用することとした。積層したチップの有機パッケージ基板への実装では、有機パッケージ基板との反り不整合による接合悪化を回避するため、精密はんだ供給装置により選択的にC4バンプはんだ量を変化させ、大チップ全面でのC4バンプ接合を達成した。また接合部を保護するアンダーフィルでは、高熱伝導かつ低線膨張係数の材料を真空充填方式にてボイドレス充填を達成した。要素開発TEGの熱サイクル試験（ $-55^{\circ}\text{C}/15\text{分} \Leftrightarrow 125^{\circ}\text{C}/15\text{分}$ ）1000サイクルでトップチップ厚と信頼性の関係を明らかにした。さらに、応力シミュレーションにより熱サイクルで発生する接合部の累積ひずみ量について定量化した。平成29年度は平成28年度までに確立した条件を用いて試作プロセッサ組立てと信頼性評価を実施した。



図Ⅲ. 2.3.2.1-1 試作プロセッサ外観および外形

試作プロセッサは、有機パッケージ基板上に積層した大面積シリコンチップ（ $23.5 \times 29.5\text{mm}$ ）を搭載した3次元実装構造で、シミュレーションと熱サイクル試験を行い接合信頼性に関して以下の知見を得た。まず、トップチップ厚とアンダーフィル材料をパラメータとした熱サイクル試験の結果、標準的なアンダーフィル材料では、角部のC4接合部が最初に壊れトップチップ厚を薄化するに従い寿命が延びた。シミュレーションにてマイクロバンプ、C4バンプそれぞれの歪みを解析した結果、通常構造ではマイクロバンプの歪みが大きくなるが、アンダーフィル剥離が発生したモデルだとC4バンプの歪みが大きくなった。この検証のため各熱サイクルでサンプルを断面研磨

して確認した結果、300cyc後においてもアンダーフィル剥離の進行とC4バンプクラックの発生が明らかになった。一方、高熱伝導アンダーフィルでは1000cycにおいてもアンダーフィル剥離が発生していないことが明らかになった。以上のことから、トップチップ厚とアンダーフィル材料を適切に組み合わせることで、大面積の3次元実装半導体において、高信頼な接合状態を実現できることを実証した。



熱サイクル試験で抵抗値2倍となるサイクル数とトップチップ厚/アンダーフィル材料の相関

図Ⅲ. 2. 3. 2. 1-2 信頼性試験結果

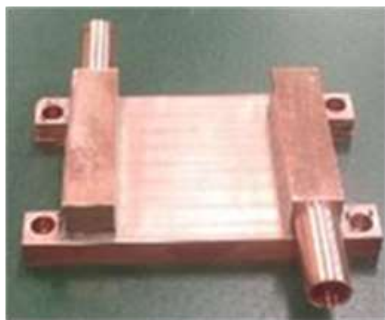
表Ⅲ. 2. 3. 2. 1-1 開発成果と達成度

開発項目	目標値	成果
薄チップハン ドリング技術	ダイシング/ハンドリン グ技術の開発 ・チップング 10μm 以下、 ・サイズ□20mm 以上 ・厚さ 50μm チップ	厚さ 50μm の TSV 付薄ウエハに対し、チップング 8.1μm のダイシング条件を確立。また、チップサイズ□25mm をダイシングテープからピックアップ可能。大型・薄化・脆弱チップのハンドリング技術を確立した。
積層実装の量 産化技術	□20mm 以上で数万~数十 万端子のチップを導通可 能とする積層プロセスの 開発。	□23mm30 万端子の TSV 付き積層チップでギ酸リフロー方式を用いた積層プロセスを開発し、端子接合の導通を確認した。また、NCF を用いたローカルリフロー方式では低荷重実装および端子接合良好となる積層プロセスを開発した。
高熱伝導 UF 選 択と封止プロ セス技術	熱伝導率 1W/m・K 以上 で、□20mm 以上のチップ へボイド無く充填可能な 充填方法の開発。	アルミナファイラーにより熱伝導率 1.5W/m・K の封止材料を選択した。狭間隙への樹脂充填は真空塗布の採用と塗布条件の最適化でボイドのない充填方法を開発した。
試作プロセッ サの組立技術 と信頼性評価	試作プロセッサ組立プロ セスの選定。 熱サイクル 1000cyc のク リア。	試作プロセッサのマイクロバンプ接合ピッチ (75.6μm) に合わせてギ酸リフロー方式を選定。C4 バンプは積層チップ反りに合わせて半田量を変化させることで大チップの C4 接合を可能にした。 熱サイクル (-55~125°C) による信頼性では低熱膨張アンダーフィルで 1000cyc 以上の信頼性を確認した。

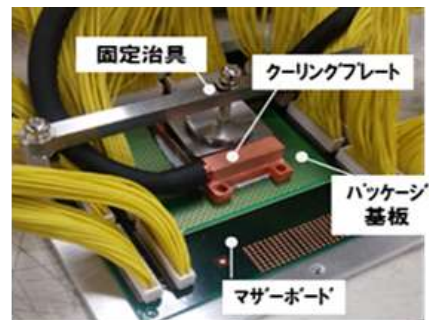
今回確立したチップ積層プロセス技術の活用について述べる。現在市場においてはベアダイのままシリコンインターポーザに搭載した2.5Dテクノロジーが採用されている。シリコンインターポーザはプロセッサチップ(CPU/GPU)やメモリモジュールを40-60 μm の微細端子ピッチのまま回路接続でき、プロセッサとメモリの間も線幅/線間隔(Line/Space)=1 μm /1 μm 以下の微細配線で回路接続できる。しかしながら基本的に半導体製造プロセスを使い、レチクルという高精細なフォトマスクで配線形成するため、高価な部品である。また、パッケージ基板に搭載する次工程も必要となる。一方、2.1Dテクノロジーはプロセッサチップやメモリモジュールを40-60 μm の微細端子ピッチのまま、パッケージ基板に直接搭載できるテクノロジーであり、シリコンインターポーザを必要としないコストメリットが見込まれる。しかしながら、シリコンよりも機械的な剛性の低い樹脂であるがゆえ、反りや低剛性の影響を受けやすいデメリットがある。また、シリコンに劣る熱伝導性で、パッケージ基板内での温度差や熱的な相互干渉を受けやすいデメリットもある。そこで確立した技術・成果を2.1D実装モジュールに適用する技術開発を計画している。予備評価として実施した2.1D基板へのマイクロバンプ接続において、ギ酸リフロー条件を適用した場合、バンプ中心のはんだはCu拡散が進んでおり、Cu₆Sn₅とCu₃Snが混在する組成となっており、ギ酸リフローによるIMC化条件は合金化端子形成に有効であることが確認できている。

2.3.2.2 高性能冷却技術の研究開発

積層チップの冷却技術の要素開発の1つは熱解析モデルの確立であり、もう1つはトップチップ・ボトムチップ合計 300W クラスの冷却実現である。まず熱解析モデルでは、既存チップのメタル配線層部を数 mm 角の機能部単位で実測し、シミュレーション結果と合わせ込み、メタル配線層部の異方熱伝導性を等価モデルで表した。それを積層チップの一端子モデルに組み込み、合せ込みを継続し、積層チップ全体への統合モデルへ展開した。積層発熱チップを使った実測から、アンダーフィル材と熱接合材(TIM)の熱伝導性も等価モデル化した。アンダーフィル材はフィラー凝集やボイド混入等の影響で、公証 $1.5\text{W/m}\cdot\text{K}$ の値に対し、積層チップ間で $1.0\text{W/m}\cdot\text{K}$ の実力であることを確認した。積層チップとクーリングプレートとの空隙を埋める TIM は空隙高さに応じた等価熱伝導率の換算が重要なことを確認した。積層発熱チップによる評価環境を構築し、上記の確認事項が妥当であることを検証し、トップチップ・ボトムチップ合計 300W 発熱までの領域で、チップ内の発熱分布を様々に変えても実測値とシミュレーション値が $\pm 3^\circ\text{C}$ の精度で合うことを確認し、熱解析モデルの確立が達成できた。次に冷却方式は伝導水冷と液浸漬の基礎特性を計測した。伝導水冷式のクーリングプレートでは、シミュレーションと実測により、チップの発熱密度に応じて、内部の櫛歯状の分岐路からマイクロチャネルへの分配開口面積を可変することで、各マイクロチャネルへの流量差を約 5 倍まで調整できる設計手法を確立した。流量 1L/min で全体発熱 300W、局所発熱 120W/cm^2 まで冷却可能なことを確認した。次に試作プロセッサの積層構成及びチップ内フロアプランによる冷却検討を行った。積層発熱チップの検証環境で、CPU コア部 40W/cm^2 、二次キャッシュ部分 28W/cm^2 と異なる発熱量に設定しても、トップチップ・ボトムチップとも実測値とシミュレーション値との温度差は $\pm 5^\circ\text{C}$ 以内に収まることを確認した。現状予測の CPU コア部 (76W/cm^2)、二次キャッシュ部 (XR: 25W/cm^2 , XC: 55W/cm^2 , XG: 25W/cm^2) の電力 (トップチップ・ボトムチップ計 294W) に対し、冷媒温度 18°C でチップのジャンクション温度が 60°C 以下 (57.1°C) と冷却可能な見通しを得て、冷却技術の目標達成の目途付けができた。表Ⅲ.2.3.2.2-1 に開発成果と達成度を示す。



試作クーリングプレート



局所冷却評価環境

図Ⅲ.2.3.2.2-1 試作したクーリングプレートと冷却評価環境

表Ⅲ. 2. 3. 2. 2-1 開発成果と達成度

開発項目	目標値	成果
積層チップ冷却技術	<p>高効率な冷却手法の開発。冷却性能(*2)及び循環経路の流量圧力損失特性を確認。プロセッサチップの消費電力予測に対応した流路カスタム設計技術の確立。</p> <p>(*2)許容発熱密度 30-50W/cm² (局所 100W/cm²)</p>	<p>微細流路構造を形成したクーリングプレートからなる、冷却技術を開発し、チップ発熱密度 60W/cm²(局所 120W/cm²)の条件で、流量 1 L/min に対し、圧力損失 5kPa、チップ上の温度差 5℃以内を確認した。</p> <p>更に、クーリングプレート内の微細流路の分岐開口面積をエリア別に可変し、高消費電力エリアには他エリアに比べて約 5 倍の流量供給が可能なことを確認しており、プロセッサチップの電力予測に対応した流路カスタム設計技術確立への見通しを得た。</p>

チップ冷却技術のベンチマークについて、主要な国際学会を中心に調査を実施し、実用化を見据えた銅での熱密度が 60W/cm²と、他の 37W/cm²よりも優位であることを確認した。

2.3.3 三次元対応高性能プロセッサの設計開発、実証確認

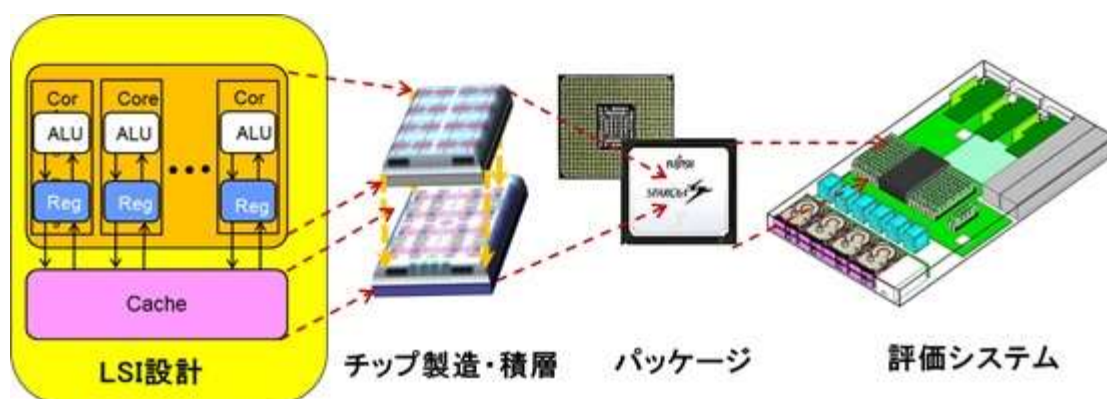
本研究項目では、2014 年度～2017 年度の 4 年計画で、別途報告した要素技術研究結果をもとにプローブ処理用プロセッサの開発を行った(図Ⅲ.2.3.3-1)。

短期間で効率的に開発を進めるため、当時開発中であった高性能プロセッサの設計資産を可能な限り流用し、それに本プロジェクトで集中的に開発した三次元積層に対応するための技術を加えるという方法で開発を推進した。

開発では 3 次元積層のメリットを最大限生かすプロセッサ分割、積層チップ間の信号割り当てを行い、また上下で 2 チップ作成した場合の設計工数や開発コストを最小化するために、上下チップを同じレイアウトになるよう基本仕様の策定を実施した。

基本仕様を満たす構成要素(実装回路)を作成するため、従来の設計資産を三次元積層設計の部品として取り込む設計技術を開発し、それを用い前記高性能プロセッサの回路ブロックをベースに三次元積層に対応した実装回路ブロックを作成した。更に、前記基本仕様と前記実装回路ブロックを元にフロアプランを作成し、実装性の確認を行うと共に、電源ノイズやタイミング解析を行い、目標とする動作周波数(2Ghz 以上)で動作することを検証した。

また、従来のプロセッサには存在しない積層プロセッサ用の回路技術として、従来の LSI と同等のピン数のプローブでもテストを可能とする三次元実装 LSI 向けのテストの技術、クロック位相差が大きい積層したチップ間でも GHz クラスの高速な信号伝送を可能とする伝送技術を開発し、評価用の積層パッケージを製造・評価し、目標とする機能・性能が実現できることを確認した。



図Ⅲ.2.3.3-1 本研究開発の中での LSI 設計の位置づけ

以上のような開発によって設計された高性能プロセッサの演算やメモリ伝送のピーク性能は、これら情報から 48 個の演算コアを実装し 2Ghz 動作させた時に、単位電力あたり性能が 4.9Gflops/W、ピーク演算性能が 1.5Tflops、メモリスループットが 0.31Byte per flop を達成することを確認した。

2.3.3.1 三次元対応高性能プロセッサの設計開発

既存のマクロを電源強化し三次元積層チップのマクロにする手法を開発し、その手法で作成したマクロが三次元積層時に既存マクロの要求電源品質を満たすことを確認した(図Ⅲ.2.3.3.1-1)。これにより少ない工数で論理・実装・性能を維持したまま設計資産の三次元積層チップへの利用する手法を確立した。

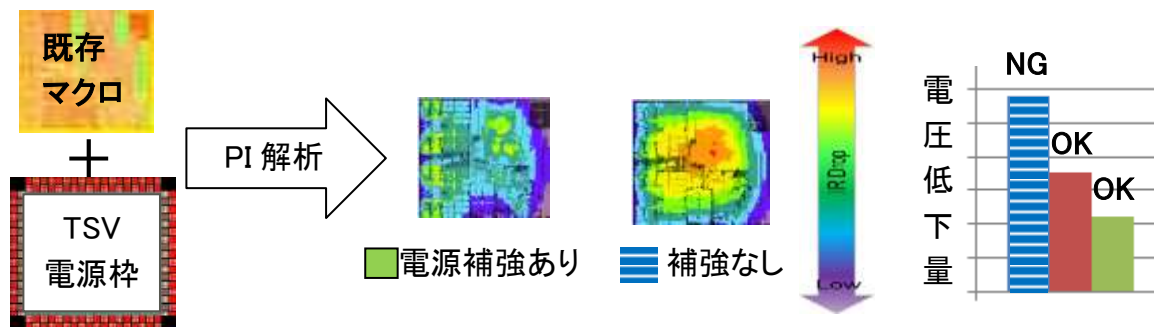
次に、積層後にチップ積層部の試験を、超多ピンの微小端子用プローブを使わずに実現するために、チップ積層部の回路に冗長性と試験用の回路を追加し、微小端子部分の試験を積層・パッケージ後にチップ内の試験用回路動作で実施し、万一、試験時に不具合が検出された場合には冗長を行う事で、積層したチップの救済を可能とするテスト手法を開発した。これにより積層チップの試験の低コスト化を達成した。

積層チップ間で GHz クラスの高速な信号を伝送するため回路は、ソースシンクロナス伝送回路、同期化回路、Deskew 回路等の既存技術を組み合わせた回路(図Ⅲ.2.3.3.1-2)に上記のテスト回路を追加することとした。開発した伝送回路を含む機能 TEG(積層 CPU パッケージ)の評価システムを図Ⅲ.2.3.3.1-3 に、開発した回路を含む高速伝送方式の比較を表Ⅲ.2.3.3.1-1 に示す。

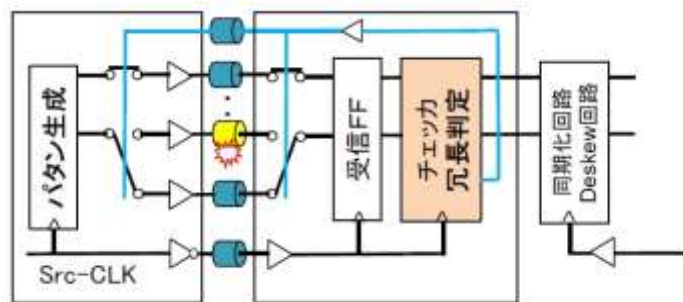
次に、これらの設計資産、設計手法、伝送回路および試験手法をベースとしてプローブデータ処理プロセッサの基本仕様(図Ⅲ.2.3.3.1-4)を作成し、それに基づくフロアプラン(図Ⅲ.2.3.3.1-5)を作成した。ここでは、3次元積層のメリットを最大限生かすブロック分割、積層チップ間の信号割り当てを行い、また上下で2チップ作成した場合の設計工数や開発コストを最小化するために、上下チップを同じレイアウトになるよう基本仕様の策定を実施した。

このフロアプランで使用した CPU-コア等のマクロは、設計資産である既存マクロを先に示した手法で電源強化し三次元積層用のマクロにしたもので、電源ドロップ、温度、動作速度等の観点で必要品質を満たすことを確認済みであり、3次元積層してもマクロの性能(表Ⅲ.2.3.3.1-2)を満たすことが確認できており、フロアプランに実装できたコア数を掛けることで CPU 全体のピーク性能を求めることが可能であり、目標性能(1Tflos, 3Gflops/W, 0.3byte/flop)を上回る性能(1.5Tflos, 4.9Gflops/W, 0.31byte/flop)の見通しを得た(表Ⅲ.2.3.3.1-3)。

表Ⅲ.2.3.3.1-4 に開発成果と達成度を示す。



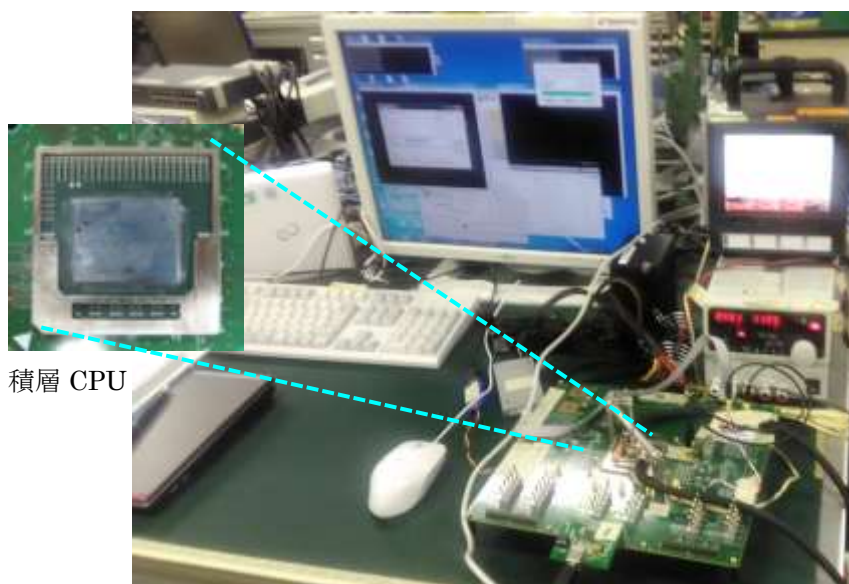
図Ⅲ.2.3.3.1-1 既存のマクロの三次元積層チップのマクロ化と PI 検証結果



図Ⅲ. 2. 3. 3. 1-2 冗長機能を持ったテスト回路の概念図

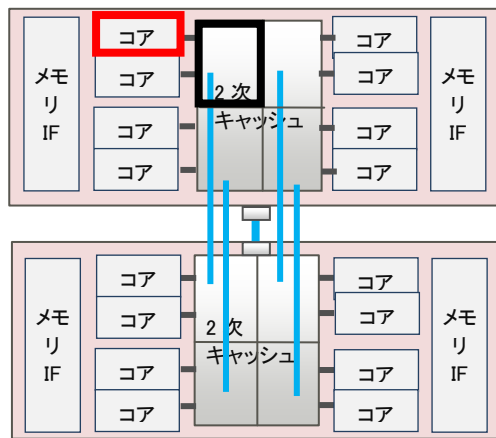
表Ⅲ. 2. 3. 3. 1-1 高速伝送回路の性能比較

伝送手法	用途	開発元	伝送路の構成					伝送周波数 (MHz)	伝送帯域 Mbps/pin	伝送電力 pJ/bit	プロセス	伝送方式					PKG伝送帯域	
			#channel	bit/ch	#of pin	bit/bundle	#bundle					差動?	PLL/DLL	配線	CLK方式	SDR/DDR	Gb/s	GB/s
AQ82	積層チップ間	Fujitsu	24	32	768	8	4	1520	1520	1.0	65nm	シングルエンド	無	等長(TSV)	ソースシンク	SDR	1167	146
実用(仮想)	積層チップ間	Fujitsu	128	32	4000	8	4	2000	2000	0.5	20nm	シングルエンド	無	等長(TSV)	ソースシンク	SDR	8000	1000
WideIO	積層チップ間	JEDEC	4	64	512	16	4	200	200			シングルエンド	無?	固定	ソースシンク	SDR	102	13
WideIO2	積層チップ間	JEDEC	4	64	256	16	4	400	800			シングルエンド	無?	固定	ソースシンク	DDR	205	26
	積層チップ間	JEDEC	4	64	256	16	4	533.5	1067			シングルエンド	無?	固定	ソースシンク	DDR	273	34
	積層チップ間	JEDEC	8	64	512	16	4	400	800			シングルエンド	無?	固定	ソースシンク	DDR	410	51
	積層チップ間	JEDEC	8	64	512	16	4	533.5	1067			シングルエンド	無?	固定	ソースシンク	DDR	546	68
HBM	Si-IP内Die間	JEDEC	8	128	1024	8	16	500	1000			シングルエンド	無?	固定	ソースシンク	DDR	1024	128
HBM2	Si-IP内Die間	JEDEC	16	128	2048	8	16	1000	2000			シングルエンド	無?	固定	ソースシンク	DDR	4096	512
IFOP(Zen)	PKG内Die間	AMD	8	32	256	8	4	2665	5330	2	14nm	シングルエンド *	無	固定	ソースシンク	DDR	1364	171
OPIO(Haswell)	PKG内Die間	Intel	2	64	128	16	4	3200	6400	1.22	22nm(eDRAM)	シングルエンド	DLL	固定(等長)	ソースシンク	DDR	819	102
DDR3-2666	PCB内伝送	JEDEC	1	64	64	16	4	1333	2666			シングルエンド *	DLL	非等長	ソースシンク	DDR	171	21

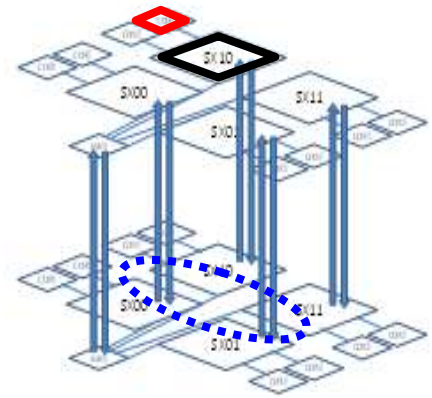


積層 CPU

図Ⅲ. 2. 3. 3. 1-3 積層 CPU 評価システム

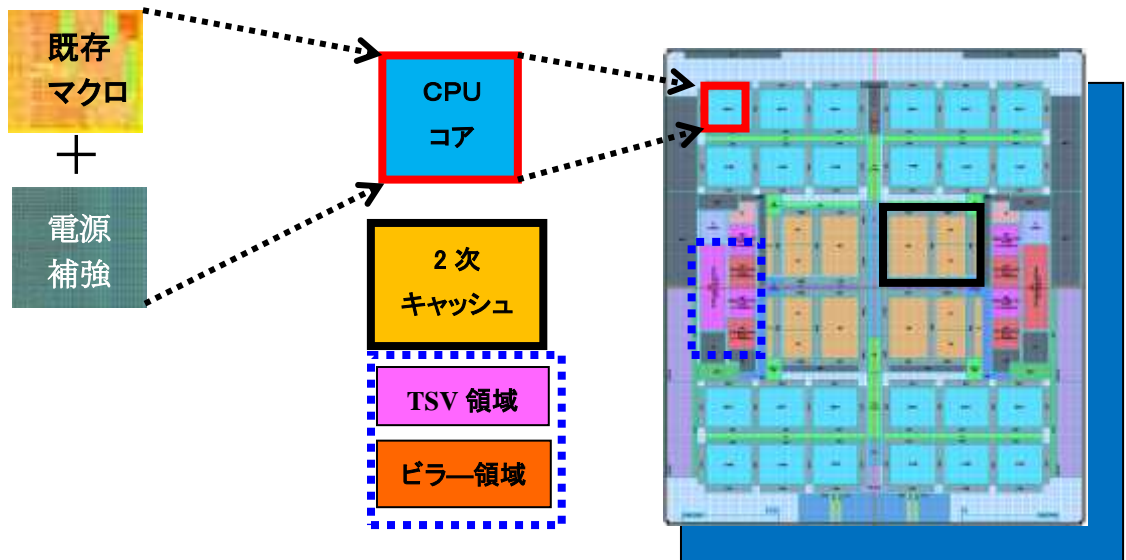


a)ブロック図



b)積層結線図

図Ⅲ. 2. 3. 3. 1-4 基本仕様の一部



図Ⅲ. 2. 3. 3. 1-5 三次元積層用マクロとフロアプラン(48コア)

表Ⅲ. 2. 3. 3. 1-2 CPU-CORE の性能

項目	1
CORE数	1
FMA演算器数	2
SIMD(倍精度)演算数	4
SIMD(単精度)演算数	8
FMA演算数/サイクル	2
周波数(Ghz)	2.2
倍精度演算性能(GFlops)	35.2

表Ⅲ. 2. 3. 3. 1-3 チップ性能予測

TSVピッチ	周波数 (Ghz)	コア性能 (GFLOPS)	コア数	チップ性能 (TFLOPS)	性能比	電力 (W)	電力性能 (GFLOPS/W)	メモリ性能 (GB/s)	BF比
70μ m	2.2	35.2	32	1.13	1	257	4.4	480	0.43
50μ m	2.2	35.2	48	1.69	1.5	340	5.0	480	0.28
	2.1	33.6	48	1.61	1.4	326	5.0	480	0.30
	2.0	32	48	1.54	1.4	311	4.9	480	0.31

表Ⅲ. 2. 3. 3. 1-4 開発成果と達成度

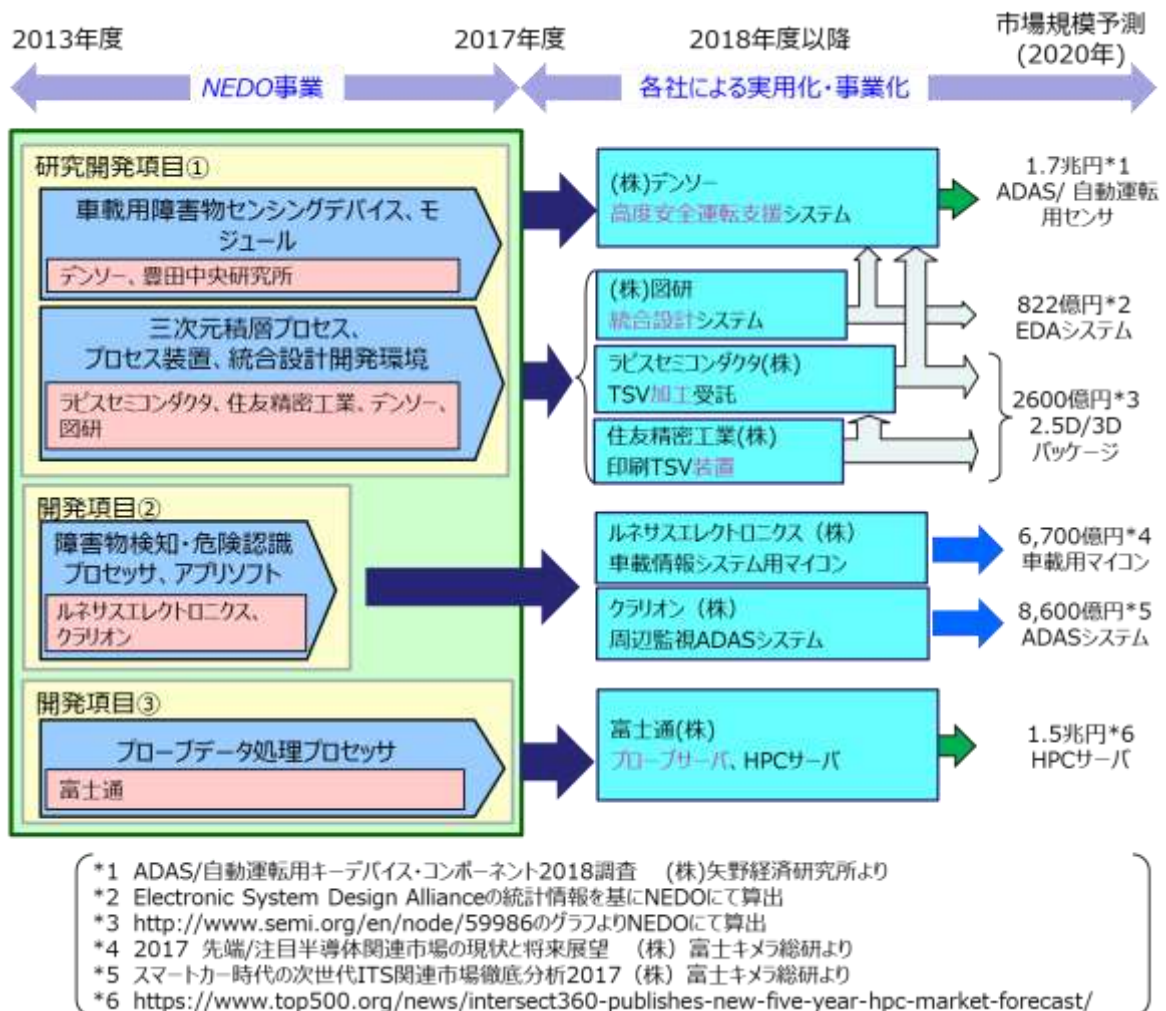
開発項目	目標値	成果
プロセッサ基本仕様	理論上の最終目標を満たす基本仕様、フロアプランを策定する。	<ul style="list-style-type: none"> 基本仕様を策定し、それに基づくフロアプラン等を作成した。 マクロの性能とフロアプランから理論性能が目標を達成することを確認した。
三次元実装 LSI 向けテスト手法	チップ積層部のテストを従来と同等のコストで十分なカバレッジで行う。	<ul style="list-style-type: none"> 従来のプローブでも試験可能な三次元実装 LSI 向けテスト手法を開発し、低コストで積層チップ間伝送を試験する手法を確立した。またこの方式を試作チップに実装し機能の確認を実施した。
三次元設計手法とそれを用いたプロセッサ開発	<ul style="list-style-type: none"> 設計者による最適化も可能な三次元実装設計環境の開発 その三次元実装設計環境を用いたレイアウト設計の開始。 	<ul style="list-style-type: none"> 三次元実装向けの設計環境を開発し、その上で従来の二次元で設計した設計資産を、その論理・実装・性能を維持したまま三次元設計資産として活用するための電源強化手法および評価手法を開発し、CPU 等のコアのレイアウト設計を完了した。更に、この手法で設計したレイアウト設計が電源供給、熱、動作速度観点で積層時に必要な品質を満たすことを EDA で確認した。
三次元実装 LSI 向け積層チップ間伝送方式	Pin あたり 1GBPS を超える低電力の伝送方式の確立と、実動作確認	65nm プロセスで試作し 1.5Gbps/pin の伝送帯域と 1pJ/bit の低電力を達成した。より進んだプロセスの回路よりも電力は小さく、多数の信号接続には適切な回路構成であることを確認した。
試作チップ製造パッケージ組立と評価	高性能プロセッサ相当のチップ面積(>600mm ²)のパッケージ製造と動作確認	チップ面積(693mm ²)の大面积のチップを含め 2 種の積層パッケージを試作し、積層チップ間伝送回路部のテスト回路や、積層チップ間伝送回路の動作から、積層パッケージが期待した動作を行う事、三次元実装 LSI 向けテスト手法や三次元実装 LSI 向け積層チップ間伝送方式が期待した性能で動作することを確認した。
最終目標	単位消費電力当たり演算性能：3Gflops/W 以上 ピーク演算性能：1Tflops 以上 メモリスループット：0.3Byte per flop 以上	設計した高性能プロセッサは、動作速度、電力等を EDA で確認し、CPU コア等の機能マクロをフロアプランに実装できた数からピーク性能を見積もることで、48 コア実装 2GHz 動作時に、単位電力あたり性能 4.9GF/W、ピーク演算性能 1.5Tflops、メモリスループット 0.31Byte per flops を達成することを確認した。なお、CPU コア等は過去機種で性能検証済であり、積層プロセッサ用の新規開発回路は TEG で試作し動作確認を実施した。

IV. 実用化・事業化に向けての見通し及び取組について

1. 実用化・事業化に向けての見通し及び取組について

次世代スマートデバイス開発プロジェクトでは、車載用障害物センシングデバイス、障害物検知・危険認識アプリケーションプロセッサおよびそのプラットフォーム用のアプリケーションソフト、プローブデータ処理プロセッサと、三次元積層 LSI のプロセスおよび実装技術の開発を行う。

これらが当初の技術目標を達成したあかつきには、図IV-1 に示すように、車載用センシングデバイスを利用した高度安全運転支援システム、三次元積層統合設計システム、TSV 加工受託ビジネス、TSV 装置ビジネス、車載情報システム用マイコン、周辺監視用 ADAS システム、プローブ処理用サーバ等への事業展開がなされることが期待される。



図IV-1 実用化・事業化に向けた見通し

本プロジェクトは、民間企業主体の研究開発なので、成果の活用は、研究開発実施主体の民間企業となる。よって成果の実用化・事業化は、研究開発を実施した民間企業が、事業終了後、市場、コスト等を考慮しながら、ターゲットを明確にして、本事業の成果を用いたビジネスを開始し、実績を積み上げることで、更なる用途展開をはかる。その際に、自動車メーカーおよび部品供給企業の共同開発により、デファクトスタンダードを獲ることで、競争優位を構築する。

(添付資料)

●プロジェクト基本計画

P13005

「次世代スマートデバイス開発プロジェクト」基本計画

I o T推進部

1. 研究開発の目的・目標・内容

(1) 研究開発の目的

① 政策的な重要性

次世代交通社会の実現には、自動車の燃焼システムの環境対応に加え、急発進、急停止、渋滞等による非効率な燃料消費の改善及び人の飛び出しや走行中の急な割り込み等による衝突事故の削減など、一層の省エネ化と安全走行の高度化が重要である。その実現には、自動車の周辺情報を集め即座に状況を把握するシステムの構築が必要となり、そのための技術開発が求められている。

② 世界の取り組み状況

欧州では一層の安全性向上のために衝突回避技術に重点が置かれ、米国では平成32年度頃の実現を目指し、各種センサーを活用した自律走行技術の開発が進んでいる。

③ 我が国の状況

我が国では衝突回避に加え車車間通信、路車間通信技術を用いた渋滞緩和に関する技術開発が進行している。これらのキーデバイスになる障害物センシングデバイス、プロセッサ等の市場は、材料、チップ、モジュール、製造装置事業の総額では平成32年度で約1兆円と試算されている。

④ 本事業のねらい

本事業では、このような次世代交通社会の実現に必須となるエレクトロニクス技術の開発を行う。具体的には、平成30年度頃の市場投入を目指し、安全運転支援を実現するためのセンシングデバイスの開発、車載センサーの情報から障害物を認識し危険度を判別するアプリケーションプロセッサの開発、多くの車から収集した情報を分析するプローブデータ処理プロセッサの開発を行うことで、渋滞緩和、交通事故低減に寄与し、低炭素かつ安全な次世代交通社会の基盤を整備する。併せて、我が国の自動車関連企業の競争力強化に資する。

(2) 研究開発の目標

① アウトプット目標

自動車の周辺情報を把握するシステムのキーデバイスである車載用障害物センシングデバイス、障害物検知・危険認識アプリケーションプロセッサ及びプローブデータ処理プロセッサを開発し、自動車関連企業の競争力強化に貢献する。各研究開発項目の具体的な目標は、別紙の研究開発計画に記載する。なお、目標に関しては、市場等を随時確認し、必要に応じて見直す。

② アウトカム目標

本技術の実用化により、急発進、急停止、渋滞等による非効率な燃料消費が改善され、平成32年度におけるCO₂削減効果は約220万トン/年が見込まれる。また、市場創出効果は平成32年度で約2,500億円規模が期待される。

(3) 研究開発の内容

上記目標を達成するために、以下の項目について、別紙の研究開発計画に基づき実施する。具体的な研究開発項目は以下の3点である。

研究開発項目① 車載用障害物センシングデバイスの開発

- ・夜間を含む全天候下で、多数の障害物の位置と距離を同時にリアルタイムで測定するセンシングデバイス技術の開発

研究開発項目② 障害物検知・危険認識アプリケーションプロセッサの開発

- ・センシングデバイスのデータを基に多数の障害物を認識し、その動きを予測し、衝突危険度を判別するアプリケーションプロセッサの開発

研究開発項目③ プローブデータ処理プロセッサの開発

- ・多くの車から収集された周辺情報を高速処理する情報処理用低消費電力プロセッサの開発

研究開発項目①については、産学官の複数事業者が互いのノウハウ等を持ちより協調して実施する基盤的内容の場合は、原則として委託事業として実施し、それ以外の場合は、助成事業（助成率1/2以下）として実施する。

研究開発項目②、③については、助成事業（助成率1/2以下）として実施する。

2. 研究開発の実施方式

(1) 研究開発の実施体制

本事業は、国立研究開発法人新エネルギー・産業技術総合開発機構（以下、「NEDO」という。）が、単独ないし複数の原則本邦の企業、大学等の研究機関（原則、本邦の企業

等で日本国内に研究開発拠点を有していること。なお、国外の企業等（大学、研究機関を含む）の特別の研究開発能力、研究施設等の活用または国際標準獲得の観点から国外企業等との連携が必要な部分を、国外企業等との連携により実施することができる。）から公募によって研究開発実施者を選定し実施する。

（２）研究開発の運営管理

研究開発全体の管理・執行に責任を有するNEDOは、経済産業省及び研究開発実施者と密接な関係を維持しつつ、本事業の目的及び目標に照らして適切な運営管理を実施する。具体的には、必要に応じて設置されるプロジェクト推進委員会等における外部有識者の意見を運営管理に反映させる他、研究開発実施者からプロジェクトの進捗について随時報告を受けること等により進捗の確認及び管理を行うものとする。

３．研究開発の実施期間

本事業の期間は、平成２５年度から平成２９年度までの最長５年間とする。

なお、研究開発項目②においては、平成２５年度から平成２７年度までの３年間とする。

４．評価に関する事項

NEDOは、（１）事業の位置付け・必要性、（２）研究開発マネジメント、（３）研究開発成果、（４）実用化、事業化に向けての見通し及び取り組みの４つの評価項目について、外部有識者による評価を行う。５年間の事業を実施する場合は、中間評価を平成２７年度、事後評価を平成３０年度に実施する。研究開発項目②においては、平成２７年度に事後評価を実施する。

なお、中間評価結果を踏まえ、必要に応じて事業の加速・縮小・中止等、見直しを迅速に行う。評価の時期については、当該研究開発に係る技術動向、政策動向や当該研究開発の進捗状況等に応じて、事業実施を前倒しする等、適宜見直すものとする。

５．その他の重要事項

（１）研究開発成果の取扱い

①成果の普及

研究開発実施者は、研究開発成果を広範に導入・普及するように努めるものとする。また、NEDOは、研究開発実施者による研究開発成果の広範な普及・導入を促進する。

②標準化等との連携

研究開発成果は、標準化等との連携を図るため、標準化提案に係る評価手法の提案、データの提供等を必要に応じて実施する。

③知的財産権の帰属

研究開発項目①を委託事業で実施する場合の知的財産権については、「国立研究開発法人新エネルギー・産業技術総合開発機構新エネルギー・産業技術業務方法書」第25条の規定等に基づき、原則として、すべて委託先に帰属させることとする。

(2) 基本計画の変更

NEDOは、研究開発内容の妥当性を確保するため、社会・経済的状況、国内外の研究開発動向、政策動向、第三者の視点からの評価結果、研究開発費の確保状況、当該研究開発の進捗状況等を総合的に勘案し、達成目標、実施期間、研究開発体制等、基本計画の見直しを弾力的に行うものとする。

(3) 権限

本事業は、「国立研究開発法人新エネルギー・産業技術総合開発機構法」第15条第1号二、3号に基づき実施する。

6. 基本計画の改訂履歴

- (1) 平成25年7月、制定。
- (2) 研究開発項目②の実施期間変更に伴う改訂。

(別紙) 研究開発計画

研究開発項目① 車載用障害物センシングデバイスの開発

1. 研究開発の必要性

衝突回避技術の高度化には、いかなる条件下でも障害物の場所を正確かつ速く把握することが極めて重要である。そのためには、夜間を含む全天候下で車両や歩行者等多数の障害物の位置と距離を同時にリアルタイムで測定可能なセンシングデバイスと、バックミラー裏やバンパー等限られたスペースに搭載可能なデバイスの小型化技術が不可欠である。

2. 研究開発の具体的内容

夜間を含む全天候下で20m以上先の車両や歩行者等多数の障害物の位置と距離を同時にリアルタイムで測定できるセンシングデバイス及び三次元積層といった省スペース化と高速信号伝送特性を併せ持つ車載品質のデバイスの小型化技術を開発する。

3. 達成目標

【中間目標】

- ・20m以上先の車両や歩行者等多数の障害物の位置と距離を同時に測定できるセンシングデバイスを開発し、性能評価を行う。その評価結果から最終目標達成のための課題を抽出し、解決の技術的見通しを明確にする。
- ・センシングデバイスの省スペース化に資するデバイスの小型化技術の技術的見通しを明確にする。

【最終目標】

- ・走行中に夜間を含む全天候下で、20m以上先までの車両や歩行者等多数の障害物の位置と距離を同時にリアルタイムで高精度に測定するセンシングデバイスを開発する。
- ・車載環境下で上記のセンシング特性を有し、バックミラー裏やバンパー等限られたスペースに搭載できるデバイスの小型化技術を開発する。

なお、目標は市場等を踏まえ必要に応じて見直しを行う。

研究開発項目② 障害物検知・危険認識アプリケーションプロセッサの開発

1. 研究開発の必要性

衝突回避技術の高度化には、人の飛び出し、走行中の急な割り込みなど多数の障害物を認識し、その動きを予測し、衝突の危険度を判別する技術が必須となる。

そのキーテクノロジーとして、障害物の危険度を判別するソフトウェアとそれをリアルタイムで高速演算処理するプロセッサが必要である。

2. 研究開発の具体的内容

センシングデバイスからの大量のデータを高速かつ低消費電力で処理できるアーキテクチャーを搭載した車載用のプロセッサを開発する。

上記のプロセッサをプラットフォームとして、より多くの車両や歩行者等の障害物の動きを予測し、その衝突の危険度を判別するアプリケーションソフトを開発する。

3. 達成目標

【最終目標】

- ・車両や歩行者等多数の障害物の動きを予測するアルゴリズムを開発し、以下の機能を有するアプリケーションソフトを開発する。
 - ・走行車両周辺の歩行者、自動車、二輪車など多数の障害物の認識
 - ・それぞれの障害物の動きの予測
 - ・それぞれの障害物の衝突危険度の判別

- ・センシングデバイスからの大量のデータを高速かつ低消費電力で動作するプロセッサのアーキテクチャーを設計し、アプリケーションソフトを搭載した以下の性能を有するアプリケーションプロセッサを開発する。
 - ・メモリスループット : 80 GByte/s 以上
 - ・単位消費電力当たり演算性能 : 1,000 GOPS/W 以上
GOPS (Giga Operations per Second)
 - ・検出処理時間 : 50 msec以下

なお、目標は市場等を踏まえ必要に応じて見直しを行う。

研究開発項目③ プローブデータ処理プロセッサの開発

1. 研究開発の必要性

次世代交通社会の実現には、刻々と変化する地域交通網の状況把握・予測・対応策を個々の自動車にフィードバックする情報システムが必要である。それを司る自動車分野向けサーバーシステムには、個々の自動車からもたらされる周辺情報や車両の診断情報等のプローブ情報を、渋滞予測、事故多発マップ等の目的に応じて分析する技術の高度化が求められる。そのキーデバイスとして、膨大なデータをニーズに応じて高速演算処理できる低消費電力プロセッサが必須である。

2. 研究開発の具体的内容

車両からのリアルタイム情報と過去の渋滞モデル等から個々の自動車に安全で効率的な運転支援情報を提供するハイエンドサーバーシステムに搭載されるプロセッサ^(※)を開発する。具体的には、平成32年度頃の実用化を目指し、テレマティクス向けサーバーシステムが扱うエクサバイト規模の情報をリアルタイムで処理する低消費電力プロセッサ技術を開発する。

(※) 本事業では、回路、システム、設計技術、組立技術を重点的な対象とし、専ら新材料、新デバイス構造、新プロセスの開発を目的とするものは対象としない。

3. 達成目標

【中間目標】

- ・大容量データを高速かつ低消費電力で処理するプロセッサの要素技術を開発し、最終目標達成に必要な技術的見通しを明確にする。

【最終目標】

- ・以下の性能を有する高性能で低消費電力のプロセッサを開発する。
 - ・単位消費電力当たり演算性能 : 3 Gflops/W 以上
 - ・ピーク演算性能 : 1 Tflops 以上
 - ・メモリスループット : 0.3 Byte per flop 以上
flops(floating-point operations per second)

なお、目標は市場等を踏まえ必要に応じて見直しを行う。

事前評価書

	作成日	平成25年6月17日
1. プロジェクト名	次世代スマートデバイス開発プロジェクト	
2. 推進部署名	電子・材料・ナノテクノロジー部	
3. プロジェクト概要（予定）		
(1) 概要		
1) 背景		
<p>次世代交通社会の実現には、自動車の燃焼システムの環境対応に加え、急発進、急停止、渋滞等による非効率な燃料消費の改善及び人の飛び出しや走行中の急な割り込み等による衝突事故の削減など、一層の省エネ化と安全走行の高度化が重要である。その実現には、自動車の周辺情報を集め即座に状況を把握するシステムの構築が必要となり、そのための技術開発が求められている。</p> <p>欧州では一層の安全性向上のために衝突回避技術に重点が置かれ、米国では平成32年度頃の実現を目指し、各種センサーを活用した自律走行技術の開発が進んでいる。我が国では衝突回避に加え車車間通信、路車間通信技術を用いた渋滞緩和に関する技術開発が進行している。これらのキーデバイスになる障害物センシングデバイス、プロセッサ等の市場は、材料、チップ、モジュール、製造装置事業の総額では平成32年度で約1兆円と試算されている。</p>		
2) 目的		
<p>本事業では、このような次世代交通社会の実現に必須となるエレクトロニクス技術の開発を行う。具体的には、平成30年度頃の市場投入を目指し、安全運転支援を実現するためのセンシングデバイスの開発、車載センサーの情報から障害物を認識し危険度を判別するアプリケーションプロセッサの開発、多くの車から収集した情報を分析するプローブデータ処理プロセッサの開発を行うことで、渋滞緩和、交通事故低減に寄与し、低炭素かつ安全な次世代交通社会の基盤を整備する。併せて、我が国の自動車関連企業の競争力強化に資する。</p>		
3) 実施内容		
<p>研究開発項目① 車載用障害物センシングデバイスの開発</p> <ul style="list-style-type: none"> ・夜間を含む全天候下で、多数の障害物の位置と距離を同時にリアルタイムで測定するセンシングデバイス技術の開発 <p>研究開発項目② 障害物検知・危険認識アプリケーションプロセッサの開発</p>		

- ・センシングデバイスのデータを基に多数の障害物を認識し、その動きを予測し、衝突危険度を判別するアプリケーションプロセッサの開発
- 研究開発項目③ プローブデータ処理プロセッサの開発
- ・多くの車から収集された周辺情報を高速処理する情報処理用低消費電力プロセッサの開発

(2)規模 平成25年度予算(需給)15.3億円(委託、助成(助成率1/2以下))

(3)期間 平成25～29年度(最長5年間)

4. 評価内容

(1) プロジェクトの位置付け・必要性について

1) NEDOプロジェクトとしての妥当性

次世代交通社会の実現には、非効率な燃料消費の改善、衝突事故の削減など、一層の省エネ化と安全走行の高度化が重要である。また、この自動車関連分野は、自動車の安全運転支援等を通じて更なる市場の成長が見込まれており、我が国としてもその世界市場獲得は重点施策と位置付けている。

本分野を推進するには、デバイス技術、情報処理技術等の異なる領域の技術を束ね、また、企業だけでは成しえない難易度の高い要素技術の開発等が必要となる。

以上、本事業は次世代交通社会を実現すると共に、我が国の主要産業であるエレクトロニクス産業、自動車産業等の国際競争力を強化するものであり、また、民間企業単独では成しえないものである点から、NEDOが取り組むべきプロジェクトとして妥当である。

2) 目的の妥当性

本事業では、自動車の周辺情報を把握するシステムのキーデバイスである車載用障害物センシングデバイス、障害物検知・危険認識アプリケーションプロセッサ及びプローブデータ処理プロセッサを開発し、自動車関連企業の競争力強化に貢献することを目的としており、妥当な目的である。

(1) プロジェクトの位置付け・必要性についての総合的評価

本事業は、自動車の省エネ化と安全性向上を目指した技術開発であり、次世代交通社会の実現に必要不可欠であることから、位置付け・必要性は妥当である。

(2) プロジェクトの運営マネジメントについて

1) 成果目標の妥当性

本事業では以下の研究開発を実施する。

研究開発項目① 車載用障害物センシングデバイスの開発

- ・夜間を含む全天候下で、多数の障害物の位置と距離を同時にリアルタイムで測定するセンシングデバイス技術の開発

研究開発項目② 障害物検知・危険認識アプリケーションプロセッサの開発

- ・センシングデバイスのデータを基に多数の障害物を認識し、その動きを予測し、衝突危険度を判別するアプリケーションプロセッサの開発

研究開発項目③ ブローブデータ処理プロセッサの開発

- ・多くの車から収集された周辺情報を高速処理する情報処理用低消費電力プロセッサの開発

これらを通じて、非効率な燃料消費の改善、衝突事故の削減等次世代交通社会の課題解決に必要とされる技術開発を目標としており、成果目標として妥当である。

2) 実施計画の想定と妥当性

本事業の実施期間は最長5年間の研究開発を想定している。その際、事業形態については、その内容に応じて妥当な形態に変更することとしている。具体的には以下の通り。

研究開発項目①については、産学官の複数事業者が互いのノウハウ等を持ちより協調して実施する基盤的内容の場合は、原則として委託事業として実施し、それ以外の場合は、助成事業（助成率1/2以下）として実施する。

研究開発項目②、③については、助成事業（助成率1/2以下）として実施する。

3) 評価実施の想定と妥当性

NEDOは、（1）事業の位置付け・必要性、（2）研究開発マネジメント、（3）研究開発成果、（4）実用化、事業化に向けての見直し及び取り組みの4つの評価項目について、外部有識者による評価を行う。5年間の事業を実施する場合は、中間評価を平成27年度、事後評価を平成30年度に実施する。

なお、中間評価結果を踏まえ、必要に応じて事業の加速・縮小・中止等、見直しを迅速に行う。評価の時期については、当該研究開発に係る技術動向、政策動向や当該研究開発の進捗状況等に応じて、事業実施を前倒しする等、適宜見直すものとする。

4) 実施体制の想定と妥当性

デバイス技術、情報処理技術等を有するメーカーが相互に連携し、また自

自動車及び自動車部品メーカーがユーザー視点で常に市場情報をフィードバックしながら、研究開発目標の見直し、研究開発進捗管理等のマネジメントを行う体制をとる。

5) 実用化・事業化戦略の想定と妥当性

本事業のそれぞれの研究開発項目の達成目標は事業化レベルを設定しており、プロジェクト終了後自動車関連分野の機器メーカー、モジュールメーカー、デバイスメーカー、製造装置メーカー等から上市されることが想定されている。

6) 知財戦略の想定と妥当性

実施する企業間での合意を想定している。

7) 標準化戦略の想定と妥当性

プロジェクト内での標準化活動は想定していない。

(2) プロジェクトの運営マネジメントについての総合的評価

自動車及び自動車部品メーカーからの市場情報を適宜フィードバックする体制を構築する等、妥当な実施体制が構築されることが見込まれる。更に、本事業の目標は事業化レベルを設定しており、プロジェクト終了後の上市が期待される等、妥当な運営マネジメントを行っている。

(3) 成果の実用化・事業化の見通しについて

1) プロジェクト終了後における成果の実用化・事業化可能性

衝突回避システムなどの安全運転支援システムは小型車にまで標準搭載される動きがあり世界的に重要分野として位置付けられている。またプローブデータを活用した安全且つ効率的な交通社会の実現は、世界規模で進行中のスマートシティプロジェクトの中核である。本事業は、そのようなグローバルニーズに即して行われるものであり、開発成果が実用化・事業化に繋がる可能性は高いと判断される。

2) 成果の波及効果

産業の裾野が広い自動車に搭載されることで、関連する製造装置や材料等への大きな波及効果が期待される。また、本分野における主要企業、研究機関の技術者の参画による事業レベルの技術開発を通じて、本分野における人材育成が期待される。

(3) 成果の実用化・事業化の見通しについての総合的評価

本事業で開発する車載用障害物センシングデバイス、障害物検知・危険認識アプリケーションプロセッサ、プローブデータ処理プロセッサのそれぞれのターゲットは明確であり、また、安全走行に関する世界的ニーズに即して行われる事業であるため、開発成果が実用化・事業化に繋がることが期待される。

「次世代スマートデバイス開発プロジェクト」に対するパブリックコメント募集の結果について

平成 25 年 7 月 30 日
N E D O
電子・材料・ナノテクノロジー部

NEDO POST 3]において標記基本計画（案）に対するパブリックコメントの募集を行いました結果をご報告いたします。
みなさまからのご協力を頂き、ありがとうございました。

1. パブリックコメント募集期間
平成 25 年 6 月 21 日～平成 25 年 7 月 4 日
2. パブリックコメント投稿数<有効のもの>
計 1 件

1

3. パブリックコメントの内容とそれに対する考え方

ご意見の概要	ご意見に対する考え方	基本計画・技術開発課題への反映
<p>全体について</p> <p>【意見 1】(1 件)</p> <p>本 P]は、これからの日本の技術力アップのためにも大変重要な P]であると認識している。またその出口である事業化として難易度の高い車載用途をターゲットにしていることは、達成レベルという観点から意義があるが、本技術自体はビッグデータを取り扱う用途には共通の基盤技術となるため、その確立が何よりも重要と考える。一方国としてもその完成した共通基盤技術を横展開させる（例えば医療とか）ための活動を支援する取り組みも本 P]のタイムフレームのどこかで検討する必要がある。</p> <p>また標準化という言葉の定義を明確にする必要があるが、事前評価書 2 項 (2)7)内にある「プロジェクト内の標準化活動は想定していない」という一文についても基本計画 5 項 (1)②の文書と矛盾しているような印象を受ける。強い武器となる判断できたタイミングで、標準化活動をしなないといけないのでは?と思う。</p> <p>いづれにせよ日本のモノづくりの継続性のため、本 P]の完遂のため積極的にサポートしたい気持ちで一杯である。</p>	<p>【考え方と対応】</p> <p>この度は貴重なご意見ありがとうございました。</p> <p>本 P]は安全運転支援を実現するためのセンシングデバイスの開発、車載センサーの情報から障害物を認識し危険度を判別するアプリケーションプロセッサの開発、多くの車から収集した情報を分析するプローブデータ処理プロセッサの開発を行うことで、渋滞緩和、交通事故低減に寄与し、低炭素かつ安全な次世代交通社会の基盤を整備するものです。併せて、我が国の自動車及び自動車部品関連企業の競争力強化に資することを強くとしています。従って、本 P]は自動車産業関連分野に注力する活動になります。</p> <p>また、このように分野に特化したデバイスは分野専用になります。分野専用はデファクトを獲ることで競争優位性を構築することを想定しているため、事前評価書 3. (2)7)で「プロジェクト内の標準化活動は想定していない」と記しております。</p> <p>他方、標準化等に係る活動は必要に応じて実施することも考えられるので、基本計画 5. (1)②において「研究開発成果は、標準化等との連携を図るため、標準化提案に係る評価手法の提案、データの提供等を必要に応じて実施する。」と記して取り組むこととしております。</p>	<p>【反映の有無と反映内容】</p> <p>特になし。</p>

以上

2

●論文等リスト

【論文】

番号	発表者	所属	タイトル	発表誌名、ページ番号	査読	発表年月
1	Feng Wei 他	産業技術総合研究所	Analysis of Thermal Stress Distribution for TSV with Novel Structure	Proc. of IEEE International Conference on 3D System Integration (3DIC), pp. 1-4.	有	2014/12/1
2	荒賀 佑樹 他	産業技術総合研究所	Substrate Monitoring System for Inspecting Defects in TSV-Based Data Buses	Proc. of IEEE International Conference on 3D System Integration (3DIC), pp. 1-5.	有	2014/12/1
3	Feng Wei 他	産業技術総合研究所	Methods to Reduce Thermal Stress for TSV Scaling ~TSV with Novel Structure: Annular-Trench-Isolated TSV~	Proc. of IEEE Electronic Components and Technology Conference (ECTC), pp. 1057-1062.	有	2015/5/28
4	Cristiano Niclass	豊田中央研究所	A NIR-Sensitivity-Enhanced Single-Photon Avalanche Diode in 0.18 μ m	IISS2015	有	2015/6/1
5	Melamed Samson 他	産業技術総合研究所	On-Chip Diode-based Measurement of the Thermal Effects of Die Thinning in Three-Dimensional Integrated Circuits	Proc. of 4th International Conference in Advanced Manufacturing for Multifunctional Miniaturised Devices (ICAM3D), pp. 13-14.	有	2015/6/3
6	Melamed Samson 他	産業技術総合研究所	Investigation of Effects of Metallization on Heat Spreading in Bump-Bonded 3D Systems	Proc. of IEEE International Conference on 3D System Integration (3DIC), pp. TS8.30.1-TS8.30.4.	有	2015/9/1
7	荒賀 佑樹 他	産業技術総合研究所	Guard-Ring Monitoring System for Inspecting Defects in TSV-Based Data Buses	Proc. of IEEE International Conference on 3D System Integration (3DIC), pp. TS8.18.1-TS8.18.5.	有	2015/9/1
8	荒賀 佑樹 他	産業技術総合研究所	シリコン基板雑音監視による TSV バス不良検出回路	Proc. of JIEP マイクロエレクトロニクスシンポジウム (MES), pp. 343-346.	有	2015/9/4
9	Melamed Samson 他	産業技術総合研究所	Investigation into the Thermal Effects of Thinning Stacked Dies in Three-Dimensional Integrated Circuits	Proc. of Thermal Investigations of ICs and Systems (THERMINIC), pp. 1-4.	無	2015/10/1
10	田代浩子	富士通	TSV および Si-IP 配線の電気特性に及ぼす Si 基板抵抗率の影響	電子情報通信学会論文誌 C Vol. J98-C No. 11 pp.236-243	有	2015 年 11 月
11	長谷川清久	図研	車載機器の開発を支える EDA 技術	エレクトロ実装学会誌 2016 年 1 月号, p.9-11	有	2016/1/1
12	Feng Wei 他	産業技術総合研究所	Validation of TSV thermo-mechanical simulation by stress measurement	Microelectronics Reliability, Volume 59, April 2016, pp. 95-101	有	2016/1/23
13	小川勝	豊田中央研究所	Single-Photon Avalanche Diode with Enhanced NIR-Sensitivity for Automotive LIDAR	論文: SENSORS (Open access journal from MDPI)	有	2016/3/1

番号	発表者	所属	タイトル	発表誌名、ページ番号	査読	発表年月
14	渡辺 直也 他	産業技術総合研究所 他	High-Yield Via-Last TSV Process by Notchless Silicon Etching and Wet Cleaning of the First Metal Layer	Proc. of International Conference on Dynamical Processes in Excited States of Solids (DPC), pp. TP1-6-1-TP1-6-4	有	2016/3/15
15	渡辺 直也 他	産業技術総合研究所 他	高性能センサーシステムのための高歩留まり・ビアラスト TSV プロセスの開発	Proc. of 第30回エレクトロニクス実装学会春季講演大会, pp. 256-259	無	2016/3/23
16	Feng Wei 他	産業技術総合研究所	Fabrication and stress analysis of annular-trench-isolated TSV	Microelectronics Reliability, Volume 63, August 2016, pp. 142-147	有	2016/5/13
17	土手暁	富士通	Analyzing and modeling methods for warpages of thin and large die with redistribution layer	Japanese Journal of Applied Physics Vol. 55, No. 6S3, June 2016 (ADMETA 特集号)	有	2016年6月
18	Feng Wei 他	産業技術総合研究所	Low residual stress in Si substrate of annular-trench-isolated TSV	Proc. of IEEE Electronic Components and Technology Conference (ECTC), pp. 1611-1616.	有	2016/6/3
19	渡辺 直也 他	産業技術総合研究所 他	ビアラスト TSV プロセスで形成した微細 TSV の電気特性評価	Proc. of JIEP マイクロエレクトロニクスシンポジウム (MES), pp. 311-314.	無	2016/9/9
20	Melamed Samson 他	産業技術総合研究所	Impact of thinning stacked dies on the thermal resistance of bump-bonded three-dimensional integrated circuits	Microelectronics Reliability, Volume 67, December 2016, pp. 2-8	有	2016/9/9
21	渡辺 直也 他	産業技術総合研究所 他	Development of a High-Yield Via-Last TSV Process Using Notchless Si Etching and Wet Cleaning of First Metal Layer	Proc. of Advanced Metallization Conference (ADMETA), pp. 86-87.	有	2016/10/21
22	渡辺 直也 他	産業技術総合研究所 他	Wet Cleaning Process for High-Yield Via-Last TSV Formation	Proc. of IEEE International Conference on 3D System Integration (3DIC), pp. 1-4.	有	2016/11/11
23	渡辺 直也 他	産業技術総合研究所 他	ビアラスト型 TSV の高歩留まりのためのウェット洗浄プロセスの開発	Proc. of 電子情報通信学会シリコン材料・デバイス研究会, pp. 35-40.	無	2017/2/6
24	渡辺 直也 他	産業技術総合研究所 他	ビアラスト型 TSV の高歩留まり形成のためのビア底洗浄工程の検討	Proc. of 第64回応用物理学会春季学術講演会, pp. 14p-P3-7.	無	2017/3/14
25	渡辺 直也 他	産業技術総合研究所 他	Metal Contamination Evaluation of Via-Last Cu TSV Process Using Notchless Si Etching and Wet Cleaning of the First Metal Layer	Proc. of IEEE Electronic Components and Technology Conference (ECTC), pp. 655-659.	有	2017/6/1

番号	発表者	所属	タイトル	発表誌名、ページ番号	査読	発表年月
26	渡辺 直也 他	産業技術総合研究所 他	Development of a high-yield via-last through silicon via process using notchless silicon etching and wet cleaning of the first metal layer	Japanese Journal of Applied Physics (JJAP) Vol. 56, No. 7S2, pp. 07KE02-1-6	有	2017/6/27
27	Melamed Samson 他	産業技術総合研究所	Thermal impact of extreme die thinning in bump-bonded three-dimensional integrated circuits	Microelectronics Reliability, Volume 79, December 2017, pp. 380-386	有	2017/7/22
28	荒賀 佑樹 他	産業技術総合研究所	Investigation of Transient Thermal Distribution in Three-Dimensional Stacked ICs	Proc. of International Conference on Solid State Devices and Materials (SSDM), pp. 739-740.	有	2017/9/21
29	荒賀 佑樹 他	産業技術総合研究所	Evaluation of Substrate Noise Suppression Method to Mitigate Crosstalk among TSVs	Proc. of International Conference on Solid State Devices and Materials (SSDM), pp. 399-400.	有	2017/9/22
30	Feng Wei 他	産業技術総合研究所	Investigation of Thermal Stress for 6-micron Diameter TSV by Polarized Raman Spectroscopy Measurement and Finite Element Simulation	Proc. of Advanced Metallization Conference (ADMETA)	有	2017/10/19
31	大原悠希 他	(株)デンソー	高機能車載センサ創出に向けた三次元集積化技術の開発	電子情報通信学会論文誌 C, Vol. J101-C, No. 2, pp. 50-57	有	Jan-18
32	宮原昭一	富士通	3次元LSI設計における局所応力伝搬の温度依存性を盛り込んだCMOS回路特性解析	電子情報通信学会論文誌 C Vol. J101-C No. 2 pp. 74-82	有	2018年2月
33	荒賀 佑樹 他	産業技術総合研究所	Evaluation of substrate noise suppression method to mitigate crosstalk among TSVs	Japanese Journal of Applied Physics (JJAP) Vol. 57, No. 4S, pp. 04FC07-1-6	有	2018/3/16
34	荒賀 佑樹 他	産業技術総合研究所	Investigation of transient thermal dissipation in thinned LSI for advanced packaging	Japanese Journal of Applied Physics (JJAP) Vol. 57, No. 4S, pp. 04FC06-1-5	有	2018/3/16
35	Feng Wei 他	産業技術総合研究所	Residual stress investigation of via-last through-silicon via (TSV) by polarized Raman spectroscopy measurement and finite element simulation	Japanese Journal of Applied Physics (JJAP) Vol. 57, No. 7S2, pp. 07MF02-1-4	有	2018/5/30
36	佐々木真	富士通	3次元積層ICにおける局所発熱源からの放熱特性に与えるアンダーフィル層の影響	スマートプロセス学会誌 Vol.7 No.4 2018 (Mate2018 特集号) (優秀論文賞)	有	2018年7月
37	長谷川清久	図研	積層ICと三次元パッケージのための設計及びモデリング技術の革新	電子情報通信学会誌 2019年3月号, (掲載予定)	有	2018/7/6
38	長谷川清久	図研	三次元積層IC設計とモデリング手法	エレクトロ実装学会誌 2018年8月号, p. 447-451	有	2018/8/1
39	渡辺 直也 他	産業技術総合研究所 他	ノッチレスSiエッチングと第1メタル層のウェット洗浄で形成した微細TSVつき薄形チップの積層	Proc. of JIEP マイクロエレクトロニクスシンポジウム (MES), pp. 57-60.	無	2018/9/6

【外部発表】

(a) 学会発表・講演

番号	発表者	所属	タイトル	会議名	発表年月
1	中村誠	富士通	三次元積層集積デバイス向け高アスペクト比のビア深さ測定	第75回応用物理学会 秋季学術講演会	2014/9/19
2	土手暁	富士通	再配線構造による薄化Siチップの熱変形挙動	第75回応用物理学会 秋季学術講演会	2014/9/19
3	中村誠	富士通	Directly depth measurement system of high aspect ratio via hole for 3D stacked device	Advanced Metallization Conference 2014	2014/10/23
4	Feng Wei 他	産業技術総合研究所	Analysis of Thermal Stress Distribution for TSV with Novel Structure	IEEE International Conference on 3D System Integration (3DIC)	2014/12/1
5	荒賀 佑樹 他	産業技術総合研究所	Substrate Monitoring System for Inspecting Defects in TSV-Based Data Buses	IEEE International Conference on 3D System Integration (3DIC)	2014/12/1
6	木村禎祐	デンソー	次世代スマートデバイス開発PJ	セミコンジャパン2014	2014/12/19
7	藤本裕	デンソー	環境・安全を牽引するカーエレクトロニクスと半導体技術	ネブコンジャパン2015	2015/1/16
8	村上嘉浩	デンソー・図研	三次元積層ICを用いたパッケージ熱応力設計	第29回エレクトロニクス実装学会 春季講演大会	2015/3/16
9	赤松俊也	富士通	Study of Chip Stack Process and Electrical Properties for 3D- IC	11th International Conference and Exhibition On Device Packaging (研究奨励賞)	2015/3/17
10	森田将	富士通	C4パンプ接続における無電解Ni-BUBMのバリア特性	エレクトロニクス実装学会 春季講演大会	2015/3/18
11	長谷川清久	図研	三次元積層ICを用いたパッケージ熱応力設計	LPBフォーラム	2015/3/19
12	只木進二	富士通	Reliability Studies on Micro-joints for 3D-Stacked Chip	2015 International Conference on Electronics Packaging and iMAPS All Asia Conference	2015/4/15
13	北田秀樹	富士通	Thermal stress destruction analysis in Low-k layer by via-last TSV structure	IEEE 65th Electronic Components and Technology Conference (ECTC 2015)	2015/5/26
14	Feng Wei 他	産業技術総合研究所	Methods to Reduce Thermal Stress for TSV Scaling ~TSV with Novel Structure: Annular-Trench-Isolated TSV~	IEEE Electronic Components and Technology Conference (ECTC)	2015/5/28
15	Melamed Samson 他	産業技術総合研究所	On-Chip Diode-based Measurement of the Thermal Effects of Die Thinning in Three-Dimensional Integrated Circuits	4th International Conference in Advanced Manufacturing for Multifunctional Miniaturised Devices (ICAM3D)	2015/6/3
16	赤松俊也	富士通	TSVを用いた三次元実装技術の取り組み	2015年度 第1回TSV応用研究会	2015/6/19
17	村上嘉浩	デンソー・図研	三次元積層ICを用いたパッケージ熱応力設計	システムJisso-CAD/CAE 27年度第1回公開研究会	2015/7/27

番号	発表者	所属	タイトル	会議名	発表年月
18	森田将	富士通	Barrier Properties of Electroless Ni-B UBM for Solder Joining	International Microelectronics Assembly and Packaging Society (IMAPS 2015)	2015/8/8
19	Melamed Samson 他	産業技術総合研究所	Investigation of Effects of Metallization on Heat Spreading in Bump-Bonded 3D Systems	IEEE International Conference on 3D System Integration (3DIC)	2015/9/1
20	荒賀 佑樹 他	産業技術総合研究所	Guard-Ring Monitoring System for Inspecting Defects in TSV-Based Data Buses	IEEE International Conference on 3D System Integration (3DIC)	2015/9/1
21	吉良秀彦	富士通	大面積チップサイズ対応のTSVチップ積層技術の開発	マイクロエレクトロニクスシンポジウム(MES2015)	2015/9/3
22	荒賀 佑樹 他	産業技術総合研究所	シリコン基板雑音監視によるTSVバス不良検出回路	JIEP マイクロエレクトロニクスシンポジウム (MES)	2015/9/4
23	田代浩子	富士通	65nm MOSFET および CMOS インバータの電気特性に及ぼすTSV応力の影響	マイクロエレクトロニクスシンポジウム(MES2015)	2015/9/4
24	佐々木真	富士通	三次元積層LSIにおけるTSVを経由する線路の信号伝送特性	マイクロエレクトロニクスシンポジウム(MES2015)	2015/9/4
25	土手暁	富士通	Deformation of Thin and Large Si Die with Non-uniform RDL Pattern	ADMETA plus 2015 (応用物理学会主催)	2015/9/17
26	Melamed Samson 他	産業技術総合研究所	Investigation into the Thermal Effects of Thinning Stacked Dies in Three-Dimensional Integrated Circuits	Thermal Investigations of ICs and Systems (THERMINIC)	2015/10/1
27	村上嘉浩	図研・デンソー	三次元積層 IC を含んだパッケージ熱設計	エレクトロニクス実装学会ワークショップ2015	2015/10/15
28	Cristiano Niclass	豊田中央研究所	A NIR-Sensitivity-Enhanced Single-Photon Avalanche Diode in 0.18 μm	NEDO CDTI ワークショップ	2015/10/15
29	藤本裕	デンソー	カーエレクトロニクスを牽引する半導体技術/実装技術	Zuken Innovation World 2015	2015/10/16
30	村上嘉浩	デンソー	三次元積層 IC 含んだパッケージの熱解析	ANSYS Electronics Simulation Expo 2015	2015/10/23
31	野村昌弘	ルネサスエレクトロニクス(株)	Development of over 1000 GOPS/W Image Recognition Processor Platform Technologies	NEDO-CDTI ワークショップ	2015/10/23
32	Humar Mandavia	図研・デンソー	Thermal and Stress-aware Design for Three Dimensional Stacked IC Package	Georgia Tech Packaging Research Center Presents 5th Annual Global Interposer Workshop	2015/11/6
33	菊池俊一	富士通	Thermal Characterization and Modeling of BEOL for 3D Integration	IEEE CPMT Symposium Japan 2015	2015/11/10
34	藤本裕	デンソー	カーエレクトロニクスを牽引する半導体技術	半導体パッケージ技術展	2016/1/13
35	Humair Mandavia、古賀一成	図研	Improving Design Performance with System-level Co-design and Multi-physics Analysis: Thermal and Stress-aware Design for Three Dimensional Stacked IC Package	SMTA Pan Pacific Microelectronics Symposium	2016/01/25-28

番号	発表者	所属	タイトル	会議名	発表年月
36	森田将	富士通	無電解 Ni-B めっき UBM のはんだバリア特性と接合強度の検討	第 22 回「エレクトロニクスにおけるマイクロ接合・実装技術」シンポジウム (Mate2016) (研究奨励賞)	2016/2/3
37	土手暁	富士通	3次元集積デバイスにおける座屈を考慮した薄化チップの変形モデル	第 22 回「エレクトロニクスにおけるマイクロ接合・実装技術」シンポジウム (Mate2016)	2016/2/3
38	森田将	富士通	無電解 Ni-B UBM のはんだバリア性に及ぼす B 濃度の影響	第 30 回エレクトロニクス実装学会春季講演大会	2016/2/5
39	赤松俊也	富士通	Study of Chip Stacking Process and Electrical Characteristic Evaluation of Cu pillar Joint Between Chips Including TSV	IEEE 66th Electronic Components and Technology Conference (ECTC 2016)	2016/3/1
40	土手暁	富士通	Characterization of Warpages and Layout-Dependent Local-Deformations for Large Die 3D Stacking	IEEE 66th Electronic Components and Technology Conference (ECTC 2016)	2016/3/1
41	渡辺 直也 他	産業技術総合研究所 他	High-Yield Via-Last TSV Process by Notchless Silicon Etching and Wet Cleaning of the First Metal Layer	International Conference on Dynamical Processes in Excited States of Solids (DPC)	2016/3/15
42	渡辺 直也 他	産業技術総合研究所 他	高性能センサーシステムのための高歩留まり・ビアラスト TSV プロセスの開発	第 30 回エレクトロニクス実装学会春季講演大会	2016/3/23
43	長谷川清久	図研・デンソー	三次元積層 IC の設計と LVS/DRC の手法	第 30 回 エレクトロニクス実装学会 春季講演大会	2016/3/24
44	森田将	富士通	無電解 Ni-B めっき UBM のはんだバリア特性と接合強度の検討	電子デバイス実装研究委員会	2016/5/23
45	Feng Wei 他	産業技術総合研究所	Low residual stress in Si substrate of annular-trench-isolated TSV	IEEE Electronic Components and Technology Conference (ECTC)	2016/6/3
46	田代浩子	富士通	TSV の応力の影響による CMOS 回路レベルの KOZ の抽出	第 26 回マイクロエレクトロニクスシンポジウム (MES2016)	2016/9/8
47	渡辺 直也 他	産業技術総合研究所 他	ビアラスト TSV プロセスで形成した微細 TSV の電気特性評価	JIEP マイクロエレクトロニクスシンポジウム (MES)	2016/9/9
48	只木進二	富士通	3次元 LSI 実装の微細マイクロバンプ接合状態と電流密度耐性	第 26 回マイクロエレクトロニクスシンポジウム (MES2016)	2016/9/9
49	渡辺 直也 他	産業技術総合研究所 他	Development of a High-Yield Via-Last TSV Process Using Notchless Si Etching and Wet Cleaning of First Metal Layer	Advanced Metallization Conference (ADMETA)	2016/10/21
50	吉良秀彦	富士通	Development of A Stacking Technology for Large-sized Chips using Non-Conductive Film	IEEE CPMT Symposium Japan 2016 (ICSJ 2016)	2016/11/7
51	菊池俊一	富士通	An Experimental Setup of Stacked thermal chips with Selectable cell heaters for 3D integration design	IEEE CPMT Symposium Japan 2016 (ICSJ 2016)	2016/11/7

番号	発表者	所属	タイトル	会議名	発表年月
52	北田秀樹	富士通	Study of MOSFET thermal stability with TSV in operation temperature using novel 3D-LSI stress analysis	The IEEE International Conference on 3D System Integration (3D IC 2016)	2016/11/10
53	渡辺 直也 他	産業技術総合研究所 他	Wet Cleaning Process for High-Yield Via-Last TSV Formation	IEEE International Conference on 3D System Integration (3DIC)	2016/11/11
54	須和田誠	富士通	Considerations of TSV effects on next-generation super-high-speed transmission and power integrity design for 300A-class 2.5D and 3D pkg integration	The IEEE International Conference on 3D System Integration (3D IC 2016)	2016/11/11
55	野村昌弘	ルネサスエレクトロニクス(株)	次世代スマートデバイス開発プロジェクト「1,000GOPS/Wを超える画像意味理解プロセッサプラットフォーム技術の開発」	第9回新産業技術促進検討会	2016/11/15
56	北田秀樹	富士通	Thermal Stress Reliability of Copper Through Silicon Via Interconnects for 3D Logic Devices	Electronics Packaging Technology Conference 2016 (EPTC2016)	2016/11/30
57	寺部雅能	デンソー	Multi-core Technology for LiDAR Processing	Consumer Electronics Show	2017/1/20
58	菊池遼	富士通	局所加熱領域を有する3次元積層ICを用いた過渡熱解析による熱特性評価	第23回エレクトロニクスにおけるマイクロ接合・実装技術シンポジウム	2017/2/1
59	只木進二	富士通	3次元実装LSIの温度サイクルにおける信頼性	第23回エレクトロニクスにおけるマイクロ接合・実装技術シンポジウム	2017/2/2
60	渡辺 直也 他	産業技術総合研究所 他	ビアラスト型TSVの高留まり化のためのウェット洗浄プロセスの開発	電子情報通信学会シリコン材料・デバイス研究会	2017/2/6
61	北田秀樹	富士通	高性能大規模3次元プロセッサ開発における高信頼性デバイス積層技術	電子回路研究会	2017/2/24
62	長谷川清久	図研・デンソー	三次元積層ICの構想設計における効率改善手法の検討	第31回エレクトロニクス実装学会 春季講演大会	2017/3/8
63	北田秀樹	富士通	Development of high yield and reliability design for high-performance ultra large scale 3DLSI processor	International Microelectronics AND Packaging Society (iMAPS2017)	2017/3/8
64	渡辺 直也 他	産業技術総合研究所 他	ビアラスト型TSVの高歩留まり形成のためのピア底洗浄工程の検討	第64回応用物理学会春季学術講演会	2017/3/14
65	秋田浩伸	デンソー	An Imager Using 2-D Single-Photon Avalanche Diode Array	IEEE SSCS Japan 2017	2017/6/1
66	大原悠希 他	(株)デンソー	A Cost Effective Via Last TSV Technology Using Molten Solder Filling for Automobile Application	2017 IEEE 68th Electronic Components and Technology Conference	2017/6/1
67	渡辺 直也 他	産業技術総合研究所 他	Metal Contamination Evaluation of Via-Last Cu TSV Process Using Notchless Si Etching and Wet Cleaning of the First Metal Layer	IEEE Electronic Components and Technology Conference (ECTC)	2017/6/1
68	藤本裕	デンソー	カーエレクトロニクスを牽引する半導体技術	JIEP 最先端実装技術シンポジウム	2017/6/7

番号	発表者	所属	タイトル	会議名	発表年月
69	長谷川清久	図研・デンソー	TSVを使った積層 IC のための統合設計環境の構築	TSV 応用研究会	2017/6/15
70	秋田浩伸	デンソー	An Imager Using 2-D Single-Photon Avalanche Diode Array	IEEE Symposium on VLSI Circuits	2017/6/15
71	上杉浩	デンソー・図研	三次元積層 IC の開発に向けた統合設計環境の構築	第 27 回 マイクロエレクトロニクスシンポジウム	2017/8/30
72	田代 浩子	富士通	TSV 応力伝搬の動作温度依存性が及ぼす CMOS 回路特性変動への影響	第 27 回マイクロエレクトロニクスシンポジウム (MES2017) (ベストペーパー賞)	2017/8/30
73	土手 暁	富士通	三次元 LSI 実装による TSV 近傍の応力変化と CMOS 特性への影響評価	第 27 回マイクロエレクトロニクスシンポジウム (MES2017)	2017/8/30
74	荒賀 佑樹 他	産業技術総合研究所	Investigation of Transient Thermal Distribution in Three-Dimensional Stacked ICs	International Conference on Solid State Devices and Materials (SSDM)	2017/9/21
75	荒賀 佑樹 他	産業技術総合研究所	Evaluation of Substrate Noise Suppression Method to Mitigate Crosstalk among TSVs	International Conference on Solid State Devices and Materials (SSDM)	2017/9/22
76	野村昌弘	ルネサスエレクトロニクス(株)	Next Generation Smart Device Development Project - Development of over 1,000 GOPS/W Image Recognition Processor Platform Technologies -	The 3rd ImPACT International Symposium on Spintronic Memory, Circuit and Storage	2017/9/25
77	Feng Wei 他	産業技術総合研究所	Investigation of Thermal Stress for 6-micron Diameter TSV by Polarized Raman Spectroscopy Measurement and Finite Element Simulation	Advanced Metallization Conference (ADMETA)	2017/10/19
78	藤本裕	デンソー	進化するカーエレクトロニクスと半導体技術・実装技術	Zuken Innovation World 2017	2017/10/20
79	藤田陽子	図研	NEW CAD TOOLS FEATURE FOR VIRTUAL PROTOTYPING	IWLPC 2017@San Jose, California, USA	2017/10/24
80	只木 進二	富士通	Development of High-Performance Ultra Large Scale 3D Processor with High Reliability Packaging Design	12th International Microsystems, Packaging, Assembly and Circuits Technology (IMPACT2017)	2017/10/25
81	菊池 俊一	富士通	Thermal Modeling and Experimental Verification using Large-sized Stacked Chips	IEEE CPMT Symposium Japan 2017 (ICSJ 2017)	2017/11/21
82	土手 暁	富士通	Impact of 3D Stacking on the TSV-induced Stress and the CMOS Characteristics	Electronics Packaging Technology Conference 2017 (EPTC2017) (Best industrial paper)	2017/12/8
83	山崎一寿	富士通	3次元実装におけるはんだ接合構造の許容電流密度に及ぼす影響	第 24 回「エレクトロニクスにおけるマイクロ接合・実装技術」シンポジウム (Mate2018)	2018/1/31
84	水谷厚司 他	(株)デンソー	車載用低コストはんだ TSV 技術	電子情報通信学会技術研究報	2018/2/8
85	長谷川清久	図研	ADAS 時代の三次元実装に向けた三次元積層設計とモデリング手法の検討	第 32 回 エレクトロニクス実装学会 春季講演大会	2018/3/7

番号	発表者	所属	タイトル	会議名	発表年月
86	菊池 俊一	富士通	Assembly Process Development of Ultra Large Scale 3D Stacking with Transmission Circuits via TSVs	IEEE 68th Electronic Components and Technology Conference (ECTC2018)	2018/5/30
87	大原悠希 他	(株)デンソー	A Study of Crystal Orientation of Solder TSVs	2018 IEEE 69th Electronic Components and Technology Conference	2018/6/1
88	渡辺 直也 他	産業技術総合研究所 他	ノッチレス Si エッチングと第1メタル層のウエット洗浄で形成した微細 TSV つき薄形チップの積層	JIEP マイクロエレクトロニクスシンポジウム (MES)	2018/9/6

(b)新聞・雑誌等への掲載

番号	所属	タイトル	掲載誌名	発表年月
1	ルネサスエレクトロニクス(株)	第9回新産業技術促進検討会 センサを制する者はIoTを制す	日刊工業新聞, p. 16	2016/12/26
2	富士通 吉見康一	Verification of Power and Thermal Integrity of Large Vertically Stacked Dies	ANSYS ADVANTAGE MAGAZINE (英語版) ISSUE 2 2016 pp 20-22	2016
3	富士通 吉見康一	3D-IC の PI/TI 検証	ANSYS ADVANTAGE MAGAZINE (日本語版)	2016
4	富士通 北田秀樹	電子機器の小型・高密度化を実現する三次元実装技術	雑誌 FUJITSU 2017-1月号 (Vol. 68, No. 1) pp 22-29	2017/1
5	富士通 北田秀樹	3D Packaging Technology to Realize Compact/High-Density and High High-Performance Servers	FUJITSU SCIENTIFIC & TECHNICAL JOURNAL (F. S. T. J.) 2月号	2017/2
6	ルネサスエレクトロニクス(株)	自動運転時代に向けた新たなコンセプト「Renesas autonomy™」を発表 (スマートカメラ向け SoC「R-Car V3M」)	https://www.renesas.com/jp/ja/about/press-center/news/2017/news20170411c.html	2017/04/11
7	ルネサスエレクトロニクス(株)	車載用スマートカメラ向け SoC の第二弾、レベル3、4の自動運転システムの実用化に向け「R-Car V3H」を発表	https://www.renesas.com/jp/ja/about/press-center/news/2018/news20180228a.html	2018/02/28

(c)その他

番号	所属	タイトル	イベント名	発表年月
1	ルネサスエレクトロニクス・クラリオン	自動運転時における危機認識技術をパネル展示で紹介	CEATEC Japan 2015 (NEDO ブース)	2015/10/7-10
2	デンソー・図研・富士通	<ul style="list-style-type: none"> ・運転高度化のための次世代スマートデバイス ・次世代車載用障害物センシングデバイスを実現する3次元実装評価技術の開発 ・次世代車載用障害物センシングデバイスを実現する3次元積層技術の開発 ・積層 IC を効率的に開発するための3次元統合設計・検証プラットフォーム 	SEMICON Japan 2015 (NEDO ブースでのパネルおよびデモ展示)	2015/12/16-18
3	富士通	冷却体験デモ	CEATEC Japan 2016	2016/10/4-7