

「超低消費電力型光エレクトロニクス 実装システム技術開発」

事業原簿

公開

担当部室	国立研究開発法人 新エネルギー・産業技術総合開発機構 IoT 推進部
------	---------------------------------------

—目次—

概要	概要-1～4
プロジェクト用語集	プロジェクト用語集-1～6
I. 事業の位置付け・必要性について	1
1. NEDOの関与の必要性・制度への適合性	1
1. 1 NEDOが関与することの意義	1
1. 2 実施の効果（費用対効果）	7
2. 事業の背景・目的・位置づけ	8
2. 1 事業の背景	8
2. 2 事業の目的	10
2. 3 事業の位置づけ	11
II. 研究開発マネジメントについて	12
1. 事業の目標	12
2. 事業の計画内容	13
2. 1 研究開発の内容	13
2. 2 研究開発の実施体制	21
2. 3 研究の運営管理	24
2. 4 研究開発成果の実用化・事業化に向けたマネジメントの妥当性	26
3. 情勢変化への対応	27
4. 評価に関する事項	28

Ⅲ. 研究開発成果	29
1. 事業全体の成果	29
1. 1 事業全体の成果について	29
1. 2 知的財産権等の確保に向けた取組み	29
1. 3 成果の普及	30
1. 4 研究開発目標の達成度について	31
2. 研究開発項目毎の研究開発成果について	33
2. 1 光エレクトロニクス実装基盤技術の開発	33
2. 1. 1 全体成果	33
2. 1. 2 (i) 実装基盤技術	36
2. 1. 3 (ii) 革新的デバイス技術	61
2. 2 光エレクトロニクス実装システム化技術の開発	69
2. 2. 1 システム化技術の全体像	69
2. 2. 2 (i) システム化技術	72
2. 2. 3 (ii) 国際標準化	84
2. 3 成果普及活動	87
Ⅳ. 実用化・事業化に向けての見通し及び取組について	89
1. 実用化、事業化の見通し及び取組について	89
1. 1 光 I/O コア等	89
1. 2 デジタルコヒーレントトランシーバ	89
1. 3 PON システム	89
1. 4 光 I/O 付 SSD	90
1. 5 サーバ応用 1	90
1. 6 サーバ応用 2	90

(添付資料)

(A) プロジェクト基本計画

(B) 未来開拓研究プロジェクト実施要綱および実施に関する基本方針

(C) 超低消費電力型光エレクトロニクス実装システム技術開発事前評価報告書、
総合科学技術会議が実施する国家的に重要な研究開発の評価結果

概要

最終更新日 平成29年9月12日

プログラム (又は施策)名	未来開拓研究プロジェクト						
プロジェクト名	超低消費電力型光エレクトロニクス実装システム技術開発	プロジェクト番号	P13004				
担当推進部/ 担当者	IoT推進部/梅田 到、大橋 雄二、中山 敦、岩本 篤(平成29年7月~現在) IoT推進部/厨 義典、大橋 雄二、岩本 篤(平成29年4月~平成29年6月) IoT推進部/水野 義博、荒川 元孝、厨 義典(平成28年7月~平成29年3月) 電子・材料・ナノテクノロジー部/水野 義博、波佐 昭則(平成26年10月~平成28年6月) 電子・材料・ナノテクノロジー部/井谷 司、波佐 昭則(平成26年9月) 電子・材料・ナノテクノロジー部/井谷 司、松岡 隆一(平成25年4月~平成26年8月)						
0. 事業の概要	<p>クラウドコンピューティングの進展によりデータセンタなどにおける情報処理量や通信トラフィックが指数関数的に増大しており、データセンタ内の情報処理機器(サーバ、ルータ等)は更なる高速化が進んでいる。同時に、ボード間、ボード内のチップ間の電気配線の損失が飛躍的に増加しており、消費電力増大が懸念され、性能向上のボトルネックとなっている。</p> <p>本プロジェクトでは、前記課題を解決する革新的技術として、電気配線を用いる場合より少ない電力でかつ高速な通信が可能な光配線を用いて情報機器の高速・大容量処理化と同時に大幅な省電力化を実現する光電子融合システムの構成要素技術を確立する。</p>						
I. 事業の位置付け・必要性について	<p>光電子融合システム技術を開発することで、データセンタ等における情報処理量・通信量の増加に伴って急激な増加が予測される消費電力の抑制を図り、地球温暖化ガスの排出量の削減にも寄与する。</p> <p>また、光半導体分野における我が国の競争優位を維持向上するとともに、光電子融合システムによる新たなコンピューティング技術領域において競争力を獲得し、半導体産業、回路基板産業やそれらをシステム化したサーバ、ルータ等の情報通信機器産業など幅広いエレクトロニクス産業の活性化に資する。</p>						
II. 研究開発マネジメントについて							
事業の目標	<p>電気信号と光信号を相互に変換する超小型光素子および電子機器の電気配線を光配線に変換する光配線技術を開発し、これらを基盤としてボード間、集積回路チップ間の通信を電気通信から光通信へ変換する光エレクトロニクス実装システム技術を開発する。</p> <p>具体的には、電気配線を用いる場合に比べて1/10の低消費電力化・高速化(1mW/Gbps)と通信速度あたりの面積比で1/100以下の小形化を実現するために必要な構成要素技術を平成29年度までに確立することを目標とする。次に、確立された要素技術を用いて光電子集積インターポーザ、光電子ハイブリッド回路基板、およびそれらの集積化技術を確立することにより消費電力を30%削減できデータセンタレベルで運用可能な光電子融合サーバボード実現の目処を得る。</p> <p>また、機器間の光インターフェースにおいて、100Gbps/chの高速伝送及び現状の光トランシーバモジュールの消費電力(300W程度)を1/5~1/10まで低減できる低消費電力化技術を実現する。</p>						
事業の計画内容	主な実施事項	H24fy	H25fy	H26fy	H27fy	H28fy	H29fy
	① エレクトロニクス実装基盤技術						
	(i)実装基盤技術						
	(a)光エレクトロニクス実装技術						

	(b)光エレクトロニクス集積デバイス技術							
	(c)光エレクトロニクスインターフェース技術							
	(d)光エレクトロニクス回路設計技術							
	(ii)革新的デバイス技術							
	②光エレクトロニクス実装システム化技術							
	(i)システム化技							
	(a)サーバーボードのシステム化技術開発							
	(b)ボード間接続機器、筐体間接続機器のシステム化技術開発							
	(c)データセンタ間接続機器のシステム化技術							
	(d)企業間ネットワーク接続機器のシステム化技術開発							
	(ii)国際標準化							
開発予算 (会計・勘定別に事業費の実績額を記載)(単位:百万円) 契約種類: ○をつける (委託○) 助成() 共同研究(負担率())	会計・勘定	H24fy	H25fy	H26fy	H27fy	H28fy	H29fy	総額
	一般会計	—	—	—	—	—	—	—
	特別会計(需給)	2,800 (実績)	2,400 (実績)	2,777 (実績)	2,500 (実績)	1,720 (実績)	1,800 (予定)	13,997 (予定)
	開発成果促進財源	—	102 (実績)	848 (実績)	1,006 (実績)	—	—	1,956 (予定)
	総予算額	2,800 (実績) 【経済産業省執行】	2,502 (実績)	3,625 (実績)	3,506 (実績)	1,720 (実績)	1,800 (予定)	15,953 (予定)
開発体制	経産省担当原課	商務情報政策局 情報産業課						
	プロジェクトリーダー	東京大学教授 荒川 泰彦						
	委託先(*委託先が管理法人の場合は参加企業数及び参加企業名も記載)	技術研究組合光電子融合基盤技術研究所 (参加企業7社(NTTエレクトロニクス(株)、沖電気工業(株)、(株)東芝、日本電気(株)、日本電信電話(株)、富士通(株)、古河電気工業(株))、(国研)産業技術総合研究所、(一財)光産業技術振興協会) 再委託(京都大学、東京工業大学、東京大学、横浜国立大学、早稲田大学)						

<p>情勢変化への対応</p>	<p>世界的なシリコンフォトリソグラフィ技術への注目の高まりと競争激化へ対応するため、大規模光回路技術開発と省電力化技術を前倒しで着手した。また、データセンタ間接続機器システム技術は、実用化が加速している状況に対して、現状成果の一部を活用した先行事業化を実施するとともに、目標を状況の変化に対応したものに変更した。 モバイル情報通信やIoTの進展によるデータ通信量増大、AIおよびディープラーニングの進展による情報処理の高速化等に対応し、中間目標を追加した。</p>	
<p>中間評価結果への対応</p>	<p>平成26年度に行われた中間評価結果に対応し、主に4つの対応策を推進した。実用化事業化促進戦略を策定するために、国内企業動向、国内外マーケット動向を集約したロードマップを作成し、促進財源を投入して研究開発と実用化事業化を加速した。また、論文や学会発表を数多く行うことで研究開発の進捗を公開・アピールし、更に製品仕様やサービス内容を具体化して実用化および実用化のための会社設立を各1件ずつ行った。</p>	
<p>評価に関する事項</p>	<p>事前評価</p>	<p>平成23年度 産業構造審議会産業技術分科会評価小委員会（7月）、総合科学技術会議の評価専門調査会（12月） 担当：経済産業省</p>
	<p>中間評価</p>	<p>平成26年度 中間評価実施 担当部 電子・材料・ナノテクノロジー部</p>
	<p>中間評価</p>	<p>平成29年度 中間評価実施予定 担当部 IoT推進部</p>
	<p>中間評価</p>	<p>平成31年度 中間評価実施予定</p>
	<p>事後評価</p>	<p>平成34年度 評価実施予定</p>
<p>Ⅲ. 研究開発成果について</p>	<p>研究開発項目ごとの成果と平成29年度末までの成果目標を以下にまとめる。（未達の場合は、達成の課題と方針を記載） 研究開発項目①「光エレクトロニクス実装基盤技術の開発」 (i) 実装基盤技術 (a) 光エレクトロニクス実装技術 ・5cm×5cm程度の光電子ハイブリッド基板上にLSIを搭載するモジュール化技術を確立し、LSIモジュールでの高速光インターコネクトを実現する。 (b) 光エレクトロニクス集積デバイス技術 ・多数の光素子を集積した光電子集積インターポーザの大容量伝送を実現するための基盤集積技術を確立する。 (c) 光エレクトロニクスインターフェース技術 ・低消費電力DSP-LSI最終プロトタイプを実現するとともに、データセンタ間通信向け低消費電力100Gbpsデジタルコヒーレント光トランシーバを実証するための要素技術を確立した。 (d) 光エレクトロニクス回路設計技術 ・光デバイス設計用電子・光連携TCADと光電子集積インターポーザの設計を可能とする統合設計環境を連携させ、基本実装構造に関するデータベース（デザインキット）を整備し、光電子集積インターポーザを効率的に設計可能とした。 (ii) 革新的デバイス技術 ・量子ドットレーザアレイを実現するとともにシリコン系基板上に直接成長した量子ドットレーザを試作する。 ・導波路型受光器における暗電流抑制技術を実現する。 ・超小型高速変調器としてLN変調器を凌駕する実用性能を得る。 ・3次元光配線技術として垂直方向と水平方向の伝搬機能の統合を実現する。 ・異なる機能の光回路を同一回路基板上に集積し、光FPGAコンセプトを実証する。 ・光スイッチマトリクスの高電力化、光信号処理デバイスの10Gbps程度での動作を実証する。これらの検討を通じて、光電子集積サーバ技術への技術展開の見通しを示すとともに事業化に対する課題を明確化する。 研究開発項目②「光エレクトロニクス実装システム化技術の開発」 (i) システム化技術 (a) サーバボードのシステム化技術開発 ・光電子集積サーバボードにおける伝送機能の主要部分からなる送受信部を試作し、要求スペックを満たす光伝送を実証する。 ・光電子集積インターポーザに積層型のストレージチップを実装した光インターフェース付SSD技術を確立する。 (b) ボード間接続機器、筐体間接続機器のシステム化技術開発 ・LSIと光トランシーバの接続構造を決定した。</p>	

	<ul style="list-style-type: none"> ・ 策定した設計基準に基づき既存ロジック L S I を搭載できる基板を設計・試作し、光ケーブルを用いた L S I 搭載基板間光接続を実現した。 (c) データセンタ間接続機器のシステム化技術開発（平成 28 年度末） ・ 抽出した技術課題を解決し、目標である小型、低消費電力を満たす 1 0 0 G b p s デジタルコヒーレント光トランシーバを実現した。 (d) 企業間ネットワーク接続機器のシステム化技術開発 ・ シリコン光導波路による双方向多重用合分波器と波長多重用合分波器を組み合わせて集積試作し、一芯双方向波長多重動作をシリコンワンチップ上で実証するとともに、企業間ネットワーク向け波長多重合分波器実用化のための要求課題を抽出し、解決の目処を得る。 (ii) 国際標準化 <ul style="list-style-type: none"> ・ 本プロジェクトの成果である光実装部品における各種インターフェース等の標準化提案活動を行い、開発成果の事業化に必要な標準の提案を行う。 	
	投稿論文、学会発表等 （事業開始から平成 2 9 年 8 月末）	「査読付き論文」 9 7 件 「発表（解説記事含む）」 7 0 4 件
	特許（同上）	「出願済」 1 3 9 件、（うち国際出願 5 8 件）
	その他の外部発表（プレス発表等） （同上）	3 6 件
IV. 実用化・事業化の見通しについて	<p>本プロジェクトは日本の光デバイス、ネットワーク関連企業で構成される技術組合を実施者とするものであり、早期に実用化の目処が立ったデバイスについては、プロジェクト期間の終了を待たずに実用化・事業化を進める。事業化を有利に進めるために、国際標準化活動による規格獲得を目指す。</p>	
V. 基本計画に関する事項	作成時期	平成 2 4 年 5 月 「超低消費電力型光エレクトロニクス実装システム技術開発」実施計画作成（経済産業省） 平成 2 5 年 3 月 基本計画作成（NEDO） 平成 3 0 年 3 月 平成 2 9 年実施の中間評価の結果を基に基本計画を変更予定
	変更履歴	無

プロジェクト用語集（公開版）

用語	説明
(集積)光 I/O チップ	光 I/O コアの主要部品の 1 つ。シリコンフォトニクス技術を用い、光変調器、受光器、合分波器、光入出力部、などの要素光素子を SOI 基板上に集積したチップ。
2 重コア SSC	2 種類の屈折率の異なるコアを設け、光の結合損失が少なくなるような構造を持つ SSC。
ACO、DCO	ACO: Analog Coherent Optics の略。プラグブルデジタルコヒーレントトランシーバの筐体内には波長可変光源、光変調器/ドライバ、集積光受信器などの部品を収容し、発熱源である DSP-LSI はトランシーバ外部の基板に実装することで、放熱条件を緩和させるとともに高価な光トランシーバは需要に応じて段階的に増設可能となる特長を持つ。光トランシーバの入出信号は高周波アナログ信号であり、DSP-LSI でその伝送特性劣化を補償する必要がある。 DCO: Digital Coherent Optics の略。プラグブルデジタルコヒーレントトランシーバの筐体内に DSP-LSI が内蔵されており、光トランシーバの入出信号がデジタル信号であることを特長とする。
AOC	Active Optical Cable の略: 信号伝送ケーブルの一種であり、伝送部分に光ファイバを用いた物。外部インターフェースは電気信号であり、コネクタ内部に電気/光変換、光/電気変換部が内蔵されている。光ファイバ伝送のため、電気ケーブルに比べ高速/長距離伝送が可能。
APD	Avalanche Photo Diode の略: 半導体におけるなだれ (Avalanche) 増倍現象を用いて、通常の PD よりも高感度化した受光素子であり、長距離光通信に用いられる。
Back-to-Back	送信機と受信機を直接に（もしくは、極短距離で）接続した状態。途中の信号伝送媒体（光導波路、光電子変換デバイス等）の評価をする際の参照データとなる。
BER	Bit Error Rate の略: 通信で用いられる符号誤り率で、一定の時間内での送信される符号総数に対する、誤って受信された符号数の比率で示される。
CDR	Clock Data Recovery の略: データにクロックが重畳されている伝送路上の信号を受信し、クロックとデータを分離する機能。デジタル信号受信における 3R 機能（波形整形-reshaping、タイミング再生-retiming、識別再生-regenerating）の一つである。
CFP	100G Form-factor Pluggable の略: C はローマ数字で 100 を表す。装置の電源を切らずに（活線）挿抜可能な光トランシーバの MSA の一つ。ここで MSA とは Multi-Source Agreement の略で、製品のパッケージサイズ、ピン配置、およびスペックなどを複数のベンダー間で共通化する事で、製品の安定した供給体制を確立するためのベンダー間の取り決めのこと。CFP-MSA の詳細はホームページ http://www.cfp-msa.org/ を参照。
CMOS 回路	Complementary Metal Oxide Semiconductor の略: p チャネルと n チャネルの MOSFET を相補的に配置した回路構成を有する半導体デバイス。論理が反転する時にのみしか充放電電流が流れないため、消費電力の少ない論理回路が構成できる。

用語	説明
DC 特性	Direct Current 特性の略。静特性とも言う。
Demux	demultiplexing あるいは demultiplexer の略：シリアル信号を複数のパラレル信号に変換すること。この動作を実行するデバイス/装置。Mux の逆の動作。
DFB	Distributed Feedback の略：半導体レーザの光共振器構造の一種。共振器内部に回折格子が作りこまれており特定の波長だけが正帰還を受けるので、単一モード発振が得られる。
DP-QPSK 方式	Dual-Polarization Quadrature Phase-Shift Keying の略：偏波直交 4 位相偏移変調方式とも呼ぶ。光ファイバ中で直交するそれぞれの偏波に対し、変調された四つの光位相 0° 、 90° 、 180° 、 270° に、それぞれ 2 ビットによる信号で 4 種類の情報を割り当てる変調方式。二つの偏波それぞれで 1 シンボルあたり 2 ビットを送れるので、電子回路の動作スピードが毎秒 25 ギガビット相当 (25Gbaud) でも 4 倍の毎秒 100 ギガビットを運べる。
EOM	Embedded Optical Modules の略：オンボードタイプの組込み光モジュールであり、既存光モジュールベンダが独自のフォームファクタで製品化。 AOC よりも小型なため、LSI 近傍に搭載することが可能となる。
FDTD	Finite-difference time-domain の略：電磁場解析の一手法であり、空間・時間領域での差分方程式に展開して電場・磁場を求める方法
FEC	Forward Error Correction の略で前方誤り訂正とも呼ぶ。誤りが起こることを見越してあらかじめ冗長な符号を付加したデータを送信し、受信側で元のデータを復元する方式。
FPGA	Field Programmable Gate Array の略：論理回路構成が書き換え可能なプログラマブルロジックデバイス。最近は大規模化、入出力速度の高速化の進展が著しい。
Gbps	Giga bit per second の略：データ通信速度の単位の一つ。1Gbps は一秒間に十億ビットのデータを送れることを表す。
ICR	Integrated Coherent Receiver の略：OIF で規格された集積コヒーレントレシーバに関するマルチ・ソース・アグリーメント (MSA) であり、偏光分離機能、可変光減衰器、光ミキサ (90 度ハイブリッド)、バランスド・レシーバなどが一つの筐体内に集積化されている。
ITLA	Integrable Tunable Laser Assembly の略：OIF で規格化された波長可変レーザアセンブリに関するマルチ・ソース・アグリーメント (MSA) であり、制御命令や電源、外形寸法などが規定されている。
LA/TIA	Limiting Amp / Trans impedance Amp の略：受光素子からの微弱な電気信号強度を増幅するための増幅器。
LD	Laser Diode の略：半導体レーザ。
LD テラス	LD を実装するため、Si 基板の端面に深溝構造の方形状 (テラス) のステップを形成し、その部分に LD チップを実装する。この構造を LD テラスと呼んでいる。

用語	説明
LN 変調器	LiNbO ₃ 結晶のポッケルス効果による屈折率変化を利用した光変調器で光通信に不可欠なデバイスの一つです。半導体レーザなどの CW 光を変調する外部変調器として使用されており、高速変調が可能です。
MMF	Multi Mode Fiber の略： 多数のモードの光が伝搬する光ファイバ。
MOS 接合	MOS (Metal-Oxide-Semiconductor の略：金属-酸化物-半導体) 素子によるダイオード接合。
Mux	multiplexing あるいは multiplexer の略：複数のパラレル信号をシリアル信号に変換すること。この動作を実行するデバイス/装置。
NAND 型 FLASH MEMORY	電荷蓄積層を持つゲート電極 MOS トランジスタを直列に接続した構造の不揮発性メモリ。USB メモリ、SD カード等幅広く使われている。
NRZ	non-return-to-zero の略：ビットの値 0 または 1 に応じて、{電圧、電流または光強度} が低いまたは高い信号を出力する信号変調方式。
OIF	The Optical Internetworking Forum の略：キャリア、コンポーネントベンダ、システムベンダ、測定器会社などが参加する 1998 年に創設された業界団体。光伝送技術に関する標準化を推進し、低コストでスケーラブルな光ネットワークを実現することを目的としている。
ONU	Optical Network Unit の略：光加入者通信網において、加入者宅に設置して、パソコンなどの端末機器をネットワークに接続するために、光信号と電気信号の相互の変換を行う装置。
OSFP-MSA	OSFP (Octal Small Form-factor Pluggable)-MSA は、8 レーン x 50Gbps のインターフェースを有する 400Gbps リンク用のプラグブル光トランシーバの規格で、2016 年 11 月 15 日に Google、Arista Networks などを中心に発表された。
PD	Photo Diode の略：フォトダイオード
PECST	Photonics Electronics Convergence System Technology の略：JSPS が行った最先端研究開発支援プログラム (FIRST プログラム) の 1 つの「フォトニクス・エレクトロニクス融合システム基盤技術開発」。
PIN 構造	PN 間に電気抵抗の大きな Intrinsic 半導体層をはさみ少数キャリア蓄積効果を大きくし逆回復時間を長くした構造。
PON	Passive Optical Network の略：光ファイバ網の途中に分岐装置を挿入して、1 本のファイバを複数の加入者間で共有することで、効率的な光通信を実現するネットワーク方式の一形態。光加入者通信網の基盤技術。

用語	説明
QSFP	Quad Small Form-factor Pluggable の略：送受 4ch の電気/光変換部分が内蔵された光トランシーバモジュール。 100Gイーサネット用の QSFP28 等が既存光モジュールベンダより製品化されている。
SATA	Serial Advanced Technology Attachment の略：データ記憶装置（HDD、SSD など）と CPU を接続する規格の一つ。
SerDes	Serializer/Deserializer の略：シリアル信号、パラレル信号を相互変換する電子回路。
SiGe 回路	シリコンに少量のゲルマニウムを添加した半導体材料。MOS 型トランジスタではなくバイポーラトランジスタに用いられるため、CMOS 回路と対比してバイポーラトランジスタ回路の意味で用いられる。バイポーラトランジスタを使って電流モード回路を構成する 경우가多く、常時電流が流れ続けるため CMOS 回路に比べて消費電力が大きくなる傾向にある。
SMF	Single Mode Fiber の略： 単一光モードのみ伝搬可能な光ファイバ。
SOA	Semiconductor Optical Amplifier の略：半導体光増幅器。
SOI	Silicon On Insulator の略：シリコン基板上にシリコン酸化膜と更にその上にシリコン層が形成された基板構造で、CMOS 電子回路やシリコンフォトリソグラフィのウェーハ基板として使用されている。
SSC： スポットサイズ変換器	Spot Size Converter の略：Si 導波路とファイバや半導体レーザーのサイズ差による光の結合損失を少なくする変換器。導波路の幅を徐々に変えていく方法等いろいろな構造がある。
SSD	Solid State Drive の略：ハードディスク（HDD: Hard Disc Drive）に代り、記憶媒体に半導体不揮発性メモリ素子（NAND FLASH MEMORY）を用いた記憶装置。小型化可能でデータ書込み/読出し速度も速く、急速に普及している。
TCAD	Technology CAD の略：プロセスシミュレータとデバイスシミュレータと回路シミュレータを統合したもの。
TIA	Trans-Impedance Amplifier の略：受光ダイオードの光電流を電圧に変換して出力する増幅器
TWDM-PON	PON の構成形態の一種。元々時分割多重（TDM）を用いる PON に、さらに WDM を適用することにより伝送容量を拡大している。
Tx、Rx	Tx：Transmitter の略称、Rx：Receiver の略称
VSR	Very Short Reach の略：2km 程度までの短距離用光トランシーバ。LAN などに多用される。
WDM	波長分割多重（Wavelength Division Multiplexing）の略： 光ファイバ通信において、波長の違う複数の光信号を同時に利用する（多重化）ことで、波長数だけ伝送容量を拡大する技術。

用語	説明
アイパターン	信号波形の遷移を多数サンプリングし、重ね合わせてグラフィカルに表示したもの。上下左右に大きく開いたパターンほど良好な信号伝送ができていることを表す。
ウェーハボンディング	接着剤などを使わずにシリコンなどのウェーハを直接接合する技術。
コンステレーションマップ	多値変調された信号情報を直交した I 軸, Q 軸を有する複素平面上にマッピングしたもの。
デジタル信号処理 (DSP) LSI	コヒーレント光ファイバ通信方式を実現するためのキーデバイス。偏波多重された高速光信号をコヒーレント検波した後に、分散補償や偏波分離などのデジタル電気信号処理 (Digital Signal Processing) を駆使して、ファイバ伝搬で歪んだ信号波形から正しい信号データを復元する。
デジタルコヒーレント伝送技術	光の強度に加えて位相も情報伝送に利用する通信方式。受信側では、信号光と波長が極めて近い光とを混合してから電気信号に変換 (コヒーレント検波) する。光伝送路で発生する波形歪みを超高速デジタル信号処理を用いて補償することで、安定な大容量長距離伝送が可能となる。
フリップチップ実装	実装基板上にチップを実装する方法の 1 つ。チップ表面と基板を電氣的に接続する際、ワイヤ・ボンディングのようにワイヤによって接続するのではなく、アレイ状に並んだバンプと呼ばれる突起状の端子によって接続する。ワイヤ・ボンディングに比べて実装面積を小さくできる。
マッハ・ツェンダー型	1 つの光源から分けた 2 つの光に位相差をつけて、再び、合波することで 2 つの光を干渉させて光強度を変調する方法。
リング光共振器	リング状に形成された光回路。一方の直線光導波路から入力された光の中で、特定の波長をもつ光だけが共振して他方の光導波路から出力される特徴をもつ。
暗電流	PD に光の入射がない場合にも流れている電流のこと。光信号の受信における雑音となるため、暗電流が小さいことが望まれる。
位置合せトレランス	光ファイバと光デバイス、半導体レーザ素子等との位置合わせ精度の許容幅 (トレランス) のこと。
液浸 ArF 露光技術	露光装置の投影レンズとウェーハの間に液体を満たして露光する技術。液体として純水を用いた場合、空気に比べて開口数が 1.44 倍に増加するため、解像度を大幅に向上することが出来る。45nm 技術世代以降の半導体加工に用いられている。
光 I/O コア	光信号の送受信 (トランシーバ) 機能をもつ機能ブロックを光 I/O コアと総称している。光 I/O エンジンとも呼ばれる。
光 I/O 付き LSI 基板	LSI (CPU, FPGA) の高速の入出力信号を光伝送するため、LSI の直近に小型光 I/O コアを配置した構造の基板

用語	説明
光ピン	垂直方向へ伝送する光導波路。有機材料で構成されておりフォトリソグラフィ技術で形成可能である。Optical Pillarとも呼ばれる。
光電子ハイブリッド（回路）基板	インターポーザ材料にプリント基板を用いた、光電子集積インターポーザ。特にプリント基板上にポリマー光配線を用いることにより、複数のLSIを搭載した大型光電子基板が実現できる。
光電子集積インターポーザ	電子回路（LSI）と光入出力部が実装されたインターポーザの総称。
消光比	波長合分波器の任意の出力ポートにおいて、そのポートに出力される波長の信号光強度と、それ以外の波長のノイズ光強度の比率。
石英 PLC	石英 Planer Lightwave Circuit：石英平面光回路 石英材料を用いた平面光回路で、一般にフィルターやカプラーなどの受動光学部品でよく使われている。単位長さあたりの光波導波損失は低い、導波路曲げ半径は、数百 μm 程度と大きく、デバイス全体も大きくなる。
波長合分波器	異なる波長の光信号を合波したり分波したりする機能を有する光素子。断面サイズの小さな Si 細線導波路で良好な特性を得るには高精度加工が必要となる。
偏波	光や電磁波の電界の振動方向の状態を示すものであり、断面が矩形形状のシリコン導波路では、基板の面内方向に電界が振動する TE 偏波と、基板に垂直方向に電界が振動する TM 偏波とが伝搬可能である。
偏波依存損失	スポットサイズ変換器や波長合分波器などで、偏波ごとに損失が異なる場合の損失の差異を示す。一般的に、この差異が小さいことが望ましい。
陽解法	時間変化を扱う数値解析において、時刻 t の状態を基にして、時刻 $t + \Delta t$ の解を求める方法のこと。
量子ドット	大きさが数ナノメートルから数 10 ナノメートルの半導体微結晶。電子が 3 次的に閉じ込められ、状態密度がエネルギーに関してデルタ関数的に完全に離散化したエネルギー準位が形成されることから、光素子への適用により低閾値、低消費電力化、温度特性改善が可能となる。

I. 事業の位置付け・必要性について

1. NEDOの関与の必要性・制度への適合性

1.1 NEDOが関与することの意義

1.1.1 政策への適合性

さまざまな情報サービスがネットワークを通じて提供されるクラウドコンピューティングをはじめ、IoTやAIの進展により、データセンタ等における情報処理量等が急激に増加している。それに伴い情報通信機器による電力消費量は急増し、2025年には現在の国内電力消費量全体の6分の1に膨らむと予測されている。このため、情報通信機器・装置を低消費電力化しつつ、高速化し、小型化する技術の開発は喫緊の課題となっている。

光エレクトロニクス技術は、上記問題への対応が期待できる技術として半導体分野の主要なグローバル企業が開発競争を繰り広げている技術であり、我が国としてもその開発を戦略的に推進していくことは重要なことである。

このような状況の下、我が国の政府も光エレクトロニクス技術分野を重視した研究開発政策を進めている。これまでに政府は、「科学技術創造立国」を国家戦略として打ち立て、科学技術基本法の下で「科学技術基本計画」に基づいて、創造性豊かな人材や、有限な資源を活用しつつ最大限の成果を生み出す仕組みを創り出すことを目指し、総合的な施策を強力に推進してきた。「第5期科学技術基本計画」（2016年1月22日閣議決定）では、科学技術イノベーション政策を経済、社会及び公共のための主要な政策と位置づけ、政府の関与する研究開発投資を拡充することを定めている。また、未来の産業創造と社会変革に向けた新たな価値創出の取組として「世界に先駆けた“超スマート社会”の実現(Society 5.0)」を掲げており、大規模データの高速・リアルタイム処理を低消費電力で実現するための「デバイス技術」や「ネットワーク技術」の開発を通して、IoTを有効活用した共通のプラットフォーム構築に必要となるシステムの大規模化や複雑化に対応するための情報通信基盤技術の開発強化を図ることを推進している。第5期科学技術基本計画を推進する科学技術イノベーション総合戦略2017では、未来の産業創造と社会変革に向けた新たな価値創出のコアとなる基盤技術として「光・量子技術」を重点取組の一つとして挙げている。また、2016年に策定された日本再興戦略においては、第4次産業革命を支える情報通信環境整備の一環として、IoT時代のデータ流通を支える情報通信インフラの2020年までの整備に向けて技術開発の促進も掲げている。

一方、我が国のエネルギー政策については、2003年10月に最初のエネルギー基本計画が策定され、2007年3月に第二次計画、2010年6月に第三次計画が策定された。しかし、その後の東日本大震災及び東京電力福島第一原子力発電所事故による情勢の変化を受け、新たなエネルギー政策として2014年4月に第四次計画の策定が行われ、エネルギー政策として3E（エネルギーの安定供給、経済性の向上、環境適合）に加え、S（安全性）

が新たな視点として追加されている。

経済産業省は、2006年5月に我が国のエネルギー戦略として「新・国家エネルギー戦略」を取りまとめ、2030年までに少なくとも30%のエネルギー消費効率改善を目指すことを述べ、2030年に向けて実現が期待される省エネルギー技術の開発の方向性等を示した。これに基づき、2007年に「省エネルギー技術戦略2007」が経済産業省で策定され、その後2011年の全面的見直しを経て、2016年9月に「省エネルギー技術戦略2016」が策定された。この中で、家庭・業務部門の省エネルギーに係る技術として、データセンタをはじめとするネットワーク全体の消費電力低減が極めて重要であり、情報量が増加の一途をたどっている中、ルータ、サーバ等のIT機器を省電力化、小型化、低コスト化するための光信号と電気信号を変換する小型チップ、電子回路と光回路を組み合わせた光電子ハイブリッド回路配線技術が重要であることを述べている。

2012年に経済産業省において「未来開拓研究プロジェクト実施要綱」並びに「未来開拓研究プロジェクトの実施に関する基本方針」が策定された。このプロジェクトは、従来技術の延長線上にない、開発リスクの高い革新的技術に関する中長期的な研究開発制度であり、我が国が直面する環境・エネルギー問題等の構造的課題の克服と、我が国の将来の成長の糧となるイノベーションを創出することを目的として立ち上がっている。2012年度は3つの研究開発テーマについてプロジェクトが開始され、その一つとして2012年度から2021年度の10年間を実施予定期間とする「超低消費電力型光エレクトロニクス実装システム技術開発」が含まれている。独立行政法人新エネルギー・産業技術総合開発機構（以下、NEDOと略記する）が実施する本事業は、未来開拓研究プロジェクトとして2012年度に経済産業省で開始されたものを承継し、2013年度から2017年度までNEDOで実施しているものである。本事業は開始されて6年が経過しようとしているが、前述のように、現行の科学技術政策及びエネルギー政策においてもなお重要な技術開発であると位置付けられている。

以上のように、本事業が目指す、情報処理機器・装置の低消費電力化、高速化、小型化を可能とする技術の開発は、国の産業政策、科学技術政策とも合致するものである。

1.1.2 NEDO中期計画における位置づけ

NEDOの第3期中期計画においては、電子・情報通信分野の計画として、我が国経済・社会の基盤としての電子・情報通信産業の発展を促進するため、電子デバイス、家電、ネットワーク／コンピューティングに関する課題に重点的に取り組むことが述べられている。ネットワーク／コンピューティング技術の開発としては、情報トラフィック量の爆発的増加が今後も見込まれていることから、高速化、低消費電力化等のニーズに対応した光電子融合技術等を中心とした技術開発を行うとともに、それらを組み合わせたシステム開発等を推進することとしている。NEDOでは本事業で実施する光技術と電子技術を融合した光電子ハイブリッド技術をネットワーク／コンピューティング分野における技術開発

課題として位置づけ、アクセス系ネットワークの高速化に対応した光電子モジュール技術、ハイエンドサーバにおける省電力化、高速化に係る技術の開発に取り組んでいる。

1.1.3 NEDOが関与する必要性・意義

本事業は、開発目的の公益性と成果としてのCO₂削減効果の大きさ、我が国の国際的産業競争力の確保、及び開発活動のリスクの大きさのという3つの視点から、NEDOが関与する必要性・意義がある。

(1) 公益性とCO₂削減効果

社会のIT化の進行に伴い、我々の活動のあらゆる場面で情報通信機器が活用され、情報が創出されるようになってきている。また、創出された情報は、インターネット網の普及・発展により、データセンタを介して共有されるようになり、データセンタにおける情報処理量や通信トラフィックが急増し、今後もその増大は止まらなると予想されている。このため、我が国における情報通信機器による電力消費量は増加し続け、現状技術のままでは2025年には2010年の2倍に膨らむと見込まれており、情報通信機器の電力削減は喫緊の課題となっている（図I-1.1.3-1）。

また、温室効果ガス削減問題等の環境・エネルギー問題、あるいは東日本大震災後の状況変化を踏まえたエネルギー需給安定化への取り組み等の観点からも、電力消費量の削減が強く求められている。本事業は、情報通信機器内の電気配線を光配線に換えることにより、低消費電力でありつつ、高速で、小型化が可能となるような付加価値の高い情報処理システムを社会に提供することを目指しており、社会的ニーズに対応したものである。

本事業の成果が社会実装された場合、2030年時点のCO₂年間排出量は1500万トン削減されるものと試算され、これはCOP21パリ会議（2015年開催）で日本に求められるCO₂削減にも寄与するものである。



出典：経済産業省 平成24年度 我が国情報経済社会における基盤整備
(IT機器のエネルギー消費量に係る調査事業 報告書)

図I-1.1.3-1 国内IT機器による国内電力消費量の推計

(2) 国際競争力確保

本事業で研究開発を行うチップ間光インターコネクタ技術等は、半導体分野の主要なグローバル企業（IBM、Intel等）が次世代のデータセンタなどの低消費電力化・高性能化技術として有力視してものであり、世界各国・地域で技術開発および社会実装を目指す大型投資が行われている。

米国では、光リンクの高速化IC技術を開発するEPIC（Electronics and Photonic Integrated Circuits）、チップ間の光接続技術等を開発するC2OI（Chip to Chip Optical Interconnect）、コア間の光配線、チップ内の光配線に関する研究開発を行うUNIC（Ultra Performance Nanophotonic Intra Chip Communications Program）や通信を含む様々な用途に適用できる光電子マイクロシステムをチップスケールで実現するための研究開発を行うE-PHI（Electronic-Photonic Heterogeneous Integration）等の光電子融合に関する技術開発がDARPA（国防高等研究計画局：Defense Advanced Research Projects Agency）の資金で実施されてきた。2015年7月に発表されたNNMI（米国製造イノベーションネットワーク）に基づきAIMフォトンクス（American Institute for Manufacturing Photonics）が設立され、これまで分散していた米国セクタを統一し、革新的光学デバイスの製造分野でのグローバルリーダーになることを目指している。連邦政府、州政府、民間から計6億ドルの拠出が計画されており、企業、大学・研究所、政府機関が参加して組織を構成している。

更に、米国エネルギー省（Department of Energy）では情報通信量の増大に伴って消費電力量が急激に増加すると予測されることに対し、データセンタのエネルギー効率を2倍にすることを目標としてENLITENED（Energy-efficient-light-wave integrated technology enabling networks that enhance datacenters）プログラムを立上げた。光インターコネクタ技術、関連するスイッチ・ネットワーク技術を利用していくことを計画しており、2016年6月に公募開始、2017年1月に参加する大学及び企業の採択を決定した。このプログラムでは当初2年間で約25百万ドルの拠出を決定している。

また、欧州でも光電子集積、光インターコネクタに関するプロジェクトが実施されている。具体的には、欧州研究開発フレームワーク（FP、Framework Programme）の第7次計画（FP7、The Seventh Framework Programme）にてCMOS上にフォトンクス・エレクトロニクス機能を集積するための技術を開発するHELIOS（pHotonics ELectronics functional Integration on CMOS）、電子・光回路の協調設計、集積化等に取り組み、共通のデザインフローを提供することを目的としたPlat4M（Photonic Libraries And Technology for Manufacturing）、低コストシリコンフォトンクス部品を設計開発するFABULOUS（FDMA Access By Using Low-cost Optical Network Units in Silicon Photonics）、ナノインプリントにより多層の光回路を作製する技術等を開発するFIREFLY（Multilayer Photonic Circuits made by Nano-Imprinting of Waveguides and

Photonic Crystals)、チップ間インターコネクションのためのプラズモン光部品技術等を開発するNAVOLCHI (Nano Scale Disruptive Silicon-Plasmonic Platform for Chip-to-Chip Interconnection)、高性能コンピューターシステム向けの光インターコネクト技術を開発するPhoxTroT (Photonics for High-Performance, Low-Cost and Low-Energy Data Centers, High Performance Computing Systems: Terabit/s Optical Interconnect Technologies for On-Board, Board-to-Board, Rack-to-Rack data links)等が挙げられる。このような流れを受け、2014年から2020年までの期間で実施されているHORIZON2020の中でもICTにかかわるリーダーシップを目指す計画のもとでシリコンフォトニクスの研究開発がすすめられており、シミュレーションから社会実装までプロジェクトが設定されている。

また、シリコンフォトニクスのファンドリサービスを提供する産学官連携活動が米国、欧州で各々展開されている。その例として、米国デラウェア大学を中心とするOpSIS (Optoelectronics Systems Integration in Silicon)、欧州ではIMECとCEA-LetiによるePIXfab、アイントホーヘン工科大学でのEuroPIC (European manufacturing platform for Photonic Integrated Circuits)を挙げることができる。

我が国では、2009年度から2013年度まで、内閣府・総合科学学術会議の下で日本学術振興会(JSPS)が進める「最先端研究開発支援プログラム(FIRSTプログラム)」においてフォトニクス・エレクトロニクス融合システム基盤技術開発(PECST: Photonics-Electronics Convergent System Technology)事業が進められ、光源・受信器・導波路など光インターコネクトに必要な技術を1つのシリコンチップに集積し光集積回路として機能させるための研究開発を行い、光集積回路として世界最高の情報伝送密度を実証することに成功している。

前述のようにPECSTの成果により、我が国における光半導体の技術開発では世界をリードするポジションにあることが実証されており(図I-1.1.3-2)、我が国の光半導体分野の技術競争力は世界的に繰り広げられている光電子融合技術の開発競争において、世界

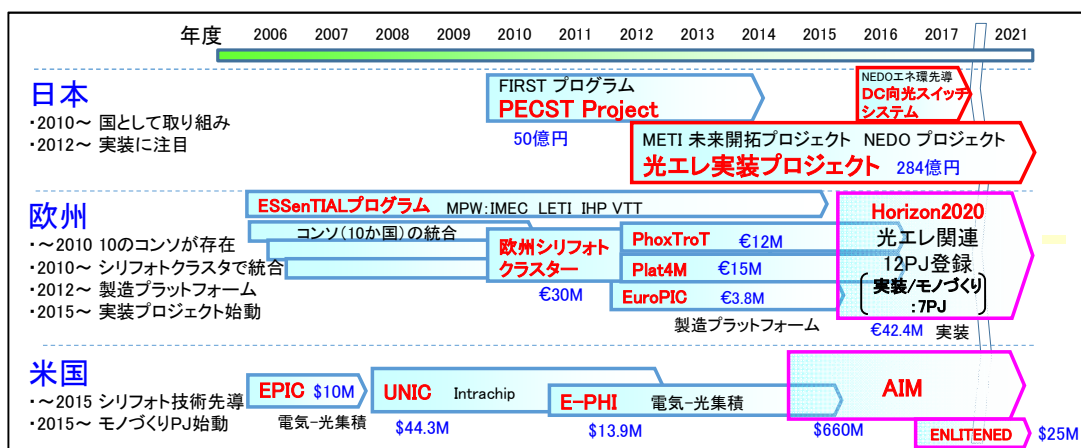


図 I-1.1.3-2 光エレクトロニクス領域の各国・地域の取組状況

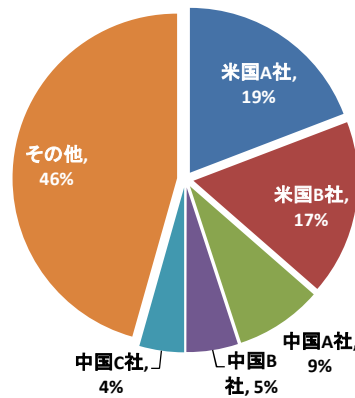


図 I-1.1.3-3 ベンダー別世界サーバー出荷台数シェア (2016 第1四半期)

をリードできるポテンシャルを有しているものと考えられる。その一方で、クラウドコンピューティング分野およびそれを支えるサーバやルータ等の分野では、米国・中国企業で市場シェアの過半を占め、日本企業のシェアは10%以下にとどまっていることも事実である(図 I-1.1.3-3)。

I o T社会の到来、A I技術の社会実装の進行に合わせて従来の電氣的な情報通信の限界を克服する必要性が高まり、中長距離の情報通信のみではなく情報処理技術の心臓部にまで光技術を導入するために、個別の企業ではなく国や地域全体が一体となって大きな技術革新の波を乗り越えようとしている。その中で我が国は世界をリードできる研究開発のポテンシャルを有しており、政府、研究機関、企業が一体となってその力を引き上げることによってI o TやA Iの進化とともにもたらされる超情報化社会で世界に先駆けてソリューションを提供することができ、この分野の市場において圧倒的な優位性を築いていけると期待される。

(3) 民間企業ではリスクのある研究開発内容

本事業で求められる技術開発要素には、従来のエレクトロニクスと同程度の低コストかつ信頼性の高い光電気変換素子や光配線との接続の実現、シリコン基板上、プリント基板上に光導波路を形成する技術、光と電気が融合したシステムとしての安定性・信頼性の確保、大口径ウエハ上に作製された光配線を搭載したインターポーザの信頼性評価という今までにない評価技術等が含まれる。いずれも非連続イノベーションが必要であり、研究開発のリスクは高く、またその要素技術が広範囲に亘ることから、多くの企業間や大学、国の研究機関が連携し各要素技術を統合する必要である。

この技術開発プロジェクトにNEDOが関与することにより研究開発リスクが軽減され、また企業・大学・国の研究機関が連携し一体となって技術開発に取り組む体制が実現でき、更に政策に沿った社会実装も可能となる。

以上のように、本事業は我が国政府の政策に合致し、産業政策・情報政策の面からも極めて重要な課題であることから、国家プロジェクトとしてNEDOが関与すべきものであるといえる。

1. 2 実施の効果（費用対効果）

1.2.1 市場規模

世界的な情報通信量は今後も指数関数的に急激に増大し続けており、現在でも年間数百エクサバイト、今後数年のうちにゼタバイトのオーダーに至るものと推定されている。対応して情報通信をつかさどる情報機器のうちサーバーの世界生産量は年間約1000万台、市場規模は現在約5.9兆円（Gartner社、2016年推定値）であり、今後一定の割合で増加するものと推定されている。サーバを設置し運用するデータセンタービジネスも現在約15兆円の市場があり、今後も着実な伸びが見込まれている（富士キメラ総研、2016年実績）。

このような状況からデータセンタなどにおける情報通信機器1台当たりの情報処理の負荷も急激に増大することは明確で、現在の電気通信を主体としたシステム構成は近い将来限界を迎え、光通信技術を用いた情報通信及び情報処理システムが不可欠になるものと推定される。

本プロジェクトで開発される技術の適用先として、AOC（Active Optical Cable）市場、サーバ・HPC（High Performance Computing）市場、高精細テレビ・自動車・ロボット等の電子機器市場、ルータ・トランシーバ等のネットワーク機器市場が想定され、2030年には1.2兆円以上の売上げを期待している。

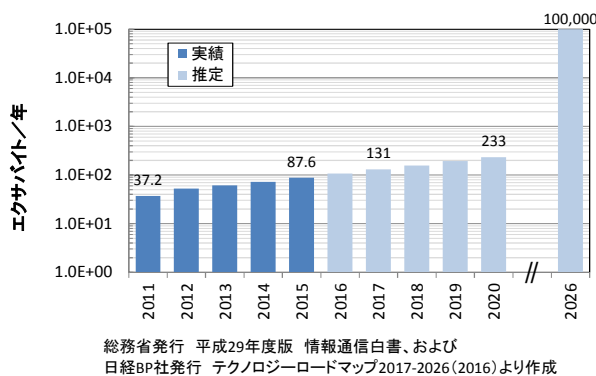


図 I-1.2.1-1 世界の情報通信量推移

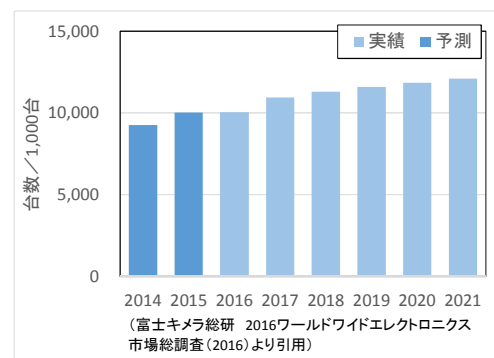


図 I-1.2.1-2 世界のサーバ生産台数推移

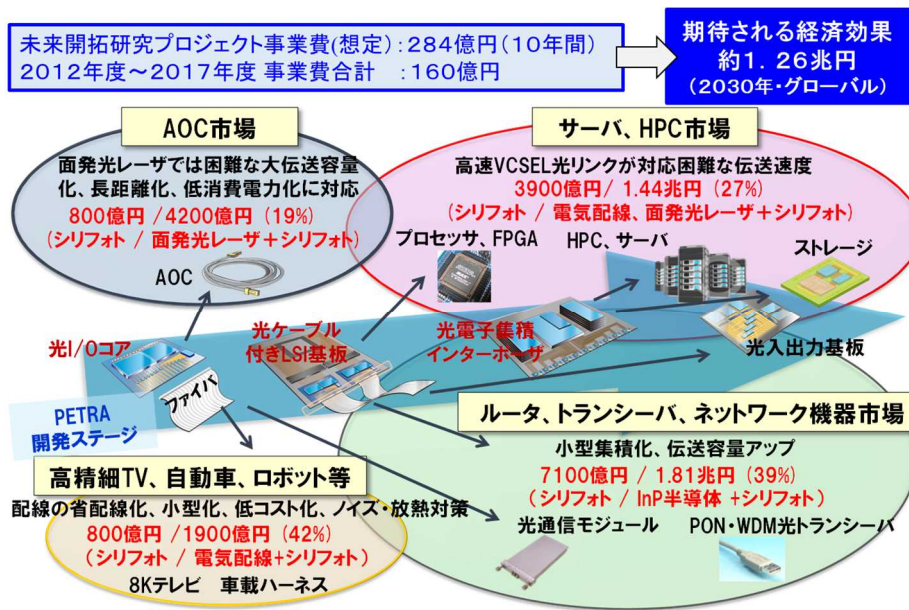


図 I-1.2.1-3 本プロジェクト成果の適用先と経済効果

1.2.2 省エネ効果

本プロジェクトで開発される成果が前記の4市場に適用されることを想定して省エネルギー効果を試算すると、2030年(平成42年)には約400億kWh/年の電力削減が期待される。なお、試算前提としてプロジェクト成果を適用した機器の普及率を2030年(平成42年)で50%、サーバ/データセンタ、ネットワーク機器、パーソナルコンピュータ、ディスプレイ/テレビにおける電力削減量をそれぞれ、31%、80%、35%、10%としている。

2. 事業の背景・目的・位置づけ

2.1 事業の背景

2.1.1 社会的背景

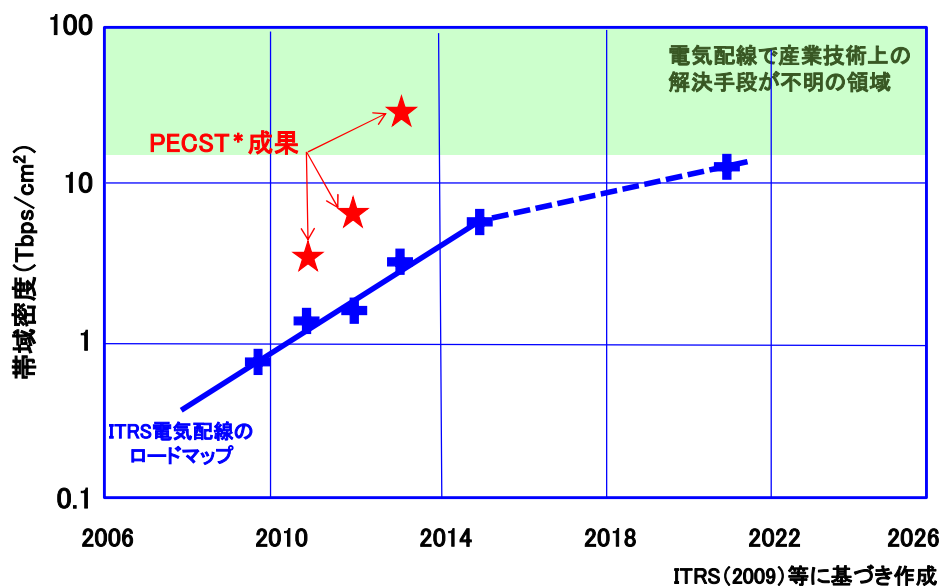
さまざまな情報サービスがネットワークを通じて提供されるクラウドコンピューティングが進展し、また、膨大な数の携帯電話、スマートホンに代表されるモバイル端末機器やパーソナルコンピュータ等の情報処理機器で生み出された情報がデータセンタに蓄積・処理・共有されるようになってきている。また近年はIoTやAIの進展も加わって、データセンタなどにおける情報処理量やデータ伝送量は急激に増大しており、今後も指数関数的に伸びていくことが予測されている。現状技術の延長により実現された機器によりデータの処理や伝送が行われたと仮定すると、サーバと通信機器で構成されるデータセンタのコストや電力消費量の急増が予測され、また、情報通信機器による国内の電力消費量は2025年には2010年比で2倍の1500億kWh(現在の国内電力消費量全体の6分の1)に

まで膨らむと見込まれている。

同様な問題は世界的にも認識され、半導体分野の主要なグローバル企業が次世代のデータセンタなどの低消費電力化・高速化技術として光配線技術、集積光回路技術等の光エレクトロニクス技術を上記問題の解決手段として有望視して研究開発に取り組んでいる。また、米国、欧州等の政府も関連する国家プロジェクトの実施によりそれらの研究開発の支援を行っており、全世界的な開発競争が繰り広げられている。

2.1.2 技術的背景

現在の情報処理機器における処理性能は、情報を処理するCPU等の演算素子の性能や演算素子間、演算素子と情報を格納するメモリ間等を繋ぐ電気配線を通じて行われる情報の伝送速度等によって決定されており、情報処理機器全体の処理性能を向上させるには、演算素子等の性能に適した情報の伝送速度を確保することが必要である。情報の伝送を受け持つ電気配線では、半導体技術の進展により演算素子等が微細化・高性能化されると、演算素子が必要とする情報伝送速度を実現するために、そのピッチを縮小し本数やそこを伝達させる信号の周波数を増加させてきた。しかしながら、ITRS（国際半導体技術ロードマップ）等では、今後の電気配線におけるピッチ縮小のトレンドは鈍化すると予測されており、結果として演算素子の性能に見合う情報の伝送帯域を得るためには信号周波数を高めなければならなくなり、伝送帯域の向上には限界がある。伝送特性と動作安定性の観点から、電気配線の伝送速度は20Gbps程度が限界であると考えられている。



*PECST:
内閣府・総合科学学術会議の下で、日本学術振興会が進めた最先端研究開発支援プログラム (FIRST) におけるフォトニクス・エレクトロニクス融合システム基盤技術開発事業

図 I-2.1.2-1 電気配線における伝送帯域密度の推移

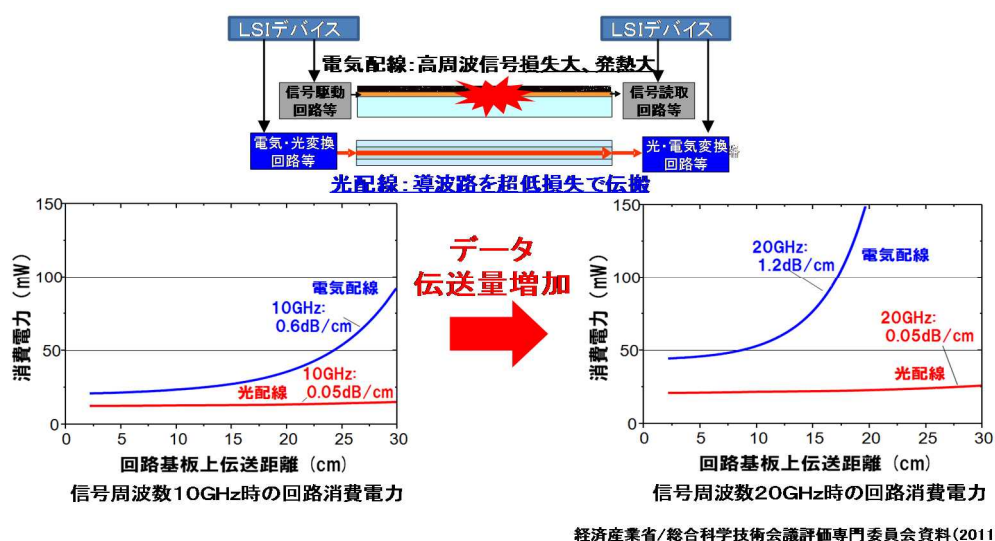


図 I-2. 1. 1-2 伝送距離と伝送にかかる消費電力との関係

一方、光配線による接続では、25Gbps以上の伝送速度の高速化が可能であり、配線間隔も0.1mm以下に縮小可能であるため、配線面積を電気配線の100分の1程度まで小型化することが可能である。電子機器に用いられている電気配線では、データ伝送量（信号周波数）や伝送距離の増加に伴い信号伝送の損失が大きくなるのに対し、光配線を用いる場合はデータ伝送量が増大しても損失は一定であり、伝送距離に対する消費電力の増加は極めて小さいというメリットがある。

以上のような背景から、電気配線に換わる新たな信号伝送技術として光配線技術や光インターコネクト技術の実用化が待ち望まれている。

2. 2 事業の目的

以上の背景を踏まえ、本プロジェクトは、情報通信機器の省電力化と高速化を目的に、電子機器の電気配線を光化する光配線技術と電子回路技術を融合させた光エレクトロニクス実装システム技術の開発に取組み、電子機器のデータ伝送に関して、電気配線を用いる場合に比べて1/10の低消費電力化と通信速度あたりの面積比で1/100以下の小型化を実現し、電気配線を用いたサーバボードに比べて消費電力を3割削減でき、データセンターレベルでの運用が可能な光電子融合サーバを実現するための構成要素技術を実現するための基盤技術を確立することを目指す。

また、世界市場の約5割を占めてきた光半導体分野における我が国産業界の国際優位性を維持するとともに、光エレクトロニクスを用いた新たなコンピューティング市場において我が国が競争力を獲得し、さらには半導体産業、回路基板産業やそれらをシステム化したサーバ、ルータ等の情報通信機器産業など幅広いエレクトロニクス産業の活性化にも資する。

2. 3 事業の位置づけ

前述の通り、クラウドコンピューティングやI o T、A I 技術の進展に伴い、情報通信量は急激に増加しており、これに伴って情報通信機器の通信負荷の増大と消費電力の急増が見込まれる。このような課題に対して光エレクトロニクス技術を社会実装することで省電力化のみならず、高速な情報処理、機器の小型化も可能であることから、欧米各国を含めた開発競争が激しくなっている。

我が国は優れた光エレクトロニクスに関する研究開発力を有しており、これまでも世界で繰り広げられる開発をリードしてきた。

この優位性を活かし光電子融合技術を早期に確立し社会実装を進める本プロジェクトは、データセンタ等情報通信・処理に必要な電力削減及びCO₂排出量削減に寄与する。また、NEDOが本プロジェクトに関与することにより、開発リスクを軽減し、企業・大学・研究機関の連携する体制を確立し、政策に沿った社会実装を可能とする。

II. 研究開発マネージメントについて

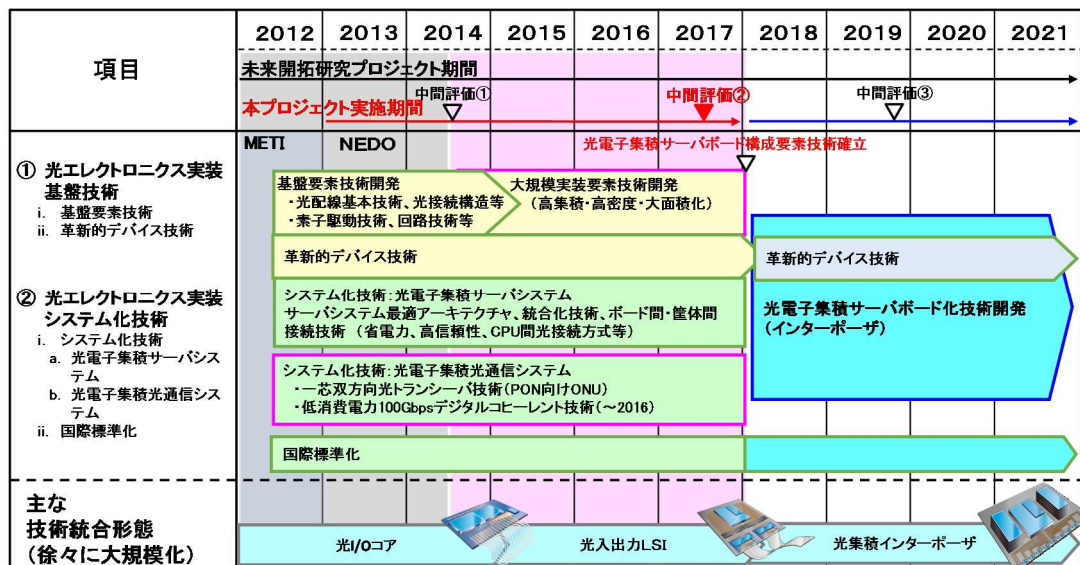
1. 事業の目標

【全体目標】

本研究開発は、我が国の将来の成長の糧となるイノベーションを創出する未来開拓研究プロジェクトの一つとして実施され、情報化社会の進展に伴う国内のIT機器による電力消費量増大に対応するため、IT機器の省電力化と高速化の両立を目指し、機器内等の電気配線を光化する光配線技術と電子回路技術を融合させた光エレクトロニクス実装システム技術を実現する基盤技術を確立することを目指すものである。

未来開拓研究プロジェクトは2012年度から2021年度までの10年間で実施することを予定しており、研究開発は①光エレクトロニクス実装基盤技術と②光エレクトロニクス実装システム化技術の2項目に大きく分けて実施する。具体的には、光導波路、光変調器や受光器等と電気配線をシリコン上に高密度集積した光電子集積インターポーザ、ポリマー光配線と電気配線を形成した光電子ハイブリッド回路基板を実現するために必要な光および電子デバイス技術、その設計技術や目的性能を大きく高める革新的デバイスの開発を光エレクトロニクス実装基盤技術、光電子融合サーバ等、それぞれの目的に最適なアーキテクチャの明確化、関連する信号処理技術等の開発を光エレクトロニクス実装システム化技術で実施する。

これらの技術開発により、未来開拓研究プロジェクトでは、電子機器のデータ伝送に関して、現状の電気配線を用いる場合に比べて1/10の低消費電力化と通信速度あたりの面積比で1/100以下の小形化を実現し、電気配線を用いたサーバボードと比較して消費電力を3割削減でき、データセンターレベルでの運用の可能性を検証することを目標としている。



図Ⅱ-1-1 事業の全体計画

NEDOは未来開拓研究プロジェクトの実施期間の前半6年間のうち5年間（2013年度～2017年度、2012年度は経済産業省執行）を執行し、未来開拓研究プロジェクトの最終目標である光電子融合サーバボードを実現するために必要となる構成要素技術を確立するとともに、事業化に必要な国際標準を獲得することを2017年度までに達成すべき目標として設定し、プロジェクトの目標としている。

2. 事業の計画内容

2.1 研究開発の内容

本プロジェクトでは、情報通信機器・装置の低消費電力化と高速化の両立のため、従来は電気配線を通じて伝送されていたデータ信号を、装置内のチップ間の通信を含めて光信号で伝送するための技術を研究開発する。研究開発の実施にあたっては、研究開発テーマとして光集積回路を実現するための要素技術を開発する①光エレクトロニクス実装基盤技術の開発、とそれらを統合し、全体システムとして動作させるための技術を開発する②光エレクトロニクス実装システム化技術の開発に大別して実施することとした。それぞれの研究開発内容について、以下で説明する。

研究開発項目① 「光エレクトロニクス実装基盤技術の開発」

1. 研究開発項目の概要

機器の電気配線を光化した光配線技術と電子回路技術を融合させた光エレクトロニクス実装システム技術を実現するには、これまでにないサイズ、特性を示す光要素部品やそれを駆動するための電子回路、LSIチップの搭載方法や光信号の取出し技術、およびそれらの作製技術等を新たに開発することが必要である。本研究開発項目では、機器の電気配線を光化した光配線技術と電子回路技術を融合させた光エレクトロニクス実装システム技術の根幹である光電子集積インターポーザ、光電子ハイブリッド回路基板等を実現するための上記要素技術を開発するため、以下の研究開発を実施する。

2. 研究開発項目の具体的内容

(i) 実装基盤技術

(a) 光エレクトロニクス実装技術

電気配線と光配線が融合した光電子ハイブリッド回路基板の作製技術、高密度の光・電気のインターフェースを備えた光電子集積インターポーザを光電子ハイブリッド回路基板に実装するための実装技術とインターフェース技術、および、高信頼、低コスト化を実現する設計・方式・製造装置を開発する。また、光電子集積インターポーザとLSIを接続するインターフェース技術、および光電子ハイブリッド回路基板間を接続する高集積コネクタ技術を開発する。さらに汎用電気インターフェースに対応した光

素子駆動アナログ電子回路を開発し、ロジック L S I に搭載するためのアナログ電子回路技術の開発を行う。

(b) 光エレクトロニクス集積デバイス技術

光トランシーバや光電子集積インターポーザ等を実現する基盤技術として、光導波路、光源、光変調器、受光器、光入出力素子、合分波器などの超小型要素光素子を開発すると共に、これらを高密度集積する技術を開発する。また、光信号の並列化、多重化、多値化についても検討を行い、インターポーザ上での大容量信号伝送技術を開発する。さらに、ロジック、メモリ等の電子回路チップの搭載が可能で、光トランシーバを高密度に集積した、低消費電力で低コストな光電子集積インターポーザを形成する基盤技術の開発を行う。

(c) 光エレクトロニクスインターフェース技術

大規模データセンタ内の筐体間接続、データセンタ間接続に向けた、100Gbpsの伝送容量を持つデジタルコヒーレント送受信モジュール実現のための信号処理回路と光回路に関する基盤技術を開発する。

(d) 光エレクトロニクス回路設計技術開発

光回路技術と電子回路技術を融合した新しい光エレクトロニクス回路の設計技術に関し、光、電子、それぞれの回路の最適設計を効率的に行うための統合設計環境を実現する基盤技術を開発する。さらに、本統合設計環境を本事業内の研究チームで利用可能とするための支援体制、スキームを整備する。

(ii) 革新的デバイス技術

[革新的光源・光検出器技術]

光電子集積インターポーザの光源、受光器の高性能化に向け、シリコン基板上量子ドットレーザ技術とその集積化技術の開発を行うとともに、高感度受光器に関する技術開発を行う。

[革新的光変調器技術]

光電子集積インターポーザの光変調器の高性能化に向けた光制御技術として、新原理に基づく次世代光変調器を開発する。

[革新的光配線技術]

光電子集積インターポーザの光導波路の高機能化に向けた光配線基盤技術として、フォトリソナノ構造等を用いた光配線技術の開発を行う。

[革新的光エレクトロニクス回路技術]

光電子集積インターポーザの光回路を高機能化する機能可変型光エレクトロニクス回路の基盤技術として、サーバ回路の再構成を可能とする光フィールドプログラマブルゲートアレイ技術、およびそのための要素デバイスの開発を行う。

[革新的光スイッチングデバイス技術]

大規模光電子集積インターポーザで実現されるサーバ回路におけるデータ通信の高

効率化に向け、CPU間等の効率的なデータ転送を可能とする光ルーティング技術実現のためのハイブリッド集積光スイッチングデバイス技術、超高速集積光信号処理デバイスの開発を行う。

3. 達成目標

光電子集積インターポーザ、光電子ハイブリッド回路基板、および、それぞれの要素技術を組み込んだデバイスの集積化技術を開発することにより、電気配線の1/10の低消費電力化・高速化(1mW/Gbps)を達成する目処を得るとともに、1/100以下の小形化実現のための要素技術を確立する。また、機器間光インターフェースにおいて、100Gbps/chの高速伝送及び現状の光トランシーバモジュールの消費電力(300W程度)を1/5~1/10まで低減できる低消費電力化技術を実現する。

各開発項目は開発期間を二期に分け、それぞれの期間で目標を定めて技術開発を行う。

(i) 実装基盤技術

(a) 光エレクトロニクス実装技術

多数の光デバイス・電子デバイスが搭載されたシリコンフォトニクスによる光電子インターポーザおよび光電子インターポーザを搭載した光電子ハイブリッド回路基板を実現するための基盤技術を開発する。

【中間目標】(平成26年度末)

小型の高速・低消費電力光トランシーバと数十mm角のポリマー光配線を形成した光電子ハイブリッド回路基板を開発し、光入出力を持つLSIを実現するための基盤技術を確立する。

【最終目標】(平成29年度末)

5cm×5cm程度の光電子ハイブリッド基板上にLSIを搭載するモジュール化技術を確立し、LSIモジュールでの高速光インターコネクトを実現する。

(b) 光エレクトロニクス集積デバイス技術

超高速のデータ伝送を行う光電子集積インターポーザを実現するため、シリコンフォトニクス技術を用いた光集積回路技術を開発するとともに、ロジックLSI、メモリLSI、光デバイス等を光電子集積インターポーザ上に高密度集積するための集積化技術を実現する。

【中間目標】(平成26年度末)

光信号の並列化技術、多重化技術を開発し、大容量信号伝送を実現するための基盤要素技術を確立する。また、低コスト化のための光素子の集積化技術と導波路技術を確立する。

【最終目標】(平成29年度末)

多数の光素子を集積した光電子集積インターポーザの大容量伝送を実現するための基盤集積技術を確立する。

(c) 光エレクトロニクスインターフェース技術

大規模データセンタ内の筐体間、データセンタ間の大容量通信を可能とする小型デジタルコヒーレント光トランシーバに必要な信号処理回路、光回路技術を平成28年度までに確立する。

【中間目標】(平成26年度末)

100Gbps動作に対応するDSP-LSIと集積光送受信デバイスの試作を行い、基本性能評価と問題点の抽出を行う。

【最終目標】(平成28年度末)

低消費電力DSP-LSI最終プロトタイプを実現するとともに、データセンタ間通信向け低消費電力100Gbpsデジタルコヒーレント光トランシーバを実証するための要素技術を確立する。

(d) 光エレクトロニクス回路設計技術

光回路技術と電子回路技術を融合した新しい光エレクトロニクス回路を効率的に設計するための光エレクトロニクス統合設計環境を実現し、プロジェクト内での活用を可能とするとともに、本プロジェクト成果事業化時に適用できる効率的な設計フロー構築のための基盤技術を確立する。

【中間目標】(平成26年度末)

マルチフィジクス対応の光エレクトロニクス実装システム統合設計環境の基本構成を構築し、統合設計を行うための基本的なフローの実証を行う。また、光デバイス設計の基盤技術として、光変調器等の開発に適用可能な電子・光連携TCADの基本構造を確立する。

【最終目標】(平成29年度末)

光デバイス設計用電子・光連携TCADと光電子集積インターポーザの設計を可能とする統合設計環境を連携させ、基本実装構造に関するデータベース(デザインキット)を整備し、光電子集積インターポーザを効率的に設計可能とする。

(ii) 革新的デバイス技術開発

光電子集積サーバの高性能化を可能とする光電子集積デバイスの小形化・低消費電力化・高性能化を非連続的に実現できる、挑戦性の高い革新的デバイス技術として、以下の技術開発を実施する。なお、当該技術開発に関しては、その開発の性質等を考慮し、技術開発の進捗度、本研究開発事業内での展開の可能性等の観点から、必要に応じて見直しを適宜実施するものとする。

[革新的光源・光検出器技術]

光電子集積インターポーザの光源、受光器の高性能化に向けてシリコン基板上量子ドットレーザ技術とその集積化技術の開発を行う。

【中間目標】(平成26年度末)

温度安定シリコン上量子ドットレーザの基盤技術開発を進め、シリコン導波路結合

型単チャンネル量子ドットレーザを実現する。また、超高感度受光器の基盤技術として受光器における暗電流抑制効果を実証する。

【最終目標】（平成29年度末）

光電子集積サーバ用の集積化光源への展開に向け、量子ドットレーザアレイを実現するとともにシリコン系基板上に直接成長した量子ドットレーザを試作する。また、導波路型受光器における暗電流抑制技術を実現する。これらの検討を通じて、光電子集積サーバ技術への技術展開の見通しを示すとともに事業化に対する課題を明確化する。

[革新的光変調器技術]

光電子集積インターポーザの光変調器の高性能化に向けて、新原理に基づく次世代超小型光変調器の開発を行う。

【中間目標】（平成26年度末）

光電子集積サーバに使用する光電子集積インターポーザの光変調器の超小形化を可能とする新原理に基づく変調器として、10Gbps程度の高速度動作を実現する。

【最終目標】（平成29年度末）

超小型高速変調器としてLN変調器を凌駕する実用性能を得る。また、これらの検討を通じて、光電子集積サーバ技術への技術展開の見通しを示すとともに事業化に対する課題を明確化する。

[革新的光配線技術]

光電子集積インターポーザの光導波路の高機能化に向けたナノスケール光配線基盤技術として、フォトニック結晶構造等を用いた信号伝搬制御等に関する高度な光配線技術の開発を行う。

【中間目標】（平成26年度末）

光電子集積サーバの配線密度を飛躍的に高めることできる3次元光配線技術において、層間方向への伝搬機能が可能であることを実証する。

【最終目標】（平成29年度末）

3次元光配線技術として垂直方向と水平方向の伝搬機能の統合を実現する。また、これらの検討を通じて、光電子集積サーバ技術への技術展開の見通しを示すとともに事業化に対する課題を明確化する。

[革新的光エレクトロニクス回路技術]

光電子集積インターポーザの光回路を高機能化する機能可変型光エレクトロニクス回路の基盤技術として、光回路の再構成を可能とする光フィールドプログラマブルゲートアレイ技術、およびそのための要素デバイスの開発を行う。

【中間目標】（平成26年度末）

ハイブリッド回路基板上における半導体レーザの高効率化を行うとともに複数の光増幅器が並ぶアレイデバイスを実現する。

【最終目標】（平成29年度末）

異なる機能の光回路を同一回路基板上に集積し、光FPGAコンセプトを実証する。また、これらの検討を通じて、光電子集積サーバ技術への技術展開の見通しを示すとともに事業化に対する課題を明確化する。

[革新的光スイッチングデバイス技術]

大規模光電子集積インターポーザで実現されるサーバ回路におけるデータ通信の高効率化に向け、CPU間等の効率的なデータ転送を可能とする光ルーティング技術実現のためのハイブリッド集積光スイッチングデバイス技術、超高速集積光信号処理デバイスの開発を行う。

【中間目標】（平成26年度末）

サーバ回路におけるデータ通信の高効率化を可能とする導波路クロスバー型をベースとした超小型光スイッチを試作し、スイッチング動作を実証するとともに、超高速光信号処理デバイス実現にむけた基本的な論理動作を実現する。

【最終目標】（平成29年度末）

光スイッチマトリクス of 低電力化、光信号処理デバイスの10Gbps程度での動作を実証する。また、これらの検討を通じて、光電子集積サーバ技術への技術展開の見通しを示すとともに事業化に対する課題を明確化する。

研究開発項目② 「光エレクトロニクス実装システム化技術の開発」

1. 研究開発項目の概要

未来開拓研究プロジェクトで目指す小型、高速、低消費電力の光電子融合サーバを実現するには、それに適したシステムアーキテクチャを見出すとともに、運用信頼性のある実用性の高い技術の開発が必要である。

本研究開発では、光配線導入による低消費電力化や高速化などのメリットを生かすサーバ等のシステムアーキテクチャの要件・課題を抽出し、研究開発項目①「光エレクトロニクス実装基盤技術の開発」の要素技術を用いてシステムを構築するための基盤技術を開発する。これにより、システムの実用性を検証するとともに、要素技術開発にフィードバックすることで、完成度の高い技術の効率的な開発を実現する。

2. 研究開発の具体的内容

(i) システム化技術

(a) サーバボードのシステム化技術開発

データセンタレベルでの運用が可能な、多種のLSIを高密度集積した光電子集積インターポーザを光電子ハイブリッド回路基板上に搭載した、小型・高速動作・低消費電力光電子融合サーバボードを実現するための基盤技術を開発する。また、高速ストレージインターフェースに適応する光インターフェースと大容量高速NANDデバイスを搭載した光インターフェース付き大容量SSDを実現するための基盤技術を確立す

る。

(b) ボード間接続機器、筐体間接続機器のシステム化技術開発

光送受信システムを内蔵し、光ケーブルと電気コネクタを実装した光トランシーバを開発し、アクティブ光ケーブル（AOC）を実現する。さらに、光トランシーバを集積した光電子ハイブリッド回路基板上に、既存ロジックLSIを実装した光ケーブル付きLSIを開発する。

(c) データセンタ間接続機器のシステム化技術開発

低消費電力DSP-LSIと集積型送受信光デバイスをモジュール化したデータセンタ間接続用光トランシーバの実現を目的に、高周波実装回路技術と、変調器／ドライバ、受信フロントエンド等のデバイス制御技術を確立し、小型で低消費電力の100Gb/sデジタルコヒーレント光トランシーバを実現する。

(d) 企業間ネットワーク接続機器のシステム化技術開発

シリコンフォトニクス技術を用いたアクセスネットワーク用集積光エレクトロニクスチップを開発し、企業間ネットワーク接続機器に適用する一芯双方向波長多重トランシーバのシステム化技術を確立する。

(ii) 国際標準化

国際競争力を確保するために、諸外国での同種の研究開発プロジェクトの現状を分析するとともに、プロジェクトの進展状況を踏まえ、成果の優位性を保つために国際標準化を積極的に推進する。

3. 達成目標

電気配線を用いたサーバボード比で消費電力が3割削減でき、データセンタレベルの運用が可能な、多種のLSIを高集積化した小型・高速動作・低消費電力な光電子融合サーバボード等を実現するため基盤技術を開発し、光電子融合サーバボード実現のための目処を得ることを目標とする。また、順次実用化する開発成果の事業化に必要な国際標準の提案を行う。

各開発項目は開発期間を二期に分け、それぞれの期間で目標を定めて技術開発を行う。

(i) システム化技術

(a) サーバボードのシステム化技術開発

電気配線を用いたサーバボード比で消費電力が3割削減でき、データセンタレベルでの運用が可能な光電子集積サーバボード実現のための基盤技術を開発する。多種のLSIが高密度集積した光電子集積インターポーザを光電子ハイブリッド回路基板上に搭載した小型・高速動作・低消費電力光電子集積サーバボードを実現するための課題抽出を行い、課題解決の目処を得る。また、高速ストレージインターフェースに適應する光インターフェースと大容量高速NANDデバイスを搭載した光インターフェース付き大容量SSDを実現するための基盤技術を確立する。

【中間目標】（平成26年度末）

光電子集積技術を最大限に活かすために光インターコネクションに要求される伝送スペック（変調速度、多重度、チャンネル数など）、および、光電子インターポーザの回路冷却に関する基本要件を明らかにする。また、光電子集積インターポーザと積層型ストレージチップ実装基板からなるハイブリッド型の光インターフェース付きSSDを試作し、標準ストレージインターフェースによる光接続動作を検証する。

【最終目標】（平成29年度末）

光電子集積サーバボードにおける伝送機能の主要部分からなる送受信部を試作し、要求スペックを満たす光伝送を実証する。また、光電子集積インターポーザに積層型のストレージチップを実装した光インターフェース付SSD技術を確立する。

(b) ボード間接続機器、筐体間接続機器のシステム化技術開発

光ケーブルと電気コネクタを実装した光トランシーバによるアクティブ光ケーブルの実現と、光トランシーバとロジックLSIを実装した光ケーブル付きLSIの実現に向け、次の開発を行う。

【中間目標】（平成26年度末）

小型光トランシーバを搭載したアクティブ光ケーブル（AOC）を完成させ、筐体間接続における実用性を実証する。また、標準化動向を考慮しながら、光トランシーバとロジックLSI間の電気伝送に関するインターフェース仕様を決定する。

【最終目標】（平成29年度末）

LSIと光トランシーバの接続構造を決定する。また、策定した設計基準に基づき既存ロジックLSIを搭載できる基板を設計・試作し、光ケーブルを用いたLSI搭載基板間光接続を実現する。

(c) データセンタ間接続機器のシステム化技術開発

低消費電力DSP-LSIと小形集積型送受信光デバイスをモジュール化したデータセンタ間接続用トランシーバの実現に向け、次の検討を行う。

【中間目標】（平成26年度末）

一次試作の光デバイスおよびDSP-LSIを用いたトランシーバを試作し、デバイス制御動作を検証するとともに改良・完成度向上に向けた指針・フィードバック事項を抽出する。

【最終目標】（平成28年度末）

抽出した技術課題を解決し、目標である小型、低消費電力を満たす100Gbpsデジタルコヒーレント光トランシーバを実現する。

(d) 企業間ネットワーク接続機器のシステム化技術開発

シリコンフォトニクス技術を用いた集積光エレクトロニクスチップを開発し、企業間ネットワーク接続機器に適用する一芯双方向波長多重トランシーバを実現するための基盤システム化技術を確立する。

【中間目標】（平成26年度末）

シリコン光導波路による波長合分波器を用いて1.25Gbpsの一芯双方向光トランシーバを実証する。

【最終目標】（平成29年度末）

シリコン光導波路による双方向多重用合分波器と波長多重用合分波器を組み合わせて集積試作し、一芯双方向波長多重動作をシリコンワンチップ上で実証するとともに、企業間ネットワーク向け波長多重合分波器実用化のための要求課題を抽出し、解決の目処を得る。

(ii) 国際標準化

本プロジェクトでの開発成果の事業化に必要な各種インターフェースの標準化を獲得するため、次のような標準化活動を実施する。

【中間目標】（平成26年度末）

光インターコネクトに関する標準化団体（OIF (Optical Internetworking Forum)、IEEE 802.3 (Next gen 100G Optical Ethernet Study Group)) に参画し、「キーマンバーコミュニティ」におけるプレゼンスを確立する。また、100Gbps デジタルコヒーレント光トランシーバに関する標準化を推進する。

【最終目標】（平成29年度末）

本プロジェクトの成果である光実装部品における各種インターフェース等の標準化提案活動を行い、実用化する開発成果の事業化に必要な標準の提案を行う。

2.2 研究開発の実施体制

(1) 実施体制

プロジェクト目標の達成には多くのブレークスルーが必要であることを考慮し、次のような観点から研究開発の実施体制を構築している。

- ① それぞれの研究開発テーマについて最高のポテンシャルを有する研究者を企業・機関のレベルを超えて結集させ、ドリームチームを結成する。
- ② それぞれの研究開発テーマ間のみならず、実装基盤技術とシステム化技術の研究開発テーマが相互に関連しあって目標とするシステムが構築されてゆくことから、相互に緊密な連携をとって研究開発を推進できるようにする。
- ③ 各企業・機関が所有する既存設備、ノウハウ等を有効に活用することにより、効率的かつ効果的な研究開発を可能とするとともに、できるだけ効果的な資金配分を実現する。
- ④ 参加企業・機関が一体となって標準化推進を進めるとともに、本研究開発成果の実用化・事業化をより確実なものとするため、国内外市場における事業戦略を策定しつつ研究開発を推進できるようにする。

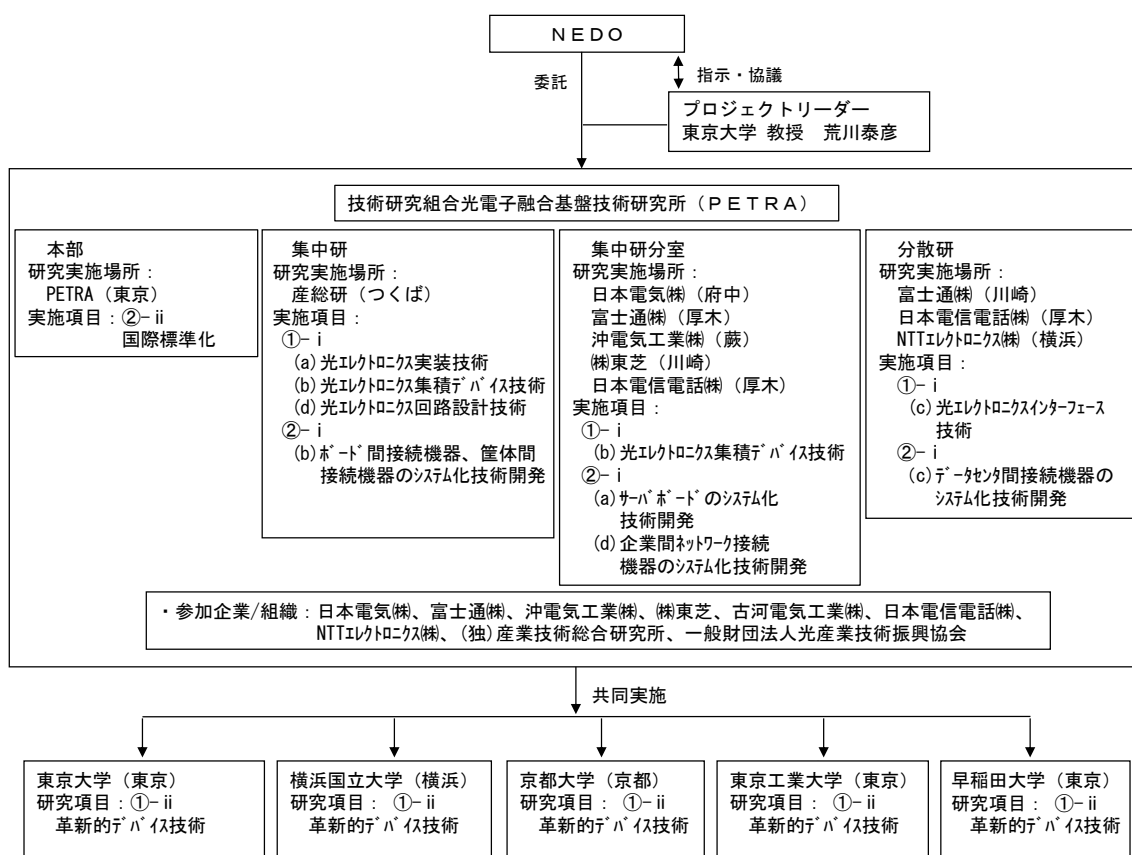


図 II-2.2-1 プロジェクトの研究開発拠点と研究項目

本プロジェクトの研究開発拠点と研究項目を図 II-2.2-1 に示す。本プロジェクトは技術研究組合光電子融合基盤技術研究所（以下、PETRAと略記する）にNEDOが委託して実施する事業である。プロジェクトの研究員は、PETRA組員である日本電気株式会社、富士通株式会社、沖電気工業株式会社、株式会社東芝、古河電気工業株式会社、日本電信電話株式会社、NTTエレクトロニクス株式会社、独立行政法人産業技術総合研究所（以下、AIST）、および一般財団法人光産業技術振興協会からの出向者等によって構成されており、集中研、集中研分室、分散研、本部において研究活動を行っている。

PETRA集中研は、AIST（つくば）に設置され、PETRA研究員がAISTの実験室、実験設備を活用し、集積デバイス技術、実装技術、回路設計技術等の研究開発を推進している。PETRA集中研分室、PETRA分散研では、組員各社の実験室において本研究開発に参加しているPETRA組員が保有する設備、ノウハウ等を活用しつつ、集積デバイス技術の一部、インターフェース技術、システム化技術についての研究開発を推進している。PETRA本部では、光協会と協力しつつ国際標準化活動を実施するとともに、本研究開発全体の一般事務を集中的に管理している。

開発プロジェクトの実施者構成と各実施者の研究項目を図 II-2.2.-2 に示す。



図Ⅱ-2.2-2 プロジェクトの実施者構成と各実施者の研究項目

研究開発の全体を統括するプロジェクトリーダー (P L) の下に、研究開発項目を統括するサブプロジェクトリーダー (S P L) を研究開発項目①に5名、研究開発項目②に1名置いている。また、それぞれの研究開発項目をさらに細分化した研究開発テーマそれぞれについて、その内容について責任を持つテーマリーダー (T L) を置き、プロジェクト全体の運営、研究開発進捗管理と迅速な意思決定、研究項目間の効果的な連携が可能になるように全体の実施体制を構築している。

本プロジェクトにおける研究総括責任者であるプロジェクトリーダーは下記の役割を担い、プロジェクト全体の運営を行っている。

1. 組織関係

- (1) 研究体 (分室、集中研) の設置、廃止等の組織構成案の策定。
- (2) 研究体の研究サブリーダー等の選任と解任。

2. 予算関係

- (1) 各事業年度における予算配分の調整及び予算案の策定。

3. 研究計画・管理関係

- (1) 各研究体のサブプロジェクトリーダー、テーマリーダーから構成される「マネジメント委員会」、「技術委員会」を開催し、年間計画の策定や研究進捗状況の管理及び

総合調整を行う。

また、P E T R Aより3回／月程度の頻度でプロジェクトの進捗状況について報告を受け、プロジェクト全体の進捗状況を把握する。

- (2) P E T R Aとともにプロジェクト成果の実用化計画を協議するとともに、それを考慮した研究開発計画を策定する。
- (3) 年度毎のプロジェクト推進目標を策定し、これを管理／フォローアップを実施する。

4. 研究成果関係

- (1) 特許、論文、学会発表、標準化寄与文書、新聞発表、展示会出展等のプロジェクト成果の計画策定と実績の管理実施。

5. その他

- (1) プロジェクト活動の啓蒙・啓発事業として、ワークショップやシンポジウム等の企画立案と実施。
- (2) 経済産業省、N E D O、大学等の各種関係会議やヒアリング等への対応及び総括。

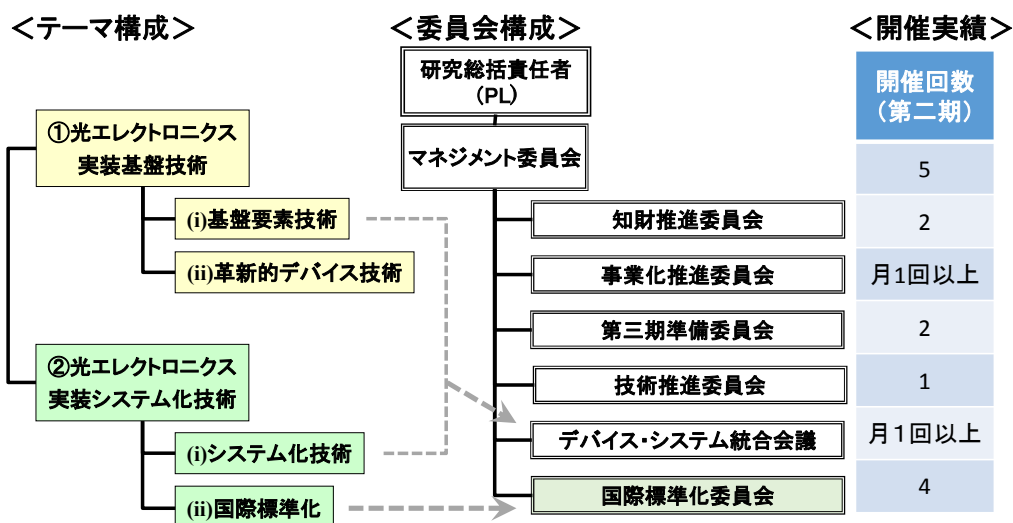
(2) 共同実施

研究開発項目①光エレクトロニクス実装基盤技術の開発において研究開発を実施する革新的デバイス技術については、その分野で先進的な取り組みを行っている東京大学（革新的光源・光検出器技術）、横浜国立大学（革新的変調器技術）、京都大学（革新的配線技術）、東京工業大学（革新的光エレクトロニクス技術）、早稲田大学（革新的光スイッチングデバイス技術）とP E T R Aが共同研究契約を締結し、研究開発を実施している。

2. 3 研究の運営管理

本プロジェクトは、F I R S Tプログラムの一つである「フォトニクス・エレクトロニクス融合システム基板技術開発（P E C S T）」と連携し、その技術成果を活用しつつ光電子集積システムの実現に必要な基本技術要素を研究開発する①光エレクトロニクス実装基盤技術の開発と、その技術要素を統合してシステムとして実現するための②光エレクトロニクス実装システム化技術の開発が、相互にフィードバックを行いながら効率的、効果的に研究開発を実施し、最大化された成果を生み出すとともに、成果を早期に実用化することを目的に運営されている。

その目的の実現のため、次に示す組織体を構成し、プロジェクトを推進している（図Ⅱ-2.3-1）。



図Ⅱ-2.3-1 プロジェクトの運営体制

- ①プロジェクト運営に係る最高議決機関としてマネジメント委員会を設置。
- ②プロジェクトテーマの研究開発を総合的に企画、調整する技術委員会を設置。
- ③デバイス技術とシステム技術の研究内容、進捗について速やかなフィードバックを行うとともに精度の高い研究開発工程管理を行うデバイス・システム統合会議を設置。
- ④プロジェクト参加組合員による成果の効果的な実用化を実現するため、プロジェクトの研究開発と参加組合員による実用化活動の方向性等について企画、調整する事業化推進委員会を設置。
- ⑤プロジェクト成果の早期実用化を実現するため、プロジェクトに指針を示し、サポートを行う委員会として、国際標準化委員会、知財推進委員会を設置。

また、新規市場の開拓を伴う本研究開発成果の実用化を促進するため、その実用化については、研究開発終了後の企業による実用化努力のみならず、研究開発途上でも実用化可能な技術についてはパイプロダクトとして積極的に実用化を行なうこととしている。

本研究開発の成果に係わる知的所有権の取得、権利の帰属、実施等に関するルールは、「超低消費電力型光エレクトロニクス実装システム技術開発」の研究開発事業に関する知的財産権取扱規程」として、知財推進委員会にて策定され、運用されている。共同実施を行っている大学における知的財産権の取扱いについても、PETRAと個々の大学間で結ばれる共同研究契約にて規定されており、それに基づいた運用がなされている。

なお、知的財産権取得規程、大学における知的財産権の取扱い規定の策定に当たっては、未来開拓研究プロジェクトの目的の一つである成果の実用化による国益の実現を阻害することが無いように、実用化時における必要な知的財産権の円滑な実施を可能とすることを基本的な方針として事前に定めている。その結果、定められた知的財産取得規程は、プロジ

エクト開始前に参加者が保有していた知的財産権の許諾に関する考え方や共同研究を行っている大学が取得する知的財産権の補償等の取扱い等についても考慮されたものとなっている。

NEDOと実施者とのディスカッション、情報交換を促進するために開催した会議等の状況を表Ⅱ-2.3.-1に示す。NEDOはこれらの会議等を通じて、研究開発の進捗状況の確認等を行うと共に、課題の共有や開発計画の見直し、加速資金の必要性、成果の実用化・事業化等について実施者と議論を行い、プロジェクトマネジメントに活用している。また、実施者間では、PETRA内の実施者間で行うデバイス・システム統合会議等で研究開発状況、進捗などについて報告し、議論を行うことで緊密かつ効率的に研究開発を推進している。

2.4 研究開発成果の実用化・事業化に向けたマネジメントの妥当性

プロジェクトの開始にあたり、NEDOは経済産業省と共に光素子・光デバイス、光モジュール、光通信等の光通信技術において強みを持つ企業、スパコン、サーバ、ストレージ、コンピュータネットワーク等の情報処理関連装置技術等において、研究面、事業面で共にトップレベルの強みを持つ企業が参加した事業の実施体制を構築し、光通信技術と情報処理装置技術との深い融合を実現するために必要な研究開発とその成果の実用化の達成に対する蓋然性を高めている。

また、プロジェクト参加企業等において事業化に深い知識を持つ人員を委員とし、必要に応じてプロジェクト外部の有識者も交えて、プロジェクト成果の実用化・事業化について継続的に議論を行う事業化推進委員会等を設置し、実用化の観点からプロジェクト成果の実用化に求められる要件や事業化のための戦略等について議論を進めている。

プロジェクトで開発に取り組んでいる光電子融合技術は、汎用性の高い技術であり、適用対象によっては途中段階の技術が十分有用な場合も想定されるとの認識で研究開発を行っている。また、光電子融合技術は未だ存在しない市場を切り開くものであるため、その普及には一定程度の時間も必要であることも予想される。従って、光電子融合技術のスムーズな普及をはかるため、経済産業省、NEDO、実施者間でプロジェクト成果の適用可能性のある対象の探索に努めるとともに、実用化・事業化戦略に関して継続的な議論を実施しており、研究開発途上でも実用化の可能な技術についてはパイプロダクトとして速やかに実用化を図ることとしている。

また、研究開発成果の普及を促進しつつ国際競争力を確保するには、特許の取得と標準化について戦略的に進める必要があるとの認識である。このため、知財推進委員会と国際標準化委員会をプロジェクトに設置して、プロジェクトの実用化戦略と連携した知財戦略、標準化戦略を策定し、プロジェクト成果のオープン化、クローズ化を実践している。標準化への寄与文書（寄書）はプロジェクト開始後2年で37件を提出している。また、技術の実現性を示して標準化活動を支援するため、ECOC、OFC等の主要な国際会議において成果発



図 II-2.4-1 国際会議での展示

表や、成果の展示を行った。OFC 2016での展示デモ風景を図 II-2.4-1 に示す。

連携プロジェクトであるPECSTの成果活用に関しては、両プロジェクトの連携会議として設置されたガバニングボードにおいて、経済産業省、内閣府とともに協議を行い、PECSTで取得された知財や人材等を効果的に活用するための取り決め等について整備を行った。

3. 情勢変化への対応

情勢変化への対応としては、下記のような取り組みを行っている。

- 1) 国際競争力強化や実用化に資すべく本プロジェクトで開発を進めている要素技術の研究開発成果に基づき、当初の計画を変更する形で、実施方針の変更や加速資金の投入を実施し、光電子集積回路の大規模化プロセス技術、光トランシーバの省電力化技術の技術開発を積極的に推進した。これまでの情勢変化への対応を表 II-3-1 に示す。

表 II-3-1 情勢変化への対応

2021年度末性能目標 (電気記録比)		<ul style="list-style-type: none"> ・光電子集積デバイス: 低消費電力 1mW/Gbps (1/10)、小型(1/100以下) ・光電子集積サーバボード要素技術: 低消費電力(3割減)、多種LSI集積、DCで運用可能 		2021年度末の 性能目標は妥当
項目	テーマ	研究開発目標(2017年度末)	情勢の変化	目標の妥当性に対応
① 実装 基盤 技術	基盤要素 技術	◆上記目標性能を発揮する光電子集積デバイスの 実現に目処を立てる要素技術を確立	◆モバイル通信、クラウドコンピューティング、IoT・AIの進展により、通信量がさらに増加すると予測 ◆データセンター間通信技術開発スピード加速	実施事項を追加(2015年) ◆大口径ウェハによる新デバイス技術実用化開発(目標: 光回路として2015年度末に3mW/Gbps実証)
	革新的 デバイス 技術	◆非連続的な小型化・低消費電力化・高性能化を可能とする 先進性の高い光制御技術、デバイス技術を研究開発		目標は妥当
② 実装 システム 化技術	システム 化技術	◆上記要件を満たすサーバボード実現のための システム化技術を開発 し、性能目標達成の 目処 を得る。 ◆波長多重一芯双方向トランシーバ技術、低消費電力型デジタルコヒーレントトランシーバ技術を確立(2016年度末)	◆シリコンフォトニクス技術の開発競争激化 ◆競合各社が相次ぎ光接続サーバ、データセンターの高度化を提案	目標前倒し(2014年) ◆大容量LSI周辺に世界最小光トランシーバ(光I/Oコア)を搭載 実施事項を追加(2015年) ◆サーバアーキテクチャの検討(目標: 800Gbps/cmの高密度光I/Oの動作検証)
	国際 標準化	◆研究開発成果の 普及促進に必要な標準化提案 を行う。	◆データセンターの消費電力削減を目指した海外プロジェクト立上げが進行	実施事項を追加(2015年) ◆小型トランシーバ(従来比1/2)開発
③	成果普及 活動	◆ビジョン形成を含む教育カリキュラムへ展開 ◆周辺領域の調査・基礎研究を応用研究へ展開		項目③を追加(2015年)

2) 国際的な学会動向や、欧米を中心とした先進各国の国家プロジェクト動向、並びにロードマップ等の最新情報を入手することで、本プロジェクトの研究開発レベルのベンチ・マーキングの見直しを定期的に行い、実施計画・方針等の変更に反映させている。

3) 実用化の目処が見えた光デバイスは、プロジェクト終了を待たずに実用化の準備を進めている。

4. 評価に関する事項

NEDOは、技術的及び政策的観点から、研究開発の意義、目標達成度、成果の技術的意義及び将来産業への波及効果等について、事業項目毎に、外部有識者による研究開発の評価を実施する。具体的には本基本計画の対象期間においては、平成26年度、平成29年度に評価を実施し、評価結果を踏まえ、経済産業省と相談のうえ、事業の延長・加速・縮小や必要な体制の再構築などを含め、後年度の研究開発に反映することとしている。

なお、評価の時期については、当該研究開発に係る技術動向、政策動向や当該研究開発の進捗状況等に応じて、前倒しする等、適宜見直すものとしている。

表Ⅱ-4-1 2014年中間評価の指摘事項と対応進捗

2014年中間評価 指摘事項		第二期 対応と進捗
1	実用化・事業化に向けては、マーケットにおける競争実態や顧客動向に熟知したメンバーの参画が望まれる。	実用化・事業化戦略を策定のための ロードマップ を作成 <ul style="list-style-type: none"> 国内主要企業から情報を収集 コンサルタントを利用して国内外のマーケット状況の把握 国内・海外の企業との 直接対話 により情報を収集 <ul style="list-style-type: none"> サンプル提供、標準化活動を通じて対話機会を創出
2	シリコンフォトニクスは、国際的にも開発競争が熾烈で進展も早いので、早期の実用化・事業化につながるように、研究開発を一層加速することが必要である。	促進財源を投入 して技術開発・実用化を 加速 <ul style="list-style-type: none"> 2014年度、2015年度、計18.5億を投入 世界最高性能の達成、目標達成前倒し、国際標準化の主導的立場確立、など 事業化案件 2件
3	多くの優れた学術的成果に比して、学術誌等の論文発表の数が少ないと思われる。	技術開発の進捗に伴い、 公開・アピール方法をシフト <ul style="list-style-type: none"> 基礎技術の特許出願(第一期)から学会・論文発表活用した成果アピール(第二期)へ 論文3報/年→12報/年、学会29件/年→70件以上/年
4	今後は、取り組み計画、事業化までのマイルストーン、事業化する製品・サービス等を一層具体化することが必要である。	マイルストーンの下、製品・サービスを具体化して 2件を事業化 <ul style="list-style-type: none"> 2016年 デジタルコヒーレントトランシーバ関連4製品を事業化(富士通、富士通オプティカルコンポーネント、NTTエレクトロニクス) 2017年4月 光I/Oコア事業化のための新会社を設立

Ⅲ. 研究開発成果

1. 事業全体の成果について

1.1 事業全体の成果について

事業全体の成果の発表については、研究開発項目間の関連性や事業化、実用化に向けた最終システムのイメージに合わせ、実施方針の研究開発項目を一部再構成して説明する。表Ⅲ-1-1 に示すように「①光エレクトロニクス実装基盤技術の開発」の中を「1-1 基盤要素技術」と「1-2 革新的デバイス技術」に大きく括り、「②光エレクトロニクス実装システム化技術の開発」は「2. システム化技術」の下に「2-1 光電子集積サーバシステム」、「2-2 光電子集積光通信システム」、「2-3 国際標準化」を置いている。「2-2 光電子集積光通信システム」の中に、実施方針では「①光エレクトロニクス実装基盤技術の開発」の中にある「(i) 実装基盤技術(c)光エレクトロニクスインターフェース技術」を含め、「2-2-1 データセンタ間接続機器」としてまとめた。事業原簿の中では、実施方針の研究開発項目に沿って記述している。

表Ⅲ-1-1 成果のまとめの構成（発表）と実施方針の研究開発項目（事業原簿）

発表説明の研究開発項目	実施方針の研究開発項目
①光エレクトロニクス実装基盤技術の開発	①光エレクトロニクス実装基盤技術の開発
1-1 基盤要素技術 1-1-1 光エレクトロニクス集積デバイス技術	(i)実装基盤技術 (b)光エレクトロニクス集積デバイス技術
1-1-2 光エレクトロニクス実装技術	(a)光エレクトロニクス実装技術
1-1-3 光エレクトロニクス回路設計技術	(d)光エレクトロニクス回路設計技術
1-2 革新的デバイス技術	(ii)革新的デバイス技術
②光エレクトロニクス実装システム化技術の開発	②光エレクトロニクス実装システム化技術の開発
2. システム化技術 2-1 光電子集積サーバシステム 2-1-1 ボード間・筐体間接続 2-1-2 サーバボードシステム化(CPU間光インターコネクト) (CPU/記憶素子間接続)	(i)システム化技術 (b)ボード間接続機器、筐体間接続機器のシステム化技術開発 (a)サーバボードのシステム化技術開発
2-2 光電子集積光通信システム 2-2-1 データセンタ間ネットワーク接続 2-2-2 企業間ネットワーク接続	①(i)実装基盤技術 (c)光エレクトロニクスインターフェース技術 ②(i)システム化技術 (c)データセンタ間接続機器のシステム化技術開発 (d)企業間ネットワーク接続機器のシステム化技術開発
2-3 国際標準化	(ii) 国際標準化
③成果普及	成果普及

1.2 知的財産権等の確保に向けた取組み

知的財産権等の確保に向けた取組みとして、図Ⅲ-1-1 に示すように、特許化、標準化活動に加え、ノウハウとブラックボックス化の活動をプロジェクト全体で行い、研究開発の効率化と成果の事業化推進を強力に進めている。

この結果として、プロジェクトの IP を一部承継する新設分割の株式会社を設立した。

知財マネジメント

- 省庁間連携により内閣府・最先端の知財を継承。
- プロジェクトIPは原則としてPETRAが管理し、参加企業保有のIPは、本成果の事業化推進のために実施許諾を前提
- プロジェクトIPの一部を新設分割会社に継承

オープン・ブラックボックス戦略

- 国際標準化：光と電気のインターフェースの構造的な仕様
- 特許化：コア技術であるシリコンフォトニクスによる集積光回路と実装構造
- ノウハウとしてブラックボックス化：主要実装構造の特許化と、製造方法を、固有の実装装置内に封じ込め、ブラックボックス化

図Ⅲ-1-1 知的財産権等の確保に向けた取り組み

1.3 成果の普及

研究開発成果の普及として、学会活動や展示会活動を表Ⅲ-1-2 にまとめて示す。特許については、プロジェクト成果の市場を見据えて外国出願も精力的に行っている。研究開発成果の論文投稿もプロジェクトの進行に合わせて順調に進むと同時に、国際会議等での招待講演数も年 30 件程度とプロジェクトの知名度も上昇してきた。インパクトが大きく注目される発表の場合は、新聞発表を併せて行っている。また、関連する主要な国際会議に併設の展示会に出品し、大きな注目を集めてきた。

標準化活動と共同研究先を通じた③成果普及活動の詳細については、別途記述する。

表Ⅲ-1-2 事業全体の成果と成果の普及（平成 24 年 9 月 25 日～平成 29 年 6 月末日集計分まで）

年度 (平成)	特許	外国出願 (内数)	論文等	国際/国内学会発表 (解説記事を含む) ()は招待講演	標準化 寄与文書	新聞発表	主要展示会
計	135	57	44	280(109)	72	19	-
24～26 年度	63	38	8	87(30)	50	13	CEATEC、OFC ICEP、SSDM SEMICON
27年度	35	15	12	85(32)	10	2	SEMICON OFC2016
28年度	33	4	12	62(29)	11	2	CEATEC OFC2017
29年度	4	0	12	46(18)	1	2	(CEATEC)

共同研究先の革新的デバイス技術の開発成果に対する学会活動や展示会について、表Ⅲ-1-3 にまとめて示す。論文等を順調に発表し、インパクトが大きく注目される発表の場合は、新聞発表を合わせて行っている。

表Ⅲ-1-3 革新的デバイス技術の成果と成果の普及
(平成 24 年 9 月 25 日～平成 29 年 8 月末日集計分まで)

年度 (平成)	特許	外国出願 (内数)	論文等	国際/国内学会発表 (解説記事を含む)	標準化 寄与文書	新聞発表	主要展示会
計	5	1	76	628	0	54	0
24～26年 度	0	0	30	262	0	23	0
27年度	1	0	16	155	0	15	0
28年度	3	1	22	159	0	12	0
29年度	1	0	8	52	0	4	0

1.4 研究開発目標の達成度について

初めに、本プロジェクトの開発テーマと各テーマの技術開発項目の関係を図Ⅲ-1-2 に示す。大きくは①光エレクトロニクス実装基盤技術と②光エレクトロニクス実装システム化技術に分かれている。基盤技術開発と実用化・事業化に向けたシステム化技術を併行・連動開発することによって、相互に研究開発の進捗状況や方向性の確認を行い、効率的な研究開発を行うようにしている。また平成 27 年度後期から③成果普及活動を行っている。

①光エレクトロニクス実装基盤技術の開発 ②光エレクトロニクス実装システム化技術の開発



③成果普及

図Ⅲ-1-2 技術開発項目の関係

また、研究開発の進捗状況を表Ⅲ-1-4 にまとめて示す。達成度については、当初の計画を前倒しで達成したテーマ、事業化を達成したテーマ、あるいは近々、事業化の目処がついたテーマを右欄に大幅達成として◎で示している。

表Ⅲ-1-4 光エレクトロニクス実装システム化技術開発の進捗状況

テーマ	H29年度末中間目標	主な成果状況	達成度
①光エレクトロニクス実装 基盤技術の開発 1-1 基盤要素技術	<ul style="list-style-type: none"> 多数の光素子を集積した大容量光電子集積インターポーザの基盤集積技術を確立。 光トランシーバの伝送容量1.2Tbps以上の基本動作を実現。 5cm□程度の光電子ハイブリッド基板上にLSIモジュールの高速光インターコネクトを実現。 低消費電力光トランシーバとして3mW/Gbpsを目標。 	<ul style="list-style-type: none"> シリフォト統合化集積プロセスを開発し、大容量化(4波WDM、56G-PAM4)の基盤技術を確立。 5mm□に25Gbps 12chの集積光I/Oチップを完成し、帯域密度1.2Tbps/cm²を実現。 1.3μm帯で低損失(0.29dB/cm)なポリマー光導波路を5cm□基板上に実現。 SiGe光変調器の高速動作実証(28Gbps)など3mW/Gbps超低消費電力デバイス技術確立。 	◎
①光エレクトロニクス実装 基盤技術の開発 1-2 革新デバイス技術	<ul style="list-style-type: none"> 光電子集積デバイスの小型化・低消費電力化・高性能化を非連続的に実現できる革新的デバイス技術を開発。 	<ul style="list-style-type: none"> シリコン導波路結合型量子ドットレーザの高速直接変調を達成。 SiGe変調器など各種光デバイスを高性能化。 	○
②光エレクトロニクス実装 システム化技術の開発 2-1 光電子集積サーバシステム 2-2 光電子集積光通信システム	<ul style="list-style-type: none"> 光電子集積サーバボードにおける送受信部を試作し、スペックを満足する光伝送を実証。 小型、低消費電力を満たす100Gbpsデジタルコヒーレント光トランシーバを実現(H28年度末)。 一芯双方向波長多重動作をシリコンワンチップ上で実証。 	<ul style="list-style-type: none"> LSIと集積光I/Oコアを搭載したボードで、FPGA間を1.2Tbps(25Gbps×24ch)で接続、また、800Gbps(25Gbps×16ch送受)を1cm²に収容。 CFP-DCO、CFP2-ACOタイプの100 Gbpsデジコヒトランシーバを試作し、従来比1/2以下の小型化と従来比1/3の約30Wの低消費化を実現。 10Gbps×4波×上り/下りの一芯双方向多重動作をシリコンワンチップ上で実証。 	◎
②光エレクトロニクス実装 システム化技術の開発 2-3 国際標準化	<ul style="list-style-type: none"> 光実装部品における各種インターフェース等の標準化提案活動を行い、実用化する開発成果の事業化に必要な標準の提案。 	<ul style="list-style-type: none"> OIFで小型光トランシーバ等の光部品の標準化活動を行い、IECでのデジュール標準化提案。 CFP4級デジタルコヒーレントトランシーバの超小型光送受信デバイスの標準化を推進。 	○
③成果普及	<ul style="list-style-type: none"> 成果普及等のためのプログラムを実施し、イノベーション創出に向けた周辺研究、人材育成、ビジョン形成等の活動を推進。 	<ul style="list-style-type: none"> 大学院生向け教育カリキュラム、学生や社会人を対象としたフォトニクス・イノベーションセミナーやビジョンワークショップを継続。 	○

達成度：◎大幅達成、○達成(年度内達成見込みも含む)、△達成遅れ、×未達

2. 研究開発項目ごとの研究開発成果について

以降に、①光エレクトロニクス実装基盤技術と②光エレクトロニクス実装システム化技術の個別テーマごとの研究開発成果について述べる。

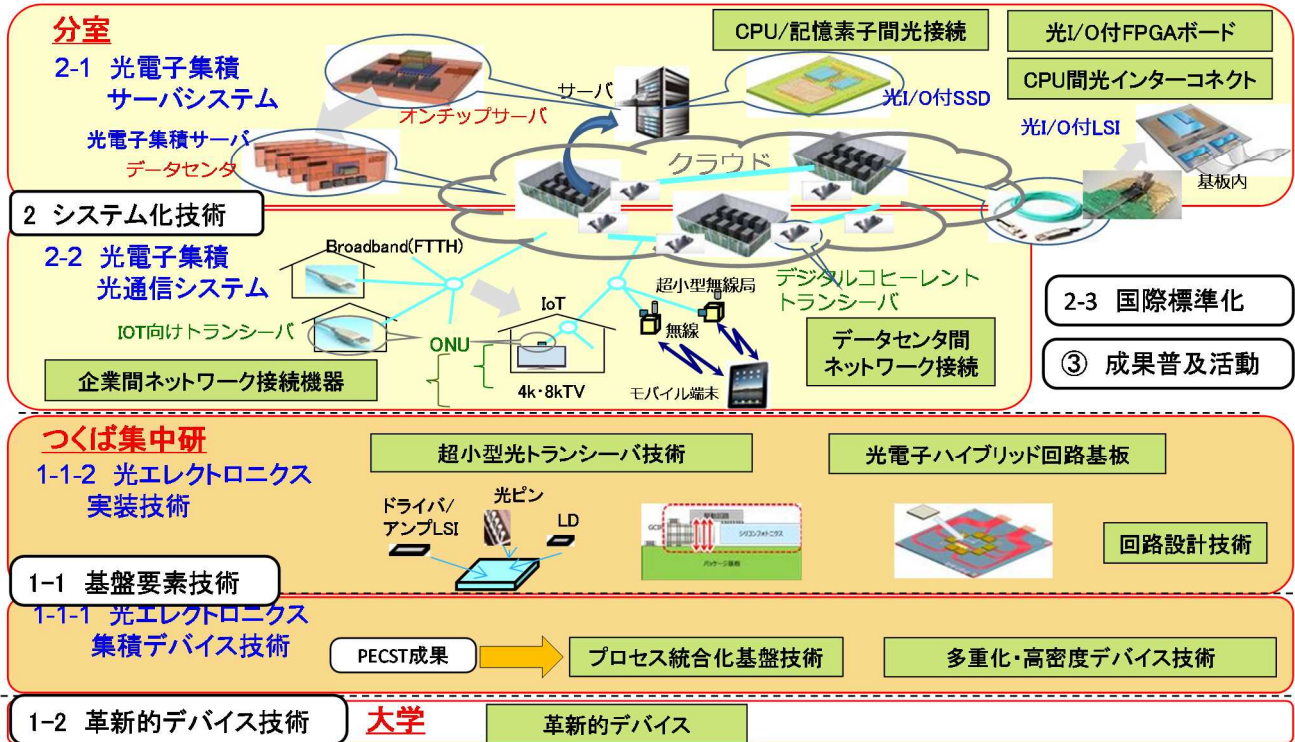
まず、図Ⅲ-2-1 に開発テーマの位置づけと技術開発の概要を示す。

①光エレクトロニクス実装基盤技術の開発

光電子集積サーバ向け光電子集積インターポーザ(回路基板の光化)を実現するために必要な集積光部品・回路技術、実装技術、設計技術等の**基盤要素技術**と光電子集積インターポーザ性能を大きく高める**革新的デバイス**を開発

②光エレクトロニクス実装システム化技術の開発

光電子集積サーバ等の実現に向けた**最適なアーキテクチャの明確化**、およびその**統合化技術の開発**



図Ⅲ-2-1 プロジェクトにおける技術開発の概要

2.1. 光エレクトロニクス実装基盤技術の開発

二つのテーマ 1-1 基盤要素技術と 1-2 革新デバイス技術に分けて示す。

2.1.1 全体成果

CMOS 互換ラインで製造できるシリコンフォトニクス技術は、微細化によるフォトニクスデバイスの小型化(=低コスト化)と大量生産を可能とし、フォトニクスで従来から用いられてきた3V以上の電源電圧を微細CMOSで用いる0.9V付近に下げることによって消費電力を大幅に改善できると期待されている。

データセンタ、計算機センタの中で用いられるデータコム領域では、コンピュータラック間通信で1レーンあたり25~100Gbpsでの伝送が主流になりつつあり、主に低コスト化、低消費電力化への要望が高い。本プロジェクトではシリコンフォトニクス技術を活用し、1) 4~12レーンを束ねることで100~300Gbpsを実現する多並列技術、2) 光波長多重またはPAM技術を用いてレーン当たりの帯域を高める多重化技術、3) 光波長多重/一芯双方向を実現するPONトランシーバ技術を開発し、一部について事業化した。また、これらの技術領域を支えるプロセス統合化基盤技術(シリコンフォトニクスデバイス、シリコンフォトニクスウェーハ製造)を確立した。

また低コスト化を支える実装技術として、CPU/FPGAの直近に配置でき信号配線を短くすることで低コストなプリント基板でも25Gbpsの光伝送を行うことができる小型光トランシーバを開発した。エレ

クトロニクス業界では広く用いられている 10 μ m 精度の実装装置を用いて光伝送を利用できるように多並列技術ではマルチモードファイバを採用した。

ここで開発した小型光トランシーバ(光 I/O コア)はコンピュータラック間で用いられるだけでなく、CPU ボード間、CPU 間の帯域を拡大できるため、近年注目を浴びているディープラーニング等の超多並列計算の更なる大規模化、画像圧縮を伴わない自動運転技術等へ広く応用できると期待している。

一方で、インターネットによるビット消費が拡大するなか、テレコム領域では 100Gbps で 100km を伝送する光伝送技術の早期実用化が求められており、本プロジェクトの第一期に信号処理 LSI の開発を完了し事業化した。第二期はこの LSI 技術とシリコンフォトニクス技術を組み合わせることで消費電力を更に低減し、データセンタの離れたサイト間で数 Tbps の伝送を達成する応用に向けた検討を開始した。

2.1.1.1 中間目標と成果

研究開発の進捗状況をまとめたものを表Ⅲ-2.1.1-1,2 に示す。

表Ⅲ-2.1.1-1 光エレクトロニクス実装基盤技術の進捗状況 1

①光エレクトロニクス実装基盤技術の開発

1-1 基盤要素技術

テーマ	H29年度末中間目標	主な成果状況	達成度
1-1-1 光エレクトロニクス集積デバイス技術	多数の光素子を集積した光電子集積インターポーザの大容量伝送を実現するための基盤集積技術を確立。 光トランシーバの伝送容量1.2Tbps以上の基本動作を実現。	<ul style="list-style-type: none"> ・300mmウエハでのシリフト統合化集積プロセス確立。 ・5mm\squareに25Gbps 12ch、送受2種類の集積光I/Oチップを完成し、帯域密度1.2Tbps/cm²を実現。 ・大容量化技術(4波WDM、56G-PAM4)の基盤技術を確立。 ・バルクシリコン基板上にInP系光素子を集積し、>25Tbps/cm²相当のオンシリコン高速光伝送を達成。 ・SiGe光変調器の高速動作実証(0.6V\cdotcm,28Gbps)など3mW/Gbps超低消費電力デバイス技術確立。 	◎
1-1-2 光エレクトロニクス実装技術	低消費電力光トランシーバとして3mW/Gbpsを目標。 5cm \times 5cm程度の光リンクロスの低減を行った光電子ハイブリッド回路基板へ光トランシーバ(集積光I/Oコア)を搭載技術を確立し、光電子ハイブリッド回路基板からの2.4Tbps高速光I/Oの基本特性を実証する。	<ul style="list-style-type: none"> ・光源として高温特性のよい量子ドットレーザ(QDL)を採用し、高温(85$^{\circ}$C)における安定動作を実現。 ・変調器ドライバの工夫で、25Gbps光トランシーバの3mW/Gbps動作を年度内達成見込み。 ・回路基板上に1.3μm帯で低損失(0.29dB/cm)なポリマー光導波路と細径ファイバリボンと小型光コネクタを開発し、2.4Tbps高速光I/Oを実現した。さらにポリマー導波路との高精度特性(0.4dB)を得た。 	○
1-1-3 光エレクトロニクス回路設計技術	(1)光エレクトロニクス実装設計環境構築 光デバイス設計用電子・光連携TCADと光電子集積インターポーザの設計を可能とする統合設計環境の構築 (2)光I/Oコア搭載用光デバイス設計ツール開発 電子・光連携TCADのパッケージング化	(1)光源・光路解析ソフトウェア、構造・伝熱・熱流体解析ソフトウェア等との連携や光部品のソフトウェア実装。 (2)電磁界シミュレータと電子デバイス三次元TCADを連携させた電子・光連携TCADのパッケージング化し、光デバイスの解析が可能。	○

達成度：◎大幅達成、○達成(年度内達成見込みも含む)、△達成遅れ、×未達

表Ⅲ-2.1.1-2 光エレクトロニクス実装基盤技術の進捗状況 2

①光エレクトロニクス実装基盤技術の開発
1-2 革新デバイス技術

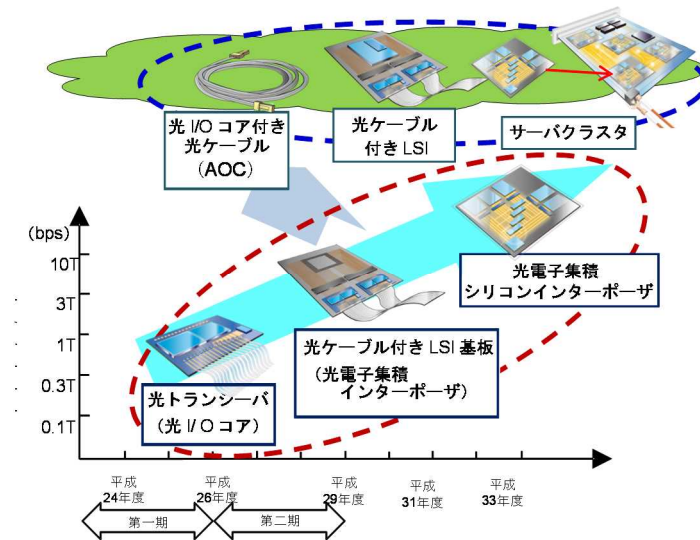
テーマ	H29年度末中間目標	主な成果状況	達成度
[革新的光源・光検出器技術]	光電子集積サーバ用の集積化光源に向け、量子ドットレーザアレイを実現し、シリコン系基板上に直接成長した量子ドットレーザを試作。 導波路型受光器の暗電流抑制技術を実現。 光電子集積サーバ技術への技術展開の見通しをし事業化に対する課題を明確化。	<ul style="list-style-type: none"> ・シリコン導波路結合型量子ドットレーザを世界に先駆けて実現し、シリコン上量子ドットレーザの高速直接変調を達成。 ・全MBE成長によるシリコン基板上直接成長量子ドットレーザも実現。 ・GeOI基板の結晶品質構造を実現し、ハイブリッドMOS型光変調器の最適構造を明確化。 	○
[革新的光変調器技術]	超小型高速変調器としてLN変調器を凌駕する実用性能を実現。 光電子集積サーバ技術への技術展開の見通しを示すとともに事業化に対する課題を明確化。	<ul style="list-style-type: none"> ・長さ200μm、電圧1.75Vpp、消光比3dB、損失6dB、波長帯域20nmで、計画を上回る32Gbps変調を実現。 ・波長多重、QPSK、PAMなどの小型変調器を実証。 	○
[革新的光配線技術]	3次元光配線技術として垂直方向と水平方向の伝搬機能の統合を実現。 光電子集積サーバ技術への技術展開の見通しを示すとともに事業化に対する課題を明確化。	<ul style="list-style-type: none"> ・三次元フォトニック結晶光配線において層内および層間伝搬の接続や相互干渉に関して定量的な評価。 ・ナノ光共振器のQ値を1100万まで向上させ、三共振器結合系で損失10%で80μm離れた共振器間で、共振器に保持した光を任意のタイミングでの転送に成功。 	○
[革新的光エレクトロニクス回路技術]	異なる機能の光回路を同一回路基板上に集積し、光FPGAコンセプトを実証。 光電子集積サーバ技術への技術展開の見通しを示すとともに事業化に対する課題を明確化。	<ul style="list-style-type: none"> ・要素技術の開発を終え、現在5種類以上の機能素子を同一基板上ハイブリッド回路の設計をほぼ完了。 ・完了次第、作製に取り掛かり年度内に測定完了予定。 	○
[革新的光スイッチングデバイス技術]	光スイッチマトリクスの低電力化、光信号処理デバイスの10Gbps程度での動作を実証。 光電子集積サーバ技術への技術展開の見通しを示すとともに事業化に対する課題を明確化。	<ul style="list-style-type: none"> ・マツハツエンダ型光スイッチで、数mA・約650psの高速スイッチング動作を実現し、偏光無依存構造を提案・設計。 ・量子ドット集積レーザ及び量子井戸により10G光論理動作を実現。 ・ポリマー介在層を用いたハイブリッド集積化技術を開発。 	○

達成度：◎大幅達成、○達成(年度内達成見込みも含む)、△達成遅れ、×未達

2.1.2 (i) 実装基盤技術

2.1.2.1 (a) 光エレクトロニクス実装技術

光エレクトロニクス実装技術では、図Ⅲ-2.1.2.1-1に示すように二期に分けて基盤技術開発を行う。第一期（平成 24-26 年度）では、CPU 等の LSI の電気出力部直近に小型トランシーバを設置することを目的に、5mm×5mm の小規模集積実装技術として光とエレクトロニクスの一括接続を検討し、小型の光トランシーバ（光 I/O コア）の基本構造を確立する。第二期（平成 27-29 年度）では、2 cm～3 cm 角の LSI の入出力信号を O/E・E/O 変換するために、5 cm×5 cm 程度の光電子ハイブリッド回路基板上に LSI を搭載するモジュール化技術を確立し、LSI モジュールでの高速光インターコネクトを実現する。



図Ⅲ-2.1.2.1-1 光エレクトロニクス実装システム技術の進化

実装技術は、以下の二つのテーマを開発する。

- (a-1) 超小型光トランシーバ実装技術：超小型光トランシーバに必要とされる光/電子デバイスを実装する技術。また光電子集積インターポーザの試作に向けて基本となる技術（フォトンクス回路と電子回路を組合せた設計、フォトンクス回路のマスク設計ツール）を開発する。
- (a-2) 光電子ハイブリッド回路基板技術：超小型光トランシーバと、必要とされる光/電子デバイスを光電子ハイブリッド回路基板に実装し、光電子集積インターポーザを実現する技術

2.1.2.1.1 中間目標

光電子集積シリコンインターポーザの目標性能である、光トランシーバの伝送容量 10Tbps 以上、インターポーザの超高密度化（100Tbps/cm²）の実現に向けて基盤技術を確立する。

(a-1) 超小型トランシーバ技術

平成 26 年度中間目標：25Gbps で動作可能な駆動回路及び入力回路(TIA)を開発し、LD を実装した 300Gbps 以上の光トランシーバ(光 I/O コア)を回路面積として 5mm×5mm クラスで試作し光エレクトロニクス実装の高密度化に目処をつける。低電力化技術として、FPGA 等ロジック LSI と接続可能なインターフェースを備えた光トランシーバ（光 I/O コア）として消費電力 3mW/Gbps を目指す。

平成 29 年度中間目標：光電子集積シリコンインターポーザを実現する基盤技術を確立する。具体的にはレーザダイオードを光電子集積インターポーザに実装する技術、組み合わせるエレクトロニクス回路を設計するために必要となるシリコンフォトンクスデバイス情報の受け渡し技術、光電子集積インターポーザ設計のための回路設計、マスク設計技術。

(a-2) 光電子ハイブリッド回路基板技術

平成 26 年度中間目標：数十 mm 角の LSI パッケージ基板に 96 芯以上のポリマー光配線を形成した光電子ハイブリッド回路基板を開発し、25Gbps 信号伝送を実証する。

平成 29 年度中間目標：光リンクロスの低減を行った光電子ハイブリッド回路基板への光トランシーバ（集積光 I/O コア）搭載技術を確認し、光電子ハイブリッド回路基板からの 2.4Tbps 高速光 I/O の基本特性を実証する。

2.1.2.1.2 スケジュール

(a-1) 超小型トランシーバ技術

光トランシーバ（光 I/O コア）については、平成 24 年、平成 25 年で詳細設計、1 次試作により基本動作を確認し、課題抽出の結果を反映して、CMOS 駆動回路、TIA の試作を行った。平成 26 年度に、CMOS 版駆動回路にて、光トランシーバの二次試作を行い、目標の 25Gbps、5mW/Gbps を実証した。平成 27、28 年度は、二次試作結果の解析を通し、更に消費電力を低減するため、集積デバイス技術と連携して低電圧で動作可能な要素フォトリソデバイス、光損失の低減を実現し、更なる省電力化を目指した。平成 29 年度に光電子ハイブリッド回路基板と組み合わせ、中間目標を達成する。

(a-2) 光電子ハイブリッド回路基板技術

本研究テーマにおいては、光電子ハイブリッド回路基板を実現するため、ア) 光電子集積パッケージ基板とイ) 光入出力構造の 2 つの課題を遂行する。

平成 24~26 年度は、光電子集積パッケージ基板の設計に必要な光導波路や光入出力構造の基礎特性を評価し、その課題を抽出し、トータルスループット 2Tbps 超の光 I/O コア集積用光電子集積パッケージ基板の 1 次試作と 25Gbps/ch の伝送実験を行った。光入出力構造に関しては任意の場所に 45°ミラー構造が作製可能な技術を確認した。また高効率光結合に向けた構造検討を開始した。

平成 27~29 年度は、光リンクロスの低減を目指して、低損失ポリマー光導波路の光電子集積パッケージ基板集積と光 I/O コア実装に向けた基本特性評価を行う。また、光入出力構造に関しては高密度光コネクタの実装検討を行う。

2.1.2.1.3 アプローチ、特長技術

(a-1) 超小型トランシーバ技術

光 I/O コアに向けて開発した要素技術とアーキテクチャを図 III-2.1.2.1-2 に示す。実装トレランスが大きいマルチモードファイバを用いることで実装難易度を下げ低コスト化を狙っている。シリコンフォトリソとマルチモードファイバの組合せは他に報告がなく、独自の技術である。マルチモードファイバの光信号を受光するために、面型 Ge 受光 PD を開発した。

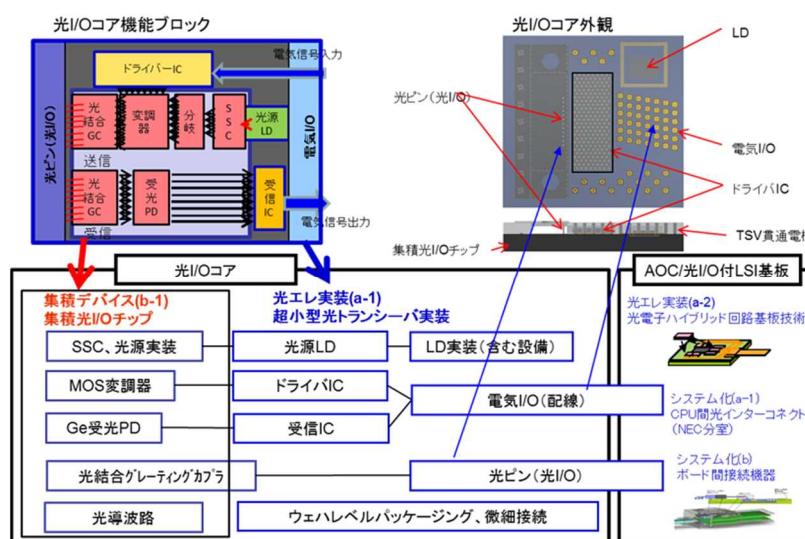
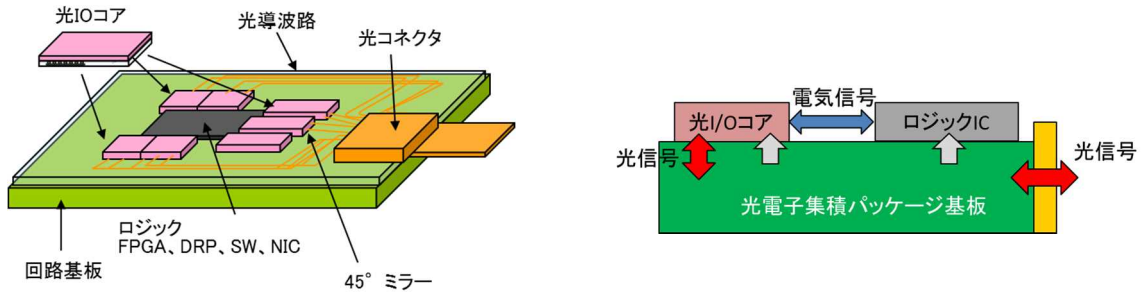


図 III-2.1.2.1-2 光 I/O コアのアーキテクチャ

(a-2) 光電子ハイブリッド回路基板技術

本研究ではトータルスループット **2Tbps** 超の高性能かつ簡便に光 I/O コアが集積可能な光電子集積パッケージ基板を実現する。その概略図と信号イメージを図Ⅲ-2.1.2.1-3 に示す。提案する光電子集積パッケージ基板は電気回路に光回路が集積されており、外部入出力用の光ファイバと光 I/O コアとの多チャンネル光結合を可能としている。



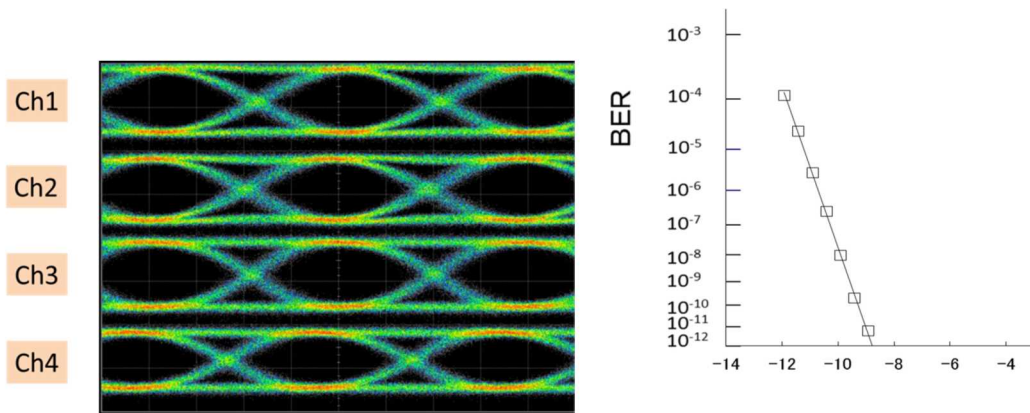
図Ⅲ-2.1.2.1-3 光電子集積パッケージ基板

2.1.2.1.4 成果

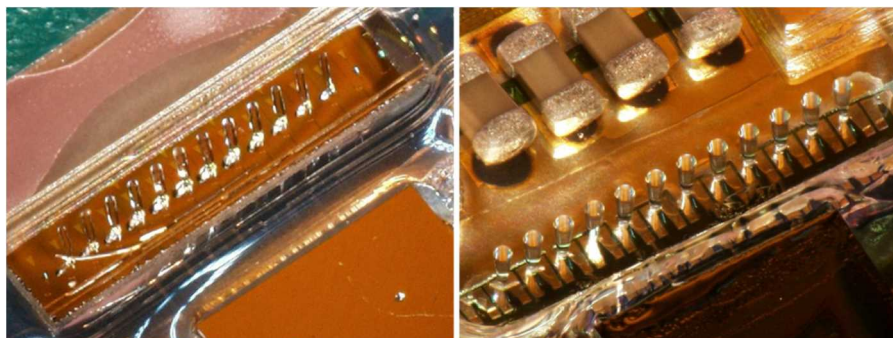
(a-1) 超小型トランシーバ技術

図Ⅲ-2.1.2.1-4に、4チャンネル送信回路の同時動作時の光波形と受信器のビットエラーレートを示す。**25Gbps** において**-9dBm(OMA)**の最小受信感度を達成しており、化合物半導体を用いた受信器を含めて世界最高性能レベルを達成している。

図Ⅲ-2.1.2.1-5に開発した光ピンの顕微鏡写真（12ch 送信器(Tx)と 12ch 受信器(Rx)）を示す。Tx 用光ピンはグレーティングカップラの出射角度にあわせて傾斜しており、Rx 用光ピンは **25Gbps** に合わせて径を縮小した受光器に光を集光出来るようテーパ形状となっている。



図Ⅲ-2.1.2.1-4 4チャンネル同時動作波形（送信）とビットエラーレート(受信)



a) Tx用12Ch傾斜光ピン

b) Rx用12Chテーパ光ピン

図Ⅲ-2.1.2.1-5 試作した光ピン

(a-2) 光電子ハイブリッド回路基板技術

平成 24 年度は、光電子集積パッケージ基板の設計に必要な光導波路や光入出力構造の基礎特性を評価し、課題として光導波路材料として有望視されているエポキシ系材料が 850nm 帯で透明（導波損失 0.08dB/cm（メーカー公称値））であるが、1.3 μ m では損失が 6 倍以上（0.6 dB/cm）の増加がみられ、今後、材料選定が必要であることを明らかにした。さらに、光入出力構造の 45°ミラー作製法としてダイシング加工が有力であると明らかにした。

平成 25 年度は、前年度得られた結果をもとにトータルスループット 2Tbps 超の光 I/O コア集積用光電子集積パッケージ基板の 1 次試作基板の仕様決定を行った。その 1 次試作サンプルを図 III-2.1.2.1-6 に示す。FR4 回路基板上に 96ch のポリマー光導波路、45°光入出力ミラー、ポリマー内電気信号配線を作製している。

平成 26 年度は、光ファイバ入出力時の光電子集積パッケージ基板の伝送評価を行った。その 25Gbps リンク特性結果を図 III-2.1.2.1-7 に示す。疑似ランダム信号を用いた 25Gbps、28Gbps において、エラーフリー伝送を実現した（中間目標）。また、ハイブリッドシリコン樹脂を用いたマルチモード光導波路を作製し、1.3 μ m 帯光波長での損失を測定した。結果を図 III-2.1.2.1-8 に示す。約 0.29dB/cm とエポキシ系光導波路に比べて、1/2 以下の低損失特性を実現した。

平成 27 年度は、光 I/O コアテストチップと光ハイブリッド回路基板を用いて、光ピンとポリマー光導波路の光結合評価を行った。基板と光ピンとの光結合は基板とマルチモードファイバと比較してもほぼ同程度の結果が出ており、光ピンによる光結合劣化は見られなかった。また、光電子集積パッケージ基板上への光ファイバアレイ用コネクタの実装を行い、図 III-2.1.2.1-9 に示すとおり過剰損失として 0.7dB 以下の低損失結果を得た。さらにシリコン入出力構造として、SiON コア部分にダイシングミラーと研磨を用いた垂直光入出力構造を作製した。1450nm～1630nm の広い帯域にわたって低損失（<0.7dB）かつ偏光無依存（<0.5dB）なミラー構造が実現できた。

平成 28 年度は、光ハイブリッド回路基板上に光 I/O コアを実装し、課題抽出を行い、はんだにより接続された両電極間に低損失で電流が流れることを確認した。光入出力構造として、125 μ m ピッチ、12 芯のマルチモードファイバリボンを作製し、専用の 24 芯小型フェルルールに 2 本のファイバリボンを実装した。

平成 29 年度は、光ハイブリッド回路基板上に光 I/O コアを実装し、その光軸の位置ずれが 7 μ m 以下と、精度よく実装されていることが分かった。一方で、作製した小型光コネクタを実際にハイブリッド回路基板に実装し、ポリマー光導波路と細径光ファイバとの光接続を評価した。

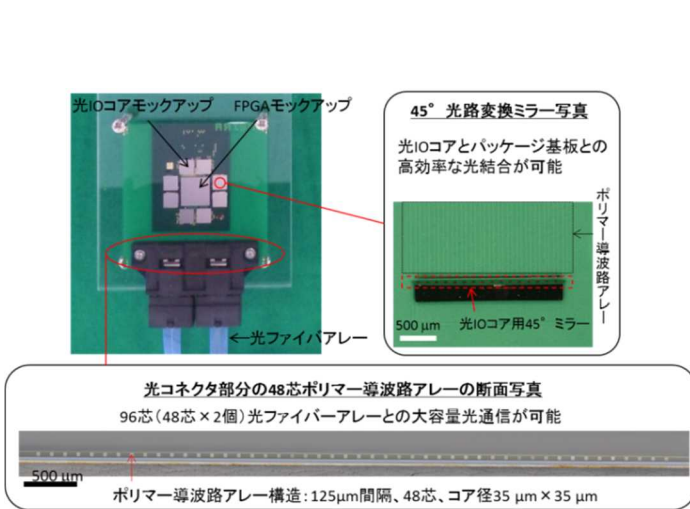


図 III-2.1.2.1-6 光電子集積パッケージ基板の 1 次試作

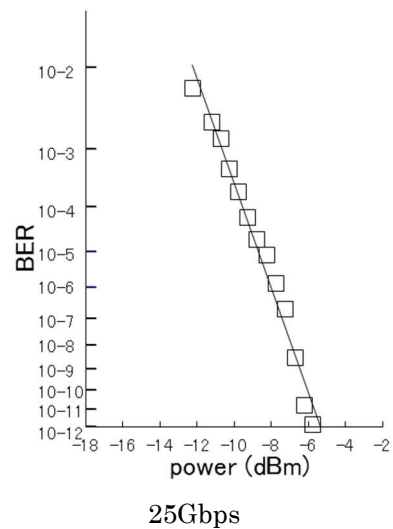
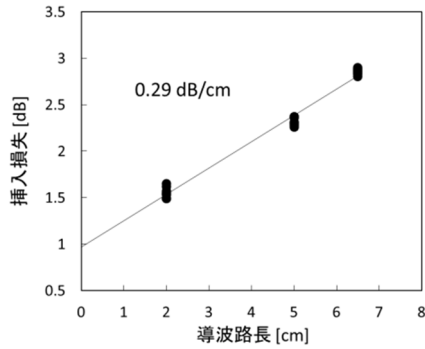
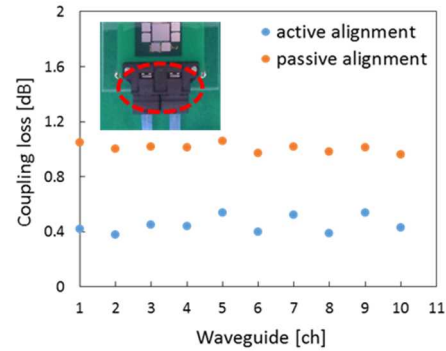


図 III-2.1.2.1-7 25Gbps リンク特性



図III-2.1.2.1-8 導波損失



図III-2.1.2.1-9 光コネクタ特性

2.1.2.1.5 ベンチマーク

(a-1) 超小型トランシーバ技術

5mW 版光 I/O コアは消費電力の点で他社に対して優位であり、また、3mW 版光 I/O コアを用いることで優位性を維持することができる。

レーザダイオードをシリコンフォトニクスに実装する技術は、0.1 μm 精度の実装精度を要求され、独自装置を開発することで高い実装精度を達成した。他社から競合技術は発表されておらず優位技術である。また、複数のレーザをシリコンフォトニクスウェーハに連続的に実装する技術は、光電子集積インターポーザの実用化には必須の技術であり優位性の維持に繋がる。更に光ファイバにマルチモードファイバを選択することでエレクトロニクスの現場で広く用いられている実装装置（実装精度約 10 μm ）を使って光部品を実装できるようになり、光伝送の適用領域拡大に大きく貢献できる。

(a-2) 光電子ハイブリッド回路基板技術

トータルスループット 1Tbps 超の FPGA が登場してきており、光 I/O コアと共に益々光電子集積パッケージ基板の重要性が高まっている。我々の H26 年度中間目標と H29 年度中間目標を、他社との比較を含めて表 III-2.1.2.1-1 に示す。FPGA の外部出力 I/O 帯域が最大 28Gbps/ch であるため、中間評価、最終評価ともに光電子集積パッケージ基板内の伝送を 28Gbps/ch とした。基板上での光導波路損失は 1.3 μm 帯で 0.3dB/cm と他社（ $\sim 0.6\text{dB/cm}$ ）を先行している。光チップとの光結合方式に関しても従来のレンズ結合に比べて、本提案では光 I/O コアの光ピンと光電子ハイブリッド回路基板とを密着接合することから簡便かつ高効率な結合が実現できる。

表 III-2.1.2.1-1 プロジェクト目標とベンチマーク

	伝送容量	光導波路数	光導波路損失 (1.3 μm)	光コネクタピッチ	光ファイバ数	光の結合方式
IBM	28Gbps/ch	24	$\sim 0.6\text{ dB/cm}$	250 μm	12ch	ミラー+レンズ
H26 目標	28Gbps/ch	96	0.6 dB/cm	250 μm	48ch	ミラー
H29 目標	28Gbps/ch	96	0.3 dB/cm	125 μm	96ch	角度制御ミラー+フェイスコンタクト

2.1.2.2 (b) 光エレクトロニクス集積デバイス技術

2.1.2.2.(b).1 中間目標

光エレクトロニクス集積デバイス技術では光電子集積シリコンインターポーザを実現するため、シリコンフォトニクス集積技術を用いた光デバイスとその集積基盤技術を開発する。平成 33 年度に記した光電子集積シリコンインターポーザの目標性能である、光トランシーバの伝送容量 10Tbps 以上、インターポーザの超高密度化 (100Tbps/cm²) の実現に向けて基盤技術を確立する。それに向けて平成 26 年度末までは多並列化と多重化技術の開発を併行して進め、平成 27 年度から平成 29 年度にかけて並列化、多重化技術を組み合わせた大容量化基盤技術の開発を行う。平成 26 年度中間目標、平成 29 年度中間目標は以下の通りである。

平成 26 年度中間目標：大容量信号伝送技術の開発を目的に、光信号の並列化技術として、25Gbps、12 レーン以上で 300Gbps 以上、多重化技術として、1 レーンあたり 100Gbps の信号伝送を可能とするためのデバイスの基盤技術を確立する。また、低コスト化技術として、光素子の集積化技術とバルクシリコン基板による低コスト導波路技術を確立する。

平成 29 年度中間目標：光トランシーバを集積した光電子集積インターポーザの大容量化技術として、光トランシーバの伝送容量 1.2Tbps 以上の基本動作を実現する。

2.1.2.2.(b).2 スケジュール

ア) 多並列技術

多並列技術では平成 26 年度までに変調器、受信器、グレーティングカップラ及び LD 搭載用台座を集積したチップを試作し、超小型光トランシーバ（光 I/O コア）へ適用し基本技術を確立した。平成 27 年度から平成 29 年度は変調器の高効率化、グレーティングカップラの結合効率の向上、光導波路の低損失化を進め、3mW/Gbps を達成した。

イ) 多重化技術①

多重化技術では、4 波 WDM 合分波器の基本特性を確認し、WDM 設計技術を確立した。さらに詳細な開発を進めて 4 波 WDM 偏波ダイバーシティ技術を確立した。受光器製造が容易な横 PIN 型 Ge 受光器を開発し 25G 動作を実現した。変調器は電極分離型マッハ・ツェンダ変調器を設計し、高効率動作が可能な PIN 位相シフタと帯域補償回路を導入した。PAM4 動作駆動回路と組み合わせ 56G PAM4 動作と 2mW/Gbps 以下の低消費電力を実現した。また、4 個の 4 チャンネル DFB レーザアレイ実装技術を確立し、良好な 16 チャンネル発振特性を確認した。

ウ) 多重化技術②

平成 24～26 年度は、一芯双方向波長合分波器の偏波無依存特性と、(上り) 1.3 μ m 帯と(下り) 1.49 μ m 帯信号間で 23dB のアイソレーション特性を達成した。また、偏波無依存二重コアスポットサイズ変換器を試作し、実用化に向けた課題の抽出を行った。受光器は PECST 技術を導入して導波路型 Ge-PD を試作して暗電流 115nA を確認し、GE-PON トランシーバ適用の目処をつけた。

平成 27 年度は、平成 26 年度までに開発した各種要素デバイスを集積する工程の開発を行い、GE-PON 用一芯双方向用集積チップを試作して送受信それぞれの動作検証を行った。

平成 28 年度は、WDM-PON 用光トランシーバに必要な Ge-APD の初期試作検討と変調器の低損失化のための試作検証を行った。さらに、TWDM-PON 用 100GHz 間隔 AWG の低クロストーク-16dB と低挿入損失 1.2dB を実現し、この AWG と送受信機能とを組み合わせ集積チップを試作した。

平成 29 年度は、WDM-PON 用光トランシーバに必要な要素デバイスを集積した 10Gbps×4 波×上り/下りの一芯双方向多重動作光回路を試作して、実用化のための課題を明らかにする。

エ) プロセス統合化基盤技術

平成 24 年度から平成 26 年度は、300mm ウェーハにて液浸 ArF 露光技術を用いてシリコンフォトニクス回路の基盤である導波路、分岐器などのパッシブデバイスや 2 層金属配線を有する変調器を試作した。また、Ge エピ装置にて欠陥密度が十分に低い Ge エピ膜成長条件を確立した。ウェーハプローバについては、導波路の評価にて、300mm 試作ウェーハの導波性能の高速モニタリングを可能とした。平成 27 年度は、2 層金属配線と Ge 受光器を有する受信光回路を試作した。また、送信光回路モジュール開発では、機能毎に寸法を統一化した集積プロセス開発と共に、半導体レーザ実装構造の試作を行った。平成 28 年度は、半導体レーザが実装された光素子を含めた送信光回路を試作した。また、受信光回路開発について、適用するプロセス技術の高精度化を進め、受信光回路を試作した。ウェーハプローバ開発では、集積回路ウェーハにて種々の光デバイス評価を可能とした。平成 29 年度は、集積回路開発をさらに進め、集積回路に適用する回路・デバイス設計の高度化とプロセス技術の高精度化を進め、半導体レーザを実装する送信光回路を試作した。ウェーハプローバ開発では、300mm 集積回路ウェーハにて光アクティブデバイス評価を可能とした。

オ) 低コストシリコンインターポーザ技術

平成 24 年度は、SOI (Silicon On Insulator) 基板のシリコン光導波路上に化合物半導体を貼合した集積光素子の基本検討を行った。平成 25 年度は、SOI 基板上光素子の高効率化を検討した。平成 26 年度は、SOI 基板シリコン光導波路と集積光素子によるシリコン基板上光伝送を検証した。平成 27 年度は、低コストバルクシリコン基板による化合物半導体貼合光素子と光素子上積層形成光導波路の検討を行った。平成 28 年度は、バルクシリコン基板光素子の小型高効率化と積層光導波路の低損失化を検討した。平成 29 年度は、バルクシリコン基板上光素子の小型化 (<0.1mm²) とバルクシリコン基板上の集積光配線を実現する。

カ) 超低消費電力・高密度デバイスの技術開発

平成 26 年度は、低コスト・高結合効率の LD 実装技術において、高温での光出力特性に優れた量子ドット LD の Si プラットフォームへのフリップチップ実装について結合効率改善のための開発及び量子ドット LD 実装の低コスト・高結合効率実装方式の一つとしてウェーハボンディングによる量子ドット LD の Si プラットフォームへの実装技術開発を東京大学と共同で進めた。SiGe 光変調器においては、東京大学と共同して、SiGe 結晶を利用したキャリアプラズマ効果のエンハンス効果を検証すると共に、高速化および低電力化を実現するための、素子断面構造の設計を実施した。また、前記素子構造を実現するための、SiGe 成長技術の開発を行った。SMF 偏波回転に対応した結合器付き高速大容量光トランシーバ回路においては、設計技術信頼性検証、導波路揺らぎによる散乱現象解析、偏波回転子の原理設計・計算による検証を行った。

平成 27 年度は、低コスト・高結合効率の LD 実装技術において、前年度に進めた低コスト・高結合効率化スキームによる量子ドット LD 実装の特性評価を行い、解決すべき課題を明確化した。具体的には、構造上の問題点、改善策の検討、実用性を含めたフィジビリティを精査し、基本構造の概略を決定した。SiGe 光変調器においては、前年度に構造設計した素子構造をマッハ・ツェンダ型光変調器に適用することにより、基本動作を実証すると共に、SiGe 結晶を光変調器として実用化する際の課題抽出を行った。高速大容量光トランシーバ回路においては、前年度に進めた光導波路の原理設計を進め、詳細設計・計算による検証を行った。更に、素子の等価回路モデリングも継続的に進め、成果を試作に反映できる様、集積光 I/O コアへ提言した。

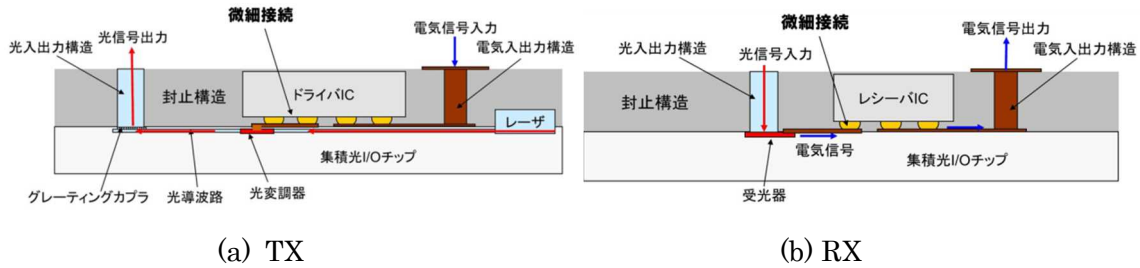
平成 28 年度は、低コスト・高結合効率の LD 実装技術において、前年度の開発方針に基づき、量子ドット LD と Si 導波路の結合損失として 2dB 以下の実現を目指した。SiGe 光変調器においては、前年度に課題抽出した構造を改善することにより、実用化に向けた高速・低電圧・低光損失動作の検討を行った。高速大容量光トランシーバ回路においては、回路規模を広げることができる光導波路計算法の検証や素子の非線形性や温度依存性を考慮した等価回路モデリングを進め、1Tbps クラスのトランシーバ詳細設計として集積光 I/O コアへ提言した。

平成 29 年度は、低コスト・高結合効率の LD 実装技術において、前年度までに得られた知見をもとに、外部ファブで作製される集積光 I/O コアに実際に適用し、高効率結合による低消費電力化を検討する。SiGe 光変調器においては、実際に光 I/O コアへの適用を検討し、ドライバ回路を含めた低電力化と、高速化を実証する。高速大容量光トランシーバ回路においては、光トランシーバ試作結果の中で、提言が反映された箇所の測定結果を計算による検証結果と相互確認し、計算による検証の有用性を実証する。

2.1.2.2.(b).3 アプローチ、特長技術

ア) 多並列技術

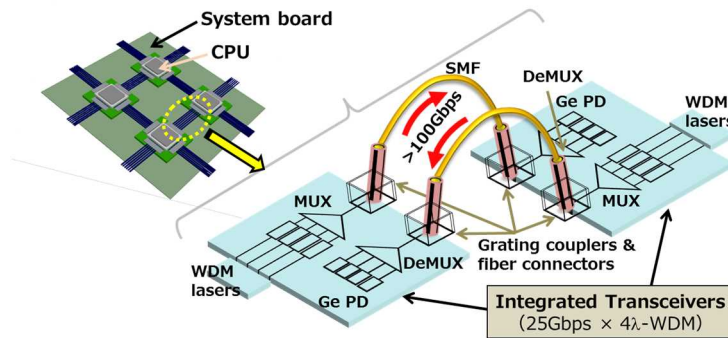
図Ⅲ-2.1.2.2-1 に開発した光 I/O コア(TX と RX)の概要を示す。「2.1.2.1 (a)光エレクトロニクス実装技術」で開発するドライバ IC、 レシーバ IC と組合せて超小型トランシーバを実現するために、25Gbps で動作し 12 並列で 300Gbps の伝送帯域を持つ集積光 I/O チップを開発、試作した。



図Ⅲ-2.1.2.2-1 光 I/O コア(TX, RX)の概要

イ) 多重化技術①

ボード上に搭載する LSI 間の大容量信号伝送に向けて、ファイバを LSI 近傍に並列配置する多並列化技術は、将来、ファイバ径のサイズによる伝送容量の制限が予想される。任意の領域（例えば数 mm 角程度の領域）での毎秒数テラビット以上の大容量伝送においては、ファイバ径の限界を打破する為に多重化技術が必要となる。本プロジェクトでは並列化技術の次世代技術として多重化技術に注目しており、その一つとして通信用途で広く利用されている波長多重方式(Wavelength Division Multiplexing)に着目し、その方式をボード間、チップ間光インターコネクションへ展開すべく開発を進めている。図Ⅲ-2.1.2.2-2 に WDM 集積光 I/O チップの模式図を示す。図で示されるように WDM 集積光 I/O チップは基本要素として光源、変調器、合分波器(Mux/Demux)、受光器、偏波制御機構及びシングルモードファイバ(SMF)に接続する光入出力部分で構成される。本プロジェクトでは製造誤差の非常に小さい導波路形成が期待できる産総研スーパークリーンルームの 300mm プロセス用 ArF 液浸露光装置を利用して、製造誤差に起因する位相誤差の評価を実施し、また合分波器の特性をスペクトル平坦度やクロストークの観点から評価した。一方、もう一つの多重化技術として PAM4(Pulse Amplitude Modulation)技術があり、IEEE802.3 イーサ標準化技術として注目を集めている。本プロジェクトでは、PAM4 技術にも着目し、高効率な PIN 型位相シフタを用いて光素子上で PAM 多重化を行う 50Gbps 高効率変調器の検討を進めている。Ge 受光器は、WDM 応用に向けて広い帯域で感度を安定させる開発、及び 50Gbps の PAM4 動作に対応する線形性の高い応答を実現する開発を進めている。また最小受信感度の改善には検出器雑音の抑制が重要であるため、暗電流の低減が重要になり、受信回路を含めた最適設計を行っている。光源は高温における省電力化及び耐反射特性の観点から量子ドット DFB(Distributed FeedBack)レーザの検討を行っている。併行してファンドリでの立ち上げが容易になるよう、簡便なレーザ実装工程の確立を進めている。光入出力については、受信側で偏波無依存動作が可能な二次元グレーティングカプラを用いた偏波ダイバーシティ構成の検討を進めている。



図Ⅲ-2.1.2.2-2 WDM 集積光トランシーバ

ウ) 多重化技術②

一芯双方向波長合分波器として、上り信号と下り信号との合分波には、特定の波長のみを抜き出し、それ以外の波長をフラットに透過させる Bragg 反射グレーティングを用いたバンドパスフィルタを採用した。特に、下り信号用に設計されたバンドパスフィルタは、独自に開発した TE⇌TM 偏波変換(PR)グ

レーティングであり、原理的に TE 偏波と TM 偏波とで完全に動作波長が一致することが特長である。また、上り波長帯および下り波長帯に割り振られる 100GHz 間隔信号光の合分波には、試作実績のある AWG を用いた。ただし、AWG 単体の偏波無依存設計は非常に困難であるため、光が AWG に入力される手前に、偏波制御デバイスとして TM 偏波を TE 偏波に変換する PR リブ型導波路を挿入し、AWG への入力光を TE 偏波に限定した。

Ge 受光器には 1600nm 帯の光に対して受光感度を確保するために、エバネッセント結合の横型 PIN 構造を採用した。Ge 上に金属電極が存在しないので、導波路長を長くすることにより、1600nm 帯の光に対しても高い受光感度を得ることができる。

エ) プロセス統合化基盤技術

シリコンフォトニクス光集積回路チップの実用化に向けては、先端プロセスを用いる大口径シリコンウェーハでのフォトニクスデバイスのプロセス統合化基盤技術構築が必要不可欠である。本研究は、高精度露光プロセスを用いて、300mm ウェーハでのシリコンフォトニクスデバイスの高性能化と高均一化を目指すものである。さらに送信光回路には、光源用レーザ実装のための Si/SiO₂ 深掘りエッチング技術が必要であり、受信光回路には高周波電気回路に対応した低抵抗・低容量の配線構造が求められる。これらの高精度加工プロセスを安定化させ、光学性能の再現性を確保するために、簡便かつ高速なモニタリング手法として光学性能のウェーハプロービング技術を開発した。また、Ge エピタキシャル膜を用いる受光器デバイス技術は、導入する Ge エピタキシャル装置を用いた受光器デバイスの統合化基盤技術の構築を目指すものである。光集積回路チップ作製は、均一性、再現性の高いプロセス技術を基盤とするチップ作製を目指して、高精度の大規模光集積回路を実現可能とするものである。

オ) 低コストシリコンインターポーザ技術

光電子集積シリコンインターポーザの低コスト化のため、シリコンフォトニクス技術で一般的に用いられている SOI 基板を低コストなバルクシリコン基板に置き換える技術を開発した。シリコン基板に化合物半導体材料を貼合わせることで集積光素子を実現し、発光素子、受光素子を同一の化合物半導体材料により形成することで、材料費、加工費を半減化する。光配線方式として光素子の直接変調/直接受信を適用し、集積光素子を 0.1mm²以下に小型化することでシリコンインターポーザ上の高密度光配線を実現した。

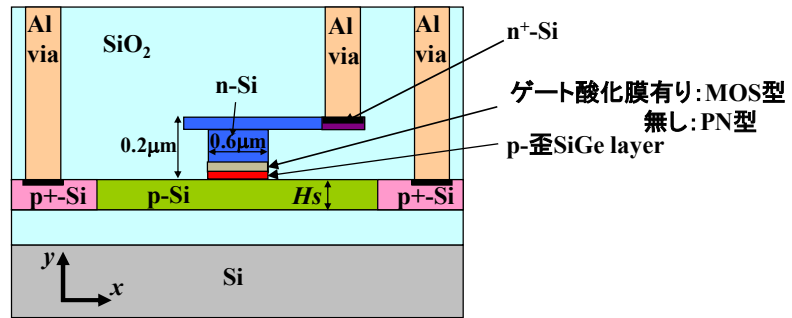
カ) 超低消費電力・高密度デバイスの技術開発

(1) 低コスト・高結合効率の LD 実装技術

温調電力を削減し、実装光源の省電力化を図るために量子ドット LD を Si プラットフォームに実装する技術開発を進めた。PECST で開発された実装技術をベースに結合効率の改善を図った。量子ドット LD のスポット形状は扁平度の大きな楕円形状をしいる。そこで、LD 側に円形に近いスポット形状を有するスポットサイズ変換器 (SSC) を集積した構造や、扁平なスポット形状の量子ドット LD に合うように導波路側のスポット形状を扁平化した SSC をもつ構造の適用を検討した。外部ファブ適用においてはシンプルな構造の SSC が求められるので、先細テーパによる最適化も進め、量子ドット LD においても実用的な結合効率を有する光源実装技術を開発し、光 I/O コアへの適用を目指した。また、光源実装の低コスト化と一層の結合効率向上を目指して、ウェーハボンディングによる光源実装技術を検討し、量子ドット LD の構造に最適な Si プラットフォームの構造を検討した。具体的には、SOI 導波路の厚さや幅を局所的に変化させて光学結合損失を低減させることが可能な幾つかの特徴的な構造を検討した。

(2) SiGe 光変調器

光トランシーバ (光 I/O コア) の消費電力 3mW/Gbps を目指すには、光変調器の更なる低電圧・高速駆動が必要である。そのために現在用いている Si よりも性能を改善できる SiGe 材料の適用を進めている。SiGe 光変調器の断面構造の概念図を図 III-2.1.2.2-3 に示す。MOS 接合あるいは PN 接合からなる Si 光変調器の接合部に、SiGe 層を配置し、Si に比較して SiGe 層の屈折率が 10%程度高いことを利用して、光モードとの重なりを大きくすることにより、SiGe 層におけるキャリアプラズマ効果を大幅にエンハンスできると共に、キャリアの移動度が高いことにより、より低電圧で高速駆動することが可能である。また、PECST で開発した低光損失・低抵抗多結晶 Si を電極層として利用することにより、積層型の高効率 SiGe 変調器を実現することが可能である。



図Ⅲ-2.1.2.2-3 SiGe 光変調器の断面構造概念図

(3) 高速大容量光トランシーバ回路

ArF リソグラフィ及び大口径ウェーハを用いた半導体光回路チップ試作は、波長多重をはじめとする高度な光学構造実現と大量生産実現に必須である。反面、高度な半導体プロセスを用いた試作はコスト及び時間がかかるため、試作・検証による摺合せが困難になってきている。設計時点でのシミュレーションが開発の中で重要となるが、半導体プロセス・デバイスシミュレータが開発フローの中で機能しているのに対して、光学構造の設計スペックが 30dB 以上のダイナミックレンジを要求されているのに解析技術が十分に答えることができていない。

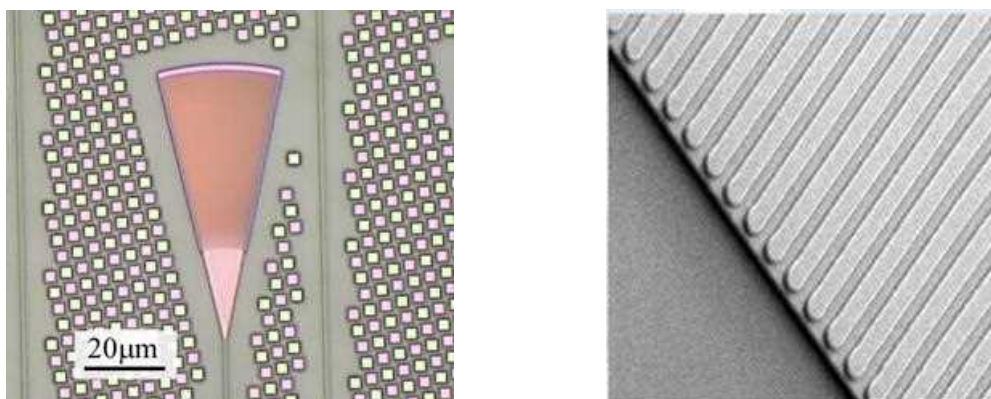
特に、1Tbps クラスの単一モードファイバ用光トランシーバでは、光の波長多重、偏波多重、振幅多値化を同時に必要とする。その為、低反射、低クロストーク、低損失且つプロセスの揺らぎに対してロバストな光構造を設計しなければならない。その為に従来の電磁界解析技術では成し得なかった、有効数字まで考慮して 50dB 以上のダイナミックレンジを検証できる手法を導入し、細かな反射・散乱・吸収についての的確な設計を実現させた。

また、本解析技術は、光エレクトロニクス回路設計技術で展開される FDTD 法 (Finite-Difference Time-Domain method; FDTD method) では計算困難な反射光を正確に解析でき、光連携 TCAD に合体させることにより強力な設計ツールを実現できる。

2.1.2.2.(b).4 成果

ア) 多並列技術

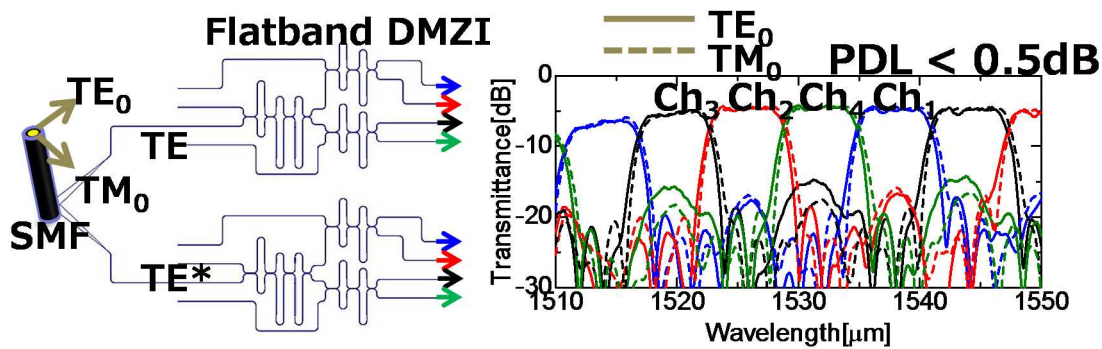
図Ⅲ- 2.1.2.2-4 に光 I/O コアに最適化したグレーティングカップラの SEM 写真を示す。グレーティングカップラはシリコンフォトニクスチップに対して水平方向の光信号を垂直方向に切り替える機能を持つ。光 I/O コアは光ピンを介してマルチモードファイバと接続するため、光ピンの特性に合わせて最適化した。グレーティングカップラは第一期終了時(2014年)に試作したものより 0.7dB(15%)特性が改善した。このような特性改善の積み重ねによって消費電力を削減した。



図Ⅲ- 2.1.2.2-4 グレーティングカップラの SEM 写真

イ) 多重化技術①

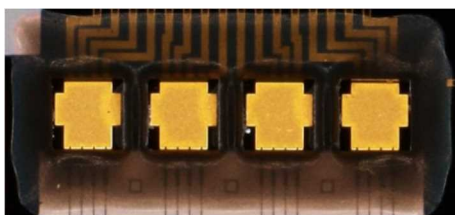
平成 24 年度から 26 年度までは WDM 技術の立ち上げに向けた要素技術の立ち上げを進めた。高精度な ArF 露光装置を活用し、高性能な WDM 合分波器の設計と試作を実施した。4 波長 WDM の基本特性を確認し、WDM 設計技術を確立した。光変調器と Ge 受光器については PECST からの技術移管を完了し、各素子で 25Gbps 動作を実現した。また駆動回路と光回路間を接続するバンプ形成など実装技術の検証を進めて駆動回路と光回路の融合技術を開発した。これらを統合することにより 25GbpsWDM 集積素子開発に向けた基本技術を確立した。



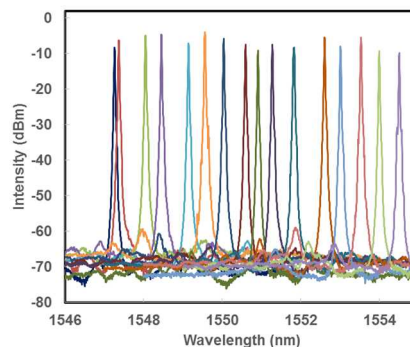
図Ⅲ-2.1.2.2-5 (a)偏波無依存光受信回路の構造、(b)TE、TM 偏波におけるスペクトル特性

平成 27 年度から、さらに詳細な開発を進めた。まず WDM 用光受信回路については偏波無依存化に向けた偏波ダイバーシティの開発を進めた。TE と TM の両偏波に対応可能な 2 次元グレーティングカップラの開発を行い、それと遅延マッハ・ツェンダ型の 4 波長分波器を組み合わせた偏波無依存 WDM 受信回路の試作を行った。図Ⅲ-2.1.2.2-5(a)に構造図を示す。2 次元グレーティングカップラの二つの出力ポートにそれぞれ平坦なスペクトル特性をもつ遅延マッハ・ツェンダ型干渉計を接続する構成となっている。図Ⅲ-2.1.2.2-5(b)に透過スペクトルの結果を示す。TE 及び TM の両偏波において平坦なスペクトル特性を確認した。両偏波における偏波依存損失は 0.5dB 以下であり、良好な偏波ダイバーシティ特性を確認し、偏波ダイバーシティ技術確立の目的を得た。

4 チャンネル DFB レーザアレイ実装技術に関してはシリコンフォトニクス試作ファンドリでシリコンフォトニクス素子にテラス形成を行い、ウェーハプロセスでのレーザ接続用 AuSn 電極形成を行った。レーザ実装温度の条件出しを実施し、レーザアレイを 4 個実装しても位置がずれない高精度な実装工程を確立した。その後の光学樹脂塗布工程においてもレーザ上部の電極に樹脂が拡がらない塗布条件を確立した。図Ⅲ-2.1.2.2-6 に 4 個実装した 4 チャンネルレーザアレイの写真を示す。4 個のレーザアレイが問題なく搭載されていることが分かる。図Ⅲ-2.1.2.2-7 に実装した 16 チャンネル DFB レーザの発振スペクトルを示す。各チャンネルのレーザ発振閾値は 15~18mA と安定しており、隣接モード抑制比は 50dB まで抑えて、集積素子に搭載する上で十分な特性を有する事が確認できた。また任意のチャンネルにおける著しい結合損失も観察されず、良好な実装工程を確認できた。



図Ⅲ-2.1.2.2-6 4 チャンネルレーザアレイ実装



図Ⅲ-2.1.2.2-7 16 チャンネルレーザ発振スペクトル

平成 28 年度と 29 年度は WDM 集積素子と PAM4 素子の試作を進めた。WDM 集積素子は WDM フィルタの動作波長制御用のヒータを搭載し自律制御が可能な設計を実施した。PAM4 素子は電極分離型のマッハ・ツェンダ変調器を設計し、位相シフタには高効率動作が可能な PIN 型構造を採用し、25Gbps 動作に向けた帯域補償イコライザ用の抵抗とキャパシタをシリコンフォトニクス素子内に集積した。図 III-2.1.2.2-8 にマッハ・ツェンダ変調器と PAM4 動作用駆動回路の模式図を示す。図 III-2.1.2.2-9 に 28Gbps NRZ アイ波形と 56Gbps PAM4 アイ波形を示す。PAM4 変調器の消費電力は 2mW/Gbps 以下と見積もられ世界トップレベルの省電力動作を達成した。

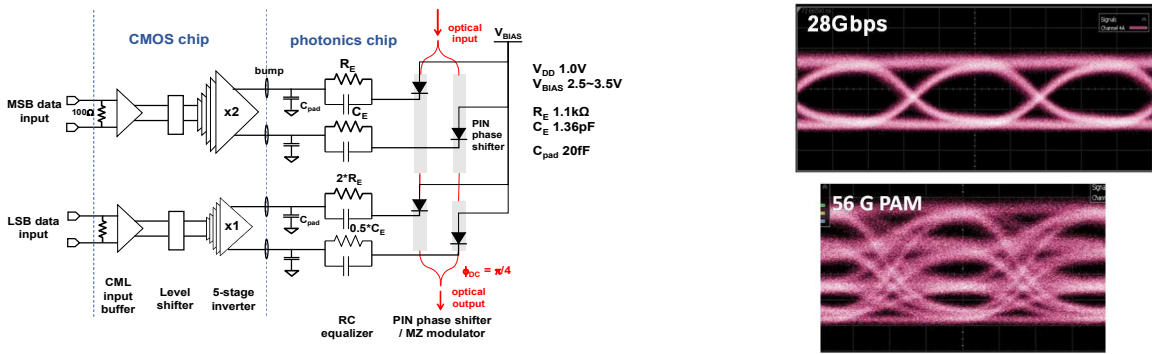


図 III-2.1.2.2-8 PAM4 動作用駆動回路と光回路模式図 図 III-2.1.2.2-9 28G NRZ と 56GPAM4 アイ波形

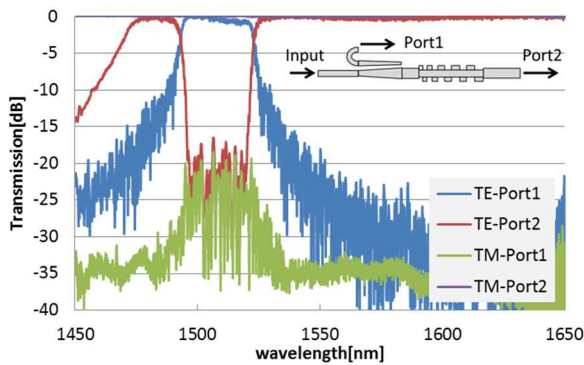
ウ) 多重化技術②

TWDM-PON 用光トランシーバに必要な、一芯双方向波長多重機能を実現する波長合分波フィルタを開発した。偏波変換(PR)グレーティングの基本動作を検証し、バンドパス特性が偏波無依存となることを確認した。これを下り帯域用バンドパスフィルタに適用し、さらに、上り帯域用バンドパスフィルタや AWG、偏波制御デバイスといった個別の要素デバイスを試作評価した。図 III-2.1.2.2-10~12 に各デバイスの構造および評価スペクトルを示す。図 III-2.1.2.2-10 の上り信号用バンドパスフィルタでは、モード次数変換型のグレーティングを用いて、送信信号(TE 偏波 1532~1540nm)のみを Port1 に分岐し、その他の波長成分を Port2 に透過させる。図 III-2.1.2.2-11 に示す下り信号用バンドパスフィルタでは、PR 機能を有するリブ導波路型のグレーティングにより、抜き出す波長が TE と TM 偏波とで一致していることが確認できる。これら上り信号用バンドパスフィルタと下り信号用バンドパスフィルタを組み合わせることにより、上り波長帯に対するアイソレーション 40dB が確保できた。また、図 III-2.1.2.2-12 に示すように、100GHz 間隔の光信号分波用 AWG では、主たる損失要因となるスターカプラとアレイ導波路との接続部にリブ型導波路を使用したパラボラ幅テーパ構造を採用し損失を低減している。100GHz 相当の波長 0.8nm 間隔で 8ch の分岐特性が得られており、損失を 1.2dB に、波長間クロストークを -16dB に抑えた。さらに、リブ型導波路を用いた偏波分離回転素子を設計試作し、TE、TM 偏波成分を分離して、両成分を TE 偏波にそろえて出射する動作を確認した。

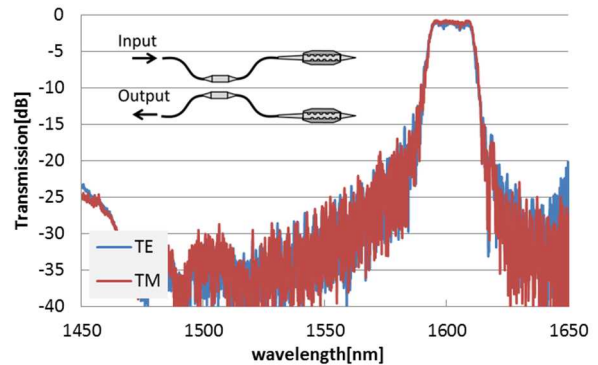
受光素子では、TWDM-PON の下り波長 1600nm 帯に高い効率を示す横型 PIN 構造 Ge フォトダイオードを開発した。波長 1600nm の受光効率は、ベスト偏波状態で 1.18A/W、ワースト偏波状態で 1.06A/W で、ほぼ偏波無依存の高効率を得た。遮断周波数は 17GHz であり、TWDM-PON 適用に十分な帯域が得られた。

これらの個別デバイスを組み合わせて TWDM-PON ONU 用光送受信集積チップを試作した。構成概略を図 III-2.1.2.2-13 に示す。下り信号の伝送経路に沿って、上りバンドパスフィルタ、下りバンドパスフィルタ、リブ導波路型偏波分離回転素子、AWG および Ge フォトダイオードが順次接続されている。偏波分離回転素子を用いた偏波ダイバーシティ構成により偏波無依存受信を可能にしている。上り信号の伝送経路に沿って見ると、4 波長 LD チップ、合波フィルタ、Si 変調器、上りバンドパスフィルタが順次接続されている。変調器は Si 導波路ベースのマッハ・ツェンダ干渉器型変調器である。光入出力端にはスポットサイズ変換器を設けて導波路を伝播する光のモード径を 3μm 程度に拡大することにより、光ファイバとの間の光結合効率を確保している。LD チップはフリップチップ実装によるハイブリッド集積だが、それ以外の素子はシリコンチップ上のモノリシック集積である。光集積回路の全体サイズは 5000

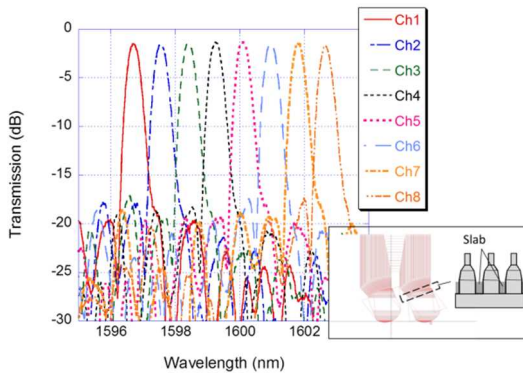
×3500 μm^2 で、ディスクリット素子で構築する空間結合系の光トランシーバに比べてサイズの優位性を示している。この試作品を今年度中に評価する予定である。



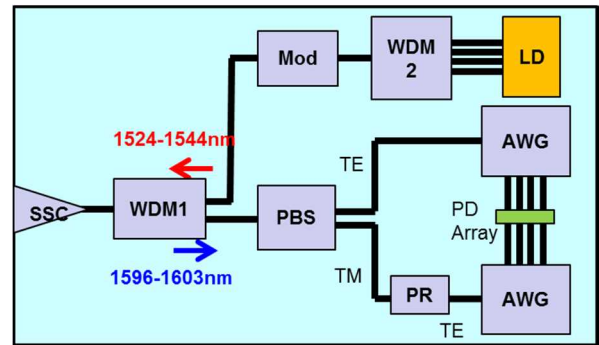
図Ⅲ-2.1.2.2-10 上り信号用バンドパスフィルタ



図Ⅲ-2.1.2.2-11 下り信号用バンドパスフィルタ



図Ⅲ-2.1.2.2-12 100GHz 間隔 8ch 用 AWG

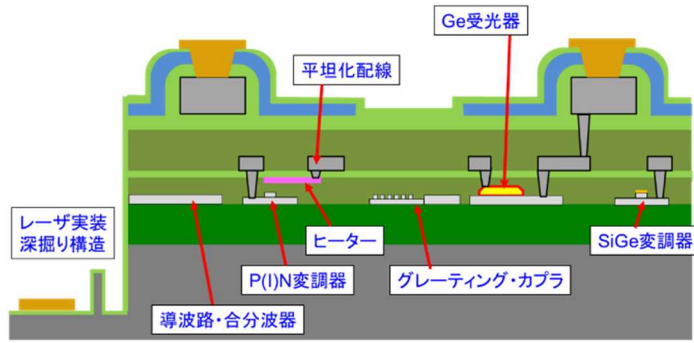


図Ⅲ-2.1.2.2-13 光送受信集積チップの構成

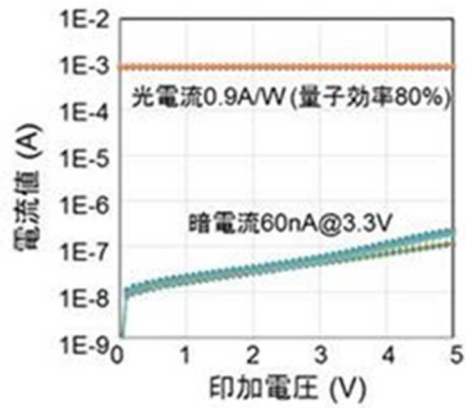
エ) プロセス統合化基盤技術

平成 24 年度から平成 26 年度の間では、まず、液浸 ArF ステッパー露光技術を用いたシリコン導波路試作により、光チップ試作プロセスの高精度化を検討した。液浸露光により得られた導波路は、300mm ウェーハ上にて導波路幅のバラツキが小さく、かつ極めて高い均一性が確認できた。また、導波路の伝搬損失に大きな影響を与えるラインエッジラフネスも極めて小さかった。評価結果より波路の伝搬損失は、波長 1.55 μm に対して、0.5dB/cm 以下を得た。次に、受光器デバイスの基盤技術構築に向けて、導入した 300mm ウェーハ対応 Ge エピタキシャル装置による Ge エピ成長評価を実施した。300mm シリコン基板上に形成したシリコン開口部に Ge エピ膜が選択的に成長すること、選択 Ge エピ膜を用いた MS 型ダイオードにて暗電流が十分に低いことを確認した。

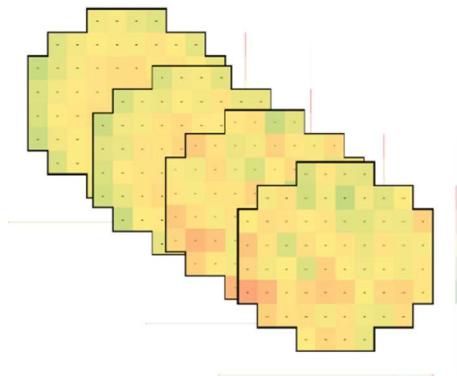
平成 27 年度から平成 29 年度の間では、まず、送信光回路モジュール開発について、半導体レーザを実装する光素子を含めた送信光回路モジュールのプロセス・評価技術の構築を 300mm シリコン基板で行った。図Ⅲ-2.1.2.2-14 に示すように、送信光回路モジュールのスループロセス技術、半導体レーザ実装のための深掘りエッチング構造形成プロセス技術、およびウェーハプローバによる導波路伝搬特性のインライン検査技術を体系的に組み合わせることで、送信光回路試作に必要なプロセス・評価技術を構築し、送信光回路の試作に適用した。また、図Ⅲ-2.1.2.2-15 に示すように、低欠陥 Ge エピ成長技術にて作製した Ge 受光器では低リークデバイスを均一に実現できることを確認した。さらに試作デバイスを評価した結果、細線導波路については、図Ⅲ-2.1.2.2-16 に示すように 300mm ウェーハ間で低損失かつ高い面内均一性(導波路の伝搬損失ばらつき: ± 0.03 dB/cm)を実現できることが確認できた。また、図Ⅲ-2.1.2.2-17 に示すように、グレーティングカップラについては、中心波長ばらつきが高い面内均一性を有することが確認できた。以上より、光集積回路チップを大規模集積化する集積基盤技術を確立した。



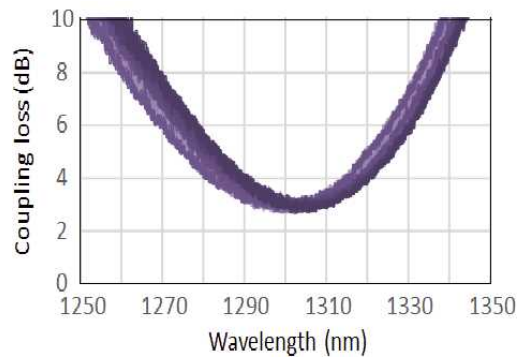
図Ⅲ-2.1.2.2-14：送信光集積回路の断面構造模式図



図Ⅲ-2.1.2.2-15：300mm ウェーハ上に形成した Ge 受光器の電流電圧特性



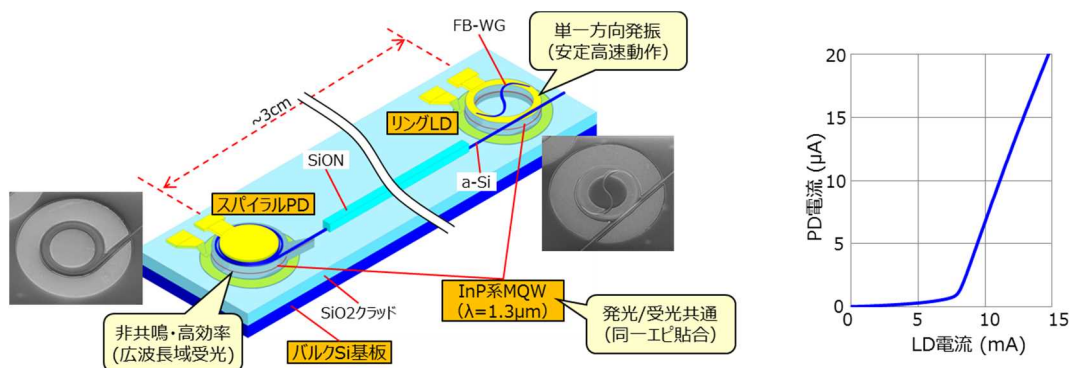
図Ⅲ-2.1.2.2-16 4枚の300mm ウェーハ上に形成した256本の導波路での導波損失の特性ばらつき比較 (ウェーハ面の色の濃淡は、ウェーハ面内での各チップの導波損失の高低を表示している)。



図Ⅲ-2.1.2.2-17 300mm ウェーハ上に形成した64個のグレーティングカップラのファイバ結合スペクトル

オ) 低コストシリコンインターポーザ技術

平成 24 年度は、SOI 基板への化合物半導体貼合（発光素子／受光素子共通 MQW:MultiQuantum Well ウェーハ）による集積光素子の基本構造を検討した。また、バルクシリコンを基板化する際の光導波路材料を比較検討した。平成 25 年度は、小型光素子としてリング共振器型の半導体レーザ（リング LD）と受信波長変動に耐性の高い渦巻型受光素子（スパイラル PD）を検討した。リング LD について、右回り発振モードと左回り発振モードの競合という本質的な課題をモードフィルタ構造の導入で安定化することに成功した。バルクシリコン基板上の光導波路として、薄膜堆積による SiON 光導波路を試作し、1dB/cm 以下の低損失特性を確認した。平成 26 年度は、SOI 基板シリコン光導波路と集積光素子による光配線インターポーザを試作し、シリコン基板集積光配線の機能動作を検証した。平成 27 年度は、低コストバルクシリコン基板への化合物半導体貼合による光素子集積構造の検討を行い、集積光素子上に堆積積層アモルファスシリコンによる光導波路を形成する構造の基本検証を行った。また、シリコン光導波路損失低減のため光素子材料と動作波長の最適化を進めた。平成 28 年度は、バルクシリコン基板集積光素子の小型・高効率化と光素子上光導波路集積プロセスの最適化を進めた。また、アモルファスシリコン光導波路の途中を SiON 光導波路に置き換えることで大幅な長距離配線を可能にする複合光導波路の構造試作と低損失化のプロセス検証を行った。

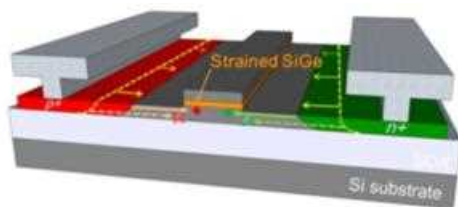


図Ⅲ-2.1.2.2-18 低コストシリコンインターポーザの集積光配線構成と光伝達性能

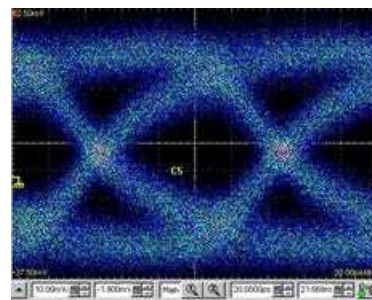
カ) 超低消費電力・高密度デバイスの技術開発

- ・キャリア注入型 SiGe 光変調器の検討（東京大学 革新的光検出器技術との共同）

図Ⅲ-2.1.2.2-19 に東京大学竹中先生の研究室で作製したキャリア注入型のマッハ・ツェンダ型光変調器デバイスの概念図を示す。横型 PIN 構造において、歪 SiGe 層が i 層に挿入された構造からなる。DC 特性評価により、PIN 構造の Si 光変調器に比較して 20%以上小さいの電流注入量(1.47mA/250μm)で π 位相シフトが得られている。図Ⅲ-2.1.2.2-20 に前記歪 SiGe 変調器デバイス的高速応答特性を示す。プリエンファシスを用いることにより、10Gbps での光変調出力波形が得られており、歪 SiGe を用いた光変調器デバイスとして、世界で初めて高速動作を実証した。



図Ⅲ-2.1.2.2-19 東大竹中研究室で作製した歪 SiGe 層を用いた PIN 型変調器デバイスの断面概念図

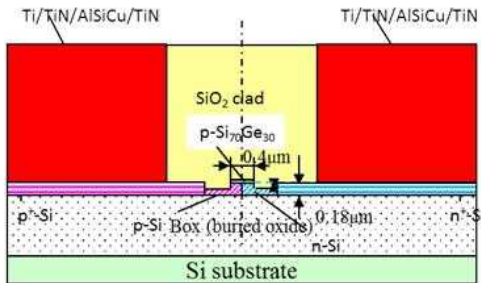


図Ⅲ-2.1.2.2-20 東大竹中研究室で作製した歪 SiGe 層を用いた PIN 型変調器デバイスの 10Gbps 出力波形

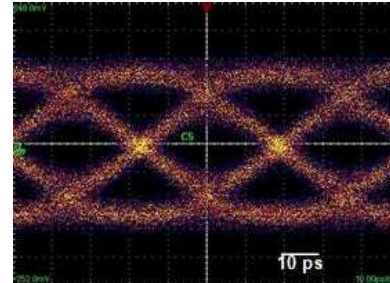
- ・キャリア空乏型 SiGe 光変調器の検討

図Ⅲ-2.1.2.2-21 と図Ⅲ-2.1.2.2-22 に図Ⅲ-2.1.2.2-19 で示した構造をベースにして、キャリア空乏型 SiGe 光変調器のデバイス構造に関する断面概念図と位相シフト長が 250μm の素子における 28Gbps で

の出力波形を示す。DC 特性からバイアス電圧-1V~-2Vにおいて、光変調効率0.60~0.67Vcm が得られ、キャリア空乏型のPN 変調器として世界最高レベルの性能が得られた。また、周波数帯域は、20GHz 程度と通常の Si-PN 変調器と同等の値が得られており、CMOS 駆動することにより 50Gbps 以上の高速動作が高変調効率で得られることを検証した。SiGe 変調器においては、位相シフトに必要な電荷量を従来の Si 光変調器に比較して 50%程度低減することが可能であり、3mW/Gbps 以下の低消費電力化が可能な性能であることを検証した。



図Ⅲ-2.1.2.2-21 キャリア空乏型 SiGe 光変調器の断面概念図



図Ⅲ-2.1.2.2-22 キャリア空乏型 SiGe 光変調器の 28Gbps 出力波形

2.1.2.2.(b).5 ベンチマーク

ア) 多並列技術

5mW 版光 I/O コアを用いて 100G イーサー対応 AOC (25Gbps 4ch)を製造する場合、CDR が規格化されているため優位性が薄まるが消費電力の点で他社に対して優位となる。また独自規格の 100Gbps 伝送を行う場合は CDR を使わず 300m までの伝送ができるため消費電力の点で優位である。更に 3mW 版光 I/O コアを用いることでこの優位性を維持することができる。

イ) 多重化技術①

IEEE802.3bs での 100G、400G イーサネットの標準化にあわせ、2016 年頃より 50G 電気インターフェースをベースとした 200G のイーサネット標準化活動も進んでいる。それに合わせ各社でベースレートが 25Gbps で PAM4を用いた 50Gbps PAM 変調器の開発が精力的に行われている。この開発には駆動回路設計技術、光回路設計・製造技術、実装技術の組み合わせによる統合的な技術アプローチが要求される。当プロジェクトでは 28nm CMOS と高効率な PIN 型変調器を組み合わせることで 50GPAM4 送信器技術の開発を行った。表Ⅲ-2.1.2.2-1 に他社とのベンチマークを示す。競合他社と比較して当プロジェクトは 2mW/Gbps 以下の省電力動作を実現しており、また小型化にも成功している。

表Ⅲ-2.1.2.2-1 PAM4 変調器のベンチマーク

	PETRA	IBM		CISCO OFC2015
		OIC 2015	JLT 2016	
Driver	28nm CMOS	CMOS9WG (monolithic)	32nm CMOS	40nm CMOS
Modulator	PIN (+RC)		PN	MOS
Eye diagram				
Data rate [Gbps]	56	56	46	56
ER [dB]	5.4	6.3	2.8	6.4
Length [mm]	0.75	3.0	1.8	0.47
Power efficiency [mW/Gbps]	1.59	4.8	2.8	2 ~ 4 (at NRZ)

ウ) 多重化技術②

一芯双方向波長合分波器については、シリコンフォトニクス技術の研究でも、光通信分野での偏波無依存化の研究は世界的に少なく、我々は先進的な開発成果を得ている。特に、アクセスネットワーク用途における実際の波長帯域割り当てに対応した開発は世界的にほとんどなされていないのが現状である。本研究で開発した WDM フィルタは、GE-PON 波長帯域割り当てに準拠し、-30dB 以下のクロストークを達成しており、記録的な性能を実現している。TWDM-PON 用の 100GHz の AWG では独自の構造で 2dB 以下のロスを得ており、世界最高レベルの性能を実現している。作製技術としては最先端の液浸 ArF 露光を採用していることもあり、設計と実験結果の整合性も比較的良好。

Ge 受光器については、表Ⅲ-2.1.2.2-2 に、TWDM-PON 用 ONU トランシーバにおける PD の目標仕様と、既に報告されている 1600nm 帯向け導波路型 GePD と今回試作した Ge PD の特性の比較結果を示す。受信帯域幅は TWDM-PON の目標 10GHz を達成しており、暗電流は他機関と比べても遜色ない値が得られている。また、波長 1600nm における受光感度は他機関と比べても十分大きな値が偏波無依存で得られており、TWDM-PON 用 ONU トランシーバで重要な、良好な最小受信感度が得られるものと期待される。

表Ⅲ-2.1.2.2-2：代表的な研究機関で得られている 1600nm 帯向け導波路型 GePD の特性

研究機関	受光感度	受信帯域幅
TWDM-PON 目標	最小受信感度 -28dBm @1596-1603nm, BER 10 ⁻³	10GHz
本研究	1.0A/W (-3V) @1600nm 偏波無依存	17GHz (-3V)
Kotura (2010)	0.76A/W @1600nm	20GHz (-3V)
IME (2013)	0.7A/W (-1V) @1600nm	21GHz (-1V)

エ) プロセス統合化基盤技術

従来、シリコンフォトニクス集積回路チップでは、CMOS 世代に換算して 150-90nm 世代のプロセス技術が用いられてきた。これは、従来の回路チップでは、40Gbps(4 チャンネル x10Gbps)の性能であることから、光デバイスのプロセス制御性は十分であったと考えられる。本プロジェクトにおいては、100Gbps(多チャンネル x25Gbps)以上の高性能化実現を目指すものであり、高精度プロセスをベースとしたデバイス技術を構築することで目標性能が達成できると考え、PETRA では 300mm ウェーハ技術と 40nmCMOS 技術を用いている。一方、他機関では、300mm ウェーハ技術であるが、より古い 90nmCMOS 技術を用いており、PETRA のウェーハプロセス技術は他機関と比較して、広帯域及び小フットプリントの光集積回路試作において、優位な技術であると言える。

オ) 低コストシリコンインターポーザ技術

コストおよび材料供給に懸念の多い SOI 基板に代り、世界で唯一半導体エレクトロニクスで一般的に使用されているバルクシリコン基板によるシリコンインターポーザを実現している。また、光素子の直接変調/直接受信方式を適用し、小型集積光素子を開発することにより圧倒的な高密度光配線を実現している。

カ) 超低消費電力・高密度デバイスの技術開発

(1) 低コスト・高結合効率の LD 実装技術

シリコン上光源実現のための方式として、フリップチップ実装とウェーハボンディングの 2 通りが主に挙げられる。商用技術であるフリップチップ実装を用いた方式では、シリコン導波路に対して横方向から光を入力することになるが、これまでは入力部にダブルコアスポットサイズ変換器(SSC)のような複雑な構造の SSC を用いていた。本プロジェクトでは、PECST の技術をベースに作製が簡易で、かつシリコン導波路との結合効率の高い実装方法を検討している。これは構造の複雑さを回避して、製造コストの低減を図っている。また、ウェーハボンディング方式はウェーハプロセスと実装工程が一体化してお

り、大量生産時には、コスト低減の効果が期待される。しかし発熱体である LD の直下に低熱伝導材料である SiO₂ があり、放熱特性に劣る。そのため、高温特性に優れる量子ドットウェーハの採用は有効である。本プロジェクトでは、QD ウェーハを用いたウェーハボンディング方式により、低コスト・高温特性 LD 実装を目指し、海外研究機関 (UCSB、Aurion、Skorpios、etc) との差異化を図る。

表Ⅲ-2.1.2.2-3 主な光源実装方式の比較

構造	フリップチップ実装 		ウェーハボンディング 		ウェーハボンディング
	従来型SSC	新型SSC			
主な研究機関	IMEC	本プロジェクト目標 (結合効率向上)	・ UCSB, Aurion ・ Skorpios	東大	本プロジェクト目標 (LD実装の低コスト化)
作製コスト	×	△	○	○	○
アライメントの容易さ	△	△	○	○	○
放熱性・高温特性	◎	◎	×	○ (QDを用いて)	○
Si導波路との結合効率	△	○	○	-	◎

(2) SiGe 光変調器

表Ⅲ-2.1.2.2-4 に Si 光変調器のベンチマークを示す。リング共振器を利用して、小型・低電力・高速な Si 光変調器が報告されているが、動作波長帯域が 1nm 以下と非常に小さく、高精度な温度制御や高い加工精度が要求され、実用化には時間を要する。一方、SiGe を適用したマッハ・ツェンダ型の光変調器は、位相シフタの長さは 1 mm 程度となるが、50 Gbps 帯域を 0.9 V 以下の電圧で低損失(<4dB/mm) に実現出来ると期待される。

表Ⅲ-2.1.2.2-4 キャリアプラズマ効果を利用したマッハ・ツェンダ型 Si 光変調器のベンチマーク

	接合タイプ	変調効率 (V _{πL} (Vcm))	光損失 (dB/mm)	速度 (Gbps)	位相変調器長 (mm)	駆動電圧 (V _{pp})
Chinese Academy of Science	PN (interleaver)	1.5-2.0	~ 1.0	40	0.75	7
IME	PN	1.5-2.0	1.1	50	3	3.0
CISCO	MOS	<0.2	6.5	28	0.4	1.0
PETRA-東大	PN/MOS	<0.6	4	>50	<1	<0.9

(3) 高速大容量光トランシーバ回路

表Ⅲ-2.1.2.2-5 に 3 次元電磁界解析法の比較を示す。高速大容量光トランシーバ回路を実現するには、多重化技術が重要になり、低反射、低クロストーク、低損失且つプロセスの揺らぎに対してロバストな光構造を設計しなければならない。このため解析手法の高度化が重要な鍵となる。シリコンフォトニクスでは構造物の屈折率差が大きいいため、3 次元の解析手法として FDTD 法が用いられてきた。実時間の陽解法を用いることで、大規模な構造を短時間で計算できる反面、計算精度や周波数領域の導波路モードに変換する際の精度等に問題が生じやすい。しかも市販品では内部がブラックボックスなので、精度の検証も容易ではない。一方、新しく導入する数値解析法は、周波数領域で散乱行列を直接求めることで、モード間散乱を高精度でシミュレーションできる。手法は公開されており、細部まで検証可能である。

表Ⅲ-2.1.2.2-5 3次元電磁界解析法の比較

方式	FDTD法(既製品)	周波数領域解析(新手法)
扱いの容易さ	◎(GUIでマウス入力)	×(CUIでキーボード入力)
流量の保存則	△(場合によっては%程度ずれる)	◎
散乱過程間の直交性	×(調べることが出来ない)	◎(条件に依存するが、上記流量とともに100dB、つまり10桁まで残差を低減できる)
分散の異方性	○(メッシュを細かくして低減できるが計算精度を犠牲)	△(計算精度を優先する為メッシュは細かくしない)
手法の検証	×(非公開、ブラックボックス)	◎(公開、検証容易)

2.1.2.3.(c) 光エレクトロニクスインターフェース技術

大規模データセンタ内の筐体間接続、データセンタ間接続に向けた、100Gbps の伝送容量を持つデジタルコヒーレント送受信モジュール実現のための信号処理回路と光回路に関する基盤技術を平成28年度までに開発する。

2.1.2.3.(c).1 中間目標

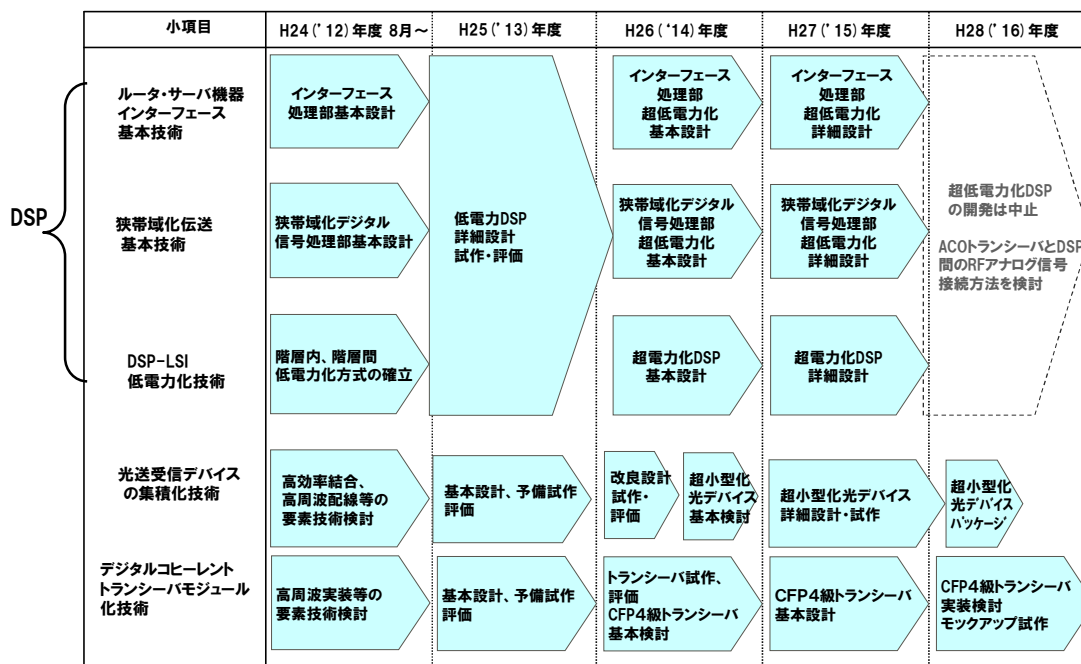
平成26年度中間目標：大規模データセンタ内の筐体間接続、データセンタ間接続に向けた、100Gbps の伝送容量を持つ小型デジタルコヒーレントトランシーバ用低電力 DSP-LSI、集積化光送受信モジュールの試作、基本動作確認を行う。

平成28年度中間目標：100Gbps デジタルコヒーレントトランシーバにおいて消費電力を約30W程度まで低減できる技術を実現する。

2.1.2.3.(c).2 スケジュール

表Ⅲ-2.1.2.3-1 に研究開発スケジュールを示す。

表Ⅲ-2.1.2.3-1 光エレクトロニクスインターフェース技術の研究開発スケジュール



2.1.2.3.3 アプローチ, 特長技術

(ア) ルータ・サーバ機器間インターフェース基本技術

ルータやサーバ側の信号を 100Gbps デジタルコヒーレント光伝送に適したフレーム信号へのインターフェース変換する機能部とその物理層(L1)及び MAC 層(Media Access Control 層:L2)のモニタ機能(上記の故障点評定及び故障切り分け機能を実現するための機能)が必要となる。キャリアグレードネットワークにも対応可能な機能とともにルータ・サーバ機器の中のインターフェースボードにおける使用を考慮し、物理層と MAC 層のモニタ機能を開発し実装することとした。

(イ) 狭帯域化伝送基本技術

狭帯域化デジタル信号処理部は、送信スペクトル整形、リニアライズ、送信側周波数応答調整・スキュー補償の 3 種類の機能ブロックで構成し、受信側にも送信側でスペクトル狭帯域化した信号を元に復元するための受信側周波数応答調整・スキュー補償回路を実装する。

(ウ) DSP-LSI 低電力化技術

各機能ブロックをインテグレーションして、全体としての機能・動作を確認する統合検証技術を確立し、複数のアプリケーションを想定した信号処理回路の最適機能配備やブロック分割構成法の検証技術を確立させる。その上でデジタルコヒーレントシステム設計技術と信号処理回路設計技術の連携・融合によりシステム/サブシステム/信号処理回路の各レベルで低電力化を進める。

(エ) 光送受信デバイスの集積化技術

小型光トランシーバ用送信デバイスとして、機能・特性(光強度、波長精度、スペクトル線幅など)は従来と同等以上としつつ、従来のバタフライモジュール比 1/2 以下となる 8×16×8mm のパッケージサイズを目指す。集積コヒーレント光受信器の小型化を実現する要素技術として光回路(PLC: Planar Lightwave circuit)と、受光素子(PD: Photo Diode)の実装部分における小型化を実現するため、小型レンズアレイを用いた PD との光結合構造を検討する。

2.1.2.3.4 成果

上記の(ア)(イ)(ウ)の技術開発結果に基づき、20nmCMOS プロセスを用いて低電力型 DSP-LSI 試作を実施した。試作した DSP-LSI の外観を図 III-2.1.2.3-1 に示す。DSP-LSI は伝送路長に応じて、最大波長分散補償量を変更し、伝送アプリケーション毎に消費電力を最適化する機能を有している。図 III-2.1.2.3-2 に光伝送特性評価結果を示す。各伝送距離について誤り訂正後に 10^{-12} 以下のエラーフリー動作を確認した。また、DSP-LSI の消費電力は約 18W であり、20nmCMOS プロセスとそれに最適化した電力低減技術を開発したことにより、目標であった 20W を下回っていることが確認された。

平成 27 年度からは一層の低電力化を目指した超低電力 DSP-LSI の設計に着手した。想定する CMOS プロセスは 16nm FinFET とし、FinFET の特性に最適化するべく、各設計プロセス階層で繰り返しすり合わせ、フィードバック的な設計を進めた。その結果、低電力 DSP-LSI の約半分となる 10W 前半の電力を実現する目処を得た。



図 III-2.1.2.3-1 試作した DSP-LSI 外観

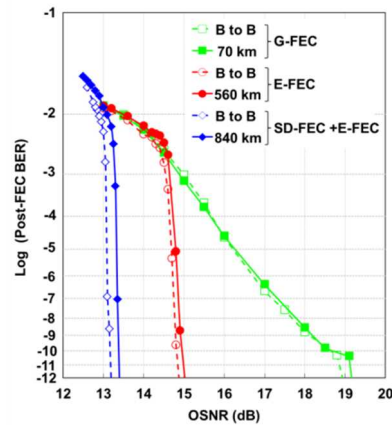
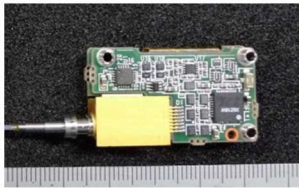


図 III-2.1.2.3-2 光伝送後の特性評価

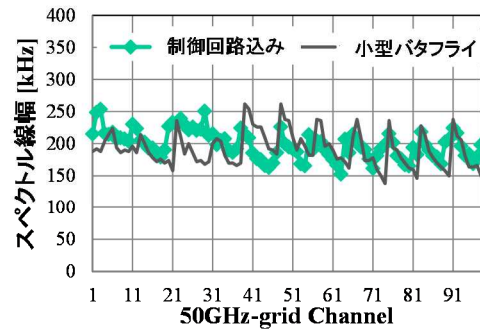
(エ) 光送受信デバイスの集積化技術

図Ⅲ-2.1.2.3-3 に試作した μ iTLA の外観とスペクトル線幅特性を示す。32GBaud-DP-QPSK 100Gbps 伝送の場合には 300kHz 以下の線幅が要求されるが、マイクロコントローラなどの制御回路が発するデジタルノイズの影響を受けやすい μ iTLA にアセンブリした状態でも小型バタフライレーザモジュール単体と同等で、ITU-T グリッド全波長で 300kHz 以下の線幅特性を確保できることを確認した。図Ⅲ-2.1.2.3-4 に集積コヒーレント光受信器の外観と特性例を示す。-20dBm の入力信号光パワーに対して受信 Q 値 15dB 以上を達成し、従来型光受信器と遜色ない受信性能を確保した。

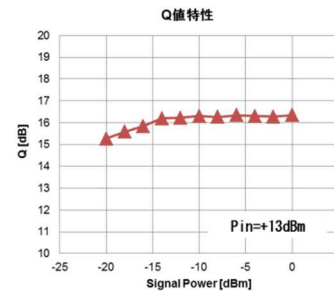
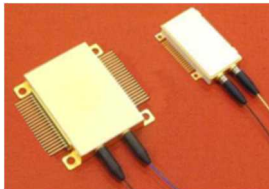
平成 27 年度からは CFP4 級トランシーバを実現するための光送受信デバイスの集積化技術の検討を進め、パッケージを試作し、その動作の確認と特性評価を行った。上述の研究開発結果により、課題(ア)、(イ)、(ウ)、(エ)の平成 26 年度中間目標、平成 28 年度最終目標をそれぞれ 100%達成した。



- 35 x 20 x 6.9 mm のサイズに駆動回路、制御用マイコンを集積。
- 波長: Cバンド/Lバンド
- 光出力: >16 dBm(Cバンド)
- 線幅: <300kHz



図Ⅲ-2.1.2.3-3 試作した μ iTLA の外観とスペクトル線幅特性



図Ⅲ-2.1.2.3-4 試作した光受信器(16×30×5mm)および光受信特性

2.1.2.4. (d) 光エレクトロニクス回路設計技術

(d-1) 光エレクトロニクス実装設計環境構築

光エレクトロニクス実装システム統合設計環境による、量産事業に向けた効率的な設計フローの構築に向けて基盤技術を確立する。

(d-2) 光 I/O コア搭載用光デバイス設計ツール開発

プロジェクト内での利活用に向けて以下の技術開発を行った。

2.1.2.4.(d-1).1 中間目標

平成 26 年度中間目標：マルチフィジクス対応の光エレクトロニクス実装システム統合設計環境の基本構成を構築し、システム統合設計の基本的なフローの実証を行う。

平成 29 年度中間目標：光 I/O コア集積搭載用回路設計基盤技術開発として、光エレクトロニクス実装システム統合設計環境を利用して、光電子融合インターポーザ実装を効率的に設計するため、基本設計フローの構築を行う。

2.1.2.4.(d-2).1 中間目標

平成 26 年度中間目標：光 I/O コア搭載用光デバイス設計基盤技術として、集積光 I/O チップにおける光変調器等の開発に適用可能な電磁界シミュレータと電子デバイス三次元 TCAD を連携させた電子・光連携 TCAD の基本構造を確立する。

平成 29 年度中間目標：光デバイス設計用電子・光連携 TCAD についてパッケージ化を行い、プロジェクト内で利用可能とする。また、光電子集積インターポーザ設計を可能とする統合設計環境を連携させ、光電子集積インターポーザを効率的に設計可能とする。

2.1.2.4.(d-1).2 スケジュール

平成 24～26 年度は、高性能サーバを導入し、光エレクトロニクス回路設計技術構築へ向けた基盤システムの導入を行った。電気回路設計環境、光回路設計環境、熱・応力設計環境の構築を行い、特に三次元構造回路設計 CAD(Computer Aided Design)ツールを中心に光線解析、電磁解析、熱、応力など様々な設計解析ツールとの設計データのやり取り（データ変換も含めて）を可能とすることにより、マルチフィジクスに対応した設計解析が統合的に実施できる光エレクトロニクス実装システム統合設計環境の構築を進めた。

平成 27～28 年度は、光電子融合設計回路環境の構築を行い、光 I/O コア設計に向けた設計フローの実証を進めた。三次元構造回路設計 CAD にシリコン導波路や、ポリマー導波路、ミラー等の光配線部分や光路変換部分等のセルモジュールの構築を進め、光回路のデザインルールチェック機能の構築を進めた。

2.1.2.4.(d-2).2 スケジュール

平成 24～26 年度は、シリコン半導体デバイス用三次元 Technology CAD(TCAD) (HyENEXSS を想定)をベースにし、デバイス中の光の振る舞いを計算可能な FDTD 法 (Finite-Difference Time-Domain method; FDTD method) と連結させた電子・光連携シミュレータの開発を進めた。そのため、TCAD から FDTD へ、さらに FDTD から TCAD への一連のシミュレーション手順を連続して実行可能な仕組みを構成する際に、解析時間の増大が予想されることから、BPM 法による解析の高速化の検討を行った。

平成 27～28 年度は、デバイス設計ツールは、実際の光デバイスの設計検討を行った。特に FDTD の解析時間の増大が予想されることから、部分的にメッシュを粗くできるサブグリッド法を導入し、解析の高速化の検討を行った。特に、解析の高速化により、デバイス・実装構造の CAD 実装の最適化を進め、統合設計環境との連携強化を行った。

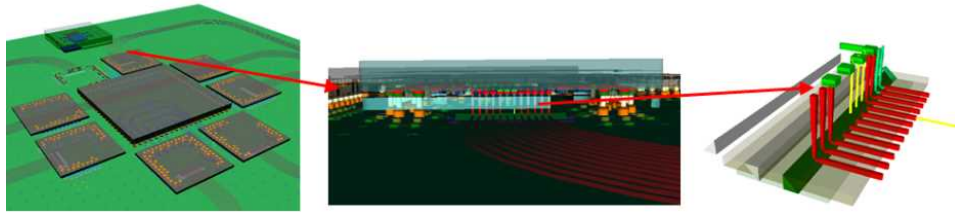
2.1.2.4.(d).3 アプローチ、特長技術

従来設計技術では、光エレクトロニクス実装システムの設計においては、光、電気、熱、応力など、技術分野ごとに、専用設計・解析ツールを用いて、設計が実施されるため、ツール間での設計データのやり取りに課題があり、設計工程の効率化に対する障害となっていた。本研究開発における統合設計環境構築の取り組みは、この点を大幅に改善できることから、独自性の高い内容となっている。

また、電磁界シミュレータと電子デバイス 3 次元 TCAD を連携させた電子・光連携 TCAD 設計環境の構築、光回路を集中定数化する光回路モデル化手法の開発についても、独自性の高い内容となっている。

2.1.2.4.(d-1).4 成果

光エレクトロニクス実装システムの最終想定図を図Ⅲ-2.1.2.4-1(a)に示す。当該システムでは、光電子集積インターポーザにて電子・光、および光・電子変換を行う。また、光回路部分は熱や応力により動作の安定性が減少する。そのため、光エレクトロニクス実装システムの設計においては、光回路・電気回路の解析設計のみならず、熱・応力の解析設計が非常に重要となるため、熱・応力設計環境も統合する必要がある。この多分野にわたる協調設計が必要な光エレクトロニクス実装システムでは、それぞれの分野に対応する解析シミュレータとの連携が必要である。そのため、図Ⅲ-2.1.2.4-1 (b)に示すように、様々なファイルフォーマットの入出力に対応する必要がある。今回、三次元構造設計ソフトウェアの一つであるファースト社製の START を導入し、既存の電気回路に加え、光、構造・伝熱・熱流体解析の解析モデルへの変換モジュールの作成を行った。

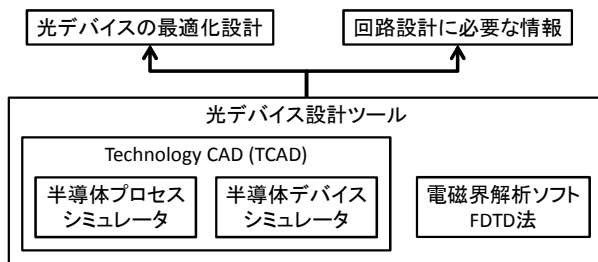


図III-2.1.2.4-6 光フォト IC の 2.5D/3D デバイスマジュールの表示例

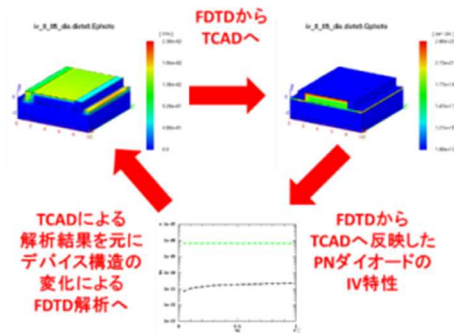
2.1.2.4.(d-2).4 成果

光エレクトロニクス回路を設計するためには、光 I/O コアに搭載される光デバイスの光学的・電子的特性を物理的に理解し、目標特性に向けて最適化を行なうための設計ツールが不可欠である。今回、光学的解析を行う電磁界解析ソフトと、電子的解析を行う TCAD を組み合わせた設計ツールを開発した。

光デバイス設計ツールの構成図を図III-2.1.2.4-7に示す。中核は半導体プロセス・デバイスシミュレータからなる TCAD と、FDTD 法による電磁界解析ソフトである。TCAD は電子的動作を主に解析し、電磁界解析ソフトは光学的動作を主に解析する。この 2 つのツールを接続することにより、電子的・光学的動作の相互作用を含めた光デバイスの解析を可能とした。図III-2.1.2.4-8に半導体プロセスシミュレータ、デバイスシミュレータ、電磁界シミュレータ間の接続関係と計算例を示す。

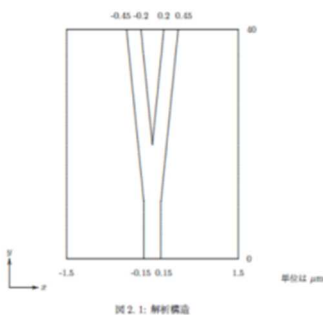


図III-2.1.2.4-7 光デバイス設計ツールの構成図

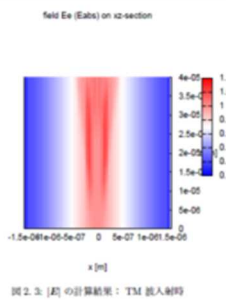


図III-2.1.2.4-8 シミュレータ間の接続関係

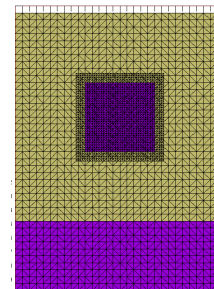
この設計ツールに、計算の高速化のために、これまで用いてきた FDTD 法の電磁界解析に対し、導波路専用の BPM 法モジュールの導入を行った。図III-2.1.2.4-9は Y 字導波路の構造と BPM 法によって求めた光強度分布である。FDTD 法に比べて本モジュールは約 60 倍の計算速度を得られることが確認できた。また FDTD 法の計算では直交メッシュを用いるため、詳細な結果を得たい部分のメッシュが、粗くてもよい箇所のメッシュまで細かくしてしまうため、メッシュ数が膨大になり、計算リソースの消費が激しくなる。一部のメッシュを細かくするサブグリッド法のモジュールを導入することで、計算速度の向上に寄与することが分かった(図III-2.1.2.4-10)。



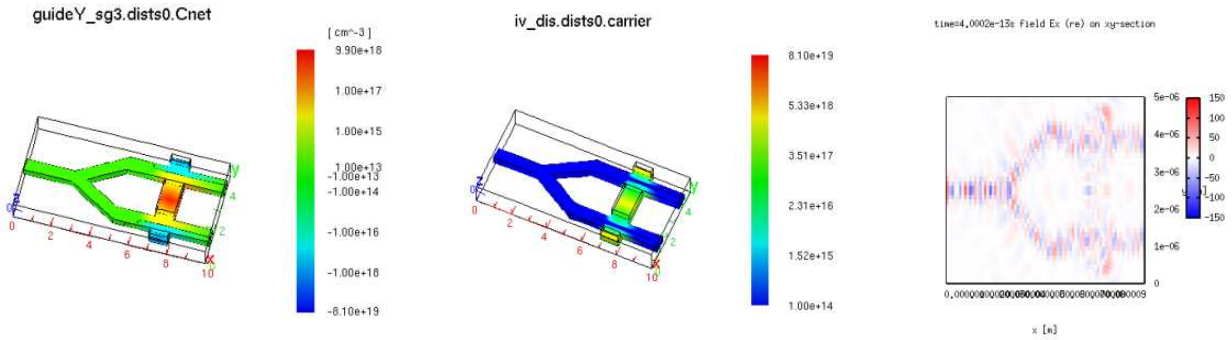
図III-2.1.2.4-9 Y 字型導波路構造と電界強度分布



図III-2.1.2.4-10 サブグリッド法の一例



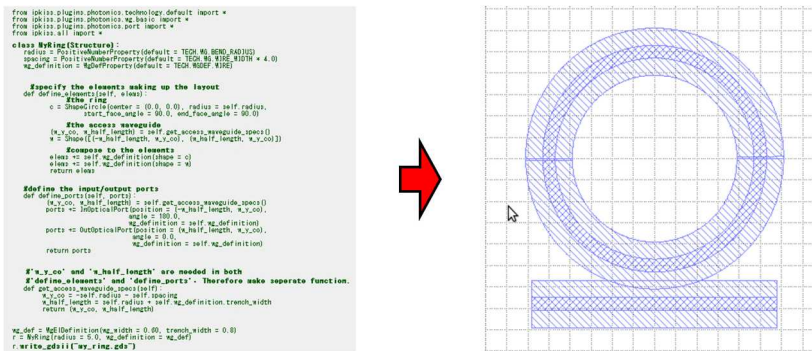
図Ⅲ-2.1.2.4-11 はマスクパターンから、プロセスシミュレータによって Y 字型の導波路構造を作成した例である。赤で示す N 型ドーパントと、青で示す P 型ドーパントにより、導波路部分に PN 接合を形成している。これにより最適な PN 接合の製造プロセス条件を求められた。図Ⅲ-2.1.2.4-12 ではプロセスシミュレータで作成したデバイス構造と不純物濃度分布を元に、電圧印加時のキャリア濃度分布を求めた。このとき PN 接合部には不純物分布と印加電圧に応じた空乏層の広がりを得ることができる。図Ⅲ-2.1.2.4-13 はデバイスシミュレータによって求めた状態から、導波路光を注入した時の光強度分布を求めたものである。このときデバイスシミュレータで得られたキャリア濃度分布により、屈折率が変化し、PN 接合にかかる印加電圧によって、光の通過する度合いの変化を解析可能であることが分かった。



図Ⅲ-2.1.2.4-11 Y字型導波路のデバイス構造と不純物濃度分布 図Ⅲ-2.1.2.4-12 電圧印加時のキャリア濃度分布 図Ⅲ-2.1.2.4-13 電磁界解析による導波路内の光強度分布

2.1.2.4.(d).5 ベンチマーク

光回路技術と電子回路技術を高度に融合した回路設計技術としての光エレクトロニクス統合設計環境は、国内外ともにまだ開発例がほとんどない状況である。先行例として、ベルギーの IMEC とゲント大学が共同で、IPKISS というフォトニックコンポーネントデザイン用ツールの開発が行われている。



図Ⅲ-2.1.2.4-14 Python を用いたプログラマブルな設計ツール IPKISS

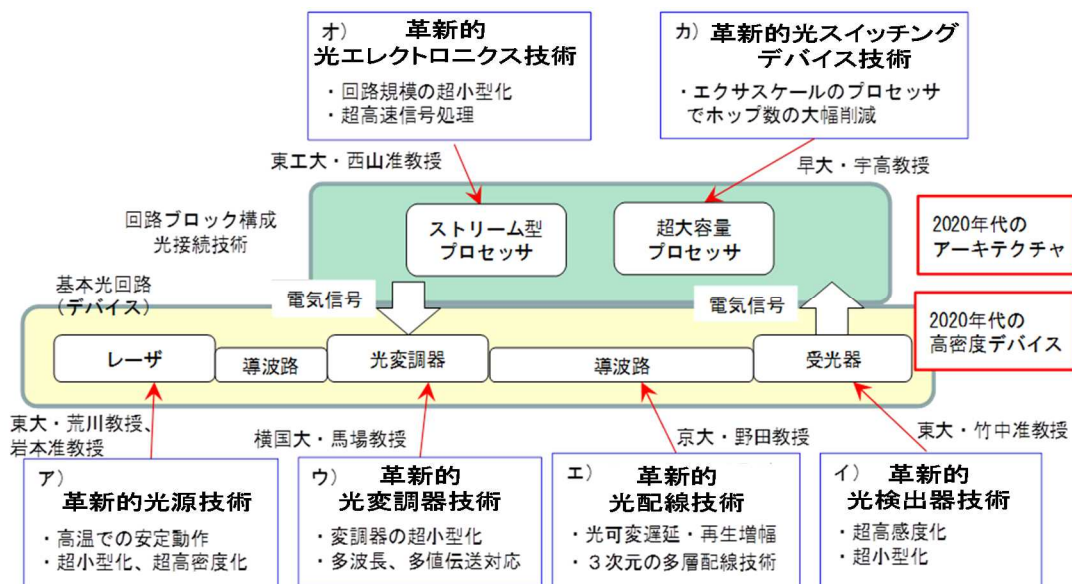
IPKISS は、フォトニック集積コンポーネントおよび回路のパラメータ設計用ソフトウェアである。2002 年にゲント大学のフォトニックリサーチグループと IMEC が Python を用いたプログラマブル Mask Layouts(GDSII)出力ツールとして開発された(図Ⅲ-2.1.2.4-14 参照)。フォトニックコンポーネントの複雑な光集積回路の設計に主に用いられており、設計者は Python によりフォトニックコンポーネントを素早く定義することができ、それらを解析ソルバで直接シミュレートし、製造に向けてリソグラフィ用レイアウトデータにまとめることができる。この目的のために IPKISS は、サードパーティの設計・解析ツールからのデータ取り込みが容易となっている。しかし、基本的には、フォトニックコンポーネントのレイアウト設計が対象であり、今回の研究開発が目指す光エレクトロニクス実装システムの開発に求められる、光回路技術と電子回路技術を高度に融合させた実装システム設計への対応が困難である。

2.1.3 (ii) 革新的デバイス技術

コスト競争を回避し、長期的な技術的優位性を確保し続けるためには、光電子集積サーバの継続的な高性能化を可能とする光電気集積デバイスの更なる小型化・低消費電力化・高機能化が必要となる。そのため、技術的に非連続な革新的デバイスの基盤技術となる、光源、光検出器、光変調器、光導波路のデバイス技術開発や機能可変技術、光スイッチング技術の開発を行う。

本研究は、東京大学、京都大学、東京工業大学、横浜国立大学、早稲田大学と共同研究契約を結んで推進する。

革新デバイス技術の位置づけの概略を図Ⅲ-2.1.3-1に示す。



図Ⅲ-2.1.3-1 革新デバイス技術における開発項目の本プロジェクトへの適用先、位置づけ

2.1.3.1.ア) 革新的光源技術 (東京大学)

光電子集積サーバ用の集積化光源への展開として、シリコン上量子ドットレーザの 100℃までの動作と 10Gbps 変調動作実現に向けて技術開発を行う。

2.1.3.1.ア). 1 中間目標

平成 26 年度中間目標：温度安定シリコン上量子ドットレーザの基盤技術開発を進め、50℃までの安定動作と 2.5Gbps の変調動作を実現する。シリコン導波路結合型単チャンネル量子ドットレーザを実現する。

平成 29 年度中間目標：光電子集積サーバ用の集積化光源への展開として、量子ドットレーザアレイ(5ch 以上)を実現する。また、シリコン系基板上直接成長量子ドットレーザを試作する。また、これらの検討を通じて、光電子集積サーバ技術への技術展開の見通しを示すとともに事業化に対する課題を明確化する。

2.1.3.1.ア). 2 スケジュール

平成 24、25 年度は、温度安定動作や集積化の実現に向けたデバイス基本構造・作製プロセスの検討、試作・評価、GaAs 上高密度量子ドットの形成技術、シリコン系基板上高品質 InAs 系量子ドットの形成基盤技術の開発を推進した。平成 26 年度は、シリコン導波路結合型量子ドットレーザ、高速直接変調の実現を目指した。平成 27、28 年度には、シリコン上集積量子ドットレーザの多チャンネル化、シリコン上直接成長量子ドットレーザの試作に向けた成長技術開発、基本設計とプロセス課題の抽出を行い、平成 29 年度にはそれらを実現し、中間目標を達成する。

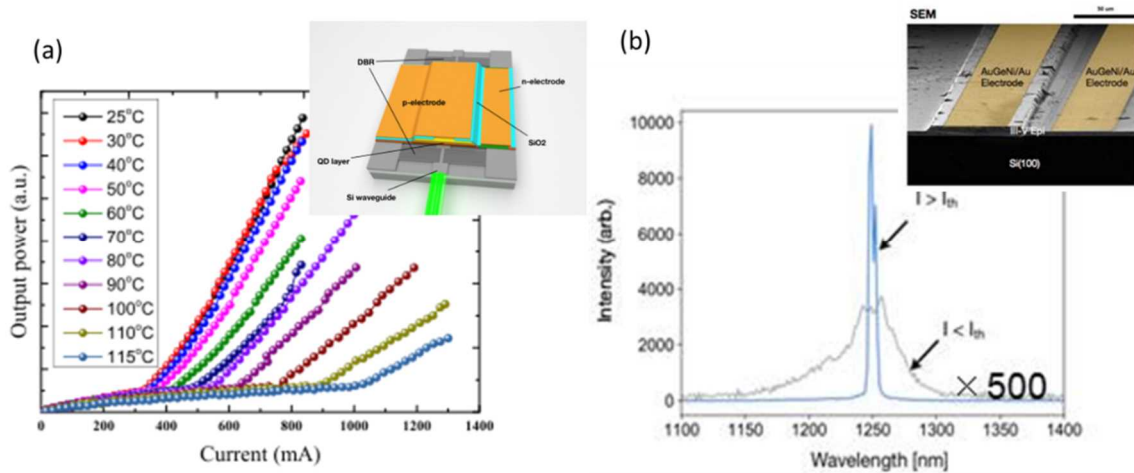
2.1.3.1.ア). 3 アプローチ、特長技術

量子ドットレーザは、低閾値電流密度、高温動作特性、温度安定動作や高速変調特性などの特徴を有

しており、特に低閾値動作、高温・温度安定動作は光電子融合システムの基本光源に求められる要求を満たすものである。革新的光源技術では、この量子ドットレーザをシリコン光回路に実現する。

2.1.3.1.ア).4 成果

シリコン導波路結合型量子ドットレーザの 115°C までの高温動作と 90°C までの連続発振に成功した(図Ⅲ-2.1.3.1-1(a))。この結果はエバネッセント結合を利用したシリコン導波路結合型量子ドットレーザの温度安定動作を世界で初めて実証したものである。また、Si(100)基板上での高品質バッファ層および InAs/GaAs 量子ドット層を実現し、ブロードエリア型 Si 基板上直接量子ドットレーザの室温発振に成功した(図Ⅲ-2.1.3.1-1(b))。これは、無加工 Si(100)基板上に MBE 成長のみで実現できる量子ドットレーザを世界に先駆けて実現したものである。



図Ⅲ-2.1.3.1-1 (a) シリコン導波路結合型量子ドットレーザの模式図と発振特性、
(b) Si 基板上 MBE 直接成長量子ドットレーザの SEM 写真と発振前後のスペクトル

2.1.3.1.ア).5 ベンチマーク

光電子ハイブリッドシステムに搭載されるレーザの評価指標である、閾値電流密度、動作温度と温度変動に対する耐久性、レーザ出力のシリコン光導波路への結合効率、変調周波数の全てにおいて、シリコン導波路結合型量子ドットレーザは、シリコン上量子井戸レーザと同等もしくはそれを凌駕することが可能である。一方、シリコン系基板上への高機能量子ドットレーザの直接形成については、実証されたシリコン基板上直接成長型量子ドットレーザは無加工シリコン(100)基板上に形成可能であること、MBE 一括成長が可能であること等、他機関と比較して大幅なアドバンテージを有している。

2.1.3.1.イ) 革新的光検出器技術（東京大学）

光電子集積サーバの Ge 受光器の超高感度化、低電圧化に向けて技術開発を行う。また歪 SiGe や MOS 構造を用いた高効率・省電力光変調器の技術開発を行う。

2.1.3.1.イ).1 中間目標

平成 26 年度中間目標：GeO₂ 表面パッシベーションを用いて MSM 型 Ge 受光器における暗電流抑制果を実証し、1μA/cm 以下の表面リーク電流密度を実現する。またキャリア注入型歪 SiGe 光変調器の屈折率変調動作を実現する。

平成 29 年度中間目標：Ge-on-SOI 基板作製技術を確立し、導波路型 Ge 受光器において暗電流密度 0.5mA/cm² 以下を実証する。また、これらの検討を通じて、光電子集積サーバ技術への技術展開の見通しを示し、事業化に対する課題を明確化する。

2.1.3.1.イ).2 スケジュール

平成 24 年度は、GeO_x 表面パッシベーションの有効性を確認した。平成 25 年度は、GeO_x パッシベー

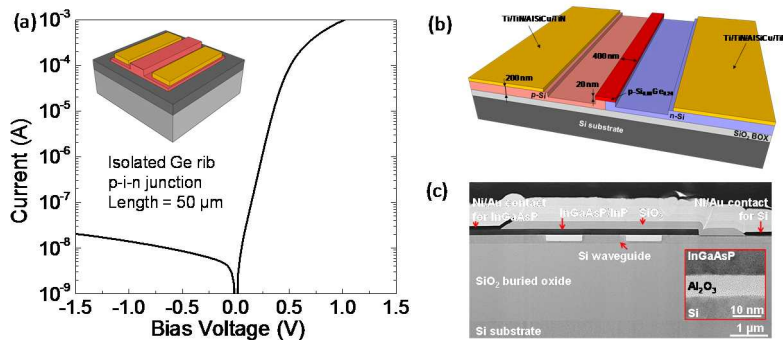
ションによる暗電流低減を実証した。平成 26 年度は、ウェーハボンディングを用いた高品質 Ge-on-Si 基板の実現を目指した。歪 SiGe 光変調器においては、屈折率変調による素子動作実証を目指した。平成 27 年度は、Ge-on-Si 基板を用いた導波路型 Ge 受光器の作製を目指した。平成 28 年度は、空乏型歪 SiGe 変調器におの動作実証を目指した。さらに MOS 型光変調器の動作実証を目指した。平成 29 年度は、導波路型 Ge 受光器の低暗電流動作を実現する。また歪 SiGe 変調器の高変調効率、低消費電力動作、高速動作の動作実証することを目指し、中間目標を達成する。

2.1.3.1.イ).3 アプローチ, 特長技術

Ge 受光器は、表面パッシベーション技術が確立されておらず暗電流が大きい問題がある。本研究では、Ge 酸化膜により Ge 受光器を良好にパッシベーションすることで、暗電流の低減を目指す点が大きな特徴となっている。一方、Si 光変調器においては、変調効率が低いことが問題となっている。本研究では、ホールの有効質量が小さい歪 SiGe を用いてプラズマ分散効果を増大し、変調効率を改善する研究開発を進める。

2.1.3.1.イ).4 成果

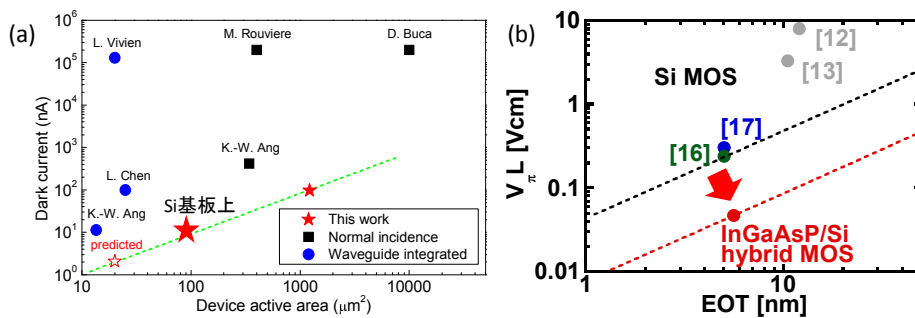
GeO₂ で表面をパッシベーションすることで、Ge 受光器の暗電流を低減可能であることを実証した。また、ウェーハボンディングを用いて高品質 Ge on Si 基板を実現した。これにより、図III-2.1.3.1-1(a)に示すように、Si 基板上に形成した導波路型 Ge 受光器の低暗電流動作を実証した。歪 SiGe 変調器においては、空乏型素子の動作実証に初めて成功した (図III-2.1.3.1-1(b))。また貼り合わせを用いたハイブリッド MOS 型光変調器の動作実証に成功した (図III-2.1.3.1-1(c))。



図III-2.1.3.1-1 (a) 貼り合わせ GeOI 基板を用いた導波路型 Ge 受光器特性、(b) 空乏型歪 SiGe 光変調器特性、(c) ハイブリッド MOS 型光変調器

2.1.3.1.イ).5 ベンチマーク

Ge 受光器の暗電流を素子面積に対してプロットしたベンチマークを図III-2.1.3.1-2(a)に示す。プラズマ酸化で表面をパッシベーションした我々の素子が低い電流値を示している。一方、図III-2.1.3.1-2(b)に MOS 型光変調器の変調効率的ベンチマークを示す。貼り合わせを用いた MOS 型光変調器により既存の変調器よりも 5 倍程度の変調効率改善を実現した。



図III-2.1.3.1-2 (a) Ge 受光器暗電流のベンチマーク、(b) MOS 型光変調器のベンチマーク

2.1.3.2 革新的光変調器技術（横浜国立大学）

光電子集積サーバ用に使用する光電子集積インターポーザの光変調器にスローライト導波路を導入し、25Gbps以上の動作、従来の1/10の小型化と低消費電力化に向けて技術開発を行う。

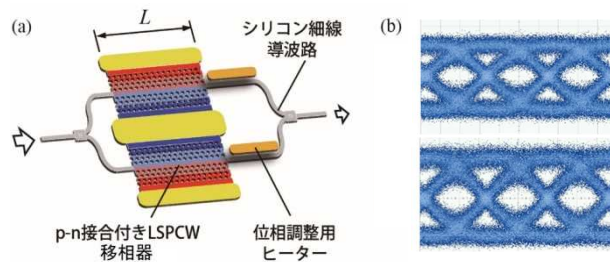
2.1.3.2.1 中間目標

平成26年度中間目標：光電子集積サーバに使用する光電子集積インターポーザの光変調器の超小型化を可能とするスローライト変調器として、動作速度10Gbps、電圧2V以下、波長幅10nm以上、消光比5dB以上、長さ100 μ m以下を実現する。

平成29年度中間目標：光電子集積サーバに使用する光電子集積インターポーザの光変調器の超小型化を可能とする10Gbps変調器としてLN変調器を凌駕する実用性能を得る。波長分割多重、多値位相変調を150 μ m角の面積で実現する。また、これらの検討を通じて、光電子集積サーバ技術への技術展開の見通しを示すとともに、事業化に対する課題を明確化する。

2.1.3.2.2 スケジュール

平成24～26年度は、シリコンマッハ・ツェンダ変調器にスローライトを導入し、100 μ mオーダーのデバイスで広い波長範囲や温度範囲での10Gbps動作の可能性を調べた。平成27～29年度はp-n接合の最適化、変調効率と動作速度を両立する設計により25～32Gbpsの変調を目指した。また、波長多重方式、多値位相方式、多値振幅方式へ本変調器を適用、その実証を目指した。



図Ⅲ-2.1.3.2-1 シリコンフォトニック結晶導波路マッハ・ツェンダ変調器

(a) 全体の概要 (b) 32 Gbpsでのアイ開口：上は損失6dB、消光比3dB、下は損失6.7dB、消光比4dB

2.1.3.2.3 アプローチ、特長技術

光電子集積の大規模化・省電力化には変調器の小型化が有効である。本研究では、移相器にフォトニック結晶スローライト導波路(PCW)を導入し、変調効率を群屈折率 n_g 倍だけ増大させることを提案、初期動作を報告してきた。ただしスローライトは一般に動作波長幅が狭く、分散が大きい。そこで本研究は、格子シフト導入による広帯域低分散スローライトを用いる。これにより、デバイスの小型化と同時に、15nm以上の波長範囲や、100K以上の広い温度範囲での高性能な変調が可能になる。

2.1.3.2.4 成果

デバイスの作製にはシンガポールIMEの200mm CMOSプロセスを用いた。PCWを構成する円孔の直径200nmであり、このプロセスで対応可能である。平成24～26年度は、この変調器が製作可能なこと、移相器長50 μ m以上で10Gbpsでのアイ開口、90 μ m以上でのエラーフリー、200 μ mでの温度範囲19～124 $^{\circ}$ Cの動作を確認した。また200 μ mでは25Gbps動作も確認されたが、変調時の総損失が14dBと大きかった。平成27～29年度は、低電圧、低損失、十分な消光比を両立した32Gbps動作の実現、およびWDM、QPSK、PAMといった多重化変調器の実証に取り組んだ。前者については、主にp-n接合を最適化して変調効率を向上させ、長さ200 μ m、電圧1.75V、損失6dB、消光比3dBの32Gbpsアイ開口を実証した(図Ⅲ-2.1.3.2-1(b))。後者については、25Gbps \times 3のWDM、32GbaudまでのQPSKコンスタレーション、15Gbaudまでの4PAMのアイパターンを実証した。

2.1.3.2.5 ベンチマーク

現状のシリコンリブ型変調器は長さ2～3mmであり、本研究の200 μ mは圧倒的に小さい。リブ型の

電圧は 3 V 程度であり、本研究の 1.75 V は低い。これらによりビット毎消費エネルギーは 0.3 pJ/bit と見積もられ、リブ型の標準的な値の約 1/10 である。変調時の損失に関しては、リブ型の標準値が 6~8 dB であり、本研究は同等である。消光比は損失とトレードオフであり、報告により様々であるが、本研究でも変調損を増やせば消光比を 5 dB 以上に増やせるので、これも同等といえる。つまり、サイズと消費電力で優位であり、損失と消光比は同等である。

2.1.3.3 革新的光配線技術（京都大学）

光電子集積サーバへの展開として光導波路の三次元光配線技術において、垂直・水平および分岐も含めた自在な伝搬機能に向けて技術開発を行う。また、ナノ光共振器の Q 値を向上させつつ、複数共振器結合系による光パルスバッファリング機能の高度化に向けて技術開発を行う。

2.1.3.3.1 中間目標

平成 26 年度中間目標：三次元光配線技術において、層間方向への伝搬機能を実現する。また、光パルスバッファリング機能の保持時間の増大（3ns 以上、光ナノ共振器 Q 値として 500 万以上）を実現する。

平成 29 年度中間目標：垂直方向と水平方向の伝搬機能の統合を実現する。Q 値 700 万以上、2 共振器結合系によるパルスバッファリング機能等を実現する。また、これらの検討を通じて、光電子集積サーバ技術への技術展開の見通しを示すとともに、事業化に対する課題を明確化する。

2.1.3.3.2 スケジュール

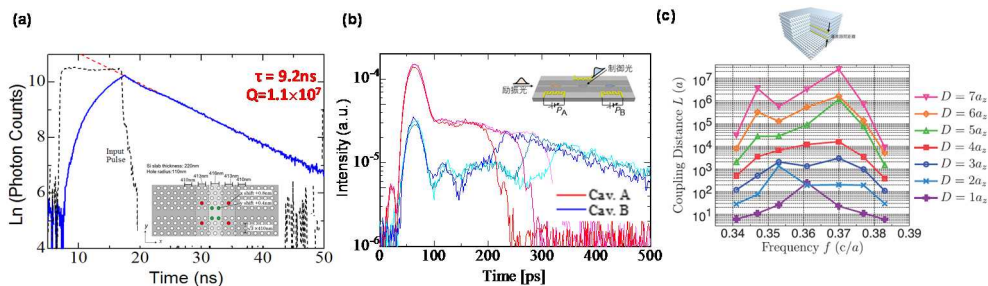
平成 24 年度は雰囲気制御や新共振器構造を検討し Q 値を 500 万以上にまで向上させた。平成 25 年度は、共振器構造の精密な設計調整等を検討し、また断熱的制御によるバッファリングの可能性を検討した。平成 26 年~28 年度は、作製技術等の最適化を行って Q 値の向上を目指るとともに断熱的制御に基づく手法の実証とその高度化を目指した。立体的導波路による層間方向伝搬および外部空間の結合に関する定量的な検討を行った。平成 29 年度には Q 値 700 万以上、2 共振器結合系によるパルスバッファリング機能等の実現を目指す。また垂直方向と水平方向の伝搬機能の統合の実現を目指す。

2.1.3.3.3 アプローチ、特長技術

フォトニック結晶中に生じる光の禁制帯であるフォトニックバンドギャップの効果を活用し、光を高度に制御することで光情報をそのまま一時的に蓄積して、可変的に時間保持して光情報を遅延させることのできる技術や積層方向も含め三次元的に自在に光情報を配線できる技術等、光の潜在能力を余すことなく活用するための全く新たな光機能の創出を行い、これらの要求に答える。

2.1.3.3.4 成果

図Ⅲ-2.1.3.3-1(a)に示すように光子寿命にして 9.2ns、Q 値にして 1100 万という極めて損失の低いナノ共振器を実現した。また同図(b)に示すように 3 つの共振器を用いた低損失な断熱的制御手法を提案し 80μm 離れた光共振器間で任意タイミングの光転送を 90%の効率で達成した。さらに三次元光配線の検討においては、良好な特性をもつ層内導波路および層間接続導波路の設計・実証に加えて、併走導波路間の結合長および交差導波路間のクロストークを解明した(同図(c))。



図Ⅲ-2.1.3.3-1 (a)ナノ共振器の Q 値測定結果、(b)断熱光転送の実験結果、(c)3次元光配線のクロストーク評価結果の一例

2.1.3.3.5 ベンチマーク

フォトニック結晶ナノ共振器に関しては他グループでの最大 Q 値は 35~200 万程度であるのに対して、本研究においては 1100 万を達成しており、他を圧倒する高いレベルにあると言える。直接的光バッファリングに向けた断熱的制御を用いた光転送に関しては、ディレイラインを用いた固定遅延方式と異なり、任意の可変遅延を実現できる上という優位性を持つ。三次元フォトニック結晶における層間方向伝搬に関しては、もともと光波長における 3 次元結晶の作製自体に極めて高度な技術を要するため、他の競合相手が少ないのに加え、100nm 以上の広い帯域をもち、かつその帯域で特異な分散を示さない導波路を具体的に設計できているという点で他グループに比べ極めて優位にたっている。

2.1.3.4 革新的光源技術（東京工業大学）

光電子集積サーバに使用する光電子集積インターポーザの光回路の再構成を可能とする回路プラットフォームの CMOS 電子回路上への形成を目的として技術開発を行う。

2.1.3.4.1 中間目標

平成 26 年度中間目標：光電子集積サーバに使用する光電子集積インターポーザの光回路の再構成を可能とする光 FPGA の実現に向けた要素デバイスの実現及び高効率化技術として、ハイブリッド回路基板上 InP 半導体レーザの高効率動作（スロープ効率 0.3W/A 以上）と同一基板上に増幅率 10dB 以上、飽和光出力が数 mW から 10mW 以上までの様々な光増幅器が並ぶアレイデバイスを実現する。

平成 29 年度中間目標：光電子集積サーバに使用する光電子集積インターポーザの光回路の再構成を可能とする光 FPGA のコンセプトの基本的実証として、5 種類以上の光機能回路の同一ハイブリッド回路基板上への集積を実現する。また、これらの検討を通じて、光電子集積サーバ技術への技術展開の見通しを示すとともに、事業化に対する課題を明確化する。

2.1.3.4.2 スケジュール

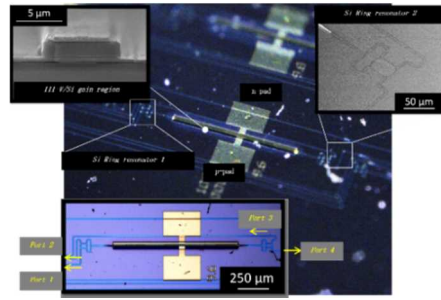
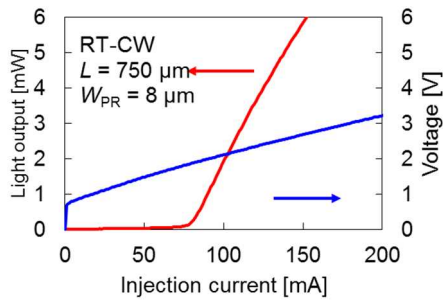
光 FPGA のコンセプト実証のために、主に個別デバイスの設計した後、作製プロセスの確立を図り、シリコン導波路上光増幅器アレイを試作する。後半は、複数光回路機能を同一基板上に形成する試作をすすめる。そして平成 29 年度には光電子集積サーバに使用する光電子集積インターポーザの光回路の再構成を可能とする光 FPGA コンセプトの基本的実証として、5 種類以上の光機能回路の同一ハイブリッド回路基板上への集積を実現する。

2.1.3.4.3 アプローチ、特長技術

将来的なインターコネクションでは、サーバには様々な回路要求が存在するため、ユーザ各自によっても必要な光回路構成が異なる可能性がある。そのためにフィールドで自在に回路機能を切り替えることが可能な機能可変光回路（通称光 FPGA）の実現を目指している。大規模化、電子回路との親和性を考えて Si 基板上にその光回路を形成することを前提とする必要がある。ただし、Si 材料は、その物性的特性から十分な光利得を実現することが困難であるため、プラズマ活性化接合法を利用して低温で低ダメージに異種材料集積を実現する。この手法によって、並列、冗長的に様々な種類の III-V 族半導体/Si ハイブリッド光部品（基本構成は半導体光増幅器(SOA)）を配置、導波路を接続するが、第 2 期の中では、その要素となる個別部品の同一基板集積化を主目的とする。

2.1.3.4.4 成果

Si 導波路を有する SOI 基板上に InP 層を低温(接合温度 150°C)にてウェーハレベルで均一に接合する技術を確認し、ファブリペロハイブリッドレーザでの室温連続発振、接合部にテーパ構造を組み合わせ反射・散乱を解決し、リング共振器装荷型ハイブリッドレーザを作製し、リングに依存するスペクトル発振特性を得た。また、SOA と LD などの複数機能を集積することに成功した。



(a)

(b)

図Ⅲ-2.1.3.4-1 プラズマ活性化接合による InP/SOI ハイブリッドレーザ

(a) 室温連続動作 I-L 特性 (b) リング共振器装荷型ハイブリッドレーザの顕微鏡写真

2.1.3.4.5 ベンチマーク

機能を再構成可能な光回路を作製することは世界ではまだ提案されておらず、先駆的な取り組みと言える。また、それを実現するためのプラズマ活性化接合によるハイブリッド構造の作製は低ダメージであるため将来の実用化のためには、信頼性の観点から有利であるといえ、実際に我々の提案した窒素を利用したプラズマ活性化接合は、接合分野においても広く認知されつつある。

2.1.3.5. 革新的光スイッチングデバイス技術（早稲田大学）

光電子集積サーバ用の高効率光スイッチングデバイスへの展開として、低消費電力・高速・偏光無依存シリコン光スイッチマトリクス、高速光信号処理デバイス、さらにハイブリッド集積ボンディング技術を開発する。

2.1.3.5.1 中間目標

平成 26 年度中間目標：小型シリコン光スイッチは 10mW 以下でのスイッチング動作、半導体光増幅器とフィルタを用いて基本光論理動作、ハイブリッド集積用高精度位置制御ボンディング技術(精度 20μm 以下)を達成する。

平成29年度中間目標：光電子集積サーバ用の高効率光スイッチングデバイスへの展開として、低消費電力4×4規模光スイッチマトリクス、高速光信号処理ヘテロ集積素子の10Gbps動作、ハイブリッド集積用位置制御ボンディング技術を確認し、光電子集積サーバ技術への技術展開の見通しを示すとともに、事業化に対する課題を明確化する。

2.1.3.5.2 スケジュール

平成 24、25 年度は、シリコン高速光スイッチ、高速ラベル判断用高速光信号処理デバイス、さらにこれら光スイッチングを高機能化するためのハイブリッド光集積デバイスの開発の基礎検討を行った。平成 26、27 年度は、考案したシリコン光スイッチについては低電流基本スイッチング動作を目指し、キャリア分布の課題に対する改善構造、偏光無依存構造について検討した。QD-SOA の高利得、超高速応答特性及び集積回路用 QD 組成混合(QD)技術を確認した。ハイブリッド集積技術についてはシリコン・InP 基板間接合を検討した。平成 28 年度は、シリコン光スイッチの低消費電力化への特性向上を図った。QD-SOA と QDI 導波路集積素子を実現した。ハイブリッド集積技術については、シリコン光導波路への異種チップの逐次接合の条件を把握した。平成 29 年度は、シリコン光スイッチにおいて、4×4 規模低消費電力光スイッチマトリクスの高速動作の実現を目指す。高速光信号処理デバイスの 10Gbps 光ラベル判別用光論理動作を実証する。ハイブリッド集積用位置制御ボンディング技術を確認する。これらの検討を通じて、光電子集積サーバ技術への技術展開の見通しを示すとともに、事業化に対する課題を明確化する。

2.1.3.5.3 アプローチ、特長技術

シリコン光スイッチについては、小型化、オフセットレススイッチング特性、そして偏光依存性の問題を改善すべく、さらにシリコン内のキャリア拡散長を鑑みた改良版として屈折率平坦構造 MMI 型光ス

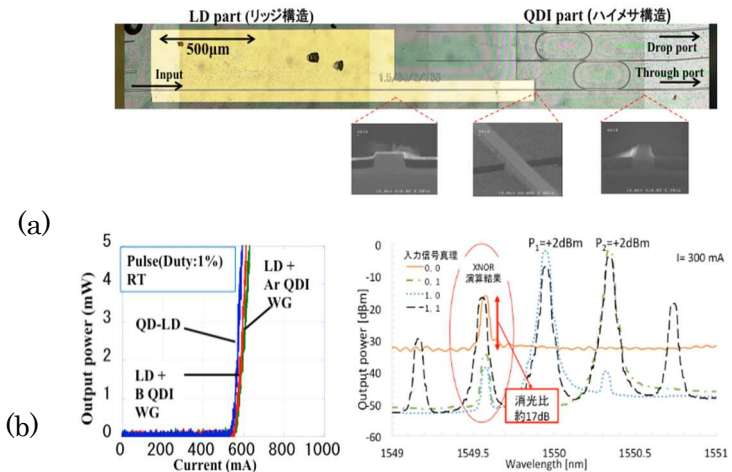
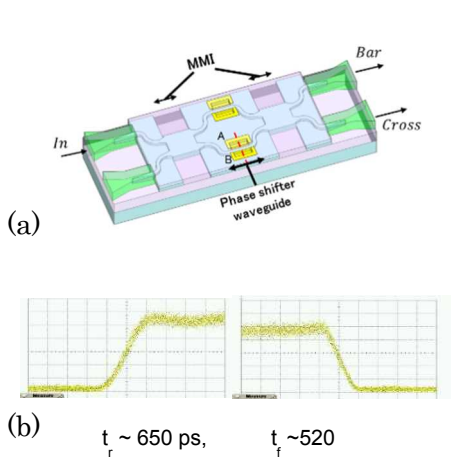
イッチを考案した。マッハ・ツェンダ型についても、偏光無依存動作を目指した新規構造を提案した。高速光信号処理デバイスは、1550nm 帯 QD-SOA のサブピコ秒超高速応答、基本光論理動作の実現、そしてリング共振器フィルタのモノリシック集積構造の超高速光論理ゲート素子を提案している。そのための量子ドットの組成混合(QDI)技術を確立することとした。さらに、LSI も含めてシリコンプラットフォームに容易に光デバイスをハイブリッド集積する大気中低温ハイブリッド集積技術を提案した。

2.1.3.5.4 成果

シリコン光スイッチについて、マッハ・ツェンダ型において約 600ps の高速動作を実現するとともに(図 III-2.1.3.5-1)、偏光無依存構造を提案し、各部分的に偏光無依存性を実証した。また小型光スイッチとして、屈折率平坦構造 MMI 型の提案、現在鋭意作製を進めている。高速光信号処理デバイスについては、1550nm 帯 QD-SOA において約 35dB の高利得特性、1ps 以下の高速応答の達成、QDI 技術の確立、QD-SOA とリング共振器をモノリシックに集積化したデバイスのレーザ発振に成功した。(図 III-2.1.3.5-2(a),(b)) 量子井戸(QW)を用いてラベル判定に必要な XNOR や AND の基本的な光論理ゲート動作を 10Gb/s の高速度で実現した。(同図(c)) Au 及びポリマー膜を用いた基板・チップ間大気中低温ハイブリッド逐次実装技術を開発した。

2.1.3.5.5 ベンチマーク

高効率・低消費電力な情報転送の点から有効なサーバへの本格的な高速光スイッチの導入はまだ実現されていないので新たな取り組みである。その際、シリコンマッハ・ツェンダ型光スイッチにおいて約 600ps の高速応答を実現しており、また偏光無依存動作について単独素子としての実現はこれまでに無い。低消費電力化に向けて作製技術依存性が高く、国内ファンドリの立ち上げを期待したい。光ラベル判定のための高速光信号処理デバイスは従来に報告がほとんど無く、次世代テーマとして光論理ゲートへの展開を図りたい。ハイブリッド集積は大気中での作製技術はほとんど見られず、低コストな作製方法として極めて有効と考えている。これら光スイッチ、光論理ゲート素子などを大気中ハイブリッド集積技術によりシリコン導波路プラットフォームに集積化することにより高機能光電子集積サーバへの展開を進める。



図III-2.1.3.5-1 (a)偏光無依存マッハ・ツェンダ型シリコン光スイッチと(b)高速スイッチング動作

図III-2.1.3.5-2 (a)1550nm 帯 QD-SOS と二重リングフィルタ集積デバイス、(b)レーザ発振特性及び(c)QW における光論理動作スペクトル

2.2 光エレクトロニクス実装システム化技術の開発

2.2.1 システム化技術の全体像

システム化技術では、前項①「光エレクトロニクス実装基盤技術の開発」で開発した要素技術を、図Ⅲ-2.2.1-1に示す実際の情報通信機器に適用するための技術開発を行う。開発にあたっては、適用分野毎に下記に分類して研究開発を推進する。

(a) サーバボードのシステム化技術

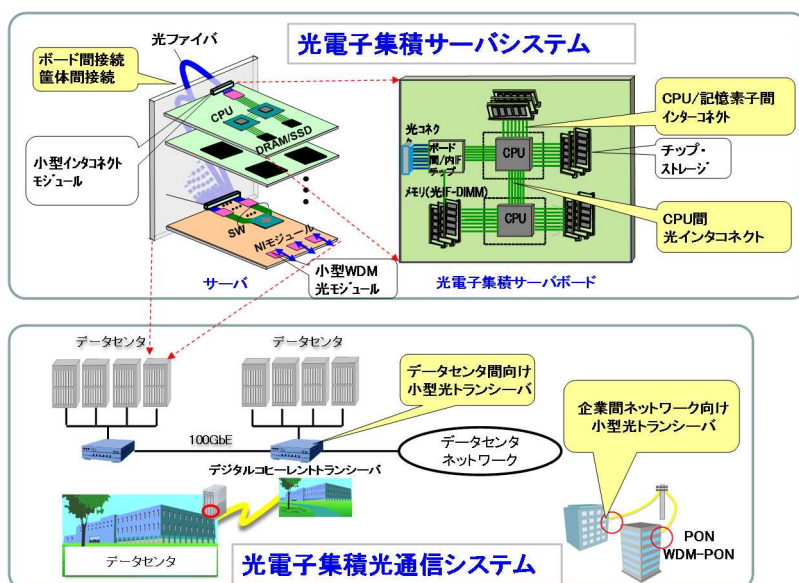
(a-1) CPU間光インターコネクタ設計・試作（分室1、分室2）

(a-2) CPU/記憶素子間の光インターコネクタ設計・試作（分室3）

(b) ボード間接続機器、筐体間接続機器のシステム化技術（つくば集中研）

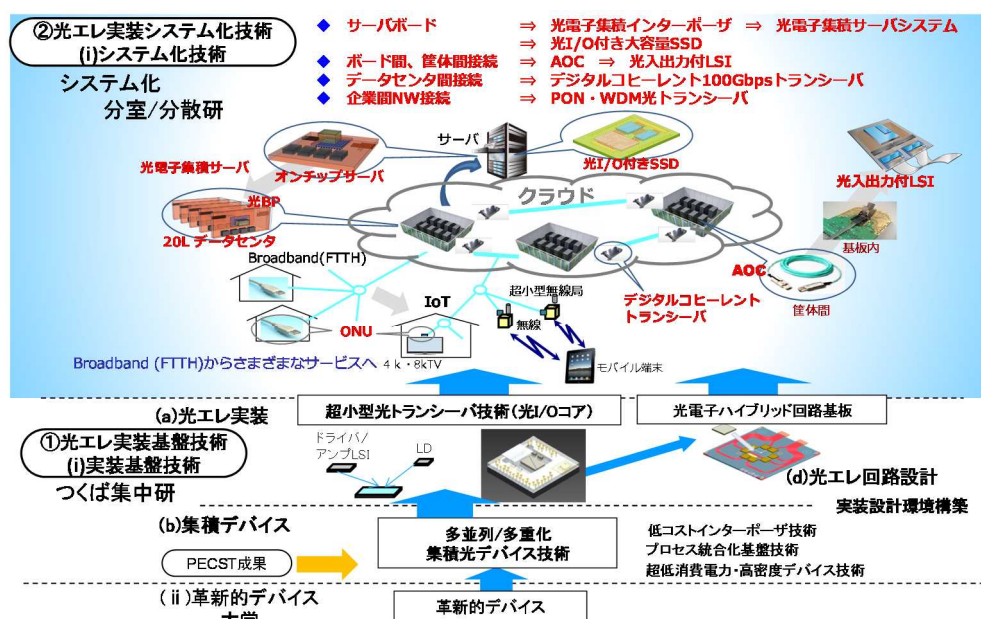
(c) データセンター間接続機器のシステム化技術（分散研）

(d) 企業間ネットワーク接続機器のシステム化技術（分室4）



図Ⅲ-2.2.1-1 システム化技術

システム化技術の全体像（研究開発体制）を図Ⅲ-2.2.1-2に示す。



図Ⅲ-2.2.1-2 システム化技術の全体像（研究開発体制）

2.2.1.1 中間目標と成果

研究開発の進捗状況をまとめたものを表Ⅲ-2.2.1-1, 2, 3 に示す。

表Ⅲ-2.2.1-1 光エレクトロニクス実装システム化技術の進捗状況 1

②光エレクトロニクス実装システム化技術の開発

2-1 光電子集積サーバスステム

テーマ	H29年度末中間目標	主な成果状況	達成度
2-1-1 ボード間接続機器、筐体間接続	LSIと光トランシーバ(集積光I/Oコア)の接続構造を決定し、FPGAまたはそれに類するLSIを搭載する基板を設計・試作し、光ケーブルを用いたLSI搭載基板間光接続を実現。	<ul style="list-style-type: none"> 集積光I/Oコアを使用したAOCの回路構成を決定すると共に、集積光I/Oコアを基板に取り外し可能としたソケット光モジュールを試作。 開発したソケット光モジュールとLSI(FPGA)を搭載した基板の試作を開始し、LSI搭載基板間光接続を実証。 	○
2-1-2 サーバボードのシステム化技術	<p>伝送スペックを満足する光インターコネクト技術を選定、あるいは組合せることで、光電子集積サーバボードにおける伝送機能の主要部分からなる送受信部を試作し、要求スペックを満足する光伝送を実証。</p> <p>光電子集積インターポーザに積層型のストレージチップを実装した光インターフェース付SSD技術を確立。</p>	<ul style="list-style-type: none"> LSI(FPGA)と集積光I/Oコアを搭載したボードを試作し、FPGA間を最大1.2Tbps(25Gbps×24ch)で接続し、広帯域、高密度、低電力を実証、また実アプリケーションを動作しFPGA間を広帯域で接続する優位性を実証。 ハイエンドサーバCPU間光接続用に、大規模LSIと小型集積光トランシーバを同一のパッケージ基板上に搭載する光I/O付LSI向けの光I/Oを試作し、800Gbps(=25Gbps×16ch 送受)を1cm²に収容する高密度光I/Oと、そのCPU基板上への搭載技術を実証。 標準ストレージインターフェースに適合する二重閾値AGC型光素子駆動ICを試作検証し、光I/Oモジュールに組込んで光接続SSDのシステム動作と5mW/Gbps以下の低電力性を年度内達成見込み。 ストレージ向け低コスト光I/Oモジュールとして、低コストシリコンインターポーザ技術(化合物/Si)適用による裏面光I/O型FO-WLP光モジュールの加工プロセスを確立し、光I/O性能を検証。 	◎

達成度：◎大幅達成、○達成(年度内達成見込みも含む)、△達成遅れ、×未達

表Ⅲ-2.2.1-2 光エレクトロニクス実装システム化技術の進捗状況 2

②光エレクトロニクス実装システム化技術の開発

2-2 光電子集積光通信システム

テーマ	H29年度末中間目標	主な成果状況	達成度
2-2-1 データセンタ間接続機器のシステム化技術	<p>(H28年度末最終目標)</p> <ol style="list-style-type: none"> 要素技術のインテグレーションを行い、低電力DSP-LSIを設計・試作・評価を実施。 光送信デバイス・光受信デバイスの設計・試作・評価を実施。 試作したDSP-LSI、光送信デバイス・光受信デバイスを搭載した100GbpsCFPトランシーバを試作し、伝送特性を評価。 超低電力DSP-LSIの詳細設計を実施。 超小型集積化光デバイスを実装するパッケージ、これを搭載するCFP4級コヒーレントトランシーバのモックアップの試作・評価をそれぞれ実施。 	<ol style="list-style-type: none"> 低電力DSP-LSIを試作し、従来比1/2となる20Wの電力性能を確認。 従来比で容積1/2以下となる集積光送受信デバイス、従来比で容積1/3以下となる光受信器モジュールを試作し、仕様を満足する良好な特性を確認。 ブラガブルCFP-DCO、CFP2-ACOタイプの100 Gbpsデジタルコヒーレントトランシーバを試作し、従来比で1/2以下の小型化と従来比1/3の約30Wの低消費化を実現。 10W前半の超低電力DSP-LSIを詳細設計。 超小型集積化光デバイスを実装するパッケージの試作・評価を行い、CFP4級トランシーバのモックアップ試作により、その実装特性を確認し本技術を確立。H28年度最終目標を100%達成し、開発したDSP-LSI、集積化光送受信デバイスは事業化済み。 	◎
2-2-2 企業間ネットワーク接続機器のシステム化技術	シリコン光導波路をベースとする双方向多重用合分波器と4波多重用合分波器を組み合わせて集積試作することにより10Gbps×4波×上り/下りの一芯双方向多重動作をシリコンワンチップ上で実証し、企業間ネットワークに適用するための波長多重(WDM)合分波器実用化のための要求課題を抽出し、解決の目処を得。	<ul style="list-style-type: none"> 独自構成のWDMフィルタにより、双方向波長合分波器の高アイソレーション40dBを実現。 TWDM-PON用100GHz間隔AWGの低挿入損失1.2dBを実現。 横型PIN構造の導波路型GePDで、素子の長尺化により1600nm以上の長波長帯におけるフラットな受光感度特性を実現しつつ、遮断周波数17GHzの高速応答を得。 新規スポットサイズコンバータとモジュール光結合構造の最適化により、低損失の光ファイバ結合を実現。 10Gbps×4波×上り/下りの一芯双方向多重動作をシリコンワンチップ上で実証。 	○

達成度：◎大幅達成、○達成(年度内達成見込みも含む)、△達成遅れ、×未達

表Ⅲ-2.2.1-3 光エレクトロニクス実装システム化技術の進捗状況 3

②光エレクトロニクス実装システム化技術の開発
2-3 国際標準化

テーマ	H29年末中間目標	主な成果状況	達成度
2-3 国際標準化	<p>光インターコネクに関する標準化団体(OIF (Optical Internetworking Forum)、IEEE802. 3 (Next gen 100G Optical Ethernet Study Group))に参画し、「キーメンバーコミュニティ」におけるプレゼンスを確立。</p> <p>100Gbpsデジタルコヒーレント光トランシーバに関する標準化を推進。</p> <p>本プロジェクトの成果である光実装部品における各種インターフェース等の標準化提案活動を行い、実用化する開発成果の事業化に必要な標準の提案。</p>	<ul style="list-style-type: none"> ・OIFにおいて、小型光トランシーバ等に搭載する光部品の標準化活動を行うとともに、LSI搭載インターポーザをサポートするインターフェース標準化のための戦略検討に着手。合わせて、IEEE、ITU-T等の関連標準化動向の情報収集を行うと共に、IECにおける光接続部品のデジュール標準化提案。 ・CFP4級デジタルコヒーレントトランシーバに搭載する超小型光送受信デバイスなどの標準化を推進。53件の寄書提案し、標準化議論をリード。 	○

③成果普及

テーマ	全体計画	主な活動状況	達成度
成果普及	<p>成果普及等のためのプログラムを実施し、光エレクトロニクス分野におけるイノベーション創出に向けた周辺研究、人材育成、ビジョン形成等の活動を推進。</p>	<ul style="list-style-type: none"> ・東京大学ナノ量子情報エレクトロニクス研究機構において、大学院生を対象とした光エレクトロニクス分野に関わる教育カリキュラム、学内外の学生や社会人を対象としたフォトニクス・イノベーションセミナーやビジョンワークショップを継続。 ・本研究開発の成果の普及に向けた調査・基礎研究を継続。 	○

達成度：◎大幅達成、○達成(年度内達成見込みも含む)、△達成遅れ、×未達

2.2.2 (i) システム化技術

2.2.2.1 (a) サーバボードのシステム化技術

2.2.2.1.(a-1) 中間目標

(a-1) CPU 間光インターコネクタ設計・試作 (分室 1、分室 2)

平成 26 年度中間目標：CPU 間光インターコネクタに要求される伝送スペック (変調速度、多重度、チャンネル数など) の基本事項を盛り込んだ 10Tbps 以上の高バンド幅で 25Gbps の高速変調速度を持つ光電子集積パッケージの回路実装冷却設計を実施する。

平成 29 年度中間目標：伝送スペックを満足する光インターコネクタ技術を選定、あるいは組み合わせることで、光電子集積サーバボードにおける伝送機能の主要部分からなる送受信部を試作し、スペックを満足する光伝送を実証する。

(a-2) CPU/記憶素子間の光インターコネクタ設計・試作 (分室 3)

平成 26 年度中間目標：光電子集積インターポーザと積層型ストレージチップ実装基板によるハイブリッド型の光 I/O 付き SSD (評価用モジュール) を試作し、標準ストレージインターフェースによる光接続ストレージ動作を検証する。

平成 29 年度中間目標：光電子集積インターポーザに積層型のストレージチップを実装した光 I/O 付 SSD の実現技術を確認する。

2.2.2.1.2 スケジュール

(a-1)(分室 1) スケジュール

表Ⅲ-2.2.2.1-1 に平成 26 年度以降に開発した FPGA+光ボードのスケジュールを示す。平成 26、27 年度は、LSI (FPGA) と集積光 I/O コアを同一のパッケージに搭載した 1 次評価ボード (FPGA-Simple) を試作し、25Gbps 信号を 300m の光ファイバで接続しエラーフリー伝送を実証した。また、2 次評価ボード (FPGA-Mid) を試作し、集積光 I/O コアを有効活用するアーキテクチャを検討した。

平成 28 年度は光インターコネクションを有効活用するシステムに必要な機能及びアーキテクチャの有効性を実証した。また、ハイエンドサーバにおける CPU 間の光インターコネクションとして 1.2Tbps の帯域を目標とした光デバイスの構成および実装構造を検討し 3 次評価ボード (FPGA-Mid2) の試作を開始した。

平成 29 年度は、システム化に必要な機能及びアーキテクチャを有するサーバの試作 (FPGA-Mid3)、評価を行ない、主要送受信部を光化することで光エレクトロニクスが融合した光電子集積サーバボードのシステム化を実証する。

表Ⅲ-2.2.2.1-1 FPGA+光ボード開発スケジュール

項目	H26 2014	H27 2015	H28 2016	H29 2017
FPGA-Simple	FPGA+光基本動作 25Gx1ch			
FPGA-Mid		実アプリ動作 メモリ搭載		
FPGA-Mid2			FPGA間大容量 1.2Tbps	
FPGA-Mid3				大容量 +実アプリ

(a-1) (分室 2) スケジュール

第一期（平成 24~26 年度）は、光インターコネクトを CPU 間接続に適用するための技術課題の抽出、および基本要件を検討し、基本要件を満たす光デバイス構成や実装構造を有するシリコンフォトニクス光送受信器の原理実証機を設計・試作し、25Gbps 動作を実証、5mW/Gbps の低消費電力を達成した。

第 2 期（平成 27~29）年度は、実用化に向け、高密度実装技術、波長多重化技術を搭載した光 I/O コアを設計、試作し、1cm 角で 25Gbps x 16ch(400Gbps)の大容量光 I/O コア、波長多重による 1 レーン 100Gbps の大容量伝送を実証する。

(a-2) CPU/記憶素子間の光インターコネクト設計・試作（分室 3）

平成 24 年度は、光 I/O 付き SSD（Solid State Drive）実現に向けた仕様検討と要素試作を行った。平成 25 年度は、標準ストレージインターフェース規格対応光素子駆動 IC の初期試作を行った。平成 26 年度は、ハイブリッド型光 I/O 付き SSD モジュールの試作とシステム機能確認を行った。平成 27 年度は、光素子駆動 IC の特性安定化検討と低コスト光 I/O モジュールの設計を行った。平成 28 年度は、光素子駆動 IC の低電力化検討と低コスト光 I/O モジュールの要素試作を行った。平成 29 年度は、高速低消費電力光素子駆動 IC と低コスト光 I/O モジュールの試作検証を行う。

2.2.2.1.3 アプローチ、特長技術

(a-1) (分室 1)

光電子集積パッケージとして LSI（FPGA）と集積光 I/O コアを同一のパッケージ上に実装し、かつ LSI（FPGA）の直近に集積光 I/O コアを配置することで、高速電気信号の配線長を短縮することが可能となり、伝送損失を補償する回路を必要とせず、インターフェース部の消費電力を低減できる。光電子集積パッケージを搭載する光電子集積サーバボードを試作することで光伝送の有効性を実証する。

(a-1) (分室 2)

本プロジェクトでは、所望の総バンド幅を得るために、電気信号品質を維持できる電気配線長を実現可能な実装形態、すなわち CPU パッケージ(PKG)基板上に光 I/O を高密度実装する技術を開発することを目標に据える。本 CPU パッケージ基板上の光 I/O 実装技術は、従来のボード上実装よりも数倍高密度化することが特長である。

(a-2) (分室 3)

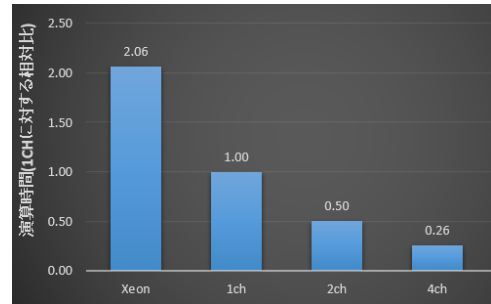
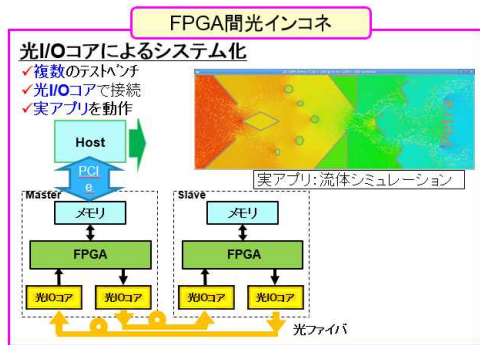
システムユーザが光配線を意識することなく扱うことができ、システム実装やメンテナンスをこれまでと同様に行うことが可能となる技術的親和性を確保するアプローチとしていく。このため、標準ストレージインターフェース規格のまま光接続が可能になる技術の開発に取り組み、光配線化の加速のため光 I/O モジュールの低コスト化技術にも取り組んでいく。標準ストレージインターフェースとして、市場普及状況、ライン速度の高い SATA、SAS をモチーフとし、これらの規格に独特なリンク確立信号を光化する技術を確立する。また、最大障壁の光 I/O コスト低減に向け、樹脂材料を用いた量産型ウェーハレベルパッケージによる光 I/O モジュールを開発する。

2.2.2.1.4 成果

(a-1) (分室 1)

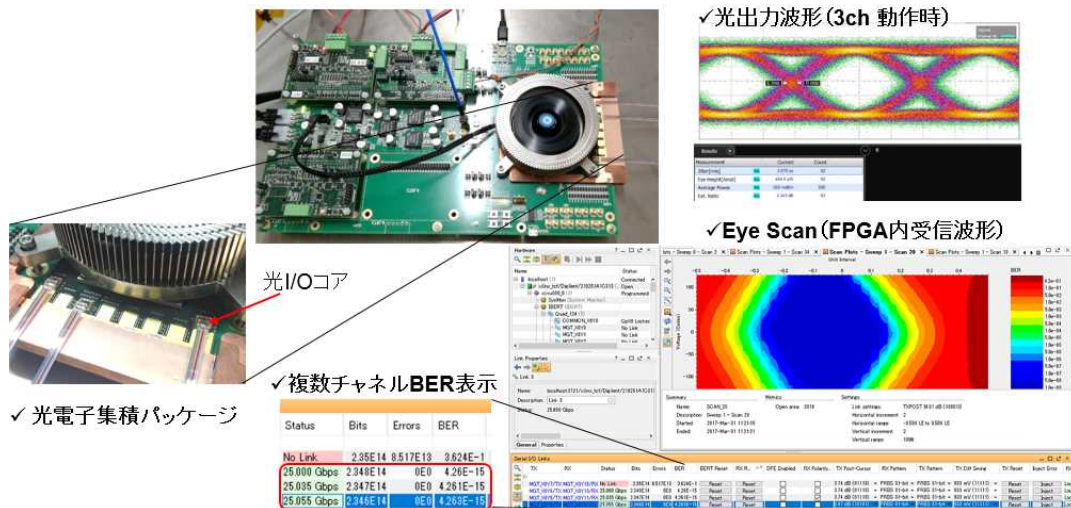
平成 26 年度は光電子集積パッケージ(集積光 I/O コアと FPGA を同一パッケージに搭載)を用いた 1 次評価ボード (FPGA-Simple) を試作し、波形成型回路である CDR (Clock Data Recovery) 等を入れずに Back to Back 接続および 300m 光ファイバ接続でエラーフリー (BER: 1e-12 以下) 動作を確認した。

平成 27 年度は、図 III-2.2.2.1-1 に示す光電子集積パッケージを搭載する 2 次評価用ボード (FPGA-Mid) を試作し、集積光 I/O コアを有効活用するアーキテクチャを検討した。FPGA 間の帯域 (ch 数) を増やすことで演算時間は帯域に反比例して短くなることを確認した。すなわち FPGA 間を集積光 I/O コアにより広帯域に接続することで、FPGA 間ネットワークの伝送帯域のボトルネックが解消され演算器の性能が発揮されることが分かる。



図Ⅲ-2.2.2.1-1 光電子集積パッケージと試作基板 (FPGA-Mid)

平成 28 年度は、図Ⅲ-2.2.2.1-2 に示すパッケージ上に 24ch 搭載可能な多 ch 光電子集積パッケージ(最大帯域 1.2Tbps) 搭載ボード (FPGA-Mid2) を試作した。FPGA-Simple 同様に外付け CDR 無しで複数 ch 同時動作での 25Gbps@300m 伝送でエラーフリーを実証した。



図Ⅲ-2.2.2.1-2 多 ch 光電子集積パッケージ(最大帯域 1.2Tbps)搭載ボード(FPGA-Mid2)

平成 29 年度は、集積光 I/O コアの高集積化とシステム化に必要なアーキテクチャの有効性を実証することを目的とするサーバボード(FPGA-Mid3)を試作する。本ボードは前年度までに試作した FPGA-Mid 及び FPGA-Mid2 の集大成であり、最大帯域 2.4Tbps を有し光エレクトロニクスが融合した光電子集積サーバボードのシステム化の有効性を実証する。

(a-1) (分室 2)

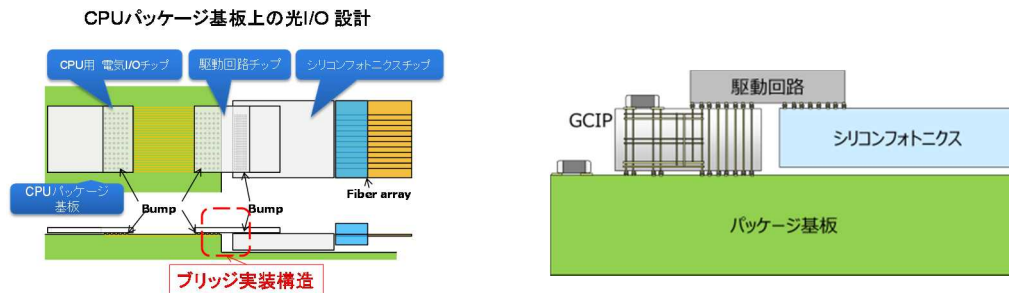
(1) CPU 間光インターコネクットの基本要件

CPU 間光インターコネクットの基本要件を以下のとおり策定した。

- ・ 総伝送帯域： 数 Tbps (CPU チップ 1 辺あたり)
- ・ 伝送レート： 25 Gbps
- ・ CPU-光 I/O 間距離： 40 mm 以下
- ・ 伝送密度： 40~80 Gbps/mm

(2) 光 I/O の基本構造

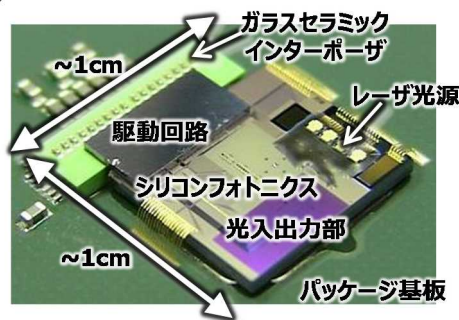
CPU-I/O の総バンド幅が増えるにつれ、電気信号品質や電源品質を維持するため、電気配線長は、極力短い方が望ましい。そこで、図Ⅲ-2.2.2.1-3 に示すように、CPU からシリコンフォトニクスチップに至るまでの電気配線長が最短で結べるようなチップ配置を考案した。



図III-2.2.2.1-3 光 I/O の基本設計 (左): ブリッジ構造、(右): 改良ブリッジ構造

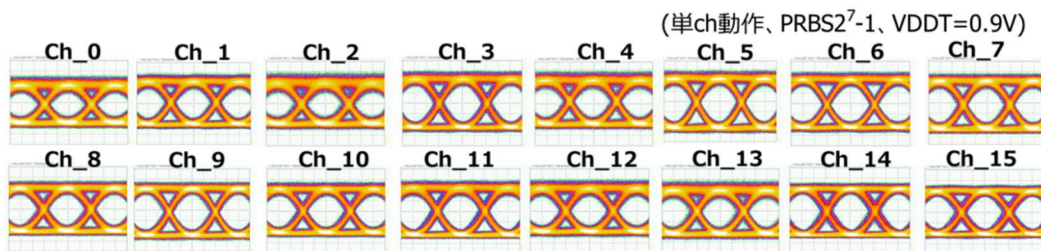
(3) 高密度光 I/O 試作と評価

前節の基本構造に基づき、高密度の電源・信号設計を行って、25Gbps x 16ch(=400Gbps)の光 I/O の試作を行った。試作した光 I/O を図III-2.2.2.1-4 に示す。光 I/O は改良ブリッジ実装構造となっており、サイズは約 10mm x 11mm である。

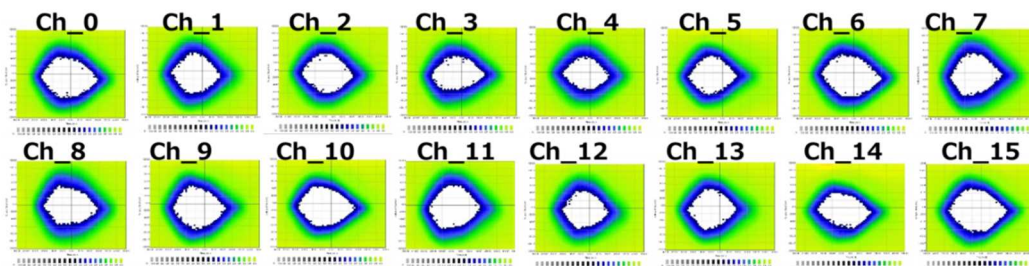


図III-2.2.2.1-4 400Gbps 光 I/O コア評価基板概要

試作した光 I/O 評価基板の評価を実施した。送信器の全 16ch のアイ波形を図III-2.2.2.1-5 に示す。PRBS 2⁷-1 でのエラーフリー動作が得られている。受信器の全 16ch のビット誤り率のアイ等高線図を図III-2.2.2.1-6 に示す。全 ch で PRBS 2³¹-1 でのエラーフリー動作が得られている。また、本 400Gbps 光 I/O の動作電力は送受信合わせて 5.5mW/Gbps であることが示された。また、送信器内、受信器内の同時動作時のクロストークペナルティが 1.7dB、1.4dB と低く抑えられており、優れた電源品質による同時スイッチングノイズの抑制の効果であると考えられる。これらの結果より、本 400G 光 I/O が CPU パッケージ上に搭載する高密度実装技術として有効であることが示された。



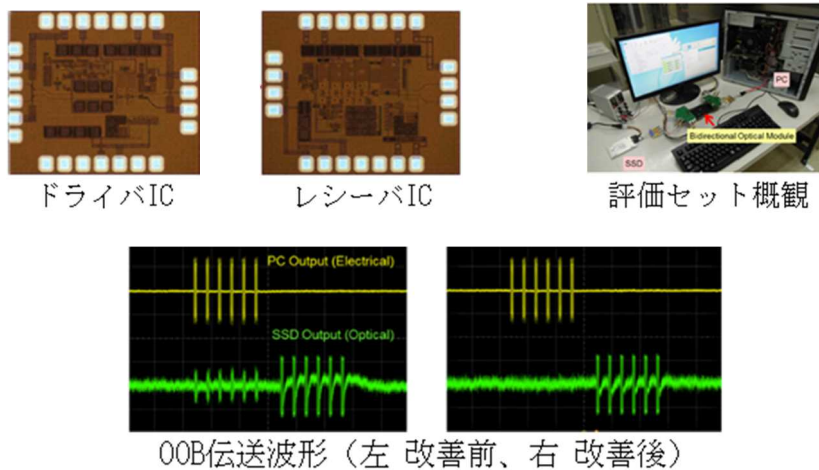
図III-2.2.2.1-5 400Gbps 光 I/O コア送信器アイ波形



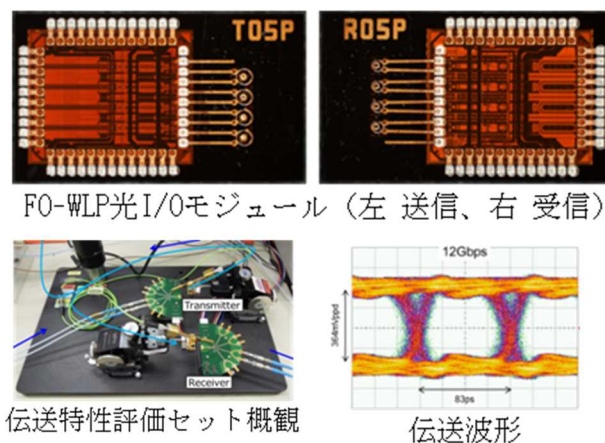
図III-2.2.2.1-6 400Gbps 光 I/O コア受信器 16ch 同時動作時の BER 等高線図

(a-2) (分室 3)

平成 24 年度は、光 I/O 付き高速低消費電力 SSD の実現に向け、標準ストレージインターフェース規格に適合する低コスト標準 CMOS (Complementary Metal Oxide Semiconductor) による光素子駆動回路の仕様検討を行った。平成 25 年度は、標準ストレージインターフェース規格対応光素子駆動 IC の初期試作と SATA 規格の OOB (Out of Band) 信号 (一般的光リンクで伝送不能) と高速 NRZ (Non Return to Zero) 信号の伝送を両立する機能の確認を行った。平成 26 年度は、標準ストレージインターフェース規格対応光素子駆動 IC による光 I/O モジュールを試作し、SSD と組み合わせたハイブリッド型光 I/O 付き SSD のシステム機能確認を行った。平成 27 年度は、標準ストレージインターフェース規格対応光素子駆動 IC の標準 CMOS 特有の特性変動を抑制する回路を検討し、また、ストレージ向けの低コスト光 I/O モジュールを設計検討した。光素子駆動 IC は、ウェーハ面内の特性分布を大幅抑制することに成功した。平成 28 年度は、標準ストレージインターフェース規格対応光素子駆動 IC の高速化と電力削減化を設計検討し、また、ストレージ向け低コスト光 I/O モジュールの要素検証試作を行った。光素子駆動 IC は、SAS 規格に対応可能な高速化と 5mW/Gbps 以下の低消費電力化の見通しを得た。低コスト光 I/O モジュールは、樹脂モールドによる低コスト量産型集積技術として FO-WLP (Fan-Out Wafer Level Package) を検討し、ボード実装面と逆の樹脂モールド面に光 I/O 部を有する構造の加工プロセスを試作評価した。



図III-2.2.2.1-7 標準ストレージインターフェース規格互換光 I/O の動作検証結果



図III-2.2.2.1-8 FO-WLP 型低コスト光 I/O モジュールの試作結果

2.2.2.1.5 ベンチマーク

(a-1) (分室 1)

近年、高速の伝送速度を有する FPGA ボードが開発されつつある。PETRA で試作する FPGA-Mid3 ボードと市販 FPGA ボードの光伝送帯域、光モジュール消費電力、いずれも他社よりも優れている。

表Ⅲ-2.2.2.1-2 FPGA+光モジュールのボード比較

	PETRA FPGAボード	N社FPGAボード	P社FPGAボード
FPGA	ALTERA Stratix10	ALTERA Stratix10	Xilinx Virtex UltraScale+
光トランシーバ(XCV)	集積光I/Oコア TX/RX 12ch x 4	QSFP28 x 4	SAMTEC Firefly x 4
光伝送帯域	○48ch @25Gbps = 1.2Tbps	16ch @28Gbps = 448Gbps	16ch @14Gbps = 224Gbps
基板サイズ	190 x 250mm	111 x 266.7 mm	120 x 257mm
XCV消費電力	4x2.7W	4x2.0W	4x2.0W
光伝送帯域当たりの消費電力	○9.0W/Tbps	18.0W/Tbps	34.5W/Tbps

(a-1) (分室 2)

今回の試作した400G光I/Oを他機関のものと比較した。他の機関と比較して、今回の光I/Oは400Gbpsという総帯域をシリコンフォトニクスと駆動回路を集積実装した光トランシーバエンジンの形態で初めて示したものであり、かつ、帯域密度としても他機関の2倍以上高密度である。今回の光I/Oをパッケージに搭載することで、パッケージ1辺60mm幅に5台の光I/Oを搭載して2Tbpsの伝送帯域を得ることができる。これは総帯域としてCPUに対し1辺2Tbps、スイッチに対しては4辺8Tbpsに相当し、それぞれ2020年の水準に達する。今後はさらに高密度化を行うため、PAM4やWDMなどの多値・多重化技術を光I/Oに取り入れること、さらに高密度実装技術として光電子集積インターポーザを開発することで、2025年に必要な10Tbpsの帯域を目指す。

(a-2) (分室 3)

ストレージ向け光I/Oは、Siフォトニクスと駆動IC以外に受動部品、SoC (System on Chip) 等、大規模エレクトロニクスの集積が必要であり、配線品質、熱特性、サイズ等を満たしながらコストを抑制するには有機基板パッケージより本研究のFO-WLPが圧倒的に有利となる。

2.2.2.2 (b) ボード間接続機器、筐体間接続機器のシステム化技術

2.2.2.2.1 中間目標

平成26年度中間目標：光トランシーバ（集積光I/Oコア）を基板上に搭載し、電気コネクタ、光コネクタと結合してAOCを完成させ、筐体間での100Gbps-400Gbps伝送の実用性実証を行う。光コネクタでは100芯一括接続構造を中心に48芯、24芯や12芯等に適合可能な光コネクタ構造を決定する。光トランシーバ（集積光I/Oコア）とロジックLSI間の電気伝送に関し、標準化動向を考慮しながらインターフェース仕様を決定する。

平成29年度中間目標：開発した実装要素技術を用いて試作を繰り返し、LSIと光トランシーバ（集積光I/Oコア）の接続構造を決定する。また、策定した設計基準に基づきFPGAまたはそれに類するLSIを搭載する基板を設計・試作し、光ケーブルを用いたLSI搭載基板間光接続を実現する。

2.2.2.2.2 スケジュール

平成24年度より集積光トランシーバ（I/Oコア）を用いたAOC（Active Optical Cable）を実現する実装構造（基板・冷却・光ファイバ接続構造）を検討し、平成26年度にAOCを試作した。平成27年度は、AOCの一つである4chTx+4chRxモジュール（QSFP）の標準仕様に従い集積光I/Oコアを搭載しQSFPに必要なCDR（Clock Data Recovery）を含む回路を評価用ボードに組み込んで性能、機能評価を行い、25Gbpsの信号を300mの光ファイバを介して伝送しエラーフリーを実証した。平成28年度は、集積光トランシーバ（集積光I/Oコア）を搭載した光モジュールを用いてボード間および筐体間接続を模した評価システムの仕様を検討すると共に、実用化に向けた性能、機能の検討を継続した。

平成 29 年度は、集積光トランシーバを搭載したボード間およびシステム筐体間に接続して性能、機能および信頼性の実証を行うことで、光ケーブルを用いた LSI 搭載基板間光接続を実現する。

2.2.2.2.3 アプローチ、特長技術

AOC の入出力電気 I/F 仕様は標準規格で決められている一方で、AOC 内部の規定はなく、AOC 内部の減衰を小さくすることが低消費電力と伝送特性改善につながる。ここでは AOC 内部の減衰改善を目的に、AOC フォームファクタの小型化、基板小型化による配線長短縮、集積光 I/O コアと AOC 基板間の接続構造を検討する。

また集積光 I/O コア上の主な発熱源は、ドライバ (Drv) とレーザダイオード (LD) であり、放熱特性の優れたシェル (保護を兼ねたカバーとそれに適した内部放熱機構) を開発する必要がある。放熱特性の優れたシェルを開発するため、他社 AOC の熱分析を行い、シェル開発における課題を抽出し、本開発へ向けたフィードバック検討を行った。

2.2.2.2.4 成果

集積光 I/O コアを QSFP のフォームファクタに準拠した構造に収まる光接続部品を開発した。光接続部品は、ポリマー光導波路を用いた構造で、ミラーによる光路変換を実施し、低背化を実現し、集積光 I/O コアの光ピン ch 間距離 $125\mu\text{m}$ にも対応可能である。また集積光 I/O コアの光入出力が $250\mu\text{m}$ ピッチになる場合 (4chTx/Rx や 8chTRx) に光伝送特性を向上させた、レンズ付コネクタも開発した。

集積光 I/O コア内の発熱源は、ドライバとレーザダイオードであり、この熱を効率よく除去するため、高性能冷却機構を開発した。集積光 I/O コアと基板をカバーする構造として金属シェルを開発した。更に集積光 I/O コアを挟み込むコンパクト放熱スプレッダを開発した。試作 QSFP を評価ボードに載せ温度評価を行い、所望の冷却性能が出ることを確認した。

CDR 回路を除くすべての機能、給電回路、制御用マイコン、LD ドライバ回路を QSFP 基板 (サイズ: $70.6\text{mm}\times 16.4\text{mm}$) 上に搭載し QSFP フォームファクタのシェルに合わせた QSFP (図 III-2.2.2.2-1) を試作した。

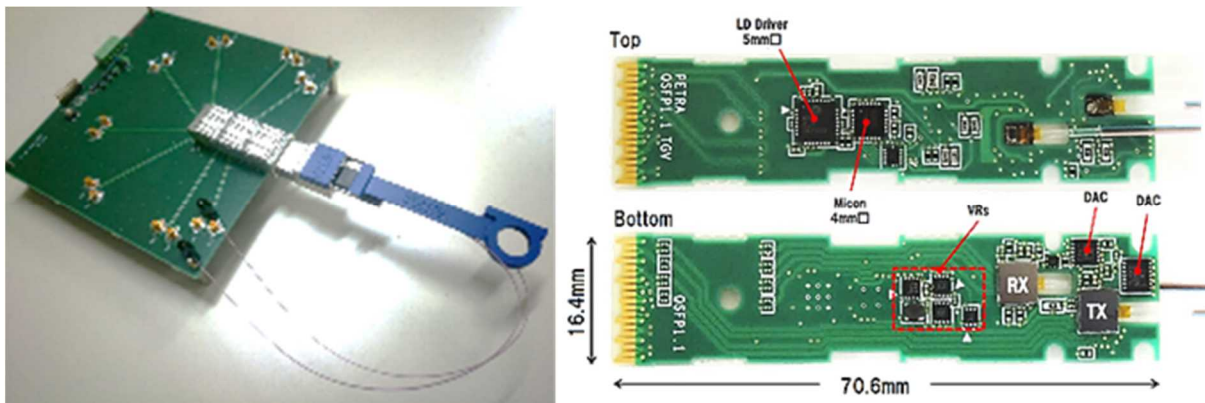
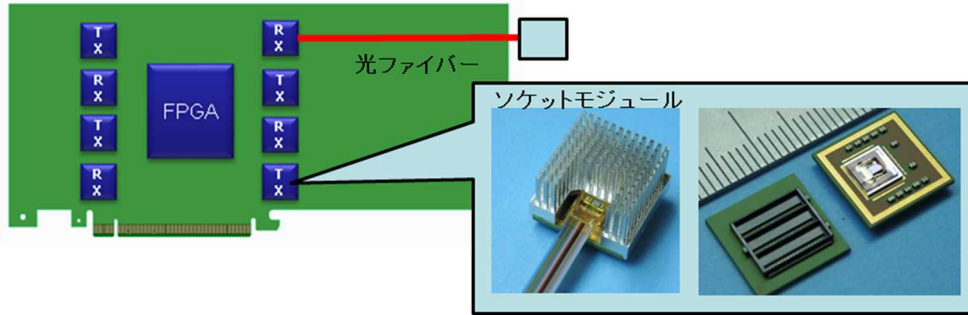


図 III-2.2.2.2-1 試作 QSFP

続いて QSFP 規格に合わせ CDR 機能を搭載するため、市販の CDR チップと集積光 I/O コアを接続した評価基板を試作し、伝送性能評価を実施した。TX チップと RX チップが搭載された評価基板を対向接続し、CDR 無の場合と CDR 有の電気出力波形を比較し、CDR 有の方が波形が改善されることを確認した。

さらに AOC とは別に集積光 I/O コアを基板上で脱着接続可能で且つ LSI 近傍に実装可能な EOM (Embedded Optical Module) としてソケット光モジュールを試作した。モジュール基板サイズは、 $12\text{mm}\times 12\text{mm}$ 、ソケットは、80 ピン (20×4 列、 0.4mm ピッチ) として市販の EOM ($20\text{mm}\sim 25\text{mm}$ 程度) より小型化を目指した。平成 29 年度は LSI 搭載基板間光接続を実証するため LSI (FPGA) とソケット光モジュールを同一基板に搭載した評価基板の試作を開始した。複数基板間を光インターフェースで接続することで光インターフェースの有効性を実証する。



図Ⅲ-2.2.2.2-2 ソケット光モジュールと LSI 搭載基板

2.2.2.2.5 ベンチマーク

PETRA で試作した EOM と市販 EOM の ch 当たりの伝送速度、ch 当たりの面積、ch 当たりの消費電力等を比較した表を表Ⅲ-2.2.2.2-1 に示す。ch 当たりの周波数が 14Gbps と低いものもあるが、PETRA 試作品は消費電力、伝送距離の面では競合他社と比較し優れている。また ch 当たりの実装面積は FO 社には劣るものの、他の 2 社には勝っており小型・高密度化の点でも同等以上である。

表Ⅲ-2.2.2.2-1 EOM 比較

メーカー	PETRA	S社	FI社	FO社
Ch速度	○ 25Gbps/ch	× 14Gbps/ch	○ 28Gbps/ch	× 14Gbps/ch
Ch数	12chTx/Rx,4+4TRx	12chTx/Rx	12+12chTR	12chTx/Rx
外形サイズ 実装面積/ch	△ 12mmx12mm 12mm ² /ch	△ 10.8x16mm 14.4mm ² /ch	× 24mmx24mm 24mm ² /ch	○ 7.8mmx8.2mm 5.3mm ² /ch
消費電力(Tx+Rx)	○5mW/Gbps/ch+LD	× 22mW/Gbps/ch	× 16mW/Gbps/ch	× 22mW/Gbps/ch
伝送距離	○ 300m	× 100m@OM3	× 70m@OM4	× 150m@OM4
備考		28Gbps品開発中		

2.2.2.3 (c)データセンタ間接続機器のシステム化技術

平成 28 年度の技術確立を目指し、技術開発を行う。

2.2.2.3.1 中間目標

平成 26 年度中間目標：平成 24、25 年度で調査検討したトランシーバ化要素技術と、1 次試作の光デバイス及び DSP-LSI を搭載したトランシーバの 1 次試作を行う。送信側狭帯域化デジタル信号処理機能の動作検証、送信フロントエンド部の高周波実装、デバイス制御動作検証を行う。また、今後の改良・完成度向上に向けた指針・フィードバック事項を抽出する。

平成 28 年度最終目標：CFP4 級トランシーバの基本設計を実施し、モックアップの試作により実装特性を確認し、消費電力 30W 程度(トランシーバと DSP の合計電力)の CFP4 級コヒーレントトランシーバ技術を確立させる。

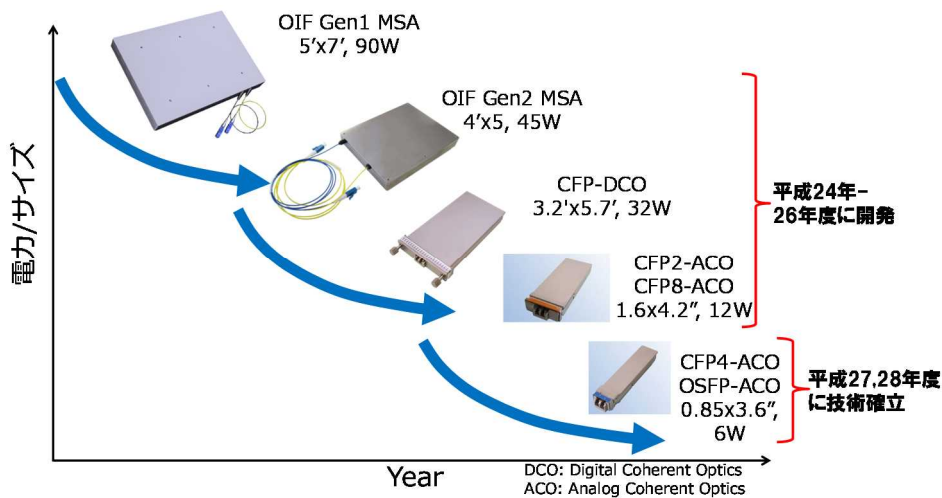
2.2.2.3.2 スケジュール

表Ⅲ-2.2.2.3-1 に データセンタ間接続機器のシステム化技術の開発スケジュールを示す。

表Ⅲ-2.2.2.3-1 開発スケジュール

小項目	H24('12)年度 8月～	H25('13)年度	H26('14)年度	H27('15)年度	H28('16)年度
デジタルコヒーレント トランシーバモジュール 化技術	高周波実装等の 要素技術検討	基本設計、予備試作 評価	トランシーバ試作、 評価 CFP4級トランシーバ 基本検討	CFP4級トランシーバ 基本設計	CFP4級トランシーバ 実装検討 モックアップ試作

図Ⅲ-2.2.2.3-1 にデジタルコヒーレントトランシーバの開発ロードマップを示す。データセンタ間接続用デジタルコヒーレントトランシーバは主に CFP と呼ぶクライアント側の規格に基づいて小型化が進められている。平成 26 年度には CFP-DCO、CFP2-ACO の開発を実施し、平成 28 年度までに CFP4 級トランシーバの技術確立を実施した。



図Ⅲ-2.2.2.3-1 デジタルコヒーレントトランシーバの開発ロードマップ

2.2.2.3.3 アプローチ、特長技術

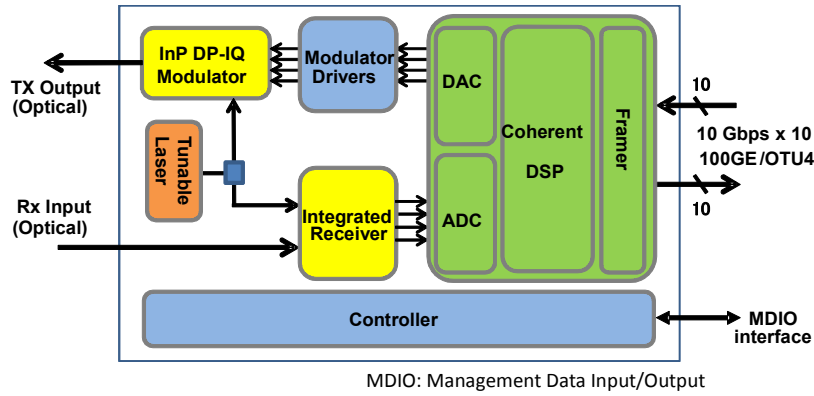
2.1.2.3(c)光エレクトロニクスインターフェース技術で研究開発を行った DSP-LSI、光送受信デバイスを用いて小型トランシーバを構成する。高速信号インターフェースについてはトランシーバ内配置検討結果をフィードバックし DSP-LSI の光送信側、光受信側、電気送受信側ピン配置を決定することで小型トランシーバを実現する。また、光デバイスについては、OIF に提案し業界標準化を行った半導体光変調器、光受信デバイスを用いることで CFP サイズでのデジタルコヒーレントトランシーバを実現可能とする。

2.2.2.3.4 成果

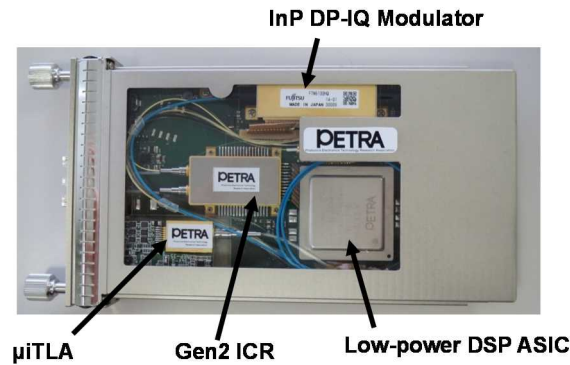
CFP トランシーバの構成を図Ⅲ-2.2.2.3-2 に、外観を図Ⅲ-2.2.2.3-3 にそれぞれ示す。トランシーバの消費電力は約 30W であり、当初目標値である 60W の 1/2 を実現した。DSP に搭載された誤り訂正機能 (G-FEC) を用いることにより 70km 伝送時には受信レベル-27dBm においてエラーフリー動作を確認した。

平成 26 年度後半からは、CFP-DCO の更に半分のサイズ(108mm x 42mm x 12mm)となる CFP2-ACO トランシーバの検討を行った。ACO とは Analog Coherent Optics の略称であり、最大の発熱源である DSP-LSI をトランシーバの外部の PCB 上に実装することで、発熱体を分散配置させて送受信部の高密度実装を実現しつつ、高価な光部品の部分をプラグブルトランシーバにすることで、帯域増加要求に合わせてトランシーバを段階的に増設可能とする構成を特長とする。 CFP2-ACO トランシーバの構成図と外観を図Ⅲ-2.2.2.3-4 に示す。 CFP2-ACO トランシーバと DSP-LSI は PCB 上の高周波配線を介して接続されており 25GHz 程度の帯域を有している。図Ⅲ-2.2.2.3-5 に CFP2-ACO と DSP-LSI 間を接続する PCB 配線例を示す。放熱特性を考慮して CFP2-ACO と DSP-LSI 間は数 cm 間離して配置しており、

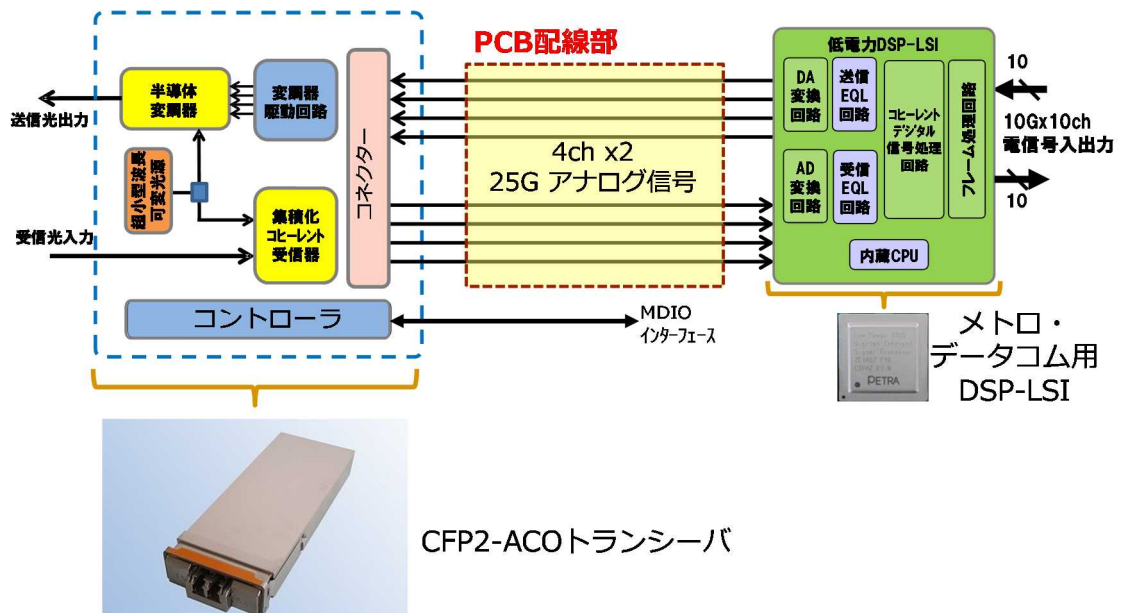
16GHz の信号減衰量は 5-7dB 程度が見込まれる。今回開発した DSP-LSI には信号スペクトルの狭帯化を行うためのイコライザ機能を有する FIR フィルタを実装している。この FIR フィルタを PCB 配線の周波数特性補正用のイコライザに適用することを検討した。送信側、受信側ともに 20GHz までほぼフラットな周波数特性を実現可能であり、伝送性能を示す Q 値が改善されることを実測で確認した。



図Ⅲ-2.2.2.3-2 デジタルコヒーレント CFP トランシーバ構成図



図Ⅲ-2.2.2.3-3 試作したデジタルコヒーレント CFP トランシーバの外観



図Ⅲ-2.2.2.3-4 CFP2-ACO トランシーバの構成と外観



図Ⅲ-2.2.2.3-5 CFP2-ACO と DSP-LSI 間を接続する PCB 配線例

平成 27 年度からは CFP-DCO の実装面積の 1/4(CFP2-ACO の 1/2)となる CFP4 級の ACO トランシーバの実現性の検討を実施した。CFP8 ならびに OSFP の 2 種類のトランシーバのモックアップ試作により、実装特性を確認し、CFP4 級トランシーバの基本技術の確立を行うことができた。

上述の研究開発結果により、小型低消費電力デジタルコヒーレントトランシーバを開発し、所期の特性が実現されていること、一層の小型化を目指した CFP4 級トランシーバの技術を確認させたことが示され、平成 26 年度中間目標、平成 28 年度最終目標をそれぞれ 100%達成した。

2.2.2.4 (d) 企業間ネットワーク接続機器のシステム化技術

2.2.2.4.1 中間目標

平成 26 年度中間目標：シリコン光導波路をベースとする波長合分波器を、光源、受光器と組み合わせ、1.25Gbps の一芯双方向光トランシーバを試作して、企業間ネットワークに適用するためのトランシーバに対する要求課題を抽出する。

平成 29 年度中間目標：シリコン光導波路をベースとする双方向多重用合分波器と 4 波多重用合分波器を組み合わせ、集積試作することにより 10Gbps×4 波×上り/下りの一芯双方向多重動作をシリコンワンチップ上で実証し、企業間ネットワークに適用するための WDM 合分波器実用化のための要求課題を抽出し、解決の目処を得る。

2.2.2.4.2 スケジュール

平成 24～26 年度は、アナログフロントエンド(AFE)回路の方式検討、アイソレータフリー光源としての利得結合型(GC-)DFB-LD の試作開発、量産を想定したパッケージ方式検討を行った。集積デバイス技術で開発した集積チップを用いて、一芯双方向プロトタイプ光トランシーバを試作し、GE-PON 規格を満足する送信特性を確認した。

平成 27 年度は、一芯双方向光トランシーバ用集積チップの特性改善と、低背型 CAN パッケージに一体実装した一芯双方向光トランシーバの結合光学系最適化を行った。さらに、WDM-PON に向けて、GC-DFB-LD の多波長化方針を定めるとともに、変調器用駆動回路の初期検討を行った。

平成 28 年度は、送受一体型モジュールの光損失低減のための構造最適化を行うとともに、TWDM-PON 用一芯双方向光トランシーバのためのモジュール基本構成の検討を進めた。

平成 29 年度は、一芯双方向光トランシーバの実用性能を検証する。TWDM-PON への適用に向けて、集積光プロトタイプチップとアナログフロントエンド回路を組み合わせた動作評価を行い、実用化のための課題を明らかにする。

2.2.2.4.3 アプローチ、特長技術

プロジェクトの H29 年度中間目標として、シリコン光導波路をベースとする波長合分波器を、光源、変調器、受光器と組み合わせ、TWDM-PON ONU 用の一芯双方向光トランシーバを開発する。TWDM-PON では、上り下り各 4 波長を多重して、1 波長あたり 10 Gbps で、トータル 40 Gbps の通信を行う。ONU 用トランシーバとしては、100GHz 間隔で四波長が規定されており、切替時間：10 μs～25 ms (クラス 2 の場合) で、指定の波長をレーザ発振させる。高速切替実現のため、レーザ構造は、チャンネル切替式として、4 波長の DFB-LD をアレイ状に配置し、シリコン導波路と結合させる構造とした。DFB-LD は反射戻り光の影響を受けるので、反射戻り光耐性を有する利得結合型 DFB-LD 構造とした。

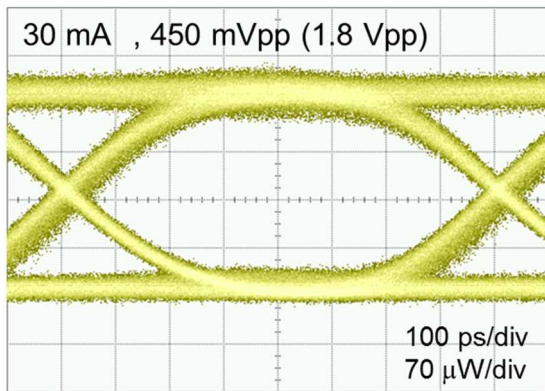
2.2.2.4.4 成果

企業間ネットワークに適用するための GE-PON 及び TWDM-PON 一芯双方向光トランシーバに向けて、要素技術であるアイソレータフリーDFB-LD と光学実装、パッケージ技術を開発した。

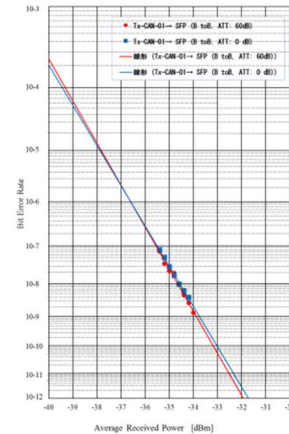
試作したアイソレータフリーDFB-LD を 1.244Gbps で直接変調し、IEEE 802.3(2008) に規定された消光比とマスクパターンをクリアしたアイパターンを確認すると共に、反射戻り光耐性でも GE-PON 規格を満足することを確認した。TWDM-PON 用には 4ch マルチストライプ LD チップ試作し、4ch のほぼ均等な光出力を確認した。

光学実装、パッケージ技術開発では、一芯双方向光送受信集積チップとアナログフロントエンド回路を低背型 CAN パッケージに一体実装した一芯双方向光トランシーバモジュールを試作して、GE-PON の規格を満たす良好な伝送特性を得た。新規スポットサイズコンバータの採用及び光結合構造の最適化により、低損失の光ファイバ結合を実現した。

試作したシリコンフォトニクスチップ(SiP)を用いて光モジュールの小型化・低消費電力化を実現させるために、GE-PON 用 SiP 用いて CAN 型のパッケージを採用し、モジュール試作して動特性を評価した。ICドライバの最適電圧を印加し、変調電圧 450 mV 駆動で、図Ⅲ-2.2.2.4-1 に示す消光比 10.5dB の良好なアイパターンが得られた。この時の平均光出力は、1.8 dBm で、既存の SFP モジュールの受信回路を用いて最小受信感度-31.93 dBm と IEEE 802.3(2008)の規格を満たす値が得られた。さらに、-11dB の反射戻り光 (OFB) 時、反射なしで 20km 伝送時と-11 dB の OFB で 20km 伝送時の BER を測定した結果を図Ⅲ-2.2.2.4-2 に示す。いずれも IEEE 802.3(2008)に定義されている GE-PON の規格を満たす良好な伝送特性が得られた。



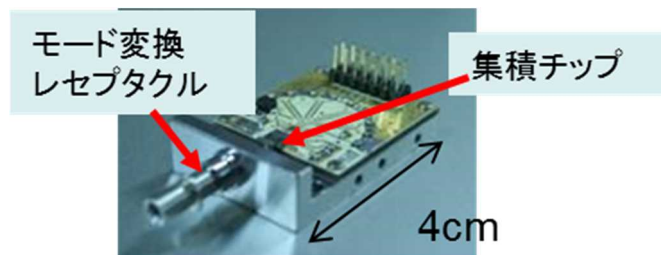
図Ⅲ-2.2.2.4-1 モジュール出力のアイパターン



図Ⅲ-2.2.2.4-2 BER 測定結果

TWDM-PON 用には、前記 2.1.2.2 (b) 光エレクトロニクス集積デバイス技術 ウ) 多重化技術②で開発した、上り 4ch/下り 4ch 一芯双方向送受信集積チップを、図Ⅲ-2.2.2.4-3 に示す小型モジュールに実装した。上り 4ch/下り 4ch の信号を取り出すための回路ボードと、シングルモードファイバに対して高い光結合効率を確保するためのモード変換レセプタクルを具備している。モード変換レセプタクルと集積チップ側のスポットサイズ変換器の組み合わせにより、光結合効率は最大-2.2dB であり低損失で結合できることを確認した。今年度中に動作実証を行う予定である。

さらに回路ボードを SFP+パッケージに収納できるように小型設計を行い、TWDM-PON システムにおける光送受信モジュールの小型化・低消費電力化を目指す。



図Ⅲ-2.2.2.4-3 TWDM-PON 用光送受信モジュール

2.2.2.4.5 ベンチマーク

LD 結合損失で 4 dB 以下の結合損失が見込めることから外部ファイバとシリコンフォトニクスとの結合損失を 2.5 dB 以下に抑えることで PON システムの仕様を満たすことができる。現在の各社の開発状況を表Ⅲ-2.2.2.4-1 にまとめた。A、C 社においては、シリコンフォトニクス側の出力光を複雑なスポットサイズコンバータを用いることで、通常の SMF と同等のモードフィールド径まで広げている。一方 B、D 社においては、シリコンフォトニクス側のモードフィールド径は一定に収めておき受け側のファイバのモードフィールド径を縮小することによって低結合損失を実現していることがわかる。素性のよいモードフィールド変換ファイバを用いて、シリコンフォトニクス側のモードフィールド径を最適化することにより波長範囲 1524~1610nm にて結合損失 2.5 dB 以下及び PDL0.5 dB 以下を実現できる。

表Ⅲ-2.2.2.4-1 光学実装技術の比較

Organization	Fiber	Thickness of top Si	Coupling Loss		PDL	wavelength
			TE	TM		
A	Cleaved SMF	220nm	1.5 dB	2.1 dB	0.6 dB	1550nm
B	High index fiber	300nm	0.8 dB	1.3 dB	0.5 dB	1550nm
C	Cleaved SMF	150nm	0.95 dB	1.3 dB	0.35 dB	1310nm
D	Mode Conversion Fiber	220nm	2.0 dB	N.A.	N.A.	1550nm

2.2.3 (ii) 国際標準化

2.2.3.1 国際標準化

本プロジェクトの成果である光実装部品／システムのグローバル展開に向け、事業化の観点から本プロジェクトの成果を、我が国で保持すべき技術としてブラックボックス化すべき部分と、オープンにして広く普及を図るべき部分に切り分け、オープン部分の国際標準化を図る。具体的には、インターフェースのフォーラム標準化を主導的に推進する。標準化に当たっては、国際標準化委員会を通じて、プロジェクト以外の国内企業とも連携していく。

2.2.3.1.1 中間目標

平成 26 年度中間目標：光インターコネクタに関する二つの標準化団体（OIF、IEEE802.3）に参画し、人的ネットワークを構築し、「キーマンバコミュニティ」でプレゼンスを得る。これにより、標準化活動を展開するための一定の地位を確保する。さらに OIF Next Generation Interconnect Implementation Agreement (IA) に光 I/O コアの仕様を盛り込む。

平成 29 年度中間目標：本プロジェクトの研究開発成果である光実装部品の事業化を目指し、OIF、IEEE802.3 で、各種インターフェースのデファクト標準化提案活動を行い、実用化する開発成果の事業化に必要な標準の提案を行う。具体的には、LSI 搭載インターポーザをサポートする OIF チップ間インターフェース IA を提案する。

2.2.3.1.2 スケジュール

第一期（平成 24 年度から 26 年度）においては、OIF 及び IEEE802.3 の二つのフォーラム標準化団体に参加し、主要メンバーへの本プロジェクトの認知を図るとともに、平成 26 年度中間目標の OIF Next Generation Interconnect IA に光トランシーバ（光 I/O コア）の仕様を盛り込むために、OIF Next Generation Interconnect Framework IA でプレゼンスを形成した。

第二期（平成 27 年度から 29 年度）においては、引き続き光 I/O コアについては、光電子集積インターポーザへの適用を図り、国内外の有力企業と協調しながら搭載する光部品のインターフェース部について寄書提案を行い、フォーラム標準化を主導的に推進する。100Gbps デジタルコヒーレント光トラン

シーバについては、搭載する光部品の標準化活動として寄書提案を行うとともに、光トランシーバの IA リリースを目指す。併せて、各団体、組織等における標準化のための情報を収集する。

表Ⅲ-2.2.3.1-1 国際標準化スケジュール



2.2.3.1.3 アプローチ、特長技術

本活動においては、本プロジェクトの成果である光実装部品／システムのグローバル展開に向け、事業化の観点から本プロジェクトの成果を、我が国で保持すべき技術としてブラックボックス化すべき部分と、オープンにして広く普及を図るべき部分に切り分け、オープン部分の国際標準化を図る。具体的には、OIF (Optical Internetworking Forum) 及び IEEE802.3 (100G/400G イーサネット) 等のフォーラム標準化団体において、事業化戦略、知財戦略と協調しながら、標準化活動を行い、インターフェースのフォーラム標準化を主導的に推進する。標準化に当たっては、国内外の有力企業と協調しながら進める。さらに、コンソーシアムを通じて、プロジェクト以外の国内企業とも連携していく。

2.2.2.1.4. 成果

平成 24 年度は、OIF 及び IEEE802.3 の二つのフォーラム標準化団体に参加し、主要メンバーへの本プロジェクトの認知を図るとともに、平成 26 年度中間目標の OIF Next Generation Interconnect IA に光トランシーバ (光 I/O コア) の仕様を盛り込むために、OIF Next Generation Interconnect Framework IA でプレゼンスを形成した。平成 25 年度は引き続き OIF でのプレゼンス向上を図り、小型光トランシーバに関する寄書 3 件を提案した。平成 26 年度には光トランシーバのインターフェース速度が 28Gbps から 56Gbps にシフトし、IEEE802.3 では 400 ギガイーサネットの標準化が主体となった。これに伴い、OIF では光 I/O コアの低消費電力性を生かした電気インターフェースの提案を行うとともに、高密度化を支える活動として、新たに IEC において光 I/O コアのチップスケールパッケージの標準化提案を行った。

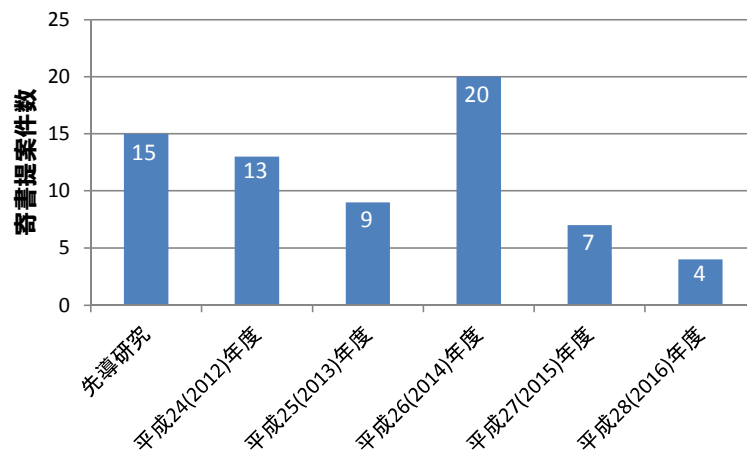
このパッケージ標準の提案が採用され、平成 27 年度から 29 年度はプロジェクトリーダーとして、光 I/O コアのパッケージを標準案として標準化を主導している。IEC ではパッケージの他、高密度光ファイバアレイや光コネクタの標準化提案を行い、高密度光実装に必要な光コンポーネントの標準化を主導している。応用に関しては、平成 27 年度からオンボード光トランシーバの標準化を行う COBO に参加し、データセンタの高速光インターコネクタに適用する小型光モジュールの標準化議論に参加し、光 I/O コアの小型高密度パッケージをベースとする次世代の光電子インターポーザの標準化に向けた議論を進めている。

表Ⅲ-2.2.3.1-2 標準化寄書の件数

2012 年度	2
2013 年度	4
2014 年度	2
2015 年度	3
2016 年度	7
2017 年度	1

データセンタ間接続機器向けに開発する小型トランシーバに関し、OIF において変調器、受信フロントエンドの要求性能や小型デジタルコヒーレントトランシーバに関連した多数の寄書提案を行った。このうち、4 インチ x 5 インチの小型デジタルコヒーレントトランシーバについては標準化プロジェクトのリーダーを務め、標準化文書である IA(Implementation Agreement)のエディタを担当して発行を行った(平成 25 年 8 月)。

さらに小型化されたトランシーバや光部品についても引き続き国内外の有力企業と協調しながら寄書提案を行い、OIF での標準化を主導的に推進した。図Ⅲ-2.2.3.1-1 に OIF 寄書提案数の推移を示す。



図Ⅲ-2.2.3.1-1OIF 寄書提案数の推移

2.2.3.1.5 ベンチマーク

本プロジェクトの光 I/O コアの応用事業展開を見据え、LSI と光モジュール間の電気インターフェースおよび、光学エンジン、光電子集積インターポーザを定義するプロジェクトに参画している。光トランシーバの標準化は装置パネルに挿抜するタイプの AOC (アクティブ光ケーブル) は電気インターフェース、モジュールパッケージの標準化がほぼ完了し、本プロジェクトの光 I/O コアも仕様を合わせた開発を進めている。現在、LSI と光インターフェースをボード上で実装する光学エンジンの標準化が進行中であり、仕様策定メンバーとして参画することで、光 I/O コアのインターフェースを世界標準とするべく活動している。光 I/O コアの低消費電力性をメンバーにアピールすることで、光学エンジンとその次の光電子集積インターポーザの標準化をリードする。光 I/O コアの特徴である、低消費電力と高密度実装は、幅広い応用が期待されており、これを推進するための標準化活動として、パッケージのサイズやピン配置といった機械仕様、光ファイバやコネクタとの接続方法を共通化する戦略をとっている。

現在、IEC における共通パッケージの標準化は我々の他に欧州からの提案があるが、まだ標準化は始まっておらず、本プロジェクトが先行している。さらに光 I/O コアパッケージを応用した光トランシーバの高密度化に向けた、光ファイバや光コネクタの提案も先行して提案しており、光学エンジンや光電子集積インターポーザの標準化をリードしている。

2.3 成果普及活動

2.3.1 全体成果

平成 27 年度より、プロジェクト内で共有されてきた研究開発成果の共通基盤技術を、一般のユーザ、研究者、学生等へ幅広く普及させるために、光エレクトロニクス分野に関わる学術的な教育、基礎研究を俯瞰する立場にある東京大学において、成果普及、人材育成に向けたプログラム「フォトニクスイノベーション共創プログラム」を実施した。

本プログラムでは、光エレクトロニクス分野におけるイノベーション創出に向けた人材育成、将来ビジョン形成、周辺研究の活動を推進した。具体的には、東京大学ナノ量子情報エレクトロニクス研究機構において実施している大学院生を対象としたフォトニクス技術領域の教育カリキュラムである「ナノ量子情報エレクトロニクス特論」及び学内外の学生と社会人のためのフォトニクスに関する公開セミナー「フォトニクス・イノベーションセミナー」と将来ビジョンの形成のための「フォトニクスイノベーション・ビジョンワークショップ」を開催している。併行して、本研究開発の成果普及に向けての調査と基礎研究を継続的に実施した。以下に目標、成果について述べる。

2.3.1.1 目標

東京大学ナノ量子情報エレクトロニクス研究機構において、プロジェクト成果の普及のための人材育成並びに成果普及を図ると同時に、将来の社会実装に向けたビジョン形成を行う。また、周辺研究として将来の成果の発展のための基盤的研究を実施する。

大学院生を対象とした光エレクトロニクス分野に関わる教育カリキュラム「ナノ量子情報エレクトロニクス特論」および学内外の学生や社会人を対象とした公開セミナー「フォトニクス・イノベーションセミナー」を継続的に実施してプロジェクト成果の活用および当該領域の研究開発及び社会実装を推進する人材を育成するとともに、「フォトニクスイノベーション・ビジョンワークショップ」を開催して社会実装に向けたビジョンの醸成を図る。また、周辺研究として基盤的研究を行い、その成果を応用研究につなげる。

2.3.1.2. スケジュール

人材育成、将来ビジョン形成、周辺研究は、以下のスケジュールで実施する。

平成 27 年度より、「フォトニクスイノベーション共創プログラム」を開始して、大学院教育カリキュラム「ナノ量子情報エレクトロニクス特論」を 4 企業における企業集中講義を含めて実施した。フォトニクス分野の人材教育としてフォトニクス・イノベーションセミナーを開催した。また、プロジェクト成果の社会実装のための将来ビジョン形成に向けてフォトニクスイノベーション・ビジョンワークショップを開催した。周辺研究として、ナノワイヤ中に量子ドットを積層する技術を元に、光電子融合集積回路へ直接実装可能な微小レーザ光源の開発を行った。また、新光配線アーキテクチャの検討および超小型・超低損型のコンピューティング技術に関する将来ビジョン検討を行った。平成 28 年度は、引き続き大学院講義「ナノ量子情報エレクトロニクス特論」を行い、フォトニクス・イノベーションセミナーを実施してより広範な人材の育成とフォトニクス技術の啓蒙を行った。フォトニクスイノベーション・ビジョンワークショップを開催してクラウドおよびエッジコンピューティングへのフォトニクス技術の応用展開を議論して、当該分野におけるフォトニクス技術のビジョン形成を図ると同時に、両分野間の交流の機会を創出した。周辺研究としては、フォトニック結晶と量子ドット構造を組み合わせたナノ構造を用いて、光電子融合システムの低消費電力化をもたらす無閾値レーザ発振の実証を目指した。光配線アーキテクチャ及びコンピューティング技術について、それまでの検討とビジョンワークショップの結果を加味して、検討を進めた。平成 29 年度は、フォトニクス・イノベーションセミナーを開催してフォトニクス分野、殊に光電子集積技術の一層の理解を深め、新たな人材の育成を行っている。フォトニクス分野のビジョン形成として、フォトニクスイノベーション・ビジョンワークショップにおけるフォトニクス技術の次世代コンピューティングと AI-IoT への展開と新たな社会価値創造に向けた議論を通じてビジョン形成を行っている。これまでの周辺研究で培った基盤技術の応用技術への展開を行っている。本活動の成果を総合的に活用して超小型・超低損型のコンピューティング技術に関する将来ビジョンの形成を図っている。

2.3.1.3 アプローチ

フォトニクスイノベーション共創プログラムでは、以下の課題について成果普及活動を行う。

- (a) 人材育成
 - (ア) 企業集中講義を含む大学院教育カリキュラム「ナノ量子情報エレクトロニクス特論」
 - (イ) 学内外の学生と社会人のためのフォトニクスに関する公開セミナー「フォトニクス・イノベーションセミナー」
- (b) 将来ビジョン形成
 - (ア) プロジェクト成果の社会実装に向けた将来ビジョンの形成のための「フォトニクスイノベーション・ビジョンワークショップ」
- (c) 周辺研究
 - (ア) フォトニクス領域の基盤的研究
 - (イ) 光配線アーキテクチャの検討と応用に関するビジョン検討

2.3.1.4. 成果

「フォトニクスイノベーション共創プログラム」においては、プロジェクト成果の普及と普及を支える人材の育成を目指して活動した。将来の本分野を支える人材の育成として実施した大学院生向けカリキュラム「ナノ量子情報エレクトロニクス特論」は、光エレクトロニクスのみならず、物理学、半導体工学、情報科学など工学、理学、数理科学などを含む講義によるフォトニクスの成果の普及を担う高度な人材の育成となった。また、企業における集中講義を各年度に4回実施することで企業研究に直接触れる機会を設けて産業を意識した研究の在り方を学ぶことで成果普及に実践的に貢献する人材を育成した。

フォトニクス・イノベーションセミナーにおいては、平成27年度に3回のセミナー、平成28年度は5回のセミナーを開催して、延べ513名の参加を得た。フォトニクスの先端的技術、光電子融合技術やそれらのシステム応用に至る分野の講義を行い、社会人を含むフォトニクス技術の研究者のみならず多くの広範な分野からの参加者を得て、プロジェクト成果の啓蒙とフォトニクス分野の人材教育としての機能を果たした。平成29年度は、4回のセミナーの開催を行うことで、一層の人材育成の強化を行う。

フォトニクスイノベーション・ビジョンワークショップにおいては、将来のコンピューティングの動向とフォトニクス技術の有効的な展開を図るべく、両分野間の交流を図り、スーパーコンピューティングにおける光電子集積技術の役割やネットワークコンピューティングの物理層におけるフォトニクス技術の展開と社会価値創造に関しての議論の場として、ビジョン形成に貢献した。第1回のワークショップにおいてはスーパーコンピュータにおけるフォトニクス技術の活用に関する相互の課題の認識と今後の取り組むべき技術開発の共有化が進んだ。第2回においては、クラウド/エッジコンピューティングとフォトニクス技術についての議論が行われ、超並列コンピュータにおける光スイッチングを含む光インターコネクションネットワークの技術的課題などの共有化が進んだ。第3回においては、ビッグデータ社会を背景にしたAI-IoTの普及に向けたフォトニクス技術の活用についての議論が展開されて、スーパーコンピュータアーキテクチャからポストムーア則LSIや深層学習・強化学習の広範な分野の発展と社会価値創造を俯瞰しながらフォトニクス技術の活用ビジョンの醸成を図った。

周辺研究においては、量子ドット本来の超低消費電力・高温度安定性などの特長を備えつつ高密度集積が可能な超小型・高性能レーザを目指して、ナノワイヤ量子ドットレーザおよびリング共振器型量子ドットプラズモンレーザを実現した。また、光TSV等の3次元光配線については、シングルモードポリマー光導波路とシリコンフォトニクス集積回路の3次元光配線実装に関して検討し、シリコンフォトニクス集積回路をプリント基板に埋め込むことで小型・高結合効率を実現する方式を提案した。さらに、ビジョン形成については、ビジョンワークショップにおける議論と低電力型プロセッサのロードマップなどを反映しつつ、IoT時代のコンピューティングにおけるフォトニクス技術と社会価値に関するビジョン策定作業を進めた。

IV 実用化、事業化に向けての見通し及び取組について

1. 実用化、事業化の見通し及び取組について

新会社と組合員企業により、実装部品とシステムの二方向から事業化を推進する。

1.1 光 I/O コア等

第一期の超小型光トランシーバ（光 I/O コア）を製造・販売する会社として H29 年 4 月に新設分割株式会社を設立した。光 I/O コアの消費電力（5mW/Gbps）は、現在、他社から公開されている次期製品と比較しても 1/2 以下の低消費電力化を実現している。サイズ 5mm×5mm で 25Gbps×12ch の光送信・受信機能を搭載しており、帯域密度で換算した場合 1.2Tbps/cm² となり、他社の 10 倍以上の帯域密度となる。更に、-40℃から 85℃の広い温度範囲で 25Gbps 動作を実現している点も他社に比べて優位性がある。小型、高密度、広温度動作の優位性を活かしコネクタケーブルや基板へ組み込み、サーバ間光接続や高精細画像伝送への適用を目指している。

また、開発と併行して生産・供給ルート等のデザインも同時に検討を進めた。新設分割株式会社はファブレスのチップベンダを想定しており、デバイス・後工程ファブの構築を進めた。CMOS ファブで光集積ウェーハを製造し、後工程ファブにて光 I/O コアに仕上げるモデルとなる。

以上述べたように、光 I/O コアの事業化を通して、基盤技術の確立だけでなく、事業化時の仕組みづくりも併行して進めた。これらの仕組みは光 I/O 付 LSI 基板、光電子集積インターポーザの事業化に向けての仕組みの構築の基盤になる。

1.2 デジタルコヒーレントトランシーバ

研究開発スタート時には、平成 28 年度までにルータ、スイッチなどのネットワークインターフェースカード(NIC)に直接搭載する低電力・小形の 100G デジタルコヒーレントトランシーバと、これを実現するための DSP-LSI ならびに小型光送受信デバイスに関する基盤技術を開発し、平成 29 年から実用化・事業化を実施することを想定していた。しかしながら、北米ベンチャー企業 2 社から上記領域に向けた DSP-LSI や小型デジタルコヒーレントトランシーバの事業化のアナウンスが平成 26 年 3 月に相次いでなされるなど、技術開発競争が急速に激化してきた。データセンタネットワーク向けの小型デジタルコヒーレントトランシーバは、OIF で標準化が行われており、いち早く市場投入を行ってユーザの囲い込みを行うことが事業化の成功要因となる。この様な外部環境の急速な変化を踏まえ、先行者利益の高い市場で競争力を確保するため、本事業委託元である NEDO の了解の下に、平成 26 年度までに得られた研究開発成果を先行事業化することを決定した。

1.2.1 DSP-LSI、小型光送受信デバイス

技術開発成果を平成 26 年 4 月から 8 月にかけて参加企業に移転した。参加企業では事業化に向けた開発を行い、平成 26 年 9 月からサンプル提供を開始し、平成 27 年 1 月から事業化を開始した。

1.2.3 小型トランシーバ、小型ラインカード

技術開発成果を参加企業の関係会社に移転した。FOC では事業化に向けた開発を行い、4 インチ×5 インチ MSA、CFP-DCO MSA は平成 27 年 1 月から事業化を開始した。次いで、CFP2-ACO についても平成 27 年 9 月から事業化を開始した。

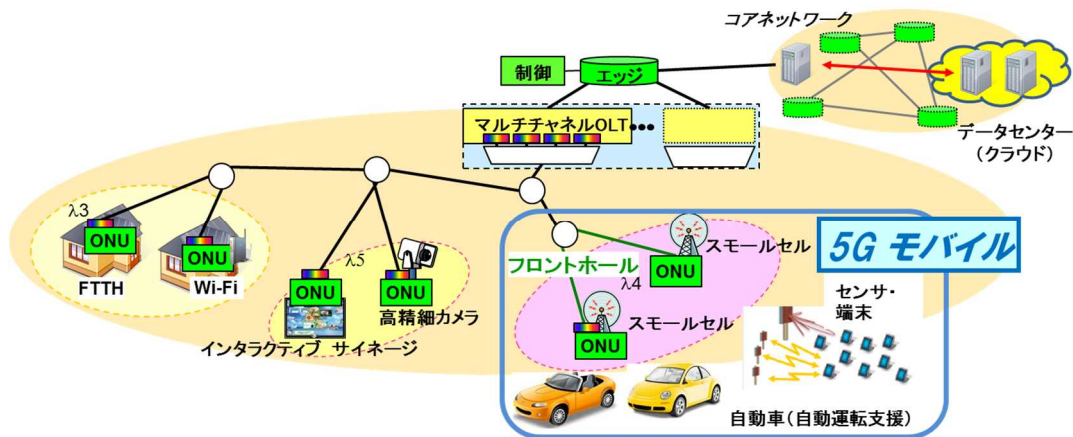
参加企業では事業化された DSP-LSI や小型光送受信デバイスを適用して従来の 1/4 のサイズとなる小型 100G 伝送装置の開発を進め事業化した。

1.3 PON システム

近年、携帯電話に代表されるモバイルネットワークが急速に進展する一方で、サーバの能力の飛躍的な向上により、クラウドコンピューティングが進展している。それに伴い、従来のコンピュータだけではなく、モバイル端末やテレビ、種々のセンサ等がインターネットに接続される、いわゆる『物のインターネット』(Internet of Things; IoT)が急速に普及するものと期待されている。

IoT の急速な普及に伴い、平成 32 年には全世界で 500 億台の情報機器がネットワークにつながるとも予想されている。図IV-1.3-1 に IoT を支えるネットワーク構成の概要を示す。膨大な数のセンサや端末装置につながる IoT ネットワークの末端を担うことを期待されるのが、現在規格策定が進められている第 5 世代モバイルネットワーク (5G モバイル) である。5G モバイル規格では、端末通信速度は最大

10Gbps に高速化され、細分化したアンテナエリア（スモールセル）を従来の 100 倍程度に高密度に配置して 1km² 当たり約 100 万台の多数端末接続を想定している。



図IV-1.3-1 IoT を支える 5G モバイルネットワーク

多数のスモールセルアンテナを結ぶフロントホールネットワークにはパッシブ光ネットワーク(PON)の構成を用いてスモールセルアンテナを既存の光アクセスファイバ網に収容する方式が設備コストの観点から有望である。これを実現するためには ONU を小さなアンテナ装置に組み込むことが求められ、シリコンフォトニクス技術を活用した超小型 ONU の実現が期待される。事業化のターゲットは、5G モバイルネットワーク向け ONU に用いる TWDM-PON 双方向光トランシーバであり、平成 34 年頃に予想される 5G モバイルサービスの本格的な立ち上がりに合わせて製品投入する計画である。

1.4 光 I/O 付 SSD

標準ストレージインターフェース規格対応光 I/O 技術、ストレージ向け低コスト光 I/O モジュール技術など、PJ 開発成果を光 I/O 付き SSD の事業化推進に活用していく予定である。

1.5 サーバ応用 1

集積光 I/O コアは H28 年度には ES (エンジニアリングサンプル) レベルまで完成しており、H29 年度では CS (カスタマーサンプル) レベルの供給開始を見込んでいる。

上記、集積光 I/O コアの ES 品と FPGA (Field Programmable Gate Array) を同一パッケージに搭載した FPGA+光ボードを試作し、実際のアプリケーションを動作させ、光インターフェースにより FPGA 間を広帯域で接続することで、既存サーバ (Xeon) に比べ実効性能が向上することを示してきた。

昨今、注目を集めている人工知能 (AI : Artificial Intelligence) や、深層学習 (Deep Learning) 向けのアクセラレータとして FPGA+光の有効性の検証を進め、ボードを試作し具体的な用途の検討を促進すると共に、市場動向や競合他社の動向を見据えタイムリーに実用化できるよう検討・開発を行う。

併行して集積光 I/O コアを量産化レベルに仕上げるための信頼性確認、歩留まり向上を新会社 (アイオーコア) と協力し進めると共に、集積光 I/O コアをより使いやすく、汎用的な部品とするための検討も進める。具体的には、集積光 I/O コアは 5mm×5mm と小さく、実装密度があがるが基板へ直接はんだ付けやワイヤボンディング等で接続するため、交換が容易に出来ない課題もある。実用化のためには一般ユーザが取り扱いやすい形態も必須と考え、ソケットにより交換が容易となるモジュール化の検討も進める。また光ファイバ接続に関しても、現状の Active 接続 (調芯) から Passive 接続への移行も進める。

1.6 サーバ応用 2

本プロジェクトで開発しているプロセッサ間光インターコネクト技術は弊社高性能サーバその次世代の差別化技術として期待している。本プロジェクトで開発する技術を他社に先駆けていち早く事業化するために、開発初期段階から、本プロジェクト員とサーバ事業部門とで定期的に情報交換を行っており、また、サーバ事業部へ光 I/O を供給するサプライチェーンとして、弊社内の事業部と連携して検討を進めている。

(A) プロジェクト基本計画

プロジェクト基本計画は、独立行政法人 新エネルギー・産業技術総合開発機構（以下、NEDOと表記する）のプロジェクトを効率的かつ効果的に実施するために、次に掲げるプロジェクトの基本事項を定めたものである。

- ① プロジェクトの目的、目標及び内容
- ② プロジェクトの実施方式
- ③ 研究開発の実施期間
- ④ 評価に関する事項
- ⑤ その他の重要事項

基本計画は、原則として全研究開発期間に亘り有効であるが、技術評価の結果や内外の研究開発動向・政策動向、研究開発予算の確保状況等の外部状況変化、あるいは研究体制、当該研究開発の進捗状況等の内部変化に応じて、適宜・適切にその内容を変更する。

本プロジェクト「超低消費電力型光エレクトロニクス実装システム技術開発」の基本計画¹を次ページ以降に示す。

¹ 「超低消費電力型光エレクトロニクス実装システム技術開発」基本計画：
<http://www.nedo.go.jp/content/100749254.pdf>

「超低消費電力型光エレクトロニクス実装システム技術開発」基本計画

電子・材料・ナノテクノロジー部

1. 研究開発の目的・目標・内容

(1) 研究開発の目的

①政策的な重要性

クラウドコンピューティングの進展によりデータセンタなどにおける情報処理量や通信トラフィックが指数関数的に増大しており、今後も情報量の増大が予測されている。現状技術の延長ではデータ伝送に係る電力消費量は増加し続け、平成37年には4倍の2500億 kWh（現在の国内電力消費量全体の4分の1）に膨らむと見込まれている。このため、情報処理機器・装置の低消費電力化と高速化を両立できる技術の開発を進める必要がある。

②我が国を取り巻く状況

電子機器に用いられている電気配線では、データ伝送量や伝送距離の増加に伴い信号伝送の損失が大きくなるのに対して、光配線によるデータ伝送では、それらが増大しても損失は一定であり、消費電力の増加は極めて小さいというメリットがある。そのため、光配線技術は半導体分野の主要なグローバル企業が次世代のデータセンタなどの低消費電力化・高速化技術として有力視しており、開発競争が繰り広げられている。

③本事業のねらい

本研究開発は、情報通信機器の省電力化と高速化を目的に、電子機器の電気配線を光化する光配線技術と電子回路技術を融合させた光エレクトロニクス実装システム技術を実現する基盤技術を確認することを目指す。

本研究開発により、世界市場の約5割を占めてきた光半導体分野における我が国産業界の国際優位性を維持するとともに、光エレクトロニクスを用いた新たなコンピューティング市場において我が国が競争力を獲得し、さらには半導体産業、回路基板産業やそれらをシステム化したサーバ、ルータ等の情報通信機器産業など幅広いエレクトロニクス産業の活性化にも資する。

(2) 研究開発の目標

①アウトプット目標

本研究開発では、電子機器のデータ伝送に関して、電気配線を用いる場合に比べて1/10の低消費電力化と通信速度あたりの面積比で1/100以下の小形化を実現し、電気配線を用いたサーバボードに比べて消費電力を3割削減でき、データセンタレベルでの運用が可能な光電子融合サーバを実現するための構成要素技術を確認することを目指す。また、開発成果の一部は研究開発の進捗に合わせ、順次、実用化し、光配線と電子回路を融合させた光エレクトロニクス市場の創出と開拓を目指す。

個々の開発項目における中間および最終目標に関しては、別紙を参照のこと。

②アウトカム目標

本事業で開発される技術を、サーバ、データセンタ、ネットワーク機器等に適用し、普及させることにより、平成32年には年間約160億kWh、平成42年には年間約1300億kWhの電力削減が見込まれる。また、市場創出効果として3000億円程度が期待される。

(3) 研究開発の内容

上記目標を達成するために、以下の研究開発項目について、別紙の研究開発計画に基づき、研究開発を実施する。

【委託事業】

研究開発項目① 光エレクトロニクス実装基盤技術の開発

- (i) 実装基盤技術
 - (a) 光エレクトロニクス実装技術
 - (b) 光エレクトロニクス集積デバイス技術
 - (c) 光エレクトロニクスインターフェース技術
 - (d) 光エレクトロニクス回路設計技術
- (ii) 革新的デバイス技術

研究開発項目② 光エレクトロニクス実装システム化技術の開発

- (i) システム化技術
 - (a) サーバボードのシステム化技術開発
 - (b) ボード間接続機器、筐体間接続機器のシステム化技術開発
 - (c) データセンタ間接続機器のシステム化技術開発
 - (d) 企業間ネットワーク接続機器のシステム化技術開発
- (ii) 国際標準化

本研究開発は、実用化まで長期間を要するハイリスクな基盤的技術に対して、産官学の複数事業者が互いのノウハウなど持ち寄り、協調して実施する事業であり、委託事業として実施する。

また、開発成果の社会への浸透を図るため、成果の一部は、開発段階に合わせて順次実用化する。

2. 研究開発の実施方式

(1) 研究開発の実施体制

本研究開発は、我が国の将来の成長の糧となるイノベーションを創出する未来開拓研究プロジェクト「光エレクトロニクス」において実施されるものであり、事業開始から6年間の研究開発実施者を経済産業省が平成24年度に企業、大学等の研究機関（委託先から再委託された研究開発実施者を含む）から公募によって選定し、共同研究契約等を締結する研究体を構築して開始したものである。

独立行政法人新エネルギー・産業技術総合開発機構（以下「NEDO」という。）が本研究開発の運営・管理を承継するに当たっては、その時点までの進捗状況を踏まえて研究開発を実施する。

(2) 研究開発の運営管理

研究開発全体の管理・執行に責任と決定権を有するNEDOは、経済産業省及び研究開発実施者と密接な関係を維持しつつ、事業の目的及び目標、並びに本研究開発の目的及び目標に照らして適切な運営管理を実施する。具体的には、必要に応じて、技術推進委員会等における外部有識者の意見を運営管理に反映させる他、四半期に一回程度事業の進捗について報告を受けること等により進

捗の確認及び管理を行うものとする。

3. 研究開発の実施期間

経済産業省は、未来開拓研究プロジェクト「光エレクトロニクス」の事業期間として平成24年度～平成33年度（10年間）を予定し、平成24年度～平成29年度までの6年間の実施体制を公募した。

これを受け、NEDOは平成25年度から平成29年度までの5年間の基本計画を策定し、研究開発を実施する。

4. 評価に関する事項

NEDOは、技術的及び政策的観点から、研究開発の意義、目標達成度、成果の技術的意義及び将来産業への波及効果等について、事業項目毎に、外部有識者による研究開発の評価を実施する。具体的には本基本計画の対象期間においては、平成26年度、平成29年度に評価を実施し、評価結果を踏まえ、経済産業省と相談のうえ、事業の延長・加速・縮小や必要な体制の再構築などを含め、後年度の研究開発に反映することとする。

なお、評価の時期については、当該研究開発に係る技術動向、政策動向や当該研究開発の進捗状況等に応じて、前倒しする等、適宜見直すものとする。

5. その他重要事項

(1) 研究開発成果の取扱い

①成果の普及

得られた研究開発成果のうち、共通基盤技術に係るものについては、プロジェクト内で速やかに共有した後、NEDOおよび実施者が協力して普及に努めるものとする。

②標準化との連携

得られた研究開発の成果については、成果のグローバル展開に向けてオープン/クローズド戦略に基づき事業戦略と一体となった国際標準化を進める。また、諸外国に先んじて国際標準を獲得するため、国際標準提案に係る戦略的かつ迅速な国際標準獲得活動を実施する。

③知的財産権の帰属

委託研究開発の成果にかかわる知的財産権については、「独立行政法人新エネルギー・産業技術総合開発機構新エネルギー・産業技術業務方法書」第25条の規定等に基づき、原則として、すべて委託先に帰属させることとする。

また、推進体制を構成する企業等が相互に連携しつつ、研究開発及び事業化を効果的に推進するために、知的財産管理規定等を定めることを求める。

(2) 基本計画の変更

NEDOは、研究開発内容の妥当性を確保するため、社会・経済的状況、国内外の研究開発動向、政策動向、第三者の視点からの評価結果、研究開発費の確保状況、当該研究開発の進捗状況等を総合的に勘案し、達成目標、実施期間、研究開発体制等、基本計画の見直しを弾力的に行うものとする。

(3) 根拠法

本プロジェクトは、独立行政法人新エネルギー・産業技術総合開発機構法第15条第1項第1号ニに基づき実施する。

6. 基本計画の改訂履歴

(1) 平成25年3月制定。

(別紙) 研究開発計画

研究開発項目①「光エレクトロニクス実装基盤技術の開発」

1. 研究開発の必要性

データセンタなどにおける情報処理量や通信トラフィックの指数関数的な増大とそれにとまなう消費電力の増加に対応するため、情報通信機器・装置の低消費電力化と高速化を両立できる技術の開発を進める必要がある。

本研究開発では、上記問題を解決する、電子機器の電気配線を光化した光配線技術と電子回路技術を融合させた光エレクトロニクス実装システム技術の根幹となる、光電子集積インターポーザ、光電子ハイブリッド回路基板等を実現するための構成要素技術として、以下の技術開発を行う。

2. 具体的研究内容

(i) 実装基盤技術

(a) 光エレクトロニクス実装技術

電気配線と光配線が融合した光電子ハイブリッド回路基板の作製技術、高密度の光・電気のインターフェースを備えた光電子集積インターポーザを光電子ハイブリッド回路基板に実装するための実装技術とインターフェース技術、および、高信頼、低コスト化を実現する設計・方式・製造装置を開発する。また、光電子集積インターポーザとLSIを接続するインターフェース技術、および光電子ハイブリッド回路基板間を接続する高集積コネクタ技術を開発する。さらに汎用電気インターフェースに対応した光素子駆動アナログ電子回路を開発し、ロジックLSIに搭載するためのアナログ電子回路技術の開発を行う。

(b) 光エレクトロニクス集積デバイス技術

光トランシーバや光電子集積インターポーザ等を実現する基盤技術として、光導波路、光源、光変調器、受光器、光入出力素子、合分波器などの超小型要素光素子を開発すると共に、これら高密度集積する技術を開発する。また、光信号の並列化、多重化、多値化についても検討を行い、インターポーザ上での大容量信号伝送技術を開発する。さらに、ロジック、メモリ等の電子回路チップの搭載が可能で、光トランシーバを高密度に集積した、低消費電力で低コストな光電子集積インターポーザを形成する基盤技術の開発を行う。

(c) 光エレクトロニクスインターフェース技術

大規模データセンタ内の筐体間接続、データセンタ間接続に向けた、100Gbpsの伝送容量を持つデジタルコヒーレント送受信モジュール実現のための信号処理回路と光回路に関する基盤技術を開発する。

(d) 光エレクトロニクス回路設計技術開発

光回路技術と電子回路技術を融合した新しい光エレクトロニクス回路の設計技術に関し、光、電子、それぞれの回路の最適設計を効率的に行うための統合設計環境を実現する基盤技術を開発する。さらに、本統合設計環境を本事業内の研究チームで利用可能とするための支援体制、スキームを整備する。

(ii) 革新的デバイス技術

[革新的光源・光検出器技術]

光電子集積インターポーザの光源、受光器の高性能化に向け、シリコン基板上量子ドットレーザ技術とその集積化技術の開発を行うとともに、高感度受光器に関する技術開発を行う。

[革新的光変調器技術]

光電子集積インターポーザの光変調器の高性能化に向けた光制御技術として、新原理に基づく次世代光変調器を開発する。

[革新的光配線技術]

光電子集積インターポーザの光導波路の高機能化に向けた光配線基盤技術として、フォトニックナノ構造等を用いた光配線技術の開発を行う。

[革新的光エレクトロニクス回路技術]

光電子集積インターポーザの光回路を高機能化する機能可変型光エレクトロニクス回路の基盤技術として、サーバ回路の再構成を可能とする光フィールドプログラマブルゲートアレイ技術、およびそのための要素デバイスの開発を行う。

[革新的光スイッチングデバイス技術]

大規模光電子集積インターポーザで実現されるサーバ回路におけるデータ通信の高効率化に向け、CPU間等の効率的なデータ転送を可能とする光ルーティング技術実現のためのハイブリッド集積光スイッチングデバイス技術、超高速集積光信号処理デバイスの開発を行う。

3. 達成目標

光電子集積インターポーザ、光電子ハイブリッド回路基板、および、それぞれの要素技術を組み込んだデバイスの集積化技術を開発することにより、電気配線の1/10の低消費電力化・高速化(1 mW/Gbps)を達成する目処を得るとともに、1/100以下の小形化実現のための要素技術を確認する。また、機器間光インターフェースにおいて、100Gbps/chの高速伝送及び現状の光トランシーバモジュールの消費電力(300W程度)を1/5~1/10まで低減できる低消費電力化技術を実現する。

各開発項目は開発期間を二期に分け、それぞれの期間で目標を定めて技術開発を行う。

(i) 実装基盤技術

(a) 光エレクトロニクス実装技術

多数の光デバイス・電子デバイスが搭載されたシリコンフォトニクスによる光電子インターポーザおよび光電子インターポーザを搭載した光電子ハイブリッド回路基板を実現するための基盤技術を開発する。

【中間目標】(平成26年度末)

小型の高速・低消費電力光トランシーバと数十mm角のポリマー光配線を形成した光電子ハイブリッド回路基板を開発し、光入出力を持つLSIを実現するための基盤技術を確認する。

【最終目標】(平成29年度末)

5cm×5cm程度の光電子ハイブリッド基板上にLSIを搭載するモジュール化技術を確認し、LSIモジュールでの高速光インターコネクトを実現する。

(b) 光エレクトロニクス集積デバイス技術

超高速のデータ伝送を行う光電子集積インターポーザを実現するため、シリコンフォトニクス技術を用いた光集積回路技術を開発するとともに、ロジックLSI、メモリLSI、光デバイス等を光電子集積インターポーザ上に高密度集積するための集積化技術を実現する。

【中間目標】(平成26年度末)

光信号の並列化技術、多重化技術を開発し、大容量信号伝送を実現するための基盤要素技術を確認する。また、低コスト化のための光素子の集積化技術と導波路技術を確認する。

【最終目標】(平成29年度末)

多数の光素子を集積した光電子集積インターポーザの大容量伝送を実現するための基盤集積技術を確立する。

(c) 光エレクトロニクスインターフェース技術

大規模データセンタ内の筐体間、データセンタ間の大容量通信を可能とする小型デジタルコヒーレント光トランシーバに必要な信号処理回路、光回路技術を平成28年度までに確立する。

【中間目標】(平成26年度末)

100Gbps動作に対応するDSP-LSIと集積光送受信デバイスの試作を行い、基本性能評価と問題点の抽出を行う。

【最終目標】(平成28年度末)

低消費電力DSP-LSI最終プロトタイプを実現するとともに、データセンタ間通信向け低消費電力100Gbpsデジタルコヒーレント光トランシーバを実証するための要素技術を確立する。

(d) 光エレクトロニクス回路設計技術

光回路技術と電子回路技術を融合した新しい光エレクトロニクス回路を効率的に設計するための光エレクトロニクス統合設計環境を実現し、プロジェクト内での活用を可能とするとともに、本プロジェクト成果事業化時に適用できる効率的な設計フロー構築のための基盤技術を確立する。

【中間目標】(平成26年度末)

マルチフィジクス対応の光エレクトロニクス実装システム統合設計環境の基本構成を構築し、統合設計を行うための基本的なフローの実証を行う。また、光デバイス設計の基盤技術として、光変調器等の開発に適用可能な電子・光連携TCADの基本構造を確立する。

【最終目標】(平成29年度末)

光デバイス設計用電子・光連携TCADと光電子集積インターポーザの設計を可能とする統合設計環境を連携させ、基本実装構造に関するデータベース(デザインキット)を整備し、光電子集積インターポーザを効率的に設計可能とする。

(ii) 革新的デバイス技術開発

光電子集積サーバの高性能化を可能とする光電子集積デバイスの小形化・低消費電力化・高性能化を非連続的に実現できる、挑戦性の高い革新的デバイス技術として、以下の技術開発を実施する。なお、当該技術開発に関しては、その開発の性質等を考慮し、技術開発の進捗度、本研究開発事業内での展開の可能性等の観点から、必要に応じて見直しを適宜実施するものとする。

[革新的光源・光検出器技術]

光電子集積インターポーザの光源、受光器の高性能化に向けてシリコン基板上量子ドットレーザ技術とその集積化技術の開発を行う。

【中間目標】(平成26年度末)

温度安定シリコン上量子ドットレーザの基盤技術開発を進め、シリコン導波路結合型単チャンネル量子ドットレーザを実現する。また、超高感度受光器の基盤技術として受光器における暗電流抑制効果を実証する。

【最終目標】(平成29年度末)

光電子集積サーバ用の集積化光源への展開に向け、量子ドットレーザアレイを実現するとともにシリコン系基板上に直接成長した量子ドットレーザを試作する。また、導波路型受光器における暗電流抑制技術を実現する。これらの検討を通じて、光電子集積サーバ技術への技術展

開の見通しを示すとともに事業化に対する課題を明確化する。

[革新的光変調器技術]

光電子集積インターポーザの光変調器の高性能化に向けて、新原理に基づく次世代超小型光変調器の開発を行う。

【中間目標】（平成26年度末）

光電子集積サーバに使用する光電子集積インターポーザの光変調器の超小形化を可能とする新原理に基づく変調器として、10Gbps程度の高速動作を実現する。

【最終目標】（平成29年度末）

超小型高速変調器としてLN変調器を凌駕する実用性能を得る。また、これらの検討を通じて、光電子集積サーバ技術への技術展開の見通しを示すとともに事業化に対する課題を明確化する。

[革新的光配線技術]

光電子集積インターポーザの光導波路の高機能化に向けたナノスケール光配線基盤技術として、フォトニック結晶構造等を用いた信号伝搬制御等に関する高度な光配線技術の開発を行う。

【中間目標】（平成26年度末）

光電子集積サーバの配線密度を飛躍的に高めることできる3次元光配線技術において、層間方向への伝搬機能が可能であることを実証する。

【最終目標】（平成29年度末）

3次元光配線技術として垂直方向と水平方向の伝搬機能の統合を実現する。また、これらの検討を通じて、光電子集積サーバ技術への技術展開の見通しを示すとともに事業化に対する課題を明確化する。

[革新的光エレクトロニクス回路技術]

光電子集積インターポーザの光回路を高機能化する機能可変型光エレクトロニクス回路の基盤技術として、光回路の再構成を可能とする光フィールドプログラマブルゲートアレイ技術、およびそのための要素デバイスの開発を行う。

【中間目標】（平成26年度末）

ハイブリッド回路基板上における半導体レーザの高効率化を行うとともに複数の光増幅器が並ぶアレイデバイスを実現する。

【最終目標】（平成29年度末）

異なる機能の光回路を同一回路基板上に集積し、光FPGAコンセプトを実証する。また、これらの検討を通じて、光電子集積サーバ技術への技術展開の見通しを示すとともに事業化に対する課題を明確化する。

[革新的光スイッチングデバイス技術]

大規模光電子集積インターポーザで実現されるサーバ回路におけるデータ通信の高効率化に向け、CPU間等の効率的なデータ転送を可能とする光ルーティング技術実現のためのハイブリッド集積光スイッチングデバイス技術、超高速集積光信号処理デバイスの開発を行う。

【中間目標】（平成26年度末）

サーバ回路におけるデータ通信の高効率化を可能とする導波路クロスバー型をベースとした超小型光スイッチを試作し、スイッチング動作を実証するとともに、超高速光信号処理デバイ

ス実現にむけた基本的な論理動作を実現する。

【最終目標】（平成29年度末）

光スイッチマトリクス^①の低電力化、光信号処理デバイス^②の10Gbps程度での動作を実証する。また、これらの検討を通じて、光電子集積サーバ技術への技術展開の見通しを示すとともに事業化に対する課題を明確化する。

研究開発項目②「光エレクトロニクス実装システム化技術の開発」

1. 研究開発の必要性

本プロジェクトで目指す小型、高速、低消費電力の光電子融合サーバを実現するには、それに適したシステムアーキテクチャを見出すとともに、運用信頼性のある実用性の高い技術の開発が必要である。

本研究開発では、光配線導入による低消費電力化や高速化などのメリットを生かすサーバ等のシステムアーキテクチャの要件・課題を抽出し、研究開発項目①「光エレクトロニクス実装基盤技術の開発」の要素技術を用いてシステムを構築するための基盤技術を開発する。これにより、システムの実用性を検証するとともに、要素技術開発にフィードバックすることで、完成度の高い技術の効率的な開発を実現する。

2. 具体的研究内容

(i) システム化技術

(a) サーバボードのシステム化技術開発

データセンタレベルでの運用が可能な、多種のLSIを高密度集積した光電子集積インターポーザを光電子ハイブリッド回路基板上に搭載した、小型・高速動作・低消費電力光電子融合サーバボードを実現するための基盤技術を開発する。また、高速ストレージインターフェースに適合する光インターフェースと大容量高速NANDデバイスを搭載した光インターフェース付き大容量SSDを実現するための基盤技術を確立する。

(b) ボード間接続機器、筐体間接続機器のシステム化技術開発

光送受信システムを内蔵し、光ケーブルと電気コネクタを実装した光トランシーバを開発し、アクティブ光ケーブル(AOC)を実現する。さらに、光トランシーバを集積した光電子ハイブリッド回路基板上に、既存ロジックLSIを実装した光ケーブル付きLSIを開発する。

(c) データセンタ間接続機器のシステム化技術開発

低消費電力DSP-LSIと集積型送受信光デバイスをモジュール化したデータセンタ間接続用光トランシーバの実現を目的に、高周波実装回路技術と、変調器/ドライバ、受信フロントエンド等のデバイス制御技術を確立し、小型で低消費電力の100Gbpsデジタルコヒーレント光トランシーバを実現する。

(d) 企業間ネットワーク接続機器のシステム化技術開発

シリコンフォトリソグラフィ技術を用いたアクセスネットワーク用集積光エレクトロニクスチップを開発し、企業間ネットワーク接続機器に適用する一芯双方向波長多重トランシーバのシステム化技術を確立する。

(ii) 国際標準化

国際競争力を確保するために、諸外国での同種の研究開発プロジェクトの現状を分析するとともに、プロジェクトの進展状況を踏まえ、成果の優位性を保つために国際標準化を積極的に推進する。

3. 達成目標

電気配線を用いたサーバボード比で消費電力が3割削減でき、データセンタレベルでの運用が可能な、多種のLSIを高集積化した小型・高速動作・低消費電力な光電子融合サーバボード等を実現するため基盤技術を開発し、光電子融合サーバボード実現のための目処を得ることを目標とする。また、順次実用化する開発成果の事業化に必要な国際標準の提案を行う。

各開発項目は開発期間を二期に分け、それぞれの期間で目標を定めて技術開発を行う。

(i) システム化技術

(a) サーバボードのシステム化技術開発

電気配線を用いたサーバボード比で消費電力が3割削減でき、データセンターレベルでの運用が可能な光電子集積サーバボード実現のための基盤技術を開発する。多種のLSIが高密度集積した光電子集積インターポーザを光電子ハイブリッド回路基板上に搭載した小型・高速動作・低消費電力光電子集積サーバボードを実現するための課題抽出を行い、課題解決の目処を得る。また、高速ストレージインターフェースに適応する光インターフェースと大容量高速NANDデバイスを搭載した光インターフェース付き大容量SSDを実現するための基盤技術を確立する。

【中間目標】(平成26年度末)

光電子集積技術を最大限に活かすために光インターコネクションに要求される伝送スペック(変調速度、多重度、チャンネル数など)、および、光電子インターポーザの回路冷却に関する基本要件を明らかにする。また、光電子集積インターポーザと積層型ストレージチップ実装基板からなるハイブリッド型の光インターフェース付きSSDを試作し、標準ストレージインターフェースによる光接続動作を検証する。

【最終目標】(平成29年度末)

光電子集積サーバボードにおける伝送機能の主要部分からなる送受信部を試作し、要求スペックを満たす光伝送を実証する。また、光電子集積インターポーザに積層型のストレージチップを実装した光インターフェース付SSD技術を確立する。

(b) ボード間接続機器、筐体間接続機器のシステム化技術開発

光ケーブルと電気コネクタを実装した光トランシーバによるアクティブ光ケーブルの実現と、光トランシーバとロジックLSIを実装した光ケーブル付きLSIの実現に向け、次の開発を行う。

【中間目標】(平成26年度末)

小型光トランシーバを搭載したアクティブ光ケーブル(AOC)を完成させ、筐体間接続における実用性を実証する。また、標準化動向を考慮しながら、光トランシーバとロジックLSI間の電気伝送に関するインターフェース仕様を決定する。

【最終目標】(平成29年度末)

LSIと光トランシーバの接続構造を決定する。また、策定した設計基準に基づき既存ロジックLSIを搭載できる基板を設計・試作し、光ケーブルを用いたLSI搭載基板間光接続を実現する。

(c) データセンター間接続機器のシステム化技術開発

低消費電力DSP-LSIと小形集積型送受信光デバイスをモジュール化したデータセンター間接続用トランシーバの実現に向け、次の検討を行う。

【中間目標】(平成26年度末)

一次試作の光デバイスおよびDSP-LSIを用いたトランシーバを試作し、デバイス制御動作を検証するとともに改良・完成度向上に向けた指針・フィードバック事項を抽出する。

【最終目標】(平成28年度末)

抽出した技術課題を解決し、目標である小型、低消費電力を満たす100Gbpsデジタルコヒーレント光トランシーバを実現する。

(d) 企業間ネットワーク接続機器のシステム化技術開発

シリコンフォトリソグラフィ技術を用いた集積光エレクトロニクスチップを開発し、企業間ネットワ

ーク接続機器に適用する一芯双方向波長多重トランシーバを実現するための基盤システム化技術を確立する。

【中間目標】(平成26年度末)

シリコン光導波路による波長合分波器を用いて1.25Gbpsの一芯双方向光トランシーバを実証する。

【最終目標】(平成29年度末)

シリコン光導波路による双方向多重用合分波器と波長多重用合分波器を組み合わせて集積試作し、一芯双方向波長多重動作をシリコンワンチップ上で実証するとともに、企業間ネットワーク向け波長多重合分波器実用化のための要求課題を抽出し、解決の目処を得る。

(ii) 国際標準化

本プロジェクトでの開発成果の事業化に必要な各種インターフェースの標準化を獲得するため、次のような標準化活動を実施する。

【中間目標】(平成26年度末)

光インターコネクトに関する標準化団体(OIF(Optical Internetworking Forum)、IEEE E802.3(Next gen 100G Optical Ethernet Study Group))に参画し、「キーマンバーコミュニティ」におけるプレゼンスを確立する。また、100Gbpsデジタルコヒーレント光トランシーバに関する標準化を推進する。

【最終目標】(平成29年度末)

本プロジェクトの成果である光実装部品における各種インターフェース等の標準化提案活動を行い、

(B) 未来開拓研究プロジェクト実施要綱および実施に関する基本方針

未来開拓研究プロジェクト

経済産業省が実施している未来開拓研究プロジェクトは、中長期的観点の研究開発を優れた技術および知見を有する国内外の企業、大学、公的機関などで構築した研究体制で推進することにより、我が国が直面する環境・エネルギー問題及び少子高齢化問題等の構造的課題の克服、東日本大震災後の状況変化を踏まえたエネルギー需給安定化並びに新興国の台頭により厳しさを増す我が国産業の成長に貢献することを目標として実施されているものである。

本プロジェクト（「超低消費電力型光エレクトロニクス実装システム技術開発」）は、2012年度（平成24年度）に未来開拓研究プロジェクトとして定められ、実施されている。

次ページ以降に未来開拓研究プロジェクトの実施要綱、および本プロジェクトが記載された基本方針を示す。

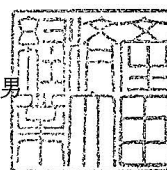
経済産業省

平成 24・03・21 産第 4 号

平成 24 年 8 月 28 日

未来開拓研究プロジェクト実施要綱

経済産業大臣 枝野 幸男



(目的)

第一条 この実施要綱は、経済産業大臣による未来開拓研究プロジェクトの実施に関する基本方針の策定に関する事項、経済産業省の関係部局による未来開拓研究プロジェクトの実施計画の策定に関する事項その他未来開拓研究プロジェクトを実施するために必要な制度の骨格に関する事項等を定め、未来開拓研究プロジェクトを円滑かつ効果的に実施することにより、もって我が国経済の持続的な発展を図ることを目的とする。

(定義)

第二条 この実施要綱において「未来開拓研究プロジェクト」とは、我が国の将来の成長の糧となるイノベーションを創出する、従来技術の延長線上にならない、開発リスクの高い革新的技術に関する中長期的な研究開発プロジェクトであって、国のイニシアティブの下、優れた技術及び知見を有する国内外の企業、大学、公的研究機関等を集め、省庁の枠を超えて、継続的に実施されるものうち、第五条の規定による指定を受けたものをいう。

(基本方針)

第三条 経済産業大臣（以下「大臣」という。）は、未来開拓研究プロジェクトの実施に関する基本方針（以下「基本方針」という。）を作成するものとする。

2 基本方針には、次に掲げる事項について定めるものとする。

- 一 未来開拓研究プロジェクトの実施の目標
 - 二 未来開拓研究プロジェクトの要件に関する事項
 - 三 未来開拓研究プロジェクトの概要、未来開拓研究プロジェクトの成果の事業化を促進するための取組に関する事項、研究開発及び事業化に必要な知的財産の取扱いに関する事項その他未来開拓研究プロジェクトの円滑かつ効果的な実施に関し必要な事項
 - 四 前各号に掲げるもののほか、未来開拓研究プロジェクトの実施に関する重要事項
- 3 大臣は、研究開発の動向の変化、社会情勢の変化その他情勢の変化により必要が生じたときは、基本方針を変更するものとする。
 - 4 大臣は、基本方針を定め、又はこれを変更しようとするときは、あらかじめ産業構造審議会の意見を聴くものとする。

(未来開拓研究プロジェクト候補の選定)

- 第四条 産業技術環境局長は、基本方針において定める未来開拓研究プロジェクトの要件を満たしうる研究開発プロジェクトを次条において未来開拓研究プロジェクトとして指定するものの候補（以下「未来開拓研究プロジェクト候補」という。）として選定するものとする。
- 2 産業技術環境局長は、前項の規定による選定をしようとするときは、あらかじめ、技術総括審議官及び未来開拓研究プロジェクト候補の選定に係る部局の長（以下「関係部局長」という。）の意見を聴き、その意見を尊重しなければならない。

(未来開拓研究プロジェクトの指定)

- 第五条 大臣は、前条第一項の規定により選定された未来開拓研究プロジェクト候補の中から、基本方針に適合すると判断されるものを未来開拓研究プロジェクトとして指定するとともに、当該未来開拓研究プロジェクトの実施に係る責任を有する部局の長（以下「所管部局長」という。）を指定するものとする。
- 2 大臣は、前項の規定により未来開拓研究プロジェクト及び所管部局長を指定した場合には、当該プロジェクトの概要及び所管部局長を基本方針に規定

するものとする。

(実施計画)

第六条 産業技術環境局長及び所管部局長は、共同で、未来開拓研究プロジェクトごとに、当該未来開拓研究プロジェクトを実施するための計画（以下「実施計画」という。）を定めるものとする。

2 実施計画においては、次に掲げる事項を規定するものとする。

一 未来開拓研究プロジェクトの目標及びその研究開発の内容

二 前号に掲げるもののほか、未来開拓研究プロジェクトの成果を事業化するための取組その他未来開拓研究プロジェクトの実施に必要な事項

3 産業技術環境局長及び所管部局長は、研究開発の動向の変化、社会情勢の変化その他情勢の変化により必要が生じたときは、実施計画を変更するものとする。

(年度計画)

第七条 産業技術環境局長及び所管部局長は、毎事業年度の開始前に、前事業年度までの未来開拓研究プロジェクトの進捗状況を踏まえ、実施計画に定める目標を達成するため、年度ごとの未来開拓研究プロジェクトの実施に関する計画（以下「年度計画」という。）を定めるものとする。

2 第六条第三項の規定は、前項の年度計画に準用する。

(政策評価)

第八条 産業技術環境局長は、経済産業省技術評価指針（平成二十一年三月三十一日）に基づき、定期的に、未来開拓研究プロジェクトについて評価を行うものとする。

2 産業技術環境局長及び所管部局長は、前項の評価の結果を踏まえ、未来開拓研究プロジェクトの実実施計画又は年度計画を見直す必要があると判断した場合には、すみやかに、これらを変更するものとする。

(独立行政法人の協力)

第九条 産業技術環境局長及び所管部局長は、未来開拓研究プロジェクトの実

施に当たって、独立行政法人に対し、未来開拓研究プロジェクトの実施に関し必要な協力を求めるものとする。

(文部科学省等との連携の協議)

第十条 産業技術環境局長は、未来開拓研究プロジェクトの実施に当たって、文部科学省その他の行政機関（経済産業省を除き、以下「関係行政機関」という。）の所掌に係る科学技術の基礎的研究と密接な連携を行う必要がある場合には、関係行政機関の担当部局等の長に対し、未来開拓研究プロジェクトを連携して行うための体制の構築等に関する協議を申し入れるものとする。

2 産業技術環境局長は、未来開拓研究プロジェクトの実施に当たって、関係行政機関の所掌に係る事業と密接な連携を行う必要がある場合には、未来開拓研究プロジェクトの成果を活用する可能性がある事業等と密接な連携を行う必要がある事業を所管する関係行政機関の担当部局等の長に対し、未来開拓研究プロジェクトを連携して行うための体制の構築等に関する協議を申し入れるものとする。

(雑則)

第十一条 この要綱に定めるもののほか、未来開拓研究プロジェクトの実施に関し必要な事項は、産業技術環境局長が別に定める。

2 産業技術環境局長は、前項の規定により必要な事項を定めるときその他未来開拓研究プロジェクトの実施に必要な総合的な検討を行うときは、技術総括審議官及び関係部局長の意見を聴くものとする。

附 則

第一条 産業技術環境局長は、この要綱の施行後、技術総括審議官及び関係部局長の意見を聴いて、経済産業省が行う研究開発プロジェクトの企画・立案やその推進に関する基本方針の策定等の措置について検討を行い、所要の措置を講ずるものとする。

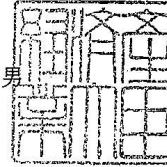
経済産業省

平成24・03・21産第5号

平成24年8月28日

未来開拓研究プロジェクトの実施に関する基本方針

経済産業大臣 枝野 幸男



1. 未来開拓研究プロジェクトの実施の目標

未来開拓研究プロジェクトは、中長期的観点の研究開発を優れた技術及び知見を有する国内外の企業、大学、公的研究機関等で構築した研究体制で推進することにより、我が国が直面する環境・エネルギー問題及び少子高齢化問題等の構造的課題の克服、東日本大震災後の状況変化を踏まえたエネルギー需給安定化並びに新興国の台頭により厳しさを増す我が国産業の成長に貢献することを目標とする。

2. 未来開拓研究プロジェクトの要件に関する事項

未来開拓研究プロジェクトは、客観的なデータ等に基づいて、以下のすべての要件を満たす技術とする。

①我が国経済社会に大きなインパクトを与える技術

我が国が直面する環境・エネルギー問題や少子高齢化問題等の根本的な解決に貢献し、経済成長への寄与の著しい技術であること。

②従来技術の延長線上にない、開発リスクの高い技術

実用化されていない新材料や新原理の導入など、従来技術の延長線上にない、非連続型の発展が必要な技術であり、実用化まで長期間を要し、開発に伴うリスクが高い技術であること。

③我が国が強みを持つ技術

影響力のある論文や重要特許の件数、関連する市場におけるシェア等が

ら、我が国が国際的に優位にあると判断される技術であること。

3. 未来開拓研究プロジェクトの円滑かつ効果的な実施に関し必要な事項

(1) 未来開拓研究プロジェクトの概要及び所管部局長

2. に定める要件を満たし、未来開拓研究プロジェクト実施要綱第五条第一項の規定により指定された未来開拓研究プロジェクトについて、その必要性・事業内容、2. の要件への適合、目的・目標等の事業概要及び所管部局長を別添1において整理するものとする。

(2) 未来開拓研究プロジェクトの推進体制等

未来開拓研究プロジェクトの成果の事業化を促進するための取組に関する事項その他未来開拓研究プロジェクトの円滑かつ効果的な実施に関し必要な事項について、以下のとおり定める。

① 推進体制の構築

研究開発のみならず、その後の事業化においても十分な成果を上げるため、それぞれの役割が明確で、研究開発及び事業化の段階において優れた技術、知見を有する相互補完的な関係にある企業（中小企業、ベンチャー企業を含む。）、大学、公的研究機関等から構成される事業推進体制（以下「推進体制」という。）を構築し、研究開発段階から事業化を志向して推進することとする。

なお、推進体制の構築に当たっては、国内外の技術及び市場の動向を調査した上で、国外の大学や企業の参画の是非を検討することとする。

② 関連独立行政法人の協力

研究開発及び事業化の促進に当たって、関連する分野において所管する独立行政法人の知見・ノウハウ等を活用することが必要である場合には、実施計画に当該独立行政法人の役割を位置付け、協力を求めるものとする。

③ 他省庁の施策との連携体制の構築

ア. 文部科学省等との連携

未来開拓研究プロジェクトに関連した文部科学省等が実施する基礎的研究との連携を密にし、研究開発の効率的推進や事業化の加速を実現するため、原則として、未来開拓研究プロジェクトと当該基礎的研究の参加者間で、研究課題の決定、成果の共有・取扱、設備の共用及

び研究人材交流の促進等について連携する体制を構築する。

イ. 他の事業所管省庁との連携

必要に応じて、未来開拓研究プロジェクトの成果の活用に関連した事業及び規制を所管する省庁との連携を密にし、研究開発の効率的推進や事業化の加速を実現するため、研究開発関連の調整及び共有のほか、規制緩和、導入促進等の関連施策を講じる連携体制を構築するものとする。

④研究開発及び事業化に必要な知的財産の取扱い等

推進体制の効果的な運用のため、別添2に掲げる基本的考え方に従って研究開発及び事業化に必要な知的財産管理の規定等の整備を求めることとする。また、参加する大学に、研究人材の流動化や実践的な人材育成への取組を促すこととする。

⑤その他事業化促進の取組

開発された成果を我が国の産業競争力強化につなげるため、事業者だけでなく、潜在的なユーザー等の意見を聴いて、標準化戦略や成果の市場への受容を促すための安全・性能証明の方策を含む事業化戦略を策定する。また、途中段階で得られた成果は他の施策と連携しつつ、事業化を図る。

4. その他、未来開拓研究プロジェクトの実施に関する重要事項

未来開拓研究プロジェクトを継続的に実施するため、予算、組織、制度等に関する必要な措置を行うよう努めるものとする。

関連技術や市場の動向を随時把握し、最新の技術や知見を事業に取り込むように努めることとする。

定期的に評価を実施し、研究開発の内容及び事業化の戦略等について適切な見直しを行う。

未来開拓研究プロジェクト

1. 高効率モーター

(1) 事業の必要性・事業内容

現在、電力の過半はモーターが消費している。また、家電や産業機械向けに加えて、自動車の電動化（HEV、EV、FCV）に伴ってモーターの需要の拡大が予想されている。モーターはその消費電力の2割を損失しており、中長期的なエネルギー需給戦略において、モーターの省エネは最重要課題の一つである。モーターの性能は磁石に依存しており、省エネに当たっては、高性能な磁石の開発が鍵となる。

現行で最強であるネオジム磁石は日本で発明されたものであり、我が国は磁石技術で世界をリードしてきた。特に自動車駆動用モーターに使用される高性能磁石に至っては、日本の3企業のみが生産している。一方、ネオジム磁石の性能が理論限界に接近し、米国における基本特許が期限を迎えることから、我が国の優位性が低下する恐れがある。

また、高性能磁石の原材料には、現在、中国がほぼ供給を独占しているレアアース（ネオジム、ジスプロシウム等）が大量に必要とされ、特定国の原料の生産動向に影響される可能性があることから、レアアースの安定確保に取り組むとともに、レアアースに依存しない体制の構築が急務となっている。

そのため、レアアースに依存しない革新的な高性能磁石を開発し、磁石産業の競争力を維持・強化することで、次世代自動車や家電、産業機械の心臓部であるモーターの競争力を確保し、我が国産業全体を活性化に寄与することを目指す。

(2) 要件への適合

①我が国経済社会への大きなインパクト

- ・電力消費の過半を占めるモーターに関する省エネ
- ・中国が掌握するレアアースからの脱却

②従来技術の延長線上にない、開発リスクの高さ

- ・レアアースフリーかつ現行磁石の理論限界を超える高性能磁石の開発

③我が国の強み

- ・現行最強であるネオジム磁石を我が国が発明

・高性能磁石及び高効率モーター設計技術は日本が世界をリード

(3) 事業の目的・目標

現在のレアアース添加型磁石の2倍の磁力を持ちながら、レアアースを使用しない革新的な高性能磁石を開発する。また、内部エネルギー損失(鉄損)を半減するための高効率軟磁性体(鉄芯)を開発する。モーター全体の設計見直しを行い、システム全体としてのエネルギー損失を1/4削減する。

(4) 事業期間

平成24年度から平成33年度

(5) 事業規模

200億円程度を想定(平成24年度から3年の国庫債務負担行為を確保)

※中間評価等の結果を勘案し、事業規模は必要に応じて見直す。

(6) 所管部局長

製造産業局長

2. 光エレクトロニクス

(1) 事業の必要性・事業内容

クラウド・コンピューティングの進展によりデータセンタ等における情報処理の大規模化が進み、情報処理量や通信トラフィックが指数関数的に増大しており、今後とも情報量の増加は止まらないと予測されている。現状の技術のままではデータ伝送に係るコストや電力消費量は増加することが予測され、2025年には4倍(現在の国内電力消費量全体の4分の1)に膨らむと見込まれている。このため、機器・装置の低コスト化、低消費電力化を可能とする革新的技術の開発を進めていく必要がある。

これまで、情報通信機器は半導体回路の微細化を進めることで、低消費電力化や小型化、高機能化といったニーズに応じてきたが、微細加工技術の限界が見え始めている。この様な状況で一層の低消費電力化や高機能化を実現していくには、微細化以外の技術の高度化を図ることが必要である。光エレクトロニクス実装システム技術開発は、今後、情報処理量の急増に伴って、電力消費量の増大が見込まれている中、情報通信機器の省電力、

高速、小型化を可能とする光配線、光素子を開発し、システム化を行うものであり、低消費電力化や高機能化に対して極めて有効な施策となる。

光技術は半導体分野の主要なグローバル企業が次世代のデータセンタ等の低消費電力化・高性能化技術として有力視しており、米国で大型プロジェクトが進行中である。我が国は青色ダイオードを始めレーザーダイオード等の光半導体ではこれまで世界をリードし、世界市場の6割程度を占めてきた。IT機器、家電機器への光伝送技術の本格的導入に当たっては国家プロジェクトの下で、我が国が強みを有する要素技術を結集して、研究開発を進めることが必要である。それによって、光エレクトロニクスを用いた新たなコンピューティング市場において競争力を獲得し、ひいては半導体産業、回路基板産業や、それらをシステム化したサーバ、ルータ等の情報通信機器産業などの幅広いエレクトロニクス産業の活性化にも資することが出来る。

(2) 要件への適合

- ①我が国経済社会への大きなインパクト
 - ・2025年には電力消費4倍と予想されるIT機器のデータ伝送に関し、現状の1/10の低消費電力化・高速化
- ②従来技術の延長線上にない、開発リスクの高さ
 - ・半導体の微細化の限界を超えた省電力、高速、小型化を達成する光配線、光素子の開発
- ③我が国の強み
 - ・レーザーダイオード等の光半導体は我が国が世界をリード

(3) 事業の目的・目標

光配線、光素子を開発し、電子機器のデータ伝送に関し、現状の1/10の低消費電力化・高速化と通信速度あたりの面積比で約1/100以下の小型化・高密度配線を可能とする光エレクトロニクス実装システム技術を実現し、データセンタレベルでの運用可能性を検証する。これにより、電力消費が急増すると予想される電子機器の消費電力を大幅に（サーバの場合は3割）削減する。

(4) 事業期間

平成24年度から平成33年度

(5) 事業規模

300億円程度を想定

※中間評価等の結果を勘案し、事業規模は必要に応じて見直す。

(6) 所管部局長

商務情報政策局長

3. 革新的触媒

(1) 事業の必要性・事業内容

我が国の化学産業は、出荷額約40兆円、従業員数約88万人を擁する一大産業であり、高い国際競争力を誇る製品を多数生み出している。とりわけ石油化学部材やケイ素部材は自動車、情報・通信分野等の高度組立産業を中心に必要不可欠な役割を果たしている。

一方で、同産業は基幹化学品から機能性化学品までの様々な製品の原料として化石資源を大量に消費し、二酸化炭素排出量においても産業分野の13%を占める。地球温暖化が懸念され、輸入に頼る石油の価格上昇や枯渇リスクに直面する中、化学品製造の革新的イノベーションの実現により、こうした課題を乗り越えていくことが急務となっている。石油資源からの脱却や低炭素社会の実現のためのキーテクノロジーである触媒技術は、ノーベル化学賞を受賞した野依良治、鈴木章、根岸英一教授らを擁する我が国が世界トップレベルの技術を有する。

そのため、二酸化炭素と水を原料に太陽エネルギーでプラスチック原料等基幹化学品を製造する革新的触媒や、砂から有機ケイ素原料を直接合成し、同原料から高機能有機ケイ素部材を製造する革新的触媒等の技術開発を行い、我が国が有する技術の国際的優位性を確保しながら、資源問題、環境問題を同時に解決することを目指す。

(2) 要件への適合

①我が国経済社会への大きなインパクト

- ・石油に依存しない化学品製造プロセスの構築

②従来技術の延長線上にない、開発リスクの高さ

- ・二酸化炭素と水を原料に太陽エネルギーでプラスチック原料等の基幹化学品等を製造する触媒の開発

③我が国の強み

- ・キーテクノロジーとなる触媒技術において、我が国は多数のノーベル化

学賞受賞者を輩出するなど、世界をリード

(3) 事業の目的・目標

二酸化炭素と水を原料に太陽エネルギーでプラスチック原料等基幹化学品を製造する革新的技術を確立するため、太陽エネルギーにより水から水素を製造する光触媒のエネルギー変換効率の30倍以上の飛躍的向上等を図り、2030年に既存のオレフィン製造量の20%を代替し、オレフィン原料であるナフサを17%削減する。また、金属ケイ素を経ない砂からの有機ケイ素原料や高機能有機ケイ素部材を製造する革新的技術を確立するため、ケイ素に適用可能な触媒の開発及びその反応率の向上等を図り、有機ケイ素部材の高性能化や製造プロセスの省エネ化（低コスト化）により、更なる市場拡大を実現する。

(4) 事業期間

平成24年度から平成33年度

(5) 事業規模

170億円程度を想定（平成24年度から3年の国庫債務負担行為を確保）

※中間評価等の結果を勘案し、事業規模は必要に応じて見直す。

(6) 所管部局長

製造産業局長

未来開拓研究プロジェクトにおける知的財産等の取扱に関する基本的考え方

- ・ 未来開拓研究プロジェクトにおいては、参加者間のシナジー効果の発揮等によるプロジェクトの目的(研究開発の成功と成果の事業化による国益の実現)達成を確実にするため、知的財産について適切な管理を行う。
- ・ 具体的には、プロジェクトで発生する知的財産が、原則として参加者に帰属することを前提に、以下のような問題を防止する観点から、プロジェクトごとの事情に応じて、適切な措置を講ずる。

1. 参加者の所有する知的財産権(フォアグラウンド、バックグラウンド)がプロジェクトの推進の障害になること
2. 参加者 A と B の協力(A から B への知的財産権の実施許諾や材料提供等)による事業化を想定していたところ、A からプロジェクト外の X(B の競合相手等)に対して、より有利な条件で実施許諾や材料提供がなされてしまい、プロジェクトの目的が達せられなくなること
3. A から B への知的財産権の実施許諾や材料提供等が何らかの事情(例:A の X による買収、A のプロジェクトからの脱退 等)で滞り、プロジェクトの目的が達せられなくなること
4. 大学等と企業の共有特許に係る不実施補償等を巡る協議が難航し、産学連携や事業化に支障が生じること

- ・ 経済産業省は、プロジェクトごとの事情に応じて、これらの問題を防止するために必要な措置を、経済産業省と事業推進体制間の契約や事業推進体制内の規約等の形で具体化し、適切な管理を実現する。
- ・ なお、未来開拓研究プロジェクトにおいては、プロジェクトの発明に基づく知的財産権の出願費用は、原則として参加者の自己負担とするが、必要に応じ、事業推進体制内の審査を経て、予算の範囲内で、プロジェクト予算で負担することができることとする。

(C) 超低消費電力型光エレクトロニクス実装システム技術開発事前評価報告書、総合科学技術会議が実施する国家的に重要な研究開発の評価結果

次ページ以降に2011年度（平成23年度）に、産業構造審議会産業技術分科会評価小委員会にて実施された本プロジェクトの実施に係る事前評価書、および、総合科学技術会議が実施する国家的に重要な研究開発の評価「超低消費電力型光エレクトロニクス実装システム技術開発」の評価結果を示す。この結果に基づき、事業の効率的かつ効果的な実施を行っている。

超低消費電力型光エレクトロニクス
実装システム技術開発事業
事前評価報告書

平成23年7月
産業構造審議会産業技術分科会
評 価 小 委 員 会

はじめに

研究開発の評価は、研究開発活動の効率化・活性化、優れた成果の獲得や社会・経済への還元等を図るとともに、国民に対して説明責任を果たすために、極めて重要な活動であり、このため、経済産業省では、「国の研究開発評価に関する大綱的指針」（平成20年10月31日、内閣総理大臣決定）等に沿った適切な評価を実施すべく「経済産業省技術評価指針」（平成21年3月31日改正）を定め、これに基づいて研究開発の評価を実施している。

今回の評価は、「超低消費電力型光エレクトロニクス実装システム技術開発事業」の事前評価であるが、本事業は、現在、新しい国家プロジェクトのあり方として議論している非連続型研究開発事業の一つとして検討していることから、この視点から評価を行うことが必要と考え、産業構造審議会産業技術分科会評価小委員会に付議することとした。

なお、当該研究開発事業は、昨年事前評価を実施した「超低消費電力型光電子ハイブリッド回路技術開発事業」の名称を「超低消費電力型光エレクトロニクス実装システム技術開発事業」へ変更し、来年度から実質的な研究開発をスタートさせるものであり、技術開発内容等に大きな変更がないことから、この度の事前評価では、第1章技術に関する施策及び新規研究開発事業の概要及び第2章評価コメントは、昨年事前評価した「超低消費電力型光電子ハイブリッド回路技術開発事業」のものを掲載している。

今般、当該研究開発事業に係る検討結果が事前評価報告書の原案として産業構造審議会産業技術分科会評価小委員会（小委員長：平澤 冷 東京大学名誉教授）に付議され、内容を審議し、了承された。

本書は、これらの評価結果を取りまとめたものである。

平成23年7月

産業構造審議会産業技術分科会評価小委員会

産業構造審議会産業技術分科会評価小委員会
委員名簿

委員長	平澤 冷	東京大学名誉教授
	池村 淑道	長浜バイオ大学バイオサイエンス研究科研究科長 バイオサイエンス学部学部長 コンピュータバイオサイエンス学科 教授
	大島 まり	東京大学大学院情報学環教授 東京大学生産技術研究所教授
	太田 健一郎	横浜国立大学特任教授
	菊池 純一	青山学院大学法学部長・大学院法学研究科長
	小林 直人	早稲田大学研究戦略センター教授
	鈴木 潤	政策研究大学院大学教授
	中小路 久美代	株式会社SRA先端技術研究所所長
	森 俊介	東京理科大学理工学部経営工学科教授
	吉本 陽子	三菱UFJリサーチ&コンサルティング株式会社 経済・社会政策部主席研究員

(委員敬称略、五十音順)

事務局：経済産業省産業技術環境局技術評価室

「情報政策関連事業」に係る事前評価検討会
委員名簿

座長 藤村 修三 東京工業大学 イノベーションマネジメント研究科 教授

加藤 和彦 筑波大学大学院システム情報工学研究科 教授

新 誠一 電気通信機器大学電気通信学部システム工学科 教授

舘 暲 慶應義塾大学大学院メディアデザイン研究科 教授

廣瀬 通孝 東京大学情報工学研究科 教授

前口 賢二 (社)半導体産業研究所 所長

望月 洋介 (株)日経BP クリーンテック研究所長

(敬称略、五十音順)

事務局:経済産業省商務情報政策局情報政策課

超低消費電力型光エレクトロニクス実装システム技術開発事業（旧「超低消費電力型光電子ハイブリッド回路技術開発事業」）の評価に係る省内関係者

【事前評価時】

商務情報政策局 情報通信機器課長 吉本 豊（事業担当課長）

産業技術環境局 産業技術政策課 技術評価室長 秦 茂則

新規研究開発事業「超低消費電力型光エレクトロニクス実装システム技術開発事業」（旧「超低消費電力型光電子ハイブリッド回路技術開発事業」）に関する事前評価

審議経過

○事前評価検討会（平成22年5月10日）

- ・評価の方法等について
- ・技術に関する施策及び新規研究開発事業の概要並びに創設の妥当性について
- ・評価の進め方について

※会議終了後、メールレビューにて評価報告書（案）の審議

○産業構造審議会産業技術分科会評価小委員会（平成22年7月7日）

- ・事前評価報告書（案）について（個別審議）

○産業構造審議会産業技術分科会評価小委員会（平成23年7月22日）

- ・事前評価報告書（案）について

目 次

はじめに

産業構造審議会産業技術分科会評価小委員会 委員名簿

「情報政策関連事業」に係る事前評価検討会委員名簿

「超低消費電力型光エレクトロニクス実装システム技術開発事業」（旧「超低消費電力型光電子ハイブリッド回路技術開発事業」）の評価に係る省内関係者

「超低消費電力型光エレクトロニクス実装システム技術開発事業」（旧「超低消費電力型光電子ハイブリッド回路技術開発事業」）事前評価 審議経過

	ページ
第1章 技術に関する施策及び新規研究開発事業の概要	
1. 技術に関する施策の概要	1
2. 新規研究開発事業の創設における妥当性等について	1
3. 新規研究開発事業を位置付けた技術施策体系図等	3
第2章 評価コメント	4
第3章 評価小委員会のコメント及びコメントに対する対処方針	7

（参考資料1）「超低消費電力型光電子ハイブリッド回路技術開発事業」事前評価に係る評価小委員会委員からのコメント及び対処方針

（参考資料2）超低消費電力型光エレクトロニクス実装システム技術開発事業の概要（PR資料）

第1章 技術に関する施策及び新規研究開発事業の概要

1. 技術に関する施策の概要

「科学技術で世界をリード」（総理所信）し、環境と経済が両立した持続可能な成長に貢献するべく、グリーンイノベーションを推進する研究開発、国際競争力の強化を実現することが必要。情報通信機器分野においては、我が国の主力産業の一つであり、国際的な技術開発競争が最も激しい分野の一つでもあるIT・エレクトロニクス産業の競争力強化と「グリーンIT」による低消費電力化への貢献を目的に、各種デバイスやネットワーク関連機器等の開発に取り組む。

2. 新規研究開発事業の創設における妥当性等について

- プリント基板等の電気配線基板は、情報通信機器、映像機器、携帯機器、ロボット、計測機器、自動車などを始めとして、殆ど全ての民生用／産業用電子機器で広く利用されており、我が国の基幹産業を支える基盤技術である。
- 現在、上記電子機器で扱う情報量は飛躍的に増加しており、今後とも情報量の増加は止まらなると予測されている。この情報量の増加に伴い、電気配線基板には、情報信号の高速化、配線密度の高密度化、小型軽量化、柔軟性等が求められている一方で、省エネ化も達成する必要がある。
- しかしながら、電気配線には本質的に電気抵抗、電気容量、インダクタンスが存在するため、信号の周波数が高くなると消費電力が大きくなる、配線サイズが大きくなる、電磁干渉による雑音が大きくなる等の課題が生じ、上記の要求を満たすことが困難になってきている。
- これまでに、LSIチップ内のグローバル配線を光配線化するための技術開発事業（MIRAIプロジェクト）、LSIモジュール内配線を光配線化するための技術開発事業（フォトリソ・エレクトロニクス融合システム基盤技術開発）、および電気配線基板間（バックプレーン）を光で接続するための技術開発事業（次世代高効率ネットワークデバイス技術開発）等は実施されているが、LSIモジュール間（電気配線基板内）配線の上記課題に対する技術開発が手つかずの状態にあり、早急に着手する必要がある。
- 半導体国際技術ロードマップ（ITRS）によると、早ければ2015年頃にはLSIモジュール間の配線に光配線が必要になると予測されている。その実現のためには、インターフェースの標準化やサプライチェーンの変革も必要になり、民間企業の単独による開発・事業化では不可能である。このような状況を受け、米国では2008年からDARPAの資金による光電子ハイブリッド集積PJであるUNIC-PJが、同じく欧州ではEUのFP7の資金による多数の光電子ハイブリッド集積関係PJ（HELIOS, BOOM, HISTRIC, WADIMOS等）が開始されており、応用範囲の広い本基盤技術分野で日本が遅れをとらないためにも、早急に国の主導による技術開発を開始する必要がある。
- 上記の課題を解決した配線基板を実現するため、高周波信号の接続を高密度・小型・低消費電力で行うことが出来る光配線と、小型・低消費電力で信号処理を行うことができるCMOS-LSIをハイブリッド集積した光電子ハイブリッド回路基板技術開発を、産

学連携により実施する。

- 具体的には、従来のLSIのインターフェース機能および電気プリント基板の配線機能を、シリコンまたは化合物半導体を用いた集積型光インターフェースおよび光配線基板に置き換え、これらをCMOS-LSIおよび電気配線基板とハイブリッド集積することにより、1mW/Gbps以下の低消費電力化・高速化と従来面積比で約1/100以下の小型化・高密度配線化を実現する技術開発を実施する。更に、波長多重技術および光スイッチング技術等を適用することにより、高速・高密度・柔軟・省エネルギーな光配線を実現する。また、究極の省エネ技術である、全光型革新的デバイス（光IC、光LSI）の基盤技術開発も進める。

第2章 評価コメント

1. 事業の目的・政策的位置付け（新規研究開発事業の創設）の妥当性

光デバイス技術の開発は半導体ロードマップにより比較的短期で実用化が望まれている技術であり、小型・低消費電力機器を実現するためには必須の技術である。またコンピューティングや将来のスマートグリッドに代表される大規模通信網を支える基盤技術として不可避である。中でも本プロジェクトが目的としている光電子ハイブリッド回路技術は光通信システムを構築してゆく上での一つの技術的ボトルネックとなっていることから、産学連携によりこれを解決することの意義は大きい。本事業による要素技術確立、インターフェイス標準化、CMOS-LSIとのハイブリッド集積実証が行われることで一気に企業製品開発へ移行する環境が生まれる期待は大きい。

なお、本プロジェクトの開発技術は激しい国際間での開発競争が予想されることから、わが国産業を国際競争において優位な位置に立たせることができるかどうかモジュールレベルでのコスト・性能比を強く留意した開発が必要であると同時に、プロジェクトの柔軟で慎重な推進が求められる。また、デバイスがどういう新しいシステムを生み、どうエネルギーを削減するかはわかるが、その変化は量的な変化だけでなく、世の中の変化にどう影響するのかを示すことが必要と思われる。

【肯定的意見】

・光を利用した本プロジェクトは、産学連携が必須の分野と考える。コンピューティングとしても、社会インフラとしても不可避になる技術であり、ここに国の予算がつくことは妥当だと考える。

・目標とする時期に関して、「ITRSに遅れを取らない」と読める文章があるが、ITRSよりも前倒して実現することを期待する。

・光デバイス技術は将来のスマートグリッドに代表される大規模通信網を支える基盤技術の一つである。中でも本プロジェクトが目的としている光電子ハイブリッド回路技術は光通信システムを構築してゆく上での一つの技術的ボトルネックとなっている。従ってこれを解決することの福音は大きい。

・LSIモジュール間の光配線は半導体ロードマップにより比較的近場で実用化が急がされている技術であり、小型・低消費電力機器を実現するためには必須の技術です。本事業による要素技術確立、インターフェイス標準化、CMOS-LSIとのハイブリッド集積実証が行われることで一気に企業製品開発へ移行する環境が生まれる期待は大きい。

【問題点・改善すべき点】

・10年前にも同様の事業提案があったように記憶している。技術は進展し、社会情勢も変わってきている。過去からの経緯を含めて、ロードマップが欲しい。

・他の事業に比べ、国が開発すべき論点が、希薄である。そこを明確にすべきである。

・デバイスがどういう新しいシステムを生み、どうエネルギーを削減するかはわかる。しかし、その変化は量的である。もっと質的な変化につながるアイデアをデバイスとシステムの連携で作れないものか。

・しかし一方で、上記肯定的意見での記述内容は激しい国際間での開発競争が予想されることを意味する。すなわち、本プロジェクトがわが国産業を国際競争において優位な位置に立たせることができるかどうかは微妙である。もちろん開発に遅れを取り追従す

る側に回った場合でも、基礎的な知識を有しているかどうかでその追従速度は変わってくる。従って、国際競争の激しさは本プロジェクトの重要性を低下させるものではないが、プロジェクトの柔軟で慎重な推進が通常の研究・開発プロジェクトよりも求められる。

・実用化に向けた大きな課題はコストと思います。モジュールレベルでのコスト・性能比を強く留意した開発を望みます。

2. 今後の新規研究開発事業の実施に向けての提言

息の長い開発が必要なことは分かるが、戦略性や将来見通しを技術者目線ではなく、国民目線で説明できるかが重要である。また目的と光電子ハイブリッド回路技術の進捗状況だけでなく、関連する他の技術の発展状況を踏まえて随時研究・開発方針を柔軟に適正化するための研究戦略組織の併設が必要と思われる。

【各委員の提言】

- ・この課題に限らず提案されている技術は重要だけど目新しさが無い。息の長い開発が必要なことは分かるが、それだけに歴史も含めて戦略性や将来見通しが必要。昨年と今年は何が違うかを技術者目線ではなく、国民目線で説明できるかが重要。
- ・目的と電子ハイブリッド回路技術の進捗状況だけでなく、関連する他の技術の発展状況を踏まえて、随時研究・開発方針を柔軟に適正化するための研究戦略組織の併設が必要と思われる。
- ・アプリケーションにより求められる性能、コストが異なると思います。今後の議論の中で明確にして欲しい。

第3章 評価小委員会のコメント及びコメントに対する対処方針

本研究開発事業に対する評価小委員会のコメント及びコメントに対する推進課の対象方針は、以下のとおり。

【超低消費電力型光エレクトロニクス実装システム技術開発事業】

コメント①

非連続型研究開発として国が長期・段階的に実施する必要性等をより明確にするとともに、当面する技術的な進捗度の評価や、その実用化に伴う新しい課題の探索・解決などの学習型の仕組み作りを試みる等、プログラム設計とその運用に配慮しながら進めていただきたい。

対処方針①

平成23年度に光エレクトロニクス実装技術に関する先導研究の結果等を踏まえ、平成24年度以降本事業において国が長期・段階的に実施する必要性等をより明確にするとともに、技術的な進捗度の評価や、その実用化に伴う新しい課題の探索・解決などの学習型の仕組み作りを試みる等、適切に執行を進めて行く。

「超低消費電力型光電子ハイブリッド回路技術開発事業」事前評価に係る
評価小委員会委員からのコメント及び対処方針

コメント	対処方針
<p>○本事業については、光素子・全光通信に既に取り組んでいる通総研のプログラムとの連携が必要。省庁間の共管プログラムにしてはどうか。</p> <p>○我が国の光電子ハイブリッド回路技術は、欧米等に比べて遅れており、実用化に向けた明確なロードマップを作成し、早急に取り組むことを期待。</p>	<p>○本プロジェクトはボード内・機器内・データセンタ内の省エネを目指すものであり、総務省及び情報通信研究機構の光ネットワークの研究開発とは、オール光用機器・システム実現を見据えて研究成果を共有するなど連携を行う方針である。</p> <p>○欧米等に対して優位に立てるように、高い競争力を有する日本の中核企業が結集して行う。その際、優先的に行う技術開発課題の抽出、先行開発を視野に入れたロードマップの策定を行う方針である。</p>

超低消費電力型光エレクトロニクス実装システム技術開発

商務情報政策局 情報通信機器課
03-3501-6944

事業の内容

事業の概要・目的

○クラウド・コンピューティングの進展によりデータセンターの情報処理の大規模化が進み、情報処理量や通信トラフィックの指数関数的増大に直面しています。光電子ハイブリッド回路技術開発は、省電力、高速で小型な光接続により様々なLSIを高集積することを可能とすることから、高い情報処理能力を有するサーバ等のIT機器の大幅な消費電力低減が見込まれます。

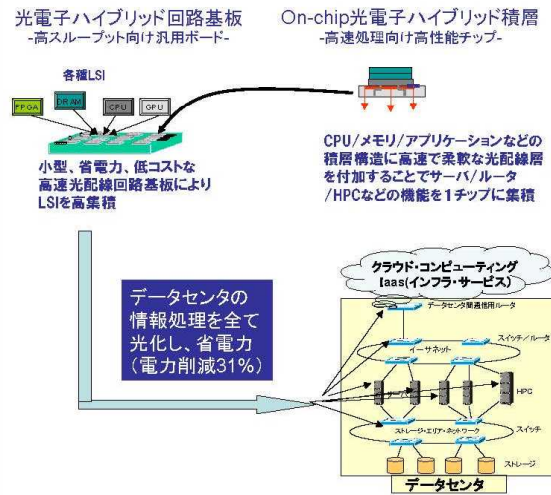
○データセンターを構成するルータ、サーバ等のIT機器内におけるLSI内間の配線とインターフェイスを、電子回路と光回路をハイブリッド集積した光電子ハイブリッド回路技術の研究開発により小型、省電力、低コスト化し、データセンターの情報処理量の増加による課題を解決します。

条件（対象者、対象行為、補助率等）



事業イメージ

○光電子ハイブリッド回路をルータ、サーバ等の全てのIT機器に搭載し、情報処理量の増加に対応し省電力化を実現します。



総合科学技術会議が実施する
国家的に重要な研究開発の評価

「超低消費電力型光エレクトロニクス
実装システム技術開発」
の評価結果

平成 23 年 12 月 15 日

総合科学技術会議

目 次

1. はじめに.....	1
2. 評価の実施方法.....	2
2.1. 評価対象の概要.....	2
2.2. 評価目的.....	2
2.3. 評価方法.....	3
3. 評価結果.....	6

参考1 評価専門調査会 名簿

参考2 評価検討会 名簿

参考3 審議経過

参考4 第1回検討会 経済産業省提出資料【省略】

参考5 第2回検討会 経済産業省提出資料【省略】

1. はじめに

総合科学技術会議は、大規模な研究開発その他の国家的に重要な研究開発について、国の科学技術政策を総合的かつ計画的に推進する観点から、自ら評価を行うこととされている(内閣府設置法第26条)。

このため、総合科学技術会議では、新たに実施が予定される国費総額が約300億円以上の研究開発について評価を行い、その結果を公開するとともに、評価結果を推進体制の改善や予算配分に反映させることとしている。評価にあたっては、あらかじめ評価専門調査会が、必要に応じて専門家・有識者の参加を得て、府省における評価の結果も参考に調査・検討を行い、総合科学技術会議はその報告を受けて結果のとりまとめを行うこととしている。

「超低消費電力型光エレクトロニクス実装システム技術開発」は、平成24年度予算概算要求において、経済産業省が新たに実施することとした事業であり、平成24年から平成33年までの10年間の国費総額約291億円を見込む大規模研究開発である。総合科学技術会議では、評価専門調査会に当該研究開発に関係する分野の専門家・有識者を交えて調査・検討を行った。その結果を踏まえて評価を行い、その結果をここにとりまとめた。

総合科学技術会議は、本評価結果を関係大臣に通知し、実施計画や推進体制の改善、予算配分への反映を求めるとともに、評価専門調査会において、その実施状況をフォローアップすることとする。

2. 評価の実施方法

2.1. 評価対象の概要

○名称:『超低消費電力型光エレクトロニクス実装システム技術開発』

○実施府省:経済産業省

○実施期間及び予算額:

平成 24 年度から平成 33 年度まで。

国費総額約 291 億円。

平成 24 年度予算概算要求額約 60 億円。

○事業内容:

光配線(高屈折率、低減衰率の微細な光導波路)や光素子(小型で低損失な光変調器、受光器等)の開発を行い、光エレクトロニクス(エレクトロニクスとフォトリソグラフィの融合)実装システム技術を実現することにより、今後、電力消費が急増すると予想されるサーバ等の電子機器の消費電力を大幅に削減する。

2.2. 評価目的

総合科学技術会議は、国の科学技術政策を総合的かつ計画的に推進する観点から実施し、評価結果を関係大臣に通知して、当該研究開発の効果的・効率的な遂行を促進することを目的に評価を実施する。

2.3. 評価方法

(1) 評価検討会の設置

評価に必要な調査・検討を行うため、評価専門調査会[参考 1]の有識者議員1名、専門委員3名に、外部より当該分野の専門家・有識者3名の参加を得て、評価検討会を設置した[参考 2]。

当該分野の専門家、有識者の選任においては、評価専門調査会会長がその任に当たった。

(2) 評価時期

評価結果を推進体制の改善や予算配分に反映させる必要があるため、予算概算要求提出後、10月より調査・検討を開始し、年内に評価結論を得ることとした[参考 3]。

(3) 調査・検討方法

ア. 過程

- ・ 第1回評価検討会において、経済産業省の担当室長他から研究開発等の内容について説明を受け[参考 4]、質疑を行い、イ. の調査・検討項目を念頭に問題点や論点候補について議論した。その後、この議論と評価検討会委員から提出された追加質問に基づく追加説明依頼項目について、経済産業省へ対応を依頼した。また、評価検討会委員からの評価コメントを踏まえ、論点を整理した。
- ・ 第2回評価検討会において、追加説明依頼項目について経済産業省から説明を受け[参考 5]、質疑を行い、問題点や論点を議論した。
- ・ 第1回、第2回評価検討会での調査・検討内容及び、評価検討会委員からの評価コメントを踏まえ、評価結果原案(評価に

係る調査・検討結果)を作成した。

- ・ 評価専門調査会において、評価結果原案(評価に係る調査・検討結果)を検討し、評価結果案をとりまとめ、総合科学技術会議において審議の上、決定した。

イ. 調査・検討項目

評価検討会においては、(1)の依頼項目について経済産業省から説明を受け、(2)の調査検討項目に係る基本的な項目に加え、評価対象事案に応じた評価の視点を明示し、調査・検討を実施した。

(1)依頼項目

- ①名称
- ②実施期間、全体事業費(うち国費)、平成24年度予算概算要求額
- ③目的(背景、意義、効果など)
- ④科学技術基本計画における位置付け等
- ⑤実施内容と目標(具体的な実施内容と達成目標、期待する成果など)
- ⑥年次計画(具体的な実施内容、事業費とその用途別内訳など)
- ⑦実施体制
- ⑧推進体制(役割、権限、責任など)
- ⑨研究開発評価(評価者、実施目的、実施時期、事前評価の結果など)
- ⑩関係施策・事業との関係

(2)調査・検討に係る基本的な項目

A. 科学技術上の意義

科学技術上の目的・意義・効果等。

B. 社会・経済上の意義

社会・経済上の目的・意義・効果等。

C. 国際関係上の意義

国際貢献・役割分担、国益上の意義・効果等。

D. 計画の妥当性

目標・期間・予算・体制・人材や安全・環境面等からの妥当性。

E. 運営等

事前評価の実施状況、評価結果の反映の仕組等。

ウ. その他

評価検討会は非公開としたが、資料は公表に適さないとされた部分を除き検討会終了後に公表。また、議事概要については発言者による内容確認後に非公表情報、発言者の氏名を除き公表。

3. 評価結果

(1) 総合評価

「超低消費電力型光エレクトロニクス実装システム技術開発」は、電子回路と光回路をハイブリッド集積した光電子ハイブリッド回路技術を開発することにより、データセンターを構成するルータ、サーバ等の IT 機器内における LSI 間の配線とインターフェースの小型化、省電力化、低コスト化を実現するものである。

本事業は経済産業省が実施する事業であり、実施期間は平成 24 年度から平成 33 年度までである。

今後、クラウド化、データ処理の高度化が進んで行く上で、データセンターをはじめとする情報処理インフラの電力消費量は急速に増加していくと考えられる一方で、地球的規模の課題である温室効果ガス削減への取組みや、今回の東日本大震災を受けての電力消費量の削減が強く求められている。

このような状況下、IT 機器内の電気配線を光化することで、低消費電力で付加価値の高い情報処理システムを社会に提供することを目指している本事業の対象とする技術開発の必要性は高い。

また、IT 機器間の光通信技術が広く普及した現在、光信号のままプリント基板上および LSI に信号伝送する技術が強く求められている。本事業で実施される技術開発は、低消費電力化のみならず、電子回路のプリント基板上に光を導入することのメリットである高速化、小型化・高密度化、低コスト化、回路複雑性の低減、信号伝送信頼性向上等に大きく寄与し、従来のエレクトロニクス技術の延長では達成できない、より高速化・高信頼化した情報処理システムの実現が期待されるため、本事業によって開発される技術の有効性は高い。

本技術が社会に実装されるためには、従来のエレクトロニクスと同程度の低コストかつ信頼性の高い光電気変換素子や光配線との接続の実現、プリント基板上に光導波路を形成する技術、光と電気が融合したシステムとしての安定性・信頼性の確保、大口径ウェハ上に作製された光配線を搭載したインターポーザの信頼性評価という今までにない評価技術開発などのブレークスルーが求められてい

ることから、難易度の高い技術開発の必要があり、研究開発のリスクは高い。また、求められている技術開発要素が広範囲であることから、多くの企業間の連携や要素技術の連携・統合が必要であり、光エレクトロニクス分野で世界をリードし、日本の国際競争力を維持するために、国が主導して取り組む必要がある。

以上のことから、本事業は、実施の意義や必要性が高く、国として取り組むべきものと判断される。

なお、本事業の実施に当たっては、以下の指摘事項を踏まえた対応を求めるものである。

(2) 指摘事項

①光エレクトロニクス実装システム全体の目標及びマイルストーンの明確化と計画の柔軟な見直しについて

本事業は、長期に及ぶプロジェクトであることから、国際競争の観点に立って、プロジェクト全体としての目標を明確にしつつ、柔軟に計画の見直しを行っていくことが必要である。

個別要素技術に関しては、光インターポーザ大口径ウェハプロセス、LSI インターフェース設計、シリコンフォトニクスインターポーザ、光エレクトロニクス実装システムの低消費電力化・小型化について定量的な目標が設定されており、その見直しを行うことも計画に織り込まれているが、それら個別要素技術を統合して実現する、製品イメージを基にした最終目標とその中間目標に関しては、現段階では示されていない。

このため、製品イメージに基づく最終目標を設定するとともに、中間目標(マイルストーン)についても定量化できるものにしておく必要がある。

また、特に、成熟した電子回路のプリント基板にこの新技術が導入されるためには、光導入による低消費電力化や高速化などのメリットを生かすシステムのアーキテクチャを設計し、その設計に基づいて関連技術の目標を設定することが重要である。現段階では、光

源技術や素子実装技術などの具体的目標が示されていないので、それらを明確にする必要がある。

さらに、開発した技術が実用化されるためには、コストの低減も重要であるが、現段階では具体的な目標は示されていない。このため、コストについての目標を明示していく必要がある。

設定した目標や達成時期については、国際的な技術開発の進展状況との比較を基に必要な見直しを行いつつ、プロジェクトを推進する必要がある。

②プロジェクトの効果的・効率的な推進体制及び実施体制の構築について

技術研究組合等をプロジェクトの実施主体とし、プロジェクトリーダーを責任者として権限を集中して事業化までの推進を図っていく体制は適切であるが、プロジェクト途中での評価結果に基づく目標・運営体制等の見直しについての具体的な手順は現段階で示されていない。

このため、経済産業省内の責任体制と併せて、評価体制と評価方法、評価結果を計画の見直し等につなげる手順等についても全体の事業計画の中で明確に位置付けるとともに、技術研究組合等の構成メンバーとなる研究開発実施主体を募集する際の公募要領等にも明示する必要がある。

また、研究開発を実施していく上で、光エレクトロニクス実装システムについて、これまでにない新しいシステムとして、社会に実装していくためには、光と電気の融合が鍵となることから、光技術の関係者だけでなく、LSI、コンピュータのハードウェア・ソフトウェア、コンピュータアーキテクチャー、ネットワークなど異分野の研究者、技術者が一体となって課題を解決できる体制を構築することが重要である。併せて、主要な適用先であるデータセンター開発の実施主体とも密接な連携を取りながら、効率よくプロジェクトを進める体制を構築することも必要である。

このため、研究開発実施主体が応募する際の要件に含める等により、これらの研究開発の実施体制を構築することが必要である。

③研究開発成果を産業化、社会実装に結びつけるための出口戦略について

最終的なメインターゲットとしては、省電力化と高速化、小型化による効果が非常に大きいと考えられるサーバとスパコンを、CPU やメモリの LSI チップの I/O 部分の消費電力を 1/10 にすることにより、サーバにおいては現行比で、約3割程度の省電力化を実現することを目標としている。この目標達成に向けて、電子回路だけで実現する競合技術や海外プロジェクトの動向を踏まえ、光技術の導入による高機能化を、電子回路とコストパフォーマンスで勝負できるような形で、実用化していく必要がある。

また、本技術の本質的な競争力を担保するために、海外企業が簡単に真似ることができない技術要素やノウハウを適切な形で閉じ込めるブラックボックス化と、開発技術や製品を企業が利用し易い形で提供するオープン化を戦略的に融合させて推進することが必要である。

本事業に関し、経済産業省は、産業政策として、設備投資に対する補助金サポート、企業の再編や分社化等を支援するツールを考えているとしており、国内のデータセンターへの積極的な導入については種々検討がなされている。しかしながら、世界市場で優位に立つためには、低消費電力と低価格で製品を提供することにとどまるのではなく、単純な価格競争に陥らないように製品の付加価値を高めるなど戦略的な対応を検討する必要がある。

また、長期的な市場戦略という観点に立てば、データセンターの海外立地が進む可能性もあることから、本施策の目標が達成される 2021 年におけるデータセンターの国内外の立地動向についての展望を持ちながら研究開発を推進することが重要である。

④知的財産権及び国際標準への戦略的対応について

知的財産権を技術研究組合等で一括管理する方向は適切であるが、価値ある知的財産を生み出し、かつそれらを有効に活用する、

知的財産の具体的な管理運営指針づくりについて、技術研究組合等に参加する企業などが十分協議・調整しておくことが必要である。

また、本プロジェクトで技術開発する成果を世界へ展開していくために、経済産業省は、諸外国での同種の研究開発プロジェクトの現状を分析し、今後の研究開発の進展状況を踏まえ、国際標準化に向けてオープンに連携すべきところとブラックボックスとして競争すべきところを組み合わせ、戦略的に推進することが必要である。

《参考資料》

- (参考 1) 評価専門調査会 名簿
- (参考 2) 評価検討会 名簿
- (参考 3) 審議経過
- (参考 4) 第 1 回評価検討会 経済産業省提出資料【省略】
- (参考 5) 第 2 回評価検討会 経済産業省提出資料【省略】

参考1 評価専門調査会 名簿

会長	奥村 直樹	総合科学技術会議	議員
	相澤 益男		同
	本庶 佑		同
	白石 隆		同
	今榮 東洋子		同
	青木 玲子		同
	中鉢 良治		同
	大西 隆		同

(専門委員)

浅見 泰司	東京大学空間情報科学研究センター長 教授
阿部 啓子	東京大学大学院農学生命科学研究科 特任教授
飯島 貞代	三菱化学株式会社 三菱化学フェロー、ヘルスケア企画室部長
伊藤 恵子	専修大学経済学部准教授
上杉 邦憲	独立行政法人宇宙航空研究開発機構 名誉教授
上野 裕子	三菱UFJリサーチ&コンサルティング 株式会社 主任研究員
尾形 仁士	三菱電機エンジニアリング株式会社相談役
長我部 信行	株式会社日立製作所中央研究所長
河合 誠之	東京工業大学大学院理工学研究科教授
来住 伸子	津田塾大学学芸学部教授
高橋 真理子	朝日新聞編集委員
中馬 宏之	一橋大学イノベーション研究センター教授
中杉 修身	元上智大学教授
中村 崇	東北大学多元物質科学研究所教授
福井 次矢	聖路加国際病院院長
松橋 隆治	東京大学大学院工学系研究科教授
村上 輝康	株式会社野村総合研究所シニア・フェロー

《参考資料》

参考2 評価検討会 名簿

奥村 直樹	総合科学技術会議 議員
座長 村上 輝康	評価専門調査会 専門委員
尾形 仁士	同
中馬 宏之	同
木村 忠正	電気通信大学 名誉教授
小柳 光正	東北大学未来科学技術共同研究センター 教授
長谷川 淳	ルネサスエレクトロニクス技術開発本部 副本部長

参考 3 審議経過

- 10月11日 評価専門調査会
評価検討会の設置、評価時期の確認等
- 10月28日 第1回評価検討会
経済産業省から事業内容のヒアリング、質疑、論
点の検討
⇒追加質問を整理し、経済産業省へ対応を依頼
⇒委員からの評価コメントに基づき論点を整理
- 11月11日 第2回評価検討会
追加質問事項に対する追加ヒアリング、評価の骨
子の検討
⇒評価に係る調査・検討結果をとりまとめ
- 11月29日 評価専門調査会
検討会座長から評価に係る調査・検討結果の報
告、評価結果案の検討
⇒評価報告書案のとりまとめ
- 12月15日 総合科学技術会議
評価結果案に基づく審議と評価結果の決定