

「極低電力回路・システム技術開発(グリーンITプロジェクト)」研究開発項目⑦

「低消費電力メニーコア用アーキテクチャとコンパイラ技術」

(事後評価)

(2010年度～2012年度 3年間)

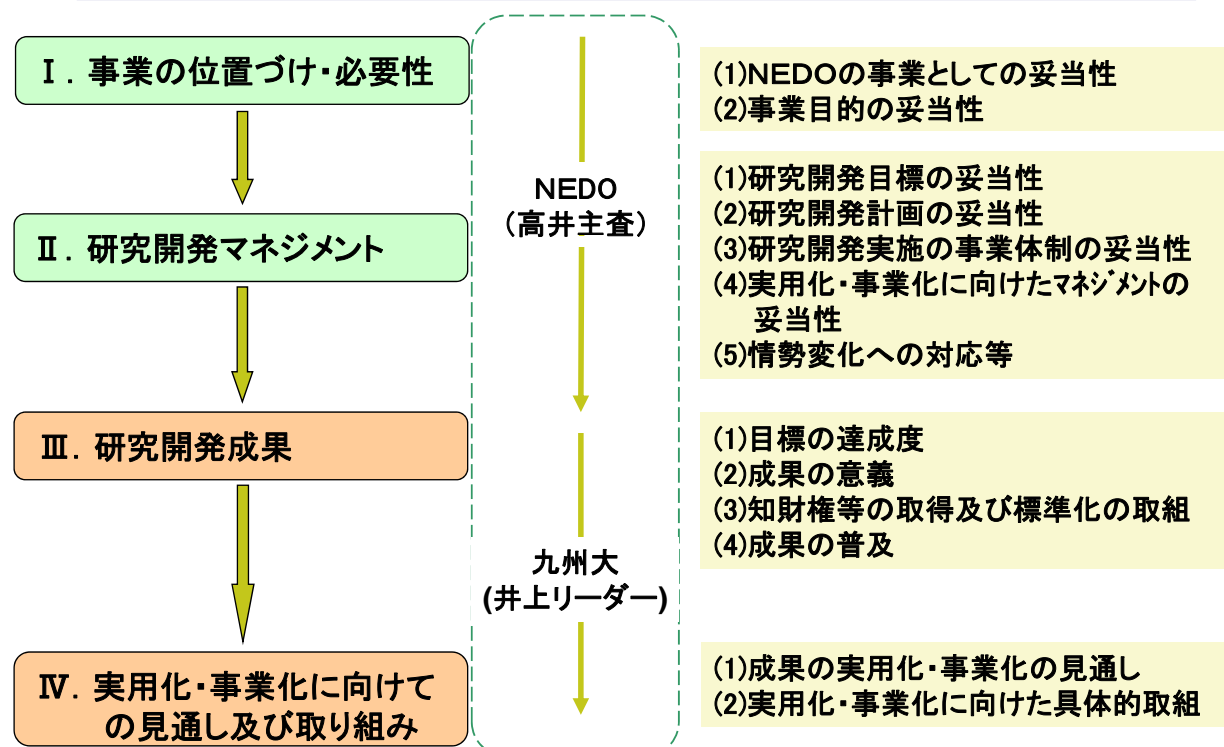
プロジェクトの概要(公開)

- I. 事業の位置付け・必要性について
- II. 研究開発マネジメントについて

2013年 12月9日

1/17

発表内容



2/17

I. 事業の位置付け・必要性について

公開

(1) NEDOの事業としての妥当性（プロジェクト実施の背景）

プロジェクト実施の社会的背景

地球温暖化対策は喫緊の世界的、国家的課題

抜本的CO₂排出抑制、省エネ技術の必要性

プロジェクトの目的

低消費電力省エネ情報通信デバイスの実現による電力損失の削減



ファブに依存しない(微細化/高集積化に頼らない)回路技術とシステム技術(ハードウェア・ソフトウェア)により省電力化を検討する。

「第三期科学技術基本計画(2006年3月)」、「エネルギー技術戦略の基本的考え方(2006年5月)」、「新・国家エネルギー戦略(2006年5月)」等における重要な省エネ技術としての位置付け。

事業原簿(公開版) I-1

3/17

I. 事業の位置付け・必要性について

公開

(1) NEDOの事業としての妥当性（政策上の位置付け）

「第三期科学技術基本計画」「新国家エネルギー戦略」政策下の「ITイノベーション」・「エネルギーイノベーションプログラム」を具現化するグリーンITプロジェクトとして実施

経済成長戦略大綱

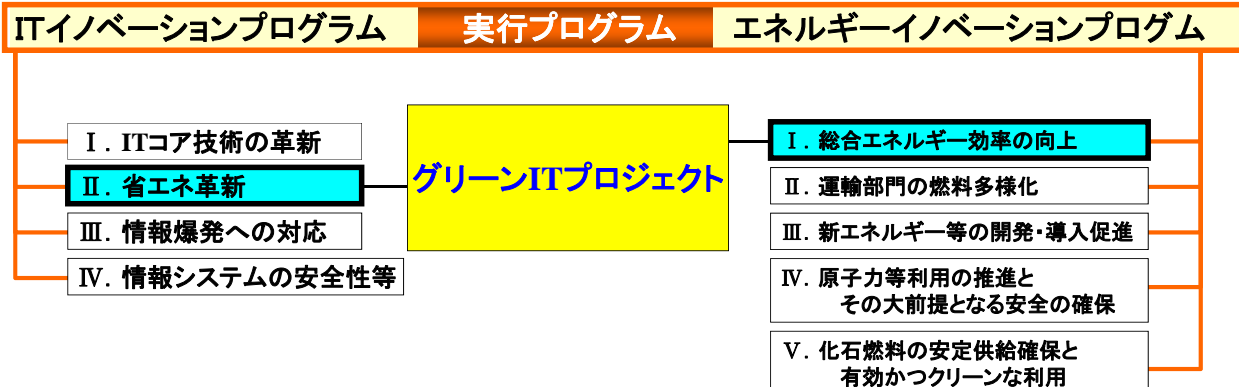
京都議定書目標達成計画

IT新改革戦略

第3期科学技術基本計画

新・国家エネルギー戦略

エネルギー基本計画



事業原簿(公開版) I-1

4/17

I. 事業の位置付け・必要性について

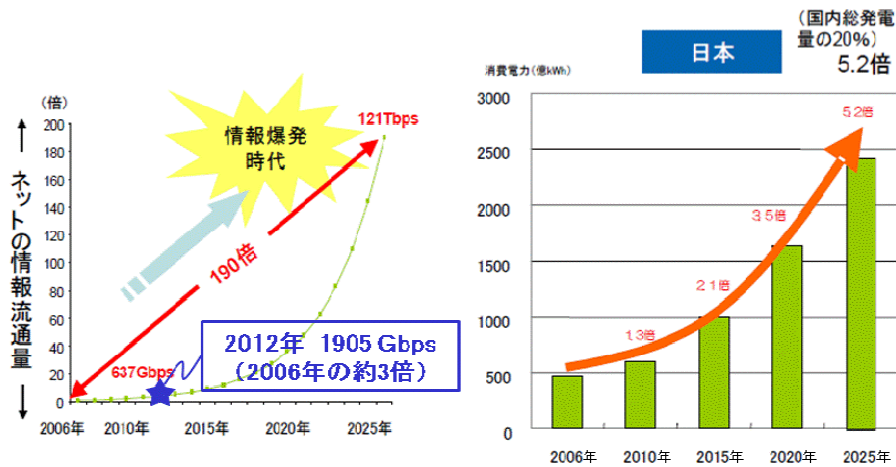
公開

(1) NEDOの事業としての妥当性 (政策上の位置付け)

省エネルギー化・温室効果ガス削減のためには革新的技術開発が不可欠

情報爆発時代の到来

IT機器の消費電力量が急増



微細化／高密度化

パワーエレクトロニクス

小型化(3次元化)

極低消費電力回路設計
(メーコア含)

出所：(図表) グリーンITイニシアティブの推進 2008年10月 経済産業省発表資料 (2012年の情報流通量) 総務省 情報通信統計データベース

事業原簿(公開版) I-2

5/17

I. 事業の位置付け・必要性について

公開

(1) NEDOの事業としての妥当性 (NEDOプロジェクトとして取り組む必要性)

○社会的必要性大

- ◆ 情報通信技術の開発、省エネルギー技術の開発は、国家的重点課題
〔本プロジェクトは、半導体集積回路(LSI)設計技術分野における低消費電力化の技術開発〕
- ◆ 我が国半導体メーカの共通的な課題の解決を図ろうとするもの
〔我が国企業の共通課題を協同体制で解決を図ろうとするものであり、その成果は、我が国半導体産業の国際競争力強化に貢献するもの〕
- ◆ 成果は、速やかに半導体メーカ等に移管され、実用に供されることを目指すもの
〔開発技術は、参加各社のLSI設計に適用可能〕

○民間企業だけで取り組む事が困難

- ◆ リスクが高い革新的な開発を効率的に進めるためには産学連携による総合的な取り組みが重要

NEDOプロジェクトとしての実施

「極低電力回路・システム技術開発(グリーンITプロジェクト)」
2009年度～2012年度

事業原簿(公開版) I-3

「グリーンITプロジェクト」の一環

6/17

I. 事業の位置付け・必要性について

公開

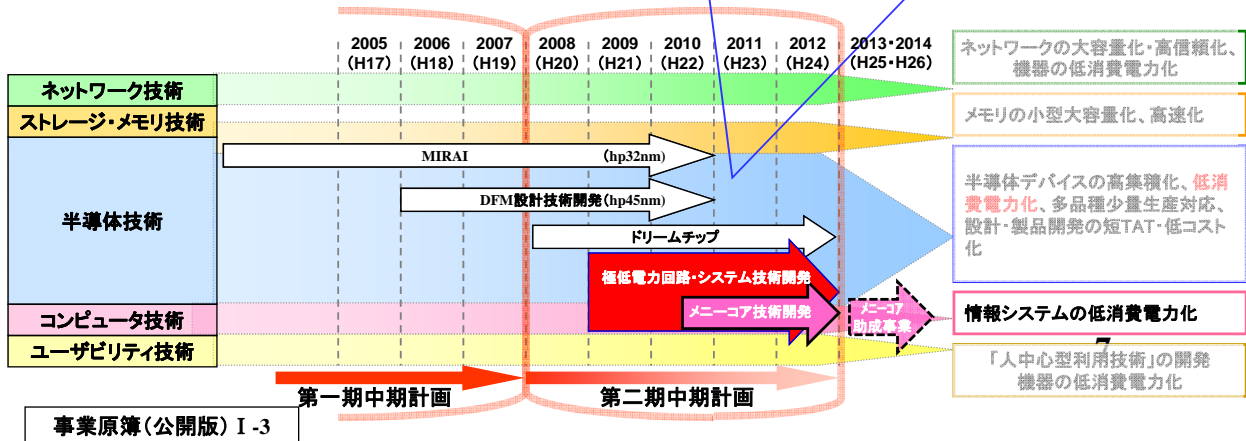
(1) NEDOの事業としての妥当性 (NEDO中期目標における位置付け)

NEDO 中期目標

- 誰もが自由な情報の発信・共有を通じて、個々の能力を創造的かつ最大限に発揮することが可能となる高度な情報通信(IT)社会の実現
- 我が国経済の牽引役としての産業発展の促進

半導体技術分野における微細化技術に対応した設計技術

「極低電力回路・システム技術開発(グリーンITプロジェクト)」



7/17

I. 事業の位置付け・必要性について

公開

(2) 事業目的の妥当性(プロジェクト実施により期待される効果)

期待できる分野での想定される省エネ効果例①

車載組み込みシステム適用時

(単位: 万kWh/年)

●市場創出効果(車載ECU)

普及ECU数(国際市場)

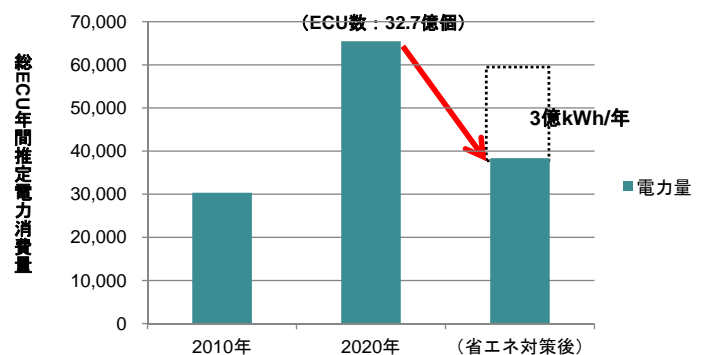
2010年: 15.2億個

(売上: 3,720億円)

2020年: 32.7億個

(売上: 6,200億円)

電力量



●省エネルギー効果(消費電力量)

2020年: ECUの年間消費電力削減量: 3億kWh/年

年間消費電力削減量計算 = (ECU数) * (1つ当たり消費電力量: 1W*200HR) * (ECU内CPUの占める割合: 50%) * (省エネ効果比率: 9/10)

本研究技術により省エネルギー効果が従来の 1/10 になるとして試算。

8/17

I. 事業の位置付け・必要性について

公開

(2) 事業目的の妥当性(プロジェクト実施により期待される効果)

期待できる分野での省エネ効果例②

通信機器適用時

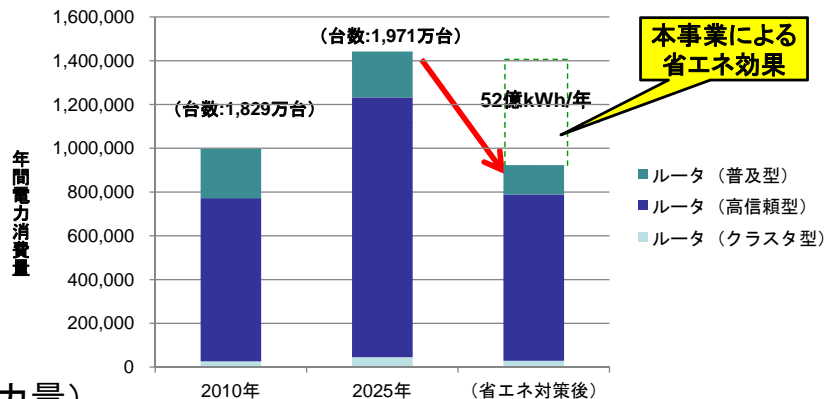
●市場創出効果

通信機器普及台数(国際市場)

2010年:1,829万台

2025年:1,971万台

(単位:万kWh/年)



●省エネルギー効果(消費電力量)

2025年:ルータの年間消費電力削減量: 52億kWh/年(原発約1.5基分)

年間消費電力削減量計算=(台数)*(1台当たり消費電力量)*(ルータ内のCPUの占有割合:40%)*(省エネ効果比率:9/10)

本研究技術により省エネルギー効果が従来の $1/10$ になるとして試算。

諸元:「平成24年度 我が国情報経済社会における基盤整備(情報通信機器のエネルギー消費量に関する調査)(株)NTTデータ研究所
「2009年度(平成21年度)福島第一原子力発電所」(1号機データ)(37億kWh/年)東京電力

事業原簿(公開版) I-5

9/17

II. 研究開発マネジメント

公開

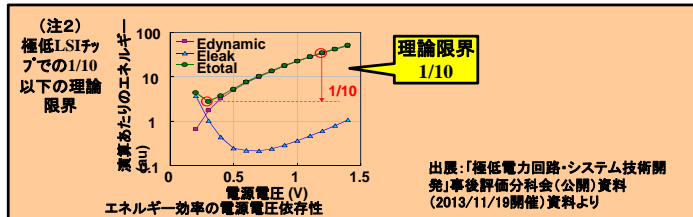
(1) 研究開発目標の妥当性(省エネルギー化極低電力システム技術開発)

「極低電力回路・システム技術開発」プロジェクトによる省電力化研究開発

●ソフトウェア/アーキテクチャ的アプローチ(研究開発項目⑦)

研究開発項目	研究開発目標	目標設定の根拠
⑦低消費電力メーコア用アーキテクチャとコンパイラ技術(注1)	<ul style="list-style-type: none"> ●あるべき低消費電力メーコア用アーキテクチャを提案する ●既存技術と比べて電力当たりの処理性能2倍以上を達成する ●組み込み向けアプリケーション実行時電力消費量を $1/10$ 以下にする 	<p>「極低電力回路・システム技術開発」プロジェクト中の極低LSIチップ統合最適化技術の目標(電力消費量 $1/10$ 以下(注2)と同等の省エネルギー効果をメーコアアプローチで実現を図る</p> <p>同時に処理性能についてもユーザビリティ要求を考慮して電力当たり2倍以上の目標を設定(注3)</p>

(注1)「極低電力回路・システム技術開発」プロジェクトとして、その他にハードウェア・アプローチによる省電力化技術開発(基本計画の研究開発項目①~⑥(ロジック回路技術開発、メモリ回路技術開発、アナログ回路技術開発、電源回路技術開発、LSIチップ統合最適化技術等)があるが技術的要素が異なるため、今回の事後評価の対象外(研究開発項目①~⑥)についての事後評価分科会は別途11/19(火)(開催済)



(注3) 例えば、同じ電圧(e.g., 1V)で動作させた場合に研究開発目標では既存技術より計算処理が2倍以上速くできる

事業原簿(公開版) II-1

10/17

II. 研究開発マネジメント

公開

(1) 研究開発目標の妥当性(メニーコア化の意義)

■半導体技術による性能向上対策

◆かつては、微細化技術により、半導体の高集積化、高速化、低消費電力化の同時達成が可能

◆現在は微細化の技術的制約のため、さらなる低消費電力化且つ性能向上には現在は革新的な対策が必要な状況

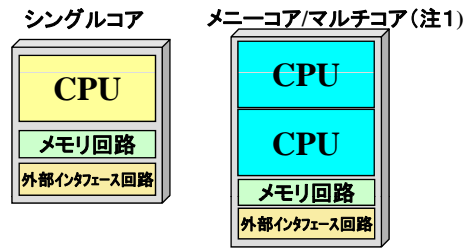
◆メニーコアによるアプローチへの期待

(注1)マルチコア:2~63コア メニーコア:64コア以上

(注2)本例はメニーコア・マルチコア化の効果を示すためのものであり並列実現性やチップ容積量等の複数コア化の弊害等は考慮していない

事業原簿(公開版)II-1

■メニーコア・マルチコア化の利点



(計算例)2個のコアを使用する際に周波数を1/2に低下且つ同時に電圧が70%に低下可能という仮定での計算ではシングルコアの2倍の性能対電力比となる(下表)(注2)

		シングルコア	メニーコア・マルチコア (コア2個の場合)
処理能力	[周波数]に比例	1	0.5 × 2個 = 1 シングルコアと同等
消費電力	[周波数 × 電圧の2乗]に比例	1	(0.5 × 0.7 ²) × 2個 = 0.5 シングルコアの半分
性能対消費電力比		1	1/0.5 = 2 シングルコアの2倍

NEDO試算

性能対消費電力比の向上を実現

II. 研究開発マネジメントについて

公開

(2) 研究開発計画の妥当性(プロジェクト開発項目および実施計画)

『⑦低消費電力メニーコア用アーキテクチャとコンパイラ技術』中の研究開発項目を基盤技術開発、応用技術開発(注1)に分けて効率的に実施。

研究開発項目	2010年度	2011年度	2012年度	達成目標
【メニーコア基盤技術開発】 (1)汎用メニーコアSoC開発 (1)-1 汎用メニーコア・アーキテクチャ設計 (1)-2 メニーコア用コンパイラ技術開発 (1)-3 メニーコア・アーキテクチャ実装評価/電源電圧制御技術開発	基本アーキテクチャ開発 合成 デバイス/アプリ特性調査 (5百万円)	詳細アーキテクチャ開発、RTL設計 マッピング技術開発 制御アルゴリズム開発 (7.2百万円)	アーキテクチャ改良と評価 実装評価 プロトタイプ開発と実装評価 (7.0百万円)	汎用SoC向けメニーコアの開発と電力性能当たり性能2倍、消費電力量1/10達成
【メニーコア応用技術開発】 (2)ビデオマイニング向けメニーコア開発 (3)ソフトウェア開発環境開発	アプリケーション分析 アプリケーション分析 (1.5百万円)	詳細アーキテクチャ開発、RTL設計 コンパイラ/性能推定技術開発 ベンチマーク開発 (7.8百万円)	アーキテクチャ改良 実装評価とデモボード設計 ソフトウェア開発環境の実装評価 (1.3百万円)	ビデオマイニング向けメニーコアの開発と電力性能当たり性能2倍、消費電力量1/10達成 ソフトウェア開発環境の構築・公開
合計	(370百万円)	(150百万円)	(200百万円)	

(注1)基盤技術開発:将来的な実用化を目指す革新的な基礎技術開発。

応用技術開発:2-3年以内の実用化を目指した実用化技術開発

(注2)RTL: Register Transfer Level

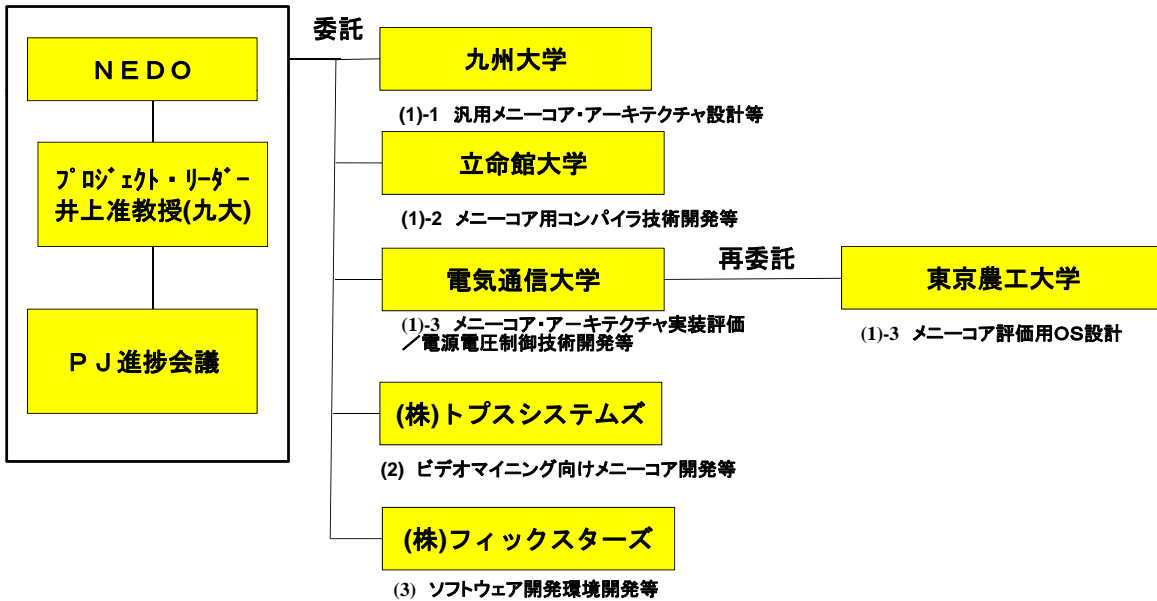
事業原簿(公開版)II-2

II. 研究開発マネジメントについて

公開

(3)研究開発実施の事業体制の妥当性(目標達成に向けた体制の構築)

- 大学、企業による産学連携の体制を実現。



II. 研究開発マネジメントについて

公開

(3)研究開発実施の事業体制の妥当性(目標達成に向けた体制の構築)

◎ 研究開発項目別の実施体制の構築

- 基盤技術開発と応用技術開発2つを組み合わせると計3つの研究課題に取り組み
- 基盤技術開発は大学を項目リーダーとして、応用技術開発は企業が項目リーダーとして実施者参加して推進

→ 大学から企業への速やかな技術移管を促進(PJ進捗会議等を通して設計仕様書、評価報告書の成果引継等)

★:研究項目リーダー

研究開発項目	基盤技術開発(注)	応用技術開発(注)	
	(1)汎用メーコアSoC (2020年頃の実用化)	(2)ビデオマイニング 向けメーコア (2015年の実用化)	(3)ソフトウェア開発 環境 (2014年の実用化)
	★	九州大学	
		立命館大学	
	東京農工大	電気通信大学	
		(株)フィクスターズ	★
	(株)トプシステムズ	★	

(注)

● 基盤技術開発:
将来的な実用化を目指す革新的な基礎
技術開発

● 応用技術開発:
2-3年以内の実用化を目指した実用化技
術開発

II. 研究開発マネジメントについて

公開

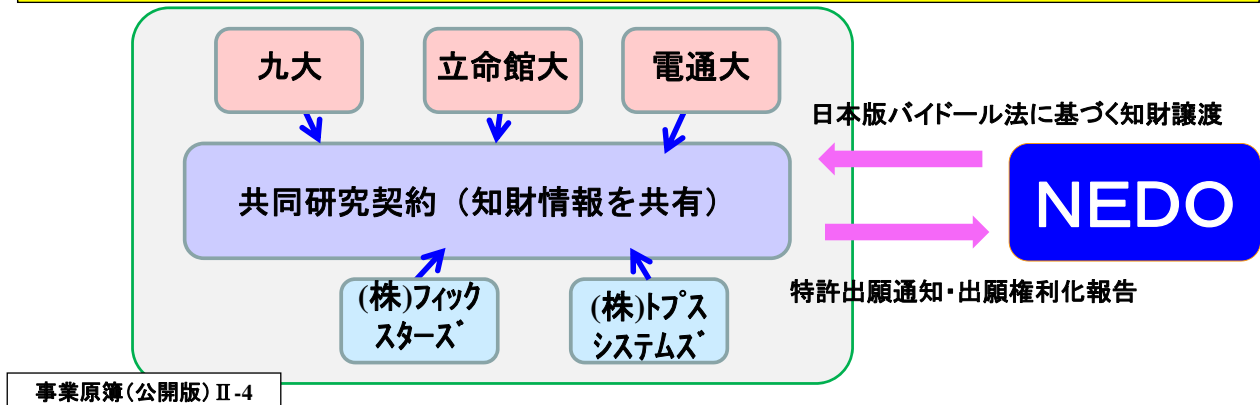
(4)研究開発成果の実用化・事業化に向けたマネジメント(知財戦略)

研究開発成果を生かした効率的な知的財産マネジメント

知的財産権の取り扱い管理

- (日本版バイドール法により)知的財産権はNEDOより実施者に譲渡される
 - 特許出願後の状況の変更の都度、実施者よりNEDOに通知報告
 - 実施者間(3大学、2企業)は知財に関して共同研究契約書を締結
 - 単独機関の発明は単独所有、複数機関の発明は持分に応じた共用所有。
 - (単独、共同)特許出願時には出願の旨を他実施者に通知し情報共有。
- ⇒ 特許の効率的な利用を促進

(例)九大のバリア制御特許を(株)トプシステムズにて製品で利用計画する等



15/17

公開

①PJ進捗会議によるフォロー

- ◎約2ヶ月周期でPJ進捗会議を開催
- ◎適宜進捗と研究開発の課題を把握して遅延が発生しないようタイムリーな対策実施。

②事業化に向けたヒアリング

- ◎NEDOにてPJ終了後の事業化見直しヒアリングを実施者に実施。(2011年5月・2012年5月の2回)
- ◎事業計画の明確化と ユーザ企業(電機メカ、車載メカ等)へ提案を指示・促進。

③市場・技術動向調査

- ◎メーコアの市場調査・事業調査を実施。(JEITA:利用分野調査、eSOL:メーコアOS調査、GATS:開発環境調査)
- ◎メーコアのSoC分野への適用ニーズを把握して研究開発計画の方向性を確認。

④PJ終了後の実用化支援

- ◎本成果を活用して組込み向け(車載用途等)メーコア実用化に向けてNEDO助成事業^{注)}にて実施者((株)トプシステムズ)がメーコアモデル国際標準化を含む技術開発を実施中。

■タイムリーな進捗管理により研究開発項目毎の目標を達成！！

■NEDOの実用化・事業化マネジメントにより、PJ終了後、以下のメーコア ビジネスを立ち上げ

【例】マルチ/メーコア用ソフトウェア開発ツール(フィックスターズ)
ビデオマイニング向けメーコア・プロセッサ(トプシステムズ)

注)名称:NEDO「戦略的省エネルギー技術革新プログラム(期間:2013年2月~2015年2月)『多様なマルチ・メーコアの高度な活用を可能にする標準プラットフォーム開発』」助成事業として(i)メーコアモデル国際標準化の推進 (ii)車載向けビデオマイニングシステムの事業を加速・先導する。参画企業:(株)トプシステムズ、ルネサス(株)、イーソル(株)。NEDO省エネルギー部所管。

16/17

II. 研究開発マネジメントについて

公開

(4)研究開発成果の実用化・事業化に向けたマネジメント(外部企業との事業連携促進)

●研究成果の社外へのアピールによる企業連携や事業化の促進

NEDO主催の公開メニーコアシンポジウムにより本PJの成果報告発表・パネルディスカッションを実施して(2012年3月、2013年2月の2回開催) 外部ユーザ、有識者と盛んな商談・議論を行った。

CEATEC2011・CEATEC2012のNEDOブースにてメニーコアの研究開発成果展示、成果プレゼンテーションを発表(2011年10月、2012年10月の2回開催)

国内企業へのアピールによりメニーコア研究成果の活用・普及を促進
外部ユーザ・連携企業・外部有識者との意見交換を実施
外部企業との商談・連携議論の機会を創出して今後の実用化事業化の後押しを行った。

<メニーコアシンポジウム2012の事例>

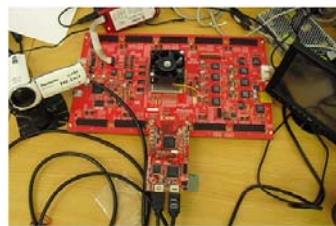
参加者数 約160人の聴講者
外部ユーザに成果をアピール



シンポジウムの様子

<CEATEC2012の事例>

NEDOブース来場者数 約1万5千人
うち63人とプロジェクト成果に係る具体的な意見交換を実施



メニーコアデモシステム展示



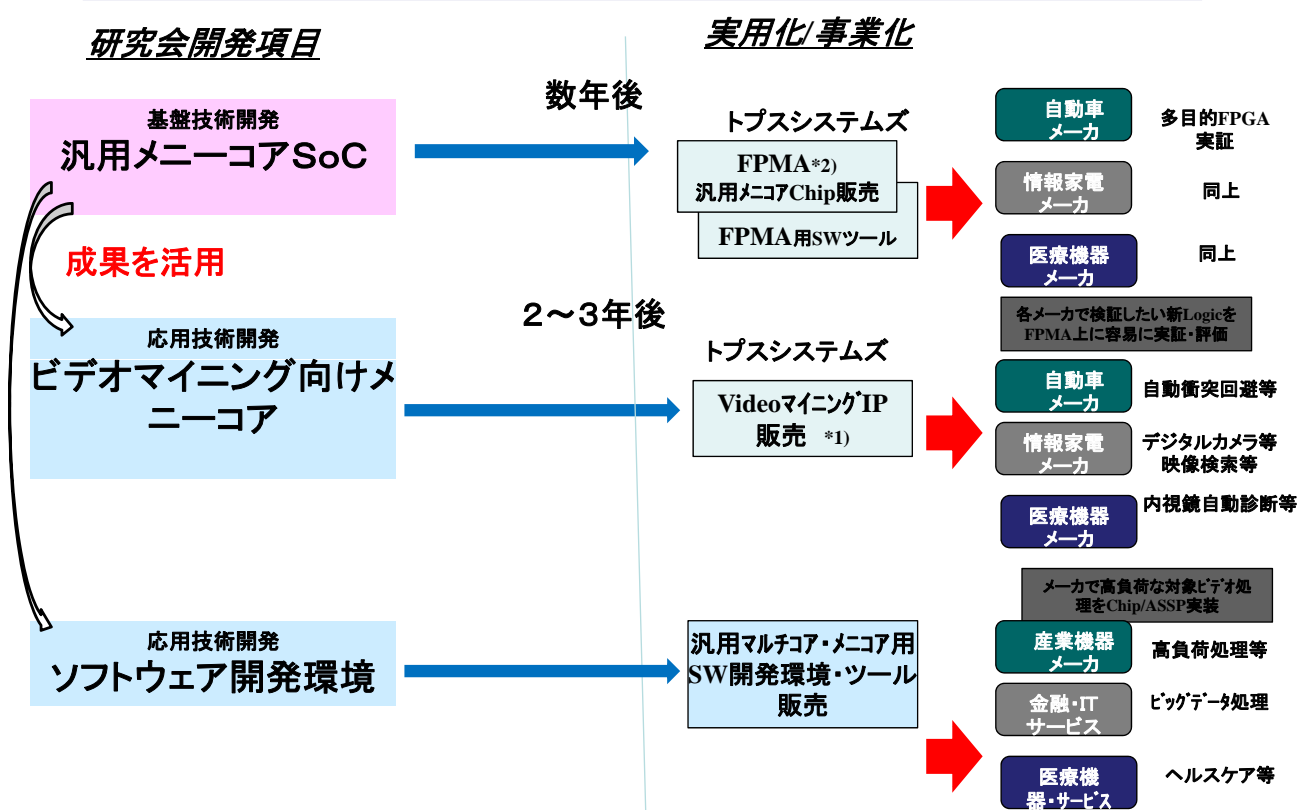
展示ブースの様子

事業原簿(公開版) II-4

研究開発マネジメントについて

公開

(4)研究開発成果の実用化・事業化に向けたマネジメント(将来の事業化のイメージ)



*1)商標:IP=RTL記述のChip設計データ

*2)Field Programmable Manycore Array (汎用メニーコア/SW入れ替えのみでFPGAと同様の機能を享受可能)

*3)SoC:System on Chip

「極低電力回路・システム技術開発(グリーンITプロジェクト)」研究開発項目⑦

「低消費電力メニーコア用アーキテクチャとコンパイラ技術」

(事後評価)

(2010年度～2012年度)

(公開)

III. 研究開発成果について

IV. 実用化、事業化に向けての見通し及び取り組みについて

2013年 12月9日

プロジェクトリーダー 九州大学 井上 弘士

参加機関:九州大学・立命館大学・電気通信大学・
(株)フィックスターズ・(株)トプスシステムズ

1/24

III. 研究開発成果について

(1) 目標の達成度と成果の意義(基本計画目標に対する成果と達成度)

研究開発目標 最終目標(2013年2月)	成果	達成度
あるべき低消費電力メニーコア用アーキテクチャを提案する。	<ul style="list-style-type: none"> 汎用SoCをターゲットとしたメニーコア用アーキテクチャを開発(略称:SMYLEref) ビデオマイニングをターゲットとしたメニーコア用アーキテクチャを開発(略称:SMYLEvideo) 	◎
既存技術と比べて電力当たりの処理性能2倍以上を達成する	<ul style="list-style-type: none"> SMYLEref: 従来実行方式と比較して電力当たり4倍の性能向上を確認(加えて、サーバ向け並列実行技術を開発し4.3倍の性能向上を実機で確認) SMYLEvideo: 最新画像認識プロセッサに対し電力当たり3.2倍の性能向上を確認 	◎
既存技術と比べて組込み向けアプリケーション実行時の電力消費量を1/10以下にする	<ul style="list-style-type: none"> SMYLEref: 従来実行方式と同一性能を前提とした場合に消費電力量1/10を見積りにより確認(加えて、サーバ向け並列実行技術では消費電力量1/4を確認) SMYLEvideo: 最新画像認識プロセッサに対し電力消費量1/4, 回路規模1/2を確認 	○

III. 研究開発成果について

(1) 目標の達成度と成果の意義(本プロジェクトにおける問題意識)

公開

- ・ 産業的観点(アーキテクチャ)
 - メニーコア開発によるサクセスストーリーが示されていない
 - 多くの半導体メーカーが先進的なプロセッサ開発へ踏み出せない
- ・ 産業的観点(ソフトウェア)
 - メニーコア向けのプログラム開発環境が整っていない
 - プログラム生産性の低下が懸念されメニーコア化へシフトしない
 - 特に既存のソフトウェア資産の活用(移植)に大きな障壁
- ・ 学術的観点
 - メニーコア実行/評価環境が整備されていない
 - その結果, 研究開発を加速することができない

III. 研究開発成果について

(1) 目標の達成度と成果の意義(本プロジェクトの狙い)

公開

- ・ 産業的観点(アーキテクチャ)
 - メニーコア開発によるサクセスストーリーが示されていない
 - 多くの半導体メーカーが先進的なプロセッサ開発へ踏み出せない
 - 2つの戦略に基づくアーキテクチャ開発
- ・ 産業的観点(ソフトウェア)
 - メニーコア向けのプログラム開発環境が整っていない
 - プログラム生産性の低下が懸念されメニーコア化へシフトしない
 - 特に既存のソフトウェア資産の活用(移植)に大きな障壁
 - ソフトウェア開発基盤の開発
- ・ 学術的観点
 - メニーコア実行/評価環境が整備されていない
 - その結果, 研究開発を加速することができない
 - 研究開発基盤の整備と普及


 実用化を見据えた研究開発


 オープン化を目指した研究開発

III. 研究開発成果について

(1) 目標の達成度と成果の意義(主な研究成果: 実用化に向けて)

公開

目標

汎用システムLSIメニーコア SMYLEref

成果

- あるべきメニーコア・アーキテクチャを提案する
- H21年3月最新技術に対し、電力当たりの処理性能2倍を達成する
- H21年3月最新技術に対し、組込み向けアプリ実行時の消費電力量を1/10以下にする
- クラスタ型メニーコア・アーキテクチャを提案、FPGAプロトタイプにより128コア動作確認
- 既存方式に対して電力当たり4倍の性能向上を確認
- 消費電力量1/10の実現可能性を確認

目標

ビデオマイニング向けメニーコア SMYLEvideo

成果

- あるべきメニーコア・アーキテクチャを提案する
- H21年3月最新技術に対し、電力当たりの処理性能2倍を達成する
- H21年3月最新技術に対し、組込み向けアプリ実行時の消費電力量を1/10以下にする
- ヘテロジニアス・メニーコア・アーキテクチャを提案、FPGAボードにより2クラスタ動作確認
- 2013年時の最新画像認識プロセッサに対して電力当たり3.2倍の性能向上を確認
- 2013年時の最新画像認識プロセッサに対して、消費電力量1/4、回路規模1/2を確認

目標

高速ソフトウェア・ライブラリ BEMAP

成果

- 主要アプリケーション分野を定め、メニーコア向けソフトウェア・ライブラリを開発する
- 主要4分野から8種類のコードを選択し、OpenCL版高速ソフトウェア・ライブラリを開発

III. 研究開発成果について

(2) 知的財産権等の取得及び標準化の取り組み

公開

特許件数: 国内3件, 米国1件

汎用システムLSIメニーコア SMYLEref

- 同期処理回路及び同期処理方法(九州大学)
- メニーコアにおいて同期処理を高速化するためのハードウェア機構であり、同期処理に参加するコアのグループを形成することが可能
- トプスシステムズによるSMYLEref実用化での利用を想定

ビデオマイニング向けメニーコア SMYLEvideo

- プロセッサコア, およびマルチコア・プロセッサ・システム(トプスシステムズ)
- コア間での直接通信を極めて高速に実現するためのハードウェア機構
- トプスシステムズによるSMYLEvideoで使用
- 米国特許も出願済み

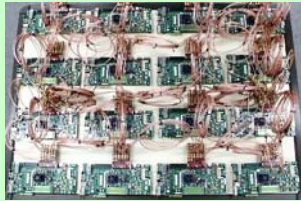
ソフトウェア開発環境 PEMAP

- 実行時間算出装置, 実行時間算出方法, 及びプログラム(フィックスターズ)
- プログラム移植後の性能推定を可能にするコード生成技術
- フィックスターズ社の「M3プラットフォーム」にて活用(高速ライブラリ開発で活用)

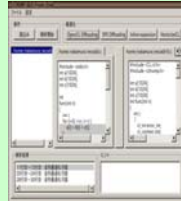
III. 研究開発成果について (3) 成果の普及(成果物の公開と学術的貢献)

公開

成果物の公開



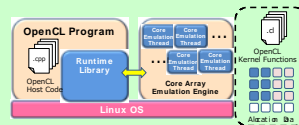
メニーコアFPGA評価環境
(RTL/OS/ミドルウェア含む)



C-to-OpenCL変換ツール
(ソースコードレベル公開)



メニーコア用ベンチマーク集
(C/OpenCLソース, 最適化レポート含む)



メニーコア用
機能シミュレータ

論文/発表

- 国内論文(査読付き): 2件
- 国内会議: 31件
- 国際会議: 22件

主要国際会議発表

- PACT 2012, 2013
- MPSoC 2012, 2013
- DATE 2012, 2013
- ASPDAC 2013

受賞

- WANC' 12 Best Paper Award
- SACSIS' 12 優秀ポスター賞
- 情報処理学会山下記念賞

NEDO主催シンポジウム

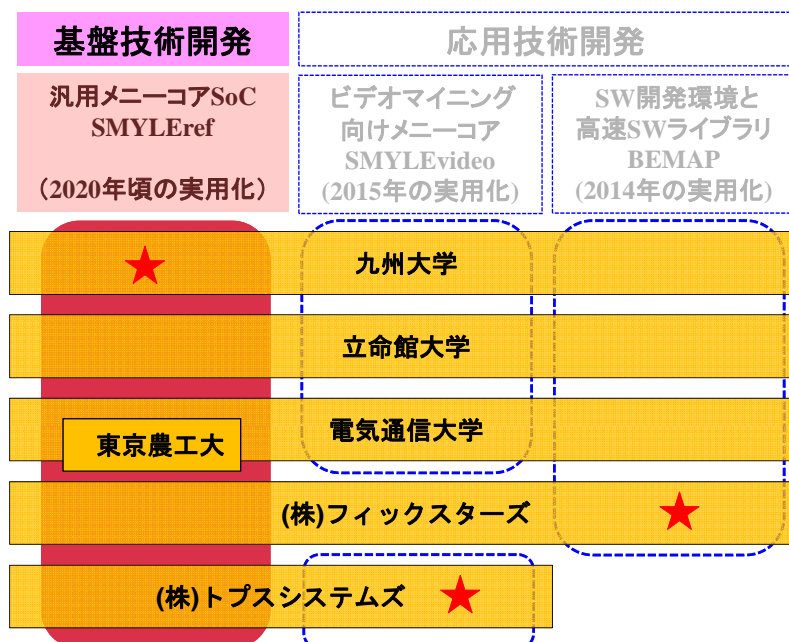
- 2012年(参加者165名)
- 2013年(参加者115名)

事業原簿(公開版) III-4

7/24

III. 研究開発成果について 研究開発成果の詳細(研究体制と研究テーマ)

公開

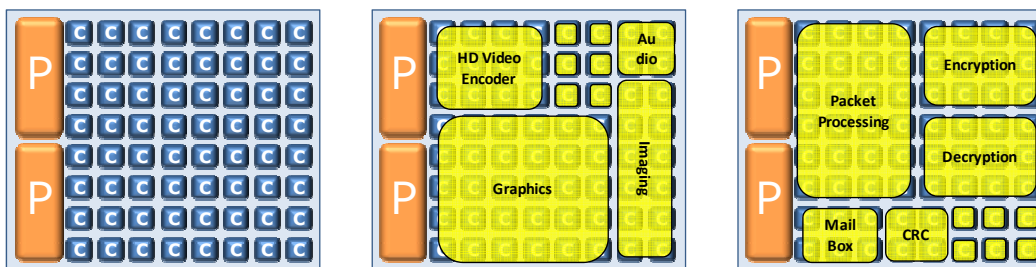


8/24

III. 研究開発成果について 研究開発成果の詳細(SMYLEref:狙い)

公開

- メニーコアSoCプラットフォーム(汎用SoCを目指して)
 - マルチコア性能<<メニーコア性能<専用エンジン性能
 - 様々なアプリケーションを「比較的」効率良く実行
 - SoCに搭載された複数HWエンジンをメニーコア(SW処理)で置換え



メニーコア技術を活用した新しいSoCビジネスモデル
「多品種少量生産」から「少品種大量生産」へ

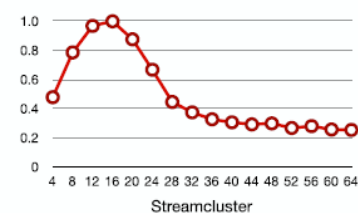
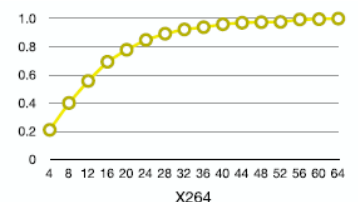
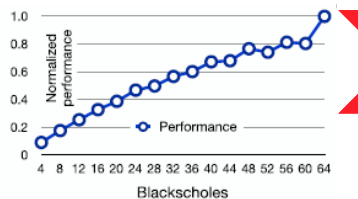
事業原簿(公開版)III-5

9/24

III. 研究開発成果について 研究開発成果の詳細(SMYLEref:仮想アクセラレータVAMの導入)

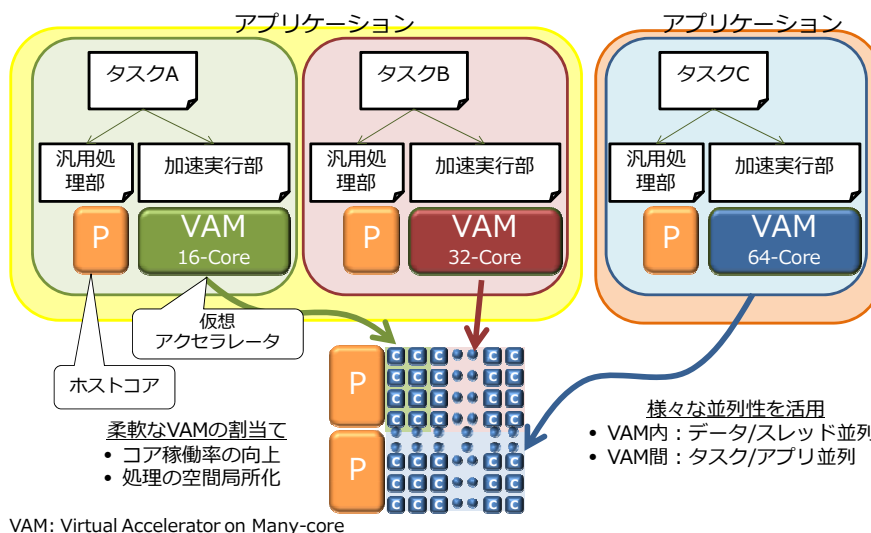
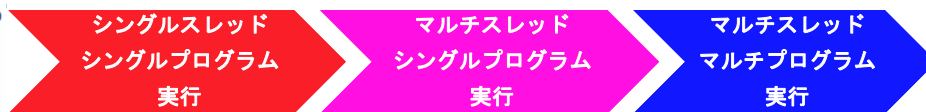
公開

スケーラビリティの高い
アプリケーションばかりではない!



64コアサーバシステムでの実行時間

本研究の狙い



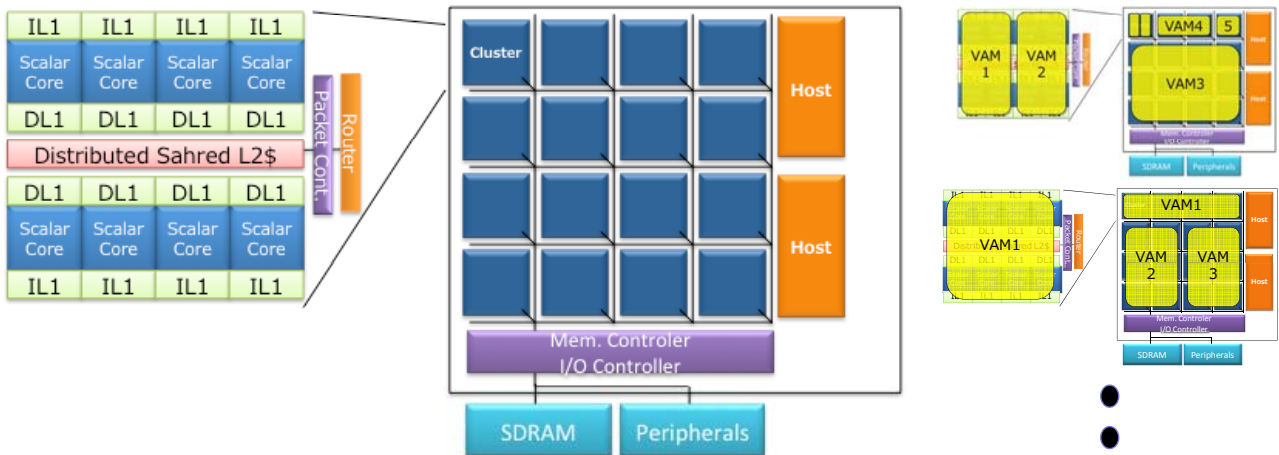
事業原簿(公開版)III-6

10/24

III. 研究開発成果について 研究開発成果の詳細(SMYLEref:アーキテクチャ)

公開

- 共有メモリ・モデル
- VAMの実装を考慮
 - ✓ シンプルなスカルコアで構成されるクラスタ構造+NoC接続
 - ✓ プライベートL1\$+分散共有L2\$(HWコヒーレンス制御無し)
 - ✓ 再構成可能グループHWバリア機構の導入(SW方式から60倍の高速化)



事業原簿(公開版) III-6

11/24

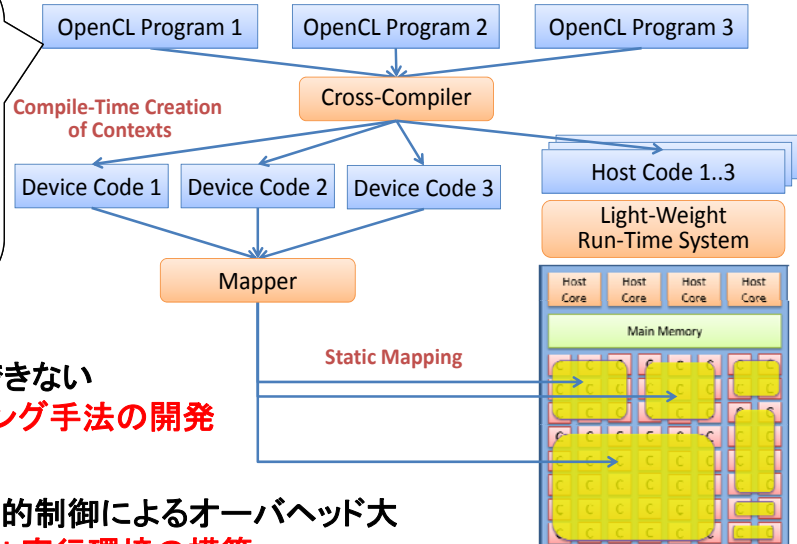
III. 研究開発成果について 研究開発成果の詳細(SMYLEref:SoC設計フロー)

公開

問題: 既存OpenCL実行環境は多くの場合で逐次実行モデル(データ並列性の活用)

対策: 空間並列実行モデルとして実装→タスクorプログラム・レベル並列性の積極活用

- プログラミングモデルにはオープン仕様でありロイヤリティフリーなOpenCLを採用
- 組み込み応用を意識したランタイム・ライブラリ開発
- 機能検証のためのシミュレータ開発



問題: 最適なコア割り当てを実現できない

対策: 複数コンテキスト静的マッピング手法の開発

問題: 既存OpenCL実行環境は動的制御によるオーバーヘッド大

対策: 組み込みシステム向けOpenCL実行環境の構築

→可能な限りコンパイル時に処理(タスク割当てなど)

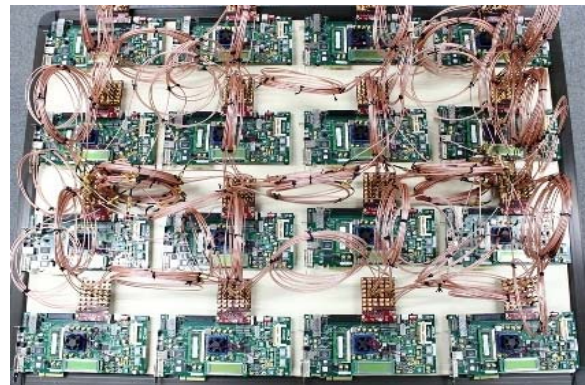
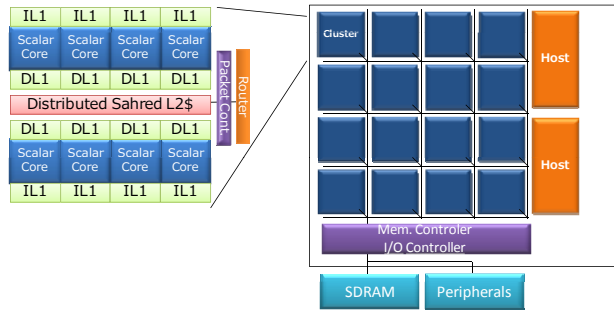
事業原簿(公開版) III-8

12/24

III. 研究開発成果について
研究開発成果の詳細(SMYLEref:128メニーコアFPGAプロトタイプ)

公開

- クラスタ: MIPSベースのRISCコアを8個、NoCのためのルータ、分散共有L2キャッシュ・スライスを搭載
- ホストコア: Linuxを起動可能であり、VAM制御のためのAPI策定、ドライバ開発、MPEGデコードデモシステム開発、などを実施
- ボード間通信: 高速シリアル通信インタフェースであるrocket I/Oを使用、ボード間通信サポート・モジュールを開発
- プロセッサコアのクロック周波数は数10MHz程度、rocket I/Oによるルータ間は5GHzでのシリアルデータの通信



事業原簿(公開版) III-12

III. 研究開発成果について
研究開発成果の詳細(SMYLEref:性能/消費電力量評価)

公開

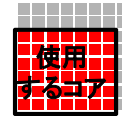
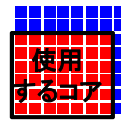
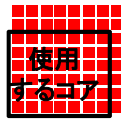
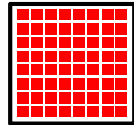
P_{IDLE} : アイドル/停止時のコア当り消費電力
 P_{ACTIVE} : 活性化時のコア当り消費電力

全コア実行
(全コアアクティブ)

逐次最適コア数実行
(全コアアクティブ)

$P_{IDLE} = 0.4 \times P_{ACTIVE}$
逐次最適コア数実行
(未使用コアはアイドル)

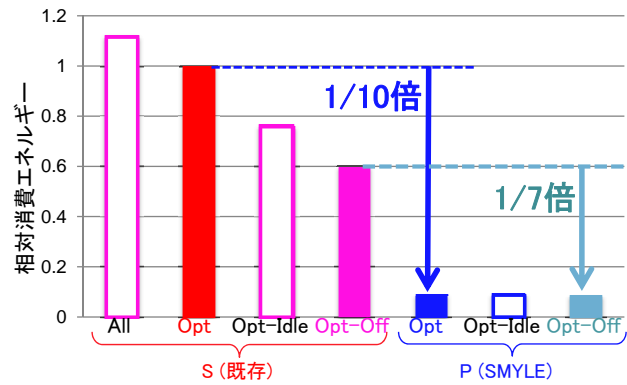
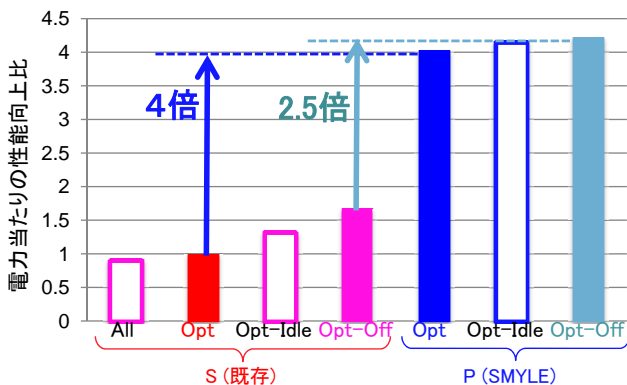
$P_{IDLE} = 0$
逐次最適コア数実行
(未使用コアは完全停止)



複数の並列プログラムを順次実行(既存)
複数の並列プログラムを同時実行(SMYLE)

S-All	S-Opt ベースライン	S-Opt-Idle	S-Opt-Off
—	P-Opt	P-Opt-Idle	P-Opt-Off

• 性能(スループット)はFPGAメニーコア評価環境での実行結果より推定
• 消費電力は電力モデルに基づき見積り



事業原簿(公開版) III-10

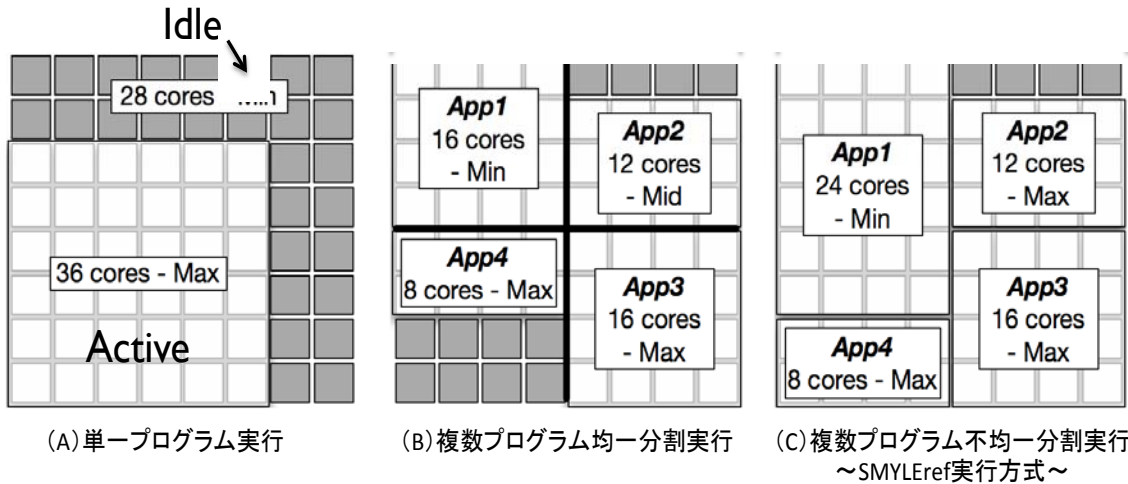
S-Optと同一性能となるよう動作周波数を1/4とし、電源電圧を60%に低下すると仮定
⇒実行時間はS-Optと同じで P_{ACTIVE} は0.09倍(0.25 × 0.6 × 0.6)

III. 研究開発成果について

研究開発成果の詳細(SMYLEref:サーバ応用を意識した動的最適化技術開発)

公開

- 実行中に各プログラムの「スケーラビリティ」を推定
- 各プログラムに対して「コア数」と「動作周波数 & 電源電圧」を動的に決定
- 同時実行プログラムの種類や挙動が変化した場合でも追従可能
- Linuxに実装し実機(64コアを搭載したサーバシステム)で評価
⇒4.3倍の性能向上と75%以上の消費エネルギー削減を確認



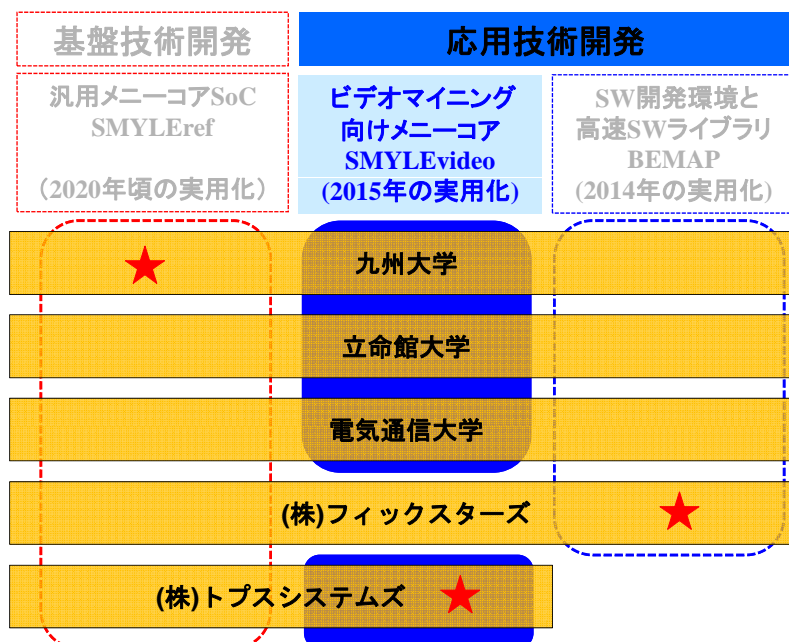
事業原簿(公開版)Ⅲ-12

15/24

III. 研究開発成果について

研究開発成果の詳細(研究体制と研究テーマ)

公開



16/24

III. 研究開発成果について
研究開発成果の詳細(ビデオマイニング向けメーカ用:SMYLEvideoの開発)

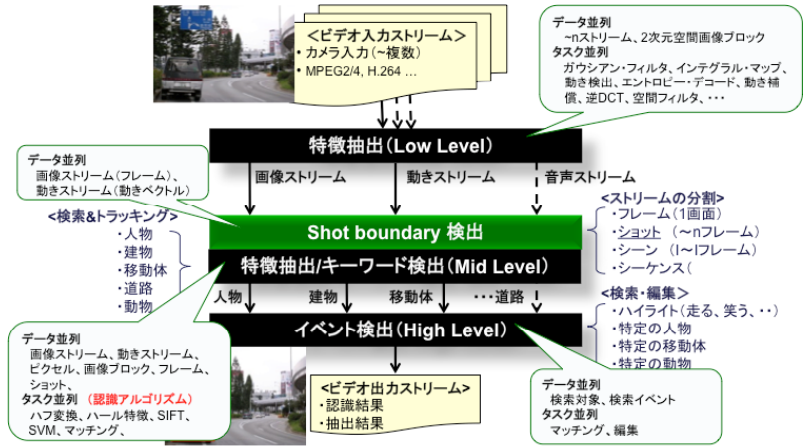
公開

SMYLEvideoの狙い

- 完全ソフトウェア処理
- リアルタイム性の保証と低消費電力の両立
- スケーラビリティの確保

アプローチ

- SMYLErefのクラスタ構造や複数タスク同時実行技術を導入
- ビデオマイニングに焦点を当てたハードウェア/ソフトウェア協調設計



ビジネス展開戦略

- FPGAボードを用いたデモンストレーション
- ユーザ環境(コア種類など)へのカスタマイズ
- ドメイン特化型メーカ用IPとして提供

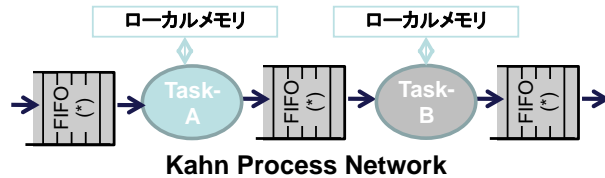
事業原簿(公開版)III-13



III. 研究開発成果について
研究開発成果の詳細(SMYLEvideo:アーキテクチャ)

公開

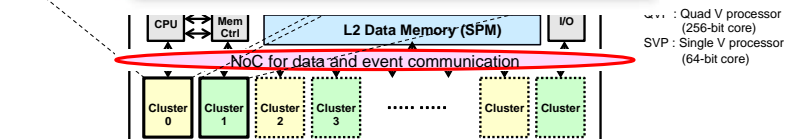
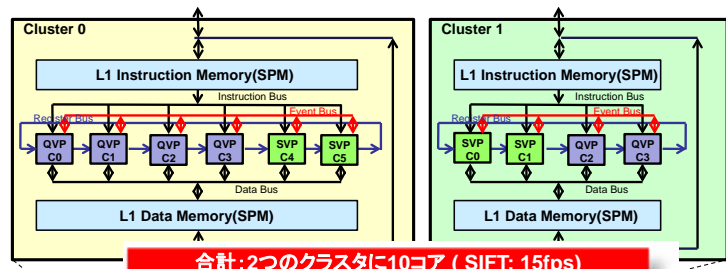
- KPNモデルによるストリーム型並列処理アーキテクチャ



- ビット幅の異なる2種類のコア(64ビットと256ビット)と拡張複合命令のサポート

- ソフトウェア制御可能なFIFOをレジスタ・ファイル上を実現(国内/国外特許申請)

- クラスタ内レジスタ通信+クラスタ間NoC通信



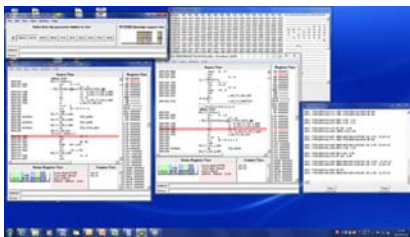
更にクラスタの追加により、スケーラブルに高性能化や高機能化が可能

事業原簿(公開版)III-14

III. 研究開発成果について
研究開発成果の詳細(SMYLEvideo:性能/消費電力/コスト評価)

公開

アプローチ	ソフトウェア方式	性能 (GOPS)	柔軟性 (プログラマビリティ)	スケーラビリティ (拡張性)	消費電力 (mW)	コスト (回路規模)
SMYLEvideo ヘテロジニアス・ メニーコア	分散並列 処理ソフト	◎ ~700GOPS *1 @100MHz (2クラス構成)	◎	◎ (PE数, クラス数)	◎ 350mW以下 *3 (2クラス構成)	◎ 約17mm ² *2 (3Mgate+2MB)
SoC (独自アルゴリズム+ 汎用コア+ 専用アクセラレータ)	ソフト + ハードIP	△	△	△	△	△
SoC (汎用コア+ 専用アクセラレータ)	ソフト + ハードIP	◎ 464GOPS @266MHz	△	△	○ 748.6mW 620GOPS/W	○ 44.54mm ²
SIMD型マルチコア	SIMD + MIMD	△ 138@108MHz	○	○ (PE数)	○	○



命令レベル・シミュレータ開発



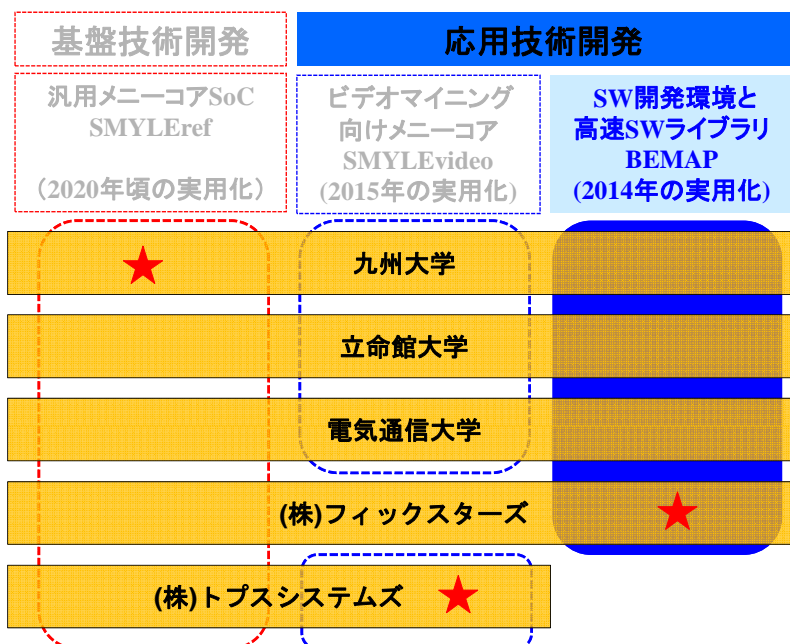
消費電力見積り

*1 Intel corei5の性能から換算した見積値
*2 40nmで実装した場合の見積値
*3 外部メモリの消費電力も下がる

事業原簿(公開版)III-19

III. 研究開発成果について
研究開発成果の詳細(研究体制と研究テーマ)

公開



III. 研究開発成果について
研究開発成果の詳細(メニーコア向けソフトウェア開発環境の構築)

公開

SW開発環境構築の狙い

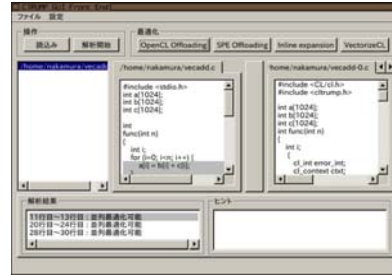
- SWの資産化／共有化
- プログラム移植容易性の向上
- メニーコア時代のSW開発に関する知識の共有

アプローチ

- 半自動並列化コンパイラの開発と公開(SMYLErefでも使用)
- 移植後性能推定ツールの開発と公開
- 主要な応用分野に着目したベンチマーク開発と公開(→高速ソフトウェアライブラリへ展開)

ビジネス展開戦略

- オープンソース化で利用者拡大
- 高速・高品質ライブラリ販売やカスタマイズ, 保守サポート



半自動並列化コンパイラ CLtrump
<http://ctrump.sourceforge.net/ctrump.html>



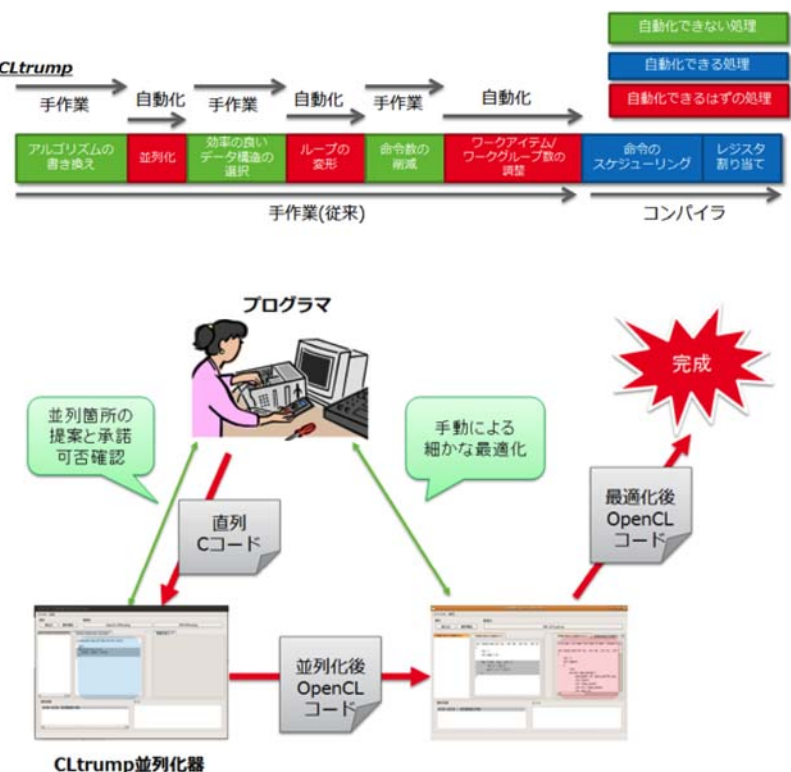
OpenCLベンチマーク BEMAP
http://sourceforge.jp/projects/sfnet_bemap/

CLtrump (C to CL Translation Utilities for Manycore Processor)
PEMAP (Performance Estimator for Many-core Processors)
BEMAP (BEnchMark for Auto-Parallelizer)

III. 研究開発成果について
研究開発成果の詳細(CLtrump: 半自動最適化コンパイラ)

公開

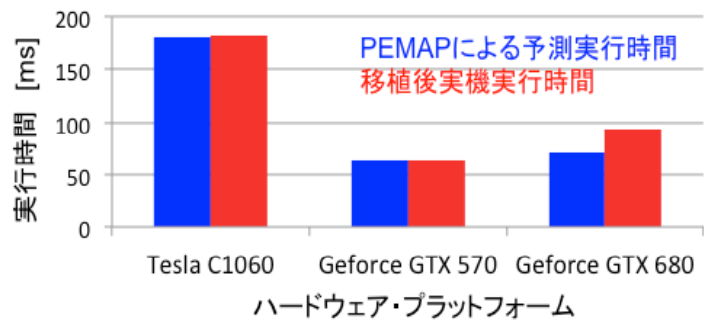
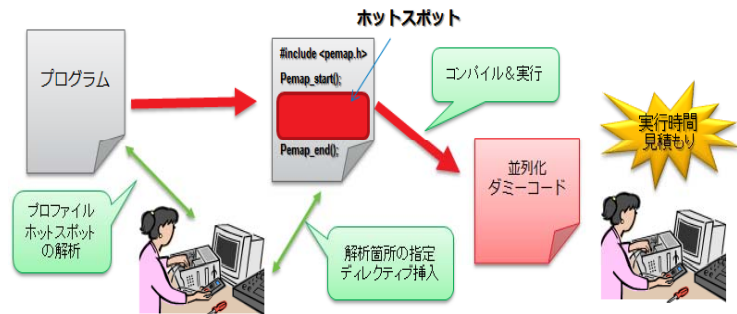
- プログラマによる並列化作業負担を軽減
- 高度最適化(アルゴリズムレベルなど)は人手、自動化可能最適化(ループ変形など)はコンパイラ
- コンパイラによる最適化チャンスの提示とプログラマによる実行指示(インタラクティブな最適化)
- 最適化後コードの再利用性の向上



III. 研究開発成果について
研究開発成果の詳細(PEMAP: 移植後性能推定用コード生成ツール)

公開

- オリジナル・ソースコードから移植後の性能を予測するためのソースコード(並列化ダミーコード)を生成
- 移植対象マシンで並列化ダミーコードをネイティブ実行
- 移植のためのコーディングを行う前に移植後の性能を把握可能



IV. 実用化・事業化に向けての見通し及び取り組みについて
(1) 成果の実用化・事業化の見通し

公開

	2013年	2015年	2020年
<p>汎用システムLSIメニーコア SMYLEref</p> <ul style="list-style-type: none"> • FPGAプロトタイプにより128コア動作確認 • 既存方式に対して電力当たり4倍の性能向上を確認 • 消費電力量1/10の実現可能性を確認 	<ul style="list-style-type: none"> • FPMA(Field Programmable Manycore Array)として展開 	<ul style="list-style-type: none"> • 事業化へと展開 • (株)トプスシステムズ 	
<p>ビジュアルコンピューティングメニーコア SMYLEvideo</p> <ul style="list-style-type: none"> • FPGAボードにより2クラスタ動作確認 • 画像認識プロセッサ@2013に対して電力当たり1.7倍の性能向上を確認(CPUに対しては30倍) • 加えて、消費電力量1/4、回路規模1/2を確認 	<ul style="list-style-type: none"> • ユーザが有する環境へのカスタマイズ • ユーザ獲得(2013年3月)に基づく事業化進行中 	<ul style="list-style-type: none"> • カスタマイズ作業の効率化 • さらなる事業の拡大 • (株)トプスシステムズ 	
<p>ソフトウェア開発環境の構築 CLtrump/PEMAP/BEMAP</p> <ul style="list-style-type: none"> • ベンチマーク/高速ソフトウェア・ライブラリを開発 • CtoOpenCL変換ツールを開発 • 移植後性能推定ツールを開発 	<ul style="list-style-type: none"> • 追加開発: SWプラットフォームM3ブランドに統合 • 2社への導入決定(2013年9月現在) 	<ul style="list-style-type: none"> • M3ブランドの普及 • さらなる事業の拡大 • (株)フィックスターズ 	