

「ノーマリーオフコンピューティング基盤技術開発」

(2011年度～2015年度 5年間)

(中間評価)

プロジェクトの概要 (公開)

○「事業の位置付け・必要性について」、及び「研究開発マネジメント」 (NEDO)

○「研究開発成果」、及び「実用化・事業化に向けての見通し

及び取り組みについて」

(中村PL)

NEDO

電子・材料・ナノテクノロジー部

2013年 8月 6日

1/42

発表内容

公開

I. 事業の位置付け・必要性について (NEDO)

- (1)NEDOの事業としての妥当性
- (2)事業目的の妥当性

II. 研究開発マネジメント (NEDO)

- (1)研究開発目標の妥当性
- (2)研究開発計画の妥当性
- (3)研究開発の実施体制の妥当性
- (4)研究開発成果の実用化・事業化に向けたマネジメントの妥当性
- (5)情勢変化への対応等

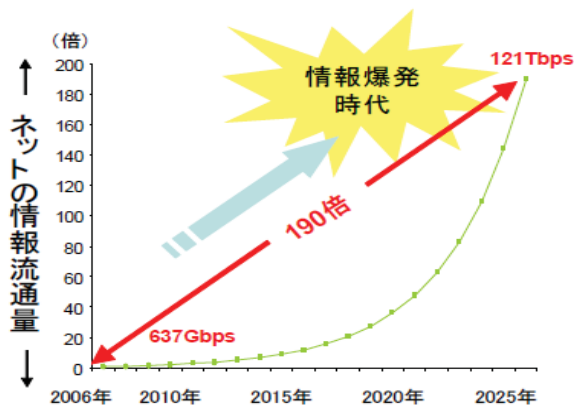
III. 研究開発成果 (中村PL)

IV. 実用化・事業化に向けての見通し及び取り組みについて (中村PL)

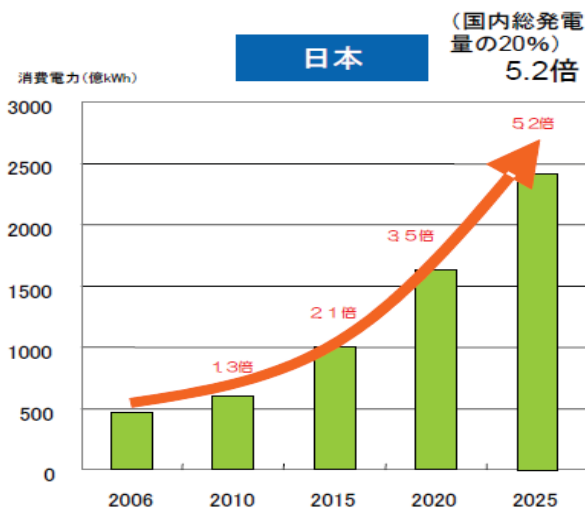
2/42

背景

情報爆発時代の到来



IT機器の消費電力量が急増



グリーンITイニシアティブの推進 平成20年10月 経済産業省商務情報政策局 発表資料より

http://www.csai.jp/semina/2008/1006_semina.html

事業の目的

低炭素社会の実現のため、IT機器やシステムの飛躍的な低電力化が必要

機器・システムの低消費電力性能10倍を目指し、不揮発性素子を用いたノーマリーオフコンピューティング技術を開発する

産業技術政策 (政府全体)

第3期科学技術基本計画
 (2006年3月閣議決定)

重点推進4分野としての情報通信分野
 ⇒ITイノベーションプログラムに展開

第4期科学技術基本計画
 (2011年8月閣議決定)

情報通信分野の継続推進

第4期科学技術基本計画と整合をとりつつ、最近の状況変化を織り込み、長期ビジョンとその実現に向けた短期の行動プログラムを策定

科学技術イノベーション総合戦略
 (2013年6月閣議決定)

世界をリードする グリーンイノベーションの実現

(第4期科学技術基本計画より)

エネルギー利用の高効率化及びスマート化:
 ...情報通信技術は、エネルギーの供給、利用や社会インフラの革新を進める上で不可欠な基盤的技術であり、次世代の情報通信ネットワークに関する研究開発、**情報通信機器やシステム構成機器の一層の省エネルギー化**、ネットワークシステム全体の最適制御に関する技術開発を進める。

革新的デバイスの開発による 効率的エネルギー利用

(科学技術イノベーション総合戦略より)

2030年目標: 革新的デバイスによるエネルギー効率向上及びエネルギー消費の削減
 2020年頃達成すべき姿: **情報機器では、10倍程度の電力効率のノーマリーオフコンピューティング技術を実現**

NEDOが関与する意義

公開

事業目的: 機器の消費電力を大幅に低減させるため、システムとしては動作中であっても真に動作すべき構成要素以外の電源を遮断する「ノーマリーオフ」を目指し、不揮発性素子技術の高度化と併せて、機器のアーキテクチャ、ソフトウェア及びシステム化の要素技術を確立する。

低炭素社会の実現には、飛躍的な低電力化が必須
ノーマリーオフコンピューティングが不可欠な技術要素

- ・新メモリ階層
- ・間歇動作指向コンピューティング技術

省エネルギー、地球温暖化対策に貢献する技術

ナノテクノロジーで培われた新規の機能材料や新規のデバイス構造

- ・高速低電圧不揮発性メモリ(MRAM等)

日本の技術優位性により産業競争力強化に繋がる技術

実用化まで長期間を要するハイリスクな「基盤技術開発」

産学官共同研究体制が適する

ノーマリーオフのシステムとしての低消費電力化は、欧米においてまだ大きな取り組みはなされていない

世界に先駆けて確立する

NEDOが関与すべき事業

実施の効果

公開

ノーマリーオフコンピューティング基盤技術開発プロジェクトの総事業費 : (予定)65 億円/5年間
(内、NEDO負担率1/2)

経済効果

2020年に、プロジェクト成果のノーマリーオフ適用事業の期待売上げ:約7,000億円

東芝
半導体(携帯情報端末等)



ルネサスエレクトロニクス
省電力マイコン



ローム
省電力LSI



2030年に、国内パソコン・スマートフォン機器へのノーマリーオフ波及効果:約7,000億円

(ノーマリーオフ普及率50%を想定)

省エネ効果

本研究開発が対象とする集積回路を用いたIT機器やシステムは、大幅な省エネルギー効果が期待できる。

2030年に 23億kWh/年



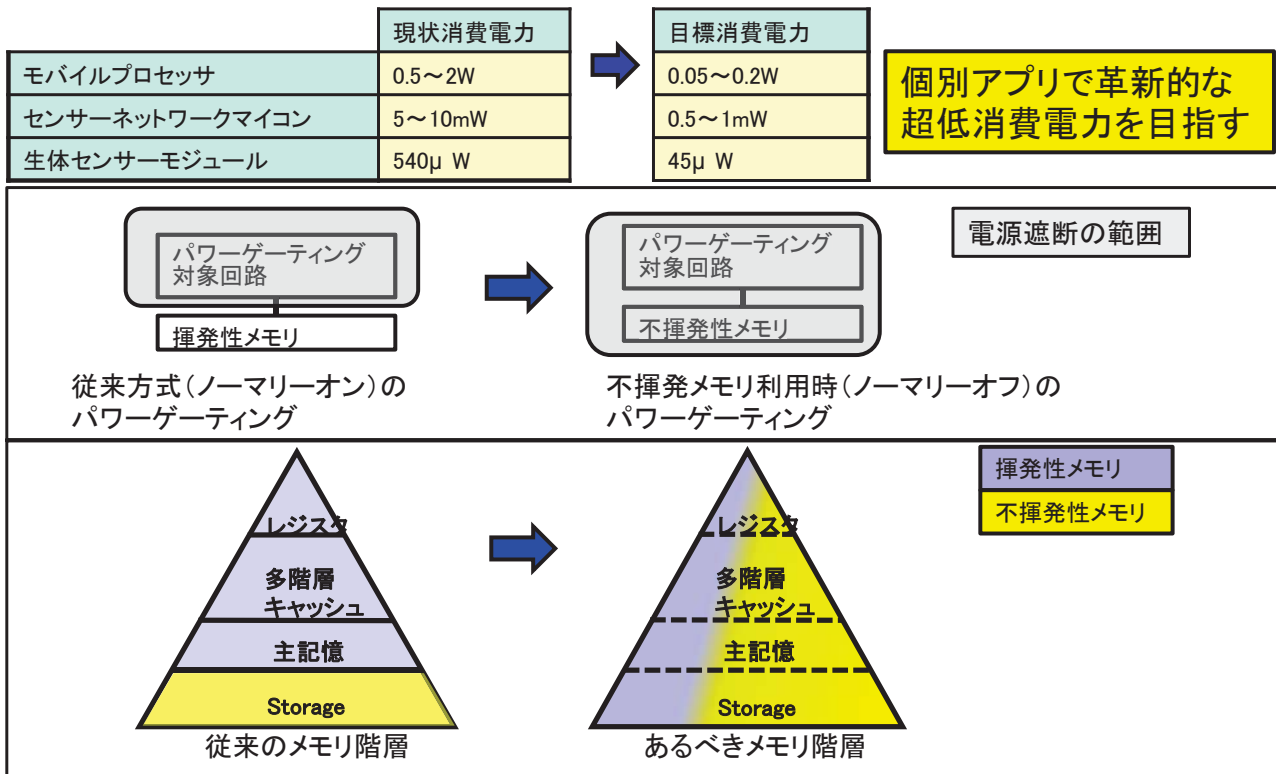
128万トン/年 (世界では2,000~3,000万トンの削減)

※国内のIT機器のノーマリーオフ普及率を仮定して省エネ効果を算出

(ノーマリーオフ普及率:パソコン50%、スマートフォン:50%、自動車用センサー端末:20%、生体情報計測センサー:60%)

ノーマリーオフコンピューティングの優位性

システムとしてのノーマリーオフコンピューティング(不揮発メモリを利用したメモリ階層の最適化と効果的パワーゲーティング)の研究はワールドワイドで未検討・未確立
 ⇒世界に先駆けて確立することで、新市場の創出と低炭素化社会の実現に寄与できる



II. 研究開発マネジメント

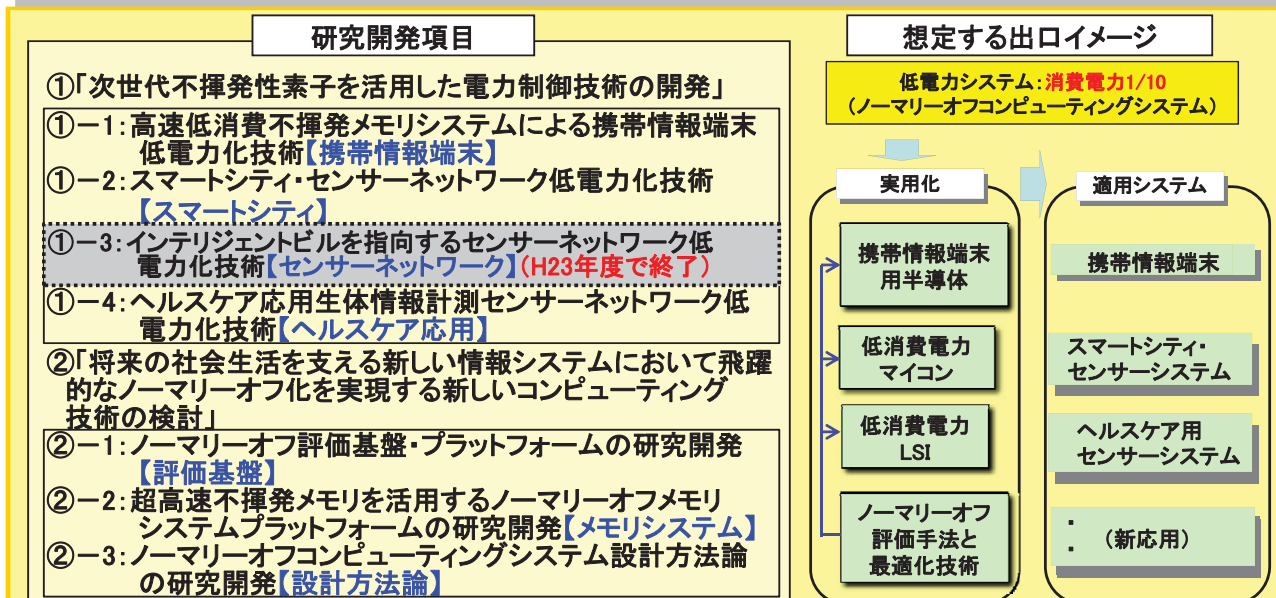
(1)研究開発目標の妥当性

事業の目標

システムの低消費電力性能を10倍にするノーマリーオフコンピューティング技術の確立
 ⇒ 不揮発性素子を用いたメモリ階層と間歇動作を指向するコンピューティング手法で実現

従来システム (揮発性素子によるノーマリーオンコンピューティング)

→超低電力システム(不揮発性素子用いたノーマリーオフコンピューティング)へ転換



各研究開発項目の目標

公開

①「次世代不揮発性素子を活用した電力制御技術の開発」(分散研)

研究開発項目	内容	研究開発目標(最終目標)	根拠
①-1: 携帯情報端末	高速低消費電力のMRAMを開発し、これを利用したキャッシュメモリ回路とノーマリーオフ動作のためのメモリ階層化構造を開発。	・MTJ記憶素子を搭載した不揮発キャッシュメモリを搭載したプロセッサの評価システムで測定した結果から電力効率の評価を行い、従来のキャッシュメモリと比較して10倍以上を示す。	・携帯端末の低消費電力化のために、プロセッサの低消費電力化が必要だが、このために従来のノーマリーオンからノーマリーオフ化を実現することで可能となるプロセッサの消費電力目標を設定。
①-2: スマートシティ	センサーノードのアーキテクチャ技術とハードウェア/ソフトウェア協調によるノーマリーオフ電源制御技術を開発。	・センサーノード(通信除く)について、従来のマイコンを用いたセンサーノードと比較し10倍のノーマリーオフ低電力化性能を実証することを目標とする。	・スマートシティ・センサーネットワークで扱う情報通信量の増大トレンドとニーズとしてのマルチセンサー化とバッテリー長寿命化をもとに目標を設定。
①-4: ヘルスケア応用	センシング、データ処理、通信機能を備えたFeRAM搭載ウェアラブルセンサーLSIの開発と、これによる生体基礎データ収集システムを確立。	・心拍、体温、3軸加速度、心電波形計測・解析機能を有するウェアラブル生体モニタリングシステムの完成と、電力消費性能10倍、平均消費電流20 μ Aを達成する。	・ウェアラブルな生体センサーではサイズとコストが重要であり、制約としてあるバッテリー容量で2週間連続駆動できるという市場ニーズをもとに目標を設定。

各研究開発項目の目標

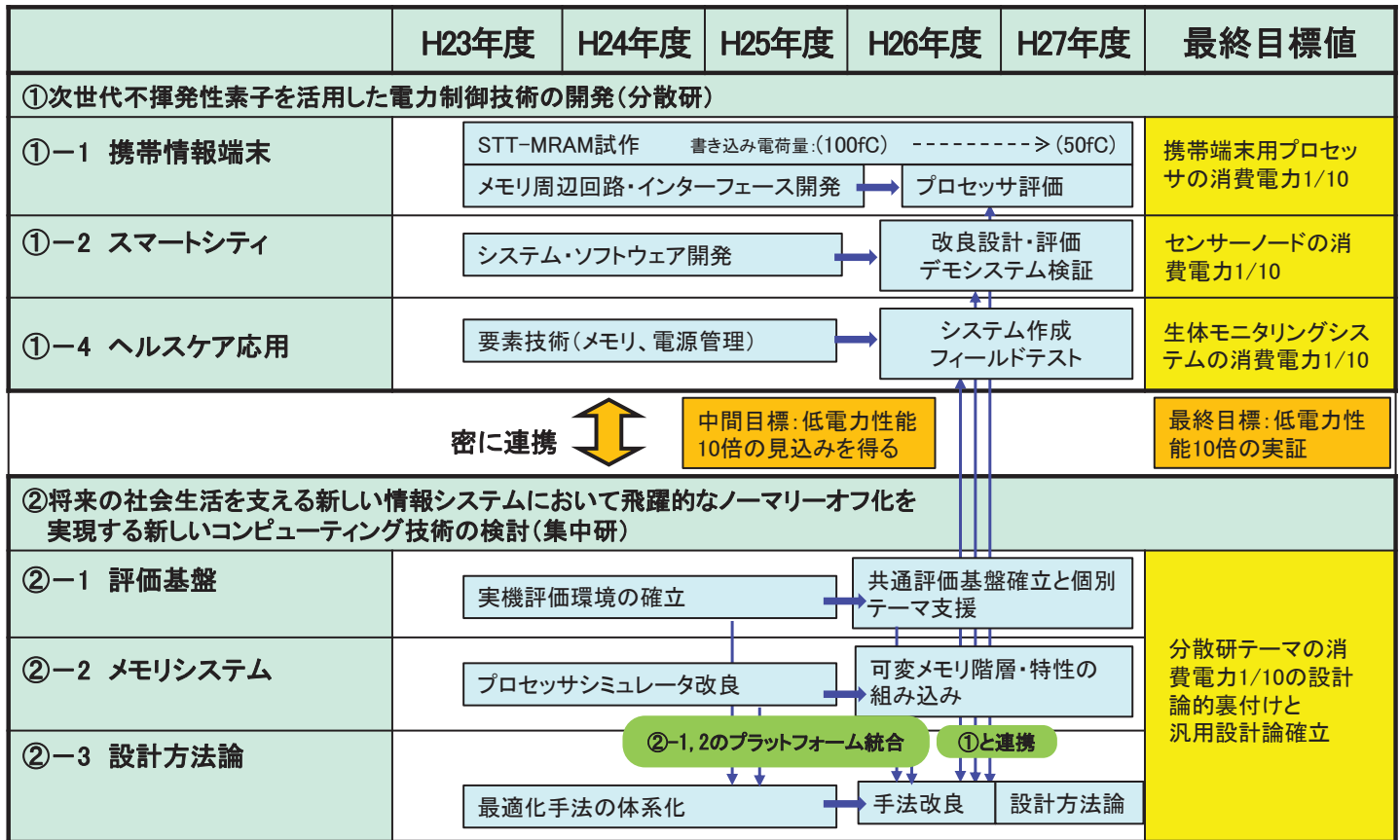
公開

②「将来の社会生活を支える新しい情報システムにおいて飛躍的なノーマリーオフ化を実現する新しいコンピューティング技術の検討」(集中研)

研究開発項目	内容	研究開発目標(最終目標)	根拠
②-1: 評価基盤	ノーマリーオフ・システムの電力消費性能の実機レベルでの精緻な評価用の基盤となる評価技術・プラットフォームを確立。	・ノーマリーオフ低電力化のためのソフトウェア技術の提案と、分散研の従来比1/10の低電力化実証を支援し、ノーマリーオフ電力性能評価の基盤となる評価技術・プラットフォームを確立する。	・分散研①の各研究項目の性能評価を実施し集中研の汎用設計論へフィードバックするために共通に使える評価基盤の確立が必要なため。
②-2: メモリシステム	高速低消費電力のMRAM性能に対応させて、プロセッサ内に搭載する不揮発メモリ階層化構造開発のためのプラットフォーム構築。	・分散研①-1で改良設計されるノーマリーオフメモリシステムを搭載するプロセッサのシミュレーション環境を構築し、携帯情報端末用プロセッサの性能/消費電力が従来に比べて10倍以上となることの実証を支援する。	・メモリ階層化とパワーゲーティングの低消費電力最適化選択を幅広く行い、ノーマリーオフプロセッサのアーキテクチャ開発への有効性実証のため。
②-3: 設計方法論	②-1と②-2の評価プラットフォームを統合し、システムに依存しない本質的なノーマリーオフコンピューティングの方法論を体系化。	・メモリ階層全体を最適化してノーマリーオフコンピューティングの評価可能な環境を構築し、分散研で開発される技術へのフィードバックを行うとともに、その知見の共有と一般化により、新しい応用領域へも適用可能な設計方法論を確立する。	・次世代不揮発性素子ならではの機能を活かし、分散研テーマのより普遍的・長期的技術競争力を確保し、さらに新しい応用領域へも適用可能なコンピューティング技術であることを示すため。

研究開発スケジュール

公開



開発予算

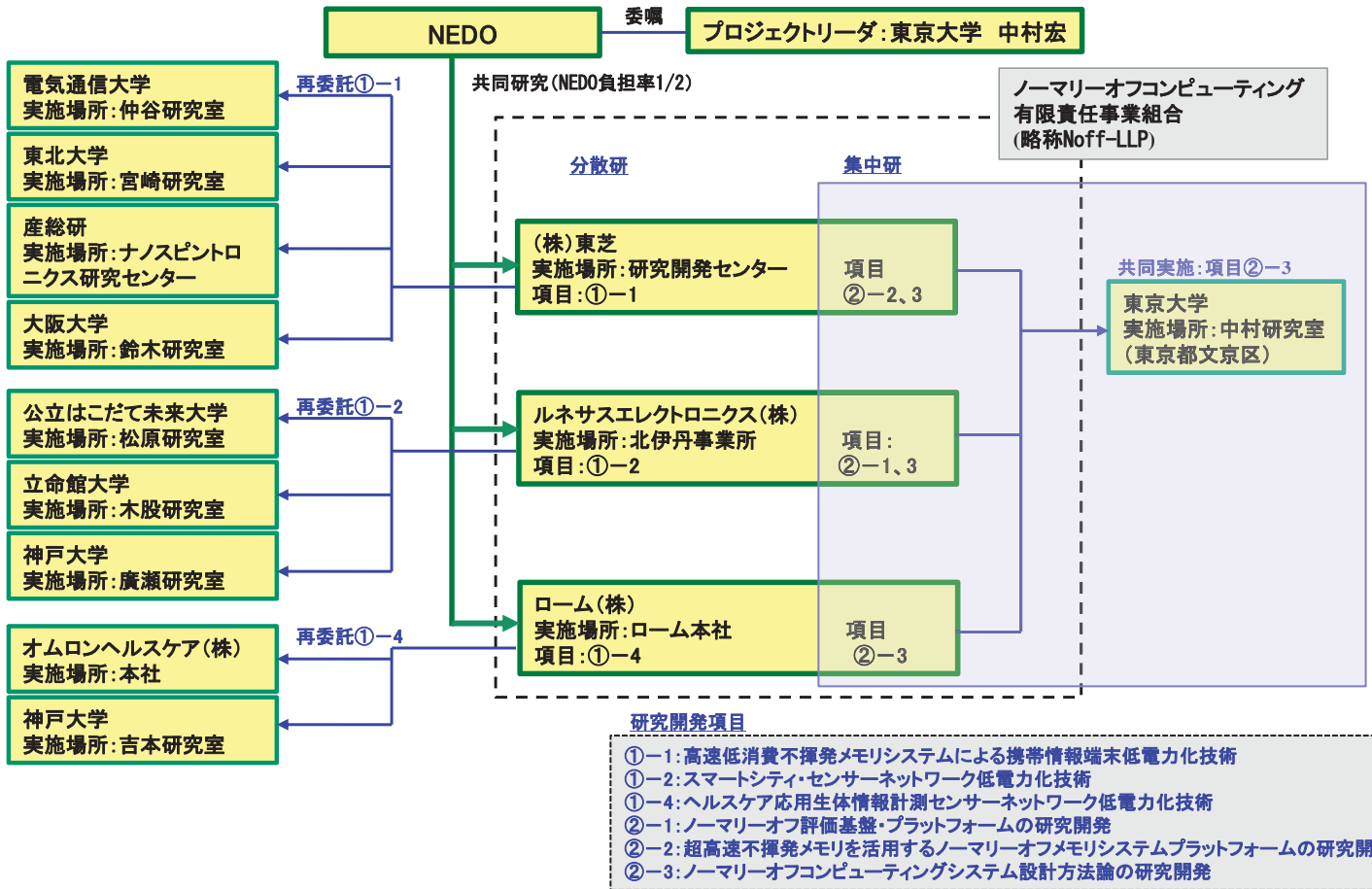
公開

(単位: 百万円)

	H23年度	H24年度	H25年度	H26年度	H27年度	合計
①-1: 携帯情報端末	337	463	432			1,232
①-2: スマートシティ	142	431	409			982
①-3: センサーネットワーク	102					102
①-4: ヘルスケア応用	39	51	48			138
②-1: 評価基盤	206	319	343			868
②-2: メモリシステム	5	9	9			23
②-3: 設計方法論	20	48	49			117
総開発予算	851	1,321	1,290			3,461
(内)共同実施費(東大)	20	44	44			108
(内)再委託費	200	222	227			649
内、NEDO負担額 (1/2)	426	661	645			1,731

研究開発の実施体制

公開



共同実施・再委託体制とその役割

公開

研究開発項目	共同実施先	研究開発に対する役割
②-3: 設計方法論	東京大学(中村 宏 教授)	ノーマリーオフコンピューティングシステム設計方法論の研究開発 (ノーマリーオフ最適化技術とノーマリーオフ評価技術の確立)
研究開発項目	再委託先	研究開発に対する役割
①-1: 携帯情報端末	電気通信大学(仲谷 栄伸 教授)	高速スピン注入素子の設計技術の開発
	東北大学(宮崎 照宣 教授)	高速・低電流書き込みスピン注入記憶素子材料の開発
	産業技術総合研究所(湯浅 新治 センター長)	高速・低消費電力スピン注入記憶素子の開発
	大阪大学(鈴木 義茂 教授)	高速スピン磁化反転の評価
①-2: スマートシティ	公立はこだて未来大学(松原 仁 教授)	ノーマリーオフセンサーネットワーク・デモシステムの開発
	立命館大学(木股 雅章 教授)	ノーマリーオフセンサーネットワークのセンサー応用技術の開発
	神戸大学(廣瀬 哲也 教授)	ノーマリーオフセンサーネットワークの低電力回路技術の開発
①-4: ヘルスケア応用	オムロンヘルスケア(株)(志賀 利一 リーダー)	間歇動作を指向する生体情報処理アルゴリズムの開発
	神戸大学(吉本 雅彦 教授)	生体情報処理に特化して不揮発メモリ搭載の低消費電力VLSIアーキテクチャの開発

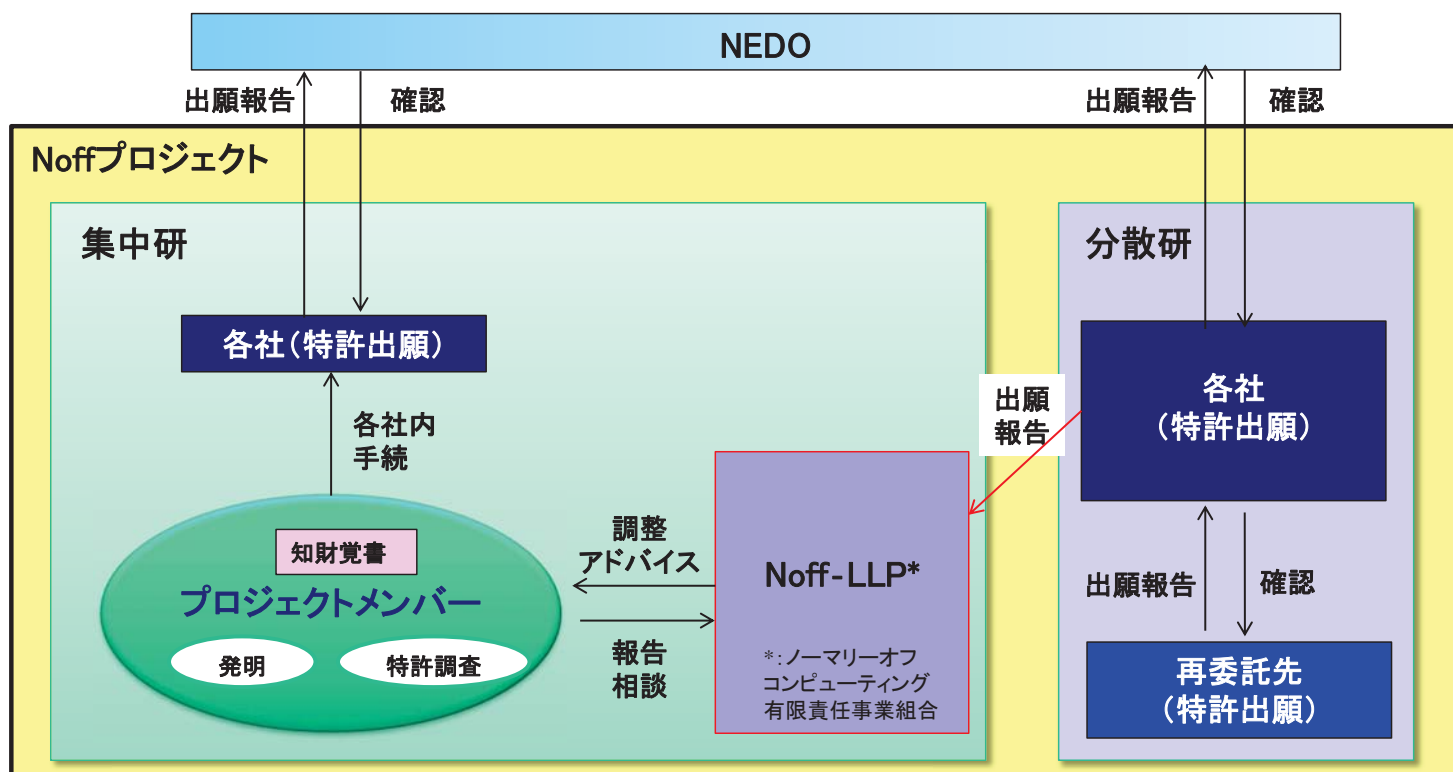
運営会議等開催実績

プロジェクト研究開発活動の成果進捗を含む技術的事項についての検討と共に、開発技術の実用化・事業化に向けた協議を推進する。

日程	会議名	議事内容・報告・連絡事項
平成24年5月 ～(月例開催)	Noff-PJ会議 (広報委員会)	1.広報戦略策定 2.広報予定・広報結果レビュー
平成24年 12月6日	プロジェクトヒアリング 会議	1.プロジェクト運営と進捗確認 2.各社事業展開計画
平成25年 4月16日	ノーマリーオフコンピューティング基盤技術開発プロジェクト公開シンポジウム(第1回)	■横浜情報文化ホールにて下記8件の講演を実施。(成果報告と招待講演) 1.プロジェクト概況報告 中村 宏(東京大学) 2.「スマートシティ・センサー ネットワーク低電力化技術」(ルネサス) 3.「道南地域を対象とした階層型デマンド交通とノーマリーオフコンピューティング技術への期待」(はこだて未来大) 4.「エネルギーハーベスト活用低消費電力センサーネット」(日立:招待講演) 5.「高速低消費電力磁性体メモリによるノーマリーオフプロセッサの開発」(東芝) 6.「ユーザ実利用におけるスマホ省電力化に向けた取り組み」(NTTドコモ:招待講演) 7.「ヘルスケア応用生体情報センサーの小型、低電力化」(ローム) 8.「人々の健康を支援するLSIとシステム」(オムロンヘルスケア:招待講演)
平成25年 6月24日	ノーマリーオフコンピューティング関連技術調査会議(第1回研究会)	■関係研究者・技術者を招待し、ノーマリーオフコンピューティング技術について議論。 テーマ)IGZO素子とReRAMの最新動向について。

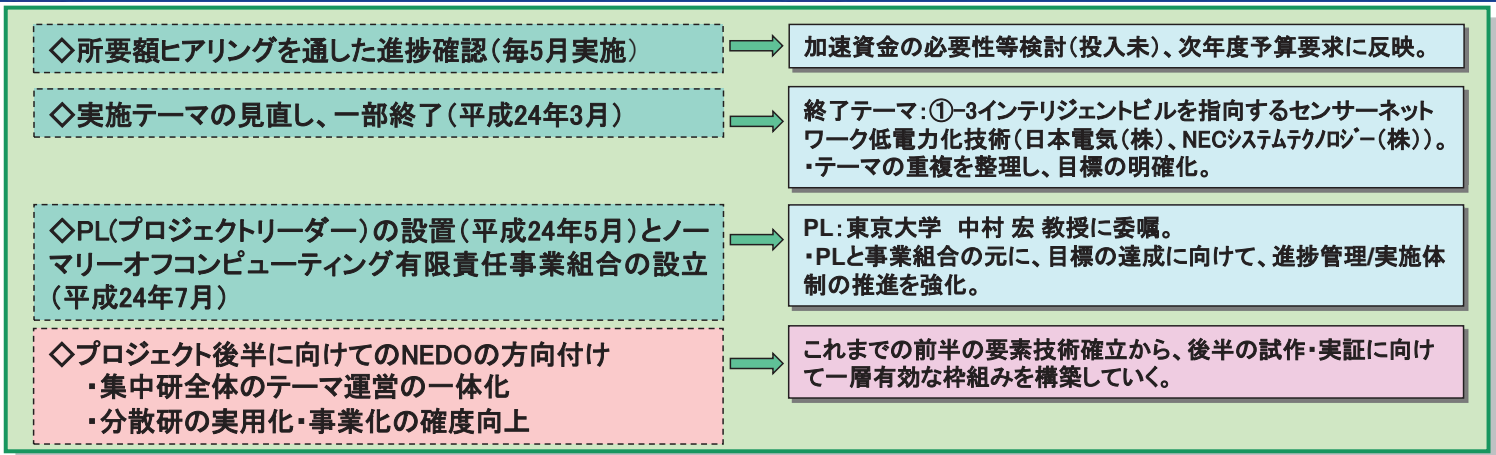
知財マネジメント戦略

- ・ 知財マネジメント強化のため知財の創出/権利化を推進する体制を構築
- ・ プロジェクト研究開発活動で出てきた知的財産の取り扱いを規定し推進



具体的な情勢変化への対応

公開



平成23年度	平成24年度	平成25年度	平成26年度	平成27年度
NEDO審査	NEDOヒアリング(所要額ヒア) 5月	NEDOヒアリング(所要額ヒア・進捗ヒア) 5~6月	NEDOヒアリング(予定)	NEDOヒアリング(予定)
		中間評価 8月		
				事後評価

具体的な情勢変化への対応(2)

公開

H23年度テーマの一部終了に関して:

①-3: インテリジェントビルを指向するセンサーネットワーク低電力化技術(日本電気(株)、NECシステムテクノロジー(株))

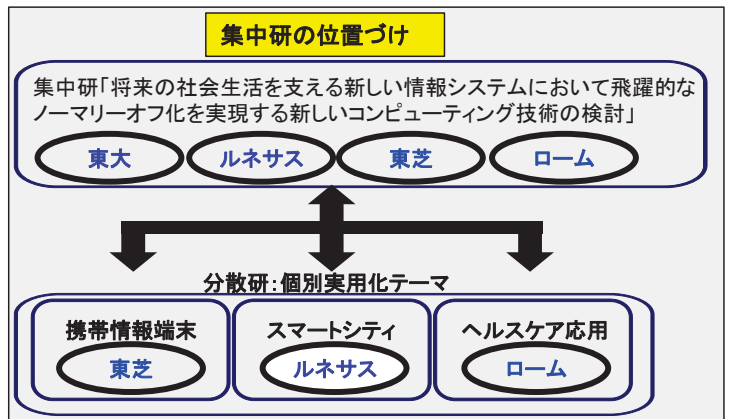
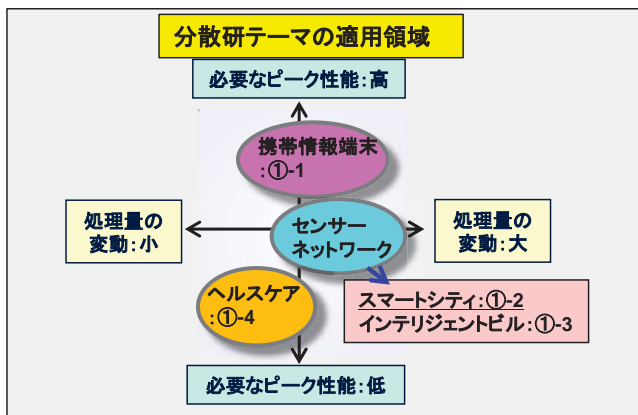
テーマ終了の背景:

(1)テーマの重複を整理: 応用分野の絞り込み

←センサーネットワークで適用が重なるテーマ①-2: スマートシティ・センサーネットワーク低電力化技術で代表させ、資源を集中。

(2)目標の明確化: 集中研テーマの優先

←①-3の期待成果が基盤技術止まりのため、集中研のテーマである汎用性の高い設計論に包含させることが可能と判断。



ITイノベーションプログラム

「ノーマリーオフコンピューティング基盤技術開発」

(2011年度～2015年度 5年間)

(中間評価)

プロジェクトの概要 (公開)

- 「事業の位置付け・必要性について」、及び「研究開発マネジメント」 (NEDO)
- 「研究開発成果」、及び「実用化・事業化に向けての見通し
及び取り組みについて」 (中村PL)

NEDO

電子・材料・ナノテクノロジー部

2013年 8月 6日

19/42

発表内容

公開

I. 事業の位置付け・必要性について (NEDO)

II. 研究開発マネジメント (NEDO)

III. 研究開発成果 (中村PL)

- (1)研究開発目標と実施体制
- (2)中間目標の達成度
- (3)成果の概要
- (4)知的財産権等の取得、成果の普及
- (5)最終目標の達成の可能性

IV. 実用化・事業化に向けての見通し及び取り組みについて
(中村PL)

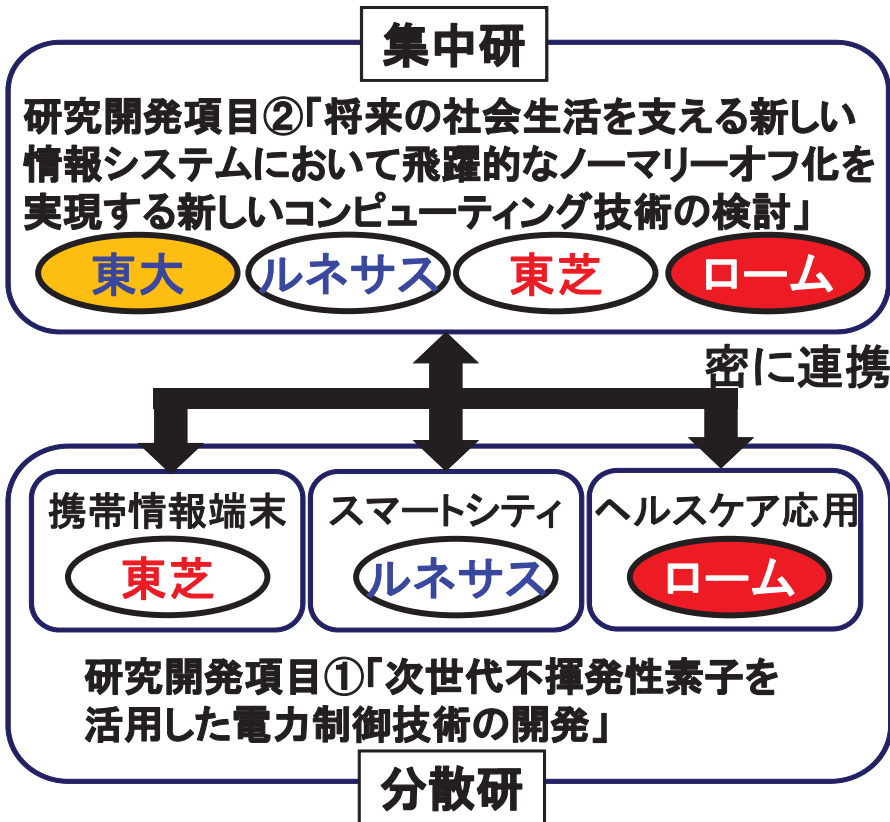
20/42

- システムとしては動作中であっても真に動作すべき構成要素以外の電源を積極的に遮断する
「ノーマリーオフ」を実現する「コンピューティング」
 - 不揮発性メモリ(電源遮断しても記憶を保持)
 - パワーゲーティング(電源遮断による低電力化)
 メモリ階層 & 電源制御粒度の最適化による相乗効果
- **メモリ & コンピューティング技術**
 - ハードウェア技術とソフトウェア技術の両方を含む一体的なコンピューティング基盤技術の開発
- 最適なノーマリーオフコンピューティングはアプリケーションの特徴に依存

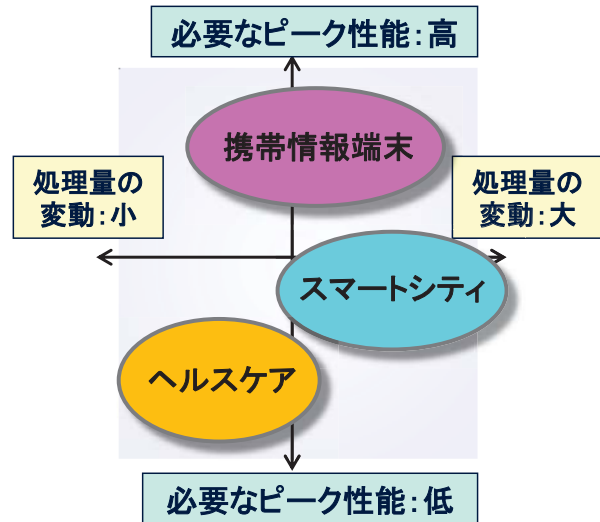
- 最適なノーマリーオフコンピューティングはアプリの特徴に依存
- 研究開発項目①「次世代不揮発性素子を活用した電力制御技術の開発」
 - 研究開発項目②「将来の社会生活を支える新しい情報システムにおいて飛躍的なノーマリーオフ化を実現する新しいコンピューティング技術の検討」
 - **分散研**: 研究開発項目①: 広い応用分野で最適なノーマリーオフコンピューティング技術の確立
→企業主体: 実用化指向、幅広く迅速に社会へ貢献
 - **集中研**: 研究開発項目②「新しい応用領域へ」
産学連携で分散研へフィードバック & 成果を統合体系化
→新しいノーマリーオフコンピューティング技術の確立

研究実施体制

公開



想定する応用分野



中間目標の達成状況(①-1)

公開

研究開発項目	中間目標(平成25年度末)	研究開発成果	達成度
①-1: 高速低消費不揮発メモリシステムによる携帯情報端末低電力化技術	従来のキャッシュメモリと比較して電力効率10倍以上を示すとともに、これを実現するための主要課題を明確化する。		
	単体メモリ素子MTJの開発(①-1-1(ア)~(エ)) 高速・低消費電力不揮発RAMの開発のため、単体メモリ素子性能として、50μ A、2nsの達成を目指す。	30nm以下の垂直磁化方式のMTJを作製し、高速・低消費電力(3ns, 50μ A)で書き込み動作を実現。中間目標の50μ A、2nsは来年3月までに達成の見込み。	△ (H26年3月達成見込み)
	高速・低消費電力キャッシュ用メモリアレイ回路開発(①-1-1(オ)) SRAM置換可能なメモリアレイとして、アクセス時間10ns未満を目指す。	上記MTJを用いてSRAMよりも小型となるメモリ回路を新たに4種類設計。この一つで、DRAM/MRAMハイブリッド回路にて、動作時のL2キャッシュメモリ消費電力が従来の約1/3を示した。メモリアクセス時間は5ns以下。	○
高速低消費不揮発キャッシュメモリ回路・システムの開発(①-1-2) 従来のキャッシュメモリ(メモリアレイ回路)と比較して電力効率10倍以上を示すとともに、これを実現するための主要課題を明確化する。	実用上ではL2キャッシュメモリは、動作時間/待機時間の比率が10分の1以下である。上記のDRAM/MRAMハイブリッド回路において、これらを元に分析した結果、不揮発キャッシュメモリの平均消費電力は、10分の1以下。メモリアレイ部以外の回路(電源制御回路含)の開発が、今後の主要課題である。	○	

◎ 大幅達成、○ 達成、△ 達成見込み、× 未達

中間目標の達成状況(①-2)

公開

研究開発項目	中間目標(平成25年度末)	研究開発成果	達成度
①-2: スマートシティ・センサーネットワーク低電力化技術	自律適応型電源制御技術と評価用ソフトウェアの仕様策定・設計を行い、センサーノード電力プロファイル評価環境を使い、従来のマイコンを用いたセンサーノード(通信除く)と比較し10倍のノーマリーオフ低電力化性能に到達可能かを推定し、技術課題の明確化を行い対策について検討する。		
	(1) センサー特性評価・センサー応用技術 センサー特性評価結果に基づくセンサーに対する効果的なノーマリーオフ制御ドライバ(ソフトウェア)の試作。	温度・湿度センサー特性への影響・BET測定、BET環境変動量を定量的把握完。これら結果に基づきセンサーへのノーマリーオフ制御ドライバ(ソフトウェア)仕様策定し設計に着手。	△(計画通り、平成25年9月完了見込み)
	(2) 電源制御技術 電源制御技術の仕様策定、試作。	センサーノードシステムの電源制御技術として、柔軟性とアプリケーションプログラマにとって高いユーザビリティを備えた自律適応型電源制御機構を考案し仕様を策定完了。(特許出願準備中)	○
	(3) センサーノードシステム電力プロファイル評価環境 電源制御機構を実装して電力削減効果を定量評価可能なセンサーノード内システム電力プロファイル評価環境(ハードウェア、評価用ソフトウェア)の構築。	ノーマリーオフ技術の低電力効果を定量的に評価可能で、集中研②-1と連携したアーキテクチャの試行容易なセンサーノード・システム電力プロファイル評価環境(ハードウェア)の動作確認を完了。	△(計画通り、平成25年9月完了見込み)
	(4) センサーノード低電力化技術統合評価 (1)~(3)と評価アプリケーションを用いた統合評価。	評価アプリケーション開発中(H25/9完了予定) (1)~(3)を組み合わせたセンサーノード(通信除く)の10倍の低電力化性能達成可能性評価し、技術課題の明確化・対策検討をH25年度末までに実施。	△(計画通り、平成26年3月完了見込み)
	(5) 実証デモ ノーマリーオフセンサーネットワーク実証デモシステムの仕様策定。	システム挙動分析を主眼とした知的バス停試作機的设计完了。	△(計画通り、平成25年12月完了見込み)
(6) 低電力化回路技術 常時電源ON領域の主要機能であるRTC回路の低電力化技術開発を行う。従来回路電力の半減を目標とする。	RTC用途のクロック生成回路の低電力化に関して、回路設計を完了し、従来回路電力(約1uW、水晶振動回路)に対して、低電力化の目標(約0.5uW)を達成した。	○	

中間目標の達成状況(①-4)

公開

研究開発項目	中間目標(平成25年度末)	研究開発成果	達成度
①-4: ヘルスケア応用生体情報計測センサーネットワーク低電力化技術	1) 全体: 電力消費性能を5倍、平均消費電流を40μ Aとする。	平均消費電流38μ A達成。	○
	2) アナログフロントエンド部の電力消費性能を10倍とする。	新アルゴリズムの開発と専用ハードウェア化により、従来の心拍計測ICを用いた構成に対して消費電力を20分の1に削減した。	◎
	3) メモリ部の電力消費性能を10倍とする。	FeRAM部を間歇動作させることにより、FeRAM部の平均消費電力を10分の1以下に削減した。	○
	4) メモリ部動作電圧の低減。(1.5V→0.9V)	不揮発デバイスの低電圧化として0.9V動作の目処を得た。(電力換算でおよそ3分の1)	○

中間目標の達成状況(②-1)

公開

研究開発項目	中間目標(平成25年度末)	研究開発成果	達成度
②-1: ノーマリーオフ評価基盤・プラットフォームの研究開発	ノーマリーオフ評価基盤・プラットフォームの必須構成要素である以下の2つの技術の第1次版開発を行う。		
	(1)ノーマリーオフ実機評価環境 種々の応用分野のアプリケーション に対して、ノーマリーオフ制御評価を 実行できる実機評価環境(集中研評 価ボード)を構築する。	平成25年度は、前年度に試作した集中研評価 ボードの評価結果をフィードバックすることによ り、集中研評価ボードの改良設計を行う。子基 板変更によりCPU変更が可能で、かつ、複数の 評価ボードを連結することで、②-3のTaskスケ ジューリング技術の評価を実施可能な、集中研 評価ボードの仕様設計を完了した。	△(計画通り、 平成25年9月 完了見込み)
	(2)ノーマリーオフ評価エミュレーシ ョン環境 集中研②-3で検討する詳細な電力 性能情報を取得するためのエミュレ ーション技術を、(1)で開発したノー マリーオフ実機評価環境に実装する。	集中研②-3と連携して策定した電力性能評価 のための必須情報を取得可能なエミュレーシ ョン機能の試作・評価を実施し、仕様を決定した。 その試作結果を元に、エミュレーション機能をノ ーマリーオフ実機評価環境に実装する。	△(計画通り、 平成26年3月 完了見込み)

◎ 大幅達成、○ 達成、△ 達成見込み、× 未達

中間目標の達成状況(②-2)

公開

研究開発項目	中間目標(平成25年度末)	研究開発成果	達成度
②-2: 超高速不揮発メモ リを活用するノーマリ ーオフメモリシステムプ ラットフォームの研究開 発	①-1の不揮発メモリの実験結果を 元に、携帯情報端末用プロセッサの 性能/消費電力が10倍以上を達成す るための技術課題を抽出する。 (本目標達成のため、②-3の成果 であるノーマリーオフ電力モデルと、 プロセッサアーキテクチャを用い る。)	実際の使用環境に近い状態で、プロセッサ電力・性 能を評価することが可能なシミュレーション環境を構 築した。これにより、L1キャッシュメモリ以上の階層は SRAMを、L2キャッシュメモリに①-1で開発したSTT- MRAMとDRAMのハイブリッドメモリを用いる新型メモ リ階層での電力評価を行い、電力効率が10倍以上と なるプロセッサの動作条件(動作時間/待機時間比率 など)を求めることが可能になった。	○

◎ 大幅達成、○ 達成、△ 達成見込み、× 未達

中間目標の達成状況(②-3)

公開

研究開発項目	中間目標(平成25年度末)	研究開発成果	達成度
②-3: ノーマリーオフコンピューティングシステム設計方法論の研究開発	評価技術: ノーマリーオフ電力モデルの定式化。	フリップフロップ、キャッシュメモリ、メインメモリに不揮発メモリを用い、パワーゲーティング手法を用いた場合の消費電力のモデル・定式化を行い、ノーマリーオフ最適化技術の評価を可能にした。	○
	最適化技術1: センサーネットワーク向けノーマリーオフマイコンシステム。	センサーネットワーク・マイコンシステムにMRAMをメインメモリとして実装する場合のタスクスケジューリング技術によるアクティビティ局所化手法を提案し、従来比8割減の低電力化を達成した。	○
	最適化技術2: ノーマリーオフ携帯情報端末。	携帯情報端末を対象に、MRAMとSRAM/DRAMを効果的に使い分けるハイブリッドキャッシュメモリのアーキテクチャ手法を開発し、動作時において7割程度の低電力化を達成できることを示した。	○

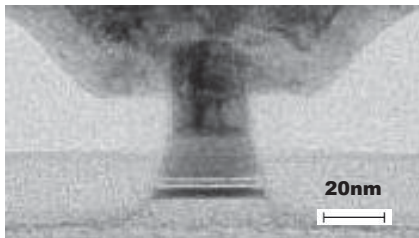
◎ 大幅達成、○ 達成、△ 達成見込み、× 未達

成果の概要(①-1: 高速低消費不揮発メモリシステムによる携帯情報端末低電力化技術) 1/2

公開

- 単体MTJメモリ素子の開発:
30nm以下の垂直磁化方式STT-MRAMを作製し、高速・低消費電力(3ns, 50μA)で書き込み動作を実現。L2キャッシュメモリ用SRAMの平均消費電力を凌駕する世界初の不揮発メモリ。

世界最高の高速性x低消費電力を併せ持つ
STT-MRAMを開発



STT-MRAMを構成する磁性体メモリ素子単体の電子顕微鏡写真(断面)

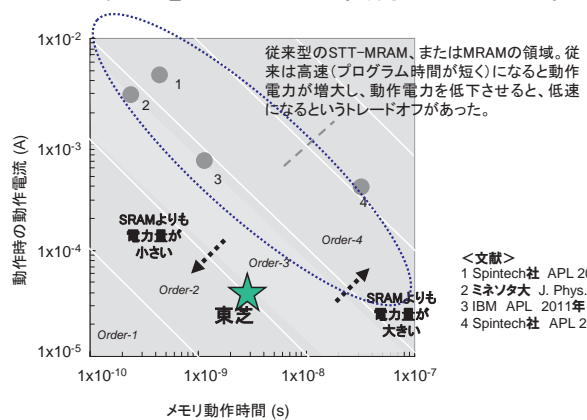
スピンの方向が表面に対して垂直方向となるのが特徴(垂直磁化方式)



<技術的ポイント>

- 小さい電流量でスピンを反転させやすくする素子構造。
- 素子のサイズを小型化。
- 低い電圧で動作を可能に。

これまでのSTT-MRAMではSRAMより低い電力エネルギーは実現できなかった。



<文献>

- 1 Spintech社 APL 2009年
- 2 ミネソタ大 J. Phys. D 2012年
- 3 IBM APL 2011年
- 4 Spintech社 APL 2011年

国際会議IEDM2012にて発表
東芝プレスリリース(2012年12月)

3ns, 50μAの高速低消費電力書き込みを実現

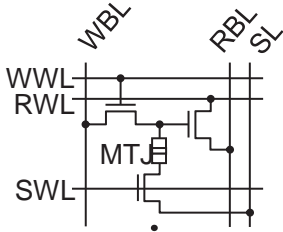
中間目標の2ns, 50μAは来年3月までに達成の見込み。

(よりローパワーで高速のSRAMキャッシュも置き換えていく必要があるため、最終目標は1ns, 50μA。)

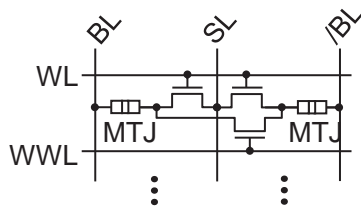
成果の概要(①-1: 高速低消費不揮発メモリシステムによる携帯情報端末低電力化技術) 2/2

公開

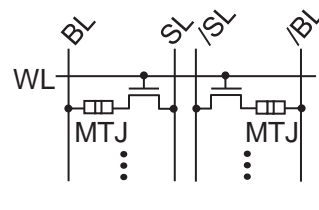
- メモリアレイ回路の開発: 10ns未満で高速・低消費電力動作可能なメモリ回路(ノーマリーオフ型)を4種類新たに設計した。1Mbクラスのメモリアレイを作製し、1Mb相当で5ns以下ランダムアクセスタイムを達成。
- 開発したメモリアレイ回路により、②で開発されたプロセッサの消費電力評価環境を用いて、動作時のL2キャッシュメモリ消費電力が従来の1/3以下になることを示した。⇒キャッシュ全体での平均電力1/10以下。



(a) D-MRAM IEDM2012で発表



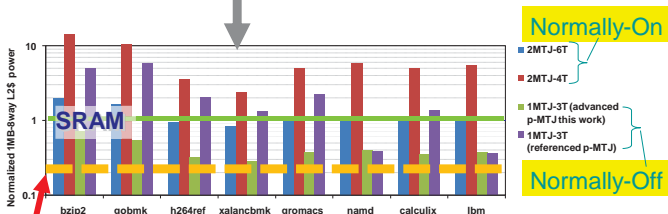
(b) 3T-2MTJ IMW2013で発表



(c) 2T-2MTJ VLSI Circuit 2013で発表

近く発表予定

(d) 4T-2MTJ



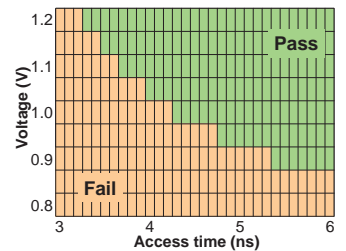
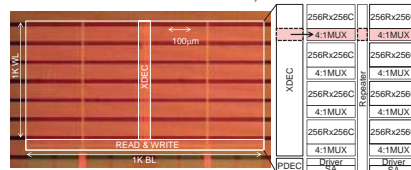
SRAMの1/3

L2キャッシュメモリの動作時の電力/性能=従来比3分の1以下



動作時間/待機時間=1/10以下、従来型キャッシュの待機時電力=6~7割×動作時電力に対し、不揮発キャッシュ~待機時電力0となるため、消費電力は従来の6~7%まで低下。(10分の1以下)

事業原簿: 39~43ページ



試作・評価で高速動作確認

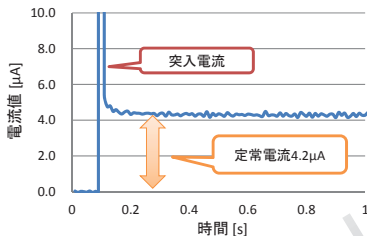
成果の概要(①-2: スマートシティ・センサーネットワーク)

公開

スマートシティ・センサーネットワーク低電力化技術開発では、センサーノードのアーキテクチャ技術(集中研と連携)とハードウェア/ソフトウェア協調による自律適応型ノーマリーオフ電源制御技術、低電力化回路技術の検討を行い、H25年度末目標に従来マイコンを用いたセンサーノード(通信除く)と比較し10倍のノーマリーオフ低電力化性能に到達可能かの推定、技術課題検討を行う。

(1) センサー特性評価・応用技術

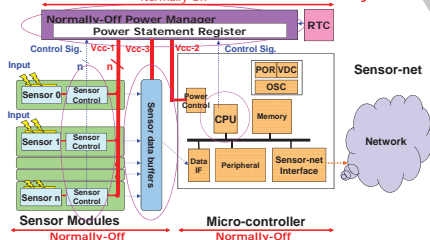
選定した一部センサーの損益分岐時間実測、ノーマリーオフ適用時の特性影響評価を完了。



(2) 電源制御技術

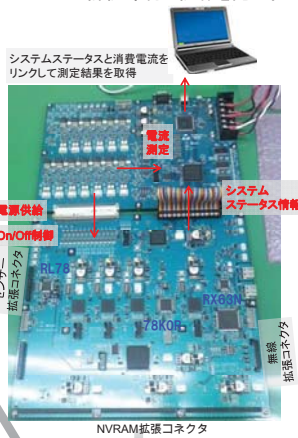
自律適応型電源制御方式の仕様策定を完了。

- センサーモジュール: "Normally-On" → "Normally-Off"
- マイクロコントローラ: "Normally-On" or "間欠動作" → "Normally-Off"



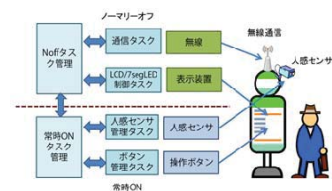
(3) 電力プロファイル評価環境

集中研と連携したセンサーノード・アーキテクチャに対応可能な電力プロファイル評価環境の試作を完了。



(5) 実証デモ

環境計測・監視システム応用の一例として、デマンド交通システムを使ったNoFFセンサーネットワーク実証デモシステム構築に向けて、知的バス停試作機設計を完了。



(6) 低電力化回路技術

常時電源ON領域の低電力化回路として、RTC向けの低電力発振回路を試作評価完了。従来回路電力(約1uW、水晶振動回路)に対して、低電力化の目標(約0.5μW)を達成した。

評価結果

【電圧】	1.0 ~ 1.8V
【温度】	-40 ~ 100°C
【周波数】	32kHz@1.0V
【電力】	0.5 μW@1.0V

回路特徴

参照電位生成とクロック生成を相補的に繰り返すことにより、遅延ばらつき(周波数精度劣化)を抑えることが可能な、微小電流・低参照電位による低電力弛張発振回路。

(4) 統合評価

H25年度実施予定。

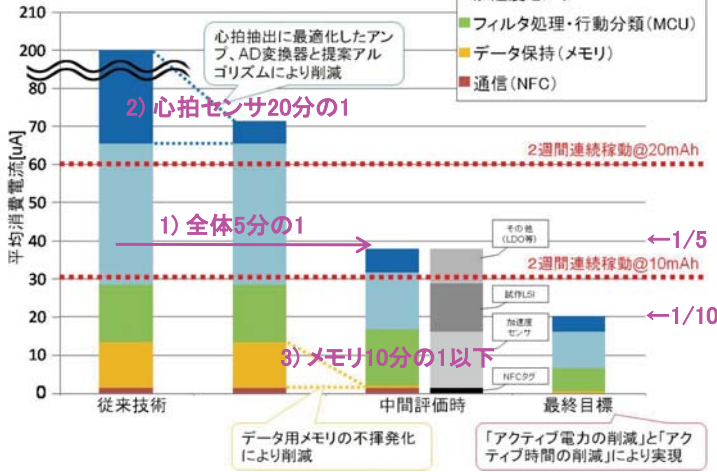
成果の概要(①-4 :ヘルスケア応用)

- 1) センサモジュールを試作し、平均消費電力を5分の1に削減
- 2) 新アルゴリズムの開発と専用ハードウェア化により、心拍部消費電力を20分の1に削減
- 3) FeRAM部を間歇動作させることにより、メモリ部の消費電力を10分の1以下に削減
- 4) 低電圧(0.9V)で動作する強誘電体キャパシタプロセスを実現

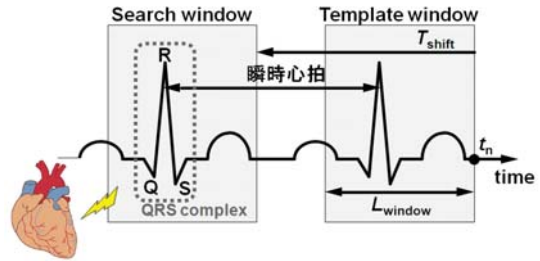
1) 1) 第一世代センサモジュール



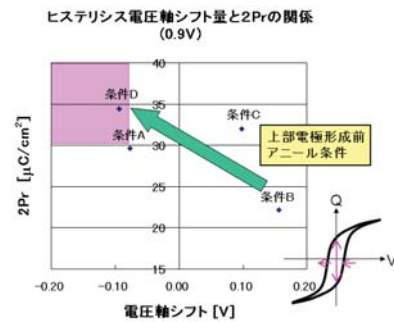
1) 2) 電力削減の内訳



2) 心拍計測アルゴリズムの開発

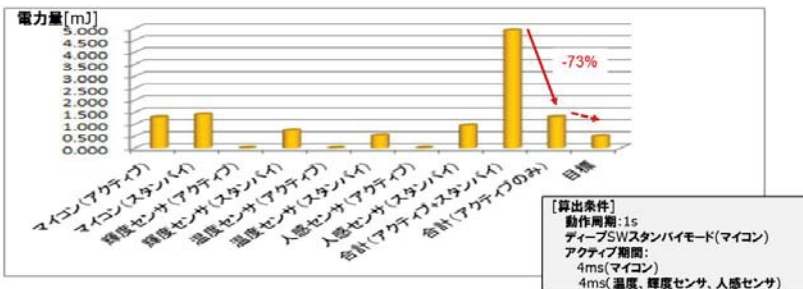


4) 0.9V動作可能な不揮発強誘電体素子の実現

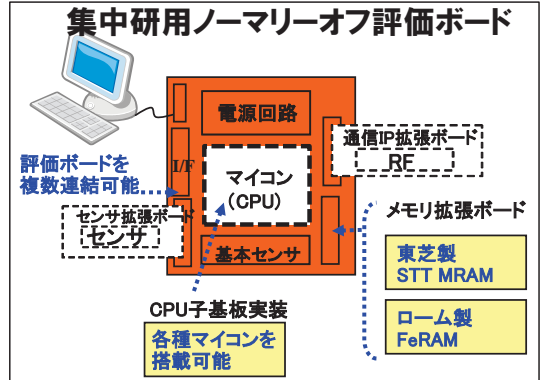


成果の概要(②-1:ノーマリーオフ評価基盤)

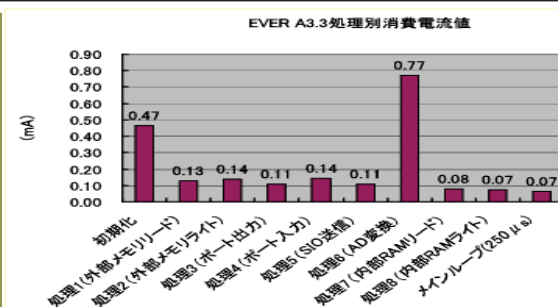
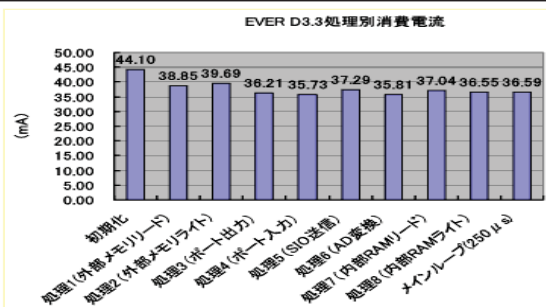
(1) 評価ボードの試作・評価結果を元に、センサーシステム間欠動作における消費電力量要因分析を行い、従来比1/10の低電力化の実現可能性評価を実施。上記結果のフィードバックを行うことで、分散研の各拡張ボードへの接続、子基板変更によるCPU変更が可能で、かつ、複数の評価ボードを連結する階層アーキテクチャ評価を実施可能な、評価ボードの仕様設計を完了した。今後H25年度中に、評価ボードの作成・評価を行い、各分散研で利用可能できるノーマリーオフ実機評価環境を構築する。



⇒ ノーマリーオフ間欠動作(非アクティブ時に電源遮断)により、電力量は約27%に削減可能(ideal)。目標の10%到達のためには、電源復帰OH最小化+マイコン(アクティブ)の電力削減が必要。



(2) 評価エミュレーション機能の試作評価を完了。H25年度中に、実機評価環境における詳細な電力評価を実現する。

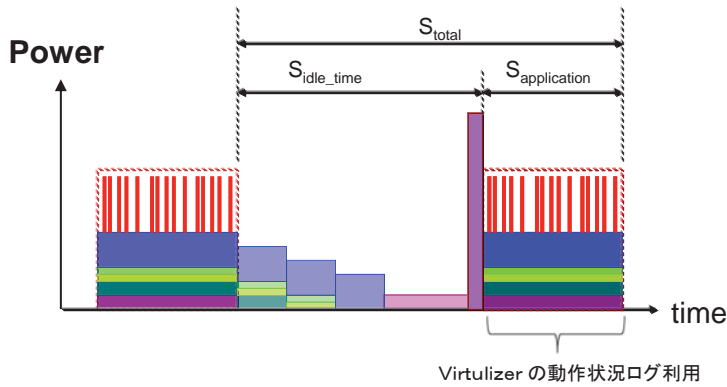


成果の概要(②-2: 超高速不揮発メモリを活用する ノーマリーオフメモリシステムプラットフォームの研究開発)

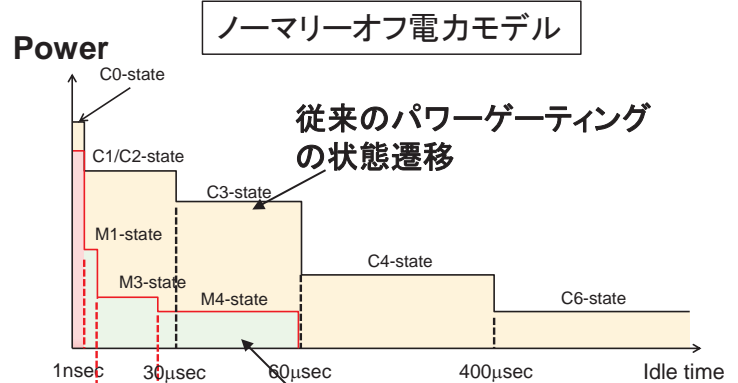
公開

実アプリケーションに近い環境で、STT-MRAMをL1,L2キャッシュメモリに適用した場合のメモリアクセスログをサイクル精度でトレースできる環境を構築した。

これをもとに、不揮発キャッシュメモリを用いたプロセッサの消費電力を計算し、電力効率が10倍以上となるプロセッサの動作条件(動作時間/待機時間比率など)が評価可能となった。



アクティブ状態からアイドル状態に向けての
パワーゲーティングの状態の時間遷移



ノーマリーオフ電力モデル

従来のパワーゲーティング
の状態遷移

不揮発キャッシュを利用したパワーゲーティングの
状態遷移の一例

Active Time [µ sec]	Idle time [µ sec]	Total Time [µ sec]	平均消費電力 の削減率(%)
20	200	220	91

電力効率が10倍以上(消費電力削減率
90%以上)になる条件の例

成果の概要(②-3: 設計方法論の研究開発)

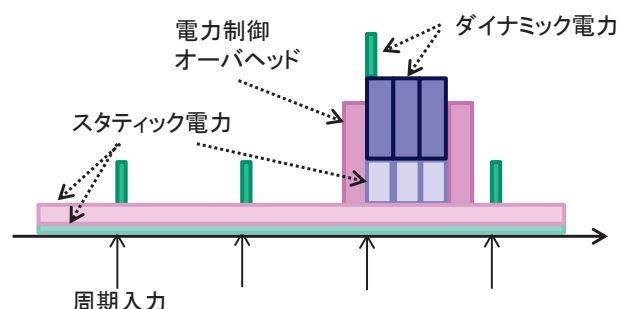
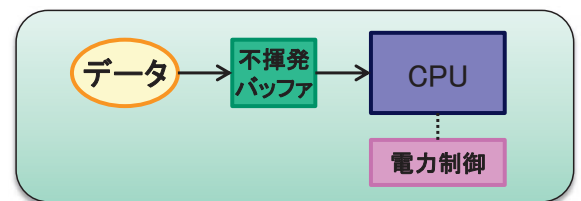
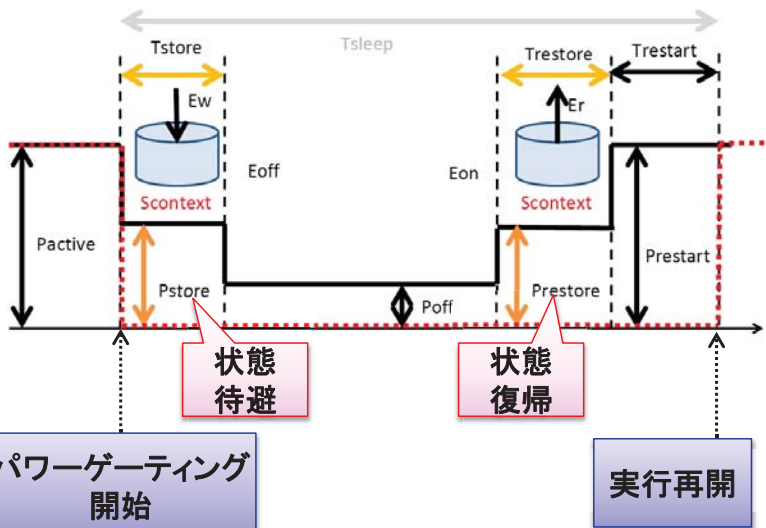
公開

評価技術: ノーマリーオフ電力モデル

フリップフロップ、キャッシュメモリ、メインメモリに不揮発メモリを用いたパワーゲーティング手法の消費電力をモデル・定式化しノーマリーオフ最適化技術の評価を可能にした。

不揮発フリップフロップを用いた
高速パワーゲーティング

不揮発メモリを用いた
周期タスクの実行



成果の概要(②-3:設計方法論の研究開発)

公開

最適化技術

- 1: センサーネットワーク・マイコンシステム向けタスクスケジューリング技術によるアクティビティ局所化手法を開発。従来比8割減の低電力化を達成。
- 2: 携帯情報端末向けに、MRAMとSRAM/DRAMを効果的に使い分けるハイブリッドキャッシュアーキテクチャを開発し、動作時において7割程度の低電力化を達成。

■ センサー応用におけるTaskスケジューリング技術 (アクティビティ局所化技術) の適用

Task負荷情報、処理デッドライン、データ入力周期、各プロセッサ動作電力、リーク電力、電源遮断OH電力等

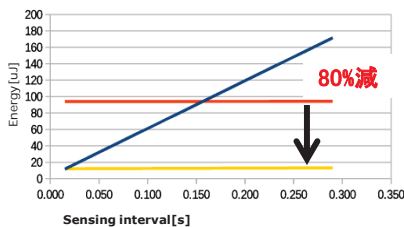
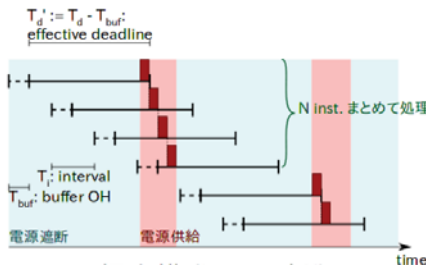


消費エネルギーが最小となる、プロセッサHW構成、各プロセッサへのTask割り当て(Taskスケジューリング)

○階層型PG制御(周期的センシング)

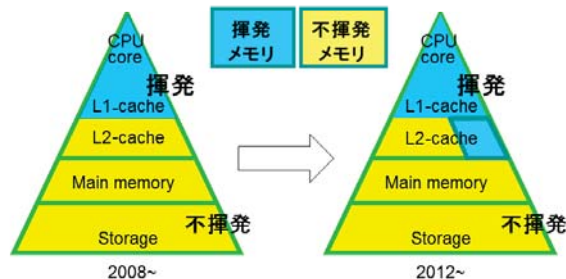


縦軸: 消費エネルギー(火災報知センサ)
横軸: センシング周期
— 常時ON
— 従来型PG制御
— 階層型PG制御

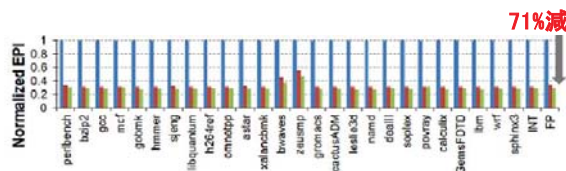


事業原簿: 66~75ページ

■ ハイブリッドキャッシュアーキテクチャ



MRAMモード	DRAMモード
長い生存期間、疎なアクセス	頻繁なアクセス
MRU以外	MRU, 新規データ



37/42

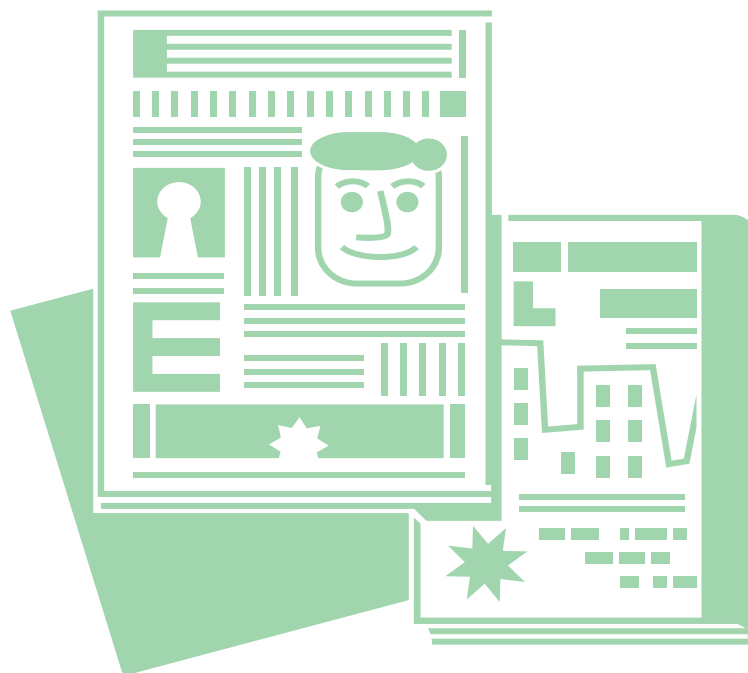
知的財産権、成果の普及

公開

	H23	H24	H25	H26	H27	計
特許出願(うち外国出願及びPCT出願※)	12(4)	39(21)	3(0)	-	-	54(25)件
論文(査読付き)	7	27	5	-	-	39件
研究発表・講演	27	29	23	-	-	79件
受賞実績	0	2	0	-	-	2件
新聞・雑誌等への掲載	2	5	4	-	-	11件
展示会への出展	0	1	0	-	-	1件

※Patent Cooperation Treaty :特許協力条約

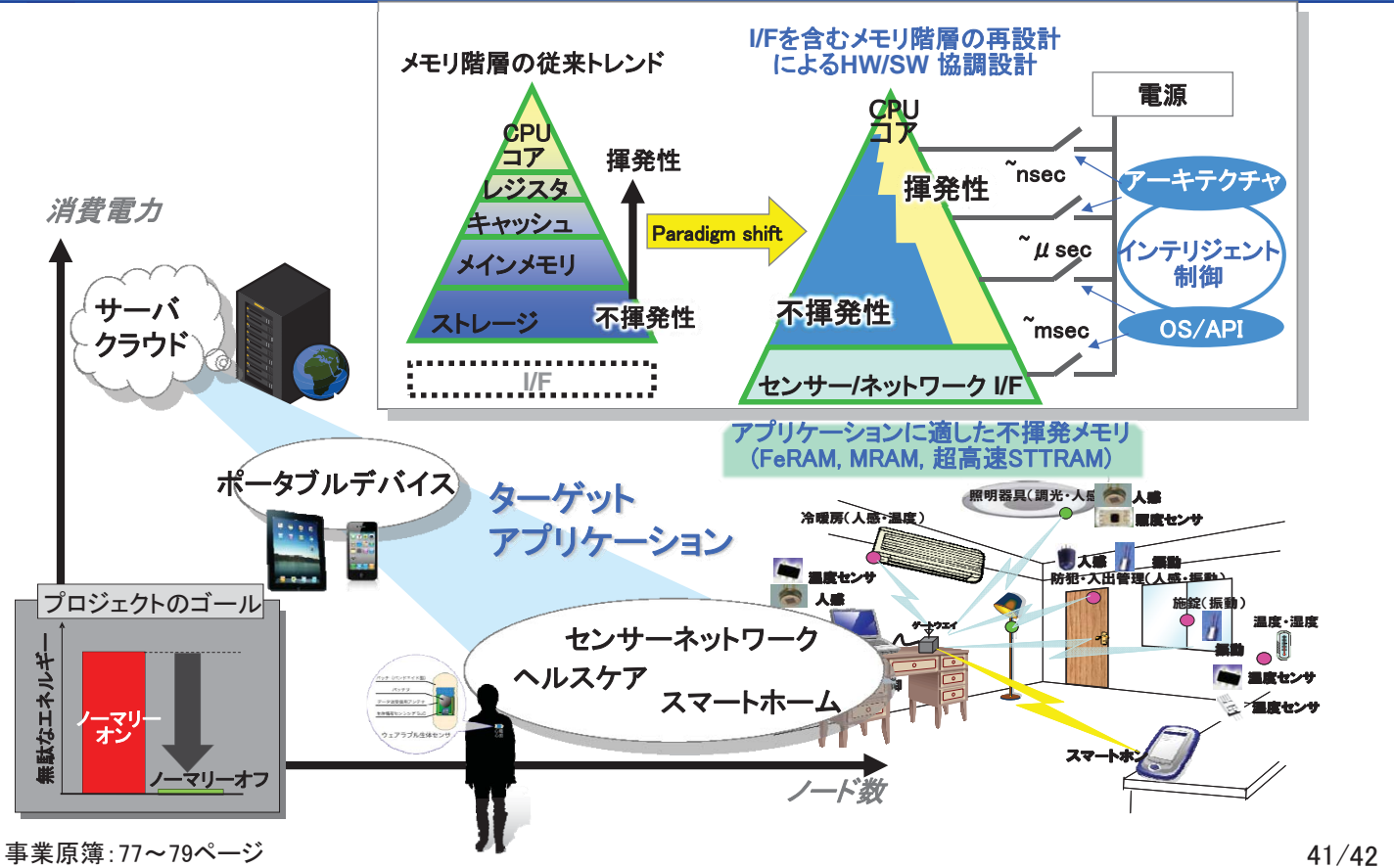
平成25年8月1日現在



研究開発項目	最終目標(平成27年度)	達成見通し 下段は平成25年状況
①-1: 高速低消費不揮発メモリシステムによる携帯情報端末低電力化技術	MTJ記憶素子を搭載した不揮発キャッシュメモリを搭載したプロセッサの評価システムで測定した結果から電力効率の評価を行い、従来のキャッシュメモリと比較して10倍以上を示す。	達成見込み メモリ部の試作実験を完了
①-2: スマートシティ・センサーネットワーク低電力化技術	センサーノード(通信を除く)について、従来のマイコンを用いたセンサーノードと比較し10倍のノーマリーオフ低電力化性能実証。	達成見込み 電源制御方式仕様策定、電力プロファイル評価環境設計完了
①-4: ヘルスケア応用生体情報計測センサーネットワーク低電力化技術	心拍、体温、3軸加速度、心電波形計測・解析機能を有するウェアラブル生体モニタリングシステムを完成させる。システム全体の動作時間の最適化を図り、電力消費性能10倍、平均消費電流20μ Aを達成する。	達成見込み 電力消費性能5倍を達成
②-1: ノーマリーオフ評価基盤・プラットフォームの研究開発	ノーマリーオフ低電力化のためのソフトウェア技術の提案と、分散研の従来比1/10の低電力化実証を支援し、ノーマリーオフ電力性能評価の基盤となる評価技術・プラットフォームを確立する。	達成見込み 実機評価ボードと評価エミュレーション機能の試作・評価完了
②-2: 超高速不揮発メモリを活用するノーマリーオフメモリシステムプラットフォームの研究開発	分散研で改良設計されるノーマリーオフメモリシステムを搭載するプロセッサのシミュレーション環境を構築し、携帯情報端末用プロセッサの性能/消費電力が従来に比べて10倍以上となることの実証を支援する。	達成見込み プロセッサシミュレーション環境を構築
②-3: ノーマリーオフコンピューティングシステム設計方法論の研究開発	メモリ階層全体を最適化してノーマリーオフコンピューティングの評価可能な環境を構築し、分散研で開発される技術へのフィードバックを行うとともに、その知見の共有と一般化により、新しい応用領域へも適用可能な設計方法論を確立する。	達成見込み 各メモリ階層に対する性能・電力モデルを作成

ノーマリーオフが実現する未来像

公開



実用化・事業化に向けた具体的取り組み

公開

