

「低炭素社会を実現する超低電圧ナノエレクトロニクスプロジェクト／ナノエレクトロニクス半導体新材料・新構造ナノ電子デバイス技術開発」
事後評価報告書

平成25年3月

独立行政法人新エネルギー・産業技術総合開発機構
研究評価委員会

平成25年3月

独立行政法人新エネルギー・産業技術総合開発機構
理事長 古川 一夫 殿

独立行政法人新エネルギー・産業技術総合開発機構
研究評価委員会 委員長 西村 吉雄

NEDO技術委員・技術委員会等規程第33条の規定に基づき、別添のとおり
評価結果について報告します。

目 次

はじめに	1
分科会委員名簿	2
審議経過	3
評価概要	4
研究評価委員会におけるコメント	7
研究評価委員会委員名簿	8
第1章 評価	
1. プロジェクト全体に関する評価結果	1-1
1. 1 総論	
1. 2 各論	
2. 個別テーマに関する評価結果	1-16
3. 評点結果	1-36
第2章 評価対象プロジェクト	
1. 事業原簿	2-1
2. 分科会における説明資料	2-2
参考資料1 評価の実施方法	参考資料 1-1
参考資料2 評価に係る被評価者意見	参考資料 2-1
参考資料3 分科会議事録	参考資料 3-1
参考資料4 評価結果を受けた今後の取り組み方針について	参考資料 4-1

はじめに

独立行政法人新エネルギー・産業技術総合開発機構においては、被評価プロジェクトごとに当該技術の外部専門家、有識者等によって構成される研究評価分科会を研究評価委員会によって設置し、同分科会にて被評価対象プロジェクトの研究評価を行い、評価報告書案を策定の上、研究評価委員会において確定している。

本書は、「低炭素社会を実現する超低電圧ナノエレクトロニクスプロジェクト／ナノエレクトロニクス半導体新材料・新構造ナノ電子デバイス技術開発」の事後評価報告書であり、第31回研究評価委員会において設置された「低炭素社会を実現する超低電圧ナノエレクトロニクスプロジェクト／ナノエレクトロニクス半導体新材料・新構造ナノ電子デバイス技術開発」（事後評価）研究評価分科会において評価報告書案を策定し、第35回研究評価委員会（平成25年3月26日）に諮り、確定されたものである。

平成25年3月
独立行政法人新エネルギー・産業技術総合開発機構
研究評価委員会

「低炭素社会を実現する超低電圧ナノエレクトロニクスプロジェクト

／ナノエレクトロニクス半導体新材料・新構造ナノ電子デバイス

技術開発」

事後評価分科会委員名簿

(平成24年9月現在)

	氏名	所属、役職
分科会長	あさの たねまさ 浅野 種正*	九州大学 大学院システム情報科学研究院 情報エレクトロニクス部門 教授
分科会長 代理	ごとう さとし 後藤 敏*	早稲田大学 大学院情報生産システム研究科 教授
委員	いちむら まさや 市村 正也	名古屋工業大学 大学院工学研究科 電気電子工学科 つくり領域 教授
	おおの ひでお 大野 英男	東北大学 電気通信研究所 附属ナノ・スピン実験施設 教授
	たけだ せいじ 竹田 精治	大阪大学 産業科学研究所 産業科学ナノテクノロジー センター ナノ構造・機能評価研究分野 教授
	ふくい たかし 福井 孝志	北海道大学 大学院情報科学研究科 情報エレクトロ ニクス専攻 集積システム講座 集積デバイス学研究 室 教授 量子集積エレクトロニクス研究センター センター長
	ふじわら あきら 藤原 聡	NTT株式会社 物性科学基礎研究所 量子電子研究 部 部長
まつもと かずひこ 松本 和彦	大阪大学 産業科学研究所 半導体量子科学研究分野 教授	

敬称略、五十音順

注*：実施者の一部と同一組織であるが、所属部署が異なるため(九州大学 先導物質科学研究所、早稲田大学 ナノテクノロジー研究所)、「NEDO 技術委員・技術評価委員規程(平成23年7月7日改正)」第34条(評価における利害関係者の排除)により、利害関係はないとする。

審議経過

● 第1回 分科会（平成24年9月21日）

公開セッション

1. 開会、分科会の設置、資料の確認
2. 分科会の公開について
3. 評価の実施方法と評価報告書の構成について
4. プロジェクトの概要説明

非公開セッション

5. プロジェクトの詳細説明
6. まとめ・講評
7. 今後の予定、その他
8. 閉会

● 第35回研究評価委員会（平成25年3月26日）

評価概要

1. 総論

1) 総合評価

ナノエレクトロニクスシーズ技術を探索、発展することを主旨とした本事業は、日本の産業の将来にとって必要な事業である。設定したシリコンナノワイヤ技術、次世代メモリ技術、新材料技術の3つのテーマとも、高度で新たな知見を多く創出していることは高く評価でき、その成果の産業界への普及に関して多いなる期待がもてる。テーマの進捗によっては研究開発の加速資金を投入するなど、NEDOのマネジメント上の工夫があったことも高く評価できる。非常に高いポテンシャルの研究内容を実施し、世界的に見ても充分高い内容の結果を得ている。

一方、ナノワイヤのサブテーマには相互補完性が認められるため、それぞれの連携を促進する機会を更に多く設けるべきであった。また、シリコンナノワイヤトランジスタの知識統合研究開発に関しては、世界の競合研究機関とのベンチマークを行い、技術の優位性・課題を明確にする活動が不足していた。

2) 今後に対する提言

LSI製造における協業体制のグローバル化が進む中、この研究開発の成果を半導体産業のデザイン、マスク製造からウェーハ、実装までの逆ピラミッド構造のどこに活かすか、別の切り口で見れば、材料、マスクデザインも含むプロセス技術、装置に活かして国益を生み出すための次の研究開発フェーズに国の施策として取り組む必要がある。装置メーカーやファンドリとの連携を計画している成果については、スピード感のある実用化戦略を策定して頂きたい。また、III-V族半導体チャネルトランジスタなどの有望な次世代技術は、技術の囲い込み、実用化に必要な周辺技術の取り込み、他の研究者・研究機関の参画呼びかけを行って頂きたい。

2. 各論

1) 事業の位置付け・必要性について

国内半導体産業は日本経済を底支えする基幹産業である。将来必要と予想される革新技术への取組は、民間企業だけでは実施が困難であり、NEDO 事業として相応しいと言える。ナノエレクトロニクスに関する研究開発は、欧米、アジアでも活発化しており、国内における研究開発の推進は時宜を得たものである。研究開発のフェーズとしては世界的にもシーズ技術の確立段階にあり、本事業の目的は世界的動向からみても妥当であると言える。

一方、本事業の目標と予算規模の適性についての説明が十分とは言えない面があった。各技術が将来のどの時点での事業化になるかをもっと明確に描くべきであった。得られた高いポテンシャルのテーマの発展のさせ方を、各テーマ実施者だけに任せるのではなく、NEDO からよりきめ細かな指導を行うとともに、今後の日本の企業の国際競争力の向上に繋ぐための具体的施策の策定が必要であると考えられる。

2) 研究開発マネジメントについて

2020 年以降の半導体 LSI に対する要求を満たす可能性のある革新的で戦略的なテーマが選定されており、目標についても可能なところは数値目標を設定している。各個別テーマの実施チームは、それぞれの分野で実績のある研究者が参画しており、十分な研究推進能力をもつと言える。ダイナミックで適切なマネジメントを行った点は高く評価できる。半導体ロードマップ委員会の予測に基づいた計画が進められており、ロジック、メモリともに戦略は、ほぼ妥当であった。研究開発に基礎・学理の検証を行う研究者を組み込んでいることも評価できる。

一方、ナノワイヤの 3 テーマに関しては技術親和性が高いため連携を NEDO が主導的立場で推進すべきであった。本事業の位置づけを、基礎基盤開発から次の実用化開発への移行の是非を見極めるところまでとしているが、次のフェーズへの移行を円滑に進めるために判断基準を事業視点で品種毎にあらかじめ設定しておくことも一案である。また、シリコンナノワイヤ 3 テーマについて、実施者間の連携の体制が明確には見えてこなかった。実用化に一番近く、国際競争が激しいテーマだけにもっと連携があると良かった。

3) 研究開発成果について

いずれの研究グループも非常に高度な実験技術を持っており、個々の成果は、世界最高水準であるものが多い。日本発の独創的で革新的な技術に発展する可能性のあるものもある。特に III-V 族半導体チャネル、シリコンナノワイヤや FinFET (立体構造トランジスタ : Fin Field Effect Transistor) などで、世界をリードする成果を創出している点を高く評価したい。超格子相変化メモリなど新材料も新しい機能素子の実現の観点から非常に魅力的である。知的財産権の取得も概ね良好である。

今後は各企業が成果の普及にむけて、どのように進めていくかが重要である。

一方、一部の個別技術については挑戦的ではあるが実用化が未だ見え難いものがあり、設定目標も含めて本事業適合していたかの検証が必要であろう。また、各テーマの成果について、国際競争力の状況の分析結果をより具体的に明示して頂きたかった。

4) 実用化の見通しについて

個別テーマごとに出口イメージを概ね明確にもっていると言える。一部の研究テーマについては、既に民間企業と開発を進めているものもあり、受取手への情報発信も円滑に行われていると評価できる。

一方、多くの課題が、終了後、3年間を経て、実用化判断、実用化開発というストーリーになっているが、この3年間でどの程度の活動がなされ、実用化の判断ができるまで、煮詰めることができるのか不明である。技術開発成果がもたらす価値をより明確に伝えるためのデータを収集する必要がある。

研究評価委員会におけるコメント

第35回研究評価委員会（平成25年3月26日開催）に諮り、本評価報告書は確定された。研究評価委員会からのコメントは特になし。

研究評価委員会

委員名簿（敬称略、五十音順）

職 位	氏 名	所 属、役 職
委員長	西村 吉雄	技術ジャーナリスト
委員長 代理	吉原 一紘	オミクロンナノテクノロジージャパン株式会社 最高顧問
委員	安宅 龍明	一般社団法人ナノテクノロジービジネス推進協議会 企画運営推進会議 副議長
	伊東 弘一	学校法人早稲田大学 理工学術院 総合研究所 客員教授（専任）
	稲葉 陽二	学校法人日本大学 法学部 教授
	尾形 仁士	三菱電機株式会社 社友
	小林 直人	学校法人早稲田大学 研究戦略センター 教授
	佐久間一郎	国立大学法人東京大学 大学院工学系研究科 療福祉工学開発評価研究センター センター長／教授
	佐藤 了平	国立大学法人大阪大学 大学院工学研究科 マテリアル 生産科学専攻（システムデザイン領域担当） 教授
	菅野 純夫	国立大学法人東京大学 大学院新領域創成科学研究科 メディカルゲノム専攻 教授
	宮島 篤	国立大学法人東京大学 分子細胞生物学研究所 教授
	吉川 典彦	国立大学法人名古屋大学 大学院工学研究科 マイクロ・ ナノシステム工学専攻 教授

第1章 評価

この章では、分科会の総意である評価結果を枠内に掲載している。なお、枠の下の「○」「●」「・」が付された箇条書きは、評価委員のコメントを原文のまま、参考として掲載したものである。

1. プロジェクト全体に関する評価結果

1. 1 総論

1) 総合評価

ナノエレクトロニクスシーズ技術を探索、発展することを主旨とした本事業は、日本の産業の将来にとって必要な事業である。設定したシリコンナノワイヤ技術、次世代メモリ技術、新材料技術の3つのテーマとも、高度で新たな知見を多く創出していることは高く評価でき、その成果の産業界への普及に関して多いなる期待がもてる。テーマの進捗によっては研究開発の加速資金を投入するなど、NEDOのマネジメント上の工夫があったことも高く評価できる。非常に高いポテンシャルの研究内容を実施し、世界的に見ても充分高い内容の結果を得ている。

一方、ナノワイヤのサブテーマには相互補完性が認められるため、それぞれの連携を促進する機会を更に多く設けるべきであった。また、シリコンナノワイヤトランジスタの知識統合研究開発に関しては、世界の競合研究機関とのベンチマークを行い、技術の優位性・課題を明確にする活動が不足していた。

〈肯定的意見〉

- 情報通信技術の発展とともに進行してきた社会のスマート化は、近年、エネルギーの高効率利用やライフイノベーションによる生活の質の向上など、新たな社会要求が高まったことによって、より一層加速しているように思われる。クラウドコンピューティングとして実際に我々が体験しているように、インターネット上を流通する情報量は増加し、2025年においてその量は2006年の200倍近くに達するという2008年の総合科学技術会議の予測の一端を実感できる。このインターネット上を流通する情報、言わば動的な情報の処理の全てを担う半導体LSIは処理速度低電力の面でますますの高性能化が要求され、それが製品の競争力につながるものと思われる。一方、社会のスマート化は、情報の生成量と蓄積量も飛躍的に増大させると予想される。ジャーナリズムでの議論(日経エレクトロニクス、2011年2月号)ではあるが、人類が生成するデジタルデータの総量は、現在の約30倍である35ゼタバイトに達するとされている。この量は、現在のメモリ産業の拡大だけでは到底間に合わず、革新的なメモリ技術によるデータのストレージ(蓄積)法の開発が必要とされる。半導体メモリは、他の方法に比べて消費電力の点で圧倒的な優位性をもつため、産業として飛躍的に発展する可能性をもつ。そのため、その研究開発は喫緊の課題と言える。このような社会背景の中、大学や公的研究機関を中心に2020年以降の半導体の中核技術となるであろうナノエレクトロニクスシーズ技術を探索、発展、確立することを主旨とした本事業は、まさに日本の産業の将来にとって必要な事業であったと言える。資料およびヒアリングを実施した結果を踏まえ、設定したシリコンナノワイヤ技術、次世代

メモリ技術、新材料技術の3つのテーマとも、高度で新たな知見を多く創出していることは高く評価でき、その成果の産業界への普及に関して多いなる期待がもてる。開発期間途中での個別テーマの早期終了、他事業への移行を行う一方で、テーマの進捗によっては研究開発の加速資金を投入するなど、NEDOのマネジメント上の工夫があったことも高く評価できる。

- 1) 非常に高いポテンシャルの研究内容を実施し、実用化への突破口を開いたプロジェクトであると言える。世界的に見ても充分高い内容の結果を得ていると言える。2) 応用面に偏らず、基礎から応用にいたる幅広い内容をカバーしている。科学的根拠に基づいた非常に新規な結果が幾つも出ており、日本の科学ポテンシャルの高さを誇示できるプロジェクトの内容である。3) 実用化に非常に近い成果も出ている。これらの成果を元に、日本の科学技術のみならず企業のポテンシャルが充分あがる事が期待できる。
- 今後の半導体の研究にとってコア技術の先端開発がされている。
- 半導体ナノエレクトロニクスにおける新材料・新構造ナノ電子デバイス技術に関し、世界を牽引する高い水準の成果が得られている。
- 本事業は、基礎研究の成果を汲み上げ、産業応用に向けて加速させる取り組みとなっており高く評価できる。
- 新構造ナノ電子デバイス分野のロジック、メモリ、新材料、評価と広範囲にわたる9件の課題に関して、5年間にわたり開発を進め、それぞれに十分な成果が得られている。
- 将来のLSIで重要となるであろうナノワイヤ、III-V族半導体の新チャネル材料など半導体ロードマップで議論されている適切なテーマ選択がなされており、得られた成果の多くが独創性・新規性に優れ、要素技術として将来の半導体産業に資する可能性を有している。

〈問題点・改善すべき点〉

- 個別技術が独立に研究されており、全体像を睨んだ研究の在り方や、個別技術の相互のインタラクションがない。
- 開発された技術の国際競争力はどの程度のものなのか、世界の競合研究機関で行われている研究開発と比べた場合の優位性・課題は何なのか、などの総括やベンチマークが不足しているテーマが散見された。また、英知を結集して国際競争に挑むという視点で、グループ間の連携がもっと必要だったのではないかと考えられる。
- 1) CREST と NEDO のテーマが混在しており、2～3 のテーマは木に竹を接いだような感がある。やはり NEDO のテーマは基礎と言っても実用化に充分耐えうるようなテーマを選定すべきである。2) ナノワイヤのテーマはいくつかのグループで重複があり、もう少しマネジメントに工夫があれば、よりよかったのではないかと考えられる。

〈その他の意見〉

- ・ 世界の最先端技術とのベンチマークが乏しく、また、日本の半導体産業の構造変化に適した進め方になっていないテーマも見受けられる。

2) 今後に対する提言

LSI 製造における協業体制のグローバル化が進む中、この研究開発の成果を半導体産業のデザイン、マスク製造からウェーハ、実装までの逆ピラミッド構造のどこに活かすか、別の切り口で見れば、材料、マスクデザインも含むプロセス技術、装置に活かして国益を生み出すための次の研究開発フェーズに国の施策として取り組む必要がある。装置メーカーやファンドリとの連携を計画している成果については、スピード感のある実用化戦略を策定して頂きたい。また、III-V 族半導体チャネルトランジスタなどの有望な次世代技術は、技術の囲い込み、実用化に必要な周辺技術の取り込み、他の研究者・研究機関の参画呼びかけを行って頂きたい。

〈今後に対する提言〉

- ・ LSI 製造における協業体制のグローバル化が進む中、この研究開発の成果を半導体産業のデザイン、マスク製造からウェーハ、実装までの逆ピラミッド構造のどこに活かすか、別の切り口で見れば、材料、マスクデザインも含むプロセス技術、装置に活かして国益を生み出すための次の研究開発フェーズに国の施策として取り組む必要がある。
- ・ 装置メーカーやファンドリとの連携を計画している成果については、スピード感のある実用化戦略を策定して頂きたい。また、III-V 族半導体チャネルトランジスタなどの有望な次世代技術は、技術の囲い込み、実用化に必要な周辺技術の取り込み、他の研究者・研究機関の参画呼びかけを行って頂きたい。
- ・ 全体像を描き、今後の日本の半導体産業に適した戦略をもち、重点化した課題を選ぶべきである。
- ・ 本プログラムで得た技術的な知見・知識を、今後の我が国の集積回路産業に有効に活用できるような新たな国家プロジェクトの発足が必要であると考え。
- ・ 数件の優れた研究開発テーマにおいては、明らかに予算額が少なく、また期間も短い。本技術開発の成果をさらに発展させる施策を是非検討してほしい。
- ・ 5年で終わらず、開発プロジェクトの後続プロジェクトを立ち上げるべきであった。日本としてやや先細りのナノデバイスに、長期的な戦略に基づく国の支援が必要かと思われる。
- ・ 本プロジェクトも含め、国家プロジェクトは日本の企業の国際競争力を高めるものでなければならない。今後、本技術開発成果の活用を進めるプロジェクトや新規のプロジェクトを企画するに際し、この点を十分検討し、見極めるべきである。

〈その他の意見〉

- ・ 半導体業界は厳しくかつ変化に富む国際競争にさらされている。これまでの技術開発を、ぜひ継続していただきたいが、出口のイメージをより明確にしなが、今後の戦略立案、方向修正を行って頂きたい。

1. 2 各論

1) 事業の位置付け・必要性について

国内半導体産業は日本経済を底支えする基幹産業である。将来必要と予想される革新技术への取組は、民間企業だけでは実施が困難であり、NEDO 事業として相応しいと言える。ナノエレクトロニクスに関する研究開発は、欧米、アジアでも活発化しており、国内における研究開発の推進は時宜を得たものである。研究開発のフェーズとしては世界的にもシーズ技術の確立段階にあり、本事業の目的は世界的動向からみても妥当であると言える。

一方、各技術が将来のどの時点での事業化になるかをもっと明確に描くべきであった。得られた高いポテンシャルのテーマの発展のさせ方を、各テーマ実施者だけに任せるのではなく、NEDO からよりきめ細かな指導を行うとともに、今後の日本の企業の国際競争力の向上に繋ぐための具体的施策の策定が必要であるとする。

〈肯定的意見〉

- 本事業は、IT イノベーションプログラムにおける①IT コア技術の革新、②省エネ革新、③情報爆発への対応という目的、ならびにナノテク・部材イノベーションプログラムにおける②情報通信領域の目的に合致する。社会のスマート化が進むとともに、半導体の需要はますます増え続けると予想され、現在の約 30 兆円の市場規模は増加すると見込める。国内半導体産業はその内の約 5 兆円程度ではあるが、国内 GDP 約 500 兆円の内の約 80 兆円の経済効果を生み出し(「産業競争力懇談会 2006 年度推進テーマ報告」より)、日本経済を底支えする基幹産業である。この産業のより一層の発展を目指した本事業は、公共性が高い。一方で、技術的には極めて高度であるために、将来必要と予想される革新技术への取組は、民間企業だけでは実施が困難であり、NEDO 事業として相応しいと言える。この大きく、かつ基幹的な半導体産業の一層の発展のために投じる本事業の予算は、将来の国益に資するために投入する資金として充分妥当な範囲にあると言える。ナノエレクトロニクスに関する研究開発は、欧米、アジアでも活発化しており、国内における研究開発の推進は時宜を得たものである。一方、研究開発のフェーズとしては世界的にもシーズ技術の確立段階にあり、本事業の目的は世界的動向からみても妥当であると言える。
- 将来の基盤・基礎の技術開発を進める上では、NEDO 事業としては良い。
- 産業の規模が巨大で、大きな波及効果が期待される分野であり、分野の選択は適当と思う。また、特にシリコン以外のテーマは新規性が強く実用化には距離があるため、公的な研究補助の必要性は高いと思われる。
- 革新的 IT 技術による産業の持続的発展に寄与するテーマ設定である。民間単独では行い得ない技術の見極めが本事業で可能となることから NEDO の関与が妥当である。

- 産学の共同開発は重要で、学の成果の企業化を導く本技術開発は高く評価できる。
- ナノデバイスにおける国際競争力強化の視点から、産官学が協力した最先端デバイス関連の研究プログラムとして妥当であった。
- 日本の基幹産業として広い裾野を持つ半導体産業であるが、民間企業は厳しい戦いを強いられている。民間では十分に手が回らない基盤技術をターゲットとし、半導体ロードマップで将来の重要技術と目されるテーマをきちんと選定しており、NEDOプロジェクトとして適切であり相応しい。
- 企業単独では取り扱い難い内容のテーマ（化合物 on Si や結晶／結晶相変化メモリなど）を採択しており、このプロジェクトがあったからこそ、ここまでの成果が得られたと言える。その意味で本プロジェクトは公共性が高いと言え、NEDO の関与は必要不可欠であったと言える。

〈問題点・改善すべき点〉

- 事業の目標に対して予算額が少なすぎるのではないか。共同開発を担う民間企業にとっては予算額が中途半端で負担が大きすぎるのではないか。
- 各技術が将来のどの時点での事業化になるかをもっと明確に描くべきである。
- 得られた高いポテンシャルのテーマを、日本の企業の国際競争力の向上の為に繋げるかの具体的方法を、各テーマ実施者だけに任せるのではなく、NEDO からの指導や施策が必要ではないだろうか？
- 事業の目標に対して予算額が少なすぎるのではないか。共同開発を担う民間企業にとっては予算額が中途半端で負担が大きすぎるのではないか。
- 情勢変化への対応として案件絞込みや移行等を行っている点は一定の評価できるが、やや予算調整的な色合いが感じられる。基盤研究開発には長期的な継続は不可欠であり、打ち切りは慎重に行って頂きたい。より本来的には、目まぐるしく変わる海外の半導体の技術開発動向に呼応するために、予め一定のリソースを確保して、重点テーマへの増資、関連する新テーマ増設、連携の強化やチームの統合などフレキシブルに事業を展開するスキームを採用してはどうか。

〈その他の意見〉

- ・ シリコン系の研究は、既存の集積回路技術との連続性が高く、実用化に近いレベルの成果が得られる。ただ、既存の技術を用いる割合が多いために、諸外国でも比較的容易に類似研究を行うことができるであろうし、実用化された場合も生産を国内で行う必要はない。一方、既存の技術とは大きく異なる技術・材料を用いる場合は、独自性を維持できるが、実用化までの距離はどうしても遠くなる。これはどちらが良いか悪いかという問題ではなく、両極端のあいだの適当なレベルにプロジェクトの目標を設定するこ

とになるが、それがけっして容易ではないことを感じた。いずれにしても、どのようなレベルをねらうかをはっきりさせ、それに合ったグループを選ぶことが大切であると思う。

- **LSI** でデバイス技術が重要であることは言うまでもないが、**LSI** は巨大なシステムであり、最近のマルチコア、パワーマネジメントなどの動向を見てもわかるように、回路技術やシステム設計との連携が不可欠である。今後、デバイス研究と回路研究の連携を促進するようなプロジェクトの重要性が増していくであろう。

2) 研究開発マネジメントについて

2020年以降の半導体 LSI に対する要求を満たす可能性のある革新的で戦略的なテーマが選定されており、目標についても可能なところは数値目標を設定している。各個別テーマの実施チームは、それぞれの分野で実績のある研究者が参画しており、十分な研究推進能力をもつと言える。ダイナミックで適切なマネジメントを行った点は高く評価できる。半導体ロードマップ委員会の予測に基づいた計画が進められており、ロジック、メモリともに戦略は、ほぼ妥当であった。研究開発に基礎・学理の検証を行う研究者を組み込んでいることも評価できる。

一方、ナノワイヤの3テーマに関しては技術親和性が高いため連携を NEDO が主導的立場で推進するべきであった。本事業の位置づけを、基礎基盤開発から次の実用化開発への移行の是非を見極めるところまでとしているが、次のフェーズへの移行を円滑に進めるために判断基準を事業視点で品種毎にあらかじめ設定しておくことも一案である。また、シリコンナノワイヤ3テーマについて、実施者間の連携の体制が明確には見えてこなかった。実用化に一番近く、国際競争が激しいテーマだけにもっと連携があると良かった。

〈肯定的意見〉

- 2020年以降の半導体 LSI に対する要求を満たす可能性のある革新的で戦略的なテーマが選定されており、目標についても可能なところは数値目標を設定している。各個別テーマの担当チームは、それぞれの分野で実績のある研究者が参画しており、十分な研究推進能力をもつと言える。中間評価の結果も踏まえ、NEDO の判断により、一部のテーマについては早期終了とした点、また別のテーマについては他のプロジェクトへ移行した点、また一方で、一部の個別テーマについては加速資金を投入するなど、ダイナミックで適切なマネジメントを行った点は高く評価できる。
- 半導体ロードマップ委員会の予測に基づいた計画が進められており、ロジック、メモリともに戦略は、ほぼ妥当であった。
- 開発の背景において学理の検証を行う基礎的な研究者を組み込んでいることは評価できる。
- 個別技術の研究管理は十分にされている。
- 実現可能でかつ十分にレベルの高い目標が設定されていたと思う。
- 目標達成のための大枠の設定（シリコンナノワイヤ技術、次世代メモリ技術）は妥当なものである。
- 目標ならびに達成度、実施体制は概ね良好である。プロジェクトリーダーも概ね各分野の一人者が選任されている。
- 多くのプロジェクトが、現在必要とされている最新の研究内容に真正面から取り組んで新たな開発を行っており、その意味で目標の妥当性は充分である。しかも、5年間で必要以上の結果を得ているプロジェクトも多い。

ただ一部のプロジェクトは、目標設定が的外れの感がある。CREST と NEDO のテーマを混ぜ合わせた結果の問題であると言える。

〈問題点・改善すべき点〉

- シーズ探索とその確立を趣旨とするためか、プロジェクト全体としての総括が不足しているように思われる。基礎基盤開発から見極めまでを本事業の位置づけとしているが、見極めをどのように実施したのかが不明瞭であり、その点について NEDO 推進者としての総括、あるいは総括する体制で臨むとより一層次の実用化開発フェーズへの移行が円滑に進むと思われる。
- シリコンナノワイヤ 3 件について、実施者間の連携の体制が明確には見えてこなかった。実用化に一番近く、国際競争が激しいテーマだけにもっと連携があると良かった。
- 個別技術開発になっており、市場動向を見据えて、全体としての整合や相互協力のマネジメントが乏しい。
- 全体のグループ構成のバランスに少し疑問を感じた。色々な可能性を探索するなら、同じテーマ(シリコンナノワイヤ)に 3 つのグループをあてる必要はなかっただろうし、シリコンに重点を置くなら、材料評価などはもっと充実させても良かっただろう。バランスを欠いたグループ構成のために、ねらい自体が中途半端になってしまったような気がする。また、他の評価者も指摘している(と思う)が、シリコンナノワイヤについては、もう少しグループ間で連携した方がよかったのではと思う。加速資金の配分に少し疑問を感じた。これは成果が上がっているグループに優先的に配分するものなのだろうか、それとも成果が上がっていないグループに配分するものなのだろうか。途中で打ち切りになった研究もある中で追加の配分をするにあたっては、相当な理由付けが必要と考える。
- 中間評価でも課題となったが、ナノワイヤ技術開発の連携については課題が残った。
- 基礎研究の部分は、開発テーマ全体とは異なる基準で評価することを検討してほしい。現状では、開発に参画することが基礎研究者に大きな負担となっているのではないか。
- いくつかのグループでナノワイヤ FET の研究開発を行っているが、グループ間で相互に情報を交換する、あるいはプロジェクトを統合して総合的に研究推進を行うマネジメントがあれば、よりよかったのではないか。金属ソース/ドレイン電極など、重複した開発が見られた。

〈その他の意見〉

- ・ 「材料・デバイス技術開発」であり要素技術を開発するのは当然だが、最終的には集積した回路のパフォーマンスが問われるので、その視点からの

指標も今後は必要になってくるであろう。またその際、定量性に過度に重きを置くと革新性が損なわれる場合もあることから、マネジメントが重要になる。

3) 研究開発成果について

いずれの研究グループも非常に高度な実験技術を持っており、個々の成果は、世界最高水準であるものが多い。日本発の独創的で革新的な技術に発展する可能性のあるものもある。特に III-V 族半導体チャネル、シリコンナノワイヤや FinFET（立体構造トランジスタ：Fin Field Effect Transistor）などで、世界をリードする成果を創出している点を高く評価したい。超格子相変化メモリなど新材料も新しい機能素子の実現の観点から非常に魅力的である。知的財産権の取得も概ね良好である。

今後は各企業が成果の普及にむけて、どのように進めていくかが重要である。

一方、一部の個別技術については挑戦的ではあるが実用化が未だ見え難いものがあり、設定目標も含めて本事業適合していたかの検証が必要であろう。また、各テーマの成果について、国際競争力の状況の分析結果をより具体的に明示して頂きたかった。

〈肯定的意見〉

- いずれの研究グループも非常に高度な実験技術を持っており、多数の論文発表に示されているとおり、学術的にも価値の高い成果が得られている。本当に新しい技術は、常になんらかの学術的に新しい知見にもとづいていると考えられるので、この事業は全体として大きな成功を収めたと思う。
- 各個別テーマとも最終目標を概ね達成していると言える。早期終了テーマについても、終了時点の目標を概ね達成している。個々の成果は、世界最高水準であるものが多い。また、日本発の独創的で革新的な技術に発展する可能性のあるものもある。いずれの成果も、科学的知見に立脚しており、汎用性は高い。一方で、プロセス技術のノウハウに関する事項については秘匿して知的財産としている点も評価できる。投入された予算に対して高く評価できる成果が得られていると言える。特許出願も適切に行われていると評価できる。また、公表できる範囲において積極的に論文発表等がなされていると言える。特に、著名な学会での発表も多く、高く評価できる。
- プログラム全体を通しては、総じて目標は達成されており、あとは各企業が成果の普及にむけて、どのように進めていくかだけだと思われる。
- 著名な学会発表で研究発表を多数行っており、成果は十分にでている。
- 全体として、成果は目標値をクリアしており、世界的に見て高い水準である。
- 全体として良好な成果を挙げている。特に、数件のテーマでは世界最高水準の成果が挙げられたと考えられる。
- III-V 族半導体チャネル、シリコンナノワイヤや FinFET（立体構造トランジスタ：Fin Field Effect Transistor）などで、世界をリードする成果を創出している点を高く評価したい。超格子相変化メモリなど新材料も非常に魅力的である。知的財産権の取得も概ね良好である。

- プロジェクト全体で8～9割の目標を達成していると言える。一部のプロジェクトは目標以上であり、実用化へもほとんど問題がないプロジェクトもいくつかあり心強い。論文の数、特許の数もあるプロジェクトは驚くべき数であり、十分な結果であると言える。

〈問題点・改善すべき点〉

- 各テーマの成果について、国際競争力の状況の分析結果をより具体的に明示して頂きたかった（例えば、米国、ヨーロッパ、韓国などの〇〇開発センターで、同様の研究開発が行われているのか？競合しているのか？など）。
- 現時点で実用化が見え難いテーマについては、今後のフォローアップおよび適正な検証、戦略的な成果活用を推進者に望む。
- 特許の取得が少なく、このような基礎研究では、知財権の取得に力をもっと入れるべきである。

〈その他の意見〉

- ・ 予算は全体としては大きいですが、個々のテーマに割り当てられる予算は少ない。テーマを絞ることを行い、もっと重点化をはかるべきである。
- ・ 特許については、いくつかのグループは件数だけを報告している。公開されていない特許の情報は漏らしたくないということなのかもしれないが、何らかのガイドラインを設けて報告を義務化しないと、知財に関する評価ができない。発表論文の数、リストにも問題がある。プロジェクトテーマとは直接に関係がない論文や、全文審査を受けていないであろう国際会議論文も含まれている。これについても、どのような論文を成果に含めるかについて、はっきりとしたガイドラインを設け、チェックをする必要があるのではないか。
- ・ 成果の発表は必須だが、人材育成や一般への啓蒙活動は、このような最先端の技術開発プロジェクトにおいて事業担当者は意識する必要がないのではないか。結果として、人材育成や啓蒙になれば良いと思う。

4) 実用化の見通しについて

個別テーマごとに出口イメージを概ね明確にもっていると言える。一部の研究テーマについては、既に民間企業と開発を進めているものもあり、受取手への情報発信も円滑に行われていると評価できる。

一方、多くの課題が、終了後、3年間を経て、実用化判断、実用化開発というストーリーになっているが、この3年間でどの程度の活動がなされ、実用化の判断ができるまで、煮詰めることができるのか不明である。技術開発成果がもたらす価値をより明確に伝えるためのデータを収集する必要がある。

〈肯定的意見〉

- 個別テーマごとに出口イメージを概ね明確にもっていると言える。一部の研究テーマについては、既に民間企業と開発を進めているものもあり、受取手への情報発信も円滑に行われていると評価できる。
- 出口が明確なものもあったが、不明確なものもあり。
- 当該分野全体の研究開発や人材育成を促進するためには、学術的にも価値の高い成果が得られることが必要であろう。(細かいノウハウや、結果オーライ的な成果では、そのような波及効果は望めないであろう) その点、ほとんどのグループでは学術的にも価値の高い成果が得られており、波及効果が期待できる。
- 優れた成果を輩出し、出口イメージについて、一部は既に具体化しつつある点を高く評価したい。
- ナノワイヤ FET、相変化メモリ、化合物 on Siなどは明確な出口イメージがあり、問題ないであろう。また既に実用化へと企業と共同研究しており、引き続き今後の研究展開も問題ないテーマである。マイルストーンも明確に示しており、これらを十分に越えた成果を出している。

〈問題点・改善すべき点〉

- 多くの課題が、終了後、3年間を経て、実用化判断、実用化開発というストーリーになっているが、この3年間でどの程度の活動がなされ、実用化の判断ができるまで、煮詰めることができるのか不明である。NEDOとして、フォローアップをどうするか具体的な管理方法を明確にすべきではないか。
- 一部のテーマについては、技術開発成果がもたらす価値をより明確に伝えるためのデータを収集することを勧めたい。
- 半導体メーカーではなく、装置メーカーやファンドリというケースが多いのは若干残念であるが、大上段に構えすぎることなく、できるところから積極的に行うべきと考える。研究開発は地に足をつけてしっかり行うべきものだが、実用化に向けた出口戦略では時間軸とタイミングを強く意識していただきたい。

- 実用化が遠いテーマの中には、競合する既存あるいは新技術に対して明確な優位性をもつ出口イメージの創出が不十分なものがあり、これらについては実施者のさらなる努力が必要である。また、その他のテーマについても、その成果が日本の企業の競争力を高めることに繋がる活用法を戦略的に検討する必要がある。

〈その他の意見〉

- ・ 実用化開発は各個別テーマごとに判断、実施することとしているが、見極めを行い、将来の事業化が特に有望なテーマについては、**NEDO** として実用化開発を推進あるいは支援することを検討してもらった方が良いと思う。
- ・ 出口イメージや実用化イメージというイメージで表現し評価することはあまり意味がない。イメージではなく、もっと、**NEDO** プロジェクトは具体的な事業化を進めるプロジェクトにすべきではないか。
- ・ かなりタイプの異なる研究が混ざっているので、プロジェクト全体として出口イメージが明確か、たとえば、おそらく答えは否ということになるだろう。ただ、それが好ましくない、というわけでは必ずしもないだろう。新規性の強い研究の場合は、出口イメージが明確ではないが遂行するということがあってよいと思う。
- ・ プロジェクトごとに進展具合も違い、9のプロジェクトを一括して、「実用化の見通し」、「波及効果」を論じることは難しいが、出口イメージが明確なものもある。意見は、「個別テーマ」毎に記す。

2. 個別テーマに関する評価結果

2. 1 シリコンナノワイヤ技術

1) シリコンナノワイヤトランジスタの知識統合研究開発

ナノワイヤトランジスタの作製、評価、シミュレーションを統合して進めた点は、非常に高く評価できる。また、それぞれでレベルの高い成果が得られており、一つひとつの成果にシリコンナノワイヤにとどまらない広い波及効果も期待できる。「酸素エッチング」という原子オーダーでの正確なエッチング技術を開発し、しかも集積回路への応用まで可能という有望な技術を開発している点は高く評価できる。また斜め AFM（原子間力顕微鏡）という独自技術を開発し、ナノデバイスの計測に活用している点、STM（走査トンネル顕微鏡）/AFM 融合構造を作製しデバイス評価に用いている点も他に類を見ない独自性を有しており、これも高く評価できる。十分な基礎技術の開発に成功したと言える。

一方、ベンチマークが詳細に行われてはいない、事業化の筋道が立っていないという点が課題である。また、産業界との連携が少し弱いように感じられた。日本の独自の産業発展になるように展開してほしい。ナノワイヤトランジスタの電気的特性については、多くの報告があるので、それらとの比較の上で、本課題の成果が総合的に性能向上にどのように貢献するかを明確に示せることが望ましい。

〈肯定的意見〉

- ナノワイヤトランジスタの作製、評価、シミュレーションを統合して進めた点は、非常に高く評価できる。また、それぞれでレベルの高い成果が得られており、一つひとつの成果にシリコンナノワイヤにとどまらない広い波及効果が期待できる。
- 「酸素エッチング」という原子オーダーでの正確なエッチング技術を開発し、しかも集積回路への応用まで可能という有望な技術を開発している点は高く評価できる。また斜め AFM という独自技術を開発し、ナノデバイスの計測に活用している点、STM/AFM 融合構造を作製しデバイス評価に用いている点も他に類を見ない独自性を有しており、これも高く評価できる。十分な基礎技術の開発に成功したと言える。
- 原子層単位で寸法を制御できるナノワイヤ製造技術を開発した点、ニッケルの以上拡散を生じさせずに金属ソース・ドレイン構造を形成する技術を開発した点は高く評価できる。原子間力顕微鏡を応用して、ナノワイヤの三次元形状を計測する技術を開発した点は高く評価できる。また、シリコンナノワイヤ内の電位分布を 0.1V の電圧分解能、10nm の空間分解能で計測できる技術を開発した点は従来に無いもので、高く評価できる。TCAD に応用可能なナノワイヤの電気伝導特性のシミュレーション技術を開発した点は高く評価できる。特許出願 7 件、論文 41 件、学会発表 114

件を行っており、知財確保、先駆的技術開発の情報発信として適切に活動している。

- 知識は集積化された。
- 高いレベルの作製・シミュレーション技術が構築されている。特に原子レベルでの特性測定を可能にした計測技術は注目に値する。早期の実用化を期待する。
- シリコンナノワイヤの直径・形状制御プロセスの開発に加えて、形状と特性を同時に評価できる計測技術（三次元計測装置）も合わせて独自開発した。
- 低圧酸素エッチングなどの作製技術、原子間力顕微鏡による評価技術など優れた技術がいくつかある。
- 探針傾斜機構を有する3次元原子間力顕微鏡や多機能走査プローブ顕微鏡システムなど実用化が期待できる高精度計測技術を開発している。

〈問題点・改善すべき点〉

- 有用な多くの技術開発をしており、日本の独自の産業発展になるように展開してほしい。産業界との連携という点が少し弱いように感じられた。
- 競合機関とのベンチマークがないこと、事業化の筋道が立っていないことで、このプロジェクトはかなりの問題をかかえている。
- 論文発表は意外と少ない。論文リストにはプロジェクトテーマとは直接に関係のないものがかなり含まれている。特許件数も、研究がカバーしている範囲の広さにしては少ないような気がする。公表を避けるためにあえて特許化しないという戦略をとっているとのことであったが、成果の普及という点では疑問が残る。
- 原子層エッチング技術など各要素技術として素晴らしいが、総合技術として最終的なデバイスの特性ばらつきをどの程度抑えられるのかにも踏み込んで頂きたかった。

〈今後に対する提言〉

- ・ ナノワイヤトランジスタについては、類似の報告が世界中からされており、それらとの優劣についても、きちっと論ずるべきではないか。
- ・ ナノワイヤの3次元計測技術は、大口径ウェーハ向けに装置開発するとなるとリスクが大きくすぐに着手する企業を探すのは容易ではないと思われるが、計測ユニットとして汎用性をもたせたものを開発するとバイオ等様々な分野に波及する可能性があるかと期待している。TCADへの搭載は戦略的な位置づけとして特に重要と思われるので、TCADベンダーと協議、開発を進めてもらいたい。
- ・ プロジェクトを開始する前に、事業化への十分な見通しを得て、関係者と事業化へ向けて協力体制を議論しておくべき。

- 3つのサブテーマはそれぞれ優れた成果を挙げているが基盤的知識「体系」の構築という点に関しては今後さらに発展させる必要がある。
- 独自開発の計測技術の実用化等には事業担当者の努力だけでは限界があり、本事業を超えた支援の枠組みが必要と思われる。
- 3次元原子間力顕微鏡などは実用化が可能と思われるので、装置メーカーとの連携を強力に推進して頂きたい。
- 今回開発された技術を集大成して、集積化デバイスまで見せていただけるとすばらしい。

2) ナノワイヤ FET の研究開発

Si ナノワイヤの電子構造、ショットキー障壁高さ、伝導特性などのシミュレーション技術を構築し実際に製作したワイヤとの比較検証を行い、Si ナノワイヤ FET のもつ優位性を理論的実験的側面から明らかにしてきた点は高く評価できる。シリコンナノワイヤでは角に界面準位が集中する為に、ワイヤとしては四角い断面の方がより大きな電流が得られる点を見いだした事は今後のナノワイヤの指針を与えるものであり重要である。また、界面までを含めた第一原理計算から出発した理論計算は学術的に興味深い。基礎物理に立脚したデバイス研究として高く評価できる。

一方、今後の課題として、成果（技術）の出口をきちっと考える必要がある。本当に電子機器メーカーに生産委託できるところまで行くのか。作製技術面での新規性が弱いという印象を受ける。コンパクトモデルに関して実験との整合性をさらに向上させ、世界の標準的なモデルになるようさらに研究を進めてもらいたい。

〈肯定的意見〉

- Si ナノワイヤの電子構造、ショットキー障壁高さ、伝導特性などのシミュレーション技術を構築し実際に製作したワイヤとの比較検証を実現した点は高く評価される。
- Si ナノワイヤ FET のもつ優位性を理論的実験的側面から明らかにしてきた点は評価できる。
- シリコンナノワイヤでは角に界面準位が集中する為に、ワイヤとしては四角い断面の方がより大きな電流が得られる点を見いだした事は今後のナノワイヤの指針を与えるものであり重要である。また既に大規模生産ラインで実際にデバイスを作製しており、今後の実用化の上でも問題は無い。
- 界面までを含めた第一原理計算から出発した理論計算は学術的に興味深い。基礎物理に立脚したデバイス研究として高く評価できると思う。
- 実用になる可能性のあるナノワイヤトランジスタのコンパクトモデルを構築した点は高く評価できる。ゲート長は大きいものの、ナノワイヤトランジスタでこれまでの最高水準の電流を達成した点は高く評価できる。オメガゲート構造を提案した点は高く評価できる。特許 4 件は概ね妥当。論文 38 件、学会発表 129 件は標準以上と言える。
- 良い研究成果が得られている。
- ナノワイヤ FET の開発に、基礎科学の研究者も加えて学理をもとに取り組んだことも評価できる。
- ナノワイヤの電子状態や準バリスティック伝導などの理論検討は、原理的な限界や特性予測をする上で重要な取り組みであり、優れた成果を挙げている。実験研究において、オン電流に着目し、ワイヤの最適サイズを見出した点も評価できる。

〈問題点・改善すべき点〉

- 今後の課題として、成果（技術）の出口をきちっと考える必要がある。本当に電子機器メーカーに生産委託できるところまで行くのか。
- 作製技術は従来技術にそったものであるため、生産は海外で行うという見通しが述べられていた。作りやすいということは好ましいことなのかもしれないが、作製技術面での新規性が弱いという印象を受けてしまう。ロードマップの作成を第一の成果に挙げていたが、個人的にはそれほど価値があることとは思わない。なぜなら、ロードマップは技術の革新にあわせて不断に改訂すべきものだからである。すでに確立した技術を使うという立ち位置が、ロードマップを完成した成果のようにみなす姿勢につながっているのかもしれない。
- どのような形で事業化を図るかが不明であった。この技術のライセンスで日本の半導体メーカーが優位に立てるシナリオの説明があったが、本当に事業化が図れるか疑問が残った。
- ナノワイヤの効果が重要となるさらなる短ゲート長領域について、実験・理論の比較が欲しかった。また、インテルが実用化予定のバルクフィン FET が幅 8nm であり、本研究で調べられているサイズと同等であり、言及なり比較検討があるべきだと思う。
- ナノワイヤのコンタクトに対して、バリアが高くなってしまおうという重要な知見を得ているが、実際に実験で確認したり、提案の欠陥を導入してバリア高さを下げられるかの実証が欲しい。

〈今後に対する提言〉

- ・ コンパクトモデルに関して実験との整合性をさらに向上させ、世界の標準的なモデルになるようさらに研究を進めてもらいたい。p チャネルトランジスタについても研究を進めてもらいたい。
- ・ すばらしいロードマップを学術的公共的成果のみならず、産業的アドバンテージとなる形で発展させることに期待する。
- ・ ロードマップの単なる提案に終わらず、今後、責任をもって実現するために注力していただきたい。また、施策としても実現をサポートして欲しい。
- ・ ロードマップに沿って研究を継続し、出口のある研究開発を目指していただきたい。そのためにも、東芝や産総研のチーム等とも連携し、力を結集していただきたい。
- ・ この技術を提案の様に、ファウンダリーに移管せず、日本の企業で実施するような方策を考えてほしい。海外のファウンダリーだけが得をするような方策は、せっきくの日本のプロジェクトで生み出されたものを他に譲るようなもので、日本の企業の強化につながらない。

3) シリコンナノワイヤトランジスタの物性探究と集積化の研究開発

研究成果は世界トップレベルである。また、強く実用化を意識した研究である。ナノワイヤ中のキャリア移動度の決定要因を明らかにした点、および、ナノワイヤの直径を **9nm** とすることで最大の正孔移動度を発現させることができる点をその根拠も含めて明らかにした点は極めて高く評価できる。ナノワイヤの直径を小さくすると界面の問題で移動度が下がり、逆に歪みの効果で特性が向上する方向に動くという事を発見した点は見事である。探索研究としては、独創的なプロセス技術でナノワイヤ **FET** (電界効果トランジスタ) の作製に成功しており、十分な成果が上がった。東大と東芝の研究役割分担と連携も十分よくできている。

一方、応用の出口が結局メモリなのであれば、開発項目も変わってくるはずで、そのあたりの戦略が若干見えづらい。さらに、東大と東芝でそれぞれゲート幅とゲート長の問題を担当されたが、両者の極限、すなわち短ゲート幅、短ゲート長のナノワイヤ **FET** の結果も重要である。企業は得られた成果や派生技術を今後の実用化、事業化にぜひ生かしていただきたい。

〈肯定的意見〉

- 研究成果は世界トップレベルである。
- 強く実用化を意識した研究である点が評価できると思う。
- 各種結晶方位を用いてナノワイヤ中のキャリア移動度の決定要因を明らかにした点、および、ナノワイヤの直径を **9nm** とすることで最大の正孔移動度を発現させることができる点をその根拠も含めて明らかにした点は極めて高く評価できる。**300mm** ウェーハラインを使ってワイヤ直径 **10nm**、ゲート長 **14nm** のトランジスタを作製、トランジスタ動作することを示した点は極めて高く評価できる。作製したナノワイヤトランジスタの特性から回路シミュレータのモデルパラメータを抽出し、スイッチング特性の立ち上がりの良さに依り、従来のバルク型トランジスタに比べて低い動作電圧領域で、電力遅延積を大幅に改善できることを示した点は、ナノワイヤトランジスタを実用化開発に向けて推進する意義を明確に示したもので、極めて高く評価できる。その他、多くの有用な基礎的データを取得している点は高く評価できる。特許 **12** 件(内 **5** 件は海外)は高く評価できる。論文 **20** 件、学会発表 **95** 件で、有力学術誌、著名な国際会議での発表が多い点が高く評価できる。受賞 **8** 件も特記すべき業績である。展示会への出展も **4** 件行っており、広報にも力を入れた点が評価できる。
- ナノワイヤで初めて移動度を測定する手法を開発した点、また **300mm** ラインの実用化可能なラインで **10nm** ワイヤ **FET** を作製した点は、研究面、実用化面で高い評価である。ナノワイヤの直径を小さくすると界面の問題で移動度が下がり、逆に歪みでいい方向に動くという事を発見した点は見事である。

- 探索研究としては、独創的なプロセス技術でナノワイヤ FET の作製に成功しており、充分成果が上がったものと思われる。トランジスタのホール移動度も高く優れた特性を示しており、S ファクターも優れている。東大と東芝の研究のすみわけも十分よくできている。
- 目標値を上回る微細チャネル長の Si ナノワイヤトランジスタを実現したことは評価に値する。
- VLS 法とは異なるアプローチによる極細のシリコンナノワイヤの作成と特性の測定に成功しており素晴らしい成果を挙げたと考えられる。事業担当者の長期間にわたる地道な努力も高く評価できる。
- 面方位と歪を用いた物性制御によるナノワイヤにおける移動度向上、300mm ラインを用いたチャネル長 14nm、チャネル径 10nm のトランジスタ動作実証など、世界トップレベルの研究開発成果を挙げており、高く評価できる。

〈問題点・改善すべき点〉

- 技術レベルは極めて高いが、応用の出口が結局メモリなのであれば、開発項目も変わってくるはずで、そこら辺の戦略が若干見えづらい。また、今回のプロジェクト全体のマネジメントの問題であるが、東芝の果たす役割をもう少し大きくできれば良かったと思う。
- 東大と東芝でそれぞれゲート幅とゲート長の問題を担当されましたが、両者の極限、すなわち短ゲート幅、短ゲート長のナノワイヤ FET の結果も重要であると思われます。今後の展開をお願いいたします。
- 共同開発する企業が今後 3 年間の自主研究を続け、実用化することを期待したい。
- 他の二つのシリコンナノワイヤグループの研究にはそれぞれ特徴的な要素があったが、このグループの研究はスタンダードな研究という印象を受ける。したがって他のグループと一体化し協働することもできたのではないだろうか。中間評価から繰り返し指摘されたことだが、3 つの独立のグループを設けたことが最善であったかどうか疑問が残る。

〈今後に対する提言〉

- ・ 今後の予定はデバイスメーカー内の自主研究とあるが、得られた成果や派生技術を今後の実用化、ビジネスにぜひ生かしていただきたい。
- ・ 本開発成果の実用化には事業担当者およびデバイスメーカーを超えた支援の枠組みが必要である。
- ・ 現状では、9nm のチャンネルがベストだが、最適径を探る等、最適設計条件を探るのが次のステップか。
- ・ 今後の課題として、ナノワイヤの最適な直径はどこであるか、また最適解

を得る為の様々なパラメータな何であることを明らかにされるとよりいい指針になると考えられます。

2. 2 次世代メモリ技術

1) 新構造 FinFET による SRAM 技術の研究開発

ゲート長 20nm 水準の FinFET (立体構造トランジスタ;Fin Field Effect Transistor) を実現、特性バラツキを世界最小にする技術を開発、4 端子 FinFET を有効に利用した独自の SRAM (Static Random Access Memory;記憶保持動作を必要としないランダムアクセスメモリ) 回路を実現し、待機時消費電力を従来の 30 分の 1 にまで低減できることを示した技術は高く評価できる。プロジェクトの中ではもっとも実用化に近い技術であり、近い将来の集積回路製造を視野に入れた研究が行われた。ここで開発された素子(4 端子 FinFET)はそれにとどまらず広い応用可能性を持っている。FinFET の優れた基盤技術が開発され、回路の IP (知的財産権) の整備を進めるなど、充分成果が上がっている。

一方、開発した SRAM 回路を IP としてビジネスを展開する方法については今後さらに詰める必要がある。また、集積化の可能性をシミュレーションで示されているが、実際に集積化したものを見せていただいた方がインパクトが大きい。なお、これらの開発した技術は、やはり日本国内の企業に技術移転して、日本の企業の体力アップに繋げるべきである。

〈肯定的意見〉

- ゲート長 20nm 水準の FinFET を実現し、しかも特性バラツキを世界最小にする技術を開発した点は極めて高く評価できる。4 端子 FinFET を有効に利用した独自の SRAM 回路を実現し、回路 IP を確立するとともに動作余裕を従来技術の 1.5 倍に高めるとともに、待機時消費電力を従来の 30 分の 1 にまで低減できることを示した点は極めて高く評価できる。特許 12 件の出願は高く評価できる。論文 26 件、研究発表 99 件であり、著名な国際会議での発表が多い点は高く評価できる。
- このプロジェクトの中ではもっとも実用化に近い技術であり、近い将来の集積回路製造を視野に入れた研究が行われた。SRAM が計画されているが、ここで開発された素子(4 端子 FinFET)はそれにとどまらず広い応用可能性を持っている。論文発表も充実しており、成果の普及という点でも評価できる。
- FinFET の優れた基盤技術が開発され、回路の IP (知的財産権) を整備するなど、充分成果が上がったと思われる。
- FinFET デバイス特性ばらつきの評価、ばらつきの要因の解明など集積化技術として重要な課題に取り組み、世界レベルの成果を上げている。FinFET の特徴を活かしたスタンバイリークの少ない SRAM の開発も評価できる。
- 20nm 以下の微細 FinFET におけるばらつき要因に関し知見を深めると共に、ばらつきを抑制した SRAM を実証しており評価される。
- 技術優位性があることは高く評価できる。

- **FinFET** のばらつき要因を極め、最も低いばらつきを実現している点は今後の実用化の上での重要な技術になりうる。また独自の 4 ゲート **FET** を開発し、これを用いて、動作余裕の大幅な改善の可能な **FDG-SRAM** を開発した点も、研究面、実用化面の上から高く評価できる。

〈問題点・改善すべき点〉

- 開発した **SRAM** 回路を **IP** としてビジネスを展開する具体的な方法をもっと詰めるべきではないか。この **IP** でビジネスをするには大変な努力が必要である印象を受けた。
- 集積化の可能性をシミュレーションで示されているが、やはり実際に集積化したものを見せていただいた方がインパクトが大きいと思われる。
- **SRAM** について 1V 動作であるが、低電圧動作化がどの程度いけるのかについても検討をして頂きたかった。

〈今後に対する提言〉

- ・ **IP** ビジネスの在り方をもっと勉強してください。
- ・ すでに計画されているようであるが、新しく開発された 4 端子 **FinFET** を用いた様々な新しい集積回路の開発に取り組んでいただきたいと思う。
- ・ 出口を **SRAM** に限らず、広い応用範囲を検討しては。
- ・ 関連企業に積極的に働きかけ、意見交換を行っている点を高く評価したい。インテルのバルク **FinFET** との比較検討も行い、どの領域で勝負していくのか戦略的に実用化可能性を追求して行って頂きたい。
- ・ これらの開発した技術は、やはり日本国内の企業に技術移転して、日本の企業の体力アップに繋げるべきではないかと考えられる。産総研は国研であるからなおさらこの点を真摯に考えるべきであると思われる。

2) 次世代相変化メモリ技術の研究開発

独創的な発想で超格子型新規相変化薄膜材料を開発し、従来型相変化メモリに比べて消費電力を 100 分の 1 以下に低減した成果は、極めて高く評価できる。新しい半導体メモリ市場を形成できる可能性が高く、開発をさらに加速して推進すべき成果である。また、超格子構造によって相変化を制御するというアイデアは物理的・学術的にも非常に興味深く、さらに期待していた効果を実際に発現させたことは画期的な成果である。

なお、今後の実用化に向けては、この技術の実用化へのストーリーが不十分である。競合他社と製品で競うのか、あるいは他社へライセンスするのか。知的財産権の提供など戦略をしっかりと立ててほしい。

〈肯定的意見〉

- 独創的な発想で超格子型新規相変化薄膜材料を開発し、従来型相変化メモリに比べて消費電力を 100 分の 1 以下に低減した成果は、極めて高く評価できる。特許 16 件を出願し、内 2 件は既に成立している点は高く評価できる。論文の数は多くないがインパクトの大きな論文誌で発表している点が高く評価できる。新しい半導体メモリ市場を形成できる可能性が高く、開発をさらに加速して推進すべき成果である。
- 超格子構造によって相変化を制御するというアイデアは物理的・学術的にも非常に興味深く、また期待していた効果を実際に発現させたことは画期的な成果とあってよいだろう。材料物性に関する深い知識と、高度な実験技術によってはじめて可能になった成果だと考える。
- 技術的には非常に素晴らしい成果がでている。
- 第一原理計算の結果をフィードバックすることにより、Ge-Te-Sb 超格子型相変化メモリを作製してその低消費電力性を実証したことは評価できる。
- 超格子構造の成長技術をもとに当初、予期しなかった学術的成果を挙げた。デバイスサイズの縮小が消費電力の低下につながるメモリ技術を開発した。
- 既にサムソンなどで実用化が始まっているとはいえ、相変化メモリに、超格子構造を導入することにより、スイッチング電流を著しく下げるといって、非常に優れた技術であると思う。プロセス技術なども特別に複雑になるわけではなく、またスイッチの物理限界に近く、今後の実用化に期待が持てる。
- 理論と実験の両輪で、超格子構造型の新しい相変化メモリを開発に成功しており、画期的な成果である。新材料として、競争力のあるとなる可能性を十分に有していると思われる。
- 従来の概念を覆した相変化メモリの提案であり、結晶／結晶変化を理論的に予測し、その材料を開発して実証した点は非常に高く評価できる。しか

も企業と共同で開発しており、実用化の上でも問題ない。日本独自の超低消費電力の相変化メモリを開発して欲しい。

〈問題点・改善すべき点〉

- この技術の実用化へのストーリーが不十分と思えた。サムソン等の競合他社と製品で競うのか、あるいは他社へライセンスするのか。特許は出願が16件されているが、これで知財権は十分に確保されているのかが不明であった。知財権が十分に確保されていることを期待したい。
- 成果の大きさに比して論文発表が少ないようだ。特許などとの関係で発表を差し控えているものと思うが、学術的に大きな価値のある結果であるので、もっと論文発表を行ってもいいのではないかと思う。
- H22年度が最終年度となった点を割り引かなければならないが、データベースの外販、10の15乗回の書き換え回数は実現されていない。
- 基本動作確認レベルであり、微細化、集積化の実証が行われていない。集積化するデバイス構造の周辺技術などの知財権の確保も必要ではないだろうか。
- 実用化の問題点はほとんど解決しており、是非早く実用化してほしい。知財、ノウハウを海外に盗まれないようにしてほしい。

〈今後に対する提言〉

- ・ 優れた技術なので、今後の実用化に向けては、IPの提供など戦略をしっかり立ててほしい。
- ・ 相変化は電気抵抗だけでなく様々な物性の変化を伴う。今後、他の物性に関する研究の進展も期待したい。
- ・ 今後の実用化には戦略を十分練って取り組んでいただきたい。
- ・ 新材料として競争力のある技術となることが期待できるので、早期に集積化技術として高めていって頂きたい。理論的な検討がうまく機能しているようなので、他の材料系などにも適用できないか、新しい材料や構造の展開もぜひ進めていただきたい。
- ・ 非常に重要な技術であり、日本の主要な半導体メーカーと共同して一挙に実用化して日本の半導体の復活の旗印としてほしい。それぐらい重要な技術内容である。

3) ナノギャップ不揮発メモリ技術の研究開発

10⁵ 回以上の書き込み・消去耐性、低温～高温までのデータ保持特性、10 年以上のデータ保持特性、10ns の高速書き込みなど、不揮発メモリとして高い潜在性をもつことを示した点、4k ビットメモリを試作し、その特性バラツキを評価し、改善目標を具体的に示した点は高く評価できる。簡単な構造でメモリを構成できる利点をもつ。ギャップ距離の変化がスイッチング機構である事を解明した点は重要である。

一方、大規模化が可能か、動作電圧の低減は可能か等、今後実用化に向けて解決すべき課題が少なくない。実用化には、さらなる技術的な工夫とそれによる飛躍的な発展が必要であろう。集積化の可能性を充分に見極めるとともに、バラツキも含めて量産性の評価も進めないと、実用化が見えなくなる可能性がある。他の競合メモリとの得失比較を充分に行う必要がある。

〈肯定的意見〉

- 10⁵ 回以上の書き込み・消去耐性、低温～高温までのデータ保持特性、10 年以上のデータ保持特性、10ns の高速書き込みなど、不揮発メモリとして高い潜在性をもつことを示した点は高く評価できる。4k ビットメモリを試作し、その特性バラツキを評価し、改善目標を具体的に示した点は高く評価できる。12 件の特許出願(内 7 件は成立)は高く評価できる。展示会への出展を 4 件行っていることは高く評価できる。
- 縦型方式を提案し、ギャップを安定的に作製する手法を確立しつつあり、従来より実用化に近くなっている。簡単な構造でメモリを構成できる点が利点であろう。ギャップ距離の変化がスイッチング機構である事を解明した点は重要である。
- おもしろい発想で不揮発性メモリを実現した。
- 実用化までに解決すべき問題点は多いが、原理的に新しい技術を試みる意義は大きいと思う。多数の論文発表や特許出願が示すように、困難な課題に取り組み研究を進展させたことは評価に値すると思う。
- 4. 5V、2 μ A の動作実証は評価される。社内ユースとして今後実績を積む道筋も評価できる。
- ナノギャップ素子の基本特性の測定に成功した。
- 原理が簡単で構造も単純である。さらに船井電機との共同研究体制もうまくいっており実用化の可能性も高い。
- メタルプロセスだけで作製可能なナノギャップメモリ構造を開発し、基本動作の確認にとどまらず、4kbit メモリの作製、ばらつき評価まで行っている点が評価できる。

〈問題点・改善すべき点〉

- 大規模化が可能か、温度変化による動作安定性等の今後、実用化に向けて

解決すべき課題が多く残されている印象を持った。

- このメモリーでは、電圧の高さと書き換え耐性が難点になると考えられる。実用化には、もう一段、新規な技術による飛躍が必要であるように感じられる。
- 集積化の可能性がどこまで可能であるかを充分に見極めてから進まないこと、実用化が見えなくなる可能性がある。他の競合メモリとの得失比較を充分に行う必要がある。
- 高集積化したときに、ばらつき、信頼性の点で不安が残る。プロセスとしての安定性が量産に耐えるものかも気になる。

〈今後に対する提言〉

- ・ ナノギャップの学理も基礎科学研究者とも連携して是非、解明していただきたい。
- ・ どこにいつどういう形で使われるかが大きなポイントでしょうが、まずは情報家電分野でぜひ実用化してほしい。
- ・ 配線プロセスのみで不揮発メモリ機能を実現できる面白い技術だと思うので、SoCでの実用化にぜひトライしていただきたい。
- ・ どのようなものに、このナノギャップメモリを挿入すれば良いかを判定して重点的に応用開発する必要があると思われる。従来のメモリと競争するよりも、簡便な作成方法に注目すべきかと思われる。

2. 3 新材料技術

1) カーボンナノチューブトランジスタ技術の研究開発

CMOS（相補型金属酸化膜半導体）インバータの動作が可能であることを示した点、100 ギガヘルツの周波数でも動作できる可能性を示した点は高く評価できる。CNT（カーボンナノチューブ）がもつ潜在性のいくつかを実証した。CNTFET（CNT 電界効果トランジスタ）としては、ほぼ目標値が達成されている。学術的成果は大きい。

一方、まだ基礎的な段階であり、More Moore（微細化を象徴するムーアの法則をさらに進めるアプローチ）に対応できるものではない。現在は CNT 自体と単独のトランジスタが研究対象になっている段階である。CNT 自体が、人為的制御が及ばない部分がどうしても残る。単独のトランジスタはできても、高い集積度と均一性が要求される集積回路を実現するのは容易ではない。

〈肯定的意見〉

- CMOS インバータの動作が可能であることを示した点は高く評価できる。100 ギガヘルツの周波数でも動作できる可能性を示した点は高く評価できる。CNT がもつ潜在性のいくつかを実証した。
- 学術的成果は大きいと思われる。
- CNTFET としては、ほぼ目標値が達成されている(23 本/ミクロン)。
- 基礎研究としては高いレベルにある。
- 早期終了となったのは残念だが、CNT のトランジスタ応用というチャレンジングなテーマに取り組み、基礎研究として十分な成果を輩出している点を高く評価したい。
- カーボンナノチューブ FET の高周波特性を実測した点は評価できるが、海外の二番煎じでもある。方向制御した多くのナノチューブを成長する技術はカーボンナノチューブの実用化の為に重要である。

〈問題点・改善すべき点〉

- まだまだ基礎的な段階であり、More Moore に対応できるものではない。本プロジェクトに無理矢理入れたのが間違いである。
- 現在は CNT 自体と単独のトランジスタが研究対象になっている段階である。CNT 自体が、物質の持っている自然な性質によって作られるものなので、人為的制御が及ばない部分がどうしても残る。したがって、単独のトランジスタはできても、高い集積度と均一性が要求される集積回路を実現するのは容易ではないだろう。その意味で、他のグループとのあいだにギャップがあると評価されたのはやむをえないのかもしれない。
- 実用化への道筋が見えなかった。
- CNT デバイスを実用化するというのは、時期尚早であり、当分は探索研究の範囲か。

- 難しいテーマであることは十分承知しているが、半導体 CNT の優先成長、コンタクト抵抗低減といった基本技術の開発にもっと集中しても良かったのではないだろうか。

〈今後に対する提言〉

- ・ 多数の論文発表が示すように、現在も急速に技術は進展しつつある。まったく新規な材料であるので、従来のシリコン集積回路を模擬するのではなく、新しいデバイス(たとえば化学的なセンシングや処理などの機能を兼ね備えた)を目指すほうが、かえって実用化は近いのではないかと思う。
- ・ 半導体ナノチューブの優先成長に向け継続して研究開発を進めて頂きたい。
- ・ トランジスタ以外の応用も視野に入れて、グラフェンを含めたカーボン材料デバイスの基本技術として資する研究をぜひ継続して行って頂きたい。
- ・ 元々 CREST に提案されたテーマであり、本 NEDO 開発にはそぐわない内容であったと言える。NEDO にマッチしたテーマ選択をする必要がある。

2) シリコンプラットフォーム上III-V族半導体チャネルトランジスタ技術の研究開発

InGaAs とシリコン酸化膜の、貼り合わせ技術を開発した点、ヘテロエピタキシャル成長技術と貼り合わせ技術によって、極薄の InGaAs-on-insulator 構造を Si 基板上に作製できることを示した点、原子層制御でゲート絶縁膜を形成し、世界初の極薄 MOS (金属酸化膜半導体) 型 FET (電界効果トランジスタ) の動作を実証するなど目覚ましい成果を挙げた。極めてレベルの高い成果である。また企業との連携も十分に進んでおり実用化への進展は着実である。

一方、基礎技術が確立した所であるので、今後実際にどのように集積回路を作製して行けば良いかの展開を計ってほしい。半導体装置メーカーとの連携については、日本発の技術・産業として成長するように、戦略的に推進して頂きたい。

〈肯定的意見〉

- InGaAs とシリコン酸化膜の貼り合わせ技術を開発した点は高く評価できる。ヘテロエピタキシャル成長技術と貼り合わせ技術によって、極薄の InGaAs-on-insulator 構造を Si 基板上に作製できることを示した点は高く評価できる。原子層制御でゲート絶縁膜を形成し、Si 基板上に移動度が $3000\text{cm}^2/\text{Vs}$ に達する n チャネル MOS 型 FET を実現できることを示した点は極めて高く評価できる。高移動度の p チャネル MOS 型 FET を Ge を使って実現し、InGaAs の n チャネルトランジスタと組み合わせてシリコン基板上に CMOS を作製できることを示した点は極めて高く評価できる。74 件の特許出願(内、外国 31 件、PCT14 件)は極めて高く評価できる。論文 49 件、学会発表 201 件、受賞 7 件も特筆すべき業績である。新聞・雑誌等への 28 件の掲載も広報活動として多いに評価できる。
- 世界初の極薄 MOSFET の動作を実証するなど目覚ましい成果を挙げた。
- 31 件の特許出願が物語るように、極めてレベルの高い成果である。従来困難であった化合物半導体/シリコンを張り合わせという意外な手法で実現した点は非常に高く評価できる。また企業との連携も十分に進んでおり実用化への進展は着実である。
- 高い技術が開発され、企業との連携もうまく進めた。
- 驚異的な研究成果である。絶縁膜上の III-V 層形成も、III-V の MOS 構造も、それぞれが非常に大きく困難な課題であるが、その両方に関してブレイクスルーを達成しているように思う。この成果によってロードマップが書き換えられた、という表現はけっして誇張ではないだろう。論文研究発表も、質量ともに同じ研究者として圧倒される思いである。
- 高度な貼り合わせ方により III-V-OI 構造で高い移動度を実現したことは高く評価できる。
- III-V n MOS と Ge の pMOS を同一基板上に実現するなど、先駆的な研究

成果が上がっている。サイズを小さくしていく、cMOS としての動作確認など今後の課題はあるものの、方向性を示した点は評価できる。

- Si 上の III-V チャンネル MOSFET 実現に向けて、張り合わせや結晶成長を利用した III-V チャンネル形成技術、ゲートスタック技術、メタルソースドレイン技術と着実に要素技術を開発し、高移動度トランジスタの動作実証、Ge チャンネル pMOS との混載と、世界トップレベルの素晴らしい成果を挙げている。知財権の確保も十分行っている。

〈問題点・改善すべき点〉

- 基礎技術が確立した所であるので、今後実際にどのように集積回路を作製して行けば良いかの展開を計ってほしい。
- シリコンと比して、スケーリングメリットがどのくらい出てくるのか、今後の検討にも期待大である。半導体装置メーカーとの連携については、日本発の技術・産業として成長するように、戦略的に推進して頂きたい。光機能との融合など高機能チップの可能性もあると思うので、MOSFET の性能追究だけでなく方向性も検討して頂きたい。
- 共同研究企業が実用化するか否かにかかっている。

〈今後に対する提言〉

- ・ 貼り合わせも、MOS 技術も、それぞれが広い応用可能性を持っており、この研究成果によって III-V のデバイス研究全体が活性化することを期待したい。
- ・ GepMOSFET と III-VMOSFET の集積化に関しては本研究開発課題の成果として高く評価するものの Si 上の集積化としては道半ばである。今後の発展を期待したい。
- ・ 本開発成果の実用化には事業担当者およびデバイスメーカーを超えた支援の枠組みが必要である。
- ・ この重要な技術を日本の半導体メーカーを巻き込んで、新たな集積回路の概念と開発に積極的に展開してほしい。

3) シリコンウェハ中の原子空孔濃度定量評価技術の研究開発

シリコンウェハ中の原子空孔濃度の分布を、超音波を使って非破壊で測定、モニターできる技術を開発し、原子空孔濃度とボイド等との相関について基礎的な知見を得ている。研究開発組織に、シリコン結晶欠陥について民間企業で研究実績を挙げた研究者を加えたことが一定の成果を挙げる原動力となったと考えられる。

一方、シリコン結晶成長については従来から多面的に評価解析が行われており、種々の格子欠陥が成長後の結晶に空間的に不均一に含まれていると考えられている。評価手法が、標的とする欠陥以外の欠陥も合わせて見てしまう可能性は完全に排除できないので、結晶欠陥に関する従来の知見と、本評価法により結論された単一原子空孔の分布との関連性が明確になるとさらに本評価法の有効性が示せると思われる。他の評価手法との得失比較も充分してほしい。

また、評価技術を実用化することは大学だけでは難しいので、もっと密接に企業と協力関係をもっておく必要がある。

〈肯定的意見〉

- シリコンウェハ中の原子空孔濃度の分布を超音波を使って非破壊で測定、モニターできる技術を開発した点は高く評価できる。
- 本プロジェクトの中で若干異色のテーマであるが、高品質シリコンウェハの創製を目指して、シリコンウェハの原子空孔による低温ソフト化を計測する手法を開発し、原子空孔濃度とボイド等との相関について基礎的な知見を得ている。
- 物理学の基礎研究を半導体エレクトロニクスの評価技術に適用しようとするチャレンジを評価する。また、研究開発組織に、シリコン結晶欠陥について民間企業で研究実績を挙げた研究者を加えたことが一定の成果を挙げる原動力となったと考えられる。
- 濃度測定の評価技術を開発したことは評価できる。
- 産業的に重要であるシリコンウェハ中の原子空孔評価技術を超音波計測によって確立し、産業の現場で実証したことは高く評価される。
- 空孔を超音波で見るという全く独自技術を開発している点は、評価できる。空孔濃度が 10^{13}cm^{-3} 台でも見ることができる、という点で優れている。
- シリコンインゴット中の空孔の分布の新しい測定法を開発した点が新規である。また空孔の分布とシリコンデバイスの特性との間に関連を示した点も評価できる。

〈問題点・改善すべき点〉

- シリコン結晶成長については従来から多面的に評価解析が行われており、種々の格子欠陥が成長後の結晶に空間的に不均一に含まれていると考えられている。この従来の結果と、本評価法により結論された単一原子空孔

の分布との関連性が不明である。

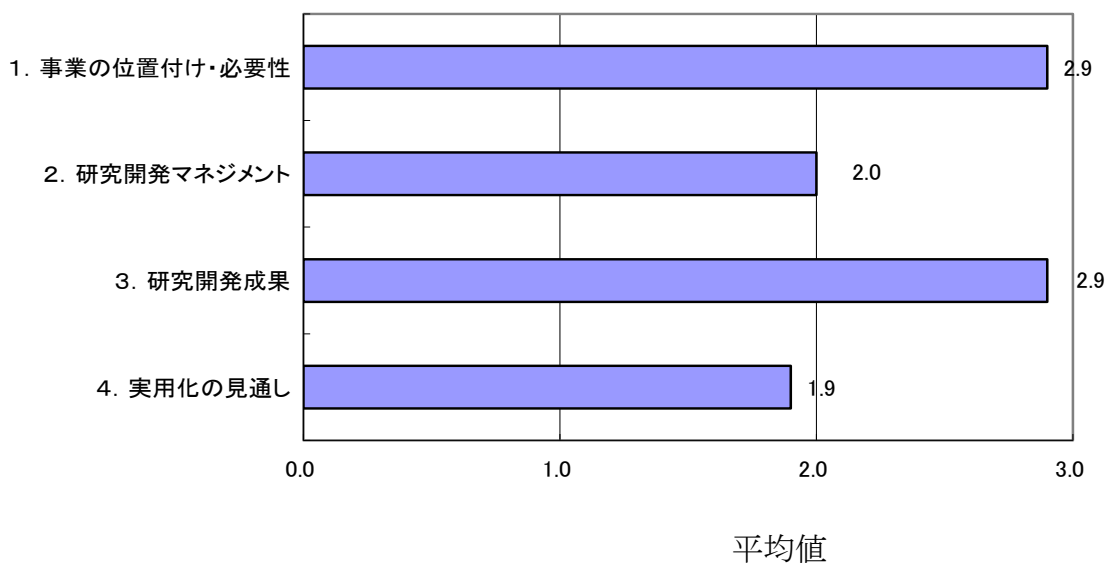
- ヒアリングの場でも議論になったが、他の欠陥も合わせて見てしまう可能性は、完全に排除できない。別のツールで検証する必要はありそうだ。
- 本技術の重要性、独自性が明確に見えない。また実用化の見通しが全く見えない。他の評価手法との得失を充分比較してほしい。
- 評価技術を実用化することは大学だけでは難しい。もっと密接に企業と協力関係をもっておくことが必要と思われる。
- デバイス歩留まりは様々な要素で決まるものであり、酸素濃度やゲッタリングとの関連性なども含めて、原子空孔濃度制御のインパクトが未知数である。また、原子空孔濃度測定結果を結晶成長条件にフィードバックし原子空孔を制御することはできないのか。
- シリコン中の単独の空孔は室温でも容易に移動できるため、室温ではほとんど存在しない(熱平衡濃度)、というのが標準的な理解である。したがって、弾性定数の変化が空孔に起因したものであるとしても、その空孔は何らかの複合欠陥を作っていると予想される。もちろん、「標準的な理解」が間違っていることもあり、それに反する主張が許されないわけではない。しかし、学会で受け入れられないような研究が、高い競争力をもつ次世代技術の開発に繋がるとは思えない。この研究に関与した企業は、理屈はどうあれ品質管理に役立てばよいという考えであったかもしれない。しかし、そのような基礎をないがしろにした技術は波及効果も持ち得ないし、いずれ衰退していくであろうと信じる。ナノ構造を対象にした評価という観点なら、SPMをベースにした評価技術などがより適当であっただろう。

〈今後に対する提言〉

- ・ 日本のシリコンウェーハメーカの高い競争力をさらに高めるために有効な成果になり得ると思われる。しかし、現時点ではモニターされた原子空孔濃度がデバイスの特性や歩留まりに何故、どの程度影響を与えるのかのデータが不足しているため、せつかくの研究成果が活かさない状況にあるように思われる。今後、ウェーハメーカ内での評価を継続するとしているが、デバイスメーカとの共同による評価を積極的に推進してもらいたい。
- ・ 興味深い1つの評価法を提案されたので、一過性の研究に終わらせず、従来の評価法により蓄積された知見も含めて、統合的に長年の課題であるシリコン結晶成長機構の解明を目指していただきたい。
- ・ 実際に企業を含めて開発を進めており、ウエハチェックに使える評価技術のスタンダードに育ててほしい。
- ・ ライフタイム測定等と比べた本手法のメリットを明確化するとともに、原子空孔濃度制御の付加価値を明らかにしていって頂きたい。
- ・ このテーマもNEDOで行うテーマというよりも、より基礎的なプロジェクトで行うべきかと思われる。

3. 評点結果

3. 1 プロジェクト全体



評価項目	平均値	素点 (注)							
		A	A	B	A	A	A	A	A
1. 事業の位置付け・必要性について	2.9	A	A	B	A	A	A	A	A
2. 研究開発マネジメントについて	2.0	A	B	C	C	B	B	A	B
3. 研究開発成果について	2.9	A	B	A	A	A	A	A	A
4. 実用化の見通しについて	1.9	B	B	D	B	B	B	A	B

(注) A=3, B=2, C=1, D=0 として事務局が数値に換算し、平均値を算出。

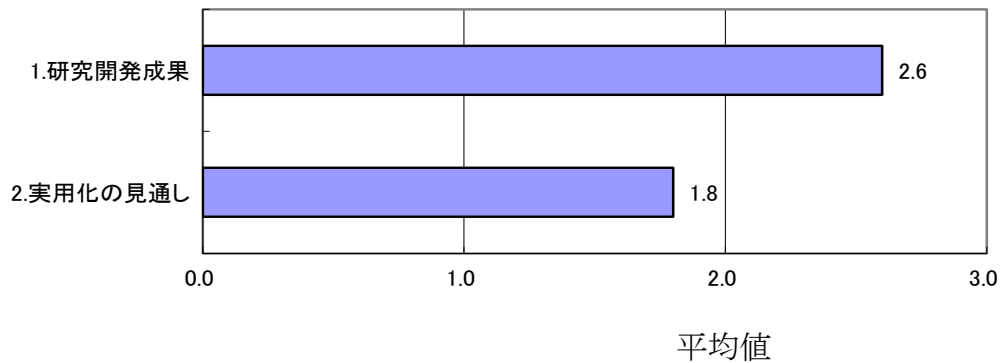
〈判定基準〉

1. 事業の位置付け・必要性について	3. 研究開発成果について
・非常に重要 →A	・非常によい →A
・重要 →B	・よい →B
・概ね妥当 →C	・概ね妥当 →C
・妥当性がない、又は失われた →D	・妥当とはいえない →D
2. 研究開発マネジメントについて	4. 実用化の見通しについて
・非常によい →A	・明確 →A
・よい →B	・妥当 →B
・概ね適切 →C	・概ね妥当であるが、課題あり →C
・適切とはいえない →D	・見通しが不明 →D

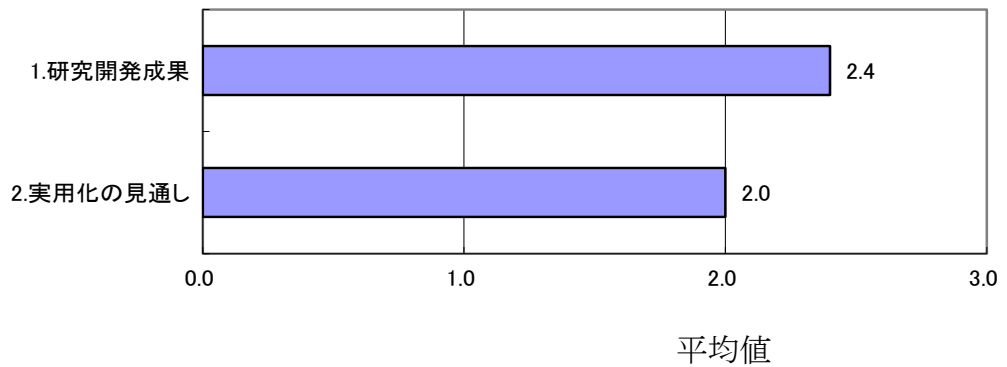
3. 2. 個別テーマ

3. 2. 1 シリコンナノワイヤ技術

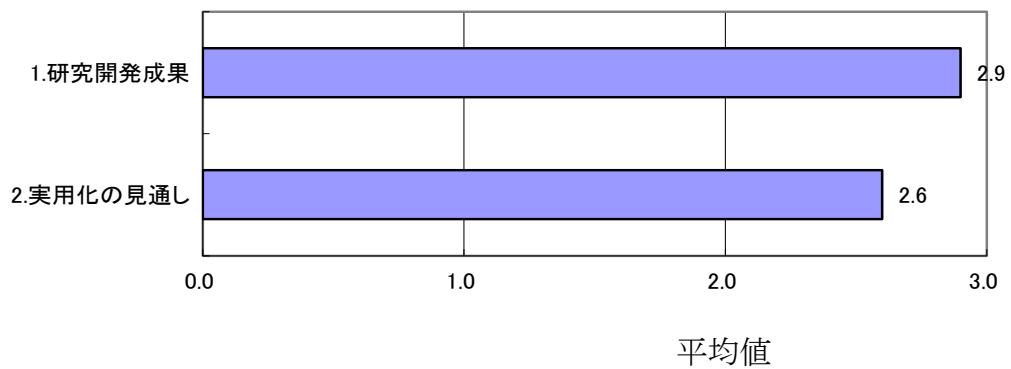
1) シリコンナノワイヤトランジスタの知識統合研究開発



2) ナノワイヤ FET の研究開発

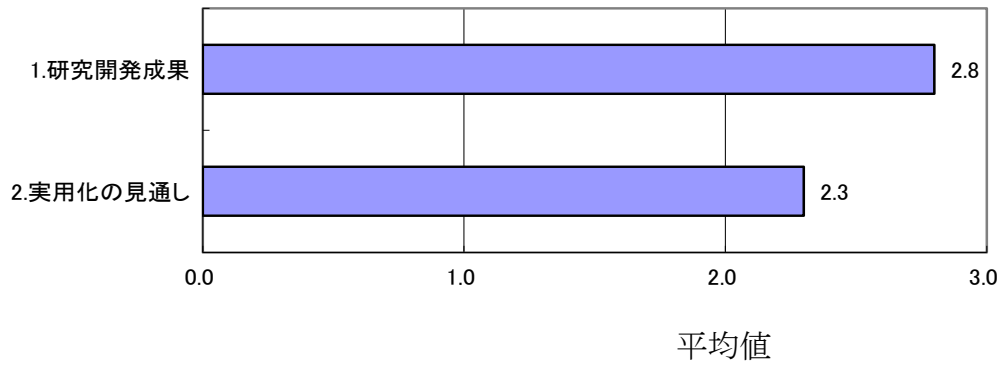


3) シリコンナノワイヤトランジスタの物性探究と集積化の研究開発

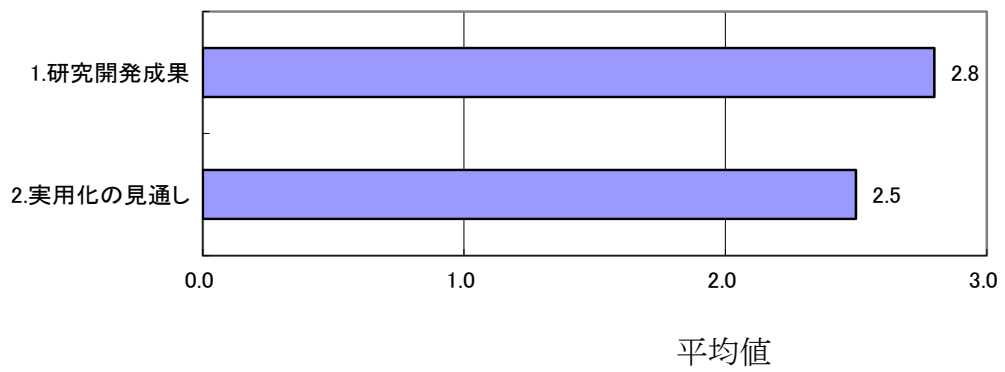


3. 2. 2 次世代メモリ技術

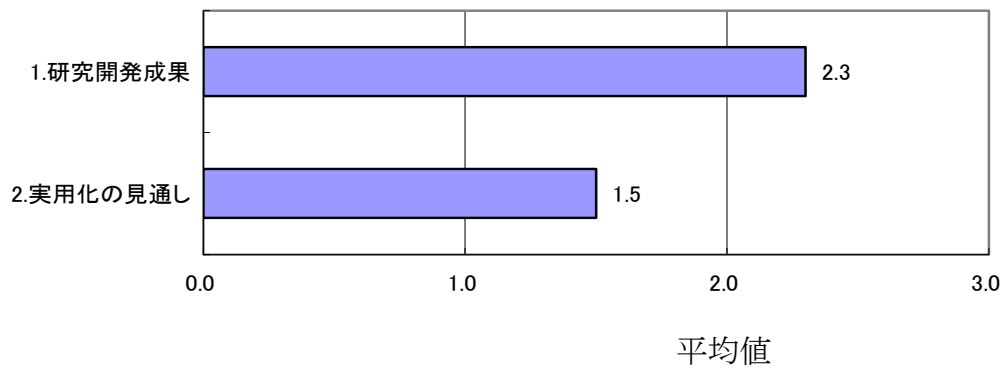
1) 新構造 FinFET による SRAM 技術の研究開発



2) 次世代相変化メモリ技術の研究開発

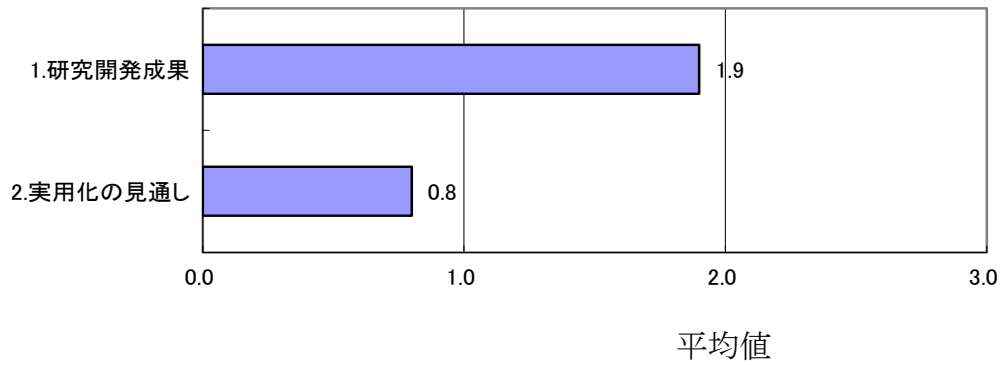


3) ナノギャップ不揮発メモリ技術の研究開発

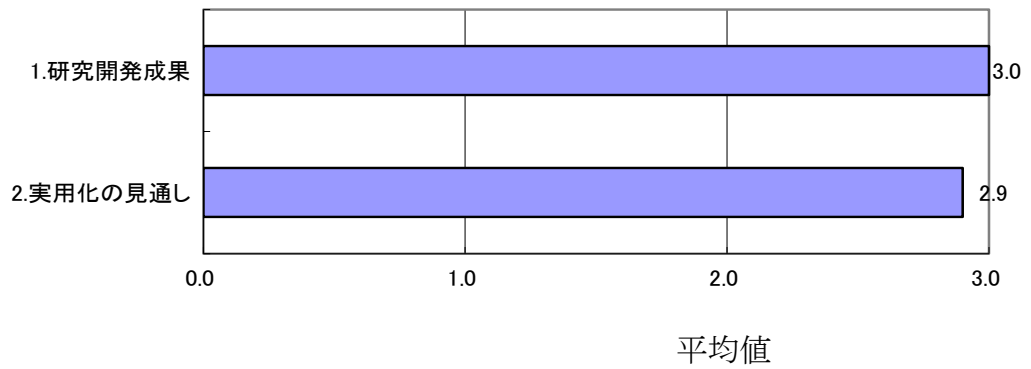


3. 2. 3 新材料技術

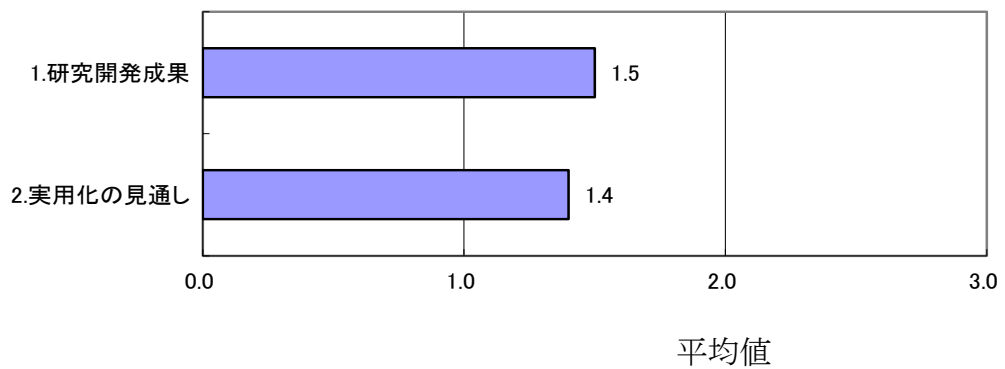
1) カーボンナノチューブトランジスタ技術の研究開発



2) シリコンプラットフォーム上III-V族半導体チャネルトランジスタ技術の研究開発



3) シリコンウェハ中の原子空孔濃度定量評価技術の研究開発



個別テーマ名と評価項目	平均値	素点 (注)							
3. 2. 1 シリコンナノワイヤ技術									
1) シリコンナノワイヤトランジスタの知識統合研究開発									
1. 研究開発成果について	2.6	A	A	C	A	A	A	A	B
2. 実用化の見通しについて	1.8	B	B	D	A	B	C	B	B
2) ナノワイヤ FET の研究開発									
1. 研究開発成果について	2.4	B	B	B	A	A	B	A	B
2. 実用化の見通しについて	2.0	B	B	C	A	B	B	B	B
3) シリコンナノワイヤトランジスタの物性探究と集積化の研究開発									
1. 研究開発成果について	2.9	A	A	A	B	A	A	A	A
2. 実用化の見通しについて	2.6	B	A	B	A	B	A	A	A
3. 2. 2 次世代メモリ技術									
1) 新構造 FinFET による SRAM 技術の研究開発									
1. 研究開発成果について	2.8	A	A	B	A	A	B	A	A
2. 実用化の見通しについて	2.3	B	B	C	A	B	B	A	A
2) 次世代相変化メモリ技術の研究開発									
1. 研究開発成果について	2.8	A	A	A	A	C	A	A	A
2. 実用化の見通しについて	2.5	A	A	C	A	B	A	A	B
3) ナノギャップ不揮発メモリ技術の研究開発									
1. 研究開発成果について	2.3	C	B	B	A	A	A	B	B
2. 実用化の見通しについて	1.5	C	C	C	C	A	B	B	C
3. 2. 3 新材料技術									
1) カーボンナノチューブトランジスタ技術の研究開発									
1. 研究開発成果について	1.9	C	B	B	B	B	B	B	B
2. 実用化の見通しについて	0.8	C	D	C	C	D	C	C	C
2) シリコンプラットフォーム上Ⅲ-V族半導体チャンネルトランジスタ技術の研究開発									
1. 研究開発成果について	3.0	A	A	A	A	A	A	A	A
2. 実用化の見通しについて	2.9	A	A	B	A	A	A	A	A
3) シリコンウェハ中の原子空孔濃度定量評価技術の研究開発									
1. 研究開発成果について	1.5	C	B	C	D	A	C	B	B
2. 実用化の見通しについて	1.4	C	C	C	D	A	B	B	C

(注) A=3, B=2, C=1, D=0 として事務局が数値に換算し、平均値を算出。

〈判定基準〉

1. 研究開発成果について

- ・非常によい
- ・よい
- ・概ね適切
- ・適切とはいえない

2. 実用化の見通しについて

- | | | |
|----|----------------|----|
| →A | ・明確 | →A |
| →B | ・妥当 | →B |
| →C | ・概ね妥当であるが、課題あり | →C |
| →D | ・見通しが不明 | →D |

第2章 評価対象プロジェクト

事業原簿

次ページより、当該事業の事業原簿を示す。

「ナノエレクトロニクス半導体新材料・
新構造ナノ電子デバイス技術開発」

事業原簿(公開)

担当部	独立行政法人新エネルギー・産業技術総合開発機構 電子・材料・ナノテクノロジー部
-----	--------------------------------------------

概要

プロジェクト用語集

I. 事業の位置付け・必要性について	
1. NEDOの関与の必要性・制度への適合性	1
1.1 NEDOが関与することの意義	1
1.2 実施の効果(費用対効果)	2
2. 事業の背景・目的・位置づけ	3
2.1 事業の背景	3
2.2 事業の目的	3
2.3 事業の位置づけ	3
II. 研究開発マネジメントについて	
1. 事業の目標	4
2. 事業の計画内容	14
2.1 研究開発の内容	14
2.2 研究開発の実施体制	18
2.3 研究開発の運営管理	18
3. 情勢変化への対応	19
4. 中間評価結果への対応	19
5. 評価に関する事項	19
III. 研究開発成果について	
1. 事業全体の成果	20
1.1 プロジェクト成果の概要	
1.2 研究開発項目毎の成果の概要	20
1.2-①シリコンナノワイヤ技術	
1.2-①-(1)「シリコンナノワイヤトランジスタの知識統合研究開発」	20
1.2-①-(2)「ナノワイヤFETの研究開発」	27
1.2-①-(3)「シリコンナノワイヤトランジスタの物性探究と集積化の研究開発」	33
1.2-②次世代メモリ技術	
1.2-②-(1)「新構造 FinFET による SRAM 技術の研究開発」	

.....	36
1. 2-②-(2)「次世代相変化メモリ技術の研究開発」	
.....	39
1. 2-②-(3)「ナノギャップ不揮発性メモリ技術の研究開発」	
.....	43
1. 2-③新材料技術	
1. 2-③-(1)「カーボンナノチューブトランジスタ技術の研究開発」	
.....	46
1. 2-③-(2)「シリコンプラットフォーム上Ⅲ-V族半導体チャネルトランジスタ技術の研究開発」	
.....	53
1. 2-③-(3)「シリコンウェハ中の原子空孔濃度定量評価技術の研究開発」	
.....	56
IV. 実用化の見通しについて	
①シリコンナノワイヤ技術	
①-(1)「シリコンナノワイヤトランジスタの知識統合研究開発」	
.....	60
①-(2)「ナノワイヤFETの研究開発」	
.....	61
①-(3)「シリコンナノワイヤトランジスタの物性探究と集積化の研究開発」	
.....	62
②次世代メモリ技術	
②-(1)「新構造 FinFET による SRAM 技術の研究開発」	
.....	63
②-(2)「次世代相変化メモリ技術の研究開発」	
.....	64
②-(3)「ナノギャップ不揮発性メモリ技術の研究開発」	
.....	66
③新材料技術	
③-(1)「カーボンナノチューブトランジスタ技術の研究開発」	
.....	68
③-(2)「シリコンプラットフォーム上Ⅲ-V族半導体チャネルトランジスタ技術の研究開発」	
.....	69
③-(3)「シリコンウェハ中の原子空孔濃度定量評価技術の研究開発」	
.....	70

(添付資料)

- ・特許論文リスト
- ・プログラム基本計画
- ・プロジェクト基本計画
- ・事前評価関連資料

概要

		作成日	平成24年8月8日				
プログラム名	IT イノベーションプログラム、ナノテク・部材イノベーションプログラム						
プロジェクト名	ナノエレクトロニクス半導体新材料・新構造ナノ電子デバイス技術開発	プロジェクト番号	P09002				
担当推進部/担当者	電子・材料・ナノテクノロジー部 / 小林丈夫						
0. 事業の概要	半導体集積回路 (LSI) の更なる高機能化・低消費電力化に向けて、電子デバイス性能の技術的な飽和を突破するための”新材料”、”新プロセス”、”新構造”を実現する半導体技術を、ナノテクノロジーを最大限に活用することによって創生し、将来の産業応用への芽を見出すことを目的として、シリコンナノワイヤ技術、次世代メモリ技術、新材料技術の開発を行う。						
I. 事業の位置付け・必要性について	IT 社会を根底から支える半導体LSIには一層の高機能化、低消費電力化が求められている。従来、半導体LSIは微細化技術の向上により機能、消費電力、集積度、コストにおける急速な進歩を達成してきた。一方、LSIの更なる性能向上には、単なる微細化のみならず、新材料、新プロセス、新構造など革新的技術の導入が不可欠であり、その必要性は微細化の進展とともにますます大きくなっている。このため、シリコンで培った微細化技術やデバイス原理をこれまで同様に活用しながら、シリコンという材料の物理的限界を突破するための”新材料”、”新プロセス”、”新構造”を実現する半導体技術を、ナノテクノロジーを最大限に活用することによって創生し、将来の産業応用への芽を見出すことを目的とした技術開発を行う。						
II. 研究開発マネジメントについて							
事業の目標	平成 23 年度までに、産業界が10年後を見据えた将来の集積回路システムとして展開できる電子デバイスを開発する際に産業技術として活用できるかどうかの実現可能性を見極める。						
事業の計画内容	主な実施項目	H19fy	H20fy	H21fy	H22fy	H23fy	備考
	①-(1)シリコンナノワイヤトランジスタの知識統合研究開発	→					早期終了
	①-(2)ナノワイヤ FETの研究開発	→					
	①-(3)シリコンナノワイヤトランジスタの物性探究と集積化の研究開発	→					
	②-(1)新構造 FinFETによるSRAM技術の研究開発	→					
	②-(2)次世代相変化メモリ技術の研究開発	→					別PJに移管
	②-(3)ナノギャップ不揮発性メモリ技術の研究開発	→					
	③-(1)カーボンナノチューブトランジスタ技術の研究開発	→					早期終了
	③-(2)シリコンプラットフォーム上 III-V 族半導体チャネルトランジスタ技術の研究開発	→					
	③-(3)シリコンウェハ中の原子空孔濃度定量評価技術の研究開発	→					

開発予算(百万円)	会計・勘定	H19fy	H20fy	H21fy	H22fy	H23fy	総計
	一般会計(経産省)	493	599	—	—	—	1092
	一般会計(NEDO)	—	—	564	468	260	1292
	総予算額	493	599	564	468	260	2384
開発体制	経済産業省原課	商務情報政策局 情報通信機器課					
	プロジェクトリーダー	設置していない					
	委託先	独立行政法人産業技術総合研究所 株式会社東芝 国立大学法人東京工業大学 国立大学法人東京大学 国立大学法人京都大学 株式会社船井電機新応用技術研究所 国立大学法人名古屋大学 独立行政法人物質・材料研究機構 国立大学法人新潟大学					
情勢変化への対応	<p>本研究開発は、経済産業省により、公募によって研究開発実施者が選定され、平成19年度より委託により実施している。平成21年度より、NEDO技術開発機構が本研究開発を運営・管理するに当たっては、平成20年度までの進捗状況を踏まえた研究開発内容・計画及び実施体制の妥当性について、外部有識者による審議を含めた評価を行った上で最適な研究開発体制を構築し、委託して実施した。</p> <p>平成21年に本プロジェクト予算の削減に伴い「シリコンナノワイヤ技術:シリコンナノワイヤトランジスタの知識統合研究開発」と「新材料技術:カーボンナノチューブトランジスタ技術の研究開発」の2件を前倒して早期終了した。</p> <p>更に、平成22年度から始まった「低炭素社会を実現する超低電圧ナノエレクトロニクスプロジェクト」強化のために技術親和性の高い本プロジェクトの「次世代メモリ:相変化メモリ:次世代相変化メモリ技術の研究開発」を同プロジェクトに移行した。</p> <p>また、目標達成促進のために「次世代メモリ技術:ナノギャップ不揮発性メモリ技術の研究開発」「新材料技術:シリコンプラットフォーム上III-V族半導体チャネルトランジスタ技術の研究開発」「新材料技術:シリコンウェハ中の原子空孔濃度定量評価技術の研究開発」の3件に対し平成22年度に加速予算69百万円を加算した。</p>						
Ⅲ. 研究開発成果について	<p>① シリコンナノワイヤ技術</p> <p>① -(1)シリコンナノワイヤトランジスタの知識統合研究開発</p> <p>FET の究極形であるナノワイヤトランジスタを対象として、産業界が集積回路システムの構成要素としての実現可能性を見極めるために、ナノワイヤトランジスタの構造や特性を予測し、構造・材料・プロセスの設計を行うための知識体系を構築することを目的とした。このために、ナノワイヤトランジスタを原子レベルの正確さで作製する技術と特性の評価技術、ナノワイヤトランジスタの構造やひずみ、ポテンシャル分布をナノレベルで計測する物理計測評価解析技術、ナノワイヤトランジスタの構造やトランジスタ特性を予測できるシミュレーション技術の研究開発を行い、それぞれの要素技術について、世界最高水準の成果を得た。</p> <p>① -(2)ナノワイヤ FET の研究開発</p> <p>半導体技術の課題であるCMOS微細化の限界打破のために、新たな構造の視点からSiナノワイヤFETの基盤技術研究を行った。理論解析と実験結果により、SiナノワイヤFETがその限界を十分に打破し、今後10年に亘って微細化を継続し、その性能を向上させながら数nmの世代まで本命デバイスとして進化することが予測されるようになった。そのための技術開発ロードマップを作成した。これにより、低電力、高性能な情報処理用のロジックCMOS集積回路の作製が可能となり、今後のスマート社会に向けてより豊かで人に優しい社会の実現が期待される。</p> <p>① -(3)シリコンナノワイヤトランジスタの物性探究と集積化の研究開発</p> <p>・ワイヤ幅が 10nm 以下のシリコンナノワイヤトランジスタを開発し評価を行った。ナ</p>						

ノワイヤ幅が 9nm のときに正孔移動度は最大となり、その移動度は正孔のユニバーサル移動度の 2.3 倍に達することを世界で初めて実験により示し、通常のバルクトランジスタより高い性能を得ることができることを明らかにした。〈東京大学〉
・300mm ラインを活用して、トライゲートシリコンナノワイヤトランジスタを作製し、特性評価を行った。最終的にノワイヤサイズとして 10nm 径、ゲート長として 15nm 以下のデバイスを動作させ、オフ電流を抑えつつ、高いオン電流を実現することに成功した。(東芝)

②次世代メモリ技術

② -(1)新構造 FinFET による SRAM 技術の研究開発

FinFET 作製基盤技術として、20nm 級微細 FinFET 作製技術を構築した。世界最小レベルまで特性バラツキが抑えられた 20nmFinFET を実現した。また、14nm 世代 FinFET のオン電流バラツキ要因を世界に先駆け解明した。SRAM 回路技術として、20nm 級 4 端子型 FinFET を用いた Flex-Pass-Gate-SRAM 回路を実現した。また、素子バラツキと SRAM 特性バラツキに関する詳細な解析に成功した。さらに、周辺回路も含め、Flex-Pass-Gate-SRAM 回路 IP を確立し、バルクトランジスタ比でセル面積増加無、動作余裕 1.5 倍、消費電力 1/30 を確認した。

③ -(2)次世代相変化メモリ技術の研究開発

第一原理計算に基づいて、 $[(\text{GeTe})_2/(\text{Sb}_2\text{Te}_3)_4]_{7\sim 8}$ を用いた相変化メモリデバイスを新たに創成・作製・評価し、目標値を遥かに上回る性能を実証した。同組成の合金を用いる従来型相変化メモリデバイスとの電力費比で 1/32 を達成し、最終目標の 1/5 を遥かに上回る成果を上げることができた。

② -(3)ナノギャップ不揮発性メモリ技術の研究開発

平面先鋭型金属ナノギャップ素子を用いて NGS 基本動作特性を評価するとともに、縦型NGS素子の開発と、4 kbit のデバイスの試作・評価を行った。その結果、最終目標の性能である1)書き換え高速性 100 ns 以下、2)稠密性(上下電極交点の直径 ϕ :40 nm)、3)書き換え耐性 105 回以上(継続評価中)を実証した。動作電圧・電流の低減化については、素子構造の微細化もしくは素子を酸素などの活性ガスで充填することで、目標である5 V 以下・20 μ A 以下での動作を達成した。また、素子作製後の初期ギャップ幅を小さくすることで、フォーミング電圧の低減も可能であることが分かった。

③ 新材料技術

③-(1)カーボンナノチューブトランジスタ技術の研究開発

カーボンナノチューブ(CNT)を用いた FET の実現性を検証すべく以下の研究開発を行い、その可能性が高いことを示した。

まず、相補型インバーターの作製技術を開発しインバーター動作を実証した。次にマッシュルームゲートFETを作製し真性性能で現在の Si レベルの動作周波数 100GHz を示した。更なる高速動作のために CNT 水平配向成長の高密度化に取り組み、23本/ μ m の高密度配向成長を実現し目標である50本/ μ m への道筋をつけた。また CNT の導電性に依存した電場下配向成長の活用による半導体 CNT 優先成長の可能性を示した。さらに実用化に向けた基本課題を探索しチャネルの電気伝導特性ばらつき存在を示した。

③-(2)シリコンプラットフォーム上 III-V 族半導体チャネルトランジスタ技術の研究開発

チャネル形成技術に関し、有機金属気相成長を用いて、選択ヘテロエピタキシャル成長や貼り合わせ法により、III-V-OI 基板の形成に成功した。MIS 界面技術に関し、InGaAs 表面のプラズマ窒化、硫黄・セレン処理、III 族原子終端技術により、界面特性を改善した。MISトランジスタ形成技術に関し、Ni-InGaAs メタル S/D 構造、InGaAs MOS 界面バッファ技術などにより、高移動度 InGaAs-OI MOSFET を実証した。また、高移動度の III-V nMOSFET を Ge pMOSFET を同じ基板上に集積化することに成功した。以上の成果より、本研究の最終目標を達成した。

③-(3)シリコンウェハ中の原子空孔濃度定量評価技術の研究開発

超音波計測による弾性定数の低温ソフト化の測定により、ウェハ中の原子空孔濃度を評価する技術を確認し、大規模シミュレーションにより原子空孔軌道の巨大

	な電気四極子と超音波歪みの結合を解明した。これを用いて、ウェハやインゴット中で原子空孔濃度が分布していることを検出し、COP 分析と原子空孔濃度の相関、デバイス製造プロセスによる原子空孔濃度の変化を検出した。この成果は、原子空孔濃度を表示したシリコンウェハの開発を促し、ウェハの付加価値を向上させ、さらにデバイス製造プロセスでの原子空孔評価・制御技術を促進することで、デバイス特性と歩留まりを向上させ、日本の半導体産業の競争力強化に繋がると期待できる。	
	投稿論文	210 件
	学会発表・講演	754 件
	特許	149 件 (内外国出願:69 件)
IV. 実用化の見通しについて	「新構造 FinFET による SRAM 技術」「ナノギャップ不揮発性メモリ技術」「シリコンウェハ中の原子空孔濃度定量評価技術」の3件は事業化予定企業と共同で実用化研究の段階に移り平成27～28年頃の事業化にむけて活動している。「シリコンナノワイヤ技術(3件)」「III-V 族半導体チャネルトランジスタ技術」は公的研究機関、企業の研究部門がしゅたいとなり次世代のメモリ、ロジックデバイスの基盤プロセスをめざして研究を継続している。	
V. 評価に関する事項	事前評価	平成 20 年度実施 (担当部:電子・情報技術開発部)
	中間評価以降	平成 24 年度 事後評価実施予定
VI. 基本計画に関する事項	作成時期	平成 21 年 3 月
	変更履歴	平成 22 年 3 月 実施体制変更

プロジェクト用語集

研究開発項目①－(1)： シリコンナノワイヤトランジスタの知識統合研究開発

用語	説明
CMOS	Complementary (相補型)MOS の略号。N チャネル MOSFET と p チャネル MOSFET という、オンオフ動作が相互に逆転するタイプのトランジスタを直列につないだ素子。LSI 中での信号処理を行う上での最も基本的な回路である。
SOI (Si on insulator)	薄い単結晶 Si 層を絶縁層上に形成した基板のこと。
金属シリサイド	金属と Si の化合物。LSI でゲート電極やコンタクト電極として広く用いられている。ニッケルシリサイド (NiSi _x) はその代表例。
共焦点顕微ラマン分光システム	対物レンズにより試料上に絞り込まれたレーザー光が励起したラマン信号を、対物レンズで集光して検出するシステム。試料面における焦点は結像面においても焦点となり、焦点部分だけを選択的に検出でき、高い空間分解能が実現できる。
原子層堆積法 ALD (atomic layer deposition)	化合物 AB の薄膜を堆積する際に、A の原料ガスと B の原料ガスを交互に供給し、それぞれの飽和吸着を利用して原子層ごとに薄膜を堆積する方法。極薄膜を均一に堆積できることが特長。
原子間力顕微鏡 (AFM)	先端の尖った針(探針)を試料表面上で走査し、針先端と試料の間に働く原子間力を検出することにより試料表面の形状を観察する顕微鏡。通常、表面平行方向の空間分解能は数 nm～数十 nm 程度。
高誘電率 (high-k) ゲート絶縁膜	トランジスタのゲート絶縁膜の電気的な膜厚を低減するために、これまで用いられてきた SiO ₂ (誘電率は 4) よりも誘電率の大きな絶縁膜、即ち高誘電率ゲート絶縁膜の採用が進められている。ハフニウム (Hf) の酸化物をベースとする化合物が最有力候補。
走査トンネル顕微鏡 (STM)	バイアス電圧を印加した先端の尖った金属針(探針)を試料表面上で走査し、針先端と試料の間に流れるトンネル電流を検出することで試料表面の電子状態を観察する顕微鏡。試料は導電体に限るが、表面平行方向の空間分解能は 0.2nm 程度。
第一原理計算	量子力学の方程式を直接、数値解法して、電子状態、バンド構造などを計算する方法。
非平衡グリーン関数法	量子力学に基づいた電子輸送シミュレーションの手法。相互作用を自己エネルギーによる摂動として導入することで、量子干渉の影響を考慮した輸送特性評価が可能になる。
分子動力学法	統計力学の数値計算法であり、大規模な系の安定構造を予測できる。また、力学物性、熱力学的性質、輸送係数などを計算できる。
モンテカルロ法	半古典的なボルツマン輸送方程式に基づいたシミュレーション手法。乱数を用いて、擬似的に粒子の運動を位相空間でシミュレートすることで、粒子の分布関数を統計的に求める。
ラマン散乱	物質に光が入射したとき、光と格子振動が相互作用して、入射光と異なる振動数の光に散乱される現象。入射光と散乱光の

	振動数の差から、格子振動の振動数等の情報を得ることができる。
--	--------------------------------

研究開発項目①－(2)： ナノワイヤFETの研究開発

用語	説明
Niシリサイド技術	NiとSiが反応してできる化合物。ソース・ドレインの部分をNiシリサイドとすることで、トランジスタの直列抵抗を低減する技術。
SOI	シリコンオンインシュレータ基板。単結晶の薄膜Si層が絶縁膜の上に形成されている基板。
オン電流・オフ電流	トランジスタのドレイン、ゲート電極に電圧を印加し、オン状態とした際のドレイン電流。またオフ状態とした場合のドレイン電流をオフ電流という。
キャリア散乱	キャリアがチャネル内に導入されドレインに向かう途中に受ける散乱。
コンパクトモデル	トランジスタの電気特性を定式で表現した簡易モデル。
第一原理計算	実験や測定値を使わずに材料の特性を計算する手法。
電子構造	材料中ではキャリアの運動量とエネルギーがとれる値が制限されるためその状態を表現したもの。
トンネル効果	絶縁体中をエネルギーの散乱無しにキャリアが通過する現象。
ハーフピッチ	リスグラフィーで実現できる線幅の間隔の半分。
バリスティック伝導	キャリアが散乱を受けずに伝導する弾道伝導。
歪み	機械的な応力により原子間の間隔が変化すること。

研究開発項目①－(3)： シリコンナノワイヤトランジスタの物性探究と集積化の研究開発

用語	説明
EMA	Effective Mass Approximation。有効質量近似
FinFET	Fin(ひれ)のようなチャネルを有して Fin の側面で MOS 構造となったダブルゲート構造のトランジスタ
KP 法	k-p 摂動法(ボルツマンゾーンにある k 点近傍の点 p におけるバンドの様子を k - p の摂動展開で求める方法)
UTB MOSFET	極薄膜(Ultra-thin-body) SOI MOSFET
TEM	透過型電子顕微鏡
移動度	低電界移動度。MOSFET における反転層のキャリアの移動のしやすさ。
ゲート・オール・アラウンド	ナノワイヤトランジスタのような立体構造トランジスタにおいて、ゲートがチャネルを囲うような構造
サブシュレッシュヨルド係数	ゲート電圧によってドレイン電流が log スケールで立ち上がる時の傾き
短チャネル効果	ゲート長が短くなりドレインの効果がソースにまで及ぶことに起因して、しきい値電圧の低下や待機時の漏れ電流が増加する現象
トランジスタアレー	複数個のトランジスタが整列(アレー・アレイ)している構造

ナノワイヤトランジスタ	ナノスケールのワイヤ構造のチャネルを有するトランジスタ
速度飽和	電界を増やすとキャリアの速度は大きくなる(増加の傾きは移動度に相当)が、電界が大きくなると頭打ちする(飽和)現象。
歪み印加装置	基板曲げ装置。2点で支え、反対側の間隔を変えた2点から加圧することで試料表面に圧縮歪みや伸張歪みを印加する装置。
歪みシリコン	シリコン結晶に歪みを印加することで MOSFET の性能を向上する技術

研究開発項目②－(1)：新構造 FinFET による SRAM 技術の研究開発

用語	説明
ALD	Atomic Layer Deposition:原子層堆積法
CMOS	Complementary Metal Oxide Semiconductor:p 型半導体チャネルと n 型半導体チャネルの MOSFET を、相補的に接続した集積回路
FinFET	平面型の 2 重ゲート電界効果トランジスタでの作製における、2 つのゲートの位置合わせの難しさを解消した、起立型の MOS 構造を有する 2 重ゲート電界効果トランジスタ。起立した半導体構造が魚などのひれに似ていることからフィン型と呼ばれる。
Pass-Gate (パスゲート)	SRAM セル中で、書き込み・読み出し回路部とセルをつなぐビット線とフリップフロップ回路を接続し、ビット線への接続をオン・オフするトランジスタ。装置全体から書き込み・読み出しを行うセルを選び出すときに使用される。
RTA	Rapid Thermal Annealing:高速熱処理プロセス
SNM	Static Noise Margin:ここでは、SRAM セルにおける、外乱に対する動作安定性の余裕度を表す指標。装置の動作に対して許容される、雑音振幅の最大値によって定義され、値が大きいほど安定性が高いことを示す。
SPICE	Simulation Program with Integrated Circuit Emphasis: 電子回路のアナログ動作をシミュレーションするソフトウェアである。
SRAM	Static Random Access Memory:フリップフロップ等の順序回路を用いてデータを記憶する RAM。DRAM のようなリフレッシュ動作は必要ない。
Subthreshold Factor (S 係数)	Subthreshold 係数:しきい値電圧以下のゲート電圧時に、電流を一桁増加させるのに必要なゲート電圧。単位は、mV/桁。S 係数が小さければ小さいほど、低消費電力である。
TDMAT	tetrakis dimethylamino titanium:TiN 金属ゲートを原子層堆積する際の原料。
TEMAH	Tetraethylmethylamino Hafnium:原子層堆積法により高誘電率絶縁膜 HfO ₂ を堆積する際の原料。
TMAH	Tetramethylammonium Hydroxide:Si を異方的にエッチングするアルカリ溶液の一種。主にレジスト現像液に使用されており、CMOS プロセスとの整合が良い。

Undoped Channel FET	チャンネル中に不純物が全く添加されていないトランジスタ。
3 端子 FinFET	Fin チャンネルの両側壁に形成されているゲートが、左右共通の FinFET を指す。
4 端子 FinFET	Fin チャンネルの両側壁に形成されているゲートが、左右でそれぞれ独立している FinFET を指す。片側のゲートを駆動用に、他方をしきい値電圧制御に使用することで、素子(回路)製造後に自在にしきい値電圧を制御可能という優れた特徴を有す。
エクステンション	ゲートに近接しているソース・ドレイン領域。通常のソース・ドレイン領域よりも浅い不純物分布を有する。
寄生抵抗	チャンネル抵抗以外に、トランジスタ構造上寄生する抵抗。具体的には、ソース・ドレイン抵抗や、コンタクト抵抗など。
高誘電率ゲート絶縁膜	通常のゲート酸化膜 SiO ₂ に比べて誘電率が高く、ゲート絶縁膜の薄膜化と低漏れ電流化を可能とする材料。すなわち、高誘電率ゲート絶縁膜導入により、高性能化と低消費電力化が可能となる。代表的なものに HfO ₂ がある。
コンパクトモデル	トランジスタの電気特性を近似式(数式)で記述したもの。大規模回路の性能を短時間かつ高精度に予測するために必須のモデル。回路シミュレーションにおいては、膨大な数のトランジスタを扱う必要があるため、トランジスタモデルには、2つの相反する要求:高精度かつ短い計算時間が課せられている。産総研では、世界に先駆け次世代フィン FET 用のデバイスモデル開発に成功している。
しきい値電圧	トランジスタの性能を決めるパラメータの 1 つで、2つの電極間(ソースドレイン)を電流が流れ始める最小のゲート電圧。
仕事関数	物質表面において、表面から 1 個の電子を無限遠まで取り出すのに必要な最小エネルギーのこと。トランジスタにおいては、ゲート材料の仕事関数が、しきい値電圧を決めるパラメータの 1 つとなる。
特性ばらつき	集積回路生産現場において、素子個々の特性(例えばしきい値電圧)が目標値からランダムに外れる現象を指す。トランジスタの寸法公差や不純物原子数に依存性が高く、素子寸法の縮小に伴い増大する傾向を持つ。したがって、トランジスタ技術世代の進行に伴って、問題は大きくなる
バルク CMOS	基板が Si のみで構成されている CMOS。
フリップフロップ回路	SRAM セル中で、(0,1)の情報を保持する回路要素で、インバータ(論理信号を反転する回路)2つを環状に接続した構造を持つ。CMOS 式の場合、合計 4 つのトランジスタで構成される。
ミッドギャップ仕事関数	シリコンの価電子帯と伝導帯のちょうど中間に仕事関数が存在すること。

研究開発項目②-(2): 次世代相変化メモリ技術の研究開発

用語	説明
GST	ゲルマニウム-アンチモン-テルル三元合金の略称
超格子	人工的に意図する構造をもった結晶格子

密度汎関数法	量子力学の原理の基づいて電子密度を計算し、分子や結晶構造のエネルギー計算等を行う解析法
GST225	Ge ₂ Sb ₂ Te ₅ を組成とする相変化記録材料

研究開発項目②－(3)： ナノギャップ不揮発性メモリ技術の研究開発

用語	説明
AFM	原子間力顕微鏡 (Atomic Force Microscopy) の略称。 走査型プローブ顕微鏡 (SPM: Scanning Probe Microscopy) の一種で、ナノメートルレベルで尖った針 (探針) で試料表面を走査することにより、試料表面の微細な凹凸情報 (形状) を取得し、表面形状を可視化する。さらに、試料表面に局在する物理量を選択的に検出することにより、表面形状だけでなく粘弾性分布や表面電位分布等も可視化することが可能となる (→KFM)。
FM-AFM	周波数変調 (Frequency modulation) 検出方式の AFM の略称。 AFM カンチレバーが共振周波数で振動している状態で、探針に相互作用力がはたらくとその振動状態は変化し、共振周波数は敏感に変化するため、この共振周波数の変化を検出することで高感度の相互作用検出が可能となる。非破壊原子分解能イメージング法として表面科学分野では広く用いられている。
FPGA	Field Programmable Gate Array の略称。 大規模 PLD (programmable logic device) の一種。ユーザが手元でプログラム可能なセミカスタム IC。開発期間が短くできるので、試作品ばかりでなく、最終製品にも利用されている。数千ゲートから数十万ゲート (システムゲート) の FPGA 製品が市販されている。 基本的な構造は、プログラム可能な論理モジュールを規則的に並べ、その間に配線領域を用意し、各論理モジュールと配線領域をプログラムすることで、論理回路を実現する。プログラムの方法は、SRAM セル方式、EPROM 方式、アンチフューズ (プログラムすることで導通する) 方式、EEPROM を内蔵した方式がある。
KFM	ケルビンプローブ原子間力顕微鏡 (Kelvin probe Force Microscopy) の略称。 探針-試料間にはたらく静電気力を検出することで、試料の表面電位の2次元分布をナノメートルスケールで測定する顕微鏡 (表面電位可視化法)。
NDR	負性微分抵抗 (Negative Differential Resistance)。 金属などの電気良導体に電圧を印加すると、それに伴い電流値が増加する、その際は、微分抵抗 ($\Delta V / \Delta I$) が正である。それが負になること。ナノギャップメモリでは、NDRを利用して不揮発性メモリ動作を行っている。
NGS	ナノギャップスイッチ (NGS)。ナノメートルの間隙を持つ電極に電圧を印加すると抵抗値の異なるスイッチ素子動作が可能になること。
SMA (コネクタ)	Sub Miniature Type A の略称。 主にマイクロ波の無線通信機器に古くから使われているコネク

	タ。適用周波数上限は製品により異なるが、～18GHz までを想定している。特性インピーダンスは 50Ω である。締結には専用のトルクレンチが用いられる。
TEG (テグ)	Test Element Group の略称。 プロセスのチェックやデバイスの基本特性の評価用素子。ウェハ上にチップと同時に作ることが多い。
Via-hole (ビアホール)	半導体デバイスの多層メタル配線の層間を結ぶ配線、及びそのための貫通孔。多層プリント配線基盤の場合は、貫通孔内側が導体で覆われて層の間に導通を与えるものをいう。
エンベッデドマイコン	インストラクションコードやコントロールソフト、必要なデータなどを、複数回書き換え可能なマクロコントローラー。書き換え可能とするため、EEPROM、EPROM、NOR フラッシュ、FeRAM、などのランダムアクセス可能な不揮発性 ROM が用いられる。
超稠密(ちゅうみつ)不揮発性メモリ	不揮発性メモリとは、電源を切っても記録情報が失われない(不揮発性)メモリの総称で、現在広く普及しているフラッシュメモリは不揮発性メモリの一種である。超稠密不揮発性メモリとは、これまでの不揮発性メモリに比べて、はるかに高密度(超稠密)に集積化可能なメモリを指す。
不純物揺らぎ	半導体は、極めて低濃度の不純物(ドーパント)添加により、そのフェルミレベル制御が可能なことから、現在これを利用して所望の特性をもつ半導体素子を設計している。しかしながら、素子の微細化に伴い、チャンネル領域に存在する不純物の絶対量は著しく少なくなり、その統計的揺らぎが素子特性のばらつきに影響することが懸念されている。これを不純物揺らぎの問題という。

研究開発項目③－(1)：カーボンナノチューブトランジスタ技術の研究開発

用語	説明
FIB	収束イオンビームのこと。Ga イオンでできたビームを収束させ、この収束イオンビームを対象材料に照射することにより、μm～数 10nm の加工が可能である。
カイラリティ	カーボンナノチューブのらせん度を表す指数。ナノチューブ円筒面の展開図を考えた時、ナノチューブの赤道に相当するベクトルの向きを表す指数。カイラリティが異なるとナノチューブは異なった性質を持つ。
ケルビンプローブフォース顕微鏡(KFM)	デバイス上を探針を走査するとき、探針とデバイスとの間に電位差があると静電気が働く。この静電気を検出し、この静電気がゼロになるようにフィードバック制御することにより、デバイスの電位分布を測定する顕微鏡。
原子層堆積(ALD)	2元素からなる膜を形成する方法。構成元素を含む原料ガス2種類を交互に供給し、基板上でガスを分解することにより元素を1原子層ずつ供給して成膜することから、物理的なエネルギーが成膜に関与しないため、低損傷である。
高周波散乱パラメータ測定	デバイスに高周波を入力し、得られた反射波の振幅と位相からデバイスの入出力インピーダンス行列を計算し、このインピーダンスの周波数特性から、電流利得や電力利得の周波数特性を求める方法。

磁気力顕微鏡(MFM)	磁化させた探針を走査することにより、磁気力の分布を測定する顕微鏡。チャンネルに電流が流れると電流に比例する磁場が発生するので、この磁場を測定すれば、チャンネルを流れる電流を測定することができる。
準ダーク励起子	理論的に光吸収の選択則を満たさず、吸収スペクトルでは観察されない励起子(ダーク励起子)が存在する。一方、ナノチューブの軸方向に垂直な偏光面の光励起の場合には、この励起子も弱い光吸収を示すことが分かり、準ダーク励起子とよぶ。
走査型局所ゲート顕微鏡	ナノメートルレベルの細い先端を有する探針を局所ゲートとしてナノデバイス上を走査し、局所ゲートにより変調されるチャンネル電流を可視化する顕微鏡。チャンネルの電子状態や電気特性が評価できる。
フォノンサイドバンド	励起子とフォノンとのカップリングによって、励起子のエネルギー準位よりもフォノン分だけ高いエネルギーの光の吸収が観察され、これをフォノンサイドバンドと呼ぶ。
フーリエ変換型赤外分光(FT-IR)	測定サンプルに赤外光を照射し、透過光のスペクトルからサンプルの特性を得る計測手法を赤外分光と呼ぶ。この際、スペクトル測定に回折格子を用いず、固定鏡からの反射光と移動鏡からの反射光の干渉信号をフーリエ変換するものをフーリエ変換型赤外分光と呼ぶ。
ラマン散乱	物質に光を照射したとき、入射光と異なる波長を持った光が散乱される現象。物質を構成する原子の振動に関する情報が得られることから、ナノチューブの半導体/金属の判定や欠陥評価に用いられる。
エキシトン(励起子)	励起状態にある物質中の電子と正孔の間にはクーロン相互作用が生じる。クーロン相互作用により強い結合が生じ束縛状態になったものをエキシトン(励起子)と呼ぶ。

研究開発項目③-(2): シリコンプラットフォーム上Ⅲ-V族半導体チャンネルトランジスタ技術の研究開発

用語	説明
CMOS	Complementary Metal Oxide Semiconductor: p型半導体チャンネルとn型半導体チャンネルのMOSFETを、相補的に接続した集積回路
ECR スパッタ	Electron Cyclotron Resonance スパッタ: 磁界により高密度のプラズマを閉じ込め、基板方向に並行電極版を配置して発生させたECRプラズマを、電位を与えることによって固体ソースに加速衝突させて、固体ソースをスパッタリングし、基板上に成膜する方法。
ECR プラズマ	プラズマを発生させる共振器にマイクロ波(通常 2.45GHz)を送り込むとともに、共振器の軸方向に、磁場を印加することで、磁力線の軸の周りを回転する電界により、電子を回転させながら加速させて、マイクロ波のエネルギーを効率よく吸収させて放電を起こすことにより発生させたプラズマ。
high-k 絶縁膜	金属酸化膜など、SiO ₂ より高い誘電率(k)をもつ絶縁膜。 CMOSのゲート絶縁膜やDRAMのキャパシタに用いられる。

MBE	超高真空において原料を加熱蒸発させて分子ビームを発生させ、基板に照射して結晶のエピタキシャル成長を行う手法。
MISFET	Metal-Insulator-Semiconductor Field Effect Transistor: MOSFET とほぼ同意だが、窒化膜などゲート絶縁膜が酸化膜でない構造も含む。
MIS 界面	Metal-Insulator-Semiconductor 界面: 金属-絶縁膜-半導体の積層構造における絶縁体と半導体の界面。
XPS	X-ray Photoelectron Spectroscopy: X線を試料に照射したときに発生する光電子のエネルギーを分光することにより、試料の化学組成や結合状態を評価する分析手法。
アニール	材料やデバイスを熱処理すること。
イオン注入	高エネルギーに加速したイオンを固体材料に打ち込んで電気特性を制御する手法。
移動度	電界の下での電子や正孔の動きやすさを示す物理量であり、電子や正孔の速度を電界で割った値で定義される。
回転双晶	二つの同種結晶が一つの直線を2回対称軸(双晶軸)のみを持ち結合していること。
界面準位	絶縁体/半導体などの界面に発生する電子状態で、多くの場合、比較的応答速度の速いトラップとなるもの。
活性化アニール	材料の結晶性を高め不純物がドナーやアクセプタとして振舞うようにするための、イオン注入の後に行う熱処理。
貫通転位	すべり面が明瞭に観察できるほどに、薄膜全体を貫くように発生した転位。
原子層堆積法	固体の薄膜を形成するために、原料の飽和吸着と分解反応を繰り返して原子層を積み重ねていく手法。膜厚の均一性と制御性が高いのが特徴。
格子不整合	基板と成長層の格子定数が一致しないこと。
ゲートスタック	MOSFET 構造における、チャネル/ゲート絶縁膜/ゲート電極の積層構造。
極薄ボディ	Channel-on-insulator 構造における、Channel 層の膜厚を 100 nm 以下に極めて薄くしたもの。
III-V-OI チャンネル(基板)	III-V-On-Insulator チャンネル(基板): Channel-on-insulator 構造における、Channel 層に高電子移動度材料である III-V 族化合物半導体を採用したもの。
III-V 族半導体	III 族原子と V 族原子から構成される半導体。代表的なものとして、GaAs、InAs、InP、および、これらの合金があり、高い電子移動度を持つことを特徴とする。
酸化窒化	酸化と窒化の両方を施すこと。
シリコンプラットフォーム	現在のシリコン MOSFET を中心とした集積回路を実現する上でのインフラストラクチャーの総称であり、最先端の大面積シリコン基板上へ、種々のデバイスを集積化して大規模回路を実現することを特徴とする。
シリコンユニバーサル移動度	SiO ₂ をゲート絶縁膜とするシリコン MOSFET の実効表面電界

	に対するチャンネル移動度のことであり、同じ実効電界のもとでは、基板濃度や酸化膜厚に依存せず、一定の値をとることが知られている。
スロートラップ	MOS 界面近傍に発生する応答の遅いキャリア捕獲中心。
低温コンダクタンス法	MOS キャパシタのコンダクタンスを測定することにより界面準位を測定する方法であり、特に、測定温度を変えかつ低温にすることにより、広いエネルギー範囲の界面準位を評価することが可能になる。
電荷中性点	半導体において価電子帯の電子状態の影響と、伝導帯の電子状態の影響が、ちょうどバランスするエネルギー位置。電荷中性点より上にある界面準位は電子を受容するアクセプタ的に振る舞い、電荷中性点より下にある界面準位は電子を放出するドナー的に振る舞う。
伝導帯	半導体の電子状態において、電子が伝導に寄与できる状態の集まり。価電子帯と伝導帯とはバンドギャップによって隔てられている。
バンドギャップ	半導体において電子が存在できないエネルギー領域。半導体の電氣的・光学的な特性を決める基本的な物性の一つ。
表面パッシベーション	固体の表面の欠陥や活性点を不活性化処理すること。
表面反転	半導体の表面において、バルクにおける電気伝導を担う多数キャリア (n 型であれば電子、p 型であれば正孔) と反対の極性のキャリア (n 型であれば正孔、p 型であれば電子) が、バルク多数キャリアよりも高い濃度で発生した状態。CMOS を動作させるためには、外部電界 (ゲート電圧の印加) により、この状態を p 型と n 型の両方において実現できることが必要。
ヒステリシス	電荷応答に履歴をもつこと。
フォーミングガス	水素と窒素の混合ガスのこと。
プラズマ酸化	プラズマを用いて活性状態の酸素を作り出し、それを利用して半導体基板表面を酸化する方法。
プラズマ窒化	プラズマを用いて活性状態の窒素を作り出し、それを利用して半導体基板表面を窒化する方法。
メタルソースドレイン	メタル電極により形成されたソースドレイン領域のこと。
有機金属気相成長法	飽和蒸気圧が比較的高い有機金属を原料として、水素や窒素などをキャリアガスとして利用して行う結晶成長の方法のことで、成長用原料をガスとして安定に供給することができるため、大面積に均一な結晶を比較的速い成長速度で成長が可能。

研究開発項目③－(3)：シリコンウェハ中の原子空孔濃度定量評価技術の研究開発

用語	説明
原子空孔	格子欠陥の一つであり、規則正しく並んだ結晶格子から原子が抜けた穴のこと。
超音波計測	超音波とは一般に 20 kHz 以上の音波を指し、超音波計測は物質に超音波を入射することにより、物質の音速と弾性定数を計測する技術。

ソフト化	弾性定数は、一般に温度を下げると増大する(物質が固くなる)。それに反し、温度を下げると弾性定数が減少する(物質が軟らかくなる)現象をソフト化とよぶ。
電子軌道	原子核の周りを回る電子の空間分布。
完全結晶ウェーハ	ボイドや転位とよばれる巨視的な欠陥が存在しない完全結晶から切り出されたウェーハ。
電気四極子	静電荷や振動電荷により、正負交互に4つの極をもつような電荷分布。電子軌道がもつ成分で電荷分布が4方向に分極しているもの。
原子空孔軌道	原子空孔の周りの4つのシリコン原子の電子軌道が、混成してできた軌道。
希釈冷凍機	ヘリウム3とヘリウム4の混合ガスを用いて、数ミケルビンの低温まで冷却することができる装置。
超伝導磁石	超伝導線材を用いて液体ヘリウムで冷却して使用する強力な磁場を発生できる磁石。
圧電素子	圧電素子とは、圧電体に加えられた電圧を応力に、または応力を電圧に変換する素子のこと。本開発研究では、電気信号を超音波歪みに、超音波歪みを電気信号に変換するための素子として用いる。
スパッター法	薄膜製造技術の一つ。高エネルギー粒子を金やチタンなどのターゲットに衝突させて原子を飛び出させて目的の基板に成膜させる。
CZ シリコン	チョクラスキー(Czochralski)法で育成されたシリコン結晶のこと。フラッシュメモリーなどの一般的な半導体デバイス用ウェーハとして広く利用されている。
単原子空孔	シリコン原子が1個だけ結晶格子から抜けた原子空孔のこと。格子から複数個抜けたものは、複原子空孔と呼ぶ。
分子軌道	分子中の電子軌道がつくりだす空間分布をあらわす波動関数。
密度汎関数法	多電子系の物性を求める計算手法の一つ。電子密度から電子系のエネルギーなどの物性を計算する方法。
分子動力学法	多体の原子間ポテンシャルを、古典的なニュートン方程式を解くことにより、系の状態を解析する方法。
第一原理計算	実験結果などの経験的パラメーターを使用しない計算手法。バンド計算とも言う。
エピタキシャル成長	薄膜の結晶を基盤となる結晶の上に成長させる技術の一つ。
ゲッターリング	ウェーハ中の有害な金属不純物を吸収し取り除くこと。
酸素析出	シリコン結晶中の酸素が複数個集まった様態。
ライフタイム	励起された電子やホールがキャリアとしての性質を帯びている特性時間。
NAND型フラッシュメモリー	否定論理積(NAND)による不揮発性記憶素子の一種。
FZ シリコン	浮遊帯域融解(Floating Zone)法で育成されたシリコン結晶のこと。
超 LSI	一般に 10^7 個以上の素子を集積した回路として指すことが多

	い。
格子間シリコン	格子欠陥の一つで、シリコン結晶格子の間にシリコン原子が余分に入った状態。
強相関電子物性	物質中の電子間に働くクーロン相互作用が強い系の物性。
超音波歪み	超音波によって引き起こされる結晶格子の歪みのこと。
スピン	電子や原子核などが持つ量子力学的な自由度の一つで、スピン角運動量のこと。
スピン軌道相互作用	電子のスピンと軌道の相互作用のこと。
超音波位相差計測装置	物質中を超音波として信号が通過する時に生じる位相の遅れを検出して、超音波の音速の相対変化を計測する装置。
電子スピン共鳴	磁場の中におかれた不対電子が、マイクロ波を吸収して励起されるときに性質を利用した分光法の一つ。
陽電子消滅	電子の反粒子である陽電子が結晶中の空孔型欠陥に捕獲されやすい性質を利用した実験法。
薄膜振動子	ZnOなどの圧電体を薄膜形成した素子のこと。
ICDS	半導体中の欠陥の国際会議 International Conference on Defects in Semiconductors のこと。
EMRS	European Materials Research Society の会議のこと。
ECS	The Electrochemical Society の会議のこと。
ユニット評価	シリコンウェハの基礎特性評価のこと。主にキャリアのライフタイム評価、酸化膜の耐圧特性による絶縁破壊評価、ゲッタリングに必要となる酸素析出評価などをさす。

I. 事業の位置付け・必要性について

1. NEDOの関与の必要性・制度への適合性

1.1 NEDOが関与することの意義

情報技術がめざましく発展している今日の社会では、情報・知識を、時間や場所の制約を受けず誰もが自由自在かつ安全に活用できる情報通信環境の実現が望まれている。また、平成20年9月に改訂された経済成長戦略大綱において、我が国の国際競争力強化のために注力すべき分野として、情報家電、ロボットなどが挙げられている。このような応用システムの基幹となる半導体集積回路(LSI)には、一層の高機能化、低消費電力化が求められている。

また NEDO 技術開発機構が編纂した NEDO 技術ロードマップ(平成21年版)が示すように、我が国にとって重要な半導体 LSI はその実現のためには多くの技術開発が必要となっている超低消費電力のシステム LSI である。本プロジェクトは、このような要求を満たすシステム LSI 等の高機能・低消費電力 LSI の実現に必要な半導体デバイス・プロセス基盤技術の確立を目的として、ITイノベーションプログラム及びナノテク・部材イノベーションプログラムの一環として実施されている。

半導体技術がこれまでに機能、消費電力、集積度、コストにおける急速な進歩を達成してきたのは、集積回路を製造するときに使用される最小寸法を年々指数関数的に縮小する微細化技術の向上によるもので、今後も引き続き微細化技術開発を通じて、集積回路の機能あたりコストがさらに低減されIT技術のさらなる発展と経済における生産性と社会全体における生活の質の大きな改善をもたらすことが期待されている。最近では、微細・高集積化の進展に伴い、開発すべき技術課題の難度と、その克服に要する研究開発資源が増大してきており、民間企業のみでは十分な対応が困難となっている。

LSIの性能向上には、単なる微細化のみならず、新材料、新プロセス、新構造など革新的技術の導入が不可欠で、その必要性は微細化の進展とともにますます大きくなる。すなわち、微細化によって得られてきたメリットをこれまで以上に享受しながらITを根底から支える半導体技術をさらに発展させていくために、2020年頃以後のLSIに求められる新材料、新構造、新プロセス技術の開発を実現する技術シーズを発掘育成し、それらを将来の産業技術につなげていくための橋渡しを進める取り組みが必要である。このため、産学官の英知を結集して当たる必要があり、国家プロジェクトとして NEDO が関与すべきものと考えられる。

本プロジェクトが対象としている技術課題は、今後の微細・高集積化を進める上で重要な鍵を握る技術に関わるものであり、世界に先駆けてこれらの課題を克服することは、我が国半導体産業の国際競争力強化に不可欠な要件である。半導体デバイスの高度化は、関連する半導体製造装置、材料等の関連産業においても、技術の高度化を促進するものであり、国際競争力の強化に寄与することとなる。また、半導体 LSI は、情報通信分野はもとより、広範な産業分野(家電、自動車、モバイル、ロボット等)に応用され、高付加価値の新製品開発と、それによる競争力強化に貢献するものと期待される。さらに、半導体とその関連技術は、バイオ、MEMS、NEMS、ナノテクといった新興成長分野を根底から支え、変革していく技術的原動力となっており、将来の新規産業創出等、極めて大きな波及効果が期待されている。

以上のように、本プロジェクトは、開発課題の性格上、産学官の英知を結集して開発を行う必要があることに加え、我が国半導体とその関連産業の国際競争力強化、および国家的重点目標である高度情報化社会の実現に寄与するものであり、さらには、広範な産業分野への大きな波及効果が期待され、産業政策・情報政策の面からも極めて重要な課題であることから、国家プロジェクトとして NEDO が関与すべきものと考えられる。

1.2 実施の効果(費用対効果)

本プロジェクトは事業期間 5 年間、事業規模は 32 億円の計画で進められている。本プロジェクトが対象としている技術の開発により、情報通信機器の高機能化、低消費電力化の要求を満たすシステムLSI実現など、将来幅広い産業分野で利用される共通基盤技術の形成が見込まれる。その成果は、モバイル・携帯機器、デジタル家電等において、その情報処理部分の中核を支えている半導体集積回路とそれを製造する際に必要となる製造装置・材料などに直接波及する。また、これらの産業以外にも、半導体集積回路を用いた情報通信・デジタル情報家電産業や情報処理・記憶装置等の産業、あるいは機器と人とのインターフェースとして機能する電子デバイス・ディスプレイデバイス等の産業に波及する。また、これらを使用する自動車、車両、ロボット、情報通信ネットワークを利用した安全システム等、社会生活の根幹を形成する産業にも広く波及する。

図 I -1 に 2004 年から 2008 年までの半導体世界市場と 2013 年までの予想を示す。半導体市場は様々な要素デバイスの売上で構成されており、本プロジェクトに直接関係するシステム LSI は、携帯電話、ノート PC 等のデジタルモバイル機器やデジタル家電機器等に搭載され、メモリ、マイクロプロセッサ、ロジック、アナログ等の機能を集積した LSI とし、市場規模の目安として「Logic」「ASSP」「ASIC」「Microcomponents」および「Memory」の合計を想定している。半導体市場はプロジェクト開始後にいったん縮小したものの 2009 年以降は拡大に転じその後も一定の市場規模を確保していくことが予想されている。本プロジェクトが終了する 2011 年の半導体世界市場規模は 24 兆円、このうち本事業の関連市場規模は約 20 兆円と推計される。このことから、本プロジェクトの事業費に対して十分大きな効果が期待できるものといえる。

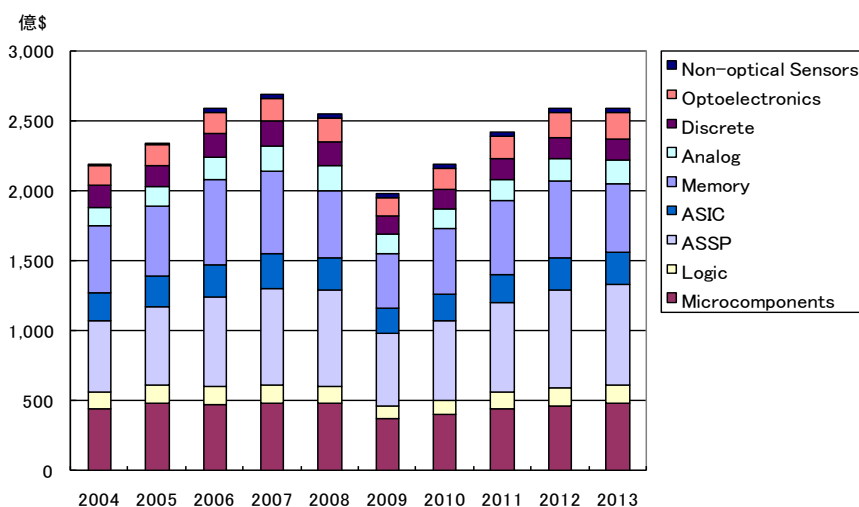


図 I -1 デバイスカテゴリ別世界半導体市場

出典:ガートナー「Semiconductor Forecast Worldwide: Forecast Database」

2009年5月28日

また、以上の試算は、本プロジェクトの成果が直接及ぶと考えられるシステム LSI に限ったものであり、システム LSI の各種応用機器まで含めると、さらに大きな効果がもたらされるものと考えられる。高機能・低消費電力システム LSI が実現すれば、生活空間のあらゆる場面での活用が進み、情報通信システムの高度化、生活・医療サービス、高齢者支援、デジタル家電の知能化など、幅広いサービスが実現し、大きな新市場創出につながる事が期待できる。

2. 事業の背景・目的・位置づけ

2.1 事業の背景

日本経済が将来に渡って持続的発展を続けるためには、その原動力として電子・情報通信産業の健全な発展が不可欠である。国際的視点からも電子・情報通信産業の進展なくしては、日本が先進国としての地位を占め、その役割を果たしていくことは難しいと言える。半導体デバイスは、電子機器、情報通信機器の機能・性能を決定付ける重要な構成要素であり、機器の高性能化、小型化、低消費電力化等のニーズの高まりにつれ、益々その重要性を高めている。半導体技術の進歩が、電子・情報産業の発展の鍵を握っていると言っても過言ではない。

現在半導体は、電子機器、情報機器を構成している様々な機能を持った要素システムがひとつのシリコンチップ上に集積されたシステムオンチップ(SoC)の時代に入っている。これまで微細化、高集積化によりその機能や性能の向上を果たしてきたところであり、今後もその要求は高まっていくことが見込まれるが、微細化の進展に伴い、技術的限界が見え始めている。

そこでこの微細化限界を突破するために、我が国の企業・大学・公的研究機関において極めて高いポテンシャルを有しているナノテクノロジーを最大限に活用したナノエレクトロニクスの研究開発を強化することが必要である。一方、デジタル・デバイスの CMOS 構造というアーキテクチャは極めて優れているため、これが維持できる限りこれを維持することが望ましく、そうすることによりこれまで半導体の発展を支えてきた「微細化」というドライブを引き続き活用することができる。したがって次世代のLSI技術開発では、シリコンで培った微細化技術やデバイス原理をこれまで同様に活用しながら、シリコンという材料の物理的特性を十分に踏まえた上で、様々な要因に基づいて出現するデバイス性能の技術的な飽和を突破するための”新材料”、”新プロセス”、”新構造”を実現することが必要である。

2.2 事業の目的

本プロジェクトは、次世代の電子デバイスのために、シリコンで培った微細化技術やデバイス原理をこれまで同様に活用しながら、シリコンという材料の物理的限界を突破するための”新材料”、”新プロセス”、”新構造”を実現する半導体技術を、ナノテクノロジーを最大限に活用することによって創生し、将来の産業応用への芽を見出すことを目的とする。

2.3 事業の位置づけ

ITを根底から支える半導体技術をさらに発展させていくために、微細化・高集積化の進展に伴う技術課題を克服する技術シーズを発掘育成し、将来の産業技術につなげていくための橋渡しを進める本プロジェクトは、今後のIT技術の更なる発展と経済における生産性と社会全体における生活の質の大きな改善をもたらすことが期待される。

また、ナノテクノロジーの最大の応用領域の一つであるナノエレクトロニクスという広い領域において、産業技術の発展のみならず科学技術力の向上を鑑みると、探索的かつ学術的な研究から産業応用が可能な実用的な研究まで優れた研究を効果的かつ継続的に発展させるシームレスな支援体制の確立は不可欠なものであり、本プロジェクトはこの実現を目指す施策の中に位置づけられる。また、ナノエレクトロニクス領域の更なる発展と多様性の確保に不可欠な次世代の研究人材の育成や異分野との融合促進を図ることが期待され、日本のエレクトロニクス研究領域にイノベーションをもたらさう大きな仕組みとしても機能していくと期待される。

II. 研究開発マネジメントについて

1. 事業の目標

本プロジェクトの目標は、平成23年度までに、産業界が10年後を見据えた将来の集積回路システムとして展開できる電子デバイスを開発する際に産業技術として活用できるかどうかの実現可能性を見極めることができる技術シーズを確立することである。このために、次の9項目について研究開発を行う。

①シリコンナノワイヤ技術

研究開発項目①-(1)「シリコンナノワイヤトランジスタの知識統合研究開発」

研究開発項目①-(2)「ナノワイヤFETの研究開発」

研究開発項目①-(3)「シリコンナノワイヤトランジスタの物性探究と集積化の研究開発」

②次世代メモリ技術

研究開発項目②-(1)「新構造 FinFET による SRAM 技術の研究開発」

研究開発項目②-(2)「次世代相変化メモリ技術の研究開発」

研究開発項目②-(3)「ナノギャップ不揮発性メモリ技術の研究開発」

③新材料技術

研究開発項目③-(1)「カーボンナノチューブトランジスタ技術の研究開発」

研究開発項目③-(2)「シリコンプラットフォーム上Ⅲ-V族半導体チャネルトランジスタ技術の研究開発」

研究開発項目③-(3)「シリコンウェハ中の原子空孔濃度定量評価技術の研究開発」

以下に、各研究開発項目の達成目標とその目標の根拠をまとめる。

研究開発項目①-(1)： シリコンナノワイヤトランジスタの知識統合研究開発

シングルナノ領域、即ちゲート長がサブ10nmの領域に到達すると、ゲートのチャネルに対する制御能力を最大化するために、直径がnmレベルのナノワイヤ構造をチャネルに採用することが必須になる。この領域では、量子効果が顕在化し、その利点を活かして高い性能を実現することが期待できる一方、原子レベルの構造揺らぎもデバイス特性に顕著な影響を与え、特性バラツキが今以上に深刻な課題になることが懸念される。

このため、量子効果が顕在化する特性寸法が10nm以下のナノワイヤトランジスタを対象に、高精度なデバイス試作と電気的特性評価、物理計測評価解析、デバイスシミュレーションを含む計算科学的解析を、総合的に行う。これによって、CMOSの将来形としてのナノワイヤトランジスタの特性を予測し、構造・材料・プロセスの設計を行うための基盤的知識体系を、科学的な裏付けを持って構築することを目的とする研究開発を行う。

<達成目標>

(1)シリコンナノワイヤトランジスタの作製技術および特性解析に関する研究開発

・表面が原子レベルで平滑な直径10nm以下のシリコンナノワイヤ形成技術、原子レベルで平坦な界面を有する高誘電率ゲート絶縁膜の堆積技術及びメタルソース・ドレイン形成技術を確立し、シリコンナノワイヤ トランジ

スタを作製して、構造制御の効果を明らかにする。

(2) ナノワイヤトランジスタの精密計測評価技術の研究開発

- ・ナノワイヤの3次元走査プローブ計測により、サブnmの形状計測精度を実現する。
- ・絶縁体上に作製されたナノワイヤ構造のポテンシャル分布を、走査プローブで計測する技術を確立する。
- ・X線散乱・回折の解析により、基板表面上に周期的に形成したナノワイヤデバイスの形状及び内部構造とそれらのばらつきの評価を実現する。

(3) ナノワイヤトランジスタのシミュレーション技術の研究開発

- ・ナノワイヤトランジスタの構造安定性、界面構造、不純物分布、ポテンシャル分布、電気特性を予測・解析できる統合的シミュレーション技術を開発し、実験で得た実測値との比較によりその信頼性を検証する。
- ・自己無撞着量子モンテカルロ・デバイスシミュレータを開発し、ナノワイヤトランジスタの特性予測を実現する。

<目標の根拠>

(1) シリコンナノワイヤトランジスタの作製技術および特性解析に関する研究開発

- ・原子レベルの構造揺らぎもデバイス特性に顕著な影響を与え、特性バラツキが深刻になる懸念がある。
- ・シングルナノ領域でデバイス本来の特性を観測するためには、原子レベルで整ったデバイス構造を作製できることが、必要条件である。

(2) ナノワイヤトランジスタの精密計測評価技術の研究開発

- ・ナノワイヤトランジスタの動作特性は、形状や物性の変化に極めて敏感であると予想されるので、特性解析のためには原子レベル精度で3次的に形状や物性を計測評価できる技術が必須である。

(3) ナノワイヤトランジスタのシミュレーション技術の研究開発

- ・量子効果が顕在化するナノワイヤトランジスタを対象に、原子スケールの構造安定性、不純物分布、ポテンシャル分布、界面構造、電気特性を予測・解析できるシミュレーション技術を新規に開発することが必要である。

研究開発項目①－(2)： ナノワイヤFETの研究開発

ゲート長微細化は2020年代で終焉を迎えることがほぼ確実な状況となって来たが、その後もロジックLSI素子としては現在の電流駆動型のCMOSFET系デバイスの性能向上を追究していくことが重要である。しかしながら、2020年代後半以降の具体的施策は依然として明示されておらずに空白となったままで、この部分の研究・技術開発ロードマップを作成することが急務となって来ている。ロジックLSIの発展を今後も継続して行くためには、低消費電力化と高性能化への絶え間ない努力が重要であり、低電源電圧下でOFF電流を今までよりも非常に低い値に維持したままで、今まで以上の大変に高いON電流を実現できる素子技術の実現が必要である。この為の手段であるが、この時代のゲート長(5～10nm)では伝導機構が準バリスティックとなるため、ゲート長を短くしてもON電流増加は望めず他の手段を用いる必要がある。

ゲート長微細化以外の手段として、ゲート電極がチャンネルを取囲む構造であるが故にOFF電流の抑制に有利なことと、ナノワイヤの特長として準1次元伝導とマルチ量子チャンネルに起因する極めて高いON電流を望めることからナノワイヤ系FETが、CMOS細化終焉の後の最有力候補として注目を集めるようになってきた。しかしながらナノワイヤFETの伝導はワイヤ径、ワイヤの結晶方位、ワイヤの応力によりバンド構造が大きく変化するという大変に複雑なメカニズムに支配されるため、これらのパラメータを考慮に入れた電流・電圧特性を記述するコンパクトモデルは確立しておらず、理論的にどこまで高いON電流が得られるかすら不明の現状にある。更に

ワイヤ表面での散乱、ソース・ドレイン端でのキャリア注入・散乱・反跳など理論的、技術的に解決していかなければならない問題が山積している。

このため、SiナノワイヤFETを対象として、理論と実験の面からその性能を定量的に明らかにする。また、ナノワイヤFET導入の為の理論的・技術的課題を明確化し、その解決法の探索を行なう。それらの研究結果を踏まえ、実用化への本格的な研究開発を行なうためのSiナノワイヤFETのロードマップを作成することを目的とする研究開発を行う。

<達成目標>

(1) Siナノワイヤの電子構造の量子論的検討

- ・Siナノワイヤの電子構造解析により、SiナノワイヤFET実用化に向けて解明すべき物理現象を明らかにする。
- ・金属とワイヤ状物質との間の曲率のあるナノ界面におけるショットキー障壁を第一原理計算等によって解析し、その特徴を理論的に明らかにする

(2) ナノワイヤFETのバリシテシシティ制御

- ・準バリスティックSiナノワイヤFETの電圧・電流特性をコンパクトモデルで定式化する。
- ・コンパクトモデルによる解析と実験で得た実測値との比較を通じて、バリシテシシティを高めるなど性能最適化のための指針を明確化し、その理論・技術上の問題点を明らかにする。

(3) SiナノワイヤFETの作製

- ・SiナノワイヤFETの作製とその性能評価を通じて、理論予測との違いを明らかにし、その技術上の課題を明確にする。

(4) Siナノワイヤデバイスのロードマップ作成

- ・上記の研究開発の結果および他機関の研究結果も含めた総合的な検討に基づいて、最終目的であるSiナノワイヤデバイスのロードマップを作成する。さらにこれらの課題を解決するための具体的施策を示し、そのための今後の研究開発体制のあるべき姿を提案する。

<目標の根拠>

(1) Siナノワイヤの電子構造の量子論的検討

- ・Siナノワイヤはバルクと物性が異なるため形状、サイズで電気特性を把握するためには電子構造を解析する必要がある。
- ・曲率を持った界面では波動関数の染みこみが平面の場合と異なるため等価的にショットキー障壁が異なることが予測されるため。

(2) ナノワイヤFETのバリシテシシティ制御

- ・準バリスティック伝導を有するSiナノワイヤFETの実用化のためにはコンパクトモデルが必要である。
- ・準バリスティック伝導を得るために必要な科学上の課題、技術上の課題がまだ不透明である。

(3) SiナノワイヤFETの作製

- ・大規模集積を可能とするSiナノワイヤFETの試作を行いプロセス上の課題を明らかにするため。

(4) Siナノワイヤデバイスのロードマップ作成

- ・本研究期間の終了後に世の中に引き継がれて発展するためには特性に加え科学・技術上のロードマップを示すことが必須と考えられるため。

研究開発項目①－(3)： シリコンナノワイヤトランジスタの物性探究と集積化の研究開発

シリコンナノワイヤトランジスタは、将来のナノスケールシリコンMOSFETの一形態として注目されているが、ナノワイヤトランジスタのワイヤ・サイズの制御性、チャネル長の縮小化ではまだ不十分な面もあり、ナノワイヤで発現する物理現象の正確な理解、高性能化へ向けたデバイス最適構造の探求と実証など未解決な課題を多く残している。

このため、シリコンナノワイヤトランジスタ分野における上記課題を解決し、シリコンナノワイヤの物性研究とシリコンナノワイヤトランジスタの実用化に向けた基礎的データを取得することを目的とする研究開発を行う。

<達成目標>

(1) 極細シリコンナノワイヤトランジスタの電気伝導探究と集積化に関する研究開発

量子閉じ込めおよびひずみ等の効果を総合して通常のプレーナバルクMOSFETより高い移動度を示すシリコンナノワイヤトランジスタのパラメータを明らかにする。

(2) 短チャネルシリコンナノワイヤトランジスタの電気伝導探究と集積化に関する研究開発

チャネル長25nm以下、チャネル径10nm以下のシリコンナノワイヤトランジスタを作製する。

<目標の根拠>

(1) 極細シリコンナノワイヤトランジスタの電気伝導探究と集積化に関する研究開発

・シリコンナノワイヤが従来 MOSFET より高い性能を有するかは不明な部分が多い。ナノワイヤの物性解明を通じて移動度が高い条件を明らかにすることは実用化に向けて極めて重要である。

(2) 短チャネルシリコンナノワイヤトランジスタの電気伝導探究と集積化に関する研究開発

・ワイヤ・サイズの制御性、チャネル長の縮小化ではまだ不十分な面もあり、ナノワイヤで発現する物理現象の正確な理解、高性能化へ向けたデバイス最適構造の探求と実証など未解決な課題を多く残している。量産化へ向けた種々の問題への取り組み、微細チャネルのキャリア輸送機構の研究は重要である。

研究開発項目②－(1)： 新構造 FinFET による SRAM 技術の研究開発

微細化が進むにつれて最初に動作限界の危機に直面すると考えられているSRAMの技術課題を解決することを目指し、微細化に伴う短チャネル効果に強いFinFETと、分離された2つのゲートを有し閾値電圧制御可能な4端子FinFETを有効に組み合わせた新規SRAM (Flex-Pass-Gate SRAM) セルの先行基盤技術開発を行い、その原理実証と本格開発に向けた課題抽出を行うことを目的とする研究開発を行う。

<達成目標>

(1) 立体構造FinFET技術の研究開発

・Flex-Pass-Gate SRAMへの上記FinFET導入を行う。

(2) 4端子FinFETを用いた低消費電力・高ノイズ耐性SRAM回路技術の研究開発

・(1)で確立した微細4端子FinFETを用いたSRAMアレイを試作し、特性評価・解析によりIPを確立する。

・従来トランジスタと比較して、セル面積増加なしに、動作余裕を1.5倍に、待機時消費電力を1/20にできることを示す。

<目標の根拠>

(1) 立体構造FinFET技術の研究開発

・寸法は、実用化時期(2016)および ITRS ロードマップに基づく。

(2) 4端子FinFETを用いた低消費電力・高ノイズ耐性SRAM回路技術の研究開発

・SRAM 選択は、国内主要半導体メーカーからの要求に基づく。動作余裕 1.5 倍は、他機関の報告と比較してトップレベルの値として設定。待機時消費電力 1/20 は、20nm 世代において 90nm 世代同等に低減するものとして設定。いずれも TCAD により確認。

研究開発項目②－(2)：次世代相変化メモリ技術の研究開発

磁気抵抗メモリ、強誘電体メモリ等とともに、シリコンを基盤とする従来半導体メモリに挑む不揮発型新メモリとして、相変化メモリが注目されている。相変化メモリは、セル構造が簡単なため高密度化に適しているが、相変化記録薄膜中に「結晶」-「アモルファス」間の一次相変化を繰り返し発生させることから、膜の融点(650℃)以上に加熱する必要があり、消費電力と繰り返し記録耐性において更なる改良・改善が必要とされている。

このため、書き込み・読み出し回数的大幅な向上と作動電力を最小限にする技術を開発することで、省資源・省エネルギー型の不揮発性相変化固体メモリを開発することを目的とする研究開発を行う。

<達成目標>

(1) 高速スイッチング現象に最適なナノレベル構造制御カルコゲナイド薄膜の結晶構造の検討

超格子構造で高速動作可能な新規相変化材料組成を 5 材料以上シミュレーションによって見だし、実際にデバイスを作製して実験によって動作検証を行う。

(2) 抵抗加熱方式での熱的構造変化を最適に行うためのシミュレーション技術の開発

平成21年度末に目標を達成するため最終目標は設定しない。

(3) 再現性や信頼性など集積化に向けて必要となる特性の体系的理解のための動作温度領域における薄膜物性データベースの構築

シミュレーションの元となる各材料の薄膜熱物性の測定とデータベースの外販化を行う。

(4) 一定規模以上の集積化可能性を示すためのナノレベル微細加工を施したデバイス試作

同等のサイズで作製された従来型の相変化固体メモリの性能と比較して、電力消費で 1/10 以下となる超格子相変化メモリを実証する。

また、同等のサイズで作製された従来型の相変化固体メモリの性能と比較して、 10^{15} 回以上の繰り返し書き換え回数をもつ超格子相変化メモリを実証する。

<目標の根拠>

(1) 高速スイッチング現象に最適なナノレベル構造制御カルコゲナイド薄膜の結晶構造の検討

・相変化メモリの特性を大幅に改善するためには、一層膜を超格子構造とし、スイッチングする層の原子の移動に伴うエントロピーによるエネルギー散逸を大幅に低下させれば良い。我々は GeSbTe225 系の新しいスイッチング原理に基づいてこれを検証する。また、動作原理が正当なものであれば、類似構造をもつ新材料は他にも存在する。

(2) 抵抗加熱方式での熱的構造変化を最適に行うためのシミュレーション技術の開発

・相変化に費やされるエネルギーの多くがエントロピーによるエネルギー散逸と考えられるので、これを低減できれば消費電力を大幅に低減でき、逆に繰り返し回数の向上につながる。シミュレーション技術を用いれば、エネルギー消費の最も少ない構造を探索できる。

(3) 再現性や信頼性など集積化に向けて必要となる特性の体系的理解のための動作温度領域における薄膜物性データベースの構築

・実際の動作温度環境下での薄膜物性データは少ない。特に相変化メモリでは最高温度は 800°C 以上に達する。これらのデータを利用しない限り、正確なシミュレーションはできない。

(4) 一定規模以上の集積化可能性を示すためのナノレベル微細加工を施したデバイス試作

・超格子構造により、耐久性の高い相変化メモリは十分可能であると考えられる。

研究開発項目②－(3)： ナノギャップ不揮発性メモリ技術の研究開発

モバイル機器や情報家電などデジタル情報機器の急速な拡大に伴い、われわれが取り扱うべき情報は飛躍的に増大しつつある。こうした状況の下、情報をいつでもどこでもすばやく記憶、読みだせるユニバーサルメモリの開発は必須となっており、磁気抵抗メモリや強誘電体メモリなど、さまざまな次世代不揮発性メモリの開発が精力的に進められている。なかでも抵抗スイッチメモリは、とりわけ微細化に有利なメモリとして注目されている。近年、この抵抗スイッチメモリに利用できる現象として、ナノスケールの微小間隙を有するナノギャップ電極構造において、入力電圧波形に依存して電極間の抵抗値が5桁も変化するナノギャップスイッチ（以下NGSと略する）現象が見出され、これを不揮発性メモリに応用する研究が進められている。NGSメモリは、その構造が著しく単純であり、従来の半導体デバイスにおける、不純物揺らぎ等に起因する微細化限界の壁を打ち破ることが可能な、日本発の超稠密不揮発性メモリとなることが期待される。しかしながら、NGS現象のメモリへの応用研究はその端緒についたばかりであり、実用化に向けての研究開発を行う必要がある。

このため、超稠密不揮発性メモリの実現を目指して、金属ナノギャップ構造を利用した、集積化可能なNGS不揮発性メモリを開発することを目的とする研究開発を行なう。

<達成目標>

(1) 平面先鋭型金属ナノギャップ素子およびその基本特性評価技術の開発

ナノギャップ領域が極限的に微細化してもNGSメモリ動作することを検証するために、中間目標のデバイスサイズよりもさらに微細化した、ギャップ長5nm、ギャップ幅10nmの電極を有する平面型NGS素子を開発する。平成21年度までに開発した高感度ナノプローブ計測評価技術をさらに発展させ、AFM散逸計測などのナノプローブ物性計測法を用いてナノギャップ部の物性変化を測定することにより、長時間動作後のナノギャップ部の電気特性変化や組成変化を評価する。

(2) 金属ナノギャップメモリ・デバイスの研究開発

縦型NGS素子の微細化を進めるとともに、4kbitのデバイスを試作・評価し、下記の性能を実証する。

- ・高速性: 100ns以下の書き換えスピード
- ・稠密性: 上下電極交点の Via-hole 径 ϕ で40nm
- ・書き換え耐性: 10^6 回以上

また、このデバイスを用いてNGS素子の特性バラツキを評価する。

(3) 高性能メモリ金属ナノギャップ素子の研究開発

素子特性として、最大電流値 $20\mu\text{A}$ 以下、動作電圧 5V 程度を実現する。

<目標の根拠>

(1) 平面先鋭型金属ナノギャップ素子およびその基本特性評価技術の開発

・平面先鋭型金属ナノギャップ素子は、ナノギャップ部が局所領域に限定されるため(面内・電極厚み方向)、NGS現象の微視的メカニズム解明に向け、構造変化や電気等諸特性を高分解能で計測するモデル試料として最適

・ギャップ幅は、ギャップ領域を1箇所限定し、NGSの際に変化すると予想される構造と同程度の大きさを考慮
・フォーミング処理時に伴う構造変化を最小限にするため、初期ギャップ長は可能な限り小さな値の方がよいが、電子線露光によるナノギャップ作製再現性を考慮

・表面電位計測や散逸計測などのナノプローブ物性計測法によるナノギャップ素子の評価は、Anode、Cathodeの境界を明確にするためにも、またギャップ領域の局所的な電気特性を明らかにするためにも必須

(2) 金属ナノギャップメモリ・デバイスの研究開発

・実用的な不揮発性メモリの水準を勘案

・Gbitクラスの大容量メモリもバンク構成の最下層は、4 kbit程度である。またこのメモリデバイスを多数個用いて、Mbit(6 σ)の特性バラツキを評価することで、大容量化の実現性も評価可能

(3) 高性能メモリ金属ナノギャップ素子の研究開発

・動作電圧は現状のフラッシュメモリの電源電圧 $5.0\text{V}\sim 1.8\text{V}$ の上限値程度を考慮

・動作電流値は実用的水準から設定

研究開発項目③ー(1): カーボンナノチューブトランジスタ技術の研究開発

シリコン集積回路の高性能化が限界に近づきつつある中、この限界を打破しうる新しいデバイス技術の開発が強く求められている。カーボンナノチューブ(CNT)は理想的な一次元構造と優れた電子輸送特性を有し、その電子デバイス応用の期待が高い。

このため、CNTの電子デバイス応用を目指して、CNTの成長、デバイスプロセス、及びナノ計測に関して種々の課題を解決し、CNT電子デバイスの高性能性及び実用性を実証することを目的とした研究開発を行う。

<達成目標>

(1) CNTデバイス作製技術の研究開発

・ドーピング技術、低抵抗コンタクト技術、マルチチャネル技術を開発する。

・上記技術を適用してマルチチャネルCNT-FETを作製し、電流利得遮断周波数の向上を示す

(2) CNT成長技術の研究開発

・電場制御による半導体CNT優先成長のメカニズムを検討する。

・高密度配向成長に向けて二元系触媒およびこれに適した成長条件を検討する。

(3) CNTデバイスの局所評価技術の研究開発

・KFMの電位測定精度として 10mV 以下を達成し、CNTの欠陥分布計測に適用し、欠陥の電気的特性を明らかにする。

・MFMにより100nm程度の間隔で配列したCNTチャネルの伝導特性を個別評価し、CNTの成長条件とその品質の均一性との関連を明らかにする。

<目標の根拠>

(1)CNTデバイス作製技術の研究開発

- ・ITRSの2020年の要求電流密度($2.7\mu\text{A/nm}$)を満たすCNT密度
- ・ f_T 50GHz以上を容易に実現できるチャネル長
- ・精度の高い遅延時間解析が可能となる f_T

(2)CNT成長技術の研究開発

- ・本プロジェクトのデバイスでは高品質な半導体CNTが必須
- ・ITRSの2020年の要求電流密度($2.7\mu\text{A/nm}$)を満たすCNT密度
- ・現在のSiLSI技術との融合を進めるため

(3)CNTデバイスの局所評価技術の研究開発

- ・高品質CNT-FETの実現にはCNTチャネル特性の個別評価が必要

研究開発項目③－(2)：シリコンプラットフォーム上III-V族半導体チャネルトランジスタ技術の研究開発

技術世代hp22nm以細のCMOSにおける性能向上や低消費電力化を、新たな高移動度チャネル材料と構造の導入により達成しようとするトレンドが近年明確化している。pMOSFETについては、ひずみGOIを用いることにより10倍を越える正孔移動度の向上が報告されているが、nMOSFETについては、ひずみSi技術以降の電子移動度向上のための有効な手段が見出されていない。有効質量が極めて小さく移動度が極めて大きい、III-V族半導体を用いたnMOSFETは、バリスティック輸送が支配的となる技術世代においても高い駆動力を実現できる可能性がある。

一方、適用される技術世代を考えると、十分短チャネル効果が抑制できるトランジスタ構造とする必要がある。このためには、絶縁膜の上に薄膜III-V化合物半導体を形成したIII-V-On-Insulator(III-V-OI)構造を用いて、極薄ボディMISFETあるいはFinFETなどのマルチゲートFETを形成することが必要であると考えられる。更にこのようなMOSFETを、ULSI用の素子として実現するためには、Siプラットフォームを用いることが必須である。そのためには、Si基板上に上記のIII-V-OIを形成し、SiやGeなどでは得られない極めて高い電流駆動力を持ち、かつ短チャネル効果抑制にも優れた、将来の大規模集積回路に適用できるnMOSFETあるいはMISFETを実現することが期待される。

このため、hp22nm世代以降の高性能トランジスタを実現するためのデバイス構造として、Si基板上更にその上の絶縁膜上に形成したIII-V族半導体をチャネルとするMISFETを開発することを目的とする研究開発を行う。

<達成目標>

- ・Si上あるいは絶縁膜上のnチャネルIII-V族半導体チャネルMISFETの作製技術を開発し、その高移動度動作を実証する。
- ・Si上のIII-V MISFETの最適素子構造・材料の明確化を進め、CMOSプラットフォームへの適用性を明らかにすると共に、将来のCMOS構造への集積化の可能性を検証する。

<目標の根拠>

・Siプラットフォーム上の高性能 n-MOSFET の feasibility を確認する上で、III-V MISFET の高移動度動作を実証する必要がある。

・将来世代 LSI 上の微細 CMOS の構成素子となりうることを示すためには、当該世代に適合する構造・材料を明確化すると共に、CMOS としての集積化の上で、本質的問題がないことを提示する必要がある。

研究開発項目③－(3)：シリコンウェハ中の原子空孔濃度定量評価技術の研究開発

半導体産業におけるデバイス製造では、チョクラルスキー (CZ) 法で製造した CZ シリコン結晶から切り出したウェハを用いる。最近になり、2次欠陥であるボイドが全く存在しない完全結晶シリコンインゴットの製造技術が発達し、完全結晶ウェハを用いたデバイス製造技術が急速に進展している。CZ シリコン中に存在する酸素をデバイス製造過程で析出させ金属汚染の除去を行なうゲッターリング技術は、微細化が進行してもデバイス製造技術に重要な役割を果たしている。ゲッターリング効果を得るには適量の酸素を析出させることが必要であるが、原子空孔は非常に重要な因子であり、酸素析出を著しく促進する。しかし、現在までシリコンウェハ中に存在する孤立した原子空孔の濃度評価法が確立していないので、完全結晶シリコンウェハを用いたデバイス製造においては、酸素析出にばらつきが生じ、動作特性の不良による歩留まりの低下など大きな困難が生じている。このような技術的困難を突破するために、原子空孔濃度を予め評価したシリコンウェハを用いてデバイスを製造する技術が半導体産業から強く要請されている。

このため、低温超音波計測により、シリコン結晶中の孤立した原子空孔の濃度を定量評価する分析技術を開発し、超音波計測による原子空孔濃度分析技術の実用化を進めることを目的とする研究開発を行う。

<達成目標>

(1) 超音波計測を用いた原子空孔濃度分析の研究開発

超音波計測によって低温ソフト化の量を測定することで、産業界で実用化が進んでいる完全結晶ウェハの原子空孔濃度の面内分布の分析技術を確立する。

(2) 原子空孔のナノレベルシミュレーション技術の研究開発

超音波計測の結果と比較しながら、大規模ナノレベルシミュレーションを行い、原子空孔軌道と超音波歪みとの結合定数を求め、産業界で実用化が進んでいる完全結晶ウェハ中の原子空孔濃度の評価に適用する。

(3) シリコン結晶中の原子空孔分布計測と欠陥制御技術の開発

as-grown 結晶欠陥分布を決定する結晶育成時の熱履歴を厳密に制御する事で、原子空孔濃度を制御したデバイス評価に適した完全結晶ウェハを作製することを可能にする。

(4) 原子空孔濃度を評価した完全結晶ウェハを用いたデバイスの動作特性評価

低温超音波計測により原子空孔濃度を予め評価した完全結晶ウェハを用いてテストデバイスを作製し、原子空孔濃度とデバイス特性との関連を調査し、次世代の完全結晶ウェハを用いたデバイス製造のための基礎技術を確立する。

<目標の根拠>

(1) 超音波計測を用いた原子空孔濃度分析の研究開発

・低温超音波計測システムの構築と圧電薄膜作製が進行し、FZ および CZ シリコン結晶でのソフト化とその磁場

依存性の観測が進んでいる。

(2) 原子空孔のナノレベルシミュレーション技術の研究開発

・Si 原子数が $N=216$ の系で大規模計算手法を実施し、原子空孔の周りに広がっている原子空孔軌道を求めている。

(3) シリコン結晶中の原子空孔分布計測と欠陥制御技術の開発

・ボロン添加 CZ シリコン結晶を製造し、原子空孔の存在を示す低温ソフト化とその磁場依存性の観測に成功している。

(4) 原子空孔濃度を評価した完全結晶ウェハを用いたデバイスの動作特性評価

・現在半導体産業で用いているシリコンウェハを用い、試験デバイス製造を進め、その電気特性がウェハ中の原子空孔分布と相関があることを示唆する結果を得ている。

2. 事業の計画内容

2.1 研究開発の内容

上記目標を達成するために、シリコンで培った微細化技術やデバイス原理をこれまで同様に活用しながら、シリコンという材料やプレーナCMOS構造の物理的特性を十分に踏まえた上で、様々な要因に基づいて出現するデバイス性能の技術的な飽和を突破し、集積回路システムとして用いることを前提として以下の”新材料”技術や”新(デバイス)構造”に関する研究開発を行う。

研究開発項目①－(1)：シリコンナノワイヤトランジスタの知識統合研究開発

(1)シリコンナノワイヤトランジスタの作製技術および特性解析に関する研究開発

ナノワイヤトランジスタを試作し、構造と特性を解析して両者の関係を定量的に把握する。シングルナノ領域でデバイス本来の特性を観測するためには、原子レベルで整ったデバイス構造を作製できることが、必要条件である。このため、ナノワイヤチャネル、高誘電率ゲートスタック及びメタルソース・ドレインの作製プロセスを開発し、電気的特性評価と物理計測評価解析を行う。

(2)ナノワイヤトランジスタの精密計測評価技術の研究開発

ナノワイヤトランジスタの動作特性は、形状や物性の変化に極めて敏感であると予想されるので、特性解析のためには原子レベル精度で3次元的に形状や物性を計測評価できる技術が必須である。この要求に応え、形状やポテンシャル分布を3次元に計測できる走査プローブ技術を開発する。さらにX線の散乱・回折を用い、基板表面上に形成した多数のナノワイヤデバイス構造の形状や内部構造を精密に評価する技術を開発する。

(3)ナノワイヤトランジスタのシミュレーション技術の研究開発

量子効果が顕在化するナノワイヤトランジスタを対象に、原子スケールの構造安定性、不純物分布、ポテンシャル分布、界面構造、電気特性を予測・解析できるシミュレーション技術を開発する。また、キャリア輸送に対する量子効果及びチャネル内やソース・ドレイン領域でのキャリア散乱をできるだけ正確に導入したナノデバイス・シミュレータを構築する。

研究開発項目①－(2)：ナノワイヤFETの研究開発

(1)Siナノワイヤの電子構造の量子論的検討

Siナノワイヤの詳細なバンド構造や金属/Siナノワイヤのショットキー界面を量子論的計算によって明らかにする。上記の結果を用いて、Siナノワイヤの物性を科学的見地から体系的に明らかにし、ロードマップ作成に繋げる。

(2)ナノワイヤFETのバリシティシイティ制御

ワイヤFET準バリスティック伝導において高い電流駆動力を実現する手段の検討を行う。その為にON電流を理論的に見積もるコンパクトモデルを構築する。OFF電流を支配する物理的モデルは明確になっていないため、この検討も行う。

(3)SiナノワイヤFETの作製

SiナノワイヤFETの試作を行い、理論と比較することにより、コンパクトモデルの精度を高める。また、試作デバイスの構造・パタン設計、試作プロセス設計、試作の実行、試作デバイスの評価を通して、ナノワイヤFETの技術的な課題を具体的に明確化する。

(4)Siナノワイヤデバイスのロードマップ作成

上記(1)～(3)の結果に基づいてSiナノワイヤFETロードマップを作成する。本研究開発と同時に委託される関連研究開発の結果や今後国内外で発表されるであろう他機関の研究結果も含めて総合的に検討を行い、その科学的及び技術的課題を明らかにする。さらにこれらの課題を解決するための具体的施策を示し、今後の日本の研究開発体制のあるべき姿を提案する。

研究開発項目①－(3)： シリコンナノワイヤトランジスタの物性探究と集積化の研究開発

(1) 極細シリコンナノワイヤトランジスタの電気伝導探究と集積化に関する研究開発

主にチャネルは長いがナノワイヤの直径が極めて細いシリコンナノワイヤトランジスタの研究を行う。具体的には、極細シリコンナノワイヤトランジスタの試作と物性探究、ひずみによる高性能化の検討、最適レイアウトと集積化の検討を行う。

(2) 短チャネルシリコンナノワイヤトランジスタの電気伝導探究と集積化に関する研究開発

主にナノワイヤ径はそれほど細くないがゲート長の短いシリコンナノワイヤトランジスタの研究を行う。具体的には、短チャネルシリコンナノワイヤトランジスタの試作と物性探究、短チャネル・少数キャリア散乱下における伝導特性の解析と高性能化の検討、最適回路形式と集積化の検討を行う。

研究開発項目②－(1)： 新構造 FinFET による SRAM 技術の研究開発

(1) 立体構造FinFET技術の研究開発

リソグラフィ寸法以下の立体構造を安定的に形成し、ばらつきが少ない所望の電気特性を実現するナノレベルの構造制御技術を開発して、立体構造トランジスタの性能向上を図り、低リーク電流かつ高駆動力のFinFETと閾値電圧調整可能な4端子FinFETの作製技術、及び、それらの集積回路技術を構築する。

(2) 4端子FinFETを用いた低消費電力・高ノイズ耐性SRAM回路技術の研究開発

SRAMセルをFinFET及び4端子FinFETで構成し、低消費電力と高ノイズ耐性、省SRAMセル面積、従来のSRAM設計資産との整合性を持ったSRAM新回路構成を提供する。さらに、前項で開発したFinFET特性に即した回路設計、レイアウトの最適化等を行い、SRAMセルアレイレベルでの動作を実証する。

研究開発項目②－(2)： 次世代相変化メモリ技術の研究開発

熔融状態のランダムな配列を高抵抗層とする従来型の相変化メモリではなく、新しい記録再生原理に基づいたカルコゲン化合物の超格子構造をボトムアップで作製し、書き込み・読み出し回数大幅な向上と動作電力の大幅な抑制を実現できるナノレベル構造制御を施した新型相変化メモリを開発する。また、密度汎関数法によるシミュレーションと実験とを同時並行的に実施することで相変化メモリの作製方法を見直し、ナノレベルで動作機能を制御する新技術を完成させる。そのために具体的には、下記4項目について研究開発を行なう。

(1) 高速スイッチング現象に最適なナノレベル構造制御カルコゲナイド薄膜の結晶構造の検討

(2) 抵抗加熱方式での熱的構造変化を最適に行うためのシミュレーション技術の開発

(3) 再現性や信頼性など集積化に向けて必要となる特性の体系的理解のための動作温度領域における薄膜物性データベースの構築

(4) 一定規模以上の集積化可能性を示すためのナノレベル微細加工を施したデバイス試作

研究開発項目②－(3)： ナノギャップ不揮発性メモリ技術の研究開発

(1) 平面先鋭型金属ナノギャップ素子およびその基本特性評価技術の開発

NGS動作機構の解明、すなわちナノギャップ部の抵抗変化を引き起こす要因を明らかにするために、NGS特性評価に適した、AFMをベースとするナノプローブ計測評価手法を確立する。また、ナノプローブ計測法によるナノギャップ部の評価を可能とする素子、平面先鋭型金属ナノギャップ素子を開発する。

(2) 金属ナノギャップメモリ・デバイスの研究開発

金属ナノギャップメモリ・デバイスを試作および評価し、稠密性、高速性、不揮発性等の性能を実証する。

(3) 高性能メモリ金属ナノギャップ素子の研究開発

実用レベルの動作・保持環境においても高性能メモリ特性を持つ金属ナノギャップの基本素子構造作製および高性能メモリ特性を実現する動作手法の開発を行う。実用レベルの動作環境において動作電流が低く抑えられる構造、動作法を開発する。集積化ナノギャップ素子のバラツキの原因を見だし、それが低減できる駆動法の技術開発を行う。

研究開発項目③－(1)： カーボンナノチューブトランジスタ技術の研究開発

(1) CNTデバイス作製技術の研究開発

・高密度CNTチャンネル形成技術、CNT-FETのコンタクト形成技術、デバイス表面保護膜形成技術、高密度短チャンネルデバイス作製技術を開発する。

・これらの技術を総合化してCNT-FETを試作し、高性能性及び実用性を実証する。

(2) CNT成長技術の研究開発

・原料ガスや電場などを高度に制御したCNT成長技術、CNTカイラリティ計測技術を開発し、半導体優先成長および高品質成長を実証する。

・高密度CNT配向成長を実現する触媒技術・基板技術を開発する。

・シリコンウェハ上でのCNT配向成長技術を開発する。

(3) CNTデバイスの局所評価技術の研究開発

・ナノプローブを利用した高精度なCNT欠陥評価技術およびCNTチャンネル電流検出技術を開発する。

研究開発項目③－(2)： シリコンプラットフォーム上III-V族半導体チャンネルトランジスタ技術の研究開発

III-V族半導体チャンネル MISFET の最適素子構造・材料の明確化を進め、本デバイスの当該世代CMOSへの適用性を明らかにすると共に、将来のCMOS構造への集積化の可能性を検証するために以下の研究開発を行う。

(1) III-V-OIチャンネル形成技術

有機金属気相成長法及び貼り合わせ法を用いた Si 基板上あるいは絶縁膜上への良質な III-V 族半導体チャンネル及び III-V 族薄膜ウェハの形成技術を開発する。

(2) MIS界面安定化技術及び界面評価技術

III-V族半導体MIS界面の最適化による高品質MIS構造形成技術並びに high-k 絶縁膜を含むゲートスタック構造形成技術を開発する。

(3) III-V-OI MISTランジスタ形成技術

Si 上あるいは絶縁膜上の n チャンネル III-V 族半導体チャンネル MISFET の作製技術の確立と動作実証を行う。

研究開発項目③－(3)： シリコンウェハ中の原子空孔濃度定量評価技術の研究開発

(1)超音波計測を用いた原子空孔濃度分析の研究開発

超音波計測を用いて、弾性定数の低温ソフト化の大きさを精密に測定することで、産業界で用いられているシリコンウェハ中の原子空孔の濃度を定量的に評価する分析技術を開発する。

(2)原子空孔のナノレベルシミュレーション技術の研究開発

密度汎関数法、分子動力学、並びににそれらをハイブリッド化した大規模計算手法を用いたシリコン中の原子空孔のナノレベルシミュレーション技術を開発する。

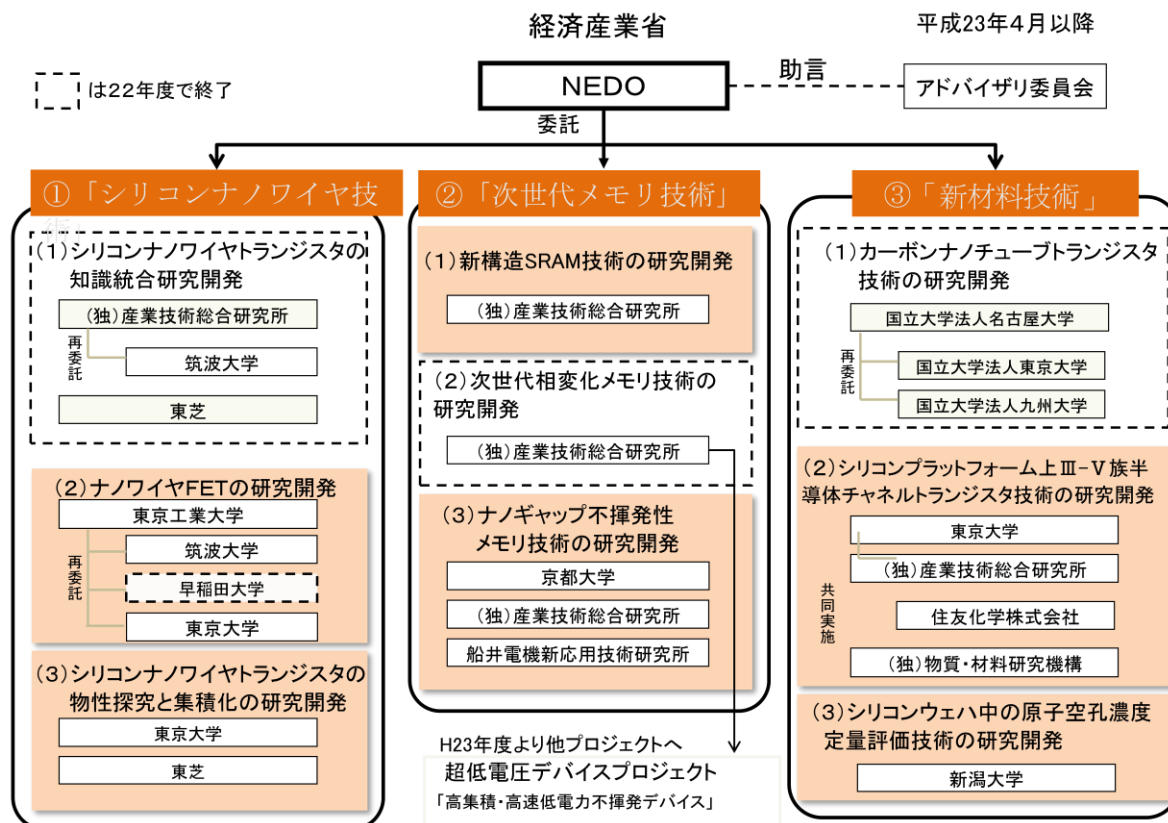
(3)シリコン結晶中の原子空孔分布計測と欠陥制御技術の開発

低温超音波計測による原子空孔の計測・分析技術を利用して、シリコンインゴット中の原子空孔濃度および2次結晶欠陥の三次元分布を求め、結晶製造時の結晶欠陥制御との対応を明確にして、デバイス製造評価に対応できるウェハ作製技術を開発する。

(4)原子空孔濃度を評価した完全結晶ウェハを用いたデバイスの動作特性評価

超音波計測により原子空孔濃度を評価した完全結晶シリコンウェハを用いて試験的デバイスを製造し、原子空孔がデバイスの動作特性に及ぼす影響の評価技術を開発する。

2.2 研究開発の実施体制



研究開発に参加する各研究開発グループの有する研究開発ポテンシャルの最大限の活用により効率的な研究開発の推進を図る観点から、研究体にはNEDO技術開発機構が委託先決定後に委嘱する産業界を中心とするアドバイザー委員会を置き推進に関する意見を運営管理に反映させて効果的に研究開発を実施する。

2.3 研究開発の運営管理

研究開発全体の管理・執行に責任を有するNEDO技術開発機構は、経済産業省及び研究開発実施者と密接な関係を維持しつつ、プログラムの目的及び目標、並びに本研究開発の目的及び目標に照らして適切な運営管理を実施する。具体的には、必要に応じて開催するアドバイザー委員会の意見を運営管理に反映させる他、年に4回程度プロジェクトの進捗について報告を受けること等を行う。

3. 情勢変化への対応

本研究開発は、経済産業省により、企業、民間研究機関、独立行政法人、大学等（委託先から再委託された研究開発実施者を含む）から公募によって研究開発実施者が選定され、共同研究契約等を締結する研究体を構築され、平成19年度より委託により実施している。平成21年度より、NEDO技術開発機構が本研究開発を運営・管理するに当たっては、平成20年度までの進捗状況を踏まえた研究開発内容・計画及び実施体制の妥当性について、外部有識者による審議を含めた評価を行った上で最適な研究開発体制を構築し、委託して実施した。また、平成22年度からスタートした「低炭素社会を実現する超低電圧ナノエレクトロニクスプロジェクト」と親和性が高い②-(2)次世代相変化メモリ技術を NEDO プロジェクト全体の効率化のために平成23年度から同プロジェクトに移管し両プロジェクトの効率化を図った。

4. 中間評価結果への対応

平成 21 年度に中間評価を実施し以下の指摘を受けた。

- ・ナノワイヤ技術、3案件：それぞれの案件が独立した活動になっているため連携すすめるべき。
- ・カーボンナノチューブ：設定された個別テーマはクリアしているが全体目標の集積回路システムへの適用にはまだ改善が必要。

この指摘に基づき、テーマ①のシリコンのワイヤ技術開発は①-(2)ナノワイヤ FET の研究開発が全体ロードマップのとりまとめを主導することとした。また、③-1 カーボンナノチューブは集積回路システムへの研究開発には本プロジェクト期間内では改善の見込みが立たないため目標を見直し早期終了とした。

5. 評価に関する事項

NEDO技術開発機構は、技術的及び政策的観点から、研究開発の意義、目標達成度、成果の技術的意義並びに将来の産業への波及効果等について、外部有識者による研究開発の中間評価を平成21年度、事後評価を平成24年度に実施する。また、中間評価結果を踏まえ必要に応じプロジェクトの加速・縮小・中止等見直しを迅速に行った。更に、平成22年、平成23年に NEDO 幹部レビューにおいてその進捗報告および、プロジェクトマネジメントに関する改善ポイントの指摘を受けている、

評価の時期については、当該研究開発に係る技術動向、政策動向や当該研究開発の進捗状況等に応じて、前倒しする等、適宜見直した。

Ⅲ. 研究開発成果について

1. 事業全体の成果

1. 1 事業全体の成果の概要

①ー(1)「シリコンナノワイヤトランジスタの知識統合研究開発」、カーボンナノチューブ、「超低電圧プロジェクト」については22年度目標を最終としてその内容を達成した。他の6テーマは当初設定した最終目標を達成している。

1. 2 研究開発項目毎の成果の概要

1. 2ー①シリコンナノワイヤ技術

1. 2ー①ー(1)「シリコンナノワイヤトランジスタの知識統合研究開発」

1. 2ー②ー(1)ー1 目標の達成度

(基本計画の目標)

(概要)

シングルナノ領域、即ちゲート長がサブ10 nmの領域に到達すると、ゲートのチャネルに対する制御能力を最大化するために、直径がnmレベルのナノワイヤ構造をチャネルに採用することが必須になる。この領域では、量子効果が顕在化し、その利点を活かして高い性能を実現することが期待できる一方、原子レベルの構造揺らぎもデバイス特性に顕著な影響を与え、特性バラツキが今以上に深刻な課題になることが懸念される。

このため本事業では、量子効果が顕在化する特性寸法が10nm以下のナノワイヤトランジスタを対象に、次のように、デバイス試作と電気的特性評価、物理計測評価解析、デバイスシミュレーションを含む計算科学的解析を、総合的に行う。これによって、CMOSの究極形としてのナノワイヤトランジスタの特性を予測し、構造・材料・プロセスの設計を行うための基盤的知識体系を、科学的な裏付けを持って構築する。

(1)シリコンナノワイヤトランジスタの作製技術および特性解析

ナノワイヤトランジスタを試作し、構造と特性を解析して両者の関係を定量的に把握する。シングルナノ領域でデバイス本来の特性を観測するためには、原子レベルで整ったデバイス構造を作製できることが、必要条件である。このため、ナノワイヤチャネルと高誘電率ゲートスタックおよびメタルソース・ドレインの作製プロセスを開発し、電気的特性評価と物理計測評価解析を行う。

(2)ナノワイヤトランジスタの精密計測評価技術の研究開発

ナノワイヤトランジスタの動作特性は、形状や物性の変化に極めて敏感であると予想されるので、特性解析のためには原子レベル精度で3次元的に形状や物性を計測評価できる技術が必須である。この要求に応え、形状やポテンシャル分布を3次元に計測できる走査プローブ技術を開発する。さらにX線の散乱・回折を用い、基板表面上に形成した多数のナノワイヤデバイス構造の形状や内部構造を精密に評価する技術を開発する。

(3)ナノワイヤトランジスタのシミュレーション技術の研究開発

量子効果が顕在化するナノワイヤトランジスタを対象に、原子スケールの構造安定性、不純物分布、ポテンシャル分布、界面構造、電気特性を予測・解析できるシミュレーション技術を開発する。また、キャリア輸送に対する量子効果や、チャネル内およびソース・ドレイン領域でのキャリア散乱をできるだけ正確に導入したナノデバイス・シミュレータを構築する。

最終目標

※本テーマは平成22年度に早期終了したため22年度目標をもって最終目標とする

(1)シリコンナノワイヤトランジスタの作製技術および特性解析に関する研究開発

・表面を原子レベルで平滑化した直径 10 nm級のシリコンナノワイヤの形成技術およびシリコン酸化膜等価換算膜厚(EOT) 1 nm 以下の高誘電率ゲート絶縁膜の堆積技術を開発し、これらと平成 21 年度に確立したメタルソース・ドレイン形成技術を用いてシリコンナノワイヤトランジスタを作製し、開発技術による電気特性改善を実証する。

(2)ナノワイヤトランジスタの精密計測評価技術の研究開発

・直径 10 nm級のシリコンナノワイヤデバイスについて、原子間力顕微鏡による三次元形状プロファイル計測を実証するとともに、X 線散乱・回折法を用いて形状および内部構造の解析を実証する。
・AFM 機能と STM 機能を備えた走査プローブ顕微鏡により、絶縁膜上に形成したシリコンナノワイヤデバイスのポテンシャル分布計測を実証する。

(3)ナノワイヤトランジスタのシミュレーション技術の研究開発

・シリコンナノワイヤと酸化膜の界面構造、シリコンナノワイヤと遷移金属シリサイドの接合部において不純物とその電子状態に及ぼす影響、およびシリコンナノワイヤの電気伝導特性をシミュレーションする技術を開発し、解析を実現する。
・ナノワイヤトランジスタにおける電子輸送機構解明を目指して、キャリア間のクーロン相互作用およびトランジスタ特性とワイヤ断面サイズとの相関を明らかにする。

【開発成果の要約】

(1)シリコンナノワイヤトランジスタの作製技術および特性解析に関する研究開発

シリコンナノワイヤトランジスタの作製技術として、低 pH 弗酸処理および低温水素アニール、酸素による原子層エッチングにより原子オーダーで形状・寸法を制御可能なナノワイヤ形成技術を確認した。この技術を用い断面寸法 $2.8 \times 7 \text{ nm}$ のナノワイヤ形成に成功した(図1)。原子層堆積(ALD)技術を用いてSiナノワイヤ上への高誘電率(high-k)絶縁膜ゲートスタック形成技術を確認すると共に、断面寸法が 10 nm 級のSiナノワイヤのソース/ドレイン領域を単結晶 NiSi_2 化させることに成功した。これらの技術を用い、 NiSi_2 メタルソース・ドレインとサブ 1 nm -EOT の ALD- HfO_2 high-k ゲートスタックを持つ最小直径 8 nm までのSiナノワイヤ FET の動作に成功し、良好な ON-OFF 動作を確認した(図2)。また、ラマン散乱で励起光と検出光の偏光方向を制御することにより、単一のSiナノワイヤのラマンスペクトルを測定し、応力を定量解析する技術を開発した。

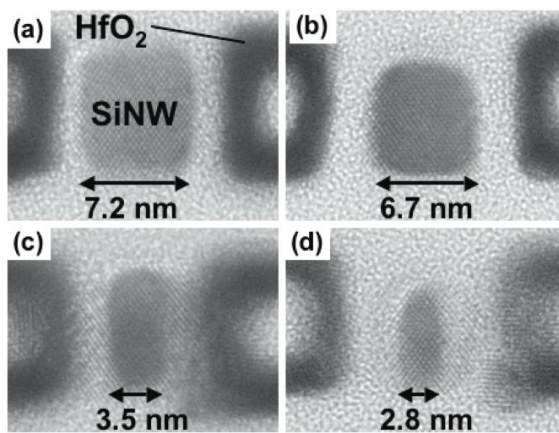


図1. 酸素エッチングによりサイズ制御したシリコンナノワイヤの断面 TEM 像

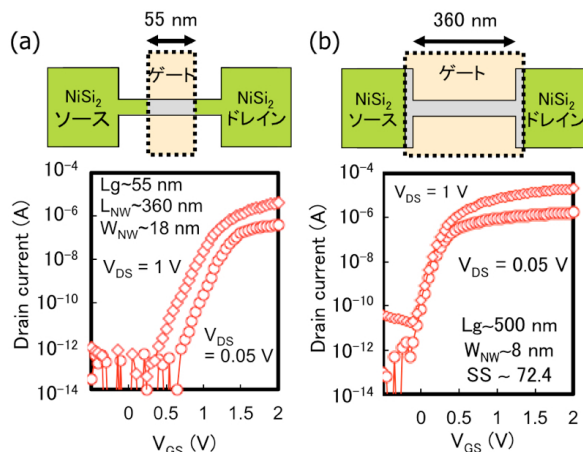


図2 ナノワイヤ FET のドレイン電流-ゲート電圧特性。(a)太さ 18 nm 、ゲート長 55 nm 。(b)太さ 8 nm 、実効ゲート長 360 nm 。

(2) 精密計測評価技術の研究開発

原子間力顕微鏡(AFM)で3次元形状を測定するために、探針傾斜機構ならびにレーザ干渉測長計を搭載したスキャナ、および垂直からアンダーカットの側壁に対応した探針走査技術を開発した。これにより、従来技術では不可能だった探針追従方向の任意可変が可能となり、 10 nm 級ナノワイヤの側壁形状を含む3次元AFM像の取得に成功した。さらに、複数のAFM像の3次元座標データを総合して、3次元プロファイルや形状パラメータを抽出する手法を開発した。また、周期的にナノワイヤ構造を配列した試料について、ウェーハ面内および面外方向のX線回折を測定することによりナノワイヤ構造の幅、線幅ラフネス、ラインエ

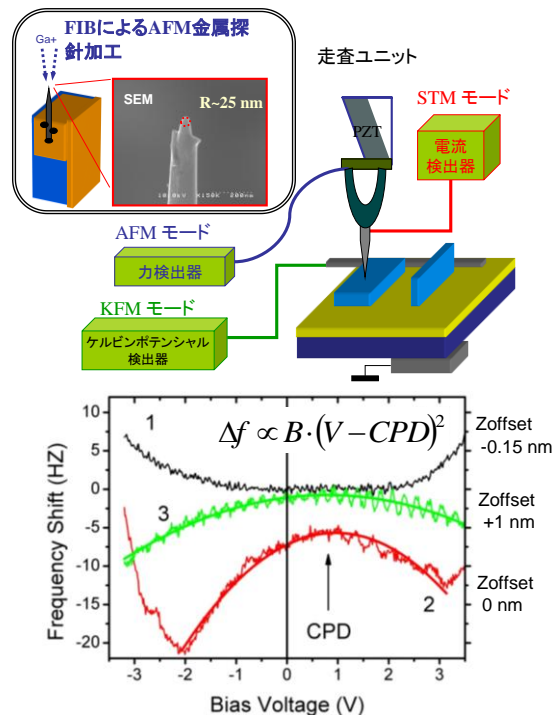


図3 (a) 多機能走査プローブ顕微鏡システムの概念図。(b) 探針共振振動数シフトとバイアス電圧の関係を用いた接触電位差(CPD)測定

ツジラフネス等の寸法や内部構造の計測が可能であることを実証した。

図3のような、AFM 機能と走査トンネル顕微鏡(STM)機能を備えた多機能走査プローブ顕微鏡システムを開発した。AFM モードで絶縁体上に形成されたナノワイヤの位置まで導電性探針を誘導し、STM 及びケルビン力顕微鏡(KFM)計測を行うことにより、10nm を切る空間分解能で Si ナノワイヤのポテンシャル分布を 0.1V の精度で測定すること、および光励起電流分布を測定することに成功した。

レーザアブレーション法で作製したシリコンナノワイヤに対してイオン注入を行い、アニールによる再結晶化と不純物ドーピング、および酸化過程に伴う不純物偏析に関して、電子スピン共鳴法、ラマン散乱測定、TEM 観察などによって評価を行った。酸化に際し P と B 不純物はバルク Si と同様に逆の偏析挙動(B は酸化膜側に、P は Si 側に偏析)を示し、特に B が著しい偏析を示すことを明らかにした。

(3) ナノワイヤトランジスタのシミュレーション技術の研究開発

NiSi₂/Si(111)界面への不純物偏析によるショットキー障壁変調の第一原理計算を行い、Si 側への B 偏析により p 型ショットキー障壁高さ(約 0.37 eV)が約 0.1 eV まで低減できることを見出した。また、NiSi₂ 電極に挟まれた Si スラブの I-V 特性を第一原理計算により調べ、B を Si スラブの界面近傍に置換ドーピングすると、60~90%電流が増加することが分かった。

モンテカルロデバイスシミュレータに、ソース・ドレインなどの高濃度領域で最も支配的なクーロン散乱過程を正確に導入することにより、ナノワイヤ構造での現実的なデバイス特性を正しくシミュレーションできる手法を開発した。その結果、トランジスタの電流特性が、高濃度領域での緩和過程から大きな影響を受けることを明らかにした。また、マルチゲート化することで、予想に反して、電子輸送はより拡散的になることを見出し、その傾向はチャンネル断面が縮小するにつれてより顕著になることを明らかにした。

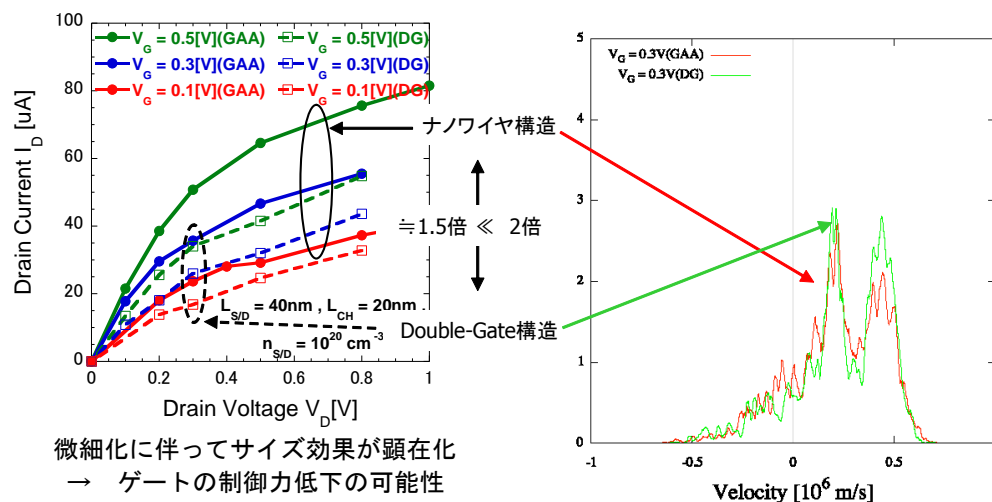


図 4 (左図)ナノワイヤ構造およびダブルゲート構造のもとでのドレイン電流のドレイン電圧依存性。(右図)チャンネル中央部での電子の速度分布関数。ナノワイヤ構造では分布関数が広がって、ダブルゲート構造に比べてより拡散的になっている。

【最終目標の達成度】

本研究開発項目では、CMOSトランジスタ微細化の究極構造であるナノワイヤトランジスタを対象として、産業界が集積回路システムの構成要素としての実現可能性を見極めるために必要な技術体系を構築するために、

これを構成する要素技術の提供を目的とした。この要求に応えるために、ナノワイヤトランジスタの単なる性能実証ではなく、ナノワイヤトランジスタの構造や特性を予測し、構造・材料・作製プロセスの設計を行うための基盤的知識体系を構築することに主眼を置いた。この目的のために、本研究開発項目では、ナノワイヤトランジスタを原子レベルの正確さで作製する技術と特性の評価技術、ナノワイヤトランジスタの構造やひずみ、ポテンシャル分布をナノレベルで計測する物理計測評価解析技術、ナノワイヤトランジスタの構造やトランジスタ特性を予測できるシミュレーション技術の研究開発を行い、それぞれの要素技術について、世界最高水準の成果を得た。これによって次のように、それぞれの目標を達成している。

①シリコンナノワイヤトランジスタの作製技術および特性解析に関する研究開発

開発した酸素エッチングを用いた細線化技術は、Si ナノワイヤ形成技術として新規な手法である。特に、形状やサイズの制御が可能であることが、従来技術にない極めて大きな優位点である。さらに、本手法で形成した Si 表面上には、直接、ALD により良好な特性の high-k ゲート絶縁膜を堆積可能で、sub-1 nm EOT high-k ゲートスタックをシリコンナノワイヤに形成する技術は世界最高水準にある。NiSi₂ 結晶膜の固相エピタキシャル成長法を用い、ナノワイヤに単結晶のメタルソース・ドレインを形成する技術は他に類がなく、世界最高水準に位置する。特に、NiSi₂を用いた接合位置制御技術は、メタルソース・ドレインをナノワイヤ FET に導入する際に必須の技術である。これらの手法により、10 nm 級の断面寸法をもつ Si ナノワイヤトランジスタの作製に成功し、均一な動作特性を得たことは、本技術のもつ高いポテンシャルを示す。

②ナノワイヤトランジスタの精密計測評価技術の研究開発

単一のナノワイヤを対象とするラマン散乱計測技術および STM 計測技術、三次元形状の AFM 計測技術など、それぞれの計測技術も、他に例を見ない独創的な技術で、いずれも次のように目標を達成した。多機能走査プローブ顕微鏡 (MSPM) システムにより、10nm を切る空間分解能で Si ナノワイヤのポテンシャル分布を 0.1V の精度で測定することに成功した。探針傾斜機構とピコメートル分解能のレーザ変位計を搭載した原子間力顕微鏡、および垂直～アンダーカットの側壁に対応した探針走査技術を開発し、10 nm 級ナノワイヤの側壁形状を含む高品質の 3 次元形状プロファイル計測を実証した。X線散乱・回折の測定・解析およびシミュレーションによって、ナノワイヤの寸法や内部構造等の評価が可能であることを実証した。レーザアブレーション法で作製したシリコンナノワイヤに対するイオン注入についても、様々な計測法による解析が有効であることを実証し、熱酸化に伴う不純物の偏析挙動を明らかにした。

③ナノワイヤトランジスタのシミュレーション技術の研究開発

構造と電気特性を解析するシミュレータを同時に開発し、総合的にナノワイヤトランジスタの解析に取り組んだことも、他にはない特長である。ボロン析出による NiSi₂/Si(111)界面でのショットキー障壁高さ低減について、第一原理計算により実験結果と良く整合する結果を提供し、低下機構も明らかにした。さらに、非平衡グリーン関数法で電気伝導特性を調べ界面への不純物ドーピングが伝導特性に与える影響を明らかにできた。ナノワイヤ構造を対象とするモンテカルロデバイスシミュレータにクーロン相互作用を高精度に導入したのは、世界で唯一であり、チャンネル内の電子とドレイン領域の電子との間にはクーロン相互作用によって強い相関が生じており、その傾向はチャンネル断面が縮小するにつれてより顕著になることを明らかにして、目的を達成した。実測データとシミュレーションとの定量的な比較検討が、プロジェクトの早期打ち切りもあって実施できなかったが、今後の

ナノデバイスの特性解析に、有力な手法になると期待される。

1. 2-①-(1)-2 成果の意義

上記の開発した作製プロセスや計測技術、シミュレーション手法などの要素技術は、そのままナノレベルの精度を要求されている現行のシリコン LSI プロセスに適用可能であり、産業技術として有用な成果である。また、本研究開発項目は、筑波大学や産総研および東芝が協力して材料・計測・計算科学の異分野融合的な研究開発を促進し、大学や独法研究機関に散在する最先端のナノサイエンスを、目的の明確なデバイス技術につなげる研究開発のモデルケースとなった。今後の研究開発で、上記の要素技術の成果を始めとする関連技術を体系的に統合することにより、長期的な半導体技術開発の基盤となると期待している。

1. 2-①-(1)-3 知的財産権等の取得

基礎研究主体で、新規アイデアとして 7 件の特許出願を行った。

表Ⅲ-1-1. 2-①-(1)-1

「シリコンナノワイヤトランジスタの知識統合研究開発」の成果と達成度(※)

※達成度

◎: 目標を大幅に上回り達成、○: 目標を達成、△: 目標をほぼ達成、×: 目標未達成

最終目標	研究開発成果	達成度
<p>(1)シリコンナノワイヤトランジスタの作製技術および特性解析に関する研究開発</p> <p>・表面を原子レベルで平滑化した直径 10 nm 級のシリコンナノワイヤの形成技術およびシリコン酸化膜等価換算膜厚(EOT) 1 nm 以下の高誘電率ゲート絶縁膜の堆積技術を開発し、これらと平成 21 年度に確立したメタルソース・ドレイン形成技術を用いてシリコンナノワイヤトランジスタを作製し、開発技術による電気特性改善を実証する。</p>	<p>・低 pH 弗酸処理および低温水素アニール、酸素による原子層エッチングにより原子オーダーで形状・寸法を制御可能なナノワイヤ形成技術を確立した。Si ナノワイヤ上への高誘電率 (high-k) 絶縁膜ゲートスタック形成技術を確立し、単結晶 NiSi₂メタルソース・ドレインとサブ 1nm-EOT high-k ゲートスタックを持つ直径 8nm の Si ナノワイヤ FET の動作に成功し、良好な特性を確認した。</p>	○
<p>(2)ナノワイヤトランジスタの精密計測評価技術の研究開発</p> <p>・直径 10 nm 級のシリコンナノワイヤデバイスについて、原子間力顕微鏡による三次元形状プロファイル計測を実証するとともに、X 線散乱・回折法を用いて形状および内部構造の解析を実証する。</p> <p>・AFM 機能と STM 機能を備えた走査プローブ顕微鏡により、絶縁膜上に形成したシリコンナノワイヤデバイスのポテンシャル分布計測を実証する。</p>	<p>・原子間力顕微鏡 (AFM) で 3 次元形状を測定するために、探針傾斜機構ならびにレーザ干渉測長計を搭載したスキャナ、および垂直からアンダーカットの側壁に対応した探針走査技術を開発し、10 nm 級ナノワイヤの側壁形状を含む 3 次元 AFM 像の取得に成功した。また、X 線回折測定によりナノワイヤ構造の幅、線幅ラフネス、ラインエッジラフネス等の寸法や内部構造の計測が可能であることを実証した。</p> <p>・単一の Si ナノワイヤのラマンスペクトルを測定し、応力を定量解析する技術を開発した。</p> <p>・走査トンネル顕微鏡 (STM) 及びケルビン力顕微鏡 (KFM) としての機能を備え、光照射が可能な、多機能走査プローブ顕微鏡システムを開発し、10 nm を切る空間分解能で Si ナノワイヤのポテンシャル分布を</p>	◎

	0.1 V の精度で測定することに成功した。	
<p>(3)ナノワイヤトランジスタのシミュレーション技術の研究開発</p> <p>・シリコンナノワイヤと酸化膜の界面構造、シリコンナノワイヤと遷移金属シリサイドの接合部において不純物とその電子状態に及ぼす影響、およびシリコンナノワイヤの電気伝導特性をシミュレーションする技術を開発し、解析を実現する。</p> <p>・ナノワイヤトランジスタにおける電子輸送機構解明を目指して、キャリア間のクーロン相互作用およびトランジスタ特性とワイヤ断面サイズとの相関を明らかにする。</p>	<p>・シリコンナノワイヤと酸化膜の界面構造、シリコンナノワイヤとNiシリサイドの接合部において不純物とその電子状態に及ぼす影響、およびシリコンナノワイヤの電気伝導特性をシミュレーションする技術を開発し、解析を実現した。</p> <p>・ソース・ドレインなどの高濃度領域で最も支配的なクーロン散乱過程を正確に導入することにより、ナノワイヤ構造での現実的なデバイス特性を正しくシミュレーションできる手法を開発した。その結果、トランジスタの電流特性が、高濃度領域での緩和過程から大きな影響を受けること、その傾向はチャネル断面が縮小するにつれてより顕著になることを明らかにした。</p>	○

表Ⅲ-1-1.2-①-(1)-2

特許、論文、外部発表等

区分 年度	特許出願			論文		その他外部発表 (プレス発表等)
	国内	外国	PCT 出願	査読付き	その他	
H19FY	2 件	0 件	0 件	0 件	0 件	19(1)件
H20FY	1 件	0 件	0 件	13 件	2 件	31(1)件
H21FY	1 件	0 件	0 件	7 件	1 件	27(2)件
H22FY	1 件	2 件	0 件	16 件	2 件	37(0)件

1. 2-①-(2) ナノワイヤFETの研究開発

1. 2-①-(2)-1 目標の達成度

(基本計画の目標)

(概要)

(1)「Siナノワイヤの電子構造の量子論的検討」

Siナノワイヤの詳細なバンド構造や金属/Siナノワイヤのショットキー界面を量子論的計算によって明らかにする。上記の結果を用いて、Siナノワイヤの物性を科学的見地から体系的に明らかにし、ロードマップ作成に繋げる。

本研究開発を遂行するに当たり次の研究項目の検討を行う。Siナノワイヤの詳細なバンド構造を量子論的計算によって明らかにし、Siナノワイヤの物性を科学的見地から体系的に明らかにし、ロードマップ作成に繋げる。Siナノワイヤの径や歪みをパラメータとして得られた電子構造からバルスティック電流を計算しSiナノワイヤの構造によるドレイン電流の変化を捉える。また、モデル金属と半導体ナノ界面の電子状態を明らかにするために第一原理計算による解析を行い、ナノ界面におけるショットキー障壁を見積もるとともに、その仕組みを理論的に明らかにする。

(2)「ナノワイヤFETのバリシテシテ制御」

ワイヤFET準バルスティック伝導において高い電流駆動力を実現する手段の検討を行う。その為にON電流を理論的に見積もるコンパクトモデルを構築する。OFF電流を支配する物理的モデルは明確になっていないため、難しい課題であるがこの検討も行う。

本研究開発を遂行するに当たり次の研究項目の検討を行う。ナノスケール界面における電子の輸送が従来考えられていたモデルと異なることを、ナノワイヤFETをはじめとするナノ構造中の電子のダイナミクスを測定し、そのモデル化を行う。また、Siナノ構造を対象とした電気特性等を詳細に解析することによって、バルスティック伝導に少数回の散乱を導入した場合のドレイン電流への影響を把握する。

(3)「SiナノワイヤFETの作製」

SiナノワイヤFETの試作を行い、理論と比較することにより、コンパクトモデルの精度を高める。また、試作デバイスの構造・パタン設計、試作プロセス設計、試作の実行、試作デバイスの評価を通して、ナノワイヤFETの技術的な課題を具体的に明確化する。

本研究開発を遂行するに当たり次の研究項目の検討を行う。Siナノワイヤの電気測定用のテストパターン(TEG)の設計を行い、実際にSiナノワイヤデバイスを作製・評価して、ナノワイヤゆえに生じる問題点を明らかにする。さらに並行してSiナノワイヤの物理分析を詳細に行い、理論とデバイス作製にフィードバックを行う。また、SiナノワイヤFETではソース・ドレインにおける直列の寄生抵抗が性能の劣化を引き起こすため、Siナノワイヤにおけるシリサイド反応を検討する。

(4)「Siナノワイヤデバイスのロードマップ作成」

上記(1)～(3)の結果に基づいてSiナノワイヤFETロードマップを作成する。本事業と同時に委託される関連事

業の結果や今後国内外で発表されるであろう他機関の研究結果も含めて総合的に検討を行い、その科学的及び技術的課題を明らかにする。さらにこれらの課題を解決するための具体的施策を示し、今後の日本の研究開発体制のあるべき姿を提案する

最終目標

- (1)-①Siナノワイヤの電子構造解析により、SiナノワイヤFET実用化に向けて解明すべき物理現象を明らかにする。
- (1)-②金属とワイヤ状物質との間の曲率のあるナノ界面におけるショットキー障壁を第一原理計算等によって解析し、その特徴を理論的に明らかにする
- (2)-①準バリスティックSiナノワイヤFETの電圧・電流特性をコンパクトモデルで定式化する。
- (2)-②コンパクトモデルによる解析と実験値との比較を通じて、バリシテシシティを高めるなど性能最適化のための指針を明確化するとともに、その理論・技術上の問題点を明らかにする。
- (3)SiナノワイヤFETの作製とその性能評価を通じて、理論予測との違いを明らかにし、その技術上の課題を明確にする
- (4)SiナノワイヤFETを実現するに当たり直面する技術的課題、科学的課題をタイムスケジュール上でリストアップし、解決するための方法の考察を行う。

【開発成果の要約】

(1)「Siナノワイヤの電子構造の量子論的検討」

1万原子以上の構造を短時間で計算することが可能なRSDFTコードの開発を行い、ワイヤ径10nmのSiナノワイヤの電子状態計算に成功した。1nmから10nmまでのSiナノワイヤの電子構造から、ワイヤ方位や歪みが有効質量やエネルギー分散に与える影響を調べた。その結果、引っ張り歪みに関しては、100方向と111方向では直径が2nmの場合には有効質量が減少するが、110方向では増加することがわかった。一方、ホールの有効質量に関しては110方向では歪みによって有効質量が増加し、111方向では減少することがわかった。また、試作プロセス上導入されるであろうワイヤ表面のラフネスを模擬し、電子構造に与える影響を理論的に調べた結果、0.8nmのラフネスまでであれば大きな影響を与えないことが明らかになった。

チャンネル内の揺らぎに関しては、矩形のナノワイヤFETの電子伝導の時間依存性に関する検討をモンテカルロシミュレーションで行った。その結果、10nm程度のナノワイヤでは電流は断面一様流れているが、20nm以上の場合で電流密度に電界による分布とポテンシャル揺らぎに起因する分布ゆらぎがある顕著になることがわかった。

一方、径の小さいナノワイヤと金属のショットキー障壁は大きくなる計算結果を得た。そのため、オーミックコンタクトを得るためには、ショットキー障壁中に多数のエネルギーレベルを導入した共鳴トンネル伝導を利用することが有効であることを理論的に提案した。

(2)「ナノワイヤFETのバリシテシシティ制御」

ランダウアの公式に基づいて、ナノワイヤFETのバリスティック伝導のコンパクトモデルの構築に成功した。その結果、バリスティック伝導の1.5nmのワイヤ径を有するナノワイヤFETでは一本当たり $37\mu\text{A}$ のオン電流が得られることがわかった。また、オン電流は温度に対して敏感でなく、低温ではサブバンドに起因するドレイン電

流のキックがみられることもわかった。電子構造に起因する量子キャパシタンスの効果はゲートオーバードライブが小さい場合には特に影響を与えないが、高い場合に支配的となりキャリア数の減少によってドレイン電流が減少することもわかった。

次に、ゲート長が小さくなった場合の準バリスティック伝導モデルを構築するため、チャンネル内を弾性散乱領域と光学フォノン領域に分け、ランダウアの公式の透過係数にパラメータを導入したモデルを構築した。その結果、ゲート長が0となる極限でもバリスティシティは1にはならず、ドレイン領域からの弾性散乱によって0.8程度の留まることがわかった。

上記の準バリスティック伝導モデルをソース部分、ドレイン部分の領域にまで拡張して、デバイス全体で準バリスティック伝導モデルの構築を行ったところ、特にドレイン領域の長さがバリスティシティ向上に影響を与えることがわかった。

計算した電子構造を準バリスティックのコンパクトモデルに導入した電流電圧特性を試作したFETと比較したところ、オン電流で良い一致を示した。低いバイアス時においてみられる相違はバイアスに依存する移動度のパラメータであると考えられる。その原因を探るため、曲率を有するワイヤ界面の界面準位をSiナノワイヤFETの低温IV特性、およびPNダイオードの周波数応答から測定した結果、どちらの場合もワイヤの角の部分に局在した界面準位が存在することがわかった。この界面準位の存在は顕微フォトルミネッセンス発光で確認した。そのため、低バイアス時における過剰な電流の見積もりは界面準位の効果であることが可能性が高いことがわかった。尚、この界面準位はOFF時のリーク電流を増大させる懸念となる。

(3)「SiナノワイヤFETの作製」

既存の微細加工設備を利用したSiナノワイヤFETの試作プロセスと試作上の課題について指摘し、改善するためのプロセスについて述べ、一本当たり $65\mu\text{A}$ というオン電流を示す極めて性能の高いナノワイヤFETの特性が得られることを実証した。この高い特性が得られる要因を調査した結果、移動度が高いことと電子濃度がナノワイヤ断面の角の部分で高いことの2つ要因を特定することができた。また、外部寄生抵抗の削減に必要なシリサイド技術の課題として過剰なシリサイド反応を示し、抑制を可能とするプロセスを提案することに成功した。更に、超微細ゲート長のナノワイヤFETのソース・ドレインではショットキー接合が有利であることから、ショットキー接合界面のエネルギー障壁変調を可能とするプロセス方法を提案した。

(4)「Siナノワイヤデバイスのロードマップ作成」

国内外で発表されているSiナノワイヤの正当な比較を行った結果、Siナノワイヤの潜在的な性能を発揮したデバイスはまだ発表されていないことがわかった。その原因として、ドレイン反跳が挙げられ、解決すべき問題であることを指摘した。また、本PJで行ったSiナノワイヤFET作製で得られた特性を基に将来のリソグラフィ技術を想定した場合の性能評価を行いSiナノワイヤFETの性能ロードマップの作成を行った。その結果、SiナノワイヤFETはバルクやダブルゲートの性能を遙かに凌駕するドレイン電流を得る事が可能であることが示す結果を得た。

【最終目標の達成度】

以上の内容を表Ⅲ-1-1.2-①-(2)-1にまとめる。このように、基本計画に定義された最終目標はすべ

て達成されている。

1. 2-①-(2)-2 成果の意義

(1)「Siナノワイヤの電子構造の量子論的検討」

本成果である最大の性能を示すSiナノワイヤの径と方向の存在は、Siナノワイヤのトランジスタとしての潜在的で本質的な性能が予測可能であることを示している。この理論的性能予測から次世代デバイスとしてのロードマップ上の位置づけが可能となる一方で、大規模計算科学の現実的なデバイスへの応用例を示すことができた意義は大きい。

一方、曲率をもった界面におけるショットキー障壁が平面の場合と異なることは、モデル金属を用いた計算結果であるが、初めて定量的に実証した内容である。SiナノワイヤFETにおいてメタルソース・ドレインのコンタクトを想定した場合、ショットキー障壁の増大が課題となることを示した意義は大きい。

(2)「ナノワイヤFETのバリシテシシティ制御」

バリスティック伝導の課題であるドレイン反跳を理論的にモデル化することで、ドレイン電流を最大にするために必要なデバイス設計を提案することができた意義は大きい。また、集積に有利なフロントゲート構造でもバリスティック伝導の実現が可能であることを理論的に示した功績はデバイス作製の容易さを示唆する内容でありその意義は大きい。一方、ナノ界面におけるトンネル電流の温度依存性は、関与する電子の局在性を示すものであり、新現象を捉えた内容である。Siナノワイヤのソースからチャネルに供給されるキャリアの機構がバルクの場合と異なることを示すことを強く示唆する内容であり、本発見の意義は大きい。また、電子構造から得られる理想的なトランジスタ特性を導出することを可能とするコンパクトモデルを構築したことは、普遍的な方法論であるとともに、逆にどのような電子構造を持つワイヤが実現できればいいかを定性的に示すことができる意義は大きい。一方で、理論計算より導出した電子構造を基にSiナノワイヤFETとして、最適なSiナノワイヤの径や歪み量、方向などのパラメータによるドレイン電流の変化量を定量的に比較した意義は、実デバイス作製に有用な情報であることからその意義は大きい。

(3)「SiナノワイヤFETの作製」

本成果の意義は半導体微細加工生産設備で試作が可能なプロセスを用いてSiナノワイヤFETの作製とその動作に成功したことにある。得られた性能は現在報告されているSiナノワイヤFETの特性を超える値であり、SiナノワイヤFETの次世代デバイスとしての可能性を強くサポートする内容である。得られた成果は本事業の最終目標であるロードマップ作成に必要なSiナノワイヤ作製に関する技術上の課題の抽出とSiナノワイヤFETの性能のベンチマークに必要不可欠である。

本成果はNiの拡散を完全に抑制したSiナノワイヤへのコンタクトプロセスであるため、ワイヤ径の異なるSiナノワイヤに対して有効なプロセスである。また、ショットキー障壁の変調が可能なプロセスであるため、ショットキー型トランジスタの課題であるトランジスタ特性の劣化を解決することができているため、技術的に意義があると考えている。

(4)「Siナノワイヤデバイスのロードマップ作成」

本成果の意義は、様々な方法でSiナノワイヤFETの性能が示されている中で、正当な比較を行い、性能向上

にまだ技術的課題があることを示したところにある。またロードマップ作成を行った結果、SiナノワイヤFETの性能がまだ科学的、技術的な課題はあるものの、バルクやダブルゲートと比較して潜在的に高いことを示すことに成功した。本成果は微細化終了後のデバイス候補としてのSiナノワイヤFETの優位性を示す内容である。

1. 2-①-(2)-3 知的財産権等の取得

SiナノワイヤFETの試作上の課題を解決するための方策を提案、実証し、3件の特許出願を行なった。

「ナノワイヤトランジスタ及びその製造方法」出願番号:特願 2010-79971

「ナノワイヤトランジスタ及びその製造方法」出願番号:特願 2010-79972

「半導体基板、ナノワイヤトランジスタ及びその製造方法」、出願番号:特願 2010-155135

表Ⅲ-1-1. 2-①-(2)-1

「ナノワイヤFETの研究開発」の成果と達成度(※)

※達成度

◎: 目標を大幅に上回り達成、○: 目標を達成、△: 目標をほぼ達成、×: 目標未達成

最終目標	研究開発成果	達成度
(1)-① Siナノワイヤの電子構造解析により、SiナノワイヤFET実用化に向けて解明すべき物理現象を明らかにする。	<ul style="list-style-type: none"> ・ R S D F Tコードを開発し、10nmのSiナノワイヤの電子状態計算に成功。ワイヤ径、方向、表面ラフネスが電子状態に与える影響を把握した。 ・ ワイヤ径が4nm以下の場合では、電子濃度の導出には、電子の分布に加えて有限の状態密度による量子容量を考慮する必要があることを示した。 ・ 矩形の断面形状を有するナノワイヤでは角の部分の移動度は劣化するが高電子濃度が高いため伝導度は高まることわかった。 	◎
(1)-② 金属とワイヤ状物質との間の曲率のあるナノ界面におけるショットキー障壁を第一原理計算等によって解析し、その特徴を理論的に明らかにする	<ul style="list-style-type: none"> ・ ワイヤ径が縮小に伴いショットキー障壁が高くなることわかった、オーミックコンタクトが得にくくなることを示した。 ・ ショットキー障壁中に多数エネルギーレベルを導入し、共鳴トンネルによる電子伝導を行い、オーミック特性を達成する方法を提案した。 	◎
(2)-① 準バリスティックSiナノワイヤFETの電圧・電流特性をコンパクトモデルで定式化する。	<ul style="list-style-type: none"> ・ 少数回の散乱を導入したコンパクトモデルの構築に成功した。 ・ その結果、ゲート長が0の極限でもバリスティシティは0.8に留まることわかった。 	◎
(2)-② コンパクトモデルによる解析と実験値との比較を通じて、バリスティシティを高めるなど性能最適化のための指針を明確化するとともに、その理論・技術上の問題点を明らかにする。	<ul style="list-style-type: none"> ・ オン電流の予測で高い一致を示すが、低バイアス時で電流を過剰に見積もる結果を得た。 ・ 評価の結果、ワイヤの曲率の部分の界面準位密度が高く、低バイアス時の移動度劣化を示唆する結果を得た。 ・ バリスティシティ向上のためには弾性散乱の原因となる界面準位の低減が課題。 	◎
(3) SiナノワイヤFETの作製とその性能評価を通じて、理論予測との違いを明らかにし、その技術上の課題を明確にする	<ul style="list-style-type: none"> ・ 熱酸化による電極の薄膜化、ゲートパターンニングの断線の課題等、試作上の課題を示し、解決法を示した。 ・ 高い電子濃度と高い移動度が同時に得られる断面形状を示した。 ・ Siナノワイヤチャネルと反応を抑制し、ショットキー障壁の変調が可能なシリサイド電極を提 	◎

	示した。	
(4) SiナノワイヤFETを実現するに当たり直面する技術的課題、科学的課題をタイムスケジュール上でリストアップし、解決するための方法の考察を行う。	<ul style="list-style-type: none"> ゲート長8～5nmのSiナノワイヤFETに対して、解決すべき課題を8つの項目に分け、科学的、技術的課題をリストアップした。 試作したSiナノワイヤFETに基づき、将来得られる性能の予測を行い、FinFETを凌駕する性能が期待できることを示した。 	◎

表Ⅲ-1-1.2-①-(2)-2

特許、論文、外部発表等

区分 年度	特許出願			論文		その他外部発表 (学会、プレス等)
	国内	外国	PCT出願	査読付き	その他	
H19FY	0件	0件	0件	0件	1件	3件
H20FY	0件	1件	1件	5件	3件	15件
H21FY	2件	0件	0件	6件	—件	2件
H22FY	1件	0件	0件	11件	—件	7件
H24FY	0件	0件	0件	13件	—件	0件

1. 2-①-(3) シリコンナノワイヤトランジスタの物性探究と集積化の研究開発

1. 2-①-(3)-1 目標の達成度

(基本計画の目標)

(概要)

東京大学では、極細シリコンナノワイヤトランジスタの電気伝導探究とその集積化に関する研究開発を行う。具体的には、チャンネル長が長いがワイヤ径が非常に細いナノワイヤトランジスタを担当し、その電気伝導特性の解明と集積化の研究を行う。中間目標と最終目標は下記のとおりである。

株式会社 東芝では、短チャンネルシリコンナノワイヤトランジスタの電気伝導探究と集積化に関する研究開発を行う。具体的には、主にナノワイヤ径はそれほど細くないがゲート長の短いシリコンナノワイヤトランジスタを担当し、短チャンネルシリコンナノワイヤトランジスタの試作と物性探究、短チャンネル・少数キャリア散乱下における伝導特性の解析と高性能化の検討、最適回路形式と集積化の検討を行う。

最終目標：

- (1)通常プレーナバルクMOSFETより高い移動度を示すシリコンナノワイヤトランジスタのパラメータを明らかにする。
- (2)チャンネル長 25nm 以下、チャンネル径 10nm 以下のシリコンナノワイヤトランジスタを作製する。素子特性として、最大電流値 $20 \mu\text{A}$ 以下、動作電圧 5V 程度を実現する。

【開発成果の要約】

(東京大学) ワイヤ幅が 10nm 以下のシリコンナノワイヤトランジスタを作製するプロセスを開発し、その電気伝導特性を評価した。最小ナノワイヤ幅は 4nm である。ナノワイヤトランジスタの移動度を正確に評価するため、複数のマルチプルナノワイヤチャンネルをもつトランジスタを作製し、寄生抵抗および寄生容量の影響を除去するため、ナノワイヤ長の異なるトランジスタを用いて移動度を評価する手法を立ち上げた。評価の結果、(100)基板上では、ナノワイヤ幅が 9nm のときに正孔移動度は最大となり、その移動度は正孔のユニバーサル移動度の 2.3 倍に達することを世界で初めて実験により示した。一方、電子移動度は、ナノワイヤ幅が細くなるにしがたい減少するが、9nm のナノワイヤ幅では移動度の劣化は最低限に抑えられることがわかった。また、ナノワイヤ 9nm のときには、ひずみ印加による移動度向上も得られることを明らかにした。以上の結果から、(100)基板上のナノワイヤ幅 9nm 程度のナノワイヤトランジスタでは、通常バルクトランジスタより高い性能を得ることができることを明らかにした。

(東芝) 従来の平面型トランジスタの微細化限界を打破する新構造トランジスタとして期待されているシリコンナノワイヤトランジスタについて、実用化に向けた基礎データの取得を目的とし、試作・測定評価・特性解析・回路計算などの幅広い観点から研究を行った。

300mm ラインを活用して、トライゲートナノワイヤトランジスタの試作を行った。最終的にナノワイヤサイズとして 10nm 径、ゲート長として 15nm 以下のデバイスを動作させることに成功した。ナノワイヤトランジスタのオン電流は、ソース/ドレイン領域での巨大な寄生抵抗とナノワイヤチャンネルでの移動

度劣化に強く制限される。本研究では、薄ゲート側壁越しにソース/ドレインへの選択シリコンエピ成長を行うことで寄生抵抗を大幅に低減した。また、Stress Memorization Technique (SMT)によりナノワイヤトランジスタに大きなチャンネル歪みを導入することで、移動度及びキャリア速度の大幅な向上を実現した。この結果、10nm 径ナノワイヤトランジスタにおいても、オフ電流を抑えつつ、高いオン電流を達成した。さらに、10nm 径ナノワイヤトランジスタを薄 BOX 構造と組み合わせることによる V_{th} 制御の実証も行った。

実用化に向けた高精度な特性評価として、作製したナノワイヤトランジスタの特性ばらつき・信頼性 (NBTI)・自己発熱効果の系統的な評価を行った。ナノワイヤトランジスタの特性ばらつきはソース/ドレインの寄生抵抗によって、NBTI はナノワイヤチャンネル角部での電界集中によって劣化することが明らかになった。

作製したナノワイヤトランジスタの実測データから SPICE モデルパラメータを抽出し、ナノワイヤトランジスタを用いた回路の高精度な性能計算を行った。ナノワイヤトランジスタでは従来の平面型トランジスタに比べて S 値が改善するため、低い電源電圧における性能 (電力遅延積) を大幅に向上することができる。

ナノワイヤトランジスタは、将来世代の超高性能・低消費電力 LSI を実現する上で不可欠なデバイスであると結論できる。

【最終目標の達成度】

(東京大学) 通常のプレーナバルク MOSFET より高い移動度を示すシリコンナノワイヤトランジスタのナノワイヤ幅を明らかにしたので、目標は達成された。

(東芝) チャンネル長 25nm 以下、チャンネル径 10nm 以下のシリコンナノワイヤトランジスタを作製することに成功したので、目標は達成された。

1. 2-①-(3)-2 成果の意義

シリコンナノワイヤトランジスタは将来の有力な集積回路トランジスタ構造の候補であり、通常のプレーナバルク MOSFET より高い性能を示すことで、さらなるトランジスタの微細化の可能性を拓いたという点で、本成果の意義は大きい。また、300mm ラインでの試作、ばらつきや信頼性等の高精度特性評価も実施し、ナノワイヤトランジスタの実用デバイスとしてのフィージビリティを確認することができた。

1. 2-①-(3)-3 知的財産権等の取得

(東京大学) 出願なし。

(東芝) 出願 12 件 (国内・国際合わせて)

基礎研究主体で、新規アイデアとして合計 12 件の特許出願を行った。

表 III-1-1. 2-①-(3)-1

「シリコンナノワイヤトランジスタの物性探究と集積化の研究開発」の成果と達成度 (※)

※達成度

◎：目標を大幅に上回り達成、○：目標を達成、△：目標をほぼ達成、×：目標未達成

最終目標	研究開発成果	達成度
(1)通常のプレーナバルクMOSFETより高い移動度を示すシリコンナノワイヤトランジスタのパラメータを明らかにする。	(1)異なるチャネル幅を有するナノワイヤトランジスタを作製し電気特性を評価した結果、ワイヤ幅が5nmから15nmの範囲で正孔移動度が通常のプレーナバルクMOSFETに相当するユニバーサル移動度より高くなることを示し、最大正孔移動度はワイヤ幅9nmのときに得られることを明らかにした。	○
(2)チャネル長25nm以下、チャネル径10nm以下のシリコンナノワイヤトランジスタを作製する。	(2)チャネル長14nm、チャネル径10nmのナノワイヤトランジスタを作製し、そのトランジスタ動作を実現した。	◎

表Ⅲ-1-1.2-①-(3)-2

特許、論文、外部発表等

区分 年度	特許出願			論文		その他外部発表 (学会、プレス等)
	国内	外国	PCT出願	査読付き	その他	
H19FY	1件	0件	0件	0件	0件	1件
H20FY	1件	1件	0件	2件	1件	22件
H21FY	1件	0件	0件	1件	2件	27件
H22FY	3件	0件	0件	6件	1件	24件
H23FY	1件	4件	0件	4件	2件	21件

1. 2-②次世代メモリ技術

1. 2-②-(1) 「新構造 FinFET による SRAM 技術の研究開発」

1. 2-②-(1)-1 目標の達成度

(基本計画の目標)

(i)立体構造FinFET技術の研究開発

リソグラフィ寸法以下の立体構造を安定的に形成し、ばらつきの少ない所望の電気特性を実現するナノレベルの構造制御技術を開発して、立体構造トランジスタの性能向上を図り、低リーク電流かつ高駆動力の FinFET と閾値電圧調整可能な 4 端子 FinFET の作製技術、及び、それらの集積回路技術を構築する。

(ii)4 端子 FinFET を用いた低消費電力・高ノイズ耐性 SRAM 回路技術の研究開発

SRAM セルを FinFET 及び 4 端子 FinFET で構成し、低消費電力と高ノイズ耐性、省 SRAM セル面積、従来の SRAM 設計資産との整合性を持った SRAM 新回路構成を提供する。さらに、前項で開発した FinFET 特性に即した回路設計、レイアウトの最適化等を行い、SRAM セルアレイレベルでの動作を実証する。

最終目標

(i)立体構造 FinFET 技術の研究開発

- ・Flex-Pass-Gate-SRAM への上記 FinFET 導入を行う。

(ii)4端子 FinFET を用いた低消費電力・高ノイズ耐性 SRAM 回路技術の研究開発

- ・(i)で確立した微細4端子 FinFET を用いた SRAM アレイを試作し、特性評価・解析により IP を確立する。
- ・従来トランジスタと比較して、セル面積増加なしに、動作余裕を 1.5 倍に、待機時消費電力を 1/20 にできることを示す。

(開発成果の要約)

(i)立体構造 FinFET 技術の研究開発

FinFET しきい値制御を可能とするメタルゲートプロセス、具体的には、LSTP 用 TiN メタルゲート、及び LOP 用 Ta/Mo デュアルメタルゲートプロセスを構築した。実効ゲート長 20nm 級、Fin 厚 10nm 級 FinFET 作製プロセスを構築、実際に試作を行い、正常動作を確認した。また、高誘電率絶縁膜成膜プロセスを開発し、高誘電率絶縁膜を有する FinFET で構成される SRAM 試作に成功した。極薄サイドウォールスペーサ及び NiSi シリサイドソース/ドレインを有する微細 FinFET を試作し、寄生抵抗低減によりオン電流が大幅に増加することを確認した。メタルゲート FinFET の特性バラツキを包括的に調査し、メタルゲート FinFET では、メタルゲート材料の仕事関数揺らぎが、しきい値電圧(V_{th})バラツキの主たる要因であることを明らかにした。さらに、オン電流バラツキに関しても包括的に調査を行い、14nm 世代メタルゲート FinFET では、電流増幅率バラツキが主要因になり得ることを予測した。また、 V_{th} およびオン電流バラツキいずれもチャンネル側壁の平坦化が、バラツキ低減に大きく寄与することを実験的に明らかにした。

(ii)4 端子 FinFET を用いた低消費電力・高ノイズ耐性 SRAM 回路技術の研究開発

新型 FinFET(V_{th} 可変 4 端子 FinFET)の特徴を生かし、大幅な動作余裕向上が可能な Flex-Pass-Gate(PG)-SRAM 回路を新規提案した。大規模 SRAM セル群を試作・評価を行い、通常 FinFET-SRAM に比べ、新方式 Flex-PG-SRAM では読み出し動作余裕統計バラツキ標準偏差はほぼ不変で、平均値が 1.5 倍以上向上することを実証した。また、0.5V 電源電圧動作時においても、新方式 SRAM では十分な動作余裕が確保できることも確認した。さらに、Flex-PG-SRAM の新規な応用として、読み出しデータを動作中に監視、読み出しが遅いセルに対し PG の V_{th} を段階的に下げることで、高速な動作を可能とする新手法(ダイナミック PG 制御)を考案した。実効ゲート長 20nm 級 FinFET により構成される Flex-PG-SRAM セルの試作に成功し、正常動作を確認した。また、SRAM を構成する個別極微 FinFET 特性バラツキと SRAM 動作余裕の関連の解明に成功した。SoC 他回路との信号入出力系に関しては汎用性を維持しつつ、かつ、特殊な回路を利用せずにパスゲートの V_{th} 制御可能な Flex-PG-SRAM 回路 IP を確立した。周辺回路(及びパスゲート V_{th} 制御回路)を含む Flex-PG-SRAM セルアレイを設計し、シミュレーションにより正常動作を確認した。さらに、シミュレーションにより、20nm 世代において、バルクトランジスタを用いた場合の SRAM と比較して、セル面積増加無、動作余裕 1.5 倍、待機時消費電力が 1/30 となること確認した。

(最終目標の達成度)

以上の内容を表Ⅲ-1-1.2-②-(1)-1にまとめる。

1.2-②-(1)-2 成果の意義

本プロジェクトの目標は、次世代 FinFET 作製基盤技術の構築と、新提案 4 端子 FinFET の開発ならびに SRAM への適用、およびその有効性実証である。

これまでに本プロジェクトでは、微細 FinFET の最も重要な課題である特性バラツキに関して極めて有用な成果を挙げている。まず、20nm 世代 FinFET のしきい値電圧バラツキの主要因が金属ゲート材仕事関数バラツキであることを世界に先駆け提唱、さらに、世界最高レベルまでしきい値バラツキが抑えられた 20nm FinFET 作製に成功した(08IEDM および 09VLSI、10VLSI にて発表)。次に、オン電流バラツキについても詳細な解析を行い、14nm 世代 FinFET では、相互コンダクタンスバラツキが主要因となり、大きなオン電流バラツキをもたらすこと、また、この低減には、Fin チャンネル側壁の平坦化が効果的であることを提言している(11IEDM にて発表)。これらはいずれも 22nm 世代よりも微細な次世代 FinFET 実用において極めて有用な情報発信となっている。

また、本プロジェクトでは、世界初となる 20nm 級 4 端子 FinFET と 3 端子 FinFET が混載された Flex-Pass-Gate-SRAM の回路作製に成功している。さらに、世界で初めて、SRAM を構成する素子群のバラツキと SRAM 特性バラツキの関連の解析に成功している(11IEDM にて発表)。これらの成果は、新提案 4 端子 FinFET の SRAM 適用の有用性の実証であり、また、FinFET のみならず、微細 SRAM における特性バラツキといった重要な課題の解決策を提言している観点において意義深い。

さらに、世界に先駆け FinFET(3 端子および 4 端子)コンパクトモデル開発に成功しており、商用 SPICE への実装ならびに大規模回路性能予測が可能となっている。本プロジェクトでは、構築した回路設計環境をもとに、新提案 Flex-Pass-Gate-SRAM 回路 IP を、周辺回路も含め確立に成功している。また、バルクトランジスタを用いた SRAM と比較し、セル面積増加無しで、動作余裕 1.5 倍、待機時消費電力 1/30 に抑制可能であることを確認している。これらの成果は、新提案 4 端子 FinFET の SRAM 回路応用適用における高い有用性を実証しており、同時に、4 端子 FinFET 実用において必要不可欠な回路設計基盤を充実化するものである。

1. 2-②-(1)-3 知的財産権等の取得

国内出願 5件

PCT出願 7件

1. 2-②-(1)-4 成果の普及

以上に述べた特許、論文、外部発表等の件数を表Ⅲ-1-1. 2-②-(1)-2にまとめて示す。

表Ⅲ-1-1. 2-②-(1)-1

「新構造FinFETによるSRAM技術の研究開発」の成果と達成度(※)

※達成度

◎：目標を大幅に上回り達成、○：目標を達成、△：目標をほぼ達成、×：目標未達成

最終目標	研究開発成果	達成度
<u>(1)立体構造FinFET技術</u> ・Lg=20nm、Tfin=10nm FinFET作製基盤技術構築と Flex-Pass-Gate-SRAMへの導 入	・20nm級FinFET作製基盤技術を構築 ・世界最小レベルまで特性バラツキが抑えら れた20nm級FinFETを実現 ・14nm世代オン電流バラツキ要因を世界に先 駆け解明	◎
<u>(2)SRAM回路技術</u> ・(1)で確立した微細4端子 FinFETを用いたSRAMアレイを 試作およびIP確立	・20nm級4端子型FinFETを用いた Flex-Pass-Gate-SRAM回路を実現 ・素子バラツキとSRAM特性バラツキ相関の詳 細な解析に成功	○
<u>(3)SRAM回路技術</u> ・従来トランジスタと比較して、 セル面積増加なしに、動作余 裕を1.5倍に、待機時消費電力 を1/20の実証	・周辺回路も含め、Flex-Pass-Gate-SRAM回 路IPを確立、バルクトランジスタ比でセル面積 増加無、動作余裕1.5倍、待機時消費電力 1/30を確認	○

表Ⅲ-1-1. 2-②-(1)-2

「新構造 FinFET による SRAM 技術の研究開発」の特許、論文、外部発表等

区分 年度	特許出願			論文		その他外部発表 (プレス発表等)
	国内	外国	PCT出願	査読付き	その他	
H19FY	1件	0件	1件	2件	0件	1件
H20FY	2件	0件	1件	8件	0件	1件
H21FY	2件	2件	2件	5件	0件	0件
H22FY	0件	1件	0件	7件	0件	1件
H23FY	0件	0件	0件	4件	0件	1件

1. 2-②-(2)「次世代相変化メモリ技術の研究開発」

1. 2-②-(2)-1 目標の達成度

(基本計画の目標)

(概要)

磁気抵抗メモリ、強誘電体メモリ等とともに、シリコンを基盤とする従来半導体メモリに挑む不揮発型新メモリとして、相変化メモリが注目されている。相変化メモリは、セル構造が簡単なため高密度化に適しているが、相変化記録薄膜中に「結晶」-「アモルファス」間の一次相変化を繰り返し発生させることから、膜の融点(650°C)以上に加熱する必要があり、消費電力と繰り返し記録耐性において更なる改良・改善が必要である。

本事業では、新規の記録方式を提案するとともに、書き込み・読み出し回数的大幅な向上と作動電力を最小限にする技術を開発することで、省資源・省エネルギー型の不揮発性相変化固体メモリを開発する。熔融状態のランダムな配列を高抵抗層とする従来型の相変化メモリではなく、新しい記録再生原理に基づいたカルコゲン化合物の超格子構造をボトムアップで作製し、書き込み・読み出し回数大幅な向上と動作電力の大幅な抑制を実現できるナノレベル構造制御を施した新型相変化メモリを開発する。また、密度汎関数法によるシミュレーションと実験とを同時並行的に実施することで相変化メモリの作製方法を見直し、ナノレベルで動作機能を制御する新技術を完成させる。そのために具体的には、下記4項目について研究開発を行なう。

- (1) 高速スイッチング現象に最適なナノレベル構造制御カルコゲナイド薄膜の結晶構造の検討
- (2) 抵抗加熱方式での熱的構造変化を最適に行うためのシミュレーション技術の開発
- (3) 再現性や信頼性など集積化に向けて必要となる特性の体系的理解のための動作温度領域における薄膜物性データベースの構築
- (4) 一定規模以上の集積化可能性を示すためのナノレベル微細加工を施したデバイス試作

最終目標

※本テーマは平成23年度より「超低電圧デバイスプロジェクト」に移行したため22年度の目標をもって最終目標とする

- (1) 高速スイッチング現象に最適なナノレベル構造制御カルコゲナイド薄膜の結晶構造の検討
超格子構造で高速動作可能な新規相変化材料について、平成19年度プロジェクト開始時におけるゲルマーアンチモンテール三元合金を用いた標準的かつ同等サイズをもつ相変化メモリに比較して、電力消費が1/5以下になるような超格子構造の調整を行う。
- (2) 抵抗加熱方式での熱的構造変化を最適に行うためのシミュレーション技術の開発
相変化メモリセル内での電場応答と熱応答の時間差を抑え、効率的に動作する最適蓄熱構造を一つ提案する。
- (3) 再現性や信頼性など集積化に向けて必要となる特性の体系的理解のための動作温度領域における薄膜物性データベースの構築
 - (1)で検討を進める新規相変化材料の特性異方性データの取得を中心にデータの蓄積を行う。
- (4) 一定規模以上の集積化可能性を示すためのナノレベル微細加工を施したデバイス試作
 - (1)~(3)の結果を踏まえてメモリデバイスを作製し、同等のサイズで作製された従来型の相変化メモリの性能と比較して電力消費1/5以下を実証する

【開発成果の要約】

ゲルマニウム (Ge) - アンチモン (Sb) - テルル (Te) 三元合金を、 $[(\text{GeTe})_x/(\text{Sb}_2\text{Te}_3)_y]_z$ (x, y, z は整数) で、かつ、成膜状態から高配向性をもった結晶性超格子膜を最先端の第一原理計算から得られた結果をフィードバックしながら作製することに成功した。特に、 $x=2, y=4, z=7\sim 8$ からなる超格子相変化膜 $[(\text{GeTe})_2/(\text{Sb}_2\text{Te}_3)_4]_{7\sim 8}$ を用いた相変化メモリデバイスは、同組成・膜厚の合金型相変化デバイスに比較して消費電力が格段に小さく、かつ繰り返し記録消去回数も格段に優れていることを実験によって実証した。また、セル構造の電磁・熱解析統合シミュレーションによって、超格子型相変化メモリにおいては、従来必須とされた加熱用ヒーター部が不要で、直接電極から相転移に必要なエネルギーを入力するだけで相変化可能であることを発見した。これにより、ヒーター部に消費されていた余分なエネルギーが不要となり、また、結晶-アモルファス間の相転移にともなう 95% にも達するエントロピーロスを低減できることがわかった。この成果はセルの作製構造を容易にし、相変化メモリの生産技術とコスト低減において極めて大きな効果をもたらす。さらに実験を通じて、超格子構造の電気物性、熱特性、成膜温度等のデータが蓄積されており、将来の量産に必要なデータが得られている。最後に、実際に超格子相変化膜 $[(\text{GeTe})_2/(\text{Sb}_2\text{Te}_3)_4]_{7\sim 8}$ を用いた相変化メモリデバイスを作製・評価し、目標値を遥かに上回る性能を実証した。

【最終目標の達成度】

総合的な最終目標(4)として、ナノレベル構造制御カルコゲナイド薄膜の結晶構造を用いて消費電力 1/5 以下の実証を掲げているが、同じ下地デバイスを用いて、同組成の合金からなる相変化メモリデバイスと、 $[(\text{GeTe})_2/(\text{Sb}_2\text{Te}_3)_4]_{7\sim 8}$ を用いた本研究の超格子相変化膜を採用したデバイスの特性を表にまとめる。

デバイス: 75nm 径	$\text{Ge}_1\text{Sb}_4\text{Te}_7$ 合金 (45nm 膜厚)	$[(\text{GeTe})_2/(\text{Sb}_2\text{Te}_3)_4]_7$ 超格子 (45nm 膜厚)
電圧 (V)	6.5	3.0
電流 (mA)	1.5	0.1
電力= (mAV)	9.75	0.3 (合金デバイス比: 1/32)

デバイスでの実験実証のように、合金デバイスとの電力費で 1/32 を達成し、最終目標の 1/5 を遥かに上回る成果を上げることができた。

1. 2-②- (2) - 2 成果の意義

本研究成果は、現在、サムソン電子、マイクロンが 1Gbit 級の相変化メモリの量産化・商品化を果たしているが、従来型の相変化メモリを用いる場合の消費電力低減のためのトレンドは、相変化膜が接するヒーター面積を小さくし、それによって相変化領域の体積を現象させることで達成されてきた。サムソン電子の最先端相変化メモリではヒーター面積が $7.5\text{nm} \times 22\text{nm} = 165\text{nm}^2$ で、最大電流が 0.1mA である。一方、本研究の超格子相変化メモリでは、ヒーター径が 75nm であることから、接触面積は 4400nm^2 である。したがって、26.7 倍も大きな面積でも、0.1mA の電流で動作が可能である。超格子型相変化技術は当然、サムソン電子の最先端デバイスにも応用できる。つまり、この技術を応用すれば、0.004mA (4uA)

で動作する相変化メモリデバイスが提供できる。

1. 2-②- (2) - 3 知的財産権等の取得

超格子膜の構成、超格子膜の製法を中心に 16 件の国内・国外出願を行い、すでに 7 件の特許が内外で成立している。

表Ⅲ-1-1. 2-②-(2)-1

「次世代相変化メモリ技術の研究開発」の成果と達成度(※)

※達成度

◎：目標を大幅に上回り達成、○：目標を達成、△：目標をほぼ達成、×：目標未達成

最終目標	研究開発成果	達成度
<p>(1) ナノレベル構造制御カルコゲナイド薄膜の結晶構造の検討</p> <p>超格子構造で高速動作可能な新規相変化材料について、平成 19 年度プロジェクト開始時におけるゲルマーアンチモンテール三元合金を用いた標準的かつ同等サイズをもつ相変化メモリと比較して、電力消費が 1/5 以下になるような超格子構造の調整を行う。</p>	<p>$[(\text{GeTe})_x/(\text{Sb}_2\text{Te}_3)_y]_z$ (x, y, z は整数) の超格子構造を用いることで、同組成・同サイズの従来型相変化メモリと比較して消費電力で 1/32 を達成</p>	◎
<p>(2) 熱シミュレーション技術の開発</p> <p>相変化メモリセル内での電場応答と熱応答の時間差を抑え、効率的に動作する最適蓄熱構造を一つ提案する。</p>	<p>エントロピー効果を考慮に入れることで、熱エネルギーロスを大幅に抑える構造を提案。</p>	○
<p>(3) 動作温度領域における薄膜物性データベースの構築</p> <p>(1) で検討を進める新規相変化材料の特性異方性データの取得を中心にデータの蓄積を行う。</p>	<p>実験を通してデータ蓄積を行い、後継プロジェクトへ提供した。</p>	○
<p>(4) ナノレベルのデバイス試作①</p> <p>(1)~(3)の結果を踏まえてメモリデバイスを作製し、同等のサイズで作製された従来型の相変化メモリの性能と比較して電力消費 1/5 以下を実証する</p>	<p>75nm 径相変化デバイスを作製した。</p> <p>$[(\text{GeTe})_x/(\text{Sb}_2\text{Te}_3)_y]_z$ (x, y, z は整数) の超格子構造を用いることで、同組成・同サイズの従来型相変化メモリと比較して消費電力で 1/32 を達成</p>	◎

表Ⅲ-1-1. 2-②-(2)-2

特許、論文、外部発表等

区分 年度	特許出願			論文		その他外部発表 (学会、プレス等)
	国内	外国	PCT 出願	査読付き	その他	
H19FY	0 件	0 件	0 件	0 件	0 件	1 件
H20FY	4 件	2 件	0 件	1 件	1 件	3 件
H21FY	2 件	5 件	0 件	1 件	0 件	0 件

H22FY	1 件	0 件	2 件	1 件	0 件	1 件
-------	-----	-----	-----	-----	-----	-----

1. 2-②-(3) ナノギャップ不揮発性メモリ技術の研究開発

1. 2-②-(3)-1 目標の達成度

(基本計画の目標)

(概要)

モバイル機器や情報家電などデジタル情報機器の急速な拡大に伴い、われわれが取り扱うべき情報量は飛躍的に増大しつつある。こうした状況の下、情報をいつでもどこでもすばやく記憶、読みだせるユニバーサルメモリの開発は必須となっており、磁気抵抗メモリや強誘電体メモリなど、さまざまな次世代不揮発性メモリの開発が精力的に進められている。なかでも抵抗スイッチメモリは、とりわけ微細化に有利なメモリとして注目されている。近年、この抵抗スイッチメモリに利用できる現象として、ナノスケールの微小間隙を有するナノギャップ電極構造において、入力電圧波形に依存して電極間の抵抗値が5桁も変化するナノギャップスイッチ(以下NGSと略する)現象が見出され、これを不揮発性メモリに応用する研究が進められている。NGSメモリは、その構造が著しく単純であり、従来の半導体デバイスにおける、不純物揺らぎ等に起因する微細化限界の壁を打ち破ることが可能な、日本発の超稠密不揮発性メモリとなることが期待される。しかしながら、NGS現象のメモリへの応用研究はその端緒にすぎたばかりであり、実用化に向けての研究開発を行う必要がある。

このため、超稠密不揮発性メモリの実現を目指して、金属ナノギャップ構造を利用した、集積化可能なNGS不揮発性メモリを開発することを目的とする研究開発を行なう。

最終目標:

(1) 平面先鋭型金属ナノギャップ素子およびその基本特性評価技術の開発

ナノギャップ領域が極限的に微細化してもNGSメモリ動作することを検証するために、

- ・ギャップ長5nm、ギャップ幅10nmの電極を有する平面型NGS素子を開発する。
- ・AFM散逸計測などのナノプローブ物性計測法を用いてナノギャップ部の物性変化を測定することにより、長時間動作後のナノギャップ部の電気特性変化や組成変化を評価する。

(2) 金属ナノギャップメモリ・デバイスの研究開発

- ・縦型NGS素子の微細化を進めるとともに、4kbitのデバイスを試作・評価し、下記の性能を実証する。
- ・高速性: 100ns以下の書き換えスピード
- ・稠密性: 上下電極交点の Via-hole 径 ϕ で40nm
- ・書き換え耐性: 106回以上

また、このデバイスを用いてNGS素子の特性バラツキを評価する。

(3) 高性能メモリ金属ナノギャップ素子の研究開発

素子特性として、最大電流値20 μ A以下、動作電圧5V 程度を実現する。

【開発成果の要約】

NGS 動作機構解明のため、高分解能 AFM によるギャップ構造観察を可能とする、間隙 5 nm 以下の平面先鋭型の単接合金属 NGS 素子を開発し、初期動作時の構造変化を捉えることに成功した。一方、不揮発性メモリとしての NGS 基本性能確認のため、保持時間、NGS 発現場所などのデータを取得し、他方式メモリに対する優位性を明らかにした。さらに 4 kbit からなる縦型 NGS 素子の試作および評価を行い、最終目標の性能である1) 書き換

え高速性 100 ns 以下、2) 稠密性(上下電極交点の直径 ϕ : 40 nm)、3) 書き換え耐性 10^5 回以上(継続評価中)を実施してきた。また、動作電圧・電流の低減化については、素子構造の微細化もしくは素子を酸素などの活性ガスで充填することで、目標である 5 V 以下・ $20 \mu A$ 以下での動作を達成した。また、素子作製後の初期ギャップ幅を小さくすることで、フォーミング電圧を軽減できることを新たに見出した。上記のように、NGS メモリ実用化に向けて縦型素子とそのメモリデバイスの開発、評価に成功し、最終目標を達成した

【最終目標の達成度】

ギャップ長 5 nm、ギャップ幅 10 nm の平面先鋭型の単接合金属ナノギャップ電極を作製し、NGS メモリ動作を確認するとともに、フォーミング処理過程の最適化によりギャップ部の構造変化の抑制を実証した。また、フォーミングおよびスイッチング前後の Pt-NGS 素子の局所構造・電気特性の変化を、その場で計測できる AFM 測定装置を用いて、スイッチング前後でのギャップ長の微視的变化を捉え、ギャップ先端の移動を示す結果を得た。

縦型の NGS を開発し、更にそれをメモリ素子とした 4k メモリと、関連した TEG を一体化したチップを作製し、測定評価した。最終目標とした、以下の①、②の項目は達成し、③については現在も評価を継続中である。また縦型作製プロセスは、現在も自己資金を投入して改良、進化させており、現在もこの測定評価結果のフィードバックにより進展中である。

①高速性:HRS(高抵抗値への書き換え): 1ns,

LRS(低抵抗値への書き換え): 100 ns 以下

②稠密性:上下電極交点の Via-hole 径 ϕ (下部面)で 40 nm

③書き換え耐性: 5×10^4 回以上(継続評価中)

これまでのメカニズム解明の研究成果を参考し、素子のサイズ、動作法、動作環境などを検討した結果、動作電圧・電流の軽減を達成した。

①フォーミング電圧の軽減:素子作製時のナノギャップ幅を 3 nm 程度と小さくすることで 5 V 以下のフォーミングを達成した。

②動作電圧・電流の軽減:素子面積を小さくすることもしくは酸素などの活性ガスを充填することで最大電流 $20 \mu A$, 動作電圧 5 V 以下を達成した。

1. 2-②-(3)-2 成果の意義

不揮発性メモリは、大きな市場であり書き換え時間の早い不揮発性メモリが実現すれば、新しい市場の創造につながる。さらに、縦型のメモリデバイスを実現することで、既存の不揮発性メモリを凌駕する、コストエフェクティブ、半導体プロセスに親和性の高い、高速大容量の不揮発性メモリの実現が可能となる。その技術は、エンベデッドメモリ、汎用メモリ、更にシステム LSI、FPGA にも応用が可能な、汎用性、発展性の高い技術であり、デジタル情報機器に革新的進展をもたらし、ひいては省エネ社会の実現にも貢献することが可能な技術である。

1. 2-②-(3)-3 知的財産権等の取得

研究途上で得られた、NGS メモリの製法、構造、評価方法などを、適宜特許出願した。外国出願についても PCT により半導体産業の盛んな国を選び出願している。

表Ⅲ-1-1.2-②-(3)-1

「ナノギャップ不揮発性メモリ技術の研究開発」の成果と達成度(※)

※達成度

◎：目標を大幅に上回り達成、○：目標を達成、△：目標をほぼ達成、×：目標未達成

最終目標	研究開発成果	達成度
<p>(1) <u>平面先鋭型金属ナノギャップ素子およびその基本特性評価技術の開発</u> ナノギャップ領域が極限的に微細化してもNGSメモリ動作することを検証するために、</p> <ul style="list-style-type: none"> ・ギャップ長5nm、ギャップ幅10nmの電極を有する平面型NGS素子を開発する。 ・AFM散逸計測などのナノプローブ物性計測法を用いてナノギャップ部の物性変化を測定することにより、長時間動作後のナノギャップ部の電気特性変化や組成変化を評価する。 	<ul style="list-style-type: none"> ・ギャップ長5nm、ギャップ幅10nmの平面先鋭型の単接合金属ナノギャップ電極を作製し、NGSメモリ動作することを確認するとともに、フォーミング処理過程の最適化によりギャップ部の構造変化の抑制を実証した。 ・フォーミングおよびスイッチング前後の単接合素子の局所構造・電気特性の変化を、その場で計測できるAFM測定装置を用いて、スイッチング時・長時間動作後のギャップ長の微視的構造変化・電気特性変化を捉え、ギャップ先端の移動を示す結果を得た。 	○
<p>(2) <u>金属ナノギャップメモリ・デバイスの研究開発</u></p> <ul style="list-style-type: none"> ・縦型NGS素子の微細化を進めるとともに、4kbitのデバイスを試作・評価し、下記の性能を実証する。 ・高速性:100ns以下の書き換えスピード ・稠密性:上下電極交点のVia-hole径φで40nm ・書き換え耐性:106回以上 <p>また、このデバイスを用いてNGS素子の特性バラツキを評価する。</p>	縦型NGS素子の開発と、4kbitのデバイスの試作、評価により、以下の性能を実証した。 ①高速性: HRS(高抵抗値への書き換え);1ns, LRS(低抵抗値への書き換え);100ns以下 ②稠密性: 上下電極交点のVia-hole径φ(下部面)で40nm ③書き換え耐性:5×10 ⁴ 回以上(継続評価中)	△
<p>(3) <u>高性能メモリ金属ナノギャップ素子の研究開発</u> 素子特性として、最大電流値20μA以下、動作電圧5V程度を実現する。</p>	素子のサイズ、動作法、動作環境などを検討し、動作電圧・電流の軽減を達成した。素子面積を小さくすることもしくは酸素などの活性ガスを充填することで最大電流20μA、動作電圧5V以下を実証した。	○

表Ⅲ-1-1.2-②-(3)-2

特許、論文、外部発表等

区分 年度	特許出願			論文		その他外部発表 (学会、プレス等)
	国内	外国	PCT出願	査読付き	その他	
H19FY	5件	2件	1件	2件	0件	7件
H20FY	5件	6件	3件	3件	1件	18件
H21FY	2件	2件	1件	3件	0件	17件
H22FY	3件	2件	2件	5件	0件	20件
H23FY	0件	0件	0件	5件	0件	12件

1. 2-③-(1)「カーボンナノチューブトランジスタ技術の研究開発」

1. 2-③-(1)-1 目標の達成度

(基本計画の目標)

(概要)

シリコンという材料の物理的限界を突破するための”新材料”、”新プロセス”、”新構造”を実現する半導体技術として、優れた電子輸送特性が期待されるカーボンナノチューブを取り上げ、①CNTデバイス作製技術、②CNT成長技術、③微細CNTデバイスの局所評価技術の研究開発を実施し、将来の産業応用への可能性を明らかにする。

ナノチューブの成長技術に関しては、成長機構・触媒反応機構を解明するとともに、高品質半導体ナノチューブの優先成長、ナノチューブの高密度配向成長を可能とする。デバイスプロセス技術については、ナノデバイスにおいて重要となるナノチューブの表面保護膜形成技術、極薄絶縁膜を有するゲート電極形成技術、コンタクト形成技術を確立する。さらに微細ナノチューブデバイスの評価技術を確立するとともに、本技術を用いてナノチューブ内の欠陥とナノチューブFET特性との関係を解明し、これに基づきナノチューブの高品質化、デバイスの高性能化を実現する。

以上の技術を総合化することにより、ナノチューブ本来の優れた物性的特長を引き出すことが可能なデバイス構造を明らかにし、次世代ナノエレクトロニクスのキーデバイスとしての実用性を実証する。

最終目標（平成22年度にて早期終了）:

(補足) 本件はNEDOの予算削減による早期終了となったため最終目標の内容は実施者と整合が取れていない。以下の目標は活動期間から平成22年度の目標を示したものである。

(1) CNT デバイス作製技術の研究開発

- ① ドーピング技術、低抵抗コンタクト技術、マルチチャネル技術を開発する。
- ② 上記技術を適用してマルチチャネル CNT-FET を作製し、電流利得遮断周波数の向上を示す。

(2) CNT 成長技術の研究開発

- ① 電場制御による半導体 CNT 優先成長のメカニズムを検討する。
- ② 高密度配向成長に向けて二元系触媒およびこれに適した成長条件を検討する。

(3) CNT デバイスの局所評価技術の研究開発

- ① KFM の電位測定精度として 10mV 以下を達成し、CNT の欠陥分布計測に適用し、欠陥の電気的特性を明らかにする。
- ② MFM により 100nm 程度の間隔で配列した CNT チャネルの伝導特性を個別評価し、CNT の成長条件とその品質の均一性との関連を明らかにする。

上記の実施内容のうち、(1)-①は東京大学工学部、(2)-②は九州大学、(3) -①は東京大学生産技術研究所に再委託して実施する。

【開発成果の要約】

(1) CNT デバイス作製技術の研究開発

CNT デバイス作製技術の研究開発においては、 Al_2O_3 では p 型、 HfO_2 では n 型と、用いるゲート絶縁膜

を選択することにより FET の伝導型を制御できることを示すとともに、その原因がゲート絶縁膜と下層膜との界面に生成された正の電荷密度の違いにあることを示した。この絶縁膜の違いによる FET の伝導型制御を CMOS デバイスに適用し、大きなノイズマージン(0.7V)を有し、入出力整合をとったインバータ動作を実証した。(図1) また電子ビーム露光技術を用いたゲート長 50~100 nm のマッシュルームゲート FET 作製技術を開発した。(図2) F_4TCNQ ドーピングによる寄生抵抗低減を可能とし、電流利得遮断周波数の 4.6GHz から 9.6GHz への向上を実現した。(図3) また寄生素子効果を計算により取り除くことにより、真性の性能として 100GHz の高周波動作が可能であることを実証した。(図4) さらなる高周波動作を可能とすべく CNT の高密度水平配向成長を検討し、23本/ μm の高密度配向成長を実現した。(図5)

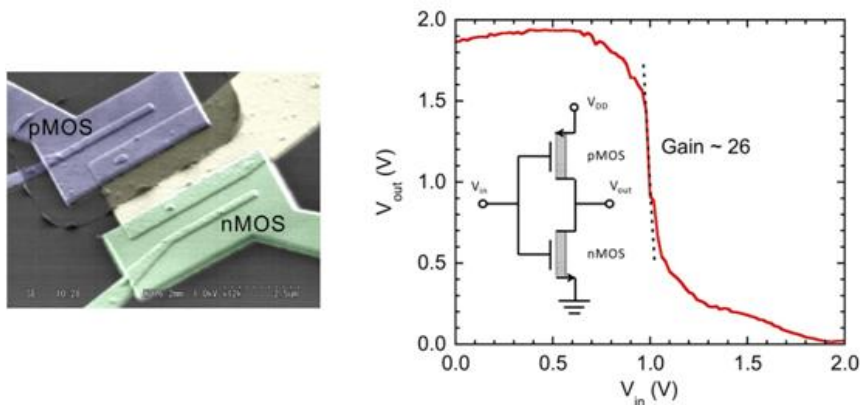


図1 CMOS インバーターの作製と動作実証

ゲート絶縁膜種により伝導型を制御。入出力の電圧整合を実現。

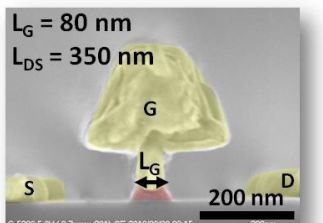


図2電子ビーム描画技術と二層レジストを用いたマッシュルームゲートCNT-FET。

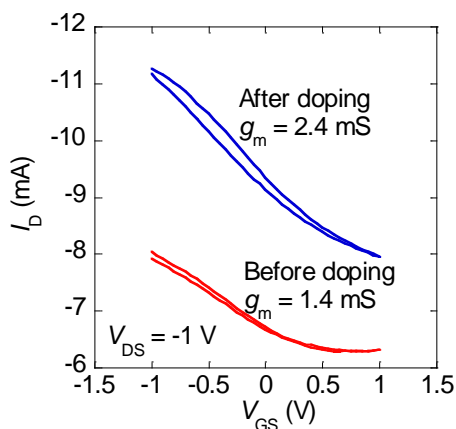


図3-(a) F_4TCNQ ドーピングによる特性の改善

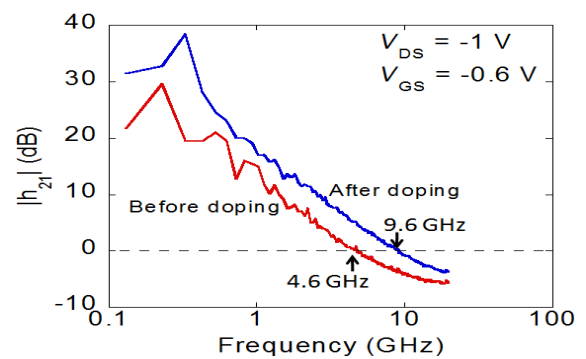


図3-(b) F_4TCNQ ドーピングによる電流利得遮断周波数の改善

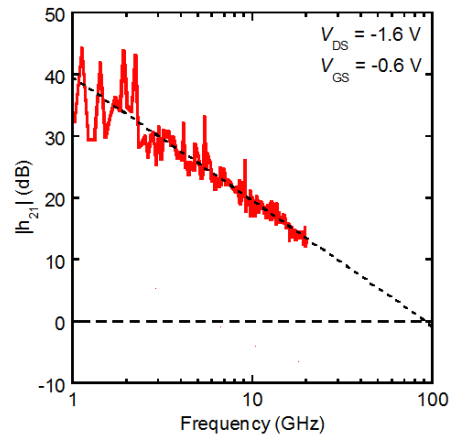


図4 寄生素子を除去した時の電流利得の周波数依存性。
100 GHz の電流利得遮断周波数が予測される。

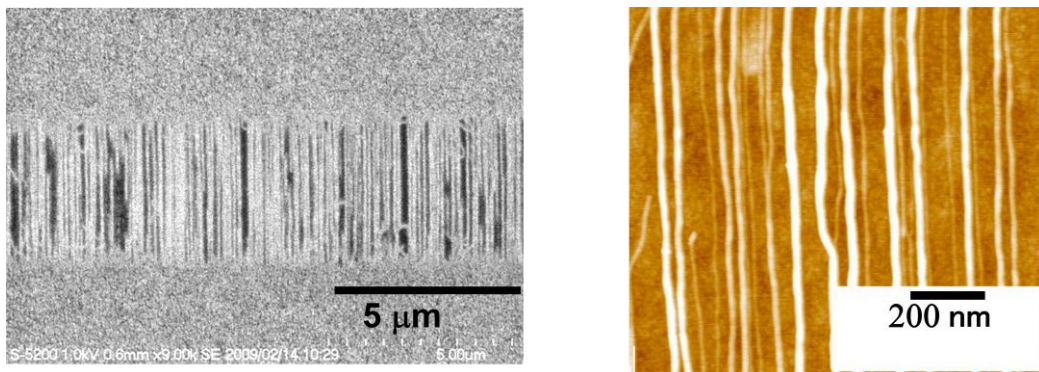


図5 CNT の石英基板上水平配向成長。23 本/ μm の高密度配向成長を実現。

(2) CNT 成長技術の研究開発

(2) - 1 半導体 CNT 優先成長技術

熱 CVD 法による半導体 CNT 優先成長では、CVD 条件の影響を吟味し、同時に配向成長を応用した半導体 CNT 偏向成長技術の開発を行った。CVD 条件による半導体 CNT の優先成長は確認できなかったが、エタノールガスを中心として様々な炭素源ガスとの比較を行い、最適 CVD 条件や CNT 直径への影響などを明らかにした。(図6) また、石英基板と電場の2つの配向成長技術を組み合わせた半導体 CNT 偏向成長では、CNT 配向性および密度の向上に成功し、石英基板上にて電極間での電場による配向成長も確認した。(図7) 未だ CNT の密度が低くラマン散乱分光法などによる詳細な分析は行うことは難しいが、電場による配向性は金属 CNT と半導体 CNT で異なることを応用することで、これら2つの配向成長技術による半導体 CNT 偏向成長の可能性を示唆することが出来たといえる。

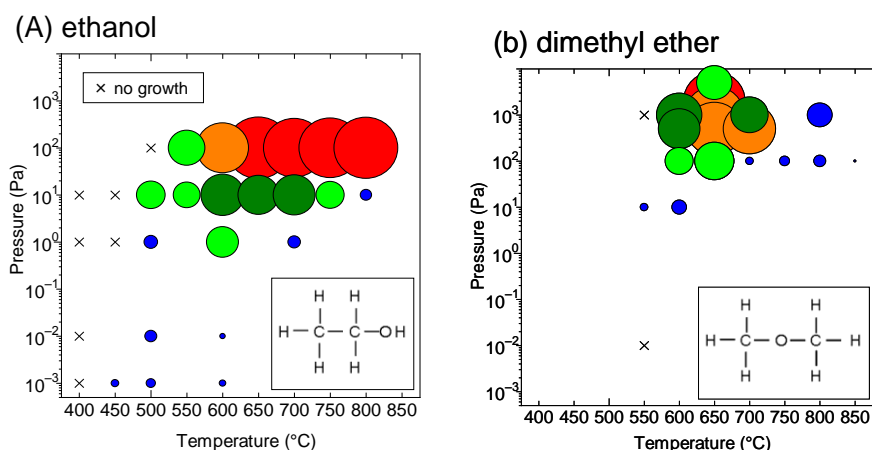


図6 (A)エタノールおよび(B)ジメチルエーテルにおける CNT 生成量の圧力・温度依存性。各温度、圧力における CNT 生成量を円の直径で現す。(円の色は青から赤にかけ生成量の増加を表現しており、直径の大小と対応している。)

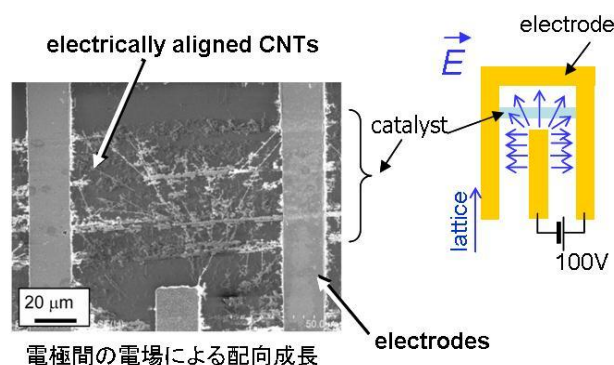


図7 石英基板上に作製した電極間に電場による配向成長する CNT の SEM 像とその模式図。

(2)–2 CNT 高密度配向成長技術の研究開発

高密度配向成長技術においては、サファイア基板上での単層 CNT の高密度成長に関して、単一成分の金属触媒の検討に加え種々の二成分金属の検討を、コンビナトリアルの手法を用いて多くの組成比について系統的に研究を行った。Fe-Co と Co-Cu の組み合わせで、10 本/ μm の高い CNT 密度を得ることが出来るようになった。(図8) 触媒ナノ粒子のサイズや分布と CNT 密度との関連を検討し、さらに、メタン原料をより活性の高いエチレンに変え、濃度の最適化を行うことで、Fe の単一成分の金属においても 12 本/ μm の密度まで向上できた。シリコンデバイスとの融合が期待できる、シリコン基板上での CNT の配向成長については、電子ビーム描画とエッチングの組み合わせにより、深さ数 10 nm、幅数 100 から数 10 nm 程度の細長いトレンチ構造を作製することで、トレンチ方向に沿った単層 CNT の合成に成功した。なお中間評価結果を踏まえた計画見直しに伴い本技術の開発は平成 21 年度をもって終了した。

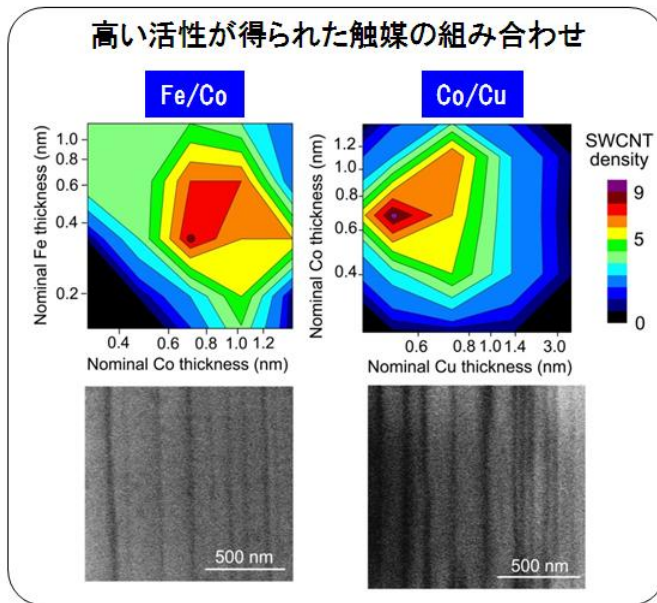


図8 二成分触媒における触媒厚みと成長量の関係(高活性の触媒組み合わせの場合)

(3) CNTデバイスの局所評価技術の研究開発

CNTデバイスの局所評価技術の研究開発においては、ケルビンプローブフォース顕微鏡 (KFM) による電位分布測定において、間欠バイアス印加法およびサンプリング検出法を導入することによって、いくつかのCNTにおいて異なる電位分布の不均一性を観測することができた。このような不均一性は、CNT内の欠陥に起因している可能性がある。一方、磁気力顕微鏡 (MFM) による電流誘起磁場計測においては、その手法に適した形状を持つカンチレバーを設計・作製することで、単一のFET中の異なるCNTチャンネルが、それぞれ別の閾値電圧や伝達コンダクタンス特性を有していることを見出した。(図9) さらに、MFMによる電流誘起磁場計測とKFMによる電位分布測定の結果を対比することにより、マルチチャンネル型CNT-FETの中で、有効な電流路として働いていると思われるCNT群を特定することに成功した。

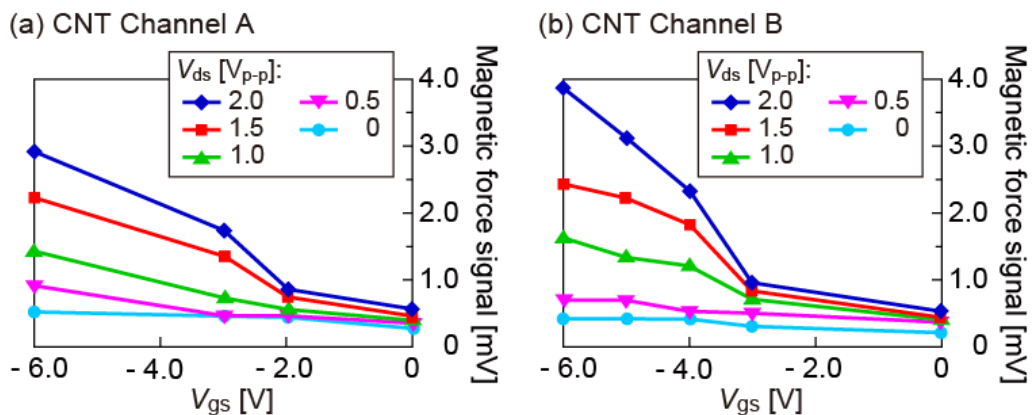


図9 MFMにて計測した電流誘起磁場信号の外部バイアス依存性。(a)と(b)は、単一のFET中の異なるCNTチャンネル周囲にて観測しており、それぞれが別の閾値電圧や伝達コンダクタンス特性を有していることがわかる。

1. 2-③-(1)-2 成果の意義

基礎研究段階において、CNT-FET コンプリメンタリインバーターの動作を実証するとともに、マッシュルームゲート FET の真性動作周波数として現在の Si レベルの 100GHz を示した点は、CNT のポテンシャルを示すものであり、高い意義を有する。

CNT の 23 本/ μm の高密度水平配向成長技術開発は、今後、高電流密度化により高速化が可能であることを示したものと言える。CNT 成長における炭素源ガス種と熱分解との関係および電界の効果を明らかにした点は、今後の半導体 CNT の優先成長の実現に寄与するものである。また CNT チャネルの電気伝導特性ばらつきの存在を示した点は、デバイスの高歩留まり作製に向けた研究課題を示すものと言える。

1. 2-③-(1)-3 知的財産権等の取得

基礎研究主体で、新規アイデアとして 5 件の特許出願を行った。

表Ⅲ-1-1. 2-③-(1)-1

「カーボンナノチューブトランジスタ技術の研究開発」の成果と達成度(※)

※達成度

◎: 目標を大幅に上回り達成、○: 目標を達成、△: 目標をほぼ達成、×: 目標未達成

最終目標	研究開発成果	達成度
<p>(1)CNT デバイス作製技術の研究開発</p> <p>①ドーピング技術、低抵抗コンタクト技術、マルチチャネル技術を開発する。</p> <p>②上記技術を適用してマルチチャネル CNT-FET を作製し、電流利得遮断周波数の向上を示す。</p>	<ul style="list-style-type: none"> ゲート絶縁膜に Al_2O_3 (p 型) と、HfO_2 (n 型) を用い FET の伝導型を制御できることを示した。その原因がゲート絶縁膜と下層膜との界面に生成された正の電荷密度の違いにあることを示した。この特性を応用しノイズマージンが 0.7V と大きいインバータ動作を実証した。 電子ビーム露光技術を用いゲート長 50 ~ 100 nm のマッシュルームゲート FET 作製技術を開発に成功した。 F_4TCNQ ドーピングにより寄生抵抗を低減し電流利得遮断周波数 9.6GHz を実現した。これに寄生素子効果を考慮することで 100GHz の高周波動作の実現可能性を示した。 	○
<p>(2)CNT 成長技術の研究開発</p> <p>①電場制御による半導体 CNT 優先成長のメカニズムを検討する。</p> <p>②高密度配向成長に向けて二元系触媒およびこれに適した成長条件を検討する。</p>	<ul style="list-style-type: none"> 炭素源ガス (エタノール、ジメチルエーテル等) を用いた熱 CVD 法で CNT 直径への影響を確認、また石英基板と電場の配向成長技術を組み合わせた偏向成長では配向性、密度への影響を確認した。 コンビナトリアルの手法により Fe-Co と Co-Cu の組合せとエチレン濃度の最適化により Fe で配向成長 23 本/μm を確認した。更に電子ビーム描画とエッチングの組合せにより十数 nm 長のトレンチを作成し単層 CNT の作成に成功した 	△
<p>(3)CNT デバイスの局所評価技術の研究開発</p> <p>①KFM の電位測定精度として 10mV 以下を達成し、CNT の欠陥分布計測に適用し、欠</p>	<ul style="list-style-type: none"> KFM による電位分布測定に間欠バイアス印加法とサンプリング検出法を導入することで異なる電位分布の不均一性を観測した。これは CNT の欠陥分布計測が可能であることを示して 	△

<p>陥の電気的特性を明らかにする。 ②MFMにより100nm程度の間隔で配列したCNTチャンネルの伝導特性を個別評価し、CNTの成長条件とその品質の均一性との関連を明らかにする。</p>	<p>いる。詳細特性の計測は今後の活動に委ねる。 ・MFMの電流誘起磁場計測では、これに適したカンチレバーを用い、単一のFET中の異なるCNTチャンネルが、個別の閾値電圧や伝達コンダクタンス特性を有していることを見出した。さらに、電流誘起磁場計測(MFM)と電位分布測定(KFM)結果を対比することでマルチチャンネル型CNT-FETの中で有効なCNTを特定することに成功した。</p>	
----------------------------------------------------------------------------------------------------	------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------	--

表Ⅲ-1-1.2-③-(1)-2

特許、論文、外部発表等

区分 年度	特許出願			論文		その他外部発表 (学会、プレス等)
	国内	外国	PCT出願	査読付き	その他	
H19FY	0件	0件	0件	0件	0件	22件
H20FY	3件	0件	0件	10件	1件	61件
H21FY	1件	0件	0件	12件	0件	51件
H22FY	1件	0件	0件	9件	0件	27件

1. 2-③-(2)「シリコンプラットフォーム上III-V族半導体チャネルトランジスタ技術の研究開発」

1. 2-③-(3)-1 目標の達成度

(基本計画の目標)

(概要)

hp22nm世代以降の高性能トランジスタを実現するためのデバイス構造として、Si基板上更にその上の絶縁膜上に形成したIII-V族半導体をチャネルとするMISFETを開発することを目的とする研究開発を行う。III-V族半導体チャネルMISFETの最適素子構造・材料の明確化を進め、本デバイスの当該世代CMOSへの適用性を明らかにすると共に、将来のCMOS構造への集積化の可能性を検証するために、以下の研究開発を行う。

(1)III-V-OIチャネル形成技術

有機金属気相成長法及び貼り合わせ法を用いたSi基板上あるいは絶縁膜上への良質なIII-V族半導体チャネル及びIII-V族薄膜ウェハの形成技術を開発する。

(2)MIS界面安定化技術及び界面評価技術

III-V族半導体MIS界面の最適化による高品質MIS構造形成技術並びにhigh-k絶縁膜を含むゲートスタック構造形成技術を開発する。

(3)III-V-OI MISトランジスタ形成技術

Si上あるいは絶縁膜上のnチャネルIII-V族半導体チャネルMISFETの作製技術の確立と動作実証を行う。

最終目標:

(1)Si上あるいは絶縁膜上のnチャネルIII-V族半導体チャネルMISFETの作製技術を開発し、その高移動度動作を実証する。

(2)Si上のIII-V MISFETの最適素子構造・材料の明確化を進め、CMOSプラットフォームへの適用性を明らかにすると共に、将来のCMOS構造への集積化の可能性を検証する。

【開発成果の要約】

III-V on Insulator (III-V-OI)チャネル形成技術に関して、有機金属気相成長を用いて、(111)面Si基板上へのInGaAs層の選択へテロエピタキシャル成長を行い、Ga原料の供給量を時間的に変化させる多段階成長法、Si基板のリン前処理、成長初期のInAs成長条件の最適化を組み合わせることによって、結晶島形状の均一性、横方向成長・表面平坦性に優れた、InGaAs-OI層を実現した。また、ECRスパッタSiO₂及びALD Al₂O₃を埋め込み層として用い、表面活性化貼り合わせあるいは直接貼り合わせ法を適用することにより、良好なボトム界面と表面平坦性を有するIII-V-OI基板の形成に成功し、最も膜厚の薄いもので3nmのInGaAsと8nmのAl₂O₃層埋め込み層をもつInGaAs-OI基板を実現した。

MIS界面安定化技術及び界面評価技術に関して、InGaAs表面をECRプラズマ窒化した後、ゲート絶縁膜を形成するプロセスを提案し、最小値で $2 \times 10^{11} \text{ cm}^{-2} \text{ eV}^{-1}$ の低い界面準位密度を実現した。InGaAs上へのAl₂O₃原子層成長について、オージェ電子分光を用いて初期成長におけるAl原料供給量と界面特性の関係を解明すると共に、硫黄・セレン処理や窒素活性種照射により界面特性を改善した。また、InP/InGaAs埋め込みチャネル構造において、InP層の厚さ・面方位とウェット処理が界面特性に与える影響を明確化し、高いピーク移動度

($5,500\text{cm}^2/\text{Vs}$)を達成した。MOS 界面評価法として、split C-V 法と Hall 測定を組み合わせ半導体伝導帯内の界面準位密度を求める方法を提案し、InGaAs MOSFET では、伝導帯内に多量の界面準位密度が存在し、実効移動度を低下させていることを実証した。また、超高真空中での III-V 表面清浄化を施した HfO_2 用いた MOS 構造において、原子番号の大きい III 族原子による初期表面の終端により MOS 特性が改善できることを示した。

MIS トランジスタ形成技術に関し、低抵抗のソース・ドレイン (S/D) 構造として、Ni と InGaAs との直接反応により形成される Ni-InGaAs 合金を自己整合的に形成したメタル S/D MOSFET、更にチャネル In 組成増大によるショットキーバリア低減技術を提案し、高電子移動度の InGaAs、InGaAs-OI MOSFET を実証した。更に、InAs と MOS 界面の間に InGaAs 層を挿入した構造を用いて、極薄チャネルにおいても高い移動度を有する InAs-OI MOSFET を実証した。また、InGaAs(111)A 面を用いた MOSFET が、(100)面と比較して高いチャネル移動度を持つことを実験的に示した。III-V チャネル特有の現象として、界面ダイポール揺らぎに由来するキャリア散乱、及び素子特性に影響を与えるカチオンオーダリングの存在を初めて明らかにした。Ta₂N₅ コモンゲート構造を提案し、シンプルなプロセスによる InGaAs と Ge の CMOS 集積化の可能性を実証した。更に、Ta/Al₂O₃ 共通ゲートスタックと Ni 合金層を用いた共通メタル S/D を用いて、高移動度の III-V nMOSFET を Ge pMOSFET を同じ基板上に集積化することに成功した。

【最終目標の達成度】

上記の【開発成果の要約】の成果より、Si 上に設けた絶縁膜の上での高移動度 III-V MISFET 実証、及び Si プラットフォームへ適用可能な最適素子構造・材料の明確化と CMOS 集積化の可能性検証という最終目標を達成した。

1. 2-③-(2)-2 成果の意義

III-V MOSFET をロジック LSI に適用する上での困難な研究課題であった、Si 上の III-V チャネル形成技術、III-V チャネル上の高品質ゲートスタック形成技術、低抵抗ソース・ドレイン形成技術に対して、本研究プロジェクトにおいて、独自の解決の方法を提案・実証することにより、本技術の feasibility を明確化することができた。

各要素技術を集積し、世界に先駆け、極薄の InGaAs-OI あるいは InAs-OI 構造において、高移動度 MOSFET を実証し、微細化に耐えうる技術開発を行うことができた。

更に、世界に先駆けて、III-V nMOSFET を Ge pMOSFET を同じ基板上に集積化することができる要素プロセス技術を明らかにし、実際に同一基板上での両素子の高移動度動作を実証することができ、今後の CMOS 化への道筋を明確にした。

1. 2-③-(2)-3 知的財産権等の取得

基礎研究主体で、新規アイデアとして29件の特許出願を行った。

表Ⅲ-1-1.2-③-(2)-1

「シリコンプラットフォーム上Ⅲ-V族半導体チャネルトランジスタ技術の研究開発」の成果と達成度(※)

※達成度

◎: 目標を大幅に上回り達成、○: 目標を達成、△: 目標をほぼ達成、×: 目標未達成

最終目標	研究開発成果	達成度
(1) Si上あるいは絶縁膜上のnチャネルⅢ-V族半導体チャネルMISFETの作製技術を開発し、その高移動度動作を実証する。	<ul style="list-style-type: none"> • Si 基板の InGaAs 選択エピタキシャル成長及び InGaAs/InP 基板と Si 基板の貼り合わせにより III-V-OI チャネルを形成する基本技術を開発 • 貼り合わせ法により、膜厚 3.5nm までの極薄ボディ InGaAs-OI 構造を実現し、素子動作を実証 • InGaAs 上への ALD Al₂O₃ 成長条件、表面窒化、硫黄・セレン処理技術を提案・最適化し良好な MIS 界面特性を実証 • InGaAs の(111)A 面を用いることにより、通常用いられる(100)面に対する移動度改善に成功 	◎
(2) Si上のⅢ-V MISFETの最適素子構造・材料の明確化を進め、CMOSプラットフォームへの適用性を明らかにすると共に、将来のCMOS構造への集積化の可能性を検証する。	<ul style="list-style-type: none"> • Ni-InGaAs 合金層メタル S/D を用いた自己整合型 InGaAs MISFET の提案と実証 • InGaAs チャネルの高 In 組成 (0.7-0.8) 化によるショットキーバリアフリー自己整合型メタル SD MISFET の提案と実証 • Ni-InGaAs メタル S/D 構造の Si 上 InGaAs-OI MOSFET の高移動度動作実証 • InAs と MOS 界面の間に InGaAs 層を挿入した MOS 界面バッファ構造を用いた Si 上の 3nm 厚 InAs-OI MOSFET の高移動度動作実証 • Ta/Al₂O₃ 共通ゲートスタックと Ni 合金層を用いた共通メタル S/D を用いて、高移動度の III-V nMOSFET を Ge pMOSFET を同じ基板上に集積化することに成功 	◎

表Ⅲ-1-1.2-③-(2)-2

特許、論文、外部発表等

区分 年度	特許出願			論文		その他外部発表 (学会、プレス等)
	国内	外国	PCT 出願	査読付き	その他	
H19FY	2 件	0 件	0 件	2 件	0 件	5 件
H20FY	2 件	8 件	2 件	4 件	2 件	33 件
H21FY	5 件	6 件	1 件	10 件	0 件	60 件
H22FY	5 件	8 件	2 件	9 件	2 件	68 件
H23FY	15 件	9 件	9 件	19 件	1 件	58 件

1. 2-③-(3)「シリコンウェハ中の原子空孔濃度定量評価技術の研究開発」

1. 2-③-(3)-1 目標の達成度

(基本計画の目標)

(概要)

半導体産業におけるデバイス製造では、チョクラルスキー(CZ)法で製造したCZシリコン結晶から切り出したウェハを用いる。最近になり、2次欠陥であるボイドが全く存在しない完全結晶シリコンインゴットの製造技術が発達し、完全結晶ウェハを用いたデバイス製造技術が急速に進展している。CZシリコン中に存在する酸素をデバイス製造過程で析出させ金属汚染の除去を行なうゲッターリング技術は、微細化が進行してもデバイス製造技術に重要な役割を果たしている。ゲッターリング効果を得るには適量の酸素を析出させることが必要であるが、原子空孔は非常に重要な因子であり、酸素析出を著しく促進する。しかし、現在までシリコンウェハ中に存在する孤立した原子空孔の濃度評価法が確立していないので、完全結晶シリコンウェハを用いたデバイス製造においては、酸素析出にばらつきが生じ、動作特性の不良による歩留まりの低下など大きな困難が生じている。このような技術的困難を突破するために、原子空孔濃度を予め評価したシリコンウェハを用いてデバイスを製造する技術が半導体産業から強く要請されている。

このため、低温超音波計測により、シリコン結晶中の孤立した原子空孔の濃度を定量評価する分析技術を開発し、超音波計測による原子空孔濃度分析技術の実用化を進めることを目的とする研究開発を行う。

最終目標:

(1) 超音波計測を用いた原子空孔濃度分析の研究開発

超音波計測によって低温ソフト化の量を測定することで、産業界で実用化が進んでいる完全結晶ウェハの原子空孔濃度の面内分布の分析技術を確立する。

(2) 原子空孔のナノレベルシミュレーション技術の研究開発

超音波計測の結果と比較しながら、大規模ナノレベルシミュレーションを行い、原子空孔軌道と超音波歪みとの結合定数を求め、産業界で実用化が進んでいる完全結晶ウェハ中の原子空孔濃度の評価に適用する。

(3) シリコン結晶中の原子空孔分布計測と欠陥制御技術の開発

as-grown 結晶欠陥分布を決定する結晶育成時の熱履歴を厳密に制御する事で、原子空孔濃度を制御したデバイス評価に適した完全結晶ウェハを作製することを可能にする。

(4) 原子空孔濃度を評価した完全結晶ウェハを用いたデバイスの動作特性評価

低温超音波計測により原子空孔濃度を予め評価した完全結晶ウェハを用いてテストデバイスを作製し、原子空孔濃度とデバイス特性との関連を調査し、次世代の完全結晶ウェハを用いたデバイス製造のための基礎技術を確立する。

【開発成果の要約】

シリコンの弾性定数の低温ソフト化を測定するために、希釈冷凍機を導入した。原子空孔濃度を制御したシリコンインゴットから複数採取した試料を系統的に評価するために、冷凍機に4つの試料を同時挿入して測定可能なように同軸ケーブルを8ライン導入し、無負荷の状態まで10mKまで冷却することを確認した。次に、超音波を発振させるためのZnO圧電素子の安定成膜を実現した。これらの達成により、20mKまでの極低温領域で高い

音速分解能 ($\Delta v/v = 10^{-6}$ 以上) を実現できた。現在希釈冷凍機およびヘリウム 3 冷凍機を用いた超音波計測を駆使し、ボロン添加の CZ および FZ シリコンの弾性定数が 5K 以下の低温でソフト化を示し、磁場を加えることで消失することを観測し、磁性を帯びた原子空孔軌道の量子力学的性質の実験的解明が進展している。また、第一原理計算を用いた原子空孔軌道の理論計算を行うために、電子状態計算用システム一式とデータ解析・可視化用システムを導入した。既に 216 原子セル (215 個のシリコン原子と 1 個の原子空孔) での計算を終了し、さらに 512 原子セルでの大規模セルで第一原理計算を用いたシミュレーションを行い、原子空孔の周りに広がった局在電子軌道の量子状態を明らかにした。また、原子空孔濃度制御を施した試作ボロン添加 CZ 結晶インゴット中の原子空孔濃度分布の評価を進め、引き上げ速度に依存した濃度分布を明らかにした。また、ボイド領域での評価から、結晶育成時に取り込まれる原子空孔量に保存則が成立することを明らかにした。さらに、原子空孔濃度を評価したウェハと隣接したウェハについて試作デバイスを表面に作成し、ライフタイム、耐圧特性の評価を行い、原子空孔との相関を推定した。プロセス前後で原子空孔濃度が変化する領域としない領域があることを見出した。得られたデータをもとに、結晶インゴットの引き上げ条件にフィードバックさせることで、原子空孔濃度評価ウェハの製造技術が発展するとともに、濃度評価ウェハを用いたフラッシュメモリーデバイス製造技術が進展すると期待される。

【最終目標の達成度】

研究開発項目の (1) 超音波計測を用いた原子空孔濃度分析の研究開発、(2) 原子空孔のナノレベルシミュレーション技術の研究開発、(3) シリコン結晶中の原子空孔分布計測と欠陥制御技術の開発、(4) 原子空孔濃度を評価した完全結晶ウェハを用いたデバイスの動作特性評価の開発研究の目標は全てを達成した。

1. 2-③-(3)-2 成果の意義

・市場の拡大或いは市場の創造

半導体産業のフラッシュメモリーに代表される超 LSI デバイス製造ではボロン添加の CZ シリコン完全結晶から切り出したウェハが用いられている。デバイス製造で重金属汚染を除去するゲッターリングプロセスには原子空孔の存在が必要である。しかし、現在ではシリコンウェハ中の空孔領域を格子間シリコン領域と区分する物理計測法は存在していないので、経験と勘に頼ったウェハ製造が行われているのが現状である。本開発では、半導体産業で用いられるボロン添加 CZ シリコンインゴット中の原子空孔の存在濃度を弾性定数の低温でのソフト化の大きさで見積もることに成功した。この成果は、低温超音波計測により原子空孔濃度を評価した高品質シリコンウェハの開発が可能になったことを意味しており、デバイス製造の歩留まり向上が期待され、シリコンウェハ市場の新たな創造に繋がることは確実である。

・技術水準

開発者は J.Phys.Soc.Jpn.vol.75(2006)044602 において超音波による原子空孔の観測に世界で最初に成功したことを発表した。これは、超音波を用いた強相関電子物性の世界最高水準の基礎研究が、半導体物理の半世紀にわたる難問を解決したことを意味している。さらに、シリコンウェハ中の原子空孔濃度を評価する革新的技術が出現したことを意味しており、世界標準化に向けての取り組みが必要である。

・新たな技術領域の開拓

原子空孔の周りに広がった局在電子軌道の量子状態がもっている電気四極子が超音波歪みと結合するので、弾性定数の低温ソフト化が起きる。とくに半導体産業でも用いられるボロン添加シリコン中の原子空孔軌道には

3個の電子が収容され、スピン軌道相互作用により磁性を帯びる。このため、超音波で観測されるシリコン結晶の弾性定数の低温ソフト化の大きさおよびその磁場依存性を計測することで、原子空孔濃度を評価できる。本開発の成果は、超音波を用いた低温量子計測により、原子空孔濃度評価を行う全く新しい半導体検査技術・検査装置として確立できる。さらに、原子空孔濃度を評価した高品質シリコンウェハの開発が期待できる。

・汎用性

本開発での超音波を用いた原子空孔濃度評価は、現在の半導体産業での主要材料であるシリコン結晶を対象としているが、同じ結晶構造をもつゲルマニウムや窒化ガリウムなどの半導体の原子空孔濃度評価にも適用できる可能性があり、原子空孔を観測できる点で本開発の成果は汎用性を持っている。また、次世代半導体と考えられているSiCやダイヤモンドの原子空孔の評価も可能性がある。

・費用対効果

本開発では低温を実現するための希釈冷凍機および、高分解能で音速を計測する超音波位相差計測装置などの設備備品、ボロン添加FZシリコンインゴットなどの結晶購入費、結晶の研磨等の加工費、低温実験に必要な液体ヘリウム使用料、ZnO圧電薄膜製造に掛かる材料費などに予算執行を行った。ウェハメーカーで育成されたボロン添加CZシリコン中の原子空孔濃度評価の共同研究も進行し、予算投資に見合った成果が得られている。

・他の競合技術に対する優位性

これまで、原子一個が抜けた原子空孔の存在を検出する方法は電子スピン共鳴や陽電子消滅などが知られている。これらの原子空孔観測技術は、電子線照射などを施して原子空孔濃度を人為的に桁違いに増やしたシリコン試料についてのみシグナルが得られている。しかし、照射をしないシリコン結晶に関しては、電子スピン共鳴や陽電子消滅ではシグナルが得られず観測できない。本開発での低温超音波計測では、半導体産業で一般に利用されているシリコン結晶およびウェハ中の原子空孔濃度を評価することが可能である。本開発の成果は、他の競合技術が存在せず、唯一無二の優位性がある。

1. 2-③-(3)-3 知的財産権等の取得

開発者は原子空孔の世界最初の報告をJ.Phys.Soc.Jpn.vol.75(2006)044602に発表する直前に、知的財産権の確保のために特許2件「シリコンウェハ中に存在する原子空孔の定量評価装置およびその方法」および「CZ法によるSi単結晶インゴットの製造方法」を登録し、国際出願(韓, 米, 独, 英, 伊)を行っている。さらに、特許「シリコンウェハ中に存在する原子空孔の定量評価装置, その方法, シリコンウェハの製造方法, 及び薄膜振動子」を新潟大学から単独で出願し、実用化・ベンチャ起業化を目指した知的権利の確保を進めている。

表Ⅲ-1-1. 2-③-(3)-1

「シリコンウェハ中の原子空孔濃度定量評価技術の研究開発」の成果と達成度(※)

※達成度

◎: 目標を大幅に上回り達成、○: 目標を達成、△: 目標をほぼ達成、×: 目標未達成

最終目標	研究開発成果	達成度
(1)超音波計測を用いた原子空孔濃度分析の研究開発	超音波装置と希釈冷凍機を用いた低温・磁場下でのウェハ中原子空孔評価装を開	○

超音波計測による低温ソフト化の量の測定から、完全結晶ウェハの原子空孔濃度の面内分布の分析技術を確立する。	発した。また、ギガヘルツ発振 ZnO 圧電素子を成膜し、原子空孔濃度分析システムを完成させた。その結果、20mK までの極低温領域まで高い音速分解能 ($\Delta v/v = 10 - 6$ 以上)を達成した。	
<u>(2)原子空孔のナノレベルシミュレーション技術の研究開発</u> 大規模ナノレベルシミュレーションを行い、原子空孔軌道と超音波歪みとの結合定数を求め、完全結晶ウェハ中の原子空孔濃度の評価に適用する。	これまでの 216 原子での計算を終了し、さらに 512 原子での大規模セルで第一原理計算を用いたシミュレーションを行い、原子空孔の周りに広がった局在電子軌道が大きな電気四極子をもち、超音波歪みと強く結合することを示し、原子空孔による低温ソフト化の理論的根拠を与えた。	◎
<u>(3)シリコン結晶中の原子空孔分布計測と欠陥制御技術の開発</u> 結晶育成時の熱履歴の制御で、原子空孔濃度を制御したデバイス評価に適した完全結晶ウェハを作製することを可能にする。	低温超音波計測を利用して、試作ボロン添加 CZ 結晶インゴット中の原子空孔濃度とその空間分布を評価し、インゴット中の原子空孔分布計測を進めた。ボイド領域での評価によって、インゴットに取り込まれる原子空孔量の保存則を見出した。さらに、AOP 領域と N 領域では、酸素析出量と原子空孔濃度との間に異なる相関があることを導き、原子空孔を評価したウェハ開発に寄与できる。	○
<u>(4)原子空孔濃度を評価した完全結晶ウェハを用いたデバイスの動作特性評価</u> ・低温超音波計測により原子空孔濃度を予め評価した完全結晶ウェハを用いてテストデバイスを作製する。 ・原子空孔濃度とデバイス特性との関連を調査し、次世代の完全結晶ウェハを用いたデバイス製造のための基礎技術を確立する。	歩留まりの向上を図るための基礎技術を確立するため、低温超音波計測により原子空孔を予め評価した完全結晶ウェハを用いてテストデバイスを作製し、ライフタイム、耐圧特性の評価を行い、原子空孔との相関を推定している。デバイスプロセス前後での原子空孔濃度を評価し、ウェハの場所によって、プロセス前後で原子空孔濃度が変化する領域としない領域が共存していることがわかった。	◎

表Ⅲ-1-1. 2-③-(3)-2

特許、論文、外部発表等

区分 年度	特許出願			論文		その他外部発表 (学会、プレス等)
	国内	外国	PCT 出願	査読付き	その他	
H19FY	2 件	6 件	2 件	2 件	3 件	13 件
H20FY	6 件	0 件	2 件	2 件	0 件	11 件
H21FY	0 件	0 件	0 件	1 件	0 件	4 件
H22FY	0 件	1 件	1 件	1 件	件	0 件
H23FY	0 件	1 件	0 件	2 件	件	0 件

IV. 実用化の見通しについて

①シリコンナノワイヤ技術

①－(1)「シリコンナノワイヤトランジスタの知識統合研究開発」

成果の実用化可能性

(1) 成果の実用化可能性

本研究開発項目では、FETの究極形であるナノワイヤトランジスタを対象として、産業界が集積回路システムの構成要素としての実現可能性を見極めるために必要な基盤技術を体系的に提供することを目的とした。この要求に応えるには、単にナノワイヤトランジスタを試作し性能を実証してみせるだけでは不十分で、定量的な検証に足るだけの精度でナノワイヤトランジスタを作製して特性を評価すると共に、ナノワイヤトランジスタの構造や特性を予測し、構造・材料・プロセスの設計を行うための知識体系を、科学的な裏付けを持って構築することが必要である。

この目的のために、本研究開発項目では、ナノワイヤトランジスタを原子レベルの正確さで作製する技術と特性の評価技術、ナノワイヤトランジスタの構造やひずみ、ポテンシャル分布をナノレベルで計測する物理計測評価解析技術、ナノワイヤトランジスタの構造やトランジスタ特性を予測できるシミュレーション技術の研究開発を行い、それぞれの要素技術について、世界最高水準の成果を得た。

開発した作製プロセスや計測技術、シミュレーション手法などの要素技術は、そのままナノレベルの精度を要求されている現行のシリコンプロセスに適用可能であり、産業技術として有用な成果である。特に、計測技術については、計測装置メーカーへの技術移転により、実用化される可能性がある。また、シミュレーション技術については、TCADを始めとする設計ツールに統合することにより、半導体技術の研究開発や製造に供される期待が高い。

(2) 波及効果

本研究開発項目は、シリコンナノワイヤトランジスタに関わる基盤技術の体系的構築という明確な目的に応えるために、筑波大学や産総研が協力して研究ポテンシャルを有する有能な研究者を糾合して推進した。これによって、半導体デバイスに加え、材料・計測・計算科学の異分野融合研究開発を促進し、大学や独法研究機関に散在する最先端のナノサイエンスを、目的の明確なデバイス技術につなげる研究開発プラットフォームを構築する役割を果たした。さらに、本研究開発に大学院学生や若手研究者が参画することにより、ナノ領域の材料科学や量子輸送現象などの基礎科学に深い知見を有しながら、半導体デバイス技術開発にも通じた人材を育成する目的にも、貢献を行った。

これによって、本研究開発項目は、つくばイノベーションアリーナ(TIA-nano)の最重要研究領域であるナノエレクトロニクス・コアの構築に、本質的な役割を果たした。TIA-nano ナノエレクトロニクスは、産総研のナノデバイス研究、および関連する計測技術とシミュレーション技術の研究ポテンシャルに、物質・材料研究機構の材料研究と筑波大学の関係する陣容を加えることで、産業界に開いた研究開発プラットフォームを提供し、同時に人材育成にも活用することを目的としている。本研究課題は、この活動に先行して最先端の研究開発を展開することで、上記プラットフォーム構築に先鞭を付ける役割を果たした。

①－(2)「ナノワイヤFETの研究開発」

(1) 成果の実用化可能性

本成果ではSiナノワイヤFET技術の実用化に対して、課題となる要素を先導的に抽出して、解決策を示している。そのため、企業が引き続き実用化開発を行うために必要な要素を盛り込んでいる。

一方で、実用化に向けてSiナノワイヤFETの広報活動として国内外のワークショップの開催を年に2, 3回行ってきた。同ワークショップで世界中からナノエレクトロニクス研究の権威を集めて2020, 2030年代本命デバイスのパネルディスカッションを行った結果、SiナノワイヤFETが本命であるという結論を得ており実用化の可能性は高い。国内では、東芝、日立の技術者にも本技術を説明し、次世代本命デバイスの認識を頂いている。

(2) 波及効果

情報量データセンタ、インターネットを賄うため、集積回路はますます重要になる。SiナノワイヤFETは現状プレーナを置き換える可能性が高いことから、現在の集積回路の市場以上の規模のニーズがあるため、波及効果は大きい。一方で、別の波及効果としてロジック・メモリは勿論として将来の可能性としてセンサ、太陽電池などの応用がある。

①－(3)「シリコンナノワイヤトランジスタの物性探究と集積化の研究開発」

(1) 成果の実用化可能性

22nm 世代では従来の平面型トランジスタ構造に代わって、立体型トランジスタ構造の FinFET が初めて実用化された。FinFET はチャンネルの高さが 30nm 程度であり、比較的大きいサイズであるが、次世代以降では、ますます厳しくなる短チャンネル効果を抑えるために、チャンネルサイズをさらに縮小したナノワイヤトランジスタ(本プロジェクトの研究ターゲット)が採用・実用化される可能性が非常に高い。

(1) 波及効果

本プロジェクトは、シリコンナノワイヤトランジスタのフィージビリティチェックを行うことを目的として実施した。この目的は十分に達成することができ、ナノワイヤトランジスタの実用化に必要な基礎データを幅広く取得するとともに、集積化デバイスとしてのナノワイヤトランジスタのポテンシャルの高さを確認することができた。また、プロジェクトの当初計画では必ずしもフォーカスされていなかった「超低消費電力 LSI におけるナノワイヤトランジスタの有用性」を見出すことにも成功した。超低消費電力 LSI はこれからの世界半導体市場を牽引することが期待されており、本プロジェクトで得られた知見は我が国の半導体産業の発展に大きく貢献するものと考えている。

②次世代メモリ技術

②－(1) 「新構造 FinFET による SRAM 技術の研究開発」

(1) 成果の実用化可能性

本研究の成果は、4 端子 FinFET の開発とその閾値制御性を有効に利用できる SRAM への適用と、その有効性実証である。その有効性が明らかになれば、SRAM を突破口としてあらゆるシステム LSI に普及していくことが期待できる。実用化は、高コストが許容されるプロセッサのキャッシュメモリーの置き換えから始まり、技術の成熟とともに低消費電力指向のシステム LSI へ波及すると予想している。

i. 本 Pj 成果実用化目処

2016 年頃の Flex-Pass-Gate-SRAM 実用に向け、FinFET 基盤技術および回路 IP の国内半導体メーカーへの提供を目指す。14nm 世代向け FinFET 作製基盤技術の国内材料・製造装置メーカーへの提供も進める。

ii. 実用化に向けた技術的マイルストーン

14nm 世代以細に向けた特性ばらつき等基礎的なデータ蓄積およびばらつき抑制法構築、CMOS 集積回路製造技術体系の構築、大規模回路設計環境の整備、等、スムーズな技術移管に際しての足場固めを行う。

iii. 実用化に向けたアクション

これまでに 20 回以上、国内外関連企業と意見交換を実施。引き続き継続し、課題整合を行う。また、民間企業にて FD-SOI を実用に導いた開発者を産総研に招聘、実用に向け協力・連携で研究活動を行っている。

iv. コンパクトモデル標準化活動

実用化に際し重要となるコンパクトモデルの標準化に向け HiSiM と協調、CMC メンバーに加盟し、標準化活動に貢献している。

(2) 波及効果

i. 技術的波及効果

本 Pj で構築される 4 端子 FinFET デバイス技術を用いれば、アナログ・RF 回路の超低消費電力化も実現可能である。さらに、本 Pj で蓄積される回路技術は、その他の新規素子を用いた回路にも展開が期待される。

ii. その他の波及効果

本プロジェクトの中核となる FinFET 基盤技術に関する研究において、6 大学(9 月より 1 大学追加予定)より、技術研修制度にて学生を受け入れている。すなわち、本プロジェクトの実施は、学士学生、修士・博士課程大学院生の教育・研究能力育成にも大きく貢献している。

②－(2)「次世代相変化メモリ技術の研究開発」

(1)成果の実用化可能性

本研究成果は、後継の超低電圧デバイス技術研究組合研究開発(LEAP)、および内閣府の最先端研究開発支援プログラム(FIRST)の各プロジェクトに引き継がれ、相変化メモリ研究開発の最前線に位置している。また、昨今、サムソン電子、マイクロンが相次いで Gbit 級相変化メモリの量産化を開始したことから、本成果の実用化は今後確実に実施されるものと確信する。

(2)波及効果

従来の FLASH の性能を越える超低消費電力、多数回記録消去、高速スイッチ性能を備えた新しい固体メモリが市場が開発できる。

②－(3)「ナノギャップ不揮発性メモリ技術の研究開発」

(1) 成果の実用化可能性

金属ナノギャップにおける負性微分抵抗(NDR)スイッチング特性についてのNanotechnology誌への報告(2006)以来、その動作機構の解明が進められる一方で、図1のような応用展開を予想して、本プロジェクトでは実用的な不揮発性メモリデバイスを最終目標とし、各機関でテーマを分担・連携して研究開発を進めてきた。研究開発スケジュールの各段階での具体的な成果を実証するマイルストーンとして、2009年度は、縦型NGSの(256bit)アレイTEG、2011年度には4 kbitメモリを試作・評価し、不揮発性メモリの基本的な諸特性を評価するとともに、多数ビットのバラツキデータについても収集した。NGSメモリの構造も、初期の平面型から集積化に適した縦型NGSへと発展し、作製プロセスも量産に展開可能な製法へと進化してきた。また、こうした研究成果については、学会発表、展示会、メモリメーカーへの技術説明などを通じて、関係者に継続的にアピールした。実用化に向けての課題は、表面素子であることと関連して、1)パッケージングの実証と、2)低抵抗(LRS)書込みの安定性である。

1)については、単体のNGS素子においてN₂ガス封止でパッケージングした実績があり、さらに縦型NGSの表面を絶縁膜で覆い、ギャップ部分を埋包する構造も開発しており、解決の見通しが立っている。一方、2)については、素子の作製時の構造的なバラツキ(ギャップ長や、上下電極の平坦度、均一性)を抑制する(ALDの適用で可能)ことと、書込み方法の工夫によって課題を解決できると考えられる。こうした状況から、本プロジェクト終了後も研究を継続し、2年程度の期間で、実用化レベルのデバイスを開発する予定としている。

上述したように、デバイス性能上の課題は解決できるが、実用化のためには、どのような用途のデバイスへと応用して行くかが大変重要となると考える。本研究の技術の開発、適用目的は、前述のように不揮発性メモリであるが、この市場はよく知られているように、市場規模も大きい、競合する企業、提案されているメモリの種類も多い。そのような状況下で新原理・新構造のメモリを提案しても、認知、浸透するまでには相当の時間が必要となる。従って、いきなりNAND代替のような巨大市場を狙うのではなく、EPROMマイコンやFPGAなどのROM機能の用途から参入し、実績を積み上げながら、次第に市場、用途を拡大していくという、戦略的なプランを検討・実施すれば、NGS デバイスの実用化は十分可能である。

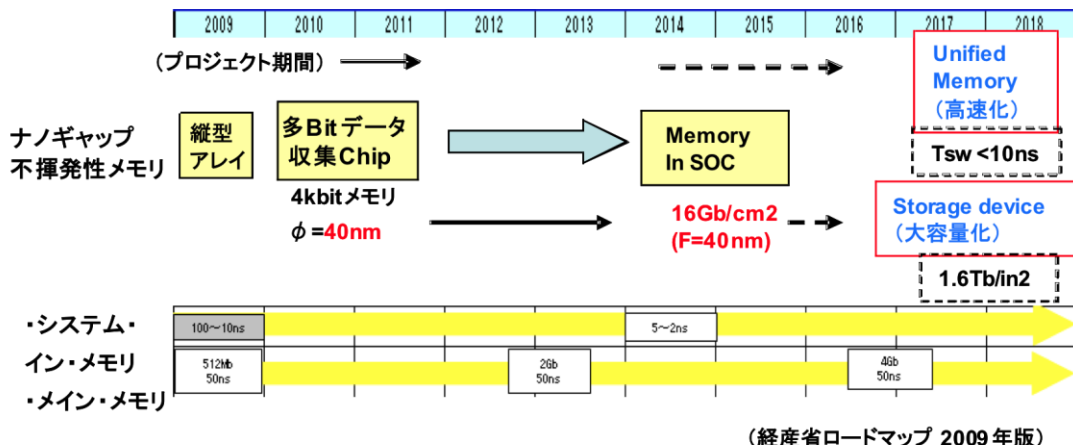


図1 ナノギャップ不揮発性メモリ技術の実用化予測

(2)波及効果

本研究では、NGS の不揮発性メモリとしての基本特性(データリテンション、書き換え耐性 (Endurance)、W/E スピード)を評価してきた。その結果、既存の NAND / NOR 型 Flash、FRAM、MRAM、PRAM 等と比較しても不揮発性・稠密製(大容量化)・スピードの各指標のいずれにおいても、同等あるいはそれ以上の性能を有することが明らかとなった。さらに、NGS メモリの最も優位な点は、その構造と構成要素の単純さ、また半導体デバイスプロセスとの親和性に由来するコスト競争力である(図2、図3参照のこと)。

半導体デバイスへの応用を考えた場合、上層の配線構造を置き換える形で不揮発性メモリを付加することができるので、エンベデッドマイコンへの応用が最も効果的だと考えられる。NGS メモリは、現在、マイコンに搭載されている EPROM、NOR 型 Flash、FRAM 等よりも、書き換えスピード・耐久性・コストの点で優れているので、NGS メモリへの置き換えが比較的容易に進むものと期待される。マイコンは、各種家電製品、デジタル機器、NC制御ロボット、カーエレクトロニクス応用と、あらゆる生活、産業シーンに使用されており、このような製品における代替需要だけでも、NGSメモリの浸透力・影響力は計り知れないほど大きくなることが期待される。さらに、マイコンと言うカテゴリーに留まらず、その発展形として SoC のシステム LSI などにも NGS メモリが内蔵されて普及が進むことが予想される。

情報処理において取扱われるデータは、OS からアプリケーションソフト、ファームウェア、そして実データなど実にさまざまな容量のデータが存在するが、大容量化によりメモリ単体での応用、特にストレージメモリとしての応用は有望である。従って、大容量化を進めることで、ワンセグ携帯やデジカメの画像データ、ファイルメモリ、メモリカードそして HDD の代替である SSD まで視野に入れることができる。

NGS メモリは、(現状で MRAM を除く)他の不揮発性メモリと比較して書き換えスピードが速いので、書き換え耐性 (Endurance)を 10^{15} 回(現状 10^5)まで高められれば、DRAM 機能に不揮発性を兼ね備えた、いわゆるユニバーサル(ユニファイド)メモリも実現可能である。これを実現した NGS メモリをメインメモリに使用できるようになれば、PC のクイックコールドスタートも可能となり、PC の省電力化、ひいては省エネ・地球環境の保全(CO₂削減)にも貢献することが可能となる。そればかりか、PC のコールドスタートと同様の需要構造は、情報家電、特に薄型 TV の電源 ON・OFF の際にも顕著になっており、上記システム LSI に NGS メモリが内蔵されると同様の省電力効果が期待できる。

以上は、既存のメモリカテゴリーへの応用であるが、縦型金属 NGS は、上下配線の交点位置にメモリを構成するので、その特徴をいかして、例えば Si ウェハ系デバイスに拘らず、薄膜系デバイスやインプリント技術、MEMS などのデバイス体系にメモリ機能を提供する技術として、採用、事業化するシナリオも考えられる。つまりこのようなデバイス体系には、そのカテゴリー独自のメモリ機能を有する素子はないが、本研究開発の NGS は、金属配線のみで実現できるので、Si ウェハ系の以外のデバイスのみで、メモリ機能を有するデバイスが実現できる。

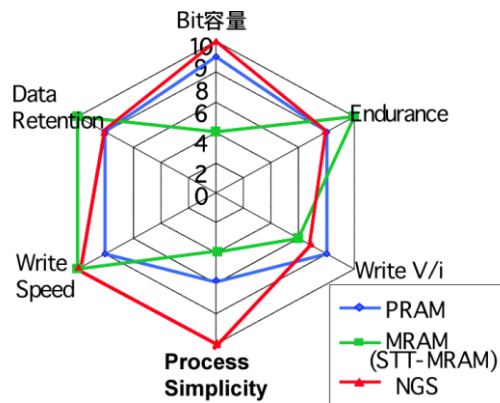


図2 次世代メモリの性能比較

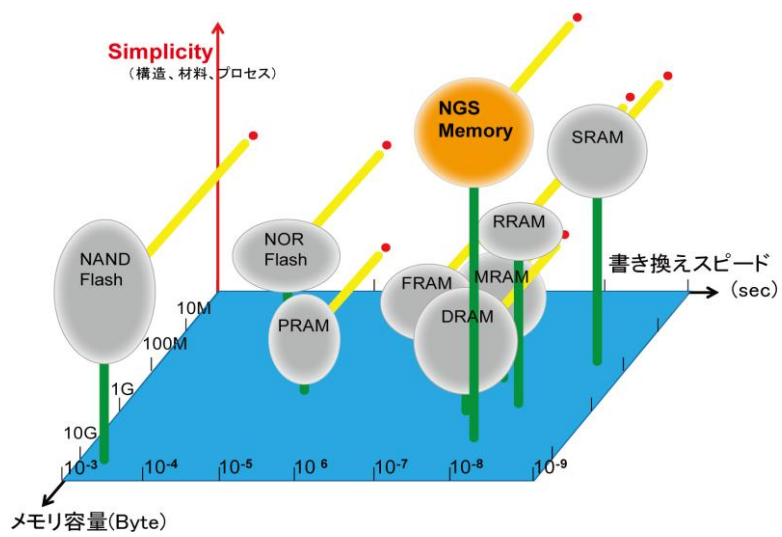


図3 ナノギャップメモリの特長

③材料技術

③－(1)「カーボンナノチューブトランジスタ技術の研究開発」

(1) 成果の実用化可能性

基礎・基盤研究として実施してきており、現時点では実用化の可能性を議論する段階には達していない。

(2) 波及効果

CNT-FET が実用化されれば、超低消費電力、超高速情報処理装置用のキーデバイスとしてその性能向上に大きく貢献することが期待される。また本研究で得られた知見は、CNT ネットワークをチャンネルとするディスプレイ用薄膜トランジスタとして発展することが期待される。

③ー(2)「シリコンプラットフォーム上 III-V 族半導体チャネルトランジスタ技術の研究開発」

(1) 成果の実用化可能性

- ・ITRSの技術ロードマップに従えば、本技術は、2018年頃の実用化が想定されており、CMOSロジックを牽引する重要な技術として、引き続き、極めて強い実用化への期待が醸成されている。
- ・海外メーカーを中心に、本技術は実用化への検討が続けられており、その中でも、本プロジェクトの成果は、高い注目を集めている。この動向を受けて、特に、国内の装置メーカーからの期待が高い。
- ・本技術の実用化に向けて、さらにもう一段階の実用化プロジェクトを実施し、Lgが10nm以下となる技術世代に対応した微細化・集積化技術とともに、量産化のための装置技術・材料技術等の開発を継続することが必要である。国内のデバイスメーカー、装置メーカーでIII-Vチャネル技術に関心を持つ企業も現れてきており、本Pjに参加している住友化学にこれらの企業を加えた開発体制を構築することが考えられる。
- ・NEDO「省エネルギー革新技術開発事業／先導研究」に採択された「極低消費電力 III-V 族化合物半導体 CMOS の研究開発」(代表者:高木信一、実施期間:平成23~25年度)において、東京大学、住友化学、NTTとの共同研究として、本研究開発で進めた基板技術、デバイス技術の更なる深耕を、平成24年度より開始している。
- ・内閣府・最先端研究開発支援プログラムに採択された「グリーン・ナノエレクトロニクスのコア技術開発」(中心研究者:横山直樹、実施期間:平成21~25年度)は、「低電圧動作 CMOS」のサブテーマにおいて、LSIの消費電力を従来の1/10~1/100へ削減するための基盤技術の開発を目指している。当該技術に関心を持つ企業からの出向者を含む産総研の連携研究体グリーン・ナノエレクトロニクスセンターは、平成24年度から、本研究開発で形成法が確立された III-V-OI チャネルを利用した新原理・新構造デバイスの研究を進めている。

(2) 波及効果

・III-VチャネルをSiプラットフォーム上に形成してMOSFETを構成する技術は、本プロジェクトの目標であるMore Moore応用に留まらない。多様な材料をSi基板上に集積化する手法は、Heterogeneous Integration(異種集積)技術とも呼ばれるが、このような製造技術を駆使し、III-V族化合物半導体を使うことで、より高い機能・性能が得られる、光デバイスやセンサー、太陽電池などの異種機能デバイスをSi CMOS回路と集積化して、新規のSoC(System on a Chip)を実現することが可能であり、More than Mooreと呼ばれる応用に繋がる。また、III-Vチャネルを用いることで、トンネルMOSFETやスピンMOSFETなど、従来のCMOSとは異なる原理のスイッチングデバイスを実現できる可能性もある。このような方向性は、Beyond CMOSと呼ばれる応用対象である。以上のように、III-V/GeチャネルCMOSをSiプラットフォームに実現する要素デバイス・プロセス技術の開発は、半導体集積デバイス・回路技術に、単なるCMOS性能向上に留まらない多面的なインパクトをもたらすことが期待でき、新たな半導体市場を広げる意味でも、意義深い。

③ー(3)「シリコンウエハ中の原子空孔濃度定量評価技術の研究開発」

(1) 成果の実用化可能性

・半導体産業で用いられているシリコン結晶では、Si 原子一個が抜けた原子空孔および Si 原子一個が余分に入り込んだ格子間シリコンが制御されている。しかし、産業的に有用な原子空孔領域を格子間シリコン領域とから区分する計測法が存在せず、IT 産業でのデバイス製造プロセスにおいて困難が生じている。これまでに、超音波によって測定されるシリコン結晶の弾性定数の低温ソフト化の大きさが原子空孔濃度に比例していることを利用すればシリコン結晶中での原子空孔濃度を評価できることを示した。特に、フラッシュメモリなどの超 LSI 製造において用いられているボロン添加シリコンウエハ中の原子空孔濃度評価への実用化が喫緊の課題である。本委託開発においては低温超音波計測システムの開発を進め、ボロン添加シリコン結晶中の原子空孔の低温ソフト化その磁場依存性の解明を進めている。超音波計測によりシリコン結晶中の原子空孔評価の実用化が可能である。

(2) 波及効果

・本委託開発におけるボロン添加シリコン中の原子空孔評価は、IT 産業での高品質シリコンウエハを対象にしたものであり、現状において世界で唯一の技術であり代替方法は存在しない。これは、我が国での超音波物理の基礎研究の成果が半導体産業の原子空孔評価の革新的技術に発展したものであり、実用化に伴う波及効果は極めて大きい。今後ともフラッシュメモリなどのデバイスへの需要は大きく、その生産を支えるシリコンウエハの需要も増大するので、原子空孔評価の実用化によって、高品質シリコン結晶の開発、新しいプロセス技術、原子空孔評価装置の標準化が進む。また、太陽電池基盤シリコン材料の原子空孔評価は高効率化へ重要な技術であり、発展が望める。このように、原子空孔評価実用化には、ナノテク・材料からエネルギー・環境に及ぶ広範な波及効果が期待される。

添付資料

(添付資料)

論文リスト

① - (1)「シリコンナノワイヤトランジスタの知識統合研究開発」

(a) 投稿論文

平成20年度

	発表日	発表媒体	発表タイトル	発表者
1	2008.9.23	Extended Abstracts of the 2008 SOLID STATE DEVICES AND MATERIALS	Self-limiting Growth Behavior of Epitaxial NiSi ₂ and its Impact on Controlled Silicidation of Metal Source/Drain in Silicon Nanowire MOSFETs	右田 真司, 森田 行則, 田岡 紀之, 水林 亘, 太田 裕之
2	2008.11.10	Extended abstract of International symposium on surface science and nanotechnology	AFM measurement of minute Si surface etching by oxygen molecule	森田 行則, 清水 哲夫, 田中 深幸, 右田 真司, 太田 裕之
3	2009.1.23	ゲートスタック研究会(第14回)-材料・プロセス・評価の物理-	酸素分子によるlayer-by-layer Si 表面エッチングのAFM測定	森田 行則, 右田 真司, 田岡 紀之, 水林 亘, 太田 裕之
4	2008.5.12	Phys. Rev. B 77, 201401(R) (2008)	Formation of silicon-fullerene-linked nanowires inside carbon nanotubes: A molecular-dynamics and first-principles study	Kengo Nishio, Taisuke Ozaki, Tetsuya Morishita, and Masuhiro Mikami
5	2009.3.18	ULIS 2009: 10TH INTERNATIONAL CONFERENCE ON ULTIMATE INTEGRATION OF SILICON p. 61-64	Computational Exploration of Novel Silicon Nanostructures	Kengo Nishio, Taisuke Ozaki, Tetsya Morishita, Wataru Shinoda, Masuhiro Mikami
6	2008	Journal of Physics: Conference Series 106 (2008) 012017	Evaluation of Two-Dimensional Distribution of Dielectric Degradation in Stressed SiO ₂ Film by Etch-Rate Difference	S.Okamoto, Y.Tokukawa, R.Hasunuma, M.Ogino, H.Kuribayashi, Y.Sugahara and K.Yamabe
7	2008	Thin Solid Films, 516, 9 2348-2357 (2008)	Nanoscale Dynamics Probed by Laser-Combined Scanning Tunneling Microscopy	H. Shigekawa, S. Yoshida, O. Takeuchi, M. Aoyama, Y. Terada, H. Kondo and H. Oigawa
8	2008	Appl. Phys. Lett. 92, 102105 (2008)	Probing nanoscale potential modulation by defect-induced gap states on GaAs(110) using Light-Modulated Scanning Tunneling Spectroscopy	S. Yoshida, Y. Kanitani, O. Takeuchi and H. Shigekawa

9	2008	Materials Integration Vol.21 No.07, 10-20 (2008) in Japanese.	STM/STS for Evaluation of Physical Properties of Nanoparticles	Hidemi Shigekawa, Atsushi Taninaka, Syoji Yoshida, Arifumi Okada, Yasuhiko Terada and Osamu Takeuchi
10	2008	Jpn. J. Appl. Phys., 47, 7, 6117-6120 (2008)	Nanoscale mapping of built-in potential in GaAs p-n junction using Light-Modulated STM	S. Yoshida, Y. Kanitani, R. Oshima, Y. Okada, O. Takeuchi and H. Shigekawa
11	2008	Nano Lett.Vol. 8, No. 11, 3577-3581(2008)	Optical doping: active control of metal-insulator transition in nanowire	Yasuhiko Terada, Shoji Yoshida, Atsushi Okubo, Ken Kanazawa, Maojie Xu, Osamu Takeuchi and Hidemi Shigekawa
12	2008	Appl. Phys. A. 93, 589-592 (2008)	Impurity doping in silicon nanowires synthesized by laser ablation	N. Fukata, S. Matsushita, N. Okada, J. Chen, T. Sekiguchi, N. Uchida, and K. Murakami
13	2008	Solid State Phenom. 131-133, 553-558 (2008)	Phonon confinement and impurity doping in silicon nanowires synthesized by laser ablation	N. Fukata, T. Oshima, N. Okada, S. Matsushita, T. Tsurui, J. Chen, T. Sekiguchi, and K. Murakami
14	2008	Appl. Phys. Lett. 93, 203106(2008)	Codoping of boron and phosphorus in silicon nanowires synthesized by laser ablation	N. Fukata, M. Mitome, Y. Bando, M. Seoka, S. Matsushita, K. Murakami, J. Chen, and T. Sekiguchi
15	2008	Phys. stat. sol.(c), 5, pp.102-106 (2008)	3D Monte Carlo Simulations including Full Coulomb Interaction under High Electron Concentration Regimes	Tadayoshi Uechi, Takayuki Fukui, and Nobuyuki Sano
16	2008	J.Comp. Electron., 7, pp.301-304 (2008)	Consistency of Boundary Conditions in Nonequilibrium Green's Function Simulations	Suguru Sato and Nobuyuki Sano
17	2008	J.Comp. Electron., 7, pp.240-243 (2008)	3D Monte Carlo Analysis of potential Fluctuations under High Electron Concentrations	Tadayoshi Uechi, Takayuki Fukui, and Nobuyuki Sano,
18	2008	J.Comp. Electron., 7, pp.471-474 (2008)	Schottky Barrier MOSFETs as Resonant Tunneling Devices	Shuichi Toriyama and Nobuyuki Sano
19	2008	Appl. Phys. Exp., 1, pp.05107_1-3 (2008)	Three-dimensional Monte Carlo Simulation of Electron Transport in Si Including Full Coulomb Interaction	Takayuki Fukui, Tadayoshi Uechi, and Nobuyuki Sano

平成21年度

	発表日	発表媒体	発表タイトル	発表者
1	2009.6.11	Proceedings of 9th IWJT 2009	Atomic-Scale Controlled Growth of Epitaxial NiSi ₂ Films for Schottky Source/Drain of Silicon Nanowire	右田 真司, 森田 行則, 田岡 紀之, 水林 亘, 太田 裕之

			Transistors	
2	2009	Jpn.J.Appl.Phys., 48, 05DB03(2009)	Improvement of Dielectric Properties on Deposited SiO ₂ Caused by Stress Relaxation with Thermal Annealing	Mitsuru Sometani, Ryu Hasunuma, Masaaki Ogino, Hitoshi Kuribayashi, Yoshiyuki Sugahara, and Kikuo Yamabe
3	2009	Jpn.J.Appl.Phys., 48, 05DD02(2009)	Vestiges of multiple progressive dielectric breakdown on HfSiON surfaces	T.Hayashi, C.Tamura, M.Sato, R.Hasunuma, and K.Yamabe
4	2009	Jpn.J.Appl.Phys., 48, 05DB02(2009)	Roughness Increase on Surface and Interface of SiO ₂ Grown on Atomically Flat Si(111) Terrace	K.Ohsawa, Y.Hayashi, R.Hasunuma and K.Yamabe
5	2009	Jpn.J.Appl.Phys., 48, 05DD03(2009)	Analyses of Threshold Voltage Shift on Hole Injection in HfSiO _x Films	C.Tamura, T.Hayashi, Y.Kikuchi, K.Ohmori, R.Hasunuma and K.Yamabe
6	2009	Jpn.J.Appl.Phys., 48, 051201(2009)	Changes in Concentrations of Copper and Nickel on Boron-Doped Czochralski-Grown Silicon Surface at Room Temperature	R.Takeda, M.Narita, S.Tani-ike and K.Yamabe
7	2009	Jpn.J.Appl.Phys., 48, 056502(2009)	Hole Mobility Enhancement Caused by Gate-Induced Vertical Strain in Gate-First Full-Metal High-k P-Channel Field Effect Transistors Using Ion-Beam W	F.Ootsuka, A.Katakami, K.Shirai, H.Nakata, T.Eimori, Y.Nara, Y.Ohji, K.Shimura, S.Horii, N.Sano and K.Yamabe
8	2009	Jpn. J. Appl. Phys. (in press)	Analysis of Photon-Induced Drain Current in Polycrystalline-Silicon Thin-Film Transistors	Hiroyuki Ikeda and Nobuyuki Sano

(b) 学会発表

平成19年度

	発表日	学会名	発表タイトル	発表者
1	2007.11.26	第21回分子シミュレーション討論会	ゲスト内包ポリ20面体Siナノワイヤの電子状態計算	西尾憲吾、尾崎泰助、森下徹也、篠田渉、三上益弘
2	2008.2.18	スーパーコンピュータワークショップ2008	新奇なSiナノ構造の探索とその物性予測	西尾憲吾、尾崎泰助、森下徹也、篠田渉、三上益弘
3	2007.3.15	American Physical Society March meeting 2008	The effect of the sodium and iodine doping on the electronic band structure of the polyicosahedral Si nanowire: A first principles study	Kengo Nishio, Taisuke Ozaki, Tetsya Morishita, Wataru Shinoda, Masuhiro Mikami
5	2008.3.23	日本物理学会 第63回年次大会	第一原理電子状態計算によるポリ20面体Siナノ構造のSi ₂₀ ケージへのドーピング効果の研究	西尾憲吾、尾崎泰助、森下徹也、篠田渉、三上益弘
6	2007.11.27	第21回分子シミュレーション討論会	スリット状細孔におけるナノシートSiの形成シミュレーション	森下徹也、西尾憲吾、三上益弘

7	2008.03.23	日本物理学会第63回年次大会	スリット状細孔におけるナノシートSiの形成シミュレーション	森下徹也、西尾憲吾、三上益弘
8	2007.05.16	Electrochemical Society Fall Meeting	(Invited) Tight Distribution of Dielectric Characteristics of HfSiON in Metal Gate Devices	R.Hasunuma, T.Naito, C.Tamura, A.Uedono, K.Shiraishi, N.Umezawa, T.Chikyow, S.Inumiya, M.Sato, Y.Tamura, H.Watanabe, Y.Nara, Y.Ohji, S.Miyazaki, K.Yamada, and K.Yamabe
9	2007.06.07	第93回研究集会 表面・界面・シリコン材料研究委員会	HfSiOxの閾値変動に対する窒素添加効果	田村知大・内藤達也・佐藤基之・犬宮誠治・蓮沼 隆・山部紀久夫
10	2007.10.1	The Second International Symposium on Atomic Technology(ISAT-2)	Evaluation of Two-Dimensional Distribution of Dielectric Degradation Using Difference in Etching Rate of Stressed SiO2	S.Okamoto, Y.Ttokukawa, R.Hasunuma, K.Yamabe, M.Ogino, H.Kuribayashi and Y.Sugahara
11	2007.10.1	The Second International Symposium on Atomic Technology(ISAT-2)	Native oxidation from atomic steps on Si(111) surface	K.Ohsawa, R.Hasunuma and K.Yamabe
12	2008.01.14	応用物理学会薄膜・表面物理分科会/シリコンテクノロジー分科会共催特別研究会	ゲート電極形成後の熱処理によるHfSiON膜への影響	村田晃一、田村 知大、林 倫弘、佐藤 基之、蓮沼 隆、山部 紀久夫
13	2008.01.14	応用物理学会薄膜・表面物理分科会/シリコンテクノロジー分科会共催特別研究会	HfSiON膜の電気的特性へ与える高温PNA処理の影響	林倫弘、田村 知大、中村 源志、赤坂 泰志、蓮沼 隆、山部 紀久夫
14	2008.01.14	応用物理学会薄膜・表面物理分科会/シリコンテクノロジー分科会共催特別研究会	HfSiON/TaSiゲートスタックnMOS反転側ゲートリーク電流機構と破壊特性に関する考察	佐藤基之、鬼沢岳、青山敬幸、奈良安雄、大路譲、山部紀久夫
15	2008.01.14	応用物理学会薄膜・表面物理分科会/シリコンテクノロジー分科会共催特別研究会	窒素添加がHfSiOxのNBTIに与える影響	田村知大、林 倫弘、村田 晃一、犬宮 誠治、佐藤 基之、蓮沼 隆、山部 紀久夫
16	2008.01.14	応用物理学会薄膜・表面物理分科会/シリコンテクノロジー分科会共催特別研究会	ラジカル酸化膜の絶縁破壊特性	岡本真一、蓮沼隆、山部紀久夫
17	2008.01.14	応用物理学会薄膜・表面物理分科会/シリコンテクノロジー分科会共催特別研究会	HfSiON膜中の欠陥と電気特性に見られるその影響	蓮沼隆、田村知大、林 倫弘、佐藤基之、山部紀久夫
18	2008.03.13	First International Symposium on Interdisciplinary Materials Science (ISIMS-2008)	Dielectric characteristics of SiO2 film formed by radical oxygen",	S.Okamoto, R.Hasunuma and K.Yamabe

19	2008.03.13	First International Symposium on Interdisciplinary Materials Science (ISIMS-2008)	The effect of infiltration on atomic step flow	K.Kamata, R.Ozaki, R.Hasunuma and K.Yamabe
20	2007. 12	The 15th International Colloquium on Scanning Probe Microscopy	Indium Nanowires and Nanodots Grown on In/Si(111) Surface	M. Xu, A. Okada, S. Yoshida, K. Kanazawa, K. Hayashi, O. Takeuchi and H. Shigekawa
21	2008.02	合同シンポジウム「凝縮系の超高速現象とコヒーレント制御」	INVITED Femtosecond time-resolved STM and its application to the analysis of ultrafast dynamics in the nanoscale world	重川秀実
22	2008. 02.29	第7回メゾテクノロジーフォーラム —原子・ナノ・メゾにわたる表面・内部の電子状態分布計測の最先端—	INVITED 光STMによるナノスケールキャリアダイナミクス計測	重川秀実
23	2008. 03.03	第2回「光と物質」研究会	INVITED STM で覗くナノスケール光誘起ダイナミクス	重川秀実
24	2008. 03.05	第7回ドーパント計測研究会	光励起STMを用いた半導体超高速キャリアダイナミクス計測	吉田 昭二、寺田 康彦、武内修、重川秀実
25	2008. 03	第1回学際物質科学国際シンポジウム (ISIMS-2008)	Nanoscale imaging of carrier dynamics in semiconductor heterostructures by femtosecond time-resolved STM	Yasuhiko Terada, Shoji Yoshida, Hiroyuki Kondo, Atsushi Okubo, Osamu Takeuchi, and Hidemi Shigekawa
26	2008. 03	第1回学際物質科学国際シンポジウム (ISIMS-2008)	Influence of junction geometry on single molecular conductance investigated by STM point contact method	Shoji Yoshida, Yoshitaka Okutsu, Osamu Takeuchi, and Hidemi Shigekawa
27	2008. 03	2008年春季 第55回応用物理学関係連合講演会	Nanoscale mapping of carrier dynamics in PIN junction using time-resolved STM	寺田 康彦、近藤 博行、吉田昭二、武内 修、重川 秀実
28	2007.12.12	International Semiconductor Device Research Symposium (ISDRS 2007)	Effects of Gate-Edge Metamorphoses (GEM) on Device Characteristics of Scaled MOSFETs	Tatsuya Yamada and Nobuyuki Sano

平成20年度

	発表日	学会名	発表タイトル	発表者
1	2008.9.3	2008年秋季 第69回応用物理学学会学術講演会	酸素によるSi(001)表面のエッチング: エッチングレートAFMを用いた測定	森田 行則,清水 哲夫,田中 深幸,右田 真司,太田 裕之
2	2008.9.23	2008 年国際固体素子・材料コンファレンス(SSDM 2008)	Self-limiting Growth Behavior of Epitaxial NiSi ₂ and its Impact on Controlled Silicidation of Metal Source/Drain in Silicon Nanowire MOSFETs	右田 真司,森田 行則,田岡 紀之,水林 亘,太田 裕之

3	2008.11.10	5th International Symposium on Surface Science and Nanotechnology (ISSS-5)	AFM measurement of minute Si surface etching by oxygen molecule	森田 行則,清水 哲夫,田中 深幸,右田 真司,太田 裕之
4	2009.1.23	ゲートスタック研究会	酸素分子によるlayer-by-layer Si表面エッチングのAFM測定	森田 行則,右田 真司,田岡 紀之,水林 亘,太田 裕之
5	2009.3.30	第56回応用物理学会関係 連合講演会	SiナノワイヤへのNiSi ₂ エピタキシャルソース・ドレイン形成	右田 真司,森田 行則,田岡 紀之,水林 亘,太田 裕之
6	2008.4.22	OPENMX/QMAS workshop 2008	Electronic and optical properties of polyicosahedral Si nanostructures	西尾憲吾、尾崎泰助、森下徹也、篠田渉、三上益弘
7	2008.5.12	第6回ナノ学会	ポリ20面体Si ナノワイヤの Si ₂₀ ケージへのドーピング効果	西尾憲吾、尾崎泰助、森下徹也、篠田渉、三上益弘
8	2008.6.19	International Symposium on Multi-scale Simulations of Biological and Soft Materials (MSBSM2008)	Formation of Si fullerene linked nanowires inside carbon nanotubes: A molecular dynamics and first-principles study	西尾憲吾、尾崎泰助、森下徹也、三上益弘
9	2008.6.27	1st “computational sciences” seminar at Japan Advanced Institute of Science and Technology	Atomic and Electronic Structure of Si-fullerene-linked nanowires	西尾憲吾
10	2008.8.29	第35回記念フラーレン・ナノチューブ総合シンポジウム	Formation of Si Fullerenes: A Molecular dynamics Study	西尾憲吾、尾崎泰助、森下徹也、三上益弘
11	2008.9.20	日本物理学会2008年秋季大会	シリコンフラーレンを数珠繋ぎした構造を持つナノワイヤのカーボンナノチューブ内での自己組織化	西尾憲吾、尾崎泰助、森下徹也、三上益弘
12	2008.11.17	第22回分子シミュレーション討論会	カーボンナノチューブ内でのSiフラーレンを数珠繋ぎした構造を持つナノワイヤの自己組織化	西尾憲吾、尾崎泰助、森下徹也、三上益弘
13	2008.12.9	Computational Science Workshop 2008	Molecular Dynamics Simulations of Formation of Silicon Nanostructures Having Fullerene-like Cages and Their Electronic Properties	Kengo Nishio, Taisuke Ozaki, Tetsya Morishita, Wataru Shinoda, Masuhiro Mikami
14	2009.2.16	「巨大計算新手法の開発と分子・物質シミュレーション中核拠点の形成」第5回連携研究会	分子動力学シミュレーションによる新奇的なシリコンナノ構造の探索	西尾憲吾、尾崎泰助、森下徹也、三上益弘

15	2008.3.5	最先端・高性能汎用スーパーコンピュータの開発利用」プロジェクト次世代ナノ統合シミュレーションソフトウェアの研究開発 第3回公開シンポジウム	カーボンナノチューブ内でのシリコンフラレン数珠繋ぎナノワイヤーの自己組織化	西尾憲吾、尾崎泰助、森下徹也、三上益弘
16	2009.3.10	Ultimate Integration on Silicon Conference 2009	Computational exploration of novel silicon nanostructures	Kengo Nishio, Taisuke Ozaki, Tetsya Morishita, Wataru Shinoda, Masuhiro Mikami
17	2008.09.24	International Conference on Solid State Materials and Devices (SSDM-2008)	Impacts of Random Dopant Fluctuation on Transient Characteristics in CMOS Inverters: A Device Simulation Study	Shuichi Toriyama, Kazuya Matsuzawa, and Nobuyuki Sano
18	2008.11.05	2008 Int. Workshop on Dielectric Thin Films for Future ULSI Devices-Science and Technology	The rate of degradation of thin SiO ₂ films under application of high electric stress	Z.Lu, M.Ogino, H.Kuribayashi, Y.sugahara, R.Hasunuma and K.Yamabe
19	2008.11.05	2008 International Workshop on Dielectric Thin Films for Future ULSI Devices-Science and Technology	Improvement of dielectric properties on TEOS-SiO ₂ caused by stress relaxation with thermal annealing	M.Sometani, R.Hasunuma, M.Ogino, H.Kuribayashi, Y.Sugahara and K.Yamabe
20	2008.11.05	2008 International Workshop on Dielectric Thin Films for Future ULSI Devices-Science and Technology(IWDTF-08)	Influence of Hole Trapping on Threshold Voltage Shift in HfSiO _x Films	C.Tamura, T.Hayashi, K.Ohmori, R.Hasunuma and K.Yamabe
21	2008.11.05	2008 International Workshop on Dielectric Thin Films for Future ULSI Devices-Science and Technology(IWDTF-08)	Vestiges of multiple progressive dielectric breakdown on HfSiON surfaces	T.Hayashi, C.Tamura, M.Sato, R.Hasunuma and K.Yamabe
22	2008.11.05	2008 International Workshop on Dielectric Thin Films for Future ULSI Devices-Science and Technology(IWDTF-08)	Micro roughness of silicon dioxide thermally grown on atomically flat silicon (111) terrace	K.Ohsawa, Y.Hayashi, R.Hasunuma and K.Yamabe
23	2009.01.13	薄膜・表面物理分科会・シリコンテクノロジー分科会共催特別研究会	応力緩和によるTEOS-SiO ₂ のリーク電流の抑制	染谷満、蓮沼 隆、荻野 正明、栗林 均、須ヶ原 紀之、山部 紀久夫
24	2009.01.13	薄膜・表面物理分科会・シリコンテクノロジー分科会共催特別研究会	原子の平坦Si (111)表面に形成した熱酸化膜のラフネス	大沢敬一郎、林 優介、蓮沼 隆、山部 紀久夫

25	2009.01.13	薄膜・表面物理分科会・シリコンテクノロジー分科会共催特別研究会	ラジカル酸化と熱酸化によるSiO ₂ 薄膜の膜質制御	呂釗、佐藤 慎九郎、蓮沼隆、山部 紀久夫
26	2009.01.13	薄膜・表面物理分科会・シリコンテクノロジー分科会共催特別研究会	HfSiO _x におけるしきい値電圧経時劣化の成分分離	田村知大、林 倫弘、菊地裕樹、大毛利 健治、蓮沼隆、山部 紀久夫
27	2009.01.13	薄膜・表面物理分科会・シリコンテクノロジー分科会共催特別研究会	HfSiON膜表面で観察される絶縁破壊の痕跡	林 倫弘、田村 知大、佐藤基之、蓮沼 隆、山部 紀久夫
28	2008.08.22	理研・次世代ナノシンポジウム	光励起STMを用いた半導体ナノスケール評価技術	武内修
29	2008.09	2008年秋季 第69回応用物理学会学術講演会	In/Si(111)ナノワイヤー金属絶縁体転移の光制御	大久保 淳史、寺田 康彦、吉田 昭二、武内 修、重川 秀実
30	2008.10	第4回真空・表面科学アジア・オーストラリア会議 (VASSCAA-4)	Optical control of metal-insulator transition in nanowire	Yasuhiko Terada, Shoji Yoshida, Atsushi Okubo, Maojie Xu, Osamu Takeuchi, and Hidemi Shigekawa
31	2008.10	第4回真空・表面科学アジア・オーストラリア会議 (VASSCAA-4)	Screened Coulomb potential around charged defects on GaAs(110) imaged by Light-Modulated Scanning Tunneling Microscopy	S. Yoshida, Y. Kanitani, O. Takeuchi and H. Shigekawa
32	2008.10	ECS Pacific Rim Meeting (PRIME)	(Invited) Electronic States of P Donors in Si nanocrystals embedded in SiO ₂ studied by Electron Spin Resonance and photoluminescence - Hydrogen Passivation Effects	K. Murakami
33	2008.11	表面科学とナノテクノロジーに関する国際シンポジウム(ISSS-5)	Optical Control of Metal-Insulator Phase Transition in In/Si(111) Nanowire	A. Okubo, Y. Terada, S. Yoshida, M. Xu, O. Takeuchi, H. Shigekawa
34	2008.12	The 16th International Colloquium on Scanning Probe Microscopy(ICSPM16)	Novel control of metal-insulator transition in nanowire by optical doping	Yasuhiko Terada, Shoji Yoshida, Atsushi Okubo, Osamu Takeuchi, and Hidemi Shigekawa
35	2008.12	The 16th International Colloquium on Scanning Probe Microscopy(ICSPM16)	Nanoscale carrier dynamics in GaInNAs p-n junction investigated by Laser Combined Scanning Tunneling Microscopy	S. Yoshida, Y. Terada, A. Ohkubo, N. Miyashita, R. Oshima, O. Takeuchi, and H. Shigekawa
36	2008.12	The 16th International Colloquium on Scanning Probe Microscopy(ICSPM16)	Observation of surface reconstructions and nanometer sized structures formed on In/Si(311)	M. Xu, A. Okada, S. Yoshida, K. Kanazawa, N. Ookawa, O. Takeuchi and H. Shigekawa
37	2008.12.15	表面化学サロン	INVITED 走査トンネル顕微鏡と局所分光ー	重川秀実

			光との融合で広がる世界ー	
38	2009. 01	"Unifying themes in condensed matter" at the Aspen Center for Physics	INVITED Imaging carrier dynamics in nanoscale potential landscapes by laser-combined scanning tunneling microscopy	Hidemi Shigekawa
39	2009. 01	JST-DFG「ナノエレクトロニクス」日独合同ワークショップ	INVITED Imaging carrier dynamics in nanoscale potential landscapes by laser-combined scanning tunneling microscopy	Hidemi Shigekawa
40	2009. 03	第2回学際物質科学国際シンポジウム (ISIMS-2009)	Carrier dynamics around localized gap states investigated by femtosecond time-resolved STM	Munenori Yokota, Yasuhiko Terada, Shoji Yoshida, Atsushi Okubo, Osamu Takeuchi and Hidemi Shigekawa
41	2009. 03	2009年春季 第56回応用物理学関係連合講演会	時間分解STMによるPIN接合のキャリアダイナミクスマッピング	大久保 淳史, 寺田 康彦, 吉田 昭二, 武内 修, 重川 秀実
42	2008.09.24	International Conference on Solid State Materials and Devices (SSDM-2008)	Impacts of Random Dopant Fluctuation on Transient Characteristics in CMOS Inverters: A Device Simulation Study	Shuichi Toriyama, Kazuya Matsuzawa, and Nobuyuki Sano
43	2008.9.23	International Conference on Solid State Materials and Devices (SSDM-2008)	(Invited) 3D Monte Carlo Simulations of Nano-scale Devices: Impact of Coulomb Interaction on Device Characteristics	Nobuyuki Sano, Tadayoshi Uechi and Takayuki Fukui
44	2009.2.21	IEEE EDS Mini-colloquium for Nano CMOS and Nanowire	(Invited) Impact of the Coulomb Interaction on Nano-scale Device Characteristics: A Monte Carlo Study	Nobuyuki Sano

平成21年度

	発表日	学会名	発表タイトル	発表者
1	2009.6.11	9th International Workshop on Junction Technology	Atomic-Scale Controlled Growth of Epitaxial NiSi ₂ Films for Schottky Source/Drain of Silicon Nanowire Transistors	右田 真司, 森田 行則, 田岡 紀之, 水林 亘, 太田 裕之
2	2009.9.8	2009年秋季 第70回応用物理学学会学術講演会	ラマン散乱のエッジ増強効果とSiナノストライプへの応用	多田 哲也, Pobortchi Vladimir, 金山 敏彦
3	2009.9.8	2009年秋季 第70回応用物理学学会学術講演会	酸素エッチングを用いたサブ10nmの断面寸法を持つSiナノワイアの形成	森田 行則, 右田 真司, 水林 亘, 太田 裕之

4	2009.5.9	ナノ学会 第7回	シリコンフラーレン数珠繋ぎナノワイヤーのカーボンナノチューブ内での形成	西尾憲吾、尾崎泰助、森下徹也、三上益弘
5	2009.8.4	1st Nano Today Conference	Exploration of Novel Silicon Nanostructures by Molecular Dynamics Simulation	Kengo Nishio, Taisuke Ozaki, Tetsya Morishita, Wataru Shinoda, Masuhiro Mikami
6	2009.9.26	日本物理学会 2009 年秋季大会	Si ナノワイヤーの酸化膜界面構造に関する研究: 連続ランダムネットワークを用いたシミュレーション	美馬俊喜, 西尾憲吾, 三上益弘
7	2009.05.05	The Third International Symposium on Atomic Technology(ISAT-3)	Roughness Increase on Surface and Interface of SiO ₂ Grown on Atomically Flat Si (111) Terrace	K.Ohsawa, Y.Hayashi, R.Hasunuma, and K.Yamabe
8	2009.05.05	The Third International Symposium on Atomic Technology(ISAT-3)	Reliability Control of Silicon Dioxide Films by Radical and Thermal Oxidation	Z.Lu, S.Sato, R.Hasunuma and K.Yamabe
9	2009.05.25	215th Electrochem.Soc., Spring Meeting	(Invited) 2-D Roughening of SiO ₂ Thermally Grown on Atomically Flat Si surface",	K.Yamabe, K.Ohsawa, Y.Hayashi, and R.Hasunuma
10	2009.07.03	シンポジウム「超短パルスを使ったイメージング」日本光学会光波シンセシス研究グループ	INVITED フェムト秒時間分解STMによるナノスケールイメージング	重川 秀実
11	2009.05.27	International Workshop on Computational Electronics (IWCE-13)	(Invited) Scaling FETs to 10 nm: Coulomb Effects, Source Starvation, and Virtual Source	M.V.Fischetti, S. Jin, T.-w. Tang, P. Asbeck, Y. Taur, S. E. Laux, and N. Sano

(c) 表彰等

平成20年度

	発表日	内容	タイトル等	受賞者等
1	2009.03.29	日本物理学会若手奨励賞	第一原理分子動力学法を用いたポリアモルフィズムの研究	森下徹也

平成19年度

	発表日	内容	タイトル等	発表者等
1	2008.03.15	スーパーコンピューティング技術産業応用協議会	(依頼講演) 材料・デバイス統合型シミュレーションシステム開発向けの課題 - ナノワイヤトランジスタとDDSを例に -	三上益弘

平成 20 年度

	発表日	内容	タイトル等	発表者等
1	2009.01.09	ナノプローブテクノロジー第167委員会第53回研究会	(依頼講演) 測長AFMによるデバイス立体形状測定	権太 聡、木下 和人

平成**21**年度

	発表日	内容	タイトル等	発表者等
1	2009.5.28	金沢大学大学院自然科学研 究科セミナー	(依頼講演) 分子シミュレーションによる分子膜 とシリコンクラスターの構造と機能 の研究	三上益弘

(e)特許

(国内特許)

平成**19**年度

出願： 2件

登録： 0件

平成**20**年度

出願： 1件

登録： 0件

① – (2)「ナノワイヤFETの研究開発」

(a) 投稿論文

平成20年度

	発表日	発表媒体	発表タイトル	発表者
1	2008.5	ECS Transaction, vol.13(2), pp. 51-56	Quantum Effects of Capacitance in Nano-Scale Devices	Kazuyuki Uchida
2	2008.6	Applied Surface Science, vol. 254, pp.6194-6198	Ballistic/quasi-ballistic transport in nanoscale transistor	K. Natori
3	2008.10	ECS Transaction, vol.16(40), pp. 1-5	Electronic Structure Analysis of Silicon Nanowires for High Conductivity in n- and p-channel Nanowire-FET	Yeonghun Lee, Takahiro Nagata, Kuniyuki Kakushima, Kenji Shiraishi, H. Iwai
4	2008.11	IEEE Transaction on Electron Device, vol. 55, pp.2877-2855	Compact Modeling of Ballistic Nanowire MOSFETs	K. Natori
5	2009.3	Japanese Journal of Applied Physics, vol. 48, 034503	New Solution to High-Field Transport in Semiconductors: I. Elastic Scattering without Energy Relaxation	K. Natori
6	2009.2	Physical Review B, vol. 79, 085402	Electronic properties of a carbon nanotube in a field-effect transistor structure: A first-principles study	Kazuyuki Uchida, Susumu Okada
7	2009.3	Japanese Journal of Applied Physics, vol. 48, 034504	New Solution to High-Field Transport in Semiconductors: II. Velocity Saturation and Ballistic Transmission	K. Natori
8	2009.3	ECS Transaction, vol.18(1), pp. 71-75	Evaluation of Lateral Ni Diffusion in Si Nanowire Schottky Contact	Hideyuki Kamimura, Soushi Sato, Kuniyuki Kakushima, Parhat Ahmet, Kazuo Tsutsui, Nobuyuki Sugii, Takeo Hattori, and Hiroshi Iwai

平成21年度

	発表日	発表媒体	発表タイトル	発表者
1	2009.6	Physical Review B, vol. 79, 235444	Electronic structure calculations for a carbon nanotube capacitor with a dielectric medium	Kazuyuki Uchida, Atsushi Oshiyama
2	2009.7	Microelectronic Engineering, vol. 86, pp.1520-1528	Roadmap for 22 nm and beyond	H. Iwai
3	2009.10	ECS Transaction, <i>in press</i>	Annealing Reaction for Ni Silicidation of Si Nanowire	H. Arai, H. Kamimura, S. Sato, K. Kakushima, P. Ahmet, K. Tsutsui, N. Sugii, K. Natori, T. Hattori, H. Iwai
4	2009.07	Microelectronic Engineering, Vol. 86, pp.1520-1528	Roadmap for 22 nm and beyond	H. Iwai
5	2009.10	Journal of computational theoretical nanoscience,	First-principle calculation for extremely large systems by parallel computations based on	J. –I. Iwata

		Vol. 6, 2514	the order- N^3 real-space density-functional theory	
6	2010.01	e-Journal of Surface Science and Nanotechnology Vol. 8, 48	Large-Scale First-Principles Electronic Structure Calculations for Nano-Meter Size Si Quantum Dots	J.-I. Iwata, A. Oshiyama, K. Shiraishi
7	2010.01	Jpn. J. Appl. Phys., Vol. 49, 014001	Temperature dependence of electron tunneling between two dimensional electron gas and Si quantum dots	Y. Sakurai, J. Iwata, M. Muraguchi, Y. Shigeta, Y. Takada, S. Nomura, T. Endoh, S. Saito, K. Shiraishi, M. Ikeda, K. Makihara, and S. Miyazaki
8	2010.02	Physica E 42 , 918-921	Anomalous temperature dependence of electron tunneling between a two-dimensional electron gas and Si dots	Y. Sakurai, S. Nomura, Y. Takada, K. Shiraishi, M. Muraguchi, T. Endoh, Y. Shigeta, M. Ikeda, K. Makihara, S. Miyazaki
9	2010.03	Journal of Computational Physics, Vol. 229, No. 6, pp. 2339-2363	A massively-parallel electronic-structure calculations based on real-space density functional theory	J.-I. Iwata, D. Takahashi, A. Oshiyama, T. Boku, K. Shiraishi, S. Okada, K. Yabana

平成 22 年度

	発表日	発表媒体	発表タイトル	発表者
1	2010.05	IEICE Transactions on Electronics, Vol. E93-C(5), pp. 563-568	Importance of the Electronic State on the Electrode in Electron Tunneling Processes between the Electrode and the Quantum Dot	M. Muraguchi, Y. Takada, S. Nomura, T. Endoh, K. Shiraishi
2	2010.06	Journal of Applied Physics, Vol. 107(11), 113705	Size-dependent properties of ballistic silicon nanowire field effect transistors	Y. Lee, K. Kakushima, K. Shiraishi, K. Natori, H. Iwai
3	2010.07	Applied Physics Letters, Vol. 97 (3), 032101	Trade-off between density of states and gate capacitance in size-dependent injection velocity of ballistic n-channel silicon nanowire transistors	Y. Lee, K. Kakushima, K. Shiraishi, K. Natori, H. Iwai
4	2010.09	Physica E, Vol. 42, pp. 2602-2605	Importance of electronic state of two-dimensional electron gas for electron injection process in nano-electronic devices	M. Muraguchi, T. Endoh, Y. Takada, Y. Sakurai, S. Nomura, K. Shiraishi, M. Ikeda, K. Makihara, S. Miyazaki, Shigeta
5	2010.09	Physica E, Vol. 42, pp. 2837-2840	Proposal of a new physical model for Ohmic contacts	Y. Takada, M. Muraguchi, T. Endoh, S. Nomura, K. Shiraishi
6	2010.09	Physica E 42 , 918-921	Anomalous temperature dependence of electron tunneling between a two-dimensional electron gas and Si dots	Y. Sakurai, S. Nomura, Y. Takada, K. Shiraishi, M. Muraguchi, T. Endoh, Y. Shigeta, M. Ikeda, K. Makihara, S. Miyazaki
7	2010.09	Solid-State Electronics, Vol. 54 (9), pp. 925-928	Electrical characterization of Si nanowire field-effect transistors with semi gate-around structure suitable for integration	S. Sato, H. Kamimura, H. Arai, K. Kakushima, P. Ahmet, K. Ohmori, K. Yamada, H. Iwai

8	2011.01	Microelectronics Reliability, Vol. 51(5), pp. 879-884	Structural advantages of rectangular-like channel cross-section on electrical characteristics of silicon nanowire field-effect transistors	S. Sato, K. Kakushima, P. Ahmet, K. Natori, K. Yamada, H. Iwai
9	2011.02	Key Engineering Materials, 470 , pp. 39-42	Photoluminescence Characteristics of Ultra-Thin Silicon-on-Insulator at Low Temperatures	Y. Sakurai, S. Nomura, K. Shiraishi, K. Ohmori, K. Yamada
10	2011.02	Key Engineering Materials, Vol. 470, pp. 207-213	Quasi-Ballistic Transport in Nano-Scale Devices: Boundary Layer, Potential Fluctuation, and Coulomb Interaction	N. Sano and T. Karasawa
11	2011.03	Applied Physics Express, Vol. 4(4), 044201	Experimental Characterization of Quasi-Fermi Potential Profile in the Channel of a Silicon Nanowire Field-Effect Transistor with Four-Terminal Geometry	S. Sato, K. Ohmori, K. Kakushima, P. Ahmet, K. Natori, K. Yamada, H. Iwai

平成 23 年度

	発表日	発表媒体	発表タイトル	発表者
1	2011.04	Jpn. J. Appl. Phys., Vol. 50, 04DD04	Collective tunneling model in charge-trap-type nonvolatile memory cell	M. Muraguchi, Y. Sakurai, Y. Takada, Y. Shigeta, M. Ikeda, K. Makihara, S. Miyazaki, S. Nomura, K. Shiraishi, T. Endoh
2	2011.05	Science China-Information Sciences, Vol. 54(5), pp. 1004-1011	Si nanowire FET and its modeling	H. Iwai, K. Natori, K. Shiraishi, J.-I. Iwata, A. Oshiyama, K. Yamada, K. Ohmori, K. Kakushima, P. Ahmet
3	2011.06	J. Appl. Phys., Vol. 109(11), 113712	Corner effects on phonon-limited mobility in rectangular silicon nanowire metal-oxide-semiconductor field-effect transistors based on spatially resolved mobility analysis	Y. Lee, K. Kakushima, K. Natori, H. Iwai
4	2011.06	Appl. Phys. Lett., Vol. 98(23), 223506	Extraction of additional interfacial states of silicon nanowire field-effect transistors	S. Sato, W. Li, K. Kakushima, K. Ohmori, K. Natori, K. Yamada, H. Iwai
5	2011.07	J. Phys: Conf. Seris, Vol. 302, 012030	Large-scale electronic-structure calculations for nanomaterials in density functional theory	A. Oshiyama and J.-I. Iwata
6	2010.10	J. Comp. Electron. Vol. 10, pp. 98-103	Impact of the Coulomb Interaction on Nano-Scale Silicon Device Characteristics,	N. Sano

7	2010.10	Jpn. J. Appl. Phys., Vol. 50(10), 104301	Effects of scattering direction of hot electrons in the drain of ballistic n+-i-n+ diode	A. Abudukelimu, W. Yasenjiang, K. Kakushima, P. Ahmet, M. Geni, K. Natori, H. Iwai
8	2011.11	Solid-State Electron., Vol. 65-66, pp. 2-8	Effects of corner angle of trapezoidal and triangular channel cross-sections on electrical performance of silicon nanowire field-effect transistors with semi gate-around structure	S. Sato, K. Kakushima, P. Ahmet, K. Ohmori, K. Natori, K. Yamada, H. Iwai
9	2011.11	Appl. Phys. Lett., Vol. 99(22), 223518	Electrical characteristics of asymmetrical silicon nanowire field-effect transistors	S. Sato, K. Kakushima, K. Ohmori, K. Natori, K. Yamada, H. Iwai
10	2012.01	IEEE Trans. Electron Devices, vol. 59, No. 1, pp. 79-86	Compact Modeling of Quasi-Ballistic Silicon Nanowire MOSFETs	K. Natori
11	2012.02	Jpn. J. Appl. Phys., Vol. 51, 02JB01	Multi-electron wave packet dynamics in applied electric field	Y. Takada, Y. T. Yoon, T. Shiokawa, S. Konabe, M. Arikawa, M. Muraguchi, T. Endo, Y. Hatsugai, K. Shiraishi
12	2012.04	IEEE Trans. ED, Vol. 59 (4), pp. 1037-1045	Gate capacitance modeling and diameter-dependent performance of nanowire MOSFETs	Y. Lee, K. Kakushima, K. Natori, H. Iwai
13	2012.05	Semicond. Sci. Technol., Vol. 27(5), 055001	Influence of strained drain on performance of ballistic channel devices	A. Abudukelimu, W. Yasenjiang, K. Kakushima, P. Ahmet, M. Geni, K. Natori, H. Iwai,

(b) 学会発表

平成19年度

	発表日	学会名	発表タイトル	発表者
1	2008.3	第55回応用物理学関連連 合講演会, 28a-P5-9	シリコンナノワイヤの電子構造の理 論的研究	李 映勳, 大竹 明, 永田貴 弘, 白石賢二
2	2008.3	第55回応用物理学関連連 合講演会, 28a-P5-10	バリスティックなナノワイヤMOSFET のコンパクト理論	名取研二
3	2008.3	第55回応用物理学関連連 合講演会, 28a-P5-15	熱酸化によるSiナノワイヤ形状の 酸化条件依存性	上村英之, 角嶋邦之, Ahmet Parhat1, 筒井一生, 杉井信 之, 大毛利健治, 服部健雄, 岩井 洋

平成20年度

	発表日	学会名	発表タイトル	発表者
1	2008.5	213th ECS meeting	Quantum Effects of Capacitance in Nano-Scale Devices	Kazuyuki Uchida

2	2008.9	SSDM, pp.10-41	Compact Modeling of Ballistic Nanowire MOSFETs	K. Natori
3	2008.9	第69回応用物理学会学術講演会, 2p-CH-7	Si Finのアスペクト比最適化により作製した円形Siナノワイヤの形状に関する研究	佐藤創志, 上村英之, 新井英朗, 大毛利健治, 角嶋邦之, アヘト パールハット, 筒井一生, 服部健雄, 杉井信之, 山田啓作, 岩井 洋
4	2008.9	第69回応用物理学会学術講演会, 4a-E-5	第一原理計算によるシリコンナノワイヤの電子構造解析	李映勲, 永田貴弘, 白石賢二, 角嶋邦之, 岩井洋
5	2008.10	214th ECS meeting,	Electronic Structure Analysis of Silicon Nanowires for High Conductivity in n- and p-channel Nanowire-FET	Y. Lee , T. Nagata, K. Kakushima K. Shiraishi, H. Iwai
6	2009.2	MNCN 2009	Study of Nanowire Band Structure for the Analysis of its Conduction	K. Shiraishi
7	2009.2	MNCN 2009	Ballistic Conduction of Si-nanowire FETs Based on Compact Modeling	K. Natori
8	2009.2	MNCN 2009	Fabrication of Gate -around Si Nanowire Transistors for Characterizing carrier Transport	K. Ohmori
9	2009.3	ISTC/CSTIC2009	Evaluation of Lateral Ni Diffusion in Si Nanowire Schottky Contact	Hideyuki Kamimura, Hideaki Arai, Soshi Sato, Kuniyuki Kakushima, Ahmet Parhat, Kazuo Tsutsui, Nobuyuki Sugii, Takeo Hattori, Hiroshi Iwai
10	2009.3	第56回応用物理学関連連合講演会, 1a-V-5	四端子測定TEGを用いたSiナノワイヤトランジスタのチャンネル内電位測定	佐藤創志, 上村英之, 新井英朗, 角嶋邦之2Ahmet Parhat, 大毛利健治, 筒井一生, 杉井信之2, 服部健雄, 山田啓作, 岩井 洋1
11	2009.3	第56回応用物理学関連連合講演会, 1a-V-6	Si ナノワイヤへのNiシリサイド形成の評価	新井英朗, 上村英之, 佐藤創志, 角嶋邦之, アヘト パールハット, 筒井一生, 杉井信之, 服部健雄, 岩井 洋
12	2009.3	第56回応用物理学関連連合講演会, 1a-V-9	引っ張り歪みSiナノワイヤの電子構造とバリスティック伝導	李映勲, 永田貴弘, 角嶋邦之, 白石賢二, 名取研二, 岩井 洋
13	2009.3	第56回応用物理学関連連合講演会, 1a-X-4	シリコンナノワイヤFET研究の現状とロードマップ作成の考え方	岩井洋, 名取研二, 白石賢二, 山田啓作, 大毛利健治, 筒井一生, 角嶋邦之, パールハット アヘト
14	2009.3	第56回応用物理学関連連合講演会, 1a-D-6	トップダウンSiナノワイヤFETの作製法とその電気的特性のサーベイ	岩井洋, 山田啓作, 大毛利健治, 筒井一生, 角嶋邦之, Parhat Ahmet1, 佐藤創志, 上村英之, 新井英朗
15	2009.3	第56回応用物理学関連連合講演会, 2p-V-6	Si量子ドットフローティングゲートMOSキャパシタにおける過渡電流特性	櫻井蓉子, 野村晋太郎, 白石賢二, 村口正和, 遠藤哲郎, 池田弥央, 牧原克典, 宮崎誠

平成21年度

	発表日	学会名	発表タイトル	発表者
1	2009.6	2009 Symposium on VLSI Technology	Guiding Principles Toward Future Gate Stacks Given by the Construction of New Physical Concepts	K. Shiraishi
2	2009.6	INFOS 2009	Roadmap 22 nm and beyond	H. Iwai
3	2009.9	第70回応用物理学会学術講演会, 11a-TH-3	2stepアニールを用いた酸化膜中のSiナノワイヤへのNiシリサイド化	茂森直登, 新井英朗, 佐藤創志, 角嶋邦之, アヘメト パールハット, 西山彰, 筒井一生, 杉井信之, 服部健雄, 岩井洋
4	2009.9	第70回応用物理学会学術講演会, 11a-TH-9	バリスティックナノワイヤFETsの電流電圧特性の数値計算	Abudurehman Abudukelimu, 角嶋邦之, Parhat Ahmet, 筒井一生, 西山彰, 杉井信之, 名取研二, 服部健雄, 岩井洋
5	2009.9	第70回応用物理学会学術講演会, 8p-L-2	超低消費電力シリコンデバイス技術の重要性	岩井洋
6	2009.9	第70回応用物理学会学術講演会, 8p-L-10	準バリスティックなナノワイヤMOSFETのコンパクト・モデル	名取研二
7	2009.9	ACSIN 10	Physics in Nano-Interfaces and Nano-Structures towards Future Si Nanoelectronics	K. Shiraishi
8	2009.9	ESSDERC 2009	High-Performance Si Nanowire FET with a Semi Gate-Around Structure Suitable for Integration	Soshi Sato, Hideyuki Kamimura, Hideakie Arai, Kuniyuki Kakushima, Parhat Ahmet, Kenji Ohmori, Keisaku Yamada, Hiroshi Iwai
9	2009.10	216th ECS Meeting	Physics of Nanocontact Between Si Quantum Dots and Inversion Layer	S. Nomura, Y. Sakurai, Y. Takada, K. Shiraishi, M. Muraguchi, T. Endoh
10	2009.10	216th ECS Meeting	Physics of Nanointerfaces and Nanostructures for Future Si Nanodevices	K. Shiraishi
11	2009.10	SSDM 2009	Systematic Study on Size Dependences of Transport Parameters for Ballistic Nanowire-FET with Effective Mass Approximation	Y. Lee, K. Kakushima, K. Shiraishi, K. Natori, H. Iwai

(c) 表彰等

平成20年度

	発表日	内容	タイトル等	受賞者等
1	2008.12	Recognize and honor outstanding service to the Electron Devices Society and its sponsored activities	IEEE 2008 EDS Distinguished Service Award	H. Iwai

平成21年度

	発表日	内容	タイトル等	受賞者等
--	-----	----	-------	------

1	2009.4	サブ50nm MOSFET技術の先導的研究開発	平成21年度文部科学大臣表彰科学技術分野 科学技術賞 開発部門	岩井洋
---	--------	-------------------------	---------------------------------	-----

	発表日	内容	タイトル等	受賞者等
1	2009.04	平成21年度文部科学大臣表彰	サブ50nm MOSFET技術の先導的研究開発	岩井洋
2	2009.10	SSDM Award	I-V Characteristics of SOI MOSFETs in Ballistic Mode	K. Natori
3	2009.10	Best poster award, G-COE PICE International Symposium on Silicon Nano Devices in 2030: Prospects by World's Leading Scientists	Annealing Reaction for Ni Silicidation of Si Nanowire	H. Arai
4	2009.10	Best poster award, G-COE PICE International Symposium on Silicon Nano Devices in 2030: Prospects by World's Leading Scientists	First-principles calculations for Si nanowires in nano-meter diameters	J. Iwata
5	2010.03	SEMI ECS Student & Engineer Award, Best Student 3rd Place, CSTIC 2010	Performance of silicon ballistic nanowire MOSFET with diverse orientations and diameters	A. Abudukelimu

平成 22 年度

	発表日	内容	タイトル等	受賞者等
1	2011.08	手島精一記念研究賞(留学生研究賞)	Siナノワイヤを用いたポリスティックトランジスタの電気特性の理論的予測と、ワイヤ径が与える影響の物理的理解	李映勳
2	2011.03	Best Poster Award, Taiwan-Japan Workshop on "Nano Devices"	Influence of the cross-sectional shapes for Si nanowire FETs	S. Sato

平成 23 年度

	発表日	内容	タイトル等	受賞者等
1	2011	ACM Gordon Bell Prize (Peak Performance)	First-principles calculations of electron states of a silicon nanowire with 100,000 atoms on the K computer	J. Iwata

(d)その他特記事項

平成20年度

	発表日	内容	タイトル等	発表者等
1	2008.12	IEDM Short Course: 22 nm CMOS Technology	Technology Scaling and Roadmap	Hiroshi Iwai

平成21年度

	発表日	内容	タイトル等	発表者等
1	2009.6	アドバンテスト・テクニカル・レポート32	CMOS集積回路の発展と今後の展望	岩井洋

平成 21 年度

	発表日	内容	タイトル等	発表者等
--	-----	----	-------	------

1	2010.01	プレス発表 日経産業新聞12面		岩田潤一
2	2010.02	プレス発表 日刊工業新聞13面		岩田潤一

平成 22 年度

	発表日	内容	タイトル等	発表者等
3	2010.09	プレス発表 日刊工業新聞26面	低い漏れ電流で駆動	岩井
4	2010.10	展示会出展 CEATEC		岩井
5	2010.12	プレス発表 日刊工業新聞22面	シリコンに不純物不要	大毛利
6	2010.12	展示会出展 SEMICON Japan 2010		岩井
7	2010.12	複合領域シンポジウム出展		岩井
8	2011.01	プレス発表 科学新聞6面	ナノデバイス向け新電極形成法	中山
9	2011.02	展示会出展 nano tech 2011出展		岩井

(e)特許

(国内特許)

平成20年度

出願： 1件

登録： 0件

平成 21 年度

出願： 2件

登録： 0件

平成 22 年度

出願： 1件

登録： 0件

平成 23 年度

出願： 0件

登録： 0件

② – (3)「シリコンナノワイヤトランジスタの物性探究と集積化の研究開発」

委託先名: 東京大学

(a) 投稿論文

平成20年度

	発表日	発表媒体	発表タイトル	発表者
1	2009.1.20	Japanese Journal of Applied Physics	Electron Mobility in Silicon Gate-All-Around [100]- and [110]-Directed Nanowire Metal-Oxide-Semiconductor Field-Effect Transistor on (100)-Oriented Silicon-on-Insulator Substrate Extracted by Improved Split Capacitance-Voltage Method	Jiezhi Chen, Takura Saraya, Kousuke Miyaji, Ken Shimizu, and Toshiro Hiramoto
2	2009.3	ECS Transactions	Transport in Silicon Nanowire Transistors	T. Hiramoto, J. Chen, Y.J. Jeong, and T. Saraya

平成21年度

	発表日	発表媒体	発表タイトル	発表者
1	2009.4.24	Journal of Applied Physics	Silicon nanowire n-type metal-oxide-semiconductor field-effect-transistors and single-electron transistors at room temperature under uniaxial tensile strain	YeonJoo Jeong, Kousuke Miyaji, Takuya Saraya, and Toshiro Hiramoto
2	2009.11	IEEE Electron Devices Letters	Experimental Investigations of Electron Mobility in Silicon Nanowire nMOSFETs on (110) Silicon-on-Insulator	Jiezhi Chen, Takura Saraya, and Toshiro Hiramoto

平成22年度

#	発表日	発表媒体	発表タイトル	発表者
1	2010.11	IEEE Electron Devices Letters	Hole Mobility Characteristics in Si Nanowire pMOSFETs on (110) Silicon-On-Insulator	Jiezhi Chen, Takuya Saraya, and Toshiro Hiramoto

平成23年度

#	発表日	発表媒体	発表タイトル	発表者
1	2012.2	Japanese Journal of Applied Physics	Suppression of Within-Device Variability in Intrinsic Channel Tri-Gate Silicon Nanowire Metal-Oxide-Semiconductor Field-Effect Transistors	Ke Mao, Tomoko Mizutani, Anil Kumar, Takuya Saraya, and Toshiro Hiramoto

(b) 学会発表

平成20年度

	発表日	学会名	発表タイトル	発表者
1	2008.6.16	IEEE Silicon Nanoelectronics Workshop	Experimental Study on Silicon Nanowire nMOSFET and Single-Electron Transistor at Room Temperature under Uniaxial Tensile Strain	Yeon Joo Jeong, Kousuke Miyaji, and Toshiro Hiramoto
2	2008.6.17	Symposium on VLSI Technology	Experimental Study of Mobility in [110]- and [100]-Directed Multiple Silicon Nanowire GAA MOSFETs on (100) SOI	Jiezhi Chen, Takuya Saraya, Kousuke Miyaji, Ken Shimizu, and Toshiro Hiramoto
3	2008.12.17	IEEE International Electron Devices Meeting (IEDM)	Electron Mobility in Multiple Silicon Nanowires GAA nMOSFETs on (110) and (100) SOI at Room and Low Temperature	Jiezhi Chen, Takuya Saraya, and Toshiro Hiramoto
4	2008.12.17	IEEE International Electron Devices Meeting (IEDM)	Uniaxial Strain Effects on Silicon Nanowire pMOSFET and Single-Hole Transistor at Room Temperature	YeonJoo Jeong, Jiezhi Chen, Takuya Saraya, and Toshiro Hiramoto
5	2009.1.22	International Symposium on Nanoscale Transport and Technology (NTT2009)	Silicon Nanowire FETs and Single-Electron/Hole Transistors under Uniaxial Strain at Room Temperature	Toshiro Hiramoto, Jiezhi Chen, YeonJoo Jeong, and Takuya Saraya (Invited)
6	2009.3.20	International Semiconductor Technology Conference and China Semiconductor Technology International Conference (ISTC/CSTIC 2009)	Transport in Silicon Nanowire Transistors	Toshiro Hiramoto (Invited)
7	2008.7.24	応用物理学会シリコンテクノロジー分科会研究集会	(100) SOI基板上に作製した[110]および[100]方向マルチシリコンナノワイヤGAA MOSFETの移動度評価	陳 杰智, 更屋拓哉, 宮地幸祐, 清水 健, 平本俊郎
8	2008.9.4	第69回応用物理学会学術講演会	ナノワイヤMOSFET及び室温動作単電子トランジスタにおける一軸引っ張り歪みの効果	鄭然周, 宮地幸祐, 更屋拓也, 平本俊郎
9	2008.9.4	第69回応用物理学会学術講演会	[110]および[100]方向マルチシリコンナノワイヤGAA MOSTランジスタにおける移動度評価	陳杰智, 更屋拓哉, 宮路幸祐, 清水健, 平本俊郎
10	2008.12.24	日本半導体技術ロードマップ委員会PIDS会議	シリコンナノワイヤトランジスタ	平本俊郎

11	2009.1.21	東京大学グローバルCOE「セキュアライフ・エレクトロニクス」シンポジウム	Silicon Nanowire MOSFETs: Measurements of Mobility and Strain Effects	Toshiro Hiramoto, Jiezhi Chen, YeonJoo Jeong, and Takuya Saraya
12	2009.2.27	電子情報通信学会シリコンデバイス・材料研究会	シリコンナノワイヤpMOSFET及び室温動作単正孔トランジスタにおける一軸歪みの効果	鄭然周, Chen Jiezhi, 更屋拓哉, 平本俊郎

平成21年度

	発表日	学会名	発表タイトル	発表者
1	2009.5.12	International Nanotechnology Conference on Communication and Cooperation	Measurements of Mobility and Strain Effects in Silicon Nanowire Transistors	Toshiro Hiramoto
2	2009.6.16	Symposium on VLSI Technology	High Hole Mobility in Multiple Silicon Nanowire Gate-All-Around pMOSFETs on (110) SOI	Jiezhi Chen, Takuya Saraya, and Toshiro Hiramoto
3	2009.4.1	2009年春季第56回応用物理学学術講演会	シリコンナノワイヤpMOSFET及び室温動作単正孔トランジスタにおける一軸歪みの効果	鄭然周, 更屋拓哉, 平本俊郎
4	2009.4.1	2009年春季第56回応用物理学学術講演会	[110]および[100]方向(110)シリコンナノワイヤGAA MOSトランジスタにおける電子移動度評価	陳杰智, 更屋拓哉, 平本俊郎
5	2009.4.1	2009年春季第56回応用物理学学術講演会	シリコンナノワイヤGAA MOSトランジスタにおける電子移動度の温度依存性評価	陳杰智, 更屋拓哉, 平本俊郎
6	2009.4.1	2009年春季第56回応用物理学学術講演会	シリコンナノワイヤトランジスタにおける移動度とひずみ効果	平本俊郎, 陳杰智, 鄭然周, 更屋拓哉
7	2009.5	International Nanotechnology Conference on Communication and Cooperation	Measurements of Mobility and Strain Effects in Silicon Nanowire Transistors	Toshiro Hiramoto
8	2009.6	Symposium on VLSI Technology	High Hole Mobility in Multiple Silicon Nanowire Gate-All-Around pMOSFETs on (110) SOI	Jiezhi Chen, Takuya Saraya, and Toshiro Hiramoto
9	2009.7	電気学会電子デバイス委員会専門調査委員会	(110)SOI基板上に作製したGAAシリコンナノワイヤの移動度評価	陳杰智, 更屋拓哉, 平本俊郎
10	2009.7	電子情報通信学会シリコンデバイス・材料研究会・集積回路研究会合同研究会	(110)SOI基板上に作製したGAAシリコンナノワイヤの移動度評価	陳杰智, 更屋拓哉, 平本俊郎
11	2009.9	第70回応用物理学学会学術講演会	(110)シリコンナノワイヤGAA MOSトランジスタにおける正孔移動度	陳杰智, 更屋拓哉, 平本俊郎

12	2009.10	G-COE PICE International Symposium on Silicon Nano Devices in 2030	Mobility and strain characteristics in silicon nanowire FETs	Toshiro Hiramoto, Jiezhi Chen, YeonJoo Jeong, Takuya Saraya
13	2009.12	3rd Stanford and Tohoku Universities Joint Open Workshop on 3D Transistor and its Applications,	Transport in Gate-All-Around Silicon Nanowire Transistors	Toshiro Hiramoto and Jiezhi Chen
14	2009.12	International Semiconductor Device Research Symposium (ISDRS)	Experimental Study on Uniaxially Stressed Gate-All-Around Silicon Nanowires n-MOSFETs on (110) Silicon-On-Insulator	Jiezhi Chen, Takuya Saraya, Toshiro Hiramoto
15	2010.3	2010年春季第57回応用物理学学術講演会	シリコンナノワイヤ pFET における正孔移動度	平本俊郎

平成22年度

#	発表日	発表媒体	発表タイトル	発表者
1	2010.5	6th International Nanotechnology Conference on Communication and Cooperation (INC6)	Hole Mobility Enhancement in Silicon Nanowire Transistors on (110) SOI	Toshiro Hiramoto, J. Chen, and T. Saraya
2	2010.6	VLSI Symposium on Technology	Mobility Enhancement over Universal Mobility in (100) Silicon Nanowire Gate-All-Around MOSFETs with Width and Height of Less Than 10nm Range	Jiezhi Chen, Takuya Saraya, and Toshiro Hiramoto
3	2010.7	応用物理学会シリコンテクノロジー一分科会研究集会	(110)面 GAA シリコンナノワイヤ MOSFET におけるユニバーサル移動度を超える正孔移動度の向上	陳 杰智, 更屋拓哉, 平本俊郎
4	2010.10	International Workshop on Future Information Processing Technologies (IWFIPT)	Mobility Enhancement over Universal Mobility in Silicon Nanowire MOSFETs on (100) SOI Substrate	Toshiro Hiramoto, Jiezhi Chen, and Takuya Saraya
5	2010.11	International Conferences on Solid-State and Integrated Circuit Technology (ICSICT)	Mobility Enhancement in Silicon Nanowire Transistors	Toshiro Hiramoto, Jiezhi Chen, and Takuya Saraya

平成23年度

#	発表日	発表媒体	発表タイトル	発表者
1	2011.5	The Seventh International Nanotechnology Conference on Communication and Cooperation (INC7)	Enhanced Mobility over Universal Mobility in Silicon Nanowire Transistors in Less Than 10nm Scale	Toshiro Hiramoto, Jiezhi Chen, and Takuya Saraya
2	2011.6	The 5th TU-SNU-UT Joint Symposium on Nanomechanics and Nanoelectronics	Intrinsic Channel Silicon Nano-Wire Transistors for Future VLSI	Toshiro Hiramoto
3	2011.9	2011 International Conference on Solid State Devices and	Extremely Small Within-Device Variability in Intrinsic Channel	K. Mao, T. Mizutani, A.

		Materials (SSDM)	Tri-Gate Silicon Nanowire MOSFETs	Kumar, T. Saraya, and T. Hiramoto
4	2011.10	BIT's 1st Annual Congress of Nano S&T	Mobility Improvement in Silicon Nanowire Transistors	Toshiro Hiramoto
5	2012.3	13th International Conference on Ultimate Integration of Silicon (ULIS)	Mechanisms of High Hole Mobility in (100) Nanowire pMOSFETs with Width of Less Than 10nm	Hirotohi Nomura, Ryota Suzuki, Tomohiro Kutsuki, Takuya Saraya, and Toshiro Hiramoto
6	2012.3	2012 年春季第 59 回応用物理学関係連合講演会	Within-Device Variability of V _{th} , DIBL, and COV in Intrinsic Channel Silicon Nanowire MOSFETs	K. Mao, T. Mizutani, A. Kumar, T. Saraya, and T. Hiramoto
7	2012.3	2012 年春季第 59 回応用物理学関係連合講演会	10nm 以下のワイヤ径を有する(100)面上の高正孔移動度シリコンナノワイヤ pFET における散乱機構	野村宏利, 鈴木龍太, 杓木知宏, 更屋拓哉, 平本俊郎

(c) 表彰等

平成20年度

	発表日	内容	タイトル等	受賞者等
1	2009.1.19	IEEE EDS Japan Chapter Student Award	Experimental Study of Mobility in [110]- and [100]-Directed Multiple Silicon Nanowire GAA MOSFETs on (100) SOI	陳 杰智
2	2009.1.19	IEEE EDS Japan Chapter Student Award	Uniaxial Strain Effects on Silicon Nanowire pMOSFET and Single-Hole Transistor at Room Temperature	鄭 然周

平成21年度

	発表日	内容	タイトル等	受賞者等
1	2009.9.8	応用物理学会フェロー	シリコンナノエレクトロニクスの研究	平本俊郎
2	2010.1.26	IEEE EDS Japan Chapter Student Award	High Hole Mobility in Multiple Silicon Nanowire Gate-All-Around pMOSFETs on (110) SOI	陳 杰智

平成22年度

なし

平成23年度

なし

(d)その他特記事項

平成20年度

	発表日	内容	タイトル等	発表者等
1	2008.12.18	プレス発表 日経産業新聞	次世代LSI 処理速度40%向上も 東大, ひずみシリコン活用	

平成21年度

なし

平成22年度

なし

平成23年度

なし

(e)特許

(国内特許)

なし

(国際特許)

なし

委託先名: 株式会社 東芝

(a)投稿論文

平成20年度

	発表日	発表媒体	発表タイトル	発表者
1	2009.3	東芝レビュー	立体構造トランジスタ(FinFET)の三次元歪みエンジニアリング技術	齋藤真澄

平成21年度

	発表日	発表媒体	発表タイトル	発表者
1	2009.7	東芝レビュー 英語版	3D stress engineering in FinFETs for high-performance LSI	Masumi Saitoh
2	2009.12	SEMIジャパン機関誌	FinFETにおける3次元応力設計	Masumi Saitoh

平成22年度

#	発表日	発表媒体	発表タイトル	発表者
1	2010.4	Japanese Journal of Applied Physics	Experimental Evaluation of Coulomb-Scattering-Limited Inversion-Layer Mobility of n-type Metal-Oxide-Semiconductor Field-Effect Transistors on Si(100), (110), and (111)-Surfaces: Impact of Correlation between Conductivity Mass and Normal Mass	Yukio Nakabayashi, Takamitsu Ishihara, Toshinori Numata, Ken Uchida, Shinichi Takagi
2	2010.4	Japanese Journal of Applied Physics	Hall factor in ultrathin-body silicon-on-insulator n-type metal-oxide-semiconductor field-effect transistors	Shigeki Kobayashi, Masumi Saitoh, Yukio Nakabayashi, Takamitsu Ishihara, Toshinori Numata, Ken Uchida
3	2010.10	IEEE Transactions on Electron Devices	Physical origins of threshold voltage variation enhancement in Si(110) n/pMOSFETs	Masumi Saitoh, Nobuaki Yasutake, Yukio Nakabayashi, Ken Uchida, Toshinori Numata
4	2011.3	IEEE Electron Device Letters	Short-channel performance improvement by raised source/drain extensions with thin spacers in trigate silicon nanowire MOSFETs	Masumi Saitoh, Yukio Nakabayashi, Ken Uchida, Toshinori Numata
5	2011.3	東芝レビュー	シリコンナノワイヤトランジスタの寄生抵抗低減技術	齋藤真澄

平成23年度

#	発表日	発表媒体	発表タイトル	発表者
1	2011.4	Japanese Journal of Applied Physics	Low gate-induced drain leakage and its physical origins in Si nanowire transistors	Koichiro Zaito, Masumi Saitoh, Yukio Nakabayashi, Takamitsu Ishihara, Toshinori Numata
2	2011.9	東芝レビュー 英語版	Silicon nanowire transistor for ultralow-power LSIs	Masumi Saitoh
3	2012.1	IEEE Electron Device Letters	Performance improvement by stress memorization technique in trigate silicon nanowire MOSFETs	Masumi Saitoh, Yukio Nakabayashi, Kensuke Ota, Ken Uchida, Toshinori Numata
4	2012.2	Japanese Journal of Applied Physics	Enhanced degradation by negative bias temperature stress in Si nanowire transistor	Kensuke Ota, Masumi Saitoh, Chika Tanaka, Yukio Nakabayashi, Ken Uchida, Toshinori Numata
5	2012.3	東芝レビュー	超低消費電力LSI向けナノワイヤトランジスタにおける特性ばらつき低減	齋藤真澄

(b)学会発表

平成19年度

	発表日	学会名	発表タイトル	発表者
1	2008.03.27	応用物理学会 2008年春季 第55回応用物理学関係連合講演会	ナノワイヤトランジスタのしきい値およびサブスレッショルド特性	田中千加, 萩島大輔, 内田建

平成20年度

	発表日	学会名	発表タイトル	発表者
1	2008.6.17	2008 Symposia on VLSI Technology	Three-Dimensional Stress Engineering in FinFETs for Mobility/On-Current Enhancement and Gate Current Reduction	Masumi Saitoh, Akio Kaneko, Kimitoshi Okano, Tomoko Kinoshita, Satoshi Inaba, Yoshiaki Toyoshima, Ken Uchida
2	2008.7.24	応用物理学会 シリコンテクノロジー分科会 第104回研究集会	FinFETにおける移動度向上・ゲート電流低減のための3次元応力エンジニアリング	齋藤真澄, 金子明生, 岡野王俊, 木下朋子, 稲葉 聡, 豊島 義明, 内田 建
3	2008.12	SEMIテクノロジーシンポジウム(STS)	FinFETにおける3次元応力設計	齋藤真澄
4	2008.12.16	2008 International Electron Devices Meeting (IEDM)	Comprehensive Performance Assessment of Scaled (110) CMOSFETs Based on Understanding of STI Stress Effects and Velocity Saturation	Masumi Saitoh, Nobuaki Yasutake, Yukio Nakabayashi, Toshinori Numata, Ken Uchida

平成21年度

	発表日	学会名	発表タイトル	発表者
1	2009.4.1	応用物理学会 2009年春季 第56回応用物理学関係連合講演会	短チャネル(110)面n/pMOSFETにおける飽和ドレイン電流の決定要因	齋藤真澄, 安武信昭, 中林幸雄, 沼田敏典, 内田建
2	2009.4.1	応用物理学会 2009年春季 第56回応用物理学関係連合講演会	(110)面n/pMOSFETにおける低電界移動度のチャネル幅依存性の起源	齋藤真澄, 安武信昭, 中林幸雄, 沼田敏典, 内田建
3	2009.4.28	2009 IEEE International Reliability Physics Symposium (IRPS)	Successful Measurements of Electron Energy Dependence of Interface-Trap-Induced Scattering in n-MOSFETs - Developed Hall Effect Measurements and Comparison with Theory	Shigeki Kobayashi, Takamitsu Ishihara, Masumi Saitoh, Yukio Nakabayashi, Toshinori Numata, Ken Uchida
4	2009.6.16	2009 Symposia on VLSI Technology	Physical Understanding of V_{th} and I_{dsat} Variations in (110) CMOSFETs	Masumi Saitoh, Nobuaki Yasutake, Yukio Nakabayashi, Ken Uchida, Toshinori Numata
5	2009.9	International Conference on Solid	Inversion-Layer Mobility Limited by Coulomb Scattering	Yukio Nakabayashi, Takamitsu Ishihara,

		State Devices and Materials (SSDM)	on Si (100), (110) and (111) n-MOSFETs	Toshinori Numata, Ken Uchida, Shinichi Takagi
6	2009.9	International Conference on Solid State Devices and Materials (SSDM)	Experimental Study on Hall Factor in Ultrathin-Body SOI n-MOSFETs	Shigeki Kobayashi, Masumi Saitoh, Yukio Nakabayashi, Takamitsu Ishihara, Toshinori Numata, Ken Uchida
7	2009.12	International Electron Devices Meeting (IEDM)	Understanding of strain effects on high-field carrier velocity in (100) and (110) CMOSFETs under quasi-ballistic transport	Masumi Saitoh, Nobuaki Yasutake, Yukio Nakabayashi, Ken Uchida, and Toshinori Numata
8	2010.3	応用物理学会 2010年春季 第57回応用物理学関係連合講演会	Si n-MOS反転層クーロン散乱移動度への有効質量面内/垂直成分の影響	中林幸雄, 石原貴光, 沼田敏典, 内田建, 高木信一
9	2010.3	応用物理学会 2010年春季 第57回応用物理学関係連合講演会	SiナノワイヤトランジスタにおけるGIDLの低減とその起源	財津光一郎, 齋藤真澄, 中林幸雄, 石原貴光, 沼田敏典
10	2010.3	応用物理学会 2010年春季 第57回応用物理学関係連合講演会	Siナノワイヤトランジスタにおける寄生抵抗低減技術と3次元応力設計	齋藤真澄, 沼田敏典

平成22年度

	発表日	学会名	発表タイトル	発表者
1	2010.6	International Symposium on Technology Evolution for Silicon Nano-Electronics (ISTESNE)	Performance of strained-Si(110) CMOS and device design of Si nanowire transistors	Toshinori Numata, Masumi Saitoh, Yukio Nakabayashi, Koichiro Zaito, Kensuke Ota, Takamitsu Ishihara, Ken Uchida
2	2010.6	Symposium on VLSI Technology	Short-channel performance and mobility analysis of <110>- and <100>-Oriented tri-gate nanowire MOSFETs with raised source/drain extensions	Masumi Saitoh, Yukio Nakabayashi, Hiroshi Itokawa, Masahiko Murano, Ichiro Mizushima, Ken Uchida, and Toshinori Numata
3	2010.7	Asia-Pacific Workshop on Fundamentals and Applications of Advanced Semiconductor Devices (AWAD)	Stress and Surface Orientation Engineering in Scaled CMOSFETs Considering High-Field Carrier Transport	Masumi Saitoh, Yukio Nakabayashi, Ken Uchida, Toshinori Numata
4	2010.9	European Solid State Device Research Conference (ESSDERC)	Threshold voltage shift and drain current degradation by NBT stress in Si (110) pMOSFETs	Kensuke Ota, Masumi Saitoh, Yukio Nakabayashi, Takamitsu Ishihara, Toshinori Numata, and Ken Uchida
5	2010.9	International Conference on Solid State Devices and Materials (SSDM)	Low GIDL and its physical origins in Si nanowire transistors	K. Zaito, M. Saitoh, Y. Nakabayashi, T. Ishihara, and T. Numata

6	2010.9	International Conference on Solid State Devices and Materials (SSDM)	Heavily-doped poly-Si gate and epi-first source/drain extension technique in strained Si nanowire MOSFETs with reduced parasitic resistance	Yukio Nakabayashi, Masumi Saitoh, Takamitsu Ishihara, Toshinori Numata, Ken Uchida, Junji Koga
7	2010.9	応用物理学会 2010年秋季 第71回応用物理学会学術講演会	エクステンションエピ成長による<110>及び<100>方向Siナノワイヤトランジスタの寄生抵抗低減	齋藤真澄, 中林幸雄, 内田建, 沼田敏典
8	2010.11	IEEE International Conference on Solid-State and Integrated Circuit Technology (ICSICT)	Source/drain and gate engineering on Si nanowire transistors with reduced parasitic resistance and strained silicon channel	Toshinori Numata, Masumi Saitoh, Yukio Nakabayashi, Kensuke Ota, Ken Uchida
9	2010.12	International Electron Devices Meeting (IEDM)	Understanding of short-channel mobility in Tri-Gate nanowire MOSFETs and enhanced stress memorization technique for performance improvement	Masumi Saitoh, Yukio Nakabayashi, Kensuke Ota, Ken Uchida, Toshinori Numata
10	2011.1	電子情報通信学会シリコン材料・デバイス研究会	トライゲートナノワイヤMOSFETの短チャネル移動度解析とStress Memorization Technique (SMT)による性能向上	齋藤真澄, 中林幸雄, 太田健介, 内田建, 沼田敏典
11	2011.2	応用物理学会シリコンテクノロジー分科会	ソース・ドレインエクステンションエピを施したトライゲート型シリコンナノワイヤトランジスタの短チャネル性能と移動度解析	齋藤真澄, 中林幸雄, 内田建, 沼田敏典
12	2011.3	応用物理学会 2011年春季 第58回応用物理学関連連合講演会	高濃度多結晶Siゲートとエピ先作りソース/ドレイン・エクステンションによるSiナノワイヤトランジスタの性能向上	中林幸雄, 齋藤真澄, 石原貴光, 沼田敏典, 内田建, 古賀淳二
13	2011.3	応用物理学会 2011年春季 第58回応用物理学関連連合講演会	ストレスメモライゼーション技術(SMT)による短チャネルSiナノワイヤトランジスタの性能向上	齋藤真澄, 中林幸雄, 太田健介, 内田建, 沼田敏典
14	2011.3	応用物理学会 2011年春季 第58回応用物理学関連連合講演会	シリコンナノワイヤトランジスタ回路のゲート遅延および消費電力特性	田中千加, 齋藤真澄, 太田健介, 内田建, 沼田敏典
15	2011.3	応用物理学会 2011年春季 第58回応用物理学関連連合講演会	Si(110)面pMOSFETにおけるNBTI特性	太田健介, 齋藤真澄, 中林幸雄, 石原貴光, 沼田敏典, 内田建

平成23年度

#	発表日	発表媒体	発表タイトル	発表者
1	2011.6	Symposium on VLSI Technology	Unified understanding of V_{th} and I_d variability in tri-gate nanowire MOSFETs	Masumi Saitoh, Kensuke Ota, Chika Tanaka, Yukio Nakabayashi, Ken Uchida, Toshinori Numata
2	2011.7	第75回半導体・集積回路技術シンポジウム	超低消費電力LSI向けシリコンナノワイヤトランジスタの高性能化技術	齋藤真澄, 中林幸雄, 太田健介, 内田

				建, 沼田敏典
3	2011.7	応用物理学会シリコンテクノロジー分科会	トライゲートナノワイヤMOSFETの閾値電圧・ドレイン電流ばらつきの統一的理解	齋藤真澄, 太田健介, 田中千加, 中林幸雄, 内田建, 沼田敏典
4	2011.9	European Solid State Device Research Conference (ESSDERC)	Spice-based performance analysis of ultra-low voltage Si nanowire CMOS circuits	Chika Tanaka, Masumi Saitoh, Kensuke Ota, Ken Uchida, Toshinori Numata
5	2011.9	International Conference on Solid State Devices and Materials (SSDM)	Carrier transport mechanisms in Schottky barrier source/drain nanowire FETs with lateral silicidation process	Takayuki Ishikawa, Masumi Saitoh, Kensuke Ota, Chika Tanaka, Toshinori Numata
6	2011.9	International Conference on Solid State Devices and Materials (SSDM)	Enhanced degradation by NBT stress in Si nanowire transistor	Kensuke Ota, Masumi Saitoh, Chika Tanaka, Yukio Nakabayashi, Ken Uchida, and Toshinori Numata
7	2011.12	SEMIテクノロジーシンポジウム (STS)	Siナノワイヤトランジスタ高性能化技術	沼田敏典
8	2011.12	International Electron Devices Meeting (IEDM)	Systematic Understanding of Self-Heating Effects in Tri-Gate Nanowire MOSFETs Considering Device Geometry and Carrier Transport	Kensuke Ota, Masumi Saitoh, Chika Tanaka, Yukio Nakabayashi, Toshinori Numata
9	2011.12	ISDRS(2011 International Semiconductor Device Research Symposium)	High-Field Carrier Velocity in Silicon Tri-Gate Nanowire pMOSFETs with <100>- and <110>-Oriented Channel	Masumi Saitoh, Kensuke Ota, Chika Tanaka, Yukio Nakabayashi, Ken Uchida, and Toshinori Numata
10	2012.1	ゲートスタック研究会	トライゲート・Siナノワイヤトランジスタの高性能化技術	沼田敏典
11	2012.1	電子情報通信学会シリコン材料・デバイス研究会	トライゲートナノワイヤMOSFETにおける自己発熱効果の系統的理解	太田健介, 齋藤真澄, 田中千加, 中林幸雄, 沼田敏典
12	2012.3	応用物理学会 2012年春季 第59回応用物理学関連連合講演会	SPICEによる低電圧シリコンナノワイヤトランジスタCMOS回路性能の検討	田中千加, 齋藤真澄, 太田健介, 内田建, 沼田敏典
13	2012.3	応用物理学会 2012年春季 第59回応用物理学関連連合講演会	トライゲートシリコンナノワイヤMOSFETの高性能化技術	齋藤真澄, 中林幸雄, 内田建, 沼田敏典

(c) 表彰等

平成21年度

	発表日	内容	タイトル等	受賞者等
1	2009.12.2	2009年STS Award (SEMI Technology Symposium Award)	FinFETにおける3次元応力設計	齋藤真澄

平成22年度

	発表日	内容	タイトル等	受賞者等
1	2011.2	nano tech大賞2011部門賞(IT・エレクトロニクス部門)		株式会社東芝

平成23年度

	発表日	内容	タイトル等	受賞者等
1	2012.3	応用物理学会シリコンテクノロジー分科会研究奨励賞	Short-channel performance improvement by raised source/drain extensions with thin spacers in trigate silicon nanowire MOSFETs	齋藤真澄

(d)その他特記事項

平成20年度

	発表日	内容	タイトル等	発表者等
1	2008.6.17	ニュースリリース(東芝)、EE Times Japan個別取材、新聞5誌掲載、Web8誌掲載	(掲載) 立体構造トランジスタを用いた32nm世代以降のLSI高性能化の新技术の開発について	齋藤真澄、沼田敏典
2	2008.8.29 、 2008.11.5	JEITA SOIウエーハ関連技術小委員会	(講演) Siナノワイヤーデバイスの開発動向	沼田敏典
3	2008.9.30 ～10.4	CEATEC 2008	(展示) 歪みシリコンチャンネル立体構造トランジスタ	沼田敏典、齋藤真澄
4	2008.10.31 ～11.1	早稲田大学 テクノフェア早稲田	(展示) 歪みシリコンチャンネル立体構造トランジスタ	沼田敏典

平成21年度

	発表日	内容	タイトル等	発表者等
1	2009.11	早稲田大学ナノテクノロジーフォーラム	(講演) ナノワイヤーFET 集積化技術	沼田敏典

平成22年度

	発表日	内容	タイトル等	発表者等
1	2011.2	JEITA SOI ウエーハ関連技術小委員会	(講演) Understanding of Short-Channel Mobility in Tri-Gate Nanowire MOSFETs and Enhanced Stress Memorization Technique for Performance Improvement	齋藤真澄
2	2011.2	nano tech展2011	(展示) 超低消費電力・高性能を両立	齋藤真澄, 太田健介,

			する次世代デバイス 「ナノワイヤトランジスタ」	田中千加, 沼田敏典
--	--	--	----------------------------	------------

平成**23**年度

	発表日	内容	タイトル等	発表者等
1	2011.8	STRJ-WG3(FEP)委員会	(講演)Siナノワイヤトランジスタ高性能化技術 ～寄生抵抗低減技術と3次元応力設計～	沼田敏典

(e) 特許

(国内特許)

平成**19**年度

出願: 1件

平成**20**年度

出願: 1件

平成**21**年度

出願: 1件

平成**22**年度

出願: 3件

平成**23**年度

出願: 1件

(国際特許)

平成**20**年度

出願: 1件

平成**21**年度

出願: 0件

平成**22**年度

出願: 4件

平成**23**年度

出願: 0件

②－（１）「新構造 FinFET による SRAM 技術の研究開発」

産業技術総合研究所

（a）投稿論文

平成 19 年度

	発表日	発表媒体	発表タイトル	発表者
1	2007.12.1	IEEE Electron Device Letters	Experimental Evaluation of Effects of Channel Doping on Characteristics of FinFETs	K. Endo, Y. Ishikawa, Y. X. Liu, M. Masahara, M. Matsukawa, S. -I. O'uchi, K. Ishii, H. Yamauchi, J. Tsukada, and E. Suzuki
2	2007.12.1	プラズマ応用科学	二重ゲートトランジスタの結合ゲート動作と分離ゲート可変閾値動作の比較解析	坂本邦博

平成 20 年度

	発表日	発表媒体	発表タイトル	発表者
1	2008.4.1	IEICE Trans. Electronics	FinFET-Based Flex-Vth SRAM Design for Drastic Standby-Leakage-Current Reduction	S. O'uchi, M. Masahara, K. Endo, Y.X. Liu, T. Matsukawa, K. Sakamoto, T. Sekigawa, H. Koike, E. Suzuki
2	2008.4.1	Jpn. J. Appl. Phys.	Dual-Metal-Gate Transistors with Symmetrical Threshold Voltages Using Work-Function-Tuned Ta/Mo Bilayer Metal Gates	T. Matsukawa, Y.X. Liu, K. Endo, M. Masahara, Y. Ishikawa, H. Yamauchi, J. Tsukada, K. Ishii, E. Suzuki
3	2008.4.1	Jpn. J. Appl. Phys.	Nitrogen Gas Flow Ratio and Rapid Thermal Annealing Temperature Dependences of Sputtered Titanium Nitride Gate Work Function and Their Effect on Device Characteristics	Y.X. Liu, T. Hayashida, T. Matsukawa, K. Endo, M. Masahara, S. O'uchi, K. Sakamoto, K. Ishii, J. Tsukada, Y. Ishikawa, H. Yamauchi, A. Ogura, E. Suzuki
4	2008.6.1	IEEE Electron Device Letters	A Ta/Mo Interdiffusion Dual Metal Gate Technology for Drivability Enhancement of FinFETs	T. Matsukawa, K. Endo, Y.X. Liu, S. O'uchi, Y. Ishikawa, H. Yamauchi, J. Tsukada, K. Ishii, M. Masahara, K. Sakamoto and E. Suzuki
5	2008.6.1 (招待論文)	電気学会論文誌C 電子・情報・システム部門誌	フレックス・パスゲートSRAMによる雑音余裕向上	大内、昌原、坂本、遠藤、柳、松川、関川、小池、鈴木
6	2008.9.1	IEEE Trans. Electron Devices	Threshold-Voltage Reduction of FinFETs by Ta/Mo Interdiffusion Dual Metal-Gate Technology for Low-Operating-Power Application	T. Matsukawa, K. Endo, Y.X. Liu, S. O'uchi, Y. Ishikawa, H. Yamauchi, J. Tsukada, K. Ishii, M. Masahara, K. Sakamoto, and E. Suzuki
7	2008.11.1	Solid-State Electronics	Flex-pass-gate SRAM for static noise margin enhancement using FinFET-based technology	S. O'uchi, K. Endo, M. Masahara, K. Sakamoto, Y. Liu, T. Matsukawa, T. Sekigawa, H. Koike, E. Suzuki,
8	2009.2.1	Applied Physics Express	Enhancing Noise Margins of Fin-Type Field Effect Transistor Static Random Access Memory Cell by Using Threshold Voltage-Controllable Flexible-Pass-Gates	K. Endo, S. O'uchi, Y. Ishikawa, Y. Liu, T. Matsukawa, M. Masahara, K. Sakamoto, J. Tsukada, K. Ishii, H. Yamauchi, and E. Suzuki

平成 21 年度

	発表日	発表媒体	発表タイトル	発表者
1	2009.4.1	IEEE Electron Device Letters	Fluctuation Analysis of Parasitic Resistance in FinFETs With Scaled Fin Thickness	T. Matsukawa, K. Endo, Y. Ishikawa, H. Yamauchi, S. Ouchi, Y. Liu, J. Tsukada, K. Ishii, K. Sakamoto, E. Suzuki, and M. Masahara
2	2009.5.1	Jpn. J. Appl. Phys.	A Comparative Study of Nitrogen Gas Flow Ratio Dependence on the Electrical Characteristics of Sputtered TiN Gate Bulk Planar MOSFETs and Fin-Type MOSFETs	T. Hayashida, Y. Liu, T. Matsukawa, K. Endo, S. Ouchi, K. Sakamoto, K. Ishii, J. Tsukada, Y. Ishikawa, H. Yamauchi, E. Suzuki, A. Ogura, and M. Masahara
3	2009.5.1	IEEE Electron Device Letters	Metal-Gate FinFET Variation Analysis by Measurement and Compact Model	S. Ouchi, T. Matsukawa, T. Nakagawa, K. Endo, Y.X. Liu, T. Sekigawa, J. Tsukada, Y. Ishikawa, H. Yamauchi, K. Ishii, E. Suzuki, H. Koike, K. Sakamoto, and M. Masahara
4	2009.7.1	IEEE Electron Device Letters	Independent-Double-Gate FinFET SRAM for Leakage Current Reduction	K. Endo, S. -I. Ouchi, Y. Ishikawa, Y. X. Liu, M. Matsukawa, T. Sakamoto, M. Masahara, J. Tsukada, K. Ishii, H. Yamauchi, and E. Suzuki
5	2009.7.1 (招待論文)	Solid-State Electronics	Dual Metal Gate FinFET Integration by Ta/Mo Diffusion Technology for Vt Reduction and Multi-Vt CMOS Application	T. Matsukawa, K. Endo, Y.X. Liu, S. Ouchi, Y. Ishikawa, H. Yamauchi, J. Tsukada, K. Ishii, K. Sakamoto, E. Suzuki, M. Masahara

平成 22 年度

	発表日	発表媒体	発表タイトル	発表者
1	2010.4.20	Jpn. J. Appl. Phys.	Investigation of Thermal Stability of TiN Film Formed by ALD Using TDMAT Precursor for Metal-Gate MOSFET	T. Hayashida, K. Endo, Y. Liu, T. Kamei, T. Matsukawa, S. Ouchi, K. Sakamoto, J. Tsukada, Y. Ishikawa, H. Yamauchi, A. Ogura, and M. Masahara
2	2010.4.20	Jpn. J. Appl. Phys.	High-Performance Three-Terminal FinFET Fabricated by a Combination of Damage-Free Neutral-Beam Etching and Neutral-Beam Oxidation	A. Wada, K. Sano, M. Yonemoto, K. Endo, T. Matsukawa, M. Masahara, S. Yamasaki, and S. Samukawa
3	2010.4.20	Jpn. J. Appl. Phys.	Investigation of Low-Energy Tilted Ion Implantation for Fin-Type Double-Gate MOSFET Extension Doping	Y. Liu, T. Matsukawa, K. Endo, S. Ouchi, K. Sakamoto, J. Tsukada, Y. Ishikawa, H. Yamauchi, and M. Masahara
4	2010.6.1	IEEE Electron Device Letters	Variability Analysis of TiN Metal-Gate FinFETs	K. Endo, S. Ouchi, Y. Ishikawa, Y. Liu, T. Matsukawa, K. Sakamoto, J. Tsukada, H. Yamauchi, and M. Masahara
5	2010.6.20	Jpn. J. Appl. Phys.	Nanoscale Wet Etching of PVD TiN and Its Application to Sub-30nm-Gate-Length Fin-type DG MOSFET Fabrication	Y. Liu, T. Kamei, K. Endo, S. Ouchi, J. Tsukada, H. Yamauchi, T. Hayashida, Y. Ishikawa, T. Matsukawa, K. Sakamoto, A. Ogura, and M. Masahara
6	2010.9.3	Appl. Phys. Express	Fabrication of 4T-FinFETs with Asymmetric Gate-Oxide Thickness using Anisotropic Oxidation Process with a Neutral Beam	A. Wada, K. Endo, M. Masahara, C.-H. Huang, and S. Samukawa
7	2010.10.1	IEEE Electron Device Letters	Variability Analysis of TiN FinFET SRAM Cells and Its Compensation by Independent-DG FinFETs	K. Endo, S. Ouchi, Y. Ishikawa, Y. Liu, T. Matsukawa, K. Sakamoto, J. Tsukada, H. Yamauchi, and M. Masahara

平成 23 年度

	発表日	発表媒体	発表タイトル	発表者
1	2011.4.20	Jpn. J. Appl. Phys.	Experimental Study of Physical-Vapor-Deposited Titanium Nitride Gate with An n+-Poly-Si Capping Layer and Its Application to 20nm FinFETs	T. Kamei, Y. Liu, K. Endo, S. O'uchi, J. Tsukada, H. Yamauchi, Y. Ishikawa, T. Hayashida, T. Matsukawa, K. Sakamoto, A. Ogura, and M. Masahara
2	2012.1.10	IEEE Trans. Electron Devices	Variability analysis of scaled crystal channel and poly-Si channel FinFETs	Y. X. Liu, K. Endo, S.O'uchi, T. Kamei, J. Tsukada, H.Yamauchi, Y. Ishikawa, T. Hayashida, K. Sakamoto, T. Matsukawa, A. Ogura, and M.Masahara
3	2012.2.10	IEEE Electron Device Letters	Variability origins of parasitic resistance in FinFETs with silicided source/drain	T. Matsukawa, Y.X. Liu, K. Endo, J. Tsukada, Y. Ishikawa, H. Yamauchi, S. O'uchi, K. Sakamoto, and M. Masahara
4	2012.2.23	IEEE Trans. Electron Devices	Fin-Height Effect on Poly-Si/PVD-TiN Stacked Gate FinFET Performance	T. Hayashida, K. Endo, Y. X. Liu, S. Ouchi, T. Matsukawa, W. Mizubayashi, S. Migita, Y. Morita, H. Ota, H. Hashiguchi, D. Kosemura, T. Kamei, K. Sakamoto, J. Tsukada, Y. Ishikawa, H. Yamauchi, A. Ogura, and M. Masahara

(b) 学会発表

平成 19 年度

	発表日	学会名	発表タイトル	発表者
1	2007.9.17	Custom Integrated Circuits Conference	(注目論文にセレクト) Flex-Pass-Gate SRAM Design for Static Noise Margin Enhancement Using FinFET-Based Technology	S.O'uchi, M.Masahara, K.Sakamoto, K.Endo, Y.X.Liu, T.Matsukawa, T.Sekigawa, H.Koike, E.Suzuki
2	2007.9.20	Int.Conf. SSDM	TiN Gate Work Function Control Using Gas Flow Ratio and RTS-Temperature	Y.X.Liu, T.Hayashida, T.Matsukawa, K.Endo, M.Masahara, S.O'uchi, K.Sakamoto, K.Ishii, J.Tsukada, Y.Ishikawa, H.Yamauchi, A.Ogura, E.Suzuki
3	2007.9.20	Int.Conf. SSDM	Dual Metal Gate MOSFETs with Symmetrical Threshold Voltages Using Work Function Tuned Ta/Mo Bi-layer Metal Gates	T.Matsukawa, Y.X.Liu, K.Endo, M.Masahara, Y.Ishikawa, H.Yamauchi, J.Tsukada, K.Ishii, E.Suzuki
4	2007.10.4	Int. SOI Conf.	A Ta/Mo Interdiffusion Gate Technology for Dual Metal Gate First FinFET Fabrication	T.Matsukawa, K.Endo, Y.X.Liu, S.O'uchi, Y.Ishikawa, H.Yamauchi, J.Tsukada, K.Ishii, M.Masahara, K.Sakamoto, E.Suzuki,
5	2007.10.10	ECS	(招待講演) Advanced DG-MOSFETs Process Technologies	E.Suzuki, Y.X.Liu, K.Endo, T.Matsukawa, M.Masahara, K.Sakamoto, S.O'uchi
6	2007.12.12	ISDRS	Nitrogen Gas Flow Ratio Controlled PVD TiN Metal Gate Technology for FinFET CMOS	Y.X.Liu, T.Hayashida, T.Matsukawa, K.Endo, M.Masahara, S.O'uchi, K.Sakamoto, K.Ishii, J.Tsukada, Y.Ishikawa, H.Yamauchi, A.Ogura, E.Suzuki,
7	2008.1.27	第13回ゲートスタック研究会-材料・プロセス・評価の物理	(招待講演) 起立型ダブルゲートMOSFETの作製および課題	遠藤和彦、他

8	2008.3.29	第55回 応用物理学関係連合講演会	Ta/Mo積層メタルゲートによるFinFETの低Vth化(2)	松川貴、他
9	2008.3.29	第55回 応用物理学関係連合講演会	TiNメタルゲートFinFET SRAMの作製	柳永勳、他
10	2008.3.27	第55回 応用物理学関係連合講演会	スパッタによるTiNゲートプレーナMOSFETとFinFET電気特性の比較評価	林田哲郎、他
11	2008.3.29	第55回 応用物理学関係連合講演会	フレックス・パスゲートSRAMによる動作安定性向上	大内真一、他

平成 20 年度

	発表日	学会名	発表タイトル	発表者
1	2008.5.21	ECS	(招待講演) Advanced Metal Gate FinFET CMOS Technology	Y.X. Liu, T. Matsukawa, K. Endo, M. Masahara, S. O'uchi, K. Ishii, K. Sakamoto, and E. Suzuki
2	2008.6.3	IEEE ICICDT	Independent-Gate Four-Terminal FinFET SRAM for Drastic Leakage Current Reduction	K. Endo, S. O'uchi, Y. Ishikawa, Y.X. Liu, T. Matsukawa, K. Sakamoto, M. Masahara, J. Tsukada, K. Ishii, H. Yamauchi, and E. Suzuki
3	2008.6.16	Si Nanoelectronics Workshop	An Experimental Study of TiN Gate FinFET SRAM with (111)-Oriented Sidewall Channels	Y. X. Liu, T. Hayashida, T. Matsukawa, K. Endo, S. O'uchi, K. Sakamoto, M. Masahara, K. Ishii, J. Tsukada, Y. Ishikawa, H. Yamauchi, A. Ogura, and E. Suzuki
4	2008.9.1	IEEE Workshop on Compact Model	(招待講演) Four-Terminal FinFET Technology	M. Masahara, S. O'uchi, T. Matsukawa, K. Endo, Y.X. Liu, K. Sakamoto, and E. Suzuki,
5	2008.9.1	IEEE Workshop on Compact Model	Calibration for Independent-DG MOSFET Compact Model Using Measured and Simulated <i>I-V</i> Characteristics	S. O'uchi, T. Nakagawa, Y.X. Liu, T. Sekigawa, E. Suzuki, K. Sakamoto, H. Koike and M. Masahara
6	2008.9.2	第69回応用物理学学会学術講演会	Ta/Mo積層メタルゲートによるデュアルメタルゲート CMOS FinFET集積技術	松川貴、他
7	2008.9.2	第69回応用物理学学会学術講演会	4端子FinFETを用いた論理Vth可変CMOSインバータの作製	柳永勳、他
8	2008.9.2	第69回応用物理学学会学術講演会	独立ダブルゲート型FinFET によるSRAM 低消費電力化の検討	遠藤和彦、他
9	2008.9.3	第69回応用物理学学会学術講演会	独立ダブルゲートFinFETコンパクトモデルとその校正	大内真一、他
10	2008.9.17	ESSDERC	Enhancing Noise Margins of FinFET SRAM by Integrating Vth-Controllable Flexible-Pass-Gates	K. Endo, S. O'uchi, Y. Ishikawa, Y.X. Liu, T. Matsukawa, M. Masahara, K. Ishii, J. Tsukada, H. Yamauchi, and E. Suzuki
11	2008.9.18	ESSDERC	Dual Metal Gate FinFET Integration by Ta/Mo Diffusion Technology for Vt Reduction and Multi-Vt CMOS Application	T. Matsukawa, K. Endo, Y.X. Liu, S. O'uchi, M. Masahara, Y. Ishikawa, H. Yamauchi, J. Tsukada, K. Ishii, K. Sakamoto and E. Suzuki,
12	2008.10.9	Int. SOI Conf.	Impact of Extension and Source/Drain Resistance on FinFET Performance	T. Matsukawa, K. Endo, Y. Ishikawa, H. Yamauchi, Y.X. Liu, S. O'uchi, J. Tsukada, K. Ishii, K. Sakamoto, E. Suzuki and M. Masahara
13	2008.10.9	Int. SOI Conf.	Logic Gate Threshold Voltage Controllable Single Metal Gate FinFET CMOS Inverters Implemented by Using Co-Integration of 3T/4T-FinFET	Y.X. Liu, T. Sekigawa, T. Hayashida*, T. Matsukawa, K. Endo, S. O'uchi, K. Sakamoto, K. Ishii, T. Tsukada, Y. Ishikawa, H. Yamauchi, A. Ogura*, H. Koike, E. Suzuki, and M. Masahara

14	2008.11.5	IWDTF	Demonstration of Gate Work Function Engineered FinFET CMOS	Y.X. Liu, T. Hayashida, T. Matsukawa, K. Endo, S. O'uchi, K. Sakamoto, J. Tsukada, H. Yamauchi, K. Ishii, Y. Ishikawa, A. Ogura, E. Suzuki, and M. Masahara
15	2008.11.5	IWDTF	A Comparative Study of the Electrical Characteristics of Sputtered TiN Gate Planar MOSFETs and FinFETs	T. Hayashida, Y.X. Liu, T. Matsukawa, K. Endo, S. O'uchi, K. Sakamoto, K. Ishii, J. Tsukada, Y. Ishikawa, H. Yamauchi, E. Suzuki, A. Ogura, and M. Masahara
16	2008.11.7	IWDTF	Dual Metal Gate Integration for CMOS FinFETs using selective formation on Ta/Mo Interdiffused Gates	T. Matsukawa, K. Endo, Y. Ishikawa, H. Yamauchi, Y.X. Liu, S. O'uchi, J. Tsukada, K. Ishii, K. Sakamoto, E. Suzuki and M. Masahara
17	2008.12.17	IEDM	Enhancing SRAM Cell Performance by Using Independent Double-Gate FinFET	K. Endo, S. O'uchi, Y. Ishikawa, Y.X. Liu, T. Matsukawa, K. Sakamoto, J. Tsukada, K. Ishii, H. Yamauchi, E. Suzuki, and M. Masahara
18	2008.12.17	IEDM	Characterization of Metal-Gate FinFET Variability Based on Measurements and Compact Model Analyses	S. O'uchi, T. Matsukawa, T. Nakagawa, K. Endo, Y.X. Liu, T. Sekigawa, J. Tsukada, Y. Ishikawa, H. Yamauchi, K. Ishii, E. Suzuki, H. Koike, K. Sakamoto, and M. Masahara
19	2009.1.26	第107回応用物理学 会シリコンテクノ ロジー分科会研究 集会	(依頼講演) コンパクトモデルを用いた金 属ゲートFinFETのばらつき解 析	大内真一、他
20	2009.3.30	第56回応用物理学 関係連合講演会	金属ゲートFinFETのしきい値 電圧ばらつき解析	大内真一、他
21	2009.3.30	第56回応用物理学 関係連合講演会	FinFETのエクステンションと S/D 寄生抵抗のばらつき評 価	松川貴、他
22	2009.3.30	第56回応用物理学 関係連合講演会	独立ダブルゲート型FinFETに よるSRAMノイズマージン向 上の検討	遠藤和彦、他

平成 21 年度

	発表日	学会名	発表タイトル	発表者
1	2009.5.30 (招待講演)	ECS	Highly Reliable SRAM Circuit Technology Utilizing FinFETs	S. O'uchi, K. Endo, Y.X. Liu, T. Matsukawa, J. Tsukada, H. Yamauchi, K. Ishii, E. Suzuki, K. Sakamoto, and M. Masahara,
2	2009.6.16	Symposium on VLSI Technology	Comprehensive Analysis of Variability Sources of FinFET Characteristics	T. Matsukawa, S. O'uchi, K. Endo, Y. Ishikawa, H. Yamauchi, Y.X. Liu, J. Tsukada, K. Sakamoto and M. Masahara
3	2009.7.15 (依頼講演)	電気学会	FinFET特性バラツキに関する考察および高バラツキ耐性 FinFET-SRAMの提案	昌原明植、松川貴、遠藤和彦、大内真一、柳永勲、坂本邦博
4	2009.9.1 (招待講演)	電気学会	メタルゲートFinFET技術	昌原明植、松川貴、遠藤和彦、柳永勲、大内真一
5	2009.9.3 (招待講演)	電気学会	立体チャネルマルチゲート MOSFETデバイス技術	昌原明植、遠藤和彦、大内真一、松川貴、柳永勲
6	2009.9.8 (招待講演)	第70回理学会学術講演会	FinFET特性バラツキ要因の包括的調査	昌原明植、松川貴、大内真一、遠藤和彦、柳永勲、坂本邦博
7	2009.9.8	第70回理学会学術講演会	独立ダブルゲート型FinFET によるSRAM ノイズマージン向上の検討(2)	遠藤和彦,大内真一,石川由紀,柳永勲,松川貴,坂本邦博,塚田順一,石井賢一,山内洋美,鈴木英一,昌原明植

8	2009.9.9	第70回理学会学術講演会	TDMAT を用いたALD-TiN の熱処理効果およびゲート電極材料への応用	林田哲郎、遠藤和彦、柳永勲、亀井貴弘、松川貴、大内真一、坂本邦博、塚田順一、石川由紀、山内洋美、小椋厚志、昌原明植
9	2009.9.10	第70回理学会学術講演会	コンパクトモデルを用いたFinFETSRAMの性能見積もり	大内真一、中川裕、松川貴、遠藤和彦、柳永勲、関川敏弘、坂本邦博、小池帆平、昌原明植
10	2009.9.10	第70回理学会学術講演会	低エネルギー斜めイオン注入によるFinFETエクステンションドーピング	柳永勲、松川貴、遠藤和彦、大内真一、坂本邦博、塚田順一、石川由紀、山内洋美、昌原明植
11	2009.9.25 (招待講演)	東京大学低消費電力・高速LSI技術懇談会	4端子FinFET技術	昌原明植、大内真一、遠藤和彦、松川貴、柳永勲
12	2009.10.6	International SOI Conference	Impact of FinFET Technology on 6T-SRAM Performance	S. O'uchi, T. Nakagawa, T. Matsukawa, Y.X. Liu, K. Endo, T. Sekigawa, K. Sakamoto, H. Koike and M. Masahara
13	2009.10.8	SSDM	Superiority of ALD TiN with TDMAT Precursor for Metal-Gate MOSFET	T. Hayashida, K. Endo, Y. X. Liu, T. Matsukawa, S. Ouchi, K. Sakamoto, J. Tsukada, Y. Ishikawa, H. Yamauchi, A. Ogura and M. Masahara
14	2009.10.9	SSDM	Investigation of Low-Energy Tilted Ion Implantation for FinFET Extension Doping	Y. X. Liu, T. Matsukawa, K. Endo, S. O'uchi, K. Sakamoto, J. Tsukada, Y. Ishikawa, H. Yamauchi and M. Masahara
15	2009.11.4 (招待講演)	STRJ	FinFETバラツキ解析	昌原明植
16	2009.11.14 (招待講演)	明治大学先端ナノ・オプト・バイオ材料ワークショップ	立体チャネルFinFETデバイス技術	昌原明植
17	2009.11.19	MNC	Investigation of Dry and Wet Etching of PVD-TiN for Nanoscale FinFETs	Y. X. Liu, T. Kamei, K. Endo, S. O'uchi, J. Tsukada, H. Yamauchi, T. Hyashida, Y. Ishikawa, K. Sakamoto, A. Ogura, M. Masahara
18	2009.12.09	ISDRS	Variation Analysis of TiN FinFETs	K. Endo, T. Matsukawa, Y. Ishikawa, Y. X. Liu, S. O'uchi, K. Sakamoto, J. Tsukada, H. Yamauchi, and M. Masahara
19	2009.12.11	ISDRS	Nanoscale TiN Wet Etching and Its Application for FinFET Fabrication	Y. X. Liu, T. Kamei, K. Endo, S. O'uchi, J. Tsukada, H. Yamauchi, T. Hyashida, Y. Ishikawa, K. Sakamoto, A. Ogura, M. Masahara
20	2010.1.22 (招待講演)	シリコンテクノロジー分科会第117回研究集会	不純物無添加チャネルMOSデバイスの現状と課題	昌原明植、松川貴、大内真一、遠藤和彦、柳永勲、坂本邦博
21	2010.3.17	第57回用物理学関係連合講演会	TiNメタルゲートFinFETのバラツキ評価	遠藤和彦、大内真一、石川由紀、柳永勲、松川貴、坂本邦博、塚田順一、山内洋美、昌原明植
22	2010.3.17	第57回用物理学関係連合講演会	TDMATを用いたALD-TiNの熱処理効果及びゲート電極材料への応用(2)	林田哲郎、遠藤和彦、柳永勲、亀井貴弘、松川貴、大内真一、坂本邦博、塚田順一、石川由紀、山内洋美、小椋厚志、昌原明植
23	2010.3.18	第57回用物理学関係連合講演会	PVD-TiNウェットエッチングによる20-nmゲートFinFETの作製	柳永勲、亀井貴弘、遠藤和彦、大内真一、塚田順一、山内洋美、林田哲郎、石川由紀、松川貴、坂本邦博、小椋厚志、昌原明植

平成 22 年度

	発表日	学会名	発表タイトル	発表者
1	2010.4.27	VLSI TSA	Variability Analysis of TiN FinFET SRAM Cell Performance and its Compensation Using	K. Endo, S. O'uchi, Y. Ishikawa, Y.X. Liu, T. Matsukawa, K. Sakamoto, J. Tsukada, H. Yamauchi, and M. Masahara

			Vth-controllable Independent Double-Gate FinFET	
2	2010.4.28 (招待講演)	ECS	Advanced FinFET Technologies: Extension Doping, Vth Controllable CMOS Inverters and SRAM	Y. X. Liu, K. Endo, S. O'uchi, T. Matsukawa, K. Sakamoto, and M. Masahara
3	2010.6.1 (招待講演)	SEMI Forum Japan	FinFET実用に向けた回路設計技術開発	S. O'uchi, K. Endo, Y. X. Liu, T. Matsukawa, K. Sakamoto, and M. Masahara
4	2010.6.13	Silicon Nanoelectronics Workshop	Low Resistive ALD TiN Metal Gate using TDMAT Precursor for High Performance MOSFET	T. Hayashida, K. Endo, Y. X. Liu, T. Kamei, T. Matsukawa, S. Ouchi, K. Sakamoto, J. Tsukada, Y. Ishikawa, H. Yamauchi, A. Ogura, and M. Masahara
5	2010.6.18	VLSI Symposium	On the Gate-Stack Origin Threshold Voltage Variability in Scaled FinFETs and Multi-FinFETs	Y. X. Liu, K. Endo, S.O'uchi, T. Kamei, J. Tsukada, H.Yamauchi, Y. Ishikawa, T. Hayashida, K. Sakamoto, T. Matsukawa, A. Ogura, and M.Masahara
6	2010.7.9 (招待講演)	半導体・集積回路シンポジウム	立体マルチゲートデバイス集積化技術	K. Endo, S. O'uchi, Y. X. Liu, T. Matsukawa, K. Sakamoto, and M. Masahara
7	2010.8.2 (招待講演)	IBM Technology Vitality Seminar	Advanced FinFET Device Technology	M. Masahara
8	2010.8.16 (招待講演)	電子情報通信学会 Integrated Circuits and Devices in Vietnam	Advanced FinFET Technology and its application for SRAM	S. O'uchi, K. Endo, Y. Liu, T. Matsukawa, T. Nakagawa, Y. Ishikawa, J. Tsukada, H. Yamauchi, T. Sekigawa, H. Koike, K. Sakamoto, M. Masahara
9	2010.8.27 (招待講演)	電子情報通信学会 集積回路研究会	極微FinFETおよびMulti-FinFETにおける特性バラツキ評価	Y. X. Liu, K. Endo, S.O'uchi, T. Kamei, J. Tsukada, H.Yamauchi, Y. Ishikawa, T. Hayashida, K. Sakamoto, T. Matsukawa, A. Ogura, and M.Masahara
10	2010.9.14	ESSDERC	Fin-Height Controlled PVD-TiN Gate FinFET SRAM for Enhancing Noise Margin	Y. X. Liu, K. Endo, S.O'uchi, T. Kamei, J. Tsukada, H.Yamauchi, Y. Ishikawa, T. Hayashida, K. Sakamoto, T. Matsukawa, A. Ogura, and M.Masahara
11	2010.9.14	第71回理学会学術講演会	Compensation of SRAM Variability using Independent-Double-Gate FinFETs	K. Endo, S. O'uchi, Y. X. Liu, T. Matsukawa, K. Sakamoto, and M. Masahara
12	2010.9.15 (依頼講演)	第71回学会学術講演会	独立ダブルゲート型FinFETを用いたSRAM技術	K. Endo, S. O'uchi, Y. X. Liu, T. Matsukawa, K. Sakamoto, and M. Masahara
13	2010.9.16	ESSCIRC	0.5V FinFET SRAM with Dynamic Threshold Control of Pass Gates for Salvaging Malfunctioned Bits	S. O'uchi, K. Endo, Y.X. Liu, T. Nakagawa, T. Matsukawa, Y. Ishikawa, J. Tsukada, H. Yamauchi, T. Sekigawa, H. Koike, K. Sakamoto, and M. Masahara
14	2010.9.17	第71回学会学術講演会	n ⁺ -poly-Si/PVD-TiNゲートスタックを用いた20nmゲートFinFETの作製および移動度評価	T. Kamei, Y. X. Liu, K. Endo, S.O'uchi, J. Tsukada, H.Yamauchi, Y. Ishikawa, T. Hayashida, K. Sakamoto, T. Matsukawa, A. Ogura, and M.Masahara
15	2010.9.24	SSDM	Experimental Study of PVD-TiN Gate with Poly-Si Capping and Its Application to 20 nm FinFET Fabrication	T. Kamei, Y. Liu, K. Endo, S. Ouchi, J. Tsukada, H. Yamauchi, Y. Ishikawa, T. Hayashida, T. Matsukawa, K. Sakamoto, A. Ogura, M. Masahara
16	2010.11.5 (招待講演)	4th Stanford and Tohoku Universities Joint	Advanced FinFET device technology and its application for SRAM	M. Masahara

		Open Workshop on 3D Transistor and its Applications		
17	2010.12.7 (招待講演)	IEDM	May the Fourth (terminal) be with you - Circuit Design beyond FinFET	H. Koike, S. O'uchi, M. Hioki, K. Endo, T. Matsukawa, Y.X. Liu, M. Masahara, T. Tsutsumi, K. Sakamoto, T. Nakagawa and T. Sekigawa
18	2010.12.15 (招待講演)	シンポジウム「次世代集積デバイス・プロセスの展望」	立体構造X MOSデバイス技術	M. Masahara
19	2011.2.9 (招待講演)	産総研出前シンポジウム	20nm以細対応X MOSデバイス技術	M. Masahara
20	2011.2.16 (招待講演)	日立国際電気技術セミナー	22nm以細対応X MOSデバイス技術	M. Masahara
21	2011.3.26	第58回用物理学関係連合講演会	Extension 形成条件のFinFET 寄生抵抗バラツキへの影響評価	T. Matsukawa, Y. Liu, K. Endo, J. Tsukada, Y. Ishikawa, H. Yamauchi, S. O'uchi, K. Sakamoto, and M. Masahara
22	2011.3.26	第58回用物理学関係連合講演会	Fin 高さ制御による高ノイズ耐性FinFET SRAMの作製	Y. Liu, K. Endo, S. O'uchi, T. Kamei, J. Tsukada, H. Yamauchi, Y. Ishikawa, T. Hayashida, K. Sakamoto, T. Matsukawa, A. Ogura, and M. Masahara
23	2011.3.26	第58回用物理学関係連合講演会	極微FinFETの電気特性バラツキ評価	Y. Liu, K. Endo, S. O'uchi, T. Kamei, J. Tsukada, H. Yamauchi, Y. Ishikawa, T. Hayashida, K. Sakamoto, T. Matsukawa, A. Ogura, and M. Masahara

平成 23 年度

	発表日	学会名	発表タイトル	発表者
1	2011.4.19 (招待講演)	電子情報通信学会集積回路研究会	動的閾値パスゲートを用いた0.5V FinFET SRAM	S. O'uchi, K. Endo, Y.X. Liu, T. Nakagawa, T. Matsukawa, Y. Ishikawa, J. Tsukada, H. Yamauchi, T. Sekigawa, H. Koike, K. Sakamoto, and M. Masahara
2	2011.4.27	VLSI-TSA	Influence of NiSi on Parasitic Resistance Fluctuation of FinFETs	T. Matsukawa, Y. Liu, K. Endo, J. Tsukada, Y. Ishikawa, H. Yamauchi, S. O'uchi, K. Sakamoto, and M. Masahara
3	2011.6.22 (招待講演)	IEEE INEC	Advanced FinFET Process Technology for 20 nm Node and Beyond	M. Masahara, T. Matsukawa, K. Endo, Y. Liu, W. Mizubayashi, S. Migita, S. O'uchi, H. Ota, Y. Morita
4	2011.6.22 (招待講演)	IEEE INEC	Independent Double-Gate FinFET SRAM Technology	K. Endo, S. O'uchi, T. Matsukawa, Y. Liu, and M. Masahara
5	2011.7.13 (招待講演)	東京エレクトロンFinFET技術セミナー	22nm以細対応立体チャンネルFinFETデバイス技術	M. Masahara
6	2011.8.10 (招待講演)	シリコンテクノロジー分科会・研究集会	最先端ナノMOSトランジスタの現状と今後の展開	K. Endo
7	2011.9.1	第72回学会学術講演会	FinFETにおけるNiSi形成起因のS/D寄生抵抗バラツキの解析	T. Matsukawa, Y. Liu, K. Endo, J. Tsukada, Y. Ishikawa, H. Yamauchi, S. O'uchi, K. Sakamoto, and M. Masahara
8	2011.9.1	第72回学会学術講演会	ALD-SiO ₂ ゲートサイドウォールスペーサ形成によるFinFET 寄生抵抗低減化	K. Endo, Y. Ishikawa, T. Matsukawa, Y.X. Liu, S. O'uchi, K. Sakamoto, J. Tsukada, H. Yamauchi, and M. Masahara

9	2011.9.1	第72回学会学術講演会	Poly-Si /PVD-TiNゲート FinFET電気特性のFin高さ依存性	T. Hayashida, K. Endo, Y. X. Liu, S. Ouchi, T. Kamei, T. Matsukawa, K. Sakamoto, J. Tsukada, Y. Ishikawa, H. Yamauchi, A. Ogura, and M. Masahara
10	2011.9.13	ESSDERC	Atomic Layer Deposition of 25-nm-thin Sidewall Spacer for Enhancement of FinFET Performance	K. Endo, Y. Ishikawa, T. Matsukawa, Y.X. Liu, S. O'uchi, K. Sakamoto, J. Tsukada, H. Yamauchi, and M. Masahara
11	2011.9.30	SSDM	Performance and Variability Comparisons between ALD- and PVD-TiN Gate FinFET	T. Hayashida, K. Endo, Y. X. Liu, S. Ouchi, T. Kamei, T. Matsukawa, K. Sakamoto, J. Tsukada, Y. Ishikawa, H. Yamauchi, A. Ogura, and M. Masahara
12	2011.10.4	International SOI Conference	Influence of Fin Height on Poly-Si/PVD-TiN Stacked Gate FinFET Performance	T. Hayashida, K. Endo, Y. X. Liu, S. Ouchi, T. Kamei, T. Matsukawa, K. Sakamoto, J. Tsukada, Y. Ishikawa, H. Yamauchi, A. Ogura, and M. Masahara
13	2011.10.6 (招待講演)	International SOI Conference	Variability origins of FinFETs and perspective beyond 20nm node	T. Matsukawa, Y. Liu, K. Endo, S. O'uchi, and M. Masahara
14	2011.10.26	MNC	Demonstration of ALD-TiN Gate FinFET with TDMAT Precursor for WFV Reduction	T. Hayashida, K. Endo, Y. X. Liu, S. Ouchi, T. Kamei, T. Matsukawa, K. Sakamoto, J. Tsukada, Y. Ishikawa, H. Yamauchi, A. Ogura, and M. Masahara
15	2011.11.1 (招待講演)	Fourth International Symposium on Atomically Controlled Fabrication Technology	Double Gate CMOS Device Technology	K. Endo
16	2011.11.9 (招待講演)	International Conference on Flow Dynamics	Double-Gate MOSFET Fabrication Technology	K. Endo
17	2011.12.7	IEDM	Comprehensive Analysis of Ion Variation in Metal Gate FinFETs for 20nm and Beyond	T. Matsukawa, Y. Liu, S. O'uchi, K. Endo, J. Tsukada, H. Yamauchi, Y. Ishikawa, H. Ota, S. Migita, Y. Morita, W. Mizubayashi, K. Sakamoto, and M. Masahara
18	2011.12.7	IEDM	Correlative Analysis between Characteristics of 30-nm LG FinFETs and SRAM Performance	K. Endo, S. O'uchi, Y. Ishikawa, Y. Liu, T. Matsukawa, K. Sakamoto, J. Tsukada, H. Yamauchi, and M. Masahara
19	2012.1.19 (招待講演)	ゲートスタック研究会	22nm以細対応立体チャネル FinFETデバイス技術	M. Masahara
20	2012.1.31 (招待講演)	IEEE EDS Mini-colloquium on NAnometer CMOS	Advanced FinFET Process Technology	M. Masahara

(c) 表彰等
特になし。

(d) その他特記事項
平成 19 年度

	発表日	内容	タイトル等	発表者等
1	2007.9.12	プレス発表	4端子型フィンFETを用いた高性能SRAM	大内真一、他

平成 20 年度

	発表日	内容	タイトル等	発表者等
1	2008.12.11	プレス発表	22nm世代トランジスタ特性ばらつきの新しい解析法の確立と、ばらつきに強いSRAMの試作に成功	大内真一、他

平成 22 年度

	発表日	内容	タイトル等	発表者等
1	2010.6.15	プレス発表	特性バラツキが小さい22 nm世代フィントランジスタを作製	柳永勲、他

平成 23 年度

	発表日	内容	タイトル等	発表者等
1	2011.12.8	プレス発表	14 nm世代立体型トランジスタの特性バラツキの主要因を解明	松川貴、他

(e) 特許

(国内特許)

平成 19 年度

1 件

平成 20 年度

2 件

平成 21 年度

2 件

(国際特許) (注: PCT 出願は国内特許にも記載)

平成 19 年度

1 件

平成 20 年度

1 件

平成 21 年度

4 件

平成 22 年度

1 件

②－（２）「次世代相変化メモリ技術の研究開発」

（a）投稿論文

平成20年度

	発表日	発表媒体	発表タイトル	発表者
1	2008.05.	Jpn. J. Appl. Phys.47 (2008) 5763.	The role of Ge Switch in Phase Transition – An Approach using Atomically Controlled [GeTe/Sb ₂ Te ₃] Superlattice	J. Tominaga, P. Fons, A. Kolobov, T. Shima

平成21年度

	発表日	発表媒体	発表タイトル	発表者
1	2009.05	Phys. Rev. B, 79 (2009) 174112	Ultrafast dephasing of coherent optical phonons in atomically controlled GeTe/Sb ₂ Te ₃ superlattices	M. Hase, Y. Yamamoto, J. Tominaga
2	2009.12	NANO Lett., 10-2, (2009) 414	Toward the Ultimate Limit of Phase Change in Ge ₂ Sb ₂ Te ₅	R. Simpson M. Krbal, P. Fons, A. Kolobov, J. Tominaga, T. Uruga, H. Tanida

平成22年度

#	発表日	発表媒体	発表タイトル	発表者
1	2011.01	OPTICS EXPRESS, 19 (2011) 1260	Ultrafast optical manipulation of atomic arrangements in chalcogenide alloy memory materials,	K. Makino, J. Tominaga, M. Hase

（b）学会発表

平成19年度

	発表日	学会名	発表タイトル	発表者
1	2008.03.27	Material Research Society, Spring Meeting	Atomic Zipper with Large Optical and Electrical Transition in SbTe Alloy	J. Tominaga, P. Fons, T. Shima, M. Kuwahara, O. Suzuki and A. Kolobov

平成20年度

	発表日	学会名	発表タイトル	発表者
1	2008.11.21	ISOM講演会	GST225相変化材料の活性化エネルギーの起源はなにか？	富永淳二
2	2008.07.16	ISOM/ODS08	What is the origin of activation energy in	J. Tominaga, T. Shima, R. Simpson, M. Kuwahara, P.

			phase-change film?	Fons, A. Kolobov
3	2008.09.08	E*PCOS2008	The origin of activation energy in phase-change materials	J. Tominaga, T. Shima, R. Simpson, M. Kuwahara, P. Fons, A. Kolobov

平成21年度

	発表日	学会名	発表タイトル	発表者
1	2009.09	E*PCOS 2009	Theoretical and Experimental Studies on Superlattice Ge ₂ Sb ₂ Te ₅	J. Tominaga, A. Kolobov, R. Simpson, P. Fons,

平成22年度

	発表日	学会名	発表タイトル	発表者
1	2010.09	E*PCOS 2010	Phase Change Meta-material and Device Characteristics	J. Tominaga, R. Simpson, P. Fons, A. Kolobov

(c) 表彰等

平成20年度

	発表日	内容	タイトル等	受賞者等
1	2008.07.17	Best Academic Award of ISOM/ODS08, Hawaii, US	What is the origin of activation energy in phase-change film?	J. Tominaga, T. Shima, R. Simpson, M. Kuwahara, P. Fons, A. Kolobov

平成22年度

	発表日	内容	タイトル等	受賞者等
1	2010.11.26	Best Paper Award of PCOS (相変化記録研究会)	Engineering Meta-materials for future phase-change memory	富永淳二

(d) その他特記事項

.....

(e) 特許

(国内特許)

平成20年度

出願: 4 件

登録: 0 件

平成21年度

出願: 2 件

登録: 0 件

平成**22**年度
出願：1 件
登録：3 件

(国際特許)
平成**20**年度
出願：2 件
登録：0 件

平成**21**年度
出願：5 件
登録：2 件

平成**22**年度
出願：2 件
登録：0 件

②－（３）「ナノギャップ不揮発性メモリ技術の研究開発」

（a）投稿論文平成19年度

#	発表日	発表媒体	発表タイトル	発表者
1	2008.1.8	Jpn. J. Appl. Phys	Influence of Substrate Structure on Resistance Switch using a Simple Metal Nanogap Junction	内藤泰久、堀川昌代、清水哲夫
2	2008.3.14	Jpn. J. Appl. Phys	Dependence of Electric Properties of a Nanogap Junction on Electrode Material	古田成生、高橋剛、内藤泰久、堀川昌代、清水哲夫、小野雅敏

平成20年度

#	発表日	発表媒体	発表タイトル	発表者
1	2008.7.18	Jpn. J. Appl. Phys.	Small amplitude frequency modulation atomic force microscopy of lead phthalocyanine molecules using cantilever with very high spring constant	細川義浩、一井崇、小林圭、松重和美、山田啓文
2	2008.9.16	Appl. Phys. Express	Non-Volatile Resistance Switching Using Silicon Nanogap Junction	内藤泰久、森田行則、堀川昌代、菅洋志、清水哲夫
3	2009.2.18	Appl. Phys. Express	Non-volatile Resistance Switching using Single-Wall Carbon Nanotube Encapsulating Fullerene Molecules	内藤泰久、柳和宏、菅洋志、堀川昌代、田中丈士、片浦弘道、清水哲夫

平成 21 年度

#	発表日	発表媒体	発表タイトル	発表者
1	2009.4.27	Review of Scientific Instruments	Frequency noise in frequency modulation atomic force microscopy	小林圭、山田啓文、松重和美
2	2009.6.09	Applied Surface Science	Control of Nanogap Junction Resistance by Imposed Pulse Voltage	増田雄一郎、高橋剛、古田成生、小野雅敏、清水哲夫、内藤泰久
3	2010.1.20	Jpn. J. Appl. Phys	The Effect of Gas Molecules on Resistance Switch Employing a Gold Nanogap Junction	内藤泰久、堀川昌代、清水哲夫

平成 22 年度

#	発表日	発表媒体	発表タイトル	発表者
1	2010.6.	Mater. Res. Soc. Symp. Proc.	Memory Effect in Simple Cu Nanogap Junction	菅洋志、堀川昌代、小高隼介、宮崎久生、塚越一仁、清水哲夫、内藤泰久

2	2010.7.29	Applied Physics Letters 97, 073118 (2010).	Influence of Electrode size in Resistance Switching Effect in Nanogap Junctions	菅洋志, 堀川昌代, 小高隼介, 塚越一仁, 清水哲夫, 内藤泰 久
3	2010.8.1	Proc. MRS 2010 Spring Meeting 1250-G10-05 (2010).	Memory Effect in Simple Cu Nanogap Junction	菅洋志, 堀川昌代, 小高隼介, 塚越一仁, 清水哲夫, 内藤泰 久
4	2010.8.20	Appl. Phys. Lett.	Influence of electrode size on resistance switching effect in nanogap junctions	菅洋志, 堀川昌代, 小高隼介, 宮崎久生, 塚越一仁, 清水哲 夫, 内藤泰久
5	2011.2.25	Applied Physics Letters, 98, 083120	Resistive switching effects in single metallic tunneling junction with nanometer-scale gap	水上貴博, 宮戸祐治, 小林圭, 松重和美, 山田啓文

平成 23 年度

#	発表日	発表媒体	発表タイトル	発表者
1	2011.4.2	e-Journal Surf. Sci. Nanotechnol., Vol. 9, 146-152	Highly Sensitive Electrostatic Force Detection Using Small Amplitude Frequency-Modulation Atomic Force Microscopy in the Second Flexural Mode	西啓介, 細川義浩, 小林圭, 松重和美, 山田啓文
2	2011.6.20	Jpn. J. Appl. Phys.	Physical Model for High-to-Low Resistive Switching of Gold Nanogap Junction	内藤泰久, 菅洋志, 堀川昌代
3	2011.6.20	Jpn. J. Appl. Phys.	Threshold Current Density of the Resistance Switching Effect in Pt Nanogap Junction	菅洋志, 角谷透, 堀川昌代, Somu Kumaragurubaran, 清水 哲夫, 内藤泰久、
4	2011.12.28	Applied Physics Letters 99, 263503 (2011)	Non-volatile high-speed resistance switching nanogap junction memory	Somu Kumaragurubaran, 高橋 剛, 古田成生, 増田雄一郎, 小野雅敏, 清水哲夫, 内藤泰 久, 菅洋志, 堀川昌代
5	2012.7.13	Appl. Phys. Express	Resistive switching effects in metallic nanogap electrode fabricated by electroless gold plating	内藤泰久, 竹下秀平, 石田大 貴, 大村英治, 小林圭, 山田 啓文, 真島豊

(b) 学会発表

平成19年度

#	発表日	学会名	発表タイトル	発表者
1	2007.12.6	15th International Colloquium on Scanning Probe Microscopy	The study of structural change in nanogap switch effect using SPM	内藤泰久, 清水哲夫
2	2008.3.27	第55回応用物理学関係連合 講演会	単接合ナノギャップスイッチの AFMによる構造変化観察	水上貴博, 宮戸祐治, 小林 圭, 山田啓文, 松重和美, 清水哲夫, 内藤泰久
3	2008.3.27	第55回応用物理学関係連合 講演会	シリコンによる2端子不揮発メモ リII	内藤泰久, 堀川昌代, 清水 哲夫, 森田行則
4	2008.3.27	第55回応用物理学関係連合	走査プローブ顕微鏡を用いたナノ	内藤泰久, 清水哲夫

		講演会	ギャップスイッチ効果の観察	
5	2008.3.27	第55回応用物理学関係連合講演会	カーボンナノチューブによるナノギャップ抵抗スイッチング効果	菅洋志, 堀川昌代, 清水哲夫, 内藤泰久

平成20年度

#	発表日	学会名	発表タイトル	発表者
1	2008.8.23	2008 INTERNATIONAL SYMPOSIUM ON INTEGRATION OF MEMS AND INTELLIGENT ELECTRONICS	Non-volatile Memory Using Single Carbon Nanotube	菅洋志, 清水哲夫, 田中深幸, 堀川昌代, 西岡泰城, 内藤泰久
2	2008.8.23	2008 INTERNATIONAL SYMPOSIUM ON INTEGRATION OF MEMS AND INTELLIGENT ELECTRONICS	Fabrication of a metal Nanogap for TEM Observation	古田成生, 古田, 増田, 高橋剛, 小野雅敏, 田中伸幸, 久保陽介, 佐々木勝寛, 黒田光太郎, 菅洋志, 堀川昌代, 清水哲夫, 内藤泰久
3	2008.9.4	第69回応用物理学学術講演会	AFMによる単接合型薄膜ナノギャップスイッチの構造変化観察	水上貴博, 宮戸祐治, 小林圭, 山田啓文, 松重和美, 清水哲夫, 内藤泰久
4	2008.9.4	第69回応用物理学学術講演会	金ナノギャップ電極を用いた抵抗スイッチ効果の雰囲気ガス依存性	内藤泰久, 堀川昌代, 清水哲夫
5	2008.9.4	第69回応用物理学学術講演会	ナノギャップ電極による抵抗スイッチング効果の印加電圧依存性	増田雄一郎, 古田成生, 高橋剛, 小野雅敏, 内藤泰久, 清水哲夫, 堀川昌代
6	2008.10.15	214th meeting of ECS	Nonvolatile resistance switching effect using simple metal nanogap junction	内藤泰久, 清水哲夫
7	2008.11.11	ISSS5	Resistance Switch Effect Using Silicon Nanogap Junction	内藤泰久, 森田行則, 堀川昌代, 清水哲夫
8	2008.10.29	VASSCAA-4	Control of Nanogap Junction Resistance by Imposed Pulse Voltag	増田雄一郎, 高橋剛, 古田成生, 小野雅敏, 内藤泰久, 清水哲夫
9	2008.3.17	5th Molecular Electronics and Bioelectronics	Non-volatile Resistance Switching Effect using Nanogap Junctions	内藤泰久, 堀川昌代, 清水哲夫
10	2008.3.17	5th Molecular Electronics and Bioelectronics	Dependence of Electrode Area on Nanogap Switch Effect	菅洋志, 堀川昌代, 小高隼介, 宮崎久生, 塚越一仁, 清水哲夫, 内藤泰久

平成 21 年度

#	発表日	学会名	発表タイトル	発表者
1	2009.4.1	第 56 回応用物理学関係連合講演会	ナノギャップ電極のギャップ間隔制御と AFM による表面形状観察	水上貴博, 宮戸祐治, 小林圭, 山田啓文, 松重和美, 清水哲夫, 内藤泰久

2	2009.4.1	第56回応用物理学関係連合講演会	金属ナノギャップ電極を用いた抵抗スイッチ効果の大気中動作	内藤泰久, 堀川昌代, 増田雄一郎, 小野雅敏, 清水哲夫
3	2009.4.1	第56回応用物理学関係連合講演会	ナノギャップ抵抗スイッチの微細化効果	菅洋志, 堀川昌代, 小高隼介, 宮崎久生, 塚越一仁, 清水哲夫, 内藤泰久
4	2009.9.10	第70回応用物理学学術講演会	パルス電圧駆動時のナノギャップ抵抗スイッチ効果の電極構造依存性	菅洋志, 堀川昌代, 小高隼介, 宮崎久生, 塚越一仁, 清水哲夫, 内藤泰久
5	2009.9.10	第70回応用物理学学術講演会	低温環境下における金属ナノギャップ電極の抵抗スイッチング現象評価	水上貴博, 宮戸祐治, 小林圭, 山田啓文, 松重和美, 清水哲夫, 内藤泰久
6	2010.3.19	第57回応用物理学関係連合講演会	ナノギャップ電極のギャップ狭窄化に伴う電流伝導機構変化	水上貴博, 石田大貴, 韓智元, 宮戸祐治, 小林圭, 山田啓文, 松重和美, 清水哲夫, 内藤泰久
7	2010.3.19	第57回応用物理学関係連合講演会	AFM構造評価に向けた電子線リソグラフィによるナノギャップ電極の作製	韓智元, 水上貴博, 宮戸祐治, 小林圭, 松重和美, 山田啓文
8	2010.3.20	第57回 応用物理学関係連合講演会	酸素雰囲気制御によるナノギャップ抵抗スイッチ効果の低電力動作	菅洋志, 清水哲夫, 堀川昌代, 内藤泰久
9	2010.3.20	第57回 応用物理学関係連合講演会	ナノギャップ電極による抵抗スイッチ効果のメカニズムの考察	内藤泰久, 菅洋志, 堀川昌代, 清水哲夫
10	2010.3.20	第57回応用物理学関係連合講演会	Nanogap switch, resistance memory, pulse operation, optimization	Somu Kumaragurubaran, 清水哲夫, 菅洋志, 内藤泰久, 高橋剛, 増田雄一郎, 角谷透, 古田茂生, 小野正敏
11	2010. 3. 20	第57回応用物理学関係連合講演会	ナノギャップ抵抗スイッチングの電圧パルス最適化	小野雅敏, 高橋剛, 古田成生, 増田雄一郎, Somu Kumaragurubaran, 清水哲夫, 内藤泰久, 菅洋志

平成 22 年度

#	発表日	学会名	発表タイトル	発表者
1	2010.4.5	2010 MRS Spring Meeting	Multiple Structural Changes of Local Nanogap Sites for Resistance Switching Effect Using Gold Nanogap Junction	菅洋志, 堀川昌代, 小高隼介, 塚越一仁, 清水哲夫, 内藤泰久
2	2010.9.16	第71回応用物理学会学術講演会	単接合型 Au ナノギャップ電極における抵抗スイッチング特性	石田大貴, 韓智元, 宮戸祐治, 小林圭, 松重和美, 清水哲夫, 内藤泰久, 山田啓文
3	2010.9.16	第71回応用物理学会学術講演会	AFM/KFM による単接合型 Pt ナノギャップスイッチの構造変化/表面電位観察	韓智元, 石田大貴, 宮戸祐治, 小林圭, 松重和美, 清水哲夫, 内藤泰久, 山田啓文
4	2010.9.16	第71回応用物理学会学術講演会	銅ナノギャップ電極を用いた抵抗スイッチ効果	菅洋志, 堀川昌代, Somu Kumaragurubaran, 清水哲夫, 内藤泰久
5	2010.9.16	第71回応用物理学会学術講演会	ナノギャップ抵抗スイッチングの電圧パルス最適化	Somu Kumaragurubaran, 清水哲夫, 菅洋志, 内藤泰久, 高橋剛, 増田雄一郎, 角谷透, 古田茂生, 小野正敏
6	2010.9.16	第71回応用物理学会学術講演会	走査型プローブ顕微鏡を用いたナノギャップスイッチ効果の観察II	内藤泰久, 堀川昌代

7	2010.10.5～9	展示会「CEATEC JAPAN」 (イベント出展)	金属ナノギャップで夢のユニバーサルメモリを実現	内藤泰久, Somu Kumaragurubaran, 菅洋志, 清水哲夫, 堀川昌代, 角谷透, 古田茂生, 増田雄一郎, 高橋剛, 小野正敏
8	2010.10.11	日本-フランス先端工学シンポジウム (J F F O E) (招待講演)	Non-Volatile Switching Effect Using Simple Nanogap Junction	内藤泰久
9	2010.10.28	ナノテクノロジー・ネットワーク成果報告会	ナノギャップ電極を用いた不揮発性メモリの開発	内藤泰久
10	2010.11.11	23rd International Microprocesses and Nanotechnology Conference	Resistance Switching Effect using Nanogap Junctions in Gas Environments	内藤泰久, 菅洋志, 清水哲夫, 堀川昌代
11	2010.11.11	23rd International Microprocesses and Nanotechnology Conference	Electrode Width Dependence of Nanogap Memory	菅洋志, 堀川昌代, 清水哲夫, 内藤泰久
12	2010.12.1～3	SEMICON Japan 2010 NEDO	ナノエレクトロニクス半導体新材料・新構造ナノ電子デバイス技術開発-ナノギャップ不揮発性メモリ技術の研究開発	船井電機新応用技術研究所, 産業技術総合研究所, 京都大学
13	2011. 2.16～18	展示会「Nanotech2011」 (イベント出展)	ナノエレクトロニクス半導体新材料・新構造ナノ電子デバイス技術開発-ナノギャップ不揮発性メモリ技術の研究開発	内藤泰久, Somu Kumaragurubaran, 李政祐, 菅洋志, 清水哲夫, 堀川昌代, 角谷透, 古田茂生, 増田雄一郎, 高橋剛, 小野正敏, 山田啓文
14	2011. 2.16	展示会「Nanotech2011」 (口頭発表)	ナノギャップ型不揮発性メモリの実用化研究	内藤泰久, Somu Kumaragurubaran, 李政祐, 菅洋志, 清水哲夫, 堀川昌代, 角谷透, 古田茂生, 増田雄一郎, 高橋剛, 小野正敏, 山田啓文
15	2011.3.24	第58 回応用物理学関係連合講演会	単接合型 Pt ナノギャップ電極の抵抗スイッチング特性に与える配線抵抗の影響	石田大貴, 韓智元, 宮戸祐治, 小林圭, 松重和美, 清水哲夫, 内藤泰久, 山田啓文
16	2011.3.24	第58 回応用物理学関係連合講演会	AFM/KFM による単接合型 Pt ナノギャップスイッチの構造変化/表面電位観察(2)	韓智元, 石田大貴, 宮戸祐治, 小林圭, 松重和美, 清水哲夫, 内藤泰久, 山田啓文

平成 23 年度

#	発表日	学会名	発表タイトル	発表者
1	2011.9.01	第 72 回秋季応用物理学学会 学術講演会	電流制御を用いたナノギャップ電極スイッチング現象の観察	増田雄一郎, 古田成生, 高橋剛, Somu Kumaragurubaran, 小野雅敏, 清水哲夫, 内藤泰久, 菅洋志
2	2011.9.01	第 72 回秋季応用物理学学会 学術講演会	エレクトロマイグレーション法による単接合型抵抗スイッチング素子の作製	石田大貴, 小林圭, 松重和美, 清水哲夫, 内藤泰久, 山田啓文
3	2011.10.3	QNN2011	Resistance Switching using Nanogap Junctions in Gas Molecules Environments	内藤泰久, 菅洋志, 堀川昌代, 清水哲夫

4	2011.10.26	24th International Microprocesses and Nanotechnology Conference	Resistive Switching Effects in Ultrathin Metallic Junctions with Nanometer-scale Gap of Various Metals	石田大貴,小林圭, 松重 和美,山田 啓文
5	2011.11.8	Non-Volatile Memory Technology Symposium 2011	Nonvolatile Memories with Controllable Nanogap Structures	古田成生,高橋剛,増田雄一郎, Somu Kumaragurubaran, 小野雅敏, 清水哲夫, 内藤泰久, 菅洋志
6	2011.11.10	15th International Conference on Thin Films	Resistive Switching Effects in Ultrathin Metallic Junctions with Nanometer-Scale Gap	石田大貴, 小林圭, 松重 和美, 山田啓文
7	2011.12.14	International symposium on Surface Science	Resistance Switching in Nanogap Switch Effect Measured by SPM Equipments	内藤泰久,堀川昌代
8	2012.3.16	第59回春季応用物理学関係連合講演会	原子間力顕微鏡を用いた単接合型ナノギャップ電極における抵抗スイッチング現象のその場観察	石田大貴, 小林圭, 松重和美, 清水哲夫, 内藤泰久, 山田啓文
9	2012.6.11	Silicon Nanoelectronics Workshop 2012	4kb nonvolatile nanogap memory (NGpM) with 1 ns programming capability	高橋剛, 増田雄一郎, Somu Kumaragurubaran, 古田成生, 小野雅敏, 林豊, 清水哲夫, 内藤泰久,菅洋志, 堀川昌代

(c) 表彰等

ベスト・プレゼンテーション賞、「TXテクノロジー・ショーケース in つくば2010」、講演タイトル『ナノ空間のトンネル抵抗変化を利用した新規不揮発性メモリの開発』 菅洋志、2010.1.22

(d) その他特記事項

平成19年度

#	発表日	内容	タイトル等	発表者等
1	2008.1.22	社団法人 電子情報技術産業協会 ナノエレクトロニクス技術分科会	(招待講演) ナノギャップスイッチ効果を利用した新しい不揮発性メモリの開発	内藤泰久
2	2008.3.5	AIST-TODAY(産総研機関誌)	ナノ効果を用いた素子の本格研究～ナノギャップスイッチ～ナノ空間で動く抵抗スイッチの素子研究開発～	内藤泰久

平成20年度

	発表日	内容	タイトル等	発表者等
1	2008.5.30	携帯電話 技術全集	次世代超小型不揮発性メモリー開発における抵抗スイッチ (P445-452)	清水哲夫、内藤泰久
2	2008.11.27	プレスレク (茨城新聞、日刊工業新聞、日経産業新聞)	ナノスケール特性を利用した超稠密不揮発性メモリ	清水哲夫、小野雅敏、内藤泰久
3	2008.12.5	展示会セミコンJ プレゼンテーション	産学官連携研究 マイクロエッチング分析電子顕微鏡 ナノギャップ不揮発性メモリ	内藤泰久、清水哲夫
4	2009.1.22	日本学術振興会「未踏・ナノデバイステクノロジー」第151委員会	(招待講演) ナノギャップ電極とその応用技術の開発	内藤泰久
5	2009.2.7	ナノテクフロンティア (雑誌ニュートン)	ナノの「すき間」で記憶する	記事協力 内藤泰久

平成21年度

	発表日	内容	タイトル等	発表者等
1	2009.7.17	電気学会「シリコンナノデバイス集積化技術調査専門委員会」・「化合物半導体電子デバイス調査専門委員会」合同委員会プログラム「2端子メモリ素子の新展開」	(招待講演) 金属ナノギャップ電極を用いた抵抗メモリ	内藤泰久
2	2009.9.X	Electrochemistry(電気化学会誌) 特集「ナノギャップ電極の最前線」	ナノギャップ電極を用いた新しい不揮発性メモリの開発	内藤泰久
3	2009.9.8	第70回応用物理学学術講演会	(シンポジウム) イントロダクトリートーク：機能発現の場としてのナノギャップ	清水哲夫、内藤泰久、高橋剛
4	2009.9.8	第70回応用物理学学術講演会	(シンポジウム) 超稠密ナノギャップメモリ	内藤泰久、清水哲夫
	2009.9.9	第70回応用物理学学術講演会	(シンポジウム) 走査プローブ顕微鏡によるナノギャップ電極構造変化の評価	水上市貴博、宮戸祐治、小林圭、山田啓文
5	2009.11.18	第29回マイクロ化学懇話会	(招待講演) ナノギャップ電極を用いた抵抗メモリ素子	内藤泰久
6	2009.12.8	「量子ナノ研究所」「甲南大学理工学部物理学科」共同主催コロキウム	(招待講演) ナノギャップ電極とその応用技術の開発	内藤泰久

平成22年度

	発表日	内容	タイトル等	発表者等
1	2010.10.11	日本-フランス先端工学シンポジウム	(招待講演) Non-Volatile Switching Effect Using Simple Nanogap Junction	内藤泰久
2	2010.10.5-9	CEATEC JAPAN	(イベント出展) 金属ナノギャップで夢のユニバーサルメモリを実現	内藤泰久、高橋剛、Somu Kumaragurubaran、菅洋志、古田茂生、増田雄一郎、小野正敏、角谷透
3	2011.3.9	第69回 表面科学研究会 単一分子の表面科学	(招待講演) ナノギャップ構造を用いた、新しい不揮発性メモリの開発	内藤泰久
4	2011.2.16-18	Nanotech2011	(イベント出展) ナノエレクトロニクス半導体新材料・新構造ナノ電子デバイス技術開発 ナノギャップ不揮発性メモリ技術の研究開発	内藤泰久、小野正敏、山田啓文、角谷透、Somu Kumaragurubaran、李正祐、堀川昌代、清水哲夫、菅洋志、高橋剛、古田茂生、増田雄一郎

平成23年度

	発表日	内容	タイトル等	発表者等
--	-----	----	-------	------

1	2011.5.18	研修会(SOC株式会社)	(依頼講演) エレクトロニクス応用にむけたナノテク技術	内藤泰久
2	2011.6.1~3	JPCAショー	(イベント出展) ナノギャップ型不揮発性メモリの開発	内藤泰久、古田茂生、増田雄一郎、小野正敏
3	2011.11.30	研究紹介(東芝)	(依頼講演) ナノギャップ型不揮発性メモリの開発	内藤泰久

(e) 特許(国内特許)

平成19年度

出願： 5件

登録： 0件

出願日	出願番号	出願に係る特許等の標題	出願人
2007/6/22	2007-165393	スイッチング素子(動作電圧低下、絶縁性基板窒化処理酸化シリコン)	船井電機新応用技術研究所、船井電機、産業技術総合研究所
2007/6/22	2007-165383	メモリ素子アレイ(回り込み電流発生防止、トンネル素子を備える)	船井電機新応用技術研究所、船井電機、産業技術総合研究所
2007/8/22	2007-215864	スイッチング素子の製造方法及びメモリ素子アレイ	船井電機新応用技術研究所、船井電機
2007/12/20	2007-328393	ナノギャップスイッチング素子の駆動方法及びナノギャップスイッチング素子を備える記憶装置	船井電機新応用技術研究所、船井電機、産業技術総合研究所
2008/2/26	2008-044119	ナノギャップ素子の駆動方法及びナノギャップ素子を備える記憶装置	船井電機新応用技術研究所、船井電機、産業技術総合研究所

平成20年度

出願： 5件

登録： 0件

出願日	出願番号	出願に係る特許等の標題	出願人
2008/9/26	2008-248429	メモリ素子、メモリ素子の製造方法及びメモリアレイ(スイッチング電気特性分布の少ないメモリ素子アレイ)	船井電機新応用技術研究所、船井電機
2008/9/26	2008-248440	メモリ素子、メモリ素子の製造方法、メモリアレイ構成の元素ト及びメモリアレイ(第1孔及び間隙は外気と遮断することが出来る)	船井電機新応用技術研究所、船井電機
2008/12/26	2008-334122	メモリアルアレイ	船井電機新応用技術研究所、船井電機
2008/12/26	2008-334129	メモリアルアレイ	船井電機新応用技術研究所、船井電機
2008/12/26	2008-334144	メモリアルアレイ	船井電機新応用技術研究所、船井電機

平成21年度

出願： 2件

登録： 1件

出願日	出願番号	出願に係る特許等の標題	出願人
2009.4.10	2009-095575	スペーサーを用いた均一なナノギャップ素子の作製技術	船井電機新応用技術研究所、船井電機、産業技術総合研究所

2010. 2.25	2010-040306	スイッチング素子	船井電機新応用技術研究所、 船井電機、産業技術総合研究所
------------	-------------	----------	---------------------------------

平成22年度
出願： 3件
登録： 0件

出願日	受付番号	出願に係る特許等の標題	出願人
2010.8.26	特願 2010-189132	メモリ素子の駆動方法及びメモリ素子を備える記憶装置	船井電機新応用技術研究所、船井電機、産業技術総合研究所
2010.8.26	特願 2010-189133	メモリ素子の駆動方法及びメモリ素子を備える記憶装置	船井電機新応用技術研究所、船井電機、産業技術総合研究所
2011. 3.8	特願2011-050552	2端子素子の作製法	産業技術総合研究所、船井電機新応用技術研究所、船井電機

平成23年度
出願： 0件
登録： 0件

(国際特許)
出願：4件
登録 件

優先権日	基礎出願番号	出願に係る特許等の標題	登録された国	出願中の国
2008/12/26	2008-334122	メモリアルレイ		US, EP, (PCT)
2008/12/26	2008-334129	メモリアルレイ	US	EP, (PCT)
2008/12/26	2008-334144	メモリアルレイ	US	EP, (PCT)
2009/4/10	2009-095575	スペースを用いた均一なナノギャップ素子の作成技術		US, EP, (PCT)
2010/8/26	2010-189132	メモリ素子の駆動方法及びメモリ素子を備える記憶装置		TW, (PCT)
2010/8/26	2010-189133	メモリ素子の駆動方法及びメモリ素子を備える記憶装置		TW, (PCT)

③－（１）「カーボンナノチューブトランジスタ技術の研究開発」

①「CNTデバイス作製技術の研究開発」（名古屋大学）

（a）投稿論文

平成19年度

#	発表日	発表媒体	発表タイトル	発表者
1	2008.03.05	NANO: Brief Reports and Reviews	Potential Profile Measurement of Carbon Nanotube FETs Based on the Electrostatic Force Detection	Y. Okigawa, T. Umesaka, Y. Ohno, S. Kishimoto, T. Mizutani

平成20年度

#	発表日	発表媒体	発表タイトル	発表者
1	2008.9.4	Proc. SPIE	Electrical properties of carbon nanotube FETs	T. Mizutani, Y. Ohno, S. Kishimoto
2	2008	Appl. Phys. Lett.	High-density horizontally aligned growth of carbon nanotubes with Co nanoparticles deposited by arc-discharge plasma method	D. Phokharatkul, Y. Ohno, H. Nakano, S. Kishimoto, T. Mizutani
3	2008.4.9	Journal of Physics: Conference Serie	Electrical properties of carbon nanotube FETs	T. Mizutani, Y. Noshio, Y. Ohno

平成21年度

#	発表日	発表媒体	発表タイトル	発表者
1	2009.10	J, Appl, Phys., Vol, 106, 73705-1-5	A study of preferential growth of carbon nanotubes with semiconducting behavior grown by plasma-enhanced chemical vapor deposition	T. Mizutani, H. Ohnaka, Y. Okigawa, S. Kishimoto, Y. Ohno
2	2009.12	J, Appl, Phys., Vol, 106, 114315-1-4	Conductance of individual channels in a carbon nanotube field-effect transistor studied by magnetic force microscopy	M. Ato, T. Takahashi, Y. Okigawa, T. Mizutani
3	2010.2	Jpn, J, Appl, Phys., Vol, 49, 02DB02-1-4	Electrical Properties of Carbon Nanotube Field-Effect Transistors with Multiple Channels Measured by Scanning Gate Microscopy	Y. Okigawa, S. Kishimoto, Y. Ohno, T. Mizutani
4	2010.3	Nanotechnol., vol, 21, 165201-1-7	Change in carrier type in high-k gate carbon nanotube field-effect transistors by interface fixed charges	N. Moriyama, Y. Ohno, T. Kitamura, S. Kishimoto, T. Mizutani

平成22年度

#	発表日	発表媒体	発表タイトル	発表者
1	2010.10	Appl, Phys, Exp., Vol, 3, No, 10, 105102-1-3	High-Performance Top-Gate Carbon Nanotube Field-Effect Transistors and Complementary Metal-Oxide-Semiconductor Inverters Realized by Controlling Interface Charges	N. Moriyama, Y. Ohno, K. Suzuki, S. Kishimoto, T. Mizutani

2	2010.10	Proc, IEEE, Vol, 98, No, 12, 2015-2031	[Invited paper] Carbon Nanotubes for VLSI: Interconnect and Transistor Applications	Y. Awano, S. Sato, M. Nihei, T. Sakai, Y. Ohno, T. Mizutani
3	2011.1	Jpn, J, Appl, Phys., Vol, 50, 015102-1-4	Thin Single-Walled Carbon Nanotubes with Narrow Diameter Distribution Grown by Cold-Wall Chemical Vapor Deposition Combined with Co Nanoparticle Deposition	S. Ishii, Y. Ohno, S. Kishimoto, T. Mizutani
4	2011.1	phys, stat, sol (c), Vol, 8, No, 2, 561-563	Improvement in alignment of single-walled carbon nanotubes grown on quartz substrate	K. Hata, Y. Ohno, S. Kishimoto, T. Mizutani
5	2011.1	phys, stat, sol (c), Vol, 8, No, 2, 567-569	Impact of fixed charges at interfaces on the operation of top-gate carbon nanotube field-effect transistors	Y. Ohno, N. Moriyama, S. Kishimoto, T. Mizutani

(b) 学会発表

平成19年度

#	発表日	学会名	発表タイトル	発表者
1	2008.3.6	STRJワークショップ 2007	カーボンナノチューブFETの現状と将来展望	水谷 孝
2	2008.3.22	日本物理学会 第63回年次大会シンポジウム	カーボンナノチューブデバイスにおける環境効果	大野 雄高, 水谷 孝
3	2008.3.27	春季第55回応用物理学関係連合講演会	フォトルミネッセンス空間分布測定によるカーボンナノチューブのカイラリティ分布評価の試み	小林 篤史, 大野 雄高, 岸本 茂, 水谷 孝
4	2008.3.3	第34回フラーレン・ナノチューブ総合シンポジウム	Fabrication Process of Carbon Nanotube FETs Using ALD Passivation for Biosensors	Y. Nakashima, Y. Ohno, S. Kishimoto, M. Okochi, H. Honda,

平成20年度

#	発表日	学会名	発表タイトル	発表者
1	2008.6.29	Ninth International Conference on the Science and Application of Nanotubes (NT08)	High-density horizontally-aligned growth of carbon nanotubes for high-performance multi-channel nanotube FETs	Y. Ohno, D. Phokharatkul, H. Nakano, S. Kishimoto, T. Mizutani
2	2008.6.29	Ninth International Conference on the Science and Application	Carbon nanotube networks for thin-film transistors grown by grid-inserted plasma-enhanced	T. Mizutani, S. Kishimoto, Y. Ono, Y. Ohno
3	2008.8.10	SPIE Opticst+Photonics 2008	Electrical properties of carbon nanotube FETs	T. Mizutani
4	2008.9.24	2008 International Conference on Solid State Devices and Materials (SSDM 2008)	High-density horizontally-aligned growth of carbon nanotubes for high-performance field-effect transistors	Y. Ohno, D. Phokharatkul, H. Nakano, S. Kishimoto, T. Mizutani

5	2008.10.6	1st Russian-Japanese Young Scientist Conference on Nanomaterials and Nanotechnology	Fabrication and Characterization of Carbon Nanotube Field-Effect Transistors	Y. Ohno, T. Mizutani
6	2008.10.12	The Seventh International Conference on Advanced Semiconductor Devices and Microsystems (ASDAM '08)	Electrical properties of carbon nanotube FETs	T. Mizutani, Y. Ohno, S. Kishimoto
7	2008.10.28	21st International Microprocesses and Nanotechnology Conference (MNC 2008)	Carbon Nanotube FETs with CNT Network Channel grown by Grid-inserted Plasma-enhanced CVD	Y. Ono, S. Kishimoto, Y. Ohno, T. Mizutani
8	2008.10.28	21st International Microprocesses and Nanotechnology Conference (MNC 2008)	Influence of insulator deposition in carbon nanotube FETs	N. Moriyama, Y. Ohno, Y. Nakashima, H. Soma, S. Kishimoto, T. Mizutani
9	2008.11.09	The 5th Japan-Korea Symposium on Carbon Nanotube (KJ5)	Characterization of CNT-FET by Scanning Gate Microscopy	Y. Okigawa, Y. Ohno, S. Kishimoto, T. Mizutani
10	2008.11.9	The 5th Japan-Korea Symposium on Carbon Nanotube (KJ5)	Carbon Nanotube FETs with CNT Network Channel grown by Grid-inserted Plasma-enhanced CVD	Y. Ono, S. Kishimoto, Y. Ohno, T. Mizutani
11	2008.11.9	The 5th Japan-Korea Symposium on Carbon Nanotube (KJ5)	Control of conduction property of carbon nanotube transistors	Y. Ohno, T. Mizutani
12	2008.11.9	The 5th Japan-Korea Symposium on Carbon Nanotube (KJ5)	High-performance n-type Carbon Nanotube FETs with Stability	N. Moriyama, Y. Ohno, S. Kishimoto, T. Mizutani
13	2008.8.27	第35回記念フラレン・ナノチューブ総合シンポジウム	カーボンナノチューブFETの作製と評価	水谷 孝, 大野 雄高, 岸本 茂
14	2008.9.2	秋季第69回応用物理学学会学術講演会	イントロダクトリートーク:カーボンナノチューブナノエレクトロニクス	水谷 孝
15	2008.9.2	秋季第69回応用物理学学会学術講演会	n-type single-walled carbon nanotube FETs with Sm as contact electrodes	Prakash R. Somani, A. Kobayashi, Y. Ohno, S. Kishimoto, T. Mizutani
16	2008.9.2	秋季第69回応用物理学学会学術講演会	カーボンナノチューブFETにおける絶縁膜堆積の影響	森山 直希, 大野 雄高, 岸本 茂, 水谷 孝
17	2008.9.2	秋季第69回応用物理学学会学術講演会	カーボンナノチューブトランジスタの作製と評価	大野 雄高, 水谷 孝
18	2009.3.2	第36回フラレン・ナノチューブ総合シンポジウム	Characterization of CNT-FET by Scanning Gate Microscopy	Y. Okigawa, S. Kishimoto, Y. Ohno, T. Mizutani
19	2009.3.30	春季第56回応用物理学関係連合講演会	アークプラズマ堆積法を用いたカーボンナノチューブ成長用触媒微粒子形成	畑 謙佑, 大野 雄高, 岸本 茂, 水谷 孝
20	2009.3.30	春季第56回応用物理学関係連合講演会	High-kゲート絶縁膜を有するn型トップゲートカーボンナノチューブFETの作製と評価	森山 直希, 大野 雄高, 岸本 茂, 水谷 孝
21	2009.3.30	春季第56回応用物理学関係連合講演会	カーボンナノチューブFETの特性と可能性	水谷 孝, 大野 雄高, 岸本 茂

22	2009.3.30	春季第56回応用物理学関係 連合講演会	磁気力顕微鏡によるマルチ チャンネル型CNT-FETの電 気伝導特性評価	阿登 正幸, 沖川 侑揮, 水谷 孝, 高橋 琢二
----	-----------	------------------------	--------------------------------------------	------------------------------

平成21年度

#	発表日	学会名	発表タイトル	発表者
1	2009.4	The 4th Guadalupe Workshop, Texas, USA	Plasma-enhanced CVD of semiconducting SWNTs for transistor application	Y. Ohno, T. Mizutani
2	2009.4	First International Conference on Nanostructured Materials and Nanocomposites, India	Fabrication and characterization of high-performance carbon nanotube field-effect transistors	Y. Ohno, T. Mizutani
3	2009.5	The International Magnetism Conference, (Intermag), AB-04, Sacramento, USA	Individual Channel Conductance in a Carbon Nanotube Field-effect Transistor Studied by Magnetic Force Microscopy	T. Takahashi, M. Ato, Y. Okigawa, T. Mizutani
4	2009.6	10th International Conference on the Science and Application of Nanotubes, China	Scanning gate microscopy measurement of CNT-FETs	Y. Okigawa, S. Kishimoto, Y. Ohno, T. Mizutani
5	2009.6	10th International Conference on the Science and Application of Nanotubes, China	Preparation of catalyst nanoparticles for growth of high-density horizontally aligned carbon nanotubes	K. Hata, Y. Ohno, S. Kishimoto, T. Mizutani
6	2009.6	International Symposium on Carbon Nanotube Nanoelectronics, Japan	Formation of catalyst nano-particles for growth of high-density horizontally aligned carbon nanotubes	K. Hata, Y. Ohno, S. Kishimoto, T. Mizutani
7	2009.6	International Symposium on Carbon Nanotube Nanoelectronics, Japan	Characterization of CNT-FETs by Scanning Probe Microscopy	T. Mizutani, Y. Okigawa, Y. Ohno, S. Kishimoto
8	2009.6	International Symposium on Carbon Nanotube Nanoelectronics, Japan	Electrical Properties of Individual Carbon Nanotube Channels in a Field Effect Transistor Studied by Magnetic Force Microscopy	M. Ato, Y. Okigawa, T. Mizutani T. Takahashi
9	2009.6	International Symposium on Carbon Nanotube Nanoelectronics, Japan	Carrier-type conversion in carbon nanotube FETs	N. Moriyama, Y. Ohno, S. Kishimoto, T. Mizutani
10	2009.6	第22回プラズマ材料科学シンポ ジウム	Fabrication and characterization of carbon nanotube FETs fabricated by using grid-inserted plasma-enhanced CVD	T. Mizutani, S. Kishimoto
11	2009.6	XI International Scanning Probe Microscopy Conference (ISPM), Oral 35, Madrid, Spain	Characterization of Individual Carbon Nanotube Channels in a Field-effect Transistor by Means of Magnetic Force Microscopy	T. Takahashi, M. Ato, Y. Okigawa, T. Mizutani
12	2009.10	International Conference on Carbon Nanostructured Materials (Cnano'09), O-10, Athen, Greece	Channel Property of Individual Carbon Nanotubes in a Field Effect Transistor Characterized by Magnetic Force Microscopy	T. Takahashi, M. Ato, Y. Okigawa, T. Mizutani
13	2009.10	The 6th Korea-Japan Symposium on Carbon Nanotube, Japan	Control of carrier type in carbon nanotube FETs by high-k gate insulator	N. Moriyama, Y. Ohno, S. Kishimoto, T. Mizutani

14	2009.10	The 6th Korea-Japan Symposium on Carbon Nanotube, Japan	Electrical characteristics of high-k gate insulator for carbon nanotube FETs	T. Kitamura, Y. Ohno, S. Kishimoto, T. Mizutani
15	2009.10	The 6th Korea-Japan Symposium on Carbon Nanotube, Japan	Growth of Thin Single-Walled Carbon Nanotubes by Low-Pressure Chemical Vapor Deposition	S. Ishii, Y. Ohno, S. Kishimoto, T. Mizutani
16	2009.10	The 6th Korea-Japan Symposium on Carbon Nanotube, Japan	Characterization of CNT-FETs by Scanning Probe Microscopy	T. Mizutani, T. Takahashi
17	2009.11	International Microprocesses and Nanotechnology Conference, Japan	Control of carrier type for high-performance carbon nanotube FETs by fixed charges incorporated in gate insulator	Y. Ohno, N. Moriyama, T. Kitamura, S. Kishimoto, T. Mizutani
18	2009.12	International Semiconductor Device Research Symposium, USA	Carrier Type Conversion in Carbon Nanotube Field-Effect Transistors Caused by Interface Fixed Charges	Y. Ohno, N. Moriyama, T. Kitamura, K. Suzuki, S. Kishimoto, T. Mizutani
19	2009.9	秋季第70回応用物理学学会学術講演会, 富山大学	局所ゲート顕微鏡を用いた半導体的CNT-FETの評価	沖川侑揮, 岸本茂, 大野雄高, 水谷孝
20	2009.9	秋季第70回応用物理学学会学術講演会, 富山大学	ゲート絶縁膜の堆積によるカーボンナノチューブFETの伝導型制御	森山直希, 大野雄高, 岸本茂, 水谷孝
21	2009.9	秋季第70回応用物理学学会学術講演会, 富山大学	嫌気・コールドウォールCVD装置による単層カーボンナノチューブの成長とその評価	石井聡, 大野雄高, 岸本茂, 水谷孝
22	2010.2	電子情報通信学会電子デバイス研究会	カーボンナノチューブ電界効果型トランジスタの電気的特性に及ぼす界面特性の影響とその制御	大野雄高, 森山直希, 北村隆光, 鈴木耕介, 岸本茂, 水谷孝
23	2010.3	春季第57回応用物理学関係連合講演会, 東海大学 湘南キャンパス	水平基板上におけるカーボンナノチューブの高密度配向成長-基板表面処理による配向性の向上	畑謙佑, 大野雄高, 岸本茂, 水谷孝
24	2010.3	春季第57回応用物理学関係連合講演会, 東海大学 湘南キャンパス	カーボンナノチューブFETの動作に及ぼすゲート絶縁膜界面電荷の影響	大野雄高, 岸本茂, 水谷孝
25	2010.3	電子情報通信学会2010年総大会	カーボンナノチューブFETの現状と課題	水谷孝

平成22年度

#	発表日	発表媒体	発表タイトル	発表者
1	2010.4	217th ECS Meeting, Canada	Characterization of CNT-FETs by Scanning Probe Microscopy	T. Mizutani, T. Takahashi
2	2010.5	The 37th International Symposium on Compound Semiconductors, Japan	Growth of high density aligned SWNTs on quartz substrates : Improvement in alignment by pretreatment of substrate surface	K. Hata, Y. Ohno, S. Kishimoto, T. Mizutani
3	2010.6	The 37th International Symposium on Compound Semiconductors, Japan	Impact of fixed charges at interfaces on operation of top-gate carbon nanotube FETs	Y. Ohno, S. Kishimoto, T. Mizutani
4	2010.7	The 11th International Conference on the Science and Application of Nanotubes, Canada	Interface charges as a key factor to realize high-performance carbon nanotube FETs for CMOS applications	Y. Ohno, N. Moriyama, K. Suzuki, S. Kishimoto, T. Mizutani
5	2010.11	23rd International Microprocesses and Nanotechnology Conference, Japan	Effect of Reduction of Parasitic Resistances on High-frequency Characteristics of Carbon Nanotube	K. Hata, Y. Ohno, S. Kishimoto, T. Mizutani

			FETs	
6	2010.12	The International Chemical Congress of Pasific Basin Societies, USA	Impact of interface charges on carbon nanotube FETs for CMOS applications	Y. Ohno, N. Moriyama, K. Suzuki, S. Kishimoto, T. Mizutani
7	2010.12	The International Chemical Congress of Pasific Basin Societies, USA	Density enhancement of aligned SWNTs on quartz substrate:Reduction process of catalyst nano-particles and pretreatment of substrate	K. Hata, Y. Ohno, S. Kishimoto, T. Mizutani
8	2010.5	平成 21 年度中部地区ナノテク総合支援報告会	カーボンナノチューブトランジスタの現状と課題	水谷孝
9	2010.6	電子情報通信学会電子デバイス研究会	トップゲートカーボンナノチューブ FET におけるゲート絶縁膜界面電荷の影響	大野雄高,森山直希,北村隆光,鈴木耕佑,岸本茂,水谷孝
10	2010.9	第 71 回応用物理学学会学術講演会	SPM による CNT-FET 個別チャネルの評価	田辺翔,阿登正幸,沖川侑揮,水谷孝,高橋琢二
11	2010.9	第 71 回応用物理学学会学術講演会	カーボンナノチューブ FET の高周波特性に対する寄生抵抗低減効果	畑謙佑,大野雄高,岸本茂,水谷孝
12	2010.9	第 71 回応用物理学学会学術講演会	カーボンナノチューブ FET の現状と展望	水谷孝,大野雄高,岸本茂
13	2010.9	第 39 回フラーレン・ナノチューブ総合シンポジウム	Impact of interface charges on carbon nanotube FETs for CMOS applications	Y. Ohno, N. Moriyama, K. Suzuki, S. Kishimoto, T. Mizutani
14	2011.3	第 58 回応用物理学関係連合講演会	KFM を用いた CNFET におけるゲート絶縁膜界面の解析	鈴木耕佑,大野雄高,岸本茂,水谷孝
15	2011.3	第 58 回応用物理学関係連合講演会	金属 CNT 中の欠陥に起因する障壁の高さの見積もり	沖川侑揮,岸本茂,大野雄高,水谷孝
16	2011.3	第 58 回応用物理学関係連合講演会	嫌気環境下 CNT-FET の作製とその評価	石井聡,大野雄高,岸本茂,水谷孝

(c) 表彰等

なし

(d) その他特記事項

なし

(e) 特許(国内特許)

平成21年度

出願：1 件

登録：0 件

②「CNT成長技術の研究開発」（東京大学工学部）

(1)半導体CNT優先成長

(a) 投稿論文

平成19年度

#	発表日	発表媒体	発表タイトル	発表者
1	2008.1.8	Phys. Rev. B	Exciton dephasing and multiexciton recombinations in a single carbon nanotube	K. Matsuda, T. Inoue, Y. Murakami, S. Maruyama and Y. Kanemitsu
2	2008.3.12	J. Phys. Chem. C	Growth Deceleration of Vertically Aligned Carbon Nanotube Arrays: Catalyst Deactivation or Feedstock Diffusion Controlled?	R. Xiang, Z. Yang, Q. Zhang, G. Luo, W. Qian, F. Wei, M. Kadowaki, E. Einarsson, S. Maruyama

平成20年度

#	発表日	発表媒体	発表タイトル	発表者
1	2008.4.18	Jpn. J. Appl. Phys.	Vertically Aligned ¹³ C Single-Walled Carbon Nanotubes from No-flow Alcohol Chemical Vapor Deposition and their Root Growth Mechanism	R. Xiang, Z. Zhang, K. Ogura, J. Okawa, E. Einarsson, Y. Miyauchi, J. Shiomi, S. Maruyama
2	2008.4.18	Jpn. J. Appl. Phys.	Temperature Dependence of Raman Scattering from Single-walled Carbon Nanotubes -Undefined Radial Breathing Mode Peaks at High Temperatures-	S. Chiashi, Y. Murakami, Y. Miyauchi and S. Maruyama
3	2008.5.14	Phys. Rev. Lett.	Linear plasmon dispersion in single wall carbon nanotubes and the collective excitation spectrum of graphene	C. Kramberger, R. Hambach, C. Giorgetti, M. H. Rummeli, M. Knupfer, J. Fink, B. Buchner, L. Reining, E. Einarsson, S. Maruyama, F. Sottile, K. Hannewald, V. Olevano, A. G. Marinopoulos, T. Pichler
4	2008.5.20	Phys. Rev. B	Exciton fine structures in a single carbon nanotube revealed through spectral diffusion	K. Matsuda, T. Inoue, Y. Murakami, S. Maruyama and Y. Kanemitsu
5	2008.9.3	phys. stat. sol. (b)	Loss-spectroscopy on sparse arrays of aligned carbon nanotubes	C. Kramberger, M. Rummeli, M. Knupfer, J. Fink, B. Buchner, E. Einarsson, S. Maruyama, T. Pichler

平成21年度

#	発表日	発表媒体	発表タイトル	発表者
1	2009.4.10	J. Phys. Chem. C	Acetylene-Accelerated Alcohol Catalytic CVD Growth of Vertically Aligned Single-Walled Carbon Nanotubes	R. Xiang, E. Einarsson, J. Okawa, Y. Miyauchi and S. Maruyama
2	2009.4.28	Phys. Rev. B	Effect of dielectric environment on the ultraviolet optical	Y. Murakami and S. Maruyama

3	2009.5.7	Phys. Rev. B	Photoluminescence sidebands of carbon nanotubes below the bright singlet excitonic levels	Y. Murakami, B. Lu, S. Kazaoui, N. Minami, T. Okubo, S. Maruyama
4	2009.7.10	Journal of American Chemical Society 131, 10344-10345	High-Precision Selective Deposition of Catalyst for Facile Localized Growth of Single-Walled Carbon Nanotubes	R. Xiang, T. Wu, E. Einarsson, Y. Suzuki, Y. Murakami, J. Shiomi, S. Maruyama
5	2010.2.25	Journal of Physical Chemistry C 114, 4831-4834	Controllable Expansion of Single-Walled Carbon Nanotube Dispersions Using Density Gradient Ultracentrifugation	P. Zhao, E. Einarsson, R. Xiang, Y. Murakami, S. Maruyama

平成22年度

#	発表日	発表媒体	発表タイトル	発表者
1	2010.6.6	Journal of Nanoscience and Nanotechnology 10, 3901-3906	Parametric Study of Alcohol Catalytic Chemical Vapor Deposition for Controlled Synthesis of Vertically Aligned Single-Walled Carbon Nanotubes	R. Xiang, E. Einarsson, J. Okawa, T. Thurakitserree, Y. Murakami, J. Shiomi, Y. Ohno, S. Maruyama
2	2010.10.12	Japanese Journal of Applied Physics 50, 04ND08-1-04ND08-4	Simple Fabrication Technique for Field-Effect Transistor Array Using As-Grown Single-Walled Carbon Nanotubes	S. Aikawa, E. Einarsson, T. Inoue, R. Xiang, S. Chiashi, J. Shiomi, E. Nishikawa, S. Maruyama
3	2011.2.9	Nano Research 4, 580-588	Facile Fabrication of All-SWNT Field-Effect Transistors	S. Aikawa, R. Xiang, E. Einarsson, S. Chiashi, J. Shiomi, E. Nishikawa, S. Maruyama
4	2011.3.1	Nano Research 4, 623-634	Tunable separation of single-walled carbon nanotubes by dual-surfactant density gradient ultracentrifugation	P. Zhao, E. Einarsson, G. Lagoudas, J. Shiomi, S. Chiashi, S. Maruyama

(b) 学会発表

平成19年度

#	発表日	学会名	発表タイトル	発表者
1	2008.3.6	IWEPNM2008	(招待講演) Cross-polarized optical excitation of single-walled carbon nanotubes	S. Maruyama
2	2008.3.10	APS March Meeting	(招待講演) Cross-polarized optical absorption of single-walled carbon nanotubes probed by photoluminescence excitation spectroscopy, UV-Vis-IR and polarized Raman Scatterings	S. Maruyama

他 1 3 件 (合計 1 5 件)

平成20年度

#	発表日	学会名	発表タイトル	発表者
---	-----	-----	--------	-----

1	2008.5.20	213th ECS Meeting	(招待講演) Alcohol CVD Growth and Optical Characterization of Vertically-Aligned Single-Walled Carbon Nanotubes	S. Maruyama
2	2008.6.30	9th Int. Conf. Science and Application of Nanotubes (NT08)	Recent progress on the growth mechanism and structure control of vertically aligned SWNT arrays by alcohol CVD	R. Xiang, E. Einarsson, J. Okawa, Y. Murakami and S. Maruyama
3	2008.6.30	9th Int. Conf. Science and Application of Nanotubes (NT08)	Cross-polarized optical excitation of single-walled carbon nanotubes	S. Maruyama
4	2008.10.13	214th ECS Meeting (PRIME)	Growth Control of Vertically-Aligned Single-Walled Carbon Nanotubes from Alcohol	S. Maruyama, R. Xiang, E. Einarsson and J. Okawa
5	2008.11.5	AsiaNANO 2008	(招待講演) Alcohol CVD Growth of Vertically-Aligned Single-Walled Carbon Nanotubes	S. Maruyama
6	2008.12.13	IUMRS-ICA 2008	(招待講演) Growth Control and Optical Characterization of Vertically Aligned Single-Walled Carbon Nanotubes	S. Maruyama

他 1 5 件 (合計 2 1 件)

平成21年度

	発表日	学会名	発表タイトル	発表者
1	2009.5.25	215th ECS Meeting	(招待講演) Optical characterization of vertically aligned single-walled carbon nanotube arrays	E. Einarsson, R. Xiang, Z. Zhang, Y. Murakami and S. Maruyama
2	2009.6.7	WONTON09	High-Precision Selective Deposition of Catalyst for Facile Localized Growth of Single Walled Carbon Nanotubes	R. Xiang, T. Wu, E. Einarsson, Y. Suzuki, Y. Murakami, J. Shiomi, S. Maruyama
3	2009.6.10	WONTON09	(招待講演) Spectral features due to dark exciton in photoluminescence map of single-walled carbon nanotubes	S. Maruyama, Y. Miyauchi and Y. Murakami
4	2009.6.25	10th Int. Conf. Science Application Nanotubes (NT09)	Precisely Localized As-grown Single Walled Carbon Nanotubes for Facile Fabrication of Field Effect Transistor Device	S. Aikawa, R. Xiang, E. Einarsson, J. Shiomi, E. Nishikawa, S. Maruyama
5	2009.12.18	ASME 2009 Micro/Nanoscale Heat and Mass Transfer International Conference	CVD Growth, Optical and Thermal Characterization of Vertically-Aligned Single-Walled Carbon Nanotubes	S. Maruyama, R. Xiang
6	2009.12.18	ASME 2009 Micro/Nanoscale Heat and Mass Transfer International Conference	Feedstock Diffusion and Decomposition in Aligned Carbon Nanotube Arrays	R. Xiang, E. Einarsson, J. Shiomi, S. Maruyama
7	2009.9.3	第 37 回フラーレン・ナノチューブ総合シンポジウム	As-grown の単層カーボンナノチューブを用いた容易な電界効果トランジスタの作製とその特性評価	相川 慎也, 項 榮, エリック エイナルソン, 塩見 淳一郎, 西川 英一, 丸山 茂夫

8	2009.10.15	第1回マイクロ・ナノ工学シンポジウム	触媒 CVD 法による単層カーボンナノチューブの低温・低圧合成	井ノ上 泰輝, 岡部 寛人, 千足 昇平, 渡辺 誠, 塩見 淳一郎, 丸山 茂夫
---	------------	--------------------	---------------------------------	-------------------------------------------

他7件(合計15件)

平成22年度

#	発表日	発表媒体	発表タイトル	発表者
1	2010.4.9	2010 MRS Spring Meeting	Patterned CVD Growth of Single-walled Carbon Nanotubes for a Thin-film Transistor	S.Maruyama, R. Xiang, S. Aikawa, E. Einarsson, S. Chiashi, J. Shiomi
2	2010.12.17	2010 International Chemical Congress of Pacific Basin Societies	Precisely localized synthesis of single-walled carbon nanotubes for applications	E. Einarsson, S. Aikawa, R. Xiang, S. Chiashi, J. Shiomi, E. Nishikawa, S. Maruyama
3	2010.5.27	第47回日本伝熱シンポジウム	アルコール触媒 CVD 法による単層カーボンナノチューブの合成制御: 触媒還元温度の直径への影響	ティエラポン トウラキ ットセーリー, エリック エイナルソン, 項 榮, 千足 昇平, 塩見 淳一郎, 丸山 茂夫
4	2011.3.11	第40回記念フラーレン・ナノチューブ総合シンポジウム	水晶基板上での水平配向単層カーボンナノチューブ高密度合成	井ノ上 泰輝, 長谷川 大祐, 千足 昇平, 丸山 茂夫

(c) 表彰等

平成21年度

#	発表日	内容	タイトル等	受賞者等
1	2009.4.25	中国留学生指導	感謝状(中華人民共和国大使館)	丸山 茂夫
2	2009.5.11	垂直配向単層カーボンナノチューブ応用の実現に向けて	産業タイムズ社賞	Erik Einarsson, Rong Xiang, Jun Okawa, Shigeo Maruyama

平成22年度

なし

(d) その他特記事項

平成19年度

#	発表日	内容	タイトル等	発表者等
1	2008.3.3	日刊工業新聞	東大、単層カーボンナノチューブの	丸山 茂夫

			成長促進法を解明	
--	--	--	----------	--

平成21年度

なし

平成22年度

なし

(e) 特許

(国内)

平成22年度

出願：1件

登録：0件

②「CNT成長技術の研究開発」(九州大学)

(2) サファイア基板上での高密度配向成長の実現

(3) シリコンウェハ上のCNT配向成長の実現

(a) 投稿論文

平成20年度

#	発表日	発表媒体	発表タイトル	発表者
1	2008.12.3	J. Am. Chem. Soc., 130, 17264 (2008).	Unidirectional growth of single-walled carbon nanotubes	N. Ishigami et al.
2	2009.2.3	Appl. Phys. Lett., 94, 53113 (2009).	Top-down approach to align single-walled carbon nanotubes on silicon substrate	C. M. Orofeo et al.
3	2009.2.26	J. Phys. Chem. C, 112, 18350 (2009)	Horizontally aligned growth of single-walled carbon nanotubes on surface modified silicon wafer	N. Yoshihara et al.

平成21年度

#	発表日	発表媒体	発表タイトル	発表者
1	2009.5.1	化学工業, 60, 348 (2009)	単層カーボンナノチューブの水平配向成長とデバイス応用	吾郷浩樹

平成22年度

なし

(b) 学会発表

平成19年度

#	発表日	学会名	発表タイトル	発表者
---	-----	-----	--------	-----

1	2008.3.24	日本物理学会第63回年次大会	(招待講演) 成長および配向制御 –単結晶表面上での水平配向成長–	吾郷浩樹
---	-----------	----------------	--------------------------------------	------

平成20年度

	発表日	学会名	発表タイトル	発表者
1	2008.5.7	ナノ学会第6回大会	表面原子配列によってプログラムされた単層カーボンナノチューブの配向成長	吾郷浩樹 他
2	2008.8.27	第35回フラーレン・ナノチューブ総合シンポジウム	Unidirectional growth of single-walled carbon nanotubes	N. Ishigami et al.
3	2008.8.28	第35回フラーレン・ナノチューブ総合シンポジウム	Growth of Horizontally-Aligned Single-Walled Carbon Nanotubes on Surface Modified Silicon Substrate	N. Yoshihara et al.
4	2008.9.2	2008年秋季 第69回応用物理学会学術講演会	(招待講演) 水平配向カーボンナノチューブの新展開	吾郷浩樹 他
5	2008.9.4	2008年秋季 第69回応用物理学会学術講演会	単層カーボンナノチューブの一方方向成長	石神直樹 他
6	2008.9.4	2008年秋季 第69回応用物理学会学術講演会	表面処理したシリコン基板上での単層カーボンナノチューブの水平配向成長	吉原直記 他
7	2008.10.30	21st International Microprocess and Nanotechnology Conference (MNC2008)	Growth of horizontally aligned single-walled carbon nanotubes on surface modified silicon substrate	N. Yoshihara et al.
8	2008.12.1	MRS 2008 Fall Meeting	Growth mechanism, characterization, and structure control of aligned carbon nanotubes on sapphire	H. Ago et al.
9	2008.12.1	MRS 2008 Fall Meeting	Unidirectional growth of single-walled carbon nanotubes on sapphire	N. Ishigami et al.
10	2008.12.11	IUMRS-ICA 2008	(招待講演) Synthesis and Characterization of Horizontally-Aligned Single-Walled Carbon Nanotubes	H. Ago
11	2009.1.26	九大応力研ワークショップ	(招待講演) 単結晶基板上での単層カーボンナノチューブの水平配向成長	吾郷浩樹
12	2009.3.4	第36回フラーレン・ナノチューブ総合シンポジウム	Top-down approach to align single-walled carbon nanotubes on silicon substrate	C. M. Orofeo et al.

平成21年度

#	発表日	学会名	発表タイトル	発表者
1	2009.4.2	2009年春季第56回応用物理学関係連合講演会	トップダウン的手法に基づくシリコンウエハー上での単層ナノチューブの配向成長	吾郷浩樹 他
2	2009.6.11	CNTNE2009 (International Symposium on Carbon Nanotube Nanoelectronics 2009)	(招待講演) Growth mechanism, characterization, and structure control of aligned carbon nanotubes	H. Ago
3	2009.6.19	Global COE International Workshop	(招待講演) Synthesis and application of horizontally aligned single-walled carbon nanotubes	H. Ago
4	2009.11	The Third International Symposium on Novel Carbon Resource Sciences	Top-down approach to align single-walled carbon nanotubes on silicon substrate	C. M. Orofeo, H. Ago, N. Yoshihara, M. Tsuji
5	2009.11	MRS 2009 Fall Meeting	Top-down approach to align single-walled carbon nanotubes on silicon substrate	C. M. Orofeo, H. Ago, N. Yoshihara, M. Tsuji

平成22年度

#	発表日	発表媒体	発表タイトル	発表者
1	2010.9.6	第39回フラーレン・ナノチューブ総合シンポジウム	コンビナトリアル的触媒堆積法によるサファイア上での水平配向ナノチューブの高密度化	吾郷浩樹, 中村由美子, 小川友以, 辻正治
2	2010.9.16	2010年秋季第70回応用物理学学会学術講演会	コンビナトリアル的手法によるサファイア上での配向ナノチューブの高密度成長	吾郷浩樹, 中村由美子, 小川友以, 辻正治

(c) 表彰等

平成20年度

#	発表日	内容	タイトル等	受賞者等
1	2008.4.15	平成20年度 文部科学大臣表彰 若手科学者賞	カーボンナノチューブの成長と機能化の研究	吾郷浩樹
2	2008.5.9	ナノ学会第6回大会 産業タイムズ社賞	表面原子配列によってプログラムされた単層カーボンナノチューブの配向成長	吾郷浩樹 他

平成21年度

なし

平成22年度

なし

(d) その他特記事項

なし

(e) 特許
(国内特許)

平成20年度

出願：3件

登録：0件

③「CNTデバイスの局所評価技術の研究開発」(東京大学生産技術研究所)

(a) 投稿論文

平成21年度

#	発表日	発表媒体	発表タイトル	発表者
1	2009.6	Ultramicroscopy, 109 , 963-967 (2009)	Improvement of KFM performance by intermittent bias application method and by sampling detection of cantilever deflection	Takuji Takahashi, Tadahisa Matsumoto and Shiano Ono
2	2009.12.10	Journal of Applied Physics, vol. 106, p. 114315	Conductance of individual channels in a carbon nanotube field-effect transistor studied by magnetic force microscopy	Masayuki Ato, Takuji Takahashi, Yuki Okigawa, and Takashi Mizutani

平成22年度

なし

(b) 学会発表

平成19年度

	発表日	学会名	発表タイトル	発表者
1	2008.3.29	第55回応用物理学関係連合講演会、29a-Q-12、千葉 (2008)	「間欠バイアスKFM を利用した静電引力の距離依存性に関する検討」	松本忠久、小野志亜之、高橋琢二

平成20年度

#	発表日	学会名	発表タイトル	発表者
1	2008.6.23	International Scanning Probe Microscopy Conference (Seattle 08), P-18, Seattle, USA, June (2008)	Improvement of KFM Performance by Intermittent Bias Application Method and by Sampling Detection of Cantilever Deflection	Takuji Takahashi, T. Matsumoto, and Shiano Ono
2	2008.7.22	International Conference on Nanoscience+Technology (ICN+T 2008), SP-TuM12, Keystone, USA (2008)	Intermittent Bias Application Method for High Performance KFM	Takuji Takahashi, T. Matsumoto and Shiano Ono

3	2008.9.9	UC Santa Barbara – University of Tokyo Workshop; P-21, Santa Barbara, September, (2008)	Nano-probing Techniques for Electrical and Optical Characterization of Nanostructures	Takuji Takahashi, Tadahisa Matsumoto, Daisuke Saida, and Shiano Ono
4	2008.12.11	16th International Colloquium on Scanning Probe Microscopy (ICSPM16), S4-5, Atagawa, Japan (2008)	FIB-processed Cantilever for Lowering Torsional Spring Constant	Masayuki Ato and Takuji Takahashi
5	2008.12.12	16th International Colloquium on Scanning Probe Microscopy (ICSPM16), S5-2 Atagawa, Japan (2008)	Electrical Characterization by Magnetic Force Microscopy on Individual Channels in a Carbon Nanotube Field-Effect Transistor	Masayuki Ato, Yuki Okigawa, Takashi Mizutani and Takuji Takahashi
6	2008.9.4	第69回応用物理学会 学術講演会、4p-L-7、名古屋 (2008)	「FIB加工によるねじれ変位強調型カンチレバーの作製」	阿登正幸、高橋 琢二

平成21年度

#	発表日	学会名	発表タイトル	発表者
1	2009.5.5	IEEE International Magnetics Conference (Intermag 2009), AB-04, Sacramento, USA (2009)	Individual channel conductance in a carbon nanotube field-effect transistor studied by magnetic force microscopy	Takuji Takahashi, Masayuki Ato, Yuki Okigawa and Takashi Mizutani
2	2009.6.10	International Symposium on Carbon Nanotube Nanoelectronics, 2P-20, Matsushima, Japan (2009)	Electrical Properties of Individual Carbon Nanotube Channels in a Field Effect Transistor Studied by Magnetic Force Microscopy	Masayuki Ato, Yuki Okigawa, Takashi Mizutani and Takuji Takahashi
3	2009.06.11	International Scanning Probe Microscopy Conference (Madrid 2009), Oral 35, Madrid, Spain (2008)	Characterization of Individual Carbon Nanotube Channels in a Field-effect Transistor by Means of Magnetic Force Microscopy	Takuji Takahashi, Masayuki Ato, Yuki Okigawa and Takashi Mizutani
4	2009.6.18	XI International Scanning Probe Microscopy Conference (Madrid, Spain)	Characterization of Individual Carbon Nanotube Channels in a Field-effect Transistor by Means of Magnetic Force Microscopy	Takuji Takahashi, Masayuki Ato, Yuki Okigawa, and Takashi Mizutani
5	2009.10.5	International Conference on Carbon Nanostructured Materials (Santorini, Greece)	Channel Property of Individual Carbon Nanotubes in a Field Effect Transistor Characterized by Magnetic Force Microscopy	Takuji Takahashi, Masayuki Ato, Yuki Okigawa and Takashi Mizutani
6	2010.3.30	第56回応用物理学関係 連合講演会	磁気力顕微鏡によるマルチチャネル型CNT-FETの電気伝導特性評価	阿登正幸, 沖川侑揮, 水谷孝, 高橋琢二

平成22年度

#	発表日	発表媒体	発表タイトル	発表者
1	2010.12.10	18th International Colloquium on	Recognition of Current Route in Multi-channel CNT-FET by MFM	Shou Tanabe, Masayuki Ato, Yuki Okigawa,

		Scanning Probe Microscopy (Atagawa, Japan)		Takashi Mizutani and Takuji Takahashi
2	2010.9.17	第 71 回応用物理学会学術講演会 (長崎)	SPM による CNT-FET 個別チャネルの評価	田辺 翔,阿登正幸,沖川 侑揮,水谷 孝,高橋琢二
3	2010.11.25	日本学術振興会ナノプローブテクノロジー第 167 委員会第 60 回研究会 (東京)	磁気力顕微鏡による電流誘起磁場計測と CNT-FET 個別チャネル特性解析への応用	高橋琢二
4	2010.12.22	ナノ量子情報エレクトロニクス研究機構 公開シンポジウム (東京)	磁気力顕微鏡を用いた CNT-FET 中個別チャネルの電気的特性評価	田辺 翔,阿登正幸,沖川 侑揮,水谷 孝,高橋琢二
5	2011.3.27	第 58 回応用物理学関係連合講演会 (厚木)	MFPM による CNT-FET 個別チャネルの評価と静電引力の影響の考察	田辺 翔,阿登正幸,沖川 侑揮,水谷 孝,高橋琢二

(c) 表彰等

なし

(d) その他特記事項

なし

(e) 特許

なし

③－(3)「シリコンプラットフォーム上III-V族半導体チャネルトランジスタ技術の研究開発」

(a) 投稿論文

平成20年度

	発表日	発表媒体	発表タイトル	発表者
1	2008.11.15	<i>J. Crystal Growths.</i> , Vol. 310, Issue 23, pp. 4768-4771	Effect of Ga content on crystal shape in micro-channel selective-area MOVPE of InGaAs on Si	M. Deura, T. Hoshii, M. Takenaka, S. Takagi, Y. Nakano, and M. Sugiyama
2	2008.11.15	<i>Journal of Crystal Growth</i> , Vol. 310, Issue23, pp. 4808- 4812	<i>In situ</i> passivation of GaAs surface with aluminum oxide with MOVPE	Y. Terada, M. Deura, Y. Shimogaki, M. Sugiyama, and Y. Nakano
3	2008.6.11	<i>Phys. Stat. Sol.</i> , Vol.C-5,No.9,pp.2733 -2735	Epitaxial lateral overgrowth of InGaAs on SiO ₂ from (111) Si micro channel areas	T. Hoshii, M. Deura, M. Sugiyama, R. Nakane, S. Sugahara, M. Takenaka, Y. Nakano, and S. Takagi
4	2008.12.26	<i>Appl. Phys. Express.</i> , Vol. 2, 011101	Dislocation-free InGaAs on Si(111)using micro-channel selective-area metalorganic vapor phase epitaxy	M. Deura, T. Hoshii, T. Yamamoto, Y. Ikuhara, M. Takenaka, S. Takagi, Y. Nakano, and M. Sugiyama

平成21年度

	発表日	発表媒体	発表タイトル	発表者
1	2009.4.20	<i>Jpn. J. Appl. Phys.</i> , Vol. 48, no. 4, 04C093	Investigation of InAlAs oxide/InP metal-oxide-semiconductor structures formed by wet thermal oxidation	S. Nakagawa, M. Yokoyama, O. Ichikawa, M. Hata, M. Tanaka, M. Takenaka and S. Takagi
2	2009. 5.24	<i>ECS Transaction.</i> , Vol. 19, no. 5, pp. 9-20	Ge/III-V Channel Engineering for future CMOS	S. Takagi, M. Sugiyama, T. Yasuda and M. Takenaka
3	2009. 10.4	<i>ECS Transaction</i> , Vol. 25(8) (2009) p. 521	<i>In situ</i> monitoring of the initial nucleation for the formation of uniform InGaAs micro-discs on Si	M. Deura, Y. Kondo, T. Hoshii, M. Takenaka, S. Takagi, Y. Nakano, and M. Sugiyama
4	2009. 11.	<i>Applied Physics Express</i> , vol.2, p.121101-1~3	High Electron Mobility Metal-Insulator-Semiconducto r Field-Effect Transistors Fabricated on (111)-oriented InGaAs Channels	H. Ishii, N. Miyata, Y. Urabe, T. Itatani, T. Yasuda, H. Yamada, N. Fukuhara, M. Hata, M. Deura, M. Sugiyama, M. Takenaka and S. Takagi
5	2009. 12.11	<i>Applied Physics Express</i> , Vol. 2, (2009) 124501	Thin Body III-V-Semiconductor-On-Insul ator MOSFETs on Si Fabricated Using Direct Wafer Bonding	M. Yokoyama, T. Yasuda, H. Takagi, H. Yamada, N. Fukuhara, M. Hata, M. Sugiyama, Y. Nakano, M. Takenaka and S. Takagi
6	2010. 1. 7	<i>Applied Physics</i>	Fabrication and	T. Haimoto, T. Hoshii, S.

		<i>Letters</i> , Vol. 96 (2010) 012107	characterization of MIS structures by direct nitridation of InP surfaces	Nakagawa, M. Takenaka and S. Takagi
7	2010. 2.	<i>Applied Physics Express</i> , vol.3, p. 035701-1~3	Effect of Interface Oxidation on the Electrical Characteristics of HfO ₂ /Ultrathin-Epitaxial-Ge/GaAs(100) Structures	N. Miyata, Y. Urabe, T. Yasuda, and A. Ohtake
8	2010. 3. 26	<i>Journal of Crystal Growth</i> , Vol. 312 (2010) p. 1353–1358	Twin-free InGaAs thin layer on Si by multi-step micro-channel selective-area MOVPE	M. Deura, Y. Kondo, M. Takenaka, S. Takagi, Y. Nakano, M. Sugiyama
9	2010. 3. 26	<i>Journal of Crystal Growth</i> , Vol. 312 (2010) p. 1348–1352	Initial growth of InAs on P-terminated Si(111) surface to promote uniform lateral growth of InGaAs micro-discs on patterned Si	Y. Kondo, M. Deura, Y. Terada, T. Hoshii, M. Takenaka, S. Takagi, Y. Nakano and M. Sugiyama
10	2010. 3. 26	<i>Journal of Crystal Growth</i> , Vol. 312 (2010) p. 1359	In situ anti-oxidation treatment in GaAs MOVPE by As desorption and AIP passivation with AIP	Y. Terada Y. Shimogaki, Y. Nakano and M. Sugiyama

平成22年度

#	発表日	発表媒体	発表タイトル	発表者
1	2010. 4.7	<i>Applied Physics Letters</i> , Vol. 96 (2010) 142106	III-V-on-insulator structures with a buried Al ₂ O ₃ layer and S passivation: reduction of carrier scattering at the bottom interface	M. Yokoyama, T. Yasuda, H. Takagi, Y. Urabe, H. Ishii, H. Yamada, N. Fukuhara, M. Hata, M. Sugiyama, Y. Nakano, M. Takenaka and S. Takagi
2	2010. 5.31	<i>Mater. Res. Soc. Symp. Proc.</i> , Vol. 1194, 1194-A08-07.	Relationships between Interface Structures and Electrical Properties in the High-k/III-V System	T. Yasuda, N. Miyata, Y. Urabe, H. Ishii, T. Itatani, H. Takagi, H. Yamada, N. Fukuhara, M. Hata, A. Ohtake, M. Yokoyama, T. Hoshii, T. Haimoto, M. Deura, M. Sugiyama, M. Takenaka, and S. Takagi
3	2010. 9. 27	<i>Applied Physics Letters</i> , Vol. 97 (2010) 132102	Impact of InGaAs Surface Nitridation on Interface Properties of InGaAs MOS Capacitors using Electron Cyclotron Resonance Plasma Sputtering SiO ₂	T. Hoshii, M. Yokoyama, H. Yamada, M. Hata, T. Yasuda, M. Takenaka and S. Takagi
4	2010. 10. 10	<i>ECS Transaction</i> , Vol. 33(4) (2010) p. 359-370	III-V-On-Insulator MOSFETs on Si Substrates fabricated by direct bonding technique	S. Takagi, M. Yokoyama, H. Takagi, Y. Urabe, T. Yasuda, H. Yamada and M. Hata and M. Takenaka
5	2010. 10. 10	<i>ECS Transaction</i> , Vol. 33(4) (2010) p. 391-401	High quality thin body III-V-on-insulator channel	M. Yokoyama, T. Yasuda, H. Takagi, N. Miyata, Y.

			layer transfer on Si using direct wafer bonding	Urabe, H. Ishii, H. Yamada, N. Fukuhara, M. Hata, M. Sugiyama, Y. Nakano, M. Takenaka, and S. Takagi
6	2010. 12. 20	<i>Japanese Journal of Applied Physics</i> , Vol. 49 (2010) 125601	Dependence of initial nucleation on growth conditions of InAs on Si by micro-channel selective-area Metal–Organic Vapor Phase Epitaxy	Y. Kondo, M. Deura, M. Takenaka, S. Takagi, Y. Nakono, and M. Sugiyama
7	2010. 12. 21.	<i>Appl. Phys. Lett.</i> , vol. 97 (2010) 253502	Front-Gate InGaAs-On-Insulator Metal-Insulator-Semiconductor Field-Effect Transistors	Y. Urabe, M. Yokoyama, H. Takagi, T. Yasuda, N. Miyata, H. Yamada, N. Fukuhara, M. Hata, M. Takenaka and S. Takagi
8	2011. 1. 21	<i>Applied Physics Express</i> , Vol. 4 (2011) 024201	Self-aligned metal Source/Drain In _x Ga _{1-x} As n-Metal-Oxide- Semiconductor Field-Effect Transistors MOSFETs using Ni-InGaAs alloy	S. H. Kim, M. Yokoyama, N. Taoka, R. Iida, S. Lee, R. Nakane, Y. Urabe, N. Miyata, T. Yasuda, H. Yamada, N. Fukuhara, M. Hata, M. Takenaka and S. Takagi
9	2011. 3. 29.	<i>Microelectronic Engineering</i> , Vol. 88 (2011) p. 1087-1090	Quantitative Analysis of Conductance Curves in Al ₂ O ₃ /InP Interfaces	N. Taoka, M. Yokoyama, S.-H. Kim, R. Suzuki, T. Hoshii, R. Iida, S. Lee, Y. Urabe, N. Miyata, T. Yasuda, H. Yamada, N. Fukuhara, M. Hata, M. Takenaka and S. Takagi

平成23年度

#	発表日	発表媒体	発表タイトル	発表者
1	2011. 4. 14	<i>Applied Physics Express</i> , Vol. 4 (2011) 054202	Ultrathin Body InGaAs-On-Insulator Metal-Oxide-Semiconductor Field-Effect Transistors with InP Passivation Layers on Si substrates Fabricated by Direct Wafer Bonding	M. Yokoyama, T. Yasuda, H. Takagi, H. Yamada, N. Fukuhara, M. Hata, M. Sugiyama, Y. Nakano, M. Takenaka and S. Takagi
2	2011. 4. 20	<i>Japanese Journal of Applied Physics</i> , Vol. 50 (2011) 04DH07	High Temperature Annealing Effect of Si in Group-V Ambient prior to Heteroepitaxy of InAs in Metal-organic Vapor Phase Epitaxy	M. Deura, Y. Kondo, M. Takenaka, S. Takagi, Y. Shimogaki, Y. Nakano and M. Sugiyama
3	2011. 5. 1	<i>ECS Transaction</i> , Vol. 35(3) (2011) p. 279-298	Prospective and critical issues of III-V/Ge CMOS on Si platform (invited)	S. Takagi and M. Takenaka
4	2011. 5	<i>Journal of Vacuum Science and Technology</i>	Polarity-controlled InAs{111} films grown on Si(111)	A. Ohtake and K. Mitsuishi

		<i>B</i> , vol.29, p.031804-1~4		
5	2011. 6	<i>Microelectronic Engineering</i> , 88, 1076~1078	On the Mechanisms Limiting Mobility in InP/InGaAs Buried Channel nMISFETs	Y. Urabe, T. Yasuda, H. Ishii, T. Itatani, N. Miyata, H. Yamada, N. Fukuhara, M. Hata, M. Takenaka and S. Takagi
6	2011. 6. 13	<i>Applied Physics Letters</i> , Vol. 98 (2011) 243501	Self-aligned metal Source/Drain InP n-Metal-Oxide-Semiconductor Field-Effect Transistors MOSFETs using Ni-InP metallic alloy	S.-H. Kim, M. Yokoyama, N. Taoka, R. Iida, S.-H. Lee, R. Nakane, Y. Urabe, N. Miyata, T. Yasuda, H. Yamada, N. Fukuhara, M. Hata, M. Takenaka and S. Takagi
7	2011. 7. 13	<i>Material Research Society Symposium Proceedings</i> , Vol. 1336 (2011) p. 05-04-01~13	III-V CMOS technologies on Si platform	M. Takenaka and S. Takagi
8	2011. 8	<i>Journal of Applied Physics</i> , vol.110, p.033506-1~7	Atomic-scale characterization of the N incorporation on GaAs(001)	A. Ohtake
9	2011. 8. 24	<i>IEEE Electron Device Lett.</i> , Vol. 32 (2011) p. 1218 – 1220	Sub-10-nm extremely-thin body InGaAs-on-insulator MOSFETs on Si wafers with ultrathin Al ₂ O ₃ buried oxide layers	M. Yokoyama, R. Iida, S.-H. Kim, N. Taoka, Y. Urabe, H. Takagi, T. Yasuda, H. Yamada, N. Fukuhara, M. Hata, M. Sugiyama, Y. Nakano, M. Takenaka and S. Takagi
10	2011. 10	<i>Japanese Journal of Applied Physics</i> , vol.50 (2011) p. 10PD01-1~5	Impact of Cation Surface Termination on the Electrical Characteristics of HfO ₂ /InGaAs(100) MOS Capacitors	A. Ohtake, N. Miyata, Y. Urabe, and T. Yasuda
11	2011. 10. 10	<i>ECS Transaction</i> , Vol. 41(7) (2011) p. 203-218	Device and integration technologies of III-V/Ge channel CMOS	S. Takagi, M. Yokoyama, Y.-H. Kim and M. Takenaka
12	2011. 12. 16	<i>Applied Physics Express</i> , Vol. 4 (2011) 114201	High performance Extremely-thin Body In _{0.7} Ga _{0.3} As-On-Insulator MOSFETs on a Si substrate with Ni-InGaAs metal S/D	S.-H. Kim, M. Yokoyama, N. Taoka, R. Iida, S.-H. Lee, R. Nakane, Y. Urabe, N. Miyata, T. Yasuda, H. Yamada, N. Fukuhara, M. Hata, M. Takenaka and S. Takagi
13	2011. 12. 16	<i>Applied Physics Express</i> , Vol. 5 (2012) 014201	Electron Mobility Enhancement of Extremely Thin Body In _{0.7} Ga _{0.3} As-on-Insulator Metal-Oxide-Semiconductor Field-Effect Transistors on Si Substrates by Metal-Oxide-Semiconductor Interface Buffer Layers	S.-H. Kim, M. Yokoyama, N. Taoka, R. Iida, S.-H. Lee, R. Nakane, Y. Urabe, N. Miyata, T. Yasuda, H. Yamada, N. Fukuhara, M. Hata, M. Takenaka and S. Takagi
14	2012. 2.	<i>Applied Physics Letters</i> ,	In _{0.53} Ga _{0.47} As Metal-oxide-	S.-H. Kim, M. Yokoyama,

	24	Vol. 100 (2012) 073504	semiconductor Field-effect Transistors with a self-aligned metal Source/Drain using Co-InGaAs alloy	N. Taoka, R. Nakane, T. Yasuda, O. Ichikawa, N. Fukuhara, M. Hata, M. Takenaka and S. Takagi
15	2012. 3. 4	<i>Materials</i> , vol. 5, pp. 404-414 (2012)	Initial Processes of Atomic Layer Deposition of Al ₂ O ₃ on InGaAs: Interface Formation Mechanisms and Impact on Metal-Insulator-Semiconductor Device Performance	W. Jevasuwan, Y. Urabe, T. Maeda, N. Miyata, T. Yasuda, H. Yamada, M. Hata, N. Taoka, M. Takenaka and S. Takagi,
16	2012. 3. 28	<i>Applied Physics Letters</i> , Vol. 100 (2012) 132906	1 nm capacitance equivalent thickness HfO ₂ /Al ₂ O ₃ /InGaAs metal-oxide- semiconductor capacitance with low interface trap density and low gate leakage current density	R. Suzuki, N. Taoka, S. Lee, S. H. Kim, T. Hoshii, M. Yokoyama, T. Yasuda, W. Jevasuwan, T. Maeda, O. Ichikawa, N. Fukuhara, M. Hata, M. Takenaka and S. Takagi
17	2012. 5. 11	<i>Applied Physics Letters</i> , vol. 100 (2012) 193510	Strained In _{0.53} Ga _{0.47} As Metal-oxide-semiconductor Field-effect Transistors with Epitaxy-based Biaxial Strain	S.-H. Kim, M. Yokoyama, N. Taoka, R. Nakane, T. Yasuda, O. Ichikawa, N. Fukuhara, M. Hata, M. Takenaka and S. Takagi
18	2012. 6. 14	<i>Applied Physics Express</i> , vol. 5, No. 7 (2012) 076501	III-V/Ge high mobility channel integration of InGaAs nMOSFETs and Ge pMOSFETs with self-align Ni-based metal S/D	M. Yokoyama, S.-H. Kim, R. Zhang, N. Taoka, Y. Urabe, T. Maeda, H. Takagi, T. Yasuda, H. Yamada, O. Ichikawa, N. Fukuhara, M. Hata, M. Sugiyama, Y. Nakano, M. Takenaka and S. Takagi
19	2012. 6.	<i>Japanese Journal of Applied Physics</i> , vol. 51, Issue 6, (2012) 065701.	Controlling anion composition at MIS interfaces on III-V channels by plasma processing	W. Jevasuwan, Y. Urabe, T. Maeda, N. Miyata, T. Yasuda, A. Ohtake, H. Yamada, M. Hata, S.-H. Lee, T. Hoshii, M. Takenaka and S. Takagi

(b) 学会発表

平成19年度

	発表日	学会名	発表タイトル	発表者
1	2008.3.30	第55回応用物理学会関係連合学術講演会	SiO ₂ 蒸着膜を用いたInP MIS界面特性	灰本隆志、竹中充、高木信一、
2	2008.3.28	第55回応用物理学会関係連合学術講演会	微小領域選択成長によるSi(111)基板上へのInAsピラーの形成	星井拓也、出浦桃子、杉山正和、中根了昌、菅原聡、竹中充、中野義昭、高木信一、

3	2008.3.29	第55回応用物理学会 関係連合学術講演会	MOVPEにおけるin situ硫 黄被覆によるGaAs(001)表面 の酸化抑制	寺田雄紀, 出浦桃子, 杉 山 正和, 霜垣幸浩, 中 野義昭,
4	2008.3.19	化学工学会第73年会	微小領域選択成長によるSi上 III/V化合物半導体層の形成	出浦桃子, 星井拓也, 杉 山正和, 中根了昌, 菅原 聡, 竹中充, 高木信一, 中野義昭
5	2008.1.14 -15	ゲートスタック研究会— 材料・プロセス・評価の 物理—(第13回研究 会)	高移動度チャンネルMOSラン ジスタ技術の現状と将来(プレ ナリートーク)	高木信一

平成20年度

	発表日	学会名	発表タイトル	発表者
1	2009.2.17	First International Symposium on Atomically Controlled Fabrication Technology - Surface and Thin Film Processing -,	Advanced Nano CMOS Platform using Ge/III-V Channels (招待講演)	S. Takagi, M. Sugiyama and M. Takenaka,
2	2009.3.20	International Semiconductor Technology Conference,	In situ passivation of InP surface using H ₂ S by MOVPE	H. -L. Lu, Y. Terada, M. Deura, Y. Shimogaki, Y. Nakano, and M. Sugiyama
3	2008.12	IEEE Semiconductor Interface Specialists conference (SISC'08)	Improvement of MIS interfacial properties by direct nitridation of InP surfaces,	T. Haimoto, T. Hoshii, M. Takenaka and S. Takagi
4	2008.9	International Conference on Solid State Devices and Materials (SSDM'08)	Fabrication of III-V MOS structure by using selective oxidation of InAlAs,	S. Nakagawa, M. Yokoyama, O. Ichikawa, M. Hata, M. Tanaka, M. Takenaka, S. Takagi,
5	2008.9.15	38th European Solid-State Device Research Conference (ESSDERC), Tutorials	High mobility channel MOSFET (招待講演)	S. Takagi,
6	2008.9.19	Workshop on Germanium and III-V MOS Technology, 38th European Solid-State Device Research Conference (ESSDERC)	Devices for high performance CMOS (招待講演)	S. Takagi,

7	2008.9.9-1 1	2008 International Conference on Simulation of Semiconductor Processes and Devices (SISPAD)	Understanding and Engineering of Carrier Transport in Advanced MOS Channels (プレナリー講演)	S. Takagi,
8	2008.6	International Conference of MOVPE (ICMOVPE'08)	Effect of Ga content on crystal shape in micro-channel selective-area MOVPE of InGaAs on Si	M. Deura, T. Hoshii, M. Sugiyama, R. Nakane, M. Takenaka, S. Sugahara, S. Takagi, and Y. Nakano,
9	2008.6.1-6	14th International Conference of Metalorganic Vapor Phase Epitaxy	In situ passivation of GaAs surface with aluminum oxide with MOVPE	Y. Terada, M. Deura, Y. Shimogaki, M. Sugiyama, and Y. Nakano,
10	2008.4.21- 23	2008 International Symposium on VLSI Technology, Systems, and Applications (VLSI-TSA)	Advanced Nano CMOS Platform using Carrier-Transport-Enhanced Channels (招待講演)	S. Takagi,
11	2008.4.14- 17	4th International Nanotechnology Conference on Communication and Cooperation (INC4)	High Performance Nano CMOS Platform utilizing carrier transport enhancement (招待講演)	S. Takagi,
12	2008.12	IEEE Semiconductor Interface Specialists conference (SISC'08)	Impact of Cation Composition and Substrate Orientation on Electrical Properties of ALD-Al ₂ O ₃ /III-V Interfaces	T. Yasuda, N. Miyata, H. Ishii, T. Itatani, O. Ichikawa, N. Fukuhara, M. Hata, A. Ohtake, T. Haimoto, T. Hoshii, M. Takenaka and S. Takagi,
13	2008.7.30- 8.13	NSC-JST Nano Device Workshop	Interface Engineering for III-V MISFETs	N. Miyata, T. Yasuda and A. Ohtake,
14	2009.3.31	第56回応用物理学関係連合講演会	ECRスパッタSiO ₂ 膜を用いたInGaAs MOSキャパシタの界面特性向上	星井拓也, 横山正史, 山田永, 秦雅彦, 安田哲二, 竹中充, 高木信一、
15	2009.3.31	第56回応用物理学関係連合講演会	III-VチャネルのMIS特性におけるバルク物性と界面構造の影響	安田哲二, 宮田典幸, 石井 裕之, 板谷太郎, 山田永, 福原昇, 秦雅彦, 大竹晃浩, 竹中充, 高木信一、
16	2009.3.30.	第56回応用物理学関係連合講演会	III-V nMOSFET実現に向けた埋め込み再成長n+InP S/D形成	竹中充, 武田浩司, 星井拓也, 杉山正和, 中野義昭, 高木信一
17	2009.3.18	化学工学会第74年会	Si 上InGaAs の微小領域選択MOVPE における横方向成長促進と均一性向上	出浦桃子, 星井拓也, 竹中 充, 高木信一, 中野義昭, 杉山正和、
18	2009.3.9-1 9	電気学会電子デバイス研究会EDD-09-40	化合物半導体MOSFETの研究開発動向と将来展望 (招待講演)	高木信一

19	2009.1.23-24,	ゲートスタック研究会-材料・プロセス・評価の物理-(第14回研究会)	III-Vチャネル上への高品質MIS界面の形成(招待講演)	安田 哲二
20	2008.9.26	第40回化学工学会秋季大会	MOVPEにおける酸化アルミニウムによるGaAs(100)面のin situパッシベーション	寺田 雄紀, 出浦 桃子, 霜垣 幸浩, 杉山 正和, 中野 義昭,
21	2008.9.26	日本学術振興会第147委員会第102回研究会	Si基板上InGaAsの微小領域選択成長	杉山 正和, 出浦 桃子, 星井 拓也, 竹中 充, 高木 信一, 中野 義昭,
22	2008.9.4	第69回応用物理学会学術講演会	InP表面の直接窒化によるMIS界面特性の改善	灰本隆志, 星井拓也, 竹中充, 高木信一、
23	2008.9.4	第69回応用物理学会学術講演会	微小領域選択MOVPEにおけるSi上InGaAsのGa組成と結晶構造	出浦桃子, 星井拓也, 山本剛久, 幾原雄一, 竹中充, 高木信一, 中野義昭, 杉山正和、
24	2008.9.4	第69回応用物理学会学術講演会	微小領域選択MOVPEにおけるSi上InGaAsの横方向成長過程	出浦 桃子, 星井 拓也, 竹中 充, 高木 信一, 中野 義昭, 杉山 正和,
25	2008.9.3	第69回応用物理学会学術講演会	アルミニウム原料を用いたGaAs(100)面のMOVPE内in situパッシベーション	寺田 雄紀, 出浦 桃子, 霜垣 幸浩, 杉山 正和, 中野 義昭,
26	2008.9.4	第69回応用物理学会学術講演会	InGaAs上へのAl ₂ O ₃ のALD成長による良好なMIS界面特性の実現	安田 哲二, 宮田 典幸, 石井 裕之, 板谷 太郎, 市川 磨, 福原 昇, 秦 雅彦, 大竹 晃浩, 灰本隆志, 星井 拓也, 竹中充, 高木 信一
27	2008.7.10-11	第72回半導体集積回路技術シンポジウム電気化学会電子材料委員会	新チャネル材料を使った高電流駆動力CMOS デバイス技術(招待講演)	高木信一
28	2008.7.9-11	第27回電子材料シンポジウム	微小領域選択MOVPEにおけるSi上InGaAsの成長機構に対するGa組成の影響	出浦桃子, 星井拓也, 竹中充, 高木信一, 中野義昭, 杉山正和、
29	2008.7.9-11	第27回電子材料シンポジウム	MOVPEにおける酸化アルミニウムを用いたGaAs表面のin situパッシベーション	寺田 雄紀, 出浦 桃子, 霜垣 幸浩, 中野 義昭, 杉山 正和
30	2008.6.13	日本学術振興会第145委員会第114回研究会明治大学駿河台キャンパス	Si(111)基板上InGaAsチャネル層の微小領域選択成長	杉山 正和, 出浦 桃子, 星井 拓也, 竹中 充, 高木 信一, 中野 義昭,
31	2008.6.6	VDECデザイナーズ・フォーラム2008	デバイス技術者から回路設計者へのメッセージ~チャネルエンジニアリングによる高性能CMOSデバイス技術(招待講演)	高木信一

32	2008.6.9	電子情報通信学会シリコン材料・デバイス(SDM)研究会ゲート絶縁膜、容量膜、機能膜およびメモリ技術(応用物理学会、シリコンテクノロジー分科会、第101回研究集会)	[チュートリアル講演]高性能CMOSのための高移動度チャンネル技術の現状と展望(招待講演)	高木信一
33	2008.6.19-20	SEMI Forum Japan 2008テクニカルセミナーフロントエンドプロセスセミナーー32nmノードデバイスに向けた、最先端フロントエンドプロセスー	III-V族半導体チャンネルMOSトランジスタ技術(招待講演)	高木信一

平成21年度

	発表日	学会名	発表タイトル	発表者
1	2009.4.1	第56回応用物理学関係連合講演会	高性能III-V MISFETに向けた界面制御技術(招待講演)	宮田典幸, 石井裕之, 板谷 太郎, 安田哲二, 大竹晃浩, 山田永, 福原昇, 秦雅彦
2	2009.4.1	2009年春季 第56回応用物理学関係連合講演会	InGaAs/InP(001) 上 へのn-MISFETの試作	石井裕之, 板谷太郎, 安田哲二, 宮田典幸, 山田永, 福原昇, 秦雅彦, 竹中充, 高木信一
3	2009.4.1.	第56回応用物理学関係連合講演会	超薄膜III-V-OI MOSFET実現に向けたチャンネルおよび接合形成技術(招待講演)	竹中充, 横山正史, 星井拓也, 出浦桃子, 灰本隆志, 金相賢, 杉山正和, 高木信一
4	2009.4.1.	第56回応用物理学関係連合講演会	バリスティックMOSFETの駆動電流に与えるキャリアの有効質量の効果	高木信一, 竹中充
5	2009.4.1.	第56回応用物理学関係連合講演会	InP表面の直接窒化によるMISFETの作製とその電気的評価	灰本隆志, 中川翔太, 星井拓也, 竹中充, 高木信一
6	2009.4.2.	第56回応用物理学関係連合講演会	MOVPE におけるin situ H ₂ S処理およびAl終端処理によるGaAsの表面酸化抑制	寺田雄紀, 出浦桃子, 霜垣幸浩, 杉山正和, 中野義昭
7	2009.4.2.	第56回応用物理学関係連合講演会	微小領域選択MOVPEにおけるSi上InAs核発生の成長条件依存性	近藤佳幸, 出浦桃子, 竹中充, 高木信一, 中野義昭, 杉山正和
8	2009.4.2.	第56回応用物理学関係連合講演会	多段階成長を用いた微小領域選択 MOVPEにおけるSi上InGaAsの面内均一化	出浦桃子, 近藤佳幸, 星井拓也, 竹中充, 高木信一, 中野義昭, 杉山正和

9	2009.5.10-14	21st International Conference on Indium Phosphide and Related Materials (IPRM)	Source/drain formation by using epitaxial regrowth of n+InP for III-V nMOSFETs	M. Takenaka, K. Takeda, T. Hoshii, T. Tanemura, M. Sugiyama, Y. Nakano, and S. Takagi,
10	2009.5.10-14	21st International Conference on Indium Phosphide and Related Materials (IPRM)	Uniform InGaAs Micro-Discs on Si by Micro-Channel Selective-Area MOVPE	M. Deura, T. Hoshii, M. Sugiyama, M. Takenaka, S. Takagi and Y. Nakano,
11	2009.5.24-29	1st International Symposium on Graphene and Emerging Materials for Post-CMOS Applications, 215th Meeting of The Electrochemical Society	Ge/III-V Channel Engineering for future CMOS (招待講演)	S. Takagi, M. Sugiyama, T. Yasuda and M. Takenaka,
12	2009.6	VLSI symposium	Demonstration of metal S/D III-V-OI MOSFETs on a Si substrate using direct wafer bonding	M. Yokoyama, M. Takenaka, T. Yasuda, H. Takagi, H. Yamada, N. Fukuhara, M. Hata, M. Sugiyama, Y. Nakano and S. Takagi
13	2009.6.22-24	67th Device Research Conference (DRC)	Metal Source/Drain Inversion-mode InP MOSFETs	S. H. Kim, S. Nakagawa, T. Haimoto, R. Nakane, M. Takenaka and S. Takagi
14	2009.7.8-10	電子材料シンポジウム (EMS28)	Improvement in uniformity of InGaAs micro-discs on Si using multi-step growth in micro-channel selective-area MOVPE	M. Deura Y. Kondo, T. Hoshii, M. Takenaka, S. Takagi, Y. Nakano and M. Sugiyama
15	2009.7.8-10	電子材料シンポジウム (EMS28)	Effect of initial nucleation on growth conditions of InAs on Si by micro-channel selective-area MOVPE	Y. Kondo, M. Deura, M. Takenaka, Y. Nakono, and M. Sugiyama
16	2009.7.8-10	電子材料シンポジウム (EMS28)	Suppression of GaAs(001) surface oxidation by in situ H ₂ S treatment and aluminum termination with MOVPE	Y. Terada, M. Deura, S. Takagi, Y. Nakano and M. Sugiyama
17	2009.7.8-10	電子材料シンポジウム (EMS28)	CMOSプラットフォーム上のIII-V MOSトランジスタ技術 (招待講演)	高木信一
18	2009.7.21	応用物理学会シリコンテクノロジー分科会第115回研究集会	基板貼り合わせを用いたSi基板上メタル S/D III-V-On-Insulator MOSFETの作製とその動作実証 (依頼講演)	横山正史、安田哲二、高木秀樹、山田永、福原昇、秦雅彦、杉山正和、中野義昭、竹中充、高木信一、

19	2009.8.12	14th U.S. Biennial Workshop on Organometallic Vapor Phase Epitaxy	Twin-free InGaAs thin layer on Si by multi-step micro-channel selective-area MOVPE	M. Deura, Y. Kondo, T. Hoshii, M. Takenaka, S. Takagi, Y. Nakano, and M. Sugiyama
20	2009.8.12	14th U.S. Biennial Workshop on Organometallic Vapor Phase Epitaxy	Initial growth of InAs on P-terminated Si(111) surface to promote uniform lateral growth of InGaAs micro-discs on patterned Si	Y. Kondo, M. Deura, T. Hoshii, M. Takenaka, S. Takagi, Y. Nakano, M. Sugiyama
21	2009.8.12.	14th US Biennial workshop on Organometallic Vapor Phase Epitaxy	In situ anti-oxidation treatment in GaAs MOVPE by As desorption and AlP passivation	Y. Terada, M. Deura, M. Sugiyama, and Y. Nakano
22	2009. 8. 28	First Korea-Japan Nano Forum Nano Korea	Ge/III-V Channel CMOS Technologies on Si platform (招待講演)	S. Takagi
23	2009.9. 8	第70回応用物理学会 学術講演会	ALD Al ₂ O ₃ を埋め込み層としたIII-V-On-Insulator構造の形成とバックゲートMISFET特性	安田哲二, 高木秀樹, 横山正史, 石井裕之, 卜部友二, 山田永, 秦雅彦, 竹中充, 高木信一
24	2009.9. 8	第70回応用物理学会 学術講演会	InP/InGaAs埋め込みチャネルを持つMIS構造の界面特性	安田哲二, 卜部友二, 石井裕之, 宮田典幸, 板谷太郎, 山田永, 福原昇, 秦雅彦, 竹中充, 高木信一
25	2009.9. 8	第70回応用物理学会 学術講演会	硫化アンモニウム溶液処理したIII-V表面上のMIS界面評価	卜部友二, 宮田典幸, 安田哲二, 石井裕之, 板谷太郎, 山田永, 秦雅彦, 竹中充, 高木信一
26	2009.9. 8	第70回応用物理学会 学術講演会	硫化アンモニウム溶液処理によるInGaAs n-MISFETの特性改善	石井裕之, 卜部友二, 板谷太郎, 安田哲二, 宮田典幸, 山田永, 福原昇, 秦雅彦, 横山正史, 竹中充, 高木信一,
27	2009.9. 8	第70回応用物理学会 学術講演会	界面窒化によるECRスパッタ SiO ₂ /InGaAs MOSキャパシタの界面特性向上	星井拓也, 横山正史, 山田永, 秦雅彦, 安田哲二, 竹中充, 高木信一
28	2009.9. 8	第70回応用物理学会 学術講演会	InAlAs酸化界面制御層を用いたInP MOS界面特性の向上	中川翔太, 横山正史, 山田永, 秦雅彦, 竹中充, 高木信一
29	2009.9. 8	第70回応用物理学会 学術講演	メタルソース・ドレインを用いたInP MOSFETの作製と電気特性	金相賢, 中川翔太, 灰本隆志, 中根了昌, 竹中充, 高木信一
30	2009.9. 8	第70回応用物理学会 学術講演会	基板貼り合わせによるSi基板上メタル S/D III-V-OI n-MOSFETの移動度向上とp-MOSFET動作	横山正史, 安田哲二, 山田永, 福原昇, 秦雅彦, 杉山正和, 中野義昭, 竹中充, 高木信一
31	2009.9. 8	第70回応用物理学会 学術講演会	MOVPEにおけるin situ AlPパッシベーションによるGaAs 表面準位抑制	寺田雄紀, 出浦桃子, 霜垣幸浩, 竹中充, 高木信一, 中野義昭, 杉山正和

32	2009.9. 8	第70回応用物理学会 学術講演会	微小領域選択MOVPE による Si 上InGaAs 結晶最表部に おける双晶消滅層の形成と評 価	出浦桃子, 近藤佳幸, 竹 中充, 高木信一, 中野義 昭, 杉山正和
33	2009.9. 8	第70回応用物理学会 学術講演会	微小領域選択MOVPE にお ける表面P 終端Si からのInAs 均一核発生	近藤佳幸, 出浦桃子, 竹 中充, 高木信一, 中野義 昭, 杉山正和
34	2009.9. 8	第70回応用物理学会 学術講演会	直接基板接合によるSi 基板上 III-V CMOSトランジスタ (招待講演)	竹中充, 横山正史, 杉山 正和, 中野義昭, 高木信 一
35	2009. 9. 13	2009 Custom Integrated Circuits Conference (CICC)	High Mobility Channel CMOS Technologies for Realizing High Performance LSI's (招 待講演)	S. Takagi
36	2009.9.16- 18	第41回化学工学会秋 季大会	微小領域選択MOVPEにおけ るSi上InGaAsの原子構造と光 学特性解析	出浦桃子, 近藤佳幸, 星 井拓也, 竹中充, 高木信 一, 中野義昭, 杉山正和
37	2009.9.16- 18	第41回化学工学会秋 季大会	MOVPE 微小領域選択成長 におけるSi上InAs核発生の成 長条件依存性	近藤佳幸, 出浦桃子, 竹 中充, 高木信一, 中野義 昭, 杉山正和
38	2009.9.16- 18	第41回化学工学会秋 季大会	AIPおよびH ₂ Sを用いたGaAs 表面のMOVPE反応炉内in situパッシベーション	寺田雄紀, 出浦桃子, 霜 垣幸浩, 杉山正和, 中野 義昭
39	2009. 9. 24	10th International Conference on Atomically Controlled Surfaces, Interfaces and Nanostructures (ACSIN-10)	Control of Interface Oxide for Improving Electrical Characteristics of HfO ₂ /Epitaxial-Ge/GaAs MIS Structures	N. Miyata, T. Yasuda, and A. Ohtake
40	2009.10.4- 9	Symp. CVD-XVII & EUROCVI-17, 216th Meeting of The Electrochemical Society	In situ monitoring of the initial nucleation for the formation of uniform InGaAs micro-discs on Si	M. Deura, Y. Kondo, T. Hoshii, M. Takenaka, S. Takagi, Y. Nakano and M. Sugiyama
41	2009.10. 7	Solid State Devices and Materials (SSDM09)	Metalorganic vapor phase epitaxy of GaAs with AIP surface passivation layer for improved MOS characteristics	Y. Terada, M. Deura, Y. Shimogaki, Y. Nakano, and M. Sugiyama
42	2009. 10. 13	International Symposium on Silicon Nano Devices in 2030: Prospects by World's Leading Scientists	New channel material MOSFETs on Si platform (招待講演)	S. Takagi

43	2009. 10. 26	日本学術振興会半導 体界面制御技術第 154 委員会・ワイドギ ャップ半導体光デバ イス第 162 委員会合 同研究会「III-V MIS 界面評価とデバイス への応用」	Si プラットフォーム上の III-V チ ャネル MOSFET 技術 (招待講演)	高木信一
44	2009. 11. 30 – 12. 4.	2009 MRS Fall Meeting, Symposium A: High-k Dielectrics on Semiconductors with High Carrier Mobility	Relationship between Interface Structures and Electrical Properties in the High-k/III-V System (招待講演)	T. Yasuda, N. Miyata, Y. Urabe, H. Ishii, T. Itatani, H. Yamada, N. Fukuhara, M. Hata, A. Ohtake, M. Yokoyama, T. Hoshii, M. Takenaka and S. Takagi
45	2009. 12. 3	40th IEEE Semiconductor Interface Specialists Conference (SISC 2009)	Impact of InGaAs Surface Nitridation on Interface Properties of InGaAs MOS Capacitors using Electron Cyclotron Resonance Plasma Sputtering SiO ₂	T. Hoshii, M. Yokoyama, H. Yamada, M. Hata, T. Yasuda, M. Takenaka and S. Takagi
46	2009. 12. 3	40th IEEE Semiconductor Interface Specialists Conference (SISC 2009)	Susceptibility of InGaAs MISFETs to Thermal Processes in Device Fabrication	T. Yasuda, H. Ishii, Y. Urabe, T. Itatani, N. Miyata, H. Yamada, N. Fukuhara, M. Hata, M. Yokoyama, M. Takenaka and S. Takagi
47	2010. 1. 19	2nd International IEEE Workshop on Low Temperature Bonding for 3D Integration	Novel Low Damage and Low Temperature Direct Wafer Bonding Processes Using Buried Oxide Protection Layers for Fabricating III-V-On-Insulator on Si Structures	M. Yokoyama, T. Yasuda, H. Takagi, H. Yamada, Y. Urabe, H. Ishii, N. Fukuhara, M. Hata, M. Sugiyama, Y. Nakano, M. Takenaka and S. Takagi
48	2010. 1. 22	応用物理学会「ゲート スタック研究会—材 料・プロセス・評価の 物理」(第 15 回研究 会)	III-V MISFET プロセスにおけ るアニール条件がデバイス特 性に与える影響	石井裕之, ト部友二, 板 谷太郎, 宮田典幸, 安田 哲二, 山田永, 福原昇, 秦雅彦, 横山正史, 竹中 充, 高木信一
49	2010. 3. 17	2010 年春季 第 57 回 応用物理学関係連合 講演会	Si プラットフォーム上の III-V/Ge チャネル MOS トラン ジスタ技術 (招待講演)	高木信一
50	2010. 3. 17	2010 年春季 第 57 回 応用物理学関係連合 講演会	MOVPE in situ AIP パッシブ ーション層の膜厚最適化によ る GaAs MOS の界面準位低 減	寺田雄紀, 霜垣幸浩, 竹 中充, 高木信一, 中野義 昭, 杉山正和
51	2010. 3. 17	2010 年春季 第 57 回 応用物理学関係連合 講演会	選択 MOVPE による Si 上 InGaAs 成長の成長領域狭 窄化による横方向成長促進	近藤佳幸, 出浦桃子, 竹 中充, 高木信一, 中野義 昭, 杉山正和
52	2010. 3. 17	2010 年春季 第 57 回 応用物理学関係連合	ECR プラズマ界面窒化による ALD-Al ₂ O ₃ /InGaAs MOS キャ	星井拓也, 横山正史, 山 田永, 秦雅彦, 安田哲二

		講演会	パシタの界面特性向上	、竹中充、高木信一
53	2010. 3. 17	2010年春季 第57回 応用物理学関係連合講演会	極薄膜 III-V-OI MOSFET における電子移動度の向上	横山正史, 山田永, 安田哲二, 高木秀樹, 卜部友二, 石井裕之, 宮田典幸, 福原昇, 秦雅彦, 杉山正和, 中野義昭, 竹中充, 高木信一
54	2010. 3. 17	2010年春季 第57回 応用物理学関係連合講演会	微小領域選択 MOVPE を用いた Si 上 InGaAs 多段階成長の時間発展	出浦桃子, 近藤佳幸, 竹中充, 高木信一, 中野義昭, 杉山正和
55	2010. 3. 17	2010年春季 第57回 応用物理学関係連合講演会	InGaAs(111)A 面上への高品質 MIS 界面形成と高電子移動度の実現	石井裕之, 卜部友二, 板谷太郎, 宮田典幸, 安田哲二, 山田永, 福原昇, 秦雅彦, 横山正史, 竹中充, 高木信一
56	2010. 3. 17	2010年春季 第57回 応用物理学関係連合講演会	Si 基板上に貼り合わせた InGaAs チャンネル MISFET の実現	卜部友二, 高木秀樹, 宮田典幸, 安田哲二, 山田永, 福原昇, 秦雅彦, 横山正史, 竹中充, 高木信一

平成22年度

#	発表日	発表媒体	発表タイトル	発表者
1	2010. 4. 6-8	2010 MRS spring meeting	Origins for Electron Mobility Improvement in InGaAs MISFETs with (NH ₄) ₂ S Treatment	Y. Urabe, N. Miyata, T. Yasuda, H. Ishii, T. Itatani, H. Yamada, N. Fukuhara, M. Hata, M. Yokoyama, M. Takenaka, S. Takagi
2	2010. 5. 11	Selete Symposium 2010	Si 基板上の Non-Si チャンネル CMOS の展望 (招待講演)	高木信一
3	2010. 5. 15-17	The 4th International Workshop on High k Dielectrics on High Mobility Channel Materials	Compatible passivation technology for the integration both of III-V and Ge MOSFETs	T. Maeda, S. Takagi, T. Yasuda, N. Miyata, H. Talagi, H. Ishii, T. Itatani, Y. Urabe
4	2010. 5. 17-20	The Sixth International Nanotechnology Conference on Communication and Cooperation (INC-6)	III-V channel MISFETs for integration on the Si platform	T. Yasuda
5	2010. 5. 21	TRC 第7回半導体デバイス分析セミナー	CMOS プラットフォーム上の高移動度チャンネル MOS トランジスタ技術 (招待講演)	高木信一
6	2010. 5. 23-28	15th International Conference on Metal Organic Vapor Phase Epitaxy (ICMOVPE XV)	Highly lateral growth of InGaAs on Si(111) with reduced size of selective growth window	Y. Kondo, M. Deura, M. Takenaka, S. Takagi, Y. Nakono, and M. Sugiyama
7	2010. 5. 31-6. 4	22th International Conference on Indium	III-V-semiconductor-on-insulator MISFETs on Si with buried	M. Yokoyama, T. Yasuda, H. Takagi, Y. Urabe, H.

		Phosphide and Related Materials (IPRM)	SiO ₂ and Al ₂ O ₃ layers by direct wafer bonding	Ishii, N. Miyata, H. Yamada, N. Fukuhara, M. Hata, M. Sugiyama, Y. Nakano, M. Takenaka and S. Takagi
8	2010.6.1	SFJ(セミフォーラムジャパン)2010, プロセスインテグレーションセミナー(1)ー新構造・新材料による CMOS ULSI、プロセスの未来ー	高性能先端 CMOS デバイス技術の方向性 (招待講演)	高木信一
9	2010. 6. 7-11	E-MRS 2010, H: Post-Si CMOS electronic devices: the role of Ge and III-V materials	Impact of InGaAs Surface Nitridation on Interface Properties of InGaAs MOS Capacitors using Electron Cyclotron Resonance Plasma Sputtering SiO ₂	T. Hoshii, M. Yokoyama, H. Yamada, M. Hata, T. Yasuda, M. Takenaka and S. Takagi
10	2010. 6. 7-11	E-MRS 2010, H: Post-Si CMOS electronic devices: the role of Ge and III-V materials	Origin of Electron Mobility Enhancement in (111)-Oriented InGaAs channel MISFETs	N. Miyata, H. Ishii, Y. Urabe, T. Itatani, T. Yasuda, H. Yamada, N. Fukuhara, M. Hata, M. Deura, M. Sugiyama, M. Takenaka and S. Takagi
11	2010. 6. 11	第4回九州大学稲盛フロンティア研究講演会	Siプラットフォーム上の高移動度チャネル CMOS 技術 (招待講演)	高木信一
12	2010. 6. 15-17	VLSI symposium	III-V/Ge CMOS technologies on Si platform (招待講演)	S. Takagi and M. Takenaka
13	2010. 6. 15-17	VLSI symposium	High Mobility III-V-On-Insulator MOSFETs on Si with ALD-Al ₂ O ₃ BOX layers	M. Yokoyama, Y. Urabe, T. Yasuda, H. Takagi, H. Ishii, N. Miyata, H. Yamada, N. Fukuhara, M. Hata, M. Sugiyama, Y. Nakano, M. Takenaka and S. Takagi
14	2010. 6. 22	シリコン材料・デバイス (SDM)研究会	High-k/III-V 界面の組成・構造と MIS 特性との関係	安田哲二, 宮田典幸, 卜部友二, 石井裕之, 板谷太郎, 前田辰郎, 山田永, 福原昇, 秦雅彦, 大竹晃浩, 星井拓也, 横山正史, 竹中充, 高木信一
15	2010. 6. 29	日経エレクトロニクス半導体技術戦略セミナー	Siプラットフォーム上の Non-Si チャネル MOSトランジスタ技術 (招待講演)	高木信一
16	2010. 6. 30-7. 2	2010 Asia-Pacific Workshop on Fundamentals and Applications of Advanced Semiconductor Devices (AWAD2010)	III-V/Ge CMOS technologies and heterogeneous integrations on Si platform (招待講演)	S. Takagi and M. Takenaka

17	2010. 7. 22	応用物理学会シリコンテクノロジー分科会第 127 回研究集会	Si プラットフォーム上の III-V/Ge CMOS テクノロジー (招待講演)	高木信一, 竹中充
18	2010. 8. 6-8. 27	電子情報通信学会レーザ・量子エレクトロニクス研究会 (LQE)	高性能光電子集積回路実現に向けた III-V CMOS プラットフォーム技術	竹中充, 横山正史, 杉山正和, 中野義昭, 高木信一
19	2010. 9. 6-8	化学工学会第 42 回秋季大会	成長領域狭窄化選択 MOVPE による Si 上 InGaAs の高横/縦比成長	近藤佳幸, 出浦桃子, 竹中充, 高木信一, 中野義昭, 杉山正和
20	2010. 9. 6-8	化学工学会第 42 回秋季大会	微小領域選択 MOVPE を用いた Si 上 InGaAs の形状均一化に向けた Si 表面状態と InAs 成長の関係	出浦桃子, 近藤佳幸, 竹中充, 高木信一, 霜垣幸浩, 中野義昭, 杉山正和
21	2010. 9. 14-17	2010 年秋季 第 71 回応用物理学会学術講演会	自己整合プロセス用いた InGaAs MOSFET の電気特性と活性化アニール温度依存性	李成薫, 飯田亮, 金相賢, 横山正史, 田岡紀之, 安田哲二, 板谷太郎, 卜部友二, 石井裕之, 宮田典幸, 山田永, 福原昇, 秦雅彦, 竹中充, 高木信一
22	2010. 9. 14-17	2010 年秋季 第 71 回応用物理学会学術講演会	メタル S/D 構造を用いた自己整合型 InP MOSFET の作製	金相賢, 横山正史, 田岡紀之, 飯田亮, 李成薫, 中根了昌, 卜部友二, 宮田典幸, 石井裕之, 安田哲二, 山田永, 福原昇, 秦雅彦, 竹中充, 高木信一
23	2010. 9. 14-17	2010 年秋季 第 71 回応用物理学会学術講演会	自己整合プロセスを用いたフロントゲート型 InGaAs-On-Insulator MOSFET	飯田亮, 李成薫, 金相賢, 横山正史, 田岡紀之, 安田哲二, 高木秀樹, 卜部友二, 石井裕之, 宮田典幸, 山田永, 福原昇, 秦雅彦, 竹中充, 高木信一
24	2010. 9. 14-17	2010 年秋季 第 71 回応用物理学会学術講演会	Al ₂ O ₃ 埋め込み酸化膜と S 処理による III-V-OI MOSFET の電子移動度に対するチャネル膜厚依存性の改善	横山正史, 山田永, 安田哲二, 高木秀樹, 卜部友二, 宮田典幸, 福原昇, 秦雅彦, 杉山正和, 中野義昭, 竹中充, 高木信一
25	2010. 9. 14-17 17 日	2010 年秋季 第 71 回応用物理学会学術講演会	微小領域選択 MOVPE における Si(111)選択成長領域の InAs による完全被覆 と InGaAs 横方向成長への影響	近藤 佳幸, 出浦桃子, 竹中充, 高木信一, 中野義昭, 杉山正和
26	2010. 9. 14-17	2010 年秋季 第 71 回応用物理学会学術講演会	微小領域選択 MOVPE を用いた Si 上 InAs 成長の基板表面処理条件依存性	出浦桃子, 近藤佳幸, 竹中充, 高木信一, 中野義昭, 杉山正和
27	2010. 9. 14-17	2010 年秋季 第 71 回応用物理学会学術講演会	結晶品質を改善した InGaAs エピ層上 MISFET のチャネル移動度特性	卜部友二, 宮田典幸, 安田哲二, 石井裕之, 板谷太郎, 山田永, 福原昇, 秦雅彦, 竹中充, 高木信一
28	2010. 9. 14-17	2010 年秋季 第 71 回応用物理学会学術講演会	ALD-Al ₂ O ₃ /InGaAs 界面形成過程の In-Line AES 評価	安田哲二, 卜部友二, 宮田典幸, 山田永, 秦雅彦

				彦, 竹中充, 高木信一
29	2010. 9. 14-17	2010 年秋季 第 71 回応用物理学会学術講演会	InGaAs 表面再配列構造と HfO ₂ /InGaAs 界面特性	大竹晃浩他4名
30	2010. 9. 22-24	International Conference on Solid State Devices and Materials (SSDM 2010)	High-temperature phosphorous passivation of Si surface for improved heteroepitaxial growth of InAs as an initial step of III-As MOVPE on Si	M. Deura, Y. Kondo, M. Takenaka, S. Takagi, Y. Shimogaki, Y. Nakano and M. Sugiyama
31	2010. 9. 22-24	International Conference on Solid State Devices and Materials (SSDM 2010)	InGaAs and InGaAs-On-Insulator n-Channel MOSFETs Fabricated by Self-Align Gate First Process with Ni/Al ₂ O ₃ Gate Stacks	S. Lee, R. Iida, S. H. Kim, M. Yokoyama, N. Taoka, Y. Urabe, T. Yasuda, H. Takagi, H. Ishii, N. Miyata, H. Yamada, N. Fukuhara, M. Hata, M. Takenaka and S. Takagi
32	2010. 9. 29-10. 1	International Symposium on Advanced Gate Stack Technology (ISAGST 2010)	Effects of InGaAs Surface Nitridation on InGaAs MOS Interface Properties (招待講演)	S. Takagi
33	2010. 10. 10-15	218th Electrochemical Society Meeting, Wafer bonding Symposium	III-V-On-Insulator MOSFETs on Si Substrates fabricated by direct bonding technique (招待講演)	S. Takagi, M. Yokoyama, H. Takagi, Y. Urabe, T. Yasuda, H. Yamada and M. Hata and M. Takenaka
34	2010. 10. 10-15	218th Electrochemical Society Meeting, Wafer bonding Symposium	High quality thin body III-V-on-insulator channel layer transfer on Si using direct wafer bonding	M. Yokoyama, T. Yasuda, H. Takagi, N. Miyata, Y. Urabe, H. Ishii, H. Yamada, N. Fukuhara, M. Hata, M. Sugiyama, Y. Nakano, M. Takenaka, and S. Takagi
35	2010. 11. 4	2010 10th IEEE International Conference on Solid-State and Integrated Circuit Technology (ICSICT)	Advanced Non-Si Channel CMOS Technologies on Si Platform (招待講演)	S. Takagi
36	2010. 11. 18	Electronic Journal 第 614 回 Technical Seminar	異種材料(Si/Ge/化合物半導体)集積化技術	高木信一
37	2010. 12. 1	SEMI テクノロジーシンポジウム(STS) 2010 特別セッション 社会インフラを支えるエコロジー・化合物デバイス	Si プラットフォーム上の Non-Si チャンネル CMOS デバイス技術 (招待講演)	高木信一
38	2010. 12. 2-4	40th IEEE Semiconductor Interface Specialists Conference (SISC 2010)	ALD Temperature Dependence of Interface Trap Properties at ALD-Al ₂ O ₃ /InP Interfaces	N. Taoka, M. Yokoyama, S. H. Kim, T. Hoshii, R. Iida, S. Lee, R. Suzuki, Y. Urabe, N. Miyata, T. Yasuda, H. Yamada, N. Fukuhara, M. Hata, M. Takenaka, and S. Takagi

39	2010. 12. 2-4	440th IEEE Semiconductor Interface Specialists Conference (SISC 2010)	Correlation between channel mobility and arsenic oxide in Al ₂ O ₃ /InGaAs n-MISFETs fabricated on (111)A and (100) surfaces	N. Miyata, Y. Urabe, H. Ishii, T. Itatani, T. Maeda, T. Yasuda, H. Yamada, N. Fukuhara, M. Hata, M. Yokoyama, N. Taoka, M. Takenaka and S. Takagi
40	2010. 12. 6-8	International Electron Devices Meeting (IEDM 2010)	Extremely-thin-body InGaAs-On-Insulator MOSFETs on Si fabricated by direct wafer bonding	M. Yokoyama, R. Iida, S. H. Kim, N. Taoka, Y. Urabe, T. Yasuda, H. Takagi, H. Yamada, N. Fukuhara, M. Hata, M. Sugiyama, Y. Nakano, M. Takenaka and S. Takagi
41	2010. 12. 6-8	International Electron Devices Meeting (IEDM 2010)	Self-aligned metal Source/Drain In _x Ga _{1-x} As n-MOSFETs using Ni-InGaAs alloy	S. H. Kim, M. Yokoyama, N. Taoka, R. Iida, S. Lee, R. Nakane, Y. Urabe, N. Miyata, T. Yasuda, H. Yamada, N. Fukuhara, M. Hata, M. Takenaka and S. Takagi
42	2010. 12. 6-8	International Electron Devices Meeting (IEDM 2010)	Correlation between Channel Mobility Improvements and Negative V _{th} Shifts in III-V MISFETs: Dipole Fluctuation as New Scattering Mechanism	Y. Urabe, N. Miyata, H. Ishii, T. Itatani, T. Maeda, T. Yasuda, H. Yamada, N. Fukuhara, M. Hata, M. Yokoyama, N. Taoka, M. Takenaka and S. Takagi
43	2011. 1. 20-21	2011 International Workshop on “Dielectric Thin Films for Future Electron Devices: Science and Technology	ALD-Al ₂ O ₃ /InGaAs MOS Structures with Interfacial Control Layers Formed by Nitridation of InGaAs Surfaces	T. Hoshii, R. Suzuki, N. Taoka, M. Yokoyama, H. Yamada, M. Hata, T. Yasuda, M. Takenaka and S. Takagi
44	2011. 1. 20-21	2011 International Workshop on Dielectric Thin Films for Future Electron Devices: Science and Technology	Impacts of (NH ₄) ₂ S treatment and ALD temperature on ALD-Al ₂ O ₃ /InP Interface Properties	N. Taoka, M. Yokoyama, S. H. Kim, R. Suzuki, T. Hoshii, R. Iida, S. Lee, Y. Urabe, N. Miyata, T. Yasuda, H. Yamada, N. Fukuhara, M. Hata, M. Takenaka, and S. Takagi
45	2011. 1. 20-21	2011 International Workshop on Dielectric Thin Films for Future Electron Devices: Science and Technology (IWDTF-11)	Impact of Cation Surface Termination on the Electrical Characteristics of HfO ₂ /InGaAs(100) MOS Capacitors	大竹晃浩 他3名
46	2011. 1. 21-23	ゲートスタック研究会 — 材料・プロセス・評価 の物理 — (第 16 回研 究会)	ALD-Al ₂ O ₃ /InP 界面におけ る遅い準位特性の ALD 温度 依存性	田岡紀之, 横山正史, 金 相賢, 鈴木麗菜, 星井拓 也, 飯田亮, 李成薫, 卜 部友二, 宮田典幸, 安田 哲二, 山田永, 福原昇, 秦雅彦, 竹中充, 高木信 一

47	2011. 1. 31	応用物理学会シリコンテクノロジー分科会第 131 回研究集会	Ni-InGaAs 合金を用いた自己整合型メタルソース・ドレイン InxGa1-xAs MOSFETs	金相賢, 横山正史, 田岡紀之, 飯田亮, 李成薫, 中根了昌, 卜部友二, 宮田典幸, 安田哲二, 山田永, 福原昇, 秦雅彦, 竹中充, 高木信一
48	2011. 2. 2	日本学術振興会 薄膜第 131 委員会/半導体界面制御技術第 154 委員会・合同研究会	高移動度チャンネル CMOS の現状と課題 (招待講演)	高木信一
49	2011. 3. 7	応用物理学会シリコンテクノロジー分科会第 135 回研究集会, 接合技術研究会「先端 CMOS デバイスに応えるドーパント制御・接合形成・評価技術」	III-V MOSFET のためのメタル S/D 接合技術	高木信一, 金相賢, 竹中充
50	2011. 3. 9	2011 年春季 第 58 回 応用物理学関係連合講演会	InGaAs MOSFET におけるメタル S/D 材料としての Ni-InGaAs の評価	金相賢, 横山正史, 田岡紀之, 飯田亮, 李成薫, 中根了昌, 卜部友二, 宮田典幸, 安田哲二, 山田永, 福原昇, 秦雅彦, 竹中充, 高木信一
51	2011. 3. 9	2011 年春季 第 58 回 応用物理学関係連合講演会	メタル S/D 構造を用いた自己整合型 InxGa1-xAs MOSFET の作製	金相賢, 横山正史, 田岡紀之, 飯田亮, 李成薫, 中根了昌, 卜部友二, 宮田典幸, 安田哲二, 山田永, 福原昇, 秦雅彦, 竹中充, 高木信一
52	2011. 3. 9	2011 年春季 第 58 回 応用物理学関係連合講演会	薄膜 BOX 層を有するサブ 10nm 極薄膜 InGaAs-OI MOSFET	横山正史, 飯田亮, 金相賢, 田岡紀之, 卜部友二, 安田哲二, 高木秀樹, 山田永, 福原昇, 秦雅彦, 杉山正和, 中野義昭, 竹中充, 高木信一
53	2011. 3. 9	2011 年春季 第 58 回 応用物理学関係連合講演会	窒素プラズマを用いた Al2O3/InGaAs MOS 構造の価電子帯近傍界面特性の改善	李成薫, 飯田亮, 金相賢, 星井拓也, 田岡紀之, 横山正史, ジェバスワン・ウィパコーン, 安田哲二, 山田永, 福原昇, 秦雅彦, 竹中充, 高木信一
54	2011. 3. 9	2011 年春季 第 58 回 応用物理学関係連合講演会	ALD-Al2O3/InP 界面におけるコンダクタンスカーブの定量解析	田岡紀之, 横山正史, 金相賢, 鈴木麗菜, 星井拓也, 飯田亮, 李成薫, 卜部友二, 宮田典幸, 安田哲二, 山田永, 福原昇, 秦雅彦, 竹中充, 高木信一
55	2011. 3. 9	2011 年春季 第 58 回 応用物理学関係連合講演会	InP MISFET の特性: 面方位と(NH4)2S 処理の効果	卜部友二, 宮田典幸, 安田哲二, 前田辰郎, 山田永, 福原昇, 秦雅彦, 田

				岡紀之, 竹中充, 高木信一
56	2011. 3. 9	2011 年春季 第 58 回 応用物理学関係連合講演会	Impact of Al(CH ₃) ₃ dosage in initial cycles of Al ₂ O ₃ ALD on MIS properties of InGaAs	ジェバスワン ウィパコーン, ト部友二, 前田辰郎, 宮田典幸, 安田哲二, 山田永, 秦雅彦, 田岡紀之, 竹中充, 高木信一
57	2011. 3. 9	2011 年春季 第 58 回 応用物理学関係連合講演会	InP/InGaAs 埋め込みチャンネル構造による MISFET 移動度改善	安田哲二, ト部友二, 石井裕之, 板谷太郎, 宮田典幸, 山田永, 福原昇, 秦雅彦, 竹中充, 高木信一

平成23年度

#	発表日	発表媒体	発表タイトル	発表者
1	2011. 4. 25	2011 MRS Spring Meeting	Optimizing initial cycles of Al ₂ O ₃ ALD on InGaAs: impact of Al(CH ₃) ₃ dosage and in-line monitoring by Auger electron spectroscopy	W. Jevasuwan, Y. Urabe, T. Maeda, N. Miyata, T. Yasuda, H. Yamada, M. Hata, N. Taoka, M. Takenaka, and S. Takagi
2	2011. 4. 25-29	Material Research Society, spring meeting	III-V CMOS technologies on Si platform (招待講演)	M. Takenaka and S. Takagi
3	2011. 4. 27-29	11 th International Symposium on VLSI Technology, System and Applications (VLSI-TSA)	Advanced CMOS Technologies using III-V/Ge Channels (招待講演)	S. Takagi and M. Takenaka
4	2011. 5. 1-6	219th Electrochemical Society Meeting, Symposium E3: International Symposium on Graphene, Ge/III-V, Nanowires and Emerging Materials for Post-CMOS Applications -3	Prospective and critical issues of III-V/Ge CMOS on Si platform (招待講演)	S. Takagi and M. Takenaka
5	2011. 5. 22-26	23 rd International Conference on Indium Phosphide and Related Materials (IPRM)	Self-aligned metal S/D InP MOSFETs using metallic Ni-InP alloy	S. H. Kim, M. Yokoyama, N. Taoka, R. Iida, S. Lee, R. Nakane, Y. Urabe, N. Miyata, T. Yasuda, H. Yamada, N. Fukuhara, M. Hata, M. Takenaka and S. Takagi
6	2011. 5. 22-26	23 rd International Conference on Indium Phosphide and Related Materials (IPRM)	III-V on Silicon for High-Speed Electronics and CMOS Photonics (招待講演)	M. Takenaka and S. Takagi
7	2011. 6. 9-10	11th International Workshop on Junction Technology (IWJT2011)	High Mobility Material Channel CMOS Technologies based on	S. Takagi and M. Takenaka

			Heterogeneous Integration (基調講演)	
8	2011. 6. 14-16	Symposium on VLSI Technology	High performance Extremely-thin Body III-V-On-Insulator MOSFETs on a Si substrate with Ni-InGaAs metal S/D and MOS Interface Buffer Engineering	S. H. Kim, M. Yokoyama, N. Taoka, R. Iida, S. Lee, R. Nakane, Y. Urabe, N. Miyata, T. Yasuda, H. Yamada, N. Fukuhara, M. Hata, M. Takenaka and S. Takagi
9	2011. 6. 14-16	Symposium on VLSI Technology	CMOS integration of InGaAs nMOSFETs and Ge pMOSFETs with self-align Ni-based metal S/D using direct wafer bonding	M. Yokoyama, S. H. Kim, R. Zhang, N. Taoka, Y. Urabe, T. Maeda, H. Takagi, T. Yasuda, H. Yamada, O. Ichikawa, N. Fukuhara, M. Hata, M. Sugiyama, Y. Nakano, M. Takenaka and S. Takagi
10	2011. 6. 14	Symposium on VLSI Technology	Scalable TaN Metal Source/Drain & Gate InGaAs/Ge n/pMOSFETs	T. Maeda, Y. Urabe, T. Itatani, H. Ishii, N. Miyata, T. Yasuda, H. Yamada, M. Hata, M. Yokoyama, M. Takenaka and S. Takagi
11	2011. 6. 21-24	17th Conference on "Insulating Films on Semiconductors"	Quantitative Analysis of Conductance Curves in Al ₂ O ₃ /InP Interfaces	N. Taoka, M. Yokoyama, S. H. Kim, R. Suzuki, T. Hoshii, R. Iida, S. Lee, Y. Urabe, N. Miyata, T. Yasuda, H. Yamada, N. Fukuhara, M. Hata, M. Takenaka, and S. Takagi
12	2011. 6. 21	17th Conference on "Insulating Films on Semiconductors"	On the Mechanisms Limiting Mobility in InP/InGaAs Buried Channel nMISFETs	Y. Urabe, T. Yasuda, H. Ishii, T. Itatani, N. Miyata, H. Yamada, N. Fukuhara, M. Hata, M. Takenaka and S. Takagi
13	2011. 7. 21	応用物理学会シリコンテクノロジー分科会第 139 回研究集会, 「VLSI シンポジウム特集 (先端 CMOS デバイス・プロセス技術)」	基板貼り合わせ法による自己整合型 InGaAs nMOSFET/Ge pMOSFET 集積化 CMOS の実現	横山正史、金相賢、張睿、田岡紀之、ト部友二、前田辰郎、高木秀樹、安田哲二、山田永、市川磨、福原昇、秦雅彦、杉山正和、中野義昭、竹中充、高木信一
14	2011. 7. 28	日本学術振興会ナノプローブテクノロジー第 167 委員会第 63 回研究会	Non-Si 材料チャネル MOS トランジスタの研究開発動向	高木信一、竹中充
15	2011. 8. 29-9. 2	2011 年秋季 第 72 回応用物理学会学術講演会	基板貼り合わせ法を用いた III-V/Ge CMOS トランジスタ集積化	横山正史、金相賢、張睿、田岡紀之、ト部友二、前田辰郎、高木秀樹、安田哲二、山田永、市川磨、福原昇、秦雅彦、杉山正和、中野義昭、竹中充、

				高木信一
16	2011. 8. 29-9. 2	2011 年秋季 第 72 回応用物 理学会学術講演会	ALD Al ₂ O ₃ 界面層を用 いた HfO ₂ / InGaAs MOS 界面特性の改善	鈴木麗菜, 李成薫, 金相 賢, 星井拓也, 横山正史, 田岡紀之, ジェバスワン・ ウイパコーン, 前田辰郎, 安田哲二, 市川磨, 福原 昇, 秦雅彦, 竹中充, 高 木信一
17	2011. 8. 29-9. 2	2011 年秋季 第 72 回応用物 理学会学術講演会	メタル S/D 構造及び MOS interface buffer 層 の導入による ETB InGaAs-OI MOSFET の 高性能化	金相賢, 横山正史, 田岡 紀之, 飯田亮, 李成薫, 中根了昌, 卜部友二, 宮 田典幸, 安田哲二, 山田 永, 福原昇, 秦雅彦, 竹 中充, 高木信一
18	2011. 8. 29-9. 2	2011 年秋季 第 72 回応用物 理学会学術講演会	Al/ALD-Al ₂ O ₃ /InGaAs MOS 構造における蓄積 容量の解析	田岡紀之, 鈴木麗菜, 横 山正史, 飯田亮, 李成薫, 金相賢, 星井拓也, ジェ バスワン ウイパコーン, 前 田辰郎, 安田哲二, 市川 磨, 福原昇, 秦雅彦, 竹 中充, 高木信一
19	2011. 8. 29-9. 2	2011 年秋季 第 72 回 応用 物理学会学術講演会	InGaAs 表面の亜セレン 酸溶液処理による MISFET 特性改善	卜部友二, 安田哲二, 宮 田典幸, 前田辰郎, 大竹 晃浩, 市川磨, 福原昇, 秦雅彦, 横山正史, 田岡 紀之, 竹中充, 高木信一
20	2011. 8. 29-9. 2	2011 年秋季 第 72 回 応用 物理学会学術講演会	Improved MIS characteristics for ALD-Al ₂ O ₃ /InP(111)B interfaces	ジェバスワン・ウイパコーン , 卜部友二, 前田辰郎, 宮田典幸, 安田哲二, 市 川磨, 秦雅彦, 田岡紀之, 竹中充, 高木信一
21	2011. 8. 29-9. 2	2011 年秋季 第 72 回 応用 物理学会学術講演会	共通メタル S/D&ゲート を用いた微細 III-V/Ge CMOS 技術の開発	前田辰郎, 卜部友二, 板 谷太郎, 石井裕之, 宮田 典幸, 安田哲二, 前田辰 郎, 山田永, 秦雅彦, 横 山正史, 竹中充, 高木信 一
22	2011. 8. 29-9. 2	2011 年秋季 第 72 回応用物 理学会学術講演会	活性窒素種を照射した GaAs(001)表面構造	大竹晃浩
23	2011. 9. 27	2011 International Conference on Solid State Devices and Materials (SSDM 2011), Short Course	Channel Engineering for Advanced CMOS Devices (招待講演)	S. Takagi
24	2011. 9. 28-30	2011 International Conference on Solid State Devices and Materials (SSDM 2011)	Effects of Nitrated-InGaAs Interfacial Layers formed by ECR nitrogen plasma on Al ₂ O ₃ /InGaAs MOS Properties	T. Hoshii, S. H. Lee, R. Suzuk, N. Taoka, M. Yokoyama, H. Yamada, W. Jevasuwan, M. Hata, T. Yasuda, M. Takenaka and S. Takagi
25	2011. 9. 28-30	2011 International Conference on Solid State	Effect of sulfur treatment on HfO ₂ /InGaAs MOS	R. Suzuki, S. Lee, S. H. Kim, T.Hoshii, M.

		Devices and Materials (SSDM 2011)	interfaces properties	Yokoyama, N. Taoka, T. Yasuda, W. Jevasuwan, T. Maeda, O. Ichikawa, N. Fukuhara, M. Hata, M. Takenaka and S. Takagi
26	2011. 9. 28	The 2011 International Conference on Solid State Devices and Materials (SSDM2011)	Controlling anion composition at MIS interfaces on III-V channels by plasma processing	W. Jevasuwan, Y. Urabe, T. Maeda, N. Miyata, T. Yasuda, A. Ohtake, H. Yamada, M. Hata, S. Lee, T. Hoshii, M. Takenaka and S. Takagi
27	2011. 10. 3-6	37th IEEE International SOI Conference	(III-V/Ge)-On-Insulator CMOS Technology (招待講演)	S. Takagi
28	2011. 10. 10-14	220th Electrochemical Society (ECS) Meeting, Symposium on High Dielectric Constant and Other Dielectric Materials for Nanoelectronics and Photonics 9	MOS interface control technologies for III-V/Ge channel MOSFETs (招待講演)	S. Takagi, R. Zhang, T. Hoshii and M. Takenaka
29	2011. 10. 10-14	220th Electrochemical Society (ECS) Meeting, Symposium on ULSI Process Integration 7	Device and integration technologies of III-V/Ge channel CMOS (招待講演)	S. Takagi, M. Yokoyama, Y.-H. Kim and M. Takenaka
30	2011. 10. 21	IEEE Nanotechnology Materials and Device Conference (NMDC)	High Mobility Channel MOS Device Technologies toward Nano-CMOS era (招待講演)	S. Takagi
31	2011. 11. 8-11	15th International Conference on Thin Films (ICTF)	Ultra-thin body III-V-On-Insulator MOSFETs on Si platform (招待講演)	S. Takagi, M. Yokoyama, S.-H. Kim, N. Taoka and M. Takenaka
32	2011. 12. 1-3	41th IEEE Semiconductor Interface Specialists Conference (SISC 2011)	Influence of Interface Traps inside Conduction Band on C-V Characteristics of InGaAs MOS Capacitors	N. Taoka, M. Yokoyama, S.H. Kim, R. Suzuki, R. Iida, S. Lee, T. Hoshii, W. Jevasuwan, T. Maeda, T. Yasuda, O. Ichikawa, N. Fukuhara, M. Hata, M. Takenaka, and S. Takagi
33	2011. 12. 1-3	41th IEEE Semiconductor Interface Specialists Conference (SISC 2011)	Improvement of HfO ₂ /InGaAs Interfaces by ALD Temperature Control	R. Suzuki, N. Taoka, S. Lee, S. H. Kim, T. Hoshii, M. Yokoyama, T. Yasuda, W. Jevasuwan, T. Maeda, O. Ichikawa, N. Fukuhara, M. Hata, M. Takenaka, and S. Takagi
34	2011. 12. 1-3	41th IEEE Semiconductor Interface Specialists Conference (SISC 2011)	Surface cleaning effect on III-V oxide for InGaAs (100), (111)A, and (111)B	M. Yokoyama, R. Suzuki, N. Taoka, W. Jevasuwan, T. Maeda, T. Yasuda, O.

			surfaces and their Al ₂ O ₃ MOS interfaces by using (NH ₄) ₂ Sx solution	Ichikawa, H. Yamada, N. Fukuhara, M. Hata, M. Sugiyama, Y. Nakano, M. Takenaka and S. Takagi
35	2011年 12月1 日	42th IEEE Semiconductor Interface Specialists Conference (2011 SISC)	Improved Electron Mobility and On/Off Ratio of InGaAs MISFETs by New Surface Treatments Utilizing Selenite Adsorption	卜部友二 他12名
36	2011. 12. 4	International Electron Devices Meeting (IEDM) short course	High Mobility Materials: III-V/Ge FETs (招待講演)	S. Takagi
37	2011. 12. 5-7	International Electron Devices Meeting (IEDM)	Impact of Fermi Level Pinning inside Conduction Band on Electron Mobility of In _x Ga _{1-x} As MOSFETs and Mobility Enhancement by Pinning Modulation	N.Taoka, M. Yokoyama, S. H. Kim, R. Suzuki, R. Iida, S. Lee, T. Hoshii, W. Jevasuwan, T. Maeda, T. Yasuda, O. Ichikawa, N. Fukuhara, M. Hata, M. Takenaka and S. Takagi
38	2011. 12. 5-7	International Electron Devices Meeting (IEDM)	Enhancement Technologies and Physical Understanding of Electron Mobility in III-V n-MOSFETs with Strain and MOS Interface Buffer Engineering	S. H. Kim, M. Yokoyama, N. Taoka, R. Nakane, T. Yasuda, M. Ichikawa, N. Fukuhara, M. Hata, M. Takenaka and S. Takagi
39	2011. 12. 15	2011 Tsukuba Nanotechnology Symposium (TNS'11)	Non-Si Channel MOS Device Technologies in Nano-CMOS era (招待講演)	S. Takagi and M. Takenaka
40	2012. 3. 5-7	13th International Conference on Ultimate Integration on Silicon (ULIS 2012)	High Mobility CMOS Technologies using III-V/Ge Channels on Si platform (招待講演)	S. Takagi and M. Takenaka
41	2012. 1. 18	International Symposium on Secure-Life Electronics - Advanced Electronics and Information Systems for Quality Life and Society -	Advanced Nano CMOS Platform using High Mobility Channel Materials	S. Takagi and M. Takenaka
42	2012. 1. 18	ゲートスタック研究会 — 材料・プロセス・評価の物理 — (第 16 回研究会)	InGaAs MOS キャパシタにおける伝導帯内界面準位の C-V 特性への影響	田岡紀之, 横山正史, 金相賢, 鈴木麗菜, 飯田亮, 李成薫, 星井拓也, ジェバスワン・ウィパコーン, 前田辰郎, 安田哲二, 市川磨, 福原昇, 秦雅彦, 竹中充, 高木信一
43	2012. 1. 30	Electronic Journal 第 984 回 Technical Seminar	異種材料(Si/Ge/化合物半導体)集積化技術	高木信一

44	2012. 3. 15-18	2012年春季 第59回応用物理学関係連合講演会	二軸引っ張りひずみによるInGaAs MOSFETの移動度向上とそのメカニズム	金相賢, 横山正史, 田岡紀之, 中根了昌, 安田哲二, 市川磨, 福原昇, 秦雅彦, 竹中充, 高木信一
45	2012. 3. 15-18	2012年春季 第59回応用物理学関係連合講演会	MOS interface buffer 層の導入, チャネルIn組成変調による極薄膜InxGa1-xAs-OI MOSFETの高性能化とそのメカニズム	金相賢, 横山正史, 田岡紀之, 中根了昌, 安田哲二, 市川磨, 福原昇, 秦雅彦, 竹中充, 高木信一
46	2012. 3. 15-18	2012年春季 第59回応用物理学関係連合講演会	極薄膜Al2O3 界面層を挿入したHfO2/ InGaAs MOS構造のCET薄膜化	鈴木麗菜, 李成薫, 金相賢, 星井拓也, 横山正史, 田岡紀之, ジェバスワン・ウイパコーン, 前田辰郎, 安田哲二, 市川磨, 福原昇, 秦雅彦, 竹中充, 高木信一
47	2012. 3. 15-18	2012年春季 第59回応用物理学関係連合講演会	InGaAs MOS構造における伝導帯内界面準位によるフェルミレベルピンニング	田岡紀之, 横山正史, 金相賢, 鈴木麗菜, 飯田亮, 李成薫, 星井拓也, ジェバスワン ウイパコーン, 前田辰郎, 安田哲二, 市川磨, 福原昇, 秦雅彦, 竹中充, 高木信一
48	2012. 3. 15-18	2012年春季 第59回応用物理学関係連合講演会	InGaAs MOS 界面における伝導帯内界面準位の物理的起源	田岡紀之, 横山正史, 金相賢, 鈴木麗菜, 飯田亮, 李成薫, 星井拓也, ジェバスワン ウイパコーン, 前田辰郎, 安田哲二, 市川磨, 福原昇, 秦雅彦, 竹中充, 高木信一
49	2012. 3. 15-18	2012年春季 第59回応用物理学関係連合講演会	次世代高性能CMOS実現に向けた高移動度III-V/Ge チャネルMOSFETの集積化	金相賢, 張睿, 田岡紀之, 卜部友二, 前田辰郎, 高木秀樹, 安田哲二, 山田永, 市川磨, 福原昇, 秦雅彦, 杉山正和, 中野義昭, 竹中充, 高木信一
50	2012. 3. 15-18	2012年春季 第59回応用物理学関係連合講演会	硫化アンモニウム溶液で表面処理したInGaAs(100), (111)A, (111)B のMOS界面特性	横山正史, 鈴木麗菜, 田岡紀之, ジェバスワン・ウイパコーン, 前田辰郎, 安田哲二, 市川磨, 山田永, 福原昇, 秦雅彦, 杉山正和, 中野義昭, 竹中充, 高木信一

(c) 表彰等

平成20年度

発表日	内容	タイトル等	受賞者等
-----	----	-------	------

1	2008.6.6	14th International Conference of Metalorganic Vapor Phase Epitaxy Best Student Contribution Award	Effect of Ga content on crystal shape in micro-channel selective-area MOVPE of InGaAs on Si	Momoko Deura
2	2009.7.11	第27回EMS賞	微小領域選択MOVPEにおけるSi上InGaAsの成長機構に対するGa組成の影響	出浦 桃子
3	2008.9.2	第24回応用物理学会講演奨励賞	微小領域選択MOVPEにおけるSi上InGaAsの横方向成長に対するGa組成の影響	出浦 桃子

平成21年度

	発表日	内容	タイトル等	受賞者等
1	2009.5.13	21th International Conference on Indium Phosphide and Related Materials Best Student Paper finalist	Uniform InGaAs Micro-Discs on Si by Micro-Channel Selective-Area MOVPE	Momoko Deura

平成22年度

	発表日	内容	タイトル等	受賞者等
1	2011. 1. 27	IEEE EDS Japan Chapter Student Award	Self-aligned Metal Source/Drain InXGa1-XAs n-MOSFETs Using Ni-InGaAs Alloy	Sang-Hyeon Kim

平成23年度

	発表日	内容	タイトル等	受賞者等
1	2011.	応用物理学会講演奨励賞	基板貼り合わせ法を用いたIII-V/Ge CMOS トランジスタ集積化	横山正史
2	2012. 2. 1	IEEE EDS Japan Chapter Student Award	High performance Extremely-thin Body III-V-On-Insulator MOSFETs on a Si substrate with Ni-InGaAs metal S/D and MOS Interface Buffer Engineering	Sang-Hyeon Kim

(d)その他特記事項

平成20年度

	発表日	内容	タイトル等	発表者等
1	2008. 6	Electronic Device Architectures for the Nano-CMOS Era - From	Devices Structures and Carrier Transport Properties of Advanced CMOS using High Mobility	高木信一

		Ultimate CMOS Scaling to Beyond CMOS Devices (Book, Pan Stanford Publishing)	Channels	
2	2009.1.1	電子情報通信学会誌	ポストスケーリング時代のCMOSデバイス技術	高木信一

平成21年度

	発表日	内容	タイトル等	発表者等
1	2009.6.23	プレス発表 日経産業新聞	半導体新潮流VLSIシンポから ポスト微細化の波	東京大学、産総研
2	2009.6.16	プレス発表 日刊工業新聞	シリコン基板上にIII-V族の化合物 東大がLSI技術	東京大学、産総研
3	2010/03/10	プレス発表 日経BP社ウェブページ Tech-On	極薄ボディIII-V族半導体FET	東京大学、産総研
4	2010/03/11	プレス発表 化学工業日報	極薄ボディIII-V族半導体FET	東京大学、産総研

平成22年度

	発表日	内容	タイトル等	発表者等
1	2010/6/25	プレス発表 日経産業新聞	次世代LSIに向けたSi基板上に 集積されたIII-V-OIチャンネル MOSトランジスタの開発	東京大学、産総研
2	2010/6/16	プレス発表 化学工業日報	次世代LSIに向けたSi基板上に 集積されたIII-V-OIチャンネル MOSトランジスタの開発	東京大学、産総研
3	2010/6/16	プレス発表 日刊工業新聞	トランジスタ 化合物半導体で開発 MOSFET 電子移動度5倍 半導体国際会議 VLSI技術シンポから	東京大学、産総研
4	2010/6/16	VLSI symposium (2010)ハイ ライト論文に選抜	High Mobility III-V-On-Insulator MOSFETs on Si with ALD-Al ₂ O ₃ BOX layers	東京大学、産総研
6		産総研TODAY	集積回路の性能限界を突破する 本格研究『高性能III-V族トラン ジスタをシリコンの上に形成	産総研
7	2010/12/6	日本経済新聞 (WEB)	東大と産総研など、シリコンの限界 を超えるCMOSトランジスタの 基本技術を完成	東京大学、産総研
8	2010/12/7	日刊工業新聞	東大と産総研など 3.5ナノ薄型 チャンネル	東京大学、産総研
9	2010/12/9	マイコミジャーナル (WEB)	IEDM 2010 - 産総研ら、III-V族 の高性能CMOSトランジスタ基礎 技術を開発	東京大学、産総研
10	2010/12/10	プレス発表 日経BP社ウェブページ Tech-On!	【IEDM】メタル・ソース・ドレインを 備えるIII-V族チャンネルFETを自 己整合プロセスで、東大などが実 現	東京大学、産総研
11	2010/12	化学工業日報	次々世代半導体 プロセス技術	東京大学、産総研

	/14		開発相次ぐ	研
12	2010/10	電子情報通信学会誌11月号	Siプラットフォーム上の新材料チャンネルCMOS	高木信一、竹中充
13		半導体技術年鑑2010 デバイス/プロセス編	MOSTランジスタ技術の将来 GeとIII-V族半導体を使って性能向上	高木信一

平成23年度

	発表日	内容	タイトル等	発表者等
	2011/6/12	日本経済新聞 (WEB)	産総研、次世代高性能III-V/Ge CMOSトランジスタを実現	東京大学、産総研
1	2011/6/13	プレス発表 化学工業日報	化合物/ Ge トランジスタ Si性能比200%突破期待	東京大学、産総研
2	2011/6/15	プレス発表 日刊工業新聞	電子移動度4.2倍に化合物半導体とゲルマニウム使用 次世代素子を開発	東京大学、産総研
3	2011/6/13	VLSI symposium (2011)のハイライト論文に選抜	High Performance Extremely-Thin Body III-V-On-Insulator MOSFETs on a Si Substrate with Ni-InGaAs Metal S/D and MOS Interface Buffer Engineering	東京大学、産総研
4	2011/6/20	マイコミジャーナル (WEB)	産総研ら、次世代の高性能III-V/Ge CMOSトランジスタを開発	東京大学、産総研
5	2011/6/22	つくばサイエンスニュース (WEB)	世界初、次世代高性能トランジスタを開発	東京大学、産総研
6		産総研TODAY	世界初の超微細III-V/Ge CMOSトランジスタ『高性能異種チャンネルCMOSへの新たな道筋』	産総研
7	2011/11/30	住友化学技術誌, 2011-II号	大規模集積回路と半導体材料技術の現状と将来	高木信一、竹中充、安田哲二
8	2011/12/8	プレス発表 日経 BP 社ウェブページ Tech-On!	【IEDM】III-V 族 MOSFET のブースタ技術が登場、2 軸性ひずみや界面制御の効果を東大などが実証	東京大学、産総研
9	2012/1/4	プレス発表 Semiconductor Today	InGaAs buffer/channel structure boosts effective mobility 4.2x that of silicon	東京大学、産総研

(e) 特許(国内特許)

平成 19 年度 2007

出願: 2 件

登録: 0 件

平成 20 年度 2008

出願: 2 件

登録： 0 件

平成 **21** 年度 2009

出願： 5 件

登録： 0 件

平成 **22** 年度 2010

出願： 5 件

登録： 0 件

平成 **23** 年度 2011

出願： 15 件

登録： 0 件

(国際特許)

平成 **20** 年度 2008

出願： 10 件 (PCT 出願 2 件、台湾 2 件、米国 2 件、中国 2 件、韓国 2 件)

登録： 0 件

平成 **21** 年度 2009

出願： 7 件 (PCT 出願 1 件、台湾 2 件、米国 1 件、中国 1 件、韓国 2 件)

登録： 0 件

平成 **22** 年度 2010

出願： 10 件 (PCT 出願 2 件、台湾 2 件、米国 2 件、中国 2 件、韓国 2 件)

登録： 0 件

平成 **23** 年度 2011

出願： 18 件 (PCT 出願 9 件、台湾 9 件)

登録： 0 件

③ - (3) 「シリコンウェハ中の原子空孔濃度定量評価技術の研究開発」

(a) 投稿論文

平成19年度

	発表日	発表媒体	発表タイトル	発表者
--	-----	------	--------	-----

1	2007.9	Physica B, Vols. 401-402	Observation of Vacancy in Crystalline Silicon Using Low-temperature Ultrasonic Measurements	T. Goto, H. Yamada-Kaneta, K. Sato, M. Hikin, Y. Nemoto, S. Nakamura
2	2007.9	Physica B, Vols. 401-402	Vacancies in CZ Silicon Crystals Observed by Low-temperature Ultrasonic Measurements	H. Yamada-Kaneta, T. Goto, Y. Nemoto, K. Sato, M. Hikin, Y. Saito, S. Nakamura
3	2007.11	Proc. of The Science and Technology of Silicon Materials 2007 (査読なし)	Observation of vacancy in silicon using low-temperature ultrasonic measurements	T. Goto, H. Yamada-Kaneta, M. Hikin, H. Watanabe, K. Sato, Y. Nemoto, T. Yanagisawa, S. Nakamura
4	2007.11	Proc. of The Science and Technology of Silicon Materials 2007 (査読なし)	Vacancy distribution in growth-rate-varied CZ silicon crystal observed by low-temperature ultrasonic measurements	H. Yamada-Kaneta, M.Hikin, T. Goto, Y. Nemoto, K. Sato, Y. Saito, S. Nakamura
5	2007.11	Proc. of The Science and Technology of Silicon Materials 2007 (査読なし)	Piezoelectric ZnO sputtering on crystalline silicon for low-temperature ultrasonic measurements	H. Watanabe, T. Goto, H. Yamada-Kaneta, Y. Nemoto, M. Hikin, T. Yanagisawa, S. Nakamura

平成20年度

	発表日	発表媒体	発表タイトル	発表者
1	2008. 5	J. Mater. Sci.: Mater Electron19	Vacancies in as-grown CZ silicon crystals observed by low-temperature ultrasonic measurements	Hiroshi Yamada-Kaneta, Terutaka Goto, Yuichi Nemoto, Koji Sato, Masatoshi Hikin, Yasuhiro Saito, Shintaro Nakamura
2	2008. 9	Solid State Phenomena Vols. 131-133	Vacancies in growth-rate-varied CZ silicon crystal observed by low-temperature ultrasonic measurements	H. Ymada-Kaneta, T. Goto, Y. Nemoto, K. Sato, M. Hikin, Y. Saito, S. Nakamura

平成21年度

	発表日	発表媒体	発表タイトル	発表者
1	2009	J. Phys. Conf. Series 150 (2009) 042002 1-4.	Ultrasonic Study of Vacancy in Single Crystal Silicon at Low Temperatures	<u>M. Akatsu</u> , T. Goto, H. Y-Kaneta, H. Watanabe, Y. Nemoto, K. Mitsumoto, S. Baba, Y. Nagai, S. Nakamura

平成22年度

#	発表日	発表媒体	発表タイトル	発表者
---	-----	------	--------	-----

1	2010	Solid State Phenomena	Low-temperature elastic softening due to vacancies in boron-doped FZ silicon crystals	H. Yamada-Kaneta, H. Watanabe, Y. Nagai, S. Baba, M. Akatsu, Y. Nemoto, T. Goto
---	------	-----------------------	---------------------------------------------------------------------------------------	---------------------------------------------------------------------------------

平成23年度

	発表日	発表媒体	発表タイトル	発表者
1	2011	J. Phys. Soc. Jpn. 80 (2011) 094601-8	Quadrupole Effects of Vacancy Orbital in Boron-Doped Silicon	Shotaro Baba, Terutaka Goto, Yuta Nagai, Mitsuhiro Akatsu, Hajime Watanabe, Keisuke Mitsumoto, Takafumi Ogawa, Yuichi Nemoto, and Hiroshi Yamada-Kaneta

(b) 学会発表

平成19年度

19年度

	発表日	学会名	発表タイトル	発表者
国際学会				
1	2007.7	ICDS-24 (International Conference on Defects in Semiconductors) Albuquerque, New Mexico, USA	Invited Talk "Observation of vacancy in crystalline silicon using low-temperature ultrasonic measurements "	Terutaka Goto, Hiroshi Yamada-Kaneta, Koji Sato, Masatoshi Hikin, Yuichi Nemoto, and Shintaro Nakamura
2	2007.7	ICDS-24 (International Conference on Defects in Semiconductors) , Albuquerque, New Mexico, USA	Vacancies in CZ silicon crystals observed by low-temperature ultrasonic measurements	Hiroshi Yamada-Kaneta, Terutaka Goto, Yuichi Nemoto, Koji Sato, Masatoshi Hikin, Yasuhiro Saito, and Shintaro Nakamura

	2007.10	XII GODEST (Gettering and Defect Engineering in Semiconductor Technology) ,EMFCSC, Erice, ITALY	Vacancies in growth-rate-varied CZ silicon crystal Observed by low-temperature ultrasonic measurements	H. Yamada-Kaneta, T. Goto, Y. Nemoto, K. Sato, M.Hikin, Y.Saito, and S. Nakamura
	2007.10	212th ECS Meeting (The Electrochemical Society) Washington, DC	Novel Ultrasonic Tool for Vacancy Observation in Crystalline Silicon - T	Goto, H. Yamada-Kaneta, K. Sato, M. Hikin, Y. Nemoto and S.Nakamura
国内学会				
1	2007.9	秋季 第68回応用物理学会学術講演会 9月4日～9月8日 北海道工業大学	シリコン原子空孔の電子軌道と電気四極子	後藤輝孝, 金田 寛, 昆金正敏, 根本祐一, 中村慎太郎
2	2007.9	秋季 第68回応用物理学会学術講演会 9月4日～9月8日 北海道工業大学	超音波測定法によるCZ-Si結晶中の原子空孔濃度分布評価	昆金正敏, 後藤輝孝, 金田 寛, 根本祐一, 渡邊 肇, 柳澤達也, 中村慎太郎
3	2007.9	日本物理学会 第62回 年次大会 9月21日～9月24日 北海道大学札幌キャンパス	シリコン原子空孔の電子軌道と電気四極子	後藤輝孝, 金田寛, 昆金正敏, 根本祐一, 渡辺肇, 柳沢達也, 中村慎太郎
4	2007.9	日本物理学会 第62回 年次大会 9月21日～9月24日 北海道大学札幌キャンパス	低温超音波計測による商業ベースデバイス用シリコン結晶の原子空孔濃度分布測定	金田寛, 後藤輝孝, 昆金正敏, 根本祐一, 中村慎太郎
5	2007.9	日本物理学会 第62回 年次大会 9月21日～9月24日 北海道大学札幌キャンパス	超音波計測によるCZシリコン中の原子空孔濃度分布の研究	昆金正敏, 後藤輝孝, 金田寛, 根本祐一, 渡邊肇, 柳澤達也, 中村慎太郎
6	2008.3	春季 第55回応用物理学関係連合講演会 3月27日～3月30日 日本大学理工学部 船橋キャンパス	低温弾性ソフト化から観たシリコン原子空孔に与える高温アニールの影響: Ar, O ₂ , N ₂ , H ₂ 雰囲気	金田 寛, 渡辺 肇, 後藤輝孝, 根本 祐一, 昆金正敏, 柳澤 達也, 中村 慎太郎
7	2008.3	春季 第55回応用物理学関係連合講演会 3月27日～3月30日 日本大学理工学部 船橋キャンパス	低温超音波計測による酸化熱処理FZシリコン結晶の原子空孔観測	渡邊肇, 後藤輝孝, 金田寛, 根本祐一, 昆金正敏, 柳澤達也, 中村慎太郎

平成20年度

	発表日	学会名	発表タイトル	発表者
国際学会				

1	2008.5	The E-MRS 2008 Spring Meeting (European Materials Research Society) Strasbourg (France)	Invited Talk "Low-temperature properties of vacancy in crystalline silicon"	T. Gotoa,b, H. Yamada-Kaneta, M. Hikina, H. Watanabea, Y. Nemoto, T. Yanagisawa, and S. Nakamura
2	2008.5	The E-MRS 2008 Spring Meeting (European Materials Research Society) Strasbourg (France)	Low-temperature ultrasonic measurements of vacancies in FZ silicon crystals annealed in Ar-, O2-, N2-, and H2-ambient	Hiroshi Yamada-Kaneta, Masatoshi Hikin, Hajime Watanabe, Terutaka Goto, Yuichi Nemoto, Tatsuya Yanagisawa, Shintaro Nakamura
3	2008.8	LT25(The 25th International Conference on Low Temperature Physics)Amsterdam(Holland)	Ultrasonic Study of Vacancy in Single Crystal Silicon at Low Temperatures	M. Akatsua, T. Gotoa, H. Y-Kaneta, H. Watanabea, Y. Nemotoa, K. Mitsumotoa, S. Babaa, Y. Nagaia, and S. Nakamura
4	2008.10	Japanese Participants of the 10th German-Japanese Symposium, Schloss Ringberg	Quadrupole effects of vacancy orbital in crystalline silicon	T.Goto
5	2008.11	The 5th International Symposium on Advanced Science and Technology of Silicon Material, Keauhou Beach Resort, Kona, Hawaii	Single Vacancies in Silicon Crystal Observed by Low-Temperature Ultrasonic Measurements	H.Yamada-Kaneta
国内学会				
1	2008.9	日本物理学会 秋季大会 9月20日～9月23日 岩手大学上田キャンパス	超音波計測によるデバイス用シリコン結晶中の原子空孔観測	渡邊肇, 赤津光洋, 三本啓輔, 永井勇太, 馬場正太郎, 金田寛, 後藤輝孝, 根本祐一, 石井勲, 中村慎太郎
2	2008.9	日本物理学会 秋季大会 9月20日～9月23日 岩手大学上田キャンパス	シリコン単原子空孔の基底状態の再検討	小川貴史, 鶴田健二 ^A , 家富洋, 後藤輝孝, 金田寛
3	2008.9	日本物理学会 秋季大会 9月20日～9月23日 岩手大学上田キャンパス	領域10シンポジウム:シリコン結晶中の単原子空孔:量子状態解明の新たな展開と半導体技術イノベーション「低温超音波計測によるシリコン原子空孔の物性研究と産業応用」	後藤輝孝

4	2009.3	日本物理学会 第64回 年次大会 3月27日～30日立教学 院池袋キャンパス	BドーパFZシリコンの磁場中 超音波計測	渡邊肇, 赤津光洋, 三本 啓輔, 永井勇太, 馬場正 太郎, 金田寛, 後藤輝 孝, 根本祐一, 石井勲, 中村慎太郎
5	2009.3	日本物理学会 第64回 年次大会 3月27日～30日立教学 院池袋キャンパス	シリコン結晶中原子空孔の歪 み場・弾性特性の解析: 古典 及び半経験的タイトバインディ ング分子動力学	小川貴史, 鶴田健二, 家 富洋, 後藤輝孝, 金田寛

平成21年度

	発表日	学会名	発表タイトル	発表者
国際学会				
1	2009.7	International Conference on Magnetism 2009 Karlsruhe, Germany	Quadrupole Effects of Vacancy Orbital in Boron-Doped Silicon	Terutaka Goto, Mitsuhiro Akatsu, Hajime Watanabe, Yuta Nagai, Shotaro Baba, Yuichi Nemoto, Hiroshi Yamada-Kaneta, Isao Ishii, Takafumi Ogawa, Keisuke Mitsumoto
2	.. ~	第19回日本MRS学術シン ポジウム	分子動力学法によるシリコン原 子空孔周囲の歪場解析	小川貴史, 鶴田健二, 家富 洋, 金田寛, 後藤輝孝
3	2009. 9. 25 ~28	日本物理学会秋季大会	シリコン中の局在欠陥軌道の第 一原理的評価と弾性定数ソフト 化	小川貴史, 鶴田健二 ^A , 家 富洋, 後藤輝孝, 金田寛
4	2009. 9. 25 ~28	日本物理学会秋季大会	B-doped FZ Siの原子空孔軌 道の四極子効果	永井勇太, 馬場正太郎, 赤 津光洋, 小松悟, 渡邊肇, 三本啓輔, 小川貴史, 根本 祐一, 中村慎太郎 ² , 金田 寛 ¹ , 後藤輝孝
5	2009. 9. 25 ~28	日本物理学会秋季大会	ボロン添加FZシリコンの弾性定 数の磁気異方性	馬場正太郎, 永井勇太, 赤 津光洋, 小松悟, 渡邊肇, 三本啓輔, 小川貴史, 根本 祐一, 中村慎太郎 ^A , 金田 寛 ^B , 後藤輝孝
6	2009. 9. 8~ 9. 11	第70回応用物理学会学術 講演会	超音波によるB添加FZシリコンの 原子空孔の電荷状態の研究	永井勇太, 馬場正太郎, 赤 津光洋, 小松悟, 渡邊肇, 三本啓輔, 小川貴史, 根 本祐一, 金田寛, 後藤輝孝
7	July 20-24, 2009	25 th International Conference on Defects in	Characteristic aspects of elastic softening due to vacancies in	H.Yamada-Kaneta,H.Watan abe, Y. Nagai, S. Baba, M.

		Semiconductors	boron-doped FZ silicon observed by low temperature ultrasonic measurements	Akatsu, Y. Nemoto, T. Goto
8	July 29, 2009	The International Conference on Magnetism – ICM2009	Quadrupole Effects of Vacancy Orbital in Boron-Doped Silicon	T.Goto, M. Akatsu, H. Watanabe, Y. Nagai, S. Baba, Y. Nemoto, H. Yamada-Kaneta, I. Ishii, T. Ogawa, K. Mitsumoto
10	Sep. 15, 2009	13th International Conference on Defects Recognition, Imaging and Physics in Semiconductors (DRIP XIII)	Characteristic Aspects of Low-Temperature Elastic Softening Due to Vacancies in Boron-Doped FZ Silicon Crystals	H. Yamada-Kaneta, H. Watanabe, Y. Nagai, S. Baba, M. Akatsu, Y. Nemoto, T. Goto
11	Nov. 30 -Dec. 4, 2009	Material research society 2009 fall meeting	Density-Functional Analysis on Vacancy Orbital and its Elastic Response of Silicon	T. Ogawa, K. Tsuruta, H. Iyetomi, H. Y Kaneta, and T. Goto

平成 22 年度

	発表日	学会名	発表タイトル	発表者
1	2010. 3. 20 ~23	日本物理学会第65回年次大会	ボロン添加FZシリコンの原子空孔軌道の四極子効果II	永井勇太, 馬場正太郎, 赤津光洋, 小松悟, 三本啓輔, 小川貴史, 根本祐一, 金田寛 ^A , 後藤輝孝
2	2010. 3. 17 ~20	第57回応用物理学関係連合講演会	超音波計測を用いたボロン添加FZシリコンの原子空孔観測	馬場 正太郎, 永井 勇太, 赤津 光洋, 小松 悟, 三本啓輔, 根本 祐一, 金田 寛, 後藤 輝孝 ¹

(c) 表彰等

平成19年度

	発表日	内容	タイトル等	受賞者等
1	2008.10	日報文化賞受賞 新潟日報	純粋なシリコン結晶中に存在する原子空孔を世界初観測。高品質化で産業界と連携	後藤 輝孝

(d) その他特記事項

平成19年度

	発表日	内容	タイトル等	発表者等
1	2007.11	国際会議主催	シリコン材料の科学と技術フォーラム2007	シリコン材料の科学と技術フォーラム実行委員会 委員長:新潟大学 金田 寛

平成20年度

	発表日	内容	タイトル等	発表者等
1	2008.12	国内研究会主催	パワーデバイス用シリコンおよび 関連半導体に関する研究会	金田寛、後藤輝 孝、鹿島一日兒 他

平成21年度

	発表日	内容	タイトル等	発表者等
1	2009.3.16	取材協力 化学工業日報	シリコンウエハー極限微細領域 で覇権 原子空孔濃度測定 上 「新潟大が技術・装置開発 経 産・文科省, 実用化後押し」	後藤輝孝、金田寛
2	2009.3.17	取材協力 化学工業日報	シリコンウエハー極限微細領域 で覇権 原子空孔濃度	後藤輝孝、金田寛

(e) 特許(国内特許)

(国内特許)(PCT含む)

平成19年度

出願: 2件

登録: 0件

平成20年度

出願: 0件

登録: 0件

平成21年度

出願: 1件

登録: 0件

平成22年度

出願: 1件

登録: 0件

平成23年度

出願: 0件

登録: 0件

(国際特許)

平成19年度

出願: 3件

登録: 0件

平成20年度

出願: 0件

登録: 0件

平成 21 年度

出願: 0件

登録: 0件

平成 22 年度

出願: 1件

登録: 0件

平成 23 年度

出願: 0件

登録: 3件

ITイノベーションプログラム基本計画

1. 目的

我が国が目指す高度情報通信ネットワーク社会の構築に向け、経済成長戦略大綱、IT新改革戦略、科学技術基本計画及び技術戦略マップ等に基づき、情報化の進展に伴うエネルギー消費量の増大等の課題にも考慮しつつ、その基盤となる情報通信機器・デバイス等の情報通信技術を開発し、実社会への利用を促進する。また、情報システム・ソフトウェアについて品質、信頼性及び生産性の向上を推進し、組込みソフトウェア産業強化、オープンソースソフトウェアを安心して活用するための環境整備、独創的な人材の発掘等、我が国産業競争力強化のための必要な基盤整備を実施することによって、ITの利活用の深化・拡大を図り、より豊かな国民生活を実現するとともに、我が国の経済活力の向上を図ることを目的とする。

2. 政策的位置付け

「経済成長戦略大綱」(2006年7月財政・経済一体改革会議、2007年6月改訂・経済財政諮問会議報告、2008年6月改訂・経済財政諮問会議報告)

IT革新による競争力強化、IT革新を支える産業・基盤の強化に必要な研究開発の推進に対応

「第3期科学技術基本計画」(2006年3月閣議決定)国家的・社会的課題に対応した研究開発の重点推進4分野である情報通信分野、分野別推進戦略(2006年3月総合科学技術会議)における重点分野である情報通信分野に位置づけられるもの。

「IT新改革戦略」(2006年1月高度情報通信ネットワーク社会推進戦略本部)次世代のIT社会の基礎となる研究開発の推進等に対応。「ITによる地域活性化等緊急プログラム」(2008年2月)、「IT政策ロードマップ」(2008年6月)、「重点計画 - 2008」(2008年8月)等を策定。

3. 達成目標

(1) 情報経済社会を形成する上で必要不可欠な基盤技術である情報通信機器・デバイス等に関しては、「革新的な技術の確立」と「その開発成果の普及促進」を図る。

【目標】

・情報通信機器・デバイス産業の付加価値額を、2020年度において、2008年度比で、約50%増加させる。

・半導体の微細化に係る革新的基盤技術の開発(テクノロジーノード45nm以下)

・革新的な大型ディスプレイ技術の開発(消費電力を現状機器と比較して約50%以下)

・革新的なネットワーク機器技術の開発(消費電力を現状機器と比較して60%以下)

(2) 経済社会システムの信頼性確保に大きく寄与する情報システム・ソフトウェアに関しては、品質、信頼性及び生産性の向上や産学官の開発リソースの連携強化により、「人材育成」と「ソフトウェア工学の開発」等を積極的に推進する。

【目標】

- ・情報サービス・ソフトウェア産業の付加価値額を、2015年度において、2004年度比で、約25%増加させる。
- ・組み込みシステム等の不具合発生率(2011年度までに2006年度比50%減)

4. 研究開発内容

[プロジェクト]

・ITコア技術の革新

[i]世界最先端デバイスの先導開発

(中略)

(5)ナノエレクトロニクス半導体新材料・新構造技術開発 - うち新材料・新構造ナノ電子デバイス(運営費交付金)(再掲)

概要

従来の半導体は、性能の向上(高速化、低消費電力化、高集積化)を確保するために微細化が進められてきたが、絶縁性、誘電率等の物理的限界、微細化に伴う製造コストの増大など、集積度向上によるメリットが十分達成されなくなっている。

本研究開発では、シリコンで培った微細化技術やデバイス原理を活用しながら、シリコン材料の物理的限界を突破するための“新材料”および“新(デバイス)構造”の開発を行い、次世代の電子デバイス技術を確立する。

技術目標及び達成時期

2011年度までに、産業界が10年後を見据えた将来の電子デバイスを開発する際に、産業技術として活用できるかどうかの実現可能性を見極め、また技術シーズを確立する。

研究開発期間

2007年度～2011年度

(中略)

6. 研究開発の実施に当たっての留意事項

事業の全部又は一部について独立行政法人の運営費交付金により実施されるもの(事業名に(運営費交付金)と記載したものは、中期目標、中期計画等に基づき、運営費交付金の総額の範囲内で、当該独立行政法人の裁量によって実施されるものである。

7. 改訂履歴

- (1)平成12年12月28日付け、情報通信基盤高度化プログラム基本計画を制定。
- (2)平成14年2月28日付け、情報通信基盤高度化プログラム基本計画及び次世代半導体デバイスプロセス等基盤技術プログラム基本計画を制定。情報通信基盤高度化プログラム基本計画(平成12・12・27工総第12号)は廃止。
- (3)平成15年1月31日付け、情報通信基盤高度化プログラム基本計画及び次世代半導体デ

バイスプロセス等基盤技術プログラム基本計画を制定。情報通信基盤高度化プログラム基本計画(平成14・02・25産局第17号)及び次世代半導体デバイスプロセス等基盤技術プログラム基本計画(平成14・02・25産局第18号)は、廃止。

(4) 平成15年3月10日付け、情報通信基盤高度化プログラム基本計画、次世代半導体デバイスプロセス等基盤技術プログラム基本計画、次世代ディスプレイ技術開発プログラム基本計画及び情報通信基盤ソフトウェア開発推進プログラム基本計画を制定。情報通信基盤高度化プログラム基本計画(平成15・01・29産局第1号)及び次世代半導体デバイスプロセス等基盤技術プログラム基本計画(平成15・01・29産局第2号)は、廃止。

なお、情報通信機器高度化プログラム基本計画(平成15・01・29産局第1号)及び次世代半導体デバイスプロセス等基盤技術プログラム基本計画(平成15・01・29産局第2号)の一部は、次世代ディスプレイ技術開発プログラム基本計画及び情報通信基盤ソフトウェア開発推進プログラム基本計画へ移行。

(5) 平成16年2月3日付け、高度情報通信機器・デバイス基盤プログラム基本計画及び情報通信基盤ソフトウェア開発推進プログラム基本計画を制定。情報通信機器高度化プログラム基本計画(平成15・03・07産局第14号)、次世代半導体デバイスプロセス等基盤技術プログラム基本計画(平成15・03・07産局第7号)、次世代ディスプレイ技術開発プログラム基本計画(平成15・03・07産局第4号)は、高度情報通信機器・デバイス基盤プログラム基本計画に統合することとし、廃止。また、情報通信基盤ソフトウェア開発推進プログラム基本計画(平成15・03・07産局第14号)は、廃止。

(6) 平成17年3月25日付け、高度情報通信機器・デバイス基盤プログラム基本計画を制定。高度情報通信機器・デバイス基盤プログラム基本計画(平成16・02・03産局第1号)は廃止。また、平成17年3月31日付け、情報通信基盤ソフトウェア開発推進プログラム基本計画を制定。情報通信基盤ソフトウェア開発推進プログラム基本計画(平成16・02・03産局第2号)は廃止。

(7) 平成18年3月31日付け、高度情報通信機器・デバイス基盤プログラム基本計画及び情報通信基盤ソフトウェア開発推進プログラム基本計画を制定。高度情報通信機器・デバイス基盤プログラム基本計画(平成17・03・25産局第7号)及び情報通信基盤ソフトウェア開発推進プログラム基本計画(平成17・03・25産局第6号)は廃止。

(8) 平成19年4月2日付け、高度情報通信機器・デバイス基盤プログラム基本計画及び情報通信基盤ソフトウェア開発推進プログラム基本計画を制定。高度情報通信機器・デバイス基盤プログラム基本計画(平成18・03・31産局第4号)及び情報通信基盤ソフトウェア開発推進プログラム基本計画(平成18・03・31産局第5号)は廃止。

(9) 平成20年4月1日付け、ITイノベーションプログラム基本計画を制定。情報通信機器高度化・デバイス基盤プログラム基本計画(平成19・03・12産局第7号)及び情報通信基盤ソフトウェア開発推進プログラム基本計画(平成19・03・12産局第8号)は、本プログラム基本計画に統合することとし、廃止。

(9) 平成21年4月1日付け、ITイノベーションプログラム基本計画を制定。ITイノベーションプログラム基本計画(平成20・03・27産局第1号)は、廃止。

ナノテク・部材イノベーションプログラム基本計画

1. 目的

このプログラムは、情報通信、ライフサイエンス、環境、エネルギーなど、あらゆる分野に対して高度化あるいは不連続な革新(ジャンプアップ)をもたらすナノテクノロジー及び革新的部材技術を確立するとともに、その実用化や市場化を促進することで、我が国産業の国際競争力の維持・強化や解決困難な社会的課題の克服等を可能とすることを目的とする。

2. 政策的位置付け

第3期科学技術基本計画(2006年3月閣議決定)

・「ナノテクノロジー・材料分野」は、特に重点的に研究開発を推進すべき分野(重点推進4分野)の一つに指定、優先的に資源配分することとされている。

・我が国の材料技術は、基礎研究から応用研究、素材、部材の実用化に至るまでの全ての段階において世界のトップレベルを堅持しており、我が国製造業の国際競争力の源泉となっている。

「イノベーション25」(2007年6月閣議決定)

・「ナノテクノロジー・材料分野」は、中長期的に取り組むべき課題として、「1.生涯健康な社会形成」、「2.安全・安心な社会形成」、「4.世界的課題解決に貢献する社会形成」、及び「5.世界に開かれた社会形成」の分野に位置付けられている。

・所要の措置を講じていくことが必要である事項として以下の点が指摘されている。

・学際領域・融合領域における教育等人材育成、拠点形成

・社会受容を促すための積極的な取り組み

・知的財産確保のための戦略的な取り組み

「経済成長戦略大綱」(2006年7月財政・経済一体改革会議)

・「我が国の国際競争力の強化」の取り組みとして、高度な部品・材料産業やモノ作り中小企業の強化が掲げられている。

・「技術戦略マップ」の活用等により、ユーザー企業との垂直連携による研究開発を推進することを通して、我が国経済発展の基盤である高品質、高性能な部品・材料産業の強化を図ることが今後の取組として記載されている。

「新産業創造戦略2005」(2005年6月経済産業省)

・部材分野は、新産業群の創出を支える共通基盤技術として位置づけられている。

・「高度部材・基盤産業」の集積を形成していることが、「ものづくり」に不可欠な基盤技術のネットワーク化を通じた現場レベルでの迅速かつ高度な摺り合わせを可能としており、我が国「ものづくり」の強みの源泉となっていると記載されている。

3. 達成目標

・世界に先駆けて、ナノテクノロジーを活用した不連続な技術革新を実現する。

・我が国部材産業の強みを更に強化することで、他国の追従を許さない競争優位を確保するとともに部材産業の付加価値の増大を図る。

・ナノテクノロジーや高機能部材の革新を先導することで、これら部材を活用した情報通信、ライフサイエンス、環境、エネルギーなどの幅広い産業の付加価値の増大を図る。

・希少金属などの資源制約の打破、圧倒的な省エネルギー社会の実現など、解決困難な社会的課題の克服を目指す。

4. 研究開発内容

[プロジェクト]

・ナノテクノロジーの加速化領域

ナノテクノロジーを活用した不連続な技術革新を加速・促進する。

(中略)

・情報通信領域

ナノテクノロジーや革新的部材開発技術を駆使して既存技術の微細化の壁を突破し、電子デバイス・光デバイスで世界をリードするとともに、高度化された製造技術の開発を行う。

(1) ナノエレクトロニクス半導体新材料・新構造技術開発 - うち新材料・新構造ナノ電子デバイス (運営費交付金)

概要

従来の半導体は、性能の向上(高速化、低消費電力化、高集積化)を確保するために微細化が進められてきたが、絶縁性、誘電率等の物理的限界、微細化に伴う製造コストの増大など、集積度向上によるメリットが十分達成されなくなっている。

本研究開発では、シリコンで培った微細化技術やデバイス原理を活用しながら、シリコン材料の物理的限界を突破するための“新材料”および“新(デバイス)構造”の開発を行い、次世代の電子デバイス技術を確立する。

技術目標及び達成時期

2011年度までに、産業界が10年後を見据えた将来の電子デバイスを開発する際に、産業技術として活用できるかどうかの実現可能性を見極め、また技術シーズを確立する。

研究開発期間

2007年度～2011年度

(中略)

6. 研究開発の実施に当たっての留意事項

事業の全部又は一部について独立行政法人の運営費交付金により実施されるもの(事業に(運営費交付金)と記載したものは、中期目標、中期計画等に基づき、運営費交付金の総額の範囲内で、当該独立行政法人の裁量によって実施されるものである。

7. 改訂履歴

(1) 平成12年12月28日付け制定。

(2) 平成14年2月28日付け制定。材料ナノテクノロジープログラム基本計画(平成12・12・27工総第16号)は、廃止。

(3) 平成15年3月10日付け制定。ナノテクノロジープログラム基本計画(平成14・02・25産局第8号)は、廃止。

(4) 平成16年2月3日付け制定。ナノテクノロジープログラム基本計画(平成15・03・07産局第1号)は、廃止。

- (5)平成17年3月31日付け制定。ナノテクノロジープログラム基本計画(平成16・02・03産局第7号)は、廃止。
- (6)平成18年3月31日付け制定。ナノテクノロジープログラム基本計画(平成17・03・25産局第4号)は、廃止。
- (7)平成19年4月2日付け制定。ナノテクノロジープログラム基本計画(平成18・03・31産局第13号)は、廃止。
- (8)平成14年2月28日付け制定。
- (9)平成15年3月10日付け制定。革新的部材産業創出プログラム基本計画(平成14・02・25産局第9号)は、廃止。
- (10)平成16年3月7日付け制定。革新的部材産業創出プログラム基本計画(平成15・03・07産局第5号)は、廃止。
- (11)平成17年3月31日付け制定。革新的部材産業創出プログラム基本計画(平成16・03・07産局第5号)は、廃止。
- (12)平成18年3月31日付け制定。革新的部材産業創出プログラム基本計画(平成17・03・25産局第3号)は、廃止。
- (13)平成19年4月2日付け制定。革新的部材産業創出プログラム基本計画(平成18・03・31産局第14号)は、廃止。
- (14)平成20年4月1日付け、ナノテク・部材イノベーションプログラム基本計画制定。ナノテクノロジープログラム基本計画(平成19・03・20産局第1号)および革新的部材プログラム基本計画(平成19・03・19産局第4号)は、本イノベーションプログラム基本計画に統合することとし、廃止。
- (15)平成21年4月1日付け制定。ナノテク・部材イノベーションプログラム基本計画(平成20・03・24産局第1号)は、廃止。

(ITイノベーションプログラム・ナノテク・部材イノベーションプログラム)
「ナノエレクトロニクス半導体新材料・新構造ナノ電子デバイス技術開発」基本計画

1. 研究開発の目的・目標・内容

(1) 研究開発の目的

情報技術がめざましく発展している今日の社会では、情報・知識を、時間や場所の制約を受けず誰もが自由自在かつ安全に活用できる情報通信環境の実現が望まれている。また、平成20年9月に改訂された経済成長戦略大綱において、我が国の国際競争力強化のために注力すべき分野として、情報家電、ロボットなどが挙げられている。このような応用システムの基幹となる半導体集積回路(LSI)には、一層の高機能化、低消費電力化が求められている。

半導体技術がこれまでに機能、消費電力、集積度、コストにおける急速な進歩を達成してきたのは、集積回路を製造するときに使用される最小寸法を年々指数関数的に縮小する微細化技術の向上によるもので、今後も引き続き微細化技術開発を通じて、集積回路の機能あたりコストがさらに低減されIT技術のさらなる発展と経済における生産性と社会全体における生活の質の大きな改善をもたらすことが期待されている。また、ITRS及び技術戦略マップに示されている通り、LSIの性能向上には、単なる微細化のみならず、新材料、新プロセス、新構造など革新的技術の導入が不可欠で、その必要性は微細化の進展とともにますます大きくなる。すなわち、微細化によって得られてきたメリットをこれまで以上に享受しながらITを根底から支える半導体技術をさらに発展させていくために、2020年頃以後のLSIに求められる新材料、新構造、新プロセス技術の開発を実現する大学の技術シーズを発掘育成し、それらを将来の産業技術につなげていくための橋渡しを進める取り組みが必要である。

ナノエレクトロニクスは、ナノテクノロジーの最大の応用領域の一つである。一方、デジタルデバイスのCMOS構造というアーキテクチャは極めて優れているため、これが維持できる限りこれを維持することが望ましく、そうすることによりこれまで半導体の発展を支えてきた「微細化」というドライバを引き続き活用することができる。したがって次世代のLSI技術開発で取るべき方向は、「シリコンで培った微細化技術やデバイス原理をこれまで同様に活用しながら、シリコンという材料の物理的特性を十分に踏まえた上で、様々な要因に基づいて出現するデバイス性能の技術的な飽和を突破するための”新材料”、”新プロセス”、”新構造”を実現すること」である。

そこで本研究開発は、次世代の電子デバイスのために「シリコンで培った微細化技術やデバイス原理をこれまで同様に活用しながら、シリコンという材料の物理的限界を突破するための”新材料”、”新プロセス”、”新構造”を実現する」半導体技術を、ナノテクノロジーを最大限に活用することによって創生し、将来の産業応用への芽を見出すことを目的として、ITイノベーションプログラム及びナノテク・部材イノベーションプログラムの一環として実施する。

(2) 研究開発の目標

最終目標(平成23年度)

産業界が10年後を見据えた将来の集積回路システムとして展開できる電子デバイスを開発する際に産業技

術として活用できるかどうかの実現可能性を見極めることができる技術シーズを確立する。技術開発項目毎に定める最終目標と中間目標については、別紙の通り。

(3) 研究開発の内容

上記目標を達成するために、シリコンで培った微細化技術やデバイス原理をこれまで同様に活用しながら、シリコンという材料やプレーナCMOS構造の物理的特性を十分に踏まえた上で、様々な要因に基づいて出現するデバイス性能の技術的な飽和を突破し、集積回路システムとして用いることを前提として以下の”新材料”技術や”新(デバイス)構造”に関する研究開発を行う。

[委託事業]

シリコンナノワイヤ技術

シリコン CMOS の微細化が進み、チャンネルがワイヤ構造になり、その長さや断面寸法が10ナノメートル級になった際に顕在化する物理現象を積極的に取り込んだ高性能デバイス技術を開発する。具体的には、シリコンナノワイヤの加工技術、物理計測技術、電気特性計測技術、シミュレーション技術、統合設計技術を開発し、先端シリコンプロセスラインを用いたデバイス検証を行う。

- ・シリコンナノワイヤトランジスタの知識統合
- ・ナノワイヤFETの開発
- ・シリコンナノワイヤトランジスタの物性探究と集積化

次世代メモリ技術

新構造および新材料により既存メモリを代替する技術を開発する。具体的には、マルチゲート型立体構造トランジスタを用いた低消費電力SRAM技術、低消費電力・高速動作新型相変化メモリ技術、ナノギャップ不揮発メモリ技術の開発を行う。

- ・新構造FinFETによるSRAM技術の開発
- ・次世代相変化メモリ技術の開発
- ・ナノギャップ不揮発メモリ技術の開発

新材料技術

新チャンネル材料技術及び新材料評価技術を開発する。具体的には、化合物半導体チャンネルデバイス技術、カーボンナノチューブデバイス技術、シリコン中の原子空孔評価技術の開発を行う。

- ・カーボンナノチューブトランジスタ技術の開発
- ・シリコンプラットフォーム上 - 族半導体チャンネルトランジスタ技術の開発
- ・シリコンウェハ中の原子空孔濃度定量評価技術の開発

2. 研究開発の実施方式

(1) 研究開発の実施体制

本研究開発は、経済産業省により、企業、民間研究機関、独立行政法人、大学等(委託先から再委託された

研究開発実施者を含む)から公募によって研究開発実施者が選定され、共同研究契約等を締結する研究体を構築され、平成19年度より委託により実施している。平成21年度より、独立行政法人新エネルギー・産業技術総合開発機構(以下「NEDO技術開発機構」という。)が本研究開発を運営・管理するに当たっては、平成20年度までの進捗状況を踏まえた研究開発内容・計画及び実施体制の妥当性について、外部有識者による審議を含めた評価を行った上で最適な研究開発体制を構築し、委託して実施する。

共同研究開発に参加する各研究開発グループの有する研究開発ポテンシャルの最大限の活用により効率的な研究開発の推進を図る観点から、研究体にはNEDO技術開発機構が委託先決定後に委嘱する産業界を中心とするアドバイザー委員会を置き推進に関する意見を運営管理に反映させて効果的に研究開発を実施する。

(2) 研究開発の運営管理

研究開発全体の管理・執行に責任を有するNEDO技術開発機構は、経済産業省及び研究開発実施者と密接な関係を維持しつつ、プログラムの目的及び目標、並びに本研究開発の目的及び目標に照らして適切な運営管理を実施する。具体的には、必要に応じて開催するアドバイザー委員会の意見を運営管理に反映させる他、年に4回程度プロジェクトの進捗について報告を受けること等を行う。

3. 研究開発の実施期間

本研究開発の期間は、平成21年度から平成23年度までの3年間とする。本研究開発は、平成19年度から平成20年度までの2年間に経済産業省が実施した「ナノエレクトロニクス半導体新材料・新構造技術開発 - うち新材料・新構造ナノ電子デバイス」について、平成21年度より、NEDO技術開発機構の事業として実施する。

4. 評価に関する事項

NEDO技術開発機構は、技術的及び政策的観点から、研究開発の意義、目標達成度、成果の技術的意義並びに将来の産業への波及効果等について、外部有識者による研究開発の中間評価を平成21年度、事後評価を平成24年度に実施する。また、中間評価結果を踏まえ必要に応じプロジェクトの加速・縮小・中止等見直しを迅速に行う。なお、評価の時期については、当該研究開発に係る技術動向、政策動向や当該研究開発の進捗状況等に応じて、前倒しする等、適宜見直すものとする。

5. その他の重要事項

(1) 研究開発成果の取扱い

成果の普及

得られた研究成果については、NEDO技術開発機構、実施者とも普及に努めるものとする。

知的財産権の帰属

委託研究開発の成果に関わる知的財産権については、「独立行政法人新エネルギー・産業技術総合開発機構新エネルギー・産業技術業務方法書」第25条の規定等に基づき、原則として、すべて委託先に帰属させ

ることとする。

(2)基本計画の変更

NEDO技術開発機構は、研究開発内容の妥当性を確保するため、社会・経済的状況、国内外の研究開発動向、政策動向、プログラム基本計画の変更、評価結果、研究開発費の確保状況、当該研究開発の進捗状況等を総合的に勘案し、達成目標、実施期間、研究開発体制等、基本計画の見直しを弾力的に行うものとする。

(3)根拠法

本プロジェクトは、独立行政法人新エネルギー・産業技術総合開発機構法第15条第1項第2号に基づき実施する。

6. 基本計画の改定履歴

平成21年3月、制定。

研究開発項目 - (1): シリコンナノワイヤトランジスタの知識統合研究開発

1. 研究開発の必要性

シングルナノ領域、即ちゲート長がサブ10nmの領域に到達すると、ゲートのチャネルに対する制御能力を最大化するために、直径がnmレベルのナノワイヤ構造をチャネルに採用することが必須になる。この領域では、量子効果が顕在化し、その利点を活かして高い性能を実現することが期待できる一方、原子レベルの構造揺らぎもデバイス特性に顕著な影響を与え、特性バラツキが今以上に深刻な課題になることが懸念される。

このため、量子効果が顕在化する特性寸法が10nm以下のナノワイヤトランジスタを対象に、高精度なデバイス試作と電気的特性評価、物理計測評価解析、デバイスシミュレーションを含む計算科学的解析を、総合的に行う。これによって、CMOSの将来形としてのナノワイヤトランジスタの特性を予測し、構造・材料・プロセスの設計を行うための基盤的知識体系を、科学的な裏付けを持って構築することを目的とする研究開発を行う。

2. 研究開発の具体的内容

(1) シリコンナノワイヤトランジスタの作製技術および特性解析に関する研究開発

ナノワイヤトランジスタを試作し、構造と特性を解析して両者の関係を定量的に把握する。シングルナノ領域でデバイス本来の特性を観測するためには、原子レベルで整ったデバイス構造を作製できることが、必要条件である。このため、ナノワイヤチャネル、高誘電率ゲートスタック及びメタルソース・ドレインの作製プロセスを開発し、電気的特性評価と物理計測評価解析を行う。

(2) ナノワイヤトランジスタの精密計測評価技術の研究開発

ナノワイヤトランジスタの動作特性は、形状や物性の変化に極めて敏感であると予想されるので、特性解析のためには原子レベル精度で3次元的に形状や物性を計測評価できる技術が必須である。この要求に応え、形状やポテンシャル分布を3次元に計測できる走査プローブ技術を開発する。さらにX線の散乱・回折を用い、基板表面上に形成した多数のナノワイヤデバイス構造の形状や内部構造を精密に評価する技術を開発する。

(3) ナノワイヤトランジスタのシミュレーション技術の研究開発

量子効果が顕在化するナノワイヤトランジスタを対象に、原子スケールの構造安定性、不純物分布、ポテンシャル分布、界面構造、電気特性を予測・解析できるシミュレーション技術を開発する。また、キャリア輸送に対する量子効果及びチャネル内やソース・ドレイン領域でのキャリア散乱をできるだけ正確に導入したナノデバイス・シミュレータを構築する。

3. 達成目標

中間目標として、平成21年度末までに以下の目標を達成する。

(1) シリコンナノワイヤトランジスタの作製技術および特性解析に関する研究開発

直径10nm級のシリコンナノワイヤ形成技術及び高誘電率ゲート絶縁膜の堆積技術とメタルソース・ドレイン形成技術を確立し、シリコンナノワイヤトランジスタの試作を行って電気特性を評価する。

(2) ナノワイヤトランジスタの精密計測評価技術の研究開発

・ナノワイヤを計測するための走査プローブ技術を開発し、原子間力顕微鏡による高アスペクト3次元形状の可視化と、孤立ナノワイヤの走査トンネル顕微鏡による計測を実現する。また、ライン&スペースパターンを基本とする擬似ナノワイヤデバイス構造に対して、X線散乱・回折法を用いて形状や内部構造の解析を行う。

(3) ナノワイヤトランジスタのシミュレーション技術の研究開発

・ナノワイヤトランジスタの構造安定性、界面構造、不純物分布、ポテンシャル分布、電気特性を解析する、要素シミュレーション技術を開発する。

・ナノワイヤトランジスタの特性評価を行うために、チャンネル領域での量子閉じ込め効果を取り入れた自己無撞着量子モンテカルロ・デバイスシミュレータを開発する。

最終目標として、平成23年度末までに以下の目標を達成する。

(1) シリコンナノワイヤトランジスタの作製技術および特性解析に関する研究開発

・表面が原子レベルで平滑な直径10nm以下のシリコンナノワイヤ形成技術、原子レベルで平坦な界面を有する高誘電率ゲート絶縁膜の堆積技術及びメタルソース・ドレイン形成技術を確立し、シリコンナノワイヤトランジスタを作製して、構造制御の効果を明らかにする。

(2) ナノワイヤトランジスタの精密計測評価技術の研究開発

・ナノワイヤの3次元走査プローブ計測により、サブnmの形状計測精度を実現する。

・絶縁体上に作製されたナノワイヤ構造のポテンシャル分布を、走査プローブで計測する技術を確立する。

・X線散乱・回折の解析により、基板表面上に周期的に形成したナノワイヤデバイスの形状及び内部構造とそれらのばらつきの評価を実現する。

(3) ナノワイヤトランジスタのシミュレーション技術の研究開発

・ナノワイヤトランジスタの構造安定性、界面構造、不純物分布、ポテンシャル分布、電気特性を予測・解析できる統合的シミュレーション技術を開発し、実験で得た実測値との比較によりその信頼性を検証する。

・自己無撞着量子モンテカルロ・デバイスシミュレータを開発し、ナノワイヤトランジスタの特性予測を実現する。

研究開発項目 - (2): ナノワイヤFETの研究開発

1. 研究開発の必要性

ゲート長微細化は2020年代で終焉を迎えることがほぼ確実な状況となって来たが、その後もロジックLSI素子としては現在の電流駆動型のCMOSFET系デバイスの性能向上を追究していくことが重要である。しかしながら、2020年代後半以降の具体的な施策は依然として明示されておらずに空白となったままで、この部分の研究・技術開発ロードマップを作成することが急務となって来ている。ロジックLSIの発展を今後も継続して行くためには、低消費電力化と高性能化への絶え間ない努力が重要であり、低電源電圧下でOFF電流を今までよりも非常に低い値に維持したままで、今まで以上の大変に高いON電流を実現できる素子技術の実現が必要である。この為の手段であるが、この時代のゲート長(5~10nm)では伝導機構が準バリスティックとなるため、ゲート長を短くしてもON電流増加は望めず他の手段を用いる必要がある。

ゲート長微細化以外の手段として、ゲート電極がチャネルを取囲む構造であるが故にOFF電流の抑制に有利なことで、ナノワイヤの特長として準1次元伝導とマルチ量子チャネルに起因する極めて高いON電流を望めることからナノワイヤ系FETが、CMOS細化終焉の後の最有力候補として注目を集めるようになってきた。しかしながらナノワイヤFETの伝導はワイヤ径、ワイヤの結晶方位、ワイヤの応力によりバンド構造が大きく変化するという大変に複雑なメカニズムに支配されるため、これらのパラメータを考慮に入れた電流・電圧特性を記述するコンパクトモデルは確立しておらず、理論的にどこまで高いON電流が得られるかすら不明の現状にある。更にワイヤ表面での散乱、ソース・ドレイン端でのキャリア注入・散乱・反跳など理論的、技術的に解決していかなければならない問題が山積している。

このため、SiナノワイヤFETを対象として、理論と実験の面からその性能を定量的に明らかにする。また、ナノワイヤFET導入の為の理論的・技術的課題を明確化し、その解決法の探索を行なう。それらの研究結果を踏まえ、実用化への本格的な研究開発を行なうためのSiナノワイヤFETのロードマップを作成することを目的とする研究開発を行う。

2. 研究開発の具体的内容

(1) Siナノワイヤの電子構造の量子論的検討

Siナノワイヤの詳細なバンド構造や金属/Siナノワイヤのショットキー界面を量子論的計算によって明らかにする。上記の結果を用いて、Siナノワイヤの物性を科学的見地から体系的に明らかにし、ロードマップ作成に繋げる。

(2) ナノワイヤFETのバリスティック制御

ワイヤFET準バリスティック伝導において高い電流駆動力を実現する手段の検討を行う。その為にON電流を理論的に見積もるコンパクトモデルを構築する。OFF電流を支配する物理的モデルは明確になっていないため、この検討も行う。

(3) SiナノワイヤFETの作製

SiナノワイヤFETの試作を行い、理論と比較することにより、コンパクトモデルの精度を高める。また、試作デバイスの構造・パタン設計、試作プロセス設計、試作の実行、試作デバイスの評価を通して、ナノワイヤFETの技術的な課題を具体的に明確化する。

(4) Siナノワイヤデバイスのロードマップ作成

上記(1)～(3)の結果に基づいてSiナノワイヤFETロードマップを作成する。本研究開発と同時に委託される関連研究開発の結果や今後国内外で発表されるであろう他機関の研究結果も含めて総合的に検討を行い、その科学的及び技術的課題を明らかにする。さらにこれらの課題を解決するための具体的施策を示し、今後の日本の研究開発体制のあるべき姿を提案する。

3. 達成目標

中間目標として、平成21年度末までに以下の目標を達成する。

(1) Siナノワイヤの電子構造の量子論的検討

- ・第一原理計算等を用いて、歪みなどによるSiナノワイヤの電子構造の変化を系統的に解析し、良好なバリスティックFET特性を得るための指針を示す。
- ・金属と半導体のナノ界面におけるショットキー障壁を第一原理計算等により見積もる。

(2) ナノワイヤFETのバリスティシティ制御

- ・バリスティック伝導に少数回の散乱を導入した場合のドレイン電流への影響を把握する。
- ・光応答・電気特性等の解析により、ナノワイヤFET中の電子ダイナミクスの特徴をモデル化する。
- ・Siナノワイヤの構造に依存したドレイン電流を明らかにし、記述する。

(3) SiナノワイヤFETの作製

- ・直径10nm級のSiナノワイヤFETの作製を行う。また、電気特性の解析によりキャリアの散乱メカニズムを考察し、プロセス上の技術課題を明確にする。
- ・Siナノワイヤと金属とのコンタクトにおける特異なシリサイド反応現象を実験により明らかにする。

(4) Siナノワイヤデバイスのロードマップ作成

- ・SiナノワイヤFETを実現するに当たり直面する技術的課題、科学的課題をタイムスケジュール上でリストアップし、解決するための方法の考察を行う。

最終目標として、平成23年度末までに以下の目標を達成する。

(1) Siナノワイヤの電子構造の量子論的検討

- ・Siナノワイヤの電子構造解析により、SiナノワイヤFET実用化に向けて解明すべき物理現象を明らかにする。
- ・金属とワイヤ状物質との間の曲率のあるナノ界面におけるショットキー障壁を第一原理計算等によって解析し、その特徴を理論的に明らかにする

(2) ナノワイヤFETのバリスティシティ制御

- ・準バリスティックSiナノワイヤFETの電圧・電流特性をコンパクトモデルで定式化する。
- ・コンパクトモデルによる解析と実験で得た実測値との比較を通じて、バリスティシティを高めるなど性能最適化のための指針を明確化し、その理論・技術上の問題点を明らかにする。

(3) SiナノワイヤFETの作製

- ・SiナノワイヤFETの作製とその性能評価を通じて、理論予測との違いを明らかにし、その技術上の課題を明確にする。

(4) Siナノワイヤデバイスのロードマップ作成

・上記の研究開発の結果および他機関の研究結果も含めた総合的な検討に基づいて、最終目的であるSiナノワイヤデバイスのロードマップを作成する。さらにこれらの課題を解決するための具体的施策を示し、そのための今後の研究開発体制のあるべき姿を提案する。

研究開発項目 - (3): シリコンナノワイヤトランジスタの物性探究と集積化の研究開発

1. 研究開発の必要性

シリコンナノワイヤトランジスタは、将来のナノスケールシリコンMOSFETの一形態として注目されているが、ナノワイヤトランジスタのワイヤ・サイズの制御性、チャンネル長の縮小化ではまだ不十分な面もあり、ナノワイヤで発現する物理現象の正確な理解、高性能化へ向けたデバイス最適構造の探求と実証など未解決な課題を多く残している。

このため、シリコンナノワイヤトランジスタ分野における上記課題を解決し、シリコンナノワイヤの物性研究とシリコンナノワイヤトランジスタの実用化に向けた基礎的データを取得することを目的とする研究開発を行う。

2. 研究開発の具体的内容

(1) 極細シリコンナノワイヤトランジスタの電気伝導探究と集積化に関する研究開発

主にチャンネルは長いナノワイヤの直径が極めて細いシリコンナノワイヤトランジスタの研究を行う。具体的には、極細シリコンナノワイヤトランジスタの試作と物性探究、ひずみによる高性能化の検討、最適レイアウトと集積化の検討を行う。

(2) 短チャンネルシリコンナノワイヤトランジスタの電気伝導探究と集積化に関する研究開発

主にナノワイヤ径はそれほど細くないがゲート長の短いシリコンナノワイヤトランジスタの研究を行う。具体的には、短チャンネルシリコンナノワイヤトランジスタの試作と物性探究、短チャンネル・少数キャリア散乱下における伝導特性の解析と高性能化の検討、最適回路形式と集積化の検討を行う。

3. 達成目標

中間目標として、平成21年度末までに以下の目標を達成する。

(1) 極細シリコンナノワイヤトランジスタの電気伝導探究と集積化に関する研究開発

ワイヤ径5 nm以下の長チャンネルシリコンナノワイヤトランジスタのアレーを作製する技術を確立する。

(2) 短チャンネルシリコンナノワイヤトランジスタの電気伝導探究と集積化に関する研究開発

短チャンネル・ナノワイヤトランジスタ、具体的にはチャンネル長50 nm以下、チャンネル径25 nm以下のシリコンナノワイヤトランジスタを作製する。

最終目標として、平成23年度末までに以下の目標を達成する。

(1) 極細シリコンナノワイヤトランジスタの電気伝導探究と集積化に関する研究開発

量子閉じ込めおよびひずみ等の効果を総合して通常のプレーナバルクMOSFETより高い移動度を示すシリコンナノワイヤトランジスタのパラメータを明らかにする。

(2) 短チャンネルシリコンナノワイヤトランジスタの電気伝導探究と集積化に関する研究開発

チャンネル長25 nm以下、チャンネル径10 nm以下のシリコンナノワイヤトランジスタを作製する。

研究開発項目 - (1): 新構造 FinFET による SRAM 技術の研究開発

1. 研究開発の必要性

微細化が進むにつれて最初に動作限界の危機に直面すると考えられている SRAM の技術課題を解決することを目指し、微細化に伴う短チャネル効果に強い FinFET と、分離された 2 つのゲートを有し閾値電圧制御可能な 4 端子 FinFET を有効に組み合わせた新規 SRAM (Flex-Pass-Gate SRAM) セルの先行基盤技術開発を行い、その原理実証と本格開発に向けた課題抽出を行うことを目的とする研究開発を行う。

2. 研究開発の具体的内容

(1) 立体構造 FinFET 技術の研究開発

リソグラフィ寸法以下の立体構造を安定的に形成し、ばらつきの少ない所望の電気特性を実現するナノレベルの構造制御技術を開発して、立体構造トランジスタの性能向上を図り、低リーク電流かつ高駆動力の FinFET と閾値電圧調整可能な 4 端子 FinFET の作製技術、及び、それらの集積回路技術を構築する。

(2) 4 端子 FinFET を用いた低消費電力・高ノイズ耐性 SRAM 回路技術の研究開発

SRAM セルを FinFET 及び 4 端子 FinFET で構成し、低消費電力と高ノイズ耐性、省 SRAM セル面積、従来の SRAM 設計資産との整合性を持った SRAM 新回路構成を提供する。さらに、前項で開発した FinFET 特性に即した回路設計、レイアウトの最適化等を行い、SRAM セルアレイレベルでの動作を実証する。

3. 達成目標

中間目標として、平成 21 年度末までに以下の目標を達成する。

(1) 立体構造 FinFET 技術の研究開発

・極微細化プロセス、メタルゲート、high-k 絶縁膜、多層配線などの FinFET 回路作製への適用をはかり、ゲート長 20nm、チャネル厚 10nm 以下の立体構造 4 端子 FinFET 作製技術の構築を行う。

(2) 4 端子 FinFET を用いた低消費電力・高ノイズ耐性 SRAM 回路技術の研究開発

・提案コンセプトを実現する 4 端子型 FinFET 低消費電力・高ノイズ耐性 SRAM 回路(具体的には、Flex-Pass-Gate SRAM)設計を行う。
・バルクトランジスタを用いた設計比で、セル面積増加無、動作余裕 1.5 倍、待機時消費電力 1 / 20 以下の回路設計指針を得る。

最終目標として、平成 23 年度末までに以下の目標を達成する。

(1) 立体構造 FinFET 技術の研究開発

・Flex-Pass-Gate SRAM への上記 FinFET 導入を行う。

(2) 4 端子 FinFET を用いた低消費電力・高ノイズ耐性 SRAM 回路技術の研究開発

・(1) で確立した微細 4 端子 FinFET を用いた SRAM アレイを試作し、特性評価・解析により IP を確立する。
・従来トランジスタと比較して、セル面積増加なしに、動作余裕を 1.5 倍に、待機時消費電力を 1 / 20 にできることを示す。

研究開発項目 - (2): 次世代相変化メモリ技術の研究開発

1. 研究開発の必要性

磁気抵抗メモリ、強誘電体メモリ等とともに、シリコンを基盤とする従来半導体メモリに挑む不揮発型新メモリとして、相変化メモリが注目されている。相変化メモリは、セル構造が簡単なため高密度化に適しているが、相変化記録薄膜中に「結晶」-「アモルファス」間の一次相変化を繰り返し発生させることから、膜の融点(650)以上に加熱する必要があり、消費電力と繰り返し記録耐性において更なる改良・改善が必要とされている。

このため、書き込み・読み出し回数的大幅な向上と作動電力を最小限にする技術を開発することで、省資源・省エネルギー型の不揮発性相変化固体メモリを開発することを目的とする研究開発を行う。

2. 研究開発の具体的内容

溶融状態のランダムな配列を高抵抗層とする従来型の相変化メモリではなく、新しい記録再生原理に基づいたカルコゲン化合物の超格子構造をボトムアップで作製し、書き込み・読み出し回数大幅な向上と動作電力の大幅な抑制を実現できるナノレベル構造制御を施した新型相変化メモリを開発する。また、密度汎関数法によるシミュレーションと実験とを同時並行的に実施することで相変化メモリの作製方法を見直し、ナノレベルで動作機能を制御する新技術を完成させる。そのために具体的には、下記4項目について研究開発を行なう。

(1) 高速スイッチング現象に最適なナノレベル構造制御カルコゲナイド薄膜の結晶構造の検討

(2) 抵抗加熱方式での熱的構造変化を最適に行うためのシミュレーション技術の開発

(3) 再現性や信頼性など集積化に向けて必要となる特性の体系的理解のための動作温度領域における薄膜物性データベースの構築

(4) 一定規模以上の集積化可能性を示すためのナノレベル微細加工を施したデバイス試作

3. 達成目標

中間目標として、平成21年度末までに以下の目標を達成する。

(1) 高速スイッチング現象に最適なナノレベル構造制御カルコゲナイド薄膜の結晶構造の検討

超格子構造で高速動作可能な新規相変化材料組成を 2 材料以上シミュレーションによって見だし、実際にデバイスを作製して実験によって動作検証を行う。

(2) 抵抗加熱方式での熱的構造変化を最適に行うためのシミュレーション技術の開発

熱シミュレーションソフトを完成させ、超格子構造からなる相変化メモリに適応して、超格子セル内部の温度分布を把握する。

(3) 再現性や信頼性など集積化に向けて必要となる特性の体系的理解のための動作温度領域における薄膜物性データベースの構築

シミュレーションの元となる各材料の薄膜熱物性の測定とデータベース化を行う。

(4) 一定規模以上の集積化可能性を示すためのナノレベル微細加工を施したデバイス試作

同等のサイズで作製された従来型の相変化固体メモリの性能と比較して、電力消費で 1/3 以下となる GeSbTe 系超格子相変化メモリを作製する。

最終目標として、平成23年度末までに以下の目標を達成する。

(1)高速スイッチング現象に最適なナノレベル構造制御カルコゲナイド薄膜の結晶構造の検討

超格子構造で高速動作可能な新規相変化材料組成を 5 材料以上シミュレーションによって見だし、実際にデバイスを作製して実験によって動作検証を行う。

(2)抵抗加熱方式での熱的構造変化を最適に行うためのシミュレーション技術の開発

平成21年度末に目標を達成するため最終目標は設定しない。

(3)再現性や信頼性など集積化に向けて必要となる特性の体系的理解のための動作温度領域における薄膜物性データベースの構築

シミュレーションの元となる各材料の薄膜熱物性の測定とデータベースの外販化を行う。

(4)一定規模以上の集積化可能性を示すためのナノレベル微細加工を施したデバイス試作

同等のサイズで作製された従来型の相変化固体メモリの性能と比較して、電力消費で 1/10 以下となる超格子相変化メモリを実証する。

また、同等のサイズで作製された従来型の相変化固体メモリの性能と比較して、 10^{15} 回以上の繰り返し書き換え回数をもつ超格子相変化メモリを実証する。

研究開発項目 - (3): ナノギャップ不揮発性メモリ技術の研究開発

1. 研究開発の必要性

モバイル機器や情報家電などデジタル情報機器の急速な拡大に伴い、われわれが取り扱うべき情報は飛躍的に増大しつつある。こうした状況の下、情報をいつでもどこでもすばやく記憶、読みだせるユニバーサルメモリの開発は必須となっており、磁気抵抗メモリや強誘電体メモリなど、さまざまな次世代不揮発性メモリの開発が精力的に進められている。なかでも抵抗スイッチメモリは、とりわけ微細化に有利なメモリとして注目されている。近年、この抵抗スイッチメモリに利用できる現象として、ナノスケールの微小間隙を有するナノギャップ電極構造において、入力電圧波形に依存して電極間の抵抗値が5桁も変化するナノギャップスイッチ(以下NGSと略する)現象が見出され、これを不揮発性メモリに応用する研究が進められている。NGSメモリは、その構造が著しく単純であり、従来の半導体デバイスにおける、不純物揺らぎ等に起因する微細化限界の壁を打ち破ることが可能な、日本発の超稠密不揮発性メモリとなることが期待される。しかしながら、NGS現象のメモリへの応用研究はその端緒にすぎたばかりであり、実用化に向けての研究開発を行う必要がある。

このため、超稠密不揮発性メモリの実現を目指して、金属ナノギャップ構造を利用した、集積化可能なNGS不揮発性メモリを開発することを目的とする研究開発を行なう。

2. 研究開発の具体的内容

(1) 平面先鋭型金属ナノギャップ素子およびその基本特性評価技術の開発

NGS動作機構の解明、すなわちナノギャップ部の抵抗変化を引き起こす要因を明らかにするために、NGS特性評価に適した、AFMをベースとするナノプローブ計測評価手法を確立する。また、ナノプローブ計測法によるナノギャップ部の評価を可能とする素子、平面先鋭型金属ナノギャップ素子を開発する。

(2) 金属ナノギャップメモリ・デバイスの研究開発

金属ナノギャップメモリ・デバイスを試作および評価し、稠密性、高速性、不揮発性等の性能を実証する。

(3) 高性能メモリ金属ナノギャップ素子の研究開発

実用レベルの動作・保持環境においても高性能メモリ特性を持つ金属ナノギャップの基本素子構造作製および高性能メモリ特性を実現する動作手法の開発を行う。実用レベルの動作環境において動作電流が低く抑えられる構造、動作法を開発する。集積化ナノギャップ素子のバラツキの原因を見だし、それが低減できる駆動法の技術開発を行う。

3. 達成目標

中間目標として、平成21年度末までに以下の目標を達成する。

(1) 平面先鋭型金属ナノギャップ素子およびその基本特性評価技術の開発

ギャップ長10nm、ギャップ幅30nmの電極を有する平面型NGS素子を開発する。また、電極材料および絶縁層の材質を検討する。高感度ナノプローブ計測評価技術を開発し、電気伝導状態にあるときのNGSの構造を明らかにするとともに、パルス電圧印加前後の構造変化を評価する。さらに、バイアス印加中の動的な構造変化を測定可能なナノプローブ計測評価技術を開発する。

(2) 金属ナノギャップメモリ・デバイスの研究開発

縦型(上下金属配線間)のNGS素子およびメモリアレイを試作・評価し、下記の性能を実証する。

- ・高速性: $1\ \mu\text{s}$ 以下の書き換えスピード
- ・稠密性: 上下電極交点の Via-hole 径 で $100\ \text{nm}$
- ・書き換え耐性: 10^5 回以上
- ・256bit アレイTEGによるメモリ動作(書き換えと読み出し)と bit バラツキ(抵抗値の分布)の検証

(3)高性能メモリ金属ナノギャップ素子の研究開発

動作電流値を低減できる金属ナノギャップ基本素子構造および駆動法を開発する。具体的には、駆動最大電流値を $50\ \mu\text{A}$ 以下にできる構造、動作環境および駆動法を開発する。

最終目標として、平成23年度末までに以下の目標を達成する。

(1)平面先鋭型金属ナノギャップ素子およびその基本特性評価技術の開発

ナノギャップ領域が極限的に微細化してもNGSメモリ動作することを検証するために、中間目標のデバイスサイズよりもさらに微細化した、ギャップ長 $5\ \text{nm}$ 、ギャップ幅 $10\ \text{nm}$ の電極を有する平面型NGS素子を開発する。平成21年度までに開発した高感度ナノプローブ計測評価技術をさらに発展させ、AFM散逸計測などのナノプローブ物性計測法を用いてナノギャップ部の物性変化を測定することにより、長時間動作後のナノギャップ部の電気特性変化や組成変化を評価する。

(2)金属ナノギャップメモリ・デバイスの研究開発

縦型NGS素子の微細化を進めるとともに、4kbitのデバイスを試作・評価し、下記の性能を実証する。

- ・高速性: $100\ \text{ns}$ 以下の書き換えスピード
- ・稠密性: 上下電極交点の Via-hole 径 で $40\ \text{nm}$
- ・書き換え耐性: 10^6 回以上

また、このデバイスを用いてNGS素子の特性バラツキを評価する。

(3)高性能メモリ金属ナノギャップ素子の研究開発

素子特性として、最大電流値 $20\ \mu\text{A}$ 以下、動作電圧 $5\ \text{V}$ 程度を実現する。

研究開発項目 - (1): カーボンナノチューブトランジスタ技術の研究開発

1. 研究開発の必要性

シリコン集積回路の高性能化が限界に近づきつつある中、この限界を打破しうる新しいデバイス技術の開発が強く求められている。カーボンナノチューブ(CNT)は理想的な一次元構造と優れた電子輸送特性を有し、その電子デバイス応用の期待が高い。

このため、CNTの電子デバイス応用を目指して、CNTの成長、デバイスプロセス、及びナノ計測に関して種々の課題を解決し、CNT電子デバイスの高性能性及び実用性を実証することを目的とした研究開発を行う。

2. 研究開発の具体的内容

(1) CNTデバイス作製技術の研究開発

・高密度CNTチャネル形成技術、CNT-FETのコンタクト形成技術、デバイス表面保護膜形成技術、高密度短チャネルデバイス作製技術を開発する。

・これらの技術を総合化してCNT-FETを試作し、高性能性及び実用性を実証する。

(2) CNT成長技術の研究開発

・原料ガスや電場などを高度に制御したCNT成長技術、CNTカイラリティ計測技術を開発し、半導体優先成長および高品質成長を実証する。

・高密度CNT配向成長を実現する触媒技術・基板技術を開発する。

・シリコンウェハ上でのCNT配向成長技術を開発する。

(3) CNTデバイスの局所評価技術の研究開発

・ナノプローブを利用した高精度なCNT欠陥評価技術およびCNTチャネル電流検出技術を開発する。

3. 達成目標

中間目標として、平成21年度末までに以下の目標を達成する。

(1) CNTデバイス作製技術の研究開発

・高周波動作実証に向けてトップゲートFET作製技術を検討し、基本技術を確立する。

・本技術を高密度チャネルFETに適用し、電流利得遮断周波数として5GHz以上を実証する。

(2) CNT成長技術の研究開発

・半導体CNT優先成長における電場制御効果を確認する。

・サファイア基板上で15本/ μm の高密度配向成長を実現する。

・シリコンウェハ上のCNT配向成長を実現する。

(3) CNTデバイスの局所評価技術の研究開発

・ナノプローブ評価技術として、10nm以下の空間分解能を有する電位測定技術、およびFETの個別チャネルを流れる μA 以下の電流を評価できる技術を開発する。

最終目標として、平成23年度末までに以下の目標を達成する。

(1) CNTデバイス作製技術の研究開発

・高密度CNT形成技術、コンタクト形成技術、デバイス表面保護膜形成技術を確立するとともに、これらの技術を総合化することにより、50本/ μm 以上の高密度かつ50nm以下の短い配向チャンネルFET技術を開発する。

・高密度チャンネルFETの電流利得遮断周波数として50GHz以上を実証する。

・コンプリメンタリ素子の作製技術を開発し、論理動作を実証する。

(2) CNT成長技術の研究開発

・原料ガスおよび電場の制御による半導体CNT優先成長技術を開発するとともに、半導体優先成長CNTのFETへの適用可能性、高密度・配向成長と高品質化を実証する。

・単結晶基板上で50本/ μm の超高密度・高配向CNTの可能性を検証する。

・シリコンウェハ上のCNT高度配向成長技術を開発する。

(3) CNTデバイスの局所評価技術の研究開発

・平成21年度末までに開発したナノプローブ評価技術を、CNT欠陥準位計測、およびFET個別チャンネルの伝導特性評価に適用し、CNTチャンネルの高品質性、高密度CNTチャンネルの一様性、チャンネル - 電極間コンタクトの均一性、などの評価での有効性を検証する。

研究開発項目 - (2): シリコンプラットフォーム上 - 族半導体チャネルトランジスタ技術の研究開発

1. 研究開発の必要性

技術世代hp22nm以細のCMOSにおける性能向上や低消費電力化を、新たな高移動度チャネル材料と構造の導入により達成しようとするトレンドが近年明確化している。pMOSFETについては、ひずみGOIを用いることにより10倍を越える正孔移動度の向上が報告されているが、nMOSFETについては、ひずみSi技術以降の電子移動度向上のための有効な手段が見出されていない。有効質量が極めて小さく移動度が極めて大きい、**III-V族半導体**を用いたnMOSFETは、バリスティック輸送が支配的となる技術世代においても高い駆動力を実現できる可能性がある。

一方、適用される技術世代を考えると、十分短チャネル効果が抑制できるトランジスタ構造とする必要がある。このためには、絶縁膜の上に薄膜III-V化合物半導体を形成したIII-V-On-Insulator (III-V-OI)構造を用いて、極薄ボディMISFETあるいはFinFETなどのマルチゲートFETを形成することが必要であると考えられる。更にこのようなMOSFETを、ULSI用の素子として実現するためには、Siプラットフォームを用いることが必須である。そのためには、Si基板上に上記のIII-V-OIを形成し、SiやGeなどでは得られない極めて高い電流駆動力を持ち、かつ短チャネル効果抑制にも優れた、将来の大規模集積回路に適用できるnMOSFETあるいはMISFETを実現することが期待される。

このため、hp22nm世代以降の高性能トランジスタを実現するためのデバイス構造として、Si基板上更にもその上の絶縁膜上に形成したIII-V族半導体をチャネルとするMISFETを開発することを目的とする研究開発を行う。

2. 研究開発の具体的内容

III-V族半導体チャネルMISFETの最適素子構造・材料の明確化を進め、本デバイスの当該世代CMOSへの適用性を明らかにすると共に、将来のCMOS構造への集積化の可能性を検証するために以下の研究開発を行う。

(1) **III-V族半導体チャネル形成技術**

有機金属気相成長法及び貼り合わせ法を用いたSi基板上あるいは絶縁膜上への良質なIII-V族半導体チャネル及びIII-V族薄膜ウェハの形成技術を開発する。

(2) **MIS界面安定化技術及び界面評価技術**

III-V族半導体MIS界面の最適化による高品質MIS構造形成技術並びにhigh-k絶縁膜を含むゲートスタック構造形成技術を開発する。

(3) **III-V族半導体チャネルMISトランジスタ形成技術**

Si上あるいは絶縁膜上のnチャネルIII-V族半導体チャネルMISFETの作製技術の確立と動作実証を行う。

3. 達成目標

中間目標として、平成21年度末までに以下の目標を達成する。

- ・ **III-V族半導体チャネル形成技術**を形成する基本形成プロセス、およびIII-V MIS界面を安定化できる基本プロセスを

確立する。

・III-V 族半導体基板上的nチャンネル - 族半導体チャンネルMISFETの作製技術を開発し、その高移動度動作を実証する。

最終目標として、平成23年度末までに以下の目標を達成する。

・Si 上あるいは絶縁膜上のnチャンネル - 族半導体チャンネルMISFETの作製技術を開発し、その高移動度動作を実証する。

・Si 上の III-V MISFETの最適素子構造・材料の明確化を進め、CMOSプラットフォームへの適用性を明らかにすると共に、将来のCMOS構造への集積化の可能性を検証する。

研究開発項目 - (3): シリコンウェハ中の原子空孔濃度定量評価技術の研究開発

1. 研究開発の必要性

半導体産業におけるデバイス製造では、チョクラスキー(CZ)法で製造したCZシリコン結晶から切り出したウェハを用いる。最近になり、2次欠陥であるポイドが全く存在しない完全結晶シリコンインゴットの製造技術が発達し、完全結晶ウェハを用いたデバイス製造技術が急速に進展している。CZシリコン中に存在する酸素をデバイス製造過程で析出させ金属汚染の除去を行なうゲッタリング技術は、微細化が進行してもデバイス製造技術に重要な役割を果たしている。ゲッタリング効果を得るには適量の酸素を析出させることが必要であるが、原子空孔は非常に重要な因子であり、酸素析出を著しく促進する。しかし、現在までシリコンウェハ中に存在する孤立した原子空孔の濃度評価法が確立していないので、完全結晶シリコンウェハを用いたデバイス製造においては、酸素析出にばらつきが生じ、動作特性の不良による歩留まりの低下など大きな困難が生じている。このような技術的困難を突破するために、原子空孔濃度を予め評価したシリコンウェハを用いてデバイスを製造する技術が半導体産業から強く要請されている。

このため、低温超音波計測により、シリコン結晶中の孤立した原子空孔の濃度を定量評価する分析技術を開発し、超音波計測による原子空孔濃度分析技術の実用化を進めることを目的とする研究開発を行う。

2. 研究開発の具体的内容

(1) 超音波計測を用いた原子空孔濃度分析の研究開発

超音波計測を用いて、弾性定数の低温ソフト化の大きさを精密に測定することで、産業界で用いられているシリコンウェハ中の原子空孔の濃度を定量的に評価する分析技術を開発する。

(2) 原子空孔のナノレベルシミュレーション技術の研究開発

密度汎関数法、分子動力学、並びににそれらをハイブリッド化した大規模計算手法を用いたシリコン中の原子空孔のナノレベルシミュレーション技術を開発する。

(3) シリコン結晶中の原子空孔分布計測と欠陥制御技術の開発

低温超音波計測による原子空孔の計測・分析技術を利用して、シリコンインゴット中の原子空孔濃度および2次結晶欠陥の三次元分布を求め、結晶製造時の結晶欠陥制御との対応を明確にして、デバイス製造評価に対応できるウェハ作製技術を開発する。

(4) 原子空孔濃度を評価した完全結晶ウェハを用いたデバイスの動作特性評価

超音波計測により原子空孔濃度を評価した完全結晶シリコンウェハを用いて試験的デバイスを製造し、原子空孔がデバイスの動作特性に及ぼす影響の評価技術を開発する。

3. 達成目標

中間目標として、平成21年度末までに以下の目標を達成する。

(1) 超音波計測を用いた原子空孔濃度分析の研究開発

完全結晶ウェハの原子空孔濃度を評価するために、圧電薄膜を用いた極低温超音波計測のシステムを構築し、20mKまでの極低温領域で高い音速分解能($v/v = 10^{-6}$ 以上)を実現する。

(2) 原子空孔のナノレベルシミュレーション技術の研究開発

512原子以上での大規模セルでのナノレベルシミュレーションを行い、原子空孔軌道の量子状態を精密に求める。

(3)シリコン結晶中の原子空孔分布計測と欠陥制御技術の開発

低温超音波計測を利用して CZ 完全結晶インゴット中の原子空孔濃度とその空間分布を評価することによって、ウェハ結晶の品質特性との対応を明確にする。

(4)原子空孔濃度を評価した完全結晶ウェハを用いたデバイスの動作特性評価

低温超音波計測により原子空孔濃度を予め評価した完全結晶ウェハを用いたテストデバイスを作製し、原子空孔濃度とデバイス特性との関連を調査し、歩留まりの向上を図るための基礎技術を確立する。

最終目標として、平成23年度末までに以下の目標を達成する。

(1)超音波計測を用いた原子空孔濃度分析の研究開発

超音波計測によって低温ソフト化の量を測定することで、産業界で実用化が進んでいる完全結晶ウェハの原子空孔濃度の面内分布の分析技術を確立する。

(2)原子空孔のナノレベルシミュレーション技術の研究開発

超音波計測の結果と比較しながら、大規模ナノレベルシミュレーションを行い、原子空孔軌道と超音波歪みとの結合定数を求め、産業界で実用化が進んでいる完全結晶ウェハ中の原子空孔濃度の評価に適用する。

(3)シリコン結晶中の原子空孔分布計測と欠陥制御技術の開発

as-grown 結晶欠陥分布を決定する結晶育成時の熱履歴を厳密に制御する事で、原子空孔濃度を制御したデバイス評価に適した完全結晶ウェハを作製することを可能にする。

(4)原子空孔濃度を評価した完全結晶ウェハを用いたデバイスの動作特性評価

低温超音波計測により原子空孔濃度を予め評価した完全結晶ウェハを用いてテストデバイスを作製し、原子空孔濃度とデバイス特性との関連を調査し、次世代の完全結晶ウェハを用いたデバイス製造のための基礎技術を確立する。

事前評価書

作成日

平成21年2月10日

1. 事業名称	ナノエレクトロニクス半導体新材料・新構造ナノ電子デバイス技術開発 (ITイノベーションプログラム)(ナノテク・部材イノベーションプログラム)
2. 推進部署名	電子・情報技術開発部
3. 事業概要	<p>(1) 概要 次世代の電子デバイスのために、シリコンで培った微細化技術やデバイス原理をこれまで同様に活用しながら、シリコンという材料の物理的限界を突破するための”新材料”、”新プロセス”、”新構造”を実現する半導体技術を、ナノテクノロジーを最大限に活用することによって開発する。</p> <p>(2) 事業規模: 総事業費 平成21年度～平成23年度 18億円 (予定) (平成21年度事業費6億円)</p> <p>(3) 事業期間: 平成21年度～23年度(3年間) 平成19年度～20年度は経済産業省で実施</p>
4. 評価の検討状況	<p>(1) 事業の位置付け・必要性</p> <p>情報技術がめざましく発展している今日の社会では、情報・知識を、時間や場所の制約を受けず誰もが自由自在かつ安全に活用できる情報通信環境の実現が望まれている。また、平成20年9月に改訂された経済成長戦略大綱において、我が国の国際競争力強化のために注力すべき分野として、情報家電、ロボットなどが挙げられている。このような応用システムの基幹となる半導体集積回路(LSI)には、一層の高機能化、低消費電力化が求められている。</p> <p>半導体技術がこれまでに機能、消費電力、集積度、コストにおける急速な進歩を達成してきたのは、集積回路を製造するときに使用される最小寸法を年々指数関数的に縮小する微細化技術の向上によるもので、今後も引き続き微細化技術開発を通じて、集積回路の機能あたりコストがさらに低減されIT技術のさらなる発展と経済における生産性と社会全体における生活の質の大きな改善をもたらすことが期待されている。また、ITRS及びNEDO技術ロードマップに示されている通り、LSIの性能向上には、単なる微細化のみならず、新材料、新プロセス、新構造など革新的技術の導入が不可欠で、その必要性は微細化の進展とともにますます大きくなる。すなわち、微細化によって得られてきたメリットをこれまで以上に享受しながらITを根底から支える半導体技術をさらに発展させていくために、2020年頃以後のLSIに求められる新材料、新構造、新プロセス技術の開発を実現する大学の技術シーズを発掘育成し、それらを将来の産業技術につなげていくための橋渡しを進める取り組みが必要である。</p> <p>ナノエレクトロニクスは、ナノテクノロジーの最大の応用領域の一つである。一方、デジタル・デバイスのCMOS構造というアーキテクチャは極めて優れているため、これが維持できる限りこれを維持することが望ましく、そうすることによりこれまで半導体の発展を支えてきた「微細化」というドライバを引き続き活用することができる。したがって次世代のLSI技術開発で取るべき方向は、「シリコンで培った微細化技術やデバイス原理をこれまで同様に活用しながら、シリコンという材料の物理的特性を十分に踏まえた上で、様々な要因に基づいて出現するデバイス性能の技術的な飽和を突破するための”新材料”、”新プロセス”、”新構造”を実現すること」である。</p> <p>そこで本研究開発では、次世代の電子デバイスのために「シリコンで培った微細化技術やデバイス原理をこれまで同様に活用しながら、シリコンという材料の物理的限界を突破するための”新材料”、”新プロセス”、”新構造”を実現する」半導体技術を、ナノテクノロジーを最大限に活用することによって創生し、将来の産業応用への芽を見出すことを目的とする。</p>

(2) 研究開発目標の妥当性

<目標>

本プロジェクトは、IT を根底から支える電子デバイスについて、2020年頃以後に予想されるシリコン半導体の限界をブレイクスルーする新たな技術を開発する。具体的には、次の3項目を目標とする。

シリコンナノワイヤ技術

シリコン CMOS の微細化が進み、ゲート長が10ナノメートル以下になった際に顕在化する物理現象を積極的に取り込んだ高性能デバイス技術を開発する。具体的には、シリコンナノワイヤの加工技術、物理計測技術、電気特性計測技術、シミュレーション技術、統合設計技術を開発し、先端シリコンプロセスラインを用いたデバイス検証を行う。

次世代メモリ技術

新構造および新材料により既存メモリを代替する技術を開発する。具体的には、マルチゲート型立体構造トランジスタを用いた低消費電力 SRAM 技術、低消費電力・高速動作新型相変化メモリ技術、ナノギャップ不揮発メモリ技術の開発を行う。

新材料技術

新チャンネル材料技術および新材料評価技術を開発する。具体的には、カーボンナノチューブデバイス技術、化合物半導体チャンネルデバイス技術、シリコン中の原子空孔評価技術の開発を行う。

上記目標を達成するために、次の9つの研究開発項目について、別添の研究開発計画に基づき研究開発を実施する。

シリコンナノワイヤ技術

研究開発項目 - (1): シリコンナノワイヤトランジスタの知識統合研究開発

研究開発項目 - (2): ナノワイヤFETの研究開発

研究開発項目 - (3): シリコンナノワイヤトランジスタの物性探究と集積化の研究開発

次世代メモリ技術

研究開発項目 - (1): 新構造 SRAM 技術の研究開発

研究開発項目 - (2): 次世代相変化メモリ技術の研究開発

研究開発項目 - (3): ナノギャップ不揮発性メモリ技術の研究開発

新材料技術

研究開発項目 - (1): カーボンナノチューブトランジスタ技術の研究開発

研究開発項目 - (2): シリコンプラットフォーム上 - 族半導体チャンネルトランジスタ技術の研究開発

研究開発項目 - (3): シリコンウェハ中の原子空孔濃度定量評価技術の研究開発

<妥当性>

本事業の内容である新材料・新構造ナノ電子デバイスの研究開発を進めることにより、技術基盤である半導体の微細化、高集積化、低消費電力化に対応することはもちろん、出口であるIT産業分野を念頭に置いた革新的技術の開発が行えることから、高度情報通信ネットワーク社会の基盤となる情報通信機器・デバイス等のIT技術の開発、IT分野等に対して高度化あるいは不連続な革新をもたらすナノテクノロジーの確立、IT産業の持続的な国際競争力の強化という施策の目的に照らして有効なものであると判断する。

(3) 研究開発マネジメント

本研究開発は、経済産業省により、企業、民間研究機関、独立行政法人、大学等(委託先から再委託された研究開発実施者を含む)から公募によって研究開発実施者が選定され、共同研究契約等を締結する研究体を構築され、平成19年度より委託により実施している。平成21年度より、独立行政法人新エネルギー・産業技術総合開発機構(以下「NEDO技術開発機構」という。)が本研究開発を運営・管理するに当たっては、平成20年度までの進捗状況を踏まえた研究開発内容・計画及び実施体制の妥当性について、外部有識者による審議を含めた評価を行った上で最適な研究開発体制を構築し、委託して実施する。

また、共同研究開発に参加する各研究開発グループの有する研究開発ポテンシャルの最大限の活用により効率的な研究開発の推進を図る観点から、研究体にはNEDO技術開発機構が委託先決定後に委嘱する産業界を中心とするアドバイザー委員会を置き推進に関する意見を運営管理に反映させて効果的に研究開発を実施する。

また、研究開発全体の管理・執行に責任を有するNEDO技術開発機構は、経済産業省及び研究開発実施者と密接な関係を維持しつつ、プログラムの目的及び目標、並びに本研究開発の目的及び目標に照らして適切な運営管理を実施する。具体的には、必要に応じて開催するアドバイザー委員会の意見を運営管理に反映させる他、年に4回程度プロジェクトの進捗について報告を受けること等を行う。

また、技術的及び政策的観点から、研究開発の意義、目標達成度、成果の技術的意義並びに将来の産業への波及効果等について、外部有識者による研究開発の中間評価を平成21年度、事後評価を平成24年度に実施する。また、中間評価結果を踏まえ必要に応じてプロジェクトの加速・縮小・中止等見直しを迅速に行う。なお、評価の時期については、当該研究開発に係る技術動向、政策動向や当該研究開発の進捗状況等に応じて、前倒しする等、適宜見直すものとする。

(4) 研究開発成果

半導体デバイスのさらなる微細化のための基盤技術が開発されるため、現在、半導体デバイスが用いられている携帯電話等の様々な機器は、より小型化されるなど高付加価値製品を創出し、我が国IT産業の国際競争力に大きく寄与する。

また、産学官の連携、異分野の研究領域との融合により実現される革新的なナノエレクトロニクス技術が産出されることにより、将来の融合領域の産業応用への芽を見出すことにつながる。

(5) 実用化・事業化の見通し

ITを根底から支える電子デバイスについて、2020年頃以後に予想されるシリコン半導体の限界をブレイクスルーする新たな技術を開発できると見込まれる。

(6) その他特記事項

平成19年度から20年度は、経済産業省で本プロジェクトを実施した。平成21年度からはNEDOが本プロジェクトを実施する。

5. 総合評価

本プロジェクトは、NEDOで実施するプロジェクトとして適切であると判断する。また、経済産業省において適切なプロセスを経て選定した実施者は、NEDOプロジェクトの実施者として適切であると判断する。

「ナノエレクトロニクス半導体新材料・新構造ナノ電子デバイス技術開発 基本計画(案)」に対するパブリックコメント募集の結果について

平成21年3月10日
NEDO技術開発機構
電子・情報技術開発部

NEDO POST 3において標記基本計画(案)に対するパブリックコメントの募集を行いました結果をご報告いたします。
みなさまからのご協力を頂き、ありがとうございました。

1. パブリックコメント募集期間

平成21年2月16日～平成21年2月27日

2. パブリックコメント投稿数<有効のもの>

計1件

3. パブリックコメントの内容とそれに対する考え方

ご意見の概要	ご意見に対する考え方	基本計画への反映
(3) 研究開発の内容		
<p>[意見1] ナノワイヤ構造のトランジスタは、四方をゲートが取り囲み、寄生容量の影響がなく、均等にチャンネルに電界がかかることから短チャンネル効果などを気にしなくてもよいという特徴を持ちます。ですから、ナノワイヤ構造の作成技術さえ確立できたら、ひずみや新材料を使わずに、単純な構造で安く低消費電力で高集積なデバイスを作ることができる可能性があります。集積回路用のトランジスタはON/OFF比が十分とれることこそ重要であり、ナノワイヤ構造が有利です。ですから、32nm程度の次期テクノロジーから、ひずみなしでシリコン酸化膜のワイヤ型トランジスタを導入できるように研究目標を変更すべきです。</p>	<p>1. ご指摘の通り、ナノワイヤトランジスタは、ゲートの効果を最大にできる構造であることからオフリーク電流を最小限に制御できることが特長です。このため、今後の微細化において理想的な構造といえます。一方、その実現に向けては、ナノワイヤチャンネルにおける量子効果などを考慮した特性解析、ナノワイヤチャンネルのみならずソース・ドレイン構造なども含めた作製プロセスの新規開発に加えて、ばらつきの抑制や集積システムとしての設計を可能にする十分な基礎特性の蓄積など、解決すべき数多くの課題が存在しています。従いまして、本プロジェクトにおいては、これらの課題解決の候補となりうる大学等発の技術シーズを、産業技術としての実現可能性を見極めることが可能なレベルへと育成確立することを目標としております。</p>	<p>特になし</p>

<p>[意見2] 単一電子回路など別の道も探索すべきです。もし十年前に、ナノワイヤ技術を探索していたら、今頃ナノワイヤFETの出荷を日本が率先して始めていたのではないのでしょうか。なにしろ材料は替えずに加工技術だけ工夫すればよいのですから。ですから、そのように別の道の探索も行った方がより確実に目標に達することができます。</p>	<p>2. これまでにない新規なアーキテクチャやシステムを探究する上では単一電子回路などの技術の方向性に着目することも重要であることはご指摘の通りであります。一方では、極めて優れているアーキテクチャである CMOS 構造を引き続き維持し、従来の半導体の発展を支えてきた「微細化」というドライバを引き続き活用することも非常に大切です。以上の観点より、本プロジェクトではシリコンで培った微細化技術やデバイス原理をこれまでと同様に活用しながら、シリコンという材料の物理的限界を突破することが有望な”新材料”、”新プロセス”、”新構造”をその技術開発の対象としております。</p>	<p>特になし</p>
-----------------------------------------------------------------------------------------------------------------------------------------------------------------------	------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------	-------------

以上

2. 分科会における説明資料

次ページより、プロジェクト推進・実施者が、分科会においてプロジェクトを説明する際に使用した資料を示す。

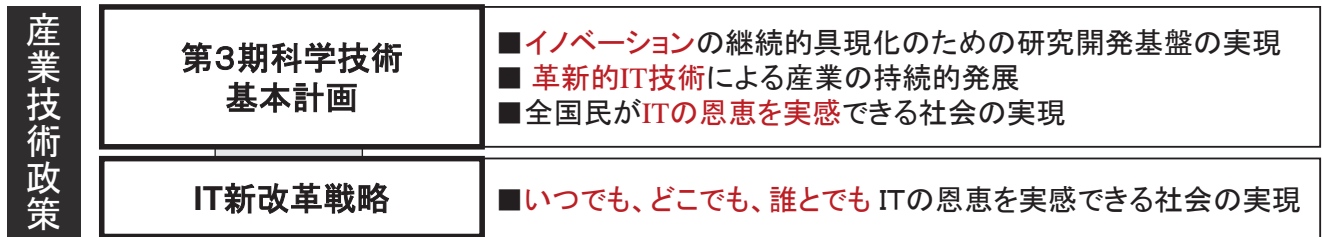
低炭素社会を実現する超低電圧ナノエレクトロニクスプロジェクト
「ナノエレクトロニクス半導体新材料・
新構造ナノ電子デバイス技術開発」
(事後評価)
(2007年度～2011年度 5年間)

NEDO
電子・材料・ナノテクノロジー部
平成24年9月21日

独立行政法人 新エネルギー・産業技術総合開発機構

5. プロジェクトの概要説明
 5. 1 事業の位置づけ・必要性
 5. 2 研究開発マネジメント
 5. 3 研究開発成果
 5. 4 実用化の見通し

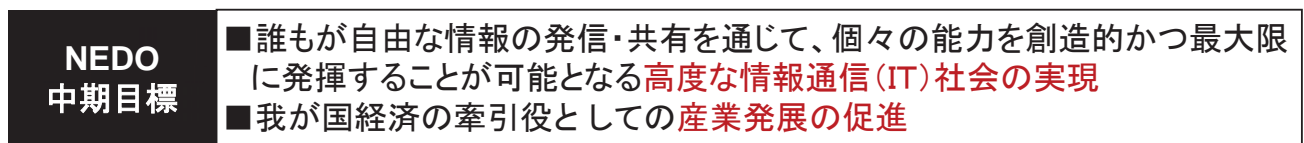
経済産業省 研究開発プログラム「イノベーションプログラム」の『IT』と『ナノテク・部材』の一テーマとして実施



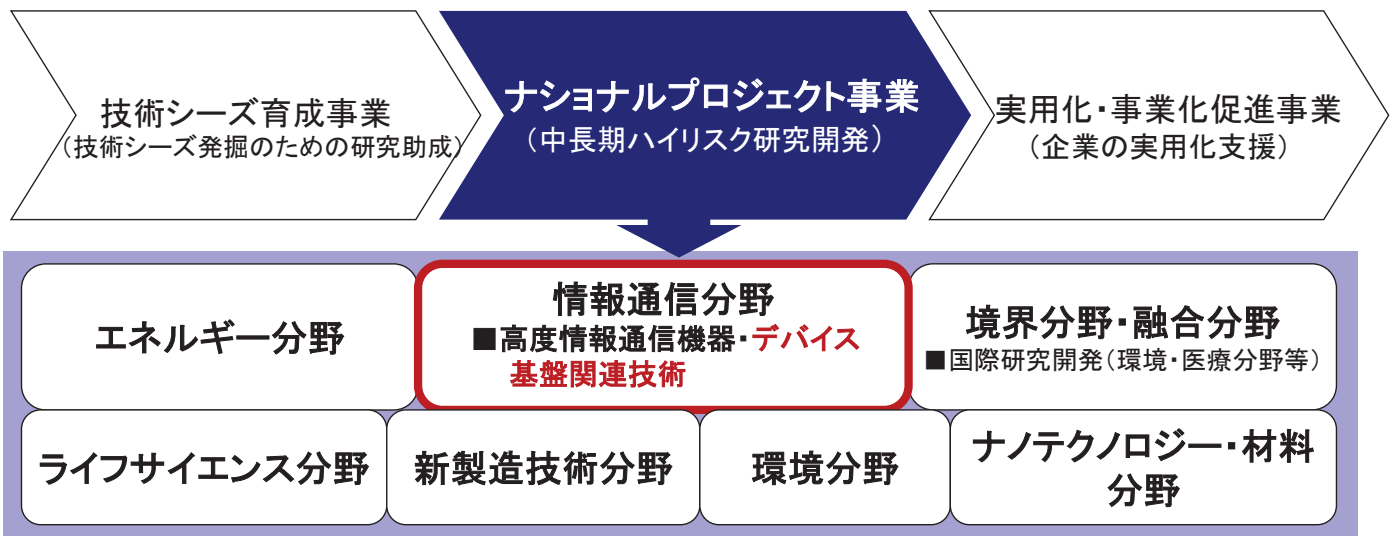
イノベーションプログラム



NEDO中期目標「高度な情報通信社会の実現」における情報技術開発分野の半導体技術の一環



NEDO事業一覧図



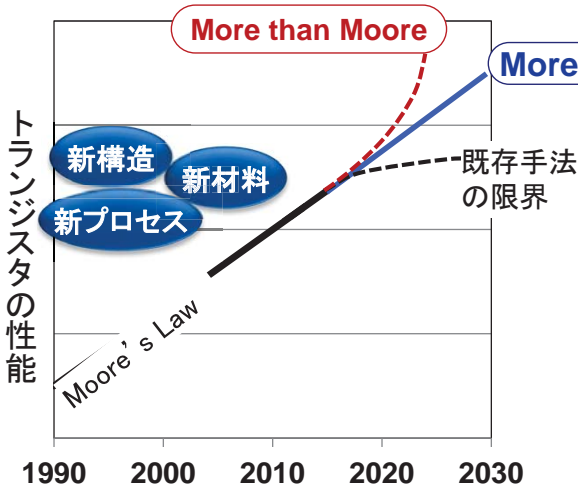
微細化に依存しない基盤技術の探索

【社会的背景】

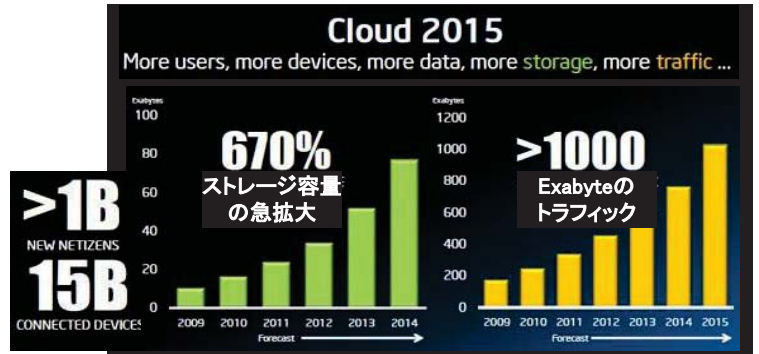
微細化依存の性能向上に物理的限界



市場の性能向上要求は益々加速



<Intel Investor Meeting 2011より>



【事業目的】

More than Moore、Beyond CMOSへの挑戦

Si微細化に依存しない半導体基盤技術の探索

【NEDO事業の妥当性】

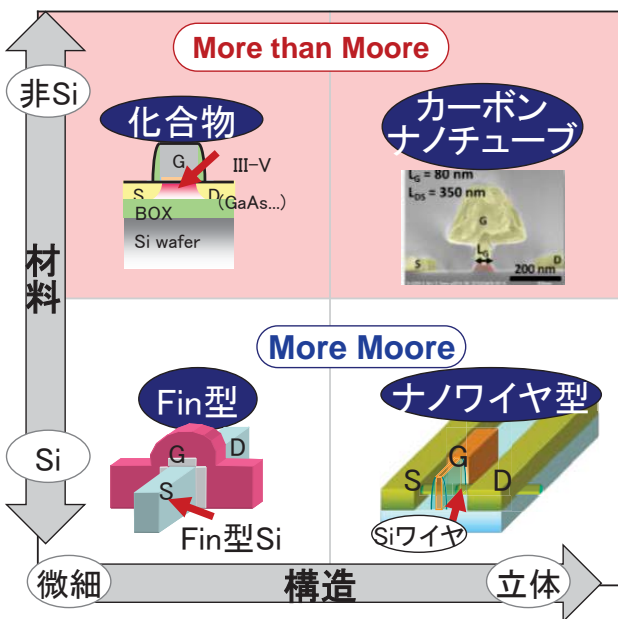
探索対象が多く個別企業、研究機関ではリスクが高い



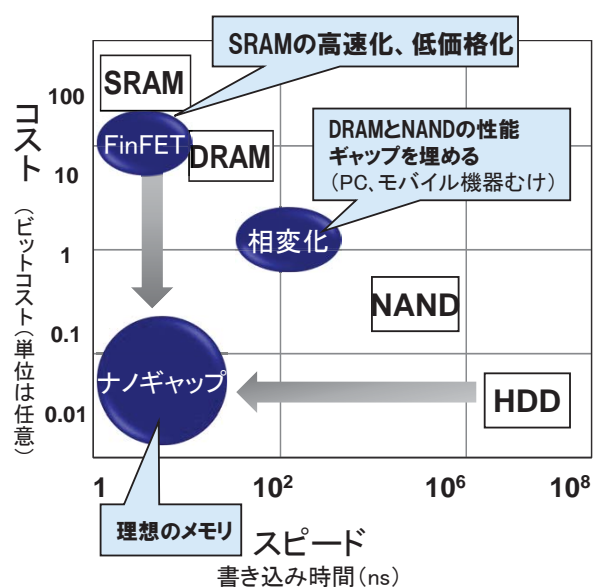
NEDOが関与すべき事業

研究対象

ロジック



メモリ



評価技術

シリコンウェハ中の原子空孔濃度測定技術

ウエハの原子空孔濃度

製品歩留り



目標：次世代基礎基盤技術の確立

公開資料

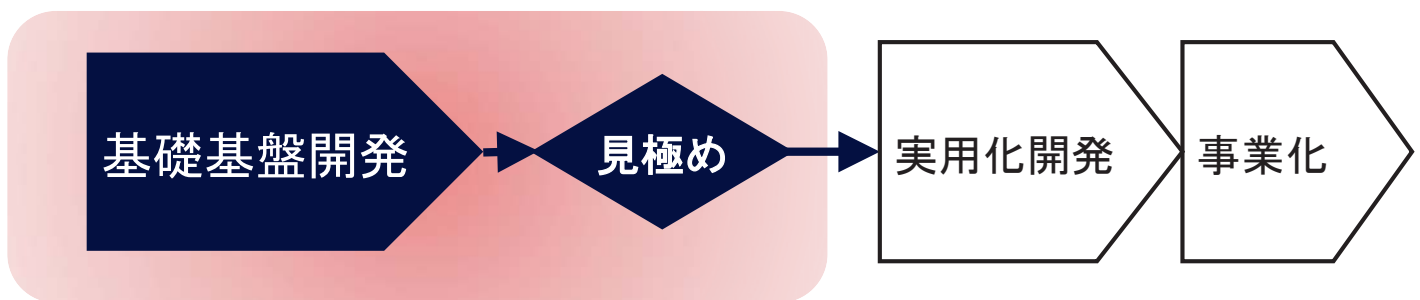
平成23年度までに、10年後の事業化を見据えた**基礎基盤技術を確立する**
 そのために

- ①シリコンナノワイヤ技術、②次世代メモリ技術、③新材料技術
 の分野で**将来使える技術を見極める**

2007年

2011年

~2020年



本プロジェクトの位置づけ

6/27

予算の推移:

公開資料

総額約24億、各テーマほぼ均等に予算配分
 H22に3案件に加速を実施

予算の変遷

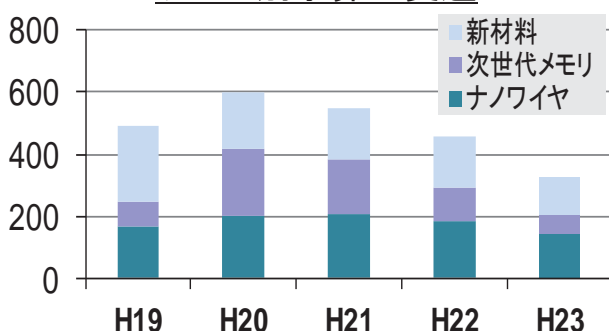
(百万円)

会計・勘定	H19	H20	H21	H22	H23	総計
経産省	493	599	—	—	—	1,092
NEDO	—	—	564	468	260	1,292
加速予算(内数)	—	—	—	(69)*	—	(69)
総予算額(M円)	493	599	564	468	260	2,384

* 加速: 次世代メモリ15百万円(ナノギャップ:15)、
 新材料:54百万円(III-V族:25、空孔:29)

(百万円)

テーマ別予算の変遷



プロジェクト別予算総額

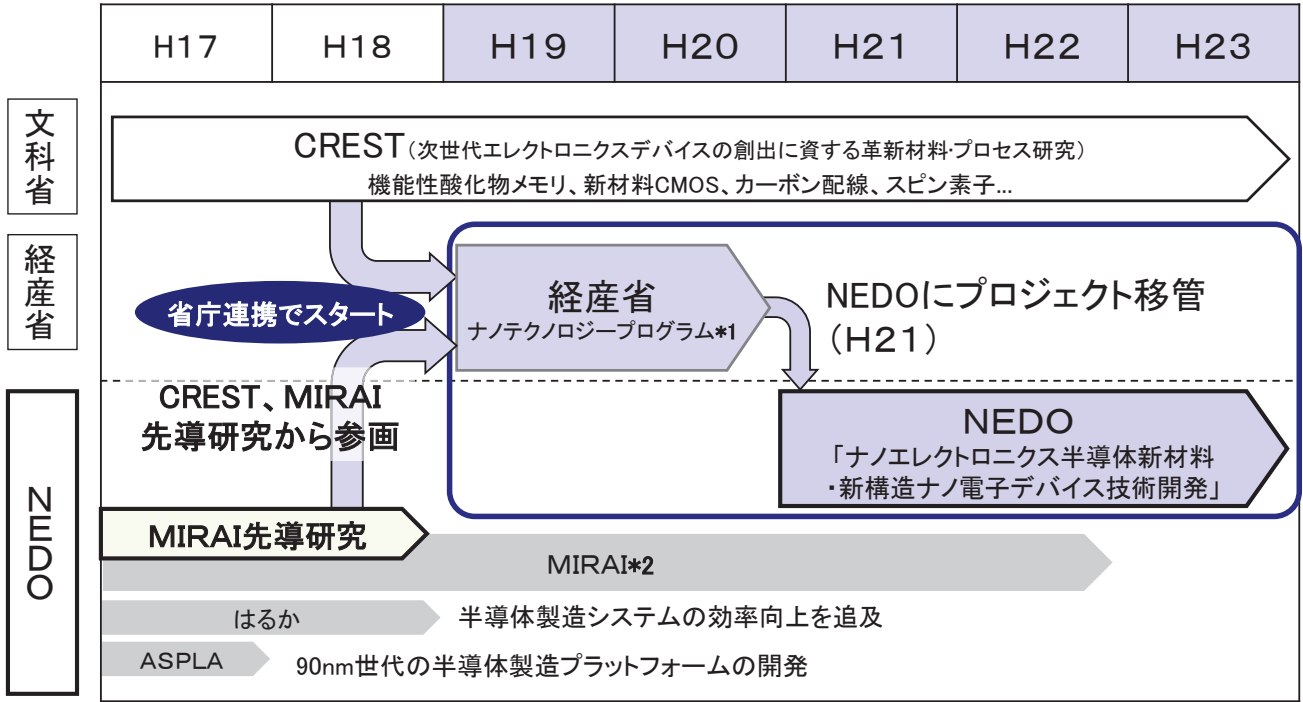
ナノワイヤ 8.7億円	知的総合研究*	:2.8億円
	ナノワイヤFET	:2.8億円
	物性探究・集積化	:3.2億円
次世代メモリ 6.4億円	Fin-FET	:2.6億円
	相変化メモリ*	:1.4億円
	ナノギャップ**	:2.4億円
新材料 8.8億円	カーボンナノチューブ*	:1.5億円
	III-V族**	:4.4億円
	原子空港濃度**	:2.9億円

* 早期終了

** 加速付与

7/27

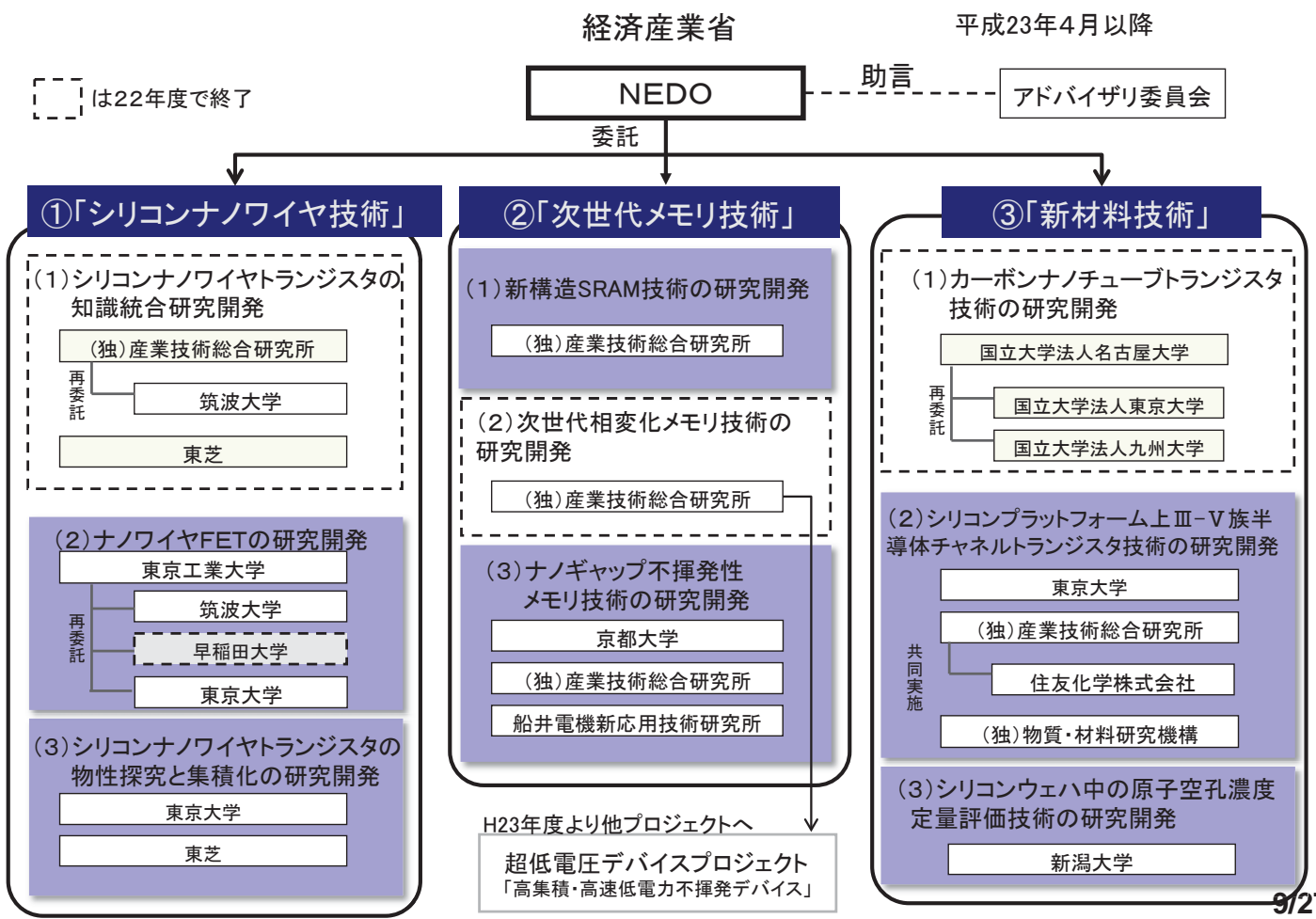
<経緯> 省庁連携でスタート後、経産省直執行からNEDOプロへ



*1 : ナノエレクトロニクス半導体新材料・新構造技術開発のうち新材料・新構造ナノ電子デバイス H21年に経産省からNEDOにプロジェクトへ移管

*2 : 次世代半導体材料・プロセス基盤技術開発 (MIRAI: Millennium Research for Advanced Information Technology)、新構造極限CMOS、特性ばらつき、EUVリソ。

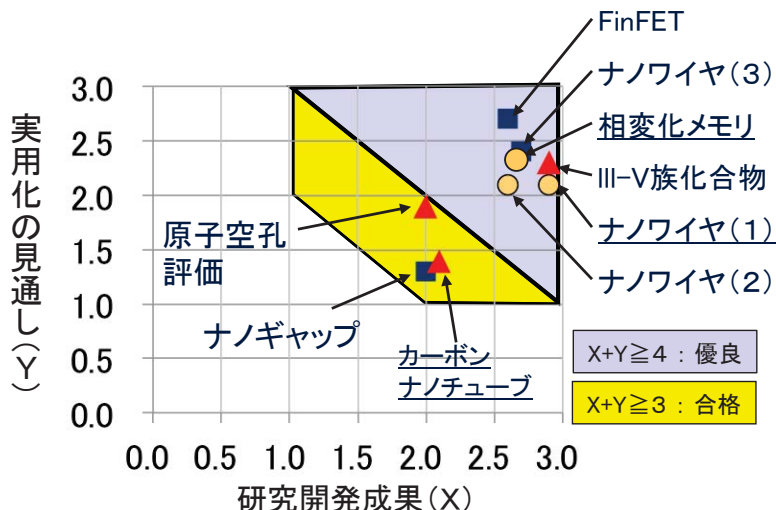
PJ体制 : NEDOマネジメントの元9つのプロジェクトが個々に活動



プロジェクト全体で優良レベル (4.7点) の評価

$$X + Y = 2.6 + 2.1 = 4.7$$

事業の位置づけ・必要性	2.9
研究開発マネジメント	1.9
研究開発成果 (X)	2.6
実用化の見通し (Y)	2.1



<コメント>
 ○総合的に十分期待に応える成果を上げている。
 ○次代の半導体産業の基盤となる基礎データを構築している。
 ○ナノエレクトロニクスをターゲットとした革新的なテーマが選定され、成果が順調に積み上がっている。
 △ナノワイヤ技術は3つの案件が独立した活動になっている。今後は連携をすすめるべき。
 △CNTなど個別テーマはクリアしているが全体目標の集積回路システムへの適用にはまだ改善が必要。

情勢変化への対応

- (1) テーマ内類似プロジェクトの連携を推進... ナノワイヤ3テーマの連携
- (2) 全体予算削減に伴う案件絞込み ... 前倒し終了 (ナノワイヤ、CNT)
- (3) 関連PJの実用化強化のため案件移行 ... 相変化メモリを超低電圧デバイスPJに移動
- (4) 目標達成の促進... ナノギャップ、III-V族、原子空孔濃度評価へ加速予算追加

シリコンナノワイヤ技術

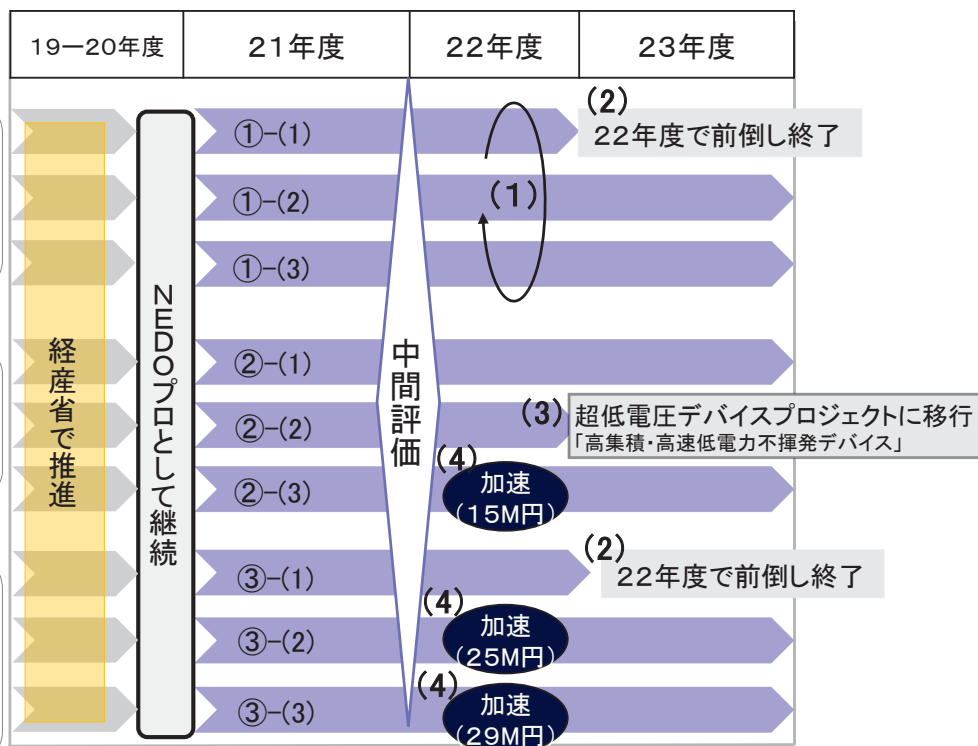
- (1) シリコンナノワイヤトランジスタの知識統合研究開発
- (2) ナノワイヤFETの研究開発
- (3) シリコンナノワイヤトランジスタの物性探究と集積化

②次世代メモリ技術

- (1) 新構造SRAM技術 (FinFET)
- (2) 次世代相変化メモリ技術
- (3) ナノギャップ不揮発性メモリ

③新材料技術

- (1) カーボンナノチューブトランジスタ
- (2) III-V族半導体チャネルトランジスタ
- (3) シリコンウェハ中の原子空孔濃度定量評価



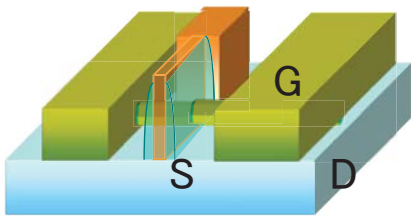
①シリコンナノワイヤー技術

テーマ	目標	成果	達成度
(1)知識統合研究	<ul style="list-style-type: none"> 直径10nm以下のSiナノワイヤトランジスタを作製、構造制御の効果を明確化 サブnm形状やポテンシャル分布の計測技術を実現 統合的シミュレーション技術、デバイスシミュレータを開発 	<ul style="list-style-type: none"> NiSi₂の固相エピタキシャル成長法を用いて、ナノワイヤに単結晶メタルソース・ドレインを形成する技術を確立。 独自の測定技術を開発し、ポテンシャル分布を0.1V精度の測定に成功。 事業段階に応用可能なプロセス設計シミュレーション技術を開発した。 	○
(2)ナノワイヤFET開発	<ul style="list-style-type: none"> 電子構造解析により解明すべき物理現象を明確化 バリスティシティ等の性能最適化指針を明確化 SiナノワイヤFET作製評価により技術課題を明確化 Siナノワイヤデバイスのロードマップ作成 	<ul style="list-style-type: none"> SiナノワイヤFETの特性評価を可能とするTEGの設計を完了し、半導体製造装置に実際に試作を投入した。その結果、一本当たり40μAを超えるオン電流を得る事に成功した。 5nmプロセス時に解決すべき課題を8つの項目に分け、科学的、技術的課題をリストアップ。2024年実用化にむけたロードマップを作成した。 	◎
(3)物性探究と集積化	<ul style="list-style-type: none"> プレーナバルクMOSFETより高移動度を示すパラメータを明確化 チャンネル長25nm以下、チャンネル径10nm以下のSiナノワイヤトランジスタ作製 	<ul style="list-style-type: none"> ワイヤ幅が9nmの時に正孔移動度が最大になることを明らかにして目標値よりも小さいチャンネル長14nm、チャンネル径10nmのトランジスタ動作を実現した。 	◎

①シリコンナノワイヤー技術

①-(1)シリコンナノワイヤトランジスタの知識統合

CAD開発に反映できるシミュレーションモデルを開発



電子状態を密度汎関数法で計算

- 電気伝導シミュレーション
- レートモデルによるI-V特性計算

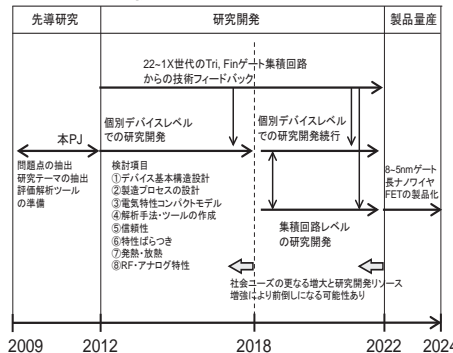
バリスティックな電気伝導度の計算を実現

- 不純物モデリングシミュレーション
- 構造最適化シミュレーション
- 界面シミュレーション

①-(2)ナノワイヤFET

技術開発ロードマップを作成

5~8nm世代のナノワイヤFET技術開発ロードマップ



ナノワイヤ物理の理論的把握

- 4万原子の第一原理計算
- 電子構造の強い断面形状依存性

ナノワイヤ特性のモデル化

- バリスティックモデル
- 準バリスティックコンパクトモデル
- 電子電子散乱モデル

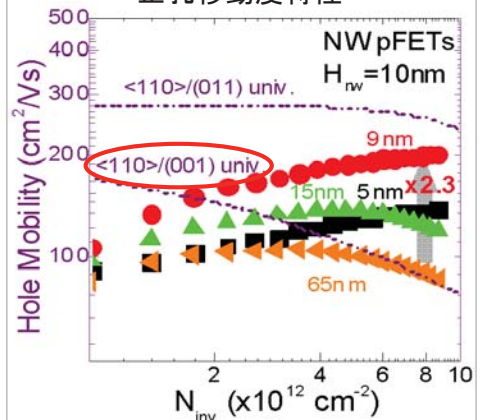
試作実験

- 量産可能な試作プロセスを開発

①-(3)シリコンナノワイヤトランジスタの物性探究と集積化

高性能特性を確認

正孔移動度特性



ワイヤ長 × ワイヤ径

短 × 並 → 異なるアプローチで
長 × 細 → 最適解を探索

ワイヤ幅9nmでユニバーサル移動度の2.3倍の正孔移動度を達成。移動度測定は世界初

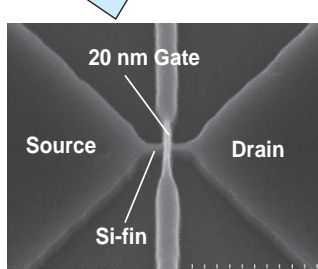
②次世代メモリ技術

テーマ	目標	成果	達成度
(1)FinFET-SRAM	<ul style="list-style-type: none"> ・20nm級立体構造FinFET技術の開発 ・上記技術を用いた4端子SRAMアレイの開発 ・従来トランジスタ比較で同面積で高速動作、低消費電力を実証する 	<ul style="list-style-type: none"> ・20nmで世界最小レベルの特性バラツキを実現。 ・Flex-Pass-Gate-SRAM回路を実現。素子バラツキとSRAM特性バラツキの相関を解明。 ・バルクトランジスタと同面積比較で動作余裕1.5倍、待機消費電力1/30を実現 	◎
(2)相変化メモリ	<ul style="list-style-type: none"> ・ナノレベル構造制御カルコゲナイド薄膜の結晶構造検討 ・製造シミュレーション技術の開発 ・大規模集積化のための薄膜物性データベースの構築 ・デバイス試作 	<p>ゲルマニウム(Ge)-アンチモン(Sb)-テルル(Te)三元合金を用いた超格子型相変化メモリを作製・評価し、従来型相変化メモリの消費電力比で1/30以上を達成し、当初目標の1/5を大きく上回った</p>	◎
(3)ナノギャップメモリ	<ul style="list-style-type: none"> ・平面微細NGS素子開発、ナノギャップ物性変化測定 ・縦型NGS素子開発、4kbitデバイス試作、書換速度100ns、書換耐性10⁶回以上を実証 ・実用レベルのローパワー化のために、まず最大電流20μA以下、動作電圧5V程度を実現 	<ul style="list-style-type: none"> ・ギャップ長5nm、ギャップ幅10nmの平面先鋭型NGSを作製し、メモリ動作を確認。 ・縦型アレイ構造を実現し4Kbit単位で書換速度数十ns、書換耐性10⁶回以上を達成。 ・素子構造の微細化、活性ガスの充填などで4.5V、2μAを達成。加えてギャップ幅とフォーミング電圧の相関性を発見し、更なる低電圧化の可能性を示した。 	○

②次世代メモリ技術 (1)Fin-FET SRAM

「短ゲート長Fin型FET」、「新SRAM構造」「低消費電力特性」を実現し次世代メモリの実現可能性を示した

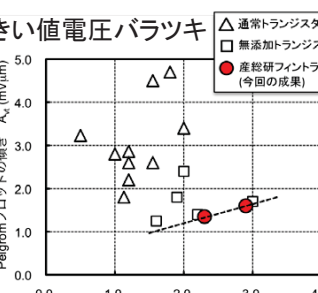
・ゲート長20nmのFin-FET試作に成功
・世界最小の特性バラツキを確認



20 nm Gate
Source Drain
Si-fin

5.0kV 7.7mm x100k SE(U) 500nm

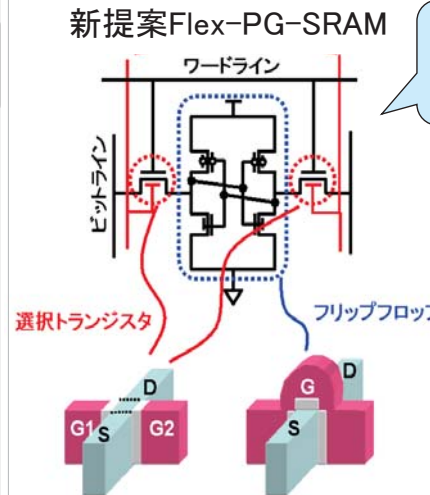
しきい値電圧バラツキ



△ 通常トランジスタ
□ 無添加トランジスタ
● 産総研フィントランジスタ (今回の成果)

縦軸: 産総研プロットの種類 V_{th} (mV/μm)
横軸: ゲート酸化膜厚 T_{ox} (nm)

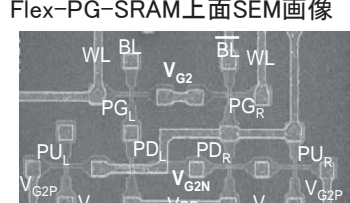
新提案Flex-PG-SRAM



ワードライン
ビットライン
選択トランジスタ
フリップフロップ

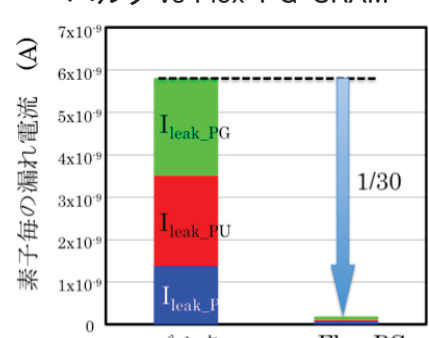
・4端子FinFETを用いたFlex-Pass-Gate-SRAM回路の試作に成功

Flex-PG-SRAM上面SEM画像



・バルクトランジスタ比でセル面積増加無、動作余裕1.5倍、待機時消費電力1/30を確認

SRAM漏れ電流量
バルク vs Flex-PG-SRAM



素子毎の漏れ電流 (A)

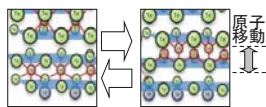
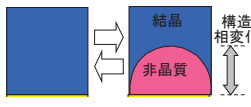
バルク: I_{leak_PG} , I_{leak_PU} , I_{leak_F}

Flex-PG: 1/30

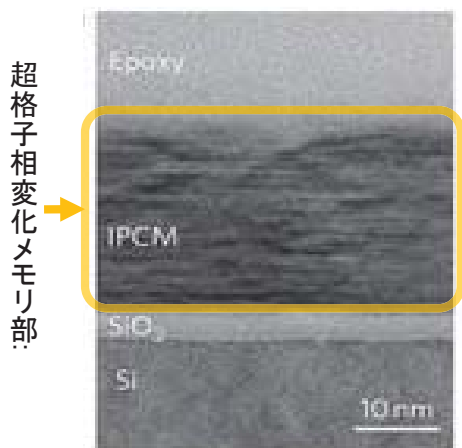
②次世代メモリ技術 (2)次世代相変化メモリ

公開資料

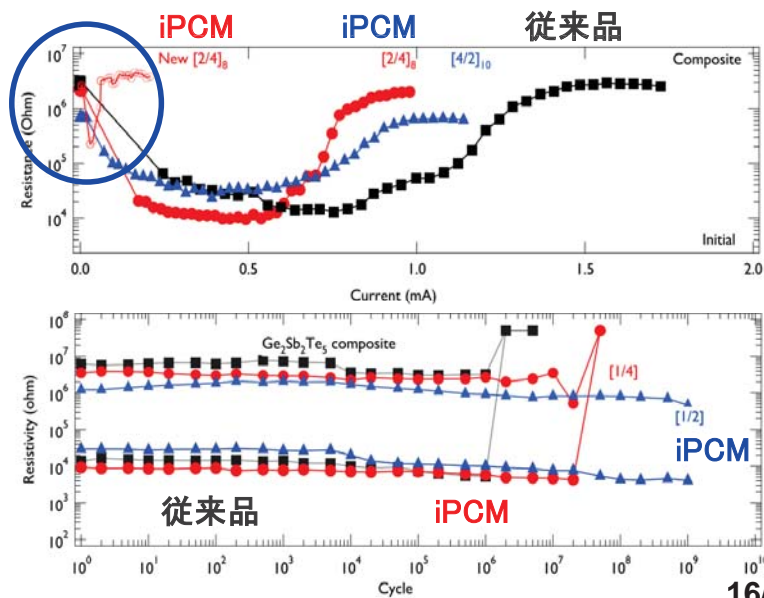
超格子相変化: Geの短範囲移動による相変化

超格子材料 GeTe/Sb ₂ Te ₃	従来材料 Ge ₂ Sb ₂ Te ₅
	
結晶⇄結晶 (Geの短範囲移動)	結晶⇄非晶質
相変化エネルギー 1/20	1 (規格化)

- 超格子型に適した材料を見だしメモリ機能を確認
- 消費電力1/30以下を実証
(目標:従来型相変化メモリ構造比1/5)



iPCM: Interfacial Phase-Change Memory



16/27

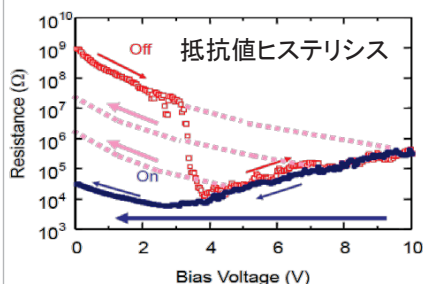
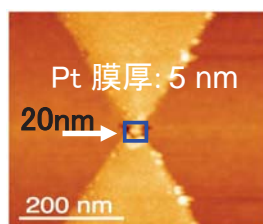
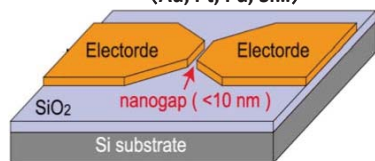
②次世代メモリ技術 (3)ナノギャップメモリ

公開資料

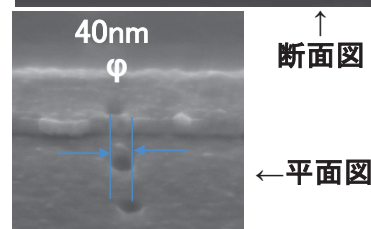
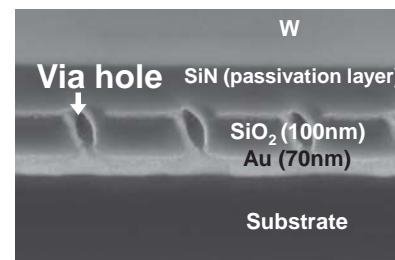
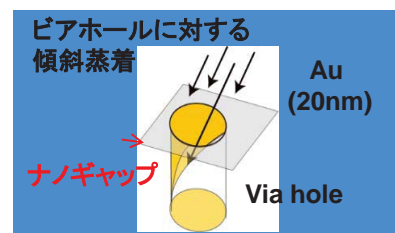
「低コスト」「高集積化」「DRAM対抗」実現の可能性を示した

シンプルな構造

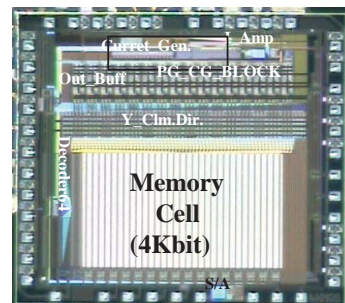
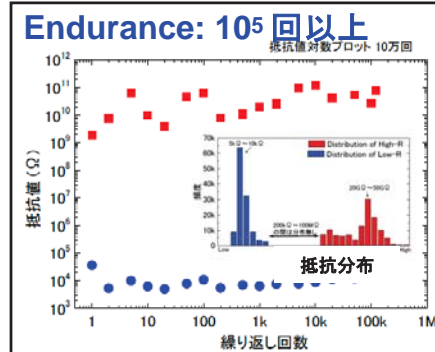
構成要素: 金属電極のみ
(Au, Pt, Pd, Si...)



縦型化/アレイ化で集積度を向上
Φ = 40nmの縦型素子作製に成功



- ①高速性: HRS (L→H) : 1 ns < LRS (H→L) < 100 ns
- ②稠密性: Via-hole径φ = 40 nm
- ③書き換え耐性: 10⁵回以上 (@ 単体) 10³回 (@ 4kb)



17/27

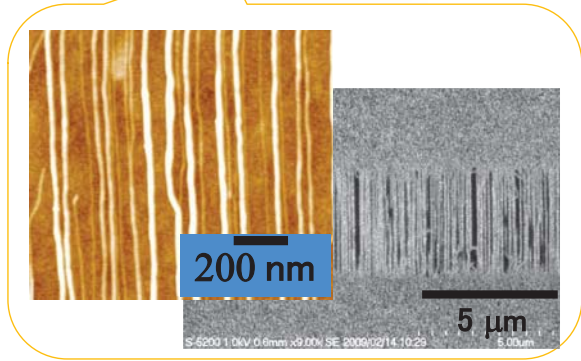
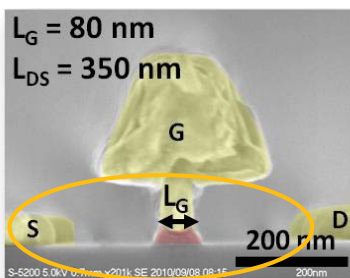
③新材料技術

テーマ	目標	成果	達成度
(1)CNTトランジスタ	<ul style="list-style-type: none"> ・高密度チャネルFETで電流利得遮断周波数50GHz以上を実証 ・半導体CNT 優先成長、Siウエハ上CNT高密度配向成長を実現 ・局所評価技術の有効性を検証 	<ul style="list-style-type: none"> ・ゲート長80nmのFETを作成し、電流利得遮断周波数100GHzの可能性を示した。 ・23本/umの高密度配向成長を実現。 ・KFM,MFM法を用いてCNTの欠陥測定、マルチチャネルFET内の有効CNTの測定を実現した。 	○
(2)Ⅲ-V族半導体	<ul style="list-style-type: none"> ・Si上のnチャネルⅢ-V族MISFETの作製技術を開発し、その高移動度動作を実証する。 ・最適素子構造・材料の明確化、CMOSプラットフォームへの適用性の明確化、大規模集積化の可能性を示す。 	<ul style="list-style-type: none"> ・貼り合わせ法により、膜厚3.5nmまでの極薄ボディInGaAs-OI構造を実現し、高いピーク移動度(5,500cm²/Vs)を達成。 ・Ni-InGaAs、Ta/Al₂O₃が高速動作に有効であることを実証した。 	◎
(3)原子空孔濃度評価	<ul style="list-style-type: none"> ・原子空孔濃度の面内分布分析技術確立 ・大規模ナノレベルシミュレーション技術開発 ・原子空孔濃度を制御した完全結晶ウエハ作製技術確立 ・原子空孔濃度とデバイス特性との関連を調査/検証 	<ul style="list-style-type: none"> ・超音波装置と希釈冷凍機を用いた低温・磁場下でのウエハ中原子空孔評価装置を開発した。また、ギガヘルツ発振ZnO圧電素子を成膜し、原子空孔濃度分析システムを完成させた。その結果、20mKまでの極低温領域まで高い音速分解能($\Delta v/v = 10^{-6}$以上)を達成した。 	◎

②新材料技術 (1)カーボンナノチューブ(CNT)トランジスタ

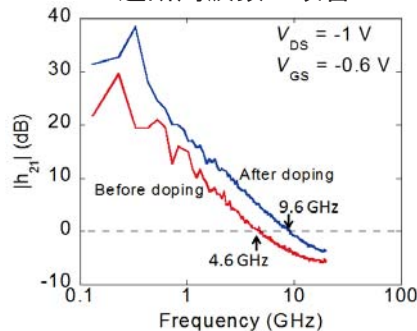
基礎研究段階でCNT-FETコンプリメンタリインバーターの動作を実証、真性動作周波数としてSiレベルの100GHzの可能性を示す

電子ビーム描画技術と二層レジストを用いたマッシュルームゲートCNT-FET



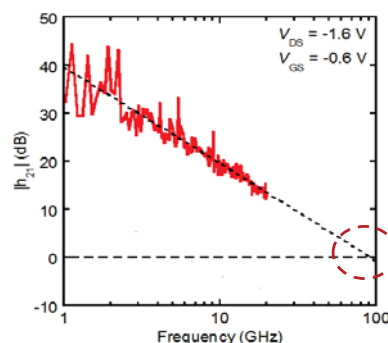
高密度配向成長 23本/μm

F₄TCNQドーピングによる電流利得遮断周波数の改善



4.6GHz→9.6GHz

寄生素子を除去した時の電流利得の周波数依存性

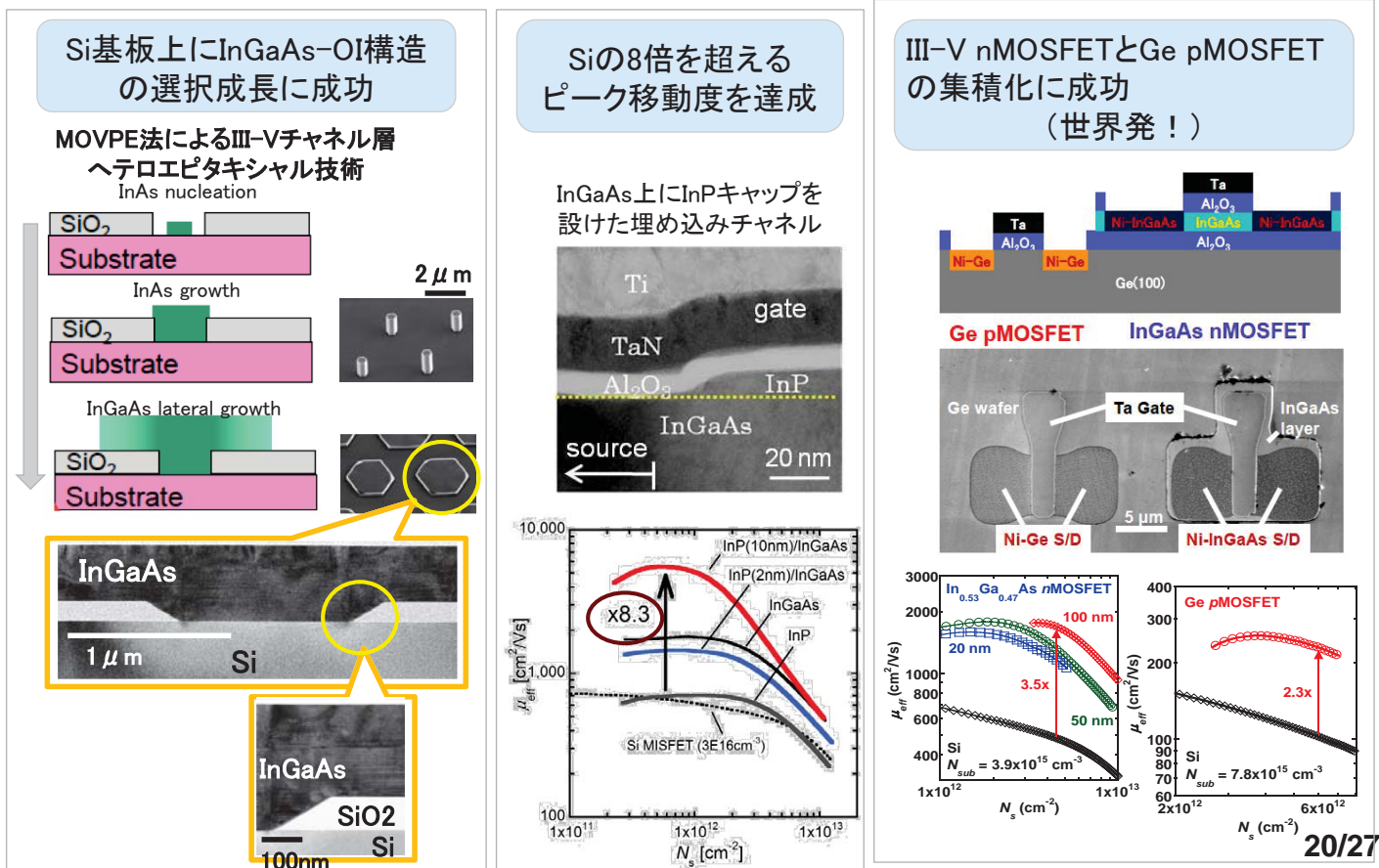


電流利得遮断周波数 100 GHzの実現が可能

②新材料技術 (2)Ⅲ-V族半導体チャネルトランジスタ

公開資料

「量産性」「高性能」「集積化」を実証しMore than Moor候補であることを示した



②新材料技術 (3)シリコンウェハ中の原子空孔濃度定量評価

公開資料

仮説: ナノレベルのプロセスでは原子空孔が品質に影響を及ぼす

ウェハの原子空孔濃度測定方法の確立

ウェハの原子空孔濃度と製品歩留の相関確認

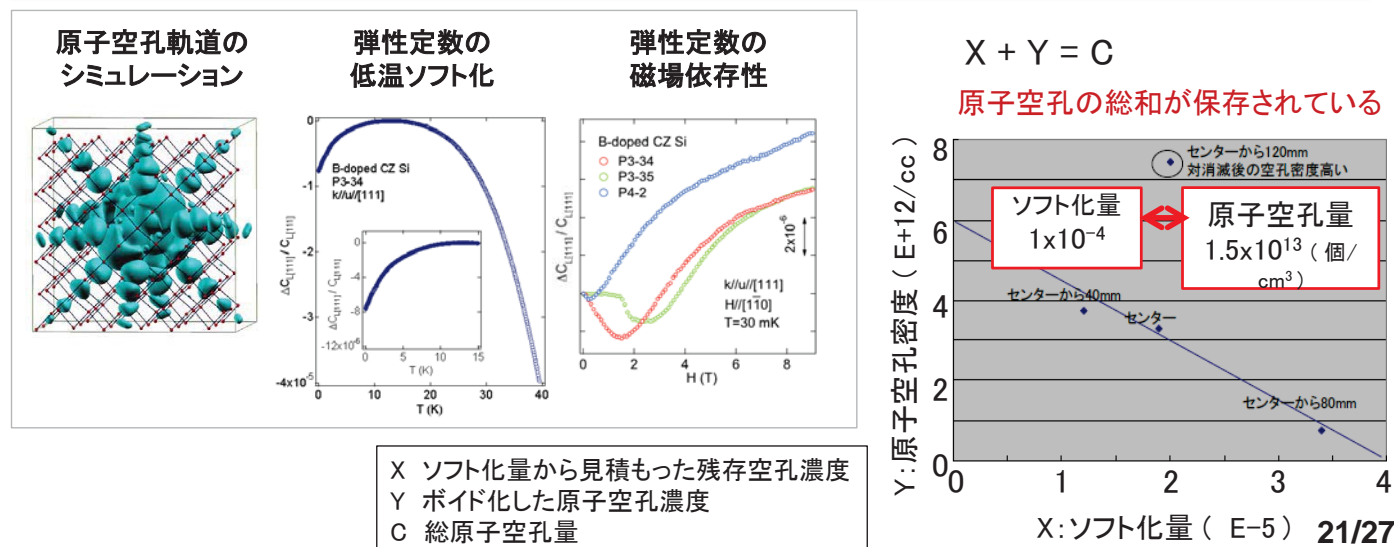
要因分析 (原因説明)

原子空孔制御方法開発

ウェハレベルで品質を担保

ウェハメーカーの付加価値向上

低温超音波計測でシリコン結晶の低温ソフト化とその磁場依存性を測定することで原子空孔濃度を定量測定する分析技術を開発



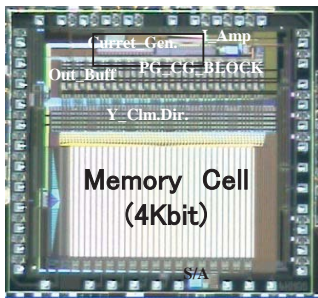
加速内容

公開資料

②-(3)
ナノギャップメモリ

15M円

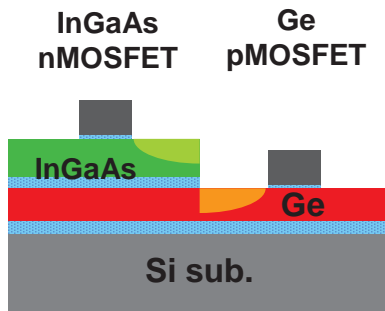
4Bitメモリアレイの
動作検証環境構築



③-(2)
Ⅲ-V族半導体
チャンネルトランジスタ

25M円

Si基板上にⅢ-V族チャンネル
nMOSFE、Ge pMOSFETを
集積化する基板技術開発

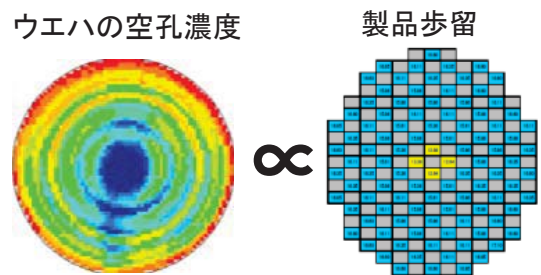


SOI基板上に薄膜Ge-On-Insulator (GOI)
構造を形成し、この基板の上にⅢ-V族
チャンネルを貼り合わせる技術

③-(3)
原子空孔濃度
定量評価

29M円

量産品の300mmウエハを用い
原子空孔濃度の測定と
半導体製品の歩留まりを測定



22/27

3. 研究開発成果について

(2) 成果の意義

公開資料

		意義
① ナノワイヤ技術	(1)知識統合研究	本研究の作製プロセスや計測技術、シミュレーション手法などの要素技術は、そのままナノレベルの精度を要求されている現行のシリコンLSIプロセスに適用可能であるため設計/製造ツールの開発促進に貢献する
	(2)ナノワイヤFET開発	実用化の技術課題を明確にして、ITRSに先んじて2024年頃の8nm以下の微細化にむけたロードマップを作成した。
	(3)物性探究と集積化	ワイヤ幅7nmのトランジスタ移動度を世界で初めて測定し、通常のプレーナバルクMOSFETより高い性能を示し、300mmラインで高精度特性を確認したことで「More Moor」デバイスとしてのフィージビリティを示した。
② 次世代メモリ技術	(1)FinFET-SRAM	4端子FinFETのSRAMアレイ試作に成功しメモリセルとしては実用化に近い。
	(2)相変化メモリ	超格子構造により従来型相変化メモリの1/10以下の低消費電力が確認できたことは、NAND FLASHを含むモバイル端末向けメモリへの可能性を示している
	(3)ナノギャップメモリ	従来のプレーナ型と異なるシンプルな縦型構造で100ns以下の高速動作で不揮発メモリ特性を確認できたことは、将来、不揮発メモリの主力になる可能性を示している。
③ 新材料技術	(1)CNTトランジスタ	基礎研究段階で数十ゲート長のFET構造を実現し、CMOS並みのスピード(100GHz)を示したことは、将来の半導体材料としての可能性を示している。
	(2)Ⅲ-V族半導体	シリコン上にⅢ-V族による微細化のフィージビリティを明確にしたことは将来の量産化の道を開いた。
	(3)原子空孔濃度評価	ウエハー段階の原子空孔濃度と最終製品の歩留りに相関性を確認。この空孔濃度を制御する技術が確立できれば、ウエハービジネスの付加価値を向上する新しい事業に展開できる可能性を示した。

特許の5割弱は国際出願

テーマ	特許(内国際)	論文	講演、他
①-(1): Siナノワイヤトランジスタの知識統合	3(0)	24	86
①-(2): ナノワイヤFET	3(0)	30	9
①-(3): Siナノワイヤトランジスタの物性探究と集積化	12(6)	19	79
②-(1): 新構造FinFETによるSRAM	13(7)	26	99
②-(2): 次世代相変化メモリ	16(7)	4	5
②-(3): ナノギャップ不揮発性メモリ	34(12)	18	63
③-(1): CNTトランジスタ	5(0)	32	161
③-(2): III-V族半導体チャネルトランジスタ	45(31)	49	224
③-(3): Siウエハ中の原子空孔濃度定量評価	18(6)	8	28
合計	149(69)	210	754

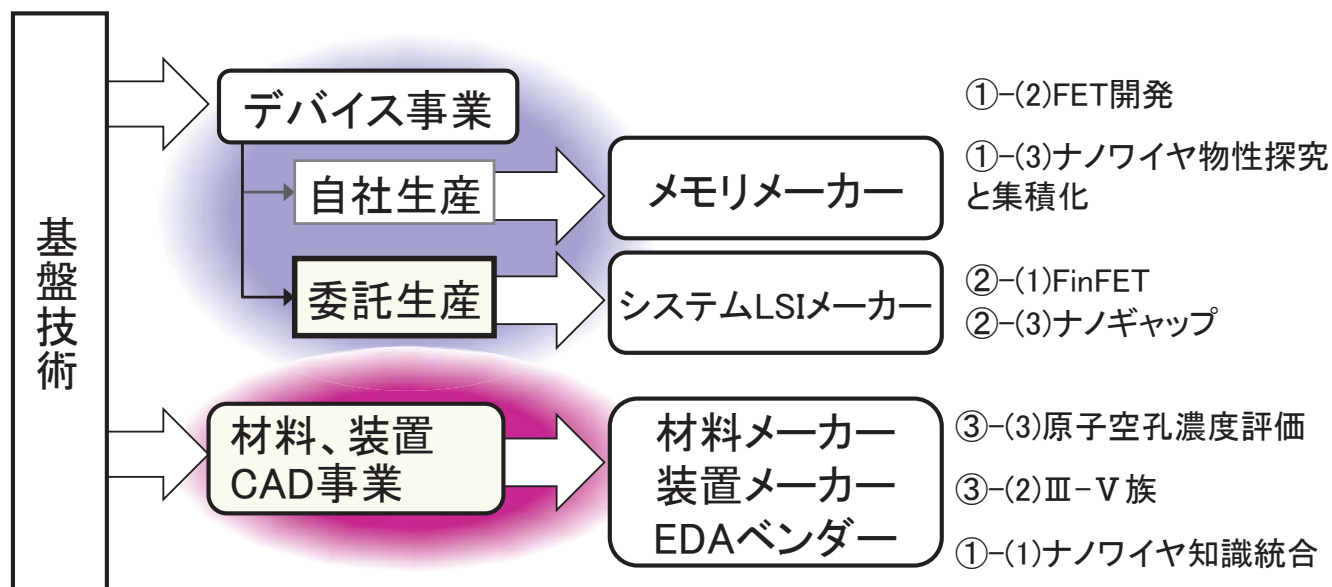
事業原簿 特許論文リスト

24/27

実用化・事業化の可能性

公開資料

- (1) メモリ事業への打ち出しに期待
 (2) 装置、材料メーカーの競争力としての出口も有力候補。

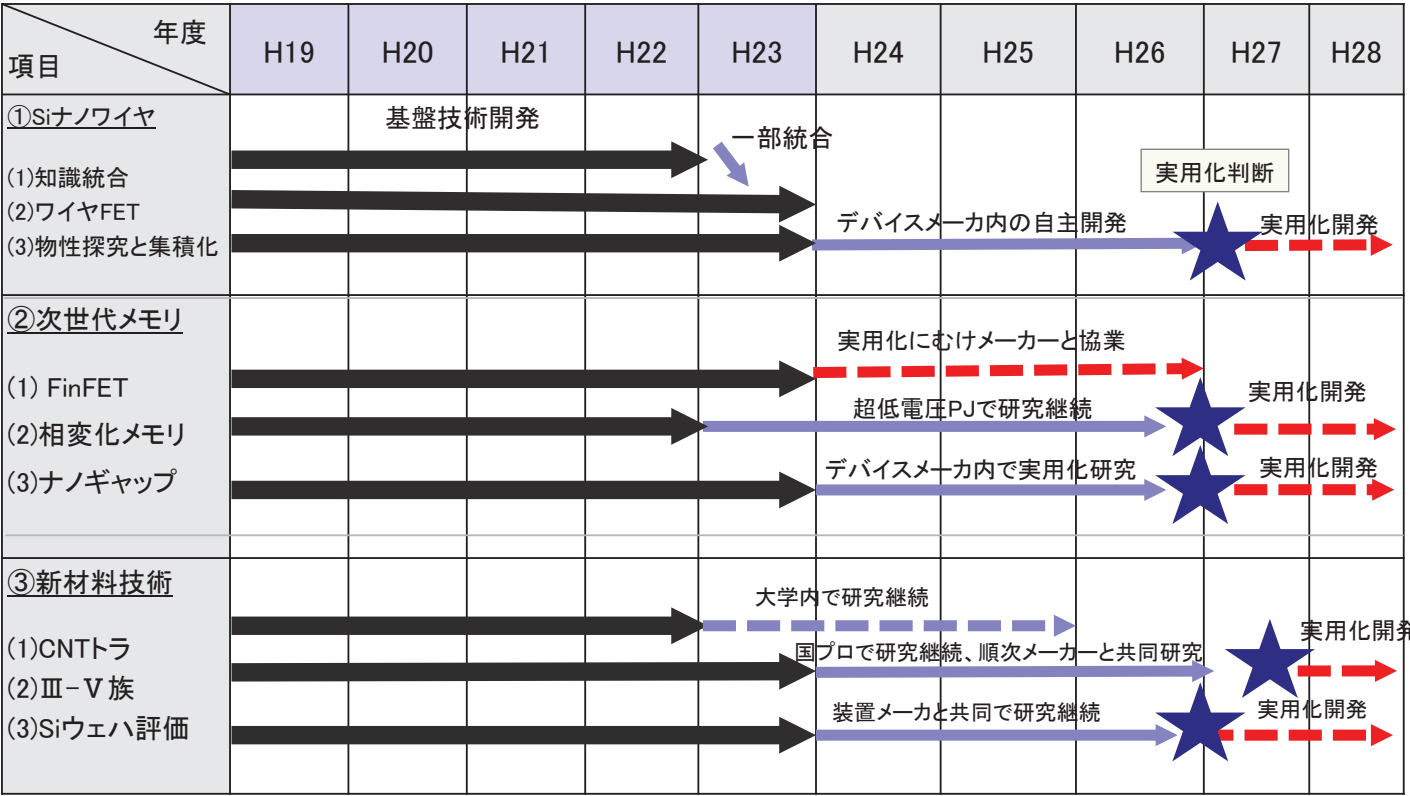


25/27

実用化にむけた取り組み:

		今後の活動	将来の想定事業
① Siナノワイヤ技術	(1)知識統合	《研究継続》 将来のメモリ、ロジックへの活用を目指しデバイス、メーカーで研究を継続する	メモリ、ロジックデバイス
	(2)FET開発		
	(3)物性探究と集積化		
② 次世代メモリ技術	(1)FinFET-SRAM	《実用化研究》 2016年頃の国内半導体メーカーへの提供をめざしLEAPおよび回路設計受託会社1社と共同研究を開始	組込み用メモリコアから始めロジックデバイスに展開
	(2)相変化メモリ	「超低電圧プロジェクト」に移管	
	(3)ナノギャップメモリ	《実用化研究》 採用予定メーカーと産総研で開発継続	D-TV,STBむけSoCのエンベデッドメモリから参入
③ 新材料技術	(1)CNTトランジスタ	早期終了	
	(2)Ⅲ-V族半導体	《研究継続》 NEDO「省エネルギー革新技術開発事業」および内閣府「先端研究開発支援プログラム」で研究継続	次世代のロジック系デバイスに適用
	(3)原子空孔濃度評価	《実用化研究》 装置メーカー、ウエハメーカーと研究継続	・ウエハ事業(空孔濃度データサービス) ・原子空孔評価装置事業

実用化へのロードマップ (※)



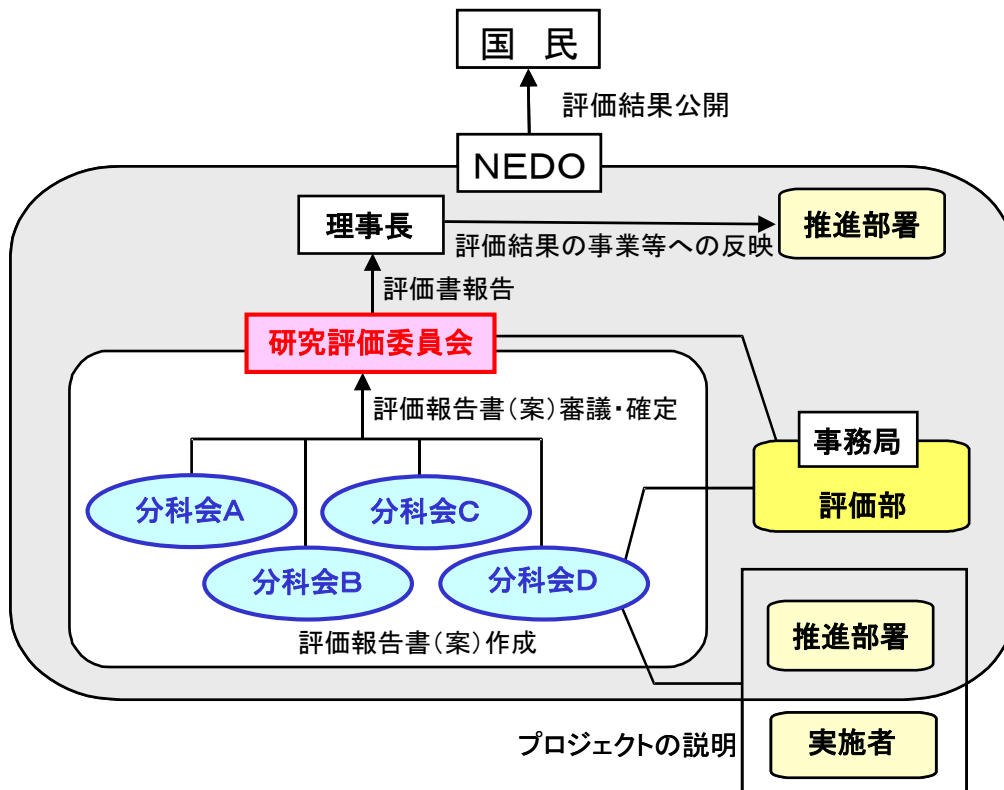
※本プロジェクトは「技術の芽の探索」のためH24以降のロードマップは想定です。

参考資料 1 評価の実施方法

本評価は、「技術評価実施規程」（平成 15 年 10 月制定）に基づいて研究評価を実施する。

独立行政法人新エネルギー・産業技術総合開発機構（NEDO）における研究評価の手順は、以下のように被評価プロジェクトごとに分科会を設置し、同分科会にて研究評価を行い、評価報告書（案）を策定の上、研究評価委員会において確定している。

- 「NEDO 技術委員・技術委員会等規程」に基づき研究評価委員会を設置
- 研究評価委員会はその下に分科会を設置



1. 評価の目的

評価の目的は「技術評価実施規程」において。

業務の高度化等の自己改革を促進する

社会に対する説明責任を履行するとともに、

経済・社会ニーズを取り込む

評価結果を資源配分に反映させ、資源の重点化及び業務の効率化を促進する

としている。

本評価においては、この趣旨を踏まえ、本事業の意義、研究開発目標・計画の妥当性、計画を比較した達成度、成果の意義、成果の実用化の可能性等について検討・評価した。

2. 評価者

技術評価実施規程に基づき、事業の目的や態様に即した外部の専門家、有識者からなる委員会方式により評価を行う。分科会委員選定に当たっては以下の事項に配慮して行う。

科学技術全般に知見のある専門家、有識者

当該研究開発の分野の知見を有する専門家

研究開発マネジメントの専門家、経済学、環境問題、国際標準、その他社会的ニーズ関連の専門家、有識者

産業界の専門家、有識者

ジャーナリスト

また、評価に対する中立性確保の観点から事業の推進側関係者を選任対象から除外し、また、事前評価の妥当性を判断するとの側面にかんがみ、事前評価に関与していない者を主体とする。

これらに基づき、分科会委員名簿にある8名を選任した。

なお、本分科会の事務局については、独立行政法人新エネルギー・産業技術総合開発機構評価部が担当した。

3. 評価対象

平成19年度に開始された「低炭素社会を実現する超低電圧ナノエレクトロニクスプロジェクト／ナノエレクトロニクス半導体新材料・新構造ナノ電子デバイス技術開発」プロジェクトを評価対象とした。

プロジェクトの内容、成果に関する資料をもって評価した。

4. 評価方法

分科会においては、当該事業の推進部署及び研究実施者からのヒアリングと、それを踏まえた分科会委員による評価コメント作成、評点法による評価及び実施者側等との議論等により評価作業を進めた。

なお、評価の透明性確保の観点から、知的財産保護の上で支障が生じると認められる場合等を除き、原則として分科会は公開とし、研究実施者と意見を交換する形で審議を行うこととした。

5. 評価項目・評価基準

分科会においては、次に掲げる「評価項目・評価基準」で評価を行った。これは、研究評価委員会による『各分科会における評価項目・評価基準は、被評価プロジェクトの性格、中間・事後評価の別等に応じて、各分科会において判断すべきものである。』との考え方に従い、第1回分科会において、事務局が、研究評価委員会により示された「標準的評価項目・評価基準」（参考資料1-7頁参照）をもとに改定案を提示し、承認されたものである。

プロジェクト全体に係わる評価においては、主に事業の目的、計画、運営、達成度、成果の意義や実用化への見通し等について評価した。各個別テーマに係る評価については、主にその目標に対する達成度等について評価した。

評価項目・評価基準（事後評価）

1. 事業の位置付け・必要性について

(1) NEDOの事業としての妥当性

- ・ ITイノベーションプログラム・ナノテク・部材イノベーションプログラムの目標達成のために寄与しているか。
- ・ 民間活動のみでは改善できないものであること、又は公共性が高いことにより、NEDOの関与が必要とされる事業か。
- ・ 当該事業を実施することによりもたらされる効果が、投じた予算との比較において十分であるか。

(2) 事業目的の妥当性

- ・ 内外の技術開発動向、国際競争力の状況、エネルギー需給動向、市場動向、政策動向、国際貢献の可能性等から見て、事業の目的は妥当か。

2. 研究開発マネジメントについて

(1) 研究開発目標の妥当性

- ・ 内外の技術動向、市場動向等を踏まえて、戦略的な目標が設定されているか。
- ・ 具体的かつ明確な開発目標を可能な限り定量的に設定しているか。
- ・ 目標達成度を測定・判断するための適切な指標が設定されているか。

(2) 研究開発計画の妥当性

- ・ 目標達成のために妥当なスケジュール、予算（各個別研究テーマ毎の配分を含む）となっているか。
- ・ 目標達成に必要な要素技術を取り上げているか。
- ・ 研究開発フローにおける要素技術間の関係、順序は適切か。
- ・ 継続プロジェクトや長期プロジェクトの場合、技術蓄積を、実用化の観点から絞り込んだうえで活用が図られているか。

(3) 研究開発実施の事業体制の妥当性

- ・ 適切な研究開発チーム構成での実施体制になっているか。
- ・ 真に技術力と事業化能力を有する企業を実施者として選定しているか。
- ・ 全体を統括するプロジェクトリーダー等が選任され、十分に活躍できる環境が整備

されているか。

- ・ 目標達成及び効率的実施のために必要な実施者間の連携が十分に行われる体制となっているか。
- ・ 実用化シナリオに基づき、成果の受け取り手（ユーザー、活用・実用化の想定者等）に対して、関与を求める体制を整えているか。

(4) 研究開発成果の実用化に向けたマネジメントの妥当性

- ・ 成果の実用化につなげる戦略が明確になっているか。
- ・ 成果の実用化につなげる知財マネジメントの方針が明確に示され、かつ妥当なものか。

(5) 情勢変化への対応等

- ・ 進捗状況を常に把握し、社会・経済の情勢の変化及び政策・技術動向に機敏かつ適切に対応しているか。
- ・ 計画見直しの方針は一貫しているか（中途半端な計画見直しが研究方針の揺らぎとなっていないか）。計画見直しを適切に実施しているか。

3. 研究開発成果について

(1) 目標の達成度

- ・ 成果は目標値をクリアしているか。
- ・ 全体としての目標達成はどの程度か。
- ・ 目標未達成の場合、目標達成までの課題を把握し、課題解決の方針が明確になっているか。

(2) 成果の意義

- ・ 成果は市場の拡大或いは市場の創造につながる事が期待できるか。
- ・ 成果は、世界初あるいは世界最高水準か。
- ・ 成果は、新たな技術領域を開拓することが期待できるか。
- ・ 成果は汎用性があるか。
- ・ 投入された予算に見合った成果が得られているか。
- ・ 成果は、他の競合技術と比較して優位性があるか。

(3) 知的財産権等の取得及び標準化の取組

- ・ 知的財産権等の取扱（特許や意匠登録出願、著作権や回路配置利用権の登録、品種登録出願、営業機密の管理等）は事業戦略、または実用化計画に沿って国内外に適

切に行われているか。

(4)成果の普及

- ・ 論文の発表は、研究内容を踏まえ適切に行われているか。
- ・ 成果の受取手（ユーザー、活用・実用化の想定者等）に対して、適切に成果を普及しているか。また、普及の見通しは立っているか。
- ・ 一般に向けて広く情報発信をしているか。

4. 実用化の見通しについて

(1)成果の実用化可能性

- ・ 実用化イメージ・出口イメージが明確になっているか。
- ・ 実用化イメージ・出口イメージに基づき、開発の各段階でマイルストーンを明確にしているか。それを踏まえ、引き続き研究開発が行われる見通しは立っているか。

(2)波及効果

- ・ 成果は関連分野への波及効果（技術的・経済的・社会的）を期待できるものか。
- ・ プロジェクトの実施自体が当該分野の研究開発や人材育成等を促進するなどの波及効果を生じているか。

標準的評価項目・評価基準（事後評価）

2010. 3. 26

【事後評価 標準的評価項目・評価基準の位置付け（基本的考え方）】

標準的評価項目・評価基準は、第25回研究評価委員会（平成22年3月26日付）において以下のとおり定められている。（本文中の記載例による1…、2…、3…、4…が標準的評価項目、それぞれの項目中の(1)…、(2)…が標準的評価基準、それぞれの基準中の…が視点）

ただし、これらの標準的評価項目・評価基準は、研究開発プロジェクトの事後評価における標準的な評価の視点であり、各分科会における評価項目・評価基準は、被評価プロジェクトの性格等に応じて、各分科会において判断すべきものである。

1. 事業の位置付け・必要性について

(1) NEDOの事業としての妥当性

- ・ 特定の施策（プログラム）、制度の下で実施する事業の場合、当該施策・制度の目標達成のために寄与しているか。
- ・ 民間活動のみでは改善できないものであること、又は公共性が高いことにより、NEDOの関与が必要とされる事業か。
- ・ 当該事業を実施することによりもたらされる効果が、投じた予算との比較において十分であるか。

(2) 事業目的の妥当性

- ・ 内外の技術開発動向、国際競争力の状況、エネルギー需給動向、市場動向、政策動向、国際貢献の可能性等から見て、事業の目的は妥当か。

2. 研究開発マネジメントについて

(1) 研究開発目標の妥当性

- ・ 内外の技術動向、市場動向等を踏まえて、戦略的な目標が設定されているか。
- ・ 具体的かつ明確な開発目標を可能な限り定量的に設定しているか。
- ・ 目標達成度を測定・判断するための適切な指標が設定されているか。

(2)研究開発計画の妥当性

- ・ 目標達成のために妥当なスケジュール、予算（各個別研究テーマ毎の配分を含む）となっているか。
- ・ 目標達成に必要な要素技術を取り上げているか。
- ・ 研究開発フローにおける要素技術間の関係、順序は適切か。
- ・ 継続プロジェクトや長期プロジェクトの場合、技術蓄積を、実用化の観点から絞り込んだうえで活用が図られているか。

(3)研究開発実施の事業体制の妥当性

- ・ 適切な研究開発チーム構成での実施体制になっているか。
- ・ 真に技術力と事業化能力を有する企業を実施者として選定しているか。
- ・ 研究管理法人を經由する場合、研究管理法人が真に必要な役割を担っているか。
- ・ 全体を統括するプロジェクトリーダー等が選任され、十分に活躍できる環境が整備されているか。
- ・ 目標達成及び効率的実施のために必要な実施者間の連携 and/or 競争が十分に行われる体制となっているか。
- ・ 実用化シナリオに基づき、成果の受け取り手（ユーザー、活用・実用化の想定者等）に対して、関与を求める体制を整えているか。

(4) 研究開発成果の実用化、事業化に向けたマネジメントの妥当性

- ・ 成果の実用化、事業化につなげる戦略が明確になっているか。
- ・ 成果の実用化、事業化につなげる知財マネジメントの方針が明確に示され、かつ妥当なものか。

(5)情勢変化への対応等

- ・ 進捗状況を常に把握し、社会・経済の情勢の変化及び政策・技術動向に機敏かつ適切に対応しているか。
- ・ 計画見直しの方針は一貫しているか（中途半端な計画見直しが研究方針の揺らぎとなっていないか）。計画見直しを適切に実施しているか。

3. 研究開発成果について

(1)目標の達成度

- ・ 成果は目標値をクリアしているか。
- ・ 全体としての目標達成はどの程度か。

- ・ 目標未達成の場合、目標達成までの課題を把握し、課題解決の方針が明確になっているか。

(2)成果の意義

- ・ 成果は市場の拡大或いは市場の創造につながる事が期待できるか。
- ・ 成果は、世界初あるいは世界最高水準か。
- ・ 成果は、新たな技術領域を開拓する事が期待できるか。
- ・ 成果は汎用性があるか。
- ・ 投入された予算に見合った成果が得られているか。
- ・ 成果は、他の競合技術と比較して優位性があるか。

(3)知的財産権等の取得及び標準化の取組

- ・ 知的財産権等の取扱（特許や意匠登録出願、著作権や回路配置利用権の登録、品種登録出願、営業機密の管理等）は事業戦略、または実用化計画に沿って国内外に適切に行われているか。
- ・ 国際標準化に関する事項が計画されている場合、得られた研究開発の成果に基づく国際標準化に向けた提案等の取組が適切に行われているか。

(4)成果の普及

- ・ 論文の発表は、研究内容を踏まえ適切に行われているか。
- ・ 成果の受取手（ユーザー、活用・実用化の想定者等）に対して、適切に成果を普及しているか。また、普及の見通しは立っているか。
- ・ 一般に向けて広く情報発信をしているか。

4. 実用化、事業化の見通しについて

(1)成果の実用化可能性

- ・ 産業技術としての見極め（適用可能性の明確化）ができているか。
- ・ 実用化に向けて課題が明確になっているか。課題解決の方針が明確になっているか。
- ・ 国際標準化に関する事項が計画されている場合、国際規格化等、標準整備に向けた見通しが得られているか。

(2)事業化までのシナリオ

- ・ NEDO後継プロジェクト、NEDO実用化助成、企業内研究等、プロジェクト終了後の事業化までの道筋は明確か。

- ・ 市場の規模や成長性、コストダウン、競合技術との比較、導入普及、事業化までの期間、事業化とそれに伴う経済効果等の見通しは立っているか。

(3)波及効果

- ・ 成果は関連分野への波及効果（技術的・経済的・社会的）を期待できるものか。
- ・ プロジェクトの実施自体が当該分野の研究開発や人材育成等を促進するなどの波及効果を生じているか。

※基礎的・基盤的研究及び知的基盤・標準整備等の研究開発の場合は、以下の項目・基準による。

*基礎的・基盤的研究開発の場合

2. 研究開発マネジメントについて

(1)研究開発目標の妥当性

- ・内外の技術動向、市場動向等を踏まえて、戦略的な目標が設定されているか。
- ・具体的かつ明確な開発目標を可能な限り定量的に設定しているか。
- ・目標達成度を測定・判断するための適切な指標が設定されているか。

(2)研究開発計画の妥当性

- ・目標達成のために妥当なスケジュール、予算（各個別研究テーマ毎の配分を含む）となっているか。
- ・目標達成に必要な要素技術を取り上げているか。
- ・研究開発フローにおける要素技術間の関係、順序は適切か。
- ・継続プロジェクトや長期プロジェクトの場合、技術蓄積を、実用化の観点から絞り込んだうえで活用が図られているか。

(3)研究開発実施の事業体制の妥当性

- ・適切な研究開発チーム構成での実施体制になっているか。
- ・真に技術力と事業化能力を有する企業を実施者として選定しているか。
- ・研究管理法人を経由する場合、研究管理法人が真に必要な役割を担っているか。
- ・全体を統括するプロジェクトリーダー等が選任され、十分に活躍できる環境が整備されているか。
- ・目標達成及び効率的実施のために必要な実施者間の連携 and/or 競争が十分に行われる体制となっているか。
- ・実用化シナリオに基づき、成果の受け取り手（ユーザー、活用・実用化の想定者等）に対して、関与を求める体制を整えているか。

(4)研究開発成果の実用化に向けたマネジメントの妥当性

- ・成果の実用化につなげる戦略が明確になっているか。
- ・成果の実用化につなげる知財マネジメントの方針が明確に示され、かつ妥当なものか。

(5)情勢変化への対応等

- ・ 進捗状況を常に把握し、社会・経済の情勢の変化及び政策・技術動向に機敏かつ適切に対応しているか。
- ・ 計画見直しの方針は一貫しているか（中途半端な計画見直しが研究方針の揺らぎとなっていないか）。計画見直しを適切に実施しているか。

3. 研究開発成果について

(1)目標の達成度

- ・ 成果は目標値をクリアしているか。（※）
（※事後評価前倒し実施の場合は、「成果は目標値をクリアする見込みか。」）
- ・ 全体としての目標達成はどの程度か。
- ・ 目標未達成の場合、目標達成までの課題を把握し、課題解決の方針が明確になっているか。

(2)成果の意義

- ・ 成果は市場の拡大或いは市場の創造につながることを期待できるか。
- ・ 成果は、世界初あるいは世界最高水準か。
- ・ 成果は、新たな技術領域を開拓することが期待できるか。
- ・ 成果は汎用性があるか。
- ・ 投入された予算に見合った成果が得られているか。
- ・ 成果は、他の競合技術と比較して優位性があるか。

(3)知的財産権等の取得及び標準化の取組

- ・ 知的財産権等の取扱（特許や意匠登録出願、著作権や回路配置利用権の登録、品種登録出願、営業機密の管理等）は事業戦略、または実用化計画に沿って国内外に適切に行われているか。
- ・ 国際標準化に関する事項が計画されている場合、得られた研究開発の成果に基づく国際標準化に向けた提案等の取組が適切に行われているか。

(4)成果の普及

- ・ 論文の発表は、研究内容を踏まえ適切に行われているか。
- ・ 成果の受取手（ユーザー、活用・実用化の想定者等）に対して、適切に成果を普及しているか。また、普及の見通しは立っているか。
- ・ 一般に向けて広く情報発信をしているか。

4. 実用化の見通しについて

(1)成果の実用化可能性

- ・ 実用化イメージ・出口イメージが明確になっているか。
- ・ 実用化イメージ・出口イメージに基づき、開発の各段階でマイルストーンを明確にしているか。それを踏まえ、引き続き研究開発が行われる見通しは立っているか。
- ・ 国際標準化に関する事項が計画されている場合、国際規格化等、標準整備に向けた見通しが得られているか。

(2)波及効果

- ・ 成果は関連分野への波及効果（技術的・経済的・社会的）を期待できるものか。
- ・ プロジェクトの実施自体が当該分野の研究開発や人材育成等を促進するなどの波及効果を生じているか。

* 知的基盤・標準整備等の研究開発の場合

2. 研究開発マネジメントについて

(1)研究開発目標の妥当性

- ・ 内外の技術動向、市場動向等を踏まえて、戦略的な目標が設定されているか。
- ・ 具体的かつ明確な開発目標を可能な限り定量的に設定しているか。
- ・ 目標達成度を測定・判断するための適切な指標が設定されているか。

(2)研究開発計画の妥当性

- ・ 目標達成のために妥当なスケジュール、予算（各個別研究テーマ毎の配分を含む）となっているか。
- ・ 目標達成に必要な要素技術を取り上げているか。
- ・ 研究開発フローにおける要素技術間の関係、順序は適切か。
- ・ 継続プロジェクトや長期プロジェクトの場合、技術蓄積を、実用化の観点から絞り込んだうえで活用が図られているか。

(3)研究開発実施の事業体制の妥当性

- ・ 適切な研究開発チーム構成での実施体制になっているか。
- ・ 真に技術力と事業化能力を有する企業を実施者として選定しているか。
- ・ 研究管理法人を経由する場合、研究管理法人が真に必要な役割を担っているか。

るか。

- ・ 全体を統括するプロジェクトリーダー等が選任され、十分に活躍できる環境が整備されているか。
- ・ 目標達成及び効率的実施のために必要な実施者間の連携 and/or 競争が十分に行われる体制となっているか。
- ・ 実用化シナリオに基づき、成果の受け取り手（ユーザー、活用・実用化の想定者等）に対して、関与を求める体制を整えているか。

(4) 研究開発成果の実用化に向けたマネジメントの妥当性

- ・ 成果の実用化につなげる戦略が明確になっているか。
- ・ 成果の実用化につなげる知財マネジメントの方針が明確に示され、かつ妥当なものか。

(5) 情勢変化への対応等

- ・ 進捗状況を常に把握し、社会・経済の情勢の変化及び政策・技術動向に機敏かつ適切に対応しているか。
- ・ 計画見直しの方針は一貫しているか（中途半端な計画見直しが研究方針の揺らぎとなっていないか）。計画見直しを適切に実施しているか。

3. 研究開発成果について

(1) 目標の達成度

- ・ 成果は目標値をクリアしているか。（※）
（※事後評価前倒し実施の場合は、「成果は目標値をクリアする見込みか。」）
- ・ 全体としての目標達成はどの程度か。
- ・ 目標未達成の場合、目標達成までの課題を把握し、課題解決の方針が明確になっているか。

(2) 成果の意義

- ・ 成果は市場の拡大或いは市場の創造につながることが期待できるか。
- ・ 成果は、世界初あるいは世界最高水準か。
- ・ 成果は、新たな技術領域を開拓することが期待できるか。
- ・ 成果は汎用性があるか。
- ・ 投入された予算に見合った成果が得られているか。
- ・ 成果は公開性が確保されているか。

(3)知的財産権等の取得及び標準化の取組

- ・ 研究内容に新規性がある場合、知的財産権等の取扱（特許や意匠登録出願、著作権や回路配置利用権の登録、品種登録出願、営業機密の管理等）は事業戦略、または実用化計画に沿って国内外に適切に行われているか。
- ・ 国際標準化に関する事項が計画されている場合、得られた研究開発の成果に基づく国際標準化に向けた提案等の取組が適切に行われているか。

(4)成果の普及

- ・ 論文の発表は、研究内容を踏まえ適切に行われているか。
- ・ 成果の受取手（ユーザー、活用・実用化の想定者等）に対して、適切に成果を普及しているか。また、普及の見通しは立っているか。
- ・ 一般に向けて広く情報発信をしているか。

4. 実用化の見通しについて

(1)成果の実用化可能性

- ・ 整備した知的基盤についての利用は実際にあるか、その見通しが得られているか。
- ・ 公共財として知的基盤を供給、維持するための体制は整備されているか、その見込みはあるか。
- ・ 国際標準化に関する事項が計画されている場合、国際規格化等、標準整備に向けた見通しが得られているか。
- ・ J I S化、標準整備に向けた見通しが得られているか。注）国内標準に限る
- ・ 一般向け広報は積極的になされているか。

(2)波及効果

- ・ 成果は関連分野への波及効果（技術的・経済的・社会的）を期待できるものか。
- ・ プロジェクトの実施自体が当該分野の研究開発や人材育成等を促進するなどの波及効果を生じているか。

参考資料 2 評価に係る被評価者意見

研究評価委員会（分科会）は、評価結果を確定するにあたり、あらかじめ当該実施者に対して評価結果を示し、その内容が、事実関係から正確性を欠くなどの意見がある場合に、補足説明、反論などの意見を求めた。研究評価委員会（分科会）では、意見があったものに対し、必要に応じて評価結果を修正の上、最終的な評価結果を確定した。

評価結果に対する被評価者意見は全て反映された。

参考資料 3 分科会議事録

研究評価委員会

「ナノエレクトロニクス半導体新材料・新構造ナノ電子デバイス技術開発」事後評価分科会 議事録

日 時：平成24年9月21日（金）12：30～17：55

場 所：大手町サンスカイルーム(朝日生命大手町ビル27階) A室

出席者（敬称略、順不同）

<分科会委員>

分科会長 浅野 種正 九州大学大学院 システム情報科学研究院 電子デバイス工学部門 教授
分科会長代理 後藤 敏 早稲田大学 大学院情報生産システム研究科 教授
委員 市村 正也 名古屋工業大学 大学院工学研究科 つくり領域 教授
委員 竹田 精治 大阪大学 産業科学研究所 産業科学ナノテクノロジーセンター
ナノ構造・機能評価研究分野 教授
委員 福井 孝志 北海道大学 大学院情報科学研究科 情報エレクトロニクス専攻
集積システム講座 集積電子デバイス学 研究室
量子集積エレクトロニクス 研究センター 教授
委員 藤原 聡 NTT 物性科学基礎研究所 量子電子物性研究部 部長
委員 松本 和彦 大阪大学 産業科学研究所 半導体量子科学研究分野 教授

<推進者>

藤井 哲哉 NEDO 監事
和泉 章 NEDO 電子・材料・ナノテクノロジー部 部長
関根 久 NEDO 電子・材料・ナノテクノロジー部 統括研究員
富江 敏尚 NEDO 電子・材料・ナノテクノロジー部 プログラムマネージャー
吉田 学 NEDO 電子・材料・ナノテクノロジー部 主研
小林 丈夫 NEDO 電子・材料・ナノテクノロジー部 主査

<実施者>

金山 敏彦 (独)産業技術総合研究所 理事
角嶋 邦之 東京工業大学大学院総合理工学研究科 物理電子システム創造専攻 准教授
平本 俊郎 東京大学生産技術研究所 教授
昌原 明植 (独)産業技術総合研究所 ナノエレクトロニクス研究部門
シリコンナノデバイスグループ グループ長
齋藤 真澄 (株)東芝 研究開発センターLSI 基礎技術ラボラトリー 研究主務
富永 淳二 (独)産業技術総合研究所 ナノエレクトロニクス研究部門 上席研究員
山田 啓文 京都大学 電気電子工学科 准教授
清水 哲夫 (独)産業技術総合研究所 ナノテクノロジー研究部門ナノ科学計測グループ 主任研究員
高橋 剛 (株)船井電機 新応用技術研究所 (FEAT) 主任研究員
高木 信一 東京大学大学院 工学系研究科 電気系工学専攻 教授
後藤 輝孝 新潟大学大学院 自然科学研究科 エネルギー基礎科学専攻 教授

<実施関係者>

村上 浩一 筑波大学 大学院数理物質科学研究科 電子物理工学専攻 特命教授
佐野 伸行 筑波大学 大学院数理物質科学研究科 電子物理工学専攻 教授
遠藤 和彦 (独)産業技術総合研究所 ナノエレクトロニクス研究部門
シリコンナノデバイスグループ 主任研究員
大内 真一 (独)産業技術総合研究所 ナノエレクトロニクス研究部門
シリコンナノデバイスグループ 主任研究員
安田 哲二 (独)産業技術総合研究所 情報通信・エレクトロニクス分野 研究企画室 企画室長
大竹 晃浩 (独)物質・材料研究機構 先端フォトニクス材料ユニット 量子ナノ構造グループ 主幹研究員
秦 雅彦 住友化学(株) 筑波研究所 グループマネージャー
内藤 泰久 (独)産業技術総合研究所 ナノシステム研究部門
ナノ構造アクティブデバイスグループ 主任研究員
小野 雅敏 (株)船井電機 新応用技術研究所 (FEAT) 代表取締役社長
金田 寛 新潟大学 超域学術院 物質量子科学研究センター 教授
根本 祐一 新潟大学 超域学術院 物質量子科学研究センター 准教授
齋藤 芳彦 (株)東芝 セミコンダクター&ストレージ社 半導体研究開発センター
ユニットプロセス技術開発部
鹿島 一日兒 コバレントシリコン(株) 技監
古賀 淳二 (株)東芝 研究開発センター LSI 基盤技術ラボラトリー 室長
太尾 奈都子 (株)東芝 研究開発センター 研究企画部 技術管理担当 主務
白石 賢二 筑波大学 数理物質科学研究科 教授、副研究科長
山田 啓作 筑波大学 大学院 数理物質科学研究科 教授
Parhat AHMET 東京工業大学 フロンティア研究機構 特任准教授
名取 研二 東京工業大学 フロンティア研究機構 特任教授

<企画調整>

中谷 充良 NEDO 総務企画部 課長代理

<事務局>

竹下 満 NEDO 評価部 部長
土橋 誠 NEDO 評価部 主査
松下 智子 NEDO 評価部 職員
柳川 裕彦 NEDO 評価部 主査

一般傍聴者 1名

議事次第

(公開セッション)

1. 開会、分科会の設置、資料の確認
2. 分科会の公開について
3. 評価の実施方法及び評価報告書の構成について
4. プロジェクトの概要説明
 - 4-1 事業の位置付け・必要性および研究開発マネジメント
 - 4-2 研究開発成果、実用化の見通し
 - 4-3 質疑

(非公開セッション)

5. プロジェクトの詳細説明
 - 5-①-1) シリコンナノワイヤトランジスタの知識統合研究開発
 - 5-①-2) ナノワイヤ FET の研究開発
 - 5-①-3) シリコンナノワイヤトランジスタの物性探究と集積化の研究開発
 - 5-②-1) 新構造 FinFET による SRAM 技術の研究開発
 - 5-②-2) 次世代相変化メモリ技術の研究開発
 - 5-②-3) ナノギャップ不揮発メモリ技術の研究開発
 - 5-③-1) カーボンナノチューブトランジスタ技術の研究開発
 - 5-③-2) シリコンプラットフォーム上 III-V 族半導体チャネルトランジスタ技術の研究開発
 - 5-③-3) シリコンウェハ中の原子空孔濃度定量評価技術の研究開発

(公開セッション)

6. まとめ・講評
7. 今後の予定、その他
8. 閉会

議事内容

(公開セッション)

1. 開会 (分科会成立の確認、挨拶、資料の確認)
 - ・開会宣言 (事務局)
 - ・研究評価委員会分科会の設置について、資料1-1、1-2に基づき事務局より説明。
 - ・浅野分科会長挨拶
 - ・出席者 (委員、推進者、実施者、事務局) の紹介 (事務局、推進者)
 - ・配布資料確認 (事務局)
2. 分科会の公開について
事務局より資料2-1～2-4に基づき説明し、議題5.「プロジェクトの詳細説明」を非公開とすることが了承された。
3. 評価の実施方法及び評価報告書の構成
評価の手順を事務局より資料3-1～3-5に基づき説明し、了承された。

また、評価報告書の構成を事務局より資料4に基づき説明し、事務局案どおり了承された。

4. プロジェクトの概要説明

(1) 事業の位置付け・必要性、研究開発マネジメント

推進者より資料6に基づき説明が行われた。

(2) 研究開発成果及び実用化、事業化の見通し

推進者より資料6に基づき説明が行われた。

【浅野分科会長】 ありがとうございます。

それではただいまのご説明に関してご意見、ご質問等がありましたら、お受けしたいと思います。

なお技術の詳細につきましては、後ほどの議題5で議論させていただきますので、ここでは主に事業の位置付け・必要性、それからNEDOとしてのマネジメントについて主にご意見、ご質問をいただければと思います。いかがでしょうか。

【松本委員】 ナノワイヤ関係で、いろいろなプロジェクトが走っていて、たとえばシミュレーションをされていて、そのシミュレーションの結果が、たとえばほかのグループに対するフィードバックがかかっているかどうかという観点から見ていかがでしょうか。せっかくのシミュレーションの結果が実際の実験にフィードバックがかかるほうが、プロジェクトとしてはよりいい結果が得られると思うのですが、そういう施策、プログラムは行われたのでしょうか。

【小林(推進者)】 かなり同時並行で実施していますので、できているものもありますが、できていないというか、間に合わなかったものもあるという玉虫色の回答にはなってしまいます。こういった電氣的なシミュレーションやバリスティックなところは、途中の段階までお互いにやられていたところがありますので、そのあたりはかなり共有できているのではないかと考えています。こういう回答で申し訳ありませんがご理解いただければと思います。

【後藤分科会長代理】 似たような質問ですが、テーマとして九つをやられているわけですが、それを全体としてどうやって見ながら、ある程度同期を取りながら研究開発を進めるということは何かやられていたのでしょうか。

【小林(推進者)】 たとえば定例的に会ってお互いの情報交換をすることは、後半にもありますが、非公開情報が多くてかなり難しいところがあります。特にシリコンナノワイヤに関してはNEDOで持ち回りと言いますか、こういう話をいただいているので、こちらでお願いできませんかということは過去やらせていただきました。ですから同じ場に集まってお互いが情報交換をして、すべてをシェアするというかたちは残念ながら取れてはおりません。ただ同じ指摘を途中で受けておりますので、特にロードマップ作成、開発の方向性について、こちらではこういうことがありますが、そちらではどうですかといった話は、NEDOのほうで回らせていただきました。

【後藤分科会長代理】 それは今回非常にうまく機能したのか、情報交換だけで終わってしまったのか。

【小林(推進者)】 結論から言うと、この真ん中のロードマップは双方にご了解いただいていますので、了承されたとわれわれとしては認識しています。

【浅野分科会長】 関連してもう一つ突っ込んで質問させていただきます。実施者側からは、たとえばお互いに少し情報交換をしたい、あるいはそういう場を持ちたいという意見希望などは特に出なかったのですか。それぞれ個々のほうがやりやすいとか。

【小林(推進者)】 後半になると相当それぞれの開発の次のステージのからみがありますので、ちょっと話しづらいという雰囲気はありましたけれども、三者三様だと思いますので一概には言えないことかと思えます。

【松本委員】 非常にリアルワールドに近いテーマと、まだ非常にアカデミックに近いテーマといろいろあ

と思います。そのあたりを実施者の方が評価されるときに結構苦労されたのかなと思うのですが、そのあたりは何かお考えはありますか。要するに全体のプロジェクトとして、リアルワールドを目指すだけのプロジェクトなのか、アカデミックなプロジェクトなのか、普通はどちらかですが、これは混ざっています。そういうところでどのようなお考えだったのかと思いました。

【小林（推進者）】 ベースとしては基礎基盤ですので、実施者、参加者の皆様のご所属を見ていただいても想像がつくかとは思いますが。要はほとんどが本当の基礎基盤ではあります。しかし中には企業の方も入っておられて、できてうまくいった暁には引き取りますよと言っているところもあります。具体的に申し上げますとシリコンナノワイヤに東芝が入っていますし、ナノギャップについては船井電機も入っていますので、そういったところはかなり事業側のプレッシャー、道筋としてはほとんどそこに向かっていくという感じはあります。

そうではなくても、あとでご質問があるかと思いますが、たとえばⅢ-V族、シリコンウェハに関しても中間評価の後に、ご興味を持っていただいたほかの部隊や会社の方がいますので、そういったところとはこれが終わってから引き続きやろうという話が出ているものもあります。この5年間で若干変わってきたものもあります。

ただ残念ながらカーボンナノチューブについては、まだ基礎基盤の初めのステージであるということはあるので、そういう感じで動いて、いまに至っている状況です。

【松本委員】 リアルワールドとやるべきことがだんだん近づいて、融合が進んできていいかたちになったという判断ですか。

【小林（推進者）】 おっしゃるとおりです。それにまたマーケット自体が FinFET など、もうすぐやるぞと言っているほかの国もあります。そういった影響もあって、最初予定したものを全部やってから順番にやるという学術的な足の踏み方から、途中でギアが変わったものもあります。

【藤原委員】 基礎基盤ということで、テーマがそう簡単におぼれてはいけないと思うのですが、やはり半導体の基礎基盤ということで、5年間たつとグローバルないろいろな流れが起こると思います。そういったときにターゲットを変えることはないと思うのですが、たとえばこの九つのチームで外部の動向に対して意見を言い合う場、あるいは全体を見渡して世の中、世界がこう動いているからこうだと、そういう議論の場はあったのでしょうか。

【小林（推進者）】 実施者の皆様とわれわれがそれぞれお話しさせていただく中では、メモリとロジックに関しては相当な動き、また技術の動向もありますが、日本の半導体メーカーの動きもこの1年間で大きく変わっていますので、そういった影響で打ち出しどころをどのように持っていかかということ、かなりいろいろな幅を持たせながらやっていかざるを得ないというコメントはいただいています。

【和泉（推進者）】 補足しますと、ご承知のように半導体産業は世界で数十兆円の非常に巨大産業です。そのうち半分強がロジックで、4分の1強がメモリです。今回取り上げている、ある意味シリコンのナノワイヤのところと次世代メモリは大きな技術トレンド、あるいは産業トレンドとしては将来的にも半導体産業の枢要なパーツを占めるであろうという考え方で、この基本的なテーマの選び方は成り立っています。

先ほどすぐ先のものか、将来のものかということがありましたが、むしろ私どものプロジェクトの考え方としては、将来の産業に使えるという観点を強く出しています。いまの技術レベルがどうというよりも、将来産業に役に立つ分野を選んでプロジェクトを進めているとご理解をいただきたいと思えます。

したがってプロジェクトの中身的には、実用化は少し先になると思いますが、ただ大事なのは、このスライドの6番にありましたが、いまの段階でそれが将来的に本当に進めるものがあるか、要は技術的な見極めができるかが大きなポイントだと思います。その成果が出たものについては、この先実

用化に向けて、実施者の方にどのように取り組んでいただくかが大きなポイントだと考えています。

【市村委員】 最後の若干異質な評価のテーマが入っているので、いろいろな評価があると思うのですが、ピンポイントで一つだけ選ばれている。それが不思議な感じがします。ポツンとあるという印象を与えるのですが、それが入っているのはどういう経緯なのか、ご説明をいただけますか。

【小林（推進者）】 実は歴史に依存しているところが多くて、最初に立案するときに、すべていまのカテゴリ分けがきっちりできていたわけではありません。ただ将来技術としての芽を探すところだけは共通認識の中にありまして、最後のテーマの原子空孔については、CREST（戦略的創造研究推進事業）の中から選ばれて採用されているという経緯があります。

確かにこれだけがなぜ1テーマとしてあるのだということについての質問ですが、非常にシンプルに申し上げると提案した先生の視点の、いわゆるナノ時代になったときにいままでの同じ考え方で評価をしているのかという一つのキーワードにわれわれの興味を引いたと言いますか、食いついたと言いますか、そういったところがあります。実施者は新潟大学の後藤教授です。

そういうものに対して具体的な評価をやってみたく、これは一つ番外編かもしれませんが、やってみてはどうだろうかということで参加いただいています。

【和泉（推進者）】 補足いたしますと、技術的な観点からすると確かにこちらの評価ということには非常に異質な印象を与えるかもしれませんが、産業的に見ると先ほど申し上げましたように今後の将来の産業技術として、ロジックとメモリに対する今後の技術トレンドとして必要な技術を選ぶとともに、違う見方をして、ウエハ全体の状況が歩留り、デバイスの電氣的な特性の均一性に与える影響があるのではないかと。それはどんどんサイズが小さくなる、あるいはプロセスに手間をかければかけるほど大きくなるのではないかと、ある意味まったく違う見方での産業の貢献がありうるのではないかと、このテーマは取り組ませていただきました。

その中身は、おそらくあとできちんとご説明をいただくのでご理解をいただけるのではないかと思います。

【市村委員】 いま言われたことはわかるのですが、そうであれば一つでなくてもよかったのではないかと。ちょっと不思議な感じがするのは、ゼロはゼロでわかりますし、たとえば三つぐらい入っていれば三つぐらい入っていたで、いま言われたような趣旨であることはわかります。ピンポイントで一つというのは、私はちょっと不思議な感じを受けました。

【和泉（推進者）】 それは現実に、実際にやっていただける方がいらっしゃるか、これはNEDO実施の今後のプロセス等とも関係があつて、それはそのときにほかのいいテーマの申請があればあったかもしれませんが、結果的にはそれがいまの中ではこういう構成になっているというのがプロジェクトマネジメントの実態です。

【福井委員】 最後の実用化へのロードマップのところ、5年間で単年度5億円ぐらいずつ金をかけていった後、平成24年度からはほとんどが自主財源でやりなさいというかたちでおしまいになってしまっているのですか。先ほどから議論になっている実用化を出口にしているとは言っても探索的な部分が多いので、このスタート時点の前もみんなCRESTなどから予算をつぎ込んで継続的にやってきているわけです。探索的なものは継続性が結構重要で、それがないと途切れてしまうイメージもあります。24年度からは、企業の方は企業の方で自主財源、大学も各自やるというフェーズになってしまっているということですか。

【小林（推進者）】 たとえばⅢ-V族は、ほかのナショプロの中でもやっていただいています、たとえばこのようにきわめて幅広く網羅的にやるのを、またこのあと同じように続けてやるというプロジェクトは、いまのところ実施されておられません。ただ、この結果でもってそれぞれ、先ほどご質問がありましたとおり、むしろこちらでやったほうがいいのか、特に相変化も途中から始まった

プロジェクトでも動いています。それはまったく同じプロジェクトが次になぜないのかと言われるよりは、これのプロジェクトの役目としては、ある程度の役割を終えたのではないかと考えています。

ですからこれ以外のカテゴリーで、これらの新しい技術でさらに基礎基盤をやらなければいけないものはあるという話になると、それは和泉部長（推進者）のほうの話になるのですが、NEDO としてやるかというのは検討させていただくことになると思います。この後ろのブルーのラインは、引き続き NEDO で全部まとめて、まったく同じ形態で一つのプロジェクトでやるという話としては、われわれはとらえておりませんでした。

【浅野分科会長】 関連して別の聞き方をいたしますと、いまのところこの直接の後継プロジェクトは、具体的には上がってないわけですが、この成果の受け取り手と言いますか、そういうものを今後 NEDO としてはどのようにお考えですか。

【和泉（推進者）】 基本的に NEDO のプロジェクトはどういう考え方かと言いますと、これまでもまったくスクラッチから始まったわけではなくて、もともと研究機関なり企業なりで持っていた研究テーマを、この 5 年間のプロジェクトの中でグッと伸ばす。それは将来的な産業技術として使えるものになるかどうかを見極める材料としてやっていただく。

5 年間のプロジェクトが終わって、もちろんその中には次の別のプロジェクトにつながるものも現実にあります。でも私どもとしては、それで成果を出したところで、基本的にまず実施者の皆様で、今後どのようにお考えになっているか。これは自助努力も含め研究を継続してやっていただきたいと思っています。

その中で、また先ほどおっしゃったように、実際に使われる方との連携などが進む中で、そういう新しいニーズが出てきたら、それはまた国のプロジェクトとして検討をします。プロジェクトはずっと連綿と続くものではなくて、ある一定期間でプロジェクトの技術の中身をグッと伸ばすことがわれわれの大きな仕事であると考えています。

【後藤分科会長代理】 それで非常によくわかったのですが、そこのブルーのところの 24~25 年は、実用化の開発に向けて一番大事な時期ですが、今回やられている方が、それをどうにかたちでちゃんと維持しながら、個々の研究もあるでしょうし、いろいろなところと組む等、そのあたりのストーリーを発表して言っていたかかないと、それが本当につながるのか、つながらないのか、そこはわれわれから判断ができない。ここまでできて、あとはこれからまたいろいろなことをやっていきますというだけではなくて、具体的な何かがあれば、あることを期待しているのですが、そこでどうつなげていくかということを今日の発表の中でしていただけると、われわれは納得できるという感じがします。

【和泉（推進者）】 それは、要は公開、非公開でやれるもの、やれないものがありますので、今後個別に各社の発表の中でできるだけ具体的にお話ししていただこうと思っています。

【浅野分科会長】 もう 1 点、別の観点で、私からお聞きします。途中加速資金の投入がありましたが、これはこれで大いに評価できることかと思いますが、この加速資金を個別のテーマのうち三つに充てたわけですが、これはおおよそどのような経緯で決められたのでしょうか。

【小林（推進者）】 シンプルに時系列で言いますと、まず予算枠があります。実施者の皆様にまずリクエストをさせていただいて、その中で上がってきます。その要求金額とそれぞれが最初計画されていますから、最終目標を達成する上で、その金額の中でこのカテゴリーを置くとよくなるだろうということで、話し合いの中でわれわれ NEDO が判断させていただきました。

ですからそれぞれの中身が、それまでの計画にまったくなかったものではなくて、それまでの進捗状況、最終目標に対してのギャップを埋めるというやり方から、さらにもう一つ、特にこの最後の一つは大学の中での設計だけでは最終目標をなかなか言いにくいとなると、実際にはウエハメーカーに協力していただかないとできないので、やはりこれはやっていただいたほうが良いだろうということ

で、最終的にはわれわれが判断いたしました。ですから枠があって、申請があって、進捗状況とのバランスの中から決めたという流れです。

【浅野分科会長】 基本的には実施者側と推進部の協議で決定したという理解でよろしいですか。

【小林（推進者）】 はい。

【藤原委員】 今日は非公開でやる話について先ほど資料をちらっと見て、非常に世界に冠たる成果が並んでいるという気がするのですが、技術は、最後は国内だけではなくて、国際競争力が重要だと思います。たぶん研究を実施されている方は国際的にトップに立つような研究をされている方々なので、それが国際事業として、将来の技術としてどういう競争力を持っているかということは、こういうファンドを行うに当たって、NEDO 自身でどのように調査されてご判断をされているか、そういう仕組みをお伺いしたいと思います。

【小林（推進者）】 かなり一般的な NEDO のアクティビティということですか。

【藤原委員】 こういうファンドを組むときに、国際競争力をどのように調査して、判断しているかということをお聞かせ願えるとうれしいのですが。

【小林（推進者）】 つまりこういった基礎基盤のプロジェクトを立てたあとに、実用化から事業化という流れの中で NEDO がどういう活動を、どういうふうにしているのだと。

【藤原委員】 国際的な技術の流れもありますし、「こういう技術をやらなければいけないのでここにお金を」ということだと思うのですが。

【和泉（推進者）】 このプロジェクトは、作り付けが普通のプロジェクトとは少し違っています。スライド資料の 8 番をご覧くださいますと、そもそもプロジェクトが始まった平成 19 年においては経済産業省のプロジェクトでした。それが 21 年度から私どものほうに移ってきたものです。いまのお話は、むしろ平成 19 年度にどういう議論をしていたかということになりますので、それについては本来であれば経済産業省から答えていただくほうがいいかと思いますが、ここは一般的な質問ということでお答えいたします。

大きな流れはいくつかあって、通常こういうプロジェクトを立ち上げるときは、まずおっしゃったとおり産業の状況について見ます。そこは技術的なものもありますし、もちろんビジネスがどうなっているかということもあります。そこは調査というよりは、そもそも経済産業省も、私ども NEDO も業界との情報チャンネルはたくさん持っていますので、どのように行われているかは非常に密接な関係で議論をさせていただいています。したがって特別な調査をやることもあります。平素からそういう技術、あるいは産業情報の蓄積は私どもがやらせていただいています。

もう一つは、こちらで実際にどういう技術開発が行われているかということです。特にこの場合は、CREST や NEDO のプロジェクトの MIRAI（次世代半導体材料・プロセス基盤（MIRAI）プロジェクト）など、技術的にどこまで、どういう議論がなされているかというのももちろんです。

その両方から見て、今後どういうプロジェクト、プログラムが必要かを議論して、経済産業省で政策的に立案されて、プロジェクトがつくれるのが、通常の流れです。

【松本委員】 後出しじゃんけんになるかもしれませんが、せっかくこれぐらいすばらしい成果を出しておられてポツと切れています。本来ならば、たとえばもう少し前に評価をして、実用化につながりそうなものは、やはり次のプロジェクトを立てます。昔、旧通産省のプロジェクトをつないでいきましたが、そういうかたちでプロジェクトをつなぐことは、NEDO としては考えられないのですか。

【和泉（推進者）】 通常、プロジェクト自体を立案されるのは、実は経済産業省ですので、「私どもでプロジェクトを」というのは、あまり正確な話ではないのですが、現実的にはいつもこういうプロジェクトの次をどうするかという議論は経済産業省でもやられますし、私どももやっています。

その流れの中では、先ほど申し上げましたようにいま直接「この成果を次に……」というは、現在

の時点ではないというのが実態です。ただし、ではそうかと言って、完全にやめてしまったということではありません。要は今後それをさらに産業技術に近づけるような動きが各実施者からどのように出るかというのは、非常に大きなポイントの一つだと思います。

過去においてもプロジェクトは、必ずしもあとに継続しないといけないというものではありません。そこは実際どういうことをやるのが効果的かということとの兼ね合いで立案が行われると理解しています。

【浅野分科会長】 よろしいですか。ほかにいかがでしょうか。

それではだいたい出尽くしたようですので、全体についての質疑応答はここまでとさせていただきます。

(非公開セッション)

5. プロジェクトの詳細説明

省略

(公開セッション)

6. まとめ・講評

【松本委員】 今日は5時間近く聴かせていただきました。一見した印象、また聴かせていただいた印象は、やはり日本の技術はすばらしいものがまだまだたくさんあるということで、非常に感動した次第です。いくつかのグループの方は、すでに企業とうまくタイアップされて、本当に実用化に持っていける技術をいくつか持っておられる。それからまだ少し実用化には遠いという技術もありました。

私としては、NEDOでせっかくやった日本の技術の開発を、日本の企業の実力のアップに持ってほしい。先ほど和泉さんとディスカッションしていたのですが、今回開発された技術の方に日本のポテンシャルを上げるためであるという意識を持ってほしいと思いました。

【藤原委員】 今日はどうもありがとうございました。よくわからない部分もありましたが、総じて非常にオリジナリティのある開発をされていると感じました。中には世界的に見ても胸を張れるような技術力の高い研究をされているということで、非常にうれしく思いました。

ただ、今日は時間が非常に短かったので、皆さんいいことばかり言うのですが、国際競争力は非常に気になります。ご紹介いただけなかった発表も多かったかと思うのですが、世の中には必ず競合がいるので、世界の技術と比べてどういう位置にあるのか、きちんと見ていただく。それから、うまく行ったことだけではなくて、課題もたぶんたくさんあって、今日はそれを言うていただく時間がなかったと思うのですが、それを認識して、今後進めていっていただければいいと思います。

実用化の点で言いますと、日本には高い技術力があることは非常に言われていることで、今日の発表を聴いても、皆さん本当に高い技術を目指していらっしゃるのですが、たぶん実用化という視点でいくと課題をすべて解決しなくても使える応用があるのか、そういう視点で実用化を加速化していくことも必要かと思います。その点を留意しながらさらに邁進していただければと思います。

【福井委員】 私が来る前に予想していたよりもはるかにすばらしい成果をたくさん見せていただいて、日本のエレクトロニクス技術もまだまだすばらしいものがあるというのが全体的な印象です。それと5年間のプロジェクトで年間5億円、それで昨年度終わっている。これは産業技術として、この先ぜひ結びつけていただきたい。

もう一つは、大きな予算が付いてかなり加速された部分もあると思いますが、それが探索的な部分で予算が途切れてしぼんでしまうと非常にもったいない気もします。何とかうまく工夫して金を集めてでもこの先どんどん発展させていきたい。ぜひ頑張ってください。

【竹田委員】 私も今日来て、たくさんの方々から目の覚めるようなデータを見せていただいて大変心強く、また喜んでます。

こういう技術開発に関しては、最先端の装置を使ったりデバイスをつくったりすることと、学理は表裏一体で進めて行っていただきたい。単にやってみてできたというのではなくて、きちんとした理論的な裏付けを持ってやっていただきたい。そういう点で多くのチームの中に、たとえば第一原理の計算を行う理論物理家が加わることは大変よかったと思います。

ただ気がかりなのは、そういう基礎をやる人たちには、5年間で何か実用化するとか、そういう枠の中でプレッシャーをかけるといけないのではないかという気がします。そういう枠やプレッシャーがかかると非常に不自然な無理なことを言わざるをえなくなるということもあるのではないかと思いますので、そこだけは今後、評価をする上でご検討いただきたいと思いました。

【市村委員】 勉強させていただきました。私自身はこんなすごい研究はまったくできないので、よい機会でした。ありがとうございました。

話を伺っていて難しいなと思ったのは、既存の技術で割と連続性がある技術ほど実用化には近いということで、実用化の面では高く評価されるのですが、そういうものほどすぐに海外でつくましょようと、海外に技術が移って行ってしまふ、あるいはまねをされるということも心配になります。

一方で既存の技術からかけ離れたものは、新規性が高いのですが、「いや、まだこれは難しい」という話にもなってしまう。ですからそのあたりをどのように設定するのか、実用化が近くて既存の技術の連続性が強いものをやるのか、それとも全然かけ離れて、新規性は高いけれども実用化はなかなか難しいものをやるのか、そのあたりの設定が非常に難しい問題であり、私自身答えが出ない問題であると思いました。

【後藤分科会長代理】 いろいろおもしろい話を聴かせていただいてありがとうございました。私の印象は、これは基礎基盤技術という名前になっているので、これをつくることによって、こういう出口がどうなるのかということが一番気になりました。基礎基盤というと、いつになるのか。このプロジェクト全体は、終わって数年後、2~3年後にそれは判断して実用化というシナリオになっています。そうすると問題は、その2~3年後にいったい何をするのかということになります。

皆さん、装置メーカーや半導体メーカー、ファブなどいろいろなこと、あるいは大学で自主研究とおっしゃいましたが、ここが日本の競争力にとって一番大事です。そこでたぶん決まってしまう。大学は、放っておいても研究をやっていくわけですから、それは持つのですが、やはり NEDO でやる意味は、これは日本の競争力に本当に寄与するという、そこに私はシナリオがほしい。

ある方は企業と組んで、それをかなりものにするというストーリーが見えたものと、いや、これはちょっと見えていないなということを感じたプロジェクトもありました。これはフォーメーションによると思います。スタートするときにそういうかたちで、ともかく実用化して、これを日本の競争力として、どういう手段によってやっていくのか。特許なのか、ノウハウなのか、これを製品化するのか、それをどういうかたちで移管して、それで日本の競争力になるか。基礎基盤と書いてあるから、若干そこが不明確になっている。その出口が明確なのはいくつかありましたが、私の印象では半分以上は明確なストーリーを持っていない。そこが非常に気になりました。

今後そこをどうされていくのか、それはむしろプロジェクトの発足のときに非常に大事だったと思うのですが、今後 NEDO のプロジェクトがどういうかたちか、いろいろ考えられると思いますが、今日のものをベースにして、次のプロジェクトにつなげていただきたいと思います。

【浅野分科会長】 ありがとうございました。それでは私も委員の一員として申し上げさせていただきます。この歳になりますと、普段はなかなか感動することも減ってきたのですが、今日は少し感動させていただきました。

いま後藤分科会長代理の言葉にも関連しますが、推進する立場から、見極めという言葉が何を意味するか、このプロジェクト全体としてももう少し定義づけが必要だと思いました。なぜかと言いますと、それぞれのプロジェクトは、いろいろなフェーズがありますので、それを将来的にどこに持っていくのか。先ほど半導体産業の大きさについてコメントされた実施者もおられました、確かにそのとおりで、半導体産業の逆ピラミッド構造の中で、どこを狙っていくのか、ここをこれから練って、この成果を今後どうすればつなげていけるだろうか。要は日本の競争力、日本の雇用をどうやって守っていくか。ここにいかにつなげていくか、ぜひ考えていただければと思います。私どもも委員全員でそういうところに向けて、何かコメントを差し上げられれば幸いと思っていますので、ぜひともよろしくお願いいたします。

以上、講評ということです。それではここで推進・実施者のほうから和泉部長、何かコメントをいただけますか。

【和泉（推進者）】 今日長時間ありがとうございました。大変参考になるご意見、また今後のプロジェクトのマネジメントに活かすご提言もいただきまして、ありがとうございます。

先ほど委員からご指摘がありましたように、どのぐらいの距離感でプロジェクトを組むかということは、ものすごく難しい問題です。近いものばかりやってもいいのかという議論もありますし、遠いものだと、それをどういうふうにマネージするかというのが、また難しい状況です。そういう意味でこのプロジェクトは少し先を見たかたちになっており、中のテーマも状況がバラバラにあったというのが正直なところです。

私どもとしては、これから先が大事だと思っています。特に割と長期的なテーマもありますので、今日実施者の方がお話しされた今後の見通しがどのように実現していくか、われわれとしては注視させていただいて、その上で今後何ができるかということを引き続き考えてみたいと思います。

プロジェクトは終わりましたが、私どものそういう意味での仕事はまだまだ続きますので、委員の皆様からのご指導も引き続きいただきたいと思います。本日はどうもありがとうございました。

7. 今後の予定、その他

8. 閉会

配布資料

- 資料 1-1 研究評価委員会分科会の設置について
- 資料 1-2 NEDO 技術委員・技術委員会等規程
- 資料 2-1 研究評価委員会分科会の公開について (案)
- 資料 2-2 研究評価委員会関係の公開について
- 資料 2-3 研究評価委員会分科会における秘密情報の守秘について
- 資料 2-4 研究評価委員会分科会における非公開資料の取り扱いについて
- 資料 3-1 NEDO における研究評価について
- 資料 3-2 技術評価実施規程
- 資料 3-3 評価項目・評価基準
- 資料 3-4 評点法の実施について (案)
- 資料 3-5 評価コメント及び評点票 (案)
- 資料 4 評価報告書の構成について (案)
- 資料 5-1 事業原簿 (公開)
- 資料 5-2 事業原簿 (非公開)
- 資料 6 プロジェクトの概要説明資料 (公開)
 - ・事業の位置付け・必要性及び研究開発マネジメント
 - ・研究開発成果及び実用化の見通し
- 資料 7 プロジェクトの詳細説明資料 (非公開)
 - 資料 7.1.1 シリコンナノワイヤトランジスタの知識統合研究開発
 - 資料 7.1.2 ナノワイヤ FET の研究開発
 - 資料 7.1.3 シリコンナノワイヤトランジスタの物性探究と集積化の研究開発
 - 資料 7.2.1 新構造 FinFET による SRAM 技術の研究開発
 - 資料 7.2.2 次世代相変化メモリ技術の研究開発
 - 資料 7.2.3 ナノギャップ不揮発性メモリ技術の研究開発
 - 資料 7.3.1 カーボンナノチューブトランジスタ技術の研究開発
 - 資料 7.3.2 シリコンプラットフォーム上 III-V 族半導体チャネルトランジスタ技術の研究開発
 - 資料 7.3.3 シリコンウェハ中の原子空孔濃度定量評価技術の研究開発
- 資料 8 今後の予定

以上

参考資料 4

評価結果を受けた今後の取り組み方針について

「ナノエレクトロニクス半導体新材料・新構造ナノ電子デバイス技術開発」（事後評価）の評価結果を受けた今後の取り組み方針について

評価における主な今後の提言	今後の取り組み方針
<ul style="list-style-type: none"> ・ 究開発の成果を半導体産業のデザイン、マスク製造からウエーハ、実装までの逆ピラミッド構造のどこに活かすか、別の切り口で見れば、材料、マスクデザインも含むプロセス技術、装置に活かして国益を生み出すための次の研究開発フェーズに国の施策として取り組む必要がある。装置メーカーやファンドリとの連携を計画している成果については、スピード感のある実用化戦略を策定して頂きたい。 ・ III-V族半導体チャネルトランジスタなどの有望な次世代技術は、技術の囲い込み、実用化に必要な周辺技術の取り込み、他の研究者・研究機関の参画呼びかけを行って頂きたい。 	<ul style="list-style-type: none"> ・ 本プロジェクトは基礎・基盤技術の研究開発であり、技術フィジビリティの観点から実用化に向けた開発に移行できるか否という視点で、カーボンナノチューブを除く8つのテーマは移行可能と判断している。今後の実用化の推進は、事業候補となる企業の事業戦略、競合ベンチマークに基づき、関連研究機関との連携も検討しつつ、実用化・事業化に向けて進めていく。例えば、研究開発項目②-(2)「次世代相変化メモリ技術の研究開発」については、国内半導体メーカーへの採用を目指し、H23年度より超低電圧デバイス技術研究組合事業として移管し、技術開発を実施している。なお、半導体産業においては、業界動向や企業戦略を踏まえつつ、引き続き必要な取り組みを検討していく。

本研究評価委員会報告は、独立行政法人新エネルギー・産業技術総合開発機構（NEDO）評価部が委員会の事務局として編集しています。

平成25年3月

NEDO 評価部

部長 竹下 満

主幹 三上 強

担当 柳川 裕彦

* 研究評価委員会に関する情報は NEDO のホームページに掲載しています。

(http://www.nedo.go.jp/introducing/iinkai/kenkyuu_index.html)

〒212-8554 神奈川県川崎市幸区大宮町1310番地

ミュージア川崎セントラルタワー20F

TEL 044-520-5161 FAX 044-520-5162