

ITイノベーションプログラム  
「立体構造新機能集積回路(ドリームチップ)技術開発」  
(事後評価)

(2008年度～2012年度)  
プロジェクトの概要(公開)

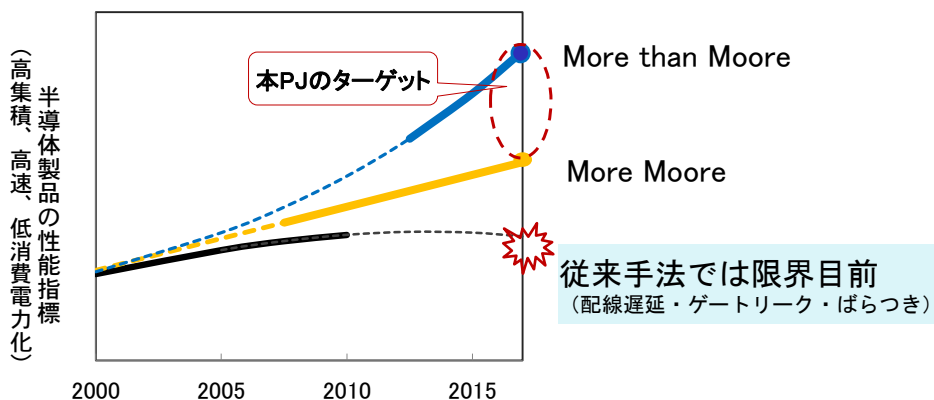
1. 事業の位置付け・必要性について
2. 研究開発マネジメントについて

NEDO  
電子・材料・ナノテクノロジー部  
2013年6月28日

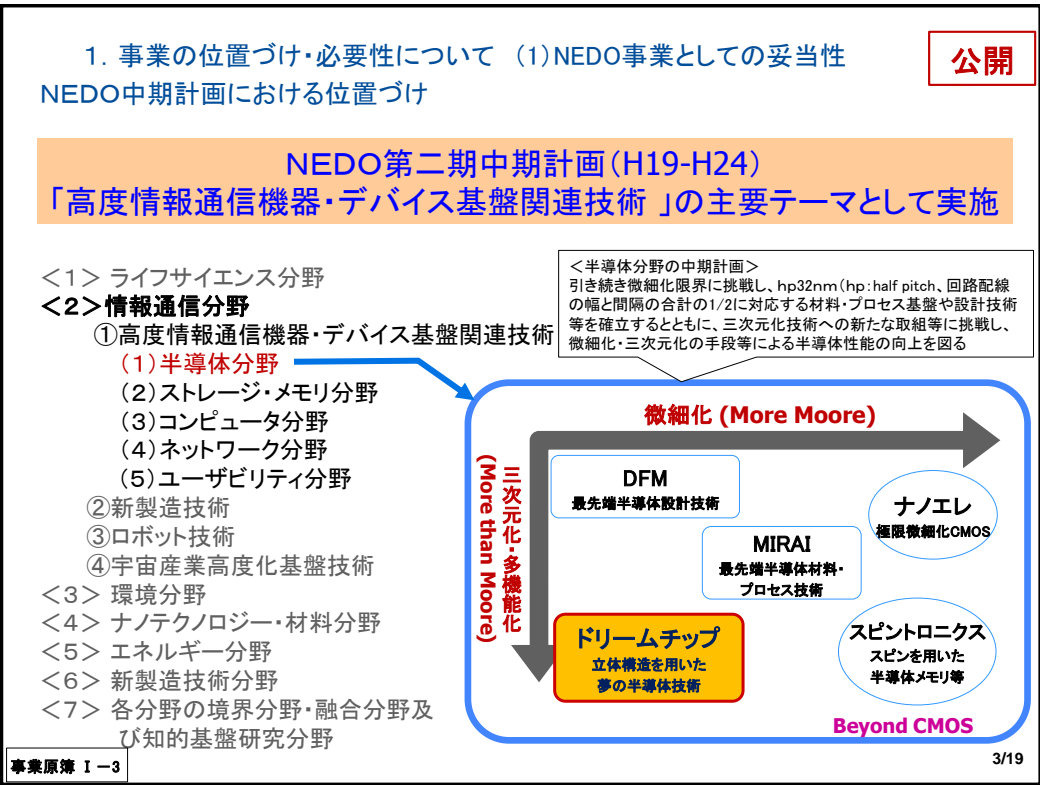
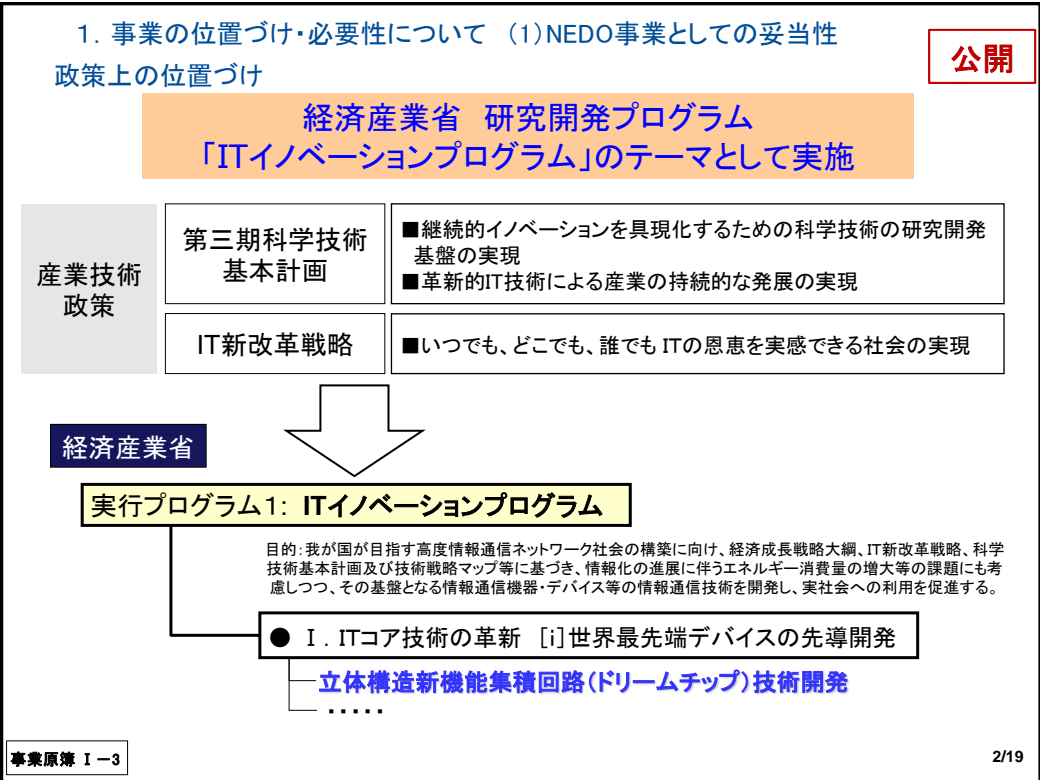
1. 事業の位置づけ・必要性について (1)NEDO事業としての妥当性

公開

More Than Mooreへのチャレンジ



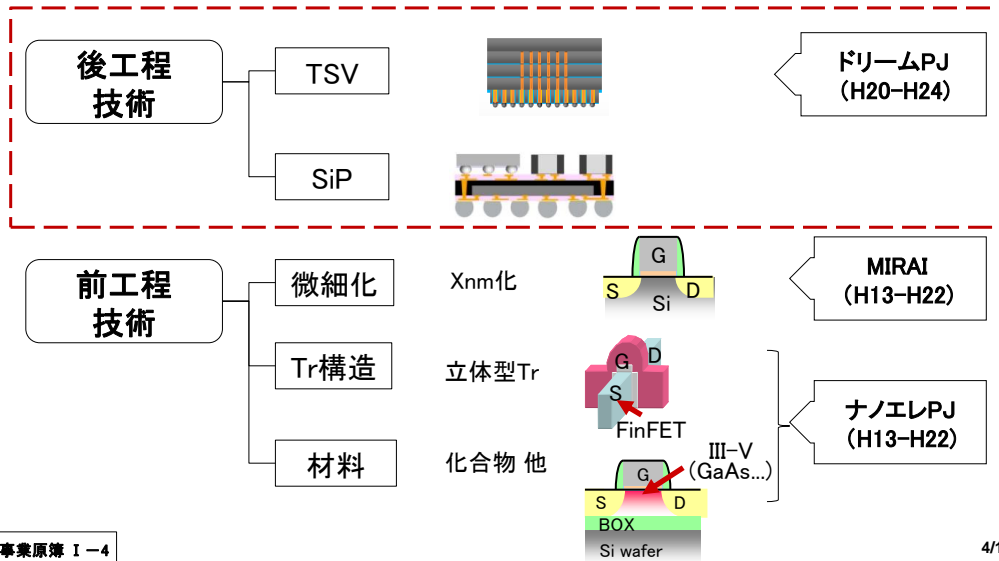
立体構造新機能集積回路(ドリームチップ)技術開発では、  
高密度化、配線遅延への対応、**低消費電力化**、**開発期間短縮**が期待され、  
異機能を持つチップの積層(三次元化)により、これまでない機能を発揮



1. 事業の位置づけ・必要性について (1)NEDO事業としての妥当性

公開

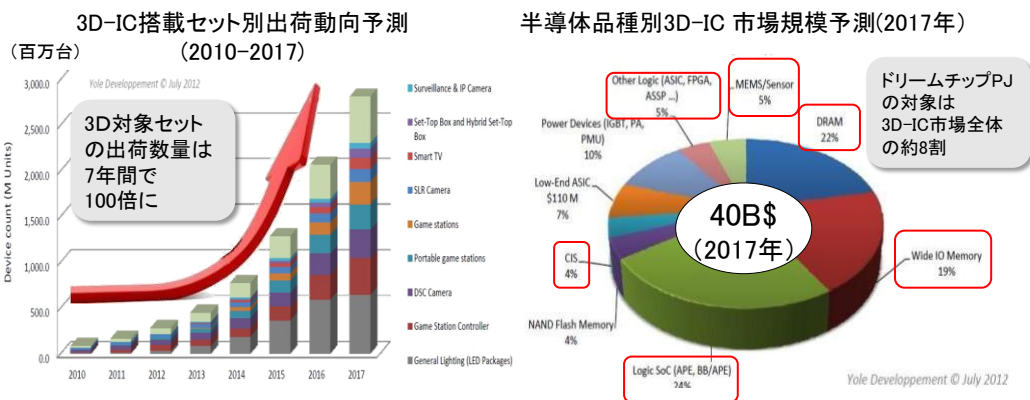
日本が強い製造技術を根子に後工程(組立)技術でMore Moor & More than Mooreを実現



1. 事業の位置づけ・必要性について (1)NEDO事業としての妥当性

公開

三次元積層半導体の市場規模は約4兆円(2017年)と推定  
予算総額75億円で3兆円のTAM※に対し3千億円以上の事業創出を目差す



事業規模(予算額)

| 年度      |     | H20 (2008) | H21 (2009) | H22 (2010) | H23 (2011) | H24 (2012) | 合計    |
|---------|-----|------------|------------|------------|------------|------------|-------|
| 単位: 百万円 | 本予算 | 1,500      | 1,476      | 1,000      | 460        | —          | 7,553 |
|         | 補正  | 500        | 976        | 740        | 1,201      | —          |       |

## 1. 事業の位置づけ・必要性について (1)NEDO事業としての妥当性

公開

### 日本は最も早くから三次元積層技術を推進

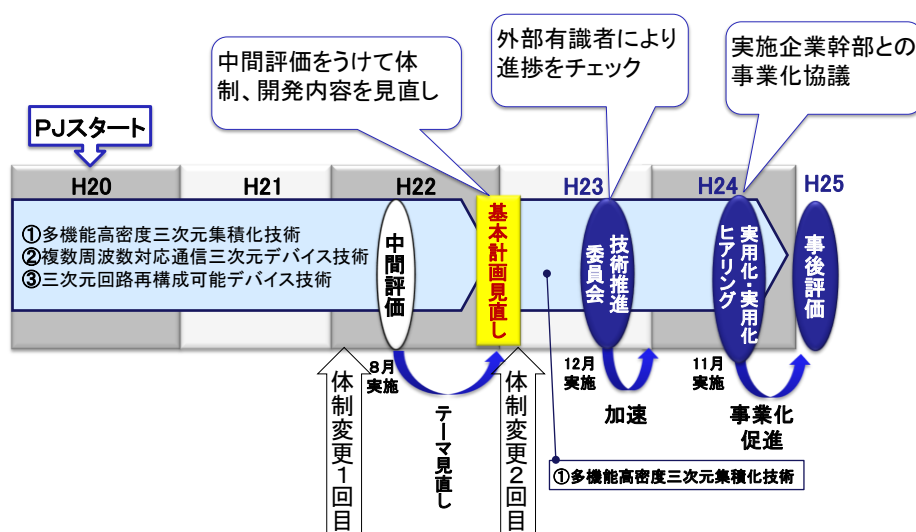
| 年<br>地域 | 2005                                      | 2006   | 2007           | 2008  | 2009   | 2010 | 2011 | 2012 | 2013 | 2014 |
|---------|---|--|----------------|---|--|------|------|------|------|------|
| 日本      | NEDO: Stacked Memory chip R&D (2004~2006) |  | 先導研究           | NEDO: ドリームチップPJ   |  |      |      |      |      |      |
| 米国      | DARPA :VISA Proj.                         | DARPA : 3DL1,3DM2,3DM3 3D circuit design     |                |   |  |      |      |      |      |      |
|         |   | Sematech: 三次元IC製造プロセス                        |                |   |  |      |      |      |      |      |
| 欧州      | FP6: e-CUBE Proj.                         |  | e-BRAINS Proj. |   |  |      |      |      |      |      |
|         |   | FP7: ENIAC, EPoSS                            |                |   |  |      |      |      |      |      |
|         |   | IMEC 3D-SiC program High density TSV process |                |   |  |      |      |      |      |      |
| アジア     |   |  |                | Ad-STAC Program (Alliance of Industry, academy, government, institute) and Taiwanese related industry |  |      |      |      |      |      |
|         |   |  |                | IME 3DTSV Consortium (Singapore alliance of industry & government)                                    |  |      |      |      |      |      |
| 国際連携    |   |  |                |   | 3D ASSM: Georgia Tech.(US), IZM (Germany), KAIST (Korea) |      |      |      |      |      |

USA、EU、アジアの各研究機関は、要素技術開発・設計ツール開発・コストモデル構築等への比重が高く、具体的な応用を想定した実証デバイス開発の例は、ASET以外少ないようである。但し、米国においては企業連合であるHMCコンソーシアム(ネットワークインフラ)が活動を開始し、更に、TSMCとAmkorがサプライチェーンの独占を指向しており、具体的な応用を想定した動きが始まっている。

## 2. 研究開発マネジメントについて (2)研究開発計画の妥当性

公開

### 中間評価以降 見直し・強化施策を追加



2. 研究開発マネジメントについて 《リマインド： PJ開始～中間評価までの目標》

公開

要素技術開発と応用デバイス開発の2本立てでPJ開始

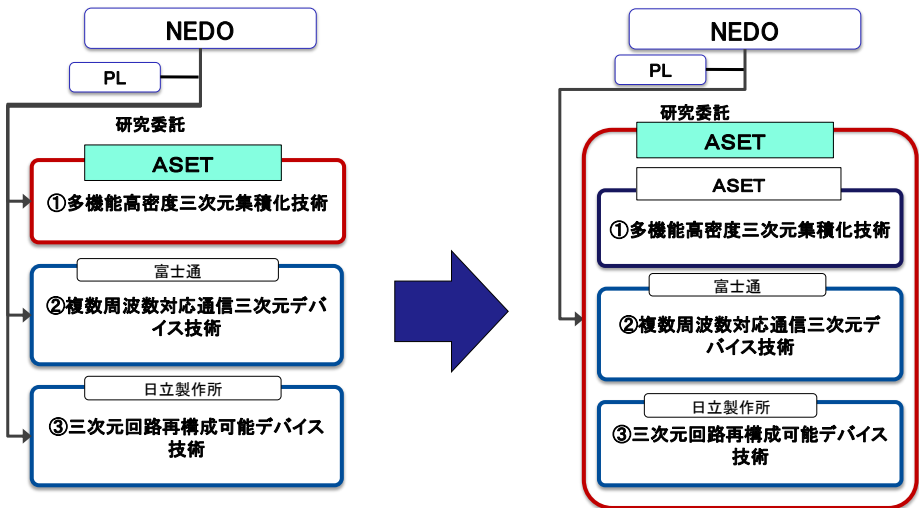
| 研究開発項目                      | 研究開発内容  | 最終目標  |
|-----------------------------|---|---|
| ①多機能高密度<br>三次元集積化技術         | 1. 設計技術<br>A) 設計環境技術<br>B) インターポーザ技術<br>2. 評価解析技術<br>A) チップテスト技術<br>B) 積層・接合技術<br>C) 薄ウェハ技術<br>3. 基盤技術の有効性実証<br>A) 実証デバイス開発 | TSV加工技術、<br>積層技術、<br>設計技術、<br>評価解析技術の開発                       |
| ②複数周波数対応<br>通信三次元<br>デバイス技術 | 1. マルチバンドRF MEMSデバイス<br>2. マルチバンドフロントエンド回路  | MEMS回路、制御・電源回路をMCM積層<br>したマルチバンド対応のRFデバイスを開<br>発する            |
| ③三次元<br>回路再構成可能<br>デバイス技術   | 1. 回路再構成可能<br>三次元集積化デバイス技術<br>2. アーキテクチャおよび設計技術   | 回路再構成可能デバイスの三次元積層<br>化アーキテクチャの開発<br>回路再構成可能デバイスのプロセスフ<br>ロー開発 |

2. 研究開発マネジメントについて

《リマインド： PJ開始～中間評価までの体制》

公開

体制変更一回目（平成22年度）：  
3Dプロセス技術の連携強化のため組織をASETに一体化



## 2. 研究開発マネジメントについて

(3)実施体制、(4)実用化、事業化に向けたマネジメント、(5)情勢変化への対応

公開

### 中間評価結果(H22/8): 要素技術へ注力

#### 【総合評価】

- ・NEDO委託事業として実施することに意義あり
- ・TSVと積層接合周りの**要素技術の確立を優先に資源(人・物・資金)を集中すべき**

#### 【研究成果について】

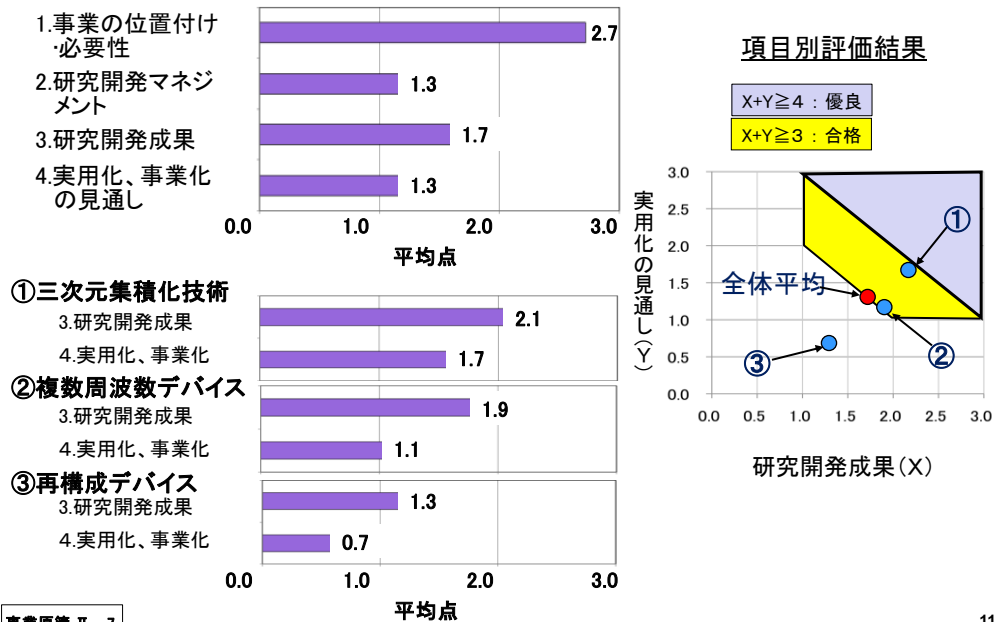
- ①多機能高密度三次元集積化技術  
シミュレータ、プローブ技術、バーンイン技術は世界トップクラスで評価できる  
ただ、評価技術は**利用環境の観点で不十分**
- ②複数周波数対応通信三次元デバイス技術  
MEMS素子の安定性とコストの点で**有効性に疑問**  
過去の技術蓄積を活用すべき
- ③三次元回路再構成可能デバイス技術  
目標値(二次元ICの25%程度の性能改善)は、二次元ICの改良技術でも十分達成可能  
三次元IC化の**優位性、実現性を明確に**

## 2. 研究開発マネジメントについて

(3)実施体制、(4)実用化、事業化に向けたマネジメント、(5)情勢変化への対応

公開

### 中間評価結果(H22/8): 応用デバイスに厳しい評価



# 中間評価をうけて

## 1. 研究開発テーマの見直し

- ・三次元集積化技術に注力  
(TSV加工、チップ積層、評価など)

## 2. 実施体制の見直し

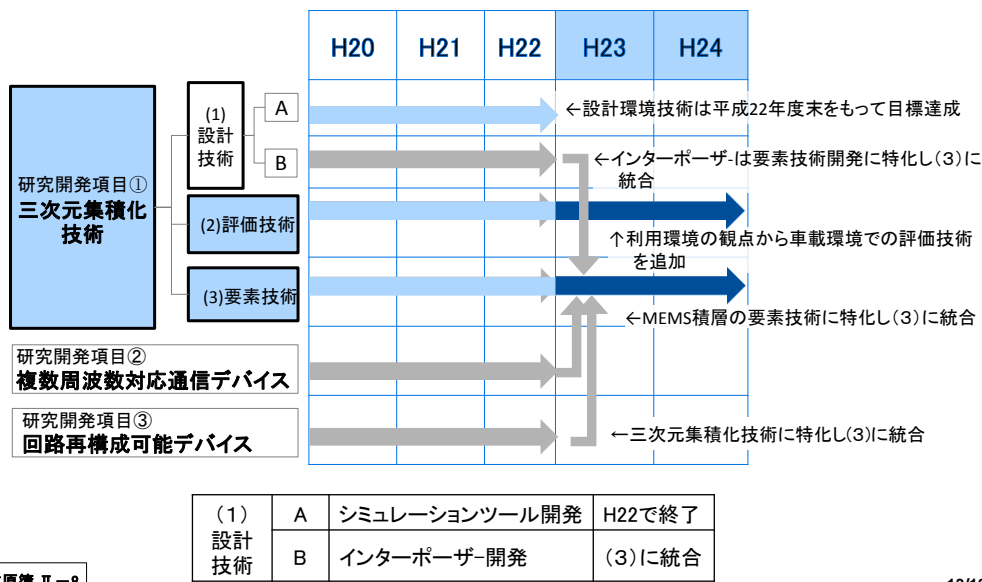
- ・テーマ見直しに伴い、実施者、体制を見直し

## 3. 市場動向を踏まえた加速

- ・市場競争力強化技術に重点

## 1. 研究開発テーマの見直し

### 三次元集積化技術に注力



2. 研究開発マネジメントについて  
(3)実施体制、5)情勢変化への対応

公開

中間評価をうけ三次元積層化の要素技術に注力

| 研究開発項目         | 研究開発内容          | 最終目標                               |                        |
|----------------|-----------------|------------------------------------|------------------------|
|                |                 | 内容                                 | 担当チーム                  |
| 多機能高密度三次元集積化技術 | 評価解析技術          | ・放熱構造の最適化及び評価解析技術                  | ■熱・積層接合技術WG<br>■薄ウエハ技術 |
|                | 共通要素技術開発と設計基準策定 | ・TSV加工、積層等の設計・レイアウト・プロセス工程のライブラリ開発 | ■3Dインテグレーション技術WG       |
|                |                 | ・積層チップ間的高速伝送、低消費電力技術               | ■超ワイドバスSiP 三次元集積化技術WG  |
|                |                 | ・多積層時の信号ノイズ対策技術                    | ■デジアナ混載三次元集積化技術WG      |
|                |                 | ・多積層時の電源供給技術                       | ■ヘテロロジーニース三次元集積化技術WG   |

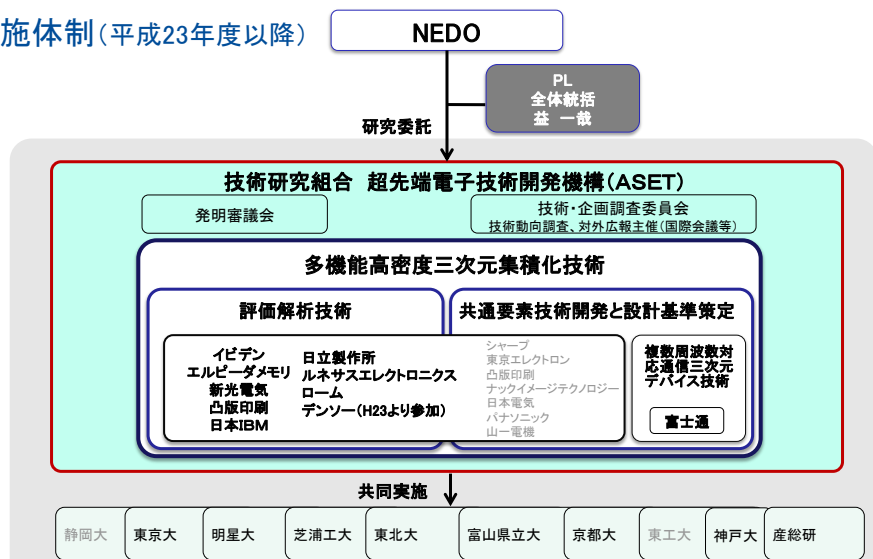
2. 研究開発マネジメントについて  
(3)実施体制

2. 実施体制の見直し

公開

新テーマにあわせて体制、実施者を再編

実施体制(平成23年度以降)



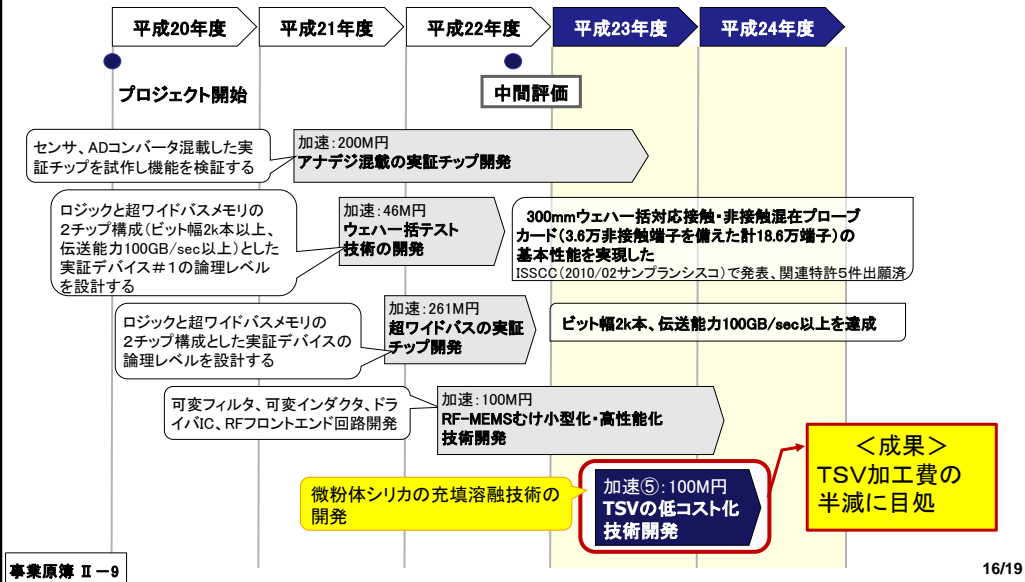


2. 研究開発マネジメントについて  
(5) 情勢変化への対応

公開

3. 市場動向を踏まえた加速

市場競争力強化技術を加速



2. 研究開発マネジメントについて  
(4) 実用化、事業化に向けたマネジメント

公開

事業化を意識したマネジメント

外部の知見を入れた進捗チェック

技術推進委員会実施(H23年12月)

- ・集積化技術の達成レベルに高評価(TSV径、ピッチ幅、熱評価等)
- ・出口戦略に柔軟性を(ファウンドリへの要素技術ライセンス等)

外部アピール

国際会議(IEEE3D-IC)、技術成果報告会等(NEDOは後援)展示会(CEATEC、nano-tech)、NEDO Webでトピックス紹介

事業化・実用化の推進

参加企業毎に事業化に向けた取組みを協議、出口戦略の強化を推進  
(H24年12月～H25年1月)



ドリームチップ技術成果報告会  
(2013.3.8 @芝浦工大)



nano tech 2012  
(2012.2)



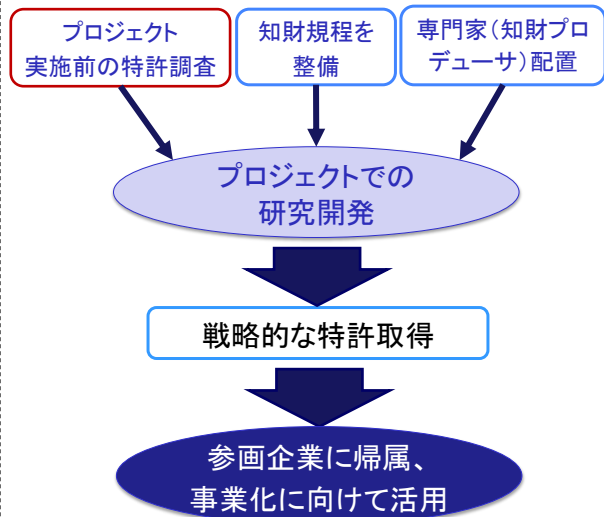
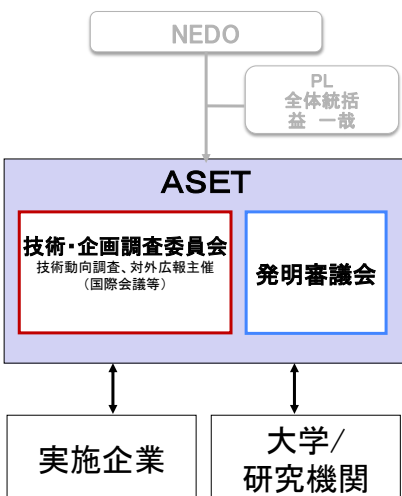
CEATEC 2011  
(2011.10)

2. 研究開発マネジメントについて  
(4)実用化、事業化に向けたマネジメント、

公開

事業化を見据えた知財マネジメント

体制



事業原簿Ⅱ-9

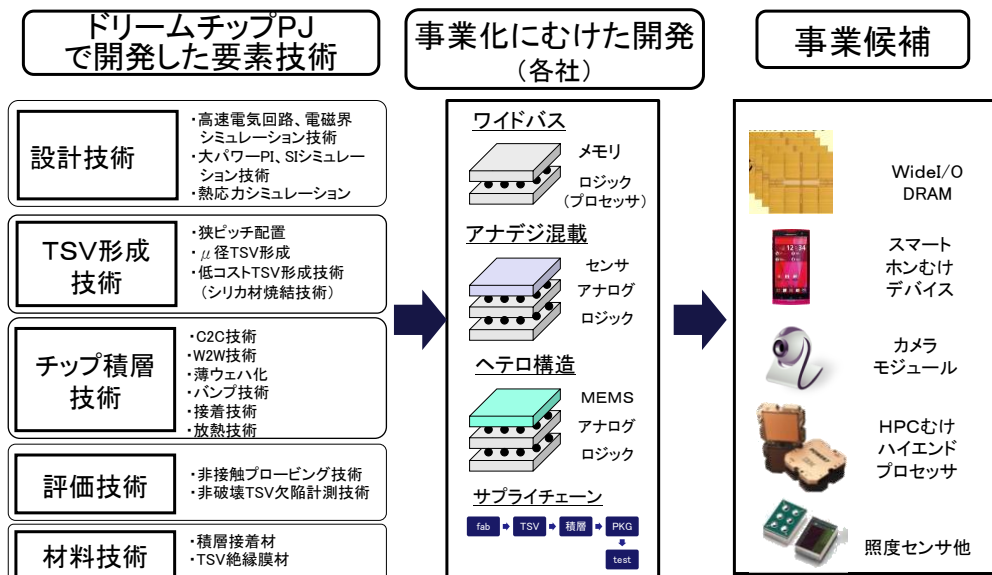
18/19

2. 研究開発マネジメントについて

公開

今後は各社の事業に特化した開発へ

※詳細は「実用化・事業化の見通し及び取り組みについて」(非公開)参照



事業原簿Ⅱ-9

19/19

ITイノベーションプログラム  
「立体構造新機能集積回路(ドリームチップ)技術開発」  
(事後評価)

(2008年度～2012年度 5年間)  
プロジェクトの概要(公開)

3. 研究開発成果について  
4. 実用化、事業化に向けての見通し

PL(益 一哉)  
ASET  
2013年6月28日

3. 研究開発成果について (1)個別研究開発項目の目標と達成状況

公開資料

【参考】①-(1) 設計技術 本テーマは中間評価(H22)で評価済み

| テーマ                    | 目標   | 成果  | 達成度 |
|------------------------|--|---|-----|
| シミュレーション<br>ツール開発      | ・現状と比較し2ケタ多いメッシュ数及び8<br>倍の信号幅の解析対象を現状と同等の<br>計算時間で解析する回路シミュレータ開<br>発と評価<br>・現状と比較し500倍の高速化を実現する<br>電磁界シミュレータの開発と評価 | ・「改良LIM法＋並列化」とRLGC-MNA<br>法の組み合わせにより、現状比較800<br>倍の回路シミュレータを開発し、目標達<br>成を確認<br>・グリッド数低減技術及び並列計算技<br>術の適用により、660倍の高速化を達<br>成した。また新規アルゴリズム(改良型<br>ADE-FDTD法)の効果を確認 | ○   |
| 回路品質・電源品質<br>安定化回路技術開発 | ・デジタル・アナログ混載回路、多電源化<br>に対応した素子内蔵インターポーザの設<br>計基盤技術を開発し、その技術仕様書を<br>策定する  | ・TEGによる要素別目標を達成し、その<br>評価・検査技術を確立<br>・コンカレント設計モデルを策定し、実<br>証モジュールのインターポーザと有機<br>基盤の設計に適用し、試作評価によっ<br>て有効性を確認  | ◎   |
| 設計仕様作成                 | ・CMOS半導体デバイス、機能デバイス等<br>を、相互に接続可能とする機械的・電気<br>的インターフェースを設定し、技術仕様書<br>を策定する   | ・インタフェース仕様を策定した。<br>(例:使用周波数帯の10倍の領域で電<br>源インピーダンス1Ω以下、資料周波<br>数帯で0.1Ω以下など)   | ○   |

(◎:大幅達成、○:達成、△:未達、×:大幅未達)

3. 研究開発成果について

(1)個別研究開発項目の目標と達成状況

公開資料

①-② 評価解析技術

| テーマ                      | 目標  | 成果  | 達成度 |
|--------------------------|---|---|-----|
| チップテスト技術開発<br>(中間評価で評価済) | ・300mmウェハに対し、30万端子以上の一括アクセスを可能とする技術開発<br>・15Gbps/DUTの信号速度での検査可能性の確認                   | ・大気圧加重(接触端子)+容量結合(非接触端子)で30万端子アクセスの可能性確認。試験用に、18.6万端子のプロブカードを開発し稼働確認<br>・ウェハテスト/バーンイン可能な温度制御技術(スプレー冷却)を開発                         | ◎   |
| 熱・積層接合評価技術               | ・20W以上の発熱に対応する放熱構造の評価解析技術を開発する。<br>・車載環境下での放熱冷却構造の最適化設計と、評価解析技術の開発<br>・放熱設計技術仕様書を策定する | ・TSVをもつTEG三積層構造で熱伝導パラメータ抽出手法を開発。シミュレーションとコリレーションから熱特性評価技術を確立<br>・20W/cm <sup>2</sup> に対応する放熱構造は、ヒートパイプを介してシステム筐体に放熱する構造とすべきことを確認  | ○   |
| 薄ウェハ評価解析                 | 高精度ウェハ加工技術及び極薄チップ加工技術を確立  | ・ガラスマウントのウェハ支持体(WSS)を活用し、表面のバンブ有無にかかわらずウェハ厚10μm±1μmを達成<br>・ICF(Inter Chip Fill)付のダイシングテープを採用して、10μm厚のチップのダイシング・ピックアップ・積層工程の効率化を確認 | ○   |

(◎:大幅達成、○:達成、△:未達、×:大幅未達)

事業原簿Ⅲ. 研究開発成果について

2/34

3. 研究開発成果について

(1)個別研究開発項目の目標と達成状況

公開資料

①-① 設計技術 成果事例

高速シミュレータの開発

| シミュレータ       | 開発項目         | H21年度 | H22年度  | 最終目標          |
|--------------|--------------|-------|--------|---------------|
| 高速電気回路シミュレータ | 線形改良LIM法+並列化 | x300  | x400   | X800<br>~1500 |
|              | RLGC-MNA法    | x1.0  | x2.0   |               |
|              | 小計           | x300  | X800   |               |
| 高速電磁界シミュレータ  | 非線形回路分割+並列化  | x10   | x12    | x500          |
|              | ADE-FDTD法    | x3    | ( X2 ) |               |
|              | グリッド数低減法     | x7    | x22    |               |
|              | 並列化          | x10   | X30    |               |
|              | 小計           | X210  | x660   |               |

従来、7ヶ月程度かかると見込んでいたPKG一括解析が実時間内(10時間以内)で解析できる目処が立った。

CPU Time [sec]

1Year  
1Month  
1day  
1hour

1.0E+09  
1.0E+07  
1.0E+05  
1.0E+03  
1.0E+01  
1.0E-01  
1.0E-03  
1.0E-05  
1.0E-07  
1.0E-09

1.0E+00  
1.0E+01  
1.0E+02  
1.0E+03  
1.0E+04  
1.0E+05  
1.0E+06  
1.0E+07  
1.0E+08  
1.0E+09

Poynting  
x4.5  
(1.7h)  
Zanthos  
x5  
(7.6h)  
x30 130  
(1.59day)

GPU化による  
アクセラレーション

境界適合グリッド(Subcell)

サブグリッド

FDTD解析規模  
(メッシュ数xタイムステップ数)

事業原簿Ⅲ-3

3/34

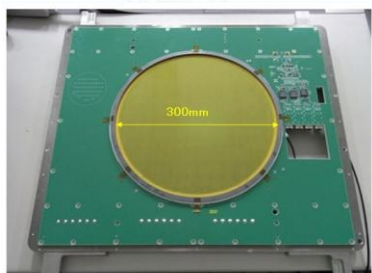
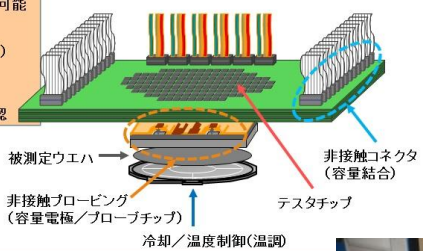
### 3. 研究開発成果について (1)個別研究開発項目の目標と達成状況

公開資料

#### ①-② 評価解析技術 成果事例

KGDを得るためのプローブ・カードの開発 ⇒ 効果：三次元集積化の為のKGDテスト環境が整い、テストコストの削減にも繋がる

- 1) 300mm ウエハ・プローブ方式の基本技術の開発
  - ・ 30 万電極、15Gbps/DUT の信号伝送が可能
  - ・ 非接触プロービング技術の検証
- 2) 電力供給(10kW以上)と温度制御(温度範囲-40℃~+125℃)
- 3) 200ch/500Mbps以上の信号接続技術
- 4) システムアップによる実証
  - ・ 一括アクセスが可能であることの確認
  - ・ 15Gbps/DUTのテスト可能であることの確認



【目標仕様】

|          |             |
|----------|-------------|
| ・ウエハサイズ  | : 300mmφ    |
| ・接触端子数   | : 15万/ウエハ   |
| ・非接触プローブ | : 3.6万/ウエハ  |
| ・パッド・サイズ | : 60μm      |
| ・パッド・ピッチ | : 最小90μm    |
| ・電流      | : 5KA       |
| ・電力      | : 15kW      |
| ・使用温度範囲  | : -40~+125℃ |



プローブカードの外観(550mm×480mm)

・300mm径サイズ/接触15万接続端子+非接触3.6万端子(容量結合)を開発

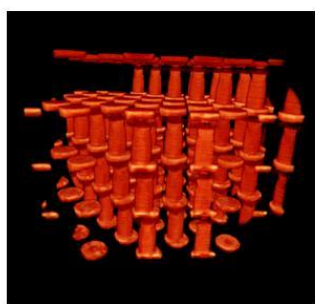
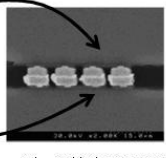
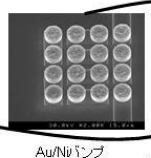
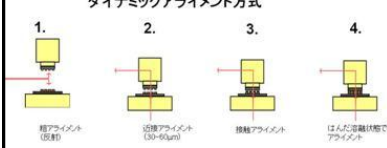
### 3. 研究開発成果について (1)個別研究開発項目の目標と達成状況

公開資料

#### ①-② 評価解析技術 成果事例(熱・積層接合評価技術)

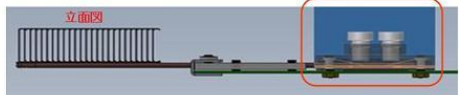
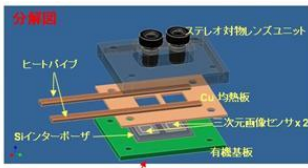
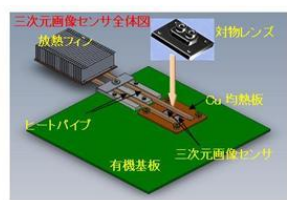
ダイナミックアライメント方式を用いた10μmピッチ・5μmはんだバンプの高精度接合(D2D)に成功

ダイナミックアライメント方式



X線CT装置により1ミクロン台の微細なTSVボイドの観測を実施

ステレオ画像システムの冷却構造を考案し、レンズ系を含めた統合設計を提案  
各センサチップ2W発熱時に、センサ下面温度上昇を約11℃に抑制可能を確認



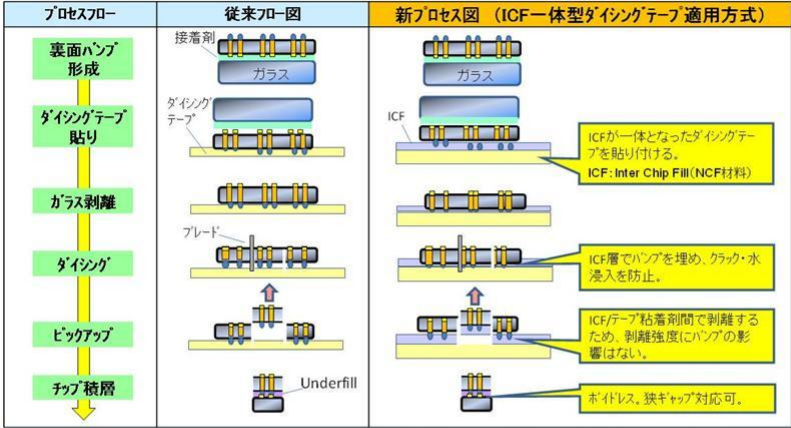


3. 研究開発成果について (1)個別研究開発項目の目標と達成状況

①-(2) 評価解析技術 成果事例 (薄ウェハ評価解析)

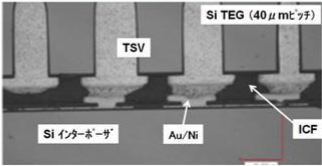
公開資料

ICF付きダイシングテープを活用した新プロセスを開発



【ダイシング時の諸課題対策として有効】

- ・クラック・水浸入防止
- ・ピックアップ容易化、
- ・ボイドレス
- ・裏面パンプ保護
- ・積層狭ギャップ対応



40umピッチTEGの  
積層実験で  
良好な結果を確認

3. 研究開発成果について (1)個別研究開発項目の目標と達成状況

①-(3) 共通要素技術開発と設計基準策定

公開資料

| テーマ                        | 目標  | 成果  | 達成度 |
|----------------------------|---|---|-----|
| 3Dインテグレーション<br>技術<br>(3)-B | TSVをはじめとする共通要素に関わる設計基準・レイアウト基準・プロセス工程基準を、プロジェクトの標準的仕様として策定しライブラリ化する。更に超ワイドバスによる信号授受の開発の成果を活用して、更なる制御手法の改善検討と試作評価を行い、標準化を含めた展開の見通しを得る。 | <ul style="list-style-type: none"><li>・標準TSVセル(25um/50umピッチ)を開発、ライブラリ化</li><li>・積層LSIを作成し、各種レイアウト基準、プロセス基準を策定し、試作積層LSIの特性評価からパンプ・TSVの基本的電気特性を取得</li><li>・TSV電気特性モデルを提案し、設計評価でモデル化</li><li>・積層チップ間同期回路方式を開発し、W2W積層チップの実測でクロックスキュー60%削減を確認</li><li>・加工対象を柔軟に選択できるVia-LastプロセスによるTSV加工技術を構築し、TSV周辺に発生する機械的ストレスが小さく、KOZ&lt;2umと出来ることを確認</li><li>・DC-DCコンバータの最上チップ配置方式を提案・設計・試作し、1Rノイズの約1/4化を確認</li><li>・W2W積層で3層積層を行い次世代三次元積層SiP向け集積化技術を開発</li><li>・ハイブリッドW2W積層に必要な表面の前処理法を開発(水素ラジカル)</li></ul> | ◎   |

| 3. 研究開発成果について (1)個別研究開発項目の目標と達成状況 |   |  | 公開資料                           |
|-----------------------------------|---|--|--------------------------------|
| ①-(3)共通要素技術開発と設計基準策定              |   |  |                                |
| テーマ                               | 目標  | 成果   | 達成度                            |
| 超ワイドバスSiP<br>三次元集積化技術<br>(3)-C    | ロジックと超ワイドバスメモリ(ビット幅2k本以上、伝送能力100GB/sec以上)をインターポーザで相互接続した三次元積層SiPの試作・評価を行い、伝送能力や消費電力などの特性面における三次元積層の優位性を実証する | <ul style="list-style-type: none"><li>・三次元積層構造を最大限生かすI/Oの構成により、バス速度が200Mbit/sの低速動作でも102GByte/sという従来比8倍以上のバス伝送能力を実現</li><li>・このときのビットあたりの伝送エネルギーが0.56pJであることを確認し、三次元積層の優位性を実証(3D実装:2D実装=1:30)</li><li>・TSV部のI/O信号・電源をモニタする評価技術開発により、実際のI/O駆動能力と信号振幅や電源供給の実動作評価を行い、適切な設計指針を得た</li><li>・微粉体シリカをTSV絶縁膜として使用するインターポーザを形成し、従来の絶縁膜では形成不可能な超低容量TSV(35fF以下)を実現した</li><li>・これに粉体金属を溶融充填したTSV導体と組み合わせることにより、より簡便な工程数化(従来工程数比1/3が可能)を立案・策定した</li></ul> | ◎                              |
| 事業原簿 Ⅲ-20                         |   |  | (◎:大幅達成、○:達成、△:未達、×:大幅未達) 8/34 |

| 3. 研究開発成果について (1)個別研究開発項目の目標と達成状況 |   |   | 公開資料                           |
|-----------------------------------|---|---|--------------------------------|
| ①-(3)共通要素技術開発と設計基準策定              |   |   |                                |
| テーマ                               | 目標  | 成果  | 達成度                            |
| デジアナ混載<br>三次元集積化技術<br>(3)-D       | ・画像処理システム(視覚支援システム等)に必要なデジアナ混載回路の三次元積層SiPを試作・評価を行い、電源供給技術、高速信号伝送技術等の要素技術を開発し技術仕様書を策定する。 | <ul style="list-style-type: none"><li>・ヘテロ積層C2Cプロセスを開発した。</li><li>・自動車環境での動作安定性のため、トータル70nFのTSV型デカップリングキャパシタを配したSiインターポーザを開発し、GHz帯までの効果を確認した。</li><li>・CIS/CDS/ADC/IFチップとSiインターポーザ/DeCAPチップの6種10チップを積層したTSV接続積層SiP構造により、測距が可能な超小型(基線長10mm・体積約350mm<sup>2</sup>)の2眼画像センサモジュールを完成させた。</li><li>・自動車用運転支援画像処理システムとして上記センサモジュールを2次実装し、さらに電源・高速インターフェース・放熱を備えた評価基板を作成・評価した。</li><li>・センサの高速性を利用した可視光の車車間通信を応用した遠方測距など、実用を想定した評価用アプリケーションソフトを作成・評価した。</li><li>・試作したセンサモジュールの諸元を技術仕様書にまとめた。</li></ul> | ○                              |
| 事業原簿 Ⅲ-24                         |   |   | (◎:大幅達成、○:達成、△:未達、×:大幅未達) 9/34 |

公開資料

## C

(◎:大幅達成、○:達成、△:未達、×:大幅未達)

公開資料

## 事業原簿 Ⅲ-13

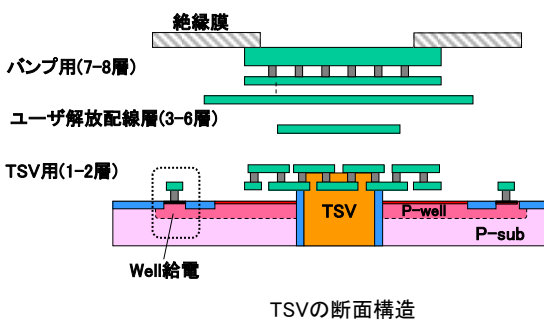
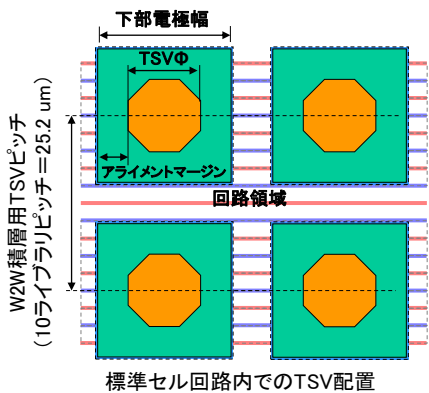


3. 研究開発成果について (1)個別研究開発項目の目標と達成状況

公開資料

①-(3) 共通要素技術開発と設計基準策定 成果事例 (3Dインテグレーション技術)

・C2CおよびW2WプロセスにおけるTSVレイアウト仕様策定し、ライブラリ化。配線層3-6層をユーザに解放し、セルサイズを標準セルのピッチと合わせることでTSVセルを回路領域に配置可



TSVレイアウトの寸法 (μm)

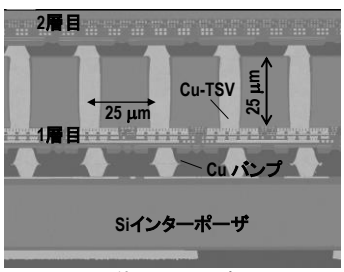
| 積層方式 | TSVΦ | 下部電極幅 | アライメントマージン | 上部開口幅 | 上部電極幅 | TSVピッチ |
|------|------|-------|------------|-------|-------|--------|
| W2W  | 10   | 20    | 5          | 10    | 20    | 25.2   |
| C2C  | 20   | 30    | 5          | 20    | 30    | 50.4   |

3. 研究開発成果について (1)個別研究開発項目の目標と達成状況

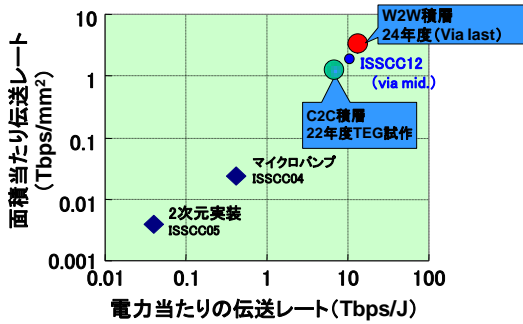
公開資料

①-(3) 共通要素技術開発と設計基準策定 成果事例 (3Dインテグレーション技術)

・積層チップに適した通信回路および貫通ビア構造の開発により、W2W積層で世界最高水準の電力あたりの伝送レート実現。TSV電気特性モデル定義し取得。標準化提案中。



W2W積層断面写真



JEITAへの標準化提案

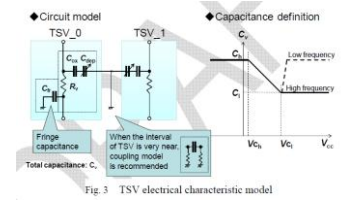


Fig. 3 TSV electrical characteristic model

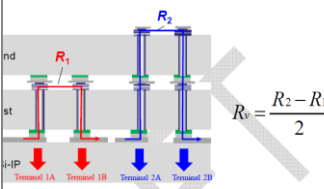


Fig. 4 Resistance measurement method

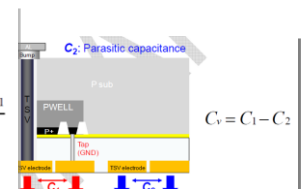


Fig. 5 Capacitance measurement method

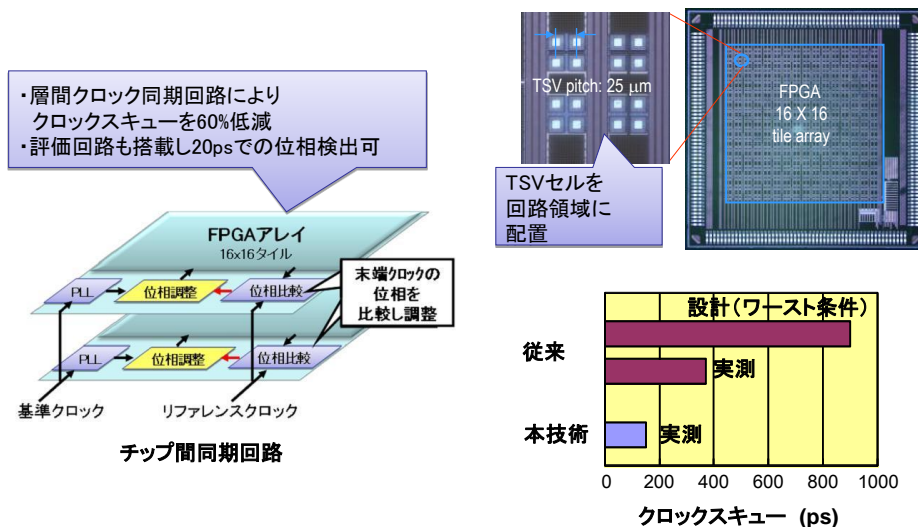
### 3. 研究開発成果について (1)個別研究開発項目の目標と達成状況

公開資料

#### ①-(3) 共通要素技術開発と設計基準策定 成果事例 (3Dインテグレーション技術)

チップ間同期回路 (東北大との共同実施)

・プロセスバラツキや電圧変動によりチップ間で生じるクロックスキュー低減のため、  
積層チップ間同期回路を開発。実測によりチップ層間クロックスキューを60%削減



### 3. 研究開発成果について (1)個別研究開発項目の目標と達成状況

公開資料

#### ①-(3) 共通要素技術開発と設計基準策定 成果事例 (3Dインテグレーション技術)

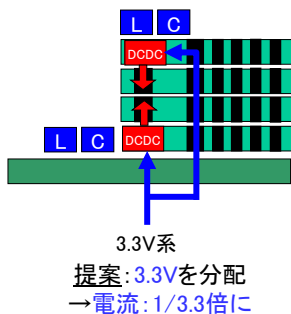
電源安定化回路技術 (東大との共同実施)

・最上チップにDC-DCコンバータを配置し、高電圧・低電流で電源供給することにより、TSV起因のIRノイズを約4分の1に低減できることを実測で確認

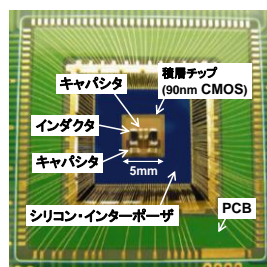
#### 提案技術 (BCT; Buck Converter on Top die)

##### 提案技術

DCDCコンバータを上下に分散配置することにより、電力を上下から半分ずつ供給

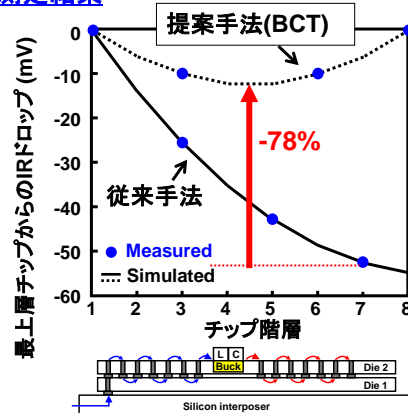


##### 実装写真



(インダクタ、キャパシタをチップ上面に実装)

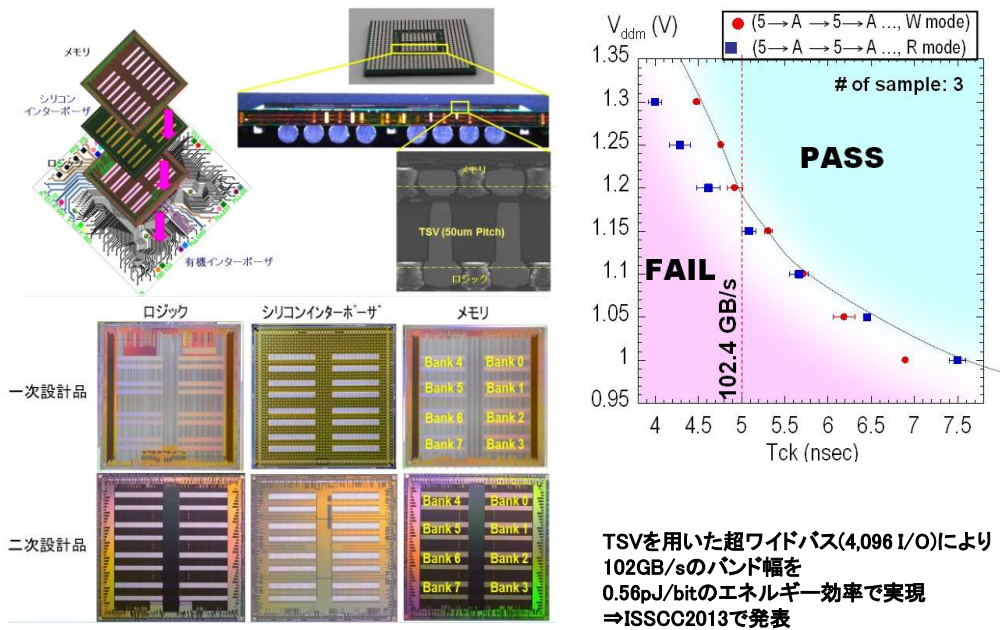
##### 測定結果



### 3. 研究開発成果について (1)個別研究開発項目の目標と達成状況

公開資料

#### ①-(3) 共通要素技術開発と設計基準策定 成果事例 (超ワイドバスSiP)



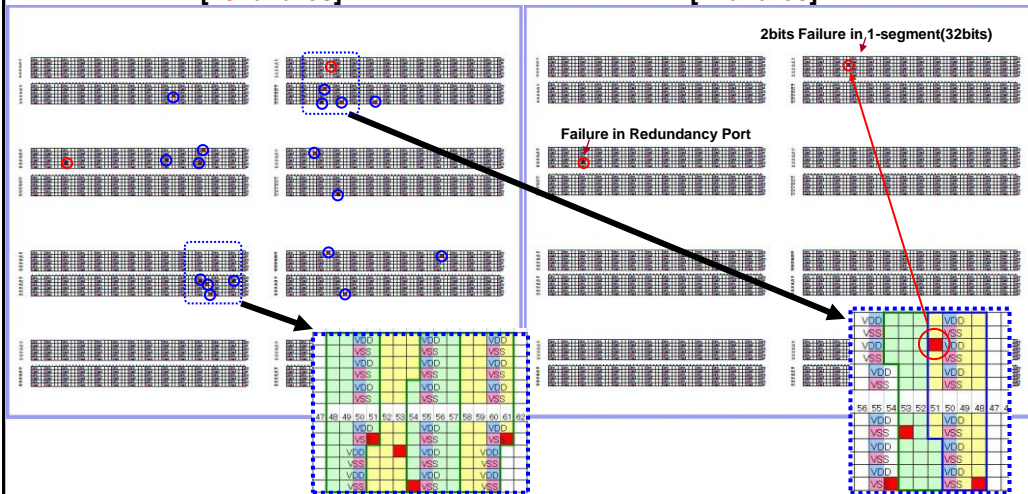
### 3. 研究開発成果について (1)個別研究開発項目の目標と達成状況

公開資料

#### ①-(3) 共通要素技術開発と設計基準策定 成果事例 (超ワイドバスSiP)

##### リダンダンシ回路による接合不良の救済(超ワイドバス第1世代品)

Redundancy OFF [18 failures] → Redundancy ON [2 failures]

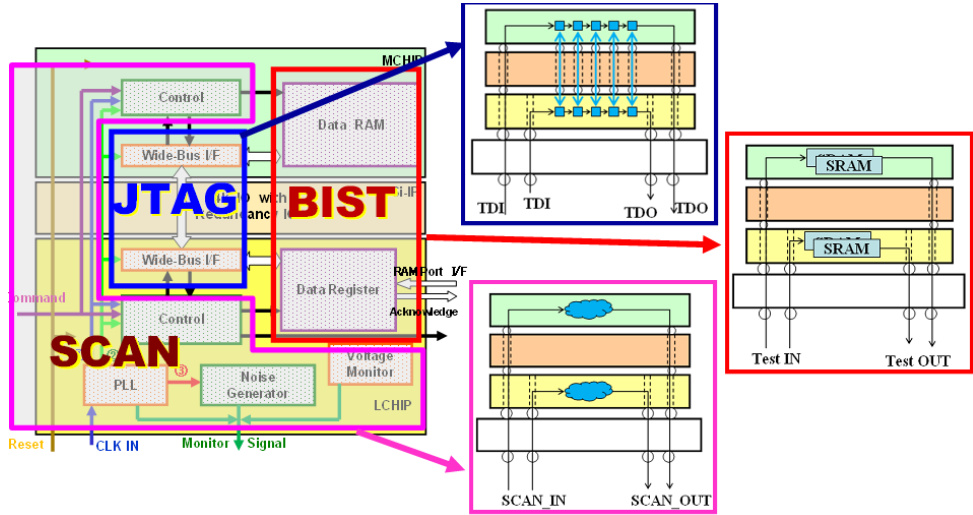


3. 研究開発成果について (1)個別研究開発項目の目標と達成状況

公開資料

①-(3) 共通要素技術開発と設計基準策定 成果事例 (超ワイドバスSiP)

積層時のテスト機能 (全機能動作確認済)

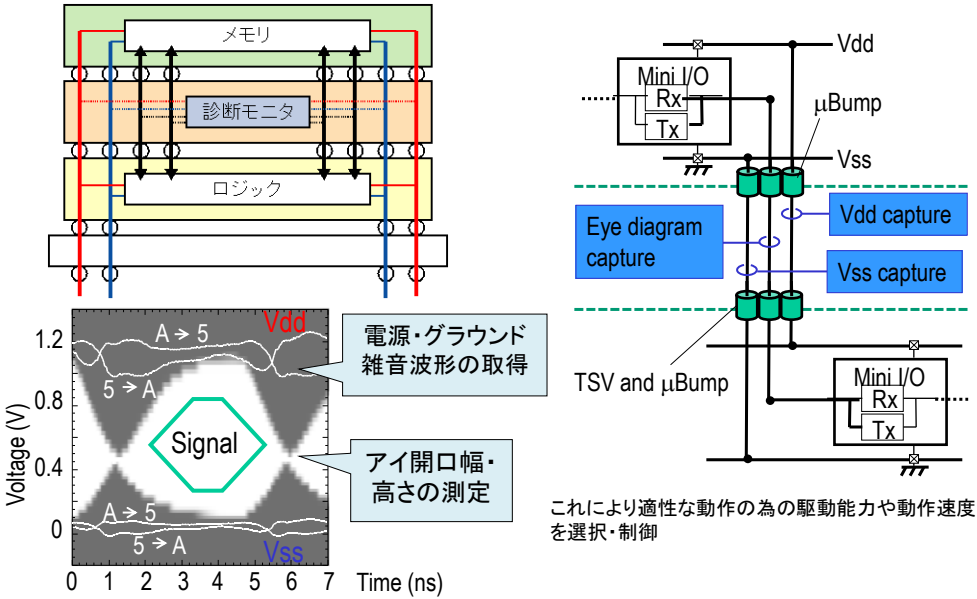


3. 研究開発成果について (1)個別研究開発項目の目標と達成状況

公開資料

①-(3) 共通要素技術開発と設計基準策定 成果事例 (超ワイドバスSiP)

4096 bit 100 GB/sec超ワイドI/Oバスに於いて、TSV通過信号をTSVから直接モニタリングした



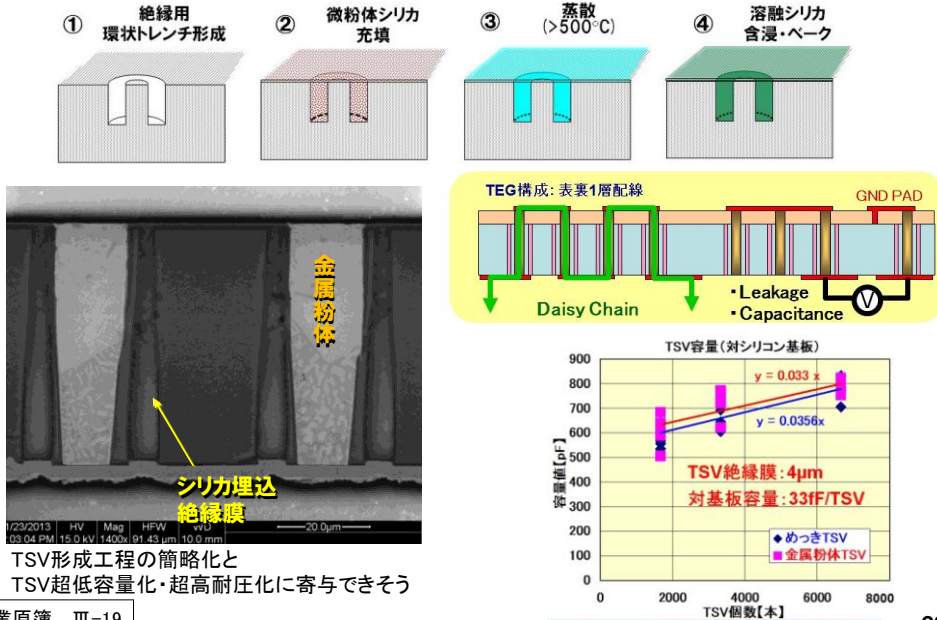


### 3. 研究開発成果について (1)個別研究開発項目の目標と達成状況

公開資料

#### ①-(3) 共通要素技術開発と設計基準策定 成果事例 (超ワイドバスSiP)

Trench-First Via-Last方式の検討・試行 (前工程の最初に絶縁層形成)



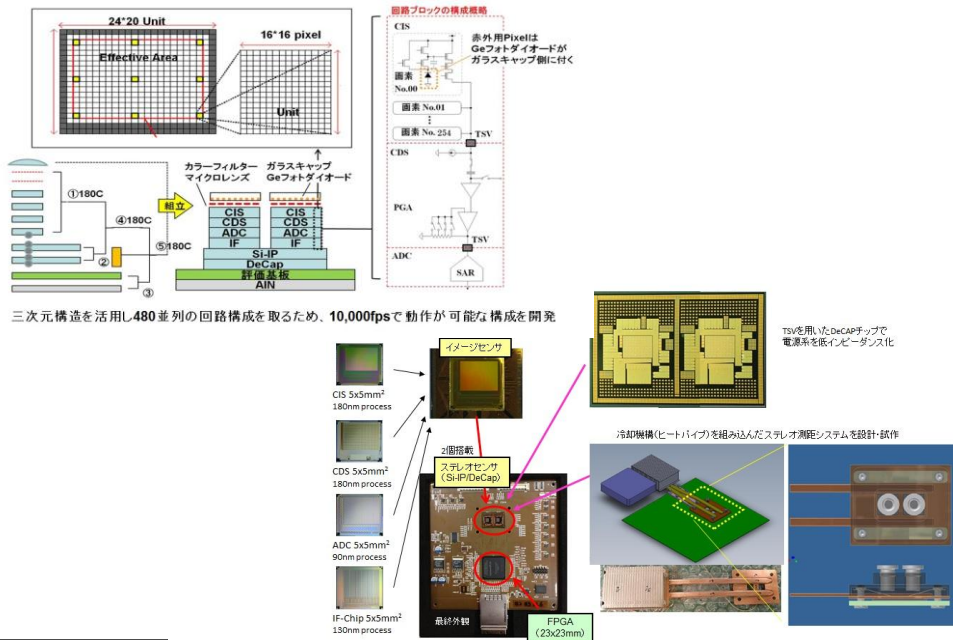
事業原簿 Ⅲ-19

20/34

### 3. 研究開発成果について (1)個別研究開発項目の目標と達成状況

公開資料

#### ①-(3) 共通要素技術開発と設計基準策定 成果事例 (デジアナ混載)



事業原簿 Ⅲ-22

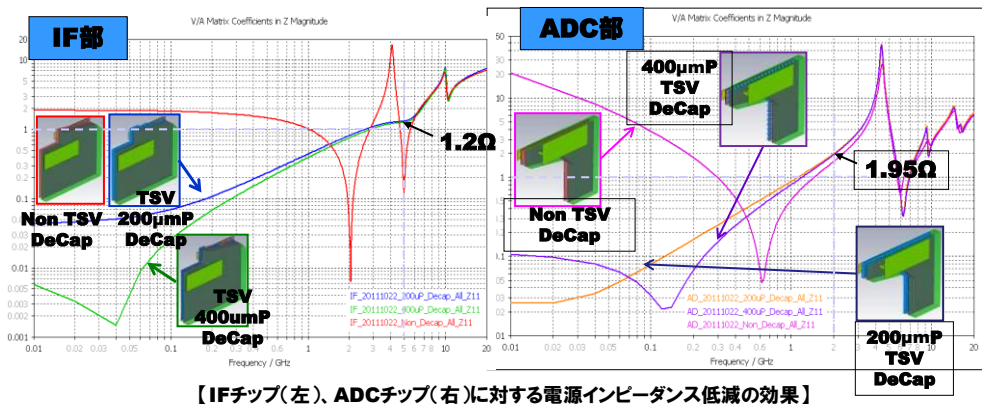
21/34

3. 研究開発成果について (1)個別研究開発項目の目標と達成状況

公開資料

①-(3) 共通要素技術開発と設計基準策定 成果事例 (デジアナ混載)

TSVをデカップリング容量(DeCap)として用い、その配置ピッチによるPDN (Power Delivery Network、電源供給網)のインピーダンス改善(5GHzで1.2Ω 以下・共振無)を、Simulationで確認



デカップリングキャパシタ有り/無しの差は明白で、TSV配列が200μmピッチと400μmピッチの高周波部分は変わらないが、400μmは低周波で共振モードが現れているため、狭ピッチTSVの効果が出た結果となった。

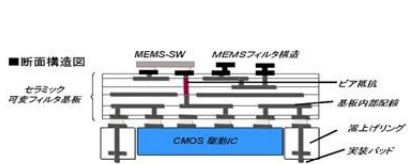
3. 研究開発成果について (1)個別研究開発項目の目標と達成状況

公開資料

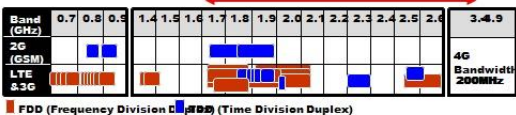
①-(3) 共通要素技術開発と設計基準策定 成果事例 (ヘテロジーニアス)

**MEMS可変フィルター及び  
WLP MEMSスイッチを三次元集積化し  
RFモジュールの高密度実装化を実現**

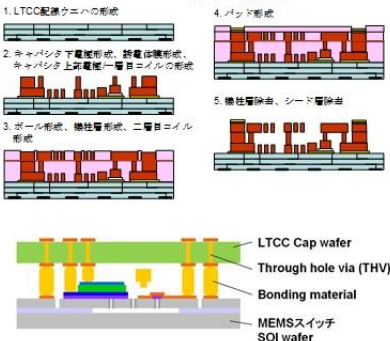
**ASET Target (1.7-2.8GHzをカバー)**



| Results                              | Conventional (UCSD) | Our Work            |
|--------------------------------------|---------------------|---------------------|
| Simultaneous CF and Bandwidth Change | NG                  | OK                  |
| Range                                | 1.56-2.48GHz        | 1.7-2.8GHz          |
| Shape Factor                         | Shape factor >3.5   | Shape factor =1.8-2 |
| Insertion Loss                       | 1.92-2.23dB         | 1.9-2.9dB           |
| Size                                 | 50mm <sup>2</sup>   | 16.9mm <sup>2</sup> |



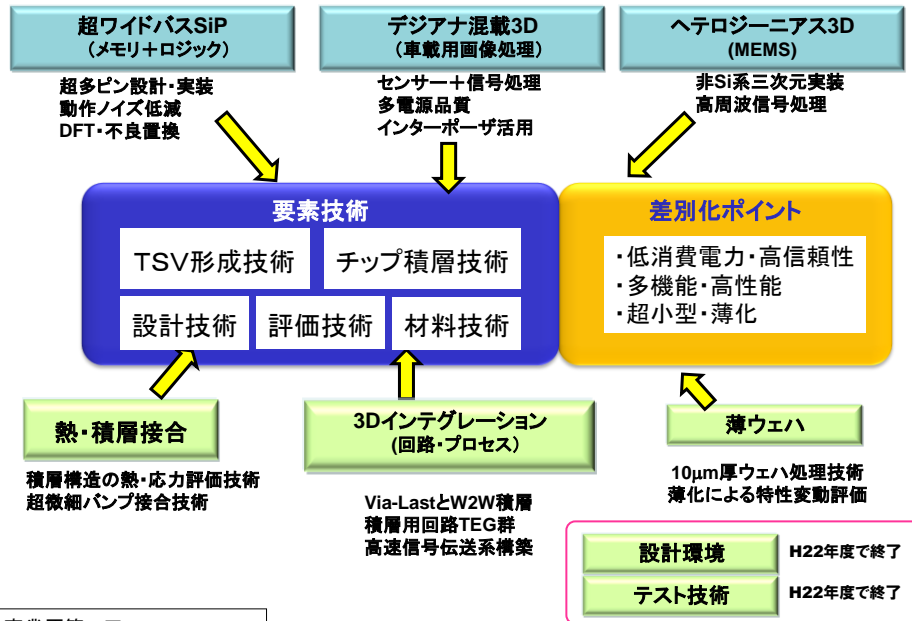
**WLP MEMSスイッチ 封止プロセス**



### 3. 研究開発成果について (2) 成果の意義

公開資料

アプリケーションチップの開発を通じて、三次元積層の要素技術および差別化ポイントを確立  
開発はワーキンググループ(WG)制を採用し各WGの連携&協力体制で推進



24/34

### 3. 研究開発成果について (2) 成果の意義

公開資料

#### 成果のベンチマーキング

##### 超ワイドバスSiP WG

三次元化で低コスト・高性能化の両立が可能であることを証明

- ・超ワイドバス(4k-10)をもつメモリ・Siインターポーザ・ロジックSiPの設計・試作・評価⇒**世界初**
- ・メモリとロジック積層システムのテスト技術
- ・電源品質・信号品質確保手段の検討・試作・評価
- ・三次元化後のテスト技術組み込みと不良接合置換技術⇒4k-10を対象としたものは**世界初**
- バス速度が200Mbit/sの低速動作でも102GByte/s(従来比8倍以上)という高い信号伝送能力を実現。
- このときビットあたりの伝送エネルギーが0.56pJを確認し、三次元積層の優位性を実証。(3D実装:2D実装=1:30)

##### デジアナ混載 WG

三次元積層品の車載化を促進

- ・CIS/CDS (correlated double sampler)/ADC/Interface-Chip/Siインターポーザを積層した高度なアナログ・デジタル混載三次元システムの設計・試作・評価⇒**世界最高水準**
- ・電源品質確保手段として高容量TSVのDeCap活用
- TSV型デカップリングキャパシタを配したSiインターポーザのGHz帯までの効果を確認。
- 自動車用運転支援画像処理システムとして測距が可能な超小型2眼画像センサモジュールを実装し、電源・高速インターフェース・放熱を備えた評価基板を作成・評価した。
- センサの高速性を利用した可視光の車車間通信を応用した遠方測距など、実用を想定した評価用アプリケーションソフトを作成・評価。
- 試作したセンサモジュールの諸元を技術仕様書にまとめた

##### ヘテロジニアス WG

RF領域での三次元積層技術の有用性証明

- ・RFシステムに特化した小型化・高密度実装のための要素技術開発⇒**世界最小レベル**
- 高密度三次元実装に対応する 高誘電率・抵抗内臓・高密度配線LTCC基板技術
- 小型・高信頼性MEMSスイッチ技術、MEMSスイッチによる小型・多バンドアンテナ素子技術
- MEMS可変フィルタと、WLP MEMSスイッチと制御ICを積層した三次元集積化RFモジュールを試作し、三次元構造化により、中心周波数と帯域幅の制御が効果的にできることを確認

事業原簿 Ⅲ-16、21、25、29

25/34

### 3. 研究開発成果について (2) 成果の意義

公開資料

#### 成果のベンチマーキング

##### 3Dインテグ WG

##### 三次元積層開発技術(設計・TSV形成・積層)を確立

- ・超微細ピッチ マイクロバンプ間接続技術開発
  - 10 $\mu$ mピッチ マイクロバンプ接続
  - 位置合わせ精度・実装コスト低減⇒W2W積層技術開発
- ・多様な素子形成後のウエハで対応できる貫通電極形成技術開発
  - Via-Last TSV形成技術開発
- ・W2Wでの3積層化+Via-Last TSV形成技術開発⇒**世界初**
- ・W2Wでの3積層化を前提としたTEGシャトル搭載TEG設計・評価⇒**世界最高水準**
- 標準TSVセル(25 $\mu$ m/50 $\mu$ mピッチ)を開発、ライブラリ化
- 各種レイアウト基準、プロセス基準を策定し、試作評価からバンプ・TSVの基本的電気特性を取得
- TSV電気特性モデルを提案し、設計評価でモデル化
- 積層チップ間同期回路方式を開発し、W2W積層チップの実測でクロックスキュー60%削減を確認
- Via-LastプロセスはTSV周辺に発生する機械的ストレスが小さく、KOZ<2 $\mu$ mと出来ることを確認
- DC-DCコンバータの最上チップ配置方式を提案・設計・試作し、IRノイズの約1/4化を確認
- ハイブリッドW2W積層に必要な表面の前処理法を開発(水素ラジカル)

### 3. 研究開発成果について (2) 成果の意義

公開資料

#### 成果のベンチマーキング

##### 熱・積層接合 WG

##### 熱・応力設計精度及び接合精度の大幅改善

- ・三次元構造でのチップ内温度を、二つの異なる発熱条件で、実測とシミュレーション相関を確認⇒**世界初**
- ・定常状態から過渡応答へのモデル化により三次元構造での熱特性確認と冷却システムの選定を可能とした
- ・微小接合部を含めた三次元積層のモデルでの、接合部応力のCu結晶方位依存性確認⇒**世界初**
- ・三次元積層構造の熱応力信頼性の検証
- TSVをもつTEG三積層構造で熱伝導パラメータ抽出手法を開発。  
シミュレーションとコリレーションから熱特性評価技術を確立。
- 20W/cm<sup>2</sup>に対応する放熱構造は、ヒートパイプを介してシステム筐体に放熱する構造とすべきことを確認。

##### 薄ウエハ WG

##### 極薄ウエハの評価・ハンドリング・関連材料の技術確立

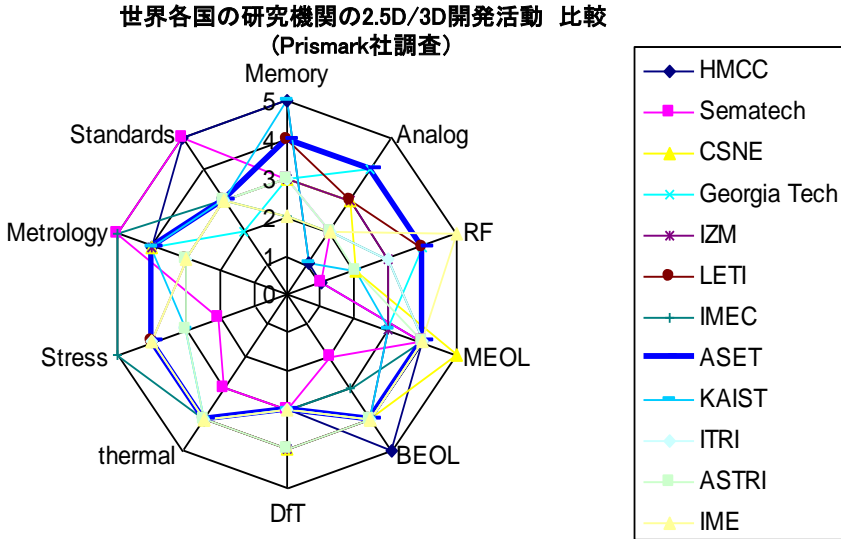
- ・300mmウエハ10 $\mu$ m厚の薄化加工に加え、その厚さバラつき(TTV)を0.4 $\mu$ mまで改善⇒**世界最高水準**
- ・TSV付200mm/300mmウエハの10 $\mu$ m薄化とTTV 1 $\mu$ m以下の加工技術を実現⇒**世界最高水準**
- ガラスのウエハ支持体(WSS)を活用し、表面のバンプ有無にかかわらずウエハ厚10 $\mu$ m $\pm$ 1 $\mu$ mを達成。
- IGF(Inter Chip Fill)付のダイシングテープを採用して、10 $\mu$ m厚のチップのダイシング・ピックアップ・積層工程の効率化を確認



3. 研究開発成果について (2) 成果の意義

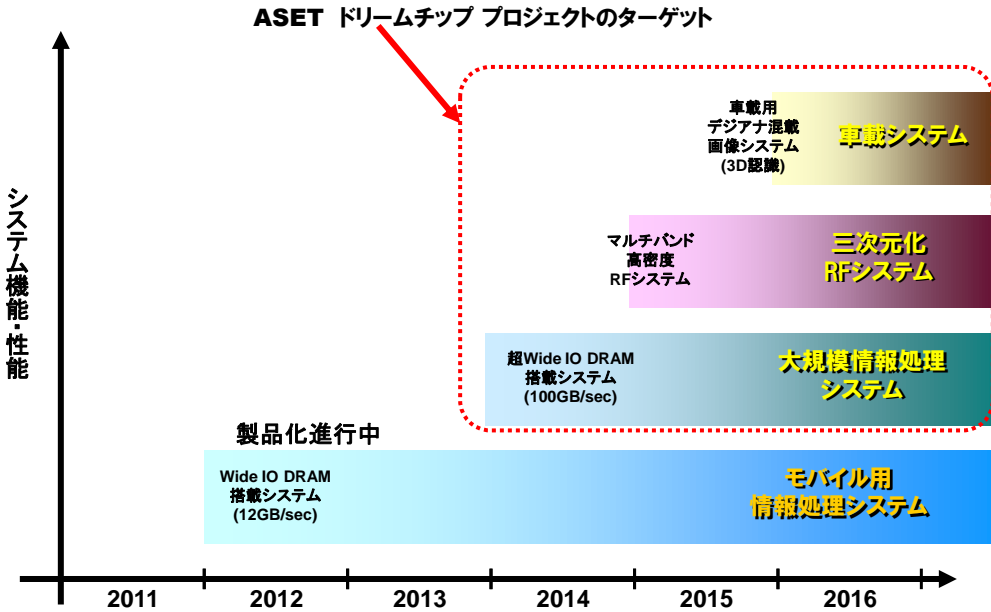
公開資料

成果のベンチマーキング



3. 研究開発成果について (2) 成果の意義

公開資料



3. 研究開発成果について (3) 知財と標準化

公開資料

|                      | H20      | H21        | H22        | H23        | H24        | 合計(件)        |
|----------------------|----------|------------|------------|------------|------------|--------------|
| 特許出願<br>(うち外国、PCT出願) | 5<br>(0) | 32<br>(12) | 41<br>(29) | 30<br>(11) | 36<br>(12) | 144件<br>(64) |
| 論文                   | 1        | 3          | 8          | 8          | 3          | 23件          |
| 学会発表                 | 25       | 74         | 88         | 88         | 102        | 377件         |
| その他発表(講演等)           | 7        | 1          | 2          | 1          | 1          | 12件          |
| 受賞実績                 | 0        | 0          | 1          | 1          | 1          | 3件           |

主な受賞名: 半導体業界に影響力があるIEEEで ベストペーパー賞を獲得  
IEEE CPMT Symposium Japan 2012(ICSJ 2012) Best Paper Award  
坂井他、“PDN Characteristics of 3D-SiP with a Wide-bus Structure under 4k-IO Operations”

主な学会名: 半導体関連の国際学会の最高峰のISSCCで論文採択  
ISSCC 2013  
高谷他、“A 100GByte/s Wide I/O with 4096 bit TSVs through an Active Silicon Interposer with In-Place Waveform Capture”

標準化活動: 設計環境の標準化をJEITAに提言  
TSVの電気モデル標準化の検討を行い、JEITAへの提言を行った。  
また、ASETは当該標準化活動を支援するため、人的・経済的サポートを実施中。

3. 研究開発成果について (4) 成果の普及

公開資料

【プレスリリース】

ISSCC2013の成果(4K本TSVによる超ワイドバスデータ伝送の実証)を事前に国内メディアに紹介。  
世界最高レベルをアピール

### 3. 研究開発成果について (4)成果の普及

公開資料

## 【学会・研究者対応】

#### 1. 本プロジェクトのスタート時点から三次元積層技術の主要国際会議を主催

- |                    |                      |
|--------------------|----------------------|
| ①2007年 3月 東京       | (3D-SIC2007、主催)      |
| ②2008年 5月 東京       | (3D-SIC2008、主催)      |
| ③2009年 9月 サンフランシスコ | (IEEE 3D-IC 2009、共催) |
| ④2010年11月 ミュンヘン    | (IEEE 3D-IC 2010、共催) |
| ⑤2012年 1月 大阪       | (IEEE 3D-IC 2011、主催) |



IEEE 3D-IC 2011

#### 2. 国内企業を対象に毎年、研究成果報告会を実施

名称：「ドリームチップ研究成果報告会」

- ①2010年 6月 305名
- ②2011年 6月 349名
- ③2012年 6月 356名
- ④2013年 3月 435名(最終成果報告会)



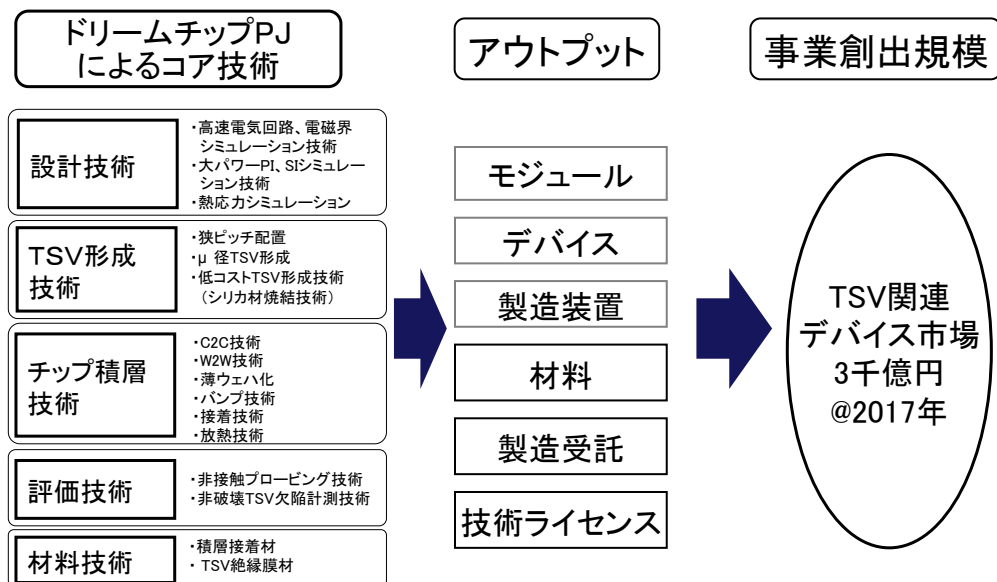
最終成果報告会

#### 3. NEDOプロジェクト終了後も、企業・大学の研究者が成果を学会で発表する事に対して、ASETとして支援を行っている。

### 4. 実用化・事業化の見通し及び取り組みについて (1)成果の実用化可能性

公開資料

各社が事業のコア技術を持ち帰り2017年頃に3千億円以上の事業創出を目指す



#### 4. 実用化・事業化の見通し及び取り組みについて (2)実用化への取組み

公開資料

##### 【チップテスト】 A社における実用化活動

###### 1. 300mm径ウェハ対応の最大12万端子の接触プローブ技術を開発。

IEEE SW Test Workshop 2012 にて発表(2012年6月)

###### 2. 4枚の300mm径ウェハを同時一括テストする新技術を開発。

(減圧方式プローブ、テスタ、プローバを全て一体化した装置を開発)

Takashi Naito , Daisuke Takano , Tsutomu Shoji

“FULL WAFER CONTACT BREAKTHROUGH WITH ULTRA-HIGH PIN COUNT”

,IEEE Semiconductor Wafer Test Workshop (June 10 - 13,2012/San Diego, California)



##### 【設計環境】 R社における実用化活動

###### 電磁界解析ツール(Zantho)の設計展開

- ・手順書を作成、社内に展開
- ・主にASIC顧客のセットボードのEMS、EMIの事前解析に活用
- ・大規模適用製品数は6件。セット基板は20～30cm角程度。基板層数は4～8層平均(最多:30層)
- ・製品サポートだけではなく基礎検討にも活用、顧客ボード設計サポートに貢献