

「立体構造新機能集積回路  
(ドリームチップ)技術開発」  
(事後評価)第1回分科会  
資料 5-1

「立体構造新機能集積回路(ドリームチップ)技術開発」

事業原簿

【公開版】

担当部	独立行政法人 新エネルギー・産業技術総合開発機構 電子・材料・ナノテクノロジー部
-----	---------------------------------------------

概要

プロジェクト用語集

I. 事業の位置付け・必要性について

1. NEDOの関与の必要性・制度への適合性	I-1
1.1 NEDOが関与することの意義	I-1
1.2 実施の効果(費用対効果)	I-2
2. 事業の背景・目的・位置づけ	I-3
2.1 事業の背景	I-3
2.2 事業の目的	I-4
2.3 事業の必要性と意義	I-5
2.4 事業の指針	I-6

II. 研究開発マネジメントについて

1. 事業の目標	II-1
2. 事業の計画内容	II-3
2.1 研究開発の内容	II-3
2.2 研究開発の実施体制	II-3
2.3 研究開発の運営管理	II-5
2.4 研究開発の実用化・事業化に向けたマネジメントの妥当性	II-5
3. 情勢変化への対応	II-6
4. 中間評価結果への対応	II-6
5. 評価に関する事項	II-10

III. 研究開発成果について

1. 事業全体の成果の概要	III-1
2. 研究開発項目ごとの成果の概要	III-2
2.1 多機能高密度三次元集積化技術	
(1)次世代三次元集積化設計技術の研究開発(※)	
(1)-A 設計環境技術の研究開発 ⇒平成22年度で終了(※)	III-31
(1)-B インターポーザ技術の研究開発 ⇒(3)-Dに統合(※)	III-36
(1)-C インターフェース仕様書の策定 ⇒(3)-Dに統合(※)	III-41
(2)次世代三次元集積化のための評価解析技術の研究開発	
(2)-A チップテスト技術の研究開発 ⇒平成22年度で終了(※)	III-44
(2)-B 熱・積層接合技術の研究開発	III-2
(2)-C 薄ウェハ技術の研究開発	III-7
成果一覧	III-11

(3)次世代三次元集積化の共通要素技術開発と設計基準策定	
(3)-A 実証デバイス研究開発	⇒平成22年度で終了(※)…………… III-48
(3)-B 3Dインテグレーション技術の研究開発	…………… III-11
(3)-C 超ワイドバスSiP三次元集積化技術の研究開発	…………… III-16
(3)-D デジアナ混載三次元集積化技術の研究開発	…………… III-21
(3)-E ヘテロジニアス三次元集積化技術の研究開発	…………… III-26
成果一覧	…………… III-30
2. 2 複数周波数対応通信三次元デバイス技術	⇒平成22年度で終了(※)
(1)複数周波数対応可変RF MEMSデバイスの研究開発	…………… III-55
(2)複数周波数対応通信フロントエンド回路の研究開発	…………… III-58
2. 3 三次元回路再構成可能デバイス技術	⇒平成22年度で終了(※)
(1)三次元回路再構成可能デバイスに関するアーキテクチャ および設計技術の研究開発	…………… III-60
(2)三次元回路再構成可能デバイスに関する三次元集積化技術の 研究開発	…………… III-63

(※)については、中間評価にて評価済みのため、『付録』(III-31以降)に掲載しております。

IV 実用化・事業化の見通し及びその取り組みについて	……………IV-1
1. 成果の実用化・事業化の見通し	……………IV-1
2. 実用化・事業化への取り組み	……………IV-4

別紙:

特許、論文等

プログラム基本計画

プロジェクト基本計画

概要

		作成日	平成25年6月28日
プログラム名	ITイノベーションプログラム		
プロジェクト名	立体構造新機能集積回路(ドリムチップ)技術開発	プロジェクト番号	P08009
担当推進部/担当者	電子・材料・ナノテクノロジー部/小林丈夫		
0. 事業の概要	<p>半導体チップの積層技術(三次元集積化技術)は、世界に先駆けてNEDOが取り組んできたもので、研究開発実績としては我が国に優位性がある。この三次元集積化技術の完成度を高め、さらなる産業競争力強化に寄与するために、新たな機能の発揮と飛躍的な性能向上を実現する立体構造新機能集積回路技術を確立することを目的とする。内容としては、以下の3項目に関する技術開発を実施する。</p> <p>①多機能高密度三次元集積化技術                  ②複数周波数対応通信三次元デバイス技術※                  ③三次元回路再構成可能デバイス技術※                  ※②、③は中間評価後見直しを行い①に統合および早期終了した。</p>		
I. 事業の位置付け・必要性について	<p>我が国半導体技術の発展は、様々な機器の高性能化、小型化、省電力化に貢献し、情報通信産業や製造業といった我が国経済を牽引する産業の競争力を強化するものである。この発展を支える半導体デバイスの製造技術として、従来のCMOS-LSI用プロセス技術を二次元的に微細化する取り組みに加え、半導体集積化としてチップの積層構造(三次元的な構造)を採用する取り組みが顕在化してきている。この技術は、世界に先駆けてNEDOが取り組んできたものであり、研究開発実績としては今のところ我が国に優位性がある。</p> <p>今後、各国との開発競争が熾烈化するなかで、現在の三次元集積化における我が国の技術優位性を維持し、産業競争力を強化するためには、先進的な技術開発でありながら、業界におけるデファクト標準化を視野に入れた取り組みを行う必要がある。先進的な技術開発を行うためには、我が国産業界の強い製造力と大学や公的研究機関の先端的な知見の有機的結合が有効であり、また将来のデファクト標準化を円滑に進めるには研究開発の早い段階から共通基盤技術として完成度を高めることが望ましい。このことから、本研究開発は、NEDOの事業として、強力に推進することが必要である。</p>		
II. 研究開発マネジメントについて			
事業の目標	<p>①多機能高密度三次元集積化技術</p> <p>①-1.次世代三次元集積化設計技術の研究開発                  ・信号、パワー等のシミュレーション技術の開発(中間評価で評価済)</p> <p>①-2.次世代三次元集積化のための評価解析技術の研究開発                  ・20W以上のチップ発熱に対応する放熱構造の評価解析技術の開発                  ・車載環境での放熱冷却構造の最適化設計と、評価解析技術の開発。</p> <p>①-3.次世代三次元集積化の共通要素技術開発と設計基準策定                  ・要素技術の設計・レイアウト・プロセス工程のライブラリ開発(TSV加工、積層、中間処理など)                  ・ノイズ対応素子内蔵インターポーザの設計基盤技術を開発                  ・多層積層における電源供給技術、高速信号伝送技術の開発                  ・ロジックとメモリ積層時の高伝送能力、低消費電力の実現                  ・各要素技術の設計基準の作成</p> <p>②複数周波数対応通信三次元デバイス技術                  ①-3に統合</p> <p>③三次元回路再構成可能デバイス技術                  ・3Dプロセス技術 → ①-3に統合                  ・回路再合成アーキテクチャ開発、素子技術の研究開発 → 早期終了</p>		



事業の計画内容	主な実施項目	H20fy	H21fy	H22fy	H23fy	H24fy	
①多機能高密度三次元集積化技術 (1)設計技術 (2)評価解析技術 (3)共通要素技術開発と設計基準策定					目標を達成し早期終了		
②複数周波数対応通信三次元デバイス技術 (1)可変RF MEMS 積層技術 (2)通信フロントエンド回路の研究開発					H23より①-3と統合		
					早期終了		
③三次元回路再構成可能デバイス技術 (1)3D プロセス技術 (2)回路再合成アーキテクチャ開発 (3)素子技術の研究開発					H23より①-3と統合		
					早期終了		
					早期終了		
開発予算 (百万円)	会計・勘定 (補正予算分含む)	H20fy	H21fy	H22fy	H23fy	H24fy	総計
	一般会計	1,700	2,452	1,740	1,661	—	7,553
	特別会計	—	—	—	—	—	—
	執行額	1,086	2,229	1,614	1,153	1,271	7,353
開発体制	経済産業省原課	商務情報政策局 情報通信機器課					
	プロジェクトリーダー	東京工業大学 教授 益 一哉					
	委託先	技術研究組合 超先端電子技術開発機構					
情勢変化への対応	<p>本プロジェクトは、H22年度に実施した中間評価の結果を踏まえて、基本計画を見直し三次元積層に関する要素技術開発により重点を置いた目標に変更した。これにより研究開発項目②-(1) 可変RF MEMS 積層技術及び研究開発③-(1)を研究開発項目①-(3)3D プロセス技術を研究開発項目①-(3)に統合し、研究開発項目②-(2)、③-(2)、③-(3)は早期終了とした。</p> <p>また、平成23年度に、三次元積層技術の事業化の大きな課題となっているコストダウンを実現する為に加速予算の追加(100百万円)を行い、TSV 形成工程のコストダウンに関する研究開発を強化した。</p>						

<p>III. 研究開発成果について</p>	<p>本研究開発に於いては、多機能高密度三次元集積化の次世代に向けた基盤技術構築のため、(1)設計技術、(2)評価解析技術、(3)共通要素技術開発と設計基準策定、を対象として研究開発を進めた。</p> <p>(1) 次世代三次元集積化設計技術の研究開発 この研究開発項目の成果としては、回路シミュレータ、電磁界シミュレータ技術に於いて並列法や新規アルゴリズムの導入により、何れも既存技術(平成22年度時点)の500～800倍の性能を達成。更に回路品質・電源品質安定化回路技術に於いては、デジタル・アナログ混載回路や多電源化に対応したインターポーザと有機基板のコンカレント設計モデルを策定し有効性を確認した。また CMOS デバイスと他の機能デバイスを相互接続するインターフェース仕様を策定し成果を挙げた。尚、本テーマは平成22年度に終了し、中間評価にて評価済みである。</p> <p>(2) 次世代三次元集積化のための評価解析技術の研究開発 この研究開発項目の成果としては、チップテスト分野に於いて300mm ウェハへの30万端子以上の一括アクセスを可能とする技術の開発に取り組み、大気圧加重による接触端子と容量結合による非接触端子との組み合わせがもつ可能性を確認し、試験用に18.6万端子のプロブカードを試作し稼働を確認した。また、この技術を用いたウェハテストバーンイン動作のための温度制御技術(気化熱利用の冷却)を併せて開発した(本技術開発は平成22年度に前倒し達成・終了し、中間評価済みである)。更に、熱・積層接合分野の開発として、三次元積層構造体の20W以上の発熱に対応する放熱構造の評価解析を対象とし、熱伝導パラメータ抽出手法とシミュレーションを中心とした高精度の熱特性評価手法を確立した。また、併行してウェハの高精度薄化技術と極薄チップの加工技術に取り組み、10μm厚のウェハ加工、ダイシング、チップ積層工程の効率化を可能とする開発を行った。</p> <p>(3) 次世代三次元集積化の共通要素技術開発と設計基準策定 この研究開発項目の成果としては、TSV(シリコン貫通電極)を始めとする共通要素に関わる設計基準・レイアウト基準・プロセス工程基準策定に取り組み、25μmピッチ及び50μmピッチの標準TSVセル構造を開発してライブラリ化した。また積層LSIの設計・試作・評価により、加工対象を柔軟に選択できるVia-Lastプロセスと、積層工程の効率を改善するW2W積層プロセスに関連する、各種レイアウト基準・プロセス基準を策定し、更に、積層チップ間同期回路方式や積層構造への電源供給手段の改善など回路設計面での開発も行った。また、三次元積層構造の特徴を最大限活かす超ワイドバスによるメモリとロジックの相互接続の可能性を探り、4,096本の信号端子を200Mbps以上で動作させ、102GB/secという従来比8倍以上の信号伝送能力と、その際のエネルギー消費が0.56pJ/bitと大幅な低消費電力化を確認した。また、微粉体シリカをTSV絶縁膜として活用する技術開発にも取り組み、TSV浮遊容量の大幅低減とコストダウンの可能性を確認した。更に、アナログ素子(CIS)とデジタル素子(ロジック)を組み合わせる画像処理システムの開発を通じて、車載環境下での安定動作のためTSVをデカップリング・コンデンサとしても活用して電源品質の改善を図る技術開発や、画像センサモジュールとしてCIS/CDS/ADC/IFチップの積層体を開発し、これを2個用いる高度な自動車運転支援画像システムの評価を行った。また、非シリコン系三次元積層構造の可能性として、LTCC(低温焼結セラミック)基板を用いたMEMS可変フィルタとWLP MEMSスイッチと制御ICを積層して、三次元集積化RFモジュールを試作・評価し、三次元構造化によって、中心周波数と帯域幅の制御が効果的に進めることを確認した。こうした多岐にわたる開発により、先進的かつ実質的な開発成果を挙げた。</p> <table border="1" data-bbox="536 1630 1402 1787"> <tr> <td>投稿論文</td> <td>23件</td> </tr> <tr> <td>学会発表</td> <td>377件</td> </tr> <tr> <td>その他</td> <td>プレス発表 1件、講演など11件</td> </tr> <tr> <td>特許</td> <td>出願済: 144件 (うち国際出願64件)</td> </tr> </table>	投稿論文	23件	学会発表	377件	その他	プレス発表 1件、講演など11件	特許	出願済: 144件 (うち国際出願64件)
投稿論文	23件								
学会発表	377件								
その他	プレス発表 1件、講演など11件								
特許	出願済: 144件 (うち国際出願64件)								
<p>IV. 実用化・事業化の見通しについて</p>	<p>本事業では、三次元積層に関する「TSV形成技術」「チップ積層技術」「設計技術」「評価技術」「材料技術」の要素技術を開発した。本事業の主体となった技術組合ASETに参加した企業は事業に必要な技術要素を持ち帰り各社で事業化にむけた開発を継続する計画となっている。その適用範囲は広く、製造装置、半導体チップ、モジュール、IT機器事業などに採用される見通しである。また対象分野もモバイル製品からIT機器、ヘルスケア、車載電装品と幅広い。事業化については平成28年度～32年度にかけてそれぞれの業界特性に応じて順次上市の見込みである。</p>								

V. 評価に関する事項	事前評価	平成 20 年度実施（担当部:電子・情報技術開発部）
	中間評価以降	平成 22 年度 8 月実施
VI. 基本計画に関する事項	作成時期	平成 20 年 3 月 制定
	変更履歴	平成 20 年 7 月 イノベーションプログラム基本計画の制定により改訂 平成 21 年 3 月 研究開発項目③目標設定のため改訂 平成 22 年 7 月 中間成果記載のため改訂

プロジェクト用語集

用語	説明
bps	Bit Per Second の略称。1 秒間に伝送されるデジタル信号の量で定義される数値で、この値が大きい信号ほど高速な信号とされる。
DC-DC コンバータ	電源回路の一種で、直流電圧を異なる直流電圧へ変換する。回路部品としてだけでなく、LSI 上にも分散的に配置・集積化し、LSI 内部の機能ブロックやそれらの動作状況に応じた柔軟な電源電圧の制御を可能としている。
EMC 評価	Electric Magnetic Compatibility 電子機器からの電磁波の発生具合を評価すること。
FDTD 法	Finite Difference Time Domain 電磁気の基本方程式である、マクスウェル方程式を差分化し、時間領域で解く方法。
Hz (ヘルツ)	周波数の単位。IC チップが 1 秒間に信号を送受信する回数を表す。現在一般的な IC チップでは、1Hz の信号は 2bps に相当する。
LIM	Latency Insertion Method 回路計算のアルゴリズムの一種。
MIM	Metal Insulation Metal の略称。主に半導体チップにおいて、金属 (Metal) と金属 (Metal) が絶縁膜 (Insulator) を挟み込んだ構造になっているキャパシタのこと。
MOS FET	電界効果トランジスタ (FET) の一種で、Metal-Oxide-Semiconductor Field-Effect Transistor の略。LSI の中では最も一般的に使用されている構造。
SiP	System in Package の略称。SoC(System on Chip)に対応する言葉で、1パッケージ内に複数の IC チップが収納されてパッケージとしてシステムの機能を持つ半導体製品。
SSO	Simultaneous Switching Output の略称で、複数のデータ出力ピンが同時に動作する事を示す。この動作時には、出力ピンの数が増えると、この負荷を駆動する為に大電流が流れ、これが素子の電源ノイズや内部動作の不安定性を誘発する可能性があり、設計・評価上、重要な項目となっている。
VNA	Vector Network Analyzer (ベクトル・ネットワーク・アナライザ) の略。高周波回路網の通過・反射電力の周波数特性を測定する測定器。
アルゴリズム	計算の順番を決める考え方。
インターポーザ	端子ピッチや配置が異なる LSI と配線基板との接続に用いられる中継用の配線基板。一般には、基材として有機材料 (樹脂) が主に使用されているが、シリコン (Si) を基材として微細配線形成や素子内蔵が可能な形態のインターポーザは Si インターポーザとよばれる。
エレクトロ・マイグレーション	電気が流れることにより、配線を形成している材質の粒子が影響を受けること。
コンデンサ、キャパシタ	電力を蓄えることができる電子部品。二次電池は化学的に電力を蓄えるのに対し、コンデンサは電力を電界の形で蓄える。

シグナル・インテグリティ (SI)	Signal Integrity (信号品質)。デジタル信号の正確な伝送に影響する信号の特性。例として、信号波形の歪み、タイミングのずれなど。
次世代 SiP	従来のダイボンド、ワイヤボンド法ではなく、シリコン貫通電極 (TSV) 等を利用して実現した SiP。
シミュレーションエンジン	技術計算を実施するソフトウェアのこと。
シリアル(伝送)	二つの回路間で送受信されるデータを、一本の配線を使って伝送する方式。配線が高速信号に対応した設計であれば、少数の配線で大量のデータを伝送できるので、IC チップ・インターポーザ内の配線配置が容易になる。
線形エンジン	抵抗等の線形回路素子を計算するソフトウェア。
線形部	抵抗等の線形素子を有する回路部。
タイムステップ数	解析対象物の最小単位を解析する時間のこと。
チップ部品	電子部品のうち、規格に基づいた寸法の直方体形状を持ち、表面に実装用の電極を備えたもの。
デカップリング・コンデンサ	電源回路に接続されるコンデンサ。IC チップが動作した際の電源電圧変動を抑制する役割がある。
ドライバ	ある回路の外部へ信号を出力する機能を持った回路要素。
薄膜素子	IC チップ製造で用いる薄膜形成技術を応用し、キャパシタや抵抗など通常の電子部品と同等の機能を持つ構造を作りこんだもの。
波形緩和法	複数の波形の中間を計算すること。
パラレル(伝送)	二つの回路間で送受信されるデータを、複数の配線を使って伝送する方式。シリアル伝送に比べて低速な信号でも、大量のデータを伝送できることから、IC チップの回路設計が容易になる。
パワー・インテグリティ (PI)	Power Integrity (電源品質)。インターポーザを経由して IC チップに供給される電源の品質を指す用語で、電源の電圧の安定性が指標となる。電圧変動が小さい電源ほど、品質は良好である。
非線形エンジン	MOSトランジスタ等の非線形回路素子を計算するソフトウェア。
非線形部	MOSトランジスタ等の非線形素子を有する回路部。
表面実装	インターポーザに部品を実装する手法の一つ。インターポーザ表面に設けられた電極に部品を搭載し、はんだなどで接続する技術。
部品内蔵	インターポーザに部品を実装する手法の一つ。表面まで部品実装用の配線を引き出す代わりに、内部配線に部品を接続する。部品はインターポーザの内部に組み込まれ、表面からは視認・検査できない。
ブロック LIM	Block Latency Insertion Method 回路計算のアルゴリズムの一種。
並列化計算	複数の演算器を同時に動かして計算すること。
メッシュ	解析対象物を複数の分割する最小の大きさ。
モジュール	所望の機能を得るため、複数の部品を組み合わせた構成単位。(例えば、イン

	ターポーザに IC チップ・コンデンサを実装した構造)
連成	異なるソフトウェアを情報を交換しながら同時に動かすこと。
Arrhenius plot	温度に対する反応速度変化をプロットし、寿命予測を行う手法。
ASIC	[英]Application Specific Integrated Circuit の略。電子部品の種別の一つで、特定の用途向けに複数機能の回路を 1 つにまとめた集積回路(IC)の総称をいう。
CAE	Computer Aided Engineering: コンピュータによって製品の設計、製造や工程設計の事前検討の支援を行うこと、またはそれを行うツール。
CT	Computer Tomography: 様々な角度から撮像した(X線)像をコンピュータ処理することに依って断層画像を得る方法。
DUT	[英]Device Under Test の略。テストの対象となる半導体チップを指す。
EDX	Energy dispersion X-ray analysis: エネルギー分散型 X 線分光器を用いた元素分析法。SEM で元素分析を行うのに適している。
EG	Extrinsic Gettering の略。例えばウェハ裏面の薄厚加工時に残留するひずみ層は、上記同様ウェハ裏面からの不純物を捕らえる効果を持ち、表層のデバイス形成領域への不純物の拡散を防ぐ。
EM	Electro Migration: 金属に電流を流した際、原子が移動する現象。
FEM	Finite Element Method: 有限要素法。
H-WSS	Hard Wafer Support System の略。従来のテープ保持方式に対比して、ガラス保持方式を示し、薄くてたわみややすい厚さのウェハ加工では必須となる。
IG	Intrinsic Gettering の略。結晶内部の残留ひずみ層は、結晶裏面からの不純物を捕らえる効果を持ち、表層のデバイス形成領域への不純物の拡散を防ぐ。
IPG	In Process Gauge の略。接触式の厚さ測定システムの意味。
KGD	[英]Known Good Die の略。テストやバーニンなどの信頼性工程を経て、良品の半導体チップであることが確認され、品質保証されたベアチップ(ウェハから切り出された状態の半導体チップ)をいう。
NCG	Non-Contact Gauge の略。非触式の厚さ測定システムの意味。
SEM	Scanning electron microscope の略。走査型電子顕微鏡と呼ばれ、試料表面の形状観察に用いられる。
TC	Thermal Cycle: 被検物に温度変化のサイクルストレスを与え、環境加速耐久試験を行う方法。
TEG	Test element group の略。機能や性能検証を目的とした一連のテストパターン。
THB	Temperature Humidity Bias: 被検物を恒温恒湿で劣化加速試験を行う手法。
TIM	Thermal Interface Material: 二つの物質間(たとえばシリコンチップと放熱器)に適用し、熱的に接続させる(熱伝導させる)ための材料。
TSV	TSV(Through silicon via)とも略す。シリコン基板に貫通電極を埋め込み、基板の表面と裏面をつなぐ配線として利用。

TTV	Total Thickness Variation の略。
アライメント	ウェハ上にある半導体チップの電極に対して、プローブと呼ばれる針やバンプ（金属の突起）をあてる時の位置合わせ、あるいはその操作をいう。 [英]alignment
ウェハ	半導体チップを製造する材料。半導体素材のシリコンなどで作られた円柱状の塊を薄くスライスした円盤状の基板。[英]wafer
ウェハテスト	ウェハ上に形成された半導体チップに対して、電氣的検査を実施し、良品と不良品を識別するテスト。[英]wafer test
ウェハトレイ	ウェハを載せる浅い金属容器。 [英]wafer tray
温調	温度調節の略。
気化潜熱	蒸発に伴う蒸発熱(気化熱)をいう。物質が液体から気体に変化するとき起こる吸熱現象。
高熱伝導材	一般に銅・銀といった金属材料よりも熱を伝えやすい性質を持つ材料。
コネクタ	ケーブルを用いて電子機器どうしを接続するための電気部品で、特に複数の配線を同時に接続するものを指す。 [英]connector
真空微差圧方式	メンブレン方式プローブカードにおいて、微かな真空の圧力差を利用してプローブ電極を加圧する方式。
接触熱抵抗	固体どうしの接触面が完全に密着しないことによって生じる熱の伝わりにくさを表す値。鏡面処理された滑らかな固体面でも現実には凸凹な構造があるために完全に密着しない。単位:°C/W
大気圧加圧	大気の圧力を利用してウェハ全体に均一な荷重を加えること。
チャックテーブル	ウェハ研磨装置などで、ウェハを真空吸着して保持するステージ。
テストチップ	テスト機能回路を搭載した半導体チップ。
テスト	半導体製造工程において製造欠陥が原因で不具合(故障)を起こしている半導体チップを良品と不良品に選別する作業。テストは出荷される半導体が正しく動作することを保証するための重要な工程。試験、検査とも呼ばれる。 [英]test
テストコスト	半導体チップの製造コストの中に占めるテストに必要なコストをいう。 [英]test cost
テストシステム	テストを行う装置。テストと呼ばれる。テスト対象となる半導体チップ設計時に作成したテストパターンを元に半導体チップへ入力し、半導体チップからの出力信号を期待値と比較する。[英]test system
テスト速度	テストを行う際、テスト対象となる半導体チップの動作速度条件。
伝送速度	一定時間内に送ることができるデジタル信号量をいう。1秒間に送ることができるデジタル信号量を bps (bit per second) という単位で表す。
バーンイン	半導体チップの初期不良を除去する選別手法の一つ。高温や高電圧を印加し、半導体チップを動作させた状態で良品と不良品をふるい分ける。 [英]

	burn-in
パッケージ	半導体製品の外形を構成する部分。半導体チップを包む樹脂や金属、セラミックを指す。[英]package
バンプ	チップ上の金属突起状端子。
ファイナルテスト	パッケージされた半導体チップに対して、電氣的検査を実施し、良品と不良品を識別する最終工程のテスト。[英]final test
歩留り	一般に 1 ウェハ当たりのチップ収量数に対しウェハテストで残った良品数の比率を表す。イールドとも呼ばれる。[英]yield
フリップチップ	基板にチップを実装し電氣的に接続する際、アレイ状に並んだバンプと呼ばれる突起状の端子によって接続する方法。
プローブカード	ウェハ上にある半導体チップの電極に対して、プローブと呼ばれる針やバンプ(金属の突起)をあて、テストシステムによる電氣的検査を可能にするための治具。[英]probe card
プローブチップ	非接触通信用の信号送受信回路を搭載した半導体チップ。
メンブレン方式プローブカード	メンブレン、[英]membrane は薄い膜という意味。プローブ用の電極を耐熱性の樹脂シート上に配列したプローブカード。
容量結合	2枚の金属板(電極)を近接させたときに生じる微小な静電容量を利用した結合。
100GB/sec	B はバイトで 8 ビットを1単位としたデータ量を示す。100GB/sec とは1秒間に1x10 <sup>9</sup> バイト(8x10 <sup>9</sup> ビット)の転送能力を示す。こうしたデータの転送能力を「バンド幅 Bandwidth」と呼ぶこともある。又「1秒あたり」を示す「/sec」を略して ps として 100Gbps(ひゃくぎがびーピーえす)と呼んだり記載したりすることが一般化している。
2k-I/O	データの入出力端子が 2,048 本あることを示す。
BCB(ベンゾシクロブテン)	ウェハ間封止樹脂の候補として検討中。
C2C	Chip to chip:チップ積層。
CDS	Correlated Double Sampling(相間二重サンプリング)の略であり、ノイズキラーの働きをする方式である。CMOS 画像センサのフォトダイオードの光励起電荷を容量に取り込む際のスイッチオンでリセットノイズが乗る。短時間にもう一度取り込みを繰り返すと、二度目はリセットノイズが乗らないことから、この差をキャンセルして信号としてカウントする方式である。短時間二重サンプリングのため、アンプの 1/f ノイズも低減される。
CVD 法	Chemical Vapor Deposition:絶縁膜等を化学的に気相成長させる方法。特にプラズマを使った CVD 法は低温で成膜できるため、TSV の絶縁膜形成に使われる。
DFT	Design For Test の略号で試験性を考慮した設計手法のこと。



VGA、QVGA	Video Graphic Array の略号で、1987 年、IBM は開発した画像表示仕様である。デジタル画像は画素子から構成され、VGA は横 640 ドット、縦 480 ドットの画素子から構成されている 16 色のカラー画像表示仕様である。発表当時は高精細であったが、現在はHDTV(High Definition TV)として高精細画像(1920×1080)が一般化されている。QVGA (Quarter VGA)は VGA の 1/4 の画素子(320×240)を表現することが一般であるが、Quad VGA として 4 倍の画素子を表現することもある。ここでは 1/4 を表現している。
Via First	デバイスを形成する前に TSV を形成する方法。
Via Last/Back Via	デバイスを形成した後、ウェハ裏面から TSV を形成する方法。
Via Last/Front Via	デバイスを形成した後、ウェハ表面から TSV を形成する方法。
Via Middle	トランジスタを形成した後に TSV を形成する方法。
W2W	Wafer to wafer:ウェハ積層。
後樹脂法	W2WあるいはC2Cで、ウェハ間(チップ間)を封止する樹脂を積層後に形成する方法。
インターフェースチップ(I/F)	一般にシステムの入出力をつかさどる回路で構成されたチップであるが、この場合は高速デジタル画像データが並列に I/F に落とし込まれるため、これを出来るだけ少ない本数にまとめて出力するパラレル/シリアル変換回路とデータのタイミングを制御する回路、タイミングを制御するためのデータの高速度一次保存回路(高速ラッチ)、十分な駆動能力を持つ高速出力ドライバ回路、電源制御回路などが含まれている。ここではVGA仕様、10,000fpsの信号24Gbpsを十分処理できる高速大容量設計となっている。
AD コンバータ(ADC)	ピクセルからの増幅データはアナログ信号であるため、これをデジタル信号に変える回路である。通常は8ビットのデジタル信号にするが、ここでも同じ8ビットとした。デジタルに区切るため、抵抗ラダーか容量ラダーかの方式があるが、いずれにしても面積を取ることと、消費電力が大きくなる回路であり、高速化でますますこの傾向が増長される。3D 積層ではピクセル面積以内に押さえることが必要となり、10,000fpsを実現するためのキー技術であったが、画像10×10ピクセルを一つの単位としてAD変換する回路方式にすること、ハイブリッドラダー方式にすることなど、多くの工夫で解決できる見通して、世界最高レベルの技術となった。
エポキシ	ウェハ間封止樹脂の候補として検討中。
コンカレント設計	Concurrent Design はシステム全体を同時に設計する手法を呼ぶ。複数の異種構成要素がお互いに関連することから、個別設計で最適にしても構成要素間で整合しない問題が生じる。特に異種回路の複数チップを積層して一つのモジュールとして機能を出すためには、接続の並列度(どのような信号関係にするのか)や接続電極の整合性はもちろんのこと、動作タイミングの整合、電力配分構成、放熱の配慮、機械的応力などのお互いに関連しあう項目を調整する

	には、常にお互いを知りながら同時に設計を行う必要があり、この言葉が生まれた。
先樹脂法	W2W あるいは C2C で、ウェハ間 (チップ間) を封止する樹脂を積層前に予め形成しておく方法。
CMOS 画像センサ	CCD 画像センサに対して CMOS プロセスで出来る安価なセンサとしてデビューしたもので、感度が低く、フォトダイオードあたりのアンプ (増幅器) を付けているが、これに伴う多くの欠点があった。しかし、CMOS プロセスであることの利点 (小面積で回路が作れる) を利用して、その欠点をカバーする補助回路を設けて性能向上が図られ、もともとの特徴、低消費電力、小面積ピクセル、単一電源、高速動作などの利点を生かして、現在では主流の画像センサとなっている。本研究では 10,000fps のための増感が必要なため、 $10 \times 10 \mu\text{m}$ ピクセルと比較的大きいサイズを考えている。
超ワイドバス	メモリとロジックをつなぐデータ線の本数が 2,048 本以上であること。
バウンダリスキャン	多数のピンで素子を相互接続した際に、接続の完全性を確認するテスト機能の一つ。入出力端子に接続する回路にレジスタを追加し、これらを直列に接続 (カスケード接続) することで内部回路を経由せずに端子の接続性を確認する試験機能。
ビット/秒 (bps)	デジタル信号は 0 か 1 かで表現される 2 進数で、この一つの 0 か 1 の表現をビットと呼んでいる。1 秒間に何ビットのデジタル信号が伝送できたとか処理できたとかのデータ速度としての表現である。Mbps (百万ビット/秒)、Gbps (10 億ビット/秒) といった単位がよく用いられている。最近では高速信号伝送とか処理の速度は 10Gbps レベルである。ここでは VGA 仕様のセンサから来る画像アナログ信号を 8 ビットのデジタル信号に変換するため、10,000fps のデータ量は 24Gbps となる。
フレーム/秒 (fps)	パネルに表示される画像の単位をフレームと呼び、1 秒間に何フレームで構成されるかの性能表示である。フィルム映画は 32fps、TV は 30fps、高速度カメラの最先端は 2,000fps である。ここでの目標は 10,000fps と設定している。
並列プロセッサ	上記リコンフィギュラブルメモリの方式に整合する超並列プロセッサであり、初期的な区分間をまたがって画面中を移動するオブジェクトを対象に画像処理する場合などメモリの区分間自由度に対応して並列区分間をダイナミックに移動しながら処理できる方式を検討している。
ボッシュ (Bosch) 法	TSV の Si エッチングで、深い Via を垂直に加工するためのドライエッチング方法。エッチングとデポジションを交互に繰り返して加工する。ため、垂直形状は得られるが、スキヤロップと呼ばれる Via 側壁の荒れが発生する。
ポリイミド	半導体の保護膜として使われているが、ウェハ間封止樹脂の候補として検討中。
有機インターポーザ	一般に LSI パッケージという意味合いが強いものであるが、ここでは Si インター

	ポーザを含む積層チップモジュールを受ける多層配線板である。高速信号と高速応答電源配線が含まれるため、十分な設計的工夫がなされている。
リコンフィギュアラブルメモリ	リコンフィギュアラブルメモリの意味はメモリのアドレス構造をニーズに合わせて自由に変更できるということである。上記、VGA 仕様 10,000fps の画像のキャッシュメモリとして利用するもので、3D として並列度の大きい画像データを並列度に区分されたマットに記憶するが、画像処理のためマット間にまたがるデータを利用したいとき、区分制限によるデータの遅れが出ることを避けるため、その区分をダイナミックに変更できる方式を持ったキャッシュメモリを考え検討している。
HBT	Heterojunction Bipolar Transistor の略称。ヘテロ接合(異種の半導体接合)を利用したバイポーラ・トランジスタの素子構造の一つ。
MEMS	Micro Electro Mechanical System の略称。機械要素部品、センサー、アクチュエータ、電子回路を一つのシリコン基板、ガラス基板、有機材料などの上に集積化したデバイス。
pHEMT	pseudo High Electron Mobility Transistor の略称。異なった化合物半導体をヘテロ(異種金属)接合させ、高速化を図ったトランジスタの一つ。
RF	Radio Frequency の略称。無線周波数。高周波。
インピーダンス	交流回路に電圧を加えたときの電流の流れにくさを示す量。
3G	3rd Generation の略称。第 3 世代の携帯電話方式の総称。基本的に CDMA 方式を採用し(一部は改良型の TDMA 方式を利用)、高速なデータ通信やマルチメディアを利用した各種のサービスなどが提供されている。
ADSL	Asymmetric Digital Subscriber Line の略称。電話線を使い高速なデータ通信を行なう技術。電話の音声を伝えるのには使わない高い周波数帯を使って通信を行なう技術で、一般の加入電話に使われている一対の電話線を使って通信する。
CDMA	Code Division Multiple Access の略称。携帯電話などの無線通信に使われる方式の一つ。「符号分割多重接続」とも訳される。複数の発信者の音声信号にそれぞれ異なる符号を乗算し、すべての音声信号を合成して 1 つの周波数を使って送る。受け手は自分と会話している相手の符号を合成信号に乗算することにより、相手の音声信号のみを取り出すことができる。
EVM	Error Vector Magnitude の略称。デジタル変調信号の品質尺度。
HSDPA	High Speed Downlink Packet Access の略称。NTT ドコモなどが採用している第 3 世代(3G)携帯電話方式「W-CDMA」のデータ通信を高速化した規格。3G 方式の改良版であることから「3.5G」とも呼ばれ、従来の 5 倍以上の通信速度を実現する。
NF	Noise Figure の略称。入力側の S/N に対して、出力側の S/N がどれだけ劣化するかを示す。

S/N	信号量 (signal) と雑音量 (noise) の比。
S3G	携帯電話の高速なデータ通信仕様の一つで、NTT ドコモやソフトバンクモバイルなどが採用している「W-CDMA」の高速データ通信規格「HSDPA」をさらに進化させたもの。下り 100Mbps 以上/上り 50Mbps 以上の高速通信の実現を目指したもので「LTE」Long Term Evolution と呼ばれる。
W-CDMA	Wideband Code Division Multiple Access の略称。NTT ドコモや Ericsson 社などが開発した第 3 世代携帯電話(3G)の通信方式。高速移動時 144kbps、歩行時 384kbps、静止時 2Mbps のデータ伝送能力があり、動画・音声によるリアルタイムの通信が可能。
WiMAX	Worldwide Interoperability for Microwave Access の略称。無線通信技術の規格の一つであり、モバイル・パソコンなどのモバイル端末が ADSL 並みの速度と料金でデータ通信できる技術として注目されている。
物理インターフェース	ソフトウェアドライバとコネクタから成り、コネクタには、USB ケーブルなどのネットワークメディアを接続する。
ベースバンド回路	変復調をする通信システムでは、変調前の信号および復調後の信号をベースバンド信号と言い、ベースバンド信号を扱う回路をベースバンド回路と言う。
CMP	Chemical mechanical polishing の略。半導体プロセスで一般的に使用されている平坦化プロセスの名称。
CMOS	Complementary Metal Oxide Semiconductor の略称。狭義には MOSFET を相補形に配置したゲート構造のこと。
FPGA	Field Programmable Gate Array の略称。利用者が独自の論理回路を書き込むことの出来るゲートアレイの一種。多数の LUT とスイッチ搭載し、これを組み合わせて回路を構成する。
LUT	Look Up Table の略称。入力ビット列をインデックスとして、出力すべき真理値を格納したメモリ。任意の真理値表に対応する組み合わせ回路を実現できる。
SoC	System on Chip の略称。一つの IC チップに複数の回路機能が集積されてシステムの機能を持つ半導体製品。
クロック	デジタル回路が動作する時に、複数の電子回路のタイミングを取る(同期を取る)ために使用される周期的な信号。
伝送スループット	単位時間あたりに送信されるデータのビット数。
バス方式(TSV を使った三次元通信)	バス方式では積層されたすべての TSV が 1 本の導体として共有されており、かつ各チップの送信バッファと受信バッファがこの TSV に接続されている。あるチップから信号を送信する場合、該当するチップの送信バッファが全積層チップの TSV を駆動する。その送信バッファからみた TSV 浮遊容量は積層チップ数に依存する。このため、負荷容量の増大に対する伝送レートへの影響は大きく、その反面 1 本の貫通導体を共有するため各チップ間の遅延時間には大きくは影響しない。

プロセッサ	プロセッサ (processor) は、コンピュータの中で、組込みソフトウェアを動作させるためのハードウェアであり、演算器、周辺回路、命令や情報を格納するメモリから構成される。
リコンフィギャラブルプロセッサ	再構成可能なプロセッサ。細粒度から粗粒度まで様々な粒度の再構成がある。
リピータ方式 (TSVを使った三次元通信)	TSVとPAD部を分離し、TSVとPADの間にリピータ回路(実際はバッファ)を挿入する。TSVは各チップ層で分離される。各チップの送信バッファは隣接するチップへのみ信号を伝送し、その先のチップへはリピータ回路が送信する。送信バッファから見たTSV浮遊容量は積層チップ数に依存せず常に1層チップ分となる。このため、負荷容量の増大に対する伝送レートへの影響は小さく、その反面リピータ回路を介するため積層チップ数が増えるとチップ間の遅延時間が増大する。

## I. 事業の位置付け・必要性について

### 1. NEDOの関与の必要性・制度への適合性

#### 1.1 NEDOが関与することの意義

我が国半導体技術の発展は、情報家電、コンピュータ、通信装置を始め、自動車、医療機器など様々な機器の高性能化、小型化、省電力化に貢献し、情報通信産業やその他の製造業など我が国経済を牽引する産業の競争力を強化するものである。従来、この発展を支える半導体デバイスの製造技術は、CMOS-LSI用プロセス技術を二次元的に微細化することにより追求されてきた。その一方、微細化進展により、その素子加工サイズが原子スケールに近付きつつある現状では、微細トランジスタのリーク電流や配線容量の増大にともなう消費電力の増大、微細化プロセスを開発するための研究開発投資、さらには製造設備投資の増大に代表される種々の課題が顕在化しつつある。

これら課題に対して、低リーク電流を実現するトランジスタ構造の研究開発や、低誘電率の配線層間絶縁材料等の微細化推進を可能とするための技術開発が行われ、その成果は着実に実用化されてきている。その一方で、現状技術のトランジスタ、配線材料等を用いつつ、Si貫通ビアを活用した半導体デバイスの三次元集積化技術(立体構造化、あるいは積層化)を行うことによっても上記課題を克服することが可能である。また、この技術を他の技術分野との融合に利用し、CMOS半導体デバイスとCMOS以外のデバイスとの三次元集積化を行えば、従来CMOS半導体デバイスでは実現が難しかった多機能デバイスの実現が可能となり、従来にない革新的な性能を持つ種々のデバイス創出に波及する可能性を持つ。

このように、三次元集積化技術の構築によって、革新的な性能を期待できるデバイスを提供できる可能性が高い。このことから、平成20年に策定された経済産業省「ITイノベーションプログラム」の中で、あらゆる社会ニーズに情報技術が今後も迅速に対応し、夢の社会を創り上げるため、新しい方向の半導体技術として、立体構造という新たな概念を取り込み、多様な用途に応じた夢の新機能デバイス(ドリーム・チップ)を開発する、NEDO交付金の運用による実施が計画された。

NEDOは、その計画を受け、同プログラムの中で実施する他の半導体技術開発プロジェクトと同様に、基本計画を策定し、それに基づいて実施者を公募し、研究開発を推進することとした。

本技術開発の意義は以下となる。

第1に、Si貫通ビアを活用した半導体デバイスの三次元集積化技術(立体構造化、あるいは積層化)は、半導体分野においては、二次元的な微細化技術と共に半導体デバイスの更なる高性能化を実現するものである。さらに、半導体デバイス分野に限らず、他の技術分野とも融合する領域においても、革新的技術あるいは革新的機能デバイスを生み出しうるものである。

第2に、三次元集積化構造とすることにより、配線長の短縮が期待でき、寄生容量に起因する消費電力増大を低減できる。すなわち低消費電力化を実現する有力な技術であり、情報通信分野への応用を考えると、機器の小型、低消費電力化、さらにそれらによる普及促進という効果が期待される。

本技術開発に対して、NEDOが関与することの意義をまとめると以下となる。

第1に、本プロジェクトの研究開発は、その成果によりわが国半導体産業の成長という大きな効

果が見込める一方で、多額の資金投入を要し、個別の企業ですべてをまかなうことに困難がある。

第2に、三次元集積化技術で積層されるデバイスを実現するには、川上から川下まで、すなわち設計ツール開発・材料開発・製造技術・検査技術・分析機器開発・応用製品開発等、様々な技術分野で開発されたものが必要となる。産業界における製品開発の効率性をあげるためには、それらデバイス間の接続方法等が事実上業界で標準化されることが望ましく、単独の企業主導で推進するよりも、NEDO主導のもと前記したような各種技術分野の有力企業の英知を結集して実施することで、その目的を達成しやすいものとするのが可能である。また、世界に先駆けて業界標準となる技術を開発できれば、広く日本の産業技術の競争力を高めることに繋がるものである。

また有力各企業の英知を結集して密接な情報交流の場を提供し、その連携を推進することも有益と予想でき、それにより、容易に想到できない製品形態への展開が触発される期待も持ち得る。

またさらに、各国が三次元集積化回路開発に関してわが国を猛迫する中、本プロジェクトが仮に実施されなかったものと仮定すると、各企業における研究開発レベルの維持が困難となり、三次元集積回路へのマーケットニーズが顕在化した暁に、速やかにニーズに応えることが出来ず、わが国の半導体産業が事業機会を逸する可能性が高い。これは、きわめて危険が大きいと言える。

上記により、本技術開発はNEDOが関与すべきものであり、また政策のひとつである「ITイノベーションプログラム」において実施すべき内容である。

## 1.2 実施の効果(費用対効果)

### (1) 新市場創出効果

本事業の三次元積層技術の適用分野は、主に小型化、省電力を活かすモバイル製品とWideI/Oなどの高速伝送を必要とするIT機器の2つの分野が牽引すると考えられる。また、半導体製品の品種別ではDRAM、WideI/Oメモリ、アプリケーションプロセッサ等のSoC、MEMS/センサ、パワーデバイス、カスタムLSIなどが主要製品である。

調査会社のYole Developmentが2012年7月に報告した半導体市場予測によると、平成29年(2017年)における三次元積層技術を使用した半導体市場は全世界で約4兆円である。このうち、本事業が取り組んだ、WideI/O、DRAM、MEMS、SoCなどが占める割合は約8割であり、3.2兆円のTAM(Total Available Market:有効市場)が見込まれる。今のところ顕在化していないが、センサの搭載数が増加する車載電装分野、医療分野は、小型、低消費電力への要求が強く三次元積層の波及分野として期待される。

本事業の事業規模を表1に示す。平成20年度から平成24年度までの5年間の執行額は合算で73億5千万円となった。しかしながら、前記した大きな市場インパクトとわが国の基幹産業である半導体産業の競争力維持強化の目的には妥当な規模であると考えられる。

表1 本「ドリームチップ」プロジェクトの事業規模年度推移

単位:百万円

H20 年度	H21 年度	H22 年度	H23 年度	H24 年度	合計
1,086	2,228	1,615	1,153	1,271	7,353

## 2. 事業の背景・目的・位置づけ

### 2.1 事業の背景

#### (1) 産業的基盤

先に、我が国半導体技術の発展を支える半導体デバイスの製造技術として、CMOS-LSI 用プロセス技術を二次元的に微細化する技術開発が進められてきたものの、その進化に伴い、種々の課題が顕在化してきたことを述べた。また本研究開発における三次元集積化技術はその解決策の位置付けにあるとした。ここでは、より詳細に二次元的な微細化技術で顕在化してきた課題を列記し、それに対する三次元集積化技術の利点を示す。

二次元的な微細化技術の課題は以下にまとめられる。

- ・ 配線容量の増大と信号クロック周波数の高周波化による消費電力の増加
- ・ 配線抵抗と、配線容量の増大による信号伝搬遅延増大
- ・ 微細トランジスタのリーク電流増加による消費電力増加
- ・ 製造レベルでのばらつき制御や歩留まり対策の高度化
- ・ 特性ばらつき増大による設計困難度の増加と設計期間の長期化
- ・ 微細化を実現するための研究開発投資、設備投資の増大

三次元集積化の利点の一つは、チップを積層することにより、二次元的構成において平面的に配置していた配線を、対抗するチップ間の配線に置き換えることができ、その距離を短縮できる点である。またそのチップ間の配線本数は、二次元的配置に比べ桁違いに多く設計することが可能になる点である。これにより、配線容量を低減できると共に、同容量の信号伝送量を確保するために必要な信号クロック数を低減することが可能となり、消費電力の増加を抑えられる。また、配線容量の低減は信号伝搬遅延の増大を低減し、これにより特に信号伝搬遅延を補償するために求められた、トランジスタ高速性に対する要求が低減される。すなわちリーク電流が大きな高速トランジスタを使用しなくてはならない条件が緩和され、回路全体としては低消費電力化に繋がる。さらにトランジスタ特性に対する要求が緩められると、その製造段階の特性ばらつき低減や歩留まりに向上につながり、設計困難度を緩和することになる。

また別の観点から、三次元集積化技術は、既存の開発済みのチップ、あるいはデバイスを組み合わせる事が可能な技術であり、既に確立された設計資産を有効活用することができる。これにより、新たなプロセス開発の研究開発投資や、設備投資を低減することができ、産業の開発効率を改善する直接的な効果を生む技術である。また設計資産を有効に活用することで、製品設計期間の短縮も期待される効果である。



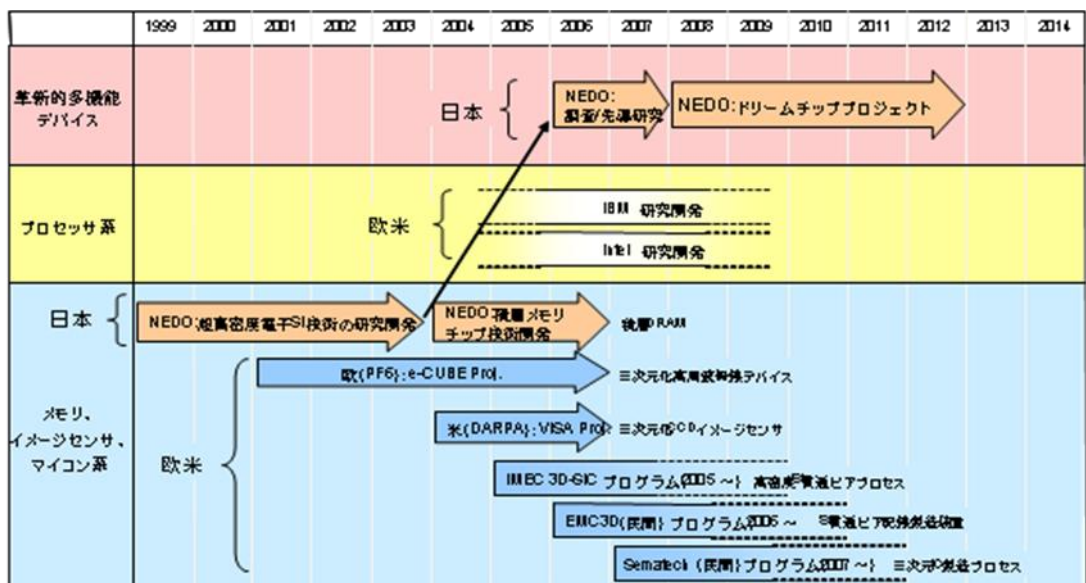
(2) 技術的基盤

前述のように、三次元集積化技術は半導体素子の高性能化に効果があり、海外各国においてもその開発が強化されている。

NEDOは、世界に先駆けて高密度三次元積層技術(超高密度電子SI技術プロジェクト(平成11～15年度)におけるポリSi貫通ビアによる三次元チップ積層技術開発、積層メモリチップ技術開発(平成16～18年度)における積層DRAM技術開発)の成果があり、研究開発実績としては今のところ我が国に優位性がある。最近、わが国を急迫する各国の動きは前述のNEDOプロジェクト成果を考慮したものである可能性がある。これらの状況を時間軸にまとめたものが図1である。

各国の開発活動の活発化に照らして、今後、三次元集積化技術を軸とした開発競争は熾烈化するものと考えられ、この状況を放置すれば三次元化に関する技術開発の競争力を失いかねない。このことから、三次元集積化技術を軸とした立体半導体開発分野での産業競争力を維持し、さらに他に先駆けて革新的機能デバイスを生み出す技術開発を行う必要性が理解される。

また、2005年以降、TSMC、GF、Intel、AMKOR、サムソンなどの事業会社の取組みも強化されているとの報道があり事業化・実用化が加速されている。



(図1 三次元集積化技術に関する研究開発プログラム)

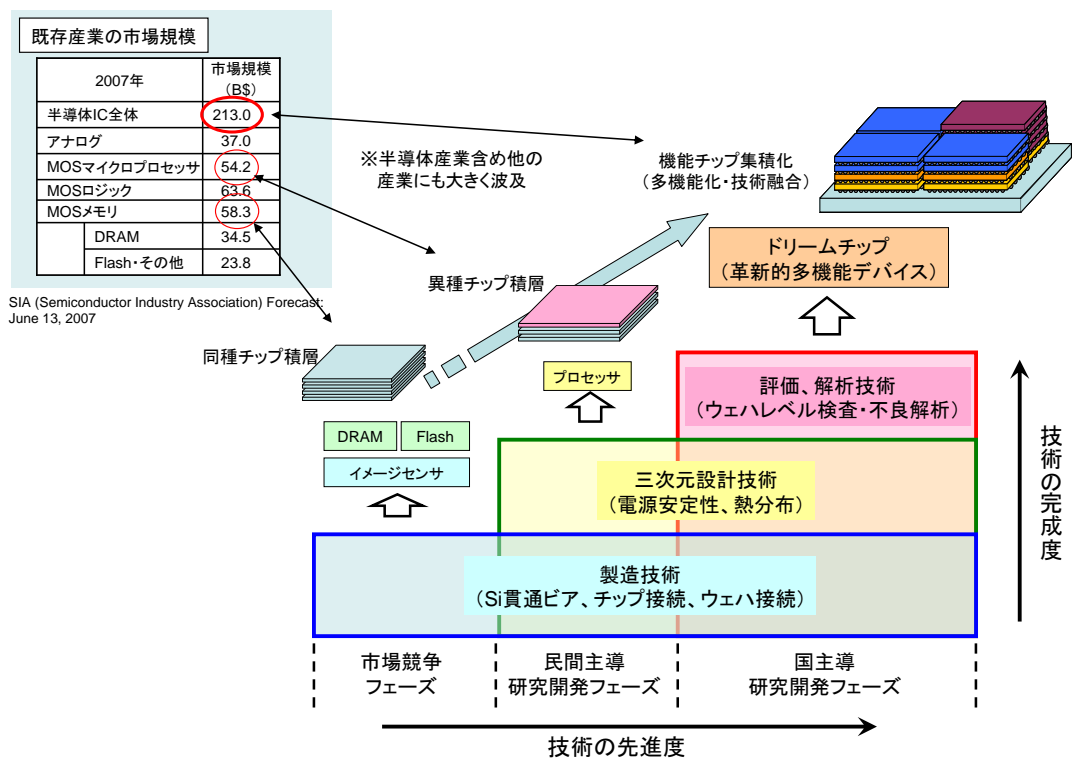
2.2 事業の目的

NEDOで実施してきた過去の技術開発プロジェクトにおいて、ポリSi貫通ビア技術や、それを用いた半導体メモリ積層の大容量化(同種チップの多層化)技術を確立した。それら技術は主として製造技術に関わるものであり、その成果の展開は既に各企業の競争領域となりつつある。本技術開発ではそれら技術の先進度および完成度をさらに高め、半導体素子と他の機能デバイスとの三次元集積化が可能な技術へと高めることを主たる目的とする。

三次元集積化技術を広く展開する上で課題となるのは、今までにない三次元構造という状態

での回路解析・設計技術、さらに回路設計を最適化する技術である。また三次元的構造の内部で発生する熱を効率よく伝達、放熱する技術も重要である。さらに三次元積層時の製造歩留まりに直結する、各チップの機能検査を効率よく行う検査技術も必要である。これらのことから、研究開発項目の一つとして、立体構造(三次元集積化構造)における回路設計技術、熱設計技術などの設計技術、チップテスト、欠陥評価など評価技術を中心とした三次元集積化技術の開発を目的とする。また立体構造を適用したデバイスの効果を実際に示すためのデバイス開発として、MEMS デバイスと CMOS 回路との三次元集積化を含む周波数特性可変の高周波デバイス、それらを用いた複数周波数対応通信システム開発の実証を目的とする。さらに先進的な取り組みとして、三次元集積化構造を活かし、画期的な性能向上を実現する回路再構成可能デバイスの開発も目的とする。

図2に三次元集積化における技術の先進化、完成度の向上の概念を示す。なお、立体構造による MEMS デバイス及び回路再構成可能デバイスは、図において完成度を高めた技術により実現されるデバイス応用の一つとして位置づけられるものである。



(図2 多機能高密度三次元集積化技術の目的と既存市場での応用分野)

### 2.3 事業の必要性と意義

我が国が他に先駆けて取り組んだ、三次元集積化技術の完成度を高め、立体構造という新しい概念のデバイス設計、解析技術を開発することで、半導体デバイスとの集積化が困難であったデバイスと、半導体デバイスとの集積化が可能となる。これにより、例えば中期的には複数周波数対応通信三次元デバイスや三次元回路再構成可能デバイス等に代表される小型、高機能デバ

イスが開発され、IT 社会における様々な情報通信機器の小型化、高機能化に寄与する。また長期的には、様々な技術の融合による新たな機能デバイスを創出する環境が構築され、新規事業分野を継続的に展開し続けうる、持続的技術革新が可能な社会環境が整う。これにより、この技術に関する優位性を維持しつつ、革新的デバイスを創出することで、産業競争力の向上に寄与するものである。

## 2.4 事業の指針

本研究開発は、これまでの同一機能のメモリの積層による高集積化とは異なり、異機能を持つチップの積層技術、デジタル・アナログ回路や微小可動機構の積層技術、さらには三次元的に積層したチップに対し後からプログラムを書き換えて機能を発揮させる技術など、これまでにない三次元化技術により、新たな機能の発揮と飛躍的な性能向上を実現する立体構造新機能集積回路技術を確立することを目的とする。具体的には以下の3つの研究開発項目を行う。

### ①多機能高密度三次元集積化技術

半導体デバイスである各種メモリ、ロジック回路などと、半導体以外のデバイスとを立体的に集積化する際に必要な設計、評価技術を開発する。これにより引き続きシリコン半導体デバイスの高性能化を推進すると共に、半導体デバイスと異なる技術分野のデバイスを集積化する手段を確立し、革新的なデバイス創出可能な開発環境の構築を目指す。

### ②複数周波数対応通信三次元デバイス技術

シリコン半導体デバイスと、微小可動構造(MEMS)による通信デバイスを三次元集積化し、放送、携帯電話、無線 LAN などの複数の電波帯域で利用可能な通信デバイスを開発する。これにより、多くの周波数帯に対応した、いつでもどこでもつながる通信端末を実現する。

### ③三次元回路再構成可能デバイス技術

リコンフィギャラブル半導体(※)が本質的に抱える問題点(動作速度、チップサイズ、消費電力など)を、立体構造を導入することで大幅に改善する技術開発を行う。これにより従来のリコンフィギャラブル半導体では対応できなかった分野(モバイル製品等)においても、不具合や故障などの修復に柔軟に対応できるという利点を持った小型、低消費電力のリコンフィギャラブル半導体を実現する。これにより高度な情報通信機器の高信頼化に資することになる。

(※)リコンフィギャラブル半導体(プログラム可能論理素子):製造した後にソフトウェアプログラムで機能を複数回変更することのできる半導体デバイス。

これらの関係を図3に示す。まず①は、主に三次元集積回路基盤技術開発を目的とし、一部、本構造の有効性を示すための実証デバイスの開発を含める。次に②および③は主に、立体構造を生かした適用製品の例として、本構造の有効性を示すための実証デバイスとして開発を実施するものである。産業育成を目的とした場合、基盤技術の開発のみを行うのでは片手落ちであり、どのように役立つかを実証することにより、市場も同時に開拓していく、あるいは潜在ニーズを掘り起こす起爆剤を提供する努力が同時に必要と考えられるためである。これらの実証デバイスの開発の中では、メインに①の中で行う共通基盤的技術開発のほかに、各実証デバイス個々に深く関係した個別基盤技術があるため、その開発も同時に進めることとした。

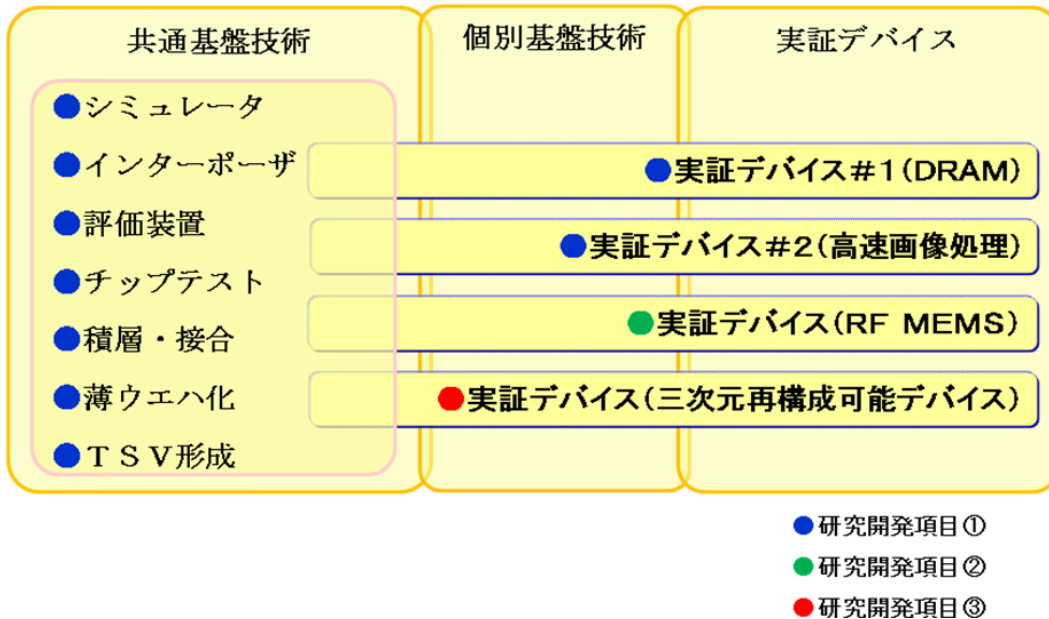


図3 各研究開発項目の関係

## II. 研究開発マネジメントについて

### 1. 事業の目標

以下に各研究開発項目の平成22年度末における中間目標、ならびに平成24年度末における最終目標を記載する。まず、各研究開発項目の平成22年度末中間目標および平成24年度末最終目標を列記する。各研究開発項目は、さらに細分化された個別技術課題を設定しており、それらの個別技術課題毎に目標設定を行い、成果管理を行っている。それらの細目は、煩雑を避けるため本章では触れず、「III. 研究開発成果について」の章において、目標と成果を対比して示すこととしたい。

前節で述べたように、本プロジェクトの内容は、大別して基盤技術と、その応用可能性を示すための実証デバイス、そして個別デバイスに深く関係した個別基盤技術に三分して考えている。

第一に、基盤技術としては、三次元化に伴い膨大になる設計工数を現実的な時間内で実施可能なものとするためのシミュレータ技術を開発する。また、三次元積層する際に、良品チップのみを選別して積層する、または良品率の高いウェハを選別して積層しないと、不良品を大量に製造することになる恐れがあるが、それを避けるため、良品を選別するためのテスト技術が不可欠である。テスト技術の内容としてインターポーザ、また評価装置、それらを用いたチップテスト技術を開発する必要がある。また、TSV形成技術、積層技術についても、さらなる開発が必要である。

第二に、実証デバイスは特定のアプリケーションを念頭に、固有の技術を盛り込んで設計・製造することになる。実証デバイスには、現時点で以下の四つの開発課題を実施中である。一つ目は、基本計画に掲げた三つの研究開発項目のうちの研究開発項目①の中で実施することとした「実証デバイス#1」であり、ロジックとメモリを融合した超ワイドバスメモリ素子である。二つ目は、イメージセンサをロジックに積層することで、高速画像処理を可能とするデバイスである。三つ目は、研究開発項目②の中で検討することとした「複数周波数対応通信三次元デバイス技術」である。最後に、四つ目は研究開発項目③の中で検討することとした「三次元回路再構成可能デバイス技術」である。

第三に、実証デバイスそれぞれに関わる個別な基盤的技術としては、複数周波数対応通信三次元デバイス技術の中におけるRF MEMSデバイス開発や、三次元回路再構成可能デバイス技術開発におけるデバイスプロセスのフロー検討がある。

以下、これらの各研究開発項目について、設定目標の概要を説明する。

#### 1.1 研究開発項目①「多機能高密度三次元集積化技術」

本技術開発においては、情報通信デバイスや信号処理デバイスの小型化、低消費電力化に必要な、Si貫通ビアを用いた三次元積層システムインパッケージ(SiP)を実現するための設計技術および評価解析技術の確立を目標とする。

最終目標として、平成24年末までに以下の目標を達成する。

実用的なアプリケーション仕様に準ずる、Si貫通ビアを用いた三次元積層SiPを試作し、機能を検証することで、多機能高密度三次元集積化技術として開発した設計技術と評価解析技術

の有効性を実証する。

これらの目標の設定理由を図4を用いて説明する。図の縦軸は技術の集積度・完成度を示し、上に行くほど総合的な技術を複合して開発しており製品化への距離が近いことを示す。図の横軸は積層したウェハを貫くTSVのピッチを示し、右に行くほど微細なピッチで結合しており技術的な困難度が高い。図中の赤丸で示した部分が本プロジェクトで狙う目標であり、TSVピッチも世界最高レベルであり、かつ技術的にも設計から製造まですべてをそろえ、事業化に向けて準備を完了させる目論見である。

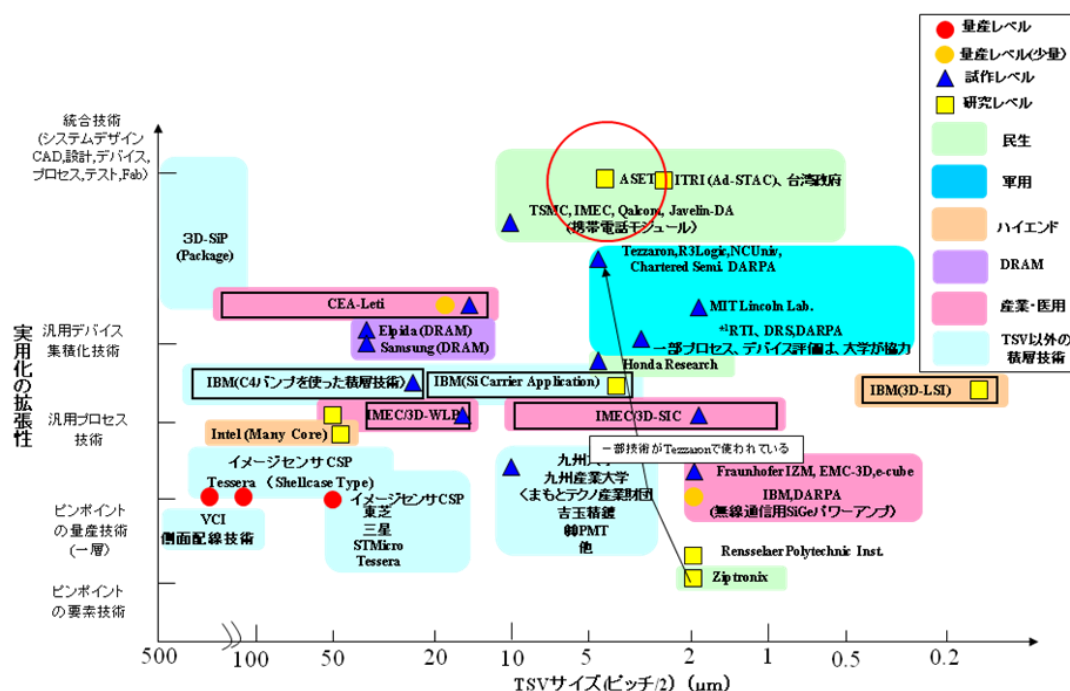


図4 研究開発項目①に関わる、目標設定に関するベンチマーク図

### 1.2 研究開発項目②「複数周波数対応通信三次元デバイス技術」

本技術開発においては、微小可動構造(MEMS)を用いたMEMS回路、制御・電源回路が積層された複数周波数・複数通信方式に対応する三次元デバイスを開発する。最終的には、ボード基板上に並べられたRF通信デバイスを小型化しSiPとすることが可能な技術を確認する。

また、最終目標として、平成24年末までに以下の目標を達成する。

MEMS回路、制御・電源回路が積層された複数周波数・複数通信方式に対応する三次元デバイスとして、700MHz～6GHzの周波数帯域で周波数特性可変のMCMを開発し、通信方式ごとの個別回路をMCM構成にて実装した場合に比較し、実装面積で1/8に小型化可能なことを実証する。

### 1.3 研究開発項目③「三次元回路再構成可能デバイス技術」

本技術開発においては、三次元的な積層構造を利用した回路再構成可能デバイス(フィールドプログラマブルゲートアレイ(FPGA)、動的リコンフィギュラブルプロセッサ等)技術を開発する。

平成20年度は、三次元積層を含むデバイス作製プロセスのフロー骨子を決定する。また、三次元配線密度等の具体的な基本仕様の策定を行うとともに、その仕様に基づき、三次元アーキテクチャの基本構造の決定と、それにより実現する目標性能及び機能を確定する。

最終目標として、平成24年末までに以下の目標を達成する。

三次元回路再構成可能デバイスのアーキテクチャを実証する。さらに三次元回路再構成可能デバイスのプロセスフローを実証する。

なお、これらの目標は、先述のように、随時見直しを行っており、上記した目標は平成21年3月に見直しの結果改訂した、平成22年7月26日現在、最新のものである。

## 2. 事業の計画内容

### 2.1 研究開発の内容

#### (1) 概要

本プロジェクトは、経済産業省「ITイノベーションプログラム」の一環として実施し、これまでの同一機能のメモリの積層による高集積化とは異なり、異機能を持つチップの積層技術、デジタル・アナログ回路や微小可動機構の積層技術、さらには三次元的に積層したチップに対し後からプログラムを書き換えて機能を発揮させる技術など、これまでにない三次元化技術により、新たな機能の発揮と飛躍的な性能向上を実現する立体構造新機能集積回路技術を確立することを目的とする。

#### (2) 事業全体のスケジュール及び年度別予算

本プロジェクトは多額の資金を投入する国家プロジェクトであり、予算の執行は注意深く行う必要があることをNEDOは強く認識している。予算執行について注意すべき点は以下の通りである。

- 1) 基盤技術であっても、必須な技術開発項目には予算を投じる。
- 2) 事業化間近なフェーズである場合は、助成への切り替え、ないし企業独自の製品開発への移行を推進する。
- 3) 企業間の連携により、相乗効果が見込めるテーマを重視し、重点的に予算を配分する。

### 2.2 研究開発の実施体制

NEDOにおいては、研究開発効率上、最適なフォーメーションを組むことにより、研究投資額に対するパフォーマンスの最大化を強く意識している。このため、基本計画検討委員会を組織して外部有識者の意見を取り込み、基本計画を策定した。また、その結果を踏まえてNEDO外部ウェブページに「基本計画」「事前評価書」「資料」(巻末添付資料参照)を公開し、パブリックコメントを募集し、その内容(同じく巻末に添付)を適切に計画に反映した。なおこの一連のプロセスをNEDOポストと呼んでいる。

引き続き公募を行い実施者を広く募った。外部有識者及びNEDOメンバーからなる採択審査委員会を組織し、応募者の中から、競争の上で研究推進能力、成果の事業化への見通し、など多岐にわたる比較項目を検討し、実施者を選定した。

同時に、効率を意識した研究開発項目の組み換えなどに指導力を発揮することを期待し、プロジェクトリーダーを委嘱した。図5に、本プロジェクト発足時の実施者フォーメーションを示す。プロジェクトリーダーは東京工業大学教授 益 一哉氏に委嘱した。本プロジェクトの特徴として、当初より産官学連携を強く意識し、主たる実施者である技術研究組合 超先端電子技術開発機構から、共同実施先として国内の有力大学研究機関、および独立行政法人 産業技術総合研究所との連携開発を推進してきた。

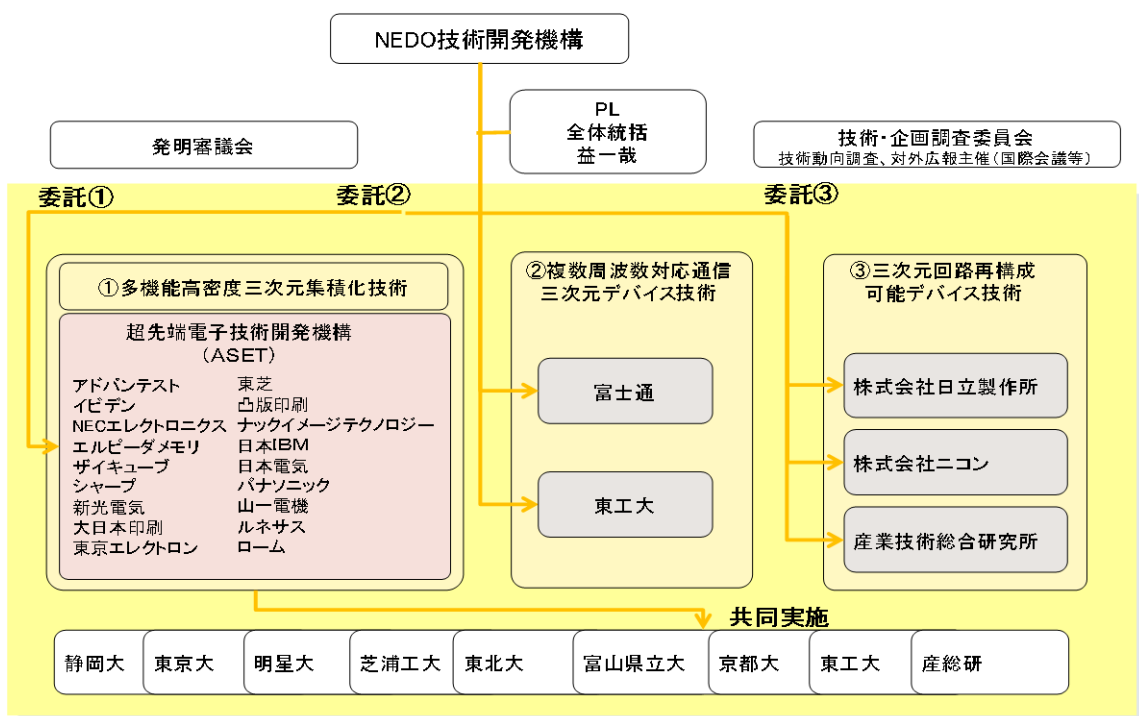


図5 本ドリームチッププロジェクト発足時の実施者



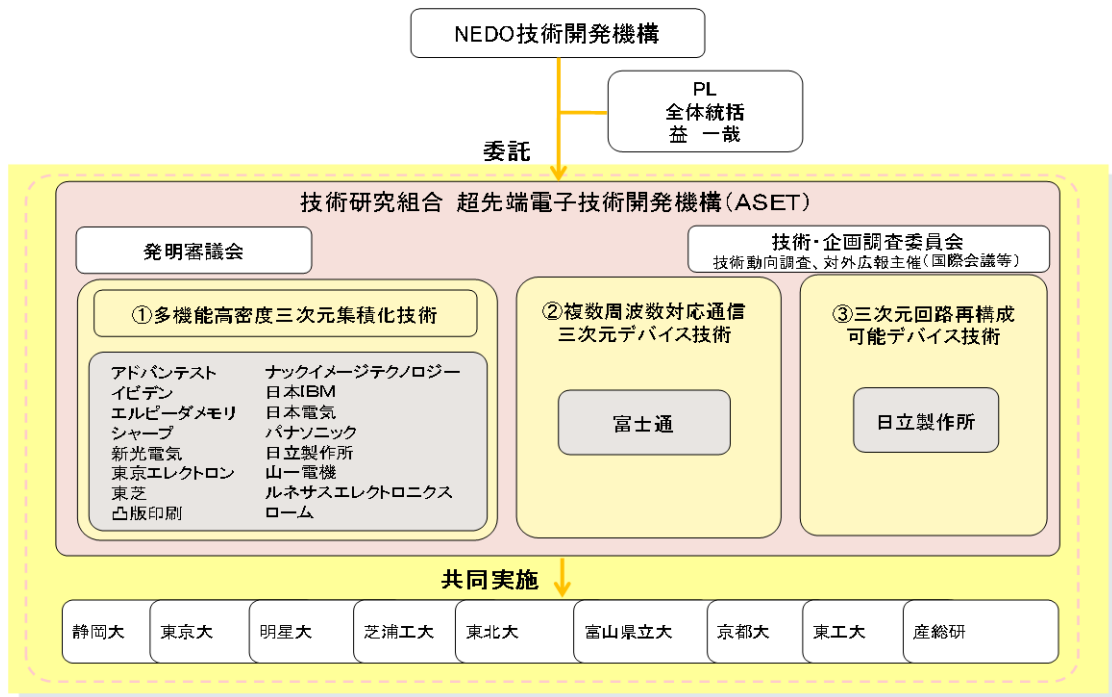


図6 H22年度初におけるドリームチッププロジェクトの実施者フォーメーション

本プロジェクトでは実施者相互の連携を強めるため、随時連絡を取り合い、NEDOのヒアリング等の機会を利用して連携強化を推進した。その結果、H22年度初めにおいて、図6のように、研究開発契約を技術研究組合 超先端電子技術開発機構との間に一本化し、その中で研究開発項目①、②および③のすべてを実施することとした。

### 2.3 研究開発の運営管理

研究開発全体の管理・執行に責任を有するNEDOは、経済産業省および研究開発責任者と密接な関係を維持しつつ、プログラムの目的及び目標、並びに本研究開発の目的および目標に照らして適切な運営管理を実施する。具体的には、年2回開催するNEDO定期ヒアリングほか、随時のコミュニケーションを通して運営管理にNEDOの意思を反映させる。

### 2.4 研究開発成果の実用化・事業化に向けたマネジメントの妥当性

NEDOにおいては、随時ヒアリングを通じて進捗状況を把握し、また国内外の技術開発動向を常にウォッチすることにより、適時・適切なベンチマークに努めている。進捗状況によって事業化が可能と判断できるものに関しては早期に開発を参加企業の自主開発に切り替えを推進している。一方、知的財産権の取得についても奨励しているが、開発項目の性質上特許化するよりも戦略的に不出願にしてノウハウを守ることが好ましいものについては適切に判断すべきと考えている。

### 3. 情勢変化への対応

本研究開発の計画から実施に至る過程、およびその後の進行予定概要を図7に示す。平成19年度に行った先導研究の成果を受けて開始したが、開始にあたっては、広く企業、民間研究機関、独立行政法人、大学等(委託先から再委託された研究開発実施者を含む)から改めて公募を行って、より良い実施体制を組むべく研究開発実施者が選定され、その上で平成20年度より委託により実施している。平成20年度は先導研究として別契約にて実施していた研究開発項目③を、全体に組み込んで現在は一体として実施中である。なお、図中には省略したが、この組み換えに際しても、外部有識者による採択委員会を組織して最大限その意見を反映した。



図7 ドリームチッププロジェクトの立案から現在に至る経緯

### 4. 中間評価結果への対応

平成22年8月に中間評価を実施した。その結果を図8に示す。

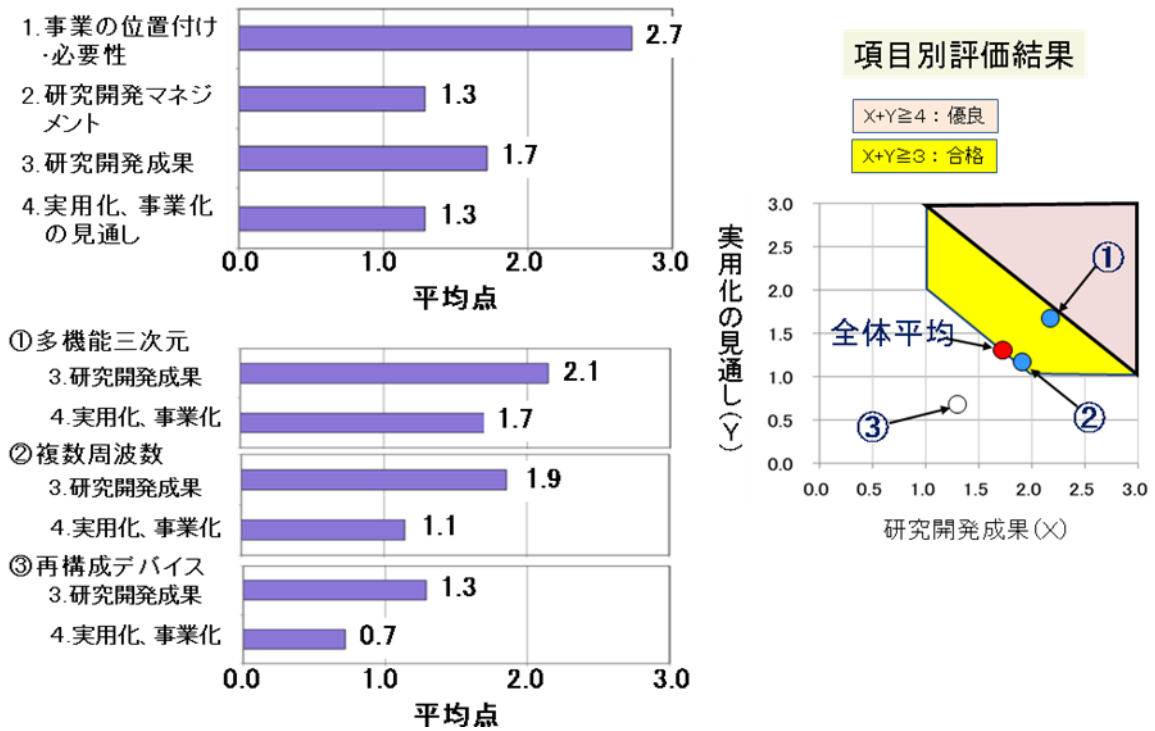


図8 中間評価結果(H22年8月実施)

総合評価では、本技術の必要性、NEDOプロとしての意義について評価を得たが、研究開発項目毎の評価では、実用化デバイスの研究開発項目②、③に関して、三次元積層化の必然性の有無と①の要素技術開発との重複部分に関し指摘をうけ再考を要するとの評価をうけた。

表2 研究開発項目別評価内容

研究開発項目	評価
①多機能高密度三次元集積化技術	電気系三次元シミュレータ、ウエハー括多端子プローブ技術、ウエハレベルバーンイン技術は <b>世界トップクラスであり評価できる</b> 。ただし、ソフトウェア系の技術は利用環境の観点で不十分。
②複数周波数対応通信三次元デバイス技術	有効性に疑問がある。MEMS素子の安定性とコストの点で過去の二の舞とならないように以前の技術蓄積を活用すべき。
③三次元回路再構成可能デバイス技術	目標値(二次元ICの25%程度の性能改善)は、二次元ICの改良技術でも十分である。三次元ICとすることの優位性、実現性を明確にする必要がある。

そこで、以下の3点に関し見直し及び強化を行った。

#### 4.1 研究開発テーマの見直し

中間評価の指摘をうけ、三次元積層に関する要素技術開発に重点を置くこととし、従来の実用化デバイスは縮小もしくは中止とした。具体的には、研究開発項目①の多機能高密度三次元集積化技術を(1)設計技術、(2)評価解析技術、(3)共通要素技術開発と設計基準策定(製造プロセス技術)に細分化し、個別開発の開発内容を再配置した。次に研究開発項目②の複数周波数対応通信三次元デバイス技術は、異種材料(MEMS)の積層技術に重点を移し、新研究開発項目①の(3)に統合した。研究開発項目③の三次元回路再構成可能デバイス(積層FPGA)は①の内容と重複していた三次元積層要素技術(TSV形成、チップ積層他)を新研究開発項目①の(3)に統合し、実用化デバイス(積層FPGA)の開発は中止とした。

また、旧研究開発項目①の設計技術で開発アイテムとなっていた、インターポージャー開発と電気的インターフェース作成は新研究開発項目①の(3)の共通要素技術開発と設計基準策定に移行した。(図9参照)

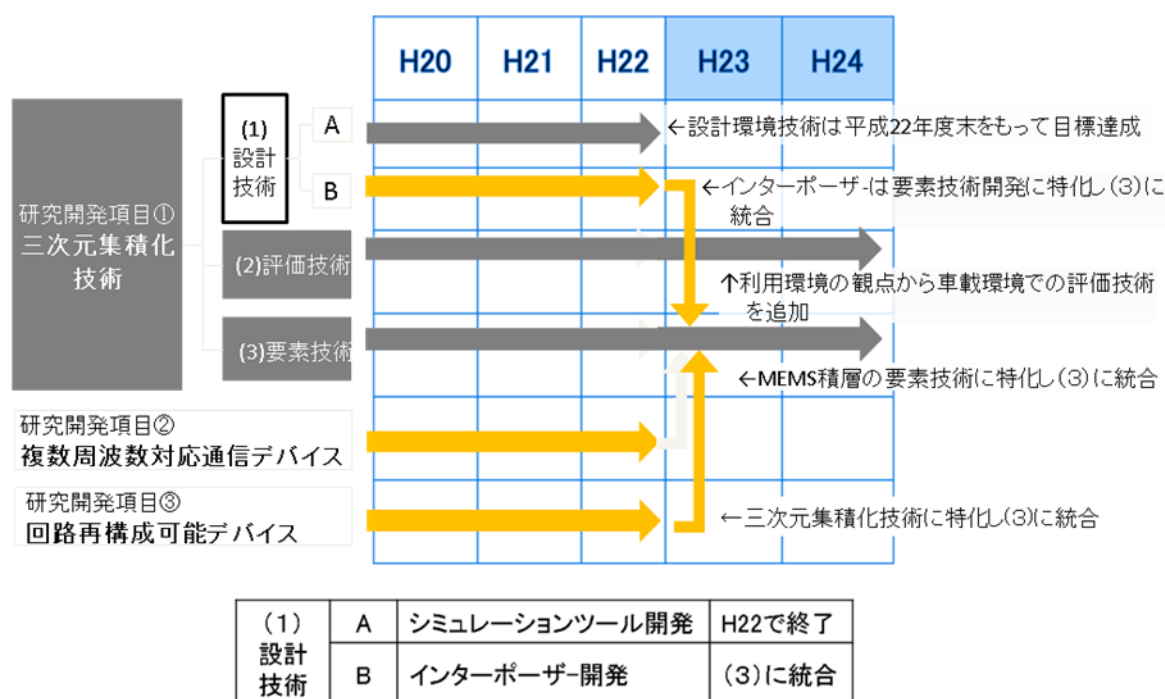


図9 研究開発テーマの見直し

## 4.2 実施体制の見直し

研究開発テーマの見直しに伴い ASET における各開発テーマ担当を図10のように変更した。この変更により、それまでの類似開発の重複を解消しそれぞれの知見を共有できる体制とした。

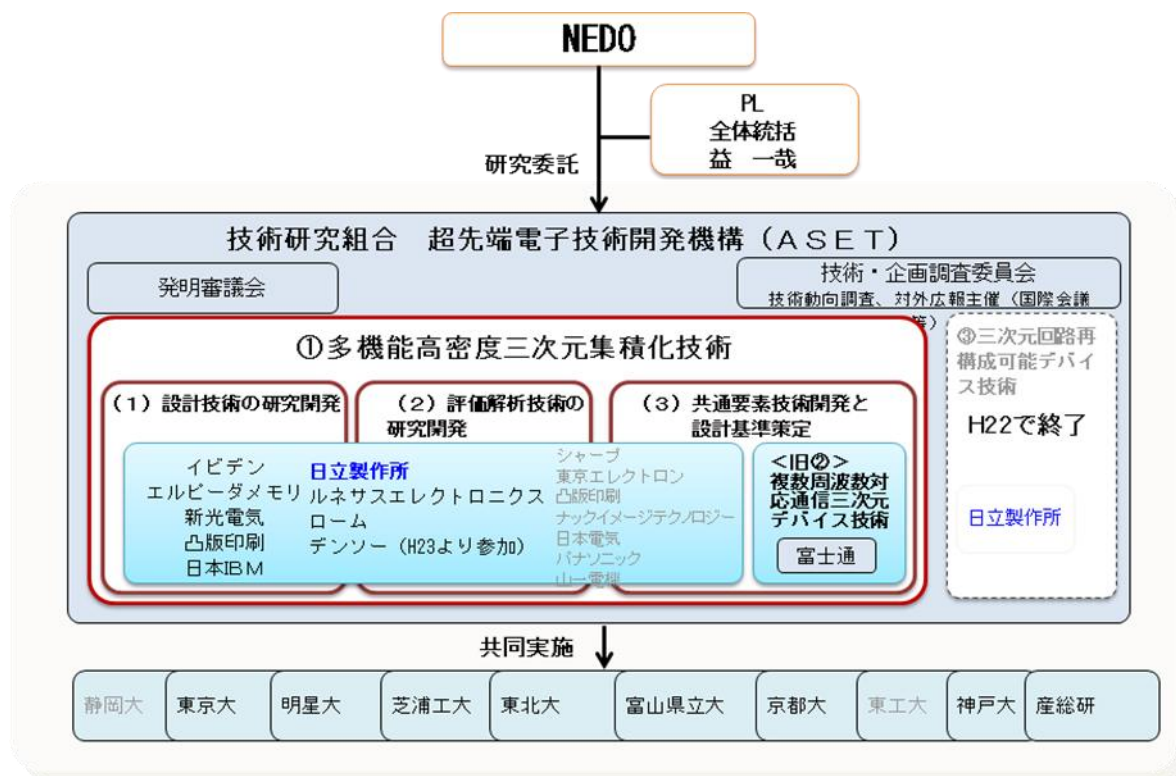


図10 見直し後の実施体制(平成23年度以降)

## 4.3 加速資金による研究開発の推進

図11に本プロジェクトの加速案件の概要を示す。中間評価以前の平成22年度までは、実証チップの性能強化に重点が置かれていた。中間評価の指摘をうけ三次元積層の要素技術強化に取り組んだ。具体的には、三次元積層の実用化における最大の課題である製造コスト削減に絞り、TSV 形成工程のコストダウン技術の開発に加速資金1億円を投入し、工法、材料の研究開発に取り組んだ。その結果、製造ステップ数を1/2以下にできる目処が立った。(本編III-19 参照)

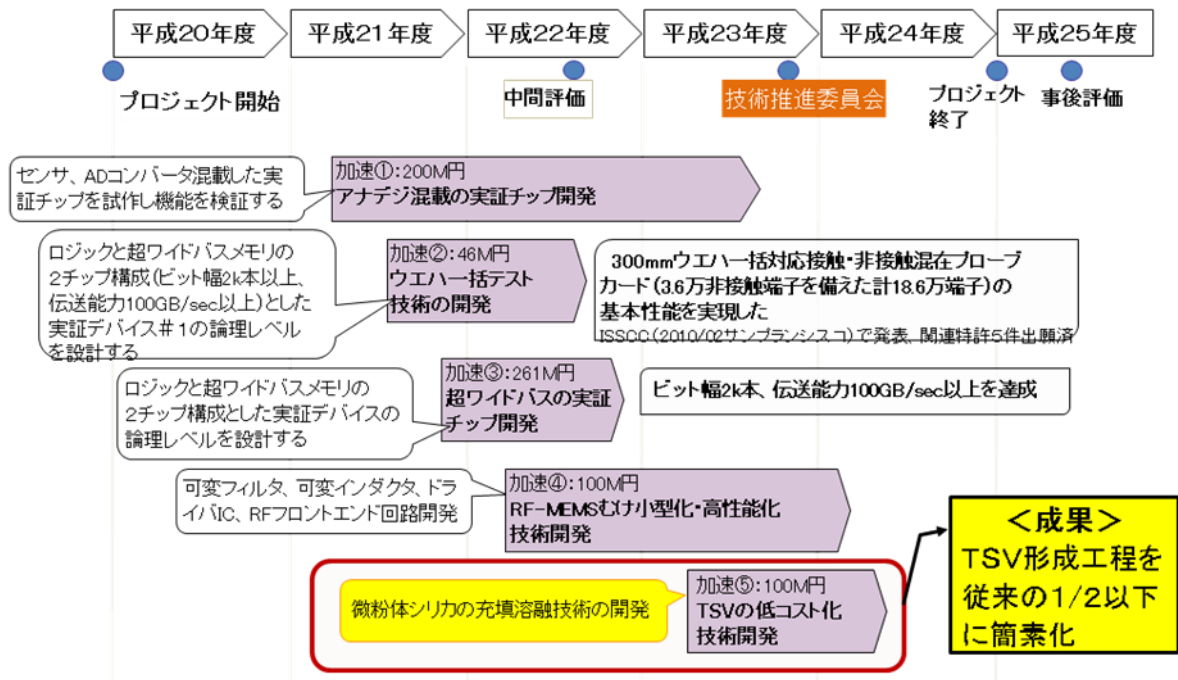


図11 加速資金による研究開発の概要

## 5. 評価に関する事項

NEDOは、技術的及び政策的観点から、研究開発の意義、目標達成度、成果の技術的意義ならびに将来の産業への波及効果等について、外部有識者による研究開発の中間評価を平成22年度8月に実施した。この中間評価の結果を踏まえて必要に応じプロジェクトの加速・縮小・中止等見直しを迅速に行った。

また、平成23年12月に外部有識者による技術推進委員会を実施し、進捗状況の確認、最終年度(平成24年度)の開発内容の確認及びプロジェクト参画企業の事業化にむけた取組について確認を行った。以上、適宜評価活動を行いプロジェクト終了後の平成25年度に事後評価を実施する。



## 目次

Ⅲ 研究開発成果について	
1. 事業全体の成果の概要	Ⅲ-1
2. 研究開発項目ごとの成果の概要	Ⅲ-2
2.1 多機能高密度三次元集積化技術	
(1)次世代三次元集積化設計技術の研究開発(※)	
(1)-A 設計環境技術の研究開発 ⇒平成22年度で終了(※)	Ⅲ-31
(1)-B インターポーザ技術の研究開発 ⇒(3)-Dに統合(※)	Ⅲ-36
(1)-C インターフェース仕様書の策定 ⇒(3)-Dに統合(※)	Ⅲ-41
(2)次世代三次元集積化のための評価解析技術の研究開発	
(2)-A チップテスト技術の研究開発 ⇒平成22年度で終了(※)	Ⅲ-44
(2)-B 熱・積層接合技術の研究開発	Ⅲ-2
(2)-C 薄ウェハ技術の研究開発	Ⅲ-7
成果一覧	Ⅲ-11
(3)次世代三次元集積化の共通要素技術開発と設計基準策定	
(3)-A 実証デバイス研究開発 ⇒平成22年度で終了(※)	Ⅲ-48
(3)-B 3Dインテグレーション技術の研究開発	Ⅲ-11
(3)-C 超ワイドバスSiP三次元集積化技術の研究開発	Ⅲ-16
(3)-D デジアナ混載三次元集積化技術の研究開発	Ⅲ-21
(3)-E ヘテロジーニクス三次元集積化技術の研究開発	Ⅲ-26
成果一覧	Ⅲ-30
2.2 複数周波数対応通信三次元デバイス技術 ⇒平成22年度で終了(※)	
(1)複数周波数対応可変RF MEMSデバイスの研究開発	Ⅲ-55
(2)複数周波数対応通信フロントエンド回路の研究開発	Ⅲ-58
2.3 三次元回路再構成可能デバイス技術 ⇒平成22年度で終了(※)	
(1)三次元回路再構成可能デバイスに関するアーキテクチャ および設計技術の研究開発	Ⅲ-60
(2)三次元回路再構成可能デバイスに関する三次元集積化技術の 研究開発	Ⅲ-63

(※)については、中間評価にて評価済みのため、『付録』(Ⅲ-31以降)に掲載しております。

### Ⅲ 研究開発成果について

#### 1. 事業全体の成果の概要

ここでは「ドリームチップ」プロジェクト全体の目標と達成度を大まかに記載する。プロジェクト全体の進捗として、すべての研究開発テーマに於いて目標を達成した。一部の開発テーマについては最終目標を前倒して達成したため、プロジェクトでの研究開発を終了し、企業レベルでの実用化に移行した。又、平成22年度の中間評価の結果を受け、研究開発テーマと開発体制の見直しを行った。それぞれの達成状況を次章以降に示す。

本プロジェクトの研究開発テーマは以下の通りである。

#### 2. 1多機能高密度三次元集積化技術

##### (1)次世代三次元集積化設計技術の研究開発

(1)-A 設計環境技術の研究開発

⇒平成22年度で終了

(1)-B インターポーザ技術の研究開発

⇒(3)-Dに統合

(1)-C インターフェース仕様書の策定

⇒(3)-Dに統合

##### (2)次世代三次元集積化のための評価解析技術の研究開発

(2)-A チップテスト技術の研究開発

⇒平成22年度で終了

(2)-B 熱・積層接合技術の研究開発

(2)-C 薄ウェハ技術の研究開発

##### (3)次世代三次元集積化の共通要素技術開発と設計基準策定

(3)-A 実証デバイス研究開発

⇒平成22年度で終了

(3)-B 3D インテグレーション技術の研究開発

(3)-C 超ワイドバスSiP 三次元集積化技術の研究開発

(3)-D デジアナ混載三次元集積化技術の研究開発

(3)-E ヘテロジニアス三次元集積化技術の研究開発

#### 2. 2複数周波数対応通信三次元デバイス技術

⇒平成22年度で終了

(1)複数周波数対応可変RF MEMSデバイスの研究開発

(2)複数周波数対応通信フロントエンド回路の研究開発

#### 2. 3三次元回路再構成可能デバイス技術

⇒平成22年度で終了

(1)三次元回路再構成可能デバイスに関するアーキテクチャおよび設計技術の研究開発

(2)三次元回路再構成可能デバイスに関する三次元集積化技術の研究開発

これ等のうち、開発目標を前倒して達成した (1)-A、(2)-A、(3)-A、2. 2、2. 3は平成22年度で終了した。また、(1)-Bと(1)-Cは平成23年度より(3)-Dに統合した。

これら平成22年度(中間評価時点)で終了した開発テーマ及び統合されたテーマの成果は、付録として本章の末尾に記載した。

このため、以下の研究開発成果の記載に関しては、上記太字で示した研究開発テーマを対象としており、連続した項番とはなっていない。



## 2. 研究開発項目ごとの成果の概要

研究開発項目ごとの成果を記載する。

### 2.1 多機能高密度三次元集積化技術

#### (2) 次世代三次元集積化のための評価解析技術の研究開発

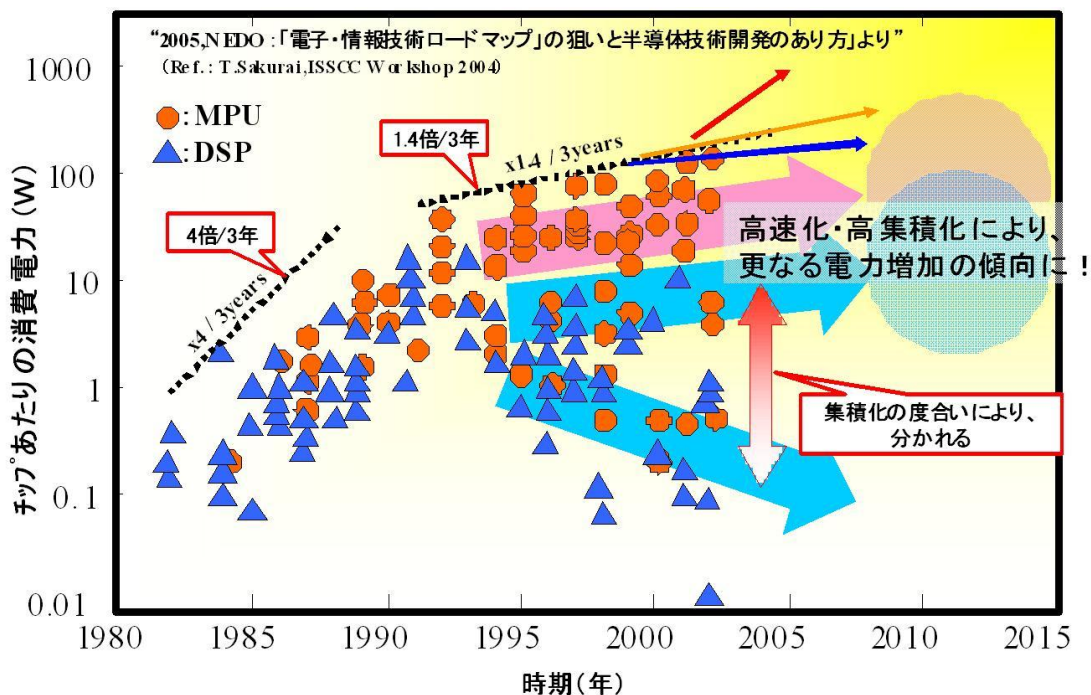
##### (2)-B 熱・積層接合技術の研究開発

##### (2)-B-1 目標の達成度

###### 1)基本計画の目標

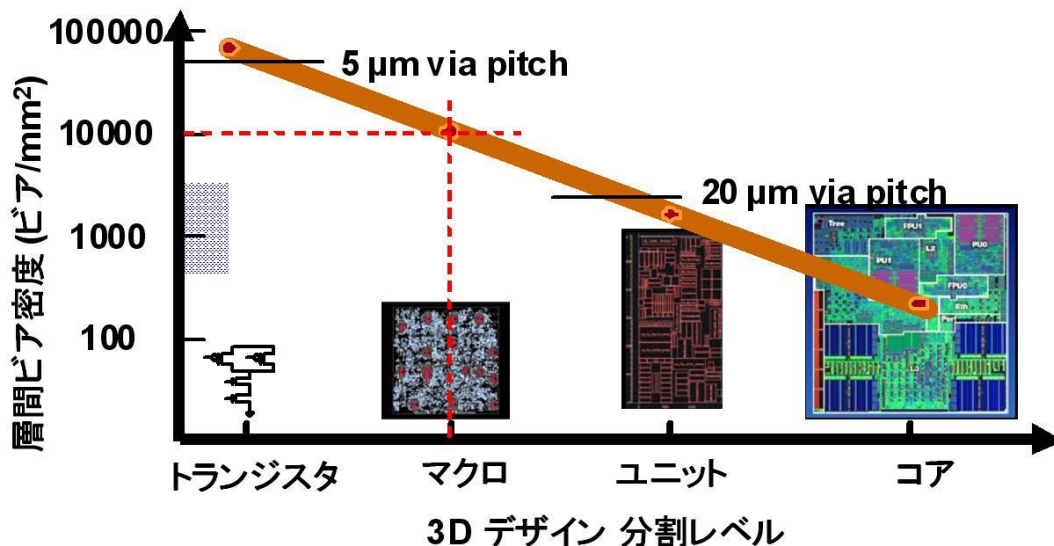
(概要)

電子機器の基本機能を担うMPU(Micro-Processing Unit)・DSP(Digital Signal Processor)などの半導体LSI(Large Scale Integrated Circuit)製品の消費電力については、微細化・高集積化・高速化により、1990年頃まで、“4倍/3年”のペースで増加する傾向にあった。しかしながら、電子機器の多様化により、1990年以降は、性能優先(高機能)製品と、消費電力優先(低消費電力化)製品に二分化され、それに合わせて、性能優先(高機能)製品の電力増加も“1.4倍/3年”のペースとやや鈍化する傾向となった。しかしながら、半導体LSI製品の消費電力は、ペースを落とすつつも、依然増加傾向にあり、2010年以降の半導体LSI製品(単チップ)の消費電力は、少なくとも、MPUは50W以上、DSPは15W以上になることが予測される。さらに、三次元的に複数チップを積層することにより、MPU・DSPなどの消費電力推移予測を超えて、半導体LSI製品の消費電力の増加を加速させ、20Wを超えるDSP製品が出てくることが予想される。一方、比較的消費電力の小さい現状のデジタルコンシューマ機器では、小型・薄型などの厳しい要求下で数W程度の放熱性能が達成されている。しかし、高機能化にともなう総消費電力の増加や電力集中などから熱が大きな問題となってきており、加えて、静音性などの新たな機能要求から熱対策が制約されるなど、いっそう熱課題が増加する傾向にあり、小型・薄型かつ静音性を要求される条件下においても、20W程度の放熱を可能とする新規技術開発は不可避と考えられる。参考として 図(2)-B-1 にNEDOによる消費電力推移のグラフをあげる。



図(2)-B-1 チップあたりの消費電力

本プロジェクトでは目標としてシリコン貫通電極(TSV: Through Silicon Via)の接合バンプ径は $5\mu\text{m}$ 以下、接続バンプ 10,000 個以上を掲げている。このバンプ径は、図(2)-B-2 に示すグラフの三次元デザイン分割レベルとしてマクロレベルを考えた場合に対応する。



\*\* IBM J R&D -2006, A. W. Topol et al.,

図(2)-B-2 チップの集積化レベル

チップのテクノロジーによって、バンプ径要求に差異はあるかと思われるが C2C(Chip to chip) 接合による実装では、この分割が微細度が最も高いレベルであると思われる。TSV や接合部を配置したチップ部分に能動素子を配置できないと仮定すると、接合や TSV のエリアは実装のためのペナルティーとなる。このエリアペナルティーを仮に 1% まで許すものとする、接合バンプ数は  $1\text{cm}^2$  あたり、10,000 個となる。このバンプ径とバンプ数を前提とした高信頼のチップ間接続技術の開発とその信頼性を評価するための技術を開発し、三次元積層 SiP (System in Package) を実現するために必要な接合バンプ構造の標準化と最適接合条件を確立することが必要である。

(基本計画) 出典: 基本計画 P5

- ・ 三次元集積化の熱評価解析技術、積層接合評価解析技術を開発する。

出典: 基本計画 P6

最終目標 (平成 24 年度):

- ・ ひとつの三次元積層 SiP あたり 20W 以上の発熱に対応する放熱構造の評価解析技術を開発する。

## 2) 開発成果の要約

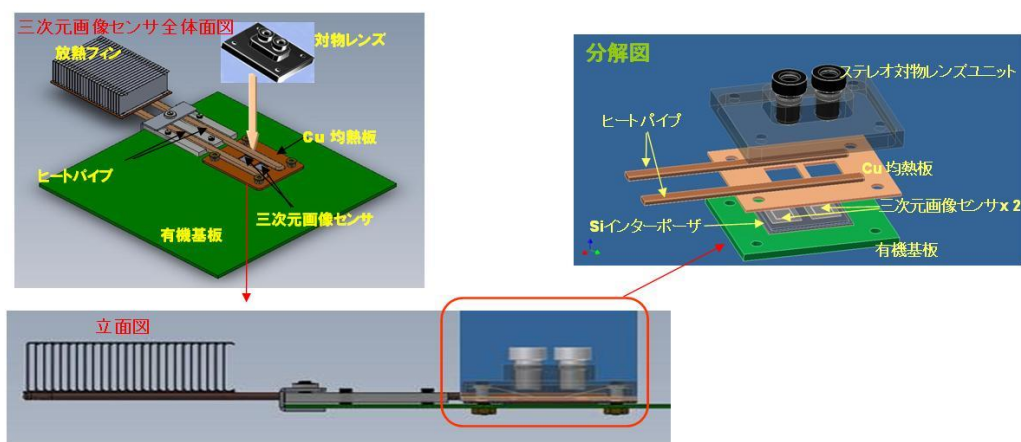
### 2)-1 熱評価および積層接合評価解析技術の研究開発

#### 2)-1-1 熱評価および放熱対策技術の研究開発

熱評価および放熱対策技術の研究開発では、Cu-TSV が微小・極薄積層構造体における熱伝導に与える効果を、三層積層 TEG (Test Element Group) である TV200 (実デバイスの動作状態を再現するための発熱部、測温体、TSV を有する) を用いた実測によるパラメータ導出方法を開発し、このパラメータを使ったシミュレーションを行う三次元 SiP の高精度熱特性評価技術を確立した。こ

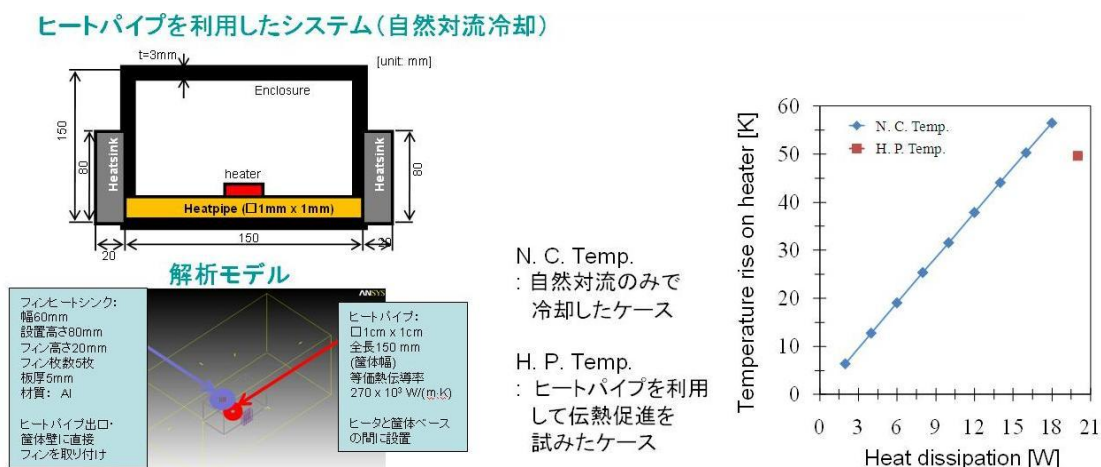
の評価に基づき、積層チップ間及び薄チップ面内の熱伝導評価を行い、チップのバンプ配置設計指針を取得した。

この指針に基づき、自動車用運転支援画像処理システムの小型・高効率冷却システムの開発では、積層画像センサ内の温度勾配が約 10°C (2 watt 発熱時)に収まる設計を行った。高温環境下での放熱冷却構造の研究開発では、画像モジュール(CIS: C-MOS Image Sensor、CDS: Correlated Double Sampling、ADC: Analogue to Digital converter、IF: Interface)を搭載するSi-IP(Silicon Interposer)から直接筐体にて放熱する超小型ヒートパイプでの冷却構造が可能であることを確認した。



図(2)-B-3 自動車運転支援画像システムの冷却システム

また、20W/cm<sup>2</sup>の発熱体を、システム筐体を放熱器として自然空冷で放熱できる構造を開発し、実験及びシミュレーションによって、その性能を確認した。

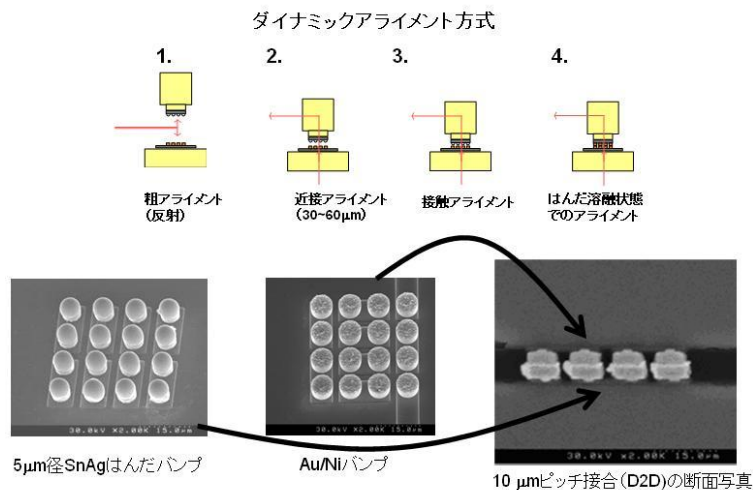


図(2)-B-4 20W/cm<sup>2</sup>の発熱体に対応する冷却システム

2)-1-2積層接合評価解析技術の研究開発

積層接合評価解析技術の研究開発では、超微細(10 μm)接合ピッチの接合技術開発のために、10 μm TEGと、より信頼性の高い、やや大きな(40 μm) TEGを組み合わせることによって、微細接合技術開発を実施する手法を開発した。この方法を適用し、C2C 接合のはんだバンプ構造最適化を行った。この最適化構造バンプを適用し、統合ES#2チップの4層接合を確認した。

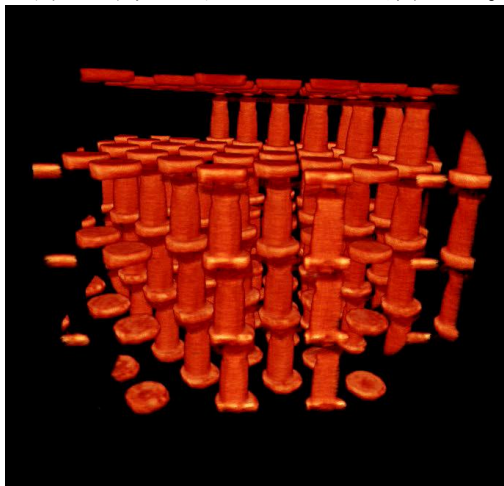
微細接合においてバンプ接触時およびはんだ溶融時に発生する位置ずれを修正するダイナミックアライメント技術と、1N以下の低圧圧着技術を適用することにより、 $\pm 0.6 \mu\text{m}$ 以下の接合精度を達成した。この技術を適用して $10 \mu\text{m}$ ピッチ11,520バンプのデージーチェーンTEG (TV10)の接合を実施し、1接続あたり約 $69\text{m}\Omega$ の低抵抗接続を確認した。



図(2)-B-5 10 $\mu\text{m}$ ピッチのマイクロバンプ接合技術

微細接合チップ間の狭ギャップ (<10 $\mu\text{m}$ ) 対応するとともに、積層プロセスの高スループットと高信頼性が期待できる、チップ間封止先樹脂 (プリアプライ) 法と、この手法を発展させた一括接合技術を開発し、キャピラリー法樹脂封止と繰り返し接合を行った場合と同等の接合抵抗を得ることができると確認した。三次元画像センサ接合に適用できる、低温 (<180 $^{\circ}\text{C}$ ) 接合バンプ形成技術を開発し、このバンプを用いた低温接合プロセスを開発した。

検査評価技術では、X線CT装置の機能向上開発により、従来困難であった1 $\mu\text{m}$ 台の微細なTSVボイドの観測が実用的な測定時間で可能となったことを確認した。



図(2)-B-6 X線CT装置によるTSV観測

### 3)最終目標の達成度

以上の内容を表(2)-B-1にまとめる。このように、基本計画に定義された最終目標は達成された。



表(2)-B-1 目標と達成状況

テーマ	目標	成果	達成度
熱・積層接合評価技術	<ul style="list-style-type: none"> <li>・20W以上の発熱に対応する放熱構造の評価解析技術を開発する。</li> <li>・車載環境下での放熱冷却構造の最適化設計と、評価解析技術の開発</li> <li>・放熱設計技術仕様書を策定する</li> </ul>	<ul style="list-style-type: none"> <li>・TSVをもつTEG三積層構造で熱伝導パラメータ抽出手法を開発。シミュレーションとコリレーションから熱特性評価技術を確立。</li> <li>・20W/cm<sup>2</sup>に対応する放熱構造は、ヒートパイプを介してシステム筐体に放熱する構造とすべきことを確認。</li> </ul>	○

**(2)-B-2 成果の意義**

従来、世界的にも次世代三次元積層 SiP の熱評価技術・冷却技術は系統的に研究されておらず、基本データが存在しなかった。本研究では三次元微細接合技術を開発し、微細接合部の分析や機械特性評価観測技術を開発し、微細接合部の熱特性測定を行い、測定によって求めたパラメータを活用した熱伝達シミュレーション技術を開発した。これらの研究成果は次世代三次元積層 SiP を実現するための小型高性能冷却システムに活用することができる。

また、本研究で開発した三次元微細接合技術の一つである、封止樹脂をあらかじめチップや基板に塗布しておき、これらの金属バンプを熔融接合すると同時に、樹脂を重合硬化する技術（プライ方式）は、10 $\mu$ m ピッチレベルの微細接合を製品に適用するときに、コストや製品歩留まり、信頼性を確保する上で大きな役割を果たすことが期待される。本技術は、世界的にも実用化されておらず、チップ積層だけでなく、ウェハ積層の微細接合の技術としても適用できると考える。

**(2)-B-3 知的財産権の取得及び標準化への取組**

成果を特許として出願した。出願状況を以下にまとめた。

H23 年度 7 件出願済み

H24 年度 4 件出願済み

2 件出願準備中

**(2)-B-4 成果の普及**

学会、講演会などを通じて、以下にまとめたように成果を発表し普及に努めた。

H21 年度 8 件 国際会議 3 件

H22 年度 9 件 内国際会議 4 件

H23 年度 17 件 内国際会議 10 件

H24 年度 16 件 内国際会議 8 件

## (2)-C 薄ウェハ技術の研究開発

### (2)-C-1 目標の達成度

#### 1) 基本計画の目標

(概要): 背景の概要を含む

積層チップの低背化は、ウェハの薄化の要求を一層強くしており、2006年版ITRS(International Technology Roadmap for Semiconductors)における極薄チップ厚の予測では、2010年は $15\mu\text{m}$ 、2012年は $10\mu\text{m}$ と想定していた。なお2012年度版ITRSにおいては、 $10\mu\text{m}$ は2022年と予測されている。一方、三次元積層SiP(System in Package)においては、貫通電極を形成する必要があるが、より品質向上のためには、アスペクト比低減やエッチング処理時間低減という観点から、Si厚みを $10\mu\text{m}$ レベルに薄くすることも有効な手段である。このようなレベルでの薄化は、デバイスの特性劣化を引き起こす可能性が大きく、劣化メカニズムを明確にし、プロセス上の対策を確実に行うことが重要である。DRAM(Dynamic Random Access Memory)などにおいては、ウェハ厚みによってリテンション時間や不良ビット率に差が発生するとも言われている。

またウェハの厚みが厚い場合には、前工程熱処理プロセスにより結晶内にIG層(Intrinsic Gettering)としてゲッターリング効果のある微小欠陥領域(BMD: Bulk Micro Defect)を保持する事ができたが、ウェハの薄化が進み、 $50\mu\text{m}$ を切り $10\mu\text{m}$ 程度になるとははや、ゲッターリング層を存在させることは出来ず、結晶表面の無欠陥層(DZ層: Denuded Zone)のみとなり、汚染物質をトラップする効果は期待できなくなる。その対策として、微小な破碎層を引き起こす裏面研磨方法を適用することにより、ゲッターリング効果をもたらすことができるが、ウェハの抗折強度を著しく低下させる。

また、デバイス形成後に貫通電極を形成する方式、いわゆるビアラスト方式では、TSV(Through Si Via)エッチング加工、TSV内の絶縁膜形成、導電体材料の埋め込みなど、複数のプロセスを処理する必要がある。シリコンウェハの厚さが薄くなるほど、ウェハのハンドリングが難しくなるため、これを克服できるような技術が必要になる。

薄ウェハ化については、以上のような問題点が多々あるため、現実的には実用として $30\mu\text{m}$ 厚みが有効と考えられている。

(基本計画)

H23年度目標(平成24年度実施計画書 4頁 から引用)

・TTV(Total Thickness Variation)  $\pm 1\mu\text{m}$ の高精度ウェハ加工技術、極薄チップ加工技術を確立する。また、デバイス特性変動機構の解明、および薄ウェハにおける結晶欠陥・金属汚染の評価方法の確立とゲッターリング機構の解明(検証)を行う。

(最終目標)(基本計画、実施計画には記載が無いが、震災の影響で進捗が遅れたためH23年度目標をH24年度最終目標とした。)

高精度ウェハ加工技術、極薄チップ加工技術を確立する。また、デバイス特性変動機構の解明、および薄ウェハにおける結晶欠陥・金属汚染の評価方法の確立とゲッターリング機構の解明を行う。合わせて、いくつかの対策を提案する。

#### 2) 開発成果の要約

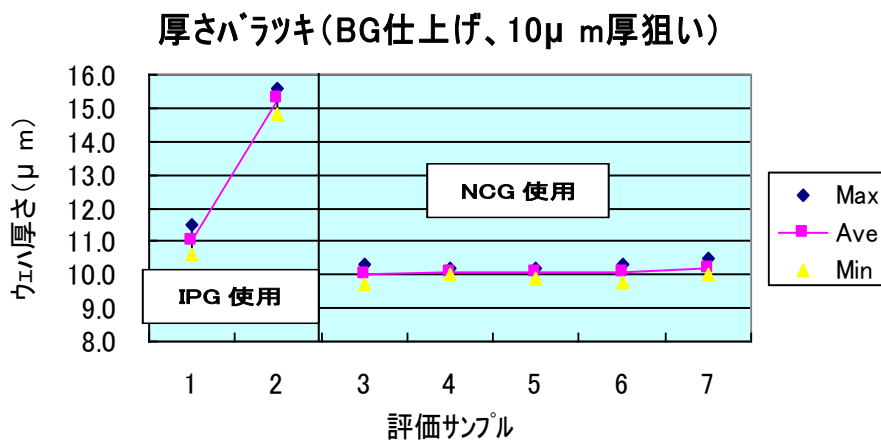
##### 2)-1 薄化ウェハの評価解析技術の研究開発

##### 2)-1-1 デバイス特性変動も考慮した $10\mu\text{m}$ 厚極薄チップ加工技術

薄化ウェハの評価解析技術の研究開発では、極薄ウェハ加工、チップ分割技術、極薄チップピクアップ技術においてそれぞれ以下の成果を得た。

まず極薄ウェハ加工において最終目標精度を $10\pm 1\mu\text{m}$ としたが、その達成のため、研磨装置、材料(サポートガラス、Siウェハ)、加工プロセス(貼りあわせ+研磨)での許容される加工公差の割り付けを実施して各目標精度へブレイクダウンし、更に試作評価により精度検証を実施した。特に加工プロセス面では図(2)-C-1に示すように、現状の研磨装置で標準の方式である研磨前にサポートガラスを含めたSiウェハ厚みを測定するIPG(In Process Gauge:接触式の測定ゲージ)に比べて、薄化加工中のサポートガラスを含まないSi実厚をリアルタイムで非接触にて直接モニタするNCG(Non Contact Gauge:ノンコンタクトゲージ)の採用により厚さバラツキを抑制可能となった。更

に、装置面ではガラス付きウェハの厚さ分布を考慮し、研削砥石とウェハチャックテーブルとの相対角度をチューニングする方式Auto TTV (Total Thickness Variation)により目標精度を達成できる見通しを得ると共に、それらの手法の有効性を確認できた。



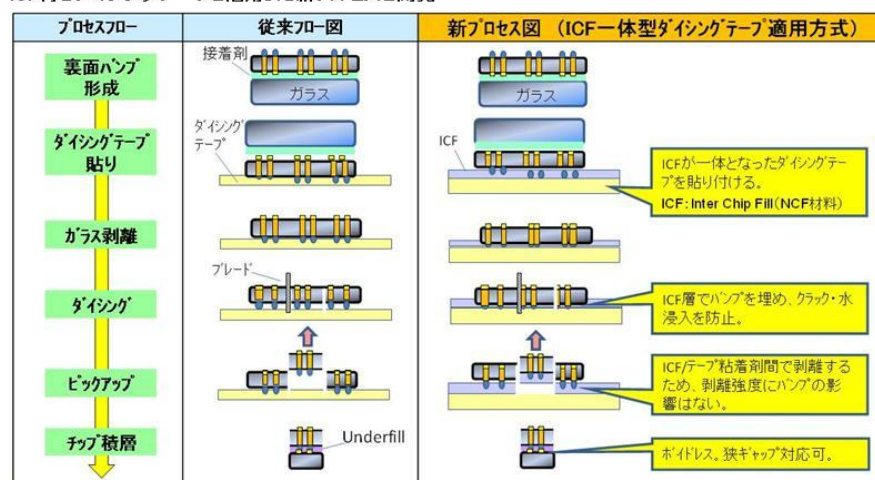
図(2)-C-1 ウェハ厚さ測定方法と薄研磨後の厚みばらつき

またチップ分割技術においては、単体極薄ウェハの検証及び課題と対策を明確化した。更に極薄チップピックアップ技術においては、プロセス条件の改善とピックアップ治工具のチューニングにより、10 $\mu$ m厚の極薄チップを割れなくピックアップできる見通しを得ると共に、ピックアップ治工具の設計指針を明確にした。

以上はベアウェハをベースに評価を進めてきたが、バンプ付ウェハ及びTSV付ウェハにおいても同様な評価を実施。全体の耐熱性向上のためのガラスサポート時の高耐熱接着剤の評価も実施し、バンプ密度とチップピックアップ性の相関等のデータを収集、ガイドラインを作成した。

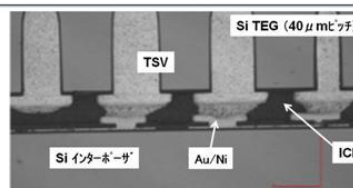
またピックアップ時にバンプ表面に付着したダイシングテープの接着剤は、次工程の接合工程に影響を及ぼす。その問題点を回避する手段として、ICF (Inter Chip Fill) 一体型ダイシングテープによる解決策を合わせて開発した。これはUF (Under Fill) 材が貼り付けられたダイシングテープで、C2C (Chip to Chip) 接合時にフラックスの役割とUF材の役割を同時に果たす事により、工程削減となる二次的効果も期待できる。

ICF付きダイシングテープを活用した新プロセスを開発



【ダイシング時の諸課題対策として有効】

- ・クラック・水浸入防止
- ・ピックアップ容易化、
- ・ボイドレス
- ・裏面ハンパ保護
- ・積層狭ギャップ対応



40umピッチ TEGの積層実験で良好な結果を確認

図(2)-C-2 ICF 一体型ダイシングテープの活用

2)-1-2 ウェハ薄化によるデバイス特性変動機構の解明、および薄ウェハにおける結晶欠陥・金属汚染の評価方法の確立とゲッタリング機構の解明

薄化ウェハ上に形成されたデバイスの特性評価技術については、C-t (Capacitance-time) 測定法を用いた解析によりIG層が厚いほど内部ゲッタリング効果が高いことや、レーザラマン顕微鏡を用いた解析により結晶内部の残留ひずみが定量的に評価できることを検証した。AFM (Atomic Force Microscope:原子間力顕微鏡)とレーザラマン分析を用いた薄化ストレスリリース手法の比較においては、CMP (Chemical Mechanical Polish) < DP (Dry Polish) > < UPG (Ultra Poly Grind) の順で粗さが小さく、残留ストレスもCMP が一番小さいこと、さらにXPS (X-ray Photo-electron Spectroscopy: X線光電子分光法) によるSi結合状態の分析結果でもUPGのSi結合状態はCMPに比べて極めて悪い、即ち破碎層が存在することが確認できた。

一方、ゲッタリング効果という観点からC-t法で調査すると、CMP < UPG < DP改という順番で効果が高い。抗折強度を鑑みながらプロセスを選定していく必要が有る。またSiNのような絶縁膜をゲッタリングでは無く、Cuの拡散防止バリア層として形成する事も汚染防止という観点から重要で、先に述べた裏面研磨方法との組み合わせも有効な手段と考えられる。またその他のEG (Extrinsic Gettering) 方式としてレーザアニールを適用した場合の効果を検証した。これらを含めたデバイスへの影響について統合ES#2のTEG (Test Element Group) チップ内に形成したDRAMを用いたリテンションタイムへの影響やその他MOSFET (Metal Oxide Silicon Field Effected Transistor) でのKOZ (Keep Out Zone) を含めたガイドライン等を明確にした。

2)-1-3 ウェハ積層工程における薄ウェハ加工技術開発

W2W (Wafer to Wafer) の積層プロセスにおいては、WSS (Wafer Support System) を用いず、下ウェハをベースに積層した上ウェハの裏面を薄化研磨して、ビア形成及び裏面配線やハンパ形成を実施する。従ってウェハ積層の方法やウェハ間の材料によって研磨時のTTVを含めた精度やダイシングによるチップング等が左右される。2層W2Wウェハ積層後の総厚TTV: 4.6~6.2 μm に対し、特定なパターンやボイド等の除去により、Auto TTV機能を用い研磨後の精度目標値TTV 2.0 μm (±1.0 μm) が達成できる事が判明した。またダイシングプロセスにおいては、貼り合わせ時の



ウェハ間の貼り合わせ性に依存するが、剥離が無い状態でのダイシングはダイシング条件の適正化によりチップング無く加工出来ることが明確となった。ただダイシングストリート内に存在する金属パターンの巻き込みを協力少なくするためには、ステップカットの1段目におけるカット面でのSi自体の体積比率を可能な限り高くする必要性が有る。

### 3) 最終目標の達成度

10  $\mu\text{m}$  厚極薄ウェハ加工技術の基本技術については、WSS ガラスマウント装置を導入して材料面も合わせてガラス貼り付け精度の検証と向上の取り組み、バンプ有無にかかわらず最終目標精度 10 $\pm$ 1  $\mu\text{m}$  を達成させた。(バンプ有り時の TTV の確認が必要)ピックアップ技術についてもメカニズムやその最適条件に対して定量的な考察を実施。可能性を明確にしたのと合わせて ICF 付チップ状態では従来のピックアップ方式でも 10  $\mu\text{m}$  チップのピックアップが問題無いという事が実証できた。ゲッターリング対策としては、BMD 厚みや各種裏面処理方法、低温 SiN の効果等、種々の提案とその可能性について検証。更なる今後の指針の基礎データや方向性を示した。また DRAM TEG を用いたリテンションへの影響等を初めて公開する事が可能となった。W2W 積層への薄化加工技術については、C2C との優位性を比較した。今後のプロセス選択の上でのガイドとなる。

表(2)-C-1 目標と達成状況

テーマ	目標	成果	達成度
薄ウェハ評価解析	高精度ウェハ加工技術及び極薄チップ加工技術を確立	<ul style="list-style-type: none"> <li>・ガラスマウントのウェハ支持体(WSS)を活用し、表面のバンプ有無にかかわらずウェハ厚10 <math>\mu\text{m}</math> <math>\pm</math> 1 <math>\mu\text{m}</math> を達成。</li> <li>・ICF(Inter Chip Fill)付のダイシングテープを採用して、10 <math>\mu\text{m}</math> 厚のチップのダイシング・ピックアップ・積層工程の効率化を確認</li> </ul>	○

### (2)-C-2 成果の意義

事業的に TSV 内蔵のチップ積層を実現するにはコストが重要な要素である。また限られたチップサイズに多くの接続端子を確保するためには小径かつファインピッチの TSV を形成する必要がある。その意味でウェハ厚さを薄くすることは、上記 TSV 形成コストを低減する意味でも、ファインピッチの TSV を形成する意味でも重要な技術である。これまでの研究で 10 $\pm$ 1  $\mu\text{m}$  に高精度かつ高品質にウェハを薄厚加工し、さらに割れることなくチップ分割やピックアップできる見通しが得られたことは、TSV 内蔵チップ積層を事業的に実現することにおいて重要な意義を持つ。合わせてコスト低減という観点から、ICF 付ダイシングテープの評価は、その適用範囲を大きく拡大する手段として期待できる。

またデバイスの特性評価技術については、C-t 測定法を用いた解析により IG 層が厚いほどゲッターリング効果が高いことや、レーザラマン顕微鏡を用いた解析により結晶内部の残留ひずみが評価できることを、薄化ウェハについて定量的に検証した例はこれまでになく、非常に有用な成果である。合わせて評価用ツールとして統合 ES#2 TEG チップを作製したことは、今後の開発の加速に有意義な財産となる。

さらに、極薄ウェハ加工、及び極薄チップピックアップ技術においては、一部の新規開発材料を除いては世の中で市販されているコンベンショナルな材料、装置、プロセス技術をベースに研究開発した。またデバイスの特性評価技術についても、C-t 測定法やレーザラマン顕微鏡を用いた解析技術により定量的に評価できることを検証したが、同じく市販されている解析技術である。その意味で、本研究開発は世界最先端のレベルであるもののコストも含めた量産化を強く意識した開発であり、半導体事業分野で広く普及するものと考えられる。

### (2)-C-3 知的財産権の取得及び標準化への取組

極薄ウェハのダイシング技術に関する特許が3件、WSS関係でウェハー一括ピックアップ技術に関する特許が2件、W2W等の積層ウェハに関するダイシング技術が2件、TSV側壁からの汚染を防止するゲッタリング関係の特許が1件、合計8件の特許について出願した。

また薄チップの抗折強度測定方法について、従来の3点曲げ方式に追加して、カンチレバー方式を特に30μm以下のウェハに対してSEMIパッケージ標準化委員会に提案。規格化検討中。この詳細については後述する。

(2)-C-4 成果の普及

10μm厚の極薄ウェハ評価解析技術は、三次元積層SiPの基盤技術の一つとして不可欠である。また、本技術は10-50μm厚レベルのウェハにも有益であり、成果の普及が期待できる。

これまで述べてきた(2)の成果を改めて一覧表として示す(チップテストは平成22年度中間評価で評価済み)。

表(2)-C-2 成果一覧

(◎:大幅達成、○:達成、△:未達、×:大幅未達)

		目標	成果	達成度(個別)	達成度(総合)
①(2) 評価解析技術	チップテスト 技術開発	・300mmウェハに対し、30万端子以上の一括アクセスを可能とする技術開発 ・15Gbps/DUTの信号速度での検査可能性の確認	・大気圧加重(接触端子)+容量結合(非接触端子)で30万端子アクセスの可能性確認。試験用に、18.6万端子のプロブカードを開発し稼働確認 ・ウェハテスト/バーンイン可能な温度制御技術(スプレー冷却)を開発	◎	○
	熱・積層接合 評価技術	・20W以上の発熱に対応する放熱構造の評価解析技術を開発する。 ・車載環境下での放熱冷却構造の最適化設計と、評価解析技術の開発 ・放熱設計技術仕様書を策定する	・TSVをもつTEG三積層構造で熱伝導パラメータ抽出手法を開発。シミュレーションとコリレーションから熱特性評価技術を確立。 ・20W/cm2に対応する放熱構造は、ヒートパイプを介してシステム筐体に放熱する構造とすべきことを確認。	○	
	薄ウェハ 評価解析	高精度ウェハ加工技術及び極薄チップ加工技術を確立	・ガラスマウントのウェハ支持体(WSS)を活用し、表面の bumps 有無にかかわらずウェハ厚10μm±1μmを達成。 ・ICF(Inter Chip Fill)付のダイシングテープを採用して、10μm厚のチップのダイシング・ピックアップ・積層工程の効率化を確認	○	

2.1 多機能高密度三次元集積化技術

(3) 次世代三次元集積化の共通要素技術と設計基準策定

(3)-B 3D-インテグレーション技術の研究開発

(3)-B-1 目標の達成度

1) 基本計画の目標

(概要): 背景の概要を含む

次世代三次元積層 SiP (System-in-Package)では、 bumps、TSV (Through Silicon Via: シリコン貫通電極) からなる三次元配線によって積層 LSI 間を接続し、この三次元配線を用いて、積層 LSI 間の通信や三次元 SiP 全体への電源供給等を行うことが考えられている。今後、次世代三次

元積層 SiP の高性能化を目指し、積層 LSI 間通信の広帯域化、三次元 SiP の低消費電力化、電源安定化を行うためには、三次元配線の高性能化が必要となる。しかしながら、TSV は、導体の周囲に絶縁膜を介して半導体である Si（シリコン）が存在する構造を有しており、従来の LSI 配線とは全く異なった構造を持つ。このため、三次元配線の高性能化のためには、TSV の電気特性モデル化とそのモデルに基づく通信回路の最適化が必要となる。さらに、TSV に隣接してトランジスタが存在するため、TSV の影響を考慮した回路レイアウトも必要となる。一方、このような基本的な回路特性は、 bumps、TSV の材料、構造及び形成プロセスと密接に関連しているため、次世代三次元積層 SiP の集積化（インテグレーション）技術は、これら基本回路特性を考慮した開発が必要となる。

現状、この集積化技術としては、材料、構造、プロセスの面で様々な選択肢が存在し、用途に加えこれら基本的な回路特性も考慮した技術開発が必要となる。インテグレーション技術におけるもっとも重要な要素技術が、三次元積層技術と TSV 形成技術である。積層技術としては、大量生産に適したウェハ積層技術（ウェハ同士を積層する技術）を開発対象とする。ウェハ状態で積層していくためには、ウェハレベルの微細 bumps 形成、高精度位置あわせ後のウェハ貼り合わせ・ bumps 接合、接合した bumps の保護、等の要素技術開発が必要となる。TSV 形成技術としては、LSI プロセスの変更が不要で、配線資源が最大限利用可能な、裏面 Via-Last 技術を開発対象とする。基本的な回路特性を考慮した裏面 Via-Last 型 TSV のプロセス設計を行うとともに、形成された TSV の電気特性に基づく回路設計が必要となる。

#### （基本計画）

- ・実用的なアプリケーションを想定した三次元集積化 SiP の実現に必要な三次元積層の要素技術を開発する。具体的には、200mm 径以上のウェハサイズに適用可能なウェハ薄層化技術・高精度位置合わせ技術およびウェハ貼り合わせ技術等を開発する。また、三次元集積化デバイスの構成単位の構造の相異や、電氣的に大きく異なる信号を扱うことによって生じる課題、また三次元集積化素子特有の効果を実現するために解決が必要となる課題を明確化し、解決するための要素技術を開発する。
- ・出口戦略に基づいて三次元化応用製品を想定した場合に必須となる、三次元化集積化回路部分における信号授受・電源供給・制御手法等の検討と試作評価を行う。
- ・次世代三次元集積化のための共通要素技術設計基準をプロジェクト標準ライブラリとして策定し、国際標準化提案を行う。

#### H23 年度目標

- ・次世代三次元積層 SiP の試作に必要な基盤回路を設計する。
- ・200 mm 以上径ウェハを用い次世代三次元積層 SiP の試作に必要な W2W 積層技術を開発する。

#### H24 年度目標

- ・TSV をはじめとする共通要素に関わる設計基準・レイアウト基準・プロセス工程基準を、プロジェクトの標準的仕様として策定しライブラリ化する。

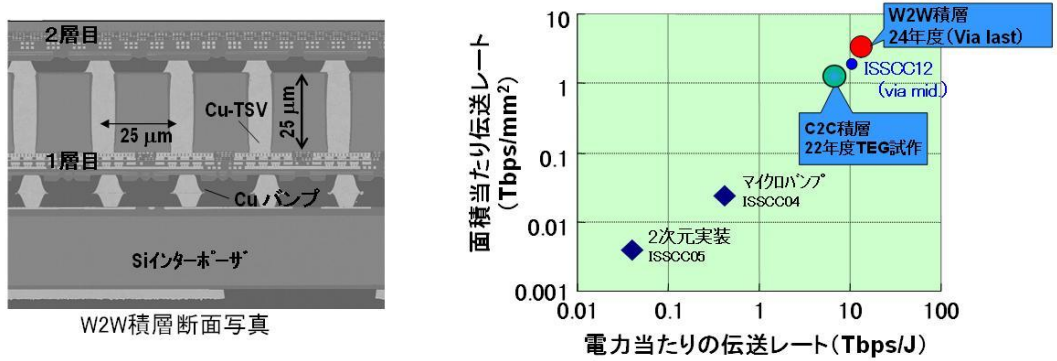
#### （最終目標）

- ・TSV をはじめとする共通要素に関わる設計基準・レイアウト基準・プロセス工程基準を、プロジェクトの標準的仕様として策定しライブラリ化する。

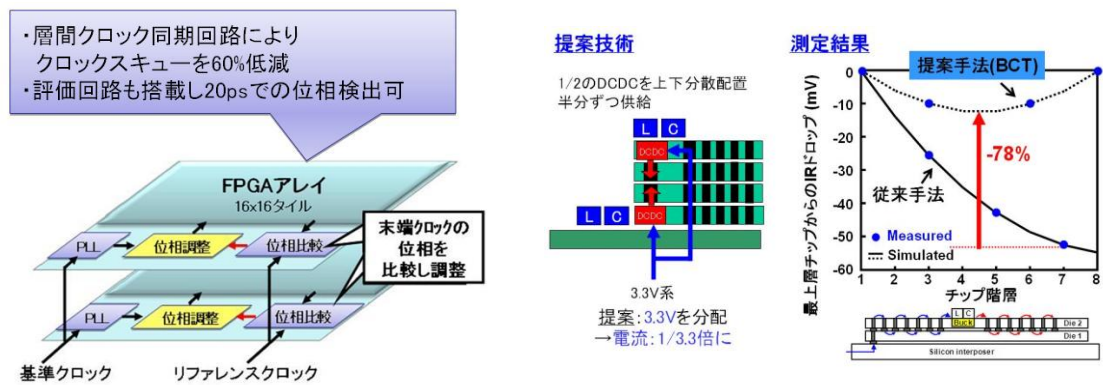
## 2) 開発成果の要約

### 2)-1 三次元集積化要素回路技術の開発

TSV セルライブラリを開発し、要素回路の設計、試作、実装、評価により TSV 電気特性モデルの取得や信頼性の評価を行った。また、提案した各技術により W2W 積層で世界最高水準の電力あたりのチップ間伝送レートの達成(図(3)-B-1)、更にチップ間クロックスキューの 60%削減、電源 IR ノイズ四分の一に低減をそれぞれ実現した(図(3)-B-2)。



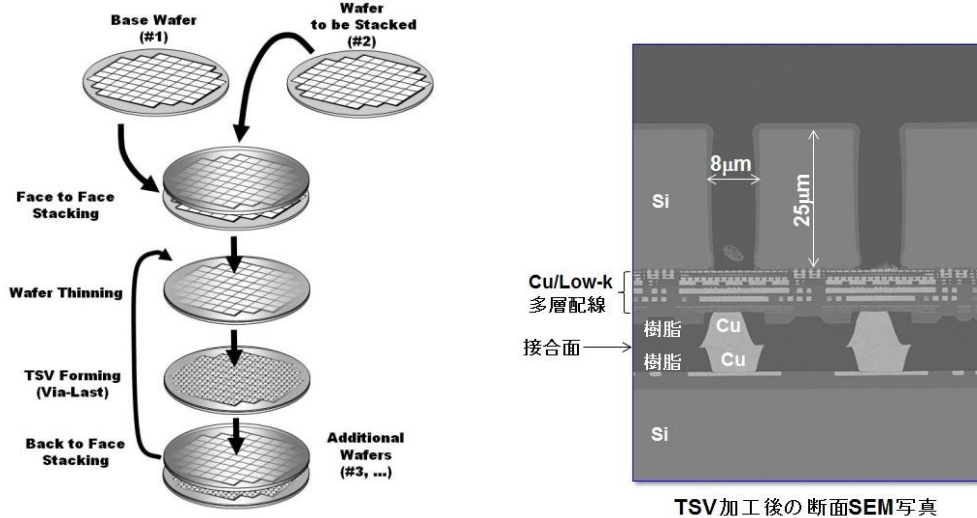
図(3)-B-1 25 μm ピッチ TSV 三積層構造と、それを用いた伝送特性(W2W 積層)



図(3)-B-2 チップ間クロックスキュー低減策と電源 IR ノイズ低減策

2)-2 三次元集積化要素プロセス技術の開発

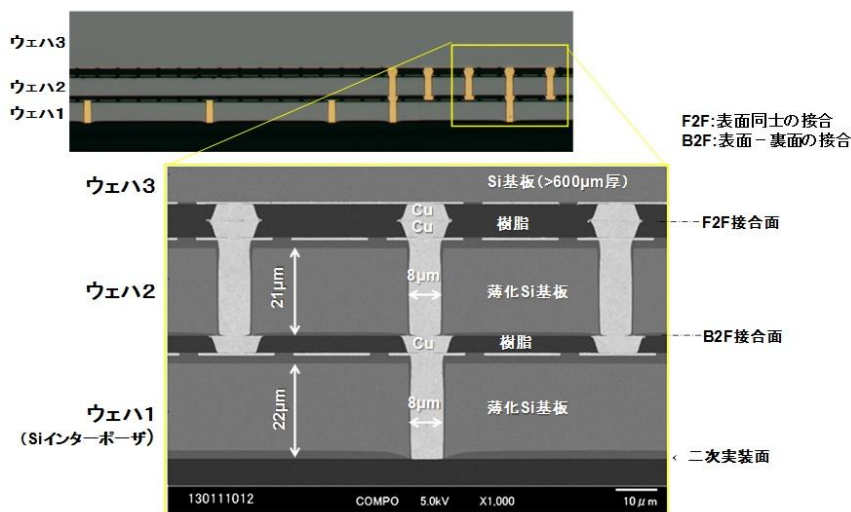
ウェハ貼り合わせ技術の高信頼度化、Cu/Low-k配線に対応した高精度TSV加工技術を開発し、ウェハ3層積層技術を開発した。これら技術をデバイスウェハに適用し、デバイス動作を通じて、プロセス基準、レイアウト基準等の有用性を確認した。



図(3)-B-3 W2W 積層と Via-Last の組み合わせプロセス



-300mmウェハを用いた3層積層により、プロセス基準、レイアウト基準の有効性を確認。



図(3)-B-4 W2W+Via-Last 処理を行った三積層構造断面

3) 最終目標の達成度

以上の内容を表(3)-B-1 にまとめる。基本計画に定義された最終目標は達成した。

表(3)-B-1 「3D インテグレーション技術の研究開発」の成果と達成度

◎目標を大幅に上回り達成、○:目標を達成、△:目標をほぼ達成、×:目標未達成

テーマ	目標	成果	達成度
3Dインテグレーション技術 (3)-B	TSVをはじめとする共通要素に関わる設計基準・レイアウト基準・プロセス工程基準を、プロジェクトの標準的仕様として策定しライブラリ化する。更に超ワイドバスによる信号授受の開発の成果を活用して、更なる制御手法の改善検討と試作評価を行い、標準化を含めた展開の見通しを得る。	<ul style="list-style-type: none"> <li>標準TSVセル(25um/50umピッチ)を開発、ライブラリ化</li> <li>積層LSIを作成し、各種レイアウト基準、プロセス基準を策定し、試作積層LSIの特性評価からバンパ・TSVの基本的電気特性を取得</li> <li>TSV電気特性モデルを提案し、設計評価でモデル化</li> <li>積層チップ間同期回路方式を開発し、W2W積層チップの実測でクロックスキュー60%削減を確認</li> <li>加工対象を柔軟に選択できるVia-LastプロセスによるTSV加工技術を構築し、TSV周辺に発生する機械的ストレスが小さく、KOZ&lt;2umと出来ることを確認</li> <li>DC-DCコンバータの最上チップ配置方式を提案・設計・試作し、IRノイズの約1/4化を確認</li> <li>W2W積層で3層積層を行い次世代三次元積層SiP向け集積化技術を開発</li> <li>ハイブリッドW2W積層に必要な表面の前処理法を開発(水素ラジカル)</li> </ul>	◎

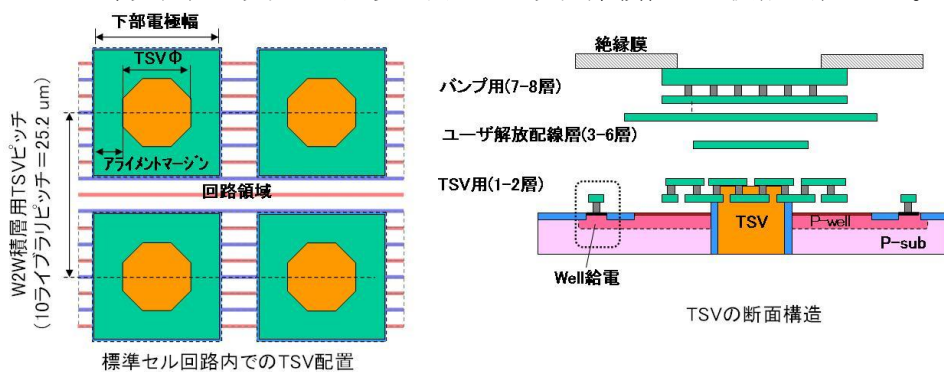
### (3)-B-2 成果の意義

三次元集積化要素回路技術の開発では、標準セル回路内への配置が可能なTSVセルをC2CおよびW2Wプロセス向けにそれぞれ開発し、ライブラリ化した。またTSV電気特性モデルについては周波数や電圧依存性を考慮したモデルを提案し、回路の設計評価によりそのモデルを取得した。さらに、TSV周辺に発生する機械的ストレスの影響を評価し、現状の設計ルール(5 $\mu$ mマージン)で、トランジスタ性能に影響が無いことを明らかにした。以上により標準設計基盤を確立し、モデルについては標準化提案を行い実用化に向け大きく前進をした。

要素回路の設計、試作、実装、評価により優位化技術の構築を行った。積層チップに適した通信回路および貫通ビア構造の開発により、W2W積層で世界最高水準の電力あたりの伝送レートを実現した。プロセスバラツキや電圧変動によりチップ間で生じるクロックスキューに関しては、積層チップ間同期回路方式を開発し、W2W積層チップの実測によりクロックスキューを60%削減できることを確認した。三次元積層におけるクロックスキュー問題解決を志向した同期回路は世界初の成果である。電源ノイズを対策する電源回路方式としては、DC-DCコンバータの最上チップ配置方式を提案・設計し、IRノイズを約4分の1に低減できることを実測で確認した。三次元積層におけるIR-Drop問題解決を志向したDC-DCコンバータは世界初の成果である。

三次元集積化要素プロセス技術の開発では、プロジェクト標準プラットフォームとして、W2Wプロセス、C2Cプロセスの二種類の三次元集積化プロセスを構築し、関連するレイアウト基準、プロセス工程基準を策定し、デバイスウェハを用いて、各基準の有用性を確認した(図(3)-B-5)。

これにより、次世代三次元SiP実現に向けた三次元集積化基盤技術を確立した。



積層方式	TSV $\Phi$	下部電極幅	アライメントマージン	上部開口幅	上部電極幅	TSVピッチ
W2W	10	20	5	10	20	25.2
C2C	20	30	5	20	30	50.4

図(3)-B-5 TSV 関連のデザインルール策定

要素プロセス技術として、ウェハ接合の高信頼度化技術を開発した。ウェハ接合時にバンパ保護が行えるハイブリッド接合技術において、バンパ形成時に脱気用の溝を同時に作り込む新たなプロセスを開発し、ダイシング歩留100%を実現した。さらに、ウェハ接合時に、Cuバンパ接合面に硫黄起因の界面層が生じ、Cu接合性を低下させることを見だし、この対策として、水素ラジカルを用いた表面清浄化技術を開発した。また、貼り合わせウェハの薄化技術を検討し、非接触ゲージを用いたウェハ薄化により、平均:25.2 $\mu$ m(TTV 1.4 $\mu$ m)の高精度薄化を実現した。さらに、TSV加工プロセスとして、non-Bosh型のドライエッチングを採用し、ドライエッチング中の入射エネルギーを変化させることでTSV底部のノッチングを大幅に抑制する手法を開発し、Cu/Low-k配線構造に適用した結果、Via-LastプロセスによるTSV接続のためには、二層分の配線層があれば十分であることを確認した。上記プロセスを用いて、デバイスウェハの三層ウェハ積層を実施し、デバイス動作、回路動作を確認した。大量生産向きで高信頼化が期待できる接合方式(Cuバンパを用いたハイブリッド接合方式)とデバイス工程への依存性が少ないTSV形成方式(裏面Via-Last方式)をデバイスウェハに適用し、三層積層構造で回路動作を検証したのは世界初の成果である。

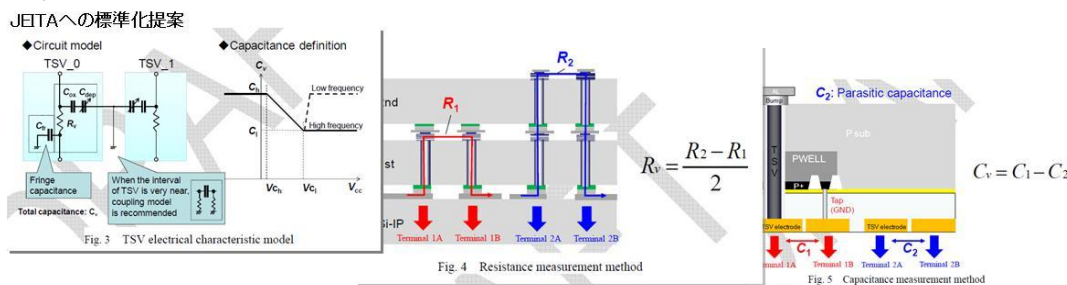
(3)-B-3 知的財産権の取得及び標準化への取組

1)知的財産権の取得

コア回路内で面積効率を向上させる TSV セル構造、TSV の寄生容量を低減する TSV セル構造、DC-DC コンバータ最上チップ 配置方式、ビアラスト型 TSV 形成方式、ハイブリッドウェハ接続方法、Cu バンプ配置法など合計 24 件の特許出願を行った。

2)標準化の取り組み

三次元積層チップ設計のための TSV の電気的特性を表現するためのモデルおよびその評価手法を JEITA (一般社団法人 電子情報産業協会) へ提案した。



図(3)-B-6 TSV 電気特性モデルと評価手法 標準化提案

(3)-B-4 成果の普及

以上に述べた特許、論文、外部発表等の件数を表(3)-B-2 にまとめて示す。

表(3)-B-2 「3D インテグレーション技術の研究開発」の特許、外部発表等

区分 年度	特許出願			論文	学会発表等	その他外部発表 (書籍・プレス等)
	国内	外国	PCT			
H23FY	5	5	0	0	12	0
H24FY	5	8	1	1	10	0

(3)-C 超ワイドバスSiP三次元集積化技術の研究開発

(3)-C-1 目標の達成度

1) 基本計画の目標

(概要): 背景の概要を含む(平成 24 年度実施計画書 10 頁 から引用)

Si 貫通ビアの特長を最大限に生かせる、超ワイドバスメモリ三次元積層 SiP の研究開発を行い、プロジェクト標準仕様とする。具体的には、ロジックと超ワイドバスメモリ(ビット幅 2k 本以上、伝送能力 100GB/sec 以上)をインターポーザで相互接続した次世代三次元積層 SiP の設計・試作・評価を行い、伝送能力や消費電力などの特性面における三次元積層の優位性を検証する。

特に設計面では超多ピンの同期動作(SSO)に於けるノイズの影響評価を可能とするノイズ発生回路・ノイズモニタ端子、ノイズ低減用の位相調整回路の搭載、超多ピンの接合確認のためのテスト回路の組み込み、超多ピンレイアウト及び関連する電源系のレイアウトノウハウの蓄積を主眼として設計委を行い、超ワイドバスによる素子間インターフェース技術(プロトコル・電気的仕様・物理的的配置仕様)の構築をはかる。

さらに上記開発で採用した TSV に関わる設計基準・レイアウト基準と TSV 形成工程を、プロジェクトの標準的仕様として他の研究開発テーマの設計・試作・評価の活動に展開し、ノウハウの蓄積と開発の効率化を図る。更に超ワイドバスによる信号授受の開発の成果を活用して、ロジックとメモリ間に挿入するシリコンインターポーザの機能を端子位置の整合という受動的な機能からノイズモ

ニタ回路を含む能動素子を搭載した調整素子化することで、データ転送仕様をシステム要求に応じて最適化できるアーキテクチャを策定し、その可能性を検証できる超ワイドバスメモリ三次元積層 SiP の設計・試作・評価をおこなう。

即ち、超ワイドバス SiP の可能性をノイズ制御という面で改善し、高性能・低消費電力化を更にすすめるという観点から、更なる制御手法の改善検討と試作評価を行い、超ワイドバス制御手法の標準化やヘテロジーニアスな積層構造への応用まで見据えた展開の可能性の探査を行う。また、上記次世代三次元集積化のための共通要素技術設計基準をプロジェクト標準ライブラリとして策定する。

また、高性能三次元積層 SiP おいて、益々重要性が高まりつつある SI/PI 特性を実現する、TSV 付シリコンインターポーザ等の超低容量 TSV を低コストで実現する微粉体シリカ焼結絶縁層形成技術の要素技術開発にめどをつけ、実用化に向けた TEG 実装評価を行う。

(基本計画)

H23 年度目標(平成 24 年度実施計画書 8 頁 から引用)

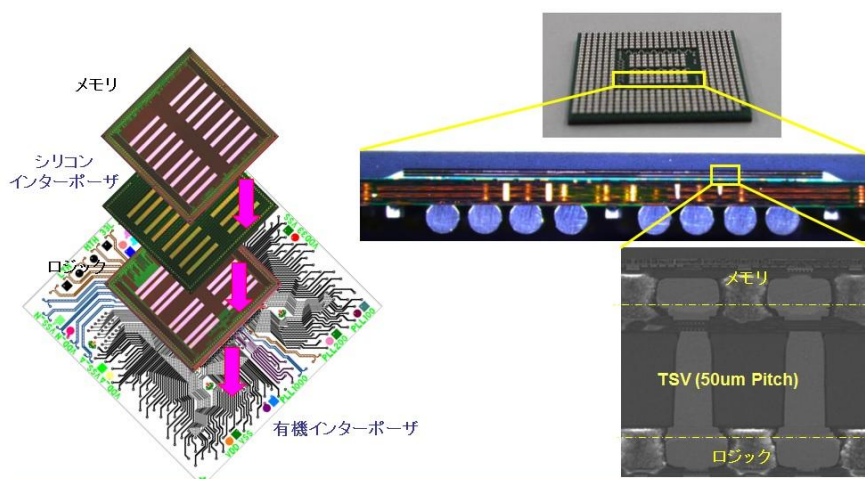
- ・超ワイドバスメモリ構成ロジック SiP の評価結果に基づく耐ノイズ性と高速化の改良設計及びウェアを試作する。
- ・TSV 付シリコンインターポーザ等の超低容量 TSV を低コストで実現する微粉体シリカ焼結絶縁層形成技術の要素技術開発にめどをつけ、実用化に向けた TEG 実装評価に着手する。

最終目標(平成 24 年度実施計画書 8 頁 から引用)

- ・ロジックと超ワイドバスメモリ(ビット幅 2k 本以上、伝送能力 100GB/sec 以上)をインターポーザで相互接続した三次元積層 SiP の試作・評価を行い、伝送能力や消費電力などの特性面における三次元積層の優位性を検証する。
- ・超ワイドバスによる信号授受の開発の成果を活用して、更なる制御手法の改善検討と試作評価を行い、標準化を含めた展開の見通しを得る。
- ・微粉体シリカ焼結絶縁層形成技術の TEG 実装評価を行い、実用化の見通しを得る。

## 2) 開発成果の要約

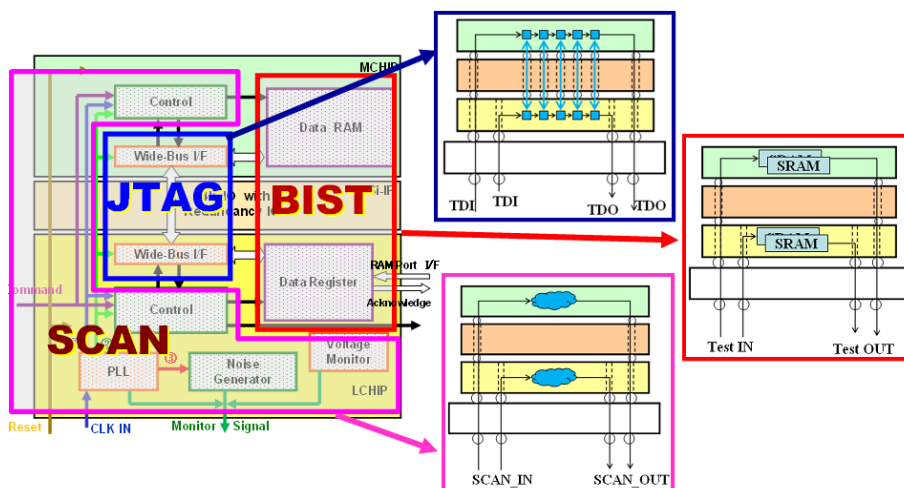
メモリとロジックを2k-I/O 以上の超ワイドバスで接続する三次元積層構造を実現し、この構造化に必要な設計手法(DFT を含む)を構築した。また伝送エネルギーの低減、及び超ワイドバスのノイズを評価した。



図(3)-C-1 超ワイドバス SiP コンセプトと試作品断面図



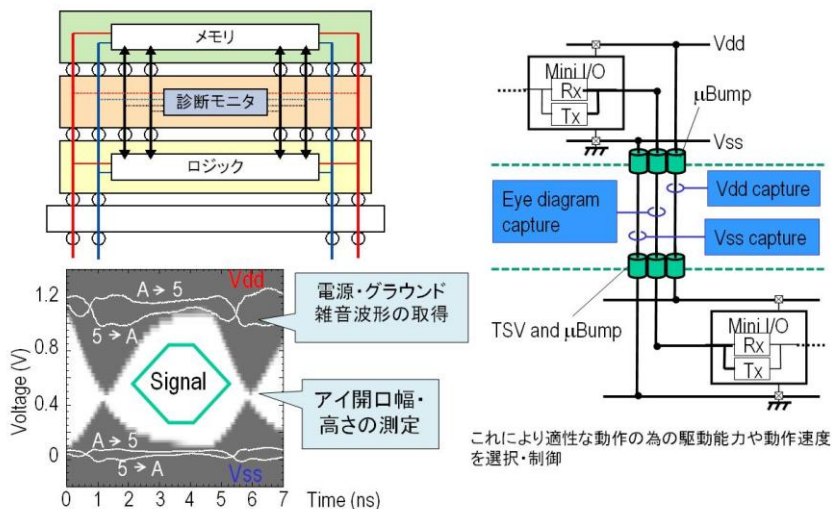
仕様の第一の特徴として、超ワイドメモリバスのビット幅を4k (4,096)本とし、動作周波数200MHz (200Mb/s)とすることで102GB/s の転送性能を有する点が挙げられる。これは現在一般的に用いられているメモリの転送性能 (64bit 幅×1.6Gb/sec=12.8GB/sec)の8倍の性能に相当する。又、信号伝送に要する電力も三次元構造化によって著しく改善される、従来の並置型構成に比して伝送路の負荷容量が1/10以下に低減される見通しであり、その結果、1ビットのデータの転送に必要なエネルギーも1/10以下となる。これは伝送経路のエネルギー効率が10倍以上となることを示す。仕様の第二の特徴としてDFT (Design For Test)の観点からロジックとメモリ双方にバウンダリスキャンを搭載し(図(3)-C-2)、ロジック部には電源ノイズ評価回路を搭載した。



図(3)-C-2 超ワイドバスSiPのDFT対応

これらの仕様に基づいた機能の搭載により超ワイドバスを活用するための基礎評価が可能となる。主なものとして

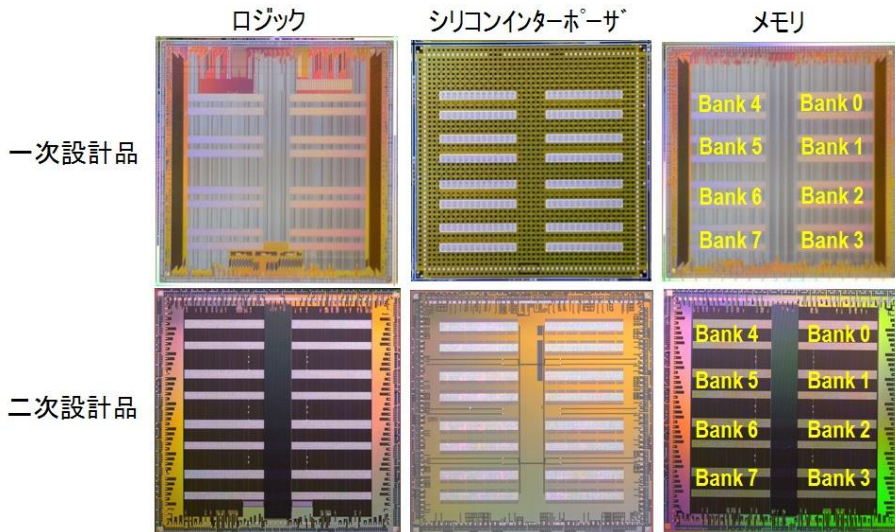
- ・伝送特性と対応する消費電力の評価;  
非常に高い伝送能力が低消費電力によって実現される事の確認
- ・超ワイドバス構造に付随するノイズの評価;  
同時スイッチング出力動作(Simultaneous Switching Output; SSO)ノイズ低減手法の調査、及びその効果のモニタリング(図(3)-C-3)



図(3)-C-3 TSV 通過信号波形及び電源波形のモニタ機能

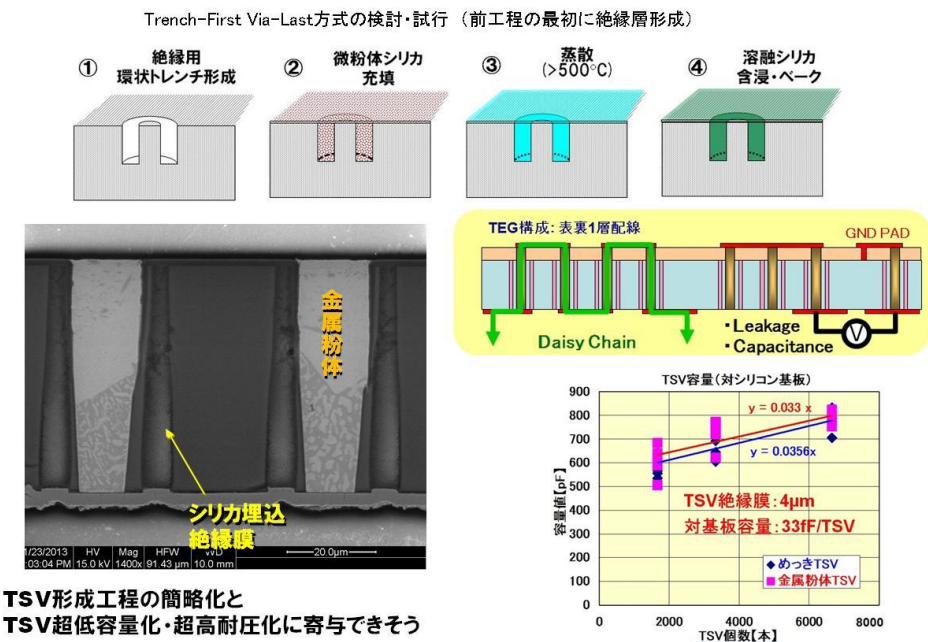
・三次元構造の試験手法に関する調査(バウンダリスキャンを用いた接続性試験など)といった三次元積層構造が持つ特徴と課題を確認できる設計仕様となっている。

又、メモリとロジック間にシリコンインターポーザを採用し、この構造に対応する設計作業により、メモリ・ロジック双方の素子の端子位置自由度がどの程度確保されるか(シリコンインターポーザの配線層数・設計基準と端子位置変更範囲との相関の評価)という、新たな知見も蓄積されつつある。



図(3)-C-4 超ワイドバス SiP 各層の設計(チップサイズは何れも 10mm 角)

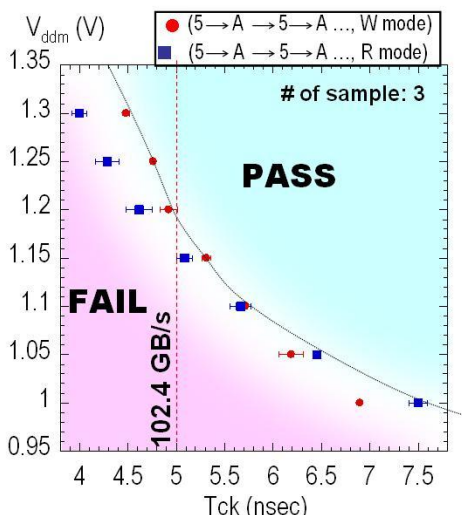
更に、新たな要素技術開発として微粉体シリカ焼結絶縁層形成技術のTEG実装評価を行い、実用化の見通しを得た。



図(3)-C-5 粉体充填による工程削減・効率化実験(絶縁層・導電体共に)

3) 最終目標の達成度

4,096ビットのワイドバスI/Oにてロジックとメモリを接続した三次元積層SiPの設計・試作を行い、良品確認のために組み込んだテスト回路により良否判定を実施、三次元積層SiPとして良品を確認できた。またワイドバスI/Oインターフェースは200Mb/sの比較的低速な動作においても、102GB/sのバス伝送能力を実現できることを確認し、その際の伝送エネルギーは0.56pJ/bitであり、従来の並置型構成に比して伝送路の負荷容量が1/30以下に低減できることを確認した(図(3)-C-6)。成果と達成度のまとめを表(3)-C-1に示す。



図(3)-C-6 4,096 ビットの超ワイドバスを用いて 102GB/s のバンド幅実現

表(3)-C-1 「超ワイドバス SiP 三次元集積化技術」の成果と達成度

◎目標を大幅に上回り達成、○：目標を達成、△：目標をほぼ達成、×：目標未達成

テーマ	目標	成果	達成度
超ワイドバスSiP 三次元集積化技術 (3)-C	ロジックと超ワイドバスメモリ(ビット幅2k本以上、伝送能力100GB/sec以上)をインターポーザで相互接続した三次元積層SiPの試作・評価を行い、伝送能力や消費電力などの特性面における三次元積層の優位性を実証する。	<ul style="list-style-type: none"> <li>・三次元積層構造を最大限生かすI/Oの構成により、バス速度が200Mbit/sの低速動作でも102GByte/sという従来比8倍以上のバス伝送能力を実現。</li> <li>・このときのビットあたりの伝送エネルギーが0.56pJであることを確認し、三次元積層の優位性を実証。(3D実装:2D実装=1:30)</li> <li>・TSV部のI/O信号・電源をモニタする評価技術開発により、実際のI/O駆動能力と信号振幅や電源供給の実動作評価を行い、適切な設計指針を得た。</li> <li>・微粉体シリカをTSV絶縁膜として使用するインターポーザを形成し、従来の絶縁膜では形成不可能な超低容量TSV(35fF以下)を実現した。</li> <li>・これに粉体金属を熔融充填したTSV導体と組み合わせることにより、より簡便な工程(従来比1/3が可能)を立案・策定した。</li> </ul>	◎

### (3)-C-2 成果の意義

- ・超多ピンによる三次元積層素子間のデータ授受技術は、その優れた低消費電力化によって、IT機器の性能向上を図りながら省エネルギー・CO<sub>2</sub> 削減効果に大きく貢献できる。
- ・本技術は、今後、世界的に展開される三次元集積化技術の基盤技術であり、加速開発を実施し早期に実用に展開することで我が国半導体産業及びIT 機器メーカーの発展に寄与できる。
- ・設計技術・評価技術の開発は関連知財構築・仕様のデファクト化と共に、設計・開発インフラの整備を含めた多様な応用展開を加速する基盤技術開発となる。
- ・米国(Sematech/DARPA)、欧州(Imec, Leti)、韓国(KAIST)などが繰り返し広げている三次元集積化技術開発の激しい国際競争の中で、日本の地位向上に資する。

### (3)-C-3 知的財産権の取得及び標準化への取組

超ワイドバス伝送に関する制御、モニタ回路、インターポーザに関して、合計3件の特許出願を行った。

### (3)-C-4 成果の普及

超多ピンによるロジック・シリコンインターポーザ・メモリ間の相互接続は、高性能情報処理装置、特にグラフィックス用としてメニーコアを用いるハイエンドの画像処理装置(PC用グラフィックス、ゲーム機器)が最初のキラーアプリと成る可能性が高い。これに続いて、グラフィックス用エンジンを汎用化したGPGPU(General Purpose Graphics Processing Unit)を用いたスーパーコンピュータやサーバなどに市場が拡大するものと想定している。

## (3)-D デジアナ混載三次元集積化技術の研究開発

### (3)-D-1 目標の達成度

#### 1) 基本計画の目標

(概要): 背景の概要を含む H23年度ドリームチップ実施計画書より引用

本研究では、自動車用運転支援画像処理システムの要素技術開発を行う。画像処理システムは、測距が可能な2眼センサモジュールとし、センサモジュール間の距離を小型化が可能な20mmとする。遠方の測距は、10,000fps(Fame Per Second)の時間解像度を活用し、時間解像度を高めて時間軸測距技術を開発する。

画像処理を行う画像センサモジュールとして、リアルタイムで高解像画像を取り込み、夜間感度を含め高画質で測距が可能な画像センサCIS(CMOS Image Sensor:CMOS画像センサ)/CDS(Correlated Double Sampling:相関二重サンプリング)/ADC(Analog to Digital Converter:アナログ-デジタル変換回路)/IF(Interface)チップ構成の三次元積層SiP(System in Package)を開発する。画像センサは夜間感度の高解像度が必要であり、ピクセルサイズ10×10 $\mu$ mとし、VGA(Video Graphics Array: 640x480ピクセルの画面解像度)レベルが確認可能な高感度回路構成QVGA(Quarter Video Graphics Array: 320x240ピクセルの画面解像度)仕様とする。夜間感度は、10,000fps仕様で増感回路技術を検討する。三次元積層SiP構造は、画像データをブロック並列での取り込みが必要であり、デジアナ混載(画像センサ/CDS/ADC/IF)構造を実現するため、TSV(Through Silicon Via:シリコン貫通電極)接続による積層構造を開発する。

Si(Silicon)インターポーザは、デジアナ混載三次元画像センサモジュールに相互干渉の無い安定した多電源の供給が必要であるため、TSV型デカップリング・キャパシタを配したSiインターポーザをプロセスと整合した構造で開発する。

低消費電力化は、平成22年度まで開発してきた要素回路を活用し、自動車用運転支援画像処理システムに最適な低消費電力回路構成を開発する。



## 基本計画（基本計画書より引用）

実用的なアプリケーションを想定した三次元集積化SiPの実現に必要な三次元積層の要素技術を開発する。具体的には、三次元集積化デバイスの構成単位の構造の相異や、電氣的に大きく異なる信号を扱うことによって生じる課題、また三次元集積化素子特有の効果を実現するために解決が必要となる課題を明確化し、解決するための要素技術を開発する。

前記の要素技術を適用して、実用的かつこれまででない機能または特性を有する三次元集積化SiPデバイス、具体的には画像処理システム・ロジックとメモリを積層したデバイス等を試作し、三次元集積化の効果を検証するとともに、有効性が検証されたTSVに関わる設計基準・レイアウト基準とTSV形成工程のプロジェクト仕様標準を策定する。

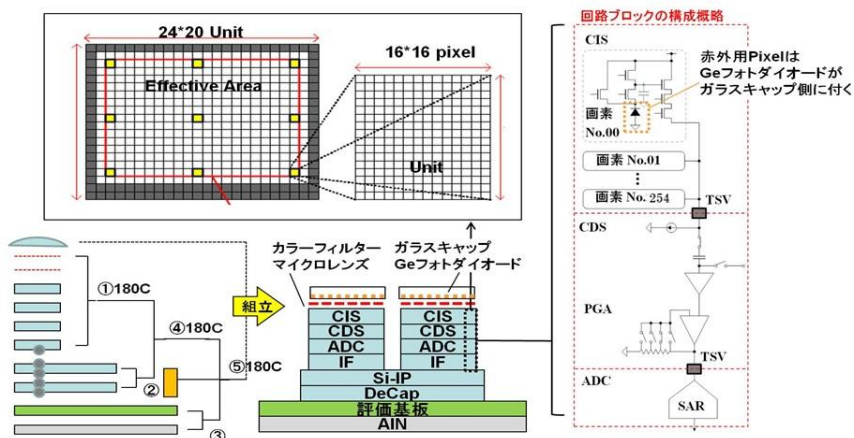
出口戦略に基づいて三次元化応用製品を想定した場合に必須となる、三次元集積化回路部分における信号授受・電源供給・制御手法等の検討と試作評価を行う。

## 最終目標（基本計画書より引用）

画像処理システム(視覚支援システム等)に必要なアナログ混載回路の三次元積層SiPを試作・評価を行い、電源供給技術、高速信号伝送技術等の要素技術を開発し技術仕様書を策定する。

## 2) 開発成果の要約

自動車用運転支援画像処理システムの要素技術として、CIS、CDS、ADC、IFの各チップを設計目標のスペック(動作速度1,200fps以上・消費電力2W以下)で完成させた。

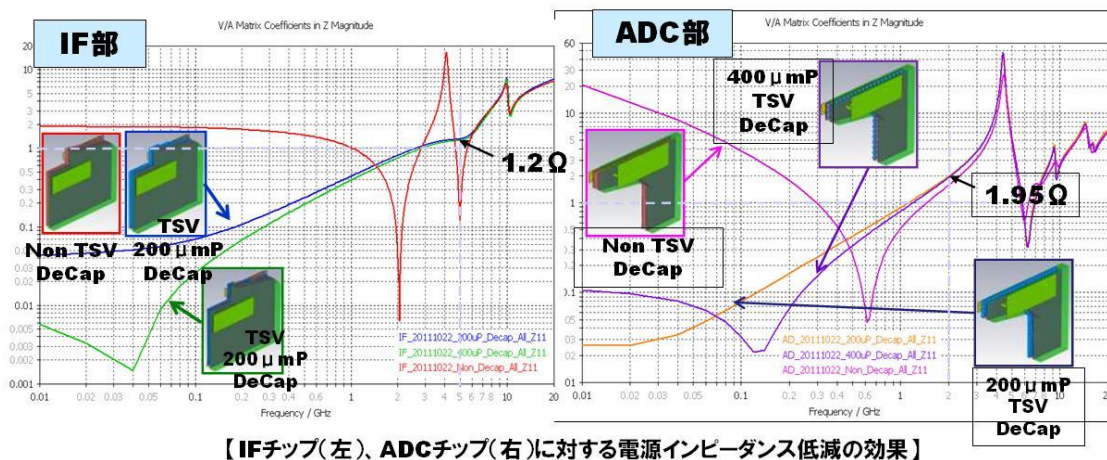


三次元構造を活用し480並列の回路構成を取るため、10,000fpsで動作が可能な構成を開発

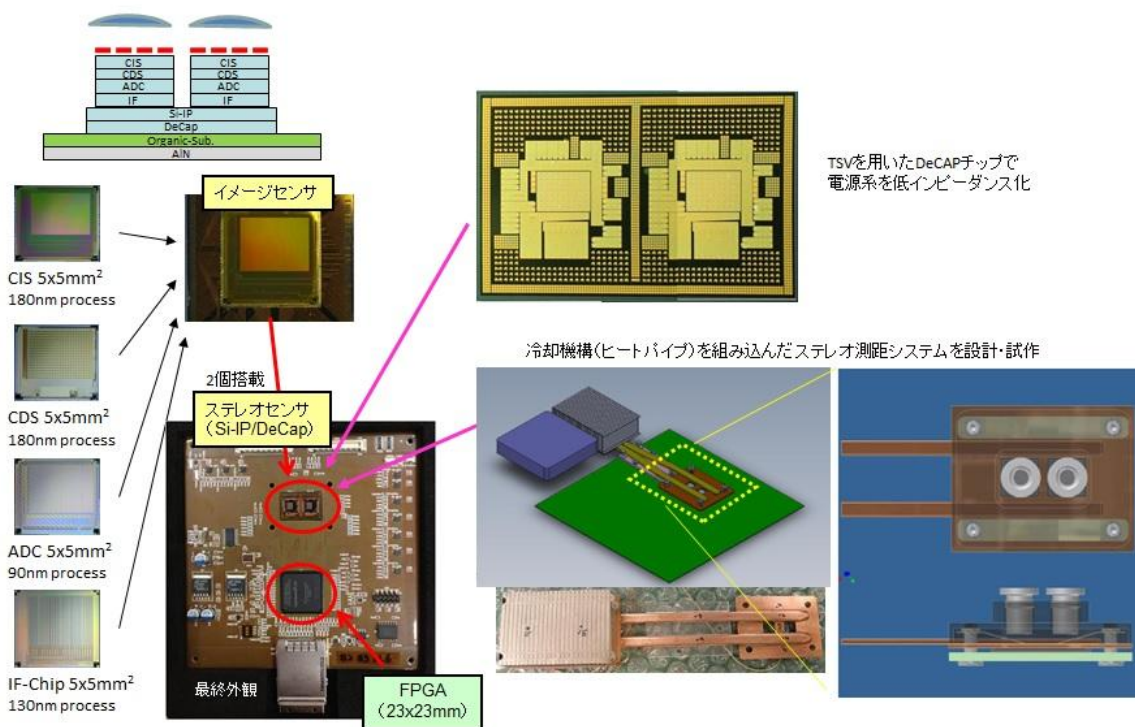
図(3)-D-1 開発した自動車用運転支援画像処理モジュール構成

今回新たに開発したC2C(Chip To Chip) 積層プロセスで、これらをTSV接続により三次元積層したセンサモジュールを完成させ、合わせて自動車環境での動作安定性のため、TSV型デカップリング・キャパシタを配したSiインターポーザを開発し(図(3)-D-2)、それを用いて測距が可能な超小型(約350mm<sup>2</sup>)の2眼画像センサモジュールを完成させた。(図(3)-D-3)

TSVをデカップリング容量(DeCap)として使い、その配置ピッチによるPDNのインピーダンス改善(5GHzで1.2Ω以下・共振無)を、Simulationで確認



図(3)-D-2 TSVをデカップリング容量として用いたインターポザの電源特性



図(3)-D-3 開発した自動車用運転支援画像処理モジュール 各要素と全体

さらにこのモジュールを用いて自動車用運転支援画像処理システムとしての評価基板を作成し、実用を想定した評価用アプリケーションソフトを用いて評価した。

本試作品は高速動作・ヘテロ積層などの特徴により、他に例のない暗視性能と測距性能を達成可能であることを示し、信頼性とコストの課題解決が残されてはいるが、実用に向けて三次元積層の有用性が証明されたと考える。

### 3) 最終目標の達成度

上記開発成果を元に、電源供給技術、高速信号伝送技術等の要素技術の技術仕様書を策定し、最終目標を達成した(表(3)-D-1)。

表(3)-D-1 「デジアナ混載三次元集積化技術」の成果と達成度

◎目標を大幅に上回り達成、○:目標を達成、△:目標をほぼ達成、×:目標未達成

テーマ	目標	成果	達成度
デジアナ混載 三次元集積化技術 (3)-D	・画像処理システム(視覚支援システム等)に必要なデジアナ混載回路の三次元積層SiPを試作・評価を行い、電源供給技術、高速信号伝送技術等の要素技術を開発し技術仕様書を策定する。	<ul style="list-style-type: none"> <li>・ヘテロ積層C2Cプロセスを開発した。</li> <li>・自動車環境での動作安定性のため、トータル70nFのTSV型デカップリングキャパシタを配したSiインターポーザを開発し、GHz帯までの効果を確認した。</li> <li>・CIS/CDS/ADC/IFチップとSiインターポーザ/DeCAPチップの6種10チップを積層したTSV接続積層SiP構造により、測距が可能な超小型(基線長10mm・体積約350mm<sup>2</sup>)の2眼画像センサモジュールを完成させた。</li> <li>・自動車用運転支援画像処理システムとして上記センサモジュールを2次実装し、さらに電源・高速インターフェース・放熱を備えた評価基板を作成・評価した。</li> <li>・センサの高速性を利用した可視光の車車間通信を応用した遠方測距など、実用を想定した評価用アプリケーションソフトを作成・評価した。</li> <li>・試作したセンサモジュールの諸元を技術仕様書にまとめた。</li> </ul>	○

### (3)-D-2 成果の意義

本研究により以下の点で車載電子機器等における三次元集積化の適用指針が明確化出来た。

- (i) LSIの耐環境を高めるSiインターポーザの構造・設計指針・効果
- (ii) 機能実現に最適な半導体プロセスを使用しSiPを開発する際の設計課題
- (iii) 三次元LSIの二次実装方法(有機基板、レンズ等)の構造・設計指針・効果

さらに、C2C積層を利用した自動車向け視覚支援システムのプロトタイプが得られたことは、大きく実用化に向けて前進したと言える。これらの効果は車載電子機器に限られた効果ではなく広く応用可能である。

ただし共通の課題として、信頼性とコストの問題は今後解決しなければならない課題として残っている。コストの問題は量産効果が大きく関わるため高付加価値製品から適用するとしても、設計検証から製造検査までを含めた統合的な設計フローの確立なくしては製品適用可能な設計信頼性が得られないと思われ、この点が次の緊急課題である。

### (3)-D-3 知的財産権の取得及び標準化への取組

本研究の知的財産権として、三次元積層構造を持つ半導体装置の製造方法に関わるものを4件、同検査方法に関わるものを1件、三次元ヘテロ積層のとりわけイメージセンサに関するものを1件、2次実装に関連した工夫に関するものを1件、計7件を出願済もしくは出願中である。これらの特許



により、三次元積層の基盤技術を実用デバイスに適用した場合の重要な課題について、事前の権利化が出来るものと期待される。

(3)-D-4 成果の普及

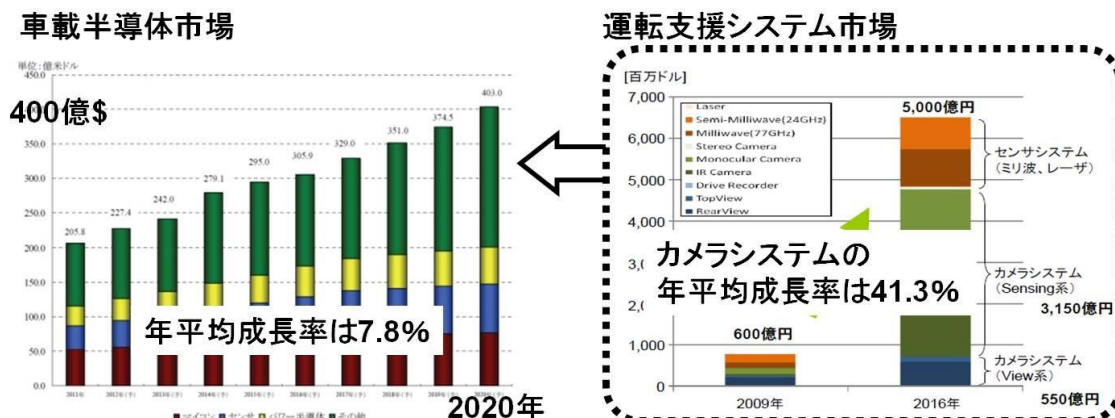
前述した様に、本研究の成果により車載電子機器等における三次元集積化の適用指針が明確化出来た。図(3)-D-4に本研究での開発品の特徴を記す。試作品レベルの規模であるため各種性能が製品使用で十分であるような設計になってはいないが、各種チップのヘテロ積層が可能な特徴から他方式が示す様な原理的な課題もなく、各性能パラメータもトレードオフの関係に無いため、製品化に向けた大規模・最適設計が期待される結果となった。

一方これらの製品適用先として期待される市場の一例として、車載の運転支援システムの特にカメラシステム市場の市場予測に関して図(3)-D-5に記した。この市場は現在黎明期にあるが、2016年に向けて年率41.3%成長し3,700億市場が見込まれている。2020年には自動/半自動運転の普及が期待されており、期待される通りであれば高成長率は維持され、1兆円を超える市場が形成されると思われる。

今後の技術的な成熟度(信頼性・コスト)に依存する部分も大きいですが、前述の技術的特徴から、これらのデバイスの大多数が三次元積層技術を用いた撮像デバイスになると考える。

企業名	技術・製品の名称	測距長	測距精度	暗視性能	コスト
開発目標		○	○	○	○
既存技術	ミリ派レーダ	○	△	△アクティブ	×
既存技術	超音波ソナー	×	△	△アクティブ	○
A社他	3Dカメラ	×	×	×	○
B社他	ステレオカメラ	△	△	×	△
C社他	暗視カメラ	×機能無し	×機能無し	○	×
本研究での開発品	三次元積層カメラ	△	△	△	-試作のみ

図(3)-D-4 開発品の特徴



図(3)-D-5 車載カメラシステム市場の動向



### (3)-E ヘテロロジーニクス三次元集積化技術の研究開発

#### (3)-E-1 目標の達成度

##### 1)(基本計画の目標)

(概要):背景の概要を含む

三次元集積化技術の目的は、半導体デバイスの高性能化と、異種機能デバイスと半導体デバイスの集積化の実現による、新たな機能デバイスの創出にある。

たとえば、異種機能デバイスである MEMS デバイスは CMOS では実現できないアプリケーションで重要な役割を担うことを期待されている。具体的に期待されている領域は、センサー、RF デバイス、光デバイス、バイオ用デバイスと多岐にわたり、MEMS デバイスが処理する信号も微弱アナログ信号や通信用高周波信号、アクチュエータ駆動用高電圧信号等、多種多様である。これらの多種多様の信号を扱う MEMS チップと、信号処理やアクチュエータ駆動を担う CMOS IC を、三次元積層化する場合にはチップ間の信号干渉が発生し、チップ単独で実現できていた特性の劣化や、最悪の場合動作が不可能となることが予期される。

MEMS デバイスは微小な機械的可動部があり、三次元積層化するためのチップ積層化プロセスで可動部に悪影響を与えないよう保護構造の開発と CMOS 用積層化プロセスの適用時の課題抽出が必要である。また MEMS デバイスは期待される領域が多岐にわたることから、デバイス作成にはシリコンのみならず、ガラスやセラミックスのウェハを用いることもある。そのためシリコンウェハと MEMS デバイス用ウェハの熱膨張率や強度等材料特性の違いを考慮した三次元積層技術の開発が必須である。

##### (基本計画)

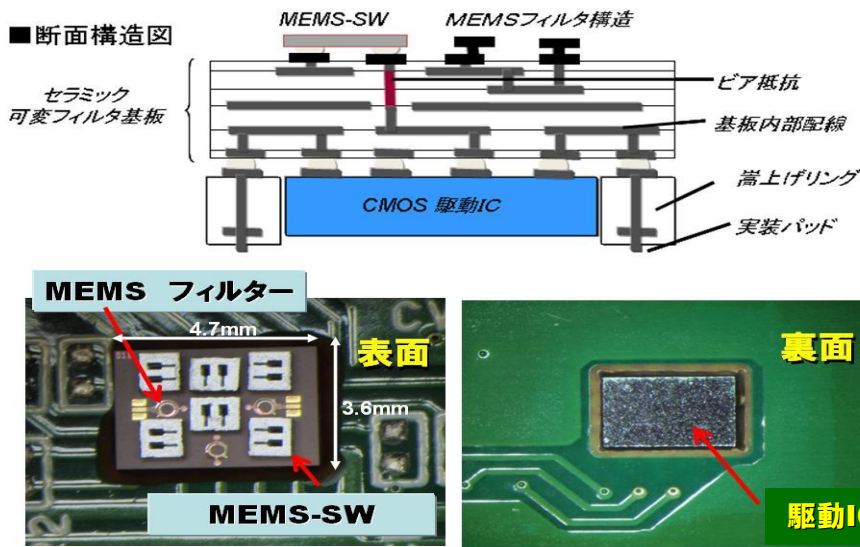
三次元集積化デバイスの構成単位の構造の相異や、電気的に大きく異なる信号を扱うことによって生じる課題、また三次元集積化素子特有の効果を実現するために解決が必要となる課題を明確化し、解決するための要素技術を開発する。

##### (最終目標)

ヘテロロジーニクス集積化を想定したインターポーザ、WLP(ウェハレベルパッケージ)技術の三次元集積化における有効性を示す。

##### 2)開発成果の要約

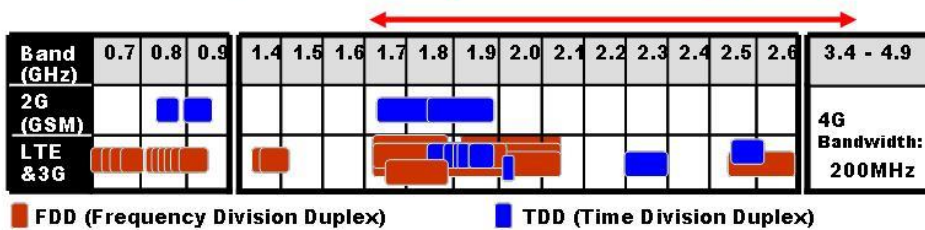
MEMS 可変フィルタ、WLP MEMS スイッチ、CMOS 制御 IC を集積した三次元集積化 RF モジュールを開発した。LTCC (Low Temperature Co-fired Ceramics) ウェハに直接形成した可変フィルタ上に WLP MEMS スイッチチップ、裏面に CMOS 制御 IC を三次元に積層する構造であり、3.6 mm×4.7 mm のモジュールサイズに小型化できた。MEMS 可変フィルタは LTCC ウェハ上に MEMS 技術を用いてコイル、キャパシタを形成した(図(3)-E-1)。



図(3)-E-1 試作した三次元集積化 RF モジュール

WLP MEMSスイッチでキャパシタバンクを切り替え、中心周波数は1.8~2.9GHzの47%の可変特性が得られ、通過帯域は280~580MHzの107%の可変特性を得た。これら試作評価により、世界で初めて8ビットデジタル可変のフィルタモジュールの三次元集積に成功し、優れた可変特性を確認した(図(3)-E-2)。

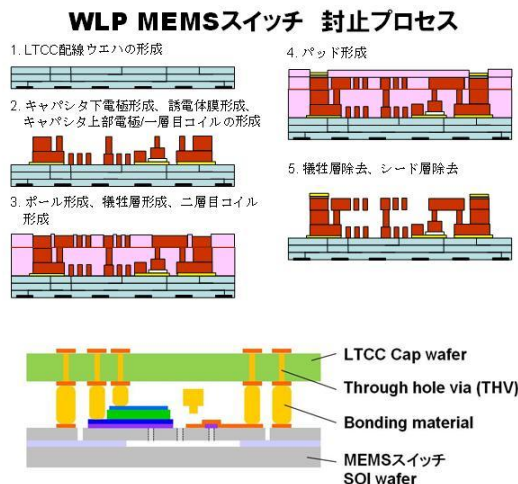
### ASET Target (1.7-2.8GHzをカバー)



Results	Conventional (UCSD)	Our Work
Simultaneous CF and Bandwidth Change	NG	OK
Range	1.56-2.48GHz	1.7-2.8GHz
Shape Factor	Shape factor >3.5	Shape factor =1.8-2
Insertion Loss	1.92-2.22dB	1.9-2.9dB
Size	50mm <sup>2</sup>	16.9mm <sup>2</sup>

図(3)-E-2 8ビット可変フィルタモジュール 成果

WLP MEMSスイッチはキャップウェハとして高周波帯での損失を抑えるためビア付きLTCCを採用した。接点のオン抵抗はパッケージ内部の有機汚染によって劣化するため、有機ガス放出の無いサブミクロンAu微粒子をシール材兼端子導通バンプとして用いた。接合試作の結果、接合前と同等の低いオン抵抗でのスイッチ動作が確認でき、デバイスサイズは従来の2.5x2.0x1.1mmから1.4x0.9x0.8mmに、体積比で1/5に小型低背化できた(図(3)-E-3)。



図(3)-E-3 WLP 封止プロセス

プロセス工程が約半分になる WLP MEMS スイッチを提案し、試作した WLP MEMS スイッチで 10 億回の動作寿命を得た。WLP MEMS スイッチ評価用のインターポーザを試作した。評価の結果、0.8, 1.5, 1.7, 2GHz 帯において、目標の電波効率が得られた。

### 3) 最終目標の達成度

MEMS 可変フィルタと CMOS 制御 IC および WLP MEMS スイッチを三次元集積化し、帯域幅と中心周波数をデジタルで可変する世界最小サイズの三次元集積化 RF モジュールを実現した。MEMS 可変フィルタは高周波特性で利点がある LTCC ウェハを用い、MEMS 技術を用いてウェハ上に直接回路素子を形成した。MEMS 可変フィルタは三次元集積化 RF モジュールのインターポーザの役割を兼ねる。MEMS 可変フィルタと CMOS 制御 IC は、高周波特性と積層時の応力を配慮し、集積化設計を最適化した。WLP MEMS スイッチは、LTCC ウェハをキャップとして用い SOI ウェハを用いたアクチュエータと接合してハーメチックの WLP を実現し、体積を1/5に、高周波損失を低減した。WLP MEMS スイッチを評価用インターポーザに搭載し、目標の高周波性能が得られた。以上により LTCC (インターポーザ)、SOI、CMOS のヘテロロジーニアス集積、および WLP 技術の三次元集積化における有効性を示し、最終目標を達成した。

表(3)-E-1 「ヘテロジニアス三次元集積化技術」の成果と達成度

◎目標を大幅に上回り達成、○：目標を達成、△：目標をほぼ達成、×：目標未達成

テーマ	目標	成果	達成度
ヘテロジニアス 三次元集積化技術 (3)-E	・ヘテロジニアス集積化を想定したインターポーザ、WLP(ウェハレベルパッケージ)技術の三次元集積化における有効性を示す。	MEMS可変フィルタと、WLP MEMSスイッチと制御ICを積層し、三次元集積化RFモジュールを試作し、三次元構造化により、中心周波数と帯域幅の制御が効果的に行えることを確認した  ・MEMS可変フィルタ LTCCウェハに直接MEMSを形成する技術により、低損失で遮断特性に優れたMEMS可変フィルタを実現し、非Si系三次元積層構造の基底となりうることを確認した  ・WLP MEMSスイッチ SOIウェハとLTCCキャップウェハを用いて三次元積層構造化したWLP MEMSスイッチを試作。可変周波数アンテナへ適用して、低動作電圧で高い動作信頼性を確認し、三次元構造の有効性を検証した	○

### (3)-E-2 成果の意義

世界最小サイズの三次元集積化 RF モジュール技術を開発し、将来の携帯電話用として実用化が待ち望まれている次世代 RF フロントエンドモジュールの実現にむけて大きく前進した。また三次元集積化 RF モジュールを構成する要素技術の MEMS 可変フィルタ技術、WLP MEMS スイッチや評価用インターポーザ技術、CMOS 制御 IC 技術は、携帯端末以外の機器用の三次元集積化応用も考えられ、装置の高性能化、競争力向上のためのコア技術となる。

### (3)-E-3 知的財産権の取得及び標準化への取組

成果に関して知的財産権の網羅的獲得を目指して出願した。三次元集積化 RF モジュール、WLP MEMS スイッチ、アンテナ設計技術に関して 23 年度 5 件、24 年度 5 件を出願した。

### (3)-E-4 成果の普及

出向元の企業で技術開発を引き継ぎ、製品に適用のための技術開発を継続し、製品に適用していく予定である。

事業原簿Ⅲ（公開）

2.1 多機能高密度三次元集積化技術（3）次世代三次元集積化の共通要素技術と設計基準策定

これまで述べてきた(3)の目標と達成度を改めて一覧とすると、以下の通り。

表(3) 成果一覧

(◎:大幅達成、○:達成、△:未達、×:大幅未達)

	目標	成果	達成度 (個別)	達成度 (総合)	
①-(3) 共通要素技術開発と設計基準策定	3Dインテグレーション技術	<p>TSVをはじめとする共通要素に関する設計基準・レイアウト基準・プロセス工程基準を、プロジェクトの標準的仕様として策定しライブラリ化する。更に超ワイドバスによる信号授受の開発の成果を活用して、更なる制御手法の改善検討と試作評価を行い、標準化を含めた展開の見通しを得る。</p>	<ul style="list-style-type: none"> <li>標準TSVセル(25um/50umピッチ)を開発、ライブラリ化</li> <li>積層LSIを作成し、各種レイアウト基準、プロセス基準を策定し、試作積層LSIの特性評価からバンプ・TSVの基本的電気特性を取得</li> <li>積層チップ間同期回路方式を開発し、W2W積層チップの実測でクロックスキュー60%削減を確認</li> <li>TSV電気特性モデルを提案し、設計評価でモデル化</li> <li>加工対象を柔軟に選択できるVia-LastプロセスによるTSV加工技術を構築し、TSV周辺に発生する機械的ストレスを軽減する。</li> <li>W2W積層で3層積層を行い次世代三次元積層SiP向け集積化技術を開発</li> <li>ストレスが小さく、KOZ&lt;2umと出来ることを確認</li> <li>DC-DCコンバータの最上チップ配置方式を提案・設計・試作し、IRノイズの約1/4化を確認</li> <li>ハイブリッドW2W積層に必要な表面の前処理法を開発(水素ラジカル)</li> </ul>	◎	
	超ワイドバスSiP三次元集積化技術	<p>ロジックと超ワイドバスメモリ(ビット幅2k本以上、伝送能力100GB/sec以上)をインターポーザで相互接続した三次元積層SiPの試作・評価を行い、伝送能力や消費電力などの特性面における三次元積層の優位性を実証する。</p>	<ul style="list-style-type: none"> <li>三次元積層構造を最大限生かすI/Oの構成により、バス速度が200Mbit/sの低速動作でも102GByte/sという従来比8倍以上のバス伝送能力を実現。</li> <li>このときのビットあたりの伝送エネルギーが0.56pJであることを確認し、三次元積層の優位性を実証。(3D実装:2D実装=1:30)</li> <li>TSV部のI/O信号・電源をモニタする評価技術開発により、実際のI/O駆動能力と信号振幅や電源供給の実動作評価を行い、適切な設計指針を得た。</li> <li>微粉体シリカをTSV絶縁膜として使用するインターポーザを形成し、従来の絶縁膜では形成不可能な超低容量TSV(35fF以下)を実現した。</li> <li>これに粉体金属を溶融充填したTSV導体と組み合わせることにより、より簡便な工程(従来工程数比1/3が可能)を立案・策定した。</li> </ul>	◎	◎
	デジアナ混載三次元集積化技術	<p>画像処理システム(視覚支援システム等)に必要なデジアナ混載回路の三次元積層SiPを試作・評価を行い、電源供給技術、高速信号伝送技術等の要素技術を開発し技術仕様書を策定する。</p>	<ul style="list-style-type: none"> <li>ヘテロ積層C2Cプロセスを開発した。</li> <li>自動車環境での動作安定性のため、トータル70nFのTSV型デカップリングキャパシタを配したSiインターポーザを開発し、GHz帯までの効果を確認した。</li> <li>CIS/CDS/ADC/IFチップとSiインターポーザ/DeCAPチップの6種10チップを積層したTSV接続積層SiP構造により、測距が可能な超小型(基線長10mm・体積約350mm<sup>2</sup>)の2眼画像センサモジュールを完成させた。</li> <li>自動車用運転支援画像処理システムとして上記センサモジュールを2次実装し、さらに電源・高速インターフェース・放熱を備えた評価基板を作成・評価した。</li> <li>センサの高速性を利用した可視光の車車間通信を応用した遠方測距など、実用を想定した評価用アプリケーションソフトを作成・評価した。</li> <li>試作したセンサモジュールの諸元を技術仕様書にまとめた。</li> </ul>	○	
	ヘテロジーニアス三次元集積化技術	<p>ヘテロジーニアス集積化を想定したインターポーザ、WLP(ウェハレベルパッケージ)技術の三次元集積化における有効性を示す。</p>	<ul style="list-style-type: none"> <li>MEMS可変フィルタと、WLP MEMSスイッチと制御ICを積層し、三次元集積化RFモジュールを試作し、三次元構造化により、中心周波数と帯域幅の制御が効果的に行えることを確認した</li> <li>MEMS可変フィルタ: LTCCウェハに直接MEMSを形成する技術により、低損失で遮断特性に優れたMEMS可変フィルタを実現し、非Si系三次元積層構造の基底となりうることを確認した</li> <li>WLP MEMSスイッチ: SOIウェハとLTCCキャップウェハを用いて三次元積層構造化したWLP MEMSスイッチを試作。可変周波数アンテナへ適用して、低動作電圧で高い動作信頼性を確認し、三次元構造の有効性を検証した</li> </ul>	○	



『付録』 平成 22 年度で終了した開発テーマ及び統合されたテーマの成果を記載する。

## 2. 1多機能高密度三次元集積化技術

### (1)次世代三次元集積化設計技術の研究開発

- (1)-A 設計環境技術の研究開発 ⇒平成22年度で終了
- (1)-B インターポーザ技術の研究開発 ⇒(3)-Dに統合
- (1)-C インターフェース仕様書の策定 ⇒(3)-Dに統合

### (2)次世代三次元集積化のための評価解析技術の研究開発

- (2)-A チップテスト技術の研究開発 ⇒平成22年度で終了
- (2)-B 熱・積層接合技術の研究開発
- (2)-C 薄ウェハ技術の研究開発

### (3)次世代三次元集積化の共通要素技術開発と設計基準策定

- (3)-A 実証デバイス研究開発 ⇒平成22年度で終了
- (3)-B 3D インテグレーション技術の研究開発
- (3)-C 超ワイドバスSiP 三次元集積化技術の研究開発
- (3)-D デジアナ混載三次元集積化技術の研究開発
- (3)-E ヘテロジニアス三次元集積化技術の研究開発

## 2. 2複数周波数対応通信三次元デバイス 技術

⇒平成22年度で終了

### (1)複数周波数対応可変RF MEMSデバイスの研究開発

### (2)複数周波数対応通信フロントエンド回路の研究開発

## 2. 3三次元回路再構成可能デバイス技術

⇒平成22年度で終了

### (1)三次元回路再構成可能デバイスに関するアーキテクチャおよび設計技術の研究開発

### (2)三次元回路再構成可能デバイスに関する三次元集積化技術の研究開発

---

---

## 2. 1多機能高密度三次元集積化技術

### (1)次世代三次元集積化設計技術の研究開発

---

---

#### (1)-A 設計環境技術の研究開発

##### (1)-A-1 目標の達成度

###### 1) 基本計画の目標

(概要):背景の概要を含む

微細化による半導体 LSI 集積化の進展において、集積密度の向上に限界が近づくのに伴って、LSI チップを三次元的に積層する三次元積層 SiP 技術への期待が高まっている。三次元的に複雑な構造のSiP設計においては、コンピュータ支援による設計 CAD(Computer-Aided Design)技術だけでなく、製造工学 CAE(Computer-Aided Engineering)技術の利用は不可欠であり、多様な CAD/CAE ツールを縦横に駆使して効率的な設計を目指す必要がある。特に三次元積層 SiP における薄型チップ・インターポーザによる積層構造を想定すると、電磁ノイズ対策部品の付加等に非常に困難が予想される。

このため、設計初期段階で動作不良の見極め技術が重要となり、三次元積層構造の SiP 内部に留まらずセットボードレベルまで拡張した統合的なモデル化手法と、その統合モデルによる動作シミュレーション技術の確立が大きな課題となる。高速電気信号伝送を扱う高機能な LSI システムにおいては、パワー/シグナル・インテグリティ(電源/信号の要求性能確保)の解析のみならず、電気回路と三次元電磁界統合解析技術や機械系・熱系解析技術との統合化も重要性が大きくなっている。

このような現状に対して、三次元集積 CAD システムの構築、および、三次元集積 CAE システムの構築とそれらを集積した三次元集積統合設計環境の開発を行う必要がある。

しかしながら、現状では、SoC・SiP・ボード(PWB)について、個々のシミュレーションツールは開発されて実用化レベルにあるが、これらを総合的に扱える統合化されたツールは開発されていない。

(基本計画)

出典:基本計画 P5

1) 電気系三次元シミュレーション技術として、次世代三次元積層 SiP の設計段階で使用される電気回路シミュレーションエンジン及び三次元電磁界シミュレーションエンジンの計算能力を改善し実用的設計ツールとして構築する。

(最終目標)

出典:基本計画 P6

中間目標(平成 22 年度):

(1)次世代三次元集積化設計技術の研究開発

- ・電気系三次元シミュレータにおいて、現状に比較し 2 桁多いメッシュ数及び 8 倍の信号幅の解析対象を、現状と同等の計算時間で解析するシミュレーションエンジンを開発する。
- ・三次元集積化における信号品質安定化技術、電源安定化技術を開発する。

最終目標(平成 24 年度):

- ・現状に比較し 2 桁多いメッシュ数および 8 倍の信号幅の解析対象を、現状と同等の計算時間で解析することができる電気系三次元シミュレータの開発と評価を完了する。
- ・CMOS 半導体デバイス、機能デバイス等を、相互に接続可能とする機械的・電氣的インターフェースを設定し、技術仕様書を策定する。

2) 開発成果の要約

2)-1 高速電気回路シミュレーションエンジンの研究開発

- ・高速電気回路シミュレーションエンジンの開発に向けた研究では、開発エンジンへの各種高速化手法を検討した結果、解析対象(次世代三次元積層 SiP 製品)を考慮し、PKG 及びボード部を対象とした線形エンジンと LSI の入出力部を対象とした非線形エンジンに分けた。
- ・線形エンジンでは、革新的アルゴリズムである、ブロック LIM (block Latency Insertion Method) 法を考案し、製品版シミュレータに組み込むことにより、平成 21 年度において、300 倍の高速化を達成した。また、RLGC-MNA(Modify Nodal Analysis)法及び並列計算手法の改良により、平成 22 年度末には、800 倍の高速化を達成し、最終目標達成の見込みを得た。
- ・非線形エンジンでは、回路分割(緩和法)の適用及び並列計算手法の適用により、平成 22 年度において 12 倍の高速化を得た。また、非線形部と線形部との連成については、波形緩和法の適用により、シミュレーション速度の低下を招くことなく達成できるようになった。(図(1)-A-1)

2)-1-1 RLGC-MNA(Modify Nodal Analysis)法による高速化

RLGC\_MNA 法では、配線を R(抵抗)、L(インダクタ)、K(相互インダクタ)、F(電流制御電流減)を R と L、K と F をそれぞれ 1 個のマクロモデルで表し、ノード電圧 V の行列式の行列サイズを 2/5 削減することで、行列演算の 2 倍高速化を達成した。

2)-1-2 LIM (Latency Insertion Method)法による高速化

RLGC ラダーを高速に過渡解析する Latency Insertion Method (LIM)を相互結合を含むバス信号配線を表すブロック化 RL-GC ラダー回路網へ拡張したブロック LIM を考案し、従来の 400 倍高速化を達成した。

2)-1-3 回路分割法による高速化

ブロック LIM は陽解法のため各 RL ブロックおよび GC ブロックは分割並行して演算可能になっている。ただし、適用可能な回路トポロジはブロック化 RL-GC 回路に限定されているため、適用可能な三次元形状を検討し実適用の見通しを得た。

2)-1-4 マトリクス演算の高速化

Intel(R) Math Kernel Library をマトリクス演算のエンジンとして採用し、回路行列演算の自動分割と並列計算により、非線形回路シミュレーションの 12 倍高速化を得た。

2)-1-5 線形+非線形回路の混合解析

線形回路と非線形回路を分割し、線形回路は高速なブロック LIM で非線形回路は従来通り MNA で混合解析する手法を考案した。ただし、両手法で最適な時間刻み異なるため、インターフェース(I/F)モデルを挿入し波形緩和法を適用することで、精度と速度の両立を達成した。

シミュレータ	開発項目		H21年度	H22年度	最終目標
高速電気回路シミュレータ	線形	改良LIM法 +並列化	x300	x400	X800 ~1500
		RLGC-MNA法	x1.0	x2.0	
		小計	x300	X800	
	非線形	回路分割 +並列化	x10	x12	x50
高速電磁界シミュレータ	ADE-FDTD法		x3	( X2 )	x500
	グリッド数低減法		x7	x22	
	並列化		x10	X30	
	小計		X210	x660	

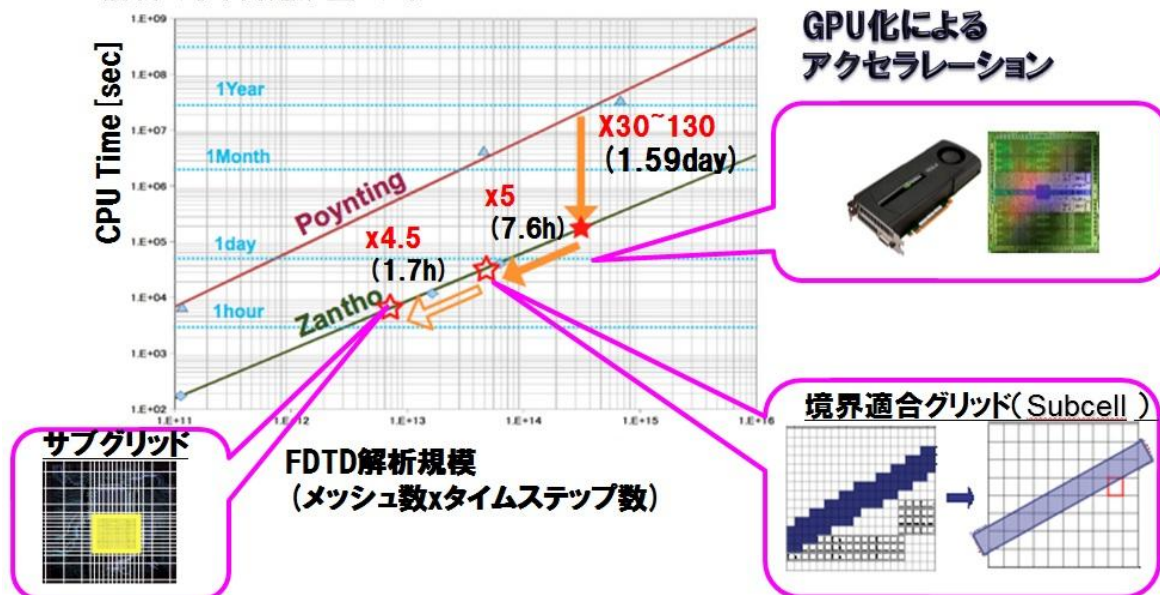
図(1)-A-1 シミュレータの開発項目と成果及び目標

2)-2 高速電磁界シミュレーションエンジンの開発

これまでの FDTD(Finite Difference Time Domain)法に対して、改良型と呼ばれる手法(ラゲール多項式法、クランク・ニコルソン法、ADI 法インプリシット法)の原理プログラムを評価した結果、一長一短であることが判明した。このため、解析規模、並列計算との親和性を考慮した新アルゴリズムの考案が必要となり ADE (Alternating-Direction Explicit) -FDTD 法を生み出した。グリッド数低減手法と並列化計算手法の組み合わせで平成 22 年度に最終目標を超える 660 倍の高速化を達成した。(図(1)-A-2)



従来、7ヶ月程度かかると見込んでいたPKG一括解析が実時間内(10時間以内)で解析できる目処が立った。



図(1)-A-2 高速電磁界シミュレーションエンジンの開発

### 2)-3 高速回路・電磁界シミュレーションエンジンの統合化

平成20年度に、回路シミュレータと電磁界シミュレータの間で、電流(磁界)、電圧(電界)を相互に受け渡す手法を開発実装することにより、同期処理が可能となり、回路・電磁界の混合解析が実現できることを示したが、タイムステップ数の刻み幅の最適化の良否により、シミュレーション速度の低下懸念があることがわかった。しかしながら、平成21年度の研究において、回路規模によるタイムステップ数の最適化が自動的に算出可能である事を見出し、統合化の見通しを得ている。

### 2)-4 熱・機械系シミュレータと電気系シミュレータの統合化

調査研究により、近い将来にはシステム全体の性能を引き出すためにシステム全体の電気、熱および機械が連携したシミュレータが必要になってくるとの結果を得た。

なお、電気系三次元シミュレーション技術の研究開発は、図(1)-A-1 に示すように、平成22年度末に、平成24年度最終目標である「現状に比較し2桁多いメッシュ数および8倍の信号幅の解析対象を、現状と同等の計算時間で解析することができる電気系三次元シミュレータの開発と評価を完了する。」は、達成したため、平成23年度以降は実用化研究を個々の企業レベルで実施し、実用化を目指している。

### 3) 最終目標の達成度

最終的に達成した成果は、表(1)-A-1 である。このように、基本計画に定義された最終目標を前倒して達成したため、平成22年度をもって研究開発を終了する。

表(1)-A-1 「設計環境技術の研究開発」の成果と達成度

◎目標を大幅に上回り達成、○：目標を達成、△：目標をほぼ達成、×：目標未達成

テーマ	目標	成果	達成度
シミュレーション ツール開発	<ul style="list-style-type: none"> <li>・現状と比較し2ケタ多いメッシュ数及び8倍の信号幅の解析対象を現状と同等の計算時間で解析する回路シミュレータ開発と評価</li> <li>・現状と比較し500倍の高速化を実現する電磁界シミュレータの開発と評価</li> </ul>	<ul style="list-style-type: none"> <li>・「改良LIM法＋並列化」とRLGC-MNA法の組み合わせにより、現状比較800倍の回路シミュレータを開発し、目標達成を確認</li> <li>・グリッド数低減技術及び並列計算技術の適用により、660倍の高速化を達成した。また新規アルゴリズム(改良型ADE-FDTD法)の効果を確認</li> </ul>	○

(1) -A-2 成果の意義

電気系シミュレーションエンジンの研究開発では、その性能において世界最高水準の成果が得られている。市販されているシミュレータとの性能比較において、同一精度で数百～千倍高速に解析する目処が得られ、従来実質的に解析が不可能であった128信号でSoC・SiP・ボード(PWB)の統一的解析が実用レベルで可能となり、次世代三次元積層SiPや通常のSoCデバイス、また、それらを搭載する電子機器の大幅な開発効率向上をもたらす。

(1) -A-3 知的財産権の取得及び標準化への取組

特許出願は行ったが、ソフトウェアの実装内容に関しては、ノウハウにかかわるところであり、特許による公開は行わない。

(1) -A-4 成果の普及

以上述べた成果に関わる特許、外部発表等の件数を表(1)-A-2に示す。本表からわかるように、本研究開発は適切に情報発信を行っている。一方、情報の公開にあたり、アルゴリズムやソフトウェアに関する内容は、ノウハウにかかわるところであり、公開を行っていない。

表(1)-A-2 「設計環境技術の研究開発」の特許、外部発表等

区分 年度	特許出願			論文	学会発表等	その他外部発表 (書籍・プレス等)
	国内	外国	PCT			
平成20年度	0	0	0	0	0	0
平成21年度	0	0	0	0	13	0
平成22年度※	0	0	0	0	3	1

※平成22年度は平成22年7月末日の集計

## (1)-B インターポーザ技術の研究開発 ⇒ [(3)-D]

### (1)-B-1 目標の達成度

#### 1) 基本計画の目標

(概要): 背景の概要を含む

三次元積層SiPとして電子システムを構築するには、LSIチップ積層体に対して微小接続、電源供給、信号伝送、放熱などの機能を有する薄型インターポーザの利用が不可欠である。三次元集積化したLSIチップの能力を十分引き出すために、インターポーザに対しては、数10Wの電源供給能力、10 $\mu$ mピッチの狭ピッチ信号ピン接続、15Gbpsの信号伝送能力など、従来のインターポーザでは実現不可能な機能を合わせ持つことが求められる。

さらに、LSI内部にある多数のトランジスタがスイッチングする際に発生する急峻な電流変化 $di/dt$ は、瞬間的な電圧低下 $V_{drop}$ を引き起こす。電源電圧低下はLSI動作周波数を低下させる原因となるので、それを引き起こさないような電源供給が求められる。 $V_{drop}$ は電源供給経路の寄生インダクタンス $L_s$ を用いて $V_{drop}=L_s \cdot (di/dt)$ で表されるので、LSIの低電圧化・高周波化に伴う $di/dt$ 増加、その結果としての $V_{drop}$ のマーヅン減少への対応は、三次元集積LSIに限らない将来のLSI共通の重要課題である。三次元集積LSIでは、積層された多数のLSIチップへ一括して電源供給を行うことになるので、供給する電流が非常に大きくなり、通常のインターポーザより電源供給に対してはるかに高い安定性が求められる。

また、高速信号伝送に関しても、三次元集積LSI特有のシリコン貫通電極(TSV)を活用して多数の信号線で積層チップ間を接続する超多ビットバス配線や外部とのやり取りに必要な高速シリアルIF回路により、積層チップ内やIF回路で発生して、電源供給系を経由して広がる、同時スイッチングノイズの抑制は重要な課題である。

一方、三次元積層SiP用の超高機能インターポーザには、従来技術より大幅に微小で狭ピッチな接続技術に加えて、コンデンサやインダクタなどの受動素子を内蔵する技術の適用が必須となる。内蔵された受動素子は従来の表面実装状態とは異なり、周囲の環境や三次元的に近接する配線や他素子の影響を受けやすく、また内蔵されるがゆえに製造後に素子のみを交換することはできない。そのために、内蔵状態で十分正確に素子特性を測定評価し、設計段階へフィードバックする開発体制の実現が強く求められる。しかしながら、現在進められている受動素子内蔵インターポーザ開発は超低電圧動作や超高速伝送が求められるアプリケーションを念頭に置いていないために、製造技術を中心とした開発となっており、内蔵素子の特性を正確に測定評価する技術の開発は不十分である。

特に、電源供給系の測定評価の際に求められる、DCからGHz域に至る広帯域で、数オーム以下の低インピーダンス値の測定を素子内蔵インターポーザに対して実施することは非常に困難な状況である。受動素子のインピーダンス測定装置では、自動平衡ブリッジ法、I-V法、ネットワーク解析法などがあり、周波数範囲やインピーダンス値の範囲により使い分ける必要がある。そのため、従来の測定装置の組み合わせでは達成できないような、超広周波数帯域、広範囲なインピーダンス値をシームレスに、高精度で測定できる新しいシステムを構築し、内蔵状態や多様な内蔵形態を統合しうる体系的な評価解析技術の開発が必要である。また、素子性能を保証するための検査技術も全く未整備である。

さらに、三次元集積化技術の普及のためには、CMOS半導体デバイス、機能デバイス等を相互に接続可能とする機械的・電氣的インターフェース(IF)を設定し、技術仕様書を策定する必要がある。

#### (基本計画)

回路動作を安定化する信号品質安定化技術(シグナルインテグリティ)、電源安定化技術(パワーインテグリティ)を開発する。

#### (最終目標)

(i) 信号品質安定化(SIシグナルインテグリティ)技術・電源安定化(PIパワーインテグリティ)技術の研究開発

デジアナ混載三次元画像センサモジュールの研究開発において、三次元集積化したLSIチップを車載環境で安定して動作させる、低インピーダンスで放熱の機能を持つインターポーザを開発する。

(ii) インターポーザの評価・検査技術の研究開発

同三次元集積システムに内蔵される多電源回路の電源インピーダンスを低周波から数GHz帯域まで評価する。

2) 開発成果の要約

(a) 20-22年度

(a)-(i) 信号品質安定化技術・電源安定化技術

次世代三次元積層SiPの信号品質安定化及び電源安定化を実現するインターポーザ設計技術と評価・検査技術について、世界最高水準の成果が得られている。

デカップリング・キャパシタの表面実装、部品内蔵、薄膜素子内蔵の各実装形態を系統的に比較し、実装構造と電源ノイズ低減効果とを定量化する試みは他には類は無い。次世代三次元積層SiPで想定される具体的なインターフェース回路で直接的に検証することと並行して、専用チップを用いた評価システムを構築することで、電源ノイズ低減効果に向けたより一般的に拡張可能な設計指針、及び解析モデルを提案することが可能となる。更に、オンチップ分散電源回路では本来オンチップへ集積化されていた機能回路を分割して、一部をチップ外へ形成し集積化することでオンチップよりも小型化且つ性能向上を実現している。これは、LSIと素子内蔵インターポーザとが密接に積層可能な三次元集積化技術により実現可能となる新規な集積化の形態である。

(a)-(ii) 評価・検査技術

評価・検査技術においては、チップ内ドライバ近傍の電源ノイズ測定技術は従来困難とされていたが、専用チップで検証した結果、チップ内モニターで測定可能な手法(回路)を考案できた。

また、次世代三次元積層SiP用の高性能インターポーザ設計の基礎となる高精度な測定に必要な広帯域且つ低インピーダンスの測定システムを開発し、その性能を実証した。10Hz～40GHzの6桁の周波数にわたってシームレスに、しかも0.001Ω以下の高分解能で0.01Ωの超低インピーダンスを測定可能なシステムは世界で唯一である。

今後の研究開発で、上記の要素技術の成果を統合することにより、他に例を見ない強力な次世代三次元集積化設計技術を体系的に構築でき、日本の電子デバイスや電子機器の設計力の向上をもたらすものと考えられる。

(b) 23-24年度

(b)-(i) 信号品質安定化(SI シグナルインテグリティ)技術・電源安定化(PI パワーインテグリティ)技術の研究開発

デジアナ混載3Dモジュールの試作を通じて、20-22年度の要素を実証的に確認した。これにより、TSVによる並列信号、高速信号の取り扱い、多電源の高出力分配方法の実証的確認を行った。

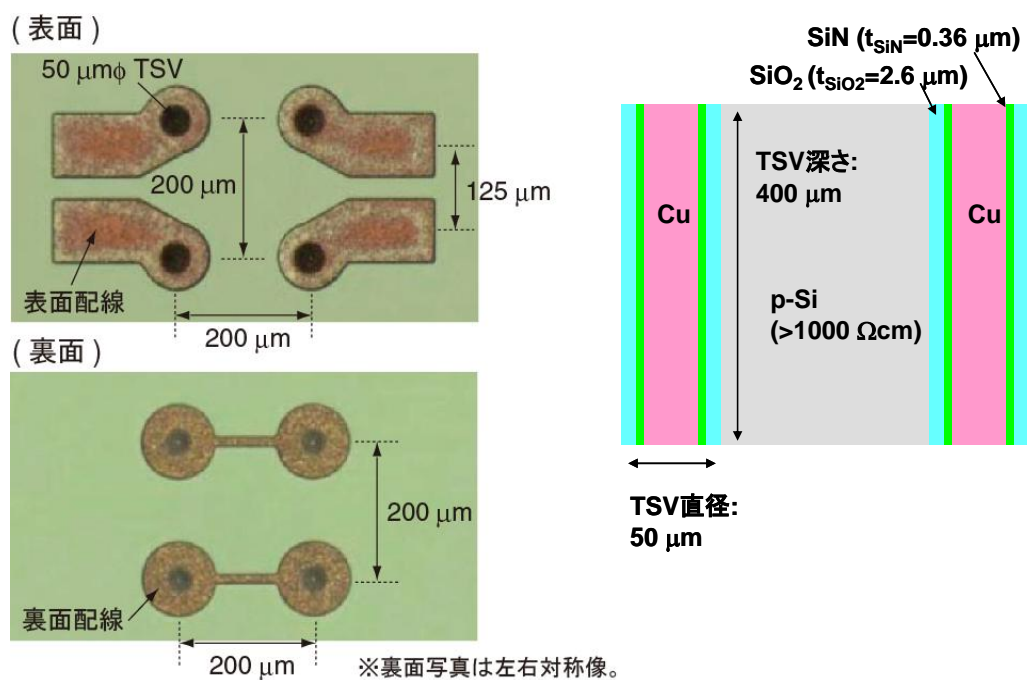
(b)-(ii) インターポーザの評価・検査技術の研究開発

20-22年度の検査技術を駆使して実証的確認をした。

(c) Si-IPおよびSi-TSV-DeCapの熱励起キャリアに関する解析

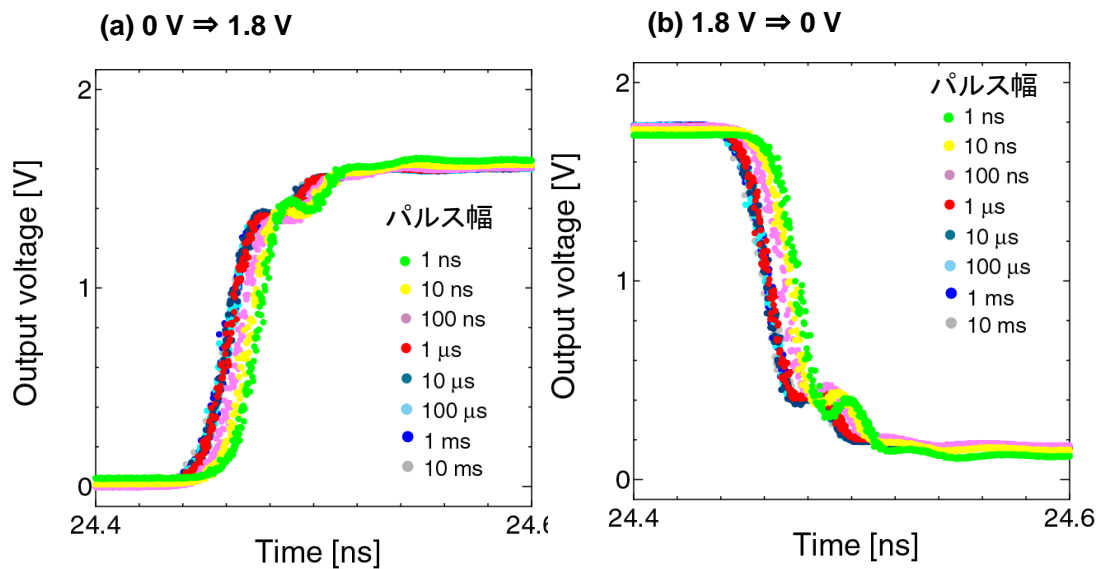
Si-IPおよびSi-TSV-DeCapは高抵抗シリコン(1kΩ/cm)を使っている。このTSV周辺のシリコン基板の常温における熱励起キャリアがどのような働きをするか、不明であった。高周波領域のSパラメータは比較的取られていて、発表されているが、MHz帯域以上の周波数ではSパラメータから考えても、絶縁物としての振る舞いをする事が分かっている。熱キャリアの移動度は1MHzより遅いため、パルスでその時間を変えてその遷移状態の変化でそれを確認した。またキャリアのドリフトは電圧に依存するため、これも変化させた。この測定用TEGを示すと図(1)-B-1のようになる。



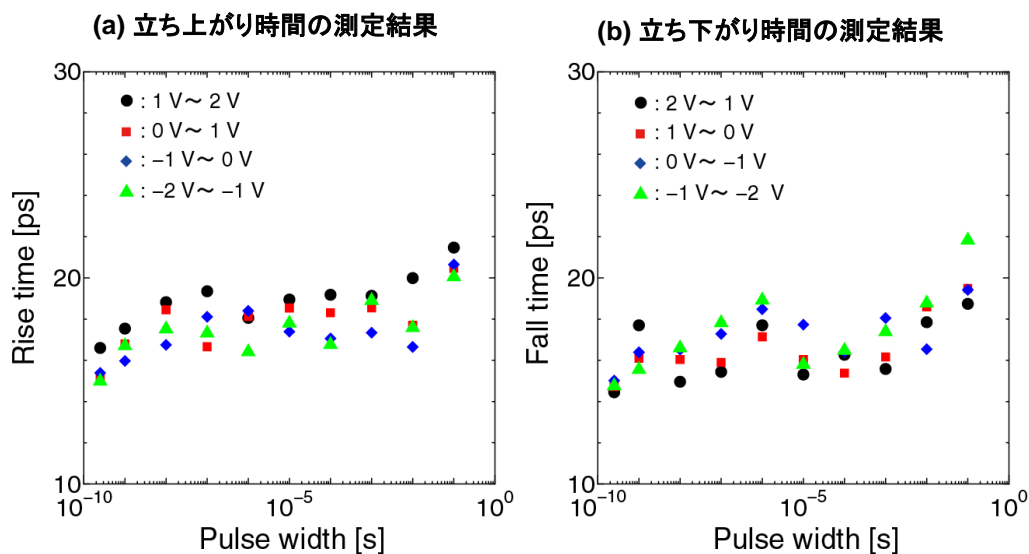


図(1)-B-1 TSV-シリコン基板間の励起キャリアの影響調査用TEG基板の写真と断面構造

片側電極にパルスジェネレータ、他方にオシロスコープをGHz以上の高周波仕様で接続し、パルスの遷移部分の変化を測定した。その一例を示すと、図(1)-B-2のようになる。



図(1)-B-2 1.8Vパルス印加時の遷移状態のパルス幅による影響



図(1)-B-3 高抵抗Si基板TSVでのパルスRise/Fall timeのパルス幅、電圧の変化

この20-80%間のRise/Fall timeの測定結果をまとめると図(1)-B-3のようになる。

MOSのゲート容量と同じ挙動を示すと思われたが、パルス幅に対してやや右肩上がりゲートにキャリアが蓄積される効果が見える。しかし、クロックのMHz以上ではほとんど測定誤差範囲内にあり、通常のデジタル信号を扱うデバイスの用途ではSパラメータ手一般的に見えていた効果と同じであった。このデータはASETで初めて測定されたものである。

### 3) 最終目標の達成度

#### (a)20-22年度:

TEGによる要素技術の要素別目標を達成した。またこの評価・検査技術を確立した。これを元にコンカレント設計原案を作成した(表(1)-B-1)。

#### (b)23-24年度:

20-22年度の要素技術とコンカレント設計モデルを元に画像取り込み装置としてのデジアナ混載3D実証モジュールのインターポーザと有機基板の設計製作を行い、インターポーザの目標である高速信号特性、電源供給仕様の目標値の実証ができた [→(3)-D]。

表(1)-B-1 「インターポーザ技術の研究開発」の成果と達成度

◎目標を大幅に上回り達成、○:目標を達成、△:目標をほぼ達成、×:目標未達成

テーマ	目標	成果	達成度
回路品質・電源品質 安定化回路技術開発	・デジタル・アナログ混載回路、多電源化に対応した素子内蔵インターポーザの設計基盤技術を開発し、その技術仕様書を策定する。	・TEGによる要素別目標を達成し、その評価・検査技術を確立 ・コンカレント設計モデルを策定し、実証モジュールのインターポーザと有機基板の設計に適用し、試作評価によって有効性を確認。	◎



(1)-B-2 成果の意義

(i) 信号品質安定化(SI シグナルインテグリティ)技術・電源安定化(PI パワーインテグリティ)技術の研究開発

次世代三次元積層SiPの信号品質安定化及び電源安定化を実現するインターポーザ設計技術と評価・検査技術について、世界最高水準の成果が得られている。

デカップリング・キャパシタの表面実装、部品内蔵、薄膜素子内蔵の各実装形態を系統的に比較し、実装構造と電源ノイズ低減効果とを定量化する試みは他には類は無い。次世代三次元積層SiPで想定される具体的なインターフェース回路で直接的に検証することと並行して、専用チップを用いた評価システムを構築することで、電源ノイズ低減効果に向けたより一般的に拡張可能な設計指針、及び解析モデルを提案することが可能となる。更に、オンチップ分散電源回路では本来オンチップへ集積化されていた機能回路を分割して、一部をチップ外へ形成し集積化することでオンチップよりも小型化且つ性能向上を実現している。これは、LSI と素子内蔵インターポーザとが密接に積層可能な三次元集積化技術により実現可能となる新規な集積化の形態である。

(ii) インターポーザの評価・検査技術の研究開発

評価・検査技術においては、チップ内ドライバ近傍の電源ノイズ測定技術は従来困難とされていたが、専用チップで検証した結果、チップ内モニターで測定可能な手法(回路)を考案できた。

また、次世代三次元積層SiP用の高性能インターポーザ設計の基礎となる高精度な測定に必要な広帯域且つ低インピーダンスの測定システムを開発し、その性能を実証した。10Hz～40GHzの6桁の周波数にわたってシームレスに、しかも0.001Ω以下の高分解能で0.01Ωの超低インピーダンスを測定可能なシステムは世界で唯一である。

今後の研究開発で、上記の要素技術の成果を統合することにより、他に例を見ない強力な次世代三次元集積化設計技術を体系的に構築でき、日本の電子デバイスや電子機器の設計力の向上をもたらすものと考えられる。

(1)-B-3 知的財産権の取得及び標準化への取組

特許 2 件を出願した。その項目は下記(表(1)-B-2)のとおりである。

表(1)-B-2 「インターポーザ技術の研究開発」の特許、外部発表等

発明の名称	出願人	出願国	出願番号	出願日
半導体装置、半導体装置の製造方法	大日本印刷 新光電気 イビデン 日本電気 凸版印刷 産総研	日本	2011-068505	2011.3.25
伝送線路構造、多層配線基板、半導体装置、および半導体システム	凸版印刷 大日本印刷 新光電気 イビデン 日本電気 産総研	日本	2012-049461	2012.3.6

(1)-B-4 成果の普及

”(3)-D デジアナ混載三次元集積化技術の研究開発”の中で取り組んだ。

(1)-C インターフェース仕様書の策定の研究開発 → [(3)-D]

(1)-C-1 目標の達成度

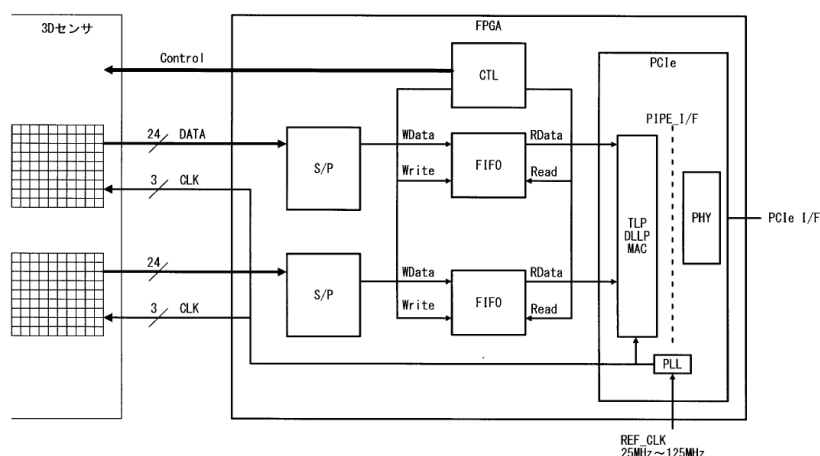
1) 基本計画の目標

(概要): 背景の概要を含む

(1)-C インターフェース仕様書の策定の研究開発は、”(3)-D デジアナ混載三次元集積化技術の研究開発”、”(1)-B インターポーザ技術の研究開発”の研究開発に沿った目的で行われた。したがって、ここでは背景はその重複を避け、インターフェースに必要な背景に関し記述する。

三次元集積化におけるチップ積層された機能モジュールはインターポーザに搭載する必要があり、モジュール信号のインターポーザへの取り出しとモジュールへの電源供給が制御された状態で行われる必要がある。このためにはモジュールのインターポーザへの接続部との間にインターフェースチップが必要となる。さらにインターフェースチップとインターポーザは一体となってモジュール機能を保持する信号品質(SI)と安定電源(PI) 確保される必要がある。

図(1)-C-1 で示したように、16×16ピクセル(シリアル信号として出力)を1ブロックとし、20×24(480)ブロックのQVGA(Quarter Video Graphics Array)画像のADC(Analog-to-Digital Converter)よりの8ビット並列デジタル信号をIF(Interface)チップで受けるところからPCIe出力でPCに受け渡すコネクタまでの設計を行い、インターフェースの機能(信号品質、電源品質、低温実装仕様、放熱仕様)の発現をしなければならない。さらに画像信号のPC標準インターフェースに並び替え作業のため、FPGA(Field Programmable Gate Array)を実装し、PC(Personal Computer)へ画像信号として送り込むインターフェース仕様も策定する必要がある。



図(1)-C-1 画像処理システム全体の信号の流れ

(基本計画)

CMOS(Complementary Metal Oxide Semiconductor)半導体デバイス、機能デバイス等を、相互に接続可能とする機械的・電氣的インターフェースを設定し、技術仕様書を策定する。

(最終目標)

CMOS 半導体デバイス、機能デバイス等を、相互に接続可能とする機械的・電氣的インターフェースを設定し、技術仕様書を策定する。

2) 開発成果の要約

2)-1 インターフェース仕様書の策定の研究開発

- (a) PI(Power Integrity パワーインテグリティ)に関する基準:
- (i) 使用する周波数の 10 倍の周波数の範囲にわたって、電源インプットインピーダンスを  $1\ \Omega$  以下、使用する周波数において  $0.1\ \Omega$  以下になること。
  - (ii) (i)を実現するため、デキャップをチップの近くに置く必要から、Si インターポーザにデキャップを埋め込むこと。埋め込まれたデキャップからの電源・グランド配線は低特性インピーダンスの複数(回路群別)ペア伝送線路構造( $5\ \Omega$  以下/ペア)にして、LSI(Large Scale Integration)チップ群電源に接続すること。
  - (iii) 有機基板の内臓デキャップが好ましいが、(ii)が存在すれば不要であり、表面実装チップキャパシタ( $0.01\ \mu\text{F} \sim 0.1\ \mu\text{F}$  /チップ)を使用する周波数の波長の  $1/4$  の長さ以内に散りばめること。
- (b) SI に関する基準:
- (i) 上記基準の PI を守れば、LSI チップの動作は  $0.18\ \mu\text{m}$  の CMOS 回路で数 GHz 以上の動作が可能であり、きれいな信号が発信することから、SI に一義的に反映される。
  - (ii) GHz 以上の信号処理系は好ましくは差動がよいが、2Gbps まではシングルエンドでもよく、線路特性インピーダンスを LSI チップパッドから出力端まで特性インピーダンス  $50\ \Omega$  を忠実にまもること。
  - (iii) (ii)の引き回しは内層配線とすること。
- (c) 同時切り替えノイズ測定に関する基準:
- (i)正確な測定は 1 クロックで、多数ドライバがスキューなく同時動作するチップ内の信号供給配線をすること。ただし実用上はタイミングが許される範囲でスキューがあったほうが好ましい。
  - (ii)LSI パッケージのチップ直下の電源を見ることで、チップへの電源揺らぎが見えるため、チップ直下の測定パッドを設けること。
  - (iii) I/O(Input/Output)回路の直近の電源揺らぎの測定は電源揺らぎモニター回路をチップ内にする必要がある。
- (d) 電源インピーダンスの評価技術に関する基準
- (i)低インピーダンスへの変換装置とワイドレンジの VNA(Vector Network Analyzer)により、GHz 帯域、 $0.01\ \Omega$  解像度で測定可能である。
- (e) Si-IP(Silicon Interposer)上で実現できる小型 DC-DC(Direct Current- Direct Current)コンバータ設計に関する基準
- (i)高効率変換を  $10\text{mm}$  角以内に収めるにはインダクタはライン/スペース= $20/20\ \mu\text{m}$  にして、 $L/R(nH/\ \Omega)$ は 180 レベルに保つ必要がある。このときインダクタの配線抵抗を下げるため、銅配線は  $15\ \mu\text{m}$  の厚みが好ましい。
  - (ii)上記条件で  $7\text{mm}$  角を達成でき、Si-IP に DC-DC コンバータを埋め込める設計となる。

### 3) 最終目標の達成度

CMOS 半導体デバイス、機能デバイス等を、相互に接続可能とする機械的・電氣的インターフェースを設定し目標を達成した(表(1)-C-1)。

表(1)-C-1 「インターフェース仕様書の策定の研究開発」の成果と達成度

◎目標を大幅に上回り達成、○:目標を達成、△:目標をほぼ達成、×:目標未達成

テーマ	目標	成果	達成度
設計仕様作成	・CMOS半導体デバイス、機能デバイス等を、相互に接続可能とする機械的・電氣的インターフェースを設定し、技術仕様書を策定する。	・インターフェース仕様を策定した。 （例: 使用周波数帯の10倍の領域で電源インピーダンス1Ω以下、資料周波数帯で0.1Ω以下など）	○

#### (1)-C-2 成果の意義

機械的・電氣的インターフェースを明確にできたことにより、高速画像システムにおいて世界最高水準の信号品質安定化(SI:Signal Integrity シグナルインテグリティ)技術・電源安定化(PI)に貢献できる。

#### (1)-C-3 知的財産権の取得及び標準化への取組

”(3)-D デジアナ混載三次元集積化技術の研究開発”、“(1)-B インターポーザ技術の研究開発”の中で取り組んだ。

#### (1)-C-4 成果の普及

”(3)-D デジアナ混載三次元集積化技術の研究開発”、“(1)-B インターポーザ技術の研究開発”の中で取り組んだ。

---

## 2. 1多機能高密度三次元集積化技術

---

### (2) 次世代三次元集積化のための評価解析技術の研究開発

---

#### (2)-A チップテスト技術の研究開発

##### (2)-A-1 目標の達成度

###### 1)基本計画の目標

###### (概要)

現在の一般的なテスト工程は、ウェハテストとパッケージ後のファイナルテストとに大きく分けられる。三次元積層SiPのように多数のチップを積層する場合それぞれのチップが良品である必要がある。もし、積層するチップの歩留まりが悪いと三次元積層後の歩留まりを積層数に応じて指数関数的に低下させ安価な三次元積層SiPの実現が困難となる。

予め検査された良品デバイス(以下、KGDと略)を積層するためにはテスト工程を新たなものにする必要がある。一般的なテスト工程では、ウェハテストは低速テストを主として同時に測定できる個数も少ない。一方、パッケージ後のファイナルテストは高速テスト(そのチップが動作する実スピード)が主となり同時に測定できる個数も多い。加えてパッケージ後には、バーンインも行われる。一般的にはウェハ状態とパッケージ状態では、テスト速度に10倍以上の開きがある。

先に述べたKGD実現のためには、ウェハ状態で高速のテストとバーンインを可能とする必要があるが、現状ではこれを安価に実現することは不可能である。

ウェハ状態で高速のテストとバーンインを実現可能とできれば、多くの半導体メーカーがウェハ状態でパッケージ後と同等品質のテストが可能となり、三次元積層SiPの生産が容易となり大きな波及効果が期待できる。

###### (基本計画)

以上のことを考慮して、具体的研究内容と目標を以下のように定め、研究開発を進めた。

出典:基本計画P5

1)CMOS 半導体デバイスの機能をウェハ形状にて一括検査する技術として、300mm ウェハに対応可能な高速デジタル信号端子を含むプローブ方式、およびプローブカードとテスト装置を接続する高速テスト信号伝送技術を開発する。また、そのプローブ方式を用いたプローブカードにおいて電力供給安定化手法を開発する。さらにバーンイン試験及びバーンイン試験時の温度制御技術を開発する。

###### (最終目標)

出典:基本計画P6

中間目標(平成22年度):

- ・全体で30万端子を有し、そのうち高速デジタル信号テスト端子においては15Gbps以上の信号に対応可能な300mmウェハに対応するプローブ方式の基本技術を開発する。
- ・多端子プローブカードに関して非接触接続方式の実現可能性を検証する。

最終目標(平成24年度):

- ・300mmウェハに対応するプローブとして30万端子以上の被テスト端子への一括アクセスが可能であることを確認する。また、高速デジタル信号テスト端子においては、15Gbps以上の信号を用いた検査が可能であることを確認する。
- ・平成22年度末までに開発したプローブをテストと接続して評価を行い、プローブカードとテスト装置間において500Mbps以上の高速テスト信号を含む4万系統のテスト信号伝送が可能であることを実証する。
- ・一つのプローブカードにおいて、10kW以上の安定した電力供給技術を開発する。



・プローブカードにおけるチップテスト時、温度範囲-40℃～+125℃においてバーンイン試験及びバーンイン試験を可能とする温度制御技術を開発する。

2) 開発成果の要約

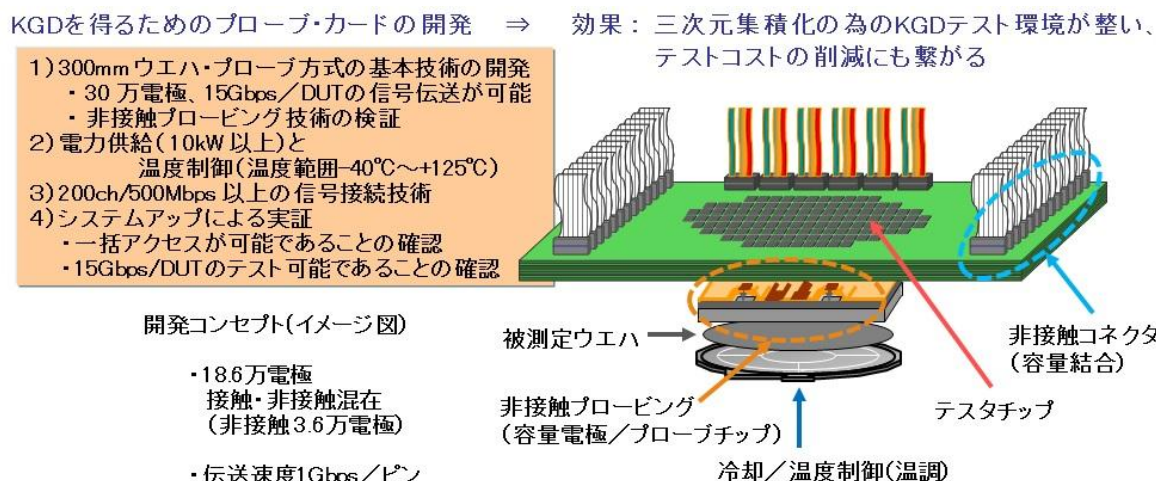
2)-1 ウェハ一括、接触および非接触結合端子によるプロービング技術の研究開発

ウェハ一括プローブカードに対する市場要求の明確化、およびテスタチップとプローブチップ機能を含むウェハ一括プローブカードのシステムアップ実証(1/10スケール)の研究加速により、当初基本計画における最終目標を前倒して達成した。これにより、本研究開発テーマは平成22年度で終了した。

(a) 300mm ウェハ/30万端子一括プロービング技術の研究開発

300mm ウェハに対応するプローブとして、大気圧加重による接触15万端子と加重なしに信号プローブを実現した非接触方式(容量結合)を開発し、30万端子以上の被テスト端子への一括アクセスが可能であることを確認した。

そして、市場要求からウェハ一括プローブの実用レベルが接触15万端子と非接触3.6万端子であることを明確化し、最終実証プローブとして接触・非接触混在の合計18.6万端子を有し、かつ品種交換対応可能な5層構造メンブレン方式プローブカードを開発した。また、真空微差圧方式による非接触容量結合の実現技術を開発した。さらに、高加重・高速ウェハ一括プローバ装置を開発し、大気圧加圧7kNと軸圧2kNによる9kN/300mmウェハの均一加圧技術を確立した。

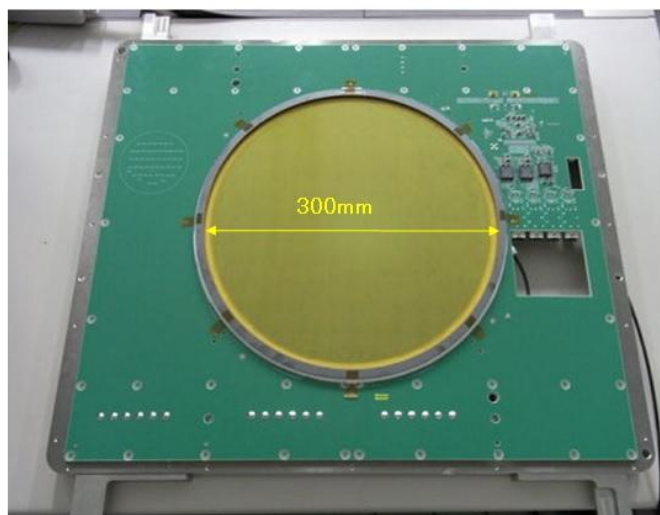


図(2)-A-1 300mm ウェハ/30万端子一括プロービングシステム構成

(b) 多端子プローブカード対応非接触プロービング技術の研究開発

非接触通信用のプローブチップ(容量結合)を開発し、1Gbpsの非接触伝送技術を確立した。この技術を適用し、テスタチップ機能(5mm×5mm)とプローブチップ機能(4.3mm×4.3mm)をASICとして開発した。各ASICをそれぞれ500チップ使用することにより、ウェハ上の最大2,000チップDUTを一括同時テスト可能とした。これらASICを含む300mmウェハ対応18.6万端子プローブカードによるウェハ一括テストのシステムアップ(1/10スケール・テスタ機能ASIC、プローブチップ機能ASIC各50チップ)を行い、実動作速度(最大伝送速度15Gbps/DUT)を実証した。





## 【目標仕様】

・ウエハサイズ	: 300mmφ
・接触端子数	: 15万/ウエハ
・非接触プローブ	: 3.6万/ウエハ
・パッド・サイズ	: 60μm
・パッド・ピッチ	: 最小90μm
・電流	: 5KA
・電力	: 15kW
・使用温度範囲	: -40~+125°C

プローブカードの外観(550mm×480mm)

**・300mm径サイズ／接触15万接続端子+非接触3.6万端子(容量結合)を開発**

図(2)-A-2 300mm ウェハ/30 万端子一括測定プローブカード 外観

## 2)-2 被測定対象への電力供給および温度制御技術の研究開発

## (a) プローブカード電力供給技術の研究開発

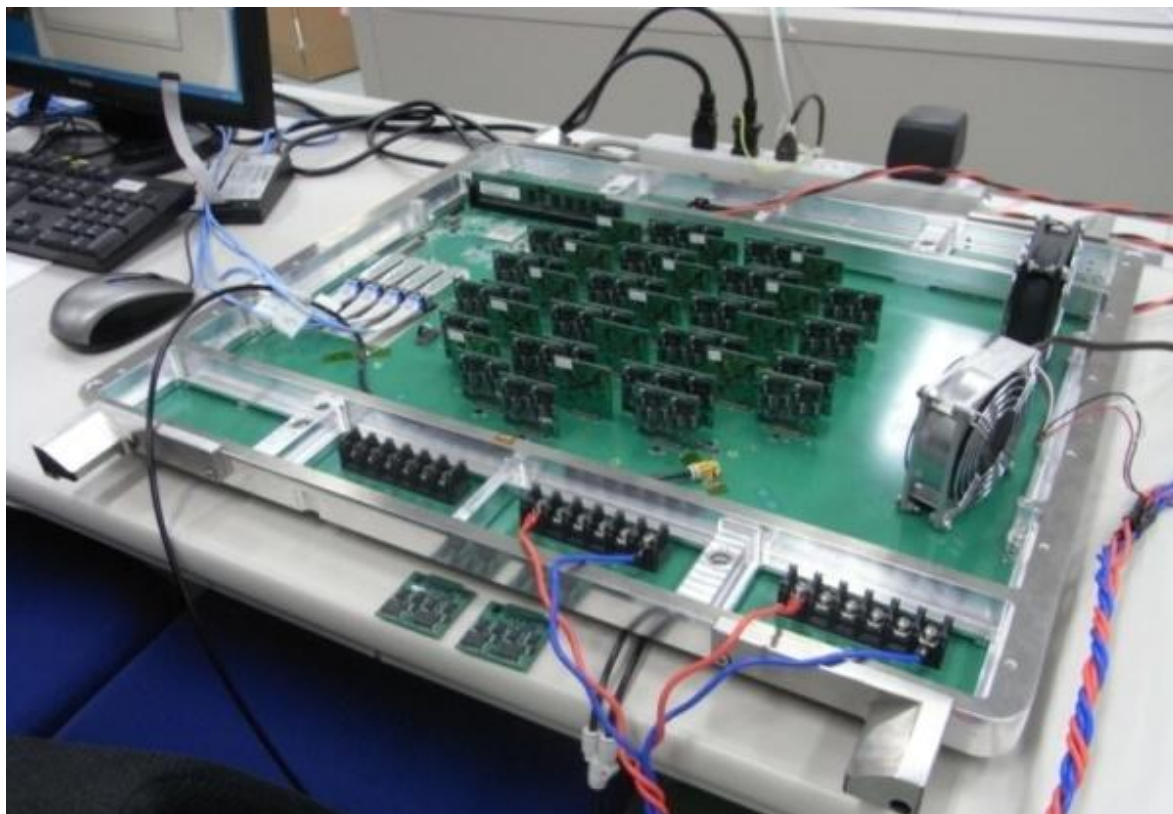
被測定対象への電力供給技術として、ウェハ当たり最大電力10kW以上の供給を目的とした3電源・12出力の電源モジュールを開発した。

## (b) ウェハ温度制御技術の研究開発

温度範囲-40°C~+150°Cにおいて、チップテストおよびチップバーンイン試験を可能とし、温度範囲70°C~+150°Cにおいては、ウェハ一括バーンイン試験を可能とする温度制御技術を開発した。具体的には、-40~150°Cの温度制御を可能とし、ウェハトレイ構造に対応した広温域・大気圧加圧アライメント装置を開発した。また、気化潜熱を用いた300mmウェハ面の冷却と70~150°C±3°C(20kW 発熱時)の高精度温調技術を開発した。さらに、高熱伝導材(熱伝導率630W/m・k)を用いた高熱伝導ウェハトレイと接触熱抵抗低減技術(従来比1/7)を開発した。

## 2)-3 プロービング部分とテストシステム間の接続技術の研究開発

(b)のテストチップとプローブチップ機能を含むウェハ一括プローブカードのシステムアップ実証(1/10スケール)の研究加速により、プローブカードとテスト(テストシステム、テスト装置)間の信号接続を大幅に削減した評価を行った。一方、300mmウェハ一括プローブカードをテストと接続要求に対する市場ニーズから、高いピン密度(従来比4倍以上)を実現した200チャンネル/伝送速度500Mbps以上動作の非接触コネクタ(容量結合)を開発した。これにより、非接触コネクタ用いたプローブカードとテスト装置間において4万系統のテスト信号伝送が可能であることを実証した。



図(2)-A-3 プロービング部分とテストシステム間の接続実証(1/10スケール)

### 3) 最終目標の達成度

以上の内容を表(2)-A-1 にまとめる。このように、基本計画に定義された最終目標を前倒して達成したため、平成 22 年度をもって研究開発を終了する。

表(2)-A-1 「チップテスト技術の研究開発」の成果と達成度

◎:目標を大幅に上回り達成、○:目標を達成、△:目標をほぼ達成、×:目標未達成

テーマ	目標	成果	達成度
チップテスト技術開発 (中間評価で評価済)	<ul style="list-style-type: none"> <li>・300mmウェハに対し、30万端子以上の一括アクセスを可能とする技術開発</li> <li>・15Gbps/DUTの信号速度での検査可能性の確認</li> </ul>	<ul style="list-style-type: none"> <li>・大気圧加重(接触端子)+容量結合(非接触端子)で30万端子アクセスの可能性確認</li> <li>・試験用に、18.6万端子のプロブカードを開発し稼働確認</li> <li>・ウェハテスト/バーニン可能な温度制御技術(スプレー冷却)を開発</li> </ul>	◎

### (2)-A-2 成果の意義

#### 1) 300mmウェハ一括プローブ方式の研究開発

300mmウェハ一括プローブ方式の研究開発では、300mmウェハ一括プロービング、多端子プローブカード対応非接触プロービング、プローブカードとテストシステム間接続、プローブカード温度制御の各要素技術は、新しいコンセプトと独自技術で開発されたもので、他に類がなく、かつ世界最高水準の成果が得られている。

開発したウェハー一括プローブ方式は、テストコスト削減が求められている現行ウェハテスト工程やバーンイン工程の検査技術と試験装置に適用可能であり、有用な成果である。

### (2)-A-3 知的財産権の取得及び標準化への取組

#### 1) 300mmウェハー一括プローブ方式の研究開発

300mmウェハー一括プローブ方式を試験やバーンイン装置に適用するために重要性が高いプロービング技術、非接触通信システム、非接触コネクタ構造、およびウェハ温調技術に関して、6件の特許出願を行った。

### (2)-A-4 成果の普及

#### 1) 300mmウェハー一括プローブ方式の研究開発

300mmウェハー一括プローブ方式の研究開発は、プロジェクト参加企業が市場ニーズを考慮しながら実用化を目指しており、今後各企業で実用化研究が継続される予定である。

---

## 2. 1 多機能高密度三次元集積化技術

### (3) 次世代三次元集積化の共通要素技術開発と設計基準策定

---

### (3)-A 実証デバイス研究

#### (3)-A-1 目標の達成度

##### 1) 基本計画の目標

(概要): 背景の概要を含む (平成 22 年度事業原簿公開版 III-30 から引用)

シリコン貫通電極を用いた三次元積層 SiP の試作は、多機能高密度集積化技術として開発した設計技術と、評価技術の有効性を実証するために行う。そして、それが半導体産業分野に新しい重要な提案となり、その結果、日本の半導体技術のプレゼンスを高めることとなることを期待している。

日本は民生機器が強く、軽薄短小技術に先進性を持つ。このような背景から、本プロジェクトで培われた三次元集積化技術成果を有効に利用して、上記強みをさらに強化する。その強化策を具体的に見える形にするものが実証デバイスである。すなわち情報通信および信号処理デバイスの高速小型化、低消費電力化を具体的システムで検証する。

基本検討デバイスにより部分検証を行うフェーズと実証デバイス検討フェーズを分けて行う。最終的な実証デバイスの詳細仕様は基本検討デバイスを数回試作した後に決定するが、日本の強い民生機器部門でのハイエンド技術を保有する技術、例えば、超高速フレームレートを持つイメージセンサを含む画像処理とその記憶素子が考えられる。

一方、上記基本検討デバイスや実証デバイスを試作するためには、要求仕様に適応できるプロセス開発が必要となる。TSV 形成及び積層プロセスは、NEDO 電子 SI プロジェクト等で開発された成果を基に国内外で開発が進められているが、今回の実証デバイスのプロセス仕様は、これを実現するため以下をターゲットとする。

- TSV サイズ(ピッチ):  $\phi 5 \mu\text{m}$  ( $10 \mu\text{m}$ )
- TSV 数: 10,000 以上/チップ
- TSV 形成プロセス: Via-Last 方式
- 積層プロセス: Chip to chip 方式 あるいは Wafer to Wafer 方式
- 積層数: 2 層～5 層

DRAM 等のメモリデバイスや最先端デバイスを積層する場合、これらのデバイスはすでに  $\phi 300\text{mm}$  ウェハでの製造が主流となっているが、現状、国内では上記プロセス仕様に対応できる  $\phi 300\text{mm}$  ラインは存在しない。このため、本プロジェクトにおいては、必要に応じて上記プロセス仕様



に対応できるφ300mmライン(実証ライン)を構築し、実証デバイスの試作が可能となるTSV形成及び積層プロセスの研究開発を進める

(基本計画)

(最終目標)

次世代三次元集積化設計技術及び次世代三次元集積化のための評価解析技術を用い、Si貫通ビア(電極)を用いた三次元積層SiPを試作することにより、その有効性を検証する。

最終目標(平成22年度):

- ・実用的なアプリケーションを想定した実証用三次元積層SiPの候補と、その機能検証を行う仕様を策定する。
- ・実用的なアプリケーションを想定した実証用三次元積層SiP(実証デバイス)の第一ステップとして、ロジックと超ワイドバスメモリの2チップ構成(ビット幅2k本以上、伝送能力100GB/sec以上)とした実証デバイス#1を試作し機能を検証する。

(出典:平成21年度実施方針P2 平成22年1月改定)

## 2) 開発成果の要約

### 2)-1-1 実証デバイス設計開発(実証デバイス#2)

平成21年度に、次の目標を定めた。すなわち、三次元集積化の優位性が顕著であり、日本の得意領域の応用として高速画像システムを取り上げ、10,000フレーム/秒で画像を高速に取り込み、リアルタイムで処理することが可能な、並列・リコンフィギュレーション画像処理システムを開発することを目標とした。まず、VGAで進め、最終的にはHDTVに展開できる可能性を示す。VGAでも24Gbps×3というバンド幅が必要であり、TSVによる情報の並列処理をすることが主眼となる。

本システムは産業機器に属するものであるが、民生機器と共通するプロトコルやアーキテクチャで制御される部分が多く、開発技術は、スペックダウンした形で民生機器、特に携帯電話分野に展開できる技術である。また最近開発が加速されている自動車自動運転支援システム(ADAS: Advanced Driver Assistance System)への適用も考えらる。

平成20、21年度は要素回路を試作した。その要素回路はセンサ、ADC、リコンフィギュアラブルメモリ、並列・リコンフィグレーションプロセッサ、高速インターフェースで、その間の整合技術もあわせて検討した。TSVをつけた構造は、ウェハ試作の開発費用がかかることから、平成20年度、平成21年度は等価回路によるTSVの検討を行った。含まれる主要要素技術を次に示す。

- i)高速処理・高速通信(広域バンド):10,000フレーム/秒(部分試作で可能性検討)、フレームメモリ処理、チップ内通信100M~6Gbps、チップ外2Gbps/ピン、VGA仕様でバンド幅24bps。
- ii)多機能:イメージセンサ、ADC、プロセッサ、大容量メモリ、高速I/F、高速シリ・パラ変換。
- iii)並列分散・大容量通信:TSV数;20,000(信号ピンのみ)、20,000並列処理をイメージした高効率・高速通信および演算処理。
- iv)大容量記憶:6,000フレーム分以上が必要、ただし、今回の検討期間では検討対象としない。
- v)冗長性・強靱性:ダイナミックリコンフィギュレーションによる各種補正可能なアーキテクチャ。ただしその可能性を要素回路で示すのみ。

以下に、基礎検討の成果を示す。

#### (a)イメージセンサ・ADコンバータ

積層型超並列CMOSセンサ、CDS(Correlated Double Sampling)、グローバルシャッター機能付きピクセル回路の一次評価を完了し、二次試作中でチップは平成22年3月に完成した。ADC(コンバータ)は、変換速度、消費電力、占有面積などの検討を行い、一次試作として目標達成可能なシングルスロープ型と逐次型の2回路の設計評価を完了し、二次試作では逐次型でチップ試作が平成22年2月に完了し、初期的な評価で基本機能が満足することが判明し、さらに詳細評価中である。

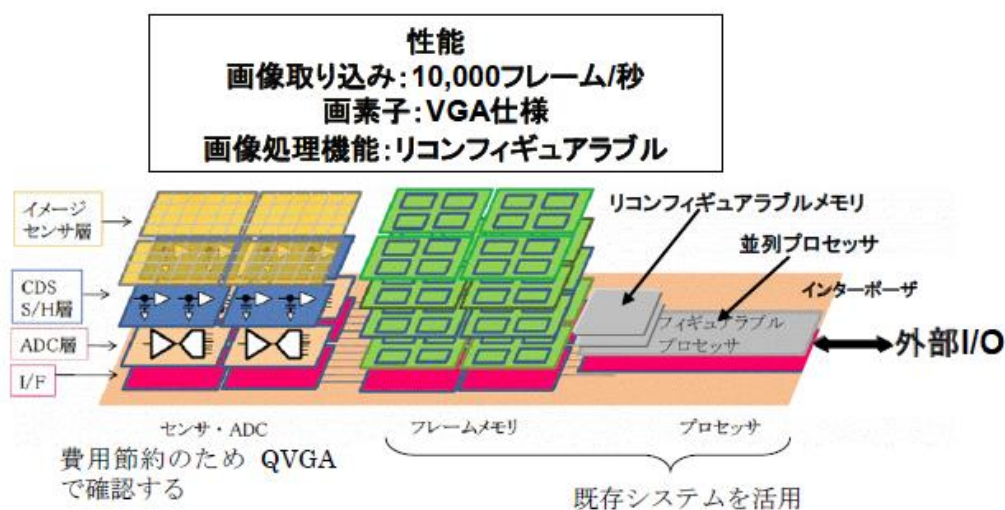
## (b) 並列・リコンフィギュレーション画像処理

各種画像処理を施したデジタル画像を出力するためのリコンフィギュラブル画像処理プロセッサに関して、動的再構成メモリを搭載する画像処理用アーキテクチャの方式の基本設計を行い、チップ試作を完了し、初期的な評価で基本機能が満足することが判明し、さらに詳細評価中である。ただし、平成23年度以降費用を削減するため、本モジュール試作は行わないこととし、その可能性のみを確認することとした。

## (c) 高速インターフェース

3.2Gbps以上の動作で、16/32ビット同時切り替え可能なドライバチップを設計製作完了し、インターポーザWGと共同で、PI/SI評価基板を設計し、試作評価を完了した。二次試作として統合IFチップ(シリパラ・パラシリ変換、レシーバ、クロック、高速ラッチ、デコーダ、TSV等価回路、等価的内部回路、ドライバ)を設計し、平成22年2月チップ試作が完了し、チッププローブレベル評価で動作を確認し、これに整合する高速評価ボードの設計を完了した。

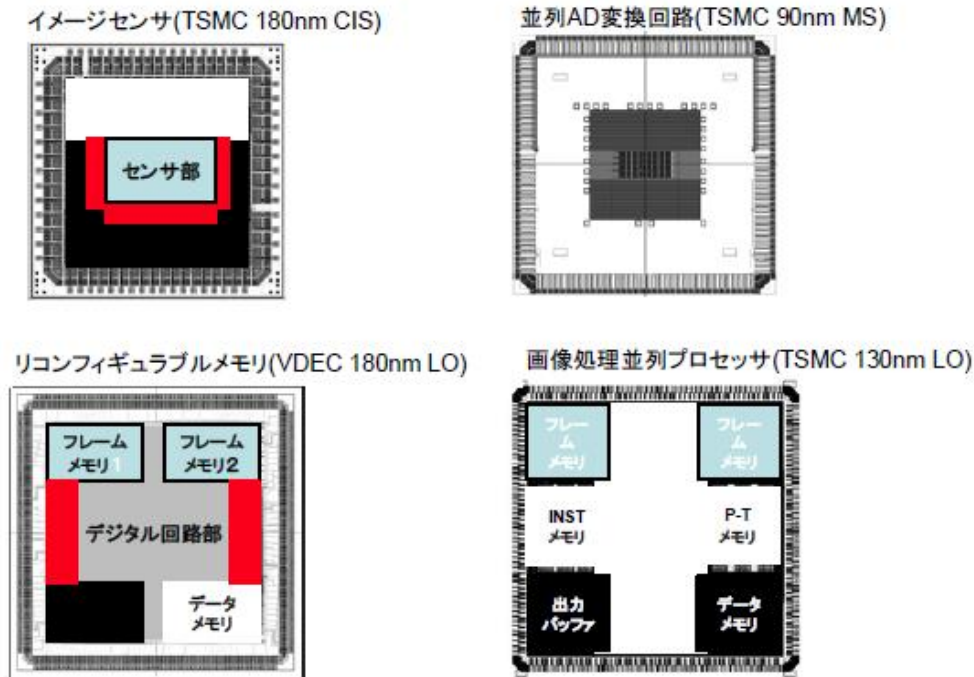
尚、上記実証デバイス#2の最終構成イメージを図(3)-A-1に示す。



図(3)-A-1 実証デバイス#2 最終構成イメージ

平成21年度までの要素回路基礎検討は要素別にはほぼ初期の目標を達成した。この要素回路を元に、平成22年度において10,000フレーム/秒の画像取り込みのためのセンサモジュールのチップ、すなわちセンサ、ADC、I/Fチップの設計を、TSV接続の上下整合関係、信号タイミング整合条件、電源電力配分、取り出し電極構成を考えながらコンカレント設計を開始した。実用的なデバイスを狙う反面、評価も必要であり、評価モニタ回路を含める必要があること、費用を節約することの2面からQVGA仕様とする。チップ製作、モジュール化は平成23年度から平成24年度前半で完成させ、平成24年度後半で評価実証する。ただし、リコンフィギュラブルメモリ・並列プロセッサモジュールは費用節約のため、モジュール化は行わず、入手可能な既システムを利用するが、要素回路試作のデータを元にしてその技術展開指針は示す。

平成21年度までの要素回路の基礎検討を行った代表的チップ群を図(3)-A-2に示す。



図(3)-A-2 基礎研究を行った各種チップ

## 2)-1-2 実証デバイス設計開発(実証デバイス#1)

より近未来に実用化が期待できる実証デバイスとして、超ワイドバスメモリとロジックの相互結合を可能とする三次元積層構造の可能性に注目し

- ・メモリとロジックを2k-I/O以上の超ワイドバスで接続する構造を実現
- ・ロジックとメモリそれぞれの端子位置の自由度を確保するため、シリコンインターポーザをメモリとロジック間に挿入する構造を採用
- ・この構造化に必要な設計手法(DFTを含む)を構築
- ・伝送エネルギーの低減及び超ワイドバスのノイズを評価

と言う観点から仕様を検討し、信号を授受する素子としてロジックと超ワイドバスメモリの2チップ構成(ビット幅2k本以上、転送能力100GB/sec以上)とし、両者の間にシリコンインターポーザを挿入する三次元構造を前提として設計に着手、平成21年度に論理レベル設計を実施した。

実証デバイス#1仕様の第1の特徴として、超ワイドバスメモリのビット幅を4k(4,096)本とし、動作周波数100MHz(200Mb/s)とすることで102GB/sの転送性能を有する点が挙げられる。これは現在一般的に用いられているメモリの転送性能(64bit幅×1.6Gb/sec=12.8GB/sec)の8倍の性能に相当する。又、信号伝送に要する電力も三次元構造化によって著しく改善される、従来の並置型構成に比して伝送路の負荷容量が1/10以下に低減される見通しであり、その結果、1ビットのデータの転送に必要なエネルギーも1/10以下となる。これは伝送径路のエネルギー効率が10倍以上となることを示す。

DFT(Design For Test)の観点からロジックとメモリ双方にバウンダリスキャンを搭載し、ロジック部には電源ノイズ評価回路(インターポーザWGの成果の活用)を搭載する。

こうした機能の搭載により超ワイドバスを活用するための基礎評価が可能となる。主なものとして

- ・伝送特性と対応する消費電力の評価;  
非常に高い伝送能力が低消費電力によって実現される事の確認
- ・超ワイドバス構造に付随するノイズの評価;  
同時スイッチング出力動作(Simultaneous Switching Output; SSO)ノイズ低減手法の調査
- ・三次元構造の試験手法に関する調査(バウンダリスキャンを用いた接続性試験など)

といった三次元積層構造が持つ特徴と課題を確認できる設計仕様となっている。

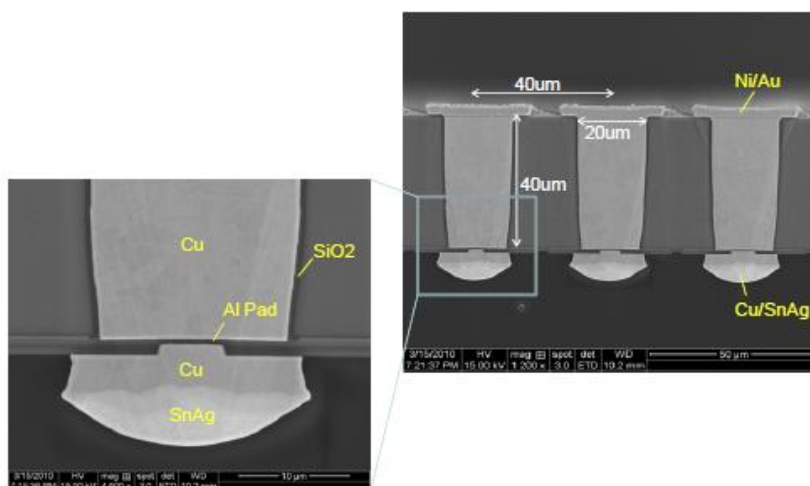


又、メモリとロジック間にシリコンインターポーザを挿入する構造を採用し、この構造に対応する設計作業により、メモリ・ロジック双方の素子の端子位置自由度がどの程度確保されるか(シリコンインターポーザの配線層数・設計基準と端子位置変更範囲との相関の評価)という、新たな知見も蓄積された。

## 2)-2 実証デバイスプロセス開発

実証デバイスプロセス開発ではTSV、マイクロバンプの形成技術とウェハ積層技術(W2W)を開発しており、以下の成果を得た。

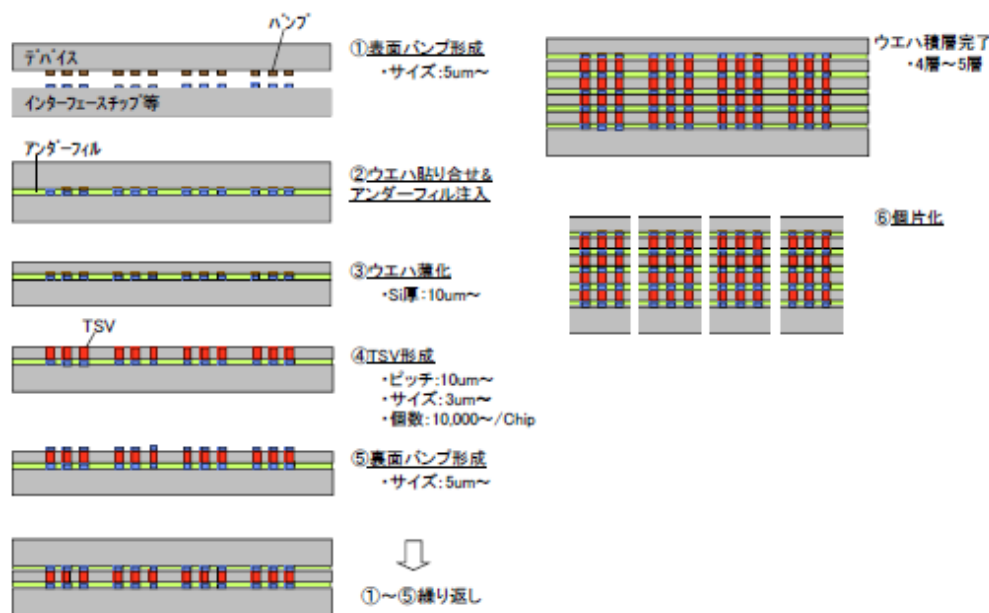
実証デバイス#1では50 $\mu$ mピッチ、20 $\mu$ m径のTSVが使われ、実証デバイス#2では2種類のTSV(インターフェースチップで使われる35 $\mu$ m径TSVとイメージセンサ、CDS、ADC、フレックスチップ等で使われる5 $\mu$ m径TSV)が使われる。実証デバイスプロセス開発では、まず、20 $\mu$ m~35 $\mu$ m径に対応できるTSVおよびマイクロバンプの形成技術を開発した。TSV形成はSiウェハをガラス支持体に貼りつけてから40 $\mu$ m程度に薄化し、ウェハの裏面側からTSVを形成する裏面ビアラスト(Via Last/Back Via)方式のプロセスを開発した。Viaはプラズマエッチング法で形成し、側壁絶縁膜(SiO<sub>2</sub>)はウェハとガラス支持体を接着する樹脂の耐熱性を考慮して、180℃以下の低温プラズマCVD法で形成した。Via内は電解めっき法でCu電極材を埋め込み、ウェハ表面上のCu膜はCMP法で除去した。CuめっきはVia底からCu膜が成長していくボトムアップ方式を適用し、Via内のボイド発生を抑えた。TSV上のバンプは電解めっき法でCu/SnAgあるいはNi/Auのバンプを形成した。以上のプロセスにより、20~35 $\mu$ m径レベルのTSV形成技術は開発を完了した(図(3)-A-3)。



図(3)-A-3 20~35 $\mu$ m 径レベルの TSV 形成技術

5 $\mu$ m径TSVに関しては、Siドライエッチングで深さ30 $\mu$ mまで問題なく加工できることを確認し、また5 $\mu$ m径という非常に微細なマイクロバンプをCu/SnAg、Ni/Au ともにほぼ垂直形状で形成することができた。この結果、5 $\mu$ m径のTSVを形成できる見通しを得た。

W2W積層技術の開発では、まず基本的なプロセスフローを検討し、Via Last/Back Via方式のTSV形成技術を取り込んだプロセスフローを策定した。今回のW2W積層プロセスの特徴は、ガラス等の支持体を用いず、インターポーザ等のウェハに他のデバイスウェハを積層して裏面加工(TSV、マイクロバンプ形成)を行い、これを繰り返して積層していくことにある(図(3)-A-4)。



図(3)-A-4 W2W 積層+Via-Last (裏面) のくりかえしで多段積層

このW2W積層プロセスによって、 $10\mu\text{m}$ 厚の極薄Siの積層が達成できると考えている。

次にウェハ間を樹脂で封止するプロセスを検討した。ウェハ積層前に予めウェハ上に樹脂を形成しておく先樹脂法とウェハ積層後に樹脂を封止する後樹脂法の2種類の方法があるが、今回は先樹脂法を検討した。樹脂としてBCB、ポリイミド、エポキシの三種類を評価した結果、加工性、耐熱性等の観点から、先樹脂法の樹脂としてポリイミドが最も適していることが確認できた。ポリイミドまたはエポキシ樹脂でウェハを貼り合わせた後、ウェハ研削からマイクロバンプ形成までの工程を進め、薬液の影響を受けることなく加工できることを確認した。

平成22年度内には先樹脂法でマイクロバンプを形成したウェハでの接合評価を完了するとともに、ウェハ積層後のTSV形成技術の開発に目処をつけた。

### 3) 最終目標の達成度

- ・実用的なアプリケーション仕様に準ずる、Si貫通ビアを用いた三次元積層SiPを試作し機能を検証する。
- ・実証デバイスにおいて、次世代三次元積層SiP、インターポーザ、外部基板まで含めた領域において、電気的特性による次世代三次元積層集積化設計技術の設計精度検証を行う。

### (3)-A-2 成果の意義

#### (3)-A-2-1 実証デバイス設計開発(実証デバイス#2)

機能特性は10,000fps(現市販2,000fps 間歇的データ取り込み)のリアルタイムの高速並列画像取り込み(=常時)を実現でき、常時24Gbpsの高速並列データ処理が可能となる(Intel CPU最大は68.2Gbpsであるがデータ転送率30~50%で、画像に対して積和演算効率は悪い)。

#### (3)-A-2-2 実証デバイス設計開発(実証デバイス#1)

- ・超多ピンによる三次元積層素子間のデータ授受技術は、その優れた低消費電力化によって、IT機器の性能向上を図りながら省エネルギー・CO<sub>2</sub>削減効果に大きく貢献できる。
- ・本技術は、今後、世界的に展開される三次元集積化技術の基盤技術であり、加速開発を実施し早期に実用に展開することで我が国半導体産業及びIT機器メーカーの発展に寄与できる。
- ・設計技術・評価技術の開発は関連知財構築・仕様のデファクト化と共に、設計・開発インフラの整備を含めた多様な応用展開を加速する基盤技術開発となる。

・米国(Sematech/DARPA)、欧州(Imec, Leti)、韓国(KAIST)などが繰り広げている三次元集積化技術開発の激しい国際競争の中で、日本の地位向上に資する。

#### (3)-A-2-3 実証デバイスプロセス開発

W2W 積層プロセスにおいて、今回、ガラス支持体を用いず、インターポーザ等のウェハ上に順次、ウェハを積層し、TSVはVia Last/Back Via方式で形成するプロセスを提案した。このプロセスは比較的汎用性が高いため、今後、W2W 積層で三次元デバイスを実用化していく上で、スタンダードプロセスに成り得るものと考えられる。また、このプロセスでは、ウェハ間の樹脂充填方法が大きな課題の一つとなっているが、今回、ウェハを積層する前に樹脂を形成する方法を検討し、マイクロバンプの形成も含めて、本プロセスを構築できる見通しを得ることができたことは、今後のW2W 積層技術の開発に大きな意義を持つ。今後、実証デバイス#1および#2 製造プロセスとして展開を行っていく。

#### (3)-A-3 知的財産権の取得及び標準化への取組

知的財産の取得は、(3)-Dに移行後、実施した。

#### (3)-A-4 成果の普及

##### (3)-A-4-1 実証デバイス設計開発#2

最近開発が加速されている自動車自動運転支援システム(ADAS : Advanced Driver Assistance System)への適用も考えられるだけでなく、スポーツ、科学、医学、軍用分野における高速画像処理システム、特にリアルタイム(常時)処理が出来ることから、超臨場感を持つモニタ操作を必要とする分野に応用できる可能性を持つ。また、切り出した技術は波及効果として一般的なCPUメモリ間的高速通信やクラウドコンピュータ通信システムにも応用可能である。さらに、多くのTSVを利用した並列メモリ、演算処理はダイナミックリコンフィギュラブルシステム一般のハード的な設計部門への取り込みも可能である。

##### (3)-A-4-2 実証デバイス設計開発#1

超多ピンによるロジック・Siインターポーザ・メモリ間の相互接続は、高性能情報処理装置、特にグラフィックス用としてメニーコアを用いるハイエンドの画像処理装置(PC用グラフィックス、ゲーム機器)が最初のキラーアプリと成る可能性が高い。これに続いて、グラフィックス用エンジンを汎用化したGPGPU(General Purpose Graphics Processing Unit)を用いたスーパーコンピュータやサーバなどに市場が拡大するものと想定している。

##### (3)-A-4-3 実証デバイスプロセス開発

300mmウェハを使ったTSV技術、ウェハ積層技術等は世界的にも普及していない。本プロジェクトが実証デバイスを通して実用化可能なプロセスを示せば、日本の半導体産業の国際競争力の向上と三次元技術の世界的普及に大きな影響を与えるものとなる。

---

---

## 2. 2複数周波数対応通信三次元デバイス技術

---

---

### (1) 複数周波数対応可変RF MEMSデバイスの研究開発

---

---

#### (1)-1 目標の達成度

##### 1) 基本計画の目標

(概要):

次世代携帯電話には高度情報通信機器として、使用する場所や環境、時間帯を気にせず、利用可能な複数の通信システム/複数の周波数の中から混信の可能性が無い周波数を自由に選択し、安定かつ高速に通信できる高度な通信機能の実現が期待されている。同時に、通信機能を担うアナログRF回路には、小型化、低コスト化、低消費電力化の実現が必要である。

本研究開発では微小可動構造(MEMS)を用いたMEMS回路、制御・電源回路が積層された複数周波数・複数通信方式に対応する三次元デバイスを開発する。最終的には、ボード基板上に並べられたRF通信デバイスを小型化しSiPとすることが可能な技術を確立する。

(基本計画)

1) 700MHz～6GHzにおいて、中心周波数、周波数帯域幅等の周波数特性を可変とするRF MEMS デバイス(可変アンテナ、可変インピーダンス回路、可変フィルタ)を開発する。

2) RF MEMS デバイスの制御回路、電源回路を開発し、それらを三次元集積化するための高周波回路実装技術を開発する。

(最終目標)

MEMSデバイス(キャパシタ、スイッチ等)を組み合わせたRF MEMSデバイス(可変アンテナ、可変インピーダンス回路、可変フィルタ)を開発する。また、RF MEMS回路、制御・電源回路を三次元集積化し、機能を実証する。さらに、それらを組み合わせ、複数の周波数帯域において通信可能な試作回路を作成しその動作を実証する。MCM化に向けたパラメータと課題の抽出を行う。

#### 2)開発成果の要約

##### 2)-1 MEMSスイッチ

MEMS スwitchは、可変フィルタモジュールに適用するSP4T(1入力4出力)型スイッチと可変アンテナモジュールに適用するSPST(1入力1出力)型スイッチを試作・評価し、挿入損失、アイソレーション共に目標値をクリアするスイッチング性能を得た。また、可変アンテナモジュールへの実験適用のための簡易型小型パッケージ実装技術を開発した。

##### 2)-2 MEMS可変キャパシタ

MEMS 可変キャパシタは、容量値を3bitで可変する構造のデジタル可変型キャパシタを開発した。MEMS 可変キャパシタには、長期間連続的に動作させると誘電体のチャージアップに起因する電極のスティッキング(貼り付き)が発生し動作不良となる課題があった。この課題に対し、独自のMIM(Metal-Insulator-Metal)構造とリフレッシュパルスを含むバイポーラ駆動法を導入し、スティッキング防止に目処を得た。長期信頼性の目標値をクリアする動作寿命が確認できている。また、インピーダンス整合回路への実験適用のためには気密実装を要したため、簡易型CSP(Chip Size Package)技術を完成した。さらに、容量制御の高精度化に向けたデジタル4bit可変化の開発にも着手した。

##### 2)-3 可変インピーダンス整合回路

固定インダクタと可変キャパシタの構成で試作し、可変整合動作の確認を行った。具体的には、前記(1)で試作したシャントタイプの3bit-MEMS 可変キャパシタを用いてΓ型可変インピーダンス



整合回路を試作し整合動作の確認を行った。可変キャパシタの 3bit-8 ステートにより、2.45GHz において 21.3～101.2Ω の可変整合動作と通過損失 1.0dB 以下の特性を確認した。

簡易型 CSP に収めた複数個の MEMS 可変キャパシタと固定インダクタチップで構成した可変インピーダンスマッチング回路を試作し、アンプ素子と組み合わせて可変 PA (Power Amplifier) モジュール、可変 LNA (Low Noise Amplifier) モジュールに適用した。

#### 2)-4 可変フィルタ

新規開発した高誘電率基板を用いて携帯電話に搭載可能なサイズの実現を目指して小型の可変フィルタを設計・試作した。試作したチップサイズは 3.7×4.1 mm、動作周波数 2.95～4.12GHz、挿入損失 4dB 以下、通過帯域幅は 12-22% を得た。この周波数帯での可変フィルタとしてはトップクラスとなる小サイズ、低損失な結果を得た。更なる低損失化に向けた高誘電率基板の抵抗内蔵化にも目処を得た。また、通過帯域の制御技術を検討し、帯域幅の狭帯域化、帯域端の急峻化が可能なフィルタの内部構成を見出した。

デジタル動作の MEMS 可変フィルタの基本構成と専用ドライバ IC の設計を行った。

#### 2)-5 可変アンテナモジュール

簡易実装した複数の SPST 型 MEMS スイッチを搭載してアンテナ長を等价的に切り換える方式の可変アンテナを設計・試作した。性能を評価した結果、リターンロス -6dB 以下で 700MHz～6 GHz をカバーできる可変アンテナが実現できることを確認した。

#### 2)-6 可変PAモジュール

可変 PA モジュール開発に用いるアンプ素子 (HBT: Heterojunction Bipolar Transistor) を新たに設計、製作し基本動作性能を確認した。また、可変インピーダンス整合回路とアンプ素子を評価基板上で組み合わせて可変 PA モジュールとしての性能評価を行い、周波数特性の広帯域化が可能なことを確認した。

#### 2)-7 可変LNAモジュール

可変 LNA モジュール開発に用いるアンプ素子 (pHEMT: pseudomorphic High Electron Mobility Transistor) を新たに設計、製作し、基本動作性能を確認した。また、可変インピーダンス整合回路とアンプ素子を評価基板上で組み合わせて可変 LNA モジュールとしての性能評価を行い、周波数の可変動作を確認した。

#### 2)-8 可変インダクタ

MEMS インダクタは広帯域、高 Q 特性を実現する上で有効であることを試作により確認した。また、各種構成のインダクタの特性比較を行い、高い可変率の実現にはミアンダ型が有利であることを実証した。可動機構として円形アクチュエータを試作し、環境の静電気の影響が課題となることを見出した。CMOS 回路との融合に向けた取り組みとして、CMOS 回路による昇圧回路を考案、試作により 3.3V 電源回路から 24V の高電圧出力を得ることに成功した。

#### 2)-9 RFMEMSデバイスの三次元集積化実装技術の開発

MEMS デバイスの対向面にプレートを設置したモデルにより、容量カップリングが MEMS デバイスの特性におよぼす影響について検討し、可動部の封止構造および実装形態を選定後、MEMS スイッチおよび可変フィルタからなる可変デュプレクサモジュールについての検討を行った。

### 3) 最終目標の達成度

最終目標:

MEMS デバイス (キャパシタ、スイッチ等) を組み合わせた RF MEMS デバイス (可変アンテナ、可変インピーダンス回路、可変フィルタ) を開発する。また、RF MEMS 回路、制御・電源回路を三次元集積化し、機能を実証する。さらに、それらを組み合わせ、複数の周波数帯域において通信可能

な試作回路を作成しその動作を実証する。MCM化に向けたパラメータと課題の抽出を行う。

成果：

MEMS スイッチの動作を実証し低損失及び小型化のための指針を示した。MEMS キャパシタの動作を実証し低損失及び小型化のための指針を示した。可変フィルタの動作を実証し低損失及び小型化のための指針を示した。可変インダクタの動作を実証した。これらを組み合わせて可変アンテナの動作を実証した。可変インピーダンス回路の動作を実証した。

MEMS スイッチと可変フィルタに関して三次元積層時の高周波容量カップリングが MEMS デバイスの特性におよぼす影響を調査し、三次元積層時の高周波回路設計指針を示した。また可変フィルタと MEMS スイッチとドライバ IC をインターポーザ上に三次元積層化する、高周波信号経路を考慮した基本設計を行った。

可変フィルタ、可変アンテナモジュール、可変 PA モジュール、可変 LNA モジュールと、それらのモジュールで使用されている RF MEMS デバイスを駆動する RF MEMS ドライバ、更にホスト PC とのインターフェースをつかさどる制御部からなる試作回路を作成し、複数の周波数帯域において通信可能な特性を持つことを示した。

MCM 化に向けた小形化するための課題を抽出した。

以上の成果により最終目標を達成した。

#### (1)-2 成果の意義

可変 RF-MEMS デバイスの設計、作製技術について世界最高レベルの成果が得られている。MEMS 可変フィルタは新開発の高誘電率基板を用いて、新規考案の回路構成によりシミュレーション、設計、作製を行い、世界最高レベルの小サイズ、低損失の評価結果を得た。可変アンテナモジュールは MEMS スイッチ用いた独自の周波数可変機能を実現し、世界最高レベルの可変範囲 700MHz～6GHz を示した。可変インピーダンスマッチング回路はローノイズアンプ、パワーアンプと組み合わせて周波数可変ローノイズアンプ、周波数可変パワーを実現した。MEMS 可変キャパシタ、MEMS スイッチは性能と動作寿命の改善に注力した。可変キャパシタはデジタル方式設計により、世界トップレベルのロス特性とリニアリティを実現した。さらに、独自の誘電体層構成により、実用化レベルの開閉寿命も得られた。MEMS スイッチは材料構成と新たな高周波設計手法により、世界最高レベルの ON 時の損失特性、OFF 時のアイソレーション特性を得た。今後の研究開発で、上記の技術を統合、モジュール化することにより、世界初の周波数可変の RF 通信モジュールを実現する可能性が高い。

将来的に携帯電話への搭載が可能 RF-MEMS を用いた周波数可変フロントエンド回路の可変動作を世界で始めて検証した。これにより、実用化のための課題、改善の方向性、手法が抽出できた。特に、各モジュールに搭載される MEMS ドライバと制御部のインターフェースに関して、実用化時のシステム構成をにらんだ設計方針が抽出できた。また、送信制御、受信制御特性の評価により、フロントエンド小型化のための課題が抽出できた。

#### (1)-3 知的財産権の取得及び標準化への取り組み

成果に関して知的財産権の網羅的獲得を目指し取り組みを行った(表②-1)。

#### (1)-4 成果の普及

成果は 2011 年度～2012 年度のドリームチッププロジェクトに引き継がれ、技術をさらに高め、プロジェクト終了後の製品化技術開発に引き継がれ、製品に適用される予定である。



---

---

## 2. 2複数周波数対応通信三次元デバイス技術

### (2) 複数周波数対応通信フロントエンド回路の研究開発

---

---

#### (2)-1 目標の達成度

##### 1)基本計画の目標

(概要):

次世代携帯電話には高度情報通信機器として、使用する場所や環境、時間帯を気にせず、利用可能な複数の通信システム/複数の周波数の中から混信の可能性が無い周波数を自由に選択し、安定かつ高速に通信できる高度な通信機能の実現が期待されている。同時に、通信機能を担うアナログ RF 回路には、小型化、低コスト化、低消費電力化の実現が必要である。本研究開発では微小可動構造(MEMS)を用いた MEMS 回路、制御・電源回路が積層された複数周波数・複数通信方式に対応する三次元デバイスを開発する。最終的には、ボード基板上に並べられた RF 通信デバイスを小型化し SiP とすることが可能な技術を確立する。

(基本計画)

RF MEMS デバイスの制御回路、電源回路を開発し、それらを三次元集積化するための高周波回路実装技術を開発する。

(最終目標)

RF MEMS 回路、制御・電源回路を三次元集積化し、機能を実証する。さらに、それらを組み合わせ、複数の周波数帯域において通信可能な試作回路を作成しその動作を実証する。MCM 化に向けたパラメータと課題の抽出を行う。

##### 2) 開発成果の要約

可変アンテナ・可変フィルタ・可変 PA および可変 LNA を制御する、ホスト PC とのインターフェースを行う制御回路と、各モジュールの RF-MEMS を駆動するドライバを製作し、これらを組み合わせて複数周波数対応通信フロントエンド回路を構成した。ホスト PC からの設定変更によって、RF 周波数特性が変更できることを確認した。

##### 3)最終目標の達成度

可変フィルタ、可変アンテナモジュール、可変 PA モジュール、可変 LNA モジュールと、それらのモジュールで使用されている RF-MEMS デバイスを駆動する RF-MEMS ドライバ、更にホスト PC とのインターフェースをつかさどる制御部からなる試作回路を作成し、複数の周波数帯域において通信可能な特性を持つことを示した。MCM 化に向けた小形化するための課題を抽出した。以上の成果により最終目標を達成した。

#### (2)-2 成果の意義

将来的に携帯電話への搭載が可能 RF-MEMS を用いた周波数可変フロントエンド回路の可変動作を世界で始めて検証した。これにより、実用化のための課題、改善の方向性、手法が抽出できた。特に、各モジュールに搭載される MEMS ドライバと制御部のインターフェースに関して、実用化時のシステム構成をにらんだ設計方針が抽出できた。また、送信制御、受信制御特性の評価により、フロントエンド小型化のための課題が抽出できた。

#### (2)-3 知的財産権の取得及び標準化への取組

各モジュールに搭載される MEMS ドライバと制御部のインターフェースに関して、実用化時のシステム構成をにらんだ設計方針が抽出できている。今後このインターフェースの標準化を進める。

## (2)-4 成果の普及

成果は2011年度～2012年度のドリームチッププロジェクトに引き継がれ、技術をさらに高め、プロジェクト終了後の製品化技術開発に引き継がれ、製品に適用される予定である(表(2)-1)。

表(2)-1 「複数周波数対応通信三次元デバイス技術」の特許、外部発表等

区分 年度	特許出願			論文	学会発表等	その他外部発表 (書籍・プレス等)
	国内	外国	PCT			
平成 20 年度	4	0	0	0	1	1
平成 21 年度	12	10	0	0	15	0
平成 22 年度	5	19	0	2	9	0
平成 23 年度	0	6	0	0	0	0
平成 24 年度	0	0	0	0	0	0

※ 外国出願特許は、平成 25 年 3 月 29 日現在の件数。

---

---

## 2. 3次元回路再構成可能デバイス技術

### (1) 三次元回路再構成可能デバイスに関するアーキテクチャおよび設計技術の研究開発

---

---

#### (1)-1 目標の達成度

##### 1) 基本計画の目標

(概要) : 背景の概要を含む

半導体市場規模は20兆円を超える巨大な市場であるが、微細化に伴う製造/マスクコスト増加により、専用のSoCデバイスを個々の機器毎に開発することは困難になりつつある。一方、組込み機器から、ネットワーク機器、交通システムのような社会インフラ機器、半導体製造装置などの産業用機器や医療用機器に到るまで、半導体デバイスによる差別化ニーズが高まっている。以上の背景のもと、近年、高性能化・低電力化に加えて、設計コストを低減できるフレキシブル(回路再構成可能)な半導体デバイス(例えばFPGA等)のニーズが急激に高まっており、市場規模は急速に拡大している。米国の市場調査会社In-Stat社によれば、FPGAの市場規模は2005年の1,900億円から、2010年までには2,800億円と1.5倍に拡大すると予測されている。今後も市場規模が2円程度である専用ASICデバイスのFPGAへの置き換えが進むと考えられ、市場の更なる拡大が期待されている。

一方で、多機能高密度三次元集積化技術において、三次元化のメリットを出しやすいデバイスを構成することは極めて重要である。リコンフィギャラブルプロセッサに代表される回路再構成可能デバイスは製造後に回路構成を書き込むことで所望の機能を実現するため、冗長性を持たせ易い。このため、必ずしも正常動作するチップだけを重ねる必要はなく、ウェハ積層が適用しやすく、三次元化のメリットを出しやすいデバイスである。

本研究では、三次元的に積層したチップに対し後からプログラムを書き換えて機能を発揮させる三次元回路再構成可能デバイス技術など、これまでにない三次元化技術により、新たな機能の発揮と飛躍的な性能向上を実現する立体構造新機能集積回路技術を確立することを目的とする。これまでに、三次元集積回路であって、かつ回路の再構成が可能な機能を持つデバイスの実証例は皆無であるため、本研究開発項目においては、まず第一に、そのような回路が実現可能かどうかを理論的に検証する。

##### (基本計画)

以上のことを考慮して、具体的研究内容と目標を以下のように定め、研究開発を進めることとした。

三次元構造の特長を活かすアーキテクチャおよびそのアーキテクチャに対応する設計技術の開発(三次元対応ソフト開発環境の構築、三次元配置配線手法の開発等)を行う。さらに、製造後の不具合・故障回避技術を開発する。

具体的には、動的リコンフィギャラブルプロセッサ、FPGA、汎用プロセッサ、メモリ等の機能ブロックを柔軟に組み合わせたハイブリッドアーキテクチャを開発し、三次元構造による性能向上の効果と高い機能拡張性を実証する。

##### (a)中間目標(平成22年度):

三次元的な積層構造を利用した動的リコンフィギャラブルプロセッサのアーキテクチャを開発し、論理設計を完了する。このアーキテクチャを用いた4層積層において、二次元構成に比較して、消費電力当たりの性能が1.25倍以上となることを実証する。

三次元的な積層構造を利用したFPGAを開発し、論理設計を完了する。このアーキテクチャを用いた4層積層において、二次元構成に比較して、消費電力当たりのゲート数が1.25倍以上となることを実証する。

(最終目標)

(b)最終目標(平成24年度)

動的リコンフィギャラブルプロセッサ、FPGA、汎用CPU、メモリ等の機能ブロックを柔軟に組み合わせ合わせたハイブリッドアーキテクチャを開発する。さらに、200mm径以上のウェハ積層技術を用いて4層以上積層し、3次元回路再構成可能デバイスとしての動作を実証する。

2) 開発成果の要約

2)-1 ハイブリッドアーキテクチャの構築

ハイブリッドアーキテクチャ構築のため3次元回路再構成可能デバイスを含む応用システムの検討を行った。3次元デバイスの特徴である再構成可能、積層枚数を変えることによる性能スケーラビリティおよび小面積実装を活かせる応用として、ネットワーク分野およびロボット分野について構成や処理内容を検討した。ロボットへの応用検討に際してはシミュレータおよびそれを検証するための実機を構築し評価を行った。これらの検討結果から3次元回路再構成可能デバイスへの搭載機能を検討した。本検討結果を踏まえ、ハイブリッドアーキテクチャの設計を行っており平成22年度中に設計を完了する見込みである。

2)-2 機能回路および3次元通信・制御回路の開発

2)-2-1 機能回路FPGAの開発

機能回路であるFPGAについては、3次元FPGAに機能をマッピングし、定量的な評価を行うことができる3次元FPGA機能マッピングフローV2を開発した。本フローを用いて複数の回路による機能マッピング評価を行い、3次元通信トポロジを検討した。タイル部の論理を4入力LUT(Look Up Table)2個で構成し、垂直方向の貫通ビアを4本とした場合に、3次元FPGAは二次元FPGAに対して水平方向(X、Y方向)に必要な配線数が約50%削減できた(図(1)-1(a))。また、これらの結果から50×50のタイルを4層積層した場合(計10,000タイル)のタイル構成を見積もった結果、実装面積を二次元FPGAよりも40%削減できる見込みを得た。10,000タイル集積時のタイル構成案を図(1)-1(b)に示した。タイル部はスイッチ部、論理部、メモリ部、貫通ビア部から構成され、タイルサイズは132 $\mu$ m角となった。現在は制御回路を含む3次元FPGAモジュールの設計を行っており平成22年度中に設計を完了する見込みである。3次元FPGAに機能をマッピングするプログラムについては、開発するFPGAアーキテクチャにあわせて基本性能の向上を行っていく。

さらに、ホモ積層で積層チップを増加した場合、演算性能は向上するがI/O性能・機能は一定であり、積層によるスケーラビリティを活かすためには、I/Oの過不足が課題となる。そこでI/Oに再構成可能機能を追加したスケーラブルリコンフィギャラブルI/Oプロセッサを提案し検討を行っている。様々なアナログ、デジタル信号をチップ積層数に応じてスケーラブルに接続できることが特長である。また、各種信号の処理も動的に変更が可能であり、平成22年度中にモジュールとしての設計を完了する見込みである。

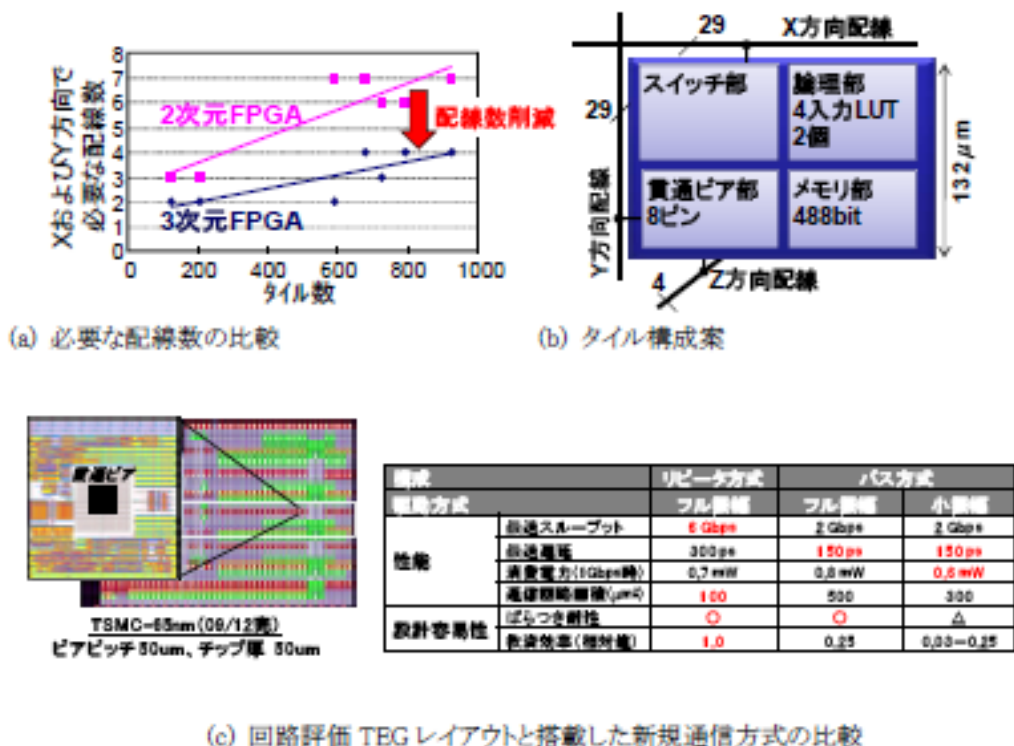
3次元FPGAモジュールおよびスケーラブルリコンフィギャラブルI/Oプロセッサを搭載した4層積層チップにおいて、二次元構成に比較して、消費電力を20%削減できる見込みである。

2)-2-2 3次元通信・制御回路の開発

3次元通信・制御回路の開発では、3次元に適した通信回路方式を検討し、三種類の回路方式(リピータ方式、フル振幅バス方式、小振幅バス方式)を提案し、TSMC 65nm CMOS プロセスを用いてTEGチップを設計・試作した。三種類の回路方式について、TEG試作した貫通ビアの容量測定結果を基に伝送スループット、伝送遅延、消費電力、面積、ばらつき耐性、救済効率の点から比較を行った(図(1)-1(c))。伝送スループット、面積および耐故障性の点ではリピータ方式が有利であり、伝送遅延および消費電力では小振幅バス方式が有利であるという結論を得た。再構成可能デバイスの3次元集積化時に課題となる連携動作の基本であるクロック構成についても検討し、3次元クロックツリー構成を提案した。

さらに平成22年度は試作した通信回路評価TEGチップの詳細な評価のフィードバックを行い、3次元通信回路モジュールの設計を行う。また、設計にあたっては3次元通信部の故障などに対

処する回路機能を追加する。また、再構成可能デバイスの三次元集積化時に課題となるクロック構成についても設計を行う。



図(1) -1 三次元回路再構成可能デバイス (フレックスチップ) に関するアーキテクチャおよび設計技術の研究開発の研究開発実績

3) 最終目標の達成度

下記は中間目標の達成度。

本計画に定義された目標を平成 22 年度中に達成した。

(1)-2 成果の意義

三次元デバイスの特徴である再構成可能、積層枚数を変えることによる性能スケーラビリティおよび小面積実装を活かせる応用として、ネットワーク分野およびロボット分野について構成や処理内容を検討することにより提案したハイブリッドアーキテクチャ(三次元 FPGA およびスケーラブルリコンフィギュラブル I/O プロセッサを搭載)は他にはない独創的な構成である。

三次元ホモ構造に適した FPGA のアーキテクチャを検討するには、FPGA に対して応用回路のマッピングを行う三次元 FPGA 機能マッピングフローが極めて重要な役割を果たす。産業技術総合研究所において、二次元構造向けとして開発されたフローを拡張して、定量的に三次元 FPGA アーキテクチャのマッピング評価を行ったことは世界初の試みである。さらに本評価により決定した三次元 FPGA のアーキテクチャが、二次元の FPGA よりも実装面積 40%も削減できたことは大きな成果である。最終目標である三次元 FPGA を実装したチップを 4 層積層し動作させることに成功すれば世界初の成果となる。



I/O に回路再構成可能機能を追加したスケーラブルリコンフィギュラブル I/O プロセッサは、三次元実装を活かす独創的な技術である。外部信号をチップ積層数に応じてスケーラブルに接続でき、また、信号処理も動的に変更可能である特長により、既存の FPGA では対応できない機能を実現し、ロボットハンドなどの新たな応用の開拓が可能となる。

三次元通信回路の開発では、低容量な TSV を用いた新規回路方式の提案により面積当たりおよび電力当たりの伝送レートにおいて、世界最高水準の成果が得られる見通しであり、本方式を実装した TEG 評価により平成 22 年度には世界で初めてその効果を実証できる見込みである。

### (1)-3 知的財産権の取得及び標準化への取組

貫通ビアの故障などに対処する回路方式、三次元集積化時に課題となるクロック構成およびセンサハブチップ向けハイブリットアーキテクチャについて 3 件の特許出願を行った。

### (1)-4 成果の普及

以上に述べた特許および論文、外部発表等の件数を表(2)-1にまとめて示す。本表からわかるように、開発した技術について特許出願をするとともに、招待講演を含めて、適切に情報発信を行った。

---

## 2. 3 三次元回路再構成可能デバイス技術

### (2) 三次元回路再構成可能デバイスに関する三次元集積化技術の研究開発

---

#### (2)-1 目標の達成度

##### 1) 基本計画の目標

(概要): 背景の概要を含む

半導体の市場が PC 中心から、デジタル家電、自動車分野等に広がることにより、多種多様の機能を有する半導体が必要とされる一方で、商品サイクルが短期化してきている。したがって、半導体製品の競争力強化にとどまらず、それらを用いた各種機器の競争力強化のためには、半導体の少量多品種化、開発期間の短縮に適したデバイス構造、アーキテクチャを有する半導体の実現が必要である。このような特徴を有する半導体デバイスの一つとして有力と考えられているのが、三次元集積化した回路再構成可能デバイスである。

FPGA(Field Programmable Gate Array) に代表される回路再構成可能デバイスは、製造後に回路構成を書き込むことで所望の機能を実現するため、量産した同種のデバイスを複数の異なる用途に用いることが可能であり、製品化に必要な初期投資を低く抑えることが可能な特徴を有している。またこれらの回路再構成可能デバイスを積層することにより、優れた特性の実現に加え、積層数の自由度を活かした高い拡張性も同時に実現できる可能性を有している。

このような三次元集積化した回路再構成可能デバイスを実現するためには、積層したデバイス間的高速、広帯域通信を可能とする三次元配線の実現が不可避であり、三次元配線の配線長、配線密度の観点からシリコン貫通電極(Through Silicon Via: TSV)がもつとも適していると考えられる。これが、本ドリームチッププロジェクトの一部として三次元回路再構成可能デバイスに取り組む理由である。しかしながら、TSV を用いた三次元集積化技術は実用化されておらず、研究開発項目①「多機能高密度三次元集積化技術」において早急にこの技術開発を行う必要がある。一方、回路再構成可能デバイスでは、TSV を通して、高速かつ広帯域の信号伝送を行う必要があるため、研究開発項目①「多機能高密度三次元集積化技術」で行う技術開発以外に、これを可能とするための TSV 構造とそれを実現するプロセスを開発する必要がある。三次元集積化プロセスに関しては、様々なプロセスが提案されており、デバイスの特徴を生かしたプロセス構築が重要となる。三次元の回路再構成可能デバイスは、同一サイズのチップを複数枚積層することが可能、製造後に回



路構成を書き込めるので、冗長性を持たせることが容易、という特徴を持つ。このため、本質的に低コスト化に適した、ウェハ積層による三次元集積化が可能であるが、高密度に形成したシリコン貫通電極をウェハ全面にわたって高精度かつ高信頼度で接続するための技術が必要となる。この点では、研究開発項目①「多機能高密度三次元集積化技術」で開発する三次元集積回路デバイスと同様であるが、特に回路再構成可能デバイスを三次元化するために必要な技術としては、チップ内の通信と同等速度の通信が可能な三次元配線技術、性能スケーラビリティを実現するための4層以上のホモ型ウェハ積層技術が挙げられる。

このため研究開発項目①「多機能高密度三次元集積化技術」の検討内容との分担を考え、具体的研究内容と目標を回路再構成デバイスに適したものとした。

(基本計画)

- ・三次元回路再構成可能デバイスを実現する三次元集積化技術のうちウェハ接合技術として、 $1\text{mm}^2$ 程度の面積を占める三次元集積化構造のコア間で、1,000ピン以上の接続を可能とするシリコン貫通ビア、バンプ構造等を開発し、200mm径以上のウェハを用いて実証する。

(最終目標)

平成24年度目標(最終目標)

- ・動的リコンフィギュラブルプロセッサ、FPGA、汎用CPU、メモリ等の機能ブロックを柔軟に組み合わせたハイブリッドアーキテクチャを開発する。さらに、200mm径以上のウェハ積層技術を用いて4層以上積層し、三次元回路再構成可能デバイスとしての動作を実証する。

- ・ウェハ接合技術として、200mm径以上のウェハを4層以上積層し、 $1\text{mm}^2$ 程度の面積を占める三次元集積化構造のコア間で、1,000ピン以上の接続を実証する。

- ・高精度位置合わせ技術として、200mm径以上のウェハを4層以上積層し、 $5\mu\text{m}$ 以下の位置合わせ精度を実証する。

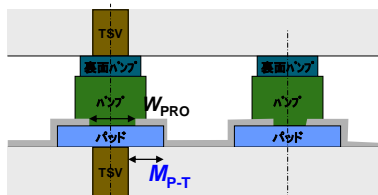
## 2) 開発成果の要約

### 2)-1 ビアラスト型低容量 TSV(シリコン貫通電極)技術と TSV(シリコン貫通電極)基盤技術

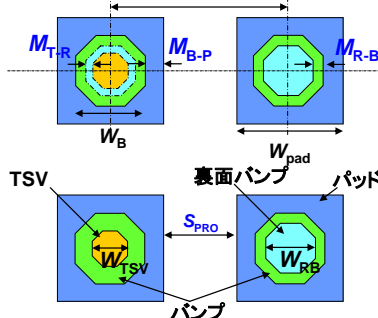
半導体デバイス信頼度への影響が少なく、回路設計自由度が高い方式として、多層配線形成後にシリコン基板裏面から TSV を形成する、裏面ビアラスト方式を採用した。この方式を用いて、三次元回路再構成可能デバイスを製造する際に必須となる三次元配線構造の基本レイアウトルールの策定指針を開発した。この指針に基づき、65nm ノード設計ルールに基づいて三次元回路再構成可能デバイスを製造した場合のレイアウトルールを検討した。その結果、レイアウトルールを決める上でキーとなる設計寸法は、TSV 径であることがわかった。また、三次元配線の各種設計寸法を決めるための必須パラメータ(たとえば、裏面 TSV の位置ずれ量、TSV 周辺のデバイス禁止幅)を設定した(図(2)-1)。さらに、それらのパラメータを実験的に導出するための TEG の設計および試作を行った(図(2)-2)。

(a) 各部寸法

【断面図】



【平面図】



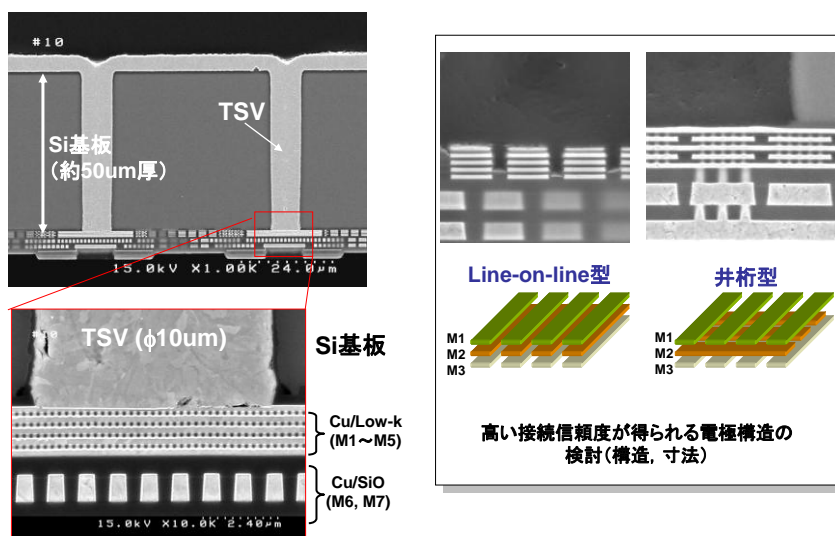
(b) 想定マージン

合わせずれ箇所	ずれ量(μm)
パッド-TSV, $M_{P-T}$	2
裏面バンパーパッド, $M_{R-B}$	2
TSV-裏面ハンブ, $M_{T-R}$	1
バンパーパッド, $M_{B-P}$	2
パッド間スペース, $S_{PRO}$	5

(c) 設計寸法

対象	寸法(μm)	計算式
TSV径, $W_{TSV}$	10	
裏面ハンブ径, $W_{RB}$	12以上	$> W_{TSV} + 2 * M_{T-R}$
ハンブ径, $W_B$	16以上	$> W_{RB} + 2 * M_{T-R}$
パッド幅, $W_{pad}$	14以上	$> W_{TSV} + 2 * M_{P-T}$
	20以上	$> W_B + 2 * M_{B-P}$
パッド開口部, $W_{PRO}$	12以下	$< W_B - 2 * M_{B-P}$
ピッチ, $P$	25以上	$> W_{PRO} + W_{pad}$

図(2)-1 裏面ビアラスト型 TSV 形成プロセスの基本レイアウトルール（一部）



図(2)-2 65nm ノードチップへの裏面ビアラスト型 TSV 形成の例

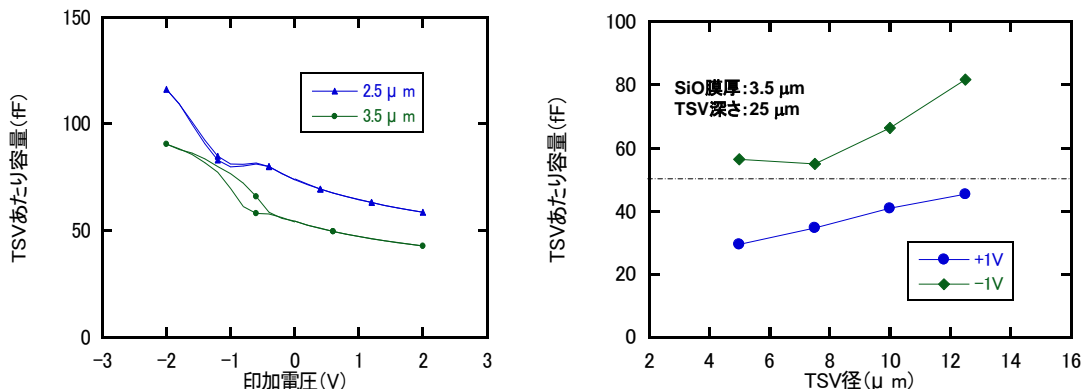
レイアウトルール策定および裏面ビアラスト型 TSV 形成プロセスの先行評価を目的に、試作し TEG(Test Element Group) チップに対して、実際に裏面からのリソグラフィ、TSV 加工、内壁絶縁膜形成、Cu 埋め込み、CMP(Chemical Mechanical Polishing: 化学的機械研磨)、バンブ形成のプロセス構築を行った(図(2)-2)。このようにチップ状態で TSV 形成、バンブ形成を行ったチップの電気特性を取得し、三次元配線構造の基本レイアウトルールの一次案を決定する予定である。

三次元回路再構成可能デバイスでは、縦方向に積層したデバイス間で TSV を介して高速かつ大量のデータ通信を行う必要がある。一方、TSV は周囲に形成された内壁絶縁膜を介してシリコン基板との間に電気的な結合(寄生容量)を持っている。したがって、性能を維持したまま消費電力

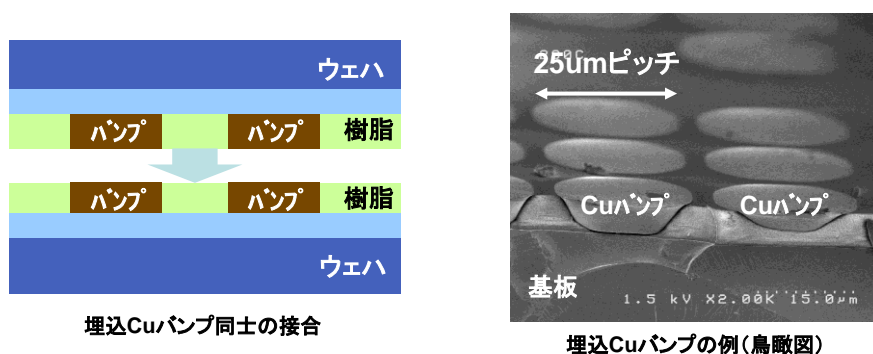
を低減するためには、この TSV が有する寄生容量を低減することがきわめて重要になり、予備検討の結果、TSV 容量として 50 fF 以下の実現が望ましいことがわかった。このため平成 21 年度は 200 mm ウェハを用いた TSV 形成基礎プロセス、並びに、TSV 寄生容量の低減技術（低温形成可能な内壁絶縁膜形成技術）の開発をおこなった。

TSV を円筒型のキャパシタモデルと近似し、現在想定している寸法（TSV 径 10  $\mu\text{m}$ 、TSV 長さ 25  $\mu\text{m}$ ）を持つ TSV の寄生容量と TSV とシリコン基板との間に形成した内壁酸化膜厚の関係を導出した結果、比誘電率 4.0 の材料（ $\text{SiO}_2$ ）を用いた場合、内壁酸化膜の厚さが 520 nm 以上必要であることがわかった。実際に TSV 構造を模擬した TEG を設計・試作し、見込み通りの寄生容量が得られるかを確認した。

図(2)-3 (a)は TSV あたりの寄生容量の TSV 電圧依存性である。一般的に、TSV 内部は平坦部に比べ成膜カバレッジに劣るため、TSV 内壁の酸化膜厚 500 nm 前後となるように、厚めの酸化膜（平坦部膜厚 2.5  $\mu\text{m}$ 、3.5  $\mu\text{m}$ ）を形成した。図より、TSV 容量は電圧依存性を持ち、TSV 電極に負の電圧を印加すると容量が増大し、正の電圧を印加すると容量が減少することがわかる。このような寄生容量の電圧依存性は、TSV 周囲のシリコン基板に空乏層が形成されるためと考えられる。また、酸化膜厚を 2.5  $\mu\text{m}$  から 3.5  $\mu\text{m}$  へ増やすことで、TSV 容量が低減できることがわかる。図(2)-3 (b)は実動作電圧領域（ $\pm 1\text{V}$ ）における TSV 容量の TSV 径依存性である。TSV 径が小さいほど TSV 容量が低下することがわかる。酸化膜厚（ $\text{SiO}$  膜厚）3.5  $\mu\text{m}$  の場合、TSV 径 8  $\mu\text{m}$  以下で目標の寄生容量である 50 fF 以下が実現できる見通しであることがわかる。



図(2)-3 (a)TSV 容量の電圧依存性（左）、(b)TSV 容量の TSV 径依存性（右）



図(2)-4 高信頼度化が可能な埋込バンプ構造と埋込バンプの形成例

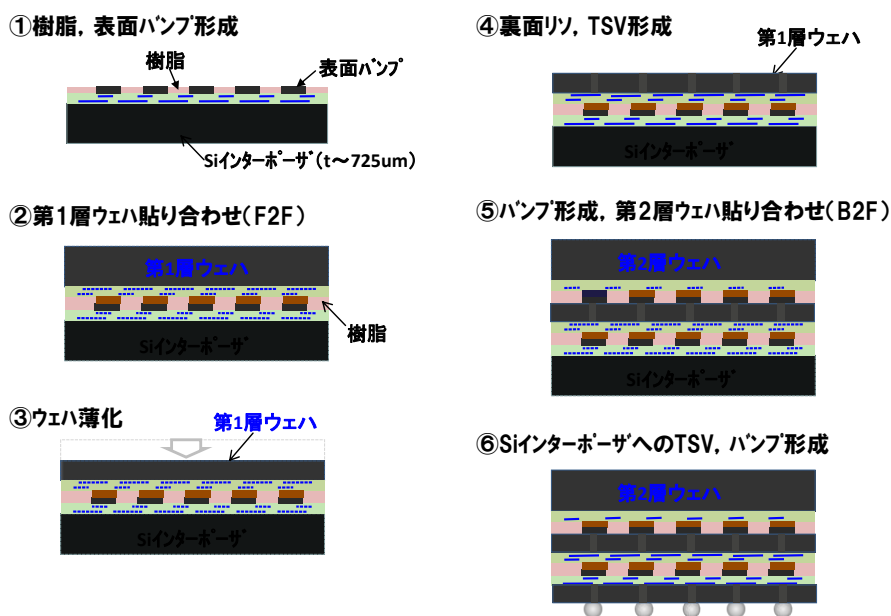
上記の基本レイアウトルール策定、TEG 設計、および、電気特性の先行評価を受け、200 mm ウェハを用いて 1  $\text{mm}^2$ あたり 1,000 ピンの接続（約 30  $\mu\text{m}$  ピッチ相当）を可能とする TSV 形成、および、バンプ形成プロセスの開発を行った。バンプ接合の高信頼度化が期待できる埋込バンプ構造

(図(2)-4)を提案し、200 mmウェハ上に25  $\mu\text{m}$ ピッチで形成できることを確認した。さらに、策定した設計ルールに基づき、直径10  $\mu\text{m}$ 、ピッチ25  $\mu\text{m}$ のTSVを200 mmウェハ全面に形成するプロセスを構築した。

## 2)-2 三次元集積化技術(W2W 積層技術)

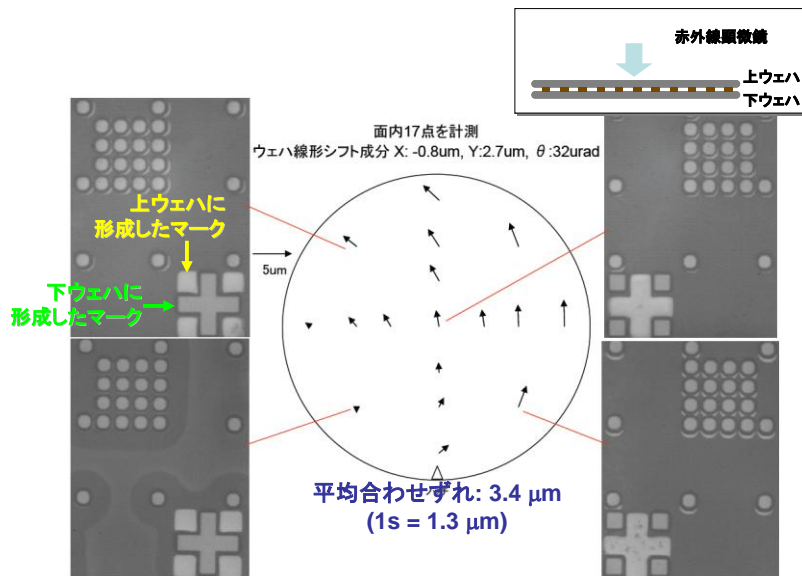
1 mm<sup>2</sup>あたり1,000ピンの接続(約30  $\mu\text{m}$ ピッチ相当)を可能とするウェハ積層技術を検討した。まず、三次元回路再構成可能デバイスに適したウェハ積層技術の検討を行い、シリコン(Si)インターポーザをスタートウェハに用い、この上に回路再構成可能デバイスをFace-down型で積層後に、ウェハの薄化を行い、逐次積層型プロセス(図(2)-5)が適しているとの結論を得た。インターポーザ基板を支持基板として用いるため、消耗性のガラス支持基板が不要となり、プロセスコストの低減が可能となる。また、積層する回路再構成可能デバイスはすべてFace-downで積層されるため種類のウェハのみでの積層が可能という特徴がある。

本研究開発では、回路再構成可能デバイスをウェハ上に形成した後に、ウェハ裏面からシリコン貫通電極(TSV)を形成する裏面ビアラスト型TSVを採用した。この方式は、半導体デバイスを形成後にTSVを形成するため、TSVプロセスと整合性のあるデバイスプロセスを新たに開発する必要がないという長所がある。一方、ウェハ積層プロセス中にTSVを形成する必要があるため、積層したウェハ自身がTSV形成プロセス中の温度や薬液、ガスに耐える必要がある。特に、ウェハ間を接続するバンプの保護技術が重要となる。そこで、ウェハ積層時に同時にバンプの保護も行える埋込バンプ構造(図(2)-5)を提案し、埋込バンプ構造を用いたウェハ積層プロセスの基本技術を構築した。



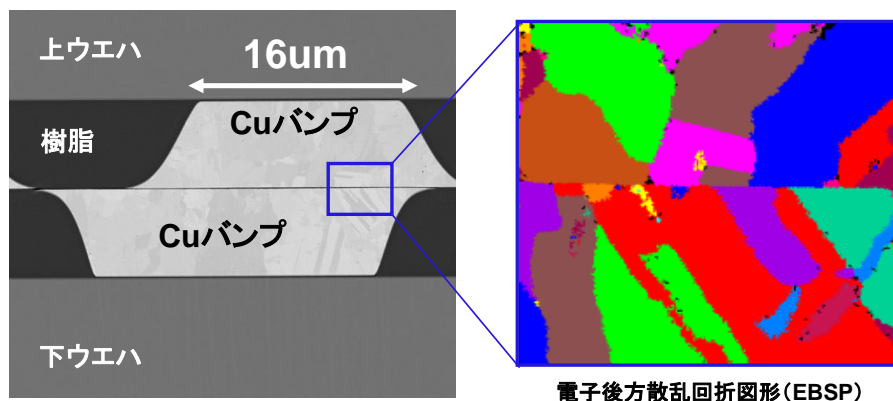
図(2)-5 逐次積層型ウェハ接合プロセスフローの案

図(2)-4に示したような樹脂に埋め込まれた25  $\mu\text{m}$ ピッチのCuバンプ200 mmウェハ上に形成し、ウェハ接合を行った。図(2)-6はバンプウェハ接合後のウェハの代表的な測定点において、上下バンプ間のアライメントずれ量測定パターン(十字マーク)の赤外線顕微鏡写真である。上下のウェハに形成したアライメントマークのずれ量からウェハ面内のアライメントずれを計測した結果、平均ずれ量3.4  $\mu\text{m} \pm 1.3 \mu\text{m}$  ( $1\sigma$ )が得られた。



図(2)-6 ウェハ接合後のバンプ合わせずれのウェハ面内分布

現在目標としている  $25\mu\text{m}$  ピッチのバンプ・TSV 構造を実現するための一次レイアウトルール案では、上下ウェハ間のアライメントずれ(図(2)-1の  $M_{R-B}$ )として  $2\mu\text{m}$  以下を目標としている。今後は最終目標に向け、ウェハ接合時のアライメントずれの抑制、および、各種アライメントずれに関する目標値の精度向上が必要である。



図(2)-7 埋込バンプ接合部の断面 SEM 写真 (左) と Cu 結晶粒の配向性マップ (右)

図(2)-7 はウェハ接合後のバンプ断面の SEM (Scanning Electron Microscope: 走査型電子顕微鏡) 写真である。ウェハ上に形成された Cu バンプ同士が接合していることが確認できた。バンプ接合面近傍の Cu 結晶の状態を EBSP (Electron Backscattering Diffraction Pattern: 電子後方散乱回折図形) にて評価した結果を図(2)-7 に示した。同一色の領域が同一の方位を持つ結晶粒である。Cu の結晶粒は数百 nm から数  $\mu\text{m}$  の大きさを持っている。また、バンプ接合面では結晶粒は不連続となっており、バンプ接合面を超えた Cu 結晶粒成長が起きていないことがわかった。バンプ間の接触抵抗を下げるためには、接合面を超えた結晶粒成長が好ましいため、ウェハ接合の前処理条件、接合条件の見直しを行った。この結果、バンプ抵抗低減に必要な Cu 結晶粒成長が行える条件を見いだす見通しが得られた。



3) 最終目標の達成度

基本計画に定義された中間目標は達成した。

(2)-2 成果の意義

三次元回路再構成可能デバイスが要求する三次元配線の性能は、積層数、TSV・バンプ密度、寄生容量の点において他に例を見ないほど高性能であり、これを実現するためのプロセス・材料技術が完成した暁には世界トップレベルに位置するものである。また、最終目標である回路再構成可能デバイスをウェハレベルで4層積層し、動作させることが出来れば世界初の成果となる。

本研究開発を通して確立した三次元集積化技術は、他の種類の三次元デバイスにも適用可能な汎用性を備えており、技術的な波及効果が高い。特に、提案した埋込型バンプを用いた逐次積層型ウェハ積層プロセスは、ガラス支持基板を使わず、また、薄ウェハのハンドリングが不要という長所を備えているため、低コスト化に有利であり、また、既存の半導体プロセス技術・装置との整合性も高いため、今後、三次元集積化プロセスの主流となるポテンシャルを持っている。材料や装置等も含めた周辺技術も視野に入れた網羅的な技術開発を先行して進めていけば、三次元集積化技術における世界トップの位置も可能であり、周辺産業への波及効果も期待できる。

(2)-3 知的財産権の取得及び標準化への取組

高信頼度な埋め込みバンプおよびそれを用いた三次元半導体の構造および製造プロセスに関する特許出願を行った。(表(2)-1)

(2)-4 成果の普及

高信頼度な埋め込みバンプおよびそれを用いた三次元半導体の構造および製造プロセスに関して論文発表・学会発表を行った(表(2)-1)。

表(2)-1 「三次元回路再構成可能デバイス技術」の特許、外部発表等

区分 年度	特許出願			論文	学会発表等	その他外部発表 (書籍・プレス等)
	国内	外国	PCT			
平成 20 年度	0	0	0	0	5	0
平成 21 年度	2	0	0	0	1	0
平成 22 年度	3	0	3	1	8	0
平成 23 年度	0	2	1	0	0	0
平成 24 年度	3	2	0	0	0	0

※ 外国出願特許は、平成 25 年 3 月 29 日現在の件数。



目次

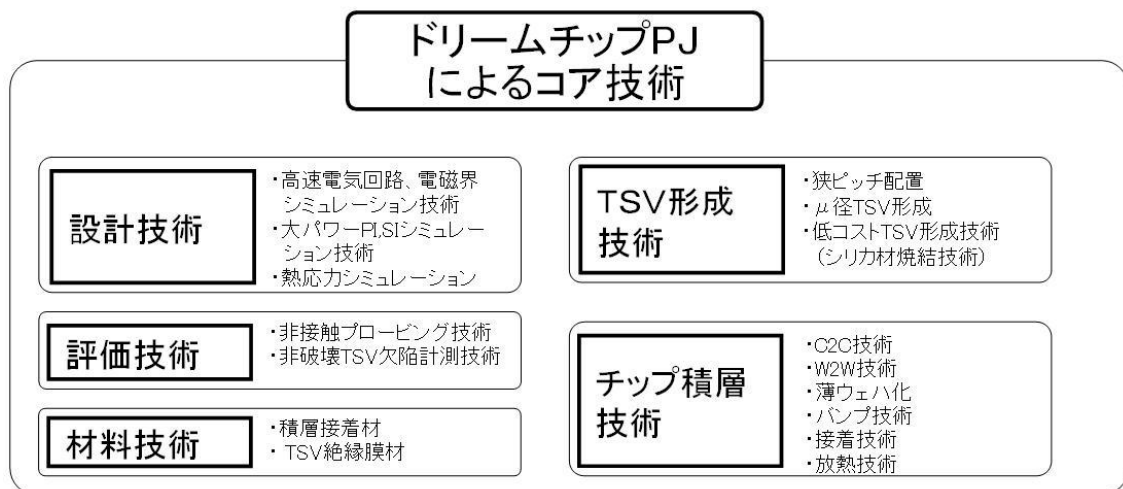
Ⅳ 実用化・事業化の見通し及びその取り組みについて	
1. 成果の実用化・事業化の見通し	Ⅳ-1
2. 実用化・事業化への取り組み	Ⅳ-4

## IV 実用化・事業化の見通し及びその取り組みについて

### 1. 成果の実用化・事業化の見通し

ドリームチッププロジェクトにおける各種要素技術開発、そして実証デバイス群の開発は、有機的に連携・協働する開発体制の元で進められてきた。その成果として構築された三次元積層技術は、実用化の観点から以下のコア技術に再分類できる。

- ・ **設計技術**  
 高速の電気回路・電磁界シミュレーション技術  
 大パワー電源品質 (PI)、信号品質 (SI) シミュレーション技術  
 熱応力シミュレーション技術  
 TSV関連の設計基準  
 三次元積層構造に対応する信号伝送基準
- ・ **評価技術**  
 非接触プロービング技術  
 非破壊TSV欠陥計測技術  
 汚染物質拡散評価技術
- ・ **材料技術**  
 積層接着剤  
 TSV絶縁膜材
- ・ **TSV形成技術**  
 狭ピッチ配置(10  $\mu$  m $\sim$ 50  $\mu$  m)  
 微細径TSV形成(5  $\mu$  m $\sim$ )  
 低コストTSV形成技術(シリカ材焼結技術)
- ・ **チップ積層技術**  
 C2C積層技術(5積層)  
 W2W積層技術(3積層)  
 薄ウェハ化  
 接着技術  
 放熱技術

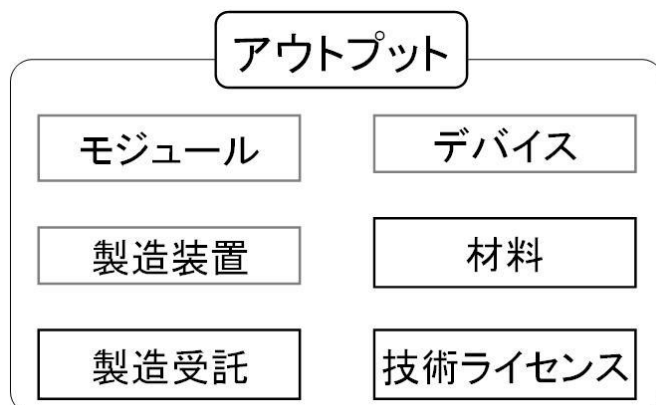


図IV-1 実用化に対応するコア技術

更に個別に詳細な成果を述べれば、以下の通りとなる。

- ・ 三次元集積化要素回路技術の開発では、標準セル回路内への配置が可能な TSV セルを C2C および W2W プロセス向けにそれぞれ開発し、ライブラリ化した。また TSV 電気特性モデルについては周波数や電圧依存性を考慮したモデルを提案し、回路の設計評価によりそのモデルを取得した。さらに、TSV 周辺に発生する機械的ストレスの影響を評価し、現状の設計ルール(5 $\mu$ m マージン)で、トランジスタ性能に影響が無いことを明らかにした。以上により標準設計基盤を確立し、モデルについては標準化提案を行っている。
- ・ 三次元集積化要素プロセス技術の開発では、プロジェクト標準プラットフォームとして、W2W プロセス、C2C プロセスの 2 種類の三次元集積化プロセスを提案し、関連するレイアウト基準、プロセス工程基準を策定した。この提案プロセスを実現するための要素プロセス開発を行い、ウエハ接合時にバンプ保護が行えるハイブリッド接合技術、高品質な Cu バンプ接合を行うための、ウエハ表面清浄化技術、貼り合わせウエハの高精度薄化技術、Cu/Low-k 配線構造に対応した Via-Last 型 TSV 形成プロセス技術、を構築した。これらプロセスを用いて、デバイスウエハの 3 層ウエハ積層を実施し、デバイス動作、回路動作を確認し、上記のレイアウト基準、プロセス工程基準の有効性を確認した。
- ・ 次世代三次元積層 SiP の設計・製造に対し、開発した標準ライブラリ、レイアウト基準、プロセス工程基準を活用することで、従来に比べ、効率的かつ迅速な次世代三次元積層 SiP の開発が可能となり、さらに製造した次世代三次元積層 SiP の性能向上、信頼度向上も期待できるため、次世代三次元積層 SiP を用いた製品の早期実用化に近づいた。
- ・ 今後予想される 1k 本以上の信号伝送路を活用する製品群に対する問題点予測や設計手法開発に対し、成果の活用を図ることが出来、競争力強化につながった。
- ・ 車載電子機器等における三次元集積化の適用指針が明確化出来た。本研究での開発品は試作品レベルの規模であるため各種性能が製品使用で十分となる設計とはなっていないが、各種チップのヘテロ積層が可能ない特徴から他方式が示す様な原理的な課題もなく、各性能パラメータもトレードオフの関係に無いため、製品化に向けた大規模・最適設計が期待される結果となった。
- ・ 極めて高いパフォーマンスと超低消費電力という相反する機能を兼ね備えなければならない半導体技術として開発・評価された技術のうち特に下記に挙げるものは近未来のコンシューマ製品からサーバー等のハイ・エンドアプリケーションまで幅広い分野の製品を設計・製造するために適用可能な要素技術である。
  - 【フリップチップ接合技術】：低温はんだ、積層技術、樹脂封止技術および信頼性評価技術、更に、端子ピッチ 10 $\mu$ m の接合を実現するためのアライメント手法等のプロセス実証、そして接合部の非破壊検査技術
  - 【放熱技術】：チップ間の熱伝導を増大させるための封止樹脂特性、サーマルバンプ配置設計技術、チップ積層構造体の温度勾配を小さくするための放熱構造設計

こうしたコア技術は、組合員各社による実用化活動の起点として、大きく寄与すると共に、製品開発に留まらない、多様なビジネスモデルを可能としている。それらとして、モジュール製造販売、デバイス製造販売、製造装置製造販売、材料製造販売、製造受託、そして技術ライセンスなどが挙げられる。



図IV-2 コア技術を用いたアウトプット

また、世界市場の動向を見ると、TSV関連市場の成長性は高く、2017年で\$4Bの規模（仏Yole Developpements社）と推定されている。その予想における主な製品比率は、Logic SoCが24%、DRAMが19%、Wide IO Memoryが19%、MEMS/Sensorが5%、CISが4%、その他ASICが12%などであり、組合員の対象とする製品群は8割を占めると想定出来る。その対象製品群に対し、組合員による市場シェアを10%と控えめに見積もったとしても、3千億円以上の市場ポテンシャルが存在する。ドリームチッププロジェクトの成果は、こうした成長市場に対する組合員の事業展開を可能とするものとなっている。各社が事業のコア技術を持ち帰り2017年頃に3千億円以上の事業創出を目指す。



図IV-3 市場創出規模

## 2. 実用化・事業化への取り組み

ここでは早期に終了したチップテスト技術及び設計環境技術についてのみ記載することとし、開発期間終了まで継続して研究を行った6つのテーマに関しては、各社からのヒアリング資料に委ねることとする。

### 1) A社におけるチップテスト技術の実用化活動

1. 300mm径ウェハ対応の最大12万端子の接触プローブ技術を開発。  
IEEE SW Test Workshop 2012 にて発表(2012年6月)
2. 4枚の300mm径ウェハを同時一括テストする新技術を開発。  
(減圧方式プローブ、テスタ、プローバを全て一体化した装置を開発)  
Takashi Naito , Daisuke Takano , Tsutomu Shoji  
“FULL WAFER CONTACT BREAKTHROUGH WITH ULTRA-HIGH PIN COUNT”  
,IEEE Semiconductor Wafer Test Workshop (June 10 - 13,2012/San Diego, California)



図Ⅳ-4 開発された 300mm ウェハ 4 枚同時一括テスト装置

### 2) R社における設計環境技術の実用化活動

#### 電磁界解析ツール(Zantho)の設計展開

- ・ 手順書を作成、社内に展開
- ・ 主にASIC顧客のセットボードのEMS、EMIの事前解析に活用
- ・ 大規模適用製品数は6件。  
セット基板は20～30cm角程度。基板層数は4～8層平均(最多:30層)
- ・ 製品サポートだけではなく基礎検討にも活用、顧客ボード設計サポートに貢献



## プロジェクト全体

区分 年度	特許出願			論文	学会発表等	その他外部発表 (書籍・プレス等)
	国内	外国	PCT			
平成 20 年度	5	0	0	1	25	7
平成 21 年度	20	11	1	3	74	1
平成 22 年度	12	25	4	8	88	2
平成 23 年度	19	10	1	8	88	1
平成 24 年度	24	12	0	3	102	1
合計	80	58	6	23	377	12

※ 外国出願特許は、平成 25 年 3 月 29 日現在の件数。

## ①-(1) 「次世代三次元集積化設計技術の研究開発」の特許、外部発表等

区分 年度	特許出願			論文	学会発表等	その他外部発表 (書籍・プレス等)
	国内	外国	PCT			
平成 20 年度	0	0	0	0	2	0
平成 21 年度	0	0	0	0	16	0
平成 22 年度	1	0	0	1	20	1
平成 23 年度	1	0	0	0	2	0
平成 24 年度	0	0	0	0	0	0

※ 外国出願特許は、平成 25 年 3 月 29 日現在の件数。

## ①-(2) 「次世代三次元集積化のための評価解析技術の研究開発」の特許、外部発表等

区分 年度	特許出願			論文	学会発表等	その他外部発表 (書籍・プレス等)
	国内	外国	PCT			
平成 20 年度	1	0	0	1	10	0
平成 21 年度	6	1	1	1	30	1
平成 22 年度	3	6	1	4	39	0
平成 23 年度	8	2	0	6	36	0
平成 24 年度	10	6	0	2	36	0

※ 外国出願特許は、平成 25 年 3 月 29 日現在の件数。

## ①-(3) 「次世代三次元集積化の共通要素技術開発と設計基準策定」の特許、外部発表等

区分 年度	特許出願			論文	学会発表等	その他外部発表 (書籍・プレス等)
	国内	外国	PCT			
平成 20 年度	0	0	0	0	7	6
平成 21 年度	0	0	0	2	12	0
平成 22 年度	0	0	0	0	12	1
平成 23 年度	10	0	0	2	50	1
平成 24 年度	11	4	0	1	66	1

※ 外国出願特許は、平成 25 年 3 月 29 日現在の件数。

## ② 「複数周波数対応通信三次元デバイス技術」の特許、外部発表等

区分 年度	特許出願			論文	学会発表等	その他外部発表 (書籍・プレス等)
	国内	外国	PCT			
平成 20 年度	4	0	0	0	1	1
平成 21 年度	12	10	0	0	15	0
平成 22 年度	5	19	0	2	9	0
平成 23 年度	0	6	0	0	0	0
平成 24 年度	0	0	0	0	0	0

※ 外国出願特許は、平成 25 年 3 月 29 日現在の件数。

## ③ 「三次元回路再構成可能デバイス技術」の特許、外部発表等

区分 年度	特許出願			論文	学会発表等	その他外部発表 (書籍・プレス等)
	国内	外国	PCT			
平成 20 年度	0	0	0	0	5	0
平成 21 年度	2	0	0	0	1	0
平成 22 年度	3		3	1	8	0
平成 23 年度	0	2	1	0	0	0
平成 24 年度	3	2	0	0	0	0

※ 外国出願特許は、平成 25 年 3 月 29 日現在の件数。

特許論文リスト

①-(1) 次世代三次元集積化設計技術の研究開発

(a) 投稿論文

平成 20 年度 なし

平成 21 年度 なし

平成 22 年度

	発表日	発表媒体	発表タイトル	発表者
1	2011.02	IEEE Transactions Electromagnetic Compatibility Vol.53 No.1	Block-Latency Insertion Method (Block-LIM) for Fast Transient Simulation of Tightly Coupled Transmission Lines	T. Sekine, H. Asai

平成 23 年度 なし

平成 24 年度 なし

(b) 学会発表

平成 20 年度

	発表日	学会名	発表タイトル	発表者
1	2008.05.12	3D-SIC 2008	Characterization of Power Distribution Network by Generating Pseudo Random Binary Sequence Signal.	T. Sudo, H. Ueda
2	2008.10.27	IEEE 17th Conf. On Electric Performance of Electronic Pkging	CMOS circuit simulation using Latency Insertion Method	Tadatoshi Sekine, Hideki Asai

平成 21 年度

	発表日	学会名	発表タイトル	発表者
1	2009.08.19	IEEE EMC Sympo.	Block Latency Insertion Method (Block-LIM) for Fast Transient Simulation of Tightly Coupled Transmission Lines	T. Sekine, H. Asai
2	2009.04	電子情報通信学会 第 22 回 回路とシステム 軽井沢 WS	Two Modifications to FDTD Algorithm For Numerical Stability	S. Hussain, N. Oguni, H. Asai

平成 21 年度(続き)

	発表日	学会名	発表タイトル	発表者
3	2009.04	電子情報通信学会 第 22 回 回路とシステム 軽井沢 WS	A Robust & Fast FDTD Technique for Fine Mesh Structures	C. S. Paidimarry, N. Oguni, Y. Inoue, H. Asai,
4	2009.09.28	3DIC(3D-SIC)	Ultra-Low Impedance Evaluation System of Wide Band Frequency for Power Distribution Network of Decoupling Capacitor Embedded Substrates	K. Kikuchi(AIST), K. Takemura, C. Ueda (明星大), T. Sudo(芝浦工大), et al.
5	2009.09.28	3DIC(3D-SIC)	SrTiO <sub>3</sub> -Capacitor-Embedded Si Interposers for 3D Integration	K. Takemura, C. Ueda (明星大), K. Kikuchi (AIST), et al.
6	2009.10.19	18 <sup>th</sup> Conference on Electrical Performance of Electronic Packaging and Systems (EPEPS2009)	Low-Impedance Power Distribution Network of Decoupling Capacitor Embedded Interposers for 3D-Integrated LSI System	Kikuchi(AIST), K. Baba, C. Ueda (明星大), T. Sudo(芝浦工大), et al.
7	2009.10.20	IEEE EPEPS 2009	Generalized Leapfrog Scheme for Large-Scale Circuit Simulation	T. Sekine, H. Asai
8	2009.11.26	電子情報通信学会 回路とシステム研究会	並列分散型ブロック LIM による強結合伝送線路の高速過渡解析	井上雄太、關根惟敏、浅井秀樹
9	2009.11.26	電子情報通信学会 回路とシステム研究会	交互方向陽解法に基づく FDTD 法	青野修一、海野正樹、浅井秀樹
10	2009.12	IEEE EDAPS 2009	A New FDTD Algorithm Based on Alternating-Direction-Explicit Method	M. Unno, S. Aono, H. Asai
11	2009.12.09	IEEE APMC2009	Unconditionally Stable Alternate-Direction-Explicit 2D FDTD Algorithm	S. Hussain, H. Asai
12	2010.01	IEEE/ACM ASP-DAC2010	A Novel FDTD Algorithm Based on Alternating-Direction Explicit Method with PML Absorbing Boundary Condition	S. Aono, M. Unno, H. Asai
13	2010.03.10	第 24 回 エレクトロニクス実装学会春季講演大会	三次元集積化へ向けた SrTiO <sub>3</sub> 薄膜キャパシタのインピーダンス特性	竹村浩一、菊地克弥(産総研)、上田千寿(明星大)、他
14	2010.03.10	第 24 回 エレクトロニクス実装学会春季講演大会	超低インピーダンスアナライザを用いたキャパシタ内蔵インターポーザの電源プレーン評価	菊地(AIST)、竹村、上田(明星大)、須藤(芝浦工大)、他
15	2010.03.11	第 24 回 エレクトロニクス実装学会春季講演大会	PI(Power Integrity) の歴史と今後の展開	大塚寛治、秋山豊
16	2010.03.12	DATE 2010 Workshop on 3D Integration	New Circuit and Electro-Magnetic Simulation System for 3D LSI	Hideyuki Aoki, et al.

平成 22 年度

	発表日	学会名	発表タイトル	発表者
1	2010.05.12	ICEP2010 (Intl. Conf. on Electronics Pkging)	PDN Impedance Evaluation of Decoupling Capacitor Embedded Interposer for 3D-Integrated LSI System	K. Kikuchi(AIST), K. Shimakura, K. Otsuka (明星大), et al.
2	2010.06.04	IEEE 60th Electronic Components & Tech. Conference (ECTC 2010)	Low-Impedance Evaluation of Power Distribution Network for Decoupling Capacitor Embedded Interposers of 3-D Integrated LSI System	K. Kikuchi (AIST), C. Ueda (明星大), T. Sudo(芝浦工大), K. Takemura et al.
3	2010.06.04	IEEE 60th Electronic Components & Tech. Conference (ECTC 2010)	Alternating-Direction Explicit FDTD Method for 3D Full-Wave Simulation	S. Aono, M. Unno, H. Asai
4	2010.06.04	IEEE 60th Electronic Components & Tech. Conference (ECTC 2010)	Parallel-Distributed Block-LIM -Based Fast Transient Simulation of Tightly Coupled Transmission Lines	Y. Inoue, T. Sekine, H. Asai
5	2010.07.21	電子情報通信学会 第 23 回シリコンアナログ RF 研究 会	3 次元 LSI デバイス積層技術に向 けた電源ネットワークの広帯域イン ピーダンス測定評価技術	青柳昌宏、菊地克弥 (産総研)、竹村浩一 他
6	2010.09.10	エレクトロニクス実装学会 第 20 回マイクロエレクトロ ニクスシンポジウム(MES)	超広帯域・超低インピーダンス評 価技術を用いたキャパシタ内蔵イン ターポータの電源ネットワーク評 価	菊地克弥(AIST)、上 田千寿(明星大)、須 藤俊夫(芝浦工大)、 竹村浩一、他
7	2010.09.16	Sigrity フォーラム 2010	三次元 LSI 積層集積化実装技術に おける電源ネットワークの設計・評 価技術	菊地克弥
8	2010.10.05	User Group Meeting 2010	電磁界解析を用いた三次元 LSI 積 層集積化実装技術における電源ネ ットワークの評価解析技術	菊地克弥
9	2010.10.28	エレクトロニクス実装学会 2010 ワークショップ	三次元集積システム用デカップリ ング・キャパシタ内蔵インターポ ータと電源ネットワークの超低イ ンピーダンス評価技術	菊地克弥(産総研)、 竹村浩一
10	2010.11.16	IEEE International 3D System Integration Conf.	3D Stacked Buck Converter with 15 $\mu$ m Thick Spiral Inductor on Silicon Interposer for Fine-Grain Power-Supply Voltage Control in SiP's	K. Ishida(東京大学), K. Takemura, et al.
11	2010.11.16	IEEE International 3D System Integration Conf.	PDN Impedance Evaluation of Decoupling Capacitor Embedded Interposer for 3D-Integrated LSI System	K. Kikuchi (AIST), K. Shimakura, K. Otsuka(明星大)、 他
12	2010.12	電子情報通信学会 環境 電磁工学研究会	双方向 SI-FDTD 法による電磁界解 析手法とその評価	青野修一、海野正 樹、浅井秀樹
13	2010.12.03	システム Jisso-CAD/CAE 研究会	三次元実装技術における電源ネ ットワークの超広帯域・超低イン ピーダンス設計・評価技術	菊地克弥



平成 22 年度(続き)

	発表日	学会名	発表タイトル	発表者
14	2010.12.07	IEEE 2010 Electrical Design of Advanced Packaging & Systems Symposium	Power Supply Noise Evaluation with On-chip Noise Monitoring for Various Decoupling Schemes of SiP	T. Sudo, et al.
15	2011.01.19	第 12 回プリント配線板 EXPO 専門技術セミナー	三次元 LSI 実装技術におけるシリコン インターポーザ技術への期待と課題	菊地克弥
16	2011.02.14	EPADs 研究会 平成 22 度 第 4 回 公開研究会	三次元集積化実装技術に対応する 部品内蔵基板	菊地克弥
17	2011.03	電子情報通信学会 環境電磁工学研究会	マルチレートブロック LIM による強結合伝送線路の高速過渡解析	井上雄太、關根惟敏、浅井秀樹
18	2011.03.05	日本機械学会北陸信越支部 第 48 期総会・講演会	三次元積層半導体チップにおける微細構造領域の力学的変形	若松剛、木下貴博(富山県大)、松本圭司、他
19	2011.03.08	エレクトロニクス実装学会 春季講演大会	電源ノイズ評価システムの構築	須藤 俊夫、他
20	2011.03.09	エレクトロニクス実装学会 春季講演大会	三次元 LSI 集積化へ向けたキャパシタ内蔵インターポーザの電源インピーダンス評価	菊地克弥(AIST)、秋山豊(明星大学)、島倉啓、他

平成 23 年度

	発表日	学会名	発表タイトル	発表者
1	2011.09.09	MES 2011(エレクトロニクス実装学会 第 21 回 マイクロエレクトロニクスシンポ)	三次元集積システムへ向けたキャパシタ内蔵インターポーザによる電源ノイズ抑制効果	菊地克弥(産総研)、秋山豊(明星大)、島倉啓、他
2	2011.10.01	IEICE Fundamentals Review(電子通信情報学会 Web 雑誌)	高速電子設計のための SI/PI/EMI シミュレーション技術 —過去、現在、そして未来—	浅井 秀樹

平成 24 年度 なし

(C) 表彰等

- 1) 2010 年 9 月に開催された MES 2010(エレクトロニクス実装学会 第 20 回マイクロエレクトロニクスシンポジウム)において、ベストペーパー賞を受賞。(平成 22 年度学会発表の #6)  
菊地克弥, 上田千寿, 竹村浩一, 五明利雄, 竹内之治, 大久保利一, 馬場和宏, 青柳昌宏, 須藤俊夫, 大塚寛治,  
「超広帯域・超低インピーダンス評価技術を用いたキャパシタ内蔵インターポーザの電源ネットワーク評価」

(d) その他特記事項

平成 20 年度 なし

平成 21 年度 なし

平成 22 年度

	発表日	発表媒体	発表タイトル	発表者
1	2010.05.25	筑波研究学園都市記者会、経済産業記者会、経済産業省新聞記者会ペンクラブ	超広帯域・超低インピーダンス電子回路の評価システムを開発 — 消費電力が極めて少ない電子回路の電源インピーダンス設計・評価が可能 —	嘉田、馬場、菊地(産総研)、大塚(明星大)、須藤(芝浦工大)、他

平成 23 年度 なし

平成 24 年度 なし

(e) 特許

平成 20 年度 なし

平成 21 年度 なし

平成 22 年度

No	出願番号	出願国	出願日	状態	発明の名称	発明者
1	特願 2011-068505	国内	2011.03.25	公開	半導体装置、半導体装置の製造方法	島田修、竹内之治、他

平成 23 年度

No	出願番号	出願国	出願日	状態	発明の名称	発明者
1	特願 2012-049461	国内	2012.03.06	出願	伝送線路構造、伝送線路構造を備える多層配線基板および半導体装置	島倉啓、大久保利一、青柳昌宏、他

平成 24 年度 なし

①-(2) 次世代三次元集積化のための評価解析技術の研究開発

(a) 投稿論文

平成 20 年度

	発表日	発表媒体	発表タイトル	発表者
1	2008.12	Computer Modeling in Engineering & Science (CMES)	Strain Measurement in a Microstructure Using Digital Image Correlation for a Laser-scanning Microscopic Image	N. Shishido, T. Ikeda, N. Miyazaki,

平成 21年度

	発表日	発表媒体	発表タイトル	発表者
1	2009.09	IEEE Transactions on Circuits and Systems-II (TCAS-II)	A 25-mV-Sensitivity 2-Gb/s Optimum - Logic - Threshold Capacitive-Coupling Receiver for Wireless Wafer Probing Systems	Gil Su Kim, M. Takamiya, T. Sakurai

平成 22 年度

	発表日	発表媒体	発表タイトル	発表者
1	2010.04	溶接学会誌 第 79 巻 第 3 号	デジタル画像相関法による微細実装 接合部のひずみ計測	池田徹、宍戸信之、宮崎 則幸、他
2	2010.11.15	The IEEE Journal of Solid-State Circuits	Capacitively Coupled Non-Contact Probing Circuits for Membrane-based Wafer-Level Simultaneous Testing	Mutsuo Daito, Takayasu Sakurai(東京 大学), et al.
3	2010.12	エレクトロニクス実装学会 Transactions of The Japan Institute of Electronics Pkging	Reduction of Thermal Resistance for Chip Test Technology by Using Super Thermal Conductivity Material and Mirror Finished Silicon	中田、畠山(富山県 大)、富村(熊本大)、 他
4	2011.01	IEEE Electron Device Letters (EDL) Vol. 32, No.1, pp.66-68,	Evaluation of Cu Contamination at Backside Surface of Thinned Wafer in 3-D Integration by Transient -Capacitance Measurement	J-B. Bea et al

平成 23 年度

	発表日	発表媒体	発表タイトル	発表者
1	2011.	IEEE ELECTRON DEVICE LETTERS	Evaluation of Cu Contamination at Backside Surface of Thinned Wafer in 3-D Integration by Transient -Capacitance Measurement	J.-C. Bea, K.-W. Lee, K. Koyanagi, et al.
2	2011.06	IEICE Transaction on Electronics E94-C No.6	1 Gb/s, 50um X 50um Pads on Board Wireless Connector Based on Track-and-Charge Scheme Allowing Contacted Signaling	K. Ikeuchi(東京大学), M. Daito, et al.

平成 23 年度(続き)

	発表日	発表媒体	発表タイトル	発表者
3	2011.07	IEEE Electron Device Letters (EDL)	Evaluation of Cu Diffusion from Cu Through-Silicon Via (TSV) in 3-D LSI by Transient Capacitance Measurement	J-C. Bea, et al.
4	2011.11	電子情報通信学会 C 論文誌	シリコンバンプ上に積層した薄化チップの曲げ応力とデバイス特性評価	木野久志、他
5	2011.12	エレクトロニクス実装学会 Transactions of The Japan Institute of Electronics Pkging	Electro-Thermal Analysis and Monte Carlo Simulation for Thermal Design of Si Devices	T. Hatakeyama, M. Ishizuka, S. Nakagawa, K. Fushinobu
6	2012.02.09	Journal of Electronic Packaging	Thermal stresses of Through Silicon Vias and Si Chips in 3D SiP	T. Kinoshita (富山県大), K. Matsumoto, et al.

平成 24 年度

	発表日	発表媒体	発表タイトル	発表者
1	2012.04.	IEEE Electron Device Letters	Impact of Cu Contamination on Memory Retention Characteristics in Thinned DRAM Chip for 3-D Integration	K. W. Lee, et al.
2	2013.01	Microelectronics Reliability Vol. 53	Non-linear analyses of strain in flip chip packages improved by the measurement using the digital image correlation method	T. Ikeda, T. Kanno, N. Shishido, N. Miyazaki, et al.

(b)学会発表

平成 20 年度

	発表日	学会名	発表タイトル	発表者
1	2008.04.22	International Conf. on Computational and Experimental Engineering and Science (ICCES'08)	Full Field Displacement Measurement Using Digital Image Correlation method for Laser Scanning Confocal Microscopic Image	N. Shishido, T. Ikeda, N. Miyazaki,
2	2008.06.08	2009 IEEE Semiconductor Wafer Test Workshop	A Challenge of 150k Probes on 300mm	Satoshi Sasaki, Yoshiro Nakata
3	2008.06.16	IEEE-CPMT Society 日本支部	ウェーハーレベルバーインの現状と動向	中田 義朗
4	2008.09.18	日本機械学会 M&M 2008 材料力学カンファレンス	AFM 画像へのデジタル画像関連法の適用 -面外変形の考慮と精度向上に関する検討-	桑原達彦、松本龍介、池田徹、宮崎則幸
5	2008.09.19	第 18 回 マイクロエレクトロニクスシンポジウム (MES2008)	デジタル画像関連法を用いたレーザ顕微鏡観察による回路基板内部のひずみ分布計測	宍戸信之、池田徹、宮崎則幸

平成 20 年度(続き)

	発表日	学会名	発表タイトル	発表者
6	2008.11.01	日本機械学会 第 21 回 計算力学講演会	デジタル画像相関法を用いた熱サイクルをうける多層基板中のはんだバンプの非線形ひずみ計測	貫野敏史、宍戸信之、池田徹、宮崎則幸、田中宏之、畑尾卓也
7	2008.11.03	2008 IEEE Asian Solid State Circuit Conference	500Mbps,670qW/pin coupled Receiver with self Reset Scheme for Wireless Connectors	Katsuyuki Ikeuchi(東京大学), Hideki Kusamitsu, et al.
8	2008.12.08	5th Intl. Symp. on Advanced Fluid Solid Science and Tech. in Experimental Mechanics	Full-field Displacement Measurement Using Digital Image Correlation Method for a Laser Scanning Microscopic Image	T. Ikeda, N. Shishido, N. Miyazaki,
9	2009.01.30	第 15 回エレクトロニクスにおけるマイクロ接合・実装技術シンポジウム (Mate 2009)	デジタル画像相関法と有限要素法を用いた多層基板中のはんだ接合部の熱サイクル疲労強度評価	貫野敏史、宍戸信之、池田徹、宮崎則幸、田中宏之、畑尾卓也
10	2009.03.17	電子情報通信学会 2009 年総合大会	非接触コネクタ向け 500Mbps 容量結合通信用受信回路の検討	池内克之(東京大学)、草光秀樹、他

平成 21 年度

	発表日	学会名	発表タイトル	発表者
1	2009.04.15	Intl. Conference on Electronics Pkging 2009 (ICEP 2009)	Reliability Evaluation of Flip Chip Packages Using the Digital Image Correlation Method and the FEM Analyses	T. Kanno, T. Ikeda, N. Miyazaki, H. Tanaka, T. Hatao
2	2009.06.07	IEEE Semiconductor Wafer Test Workshop	A Challenge of 150K Probes on 300mm	佐々木敏、他
3	2009.09.10	第 70 回 応用物理学会学術講演会	Compositional study on Cu/Sn microbump for flip-chip interconnection	M. Murugesan, Y. Ohara, A. Noriki, et al.
4	2009.09.14	日本機械学会 2009 年度 年次大会	デジタル画像相関法と有限要素法を用いた Flip chip パッケージのはんだ接合部の熱疲労信頼性評価	貫野敏史、宍戸信之、池田徹、宮崎則幸、他
5	2009.09.28	3DIC(3D-SIC)	Thermal resistance measurements of interconnections for a three-dimensional (3D) chip stack	Keiji Matsumoto, et al.
6	2009.09.28	3DIC(3D-SIC)	Development of wafer thinning, dicing and pick-up technology for thin wafer	Chuichi Miyazaki, et al.
7	2009.09.28	3DIC(3D-SIC)	Advanced 3D Chip Stack using Pre-applied Inter Chip Fill	Akihiro Horibe, et al.
8	2009.09.28	3DIC(3D-SIC)	10um Fine Pitch Cu/Sn Micro-Bumps for 3D Super-Chip Stack	Uki Ohara (東北大), K. Sakuma, F. Yamada, et al.
9	2009.9.28	IEEE International Conf. on 3D System Integration (3DIC)	A Capacitive Coupling Interface with High Sensitivity for Wireless Wafer Testing	Gil Su Kim, 高宮 真, 桜井 貴康
10	2009.9.28	IEEE International Conf. on 3D System Integration (3DIC)	Micro-Raman Spectroscopy Analysis and Capacitance - Time (C-t) Measurement of Thinned Si Substrates for 3D Integration	J.-C. Bea, M. Murugesan, Y. Ohara, et al.



平成 21年度(続き)

	発表日	学会名	発表タイトル	発表者
11	2009.10.01	16 <sup>th</sup> Annual KGD Packaging and Test Workshop	Full Wafer Level Test and Burn-in Probe with Capacitive Coupling	Yohihiro Nakata, et al.
12	2009.10.07	Intl. Conf. on Solid State Devices and Materials (SSDM 2009)	Development of EEB (Electro-plated-Evaporation Bumping) Technology for Fine Pitch and Low Resistance Cu/Sn Micro-Bumps	U. Ohara, A. Noriki, E. Iwata, et al.
13	2009.10.08	Intl. Conf. on Solid State Devices and Materials (SSDM 2009)	Evaluation of Thin LSI Wafers by Capacitance-Time (C-t) Measurement for the Process Characterization of 3D Integration	J.-C. Bea, M. Murugesan, Y. Ohara, et al.
14	2009.10.10	日本機械学会 第 22 回計算力学講演会	多機能高密度三次元集積回路におけるチップ間微細接合部の熱応力に関する研究	堀竜洋, 木下貴博, 川上 崇
15	2009.10.12	日本機械学会 第 22 回計算力学講演会	画像ゆがみ補正を用いた AFM 画像へのデジタル画像相関法の適用	宍戸信之、桑原達彦、松本龍介、池田徹、宮崎則幸
16	2009.10.12	日本機械学会 第 22 回計算力学講演会	デジタル画像相関法による Flip Chip パッケージ内部のひずみ測定と FEM 解析精度の向上	貫野敏史、池田徹、宮崎則幸、田中宏之、畑尾卓也
17	2009.11.07	日本機械学会熱工学コンファレンス 2009	異方性熱伝導材料の熱抵抗計測	畠山友行、日置裕介、中野雄太、他
18	2009.12	日本機械学会 関西支部 第 4 回 若手シンポジウム	銅微細接合部における塑性ひずみ局在化に関する統計的評価	石井義之、澄川貴志、北村隆行
19	2009.12.03	Material Research Society Fall Meeting 2009	Pre-applied Inter Chip Fill Material and Process for Advanced 3D Chip Stack	Akihiro Horibe, et al.
20	2009.12.03	The 11 th Intl. Conf. on Electronic Materials and Pkging (EMAP 2009)	Measurement of Strain in Microelectronic Package using the Digital Image Correlation Method for the Reliable Numerical Analysis	T. Ikeda, T. Kanno, N. Shishido, N. Miyazaki, et al.
21	2009.12.08	International Electron Devices Meeting (IEDM)	Impact of Remnant Stress/Strain and Metal Contamination in 3D LSIs with TSVs Fabricated by Wafer Thinning and Bonding	M. Murugesan, J.C. Bea, H. Kino, et al.
22	2010.02.02	Mate 2010	デジタル画像相関法を用いたフリップチップパッケージ内部の非線形熱応力解析精度の改善	貫野敏史、池田徹、宮崎則幸、畑尾卓也
23	2010.02.09	Intl. Solid-State Circuits Conf. 2010 (ISSCC 2010)	Capacitively Coupled Non-Contact Probing Circuits for Membrane-Based Wafer-Level Simultaneous Testing	Mutsuo Daito、Katsuyuki Ikeuchi (東京大), et al.
24	2010.02.21	Semi-Therm 26 (26th Annual Thermal Measurement, Modeling and Mgt. Sympo.)	Investigations of cooling solutions for a three-dimensional (3D) chip stack	Keiji Matsumoto, et al.
25	2010.03	日本機械学会 関西支部 第 85 回 定時総会講演会	銅微細接合部の塑性ひずみ局在化に関する統計的検討	石井義之、澄川貴志、北村隆行
26	2010.03.10	日本機械学会北陸信越支部 第 47 期総会・講演会	固体間における接触熱抵抗の低減に関する研究	日置裕介、畠山友行、石塚勝、中川慎二、他

平成 21年度(続き)

	発表日	学会名	発表タイトル	発表者
27	2010.03.10	日本機械学会北陸信越支部第 47 期総会・講演会	サーマルビアを配した印刷回路基板のモデル化手法に関する研究	高桑貞一、石塚勝、中川慎二、畠山友行
28	2010.03.19	2010 信学総大(電子情報通信学会 総合大会)	シングルエンド形 L 結合を用いたボード間非接触データ伝送	佐々木正人、池内克之、大東睦夫、高宮真、桜井貴康
29	2010.03.19	2010 年(平成 22 年)春季第 57 回応用物理学関係連合講演会	Low resistance Cu-Sn microbump for flip-chip interconnection	M. Murugesan、大原 悠希、乗木暁博、他
30	2010.03.19	第 57 回応用物理学関係連合講演会	三次元集積回路のための高密度 Cu/Sn マイクロバンプ形成技術	大原 悠希、乗木暁博、他

平成 22 年度

	発表日	学会名	発表タイトル	発表者
1	2010.05.13	Intl. Conference on Electronics Pkging 2010 (ICEP 2010)	Reduction of Thermal Resist. for Spray Cooling Tech. Using Supre Thermal Conductivity Material	Hatakeyama, Ishizuka, Hioki, Nakagawa, et al.
2	2010.05.13	Intl. Conference on Electronics Pkging 2010 (ICEP 2010)	Improvement of the Accuracy of Non-linear Finite Element Analyses of Micro Electronic Packages Using the Digital Image Correlation Method	T. Ikeda, T. Kanno, N. Shishido, N. Miyazaki, H. Tanaka, T. Hatao
3	2010.07.13	SEMATECH WS on Stress Management for 3D ICs using Through Silicon Vias	Remnant Stress/Strain in 3D-LSIs with TSV's Fabricated by Wafer Thinning and Bonding	M. Koyanagi
4	2010.08.25	The IEEE CPMT Symposium Japan 2010 (ICSJ 2010)	Development of high accuracy wafer thinning and pickup technology for thin wafer(die)	Chuichi Miyazaki, et al.
5	2010.09.08	日本機械学会 2010 年次大会	デジタル画像相関法を用いたひずみ計測による電子実装部内部の非線形応力解析精度の向上	池田 徹、貫野敏史、宍戸 信之、宮崎 則幸、他
6	2010.09.14	2010 年秋季 第 71 回 応用物理学学会学術講演会	高密度 TSV を持つ 3 次元積層チップとその信頼性に関する検討	堀部 晃啓
7	2010.09.15	第 71 回応用物理学関係連合講演会	LSI 積層による曲げ応力がデバイス特性に与える影響に関する研究	木野久志
8	2010.09.20	IEEE 2010 Custom Integrated Circuits Conference	A 15Gb/s 7mW Capacitive Coupling Interface Using Parallel Termination and Glitch Signaling for Wireless Wafer-Level Testing Systems	Mutsuo Daito, Katsuyuki Ikeuchi(東京大), et al.
9	2010.09.24	Intl. Conf. on Solid State Devices and Materials (SSDM 2010)	Metal micro-bump induced stress in 3D-LSIs _ micro-Raman Study	M. Murugesan, Y. Ohara, J.C Bea, et al.
10	2010.09.24	Intl. Conf. on Solid State Devices and Materials (SSDM 2010)	Evaluation of Copper Diffusion in Thinned Wafer with Extrinsic Gettering for 3D-LSI by Cap.-Time (C-t) measurement	J.-C. Bea, K.-W. Lee, M. Murugesan, et al.
11	2010.10.07	可視化情報学会全国講演会(鹿児島 2010)	熱回路網法による 3 次元積層型半導体デバイス内部の熱抵抗の可視化	畠山友行、石塚勝、中川慎二

平成 22 年度(続き)

	発表日	学会名	発表タイトル	発表者
12	2010.10.09	日本機械学会 M&M 2010 材料力学カンファレンス	三次元積層半導体チップの熱伝導特性と変形特性	木下貴博、川上崇、堀竜洋
13	2010.10.09	日本機械学会 M&M 2010 材料力学カンファレンス	シリコン貫通ビア構造を有する三次元集積半導体チップの熱応力	堀竜洋、木下貴博、川上崇(富山県大)
14	2010.10.09	日本機械学会 M&M 2010 材料力学カンファレンス	三次元積層半導体チップにおけるマイクロバンプの応力	川上崇、木下貴博、内山雄太(富山県大)
15	2010.10.09	日本機械学会 M&M 2010 材料力学カンファレンス	デジタル画像相関法によるひずみ計測と有限要素解析による次世代三次元積層試作チップの信頼性評価	河原真哉、池田徹、宮崎則幸
16	2010.10.09	日本機械学会 M&M 2010 材料力学カンファレンス	結晶塑性を考慮に入れた銅微細接合部のひずみ局在化に関する統計的評価	石井義之、澄川貴志、北村隆行
17	2010.10.09	日本機械学会 M&M 2010 材料力学カンファレンス	結晶塑性を考慮した Cu 微細接合部の局在ひずみ解析	岸本光平、石井義之、澄川貴志、北村隆行
18	2010.10.14	IEICE Transactions on Electronics	1Gb/s, 50 $\mu$ m x 50 $\mu$ m Pads on Board Wireless Connector based on Track-and-Charge Scheme Allowing Contacted Signaling	Hideki Kusamitsu, Katsuyuki Ikeuchi(東京大学), et al.
19	2010.10.25	12th Intl. Conf. on Electronics Materials and Packaging (EMAP 2010)	Thermal stresses around through silicon vias in 3D SiP	K. Matsumoto, T. Kinoshita(富山県大), et al.
20	2010.10.26	12th Intl. Conf. on Electronics Materials and Packaging (EMAP 2010)	Evaluation of Strain in a 3D Package by the Combination of the digital Image Correlation Method with a Microscope and the finite Element Method	T. Ikeda, S. Kawahara, N. Miyazaki,
21	2010.10.28	エレクトロニクス実装学会 2010 ワークショップ	KGD 獲得の為のウエハー括非接触プローブ技術	草光 秀樹、他
22	2010.10.30	熱工学カンファレンス 2010	熱回路網法による三次元積層チップ内熱抵抗低減手法の検討	島山友行、石塚勝、中川慎二
23	2010.10.31	日本機械学会 熱工学カンファレンス 2010	蒸発潜熱冷却を用いた 15kW 発熱する 300mm 半導体ウエーハの温調装置開発	中田 義朗、涌井 正幸(オリオン機械)、他
24	2010.11.03	ISTP-21	Performance of Compact Finned Heat Sinks for LSI Packages with Combined Natural and Forced Convection Air Flows	M. Ishizuka, T. Hatakeyama and S. Nakagawa
25	2010.11.16	IEEE International 3D System Integration Conf.	High Density 3D Integrated Chip Assembled by Stack Joining Process	Akihiro Horibe, et al.
26	2010.11.16	IEEE International 3D System Integration Conf.	A High-Speed, Low-Power Capacitive-Coupling Transceiver for Wireless Wafer-Level Testing Systems	Mutsuo Daito, Takayasu Sakurai(東京大学), et al.
27	2010.11.16	IEEE International 3D System Integration Conf.	Impact of Microbump Induced Stress in Thinned 3D-LSIs after Wafer Bonding	F. Yamada, C. Miyazaki, M. Murugesan(東北大学), et al.

平成 22 年度(続き)

	発表日	学会名	発表タイトル	発表者
28	2010.11.17	IEEE International 3D System Integration Conf.	Development of high accuracy wafer thinning and pickup technology for thin wafer	Chuichi Miyazaki, et al.
29	2010.11.22	電気学会 電子回路研究会 「高機能電子機器を実現する要素技術と実装技術の融合」	3次元積層チップの熱特性の評価	松本 圭司、他
30	2010.12.08	International Electron Devices Meeting (IEDM)	Wafer Thinning, Bonding, and Interconnects Induced Local Strain/Stress in 3D-LSIs with Fine-Pitch High-Density Microbumps and Through-Si Vias	M. Murugesan(東北大学), F. Yamada, C. Miyazaki ,et al.
31	2010.12.08	IEEE Electronics Packaging Tech. Conf. (EPTC) 2010	Thermal resistance evaluation of a three-dimensional (3D) chip stack	K. Matsumoto, et al.
32	2010.12.08	IEEE Electronics Packaging Tech. Conf. (EPTC) 2010	Estimation of Maximum Temp. in 3D-Integrated Package by Thermal Network Method	T. Hatakeyama, M Ishizuka and S. Nakagawa
33	2011.01.19	SMTA 2011 Pan Pacific Microelectronics Symposium	Development of accurate wafer thinning, low stress die separation and handling technology	Chuichi Miyazaki, et al.
34	2011.02.04	第 17 回「エレクトロニクスにおけるマイクロ接合・実装技術」シンポジウム (Mate2011)	実測とシミュレーションとを用いた 3次元積層チップの熱抵抗の解析	松本 圭司、他
35	2011.02.04	第 17 回「エレクトロニクスにおけるマイクロ接合・実装技術」シンポジウム (Mate2011)	三次元積層半導体チップにおける微細金属接合部の応力シミュレーション	木下貴博、川上崇(富山県大)、松本圭司、小原さゆり、他
36	2011.02.20	IEEE International Solid-State Circuits Conference 2011	Capacitively-Coupled Interface Insensitive to Power/Ground Fluctuations	大東睦夫、桜井貴康(東京大学)、他
37	2011.03.09	エレクトロニクス実装学会春季講演大会	デジタル画像相関法による歪み計測を用いた三次元積層チップの非線形有限要素解析精度の改善	岡大智、河原真哉、池田徹、宮崎則幸
38	2011.03.23	27th Annual Thermal Measurement, Modeling and Management Sympo. (Semi-Therm 27)	Experimental thermal resistance evaluation of a three-dimensional (3D) chip stack	Keiji Matsumoto, et al.
39	2011.03.25	第 58 回 応用物理学関係連合講演会	3次元積層による薄化 LSI チップの変形と応力分布の解析	木野久志、M. Murugesan、裴志哲、他

平成 23 年度

	発表日	学会名	発表タイトル	発表者
1	2011.04.14	Intl. Conference on Electronic Packaging (ICEP 2011)	High Density 3D Chip Integration Process	A. Horibe, et al.
2	2011.04.14	Intl. Conference on Electronic Packaging (ICEP 2011)	Cooling Performance of Compact Finned Heat Sinks Under Combined Natural and Forced Convection Flows	M. Ishizuka, et al.
3	2011.06.01	第 48 回 日本伝熱シンポジウム	PCB 内サーマルビアによる熱抵抗低減効果の評価	畠山友行、石塚勝、高桑貞一、中川慎二
4	2011.06.14	2011 Symposium on VLSI Circuits	56Gbps/mm <sup>2</sup> Capacitively Coupled Interface, 2.2-Times More Robust to Noise using Enhanced Power-Signal Coupling for WT	Mutsuo Daito, Katsuyuki Ikeuchi (東京大学), et al.
5	2011.07.06	InterPACK 2011	Thermal stresses of through silicon vias and Si chips in 3D SiP	T. Kinoshita (富山県大)、K. Matsumoto, et al.
6	2011.07.07	InterPACK2011	Thermal Resistance Measurement and Thermal Network Analysis of Printed Circuit Board with Thermal Vias	T. Hatakeyama, M. Ishizuka, S. Nakagawa, S. Takakuwa
7	2011.07.15	材料力学カンファレンス (M&M 2011)	三次元積層半導体チップにおけるマイクロバンプの非弾性応力シミュレーション	木下 貴博 (富山県大)、松本圭司、他
8	2011.07.15	材料力学カンファレンス (M&M 2011)	次世代半導体チップにおける微細構造領域の熱伝導特性と力学的変形特性	若松剛(富山県大)、松本圭司、他
9	2011.07.16	日本機械学会 M&M 2010 材料力学カンファレンス	デジタル画像相関法による熱ひずみ計測を用いた次世代三次元積層チップの非線形有限要素解析精度の改善	岡大智、河原真哉、池田徹、宮崎則幸
10	2011.09.02	第 72 回応用物理学会学術講演会	3 次元積層チップの熱抵抗の解析	松本 圭司、他
11	2011.09.09	MES 2011 (エレクトロニクス実装学会 第 21 回 マイクロエレクトロニクスシンポ)	薄化シリコンチップの接合法	末岡 邦昭、阿部 由之、他
12	2011.09.29	Intl. Conference on Solid State Devices and Materials (SSDM)	Thinning Process Induced Surface Defects in Ultra-Thin Si Wafer	C. Miyazaki, M. Murugesan (東北大), et al.
13	2011.09.29	Intl. Conference on Solid State Devices and Materials (SSDM)	Impacts of Microbump- Induced Local Bending Stress in 3D-LSI	C. Miyazaki, H. Kino (東北大), et al.
14	2011.10.08	日本機械学会 第 24 回 計算力学講演会	デジタル画像相関法による次世代三次元積層チップ断面のひずみ計測を用いた非線形有限要素法解析精度の向上	岡大智、河原真哉、池田徹、宮崎則幸
15	2011.10.12	220th ECS Meeting (ECS:Electrochemical Society)	Wafer Test Technology for 3D-Integrated Circuits	Y. Nakata



平成 23 年度(続き)

	発表日	学会名	発表タイトル	発表者
16	2011.10.12	ISMP 2011 (Intl. Symposium on Maicro-Electronics Pkging)	Thermal management and chip joining tech. for 3D integration and an overview of "Dream Chip Project" by ASET	F. Yamada, et al.
17	2011.10.13	エレクトロニクス実装学会ワークショップ	三次元集積化熱・積層接合技術	堀部 晃啓
18	2011.10.18	IMPACT 2011 (Intl. Microsystems, Pkging, Assembly and Circuits Tech. Conf.)	Stresses in 3D SiP with TSV under Steady Thermal Loads	K. Matsumoto, T. Wakamatsu (富山県大), et al.
19	2011.10.18	IMPACT 2011 (Intl. Microsystems, Pkging, Assembly and Circuits Tech. Conf.)	Stresses in 3D SiP with TSV under Unsteady Thermal Loads	K. Matsumoto, T. Kinoshita (富山県大), et al.
20	2011.10.22	Intl. Conference on Materials & Reliability 2011 (ICMR2011)	Improvement of the nonlinear finite element analyses for a 3D SIC using the strain measurement by the digital image correlation	T. Ikeda, S. Kawahara, M. Oka, N. Miyazaki
21	2011.12.05	IEDM 2011 (2011 IEEE Intl. Electron Devices Mtg)	High Density 3D LSI Technology Using W/Cu Hybrid TSVs	C. Miyazaki, M. Murugesan (東北大), et al.
22	2011.12.07	EPTC 2011 (The 13th Electronics Pkging Tech. Conference)	TSV Diagnostics by X-ray Microscopy	K. Sueoka, et al.
23	2011.12.12	EMAP 2011 ( 13th Intl. Conf. on Electronics Materails and Pkging)	Experimental thermal resistance evaluation of a three-dimensional (3D) chip stack, especially on TSV	K. Matsumoto, et al.
24	2011.12.12	13th Intl. Conf. on Electronics Materials and Packaging	Feasibility study on 3D SiP with TSV under steady thermal loads	T. Wakamatsu (富山県大)、K. Matsumoto, et al.
25	2011.12.12	13th Intl. Conf. on Electronics Materials and Packaging	Feasibility study on 3D SiP with TSV under unsteady thermal loads	T. Kinoshita (富山県大)、K. Matsumoto, et al.
26	2011.12.14	The13th International Conference on Electronics Materials and Packaging (EMAP2011)	Improvement of the accuracy of the nonlinear finite element analyses for a new 3D SIC package using the thermal strain measurement with the digital image correlation	M. Oka, S. Kawahara, T. Ikeda, N. Miyazaki
27	2011.12.14	13th Intl. Conf. on Electronics Materials and Packaging	Analysis of Stress Distribution in Au Micro-Interconnection by Polycrystalline Models	K. Kishimoto, T. Sumigawa, T. Kitamura, et al.
28	2012.01.31	第 18 回 エレクトロニクスにおけるマイクロ接合・実装技術シンポジウム Mate 2012	デジタル画像相関法によるひずみ計測を用いた三次元積層チップの微細接合部のひずみ評価	岡大智、池田徹、宮崎則幸
29	2012.01.31	3DIC 2011	High Density Cu-TSVs and Reliability Issues	H. Kobayashi, M. Mariappan (東北大学), et al.

平成 23 年度(続き)

	発表日	学会名	発表タイトル	発表者
30	2012.01.31	3DIC 2011	Combination between the nonlinear finite element analyses and the strain measurement using the digital image correlation for a new 3D SIC package	K. Matsumoto, T. Ikeda, et al.
31	2012.01.31	3DIC 2011	Thermal Stress Analysis of Die Stacks with Fine-Pitch IMC inter-connections for 3D integration	S. Kohara, T. Kawakami (富山県大), et al.
32	2012.01.31	3DIC 2011	Development of High Accuracy Wafer Thinning and Pickup Tech. for Thin Wafer	K. Kitaichi, et al.
33	2012.01.31	MATE 2012 (「エレクトロニクスにおけるマイクロ接合・実装技術」シンポジウム)	TSV(Through-Silicon-Via)を含めた、3次元積層チップの熱抵抗解析	松本圭司、他
34	2012.01.31	MATE 2012 (第18回「エレクトロニクスにおけるマイクロ接合・実装技術」シンポジウム)	次世代半導体パッケージの応力シミュレーションの効率化 -六面体要素を用いたパッケージ全体モデリング-	松本圭司、木下貴博(富山県大)、他
35	2012.01.31	MATE 2012 (第18回「エレクトロニクスにおけるマイクロ接合・実装技術」シンポジウム)	3次元シリコンチップ積層構造の熱サイクル試験と微細IMC接合の観察	小原さゆり、木下貴博(富山県大)、他
36	2012.03.18	SemiTherm 2012	Experimental thermal resistance evaluation of a three-dimensional (3D) chip stack, including the transient measurements	K. Matsumoto, et al.

平成 24 年度

	発表日	学会名	発表タイトル	発表者
1	2012.04.16	IEEE International Reliability Physics Society (IRPS) 2012	Impact of Cu Diffusion from Cu TSV on Device Reliability in 3-D LSIs Evaluated by Transient Capacitance Measurement	K. W. Lee, J-C. Bea, et al.
2	2012.04.19	International Conf. on Electronics Pkging 2012 (ICEP2012)	Effect of Underfill Properties on Thermomechanical Stress in Fine Pitch 3D-IC Package	A. Horibe, S. Kohara, et al.
3	2012.05.15	日本機械学会 分科会 RC256	3次元積層パッケージの熱特性について	松本 圭司、末岡 邦昭、他
4	2012.05.29	Electric Components and Tech. Conf. 2012 (ECTC 2012)	Locally Induced Stress in Stacked Ultrathin Si wafers: XPS and Raman study	M. Murugesan (東北大), H. Kobayashi, et al.
5	2012.07.11	熱対策シンポジウム	3次元積層パッケージの熱特性について	松本 圭司、末岡 邦昭、他
6	2012.09	日本機械学会 材料力学カンファレンス M&M 2010	Cu 微細接合部の局所ひずみ分布に及ぼす結晶粒の影響	澄川貴志、岸本光平、近藤忠宏、北村隆行
7	2012.09.12	Intl. Microelectronics and Pkging Society 2012 (IMAPS2012)	Thermomechanical Design for Fine Pitch 3D-IC Packages	堀部 晃啓、小原 さゆり、他

平成 24 年度(続き)

	発表日	学会名	発表タイトル	発表者
8	2012.09.13	2012 年電子情報通信学会 ソサイエティ大会	次世代半導体パッケージの熱応力シミュレーション	木下 貴博(富山県立大)、松本 圭司、他
9	2012.09.13	第 22 回 マイクロエレクトロニクスシンポジウム (MES 2012)	SEM とデジタル画像関連法によるひずみ計測を利用した三次元積層チップの非線形有限要素解析の精度向上	岡大智(京都大学)、松本圭二、他
10	2012.09.21	M&M2012 材料力学カンファレンス	Cu と Sn-Ag-Cu はんだから構成されるチップ間接合部の熱伝導特性と力学的変形特性	木下 貴博(富山県立大)、松本 圭司、他
11	2012.09.21	M&M2012 材料力学カンファレンス	リフロー工程における三次元積層半導体パッケージの熱応力	若松 剛(富山県立大)、松本 圭司、他
12	2012.09.24	M&M2012 材料力学カンファレンス	SEM を用いたデジタル画像関連法による熱ひずみ計測を用いた三次元積層チップの非線形有限要素解析精度評価	岡大智(京都大学)、松本圭二、他
13	2012.09.26	Intl. Conf. on Solid State Devices and Materials (SSDM)	The Influence of Cu Diffusion from Cu Through-Silicon Via(TSV) on Device Reliability in the 3D LSI by Using C-V and C-t Measurements	J-C. Bea, et al.
14	2012.10.05	第 33 回 熱物性シンポジウム	多層配線基板の定常法による有効熱伝導率計測	畠山友行、木伏理沙子、中野雄太、石塚勝
15	2012.10.06	日本機械学会 第 25 回 計算力学講演会	SEM-DICM を用いた 3D-SIC 模擬チップのひずみ計測と有限要素解析精度の向上	池田徹、岡大智、宮崎則幸、田中宏之、畑尾卓也
16	2012.10.10	222nd ECS Meeting	Cu Contamination Assessment and Control in 3-D Integration	M. Koyanagi, K. W. Lee, et al.
17	2012.10.11	Intl. Computational Mechanics Sympo. 2012 (ICMS2012)	Improvement of the Accuracy of Nonlinear Finite Element Analysis for a 3D SIC Package Using SEM and DICM	M. Oka, S. Kawahara, T. Ikeda, N. Miyazaki, et al.
18	2012.10.19	JIEP ワークショップ	多機能高集積デバイスのための高密度微細接合技術	末岡 邦昭
19	2012.10.24	Impact 2012	Actual stresses around TSV in whole 3D-SiP under reflow or power ON/OFF thermal load	木下 貴博(富山県立大)、松本 圭司、他
20	2012.10.24	Impact 2012	Inelastic analysis for singular stresses around TSV under reflow or power ON/OFF thermal load	若松 剛(富山県立大)、松本 圭司、他
21	2012.10.24	Impact 2012	Experimental Study on the Performance of Compact Heat Sink for LSI Packages	T. Hatakeyama, M. Ishizuka, R. Kibushi
22	2012.11.17	日本機械学会 熱工学コンファレンス 2012	熱・電気連成解析による Si パワー MOSFET の発熱特性の検証	木伏理沙子、畠山友行、石塚勝
23	2012.11.17	日本機械学会 熱工学コンファレンス 2012	PCB 面内方向有効熱伝導率計測結果の推定式による評価手法の検討	畠山友行、石塚勝、中野雄太
24	2012.12.09	IEEE Intl. Electron Devices Meeting (IEDM 2012)	Minimizing the Local Deformation Induced Cu-TSVs and CuSn/InAu-Microbumps in High-Density 3D-LSIs	M. Murugesan(東北大)、F. Yamada, H. Shimamoto, et al.

平成 24 年度(続き)

	発表日	学会名	発表タイトル	発表者
25	2012.12.11	IEEE CPMT Symposium Japan 2012 (ICSJ 2012)	Thermal Stress and Die-Warpage Analyses of 3D Die Stacks on Organic Substrates	S. Kohara, K. Sueoka, et al.
26	2012.12.11	IEEE CPMT Symposium Japan 2012 (ICSJ 2012)	Study for CMOS device characteristics affected by Ultra Thin Wafer Thinning	H. Shimamoto, K. W. Lee (東北大), et al.
27	2012.12.11	IEEE CPMT Symposium Japan 2012 (ICSJ 2012)	Impact of Energy Relaxation Time on Heat Generation in Silicon with Electro-Thermal Analysis	T. Hatakeyama, R. Kibushi, M. Ishizuka
28	2012.12.15	The 14th Intl. Conf. on Electronic Materials and Pkging (EMAP 2012)	Reliability Evaluation of a New 3D SiC Package by FEM and Thermal -Strain Measurement with Digital Image Correlation Using SEM	T. Ikeda, M. Oka, N. Miyazaki, et al.
29	2013.01.29	Mate 2013	3次元積層チップの熱抵抗の評価と放熱方法についての検討	松本 圭司、末岡 邦昭、他
30	2013.01.29	Mate 2013	3次元積層パッケージの熱応力に及ぼす材料特性と構造の影響	小原 さゆり、堀部 晃啓、他
31	2013.01.30	第 19 回 エレクトロニクスにおけるマイクロ接合・実装技術シンポジウム Mate 2013	SEM とデジタル画像相関法を組み合わせた熱ひずみ計測を用いた三次元積層チップの微細接合部の信頼性評価	岡大智(京都大学)、松本圭司、他
32	2013.03.17	The 29th Annual Thermal Measurement, Modeling and Management Sympo.	Thermal design guidelines for a three-dimensional (3D) chip stack, including cooling solutions	K. Matsumoto, K. Sueoka, et al.
33	2013.03.14	第 27 回 エレクトロニクス実装学会講演大会	車載用三次元実装イメージセンサの冷却方法および冷却構造	山田 文明、他
34	2013.03.14	第 27 回 エレクトロニクス実装学会講演大会	三次元集積化技術におけるマイクロバンパ C2C 技術	末岡 邦昭、他
35	2013.03.14	第 27 回 エレクトロニクス実装学会講演大会	薄ウエハにおける Cu 汚染の CMOS デバイスへの影響	島本 晴夫、他
36	2013.03.14	第 27 回 エレクトロニクス実装学会講演大会	三次元実装における ICF (NCF) 付きダイシングテープ技術	北市 幸佑、他

(c) 表彰等

- 1) 2011 年 7 月に開催された InterPACK 2011 Conference (ASME、米国機械学会)において、Mechanics Best Paper Award を受賞。(平成 23 年度学会発表の #5)

Takahiro Kinoshita, Takashi Kawakami, Tatsuhiko Hori, Keiji Matsumoto, Sayuri Kohara, Yasumitsu Orii, Fumiaki Yamada and Morihiko Kada,  
「Thermal stresses of Through Silicon Vias and Si Chips in 3D SiP」

(d) その他特記事項

平成 20 年度 なし

平成 21 年度

	発表日	発表媒体	発表タイトル	発表者
1	2009.11	半導体技術年鑑 2010	「ドリームチップ」に向け TSV の高性能化を追求 シミュレータ, プローバなど周辺技術も開発	嘉田守宏

平成 22 年度 なし

平成 23 年度 なし

平成 24 年度 なし

(e)特許

平成 20 年度

No	出願番号	出願国	出願日	状態	発明の名称	発明者
1	特願 2008-274656	国内	2008.10.24	取下	信号伝送装置	高宮真、 桜井貴康、他

平成 21 年度

No	出願番号	出願国	出願日	状態	発明の名称	発明者
1	特願 2009-209279	国内	2009.09.10	登録	非接触通信システム	大東睦夫
2	特願 2009-209280	国内	2009.09.10	公開	スキュー調整回路およびスキュー調整方法	大東睦夫
3	特願 2009-219857 US12/838849	国内 外国	2009.09.25 2010.07.19	公開 公開	プローブカード及びそれを用いた半導体ウエーハの検査方法	中田義朗、 三宅直己
4	PCT/JP2009/004852 特願 2010-531357 US12/885403 KR20107018540 TW99131671 CN20098161607	PCT 国内 外国 外国 外国 外国	2009.09.25 2010.08.06 2010.09.17 2010.08.20 2010.09.17 2009.09.25	公開 公開 登録 公開 公開 公開	プローブ装置および試験装置	甲元芳雄
5	特願 2009-223266 US12/872966	国内 外国	2009.09.28 2010.08.31	公開 公開	半導体装置の製造方法、半導体装置およびウエーハ積層構造物	森藤忠洋、 宮崎忠一、他
6	特願 2009-244046 US12/839778	国内 外国	2009.10.23 2010.07.20	公開 登録	ウエーハ検査装置及びそれを用いた半導体ウエーハの検査方法	中田義朗、 佐々木敏



平成 21 年度(続き)

No	出願番号	出願国	出願日	状態	発明の名称	発明者
7	特願 2010-049050 PCT/JP2010/007530 特願 2012-502899 US13/582586 CN201080065148	国内 PCT 国内 外国 外国	2010.03.05 2010.12.24 2012.06.28 2012.09.04 2012.09.04	取下 公開 出願 公開 公開	非接触通信コネクタ	草光秀樹

平成 22 年度

No	出願番号	出願国	出願日	状態	発明の名称	発明者
1	特願 2011-005546 US13/346716	国内 外国	2011.01.14 2012.01.09	公開 公開	半導体素子及びその製造方法	阿部由之、 島本晴夫、他
2	特願 2011-079874 US13/423552 US13/561460	国内 外国 外国	2011.03.31 2012.03.19 2012.07.30	公開 出願 出願	半導体接合装置	末岡邦昭

平成 23 年度

No	出願番号	出願国	出願日	状態	発明の名称	発明者
1	特願 2011-107280 US13/466160 US13/597948	国内 外国 外国	2011.05.12 2012.05.08 2012.08.29	公開 公開 公開	シリコンボードにおけるシリコン貫通配線(TSV)の形成	佐久間克幸
2	特願 2011-124548 US13/484347	国内 外国	2011.06.02 2012.05.31	公開 公開	超音波スキャンに基づくTSVにおけるボイドの存在の推定	堀部晃啓、 山田文明
3	特願 2011-235876	国内	2011.10.27	公開	半導体実装方法	堀部晃啓
4	特願 2011-235915	国内	2011.10.27	公開	半導体実装方法	堀部晃啓
5	特願 2011-249848	国内	2011.11.15	出願	半導体装置	佐久間克幸、 鳥山和重、他
6	特願 2011-249892	国内	2011.11.15	出願	半導体装置	佐久間克幸、 末岡邦昭、他
7	特願 2011-258013	国内	2011.11.25	出願	半導体装置	佐久間克幸、 末岡邦昭、他
8	特願 2011-266644	国内	2011.12.06	出願	半導体素子及びその製造方法	北市幸佑、 阿部由之、他

平成 24 年度

No	出願番号	出願国	出願日	状態	発明の名称	発明者
1	特願 2012-115933	国内	2012.05.21	出願	三次元積層パッケージの電力供給方法並びに冷却方法	松本圭司
2	特願 2012-184528	国内	2012.08.23	出願	半導体装置	折井靖光、 乃万裕一、他
3	特願 2012-222294	国内	2012.10.04	出願	半導体素子及びその製造方法	斎藤滋晃、 北市幸佑、他
4	特願 2012-252438	国内	2012.11.02	出願	半導体素子及びその製造方法	斎藤滋晃、 島本晴夫、他
5	特願 2012-261483	国内	2012.11.29	出願	半導体実装方法	堀部晃啓

平成 24 年度(続き)

No	出願番号	出願国	出願日	状態	発明の名称	発明者
6	特願 2012-261543	国内	2012.11.29	出願	半導体装置	小原さゆり、 松本圭司
7	特願 2012-271739	国内	2012.12.12	出願	半導体装置の製造方法	北市幸佑
8	特願 2013-036141	国内	2013.02.26	出願	半導体素子及びその製造方法	阿部由之、 北市幸佑、他
9	特願 2013-062446	国内	2013.03.25	出願	電子部品の製造方法および電子部 品製造システム	安永尚司、 島本晴夫、他

①-(3) 次世代三次元集積化の共通要素技術開発と設計基準策定

(a)投稿論文

平成 20 年度 なし

平成 21 年度

	発表日	発表媒体	発表タイトル	発表者
1	2009.	エレクトロニクス実装学会誌 Vol.12 No.2	三次元積層型チップのための Si 貫通ビア (TSV) 形成技術	福島誉史、 田中徹、 小柳光正
2	2009.	Japanese Journal of Applied Physics	Fundamental Study of Complementary Metal Oxide Semiconductor Image Sensor for 3D Image Processing System	K. Makita, K. Kiyoyama, T. Sugimura, et al.

平成 22 年度 なし

平成 23 年度

	発表日	発表媒体	発表タイトル	発表者
1	2011.05	Special Issues of Japanese Journal of Applied Physics	A Study of Digitally Controllable Radio Frequency Micro Electro Mechanical Systems Inductor	A. Shirane, Y. Mizuochi, K. Masu, et al.
2	2011.11	電子情報通信学会 C 論文誌	高速 LSI と実装の電源を含めたコンカレント設計の重要性	大塚寛治
	2012.03	エレクトロニクス実装学会誌 Vol.15 No.2	3D-TSV 技術を組み込んで主流となるアプリケーション	大塚寛治

平成 23 年度

	発表日	発表媒体	発表タイトル	発表者
1	2012.04.	Journal of ELECTRONIC MATERIALS	Low-Resistance Cu-Sn Electroplated Evaporated Microbumps for 3D Chip Stacking	M. Murugesan, Y. Ohara, et al.

(b)学会発表

平成 20 年度

	発表日	学会名	発表タイトル	発表者
1	2008.09.23	Advanced Metallization Conf. (AMC) 2008	3D system integration technology and 3D systems	T. Fukushima, T. Tanaka, M. Koyanagi
2	2008.09.24	2008 Intl. Conf. on Solid State Devices and	A CMOS Image Sensor with CDS and Global Shutter for 3D Image	K. Makita, K. Kiyoyama,

		Materials	Processing System	T. Sugimura, et al.
--	--	-----------	-------------------	---------------------

平成 20 年度(続き)

	発表日	学会名	発表タイトル	発表者
3	2008.12.04	Semicon Japan2008 IPSS (International Packaging Strategy Symposium)	ASET が描く世界をリードする三次元 集積化技術	嘉田 守弘
4	2008.12.09	GPBE/NUS-Tohoku Graduate Student Conference	Study of Retinal Prosthesis with Three-Dimensionally Stacked LSI	K. Sato, Y. Kaiho, H. Tomita, T. Tanaka, et al.
5	2008.12.09	GPBE/NUS-Tohoku Graduate Student Conference	Fully Implantable Retinal Prosthesis with 3-Dimensionally Stacked LSI	T. Tanaka
6	2009.01.30	半導体パッケージング技 術展 専門技術セミナー	TSV 技術のメモリ適用例と最新 TSV 技術	三橋 敏郎
7	2009.02.05	光電相互変換 第 125 委員会 第 203 回研究会	3 次元集積回路技術を用いた生体埋 め込み用チップの開発	田中徹、 福島誉史、 小柳光正

平成 21 年度

	発表日	学会名	発表タイトル	発表者
1	2009.06.04	JIEP 最先端実装セミナー (エレクトロニクス実装学会)	我が国の三次元集積化技術の開発 動向と展望	嘉田守宏
2	2009.07.13	Semicon West 2009	Development of Functionally Innovative 3D-Intefrated Circuit(Dream Chip) Technology	Morihiro Kada (代:山田文明)
3	2009.07.30	第 154 委員会 設立 20 周 年記念シンポジウム(学術 振興会)	電子デバイス 3D インテグレーション の展望	嘉田守宏
4	2009.08.10	平成21年度第1回マルチメ ディア研究会(情報通信学 会 関西支部)	我が国の三次元集積化技術の開発 動向と展望	嘉田守宏
5	2009.09.28	3DIC(3D-SIC)	Development on Functionally Innovative 3D-Integrated Circuit (Dream Chip) Technology	Morihiro Kada
6	2009.9.28	IEEE International Conf. on 3D System Integration (3DIC)	A Parallel ADC for High-Speed CMOS Image Processing System with 3D Structure	K. Kiyoyama, Y. Ohara, K-W Lee, et al.
7	2009.9.28	IEEE International Conf. on 3D System Integration (3DIC)	3D Integration Technology for 3D Stacked Retinal Chip	Y. Kaiho
8	2009.10.19	Advanced Metallization Conference 2009: 19 <sup>th</sup> Asian Session (ADMETA2009)WS	三次元集積化技術の最近の開発動 向と展望	嘉田守宏
9	2009.12.08	International Electron Devices Meeting (IEDM)	3D Heterogeneous Opto -Electronic Integration Technology for System-on-Silicon (SOS)	K-W Lee, A. Noriki, et al.
10	2010.01.26	IEEE Electron Devices Society Japan Chapter 総会	3D積層技術	福島誉史

平成 21 年度(続き)

	発表日	学会名	発表タイトル	発表者
11	2010.01.29	応用物理学会／電子情報通信学会 第 118 回 研究集会	三次元光・電子集積化技術開発	李康旭、 乗木暁博、 清山浩司、他
12	2010.02.02	Mate2010	三次元集積化技術の展望とドリームチップ技術開発	嘉田守宏

平成 22 年度

	発表日	学会名	発表タイトル	発表者
1	2010.05.12	ICEP2010 (Intl. Conf. on Electronics Pkging)	Prospect for Development on 3D-Integration Technology and R&D result of Functionally Innovative 3D-Integrated Circuit (Dream Chip) Technology in FY2009	Morihiro Kada
2	2010.05.27	Jisso International Council (JIC) #11	3D-Integration Technology with TSV -Dream Chip-	Junichi Umegaki
3	2010.06.01	SEMI Forum Japan TSV/ 3次元実装セミナー - 多層配線/JISSO ジョイント企画 -	我が国の三次元集積化技術の開発動向と展望	嘉田 守宏
4	2010.06.03	JIEP 最先端実装セミナー	三次元集積化技術の研究開発動向と展望 2010	嘉田 守宏
5	2010.06.09	化学工学会反応工学部会 CVD 反応分科会主催ミニシンポ - 3次元実装の要素プロセス技術 -	3次元集積化技術の開発動向と展望	嘉田 守宏
6	2010.09.15	6th Annual SEMATECH Sympo. Japan 2010	Updated Results of R&D on Functionally Innovative 3D- Integrated Circuit (Dream Chip) Technology in FY2009	Morihiro Kada
7	2010.09.24	Intl. Conf. on Solid State Devices and Materials (SSDM 2010)	Development of Versatile Backside Via Technology for 3D System on Chip	Y. Ohara, K.-W. Lee, T. Fukushima, et al.
8	2010.10.20	IMPACT 2010 5th Intl. Microsystems, Packaging, Assembly and Circuits Tech.	Updated Results of R&D on Functionally Innovative 3D- Integrated Circuit (Dream Chip) Technology in FY2009	Morihiro Kada
9	2010.10.22	Advanced Metallization Conference 2010: 20th Asian Session	Updated Results of R&D on Functionally Innovative 3D- Integrated Circuit (Dream Chip) Technology in FY2009	Morihiro Kada
10	2010.11.16	IEEE International 3D System Integration Conf.	A Block-Parallel Signal Processing System for CMOS Image Sensor with Three-Dimensional Structure	H. Kobayashi, K. Kiyoyama (東北大学), et al.
11	2010.11.17	IEEE International 3D System	3D R&D Technology for the future voyage in Japan	Kenzo Inagaki

		Integration Conf.	
--	--	-------------------	--

平成 22 年度(続き)

	発表日	学会名	発表タイトル	発表者
12	2011.01.21	12th IC Packaging Technology Expo ICP「半導体パッケージング技術展 専門技術セミナー」	Prospect for Micro-bonding and 3D Integration technology 微細接合と三次元集積化技術の開発動向	嘉田 守宏

平成 23 年度

	発表日	学会名	発表タイトル	発表者
1	2011.04.08	SEMATECH ISMI Reliability Council	3D Integration Technology and Reliability	M. Koyanagi
2	2011.04.13	IEEE Intl. Reliability Physics Sympo. (IRPS)	3D Integration Technology and Reliability	M. Koyanagi
3	2011.04.14	Intl. Conference on Electronic Packaging (ICEP 2011)	Development of 5 um Diameter Backside Cu TSV Technology for 3D LSI	T. Ohara, et al.
4	2011.04.14	International Conference on Electronic Packaging (ICEP 2011)	Si Interposers with Thick Spiral Inductors for 3D Stacked Buck Converters	K. Takemura, K. Ishida(東京大), et al.
5	2011.04.15	International Conference on Electronic Packaging (ICEP 2011)	Effect of PDN Impedance Change on Gbps Signal Propagation Using Decoupling Capacitor Embedded Interposer for 3D-Integrated LSI System	K. Kikuchi(AIST), Y. Akiyama(明星大), K. Takemura, et al.
6	2011.05.31	SEMI Forum Japan 2011	TSV を用いたウェハレベル三次元集積化技術	武田 健一
7	2011.06.05	Intl. Symposium on the Physical & Failure Analysis of ICs (IPFA)	3D LSI and Reliability	M. Koyanagi
8	2011.06.07	IEEE 2011 Intl. Microwave Symp. (IMS 2011)	Miniaturized Microwave Tunable Bandpass Filters on High-k LTCC with Integrated Resistive Vias as Bias-T	X. Mi, et al.
9	2011.06.16	Symposium on VLSI Technology	3D LSI Technology and Reliability Issues	T. Tanaka, et al.
10	2011.07.05	18th Intl. Sympo. on the Physical & Failure Analysis of ICs	3D LSI and Reliability	M. Koyanagi
11	2011.07.20	エレクトロニクス実装学会・システムインテグレーション実装技術委員会	TSV を用いた三次元集積化技術	武田 健一
12	2011.08.08	MWSCAS 2011 (The 54th Intl. Midwest Sympo. on Circuits and Systems)	Performance Comparison of 2D and 3D FPGAs using True-3D CAD Tool	T. Matsumura, N. Miyamoto(東北大)



平成 23 年度(続き)

	発表日	学会名	発表タイトル	発表者
13	2011.09	Second IEEE Intl. Workshop on Testing 3D Stacked ICs (3D-TEST 2011)	Wideband Ultralow Impedance Evaluation System of Power Distribution Network for Decoupling Capacitor Embedded Interposers of 3-D Integrated LSI System	K. Kikuchi (AIST), T. Gomyo, T. Ookubo, T. Sudo (芝浦工大), K. Otsuka (明星大)
14	2011.09.02	第 72 回応用物理学会学術講演会	チッププロセスによる TSV 電極形成	朴澤 一幸、他
15	2011.09.02	第 72 回応用物理学会学術講演会	ハイブリッド接合のための樹脂研磨レート制御	青木 真由、他
16	2011.09.08	SEMI Taiwan, Global System Package Summit	How to Make True 3D-TSV IC Application-Spreading 3D-TSV Technologies	K. Otsuka
17	2011.09.14	IEEE APWC	Frequency Reconfigurable Antenna with MEMS Switches for Mobile Platforms	T. Yamagajo, et al.
18	2011.09.29	Intl. Conference on Solid State Devices and Materials (SSDM)	A Block-Parallel SAR ADC for CMOS Image Sensor with 3-D Stacked Structure	K. Kiyoyama, et al.
19	2011.09.30	IC ガイドブック 三次元実装技術	IC ガイドブック 三次元実装技術	嘉田 守宏
20	2011.10.12	220th ECS Meeting (ECS:Electrochemical Society)	The Performance and Density Advantages of 3D FPGA	Nakagawa, Koike (AIST), Miyamoto (東北大), et al.
21	2011.10.12	220th ECS Meeting (ECS:Electrochemical Society)	3D Integration and Reliability	T. Tanaka, et al.
22	2011.10.13	エレクトロニクス実装学会ワークショップ	三次元集積化プロセス技術	朴澤 一幸
23	2011.10.13	エレクトロニクス実装学会ワークショップ	超ワイドバス三次元 SiP 技術	池田 博明
24	2011.10.18	IMPACT2011(International Microsystems, Pkging, Assembly and Circuits Tech. Conf.)	A Verification of the PI Made High Speed Switching -Power Integrity Playing Beautiful Circuit Performance-	Y. Akiyama, K. Otsuka
25	2011.10.25	エレクトロニクス実装学会 第3回システムインテグレーション実装技術研究会	ウェハ積層を用いた三次元集積化技術	武田 健一、青木 真由
26	2011.11.06	EMC Compo 2011	On-chip Power Integrity Evaluation System	Y. Nabeshima, et al.
27	2011.11.17	第151回高密度実装技術部会 定例会	TSVを使った三次元集積化技術の研究開発動向と「ドリームチッププロジェクト」の研究開発概要	嘉田 守宏
28	2011.11.28	デザインガイア 2011	MEMS Microwave Tunable Filters on High-K LTCC - Featuring Low insertion Loss and Small Sized -	中澤 文彦、他
29	2011.12.01	MWE 2011 (MicroWave WS	Tunable Filters	中澤 文彦、他

		& Exhibition)	— key technology for multi-band communication —	
--	--	---------------	-------------------------------------------------	--

平成 23 年度(続き)

	発表日	学会名	発表タイトル	発表者
30	2011.12.05	The Asia-Pacific Microwave Conference 2011	Frequency Tunable Antenna with MEMS Switches for Mobile Phone	Y. Koga, T. Yamagajo
31	2011.12.07	The Asia-Pacific Microwave Conference 2011	PZT-Actuated Reliable RF-MEMS Switch Using Single -Crystal Silicon Asymmetric Beam	T. Nakatani, et al.
32	2011.12.08	セミコンジャパン 2011 STS (SEMIテクノロジーシンポジウム)	Prospect for Development on 3D -Integration Tech. employing TSV and R&D overview of ” Dream Chip Tech. Project ” by NEDO/METI	M. Kada, et al.
33	2011.12.08	半導体産業新聞 セミコンジャパン 2011 総合特集	ドリームチップにみる TSV の現状と将来克服すべき課題	嘉田 守宏
34	2011.12.09	第 99 回マイクロ接合研究委員会	3D LSI のためのハイブリッドウェハ接合技術	武田 健一、 青木 真由
35	2011.12.13	2011 Electrical Design of Advanced Packaging & Systems Symposium	PDN Impedance Modeling of 3D System-in-Package	A. Sakai, Y. Oizono (芝浦工大), et al.
36	2011.12.14	3-D Architecture for Semiconductor Integration & Pkging	R&D Results of Functionally Innovative 3-D-IC (Dream Chip) Technology in FY2010	H. Ikeda, et al.
37	2012.01.31	3DIC 2011	Chip-Level TSV Integration for Rapid Prototyping of 3D system LSIs	K. Hozawa, et al.
38	2012.01.31	3DIC 2011	A 3D Heterogeneous Integration method using LTCC wafer for RF Applications	X. Mi, et al.
39	2012.01.31	3DIC 2011	Void Reduction in Wafer Bonding by Simultaneously Formed Ventilation Channels	M. Aoki, et al.
40	2012.01.31	3DIC 2011	Frequency Property Influence in 3D Integration of a PZT Actuated MEMS Switch Using a Single Crystal Si Asymmetric Beam	F. Nakazawa, et al.
41	2012.01.31	3DIC 2011	PDN Impedance and SSO Noise Simulation of 3D System-in -PKG with a Widebus Structure	S. Uchiyama, T. Sudo, et al.
42	2012.01.31	3DIC 2011	6 Tbps/W, 1 Tbps/mm <sup>2</sup> , 3D Interconnect using Adaptive Timing Control and Low Capacitance TSV	F. Furuta, et al.
43	2012.01.31	3DIC 2011	PDN Impedance Analysis of TSV-Decoupling Cap. Embedded Si Interposer for 3D-Integrated CMOS Image Sensor System	Y. Kitamura, K. Kikuchi (AIST), K. Otsuka(明星大), et al.
44	2012.01.31	3DIC 2011	W/Cu TSVs for 3D-LSI with Minimum Thermo-Mechanical Stress	H. Kobayashi, M. Mariappan, et al.
45	2012.01.31	IEEE Intl. 3D System Integration Conf.	High Reliable and Fine Size of 5- $\mu$ m Diameter Backside Cu	K. W. Lee, et al.

事業原簿 特許・外部発表  
①-(3) 次世代三次元集積化の共通要素技術と設計基準策定

		(3DIC) 2011	Through-Silicon Via(TSV) for High Reliability and High-End 3-D LSIs	
--	--	-------------	---------------------------------------------------------------------	--

平成 23 年度(続き)

	発表日	学会名	発表タイトル	発表者
46	2012.01.31	IEEE Intl. 3D System Integration Conf. (3DIC) 2011	Novel Detachable Bonding Process with Wettability Control of Bonding Surface for Versatile Chip-Level 3D Integration	Y. Ohara, et al.
47	2012.01.31	IEEE Intl. 3D System Integration Conf. (3DIC) 2011	A Very Low Area ADC for 3-D Stacked CMOS Image Processing System	K. Kiyoyama, et al
48	2012.01.31	IEEE Intl. 3D System Integration Conf. (3DIC) 2011	Temporary Bonding Strength Control for Self-Assembly-Based 3D Integration	T. Fukushima, Y. Ohara, et al.
49	2012.02.01	IEEE Intl. 3D System Integration Conf. (3DIC) 2011	Through Silicon Capacitive Coupling (TSCC) Interface for 3D Stacked Dies	K. Ikeuchi, M. Takamiya, T. Sakurai
50	2012.03.01	平成 23 年度 電子 SI 連絡協議会	立体構造新機能集積回路(ドリームチップ)技術開発 進捗概要	池田 博明

平成 24 年度

	発表日	学会名	発表タイトル	発表者
1	2012.04.01	IEEE Transactions on Very Large Scale Integration Systems	Hybrid 3D Interconnection Architecture for High-Performance Stacked SoC	K. Ito, M. Saen, K. Osada, et al.
2	2012.04.11	2012 MRS Spring Meeting & Exhibit	3D Heterogeneous Integration using MEMS Devices for RF Applications	F. Nakazawa, X. Mi, et al.
3	2012.04.17	International Conf. on Electronics Pkging 2012 (ICEP2012)	ASET Developments for the movement after Wide-IO DRAM	H. Ikeda
4	2012.04.19	International Conf. on Electronics Pkging 2012 (ICEP2012)	Electrical Characterization of PDN Impedance of 3D Stacked SiP with a Widebus Structure	H. Takatani (芝浦工大), A. Sakai, et al.
5	2012.04.19	International Conf. on Electronics Pkging 2012 (ICEP2012)	Development of TSV/3D Memory + Logic SiP with 4k-IO Interconnects	H. Ikeda, A. Sakai, S. Uchiyama, et al.
6	2012.04.19	IEEE Intl. Reliability Physics Symposium (IRPS)	Thermomechanical reliability challenges induced by high density Cu TSVs and metal micro-joining for 3-D ICs	K. W. Lee, et al.
7	2012.04.25	LSIシステムのワークショップ	TSVを使った3次元集積化技術の研究開発動向	嘉田 守宏
8	2012.05.23	2012 3rd. IEEE Intl. WS on Low Temp. Bonding for 3D Integration (LTB-3D)	Heterogeneous 3D Stacking Tech. after Memory Cubes	H. Ikeda
9	2012.05.28	Stress Workshop	Influences of Mechanical Stress Induced by TSVs and Microbumps in	M. Koyanagi

			3D-LSI and 3D-SIP	
--	--	--	-------------------	--

平成 24 年度(続き)

	発表日	学会名	発表タイトル	発表者
10	2012.05.29	Electric Components and Tech. Conf. 2012 (ECTC 2012)	Ultralow Impedance Analysis and Evaluation of Power Distribution Network for De-Cap. Embedded IP of 3-D Integrated LSI System	Kikuchi (AIST), Sudo (芝浦工大), Otsuka (明星大), T. Gomyo, et al.
11	2012.05.29	Electric Components and Tech. Conf. 2012 (ECTC 2012)	PDN impedance and noise modeling of 3D SiP with a widebus structure	Y. Oizono(芝浦工大), A. Sakai, et al.
12	2012.05.29	電子情報通信学会 集積回路研究会	TSV を用いた三次元集積化技術の研究開発動向と低消費電力化	嘉田 守宏
13	2012.06.06	IEEE International Interconnect Tech. Conf. (IITC) 2012	Optical Interconnection Tech. for 3-D LSI and Neural Engineering	T. Tanaka, A. Noriki, et al.
14	2012.06.12	2012 Symposium on VLSI Technology and Circuits	Demonstration of Inter-chip Data Transmission in a 3D Stacked Chip Fabricated by Chip-level TSV Integration	K. Hozawa, K. W. Lee(東北大), et al.
15	2012.06.14	SEMI Forum Japan (SFJ) 2012 TSV&3次元積層セミナー	三次元集積化技術の最新開発動向と展望 2012	嘉田 守宏
16	2012.06.15	2012 最先端実装技術シンポジウム	三次元集積化技術の最新開発動向と展望 2012	嘉田 守宏
17	2012.07.12	第4回 MEMS 実装・パッケージングフォーラム	RF-MEMS デバイスと ヘテロロジーニアス三次元集積化技術	中澤 文彦、ミイ シャオユウ、他
18	2012.08.01	電子情報通信学会論文誌 C(招待論文)	MEMS-on-LTCC 技術を用いた小型チューナブルフィルタ	ミイ シャオユウ、豊田 治、他
19	2012.08.01	電子ジャーナル「Si 貫通電極(TSV)検査・測定技術」	Si 貫通電極(TSV)検査・測定技術	嘉田 守宏
20	2012.08.03	応用物理学会シリコンテクノロジー分科会第 151 回研究集会	SPRAM を用いた 3 次元積層型リコンフィギュラブルスピンロジックチップの超高速並列動作	田中徹、木野久志、中澤隆太、他
21	2012.08.29	3DS-IC スタディグループ設立に向けたワークショップ	三次元集積化技術の標準化と ASET・JEITA・産総研の共同取り組み	嘉田 守宏
22	2012.09.05	先進実装技術研究会・公開研究会 (JIEP)	三次元集積化技術の最新開発動向と『三次元集積化技術標準化の取り組み』	嘉田 守宏
23	2012.09.05	先進実装技術研究会・公開研究会 (JIEP)	3D インテグレーション技術	武田 健一
24	2012.09.05	先進実装技術研究会・公開研究会 (JIEP)	超ワイドバス SiP 三次元集積化技術の研究開発	内山 士郎
25	2012.09.05	先進実装技術研究会・公開研究会 (JIEP)	ヘテロロジーニアス3D 技術	中澤 文彦
26	2012.09.11	第 73 回応用物理学会学術	同時形成溝によるハイブリッドウエハ	青木 真由、

		講演会	接合面のボイド抑制	朴澤 一幸、他
--	--	-----	-----------	---------

平成 24 年度(続き)

	発表日	学会名	発表タイトル	発表者
27	2012.09.11	第 73 回応用物理学会学術講演会	チッププロセスによる積層チップ形成	朴澤 一幸、 青木 真由、他
28	2012.09.19	化学工学会秋季大会	三次元実装技術の現状と課題	小柳光正
29	2012.09.20	エレクトロニクス実装技術	3 次元 LSI の車載応用に向けた TSV 応用デカップリングコンデンサ(キャパシタ)	鎌田 忠
30	2012.09.26	2012 Intl. Conf. on Solid State Devices and Materials (SSDM)	Thermal and Mechanical Stress in High-Density 3D-LSIs	M. Murugesan (東北大), H. Kobayashi, et al.
31	2012.10.07	ECS Meeting	Heterogeneous 3D Stacking Technology Developments	H. Ikeda
32	2012.10.16	ISSM ( Intl. Sympo. on Semiconductor Manufacturing)	3D-IC Technologies -The History and Future-	M. Kada
33	2012.10.19	JIEP ワークショップ	3 次元アジャイル積層システム向けチップ/PCB 貫通通信技術	高宮真、池内克之、 佐々木正人、桜井貴康
34	2012.10.21	21th IEEE Intl. Conf. on Electrical Performance of Electronic Pkging and Systems (EPEPS 2012)	Measurement of SSO Noise and PDN Impedance of 3D SiP with 4k-IO Widebus Structure	Y. Tanaka (芝浦工大), A. Sakai, et al.
35	2012.10.24	Impact 2012	Integration of 3D-SiP fabricated by Via-Last TSV	S. Uchiyama, A. Sakai, et al.
36	2012.10.30	IEEE Intl. Conf. on Solid-State and IC Tech. (ICSICT) 2012	Heterogeneous 3D Integration Technology and New 3D LSIs	M. Koyanagi, K-W Lee, et al.
37	2012.10.30	Asian Test Sympo.	3-D Integration Technology and Future Trend	M. Koyanagi
38	2012.10.31	EuMC2012 (European Microwave Conf. 2012)	A Novel Tunable Filter Enabling both Center Frequency and Bandwidth Tunability	H. Inoue, X. Mi, et al.
39	2012.11.15	電子ジャーナル「TSV プロセスラインの構築に向けて★徹底解説」	TSV プロセスラインの構築に向けて	嘉田 守宏
40	2012.11.17	IEEE Intl. Workshop on Power Supply on Chip (PowerSoC)	3D Stacked Buck Converter with SrTiO <sub>3</sub> (STO) Capacitors on Silicon Interposer	M. Takamiya, K. Ishida, T. Sakurai, et al.
41	2012.12.04	2012 Asia Pacific Microwave Conf. (APMC 2012)	Frequency Reconfigurable Antenna Design for Mobile Terminals	T. Yamagajo, Y. Koga, et al.
42	2012.12.05	SEMICON Japan	電気特性からみた三次元化の必要性 (TSV/3D 技術開発の背景)	池田 博明
43	2012.12.09	IEEE Intl. Electron	Characterization of Chip-Level	K. W. Lee (東北大),

事業原簿 特許・外部発表  
①-(3) 次世代三次元集積化の共通要素技術と設計基準策定

		Devices Meeting (IEDM 2012)	Hetero-Integration Technology for High-Speed, Highly Parallel 3D Stacked Image Processing System	S. Watanabe, A. Yabata, et al.
--	--	--------------------------------	--------------------------------------------------------------------------------------------------	-----------------------------------

平成 24 年度(続き)

	発表日	学会名	発表タイトル	発表者
44	2012.12.10	Electrical Design of Advanced Packaging and Systems (EDAPS) 2012	Analysis and Characterization of PDN Impedance and SSO Noise of 4k-IO 3D SiP	H. Takatani (芝浦工大), A. Sakai, et al.
45	2012.12.10	IEEE Electrical Design of Advanced Packages & Systems Symposium (EDAPS)	New 3D Integration Technology and Fabrication of Prototype 3D LSIs	M. Koyanagi
46	2012.12.11	IEEE CPMT Symposium Japan 2012 (ICSJ 2012)	Heterogeneous 3D Stacking Technology Developments in ASET	H. Ikeda
47	2012.12.11	IEEE CPMT Symposium Japan 2012 (ICSJ 2012)	Three-dimensional Integration Scheme using Hybrid Wafer Bonding and Via-last TSV Process	K. Takeda, M. Aoki, K. Hozawa, et al.
48	2012.12.11	IEEE CPMT Symposium Japan 2012 (ICSJ 2012)	PDN Characteristics of 3D-SiP with a Wide-bus Structure under 4k-IO Operations	A. Sakai, H. Fujita (芝浦工大), et al.
49	2012.12.11	IEEE CPMT Symposium Japan 2012 (ICSJ 2012)	Introduction of the automotive application of TSV device	T. Kamada
50	2012.12.11	IEEE CPMT Symposium Japan 2012 (ICSJ 2012)	3D System Simulation Study of Power Integrity using Si IP with Distribution TSV Decoupling Cap.	K. Kohno (明星大), Y. Kitamura, et al.
51	2012.12.11	IEEE CPMT Symposium Japan 2012 (ICSJ 2012)	Transient Response Characteristics of Through Silicon Via in High Resistivity Silicon Interposer	Watanabe (AIST), C. Ueda (明星大), Y. Kitamura, et al.
52	2012.12.11	IEEE CPMT Symposium Japan 2012(ICSJ 2012)	Chip-Based Hetero-Integration Technology for High-Performance 3D Stacked Image Sensor	Y. Ohara (東北大), S. Watanabe, A. Yabata, et al.
53	2012.12.11	IEEE CPMT Symposium Japan 2012(ICSJ 2012)	A Highly Reliable Single-Crystal Silicon RF-MEMS Switch Using Au Sub-micron Particles for Wafer Level LTCC Cap Packaging	T. Katsuki, T. Nakatani, O. Toyoda, et al.
54	2013.01.11	シリコン超集積化システム第165委員会	シリコン貫通電極(TSV)で何がしたいか?	池田 博明
55	2013.01.22	弾性波素子技術第 150 委員会第 130 回研究会	MEMS によるチューナブルフィルタ	ミイ シャオユウ、井上 広章、他
56	2013.01.29	Mate 2013	RF-MEMS デバイスとヘテロロジーニアス三次元集積化技術	中澤 文彦、ミイ シャオユウ、他
57	2013.02.17	IEEE Intl. Solid-State Circuits Conf. 2013 (ISSCC 2013)	A 100 GByte/s Wide I/O with 4096 bit TSVs through an Active Silicon Interposer with In-Place Waveform Capturing	S. Takaya, M. Nagata, A. Sakai, et al.
58	2013.03.05	International Society for Quality Electronic Design	Reducing IR Drop in 3D Integration to Less Than 1/4 Using Buck Converter	Y. Shinozuka (東京大), F. Furuta, et al.



		2013 (ISQED 2013)	on Top Die (BCT) Scheme	
--	--	----------------------	----------------------------	--

平成 24 年度(続き)

	発表日	学会名	発表タイトル	発表者
59	2013.03.06	NPIE-JST Workshop on March 6, 2013	3D-Integration Activities of ASET "Dream Chip Project"	池田 博明
60	2013.03.10	Materials for Advanced Metallization 2013	Hydrogen Radical Cleaning for Cu/Polymer Hybrid Wafer Bonding in 3D Integration	M. Aoki, K. Hozawa, et al.
61	2013.03.14	第 27 回 エレクトロニクス実 装学会講演大会	立体構造新機能集積回路(ドリーム チップ)技術開発	小林 治文
62	2013.03.14	第 27 回 エレクトロニクス実 装学会講演大会	Via-Last/Back-Via 方式 TSV 形成技 術の開発	三橋 敏郎、他
63	2013.03.14	第 27 回 エレクトロニクス実 装学会講演大会	積層チップの IO アクセスと回路の検 討	古田 太、他
64	2013.03.14	第 27 回 エレクトロニクス実 装学会講演大会	ハイブリッド接合を用いたウエハレベ ル三次元集積化技術	朴澤 一幸、他
65	2013.03.14	第 27 回 エレクトロニクス実 装学会講演大会	100GByte/s の伝送能力を有する超 ワイドバス SiP の開発	内山 士郎、他
66	2013.03.14	第 27 回 エレクトロニクス実 装学会講演大会	ヘテロジニアス三次元集積化技術 を用いた RF MEMS デバイスと RF フ ロントエンドモジュール	中澤 文彦、他

(c)表彰等

- 1)2012 年 12 月に開催された IEEE CPMT Symposium Japan 2012 (ICSJ 2012)において、Best Paper Award を受賞。(平成 24 年度学会発表の #48)

Atsushi Sakai, Shigeru Yamada, Takashi Kariya, Shiro Uchiyama,  
Hiroaki Ikeda, Haruya Fujita, Hiroki Takatani, Yosuke Tanaka,  
Yoshiaki Oizono, Yoshitaka Nabeshima and Toshio Sudo

「PDN Characteristics of 3D-SiP with a Wide-bus Structure under 4k-IO Operations」

(d) その他特記事項

平成 20 年度

	発表日	発表媒体	発表タイトル	発表者
1	2008.08	電子ジャーナル	ASETにおける3D-LSIの開発動向 と今後の展望	嘉田 守弘
2	2008.09.01	第 5 回信頼性フォーラム (日経マイクロデバイス)	貫通電極を使った次世代 LSI 積層技 術とその信頼性	元吉 真
3	2008.11	日経マイクロデバイス	日本の LSI を強くする 3 次元積層の基 盤技術を開発	嘉田 守弘
4	2008.11.12	科学技術・研究開発の国 際比較 09 (JST 科学技術振興機 構)	科学技術・研究開発の国際比較 09 実装技術	嘉田 守弘

平成 20 年度(続き)

	発表日	発表媒体	発表タイトル	発表者
5	2009.01.20	電子ジャーナル	ASET 多機能3次元集積化技術の開発動向と今後の展望	小林 治文
6	2008.12.03	SiP 及び 3 次元実装の最新技術セミナー	3 次元集積回路技術の開発動向と展望	田中徹

平成 21 年度 なし

平成 22 年度

	発表日	発表媒体	発表タイトル	発表者
1	2010.11	日経エレクトロニクス 半導体技術年鑑 2011	三次元集積化技術動向とドリームチップ技術開発プロジェクトの最新研究開発成果	嘉田 守宏

平成 23 年度

	発表日	発表媒体	発表タイトル	発表者
1	2012.03.	電子ジャーナル	3DIC 2011 開催報告	嘉田 守宏

平成 24 年度

	発表日	発表媒体	発表タイトル	発表者
1	2012.10.05	CRDS「2012年 研究開発の俯瞰報告書(ナノテクノロジー・材料分野)」第 3 章「研究開発領域」	研究開発領域ごとの国際比較 異種機能三次元集積チップ	嘉田 守宏

(e) 特許

平成 20 年度 なし

平成 21 年度 なし

平成 22 年度 なし

平成 23 年度

No	出願番号	出願国	出願日	状態	発明の名称	発明者
1	特願 2011-087061 US13/443869	国内 外国	2011.04.11 2012.04.10	公開 公開	半導体装置およびその製造方法	武田健一、 青木真由、他

平成 23 年度(続き)

No	出願番号	出願国	出願日	状態	発明の名称	発明者
2	特願 2011-134003	国内	2011.06.28	公開	半導体装置およびその製造方法	朴澤一幸、 武田健一、他
3	特願 2011-158610	国内	2011.07.20	公開	アンテナおよび携帯端末	古賀洋平
4	特願 2011-249938	国内	2011.11.15	出願	シリコン貫通電極の製造方法	三橋敏郎
5	特願 2011-249939	国内	2011.11.15	出願	シリコン貫通電極の製造方法	三橋敏郎
6	特願 2011-259968 US13/613424 KR20120113177 CN201210400808	国内 外国 外国 外国	2011.11.29 2012.09.13 2012.10.11 2012.10.19	出願 出願 出願 出願	RF-MEMS スイッチ	中谷忠司、 勝木隆史、 奥田久雄
7	特願 2012-002409	国内	2012.01.10	出願	RF-MEMS スイッチ	勝木隆史、 奥田久雄、他
8	特願 2012-012345	国内	2012.01.21	出願	半導体装置およびその製造方法	北村康宏、 大塚寛治、他
9	特願 2012-042461	国内	2012.02.28	出願	MEMS スイッチ	井上広章、 島内岳明
10	特願 2012-076921	国内	2012.03.29	出願	3次元積層向け電源回路	長田健一、 篠塚康大、他

平成 24 年度

No	出願番号	出願国	出願日	状態	発明の名称	発明者
1	特願 2012-099405	国内	2012.04.25	出願	半導体装置と製造方法	青木真由、 武田健一、他
2	特願 2012-111850	国内	2012.05.15	出願	シリコン貫通電極の製造方法	三橋敏郎
3	特願 2012-134528	国内	2012.06.14	出願	マイクロ可動素子	井上広章、 藤原隆之、他
4	特願 2012-138989	国内	2012.06.22	出願	半導体集積回路	池田博明
5	特願 2012-161806	国内	2012.07.24	出願	半導体集積回路	池田博明
6	特願 2012-179379	国内	2012.08.13	出願	シリコンインターポーザーの製造方法	内山士郎
7	特願 2012-204603	国内	2012.09.18	出願	半導体装置およびその製造方法	小柳光正、 鎌田忠、他
8	特願 2012-218520	国内	2012.09.28	出願	周波数可変アンテナ	山ヶ城尚志
9	特願 2012-219919	国内	2012.10.02	出願	半導体装置	古田太、 長田健一
10	特願 2012-225390	国内	2012.10.17	出願	アンテナ装置	古賀洋平
11	特願 2013-023569	国内	2013.02.08	出願	シリコン貫通電極構造および製造方法	三橋敏郎

② 複数周波数対応通信三次元デバイス技術

(a)投稿論文

平成 20 年度 なし

平成 21 年度 なし

平成 22 年度

	発表日	発表媒体	発表タイトル	発表者
1	2010.05	Japanese Journal of Applied Physics Vol. 49	Radio Frequency MEMS Inductor Configurations for A Achieving Large Inductance Variations and High Q-factors	Y. Mizuochi, S. Amakawa, N. Ishihara, K. Masu
2	2010.05	Special Issues of Japanese Journal of Applied Physics	RF MEMS Inductor Configurations for Achieving Large Inductance Variations and High Q factors	Kazuya Masu, et al.

(b)学会発表

平成 20 年度

	発表日	学会名	発表タイトル	発表者
1	2009.01	科学研究費補助金特定領域研究 第三回成果報告会	オンチップ高性能インダクタの開発と RF CMOS への応用	水落裕、大橋一磨、石原昇、益一哉

平成 21 年度

	発表日	学会名	発表タイトル	発表者
1	2009.04	第 56 回応用物理学関係連合講演会	RF IC 用インダクタの特性解析	水落裕、天川修平、石原昇、益一哉
2	2009.05	電子情報通信学会総合大会	RF CMOS 回路の高性能化に向けたオンチップ/オフチップインダクタ特性の比較	水落裕、天川修平、石原昇、益一哉
3	2009.05	LSI とシステムのワークショップ 2009	3 次元電磁界解析による RF CMOS 回路用オンチップ/オフチップインダクタ特性の比較	水落裕、天川修平、石原昇、益一哉
4	2009.07	第 1 回集積化 MEMS 技術研究ワークショップ	RF MEMS インダクタの特性評価	水落裕、天川修平、石原昇、益一哉
5	2009.07.14	第 57 回 東京工業大学精密工学研究所シンポジウム	RF MEMS の開発動向	上田、島内、中谷、ミイ、中澤
6	2009.09.10	第 70 回 応用物理学学会学術講演会	ミアンダ構造高可変率 MEMS インダクタ	水落裕、石原昇、益一哉

平成 21 年度(続き)

	発表日	学会名	発表タイトル	発表者
7	2009.9.28	IEEE International Conf. on 3D System Integration (3DIC)	Heterogeneous Integration Technology for MEMS-LSI Multi-Chip Module	K.-W. Lee, S. Kanno, Y. Ohara, et al.
8	2009.10	Argentine School of Micro-Nanoelectronics, Technology and Applications 2009	Study of airsuspended RF MEMS inductor configurations for realizing large inductance variations	Y. Mizuochi, S. Amakawa, N. Ishihara, K. Masu
9	2009.10	Advanced Metallization Conference 2009	MEMS inductor configurations with shields for achieving large inductance variations	Y. Mizuochi, N. Ishihara, K. Masu, et al.
10	2009.10	Advanced Metallization Conference 2009 19th Asian Session	MEMS inductor configurations with shields for achieving large inductance variations	Y. Mizuochi, S. Amakawa, N. Ishihara, K. Masu
11	2009.10	第 26 回「センサ・マイクロマシンと応用システム」シンポジウム	RF CMOS 集積回路と MEMS 回路の融合	石原昇、水落裕、天川修平、益一哉
12	2009.11	Microwave Workshops & Exhibition 2009	オンチップ受動素子の高性能化	益一哉、天川修平、石原昇
13	2010.03	第 57 回 応用物理学関係連合講演会	MEMS円形アクチュエータを用いた RF可変インダクタの検討	白根篤史、水落 裕、天川修平、石原昇、益一哉
14	2010.03.19	2010 信学総大(電子情報通信学会 総合大会)	MEMS スイッチを利用した無線端末用周波数可変アンテナ	山ヶ城 尚志、古賀洋平
15	2010.03.19	2010 信学総大(電子情報通信学会 総合大会)	整合素子を装荷した低姿勢小形広帯域アンテナ	古賀 洋平、山ヶ城尚志

平成 22 年度

	発表日	学会名	発表タイトル	発表者
1	2010.04.14	The 4th European Conf. on Antennas & Propagation (EuCAP 2010)	Reconfigurable Printed Antenna for a Wideband Tuning	M. G. S. Hossain、Takashi Yamagajo
2	2010.07.16	Integrated Circuits and Devices in Vietnam (ICDV) 2010	High Voltage Charge Pump Circuit in 0.18 $\mu$ m CMOS Process for MEMS Electrostatic Actuators Controlling	A. Shirane, S. Amakawa, N. Ishihara K. Masu
3	2010.09.14	電子情報通信学会ソサイエティ大会	MEMS スイッチを搭載した端末用周波数可変アンテナ	古賀 洋平、山ヶ城尚志
4	2010.09.14	電子情報通信学会ソサイエティ大会	RF-MEMS を使用したチューナブル LNA モジュール	中村 道春、児島 正和(富士通)
5	2010.09.14	電子情報通信学会ソサイエティ大会	RF-MEMS を使用した複数周波数対応フロントエンド	中村 道春、青木 信久(富士通)
6	2010.09.17	第 71 回応用物理学関係連合講演会	RF MEMS N-bit 可変インダクタの実現に向けた構成の検討	白根篤史、水落 裕、天川修平、石原昇、益一哉

平成 22 年度(続き)

	発表日	学会名	発表タイトル	発表者
7	2010.10.07	27th Annual Advanced Metallization Conf. 2010 (AMC 2010)	Digitally Controllable RF MEMS Inductor	A. Shirane, S. Amakawa, N. Ishihara K. Masu, et al.
8	2010.10.15	第 27 回「センサ・マイクロマシンと応用システム」シンポジウム	RF 可変受動素子実現に向けた All Metal MEMS 静電アクチュエータ	白根篤史、水落 裕、天川修平、石原昇、益一哉
9	2011.03	電子情報通信学会総合大会	MEMS 静電アクチュエータに向けた高電圧 CMOS チャージポンプ回路	白根篤史、天川修平、石原昇、益一哉

(c)表彰等

なし

(d) その他特記事項

平成 20 年度

	発表日	発表媒体	発表タイトル	発表者
1	2008.05.16	Tech on! セミナー「MEMS International 2008」	3次元 LSI の研究開発最新動向：次の 10 年に向かって	嘉田 守弘

平成 21 年度 なし

平成 22 年度 なし

(e) 特許

平成 20 年度

No	出願番号	出願国	出願日	状態	発明の名称	発明者
1	特願 2008-311040	国内	2008.12.05	公開	可変容量素子	島内岳明、今井雅彦、上田知史
	US12/604935	外国	2009.10.23	公開		
	TW98136287	外国	2009.10.27	公開		
	CN200910221923	外国	2009.11.23	公開		
2	特願 2009-067170	国内	2009.03.19	公開	フィルタ、フィルタリング方法、および通信装置	ミシヤオウ、豊田治、上田知史
	US12/709076	外国	2010.02.19	公開		
	EP10154547	外国	2010.02.24	公開		
	KR20100023393	外国	2010.03.16	公開		
	CN201010138553	外国	2010.03.19	公開		



平成 20 年度(続き)

No	出願番号	出願国	出願日	状態	発明の名称	発明者
3	特願 2009-073519	国内	2009.03.25	登録	電気部品およびその製造方法、並びにマイクロスイッチデバイス	上田知史、中谷忠司、他
4	特願 2009-078055	国内	2009.03.27	公開	可変インピーダンス整合回路	児島正和

平成 21 年度

No	出願番号	出願国	出願日	状態	発明の名称	発明者
1	特願 2009-092174 US12/723767 TW99108487 CN201010124349	国内 外国 外国 外国	2009.04.06 2010.03.15 2010.03.23 2010.02.26	公開 登録 公開 公開	可変容量素子	島内岳明、今井雅彦、上田知史
2	特願 2009-123448 特願 2010-055045 US12/783124 CN201010184335	国内 国内 外国 外国	2009.05.21 2010.03.11 2010.05.19 2010.05.21	取下 公開 公開 公開	電子デバイスおよびその製造方法	中谷忠司、井上広章、山田斉、上田知史
3	特願 2009-208119	国内	2009.09.09	公開	電子部品およびその製造方法	ミイヤオウ、豊田治、他
4	特願 2009-246777 US12/910267 TW99134372 CN201010532052 CN201210108857	国内 外国 外国 外国 外国	2009.10.27 2010.10.22 2010.10.08 2010.10.27 2010.10.27	公開 登録 公開 公開 公開	可変容量素子、可変容量デバイスおよびその駆動方法	島内岳明、今井雅彦、勝木隆史、上田知史
5	特願 2009-254925 US12/939152 EP10189258 CN201010537486	国内 外国 外国 外国	2009.11.06 2010.11.03 2010.10.28 2010.11.08	公開 公開 公開 公開	可変分布定数線路、可変フィルタ、および通信モジュール	ミイヤオウ、豊田治、上田知史
6	特願 2009-269934 US12/889689 EP10187536	国内 外国 外国	2009.11.27 2010.09.24 2010.10.14	公開 公開 公開	アンテナおよび無線通信装置	ゴラムホセイン、山ヶ城尚志
7	特願 2009-275610 US12/940303 CN201010570789	国内 外国 外国	2009.12.03 2010.11.05 2010.11.29	公開 公開 公開	電子デバイス	中谷忠司、井上広章、上田知史
8	特願 2009-276696 US12/940386	国内 外国	2009.12.04 2010.11.05	公開 公開	アンテナ装置および無線通信装置	山ヶ城尚志
9	特願 2009-298086	国内	2009.12.28	公開	アンテナ装置	古賀洋平、山ヶ城尚志
10	特願 2009-298179 特願 2010-118040 US12/957846 EP10193268	国内 国内 外国 外国	2009.12.28 2010.05.24 2010.12.01 2010.12.01	取下 公開 公開 公開	アンテナ装置及び通信装置	山ヶ城尚志、高野健
11	特願 2010-054421 US13/039644 EP11154797 CN201110049686	国内 外国 外国 外国	2010.03.11 2011.03.03 2011.02.17 2011.02.28	公開 公開 公開 公開	MEMS デバイス	ミイヤオウ、豊田治、上田知史

平成 22 年度

No	出願番号	出願国	出願日	状態	発明の名称	発明者
1	特願 2010-114902	国内	2010.05.19	公開	可変バンドパスフィルタ及び通信装置	ミシヤオユウ、 上田知史、他
2	特願 2010-233389	国内	2010.10.18	公開	アンテナ装置及び無線端末	古賀洋平
3	特願 2010-258270	国内	2010.11.18	公開	周波数可変アンテナ	山ヶ城尚志
	US13/207533	外国	2011.08.11	公開		
	EP11177391	外国	2011.08.12	公開		
	CN201110325142	外国	2011.10.24	公開		
4	特願 2010-276736	国内	2010.12.13	公開	3つの動作モードを有する三次元構造チューナブルアンテナ	古賀洋平
	US13/234607	外国	2011.09.16	公開		
	EP11184213	外国	2011.10.06	公開		
	CN201110306450	外国	2011.10.11	公開		

平成 23 年度     なし

平成 24 年度     なし

③ 三次元回路再構成可能デバイス技術

(a)投稿論文

平成 20 年度 なし

平成 21 年度 なし

平成 22 年度

	発表日	学会名	発表タイトル	発表者
1	2011.01	信学技報 Vol. 110 No. 380	ホモジニアス・タイル構造 3 次元 FPGA の性能評価	宮本直人(東北大学)、中川八穂子、他

(b)学会発表

平成 20 年度

	発表日	学会名	発表タイトル	発表者
1	2008.10.20	Intl. Conf. on Solid -State and IC Tech. (ICSICT)	New Three-Dimensional Integration Technology Using Reconfigured Wafers	M. Koyanagi, T. Fukushima, T. Tanaka
2	2008.10.29	Intl. Conference for VLSI/ULSI Multilevel Interconnection	3-D Integration Technology for Realizing Super Chip	T. Tanaka, T. Fukushima, M. Koyanagi
3	2008.12.15	IEEE International ]Electron Devices Meeting (IEDM) 2008	A Novel SPRAM (SPin-transfer torque RAM)-based Reconfigurable Logic Block for 3D-Stacked reconfigurable Spin Processor	K. Kiyoyama, H. Hasegawa, K. Miura, T. Tanaka, et al.
4	2009.01.21	SEMICON Korea 2009	Three-Dimensional Integration Technology to Achieve Super Chip	T. Fukushima, T. Tanaka, M. Koyanagi
5	2009.03.11	Smart System Integartion Conf. 2009	Super Chip Integration Technology for Three-Dimensionally Stacked Retinal Prosthesis Chips	T. Fukushima, T. Tanaka, M. Koyanagi

平成 21 年度

	発表日	学会名	発表タイトル	発表者
1	2010.03.19	2010年(平成22年)春季 第57回応用物理学関係 連合講演会	信頼度面から見た TSV 技術	武田 健一

平成 22 年度

	発表日	学会名	発表タイトル	発表者
1	2010.06.14	VLSI Symposium	Low Voltage Swing Transmission Circuit with Dummy Line for TSV Interconnect of 3D Integration	Futoshi Furuta, et al.
2	2010.08.18	International Symposium on Low Power Electronics and Design 2010	Hierarchical 3D Interconnection Architecture with Tightly -Coupled Process-Memory Stacking for Low Power Many-Core LSI	Kiyoto Ito, et al.
3	2010.10.22	Advanced Metallization Conference 2010: 20th Asian Session	TSV Requirements for 3D Reconfigurable Chip (3D FlexChip)	Kenichi Takeda, et al.
4	2010.10.22	エレクトロニクス実装学会 第2回 システムインテグレーション実装技術研究会	TSV を用いた三次元実装技術	朴澤 一幸
5	2010.11.16	IEEE International 3D System Integration Conf.	Wafer-Level Hybrid Bonding Technology with Copper/Polymer Co-planarization	Mayu Aoki, et al.
6	2010.11.16	IEEE International 3D System Integration Conf.	Hierarchical 3D Interconnection Architecture with Tightly-Coupled Processor-Memory Integration	K. Itou, H. Mizuno (日立製作所), et al.
7	2010.11.17	IEEE International 3D System Integration Conf.	Development of a CAD Tool for 3D-FPGAs	N. Miyamoto(東北大学), K. Osada, et al.
8	2011.01.20	情報処理学会／電子情報通信学会 共催パネル討論	三次元積層 LSI はメインストリームになり得るか？三次元 FPGA の可能性	小池

(c)表彰等

なし

(d) その他特記事項

平成 20 年度 なし

平成 21 年度 なし

平成 22 年度 なし

(e) 特許

平成 20 年度 なし

平成 21 年度

No	出願番号	出願国	出願日	状態	発明の名称	発明者
1	特願 2010-040363 PCT/JP2011/053021	国内 PCT	2010.02.25 2011.02.14	登録 公開	半導体装置およびその製造方法	古田太、 長田健一
2	特願 2010-047787 PCT/JP2011/052047 US13/578341 特願 2012-503041	国内 PCT 外国 国内	2010.03.04 2011.02.01 2012.08.10 2012.08.22	取下 公開 出願 出願	再配列ウエーハの製造方法および 半導体装置の製造方法	朴澤一幸、 朴澤一幸、 武田健一、 青木真由

平成 22 年度

No	出願番号	出願国	出願日	状態	発明の名称	発明者
1	PCT/JP2010/059470 特願 2012-518190 US13/701391	PCT 国内 外国	2010.06.03 2012.10.10 2012.11.30	公開 出願 公開	人操作型作業機械システム	佐圓真、 伊藤潔人
2	特願 2010-133548 PCT/JP2011/061975	国内 PCT	2010.06.11 2011.05.25	取下 公開	半導体集積回路装置	松村忠幸、 古田太、他
3	特願 2010-211078 US13/178470	国内 外国	2010.10.18 2011.07.07	登録 登録	半導体装置およびその製造方法	青木真由、 武田健一、他
4	特願 2010-286163 特願 2012-248039 US13/332861	国内 国内 外国	2010.12.22 2012.11.12 2011.12.21	登録 公開 公開	半導体装置	古田太

平成 23 年度 なし

平成 24 年度 なし

(別 添)

平成20・03・27産局第1号

平成20年4月1日

## ITイノベーションプログラム基本計画

### 1. 目的

我が国が目指す高度情報通信ネットワーク社会の構築に向け、経済成長戦略大綱、IT新改革戦略、科学技術基本計画及び技術戦略マップ等に基づき、情報化の進展に伴うエネルギー消費量の増大等の課題にも考慮しつつ、その基盤となる情報通信機器・デバイス等の情報通信技術を開発し、実社会への利用を促進する。また、情報システム・ソフトウェアについて品質、信頼性及び生産性の向上を推進し、組込みソフトウェア産業強化、オープンソースソフトウェアを安心して活用するための環境整備、独創的な人材の発掘等、我が国産業競争力強化のための必要な基盤整備を実施することによって、ITの利活用の深化・拡大を図り、より豊かな国民生活を実現するとともに、我が国の経済活力の向上を図ることを目的とする。

### 2. 政策的位置付け

「経済成長戦略大綱」(2006年7月財政・経済一体改革会議。2007年6月改訂、経済財政諮問会議報告)

IT革新による競争力強化、IT革新を支える産業・基盤の強化に必要な研究開発の推進に対応

「第3期科学技術基本計画」(2006年3月閣議決定)

国家的・社会的課題に対応した研究開発の重点推進4分野である情報通信分野、分野別推進戦略(2006年3月総合科学技術会議)における重点分野である情報通信分野に位置づけられるもの。

「IT新改革戦略」(2006年1月高度情報通信ネットワーク社会推進戦略本部)  
次世代のIT社会の基盤となる研究開発の推進等に対応。

### 3. 達成目標

(1) 情報経済社会を形成する上で必要不可欠な基盤技術である情報通信機器・デバイス等に関しては、「革新的な技術の確立」と「その開発成果の普及促進」を図る。

#### 【目標】

- ・情報通信機器・デバイス産業の付加価値額を、2020年度において、2007年度比で、約50%増加させる。
- ・半導体の微細化に係る革新的基盤技術の開発(テクノロジーノード45nm以細)
- ・情報家電の音声認識のタスク率(95%以上の達成)
- ・革新的な大型ディスプレイ技術の開発(消費電力を現状機器と比較して約50%以下)
- ・革新的なネットワーク機器技術の開発(消費電力を現状機器と比較して60%以下)

- (2) 経済社会システムの信頼性確保に大きく寄与する情報システム・ソフトウェアに関しては、品質、信頼性及び生産性の向上や産学官の開発リソースの連携強化により、「人材育成」と「ソフトウェア工学の開発」等を積極的に推進する。

【目標】

- ・情報サービス・ソフトウェア産業の付加価値額を、2015年度において、2004年度比で、約25%増加させる。
- ・組み込みシステム等の不具合発生率(2011年度までに2006年度比50%減)

#### 4. 研究開発内容

[プロジェクト]

- ・ITコア技術の革新

[i] 世界最先端デバイスの先導開発

- (1) 次世代半導体材料・プロセス基盤プロジェクト(MIRAI)(運営費交付金)

概要

テクノロジーノード45nm以細のデバイスの実現に必要な極限微細化技術や、新構造CMOSの研究開発などの既存技術のブレークスルーが期待される先端的基盤技術研究を行う。また、国際半導体ロードマップにおいてエマージングテクノロジーと呼ばれる萌芽的な先端基盤技術の開発に取り組み、技術の見極め・絞り込みを行う。

技術目標及び達成時期

2010年度までに半導体の微細化に関してテクノロジーノード45nm以細のデバイス実現に必要な革新的基盤技術を、産業界において自ら実用化に向けた展開を図る際の判断ができる水準まで技術開発を行い、技術選択肢として提示する。

研究開発期間

2001年度～2010年度

- (2) 次世代低消費電力半導体基盤技術開発(MIRAI)(運営費交付金)(再掲)

概要

エネルギー需給構造の高度化を図る観点から行うものであり、IT化の進展、IT利活用的高度化を支え、あらゆる機器に組み込まれている半導体の低消費電力化を図るため、テクノロジーノード(微細化レベル)45nm以細の次世代低消費電力半導体の実現を目指し、微細加工の基盤技術やマスク(半導体素子製造過程で用いる原板)の低コスト化・製造時間短縮に必要な基盤技術開発を行う。

技術目標及び達成時期

2010年度までに、マスク設計・描画・検査の各工程に共通的なマスクデータ処理技術、繰り返しパターンやパターン重要度を利用した描画・検査高速化技術等の基本的な開発及びEUVLマスク基盤技術として、許容欠陥の指標明確化、ブランクス有位相欠陥検査技術の確立等を完了する。

研究開発期間

2004年度～2010年度



### (3) ドリームチップ開発プロジェクト(運営費交付金)

#### 概要

あらゆる社会ニーズに情報技術が今後も迅速に対応し、夢の社会を創り上げるため新しい方向の半導体技術として、これまで平面的な構造に過ぎなかった半導体デバイスに、立体構造という新たな概念を取り込み、社会ニーズの要請に適確に対応すべく、産業・ユーザーと密接な連携をとりながら、多様な用途に応じた夢の新機能デバイス(ドリーム・チップ)を開発する。

#### 技術目標及び達成時期

2012年度までに、立体構造化技術を発展・統合し、これまでにない革新的な半導体(ドリームチップ)基盤技術を開発する。

#### 研究開発期間

2008年度～2012年度

### (4) 次世代プロセスフレンドリー設計技術開発(運営費交付金)

#### 概要

エネルギー需給構造の高度化を図る観点から行うものであり、あらゆる機器に組み込まれている半導体の低消費電力化を図るため、テクノロジーノード45nm以細の半導体に対応するSoC(System on Chip)設計技術を開発する。具体的には、テクノロジーノード45nm以細の半導体の共通設計基盤技術開発として、DFM(Design For Manufacturing)基盤技術を中核とした設計及び製造の全体最適を確保する全く新しいSoC製造フローを開発する。

#### 技術目標及び達成時期

テクノロジーノード45nm以細のSoC開発において製造性を考慮した共通設計基盤技術を確立し、システムLSIデバイスの省エネルギーを実現するとともに、設計生産性を従来予想に比べ2倍にすることを目標とする。

#### 研究開発期間

2006年度～2010年度

### (5) ナノエレクトロニクス半導体新材料・新構造技術開発 - うち新材料・新構造ナノ電子デバイス(再掲)

#### 概要

ナノエレクトロニクスは、ナノテクノロジーの最大の応用領域の一つであり、デジタル・デバイスのCMOS構造というアーキテクチャは、優れた工学概念である。

また、これまでの半導体技術の微細化に基づく高集積化・高速化・低消費電力化の追求は、シリコン材料をベースとするプレーナ構造を基本とした微細加工プロセスの高度化にあった。

しかし、さらなる微細化によるデバイスのパフォーマンス向上は物理的限界に直面しつつあり、問題は、FETを、シリコン材料をベースとして作製することにより現出していると考えられる。

そのため、次世代の電子デバイスのために「シリコンで培った微細化技術やデバイス原理をこれまで同様に活用しながら、シリコンという材料の物理的限界を突破するための“新材料”や“新(デバイス)構造”を実現すること」、すなわち、「New Nano Materials/Structure on Silicon for “Mor

e Moore”の半導体技術を、ナノテクノロジーを最大限に活用することによって研究開発を行い、将来の産業応用への目を見出ししていく取りかかりとする。

技術目標及び達成時期

2011年度までに、産業界が10年後を見据えた将来の電子デバイスを開発する際に、産業技術として活用できるかどうかの実現可能性を見極め、また技術シーズを確立する。

研究開発期間

2007年度～2011年度

#### (6) スピントロニクス不揮発性機能技術プロジェクト(運営費交付金)(再掲)

概要

将来のエレクトロニクスにおいて中核的な基盤技術となりえるスピントロニクス技術(電子の電荷ではなく、電子の自転=「スピン」を利用する全く新しいエレクトロニクス技術)を確立するため、強磁性体ナノ構造体におけるスピンの制御・利用基盤技術を開発し、我が国が世界に誇るシーズ技術を核として、産学官の共同研究体制を構築し、将来の中核的エレクトロニクス技術における我が国の優位性の確保を図る。

技術目標及び達成時期

2010年度までに、超高集積で高速な不揮発性メモリとして期待されるスピンメモリのための基盤技術を確立する。また、新ストレージ・メモリデバイス、不揮発性スピン光機能素子、スピン能動素子等の新しい動作原理によるスピン新機能素子の実現のための基盤技術を確立する。

研究開発期間

2006年度～2010年度

#### (7) 次世代高度部材開発評価基盤の開発(運営費交付金)

概要

エネルギー需給構造の高度化を図る観点から行うものである。半導体産業分野で、集積回路の消費電力低減に必要な配線形成用各種材料等の開発のネックとなっているナノレベルでの材料間の相互影響を評価可能な統合部材開発支援ツールを開発する。これにより、集積回路の種類やデザインルールに応じて、配線形成用各種材料とプロセスの最適な組み合わせの提案技術(統合的材料ソリューション提案技術)を確立する。

技術的目標及び達成時期

2008年度までに、半導体材料開発に貢献する材料評価基盤を構築するとともに、上記の統合的材料ソリューション提案技術を確立する。また、本プロジェクトを通して得られた基礎データ等については、プロジェクト実施期間中にデータを体系的に整理し、幅広く社会に提供を図る。

研究開発期間

2006年度～2008年度

#### [ii] 半導体アーキテクチャの革新

##### (1) 半導体アプリケーションチッププロジェクト(運営費交付金)(再掲)

概要

エネルギー需給構造の高度化を図る観点から行うものであり、情報通信機器、特に、情報家電（車載を含む）の低消費電力化を実現できる半導体アプリケーションチップ技術の開発を行う。

技術目標及び達成時期

2009年度までに情報家電の低消費電力化を実現できるアプリケーションチップ技術を開発する。

研究開発期間

2003年度～2009年度

## (2) 次世代回路アーキテクチャ技術開発事業

概要

大学等での優秀な人材による革新的な半導体デバイス技術の開発を促進するため、革新的なアイデアによる半導体デバイス技術の提案を募集し、研究開発により設計された半導体デバイスを実際の半導体デバイスとして試作・評価を行う。

技術目標及び達成時期

2010年度までに、本プロジェクトによって産業界が「実活用が期待できる」と評価する回路アーキテクチャを10件以上創出する。

研究開発期間

2008年度～2012年度

## [ iii ] 光技術の革新利用

### (1) 低損失オプティカル新機能部材技術開発（運営費交付金）（再掲）

概要

エネルギー需給構造の高度化を図る観点から行うものであり、近接場光の原理・効果を応用した低損失オプティカル新機能部材技術を開発し、実用化の目処を得ることを目的とする。動作原理に近接場光を用いるオプティカル新機能部材は、従来の材料特性のみに依存した光学部品では不可能な機能・性能を発揮し、液晶プロジェクター・液晶ディスプレイなど情報家電の省エネルギー、高性能・高信頼化を図る上でのキーデバイスとなることが期待できる。

技術目標及び達成時期

2010年度までに、共通基盤技術として、ナノ構造部材の設計・作製・評価技術を開発するとともに、ナノ構造部材に発現する近接場光の機能を動作原理とする低損失オプティカル新機能部材を検討し機能を確認する。

研究開発期間

2006年度～2010年度

### (2) 次世代光波制御材料・素子化技術（運営費交付金）（再掲）

概要

エネルギー需給構造の高度化を図る観点から行うものであり、ガラス材料に関する精密モールド技術を確立し、機能性の高い光波制御素子を低コストで生産できるプロセス技術を開発することで部材の小型化・高機能化を図りつつ、省エネを実現する。

#### 技術目標及び達成時期

2010年度までにサブ波長レベルの微細構造をガラス表面にモールド成形する技術を実現し、実装可能な具体的なデバイスを作製する。

#### 研究開発期間

2006年度～2010年度

### (3) 三次元光デバイス高効率製造技術(運営費交付金)(再掲)

#### 概要

波面制御素子による空間光変調技術を確立し、ガラス中に三次元造形を高精度に一括形成できるプロセス技術を開発する。この技術を用いて、具体的な光デバイスを作製し、当該技術の有効性の確認と市場への早期参入のための基盤技術を確立する。

#### 技術目標及び達成時期

2010年度までに波面制御素子による空間光変調技術を用いたフェムト秒レーザー照射技術等を確立し、高精度の光デバイスを高速に作製できるプロセス技術を開発する。

#### 研究開発期間

2006年度～2010年度

## ・省エネ革新

### [i] 情報ネットワークシステムの徹底的省エネの実現

#### (1) グリーンITプロジェクト(運営費交付金)(再掲)

#### 概要

エネルギー需給構造の高度化を図る観点から行うものであり、IT化の進展によりネットワークを流れるデータ量が大幅に増加する中で、IT機器による消費電力量の大幅な増大に対応し、環境調和型IT社会の構築を図るため、個別のデバイスや機器に加え、ネットワーク全体での革新的な省エネルギー技術の開発を行う。

#### 技術目標及び達成時期

2012年度までに、IT機器・システムのエネルギー消費効率を2倍に向上させる基盤技術を開発する。

#### 研究開発期間

2008年度～2012年度

#### (2) 次世代高効率ネットワークデバイス技術開発(運営費交付金)(再掲)

#### 概要

エネルギー需給構造の高度化を図る観点から行うものであり、ネットワークで伝送されるデータ量の爆発的増加に伴い、関連機器の消費エネルギーが増大している中で、ネットワーク全体の消費電力量を抑制することが喫緊の課題であり、消費エネルギーの低減に大きく貢献するルータ・スイッチの高速化のための研究開発を実施するとともに、機器そのものの消費エネルギーを低減するための研究開発を実施する。

#### 技術的目標及び達成時期

2011年度までに、1チャンネルあたり40Gbps超の通信速度に対応するトラフィック計測・分析・管理技術や40Gbpsのインターフェース、さらなる通信速度向

上(100Gbps超)を実現するハードウェア技術、SFQ(単一磁束量子)スイッチに関する基盤技術を開発する。

研究開発期間

2007年度～2011年度

### (3) ITSの規格化事業(第2フェーズ)

概要

我が国ITS産業の振興と国際競争力強化に貢献するため、これまでの個別システム等の規格化から共通基盤の構築のための規格化に重点を移し、ITS情報通信基盤の規格化、情報収集・活用基盤の規格化、システム社会導入条件の整備等ISO/TC204に対応したITSの国際規格化等を実施。

技術的目標及び達成時期

平成22年度までにITSに係る標準化案を作成しISOに対して提案又は国際規格として制定する。また自動車の電子化技術に関して、次世代では日本が主導をとるべく戦略を策定。

研究開発期間

2006年度～2010年度

### [ii] 情報機器の徹底的省エネの実現

#### (1) 次世代大型低消費電力ディスプレイ基盤技術開発(運営費交付金)(再掲)

概要

エネルギー需給構造の高度化を図る観点から行うものであり、次世代の大型液晶及び大型プラズマディスプレイに関する低消費電力ディスプレイを実現するための研究開発を行う。

技術的目標及び達成時期

2011年度までに、液晶に関しては、高効率バックライト、革新的なTF-Tアレイプロセス技術・製造装置及び低消費電力型の画像処理エンジン等に係る技術を確立する。また、プラズマディスプレイに関しては、超低電圧駆動等に係る技術を確立する。

研究開発期間

2007年度～2011年度

### [iii] 省エネを支えるプロセス基盤技術

#### (1) パワーエレクトロニクスインバータ基盤技術開発(運営費交付金)(再掲)

概要

エネルギー需給構造の高度化を図る観点から行うものであり、省エネルギーを進めるために、シリコンよりも材料特性に優れたワイドギャップ半導体デバイスを用いた高効率インバータ等の実用パワーエレクトロニクス機器システムの基盤技術の開発を行う。

技術目標及び達成時期

2008年度までに、ワイドギャップ半導体デバイスを用いた高効率インバータ等の実用パワーエレクトロニクス技術を開発する。

## 研究開発期間

2006年度～2008年度

### (2) ナノエレクトロニクス半導体新材料・新構造技術開発 - うち窒化物系化合物半導体基盤・エピタキシャル成長技術の開発(運営費交付金)(再掲)

#### 概要

窒化物系化合物半導体は日本が強みを有し、パワーデバイス、高周波デバイス、発光デバイス等、今後のIT社会を支えとなることを期待されている分野である。しかし、既存のバルク単結晶基板成長技術やエピタキシャル成長技術では、従来の半導体では実現できない領域で動作可能なハイパワー、超高効率デバイス性能を十分に引き出すには至っていない。

これを突破するため、大学あるいは研究所を拠点に材料メーカー、デバイスメーカー、装置メーカー等が相互連携して、窒化物半導体の結晶欠陥低減技術やナノ構造作製技術等の革新を図り、これらデバイスの飛躍的な性能向上と消費電力削減の実現を図る。

#### 技術目標及び達成時期

2011年度までに、次世代窒化物系半導体デバイスを実現する以下結晶作製技術を開発する。

##### 基板技術(GaN、AlNバルク結晶作製技術)

- ・ 口径2～4インチで高品質エピ成膜を可能とする低コストの単結晶基板作製技術の確立。

##### エピ技術(エピタキシャル成膜及び計測評価技術)

- ・ 低欠陥高品質エピ層を実現する成膜技術及び膜成長過程を計測評価する技術の確立。
- ・ 高出力かつ高安定動作可能なエピ層の実現
- ・ 高耐圧超高速な新しいデバイス構造の開発

#### 研究開発期間

2007年度～2011年度

## ・ 情報爆発への対応

### ITの利活用による知の創造

#### (1) 情報大航海プロジェクト

##### 概要

情報家電や携帯電話などに蓄積している、文字情報、画像情報、位置情報等の多種多様で大量の情報の中から、必要な情報を簡便かつ的確に検索・解析するための技術を開発・展開する。

##### 技術的目標及び達成時期

2009年度までに、必要な情報を簡便かつ的確に検索・解析するための技術を開発し、汎用化してオープンに利用できるような共通基盤を構築する。

#### 研究開発期間

2007年度～2009年度

・情報システム・ソフトウェアの信頼性・生産性の向上とオープンスタンダードの普及推進

(1) セキュアプラットフォームプロジェクト

概要

我が国産業のIT生産性の向上及び情報セキュリティレベルの底上げを図るため、異なる情報システムを一つのサーバ上に統合するだけでなく、これまで情報システムごとに別々に設定していた情報アクセス権限を統合し集中管理する機構を導入した革新的な仮想化技術(セキュア・プラットフォーム)の開発を行う。

技術的目標及び達成時期

2009年度までに、統合アクセス制御基盤や、それにより制御可能となるよう必要なアクセス機構を備えた仮想化機能等を開発する。

研究開発期間

2007年度～2009年度

(2) 産学連携ソフトウェア工学の実践(運営費交付金を含む)

概要

我が国経済社会システムの基盤であり、製造業をはじめとするあらゆる産業の付加価値の源泉であるソフトウェアについて、ソフトウェアの信頼性及び生産性を向上させるため、産学官が連携して実践的なソフトウェア開発手法等に関する研究・調査、ツール整備、普及啓発、実証等を行う。また、信頼性を確保できる開発手法に基づいた高信頼な組込みソフトウェアの開発を行う。

技術的目標及び達成時期

2009年度までに、本事業による成果をユーザやベンダなどの民間企業に広く普及し、活用することにより、我が国におけるソフトウェアの生産性及び信頼性を向上させる。

研究開発期間

2004年度～2009年度

(3) オープンソフトウェア利用促進事業(運営費交付金)

概要

オープンソフトウェアを安心して活用するための基盤整備として、オープンな標準の普及、オープンソースソフトウェア(OSS)を扱える人材育成などを行う。

技術的目標及び達成時期

2012年度までに、技術参照モデル(TRM)の開発・普及やOSSサポートに係る人材育成などを行うことにより、オープンスタンダードの普及推進を図る。

研究開発期間

2008年度～2012年度

(4) IT投資効率向上のための共通基盤開発プロジェクト

概要

我が国の生産性及び競争力の向上のため、情報家電をはじめとした分野でのIT投資を、競争領域と非競争領域に峻別し、非競争領域について共通基盤を開発・オープン化等を進めていく。海外の組込みソフトウェアの動向も調査することにより、国際的に通用する共通基盤の構築を目指す。あわせて情報システム分野において、海外の動向も踏まえつつ、



業界横断的に利用可能な共通基盤を検討する。

技術的目標及び達成時期

非競争領域においては企業間で連携・強調し、IT投資の効率向上を図ることを目的とする共通基盤を2009年までに構築する。また、2010年までに共通基盤を用いた検証を行い、その結果を踏まえた上で、共通基盤の改善と産業界へ利用促進を図る。

研究開発期間

2008年度～2010年度

#### (5) 情報家電センサー・ヒューマンインターフェイスデバイス活用技術の開発

概要

ヒューマンインターフェイスデバイス等消費者の利便性に直結する技術について、機器やメーカーの違いを超えて相互連携できるための基盤技術の開発を行い、その技術の普及を図ることで仕様の共通化を図り、利用者の実生活をより充実させる環境の提供を実現する。

技術的目標及び達成時期

2008年度までに、多様な利用形態や生活支援を実現する、音声認識等のヒューマンインタフェース技術、音声認識においては95%のタスク達成率を可能とするミドルウェア基盤技術の開発等を行う。

研究開発期間

2006年度～2008年度

#### (6) 中小企業経営革新ベンチャー支援事業（運営費交付金）

概要

財務処理・税務処理など中小企業等が必要とする機能をSaaS型で提供する革新的なアプリケーションをベンチャー企業に開発させることでイノベーションの促進を図る。

技術的目標及び達成時期

支援対象企業のうち、売上高1億円以上を達成する企業を10件とすることを目標として支援を行う。

研究開発期間

2008年度～2009年度

### 5. 政策目標の実現に向けた環境整備

【法律】

- ・ 情報処理の振興を目的に、昭和45年に情報処理の促進に関する法律が制定。
- ・ 半導体集積回路の回路配置の適正な利用の確保を目的に、昭和63年に半導体集積回路の回路配置に関する法律が制定。

【税制】

- ・ 情報セキュリティ強化を確保しつつ生産性の向上を図るためのIT投資に対し、35%特別償却又は7%税額控除（情報基盤強化税制）
- ・ ソフトウェアを含む機械装置等に対し、30%特別償却又は7%税額控除（中小企業投資

促進税制)。

#### 【国際標準化】

各プロジェクトで得られた成果のうち、標準化すべきものについては、適切な標準化活動（国際規格（ISO/IEC）、日本工業規格（JIS）、その他国際的に認知された標準の提案等）を実施する。特に、産学連携ソフトウェア工学の実践における組込みソフトウェア開発については、国際標準の動向を踏まえた開発を促進することにより、プロジェクトの成果の幅広い普及を促進する。

#### 【関係機関との連携】

各プロジェクトのうち、研究開発を効率的・効果的に推進する観点から関係機関との連携が必要なものについては、これを積極的に行う。

但し、関係機関が行う研究開発等の独自性を妨げるものではない。

#### 【導入普及促進】

成果の普及を図るため、これまでの終了プロジェクトの成果の全部または、一部についてはオープンソースソフトウェアとして公開する。

#### 【プロジェクト等間の連携について】

高信頼な組込みソフトウェアの開発では、ソフトウェアエンジニアリングセンター（SEC）において提供される各種エンジニアリング手法を開発現場に適用し、当該技術の効果を明らかにしながら開発を進める。

#### 【その他】

##### ・ Grant 事業

NEDOの産業技術研究助成事業を活用し、萌芽的・革新的な情報通信関係の技術シーズの発掘を行う。また、ソフトウェア分野の独創的な技術やビジネスシーズを有した人材を発掘する。

##### ・ 事業終了後の連携

産学官連携の研究体制を通して活動を行い、これらの事業の終了後も各分野の研究者・技術者が有機的に連携し、更に新たな研究を作り出す環境を構築する。

##### ・ 人材育成

ハードウェア分野においては、出来る限り大学との連携を重視し、各種フェロースhip制度を活用しつつ、最先端の情報通信基盤研究現場への学生等の参画を推進することにより次世代の研究開発人材の育成を図る。また、ソフトウェア分野における独創的な人材を発掘し、育成するとともに、優秀な人材が集うコミュニティを構築するなど、発掘された人材の才能をさらに伸ばすための取組を進める。

##### ・ 広報 / 啓発

毎年10月を「情報化月間」としている。

## 6．研究開発の実施に当たっての留意事項

事業の全部又は一部について独立行政法人の運営費交付金により実施されるもの（事業名に（運営費交付金）と記載したものは、中期目標、中期計画等に基づき、運営費交付金の総額の範囲内で、当該独立行政法人の裁量によって実施されるものである。

## 7．改訂履歴

- (1) 平成12年12月28日付け、情報通信基盤高度化プログラム基本計画を制定。
- (2) 平成14年2月28日付け、情報通信基盤高度化プログラム基本計画及び次世代半導体デバイスプロセス等基盤技術プログラム基本計画を制定。情報通信基盤高度化プログラム基本計画（平成12・12・27工総第12号）は廃止。
- (3) 平成15年1月31日付け、情報通信基盤高度化プログラム基本計画及び次世代半導体デバイスプロセス等基盤技術プログラム基本計画を制定。情報通信基盤高度化プログラム基本計画（平成14・02・25産局第17号）及び次世代半導体デバイスプロセス等基盤技術プログラム基本計画（平成14・02・25産局第18号）は、廃止。
- (4) 平成15年3月10日付け、情報通信基盤高度化プログラム基本計画、次世代半導体デバイスプロセス等基盤技術プログラム基本計画、次世代ディスプレイ技術開発プログラム基本計画及び情報通信基盤ソフトウェア開発推進プログラム基本計画を制定。情報通信基盤高度化プログラム基本計画（平成15・01・29産局第1号）及び次世代半導体デバイスプロセス等基盤技術プログラム基本計画（平成15・01・29産局第2号）は、廃止。  
なお、情報通信機器高度化プログラム基本計画（平成15・01・29産局第1号）及び次世代半導体デバイスプロセス等基盤技術プログラム基本計画（平成15・01・29産局第2号）の一部は、次世代ディスプレイ技術開発プログラム基本計画及び情報通信基盤ソフトウェア開発推進プログラム基本計画へ移行。
- (5) 平成16年2月3日付け、高度情報通信機器・デバイス基盤プログラム基本計画及び情報通信基盤ソフトウェア開発推進プログラム基本計画を制定。情報通信機器高度化プログラム基本計画（平成15・03・07産局第14号）、次世代半導体デバイスプロセス等基盤技術プログラム基本計画（平成15・03・07産局第7号）、次世代ディスプレイ技術開発プログラム基本計画（平成15・03・07産局第4号）は、高度情報通信機器・デバイス基盤プログラム基本計画に統合することとし、廃止。また、情報通信基盤ソフトウェア開発推進プログラム基本計画（平成15・03・07産局第14号）は、廃止。
- (6) 平成17年3月25日付け、高度情報通信機器・デバイス基盤プログラム基本計画を制定。高度情報通信機器・デバイス基盤プログラム基本計画（平成16・02・03産局第1号）は廃止。また、平成17年3月31日付け、情報通信基盤ソフトウェア開発推進プログラム基本計画を制定。情報通信基盤ソフトウェア開発推進プログラム基本計画（平成16・02・03産局第2号）は廃止。
- (7) 平成18年3月31日付け、高度情報通信機器・デバイス基盤プログラム基本計画及び情報通信基盤ソフトウェア開発推進プログラム基本計画を制定。高度情報通信機器・デバイス基盤プログラム基本計画（平成17・03・25産局第7号）及び情報通信基盤ソフトウェア開発推進プログラム基本計画（平成17・03・25産局第6号）は廃止。
- (8) 平成19年4月2日付け、高度情報通信機器・デバイス基盤プログラム基本計画及び情

報通信基盤ソフトウェア開発推進プログラム基本計画を制定。高度情報通信機器・デバイス基盤プログラム基本計画（平成18・03・31産局第4号）及び情報通信基盤ソフトウェア開発推進プログラム基本計画（平成18・03・31産局第5号）は廃止。

- (9) 平成20年4月1日付け、ITイノベーションプログラム基本計画を制定。情報通信機器高度化・デバイス基盤プログラム基本計画（平成19・03・12産局第7号）及び情報通信基盤ソフトウェア開発推進プログラム基本計画（平成19・03・12産局第8号）は、本プログラム基本計画に統合することとし、廃止。

# 経済産業省

平成 20・03・24 産局第 1 号

平成 20 年 4 月 1 日

経済産業省産業技術環境局長



経済産業省製造産業局長



ナノテク・部材イノベーションプログラム基本計画の制定について

上記の件について、イノベーションプログラム実施要領（平成16・07・27産局第1号）第4条第1項の規定に基づき、別添のとおり制定する。

## ナノテク・部材イノベーションプログラム基本計画

### 1. 目的

このプログラムは、情報通信、ライフサイエンス、環境、エネルギーなど、あらゆる分野に対して高度化あるいは不連続な革新（ジャンプアップ）をもたらすナノテクノロジー及び革新的部材技術を確立するとともに、その実用化や市場化を促進することで、我が国産業の国際競争力の維持・強化や解決困難な社会的課題の克服等を可能とすることを目的とする。

### 2. 政策的位置付け

第 3 期科学技術基本計画（2006 年 3 月閣議決定）

- ・ 「ナノテクノロジー・材料分野」は、特に重点的に研究開発を推進すべき分野（重点推進 4 分野）の一つに指定されていて、優先的に資源配分することとされている。
- ・ 我が国の材料技術は、基礎研究から応用研究、素材、部材の実用化に至るまでの全ての段階において世界のトップレベルを堅持しており、我が国製造業の国際競争力の源泉となっている。

「イノベーション 25」（2007 年 6 月閣議決定）

- ・ 「ナノテクノロジー・材料分野」は、中長期的に取り組むべき課題として、「1. 生涯健康な社会形成」、「2. 安全・安心な社会形成」、「4. 世界的課題解決に貢献する社会形成」、及び「5. 世界に開かれた社会形成」の分野に位置付けられている。
- ・ 所要の措置を講じていくことが必要である事項として以下の点が指摘されている。
  - ・ 学際領域・融合領域における教育等人材育成、拠点形成
  - ・ 社会受容を促すための積極的な取り組み
  - ・ 知的財産確保のための戦略的な取り組み

「経済成長戦略大綱」（2006 年 7 月財政・経済一体改革会議）

- ・ 「我が国の国際競争力の強化」の取り組みとして、高度な部品・材料産業やモノ作り中小企業の強化が掲げられている。
- ・ 「技術戦略マップ」の活用等により、ユーザー企業との垂直連携による研究開発を推進することを通して、我が国経済発展の基盤である高品質、高性能な部品・材料産業の強化を図ることが今後の取組として記載されている。

「新産業創造戦略 2005」（2005 年 6 月経済産業省）

- ・ 部材分野は、新産業群の創出を支える共通基盤技術として位置づけられている。
- ・ 「高度部材・基盤産業」の集積を形成していることが、「ものづくり」に不可欠な基盤技術のネットワーク化を通じた現場レベルでの迅速かつ高度な摺り合わせを可能としており、我が国「ものづくり」の強みの源泉となっていると記載されている。

### 3. 達成目標

- ・世界に先駆けて、ナノテクノロジーを活用した非連続な技術革新を実現する。
- ・我が国部材産業の強みを更に強化することで、他国の追随を許さない競争優位を確保するとともに部材産業の付加価値の増大を図る。
- ・ナノテクノロジーや高機能部材の革新を先導することで、これら部材を活用した情報通信、ライフサイエンス、環境、エネルギーなどの幅広い産業の付加価値の増大を図る。
- ・希少金属などの資源制約の打破、圧倒的な省エネルギー社会の実現など、解決困難な社会的課題の克服を目指す。

### 4. 研究開発内容

#### [プロジェクト]

##### ・ナノテクノロジーの加速化領域

ナノテクノロジーを活用した不連続な技術革新を加速・促進する。

#### (1) 異分野異業種融合ナノテクチャレンジ(運営費交付金)

##### 概要

革新的なナノテクノロジーを活用し、川上と川下の連携、異業種異分野の連携で行う部材開発に対して支援を行い、燃料電池、ロボット、情報家電、健康・福祉・機器・サービス、環境・エネルギー・機器・サービスの5分野に資するキーデバイスの実現を目指す。

##### 技術目標及び達成時期

マテリアル・プロセス研究、加工・計測技術研究、昨今の環境意識向上に対応した研究、社会課題を解決するための基盤技術研究に加え、異分野等の融合研究を推進することにより、2011年度までにナノテクノロジーの産業化のための基盤的技術を確立し、実用化を図る。

##### 研究開発期間

2007年度～2011年度

#### (2) ナノテク・先端部材実用化研究開発(運営費交付金)

##### 概要

新産業創造戦略の趣旨に則り、革新的なナノテクノロジーを活用し、川上と川下の連携、異業種・異分野の連携で行うデバイス化開発の支援を行うため、

ナノテクノロジー活用による材料・部材の高度化を図る先導的研究開発(ステージ )

ナノテクノロジー研究成果の部材等への課題設定型実用化により目指した開発支援(ステージ )

について提案公募を実施する。

##### 技術目標及び達成時期

2010年頃に想定される半導体微細加工の限界を克服するため、分子・原子を1つずつ制御し部品部材に組み上げる「ボトムアップ型」のナノテクノロジーなど革新的なナノテクノロジー等の活用により、情報家電・ロボット、燃料電池等新規産業5分野等において、従来の性能・効率を大幅に改善するナノテク・先端部材技術を開発し、我が



国が優位にあるナノテクノロジーを基盤とした国際的な産業競争力を強化することを目標とする。

研究開発期間

2005年度～2011年度

#### 情報通信領域

ナノテクノロジーや革新的部材開発技術を駆使して既存技術の微細化の壁を突破し、電子デバイス・光デバイスで世界をリードするとともに、高度化された製造技術の開発を行う。

#### (1) ナノエレクトロニクス半導体新材料・新構造技術開発 - うち新材料・新構造ナノ電子デバイス

概要

ナノエレクトロニクスは、ナノテクノロジーの最大の応用領域の一つであり、デジタル・デバイスのCMOS構造というアーキテクチャは、優れた工学概念である。また、これまでの半導体技術の微細化に基づく高集積化・高速化・低消費電力化の追求は、シリコン材料をベースとするプレーナ構造を基本とした微細加工プロセスの高度化にあった。

しかし、さらなる微細化によるデバイスのパフォーマンス向上は物理的限界に直面しつつあり、問題は、FETを、シリコン材料をベースとして作製することにより現出していると考えられる。

そのため、次世代の電子デバイスのために「シリコンで培った微細化技術やデバイス原理をこれまで同様に活用しながら、シリコンという材料の物理的限界を突破するための“新材料”や“新(デバイス)構造”を実現すること」、すなわち、「New Nano Materials/Structure on Silicon for “More Moore”」の半導体技術を、ナノテクノロジーを最大限に活用することによって研究開発を行い、将来の産業応用への目を見出していく取りかかりとする。

技術目標及び達成時期

2011年度までに、産業界が10年後を見据えた将来の電子デバイスを開発する際に、産業技術として活用できるかどうかの実現可能性を見極め、また技術シーズを確立する。

研究開発期間

2007年度～2011年度

#### (2) ナノエレクトロニクス半導体新材料・新構造技術開発 - うち窒化物系化合物半導体基板・エピタキシャル成長技術の開発(運営費交付金)(再掲)

概要

窒化物系化合物半導体は日本が強みを有し、パワーデバイス、高周波デバイス、発光デバイス等、今後のIT社会を支えとなることを期待されている分野である。しかし、既存のバルク単結晶基板成長技術やエピタキシャル成長技術では、従来の半導体では実現できない領域で動作可能なハイパワー、超高効率デバイス性能を十分に引き出すには至っていない。

これを突破するため、大学あるいは研究所を拠点に材料メーカー、デバイスメーカー、装置メーカー等が相互連携して、窒化物半導体の結晶欠陥低減技術やナノ構造作製技術等の革新を図り、これらデバイスの飛躍的な性能向上と消費電力削減の実現を図る。

技術目標及び達成時期

2011年度までに、次世代窒化物系半導体デバイスを実現する以下結晶作製技術を開発する。

1) 基板技術 (GaN、AlNバルク結晶作製技術)

・口径2～4インチで高品質エピ成膜を可能とする低コストの単結晶基板作製技術の確立。

2) エピ技術 (エピタキシャル成膜及び計測評価技術)

- ・低欠陥高品質エピ層を実現する成膜技術及び膜成長過程を計測評価する技術の確立。
- ・高出力かつ高安定動作可能なエピ層の実現
- ・高耐圧超高速な新しいデバイス構造の開発

研究開発期間

2007年度～2011年度

(3) スピントロニクス不揮発性機能技術プロジェクト (運営費交付金)

概要

将来のエレクトロニクスにおいて中核的な基盤技術となり得るスピントロニクス技術 (電子の電荷ではなく、電子の自転 = 「スピン」を利用する全く新しいエレクトロニクス技術) を確立するため、強磁性体ナノ構造体におけるスピンの制御・利用基盤技術を開発し、我が国が世界に誇るシーズ技術を核として、産学官の共同研究体制を構築し、将来の中核的エレクトロニクス技術における我が国の優位性の確保を図る。

技術目標及び達成時期

2010年度までに、超高集積で高速な不揮発性メモリとして期待されるスピンメモリのための基盤技術を確立する。また、新ストレージ・メモリデバイス、不揮発性スピン光機能素子、スピン能動素子等の新しい動作原理によるスピン新機能素子の実現のための基盤技術を確立する。

研究開発期間

2006年度～2010年度

(4) 三次元光デバイス高効率製造技術 (運営費交付金)

概要

波面制御素子による空間光変調技術を確立し、ガラス中に三次元造形を高精度に一括形成できるプロセス技術を開発する。この技術を用いて、具体的な光デバイスを作製し、当該技術の有効性の確認と市場への早期参入のための基盤技術を確立する。

技術目標及び達成時期

2010年度までに波面制御素子による空間光変調技術を用いたフェムト秒レーザー照射技術等を確立し、高精度の光デバイスを高速に作製できるプロセス技術を開発する。

研究開発期間

2006年度～2010年度

(5) 次世代高度部材開発評価基盤の開発\* (運営費交付金) (再掲)

概要

エネルギー需給構造の高度化を図る観点から行うものである。半導体産業分野で、集積回路の消費電力低減に必要な配線形成用各種材料等の開発のネックとなっているナノレベルでの材料間の相互影響を評価可能な統合部材開発支援ツールを開発する。これにより、集積回路の種類やデザインルールに応じて、配線形成用各種材料とプロセスの最適な組み合わせの提案技術(統合的材料ソリューション提案技術)を確立する。

技術的目標及び達成時期

2008年度までに、半導体材料開発に貢献する材料評価基盤を構築するとともに、上記の統合的材料ソリューション提案技術を確立する。また、本プロジェクトを通して得られた基礎データ等については、プロジェクト実施期間中にデータを体系的に整理し、幅広く社会に提供を図る。

研究開発期間

2006年度～2008年度

(6) 超フレキシブルディスプレイ部材技術開発\* (運営費交付金) (再掲)

概要

エネルギー需給構造の高度化を図る観点から、製造工程等の省エネルギー化を実現するために行う。従来、表示デバイスの製造には、真空蒸着と高温下での焼成と、それに伴う排ガス排水処理が必須であった。これを、ロールtoロール方式に代替することで常圧、常温下での製造を実現し、フレキシブルな薄型ディスプレイを効率よく製造する。そのために、有機TFT材料およびコンタクトプリント技術等を開発する。

技術的目標及び達成時期

2009年度までに、実用化に向けた実証のための巻き取り方式ディスプレイのプロトタイプを試作する。またフレキシブルデバイス材料開発に貢献する部材ならびに薄膜複合化技術を開発し、これらをパネル化するための実用化技術を確立する。

研究開発期間

2006年度～2009年度

(7) 低損失オプティカル新機能部材技術開発\* (運営費交付金) (再掲)

概要

エネルギー需給構造の高度化を図る観点から行うものであり、近接場光の原理・効果を用いた低損失オプティカル新機能部材技術を開発し、実用化の目処を得ることを目的とする。動作原理に近接場光を用いるオプティカル新機能部材は、従来の材料特性のみに依存した光学部品では不可能な機能・性能を発揮し、液晶プロジェクター・液晶ディスプレイなど情報家電の省エネルギー、高性能・高信頼化を図る上でのキーデバイスとなることが期待できる。

技術目標及び達成時期

2010年度までに、共通基盤技術として、ナノ構造部材の設計・作製・評価技術を開発するとともに、ナノ構造部材に発現する近接場光の機能を動作原理とする低損失オプティカル新機能部材を検討し機能を確認する。

研究開発期間

2006年度～2010年度

#### ・ライフサイエンス・健康・医療領域

ナノテクノロジーを駆使して初めて可能となる診断・治療により革新的な医療を実現する。

(1) 次世代DDS型悪性腫瘍治療システムの研究開発事業(運営費交付金)(再掲)

(深部治療に対応した次世代DDS型治療システムの研究開発事業)

概要

DDSのさらなる裾野の拡大、及び早期実用化を目指し、様々な外部エネルギー(機器技術)と薬剤技術を組み合わせることにより、比較的人体の深部にある臓器(肺、消化器)等のがんを対象としたDDS型治療システムの開発を行う。

技術目標及び達成時期

光線力学治療システムの前臨床試験の開始及び治療効果・安全性の検証と、超音波診断・治療システムの前臨床試験を可能とする薬剤及び装置の完成に関する開発を難治性がんの治療に向けて行う。

研究開発期間

2006年度～2009年度

(2) 個別化医療実現のための技術融合バイオ診断技術開発(運営費交付金)(再掲)

概要

我が国が有する微細加工技術・表面処理技術といったナノテク等の強みを活かし、染色体異常を高感度、高精度かつ迅速、安価で非コード領域までを検出するゲノムアレイや解析基盤技術開発を行うとともに、全自動解析システムの開発を行う。

技術目標及び達成時期

2010年度までに、BAC(染色体の断片)を用いた非コード領域を含むゲノム全領域を検出できる高精度ゲノムアレイを開発する。さらに、臨床現場において、微量サンプル(数ナノグラム)から、12時間以内に染色体異常(増幅、欠失、コピー数多型等)を、低コストかつ定量性・再現性を確保して検出ができる自動染色体異常解析システムのプロトタイプを開発する。

研究開発期間

2006年度～2010年度

(3) 分子イメージング機器研究開発プロジェクト(運営費交付金)(再掲)

(3-1) 生活習慣病超早期診断眼底イメージング機器研究開発プロジェクト

概要

細小血管の分子レベルでの代謝機能を非侵襲で可視化する細胞代謝イメージングを実現し、代謝異常を細胞レベルで観察することにより、循環器系疾患等の早期の診断・治

療を図る。

技術目標及び達成時期

2009年度までに、ナノテクノロジーを活用した光学基盤技術等を確立することにより、細胞やタンパク質レベルの組織診断を可能とする機器を開発する。

研究開発期間

2005年度～2009年度

### (3-2) 悪性腫瘍等治療支援分子イメージング機器研究開発プロジェクト

概要

良性・悪性の区別も含めた腫瘍の超早期診断を実現するため、悪性腫瘍に特異的に反応する標的物質を利用することにより生体細胞の分子レベルの機能変化を抽出・検出できる機器の開発を行う。

技術目標及び達成時期

2009年度までに、全身で3mm、局所で1mmの分解能を有する分子イメージング機器を開発する。

研究開発期間

2005年度～2009年度

## ．エネルギー・資源・環境領域

ナノテクノロジーや革新的部材開発技術を駆使して、エネルギー・資源・環境等の社会的制約を克服すると同時に我が国の強みであるナノテック関連産業・部材産業の競争力を強化する。

### ( ) エネルギー制約の克服

#### (1) サステナブルハイパーコンポジット技術の開発(運営費交付金)(再掲)

概要

炭素繊維複合材料は、軽量、高強度等の優れた特性を有している。従来の熱硬化性樹脂を用いた炭素繊維複合材料では成形性・加工性に乏しくリサイクルが困難であったため、熱可塑性樹脂を用いた炭素繊維複合材料(CFRP)の開発を行う。

技術目標及び達成時期

2012年度までに、炭素繊維と熱可塑性樹脂との中間基材を開発し、熱可塑性CFRP加工技術を開発する。

研究開発期間

2008年度～2012年度

#### (2) 革新的ガラス溶融プロセス技術開発(運営費交付金)(再掲)

概要

プラズマ等による高温を利用し瞬時にガラス原料をガラス化することにより、極めて効率的にガラスを気中で溶融(インフライトメルティング法)し省エネに資する革新的ガラス溶融プロセス技術を開発する。

技術目標及び達成時期

2012年度までに、インフライトメルティング法により原料を溶解する技術、カレットをガラス原料として利用するため高効率で加熱する技術、カレット融液とインフライトメルティング法による原料融液とを高速で混合する技術を開発する。

研究開発期間

2008年度～2012年度

(3) 高温超電導電力ケーブル実証プロジェクト(運営費交付金)(再掲)

概要

革新的な超電導送電技術を確立するため、工業生産プロセスで実用化レベルに達している高温超電導線材を活用し、実用化のための実証試験及び評価を行う。

技術目標及び達成時期

2011年度までに、200MVA級の中間接続部を有した三心一括型高温超電導ケーブルを、冷却装置や保護装置などの付帯設備とともに66KV実系統に接続して、12ヶ月以上の長期連系試験を行うことによって総合的な安全性や信頼性を実証する。

研究開発期間

2007年度～2011年度

(4) マルチセラミックス膜新断熱材料の開発(運営費交付金)(再掲)

概要

住宅やビルなどの冷暖房における大幅な省エネを実現する画期的な断熱性能を示す壁および窓材料を、セラミックスのナノ多孔体構造やナノ羽毛状構造およびセラミックス・ポリマー複合化構造などからなるマルチセラミックス膜アセンブリ技術によって開発する。

技術目標及び達成時期

2011年度までに、熱貫流率(熱の伝わりやすさ)が $0.3\text{W}/\text{m}^2\text{K}$ 以下、壁厚さ10mm程度の超断熱壁材料および熱貫流率が $0.4\text{W}/\text{m}^2\text{K}$ 以下、光(可視光)透過率が65%以上(Low-Eガラス使用)、ヘイズ率が1%以下の超断熱窓材料を実現する。

研究開発期間

2007年度～2011年度

(5) カーボンナノチューブキャパシタ開発プロジェクト(運営費交付金)(再掲)

概要

従来の活性炭電極では不可能な高出力かつ高エネルギー密度の電気二重層キャパシタを実現するため、高度に配向した長尺の単層カーボンナノチューブの大量合成技術を開発するとともに、これを用いたキャパシタ電極の開発を行う。

技術目標及び達成時期

2010年度までに、単層カーボンナノチューブの高度配向技術及び大量生産技術を確立するとともに、キャパシタ製造技術を確立することで、 $20\text{Wh}/\text{Kg}$ の高エネルギー密度と耐久性を有する電気二重層キャパシタを開発する。

研究開発期間

2006年度～2010年度

(6) 発電プラント用超高純度金属材料の開発(運営費交付金)(再掲)

概要

従来の金属材料と比べ耐食性、耐久性、加工性などの飛躍的な向上が期待できる超高純度金属材料の発電プラント部材としての実用化を目指し、低コスト・量産化製造プロセス、及び加工・溶接技術等の開発を行い、部材としての実用特性の評価・検証を行う。また、実用化に向けたフィージビリティ調査を行い経済性の評価等を実施するとともに、材料特性に関するデータベースの整備及びそれに必要な試験研究を行う。

技術目標及び達成時期

2009年までに、不純物総量100ppm未満、溶解量数100kg以上の低コスト・量産化技術製造技術を開発するとともに、製造された超高純度材料が発電プラントの各種機器に適用でき、本材料の持つ優れた特性を長期に亘って発揮できることを確認する。

研究開発期間

2005年度～2009年度

(7) セラミックリアクター開発(運営費交付金)(再掲)

概要

電気化学的に物質やエネルギーを高効率で変換する次世代型セラミックリアクターの実現のため、低温作動と急速作動停止を可能とする材料の開発とマイクロセルの集積構造化技術等の開発を行う。

技術目標及び達成時期

2009年度までに、新電解質材料の適用や電極反応の高効率化等による、低温作動時(650以下)での出力性能を向上させる材料技術と共に、マイクロセルの集積構造化や精緻なインターフェース構築のための製造プロセス技術を開発。そして、これらの技術を統合することにより、次世代型セラミックリアクターとしてのプロトタイプモジュール実証(出力性能2kW/L等)を行う。

研究開発期間

2005年度～2009年度

(8) 高機能チタン合金創製プロセス技術開発プロジェクト(再掲)

概要

大量の電力を必要とする従来のバッチ処理方式のチタン製錬法(クロール法)を、エネルギー効率の高い連続処理方式へ転換する抜本的なプロセス改善のための技術を開発する。また、併せて、成形性の高いチタン合金設計技術及び成形プロセス技術を開発する。

技術目標及び達成時期

2008年度までに省エネ型チタン新製錬プロセスの基盤技術を開発し、2010年



までに実用化を目指す。また、本製錬技術により得られるチタンをベースとして、加工性、強度等をさらに向上させた合金設計・成形プロセス技術を確立する。

研究開発期間

2005年度～2008年度

( ) 資源制約の克服

(1) 希少金属代替材料開発プロジェクト(運営費交付金)

概要

希少金属は、特殊用途において希少な機能を発揮する一方で、その希少性・偏在性・代替困難性から、市場メカニズムが必ずしもうまく機能せず、その供給停止は川下の経済成長の制約要因となり得るリスクを伴っている。近年、「コンピュータによる材料設計」、「ナノテクによる微細構造制御」等が飛躍的に向上した結果、従来出来なかった、「コンピュータによる最適制御設計による候補元素系の探索」、「結晶粒界、界面の制御等マイクロ構造の制御」等が可能となりつつあることから、こうした最先端技術を用いることで、希少金属の新たな代替/使用量低減技術を開発する。

技術目標及び達成時期

2011年度までに、以下希少金属元素の使用原単位について現状と比較して以下の低減ができる製造技術を開発し、ユーザー企業、大学等の外部機関に対して機能評価のためにラボレベルで提供できる(試料提供)水準に至るまでの技術を確立することを目標とする。また、製品の機能や製造コストは現状と同等を少なくとも維持することを前提とする。

〔対象元素〕	〔使用原単位の低減目標値〕
・透明電極向けインジウム(In)	: 現状から50%以上低減
・希土類磁石向けディスプロシウム(Dy)	: 現状から30%以上低減
・超硬工具向けタングステン(W)	: 現状から30%以上低減

研究開発期間

2007年度～2011年度

( ) 環境制約の克服

(1) グリーン・サステイナブルケミカルプロセス基盤技術開発

概要

化学品等の製造プロセスにおけるシンプル化、クリーン化、原材料・資源の多様化、更に、廃棄物の減容化、容易なりサイクル等を実現し、産業競争力強化、国際規制の先取りを図って、将来にわたっても持続的に化学品等を製造するための必要な新規なGSC(グリーン・サステイナブルケミストリー)プロセスを開発する。

技術的目標及び達成時期

2015年度までに、有害な化学物質を大幅に削減、使わない革新的なプロセス及び化学品の開発や廃棄物、副生成物の大幅に削減できる革新的なプロセス及び化学品の開発を行う。

研究開発期間

2008年度～2015年度

(2) 次世代高信頼性ガスセンサ技術開発(運営費交付金)(再掲)

概要

一酸化炭素中毒やガス漏れなどのガス事故を限りなくゼロに近づけるため、センサー素子のナノレベルでのメカニズム解析及び開発設計を行い、コードレスで高信頼性を有する次世代高信頼性ガスセンサー(COセンサー・メタンセンサー)を開発する。

技術目標及び達成時期

2011年度までに、最先端のナノテクノロジー及びMEMS技術を導入し、電池駆動で5年以上の長寿命、高信頼性(数百ppm以下の故障率)、低コストなCOとメタンのセンサーを開発する。

研究開発期間

2008年度～2011年度

(3) 革新的膜分離技術の開発(再掲)

概要

河川水等の浄水工程における、微量の有害物質、微生物等の除去に係る水処理技術のうち、分離膜方式による高効率(省エネ)な分離技術を開発する。

技術目標及び達成時期

2012年度までに、ナノテクノロジー等新技术を用いて新素材を開発し、高度な水質制御と高速処理を兼ねた膜ろ過システムを開発する。

研究開発期間

2008年度～2012年度

(4) 循環社会構築型光触媒産業創成プロジェクト(運営費交付金)

概要

我が国で発見された光触媒技術の新産業分野開拓を目指し、サイエンスにさかのぼることにより、紫外光のみならず、可視光レベルでの性能・機能の飛躍的な向上のための技術基盤を構築する。これにより、従来では困難とされてきた医療関連分野や土壌処理、PFC処理/フッ素回収などの環境関連分野等に光触媒技術を導入し、光触媒の最大のメリットである自然エネルギーを利用した安心・安全な環境を提供できる技術を開発する。

技術目標及び達成時期

2011年度までに、材料レベルで紫外光応答型2倍、可視光応答型10倍の感度向上を達成し、その高感度光触媒を適用した薄膜プロセス技術の基盤技術を確立する。

研究開発期間

2007年度～2011年度

(5) 革新的マイクロ反応場利用部材技術開発\*(運営費交付金)(再掲)

概要

エネルギー需給構造の高度化を図る観点から行うものであり、マイクロリアクター、ナノ空孔などの精密反応場を利用し、反応分子の自由な運動を活性種レベルで制御した革新的な化学反応プロセスと新機能材料創成技術の確立を目指す。さらに、マイクロリアクターとナノ空孔反応場の組み合わせ、各反応場とマイクロ波等のエネルギー供給手段との組み合わせにより協奏的反応場を構成し、さらなる高効率生産等を可能にする基盤技術を開発する。これらの技術の確立により、反応システムの小型化、多段プロセスの簡略化等を通じた化学産業の製造工程等の省エネルギー化を図る。

技術的目標及び達成時期

2010年度までに、マイクロリアクター技術、ナノ空孔技術を軸とし、これらに更にマイクロ波、超臨界流体等のエネルギー供給手段を組み合わせた協奏的反応場を構成することにより、これまでにない革新的な化学反応プロセスを確立し、新機能材料創成技術を実現する。さらに、これらの技術を用いて高性能・高機能電子材料、医薬中間体などの部材を開発する。

研究開発期間

2006年度～2010年度

#### (6) 高感度環境センサ部材開発\*

概要

ダイオキシンをはじめとする微量有害有機物質を高感度・高選択・安価・迅速に計測するため、分子認識部位として生体分子を用い、有害有機物質の結合の有無・量を直接電気信号に変換するセラミックスセンシング材料(電極材料)を用いたセンサ部材を開発する。

技術目標及び達成時期

2010年度までに、ダイオキシン類、エストラジオール及びビスフェノールAについて、 $0.001 \text{ ng} \cdot \text{ml}$ の濃度において有意な電気信号として検出し得る小型・携帯型計測器に挿入可能な寸法のセンサ部材の開発を目標とする。

研究開発期間

2006年度～2010年度

#### ・材料・部材領域

極めて広範囲な産業領域に波及する材料・部材領域について、ユーザー製造業等との連携(川上・川下連携)を促進し、高度な部材産業群の「すり合わせ力」を一層強化する。

#### (1) 高機能複合化金属ガラスを用いた革新的部材技術開発(運営費交付金)

概要

複合化金属ガラス(金属ガラスマトリックス中に第二相として微結晶や微粒子または微小空隙等を分散させたもの)を創製して、次世代高密度記録媒体、超微小モータ用部材および高強度・高導電性電気接点部材を開発する。

技術目標及び達成時期

2011年度までに、複合化金属ガラス合金を創製し、従来の金属ガラス単層合金の持つ優れた特徴に加えて、塑性加工性、硬磁気特性、高電気伝導性等を付与する。この

複合化金属ガラスの新規特性を用いて、従来の金属ガラス単層合金では為しえなかった革新的部材の開発を行い、さらに多様な工業製品に応用することで、我が国産業の優位性を確保する。

研究開発期間

2007年度～2011年度

## (2) 超ハイブリッド部材技術開発 (運営費交付金)

概要

従来実現が不可能と考えられていた相反する複数機能(トレードオフ機能)を両立できる材料を、異種素材の組合せ(ハイブリッド化)により実現するための技術を開発する。要素技術として、異種材料間の界面挙動をシミュレーション技術等により解明し、ナノレベルよりもさらに微小な原子・分子レベルでのハイブリッド化構造・配列制御のための合成技術を開発する。従来の単一材料では実現困難であったトレードオフの性能を引き出すことで、自動車用構造材料、パワーデバイス用材料、光学材料等を出口イメージとした、高機能革新部材製造に必要な技術基盤を開発する。

技術目標及び達成時期

2011年度までに、電気・電子材料、光学材料、その他工業材料について従来材料では実現できなかった相反機能を解消するとともに、市場評価が可能な成果物を供試し、市場(ユーザー)から、客観的な実用化研究開発課題を抽出する。また、単なる相反機能の解消ではなく、相反機能を制御・実現する技術を開発する。

研究開発期間

2007年度～2011年度

## (3) 鉄鋼材料の革新的高強度・高機能化基盤研究開発 (運営費交付金) (再掲)

概要

プラント、構造物や自動車等の革新的な高効率化、省エネルギー化、長寿命化、安全・安心化を図るため、最新の科学的知見を導入し、鉄鋼材料及び鋼構造体を超高機能化する基盤的研究開発を行う。具体的には、高強度鋼、高機能鋼の実用化拡大の基盤となる(1)高級鋼厚板(高強度鋼、極低温用鋼、耐熱鋼)溶接部の信頼性・寿命を大幅に向上する溶接施工技術(高密度・清浄熱源溶接技術)、及び金属組織制御技術を基本とする材料技術(クリープ破壊及び水素破壊の機構解明等を踏まえた)の開発、(2)部材の軽量化を図るために強度、加工性等の最適機能傾斜を付与する機械部品鍛造技術(駆動部材の信頼性確保のための耐疲労破壊特性の向上を踏まえた)の開発を行う。

技術目標及び達成時期

2011年度までに、高級鋼厚板(高強度鋼・極低温用鋼・耐熱鋼)の溶接を予熱・後熱なしに可能とする溶接技術と材料技術を開発するとともに、傾斜機能部材の鍛造技術を開発する。

研究開発期間

2007年度～2011年度

(4) マグネシウム鍛造部材技術開発プロジェクト\* (運営費交付金)

概要

マグネシウム合金部材について、製品歩留まりが高く、高耐疲労性を付与する鍛造技術の開発を行う。また、循環型素材としてのマグネシウム合金部材の特性を活かし、リサイクル材の鍛造用ピレット化に係る課題抽出を行う。当該技術開発により、マグネシウム鍛造部材製造技術の基盤を構築し、我が国の家電、自動車等の川下産業の競争力の強化に不可欠な高度部材を供給する。

技術目標及び達成時期

2010年度までに高強度・高耐疲労・加工性に優れたマグネシウム鍛造技術を確立する。

研究開発期間

2006年度～2010年度

(5) 先端機能発現型新構造繊維部材基盤技術の開発\* (運営費交付金)

概要

電界紡糸や溶融紡糸等により創製される極微細な繊維状材料に対してナノオーダーの成形加工や微細な界面加工ならびに複合化することで材料を高機能化した革新的部材を創出する。高機能新材料を求めるユーザーの要望を満たす繊維の極微細加工と高次複合化を解決する基盤技術開発を行う。

技術的目標及び達成時期

2010年度までに、電界紡糸法による繊維高機能化、大型装置化技術およびナノ溶融分散紡糸法による超極細炭素繊維製造技術を開発し、これら基盤技術を活用して、高性能・高機能電池用部材、高性能・高機能フィルター用部材、高性能・高機能医療衛生用・産業用部材を開発する。

研究開発期間

2006年度～2010年度

(6) 次世代光波制御材料・素子化技術\* (運営費交付金) (再掲)

概要

エネルギー需給構造の高度化を図る観点から行うものであり、ガラス材料に関する精密モールド技術を確立し、機能性の高い光波制御素子を低コストで生産できるプロセス技術を開発することで部材の小型化・高機能化を図りつつ、省エネを実現する。

技術目標及び達成時期

2010年度までにサブ波長レベルの微細構造をガラス表面にモールド成形する技術を実現し、実装可能な具体的なデバイスを作製する。

研究開発期間

2006年度～2010年度

・ナノテクノロジー・部材分野推進共通基盤領域

ナノテクノロジー、部材分野の研究開発に必要な加工・計測・解析技術等の共通基盤の確

立とともに、信頼性、普遍性、安全性等のリスク不安に対処したリスク管理手法を開発し、社会に貢献する産業化の支援を相互的に推進する。

(1) ナノ粒子の特性評価手法開発 (運営費交付金)

概要

ナノ粒子のキャラクタリゼーション、計測技術の確立とともに、生体影響等評価手法、暴露評価手法及びナノテクノロジーによるリスク不安に対処したリスク管理手法を開発する。

技術目標及び達成時期

2008年度までに、ナノ粒子のキャラクタリゼーション及び計測技術を確立するとともに、2010年までに、生体影響等評価手法、暴露評価手法及びリスク評価手法を開発し、ナノ材料のリスク評価指針及びナノ粒子の管理指針の提言を行う。

研究開発期間

2006年度～2010年度

(2) 高度分析機器開発実用化プロジェクト\* (再掲)

概要

燃料電池・情報家電・ナノテクといった先端新産業において、材料解析・性能評価・品質管理等で必要とされる超微量・超低濃度試料の分析技術の開発を行う。これら産業化の各フェーズに適した分析技術を開発することにより、先端新産業の事業化や製品の高付加価値化を図る。

技術目標及び達成時期

2008年度までに希ガスイオン源を搭載した集束イオンビームの開発、低加速・高分解能・高感度の元素分析用顕微鏡の開発、超微量試料用分離・分析技術の開発を行う。

研究開発期間

2006年度～2008年度

注：\*印のある研究開発プロジェクトは2006年度より開始された新産業創造高度部材基盤技術開発の一環として実施しているもの。

## 5．政策目標の実現に向けた環境整備（関連施策）

ナノテクノロジーは、情報通信、環境、エネルギーなどの分野における科学技術の進歩や課題解決に貢献する重要な技術シーズである。そのため、ナノテクノロジーの研究開発と一体となった関連施策を実施することで、その成果を市場に出していくことが重要である。主な関連施策を、以下に示す。

### 〔技術戦略マップ〕

- ・NEDO及び経済産業省では、技術戦略マップを策定、毎年改訂し、ナノテク・部材分野の将来の方向性を見定めながら、合理的かつ効果的な研究開発プロジェクトを推進しているところ。また、技術戦略マップを活用して、多様な連携（川上川下の垂直連携、異業種間の水平連携など）による研究開発を促進、支援し、当該分野の技術革新を促進する。

### 〔サンプル提供・実用化促進〕

- ・NEDOでは、実施するナノテクノロジー関連の研究開発プロジェクト成果のサンプルを対象として、それらを活用した用途の開発、実用化ないし製品化提案を有する企業とのマッチングを図ることで、プロジェクトの事業化を促進する取組みを実施しているところ。

### 〔基準・標準化〕

- ・ナノテクノロジーの標準化については、研究開発プロジェクトを推進する上で、適切な活動（国際規格ISO/IEC、日本工業規格JIS、その他）を実施し、我が国のナノテクノロジー分野の研究開発、産業活動の効率向上を図り、研究開発の成果が社会で普及する環境を整備する意味でも重要である。これまでの主な取組みについては、下記のとおり。
- ・2005年5月にナノテクノロジーの標準化に向けてISO/TC229の設立がされ、「用語と命名法」、「計測とキャラクタリゼーション」、「健康・安全・環境」の3つのWGにおいて、国際標準化の策定に向けて議論が開始された。
- ・また、2007年6月にシンガポールで開催された第5回総会以降、「材料規格」の分科会の設立に向けて対応しているところ。
- ・さらに、2006年9月にはナノテクノロジーに関する電気電子技術の標準化に向けてIEC/TC113が設立され、「用語と命名法」、「計測とキャラクタリゼーション」、「性能評価」の3つのWGにおいて、国際標準化の策定に向けて議論が開始されている。（なお、はISO/TC229とのジョイントWGとなっている。）

### 〔広報〕

- ・ナノテクノロジーに関する先端技術及び製品等の世界最大の展示会である「nano tech」が毎年日本で開催されている。2002年に開催された第1回以降、出展者来場者ともに増加傾向にあり、近年は海外、とくにヨーロッパ・アジア等の出展が目立つようになってきている。

### 〔社会受容〕

- ・ナノテクノロジーの社会受容に対する取組みは、ナノテクノロジーの産業化を推進するため、例えば工業ナノ粒子のキャラクタリゼーション技術や人の健康や環境に及ぼす影響など、潜在的な課題に関する知見を蓄積する取組みが重要である。



- ・経済産業省では、2006年度から「ナノ粒子特性評価手法の研究開発」を開始し、工業ナノ粒子の有害性評価手法、また、そのリスク評価手法の確立を目標としたプロジェクトを開始しているところ。

#### 〔人材育成〕

- ・経済産業省では、「製造中核人材育成事業」を実施しており、産学連携による波及効果の高い人材育成プログラムを開発、実践している。ナノテクノロジー関連の人材育成プログラムも複数実施しているところ。

#### （例）ナノテク製造中核人材の養成プログラム

概要：情報家電、燃料電池、ロボット、医療機器、バイオ等の応用分野において、その産業の基盤と創出を支える中堅企業を対象として、「基礎加工技能・技術、特殊な要素技能・技術に習熟し、製造技術の高度化を図る人材」及び「豊富なナノ加工プロセスの知識や先端機器を使いこなすノウハウ等を習熟し、製造現場の技能・技術を統括できず人材」を育成するもの。

- ・NEDOでは、我が国の産業技術の発展のため、先端分野や融合分野の技術を支える人材の育成と、人的交流の面から産学連携を促進するための「場」の形成を促進する取り組みを実施している（NEDO特別講座）。具体的には、優れた成果を生み出しつつあり、大学が技術の中核となっている研究開発プロジェクトをコアプロジェクトとし、そのプロジェクトリーダーの所属大学に拠点を設置し、関連技術の人材育成、人的交流の拡大、周辺研究の実施を行うもの。ナノテクノロジー関連の研究開発プロジェクトも複数実施しているところ。

#### 〔他省庁との連携〕

- ・総合科学技術会議／連携施策群において、「ナノバイオテクノロジー」「ナノテク研究推進と社会受容」が設置され、関係省庁と連携して実施しているところ。
- ・経済産業省が実施する研究開発プロジェクトにおいては、文部科学省など他省庁との連携の可能性について検討を行い、研究開発プロジェクトの立案、推進しているところ。

（例）ナノエレクトロニクス半導体新材料・新構造技術開発 - うち新材料・新構造ナノ電子デバイスプロジェクト、希少金属代替材料開発プロジェクト など

## 6．研究開発の実施に当たっての留意事項

事業の全部又は一部について独立行政法人の運営費交付金により実施されるもの（事業に（運営費交付金）と記載したもの）は、中期目標、中期計画等に基づき、運営費交付金の総額の範囲内で、当該独立行政法人の裁量によって実施されるものである。

## 7．改訂履歴

- (1) 平成12年12月28日付け制定。
- (2) 平成14年2月28日付け制定。材料ナノテクノロジープログラム基本計画（平成12・12・27工総第16号）は、廃止。
- (3) 平成15年3月10日付け制定。ナノテクノロジープログラム基本計画（平成14・02・25産局第8号）は、廃止。
- (4) 平成16年2月3日付け制定。ナノテクノロジープログラム基本計画（平成15・03・07産局第1号）は、廃止。
- (5) 平成17年3月31日付け制定。ナノテクノロジープログラム基本計画（平成16・02・03産局第7号）は、廃止。
- (6) 平成18年3月31日付け制定。ナノテクノロジープログラム基本計画（平成17・03・25産局第4号）は、廃止。
- (7) 平成19年4月2日付け制定。ナノテクノロジープログラム基本計画（平成18・03・31産局第13号）は、廃止。
- (8) 平成14年2月28日付け制定。
- (9) 平成15年3月10日付け制定。革新的部材産業創出プログラム基本計画（平成14・02・25産局第9号）は、廃止。
- (10) 平成16年3月7日付け制定。革新的部材産業創出プログラム基本計画（平成15・03・07産局第5号）は、廃止。
- (11) 平成17年3月31日付け制定。革新的部材産業創出プログラム基本計画（平成16・03・07産局第5号）は、廃止。
- (12) 平成18年3月31日付け制定。革新的部材産業創出プログラム基本計画（平成17・03・25産局第3号）は、廃止。
- (13) 平成19年4月2日付け制定。革新的部材産業創出プログラム基本計画（平成18・03・31産局第14号）は、廃止。
- (14) 平成20年4月1日付け、ナノテク・部材イノベーションプログラム基本計画制定。ナノテクノロジープログラム基本計画（平成19・03・20産局第1号）および革新的部材プログラム基本計画（平成19・03・19産局第4号）は、本イノベーションプログラム基本計画に統合することとし、廃止。

(IT イノベーションプログラム)

「立体構造新機能集積回路（ドリームチップ）技術開発」基本計画

電子・材料・ナノテクノロジー部

## 1. 研究開発の目的・目標・内容

### (1) 研究開発の目的

我が国半導体技術の発展は、情報家電、コンピュータ、通信装置を始め、自動車、医療機器など様々な機器の高性能化、小型化、省電力化に貢献し、情報通信産業や製造業といった我が国経済を牽引する産業の競争力を強化するものである。従来、この発展を支える半導体デバイスの製造技術は、CMOS-LSI 用プロセス技術を二次元的に微細化することにより追求されてきた。一方、微細化の進展に伴い、微細化を実現するための研究開発投資、設備投資が増大すると共に、製造レベルでのばらつき制御や歩留まり対策といった製造技術のブレークスルーも必要になってきている。

こうした状況下、半導体製品の更なる性能向上を図る上で、二次元的な微細化に加えて、三次元的な構造を採用することで、高集積化、配線遅延への対応、低消費電力化、開発期間短縮を図ろうとする取り組みが顕在化し、海外各国がその開発への取り組みを開始しているところである。こうした動きは、世界に先駆けて独立行政法人新エネルギー・産業技術総合開発機構（以下、NEDOという。）が取り組んだ高密度三次元積層技術（超高密度電子 SI 技術プロジェクト(平成 11～15 年度)における Si 貫通ビアによる三次元チップ積層技術開発、積層メモリチップ技術開発(平成 16～18 年度)における積層 DRAM 技術開発)の成果に触発されたものであり、研究開発実績としては今のところ我が国に優位性があるものの、今後、各国との開発競争は熾烈化するものと考えられる。海外の活動の活発化により、この状況を放置すれば三次元化に関する技術開発の競争力を失いかねない。

このため本プロジェクトを「IT イノベーションプログラム」の一環として実施し、これまでの同一機能のメモリの積層による高集積化とは異なり、異機能を持つチップの積層技術など、これまでにない三次元化技術により、新たな機能の発揮と飛躍的な性能向上を実現する立体構造新機能集積回路を実現するための技術を確立することを目的とする。中でも三次元化積層要素技術に重点的に取り組む。実施にあたっては、技術開発成果を最大限に活用しうる出口戦略の明確化と、そのための体制構築に留意することとする。

### (2) 研究開発の目標

#### ①多機能高密度三次元集積化技術

情報通信デバイスや信号処理デバイスの小型化、低消費電力化に必要な、Si 貫通ビアを用いた三次元積層システムインパッケージ (SiP) を実現するための設計技術および評価解析技術を含め、三次元集積化要素技術の確立を目標とする。

中間目標 (平成 22 年度)

三次元積層 SiP の設計に必要な高速シミュレーションエンジンを開発するとともに、ウェハ状態で半導体素子の機能検査を行う評価解析技術確立する。

最終目標（平成 24 年度）

実用的なアプリケーションを想定し、その要求仕様を実現する Si 貫通ビアを用いた三次元集積回路の要素技術を開発する。さらにその開発した要素技術を用いた三次元積層 SiP の試作と機能検証を行うことで、多機能高密度三次元集積化技術として開発した設計技術と評価解析技術の有効性を実証する。

#### ②複数周波数対応通信三次元デバイス技術

本研究開発項目は、平成 22 年度に行った中間評価の結果を受けて、平成 22 年度をもって終了し、最終目標を削除する。

微小可動構造 (MEMS) を用いた MEMS 回路、制御・電源回路が積層された複数周波数・複数通信方式に対応する三次元デバイスを開発する。最終的には、ボード基板上に並べられた RF 通信デバイスを小型化し SiP とすることが可能な技術確立する。

中間目標（平成 22 年度）

MEMS デバイス（キャパシタ、スイッチ等）を組み合わせた RF MEMS デバイス（可変アンテナ、可変インピーダンス回路、可変フィルタ）を開発する。また、RF MEMS 回路、制御・電源回路を三次元集積化し、機能を実証する。さらに、それらを組み合わせ、複数の周波数帯域で通信可能なマルチチップモジュール (MCM) を作成しその動作を実証する。

#### ③三次元回路再構成可能デバイス技術

本研究開発項目は、平成 22 年度に行った中間評価の結果を受けて、平成 22 年度をもって終了し、最終目標を削除する。

三次元的な積層構造を利用した回路再構成可能デバイス（フィールドプログラマブルゲートアレイ (FPGA)、動的リコンフィギャラブルプロセッサ等）技術を開発する。

平成 20 年度は、三次元積層を含むデバイス作製プロセスのフロー骨子を決定する。また、三次元配線密度等の具体的な基本仕様の策定を行うとともに、その仕様に基づき、三次元アーキテクチャの基本構造の決定と、それにより実現する目標性能及び機能を確定する。

なお、平成 21 年度以降の研究開発目標については、平成 20 年度の成果を踏まえ、以下のように定める。

中間目標（平成 22 年度）

三次元回路再構成可能デバイスに関するアーキテクチャと、それを実証する三次元集積化技術の基盤技術を開発する。

### (3) 研究開発の内容

立体構造によって新たな機能創出や飛躍的な性能向上が期待されるデバイス開発として、別紙の研究開発計画に基づき以下の項目を実施する。但し、研究開発項目②および③は、平成 22 年度に行った中間評価の結果を受けて、平成 22 年度をもって終了する。

[委託事業]

- ① 多機能高密度三次元集積化技術
- ② 複数周波数対応通信三次元デバイス技術
- ③ 三次元回路再構成可能デバイス技術

## 2. 研究開発の実施方式

### (1) 研究開発の実施体制

本研究開発は、NEDOが、単独ないし複数の原則本邦の企業、大学等の研究機関（原則、本邦の企業等で日本国内に研究開発拠点を有していること。なお国外の企業等（大学、研究機関を含む）の特別の研究開発能力、研究施設等の活用または国際標準獲得の観点から国外企業等との連携が必要な部分を、国外企業等との連携により実施することができる。）から公募によって研究開発実施者を選定後、共同研究契約等を締結する研究体を構築し、委託して実施する。

### (2) 研究開発の運営管理

研究開発全体の管理・執行に責任を有するNEDOは、経済産業省および研究開発責任者と密接な関係を維持しつつ、プログラムの目的及び目標、並びに本研究開発の目的および目標に照らして適切な運営管理を実施する。具体的には、必要に応じて設置される技術検討委員会等を通じて、外部有識者の意見を運営管理に反映させるほか、研究開発実施者からプロジェクトの進捗について報告を受けること等を行う。

## 3. 研究開発の実施期間

本研究開発の期間は、平成20年度から平成24年度までの5年間とする。

## 4. 評価に関する事項

NEDOは、技術的及び政策的観点から、研究開発の意義、目標達成度、成果の技術的意義ならびに将来の産業への波及効果等について、外部有識者による中間評価を平成22年度に、事後評価を平成25年度に実施する。なお、評価の時期については、当該研究開発に係る技術動向、政策動向や当該研究開発の進捗状況等に応じて、前倒しする等、適宜見直すものとする。

## 5. その他の重要事項

### (1) 研究開発成果の取扱い

#### ① 成果の普及

得られた研究成果については、NEDO、実施者とも普及に努めるものとする。

#### ② 知的財産権の帰属

委託研究開発の成果に関わる知的財産権については、「独立行政法人新エネルギー・産業技術総合開発機構新エネルギー・産業技術業務方法書」第25条の規定等に基づき、原則として、すべて受託先に帰属させることとする。

### (2) 基本計画の変更

NEDOは、研究開発内容の妥当性を確保するため、社会・経済的状況、国内外の研究開発動向、政策動向、プログラム基本計画の変更、第三者の視点からの評価結果、研究開発費の確保状況、当該研究開発の進捗状況等を総合的に勘案し、達成目標、実施期間、研究開発体制等、基本計画の見直しを弾力的に行うものとする。

### (3) 根拠法

本プロジェクトは、独立行政法人新エネルギー・産業技術総合開発機構法第15条第1項第2号に基づき実施する。

## 6. 基本計画の改訂履歴

- (1) 平成20年3月、制定。
- (2) 平成20年7月、イノベーションプログラム基本計画の制定により、「(1) 研究開発の目的」の記載を改訂。
- (3) 平成21年3月、研究開発項目③の目標設定のため、「(2) 研究開発の目標」の記載、および(別紙)研究開発計画の研究開発項目③「三次元回路再構成可能デバイス技術」の記載を改訂。
- (4) 平成23年3月、中間評価の結果を受けて研究開発項目を見直した結果、研究開発項目①の実施内容を変更し、②・③を削除するため改訂。

(別紙) 研究開発計画

## 研究開発項目①「多機能高密度三次元集積化技術」

### 1. 研究開発の必要性

微細化が進む SoC デバイスでは、配線抵抗、配線容量の増大に起因する信号遅延時間と消費電力の増加が顕在化してきている。配線抵抗の低減には、Si 貫通ビアを活用した半導体チップの三次元集積化が有効である。さらにこの技術を用いて CMOS 半導体デバイスと他の機能デバイスとの三次元集積化を行えば、従来にない多機能デバイスの実現が可能となる。このように Si 貫通ビアを活用した、CMOS 半導体デバイスの三次元集積化および他の機能デバイスとの積層構造まで含めた多機能高密度三次元集積化技術の開発は、配線遅延、消費電力問題に対する解決策の一つを提供するとともに、新たな多機能デバイスの実用化を促進し、電子・情報技術の競争力を強化するものである。

多機能高密度三次元集積化技術で実現される次世代三次元積層 SiP では、特長ある CMOS 半導体デバイスおよび機能デバイスの開発とともに、次世代三次元積層 SiP の開発効率向上及び信頼性向上のための設計技術及び評価解析技術が必要である。また、CMOS 半導体デバイス及び機能デバイスを相互に接続可能とするインターフェースの規格化も必要となる。設計技術と評価解析技術の有効性については、次世代三次元積層 SiP での実証が必要である。

### 2. 研究開発の具体的内容

#### (1) 次世代三次元集積化設計技術の研究開発

- ・ 電気系三次元シミュレーション技術として、次世代三次元積層 SiP の設計段階で使用される電気回路シミュレーションエンジン及び三次元電磁界シミュレーションエンジンの計算能力を改善し実用的設計ツールとして構築する。なお、本研究開発は、最終目標を平成 22 年度末をもって前倒し達成したため、平成 23 年度以降は実施しない。
- ・ 回路動作を安定化する信号品質安定化技術（シグナルインテグリティ）、電源安定化技術（パワーインテグリティ）を開発する。
- ・ CMOS 半導体デバイス、機能デバイス等を、相互に接続可能とする機械的・電氣的インターフェースを設定し、技術仕様書を策定する。

#### (2) 次世代三次元集積化のための評価解析技術の研究開発

- ・ CMOS 半導体デバイスの機能をウェハ形状にて一括検査する技術として、300mm ウェハに対応可能な高速デジタル信号端子を含むプローブ方式、およびプローブカードとテスト装置を接続する高速テスト信号伝送技術を開発する。また、そのプローブ方式を用いたプローブカードにおいて電力供給安定化手法を開発する。さらにバーンイン試験及びバーンイン試験時の温度制御技術を開発する。なお、本研究開発は、最終目標を平成 22 年度末をもって前倒し達成したため、平成 23 年度以降は実施しない。
- ・ 三次元集積化の熱評価解析技術、積層接合評価解析技術を開発する。
- ・ 薄化したウェハの評価解析技術を開発する。



### (3) 次世代三次元集積化の共通要素技術開発と設計基準策定

- ・ 実用的なアプリケーションを想定した三次元集積化 S i P の実現に必要な三次元積層の要素技術を開発する。具体的には、200mm 径以上のウエハサイズに適用可能なウエハ薄層化技術・高精度位置合わせ技術およびウエハ貼り合わせ技術等を開発する。また、三次元集積化デバイスの構成単位の構造の相異や、電氣的に大きく異なる信号を扱うことによって生じる課題、また三次元集積化素子特有の効果を実現するために解決が必要となる課題を明確化し、解決するための要素技術を開発する。
- ・ 前記の要素技術を適用して、実用的かつこれまでにない機能または特性を有する三次元集積化 S i P デバイス、具体的には画像処理システム・ロジックとメモリを積層したデバイス等を試作し、三次元集積化の効果を実証するとともに、有効性が実証された TSV に関わる設計基準・レイアウト基準と TSV 形成工程のプロジェクト仕様標準を策定する。
- ・ 出口戦略に基づいて三次元化応用製品を想定した場合に必須となる、三次元化集積化回路部分における信号授受・電源供給・制御手法等の検討と試作評価を行う。
- ・ 次世代三次元集積化のための共通要素技術設計基準をプロジェクト標準ライブラリとして策定し、国際標準化提案を行う。

## 3. 達成目標

### (1) 次世代三次元集積化設計技術の研究開発

中間目標として、平成 22 年度末までに以下の目標を達成する。

- ・ 電気系三次元シミュレータにおいて、現状に比較し 2 桁多いメッシュ数及び 8 倍の信号幅の解析対象を、現状と同等の計算時間で解析するシミュレーションエンジンを開発する。
- ・ 三次元集積化における信号品質安定化技術、電源安定化技術を開発する。

最終目標として、平成 24 年末までに以下の目標を達成する。

- ・ 現状に比較し 2 桁多いメッシュ数および 8 倍の信号幅の解析対象を、現状と同等の計算時間で解析することができる電気系三次元シミュレータの開発と評価を完了する。  
なお、本目標は平成 22 年度末をもって前倒し達成した。
- ・ CMOS 半導体デバイス、機能デバイス等を、相互に接続可能とする機械的・電氣的インターフェースを設定し、技術仕様書を策定する。
- ・ デジタル・アナログ混載回路、多電源化に対応した素子内蔵インターポーザの設計基盤技術を開発し、その技術仕様書を策定する。

### (2) 次世代三次元集積化のための評価解析技術の研究開発

中間目標として、平成 22 年度末までに以下の目標を達成する。

- ・ 全体で 30 万端子を有し、そのうち高速デジタル信号テスト端子においては 15Gbps 以上の信号に対応可能な 300mm ウエハに対応するプローブ方式の基本技術を開発する。

- ・ 多端子プローブカードに関して非接触接続方式の実現可能性を検証する。
- ・ 次世代三次元集積化のための熱評価解析技術及び積層接合評価解析技術を開発する。
- ・ 10  $\mu$ m に薄化した 300mm ウェハの評価解析技術を開発する。

最終目標として、平成 24 年度末までに以下の目標を達成する。

- ・ 300mm ウェハに対応するプローブとして 30 万端子以上の被テスト端子への一括アクセスが可能であることを確認する。また、高速デジタル信号テスト端子においては、15Gbps 以上の信号を用いた検査が可能であることを確認する。
  - ・ 平成 22 年度末までに開発したプローブをテスターと接続して評価を行い、プローブカードとテスト装置間において 500Mbps 以上の高速テスト信号を含む 4 万系統のテスト信号伝送が可能であることを実証する。
  - ・ 一つのプローブカードにおいて、10kW 以上の安定した電力供給技術を開発する。
  - ・ プローブカードにおけるチップテスト時、温度範囲 $-40^{\circ}\text{C}\sim+125^{\circ}\text{C}$ においてバーンイン試験及びバーンイン試験を可能とする温度制御技術を開発する。
- なお、以上 4 項目の最終目標は、平成 22 年度末をもって前倒し達成した。
- ・ ひとつの三次元積層 SiP あたり 20W 以上の発熱に対応する放熱構造の評価解析技術を開発する。
  - ・ 自動車内を想定した高温環境下での放熱冷却構造の最適化設計と、評価解析技術の開発を行い放熱設計技術仕様書を策定する。

### (3) 次世代三次元集積化の共通要素技術開発と設計基準策定

最終目標として、平成 24 年度末までに以下の目標を達成する。

- ・ 画像処理システム（視覚支援システム等）に必要なデジアナ混載回路の三次元積層 SiP を試作・評価を行い、電源供給技術、高速信号伝送技術等の要素技術を開発し技術仕様書を策定する。
- ・ ロジックと超ワイドバスメモリ（ビット幅 2k 本以上、伝送能力 100GB/sec 以上）をインターポーザで相互接続した三次元積層 SiP の試作・評価を行い、伝送能力や消費電力などの特性面における三次元積層の優位性を実証する。
- ・ TSV をはじめとする共通要素に関わる設計基準・レイアウト基準・プロセス工程基準を、プロジェクトの標準的仕様として策定しライブラリ化する。更に超ワイドバスによる信号授受の開発の成果を活用して、更なる制御手法の改善検討と試作評価を行い、標準化を含めた展開の見通しを得る。
- ・ ヘテロロジーニアス集積化を想定したインターポーザ、WLP（ウェハレベルパッケージ）技術の三次元集積化における有効性を示す。

なお、本項目「(3) 次世代三次元集積化の共通要素技術開発と設計基準策定」は、旧基本計画における目標「(3) 次世代三次元集積化設計技術及び次世代三次元集積化のための評価解析技術の有効性実証」に記載の内容を、中間評価の結果を受けて改訂したものである。

## 研究開発項目② 「複数周波数対応通信三次元デバイス技術」

本研究開発項目は、平成22年度に行った中間評価の結果を受けて、平成22年度をもって終了する。

### 1. 研究開発の必要性

情報通信技術分野において、安全で信頼性の高いネットワーク社会の構築のため、使用環境と使用サービスに合わせて最適な通信方式、通信帯域を利用可能とする複数周波数対応デバイスの実現が期待されている。これに対し従来の通信デバイスでは、必要となる通信方式に合わせてそれぞれのアンテナあるいはRF回路をスイッチにより切替えて対応していたが、3種類以上の方式を小型の通信端末に装備することは体積や消費電力等で課題が多い。これら課題を解決する、小型、低消費電力の複数周波数対応RFデバイスを世界に先駆けて開発することは、我が国の情報通信技術の競争力を高めるものである。

実用的な小型、低消費電力の複数周波数対応デバイスは、MEMS技術と三次元集積化技術の融合により実現可能であると期待される。そのため、これまでMEMS技術により開発されてきたスイッチ、キャパシタ、インダクタ等の基本デバイスを組み合わせ、可変アンテナ、可変インピーダンス回路、可変フィルタ等の可変RF MEMS回路を実現すると共に、これらRF MEMS回路と制御・電源回路を三次元集積化したRFフロントエンドを形成し、ベースバンドデバイスを含めたSiP化まで視野に入れた技術開発が必要となる。また、RF MEMSデバイスとしては、今後移動体通信システムで中心的に使用される予定の周波数帯域（700MHz～6GHz）での技術開発が必要である。

### 2. 研究開発の具体的内容

#### (1) 複数周波数対応可変RF MEMSデバイスの研究開発

- 700MHz～6GHzにおいて、中心周波数、周波数帯域幅等の周波数特性を可変とするRF MEMSデバイス（可変アンテナ、可変インピーダンス回路、可変フィルタ）を開発する。
- RF MEMSデバイスの制御回路、電源回路を開発し、それらを三次元集積化するための高周波回路実装技術を開発する。

#### (2) 複数周波数対応通信フロントエンド回路の研究開発

- RF MEMSデバイス、制御・電源回路を積層した複数周波数対応通信デバイスとベースバンドデジタル回路を含めた通信フロントエンド回路をマルチチップモジュール（MCM）構成で実装し、複数周波数に対応した通信動作を実証する。
- 複数周波数対応通信三次元デバイスの小型化、高性能化、低動作電圧化、さらに三次元積層構造での高周波設計技術に関する基盤技術を確立する。

### 3. 達成目標

#### (1) 複数周波数対応可変RF MEMSデバイスの研究開発

中間目標として、平成22年度末までに以下の目標を達成する。

- 700MHz～6GHzに含まれる周波数帯域において、MEMSデバイスのスイッチ、キャパ

シタ、インダクタを組み合わせ、可変アンテナ、可変インピーダンス回路、可変フィルタの動作を実証する。さらに低損失及び小型化のための指針を示す。

- ・ 複数周波数対応通信三次元デバイスの三次元積層構造での高周波回路実装技術を開発する。
- ・ MEMS デバイスにおいて、挿入損失 5dB 以下、通過帯域幅 10%の可変フィルタを開発する。
- ・ MEMS デバイスにおいて、挿入損失 2dB のインピーダンスマッチング回路を開発する。

最終目標として、平成 24 年度末までに以下の目標を達成する。

- ・ MEMS デバイスのスイッチ、キャパシタ、インダクタを組み合わせ、700MHz～6GHz の周波数帯に含まれる複数の通信方式で使用可能な可変アンテナ、可変インピーダンス回路、可変フィルタのモジュールを開発する。
- ・ MEMS 回路、制御・電源回路を三次元集積化し、機能を実証する。さらに、シリコン LSI の積層による SiP 化のために必要な実装技術を開発する。

## (2) 複数周波数対応通信フロントエンド回路の研究開発

中間目標として、平成 22 年度末までに以下の目標を達成する。

- ・ RF MEMS デバイスを組み合わせ、複数の周波数帯域において通信可能な MCM を作成しその動作を実証する。

最終目標として、平成 24 年度末までに以下の目標を達成する。

- ・ 複数周波数対応デバイスとして、MEMS デバイスをデジタル制御あるいはアナログ制御する制御回路デバイスを可能な限り LSI 化し、700MHz～6GHz の周波数帯域を MEMS デバイスの可変域に対応して分割した MCM を開発する。この MCM において、通信方式ごとの個別回路を MCM 構成にて実装した場合に比較し、実装面積で 1/8 に小型化可能なことを実証する。
- ・ 複数周波数対応通信三次元デバイスを SiP 形態で実現するために必要な構成を提案する。

## 研究開発項目③「三次元回路再構成可能デバイス技術」

本研究開発項目は、平成22年度に行った中間評価の結果を受けて、平成22年度をもって終了する。

### 1. 研究開発の必要性

FPGA、リコンフィギャラブルプロセッサに代表される回路再構成可能デバイスは、製造後に回路構成を書き込むことで所望の機能を実現するため、量産した同種のデバイスを複数の異なる用途に用いることが可能であり、製品化に必要な初期コストを低く抑えることができるという特長がある。また、回路の書き換えや動作中の動的な再構成が可能なデバイスも開発されており、これらは、製造後であっても、回路構成の変更により、機能の改良が可能だけでなく、デバイス上の不具合や故障を回避する機能も実現できる可能性がある。このように、回路再構成可能デバイスは、従来のSoCにない優れた特長を有している。しかしながら、面積、動作速度、消費電力特性がSoCに劣るという、基本的な構成に起因する問題点を抱えており、このことが適用分野拡大を阻む要因となっている。このデバイスに対して革新的技術を開発することで、SoC、特にスタンダードセルとの比較において市場優位性を高めることができれば、適用分野の拡大による新規市場開拓につながり、我が国の電子・情報技術の競争力を高めるものである。

革新的な回路再構成可能デバイスは、三次元化とその構造上のメリットを活用した新規アーキテクチャにより実現される可能性があり、従来の回路再構成デバイスに比較して優れた特性を有するだけでなく、積層数の自由度を活かした高い拡張性や複数機種間での積層チップの一部共有による容易な機種展開などの特長も期待される。加えて本構造に最適な素子を用いることで、さらに競争力を高めたデバイスとなる可能性もある。そのために、三次元構造の特長を活かす回路再構成可能デバイスのアーキテクチャ、それに対する設計技術、さらに三次元回路再構成可能デバイスを実現する素子技術および三次元集積化技術の研究開発が必要である。

### 2. 研究開発の具体的内容

#### (1) 三次元回路再構成可能デバイスに関する三次元集積化技術の研究開発

三次元回路再構成可能デバイスに適した三次元配線構造、素子構造等を実現するために必要となるウェハ積層技術を開発する。

具体的には、三次元回路再構成可能デバイスに適した三次元配線構造を開発する、さらにウェハレベル積層技術の基盤技術として、200mm径以上のウェハサイズに適用可能な高精度位置合わせ技術およびウェハ貼り合わせ技術を開発する。

#### (2) 三次元回路再構成可能デバイスに関するアーキテクチャおよび設計技術の研究開発

三次元構造の特長を活かすアーキテクチャおよびそのアーキテクチャに対応する設計技術の開発（三次元対応ソフト開発環境の構築、三次元配置配線手法の開発等）を行う。さらに、製造後の不具合・故障回避技術を開発する。

具体的には、動的リコンフィギャラブルプロセッサ、FPGA、汎用プロセッサ、メモリ等の機能ブロックを柔軟に組み合わせたハイブリッドアーキテクチャを開発し、三

次元構造による性能向上の効果と高い機能拡張性を実証する。

### (3) 三次元回路再構成可能デバイスに関する素子技術の研究開発

三次元積層が可能な構造を有し、デバイスの特性改善を実現する素子技術を開発する。

## 3. 達成目標

本研究開発は、三次元的なデバイス構造、回路構造を利用することで、従来より面積その他の特性の改善を図るとともに、高い拡張性、容易な機種展開など特長をもつ三次元回路再構成可能デバイスを実現する技術の開発を目標とする。

なお、平成21年度以降の具体的な達成目標については、平成20年度の成果を踏まえて、以下のように定める。

### (1) 三次元回路再構成可能デバイスに関する三次元集積化技術の研究開発

平成20年度末までに以下の目標を達成する。

- ・ 基礎的な実験を行い、その結果に基づき、配線密度その他の三次元構造に関する基本仕様を具体的に策定する。
- ・ 上記の実験結果及びアーキテクチャ、素子構造の検討結果に基づき、三次元積層プロセスを含むデバイス作製のプロセスフロー骨子を決定する。

中間目標として、平成22年度末までに以下の目標を達成する。

- ・ 三次元回路再構成可能デバイスを実現する三次元集積化技術のうちウェハ接合技術として、 $1\text{mm}^2$ 程度の面積を占める三次元集積化構造のコア間で、1000ピン以上の接続を可能とするシリコン貫通ビア、バンプ構造等を開発し、200mm径以上のウェハを用いて実証する。
- ・ 三次元回路再構成可能デバイスを実現する三次元集積化技術のうち高精度位置合わせ技術を開発し、200mm径以上のウェハ貼り合わせで、 $5\mu\text{m}$ 以下の位置合わせ精度を実証する。

最終目標として、平成24年度末までに以下の目標を達成する。

- ・ ウェハ接合技術として、200mm径以上のウェハを4層以上積層し、 $1\text{mm}^2$ 程度の面積を占める三次元集積化構造のコア間で、1000ピン以上の接続を実証する。
- ・ 高精度位置合わせ技術として、200mm径以上のウェハを4層以上積層し、 $5\mu\text{m}$ 以下の位置合わせ精度を実証する。

### (2) 三次元回路再構成可能デバイスに関するアーキテクチャおよび設計技術の研究開発

平成20年度末までに以下の目標を達成する。

- ・ 三次元構造に関する基本仕様、その他の検討結果に基づいて、開発する三次元アーキテクチャの基本構造を決定するとともに、その目標性能及び機能を確定する。

中間目標として、平成22年度末までに以下の目標を達成する。

- ・ 三次元的な積層構造を利用した動的リコンフィギャラブルプロセッサのアーキテクチャを開発し、論理設計を完了する。このアーキテクチャを用いた4層積層において、二次元構成に比較して、消費電力当たりの性能が1.25倍以上となること

を実証する。

- ・ 三次元的な積層構造を利用した FPGA を開発し、論理設計を完了する。このアーキテクチャを用いた 4 層積層において、二次元構成に比較して、消費電力当たりのゲート数が 1.25 倍以上となることを実証する。

最終目標として、平成 24 年度末までに以下の目標を達成する。

- ・ 動的リコンフィギャラブルプロセッサ、FPGA、汎用 CPU、メモリ等の機能ブロックを柔軟に組み合わせたハイブリッドアーキテクチャを開発する。さらに、200mm 径以上のウェハ積層技術を用いて 4 層以上積層し、三次元回路再構成可能デバイスとしての動作を実証する。

### (3) 三次元回路再構成可能デバイスに関する素子技術の研究開発

平成 20 年度末までに以下の目標を達成する。

- ・ 三次元積層が可能な構造を有し、かつ、回路再構成可能デバイスの特性改善を実現可能なトランジスタの素子構造を具体的に検討し、その目標性能を確定する。

平成 20 年度において、トランジスタ素子候補の特性検討と目標性能の確定については一定の結論が得られたため、素子技術の研究開発としては平成 21 年度以降の開発目標を定めない。なお、今後の技術開発状況により、再検討をすることがある。