

ITイノベーションプログラム

「低炭素社会を実現する超低電圧デバイスプロジェクト」

(2010年度～2014年度 5年間)

(中間評価)

プロジェクトの概要 (公開)

○「事業の位置づけ・必要性」、及び「研究開発マネジメント」(NEDO)

○「研究開発成果」、及び「実用化の見通し」(住広PL)

NEDO

電子・材料・ナノテクノロジー部

2012年 8月30日

1/42

目次

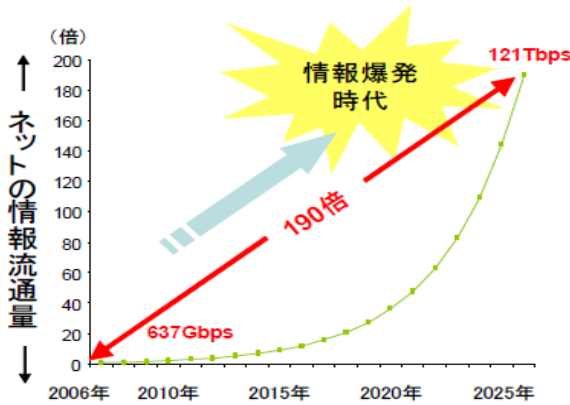
公開

I. 事業の位置づけ・必要性について	(NEDO)
II. 研究開発マネジメント	(NEDO)
III. 研究開発成果	(住広PL)
IV. 実用化、事業の見通しについて	(住広PL)

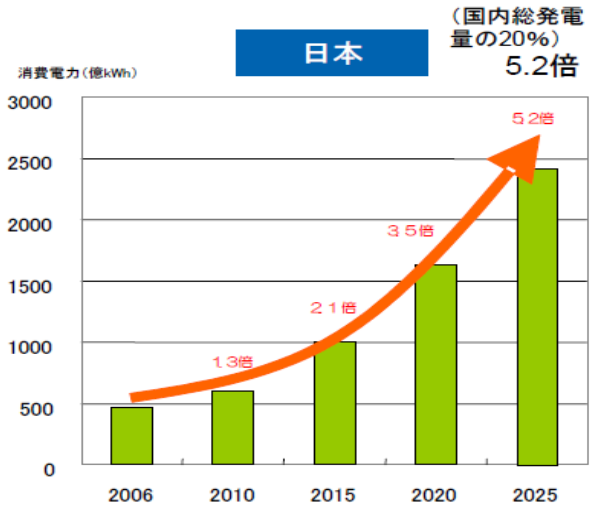
2/42

背景

情報爆発時代の到来



IT機器の消費電力量が急増



グリーンITイニシアティブの推進 平成20年10月 経済産業省商務情報政策局 高濱 航 氏 発表資料より

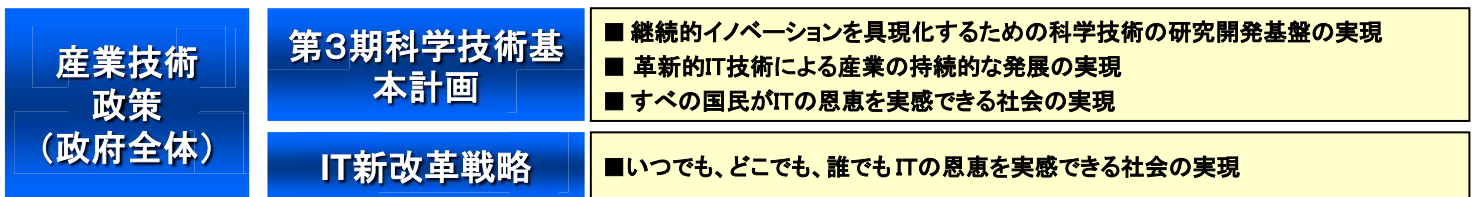
http://www.csai.jp/semina/2008/1006_semina.html

事業の目的

低炭素社会の実現のため、IT機器の飛躍的な低電力化が必要

IT機器の消費電力を1/10とする超低電圧(0.4V)動作のデバイスコア技術を早期に開発

経済産業省 研究開発プログラム「ITイノベーションプログラム」の1テーマとして実施



ITイノベーションプログラム

目的:我が国が目指す高度情報通信ネットワーク社会の構築に向け、経済成長戦略大綱、IT新改革戦略、科学技術基本計画及び技術戦略マップ等に基づき、情報化の進展に伴うエネルギー消費量の増大等の課題にも考慮しつつ、その基盤となる情報通信機器・デバイス等の情報通信技術を開発し、実社会への利用を促進する。

● I. ITコア技術の革新 [i]世界最先端デバイスの先導開発

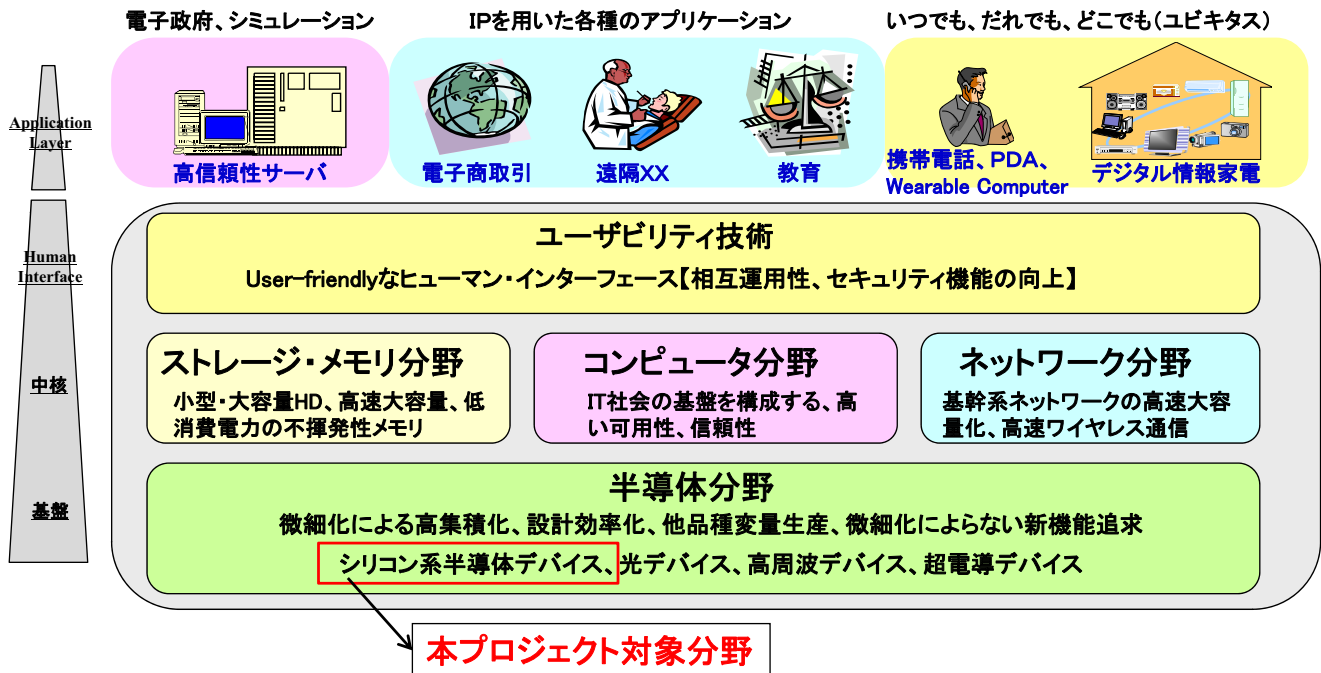
— ドリームチップ開発プロジェクト

— 低炭素社会を実現する超低電圧デバイスプロジェクト

実行プログラム (経済産業省)

「高度な情報通信社会の実現」、「IT産業の国際競争力の強化」のため、
情報技術開発分野の半導体における技術開発の一環として実施。

●高度情報通信社会とそれを支える技術分野



事業目的:ナノテクノロジーで培われた新規材料・デバイス構造に立脚して、
集積回路の低電圧動作と高機能・高集積化を実現し、集積回路
の低電力化を通してエレクトロニクス機器の消費電力を大幅に
低減する技術を確立する。

低炭素社会の実現には、飛躍的な低電力化が必須
デバイスの低電圧動作と不揮発動作が不可欠な技術要素

・抵抗変化型BEOLデバイス ・集積化基盤技術

省エネルギー、地球温暖化対策に貢献する技術

ナノテクノロジーで培われた新規の機能材料や新規の
デバイス構造

・不揮発性メモリ ・ナトランジスタ構造デバイス

日本の技術優位性により
産業競争力強化に繋がる技術

実用化まで長期間を要するハイリスクな「基盤技術開発」

産学官共同研究体制が
適する

欧米において、大型の産学連携ナノエレクトロニクス
拠点が飛躍的に整備されつつある

イコールフットイング

NEDO技術開発機構が関与すべき事業

実施の効果

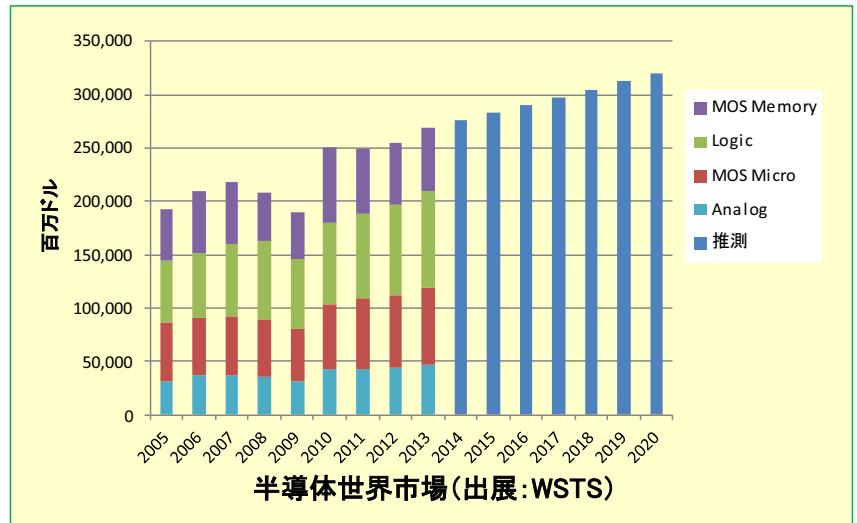
公開

低炭素社会を実現する超低電圧デバイスプロジェクトの総事業費 : 100.5 億円/5年間

経済効果

半導体市場予測:2020年に32兆円
(2014年以降、年2.5%成長を仮定)

2020年に
ロジック、マイコン:8000億円
メモリ:1兆2000億円



省エネ効果

本研究開発が対象とする集積回路を用いた産業機器やコンシューマ機器は、大幅な省エネルギー効果が期待できる。

2020年に 156.5億kWh/年

CO2
換算

667万トン/年

他国に先駆けて省エネ機器を実現することで、2020年において、
不揮発デバイスは、デジタル家電用混載メモリで5割、データセンター用固体ストレージ等で3割
低電圧デバイスは、IT機器用汎用マイコン等において3割の普及率を目指す。

※成功確率を100%で計算

事業原簿:1~5ページ

7/42

他研究機関の開発状況

公開

赤字は競合するテーマ

組織	IMEC	MINATEC	CEA/LETI	Albany NanoTech	ITRI Electronics & Opto. Res. Lab	Fusionopolis	超低電圧デバイスプロジェクト (Tsukuba - TIA)
国・地域	ベルギー	フランス	フランス	米国	台湾	シンガポール	日本
ターゲット	ナノエレクトロニクス CMOS 技術 ヘルスケア	マイクロエレクトロニクス、 ナノテクノロジー、 エネルギー	マイクロエレクトロニクス、 情報、ヘルスケア	CMOS 技術 (リソグラフィ中心)	光電子融合、 MRAM、3D 積層 BEOL Lab	R&D ファンダリ CMOS& MEMS プロセス	超低電圧不揮発デバイス・基 盤技術 BEOL プラットフォーム
主要テーマ	<ul style="list-style-type: none"> CMOS 微細化 (<20nm) 新構造デバイス ナノカーボン、新材料不揮発デバイス(MRAM, 相変化, RRAM, 原子移動デバイスメモリ応用) 	<ul style="list-style-type: none"> マイクロ・ナノテクノロジー (300mm) MEMS (200mm) バイオテクノロジー エネルギー 	<ul style="list-style-type: none"> FD-SOI (量産試作 w/ ST 応用) ヘルスケア・医療 通信 医療・安全 運輸・環境・環境モニタ 防衛・安全 宇宙 	<ul style="list-style-type: none"> CMOS 微細化 (<20nm) 低電力志向 FD-SOI 開発中 グラフェン、CNT 応用 デバイス(大学) 	<ul style="list-style-type: none"> ウエハ 3次元積層、実装 相変化を用いた新材料不揮発メモリ 	<ul style="list-style-type: none"> ストレージ応用 新材料不揮発デバイス(相変化, MRAM) CMOS 基板上 BEOL 工程新デバイス付加 	<ul style="list-style-type: none"> 新材料不揮発デバイス 磁性変化、相変化、原子移動等 BEOL プロセスで構築 集積化基盤技術 ナノカーボン (CNT, グラフェン) 配線、ナノ構造トランジスタ (SOTB) BEOL 工程で異種材料を融合するプラットフォーム
クリーンルーム面積 (ウエハ径)	4800m ² 300mm 3200m ² 200mm	8000m ² (300, 200 mm)	8000 m ² (200, 300, MEMS 用)	北(3200m ²) 南(3000m ²) (300mm)	200 mm	5200m ² (200mm)	SCR(3000m ²)(300mm) 研究ライン (1500m ²)
参加企業 組織・大学	<ul style="list-style-type: none"> ASML, Infineon, NXP, Bosch, SOITEC, STMicro, Thales, Thomson Silicon Components. エルピーダ、パナソニック 	<ul style="list-style-type: none"> Leti, STMicro, Semitool AIST, NIMS, MMC (日本) 	<ul style="list-style-type: none"> MINATEC、IBM, STMicro, Micro Machine Center (日本) 	<ul style="list-style-type: none"> IBM, Global Foundries, ASML, Micron, Toshiba, 東エ、AMAT, ASML、Vistec, Sematech 		<ul style="list-style-type: none"> 日米欧の 32 社参加(日東電工等) スタンフォード大、精華大学など26校がパートナー 	<ul style="list-style-type: none"> 組合: 荏原、東芝、東京エレクトロン、NEC、富士通、富士通セミコン、日立国際電気、日立、三菱、ルネサスエレクトロニクス 産総研、慶応大学、神戸大、芝浦工大、東京大学、電気通信大、立命館大
その他	研究者 1,950 (職員 1200) 予算 3億€(2011年) 3.2億€(2011年)	研究者2,400+産600 学生 1,200 予算 3.5億€ (内公的資金 1億)	研究者 1,500 学生 20 予算 2.5億€ (2011年) 25%政府資金	予算 50億ドル (4500億円/年)	予算 300億円		研究者 55 2010年度(20.5億円) 2011年度(22.9億円) 2012年度(22億円) (総額 100億/5年)

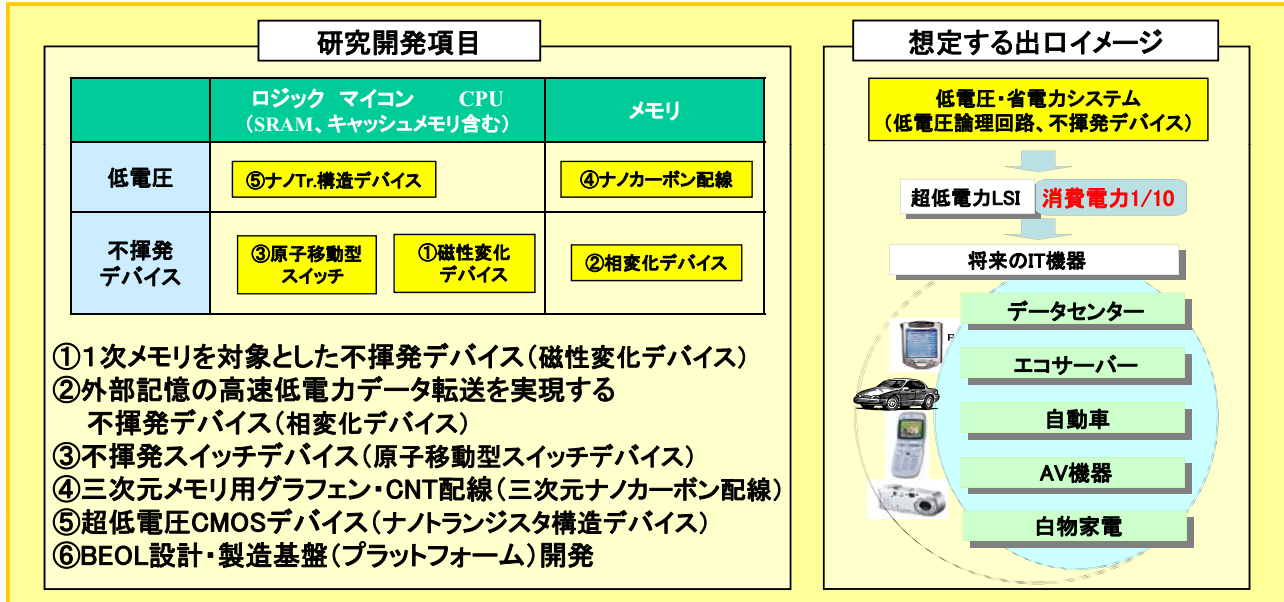
事業原簿:1~5ページ

8/42

IT機器の消費電力を1/10とする超低電圧(0.4V)動作のデバイスコア技術を早期に開発
 ⇒ CPUやメモリからなるロジック集積回路の超低電圧化、低消費電力化を目指す

従来システム (CMOS-CPU+揮発デバイス+メカニカルデバイス)

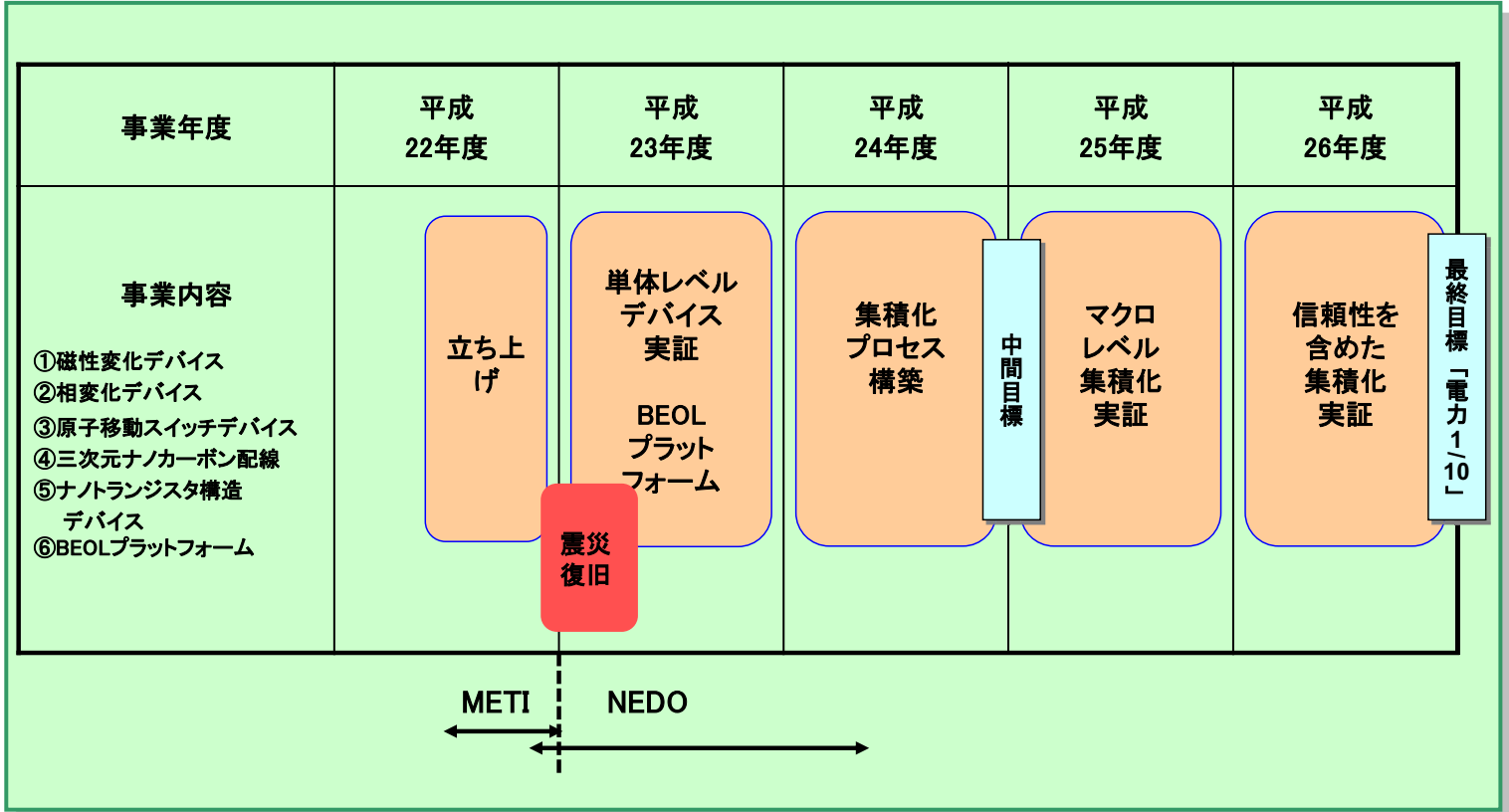
→ 低電圧・省電力システム(低電圧論理回路+不揮発デバイス)へ転換



研究開発項目	内容	研究開発目標(最終目標)	根拠
①磁性変化デバイス	低電力化要件(低電圧読み書き、不揮発)と、混載SRAMを置き換えるための要件(高集積、高速、高書き換え耐性)を満たすメモリの開発を行う。	・メモリマクロで、読み書き電圧0.4V以下、読み書き電流100μA以下、読み書き時間10ns(電力量0.4pJ以下)、1.2V動作SRAMの1/10の電力の実証 ・リテンション10年、書換回数10 ¹⁶ 回の実証	混載SRAMと同等の読み書き特性和書換耐性を実現し、低電力、混載メモリ容量増大、チップサイズ小、高信頼性などの新たな付加価値を実現する目標に設定
②相変化デバイス	外部記憶の圧倒的な消費電力低減を実現するため、高集積、高速、低電力の要件を満たすメモリの開発を行う。	・データ転送速度400MB/sの高速、従来の1/10の電力66mWの低電力動作実証 ・書換回数10 ¹⁶ 回以上	上位ストレージを2017年に相変化デバイスで置き換えるために、要求性能トレンドから設定
③原子移動スイッチ	ロジック集積回路の低消費電力化・低電圧化に対応可能であり、かつ、スイッチの書き換え時、および保持時の低消費電力化を実現する超低電圧・不揮発スイッチデバイスの開発を行う。	・本スイッチにより配線切り換えを行ったロジック集積回路が0.4Vで動作可能であり、消費電力がSRAMスイッチにより配線切り換えを行った従来型1.2V動作ロジック集積回路の1/10以下 ・スイッチ素子面積が同世代SRAMスイッチの1/20以下	プログラマブルロジックデバイスを想定し、原子移動型スイッチの抵抗特性による低電圧適応性、超小型性によるスイッチ容量および配線容量・抵抗低減、不揮発性による待機時電力低減により、電力削減目標を設定
④三次元ナノカーボン配線	三次元集積を実現するための、微細幅・超低電気抵抗、超高アスペクト比配線・材料技術を開発する。	・微細線幅(≦20nm)、超距離(0.7mm)、低抵抗(シート抵抗<3Ω/□)の配線実証 ・微細直径(90nm)、超高アスペクト比(30)のコンタクトホールへのナノカーボン材料埋め込み実証	4~8Tbit 三次元縦型NANDフラッシュメモリを想定し、横方向配線と縦方向配線の目標性能を設定
⑤ナトランジスタ構造デバイス	しきい値ばらつきを低減でき、かつ、使用状態に応じて動作条件を変化させる基板バイアス電圧制御が可能な構造を有するナトランジスタ構造デバイスを開発すると共に、それを集積するために必要な技術開発を行う。	・従来デバイスに比較して消費電力を1/10に低減できる基盤技術を確立	Si-CMOSでは電源電圧V _{dd} =0.4V付近で、動作あたりの消費エネルギーが最低(効率最大)になる。アプリケーションに合わせた適応制御をおこなない、出来る限り動作電圧を下げて、高効率化を図る
⑥BEOLプラットフォーム	300mmCMOS基板上に、下地CMOSとデザインルールの整合性を保ちながら、配線層の一部として様々な新材料・新構造デバイスを形成するための製造基盤及び設計基盤を開発する。	・新材料や新構造デバイスに共通に使い、それぞれのデバイスの特性を損なうことのない、BEOLプロセスレシピ、汚染管理プロトコルの作成 ・PDK(Process Design Kit)の作成 ・早期確立により、他のデバイス検証に使用	共通基盤技術により、新材料・新構造デバイスの効率的、効果的研究開発環境を構築製造基盤および設計基盤技術の目標をそれぞれ設定

研究開発スケジュール

公開



開発予算

公開

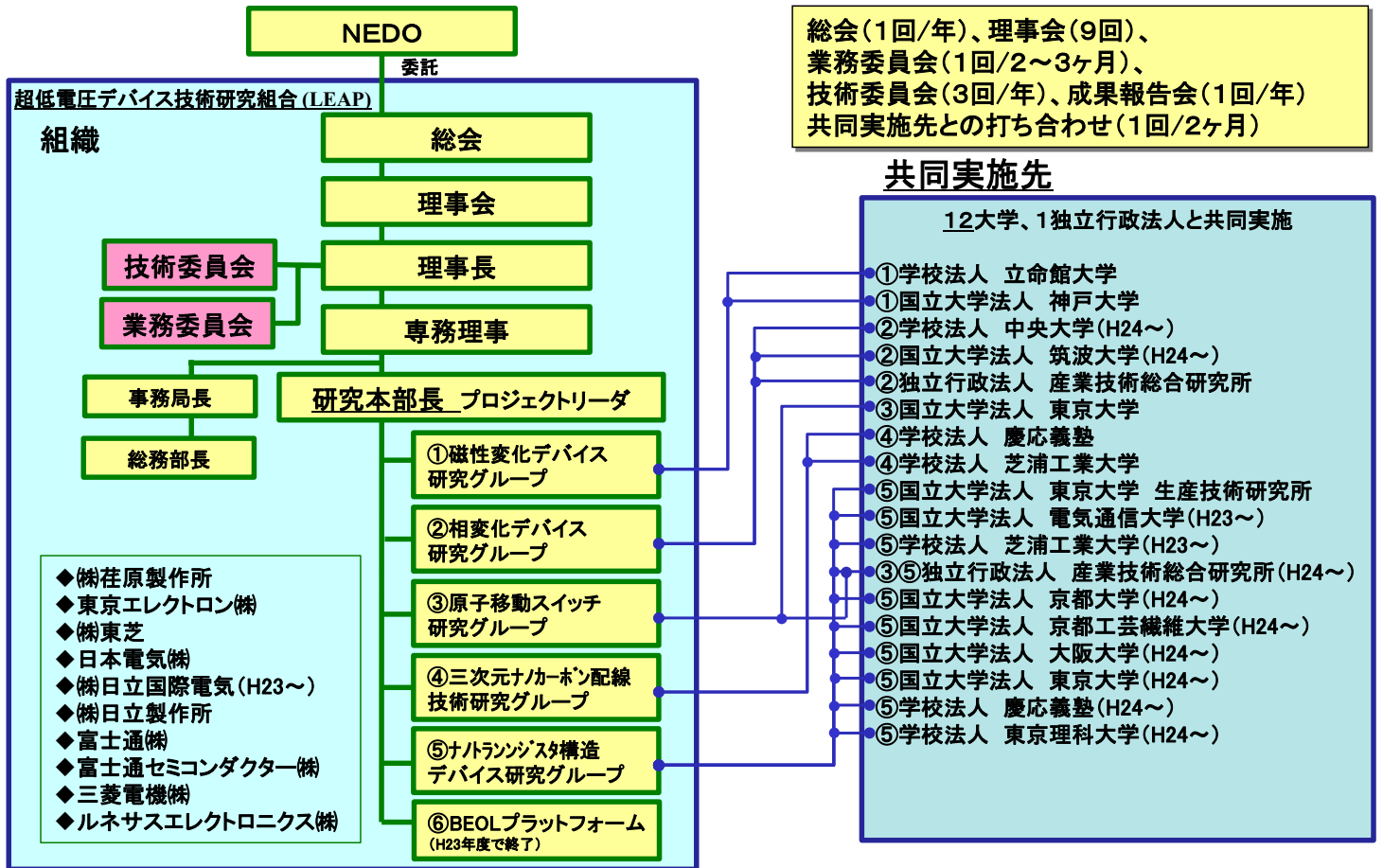
(単位: 百万円)

	H22年度	H23年度	H24年度	H25年度	H26年度	合計
①磁性変化デバイス	244	366	604			1,214
②相変化デバイス	592	299	558			1,449
③原子移動スイッチ	289	264	415			968
④三次元ナノカーボン配線	712	487	376			1,575
⑤ナトランジスタ構造デバイス	208	201	324			733
⑥BEOLプラットフォーム	-	682	-			682
総開発予算	(2,045) ^{※1}	2,299	2,277			6,621
(内)共同実施費	25	63	96			184
(内)設備購入・リース	1,068	632	384			2,084

※1: 経済産業省直執行分

研究開発の実施体制

公開



組合参加企業

公開

LEAP; Low-power Electronics Association & Project

超低電圧デバイス技術研究組合 (LEAP*)
富士通、三菱電機、日立製作所、日本電気、東芝、ルネサスエレクトロニクス、荏原製作所、東京エレクトロン、日立国際電気、富士通セミコンダクター

実施場所: TIAナノエレ拠点(産総研スーパークリーンルーム)

研究開発項目	参加企業名
①磁性変化デバイス	富士通(株)、富士通セミコンダクター(株)、三菱電機(株)
②相変化デバイス	(株)日立製作所、(株)日立国際電気
③原子移動スイッチ	日本電気(株)
④三次元ナノカーボン配線	(株)東芝、東京エレクトロン(株)、(株)荏原製作所
⑤ナトランジスタ構造デバイス	ルネサスエレクトロニクス(株)
⑥BEOLプラットフォーム	参加企業共同開発

事業原簿: 37ページ

共同実施体制とその役割

公開

	共同実施先	研究開発に対する役割
研究開発項目①	立命館大学(道関 隆国教授)	低電圧動作SoC用の素子モデリングとシステム応用検討
	神戸大学(吉本 雅彦教授 川口 博准教授)	低電圧動作のメモリ用センス回路設計と高速化アーキテクチャ検討
研究開発項目②	中央大学(竹内 健教授)	相変化デバイスの周辺回路設計
	筑波大学(白石 賢二教授)	相変化デバイスシミュレーション及び信頼性研究
	産業技術総合研究所(富永 淳二 首席研究員)	超格子材料技術開発
研究開発項目③	東京大学(山口 周教授 渡邊 聡教授)	原子移動型スイッチにおけるスイッチング機構の、実験的、理論的解明
研究開発項目④	慶応義塾(栗野 祐二教授)	ナノカーボン材料配線適用のための伝導特性シミュレーション
	芝浦工業大学(上野 和良教授)	ナノカーボン材料のドーピング、低抵抗金属接触の検討
研究開発項目⑤	東京大学 生産技術研究所(平本 俊郎教授)	CMOS特性ばらつきの評価解析、ナノトランジスタ特性最適化指針の提示
	電気通信大学(石橋孝一郎教授 範公可准教授)	超低電力LSI設計における基板バイアス制御技術、超低電力連想メモリの検討
	芝浦工業大学(宇佐美 公良教授)	低消費電力アーキテクチャの検討、回路レイアウト・タイミング検証技術の検討
	産業技術総合研究所(小池帆平グループ長)	低電力、高効率基板バイアス制御FPGAの検討
	京都大学(小野寺 秀俊教授)	回路動作から見たばらつきの評価技術、ばらつき対処回路技術の検討
	京都工芸繊維大学(小林 和淑教授)	超低電圧動作論理回路信頼性とソフトエラー解析、論理回路設計フローの開発
	大阪大学(橋本昌宜准教授)	超低電圧動作SRAM信頼性とソフトエラー解析
	東京大学(浅田 邦博教授、池田 誠准教授)	低電圧動作におけるタイミング保障の検討、超高速センサの検討
	慶応義塾(天野 英晴教授)	アクセラレータ回路技術の検討、プロセス論理合成シミュレーション
	東京理科大学(兵庫 明教授)	基板制御アナログ回路設計、低電圧演算増幅器の検討

事業原簿: 37ページ

15/42

技術委員会開催実績

公開

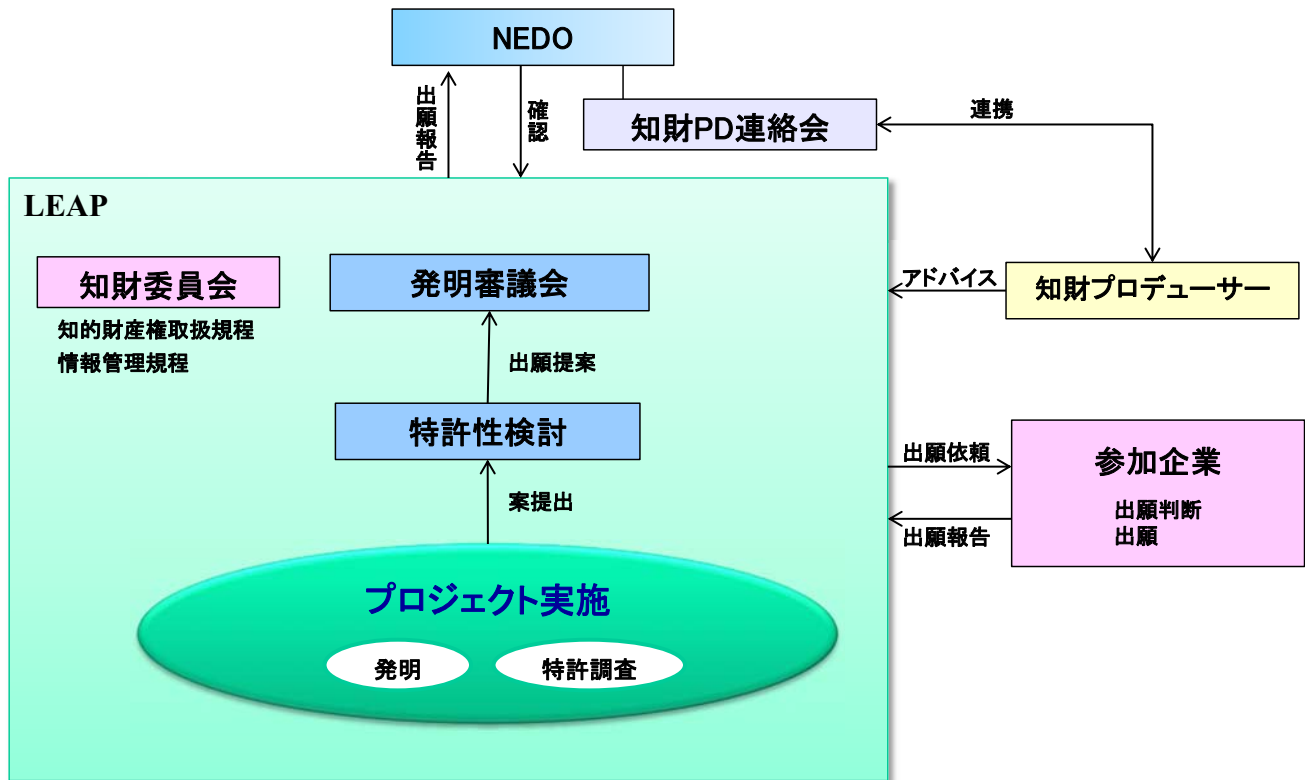
プロジェクト研究開発活動の技術的事項について検討・策定すると共に、開発技術の実用化、事業化の推進をテーマ横断的な事項も含めて協議する。

日程	委員会名	議事内容・報告・連絡事項
平成22年9月13日	第1回技術委員会	「低炭素社会を実現する超低電圧デバイスプロジェクト」の進捗状況、技術開発状況、今後のスケジュールについて報告、審議
平成23年1月12日	第2回技術委員会	研究開発進捗状況、今後のスケジュールについて報告、審議
平成23年6月10日	第3回技術委員会	東日本大震災からの復旧状況、研究開発進捗状況、今後のスケジュールについて報告、審議
平成23年10月12日	第4回技術委員会	全体状況 バックエンドプラットフォーム整備状況 研究開発進捗状況 成果実用化に関する技術委員意見報告について報告、審議
平成24年2月8日	第5回技術委員会	全体状況 研究開発進捗状況 平成24年度予算関係、平成24年度実施体制案について報告、審議
平成24年6月27日	第6回技術委員会 (拡大技術委員会)	第1回拡大技術委員会 全体概要1枚、5テーマで14枚のポスターを準備し、特に、開発技術の適用先に関して参加企業の専門家(デバイス、システム設計)と議論

事業原簿: 37~38ページ

16/42

- ・ 知財マネジメント強化のため知財の創出/権利化を推進する体制を構築
- ・ プロジェクト研究開発活動で出てきた知的財産の権利化を戦略的に推進



定期的なヒアリング

原則年2回、実施者から定期的なヒアリングを実施

- ・ 研究開発進捗状況の確認
- ・ 実用化見込みの検討
- ・ ベンチマークの検討
- ・ 加速資金投入の検討

機動的な加速資金の投入

状況の変化などに対し、必要な加速資金を適切に投入し研究開発を加速

◇加速6要件

- (i) 目覚ましい成果を上げ、国際競争上の優位性確立が期待できる
- (ii) 新たな発見や研究動向への対応、「手遅れ」防止
- (iii) 基本特許の取得、国際標準の確立が有望
- (iv) 翌年度以降の新規研究開発課題の企画・立案に必要
- (v) 実用化に相当のリスクが見込まれ、追加的な研究開発・実証データ取得が必要
- (vi) 社会的要請、研究環境の変化への対応

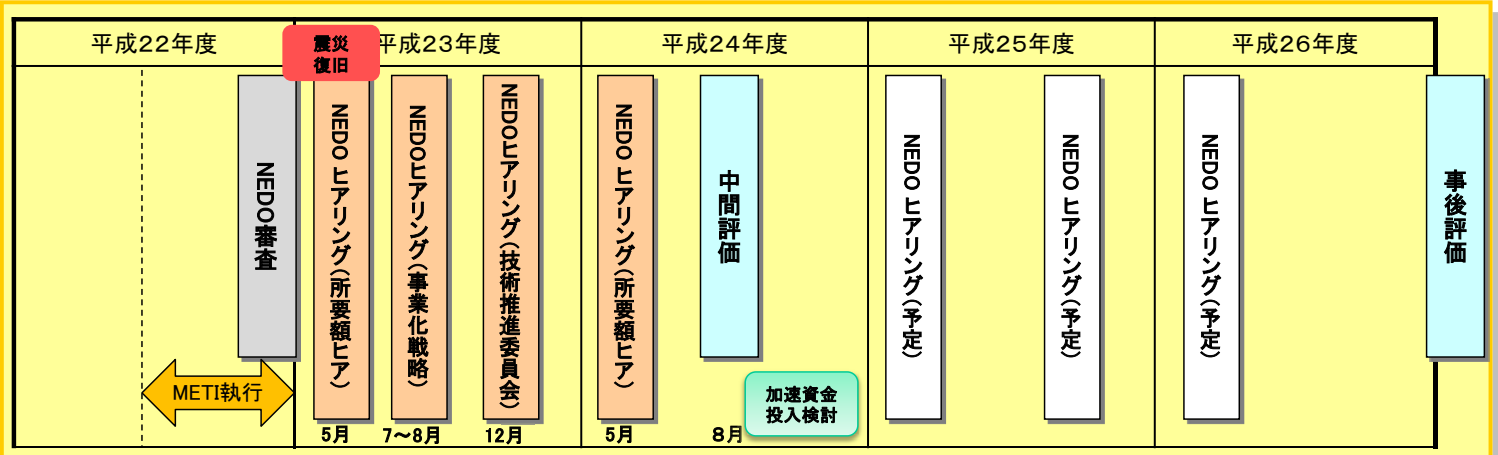
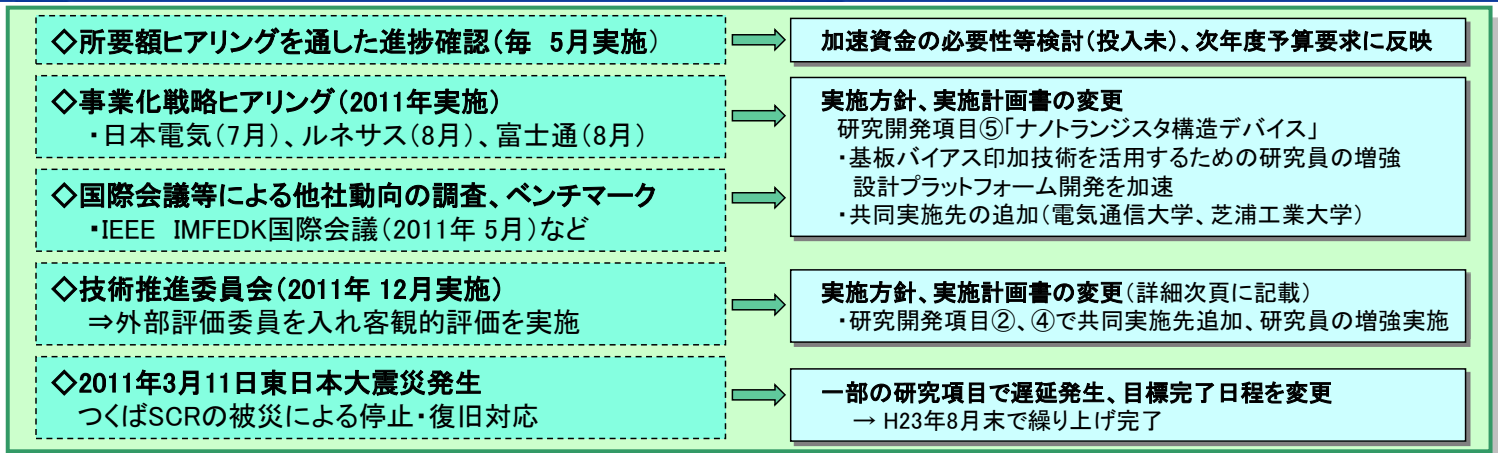
適時、適切な計画変更

必要に応じて、柔軟に適切な計画変更を行い、研究開発を推進

- ・ 新たな研究開発項目の追加等、必要に応じて基本計画の見直しを実行

具体的な状況変化への対応

公開



技術推進委員会への対応

公開

2011年12月に外部委員を含む技術推進委員会を開催



人員増強を含む開発体制の変更を行い、開発の前倒しを実施

主要項目	主要な取り組み
②相変化デバイス	超格子構造相変化と合金構造相変化の両方での開発を推進していた。 → 超格子構造相変化の適用に注力 ・産総研300mmラインに超格子デバイスの成膜・加工プロセスを新たに構築、開発を促進 ・超格子デバイス試作のため、既存装置を改造し専用の製造装置へ (9月末完成予定) ・超格子デバイスの集積化技術開発を促進 ・超格子デバイスの成膜プロセスの改善、集積化プロセス技術の開発を促進
④三次元 ナノカーボン配線	→ 課題の明確化のため、段階的な検証手段に変更 ・CNTのコンタクトホールへの埋め込み技術の課題解決のためTEG構造の見直しを実施 ・微細幅グラフェン配線の評価・分析の強化のため、評価項目・方法の見直しを実施

ITイノベーションプログラム

「低炭素社会を実現する超低電圧デバイスプロジェクト」

(2010年度～2014年度 5年間)

(中間評価)

プロジェクトの概要 (公開)

○「事業の位置づけ・必要性」、及び「研究開発マネジメント」 (NEDO)

○「研究開発成果」、及び「実用化の見通し」 (住広PL)

21/42

目次

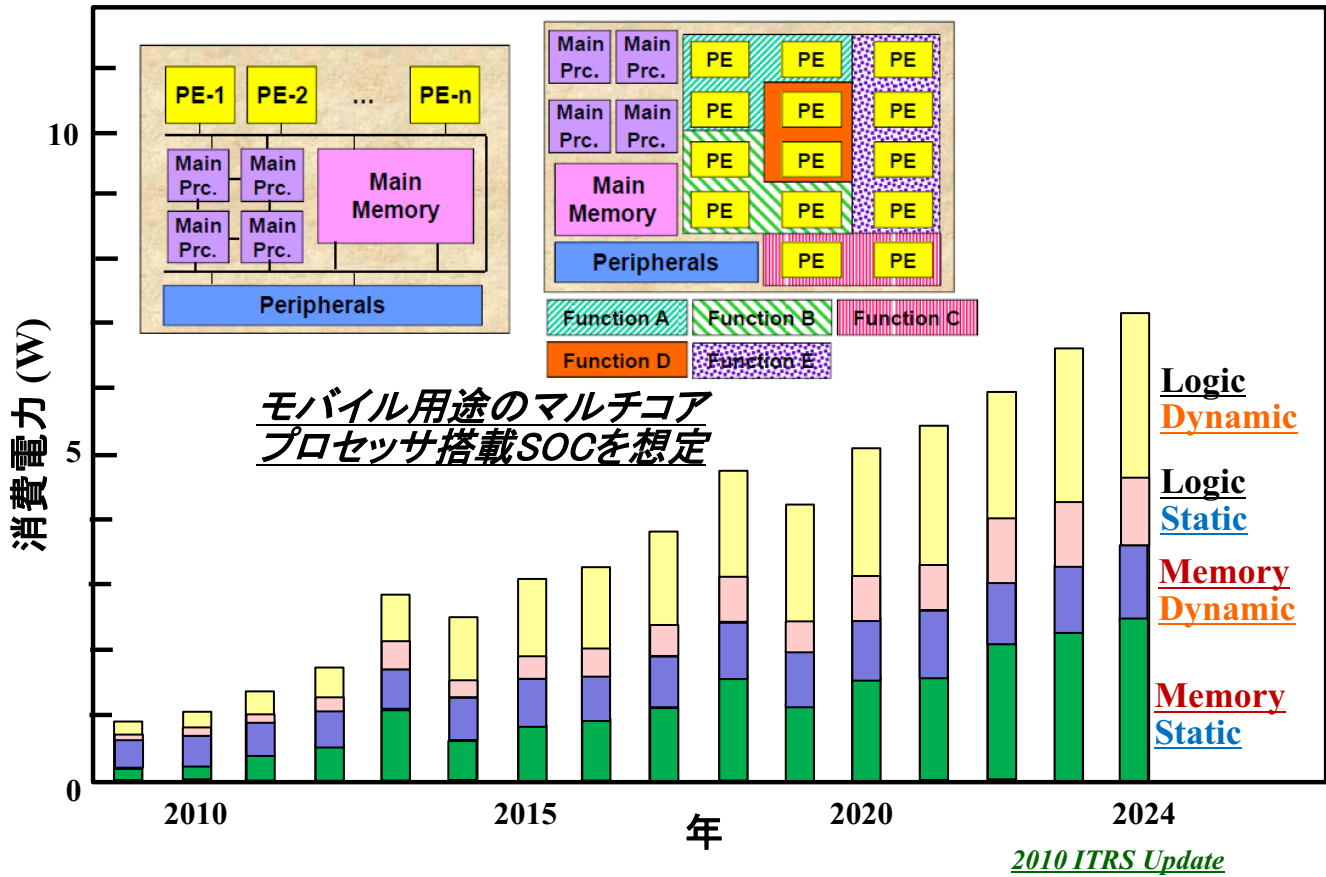
公開

I. 事業の位置づけ・必要性について	(NEDO)
II. 研究開発マネジメント	(NEDO)
III. 研究開発成果	(住広PL)
IV. 実用化、事業の見通しについて	(住広PL)

22/42

モバイル用途プロセッサの消費電力予測

公開



LSI低電力化シナリオ

公開

LSIにおける電力消費(理想形)

$$P = n * \underbrace{(CV^2 f)}_{\text{動作時電力}} + \underbrace{I_L V}_{\text{待機時リーク電力}}$$

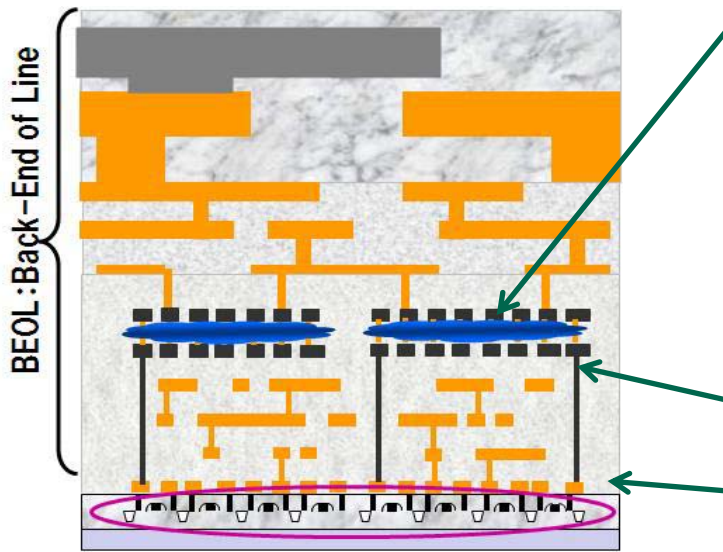
動作時電力 待機時リーク電力

n , デバイスの数,
 C , 負荷となる容量
 V , 電源電圧
 f , 動作周波数
 I_L , 総リーク電流

省電力化シナリオ

- (1) 動作時電力の削減 ⇒ V, f, C, R の低減(微細化、配線低抵抗化、Low-k膜)
- (2) 待機時リーク電力削減 ⇒ I_L, V の低減(微細化、Vth設定)、不揮発動作
- (3) 全消費電力の削減 ⇒ n の低減(非動作部電源遮断)、不揮発動作

デバイスの観点からは、 V の低減が最も効果的



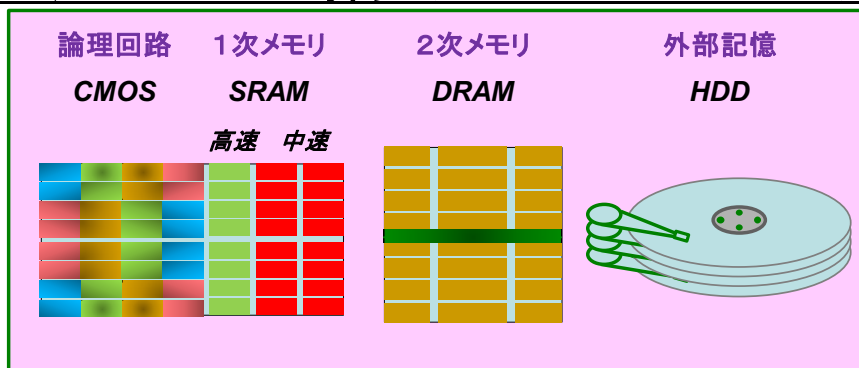
BEOLデバイス

- ①磁性変化デバイス
1次、2次(キャッシュ)メモリ
- ②相変化デバイス
2次(ディスクキャッシュ)メモリ
- ③原子移動スイッチデバイス
論理回路の配線組換え

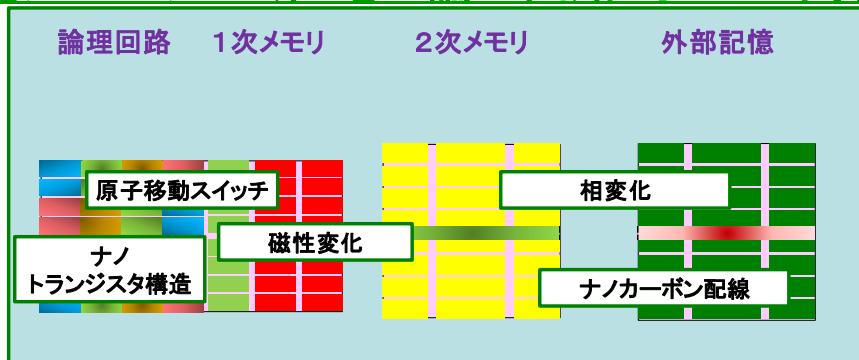
集積化基盤技術

- ④三次元ナノカーボン配線
超低抵抗配線、
超高アスペクトコンタクト
- ⑤ナノトランジスタ構造デバイス
ドーパントレストランジスタ、
既存CMOSとのハイブリッドPF
- ⑥BEOLプラットフォーム

従来システム (CMOS CPU+揮発デバイス+メカニカルデバイス)



低電圧・省電力システム (低電圧論理回路+オール不揮発デバイス)

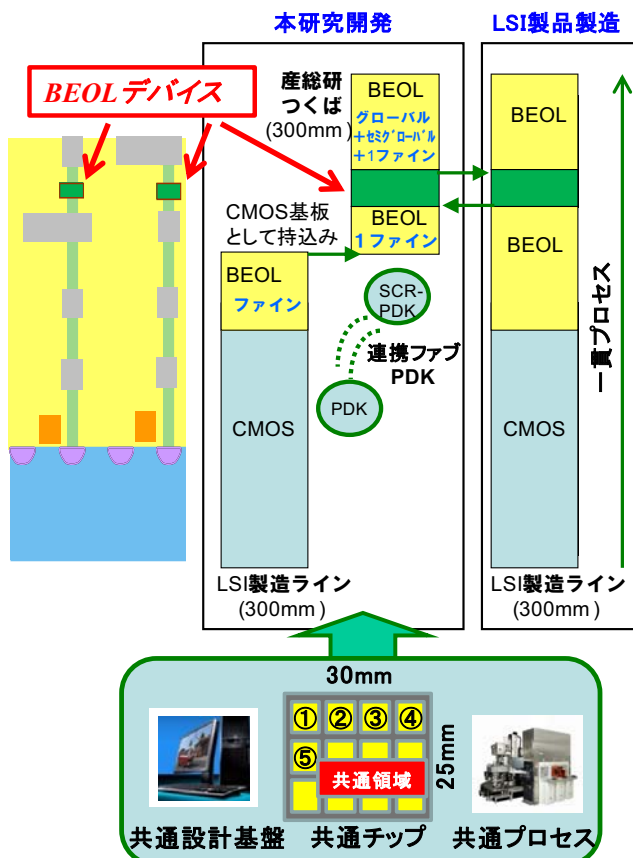


研究開発の狙い

多様な情報処理機能(演算処理、記憶、処理切り替え、等)に最適な超低電圧動作/不揮発デバイスを実現する。

用途	一次メモリ	二次メモリ	配線組換え	三次元配線	論理回路
	サーバー	ストレージ	通信・NW機器	SSD	センサネット 自動車
	システムLSI	メモリLSI	プログラマブル ロジックデバイス	NANDフラッシュ	マイコン
キーとなる特性	磁性変化 デバイス	相変化 デバイス	原子移動 スイッチ	三次元ナノ カーボン配線	ナトランジスタ構 造デバイス
	高速 書込/読出: ≦10ns	低書換電力: ≦10 ⁻¹² J	オン・オフ抵抗比: ≧10 ⁵	微細幅: ≦20nm	しきい値ばらつき: ≦0.1V
	高書換耐性: ≧10 ¹⁶ 回	高集積化: クロスポイント型	小面積: ≦1/20(SRAM比)	超低抵抗: ps≦3Ω/□	超低電圧動作: ≦0.4V
低電力書込/読出: ≦0.4V、≦100μA	書換耐性: ≧10 ⁹ 回	書換電流速度積: ≦10 ⁻¹⁰ 回A・s	超高アスペクト比: ~30	リーク電流抑制	

BEOLプラットフォームの構築



- CMOS基板はLSI製造ラインで製造。
- CMOS基板と整合させた配線層(ファインピッチ)に、革新的なBEOLデバイスを埋め込む。
- そのための共通プロセス、設計基盤を構築する。
- LSI製造ラインと繋げて、スムーズな産業化を目指す。
(投資効率、設計資産の継承、プラットフォーム化、Time to Market)

製造基盤

- ・新材料・新構造デバイス対応プロセス技術構築
- ・CMOS基板との整合性確保
- ・新材料汚染対策技術・管理プロトコル開発

設計基盤

- ・新材料・新構造デバイス対応BEOL設計基盤構築
- ・CMOS設計基盤との融合

Ⅲ. 研究開発成果

(1) 中間目標の達成度

中間目標の達成状況(1)

公開

研究開発項目	中間目標(平成24年度末)	研究開発成果	達成度	今後の課題
①磁性変化デバイス システムLSIに混載されているSRAMを代替できる低電圧動作の不揮発メモリを開発	単体レベルで、0.4V動作、読み書き：10ns/100μA/0.4pJ動作実証、及び、多値動作実証	・電圧0.4V以下、電流50μA("0")/100μA("1")、10nsパルス幅、電力量0.4pJ以下を実証 ・多値動作を実証	○	
	300mm バックエンドラインへの統合プロセス開発	・300mm バックエンドラインへ、新材料を用いたMTJを埋込むプロセスを開発、デバイス動作実証	○	
	パラメータ取得と、低電圧動作メモリ周辺回路設計	・MTJのSPICEモデル提案、実測値との整合確認 ・低電圧動作向けセンス回路を設計	○	
②相変化デバイス 外部記憶の高速低電力データ転送を実現する、高集積・高速低電力書き込み・不揮発デバイスを開発	単体レベルで、クロスポイント型メモリセル動作実証	・成膜・加工プロセスを構築 ・Ge ₂ Sb ₂ Te ₅ の従来材料セルが正常動作	△ (H25年2月予定)	超格子素子との組み合わせ試作
	単体レベルで、データ転送速度200MB/sを従来の1/3の電力で実現する書き換え動作の実証、及び、さらなる高速低電力化の可能性提示	・超格子素子で書換エネルギー 3.5pJ達成(データ転送速度200MB/sを、従来の1/3の電力(200mW)で実現に相当) ・超格子と熱拡散防止層の組み合わせを提示	○	
③原子移動型スイッチ プログラマブルロジックの低消費電力化を実現する不揮発配線切り換えスイッチ開発	スイッチ素子の材料選定、素子構造の最適化を行い、単体素子の動作検証	・下部電極：Cu、固体電解質：PSE(polymer solid-electrolyte)、上部電極Ruを基本構成とする3端子原子移動型スイッチを開発 ・2Vのプログラム電圧と10年以上のオフ信頼性を達成	○	
	単体素子性能として、書換え電流と書換え速度の積が10 ⁻¹⁰ As以下、オン・オフ抵抗比10 ⁵ 以上、書き換え回数10 ³ 以上の実証	・電流速度積：10 ⁻¹⁰ A・s以下、オン・オフ抵抗比：10 ⁵ 以上、書換え回数：10 ³ 回以上を実証	○	

◎ 大幅達成、○ 達成、△ 達成見込み、× 未達

Ⅲ. 研究開発成果

(1) 中間目標の達成度

中間目標の達成状況(2)

公開

研究開発項目	中間目標(平成24年度末)	研究開発成果	達成度	今後の課題
④三次元ナノカーボン配線 三次元集積を実現するための、微細幅・超低電気抵抗、超高アスペクト比配線・材料技術開発	微細線幅(100nm)、低抵抗(シート抵抗$\lt; 50\Omega/\square$)の配線実証	・剥離グラフェンで微細線幅(最小線幅100nm)多層グラフェン配線を試作、低抵抗(シート抵抗34Ω/□)を実証	○	
	微細直径(90nm)、超高アスペクト比(≥16)のコンタクトホール のナノカーボン材料埋め込み実証	・微細直径(100nm)コンタクトホールで、CNT成長を実証(アスペクト比~12)	△ (H24年9月予定)	アスペクト比≥16のコンタクトホール試作検証
⑤ナトランジスタ構造デバイス ナトランジスタ構造デバイスと既存のCMOSTランジスタを統合集積化するための技術開発、並びに、高集積機能素子における低電圧動作実証	100 万個以上のトランジスタで、平均±0.1V 以下(±5σ)の局所しきい電圧ばらつき達成	・10,000個トランジスタのばらつき4σ=40.8mVを実証 ※分布がほぼ正規分布であることから、100万個のトランジスタで5σ=100mVの目標値は達成可能	△ (H24年10月予定)	100万個トランジスタ試作検証
	低い電源電圧に動作を最適化し、基板バイアス制御技術適用したナトランジスタ構造デバイスを集積した1Mbit 以上のSRAMで、0.4V 動作の実証	・2Mbアレーの0.4V動作を評価中(一部に直線状の不良ビットが残るが、原因が判明し、改善策推進中) ・1Mbit以上のSRAMで0.4V動作実証は達成可能	△ (H24年12月予定)	継続評価、及び、左記改善策試作検証
⑥BEOL設計・製造基盤(プラットフォーム)開発 個別デバイス(研究開発項目①~③)の研究開発を推進するための共通基盤として、BEOL設計・製造基盤(プラットフォーム)を開発 (平成23年度で終了したテーマ)	新材料や新構造デバイスに共通で使え、かつ、新材料の相互汚染や熱耐性、プロセス雰囲気の影響等の観点から、それぞれのデバイスの特性を損なうことのない、BEOL プロセスレシピの作成	・SCR300mmラインで、半導体製造ラインで形成した多層配線/CMOS基板上にファイン配線およびセミグローバル配線を形成する配線製造基盤技術を開発 ・所望の配線特性を実証	○	
	相互汚染防止、汚染除去、汚染評価などからなる管理プロトコルの作成	・新材料の汚染管理として、1. エッジカットリングによる新材料付着防止、2. 薬液による新材料除去、3. 新材料上HDP膜による汚染拡散防止、4. FOUPによるハンドリング管理手法、を開発し効果を確認	○	
	PDK として、設計ルール、配線特性パラメータ、OPC ルールの策定	・半導体製造ラインPDKと SCR(Super Clean Room)-PDKを統合した、設計ルール、配線特性パラメータ、OPCルール等からなる連携ファブPDKを策定	○	

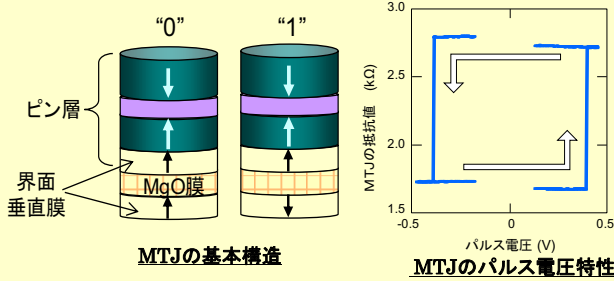
◎ 大幅達成、○ 達成、△ 達成見込み、× 未達

成果の概要(研究開発項目①; 磁性変化デバイス)

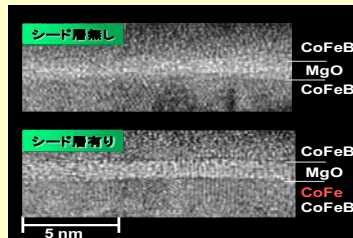
公開

1. 垂直磁気異方性を持つCoFeBと独自のトップピン構造を組み合わせた基本素子構造を開発し、低電圧動作を実証
2. 磁性変化デバイスへのストレスを初めて制御し、高性能化を実証(2011 VLSIシンポ発表、日刊工業新聞掲載)
3. MgOの高品質化に成功し、性能向上と10年動作を初めて実証(2011MMM、2012 IRPS発表、日刊工業新聞掲載)
4. キャッシュメモリとして必須要件である無限回(10¹⁶回)書き換えを、世界で初めて実証(2012 VLSIシンポ採択)
5. 磁性変化デバイスをCu配線間に試作。低電圧動作、読み出しマージン大の負性抵抗方式の読み出し回路を開発

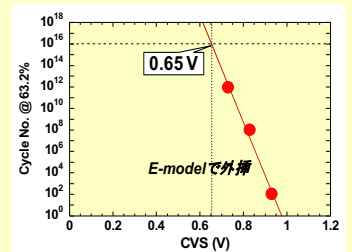
磁性変化デバイスの基本構造を決定(① 1)



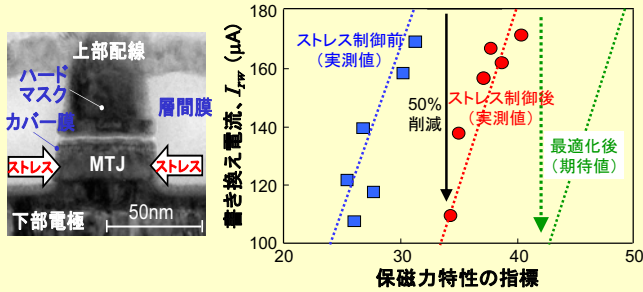
MgOの高品質化に成功(① 3)



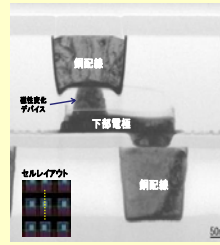
無限回書き換えを初めて実証(① 4)



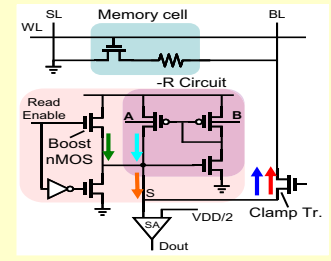
プロセス歪導入によるストレス制御で書換電流を低減(① 2)



Cu配線間へのMTJ埋め込みに成功(① 5)



低電圧動作・読み出しマージン大の回路を開発(① 5)

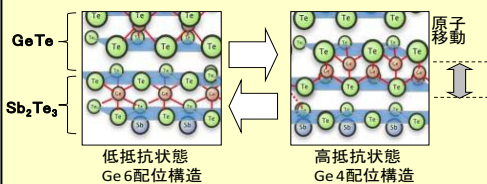


成果の概要(研究開発項目②; 相変化デバイス)

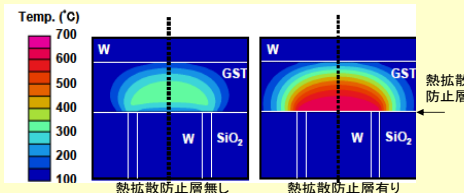
公開

1. GeTe/Sb₂Te₃の超格子構造を堆積し、Ge₂Sb₂Te₅の1/25以下である70uAの電流、3.5pJのエネルギーでの動作を実証した
2. 熱拡散防止層の電気抵抗と熱伝導を制御し、動作電力が、防止層無し素子の1/10以下となることを実証した
3. クロスポイント型セルを300 nmラインで単体デバイスとして試作し、正常動作を確認した

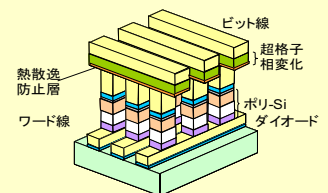
超格子相変化(② 1)



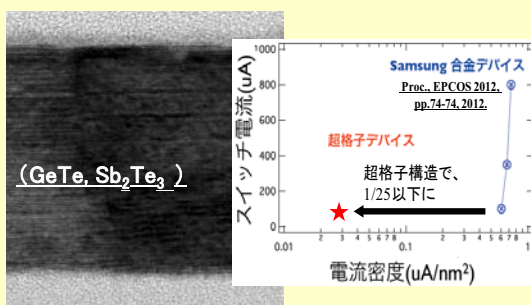
熱拡散防止層(② 2)



クロスポイント型セル(② 3)

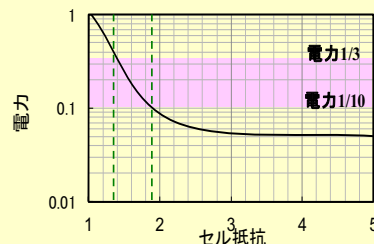


超格子成膜(② 1)



二元スパッタでGeTeとSb₂Te₃を積層

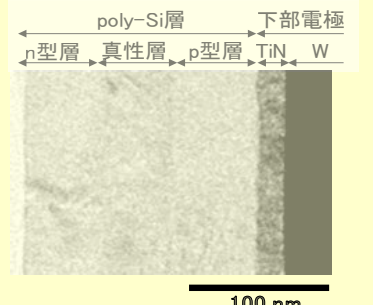
低電力化のシミュレーション結果(② 2)



セル抵抗は相変化材料抵抗+熱拡散層抵抗を示す。
セル抵抗=1は熱拡散防止層無し
セル抵抗=2は相変化材料抵抗+熱拡散防止層抵抗

従来比 1/10以下の低電力化の見出し

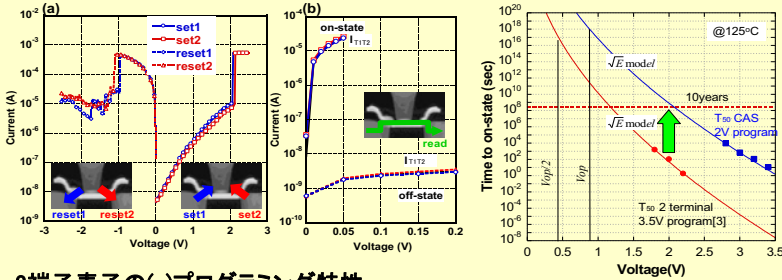
ポリSi成膜(② 3)



成果の概要(研究開発項目③:原子移動型スイッチ)

- 3端子原子移動型スイッチで低電圧プログラムと高信頼性を両立
- 3端子原子スイッチを65nm CMOS基板用に集積化し、32×32クロスバースイッチ動作を確認
- 原子移動型スイッチの伝導機構の解明

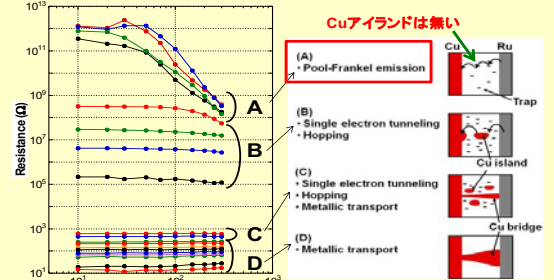
スイッチ素子開発(IEDM2011発表、日刊工業新聞掲載)(③ 1)



3端子素子の(a)プログラミング特性 (b)オン・オフ特性

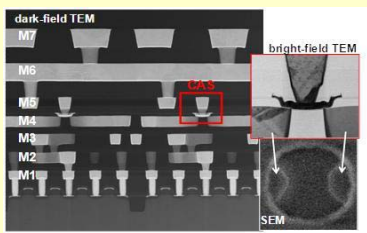
オフイスタブ信頼性 (赤:2端子, 青:3端子)

原子スイッチ伝導機構解明(IEDM2011発表)(③ 3)

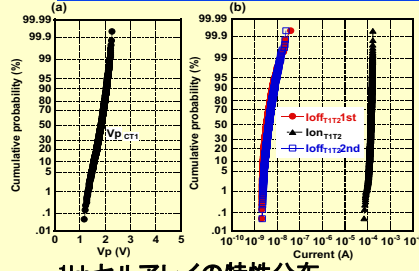


異なる抵抗状態での抵抗の温度依存性 SW-OFF状態は(A)P-F伝導であり高信頼

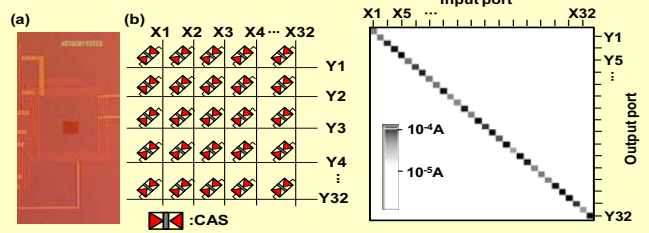
集積化プロセス開発(VL2012発表)(③ 2)



65nm CMOS基板上に集積化した 3端子原子移動型スイッチ素子



1kbセルアレイの特性分布 (a)閾値電圧、(b)オン・オフ電流



32×32クロスバースイッチと書き込み特性(対角線書き込み)

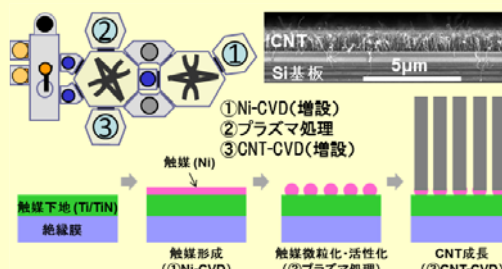
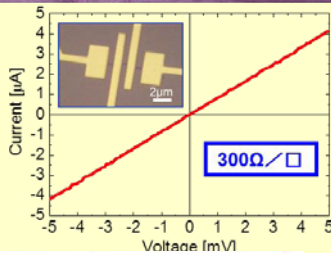
成果の概要(研究開発項目④:ナノカーボン配線)

- 横方向ナノカーボン(グラフェン)配線構造を試作。シート抵抗300Ω/口を実証
- 300mm触媒Ni-CVDおよび熱CVDを導入。基板全面で導電性TiN下地層上に高密度(1-2×10¹¹/cm²)CNT成長を達成
- 300mm基板でCNT固定、全面割れ欠け無し研磨、TiN下地層での研磨停止に必要な選択性を実証
- 高アスペクト比(AR)微細(Φ~100nm)ホール構造TEGを作製。AR~12ホール底から高さ1μm超のCNT成長を実証

触媒金属上に低温(600℃)成長させた多層グラフェン。触媒段差から横方向に粒界を超えて成長し、成長位置制御の可能性を示唆。(④ 1)

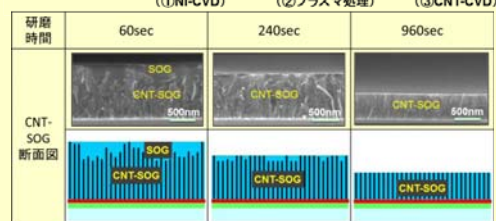


剥離グラフェンにより作製した横方向配線構造の配線特性。シート抵抗300Ω/口(④ 1)



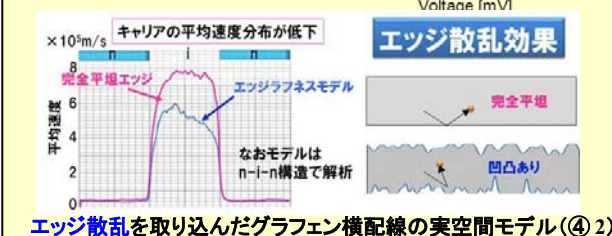
300mmナノカーボン成長システムと基板全面に成長させた高密度CNT(1-2×10¹¹/cm²)。(④ 3)

西出他応物2012春

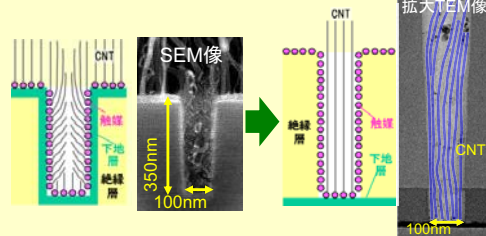


300mm基板上で塗布ガラス(SOG)を含む硬化したCNT(CNT-SOG)のCMP研磨の状況。全面割れ欠けなく平坦な研磨を確認。(④ 4)

伊東他応物2012春



エッジ散乱を取り込んだグラフェン横配線の実空間モデル(④ 2)



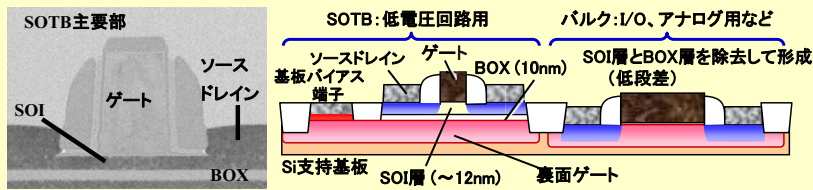
高アスペクト比(AR12)の微細ホール底からのCNT成長。高さ約1.2μmまで孔底から選択的に成長。(④ 5)

成果の概要(研究開発項目⑤: ナトランジスタ構造デバイス)

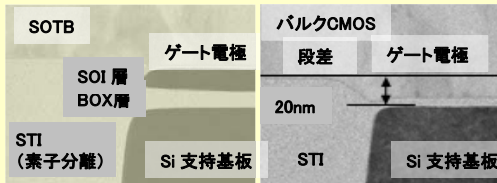
公開

1. 薄い埋め込み酸化膜上に極薄シリコンを形成したSOI構造のSOTBTランジスタとその製造プロセスを開発し、低ばらつき($4\sigma V_{th}=40.8mV$)と、SRAMセルの0.4V動作を確認した
2. SOTBTとバルクCMOSを組み合わせたハイブリッド構造、SOTBTに最適化された標準セルを含む回路設計プラットフォームを開発し、テスト回路のレイアウトを行った

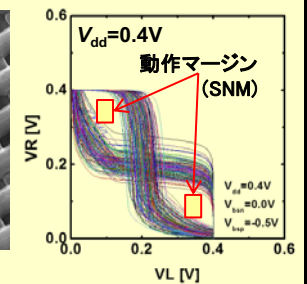
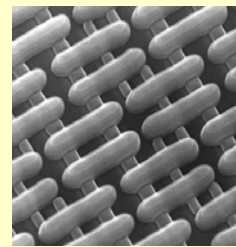
ナトランジスタ構造デバイス断面図と、主要部の断面TEM像(⑤ 1)



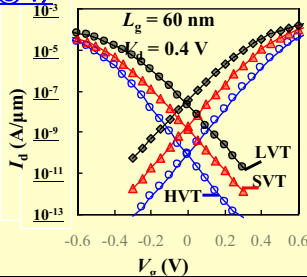
ハイブリッド構造断面TEM像 (SOTBT/バルクCMOS同時動作確認)(⑤ 1)



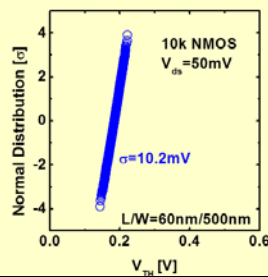
SRAMゲート列のSEM像と、0.4V動作曲線(実測)(⑤ 3)



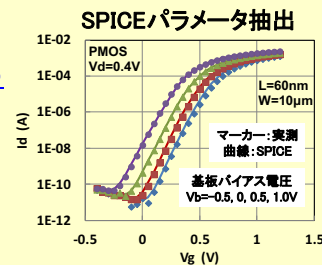
0.4V動作に最適化した実測特性(⑤ 1)



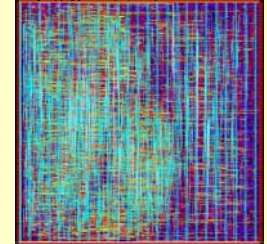
低ばらつき性能(10,000Trs.)(⑤ 2)



設計プラットフォーム開発とテスト回路レイアウト(⑤ 4)



テスト回路レイアウトパターン



SOTBTに最適化した標準セルとこれを論理記述に合わせて自動で配置配線する環境を整備。回路シミュレーションのためのSPICEパラメータ(初版)を抽出。

成果の概要(研究開発項目⑥: BEOL設計・製造基盤)

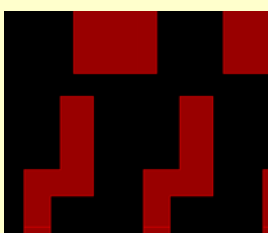
公開

1. 携帯ファブにおけるデバイス・配線のPDK、OPCなどのBEOL設計基盤を開発
2. 配線層の一部に様々な新材料・新構造デバイスを形成する配線製造技術、新材料汚染管理技術などから成るBEOL製造基盤を開発

1. BEOL設計基盤開発



OPCデータ取得用測長SEMと多点測定ソフトウェア(Design Gage)



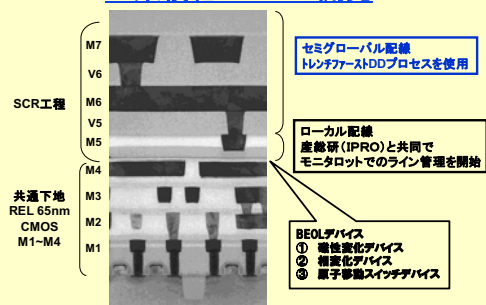
(a) Before OPC operation



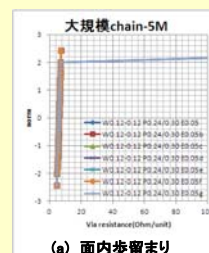
(b) After OPC operation

OPC処理によるレチクル上パターンの補正
(a)OPC処理適用前、(b)OPC処理適用後

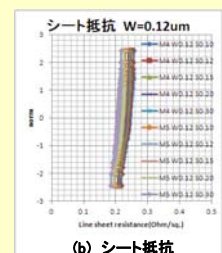
2. 集積化プロセス開発



BEOL製造基盤技術により開発した65nmCMOS基板上の銅多層配線



(a) 面内歩留まり



(b) シート抵抗

開発したローカル配線の配線特性

(a)500万個ピアチェーンの面内歩留まり、(b)W=0.12μmの配線シート抵抗

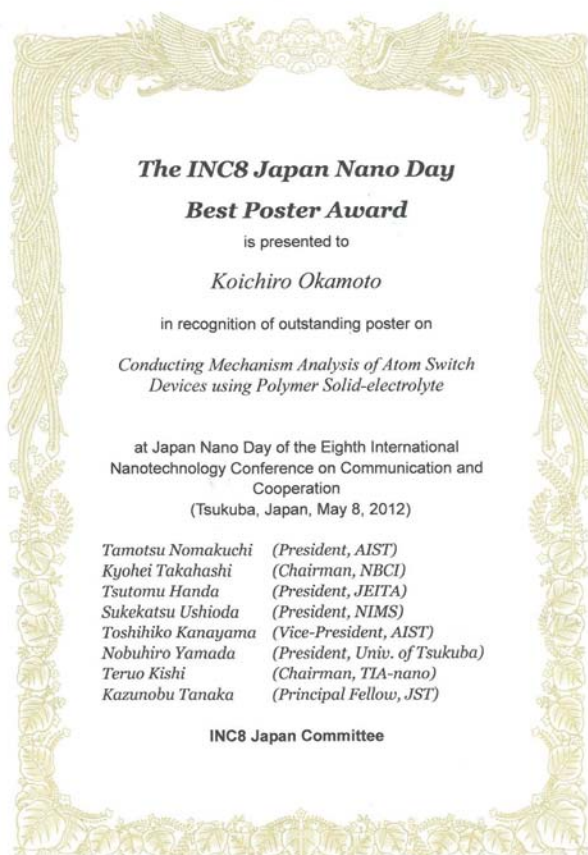
	H22	H23	H24	H25	H26	計
特許出願(うち外国出願及びPCT出願※)	2(0)	31(0)	11(2)			44件
論文(査読付き)	1	21	14			36件
研究発表・講演	9	31	14			54件
受賞実績	0	0	2			2件
新聞・雑誌等への掲載	0	2	7			9件
展示会への出展	0	2	0			2件

※Patent Cooperation Treaty :特許協力条約

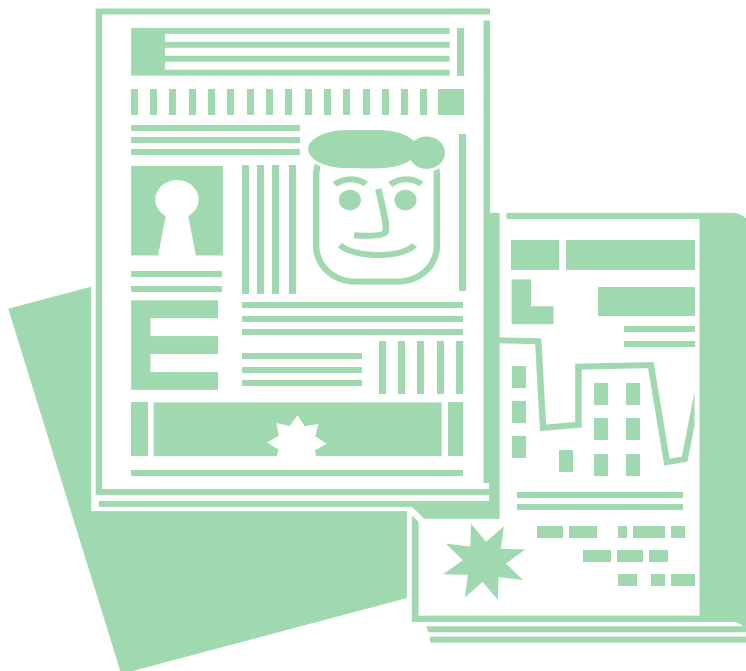
平成24年度8月15日現在

事業原簿:110ページ

37/42



38/42

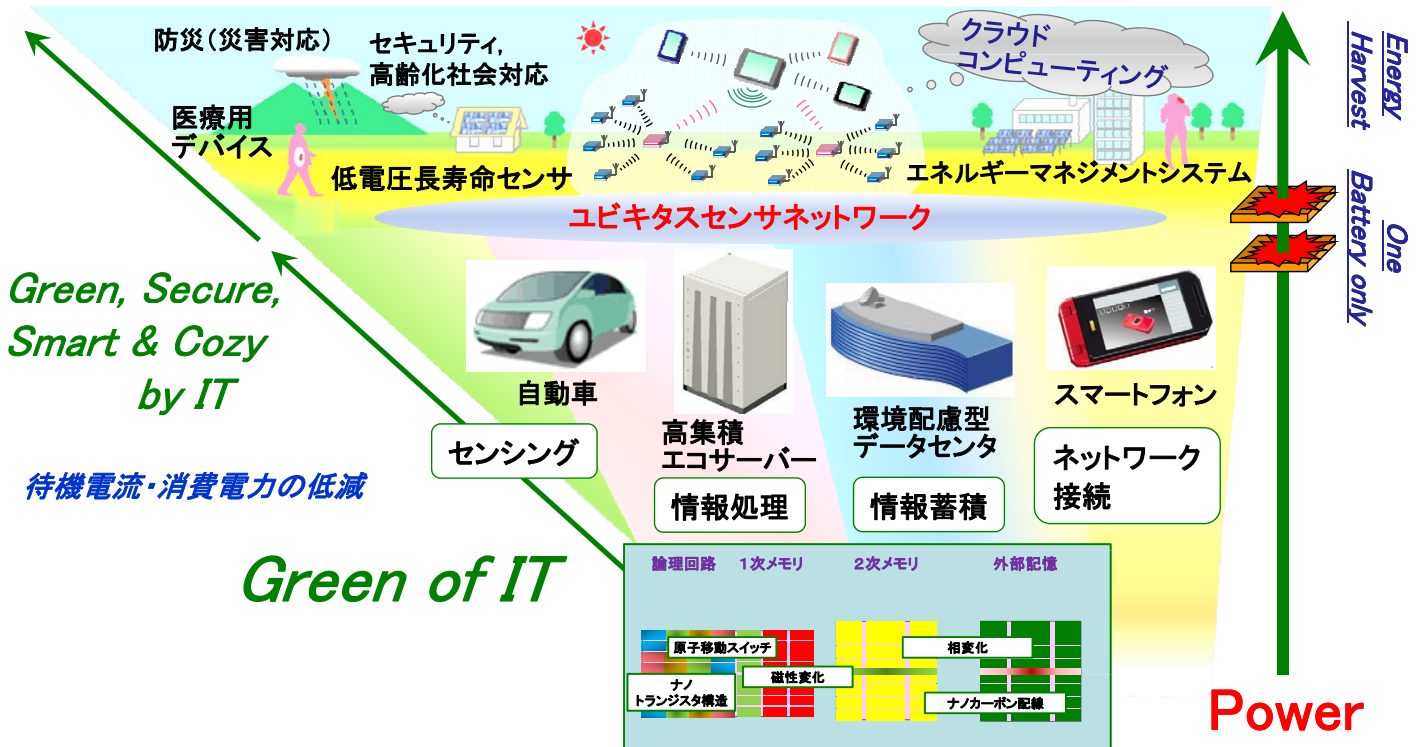


研究開発項目	最終目標(平成26年度)	達成見通し 下段は平成24年状況
①磁性変化デバイス システムLSIに混載されているSRAM機能を代替できる低電圧動作・不揮発メモリを開発	マクロレベル動作実証 0.4V動作、読み書き:10ns/100uA、電力:SRAM比1/10、メガバイト級集積度、リテンション:10年、書き換え回数:10 ¹⁶ 回、及び、多値動作実証	達成見込み 単体レベルで目標を達成
②相変化デバイス 外部記憶の高速低電力データ転送を実現する高集積・高速低電力書き込み・不揮発デバイスを開発	マクロレベル動作実証 データ転送速度400MB/s、従来の1/10の電力(66mW)、高集積性(メモリセル面積4F ²)、書き換え回数10 ⁶ 回	達成見込み 単体レベルで書換エネルギー3.5pJ、書き換え10 ⁶ 回以上を達成
③原子移動型スイッチ プログラマブルロジックの低消費電力化を実現できる不揮発配線切り換えスイッチを開発	再構成可能ロジック集積回路動作実証 0.4V動作、消費電力:従来SRAMスイッチ比1/10以下、スイッチ面積:1/20以下	達成見込み 小規模(1-kbit)の集積化達成
④三次元ナノカーボン配線 三次元集積を実現する微細幅・超低電気抵抗、超高アスペクト比配線・材料技術を開発	配線実証 微細線幅(≤20nm)、長距離(0.7mm)、低抵抗(シート抵抗≤3Ω/□)、微細直径(90nm)、超高アスペクト比(30)コンタクトホール抵抗≤W(接触抵抗含む)	達成見込み 低抵抗化指針提示
⑤ナトランジスタ構造デバイス ナトランジスタ構造デバイスと既存のCMOSトランジスタを統合集積化する技術開発、並びに高集積機能素子における低電圧動作実証	実用化回路レベル動作実証 消費電力低減:従来デバイス比1/10	達成見込み 単体レベルで動作確認設計環境を開発

超低電圧デバイスが実現する未来像

公開

電池レス モバイルコミュニケーションが作る、快適、安全、安心社会



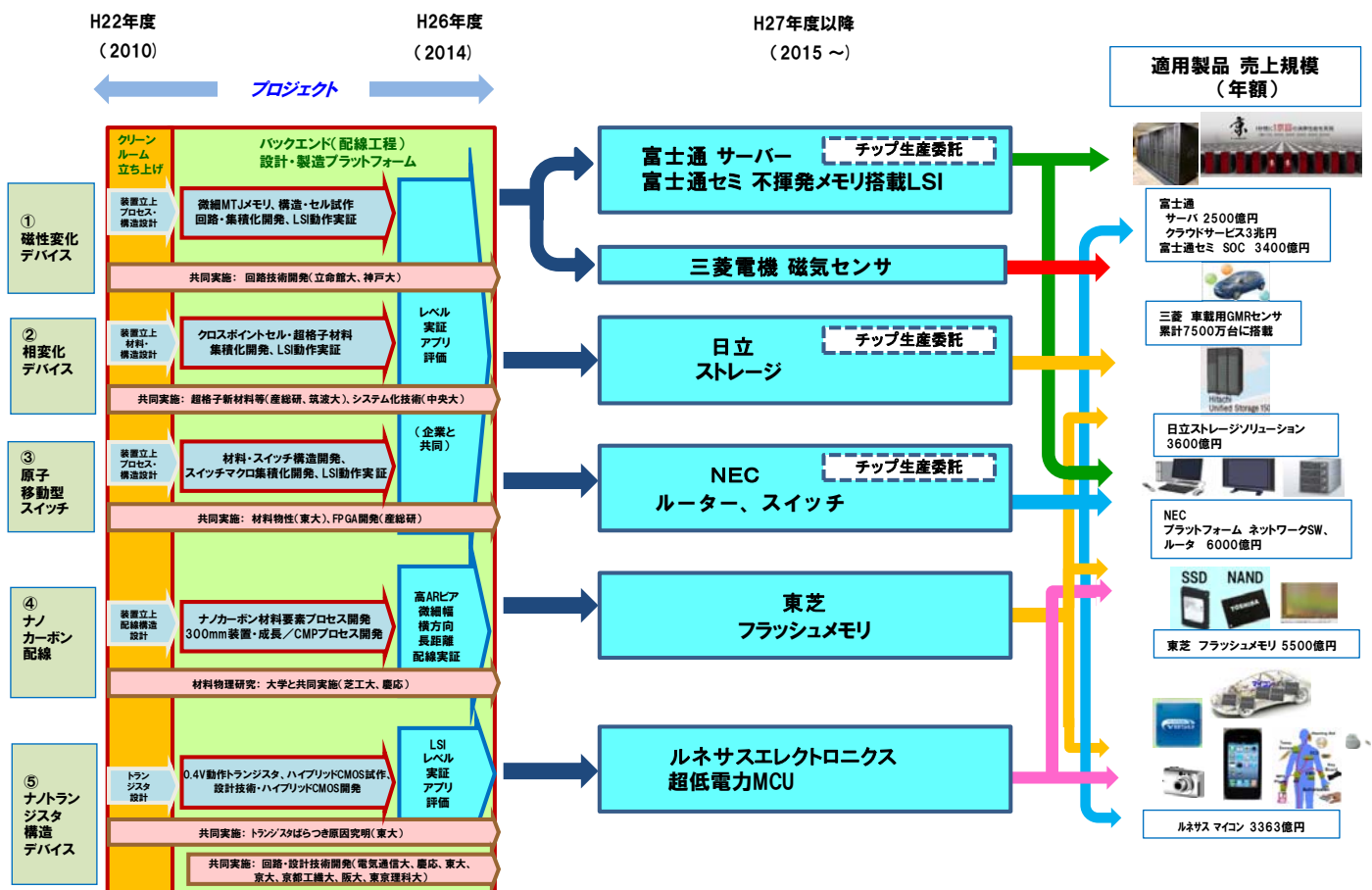
事業原簿: 111~112ページ

41/42

(2) 事業化までのシナリオ

実用化の可能性と事業化までのシナリオ

公開



事業原簿: 111~112ページ

42/42