

「半導体機能性材料の高度評価基盤開発」 (平成21年度～平成23年度 3年間)

事後評価分科会

6. プロジェクトの詳細説明資料(公開)

6-1. 研究開発成果について

- 1 接合素子を含む材料評価用配線TEGの開発
- 2 材料による金属汚染、応力影響の評価方法の開発
- 3 半導体プロセス全体を考慮した材料評価基盤の開発

平成24年6月25日

「半導体機能性材料の高度評価基盤開発」
(事後評価)分科会
資料 6-1

研究開発項目① 具体的目標と達成度

研究開発項目① 接合素子を含む材料評価用配線TEGの開発

目 標	達成度	判断の理由・根拠
<ul style="list-style-type: none"> ・ 接合素子(p-n接合、SiO₂-Si接合)を有するFEOL-TEGマスクを設計する ・ 接合素子の電気特性を測定できる配線TEGマスクを設計し、FEOL/BEOL統合TEGマスクを設計する 	○	<ul style="list-style-type: none"> ・ KrF露光が可能な最小寸法0.2μm、チップサイズ21.5×26.9mm²として種々の構造や面積の素子を設計した ・ 接合素子に接続できる配線マスクを設計し、FEOL/BEOL統合TEGマスクを設計した
<ul style="list-style-type: none"> ・ FEOLプロセスを策定し、外注にて300mmウェーハを試作する ・ 上記ウェーハ上に配線を形成し、FEOL/BEOL統合TEGを試作する 	○	<ul style="list-style-type: none"> ・ FEOLの工程フロー、膜厚やイオン打込みなどの工程条件を策定し、外注にて試作を完了させた ・ FEOL完了ウェーハ上にCASMATで配線を形成し、統合TEGを完成させた
<ul style="list-style-type: none"> ・ 試作したTEGの電気特性を測定し、材料やプロセスの影響が評価できるTEGであることを検証する 	○	<ul style="list-style-type: none"> ・ p-n接合やMOS容量など単純な接合素子に加え、トランジスタやリングオシレータ回路でも期待値通りの電気特性を得た

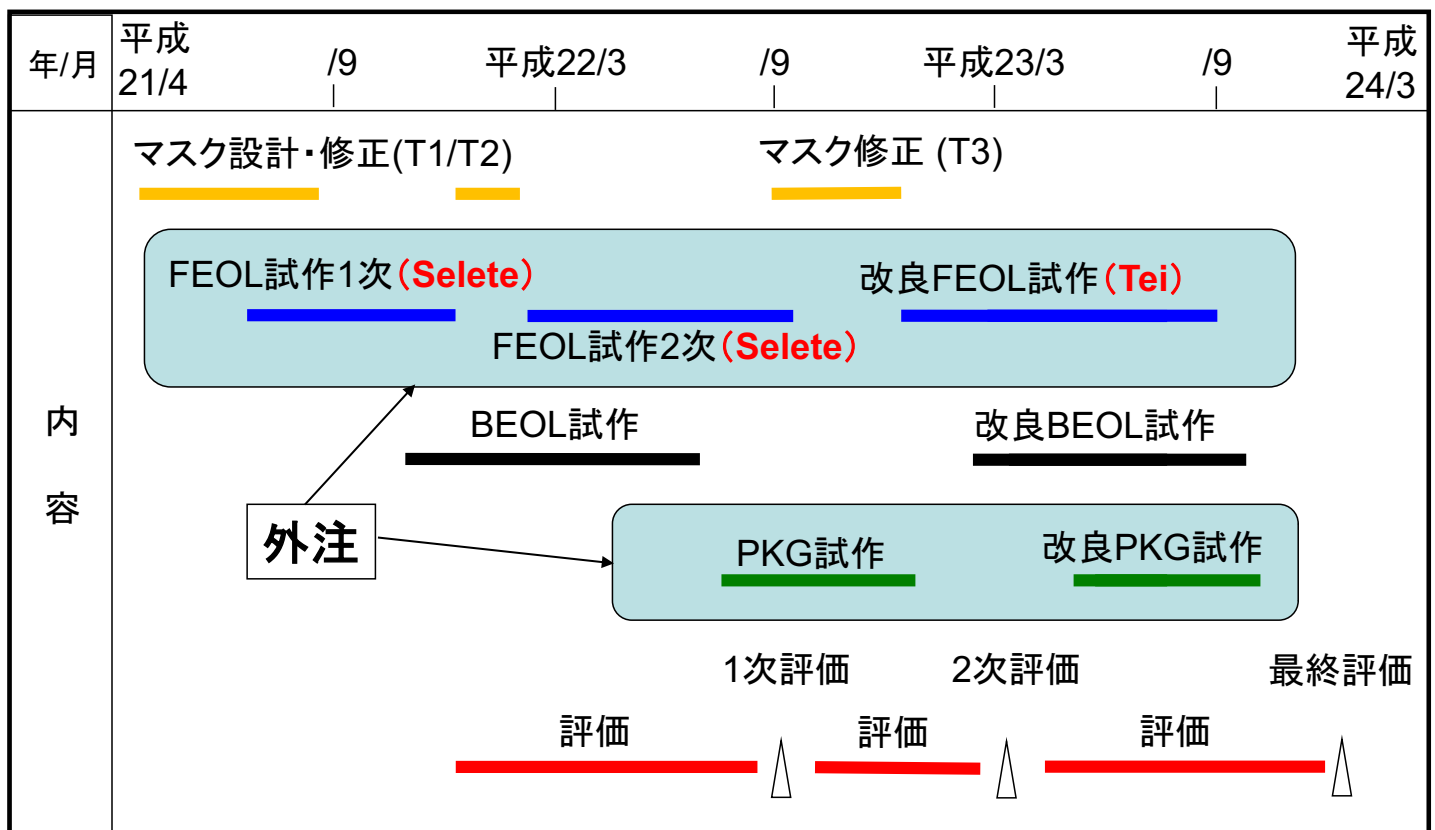
達成度: ○達成、△未達

内 容

1 接合素子を含む材料評価用配線TEGの開発

- 1.1 マスク開発、試作の経緯
- 1.2 FEOL/BEOL統合TEGマスクの概要
- 1.3 TEG(NMOS)試作プロセス
- 1.4 TEG試作結果
- 1.5 リングオシレータを用いた配線特性評価
- 1.6 マスク修正

1.1 マスク開発、試作の経緯



Selete: (株)半導体先端テクノロジーズ

Tei: ティーイーアイソリューションズ(株)

1.2 FEOL/BEOL統合TEGマスクの概要

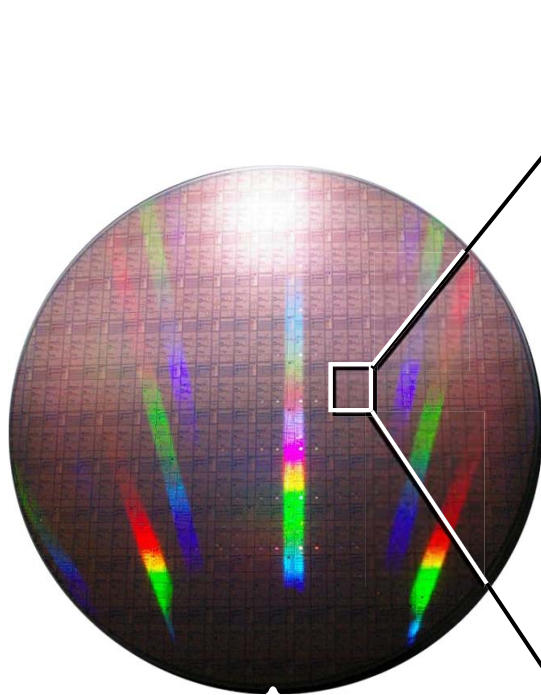
- ・マスク名 : CAST-T2/T3 マスク枚数 : 12枚 / 1品種
- ・マスク仕様 : バイナリマスク、ショットサイズ 26.9 mm X 21.5 mm
- ・組立チップ : 8.6mm×8.6mm、5.4mm×8.6mm、12.9mm×12.9mm
(12.9mm□チップ以外は2チップ/1ショット)
- ・マスク一覧表

No.	層名	層番	パターン	倍率	最小 (μm)	最大 (μm)	目的	メモ
1	L	11	A	×4	0.5	100	素子分離	A: 島パターン
2	FG	12	A	〃	0.2	100	ゲート	
3	N1	13	B	〃	0.5	-	N型拡散層(LDD)	B: 孔パターン
4	N2	14	B	〃	0.5	-	N型拡散層(S/D)	
5	P	15	B	〃	0.5	-	SUB引上げ	
6	SP	16	A	〃	0.5	-	シリサイド保護	CNT上はSP禁止
7	CNT	17	B	〃	0.4	1	コンタクト	0.4, 1.0μm限定
8	M1	51	B	〃	0.2	100	1層配線	
9	V1	52	B	〃	0.18	0.25	接続孔	0.18, 0.25μm限定
10	M2	53	B	〃	0.2	100	2層配線	
11	PO1	54	B	〃	0.5	-	パッド孔	
12	PAD1	55	A	〃	10	-	パッド配線	

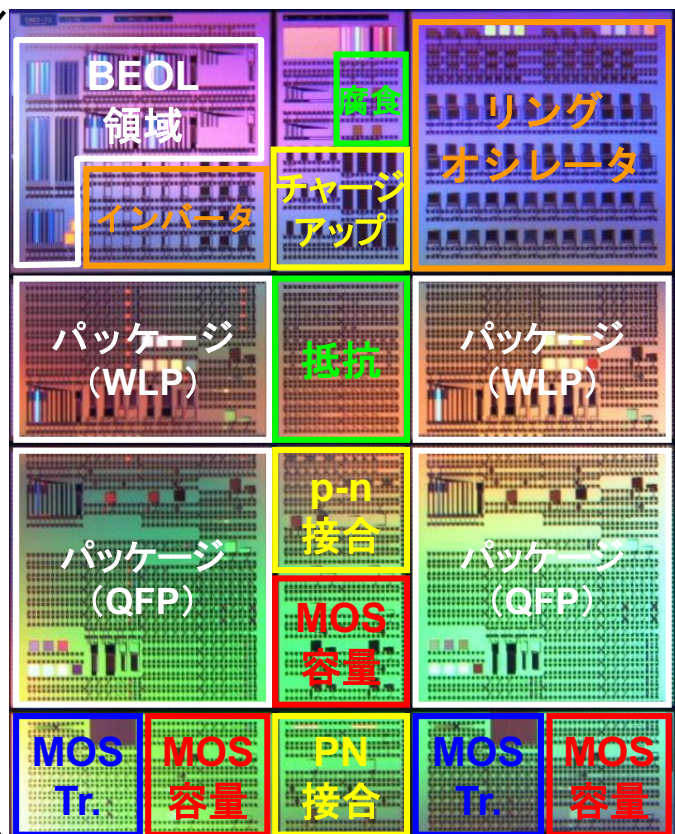
FEOL

BEOL

1.2 FEOL/BEOL統合TEGマスクの概要

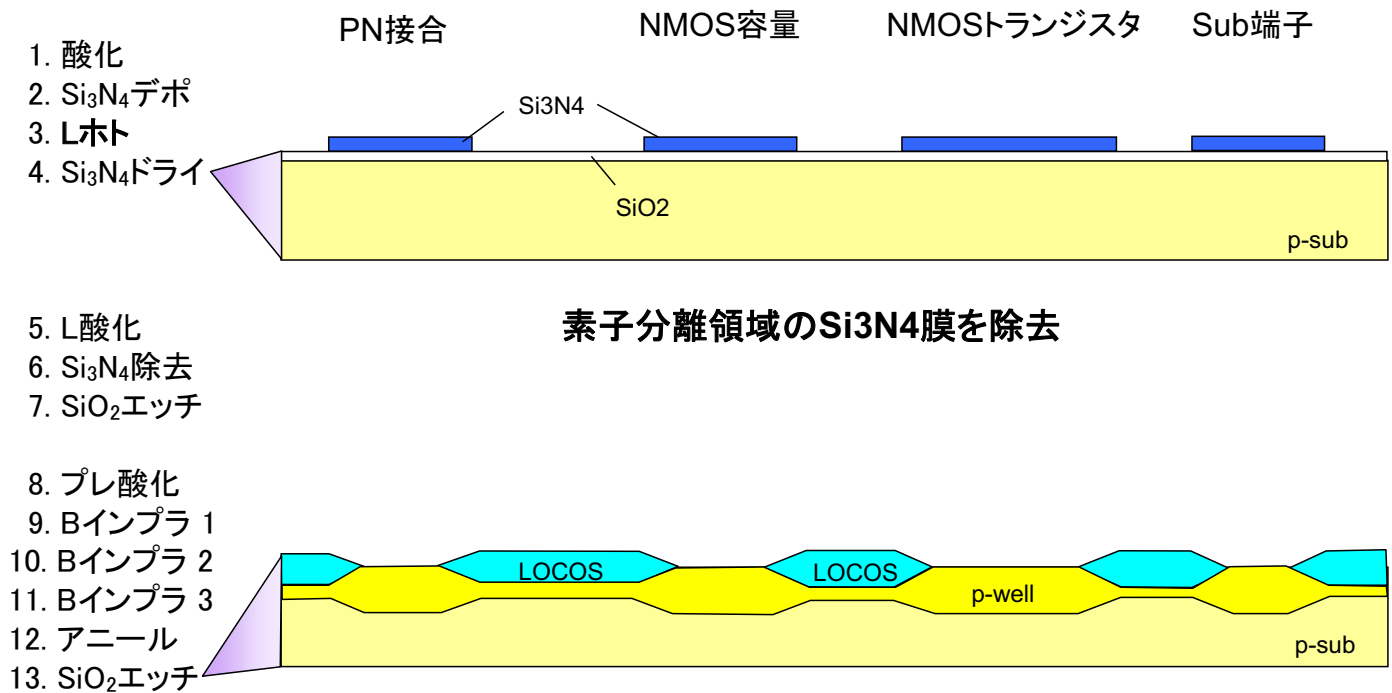


CAST-T2 300mmΦ
ウェーハの外観画像
(92ショット/ウェーハ)



1ショットの(H/W: 26.9mm/21.5mm)の実体顕微鏡画像

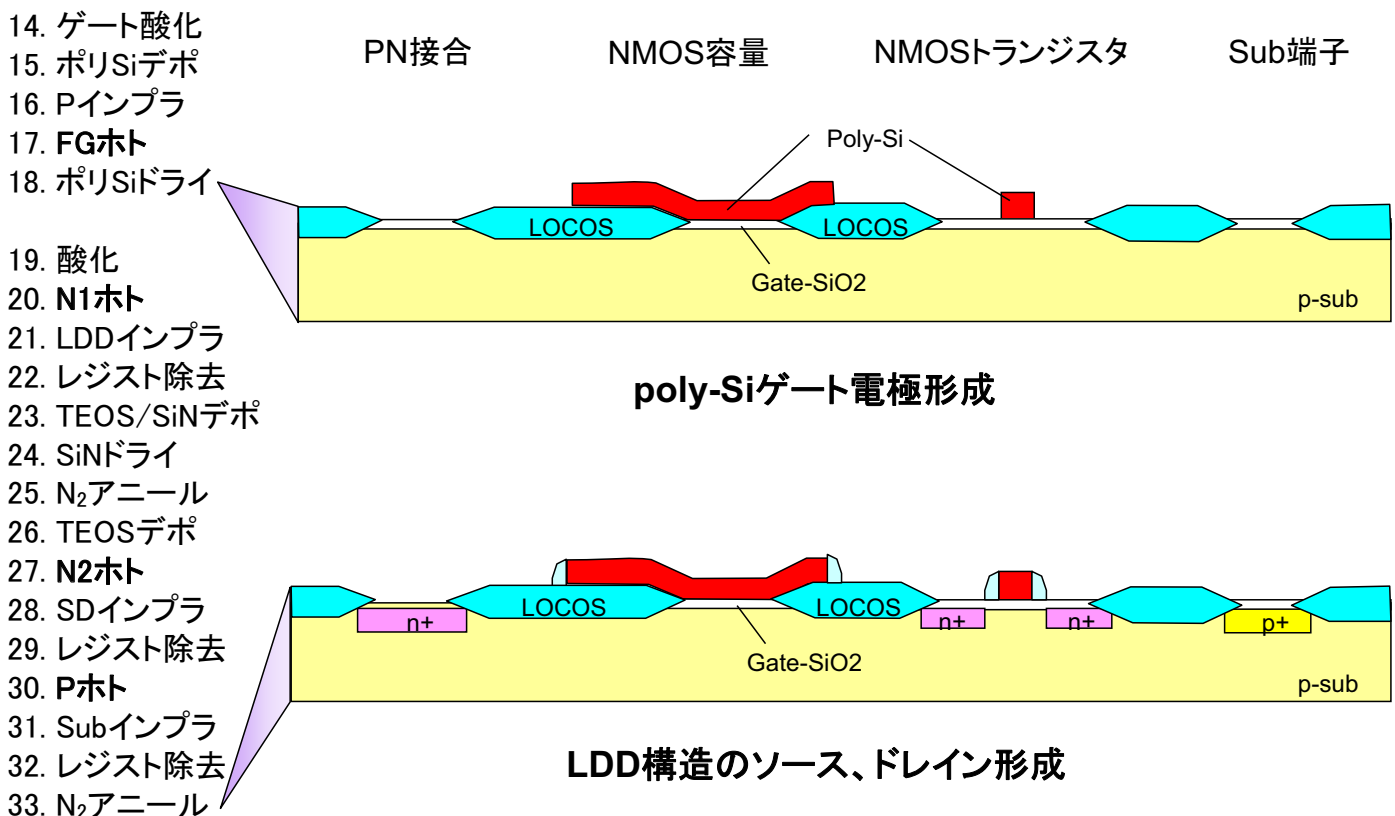
1.3 TEG (NMOS) 試作プロセス (1)



選択酸化 (LOCOS) 法を用いた素子分離

(LOCOS ; Local Oxidation of Silicon)

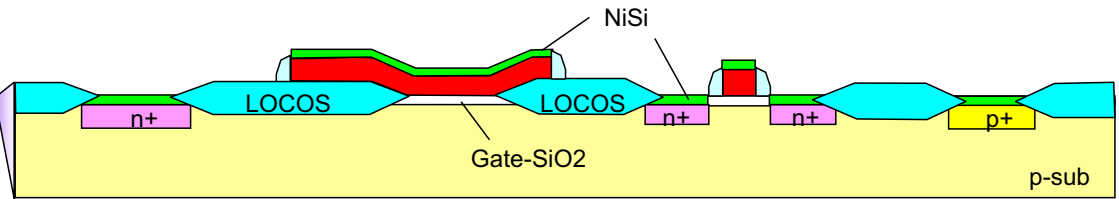
1.3 TEG (NMOS) 試作プロセス (2)



1.3 TEG (NMOS) 試作プロセス (3)

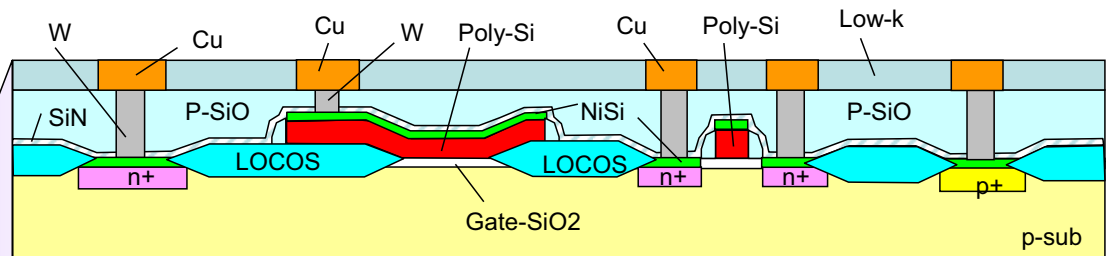
34. SiNデポ
35. SPホト
36. SPエッチ
37. レジスト除去
38. Ni デポ
39. アニール、除去

PN接合 NMOS容量 NMOSTランジスタ Sub端子



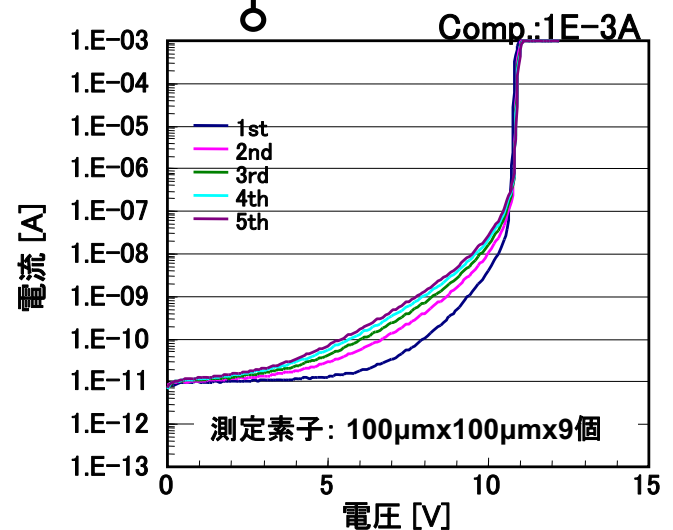
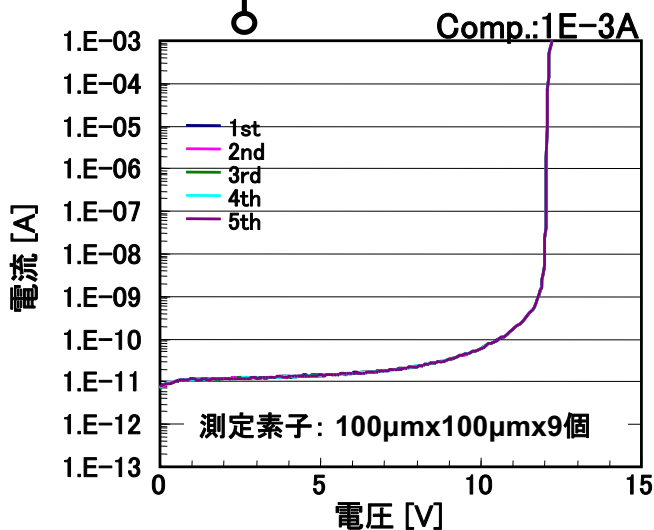
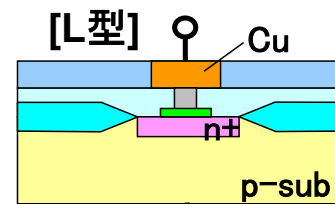
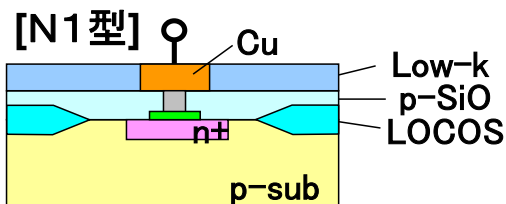
Ni-サリサイドプロセスを適用

40. SiNデポ
41. HDP-USGデポ
42. CMP
43. CNTホト
44. CNTドライ
45. TiN/Tiスパッタ
46. W-CVD
47. W-CMP
48. SiCデポ
49. p-SiOデポ
50. M1ホト
51. M1ドライ
52. Cuシード
53. Cuメッキ
54. Cu-CMP
55. H2アニール



W-プラグ、Cuダマシン配線を適用

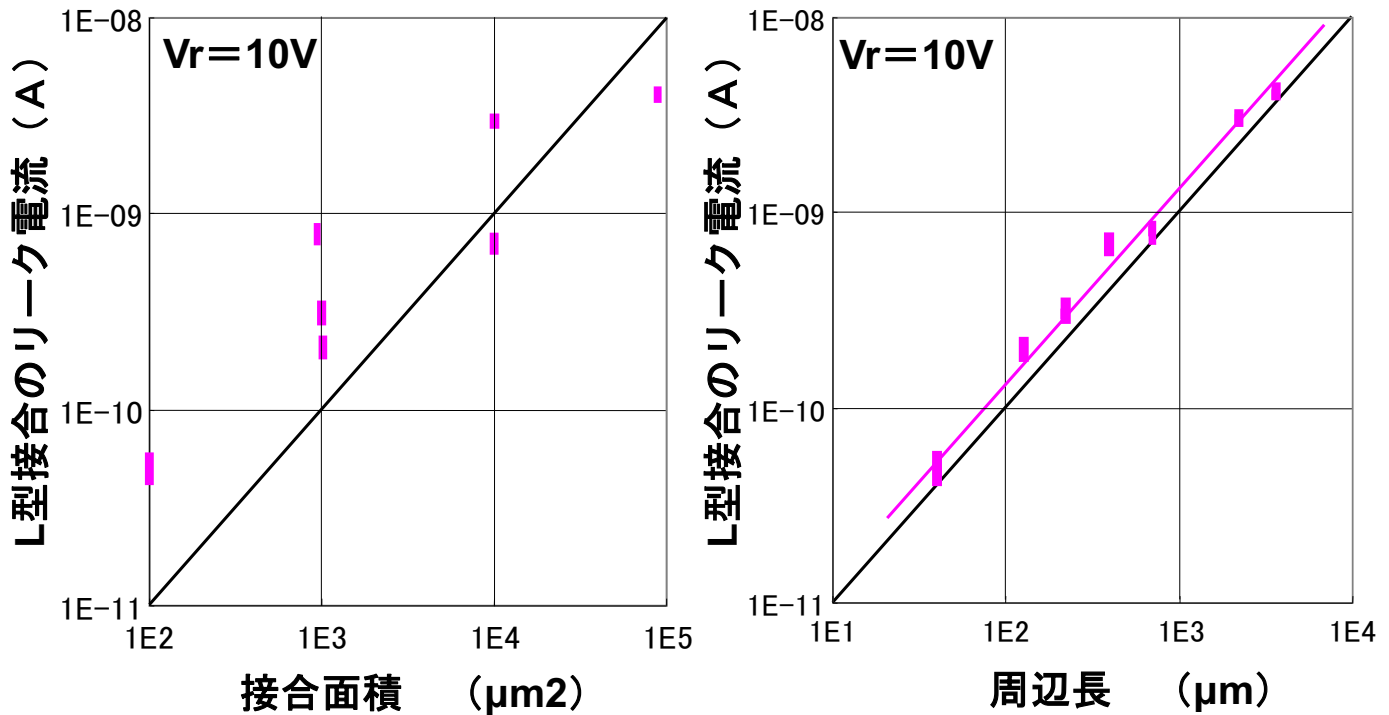
1.4 TEG試作結果 (p-n接合)



- ・ 接合の降伏電圧はN1型(12.0V)の方がL型(10.6V)よりも高い。
- ・ 繰り返し測定で、N1型は安定しているが、L型はリーク電流が増加していく。
- ・ L型は降伏電流を1 μ A以下に制御すれば、繰り返し測定でも安定する。

1.4 TEG試作結果 (p-n接合)

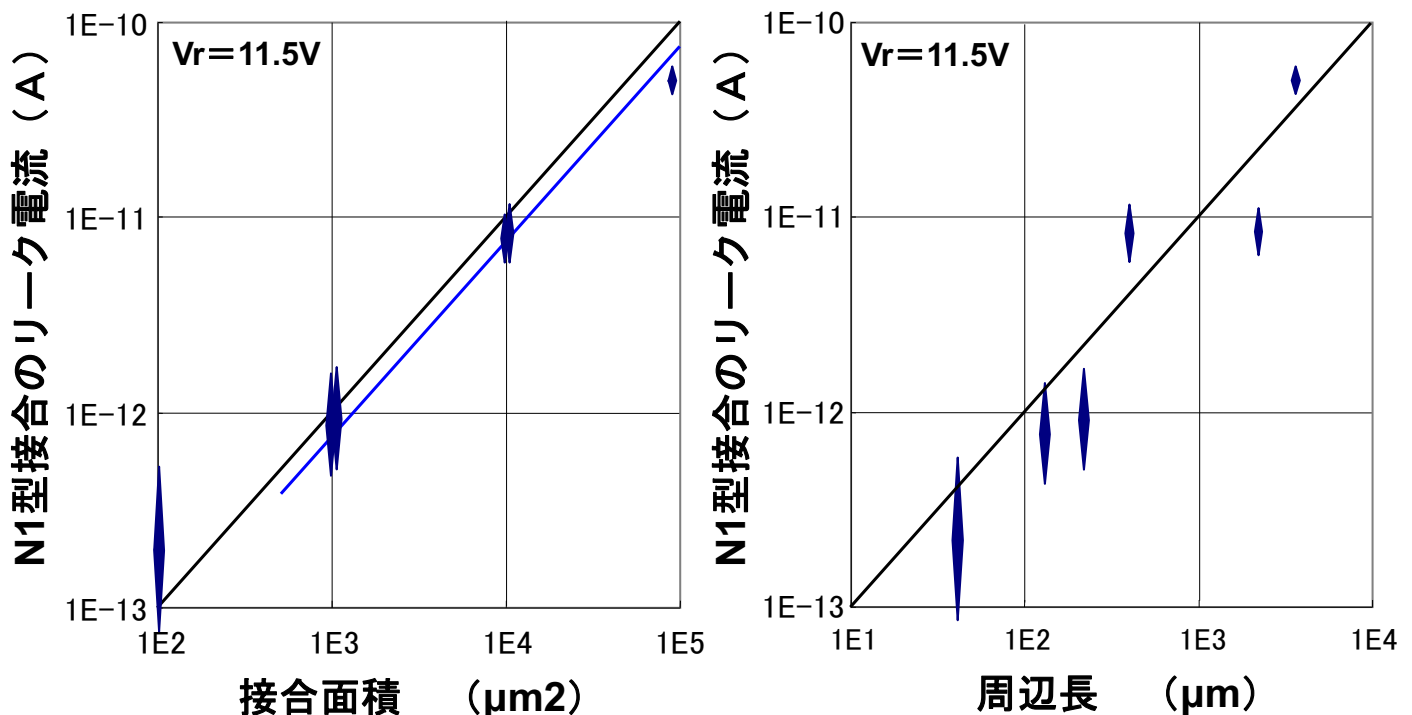
公開



- ・ L型p-n接合のリーク電流は、降伏電圧直前の高電界では、接合面積ではなく、接合の周辺長に依存して増加する。

1.4 TEG試作結果 (p-n接合)

公開

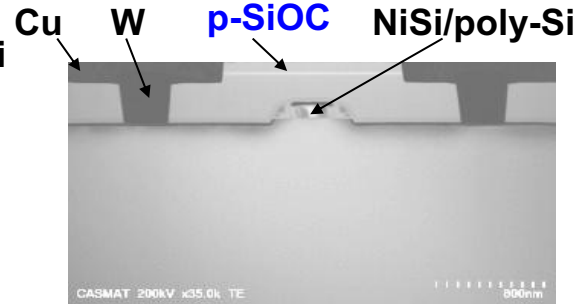
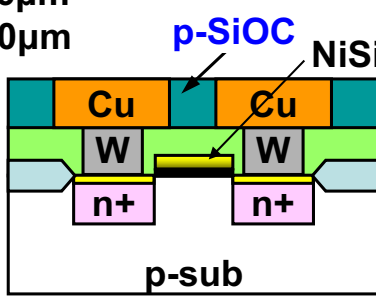


- ・ N1型p-n接合のリーク電流は、降伏電圧直前の高電界でも、接合の周辺長よりも接合面積に依存して増加する。
- ・ 汚染などによるリーク電流評価には、L型よりもN1型の方が適している。

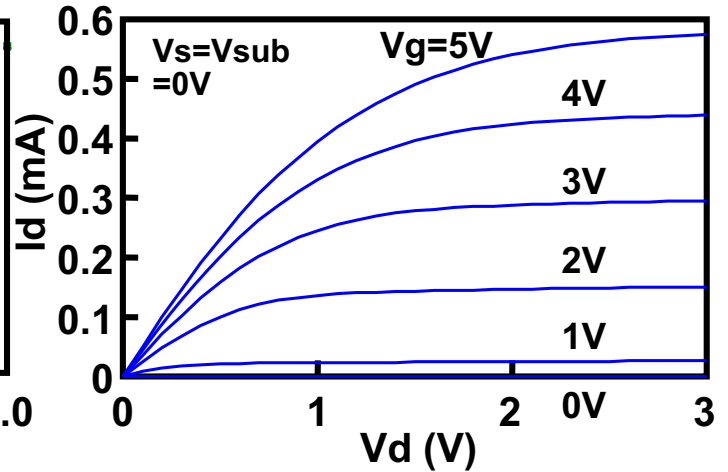
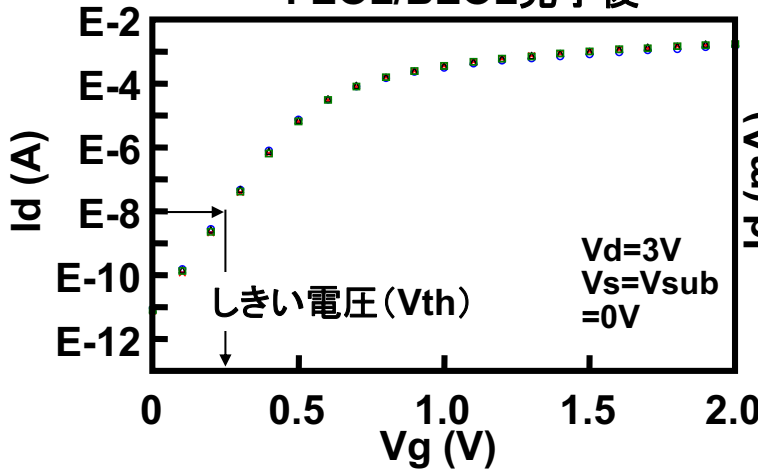
1.4 TEG試作結果 (NMOSトランジスタ)

公開

Lg=0.6μm
Wg=10μm



FEOL/BEOL完了後



・ 正常なトランジスタ動作(電気特性)が確認できた。

1.5 リングオシレータを用いた配線特性評価

公開

評価項目

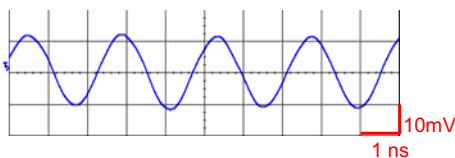
- ・多層配線における層間絶縁膜の実効的な容量
- ・Low-kのプロセス耐性

評価法

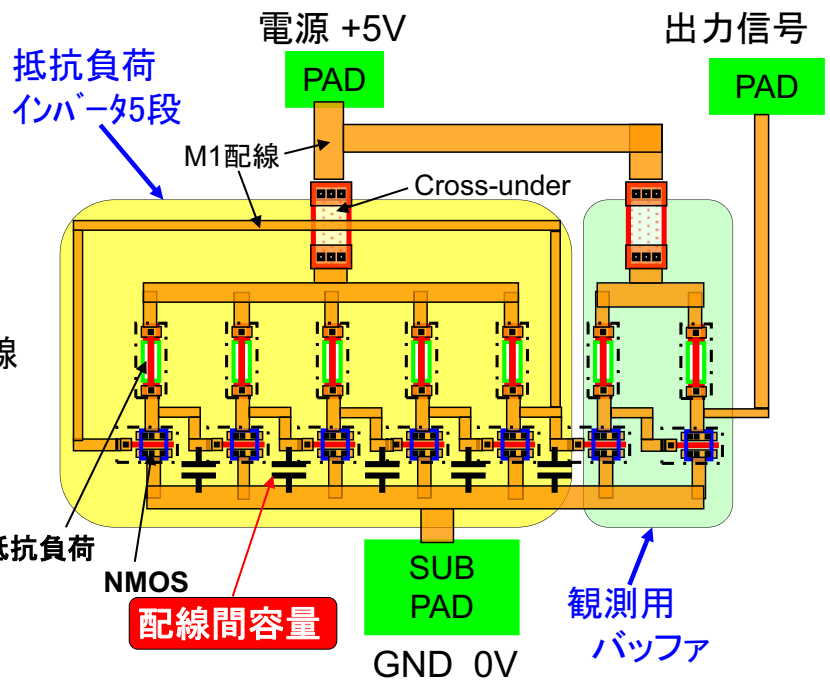
- ・種々のLow-k材料で多層配線を形成し、対向長の異なる楕型配線容量を伝播負荷としたリングオシレータの発信周波数を比較

測定項目

- ・発信周波数測定



5段 Lg=0.5um, R=7kΩ

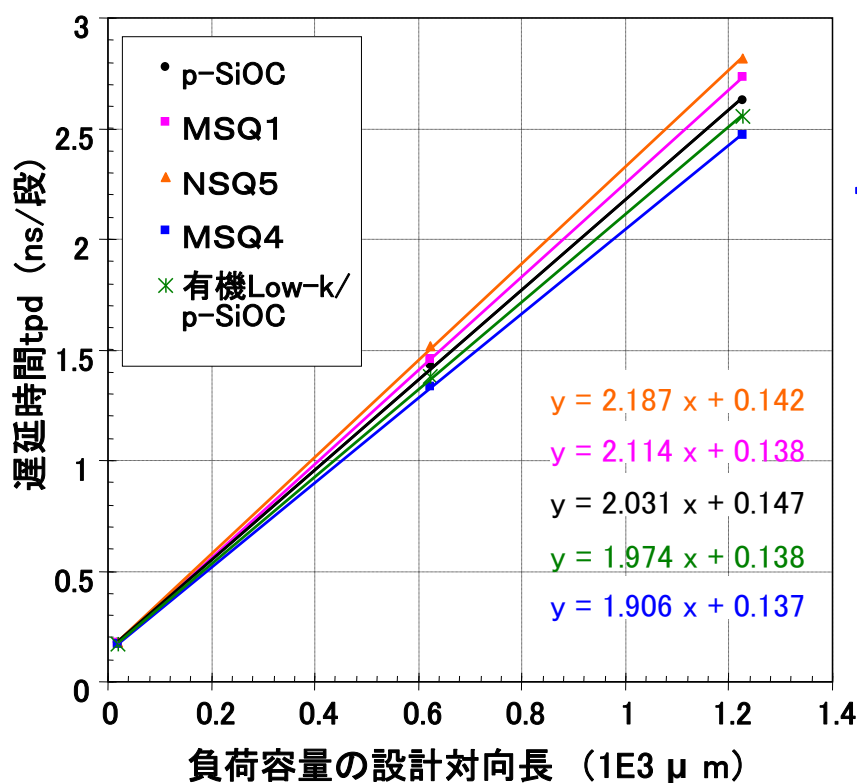


5段リングオシレータ回路の概略

1.5 リングオシレータを用いた配線特性評価

公開

リングオシレータの遅延時間tpdの負荷容量依存性



・配線層間絶縁膜の違いにより、遅延時間の負荷容量依存性が(左図での直線の傾き)が異なってくる。

1.5 リングオシレータを用いた配線特性評価(結果)

公開

層間膜	RM	実効容量 (グラフの傾き) (相対値)	補正係数 A 補正係数 (相対値)	実効比誘電率 (RC時定数) (相対値)	RC時定数がp-SiOC に対して14%低減	
	(kΩ)				実効 比誘電率	単層膜の 比誘電率
p-SiOC	105	1	1	1	3	3
MSQ1	87	1.04	0.83	0.86	2.6	2.4
MSQ4	106	0.94	1.01	0.95	2.8	2.4
MSQ5	95.2	1.08	0.91	0.98	2.9	3
有機Lowk/ p-SiOC	111.5	0.97	1.06	1.03	3.1	2.7

比較

ダメージ大 (耐性低い)

ダメージ大 (耐性低い)

RM ; 負荷容量と同じL/Sパターンの配線抵抗(R. O. 測定と同一チップ)

実効容量 ; 前のグラフ、tpd vs 相対容量の直線の傾き

補正係数 A = 配線の断面形状を同一にしたときの容量に補正する係数

$$= 1 / (\text{配線断面積の比}) = (\text{配線抵抗の比}) = R_{M1} / R_{M0}$$

$$\text{実効比誘電率} = \text{実効容量} \times A$$

この研究成果は、ICMTS2010にて発表

・リングオシレータを用いて層間絶縁膜の比誘電率評価ができる。 ⇒特願2010-080768

1.6 マスク修正

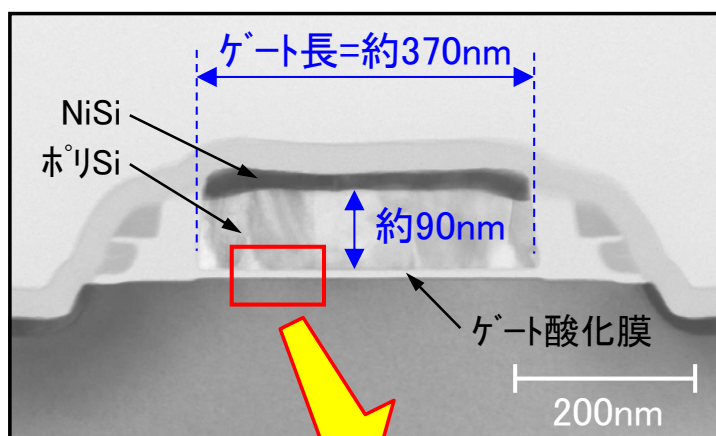
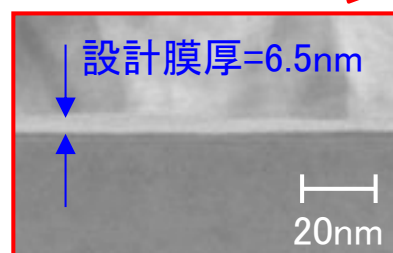
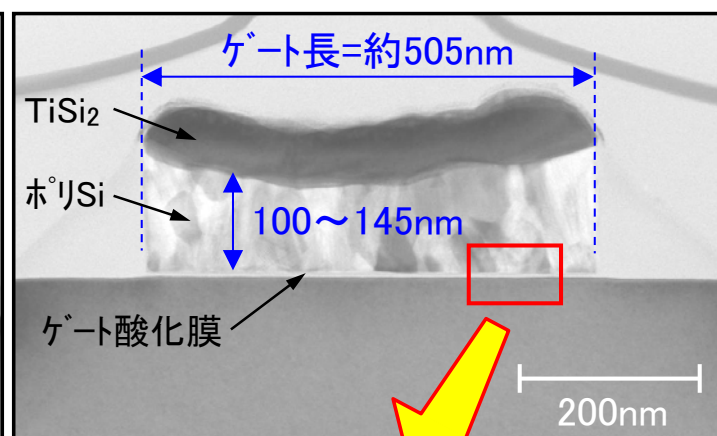
公開

TEG改良のためのマスク修正内容

#	TEGの種類	目的	修正内容	効果
1	リングオシレータ (RO)	感度向上 CMP評価	負荷抵抗変更 つづら抵抗負荷	S/N向上 CMP平坦性評価
2	PN接合	Low-k膜評価	ゲート付PN接合	膜中電荷の評価
3	寄生MOS	精度向上	ゲート構造変更	ゲート電極オーバーラップ構造で精度向上
4	アンテナTEG	感度向上	アンテナ比向上 22万倍→125万倍	ダメージ評価が可能
5	パッケージ	感度向上	寄生MOS, ROを追加	測定可能

1.6 マスク修正

公開

Selete (CAST-T2)Tei (CAST-T3)

・ 試作外注先、プロセス仕様の変更によるトランジスタ部の素子構造比較

1.6 マスク修正

公開

マスク修正前後のデバイスの基本特性

	T1 / T2	T3
Vt (0.5X10) (mV)	110.5±5.9	227.8±7.4
Vt (1.0X10) (mV)	301±10.1	264±9.9
N1 抵抗 (kΩ / □)	3.81±0.10	1.11±0.06
N2 抵抗 (Ω / □)	103±6.8	105±3.2
Poly-Si 抵抗 (Ω / □)	376±22	372±8.6
M1 つづら (kΩ)	102.9±3.3	80.2±4.0
M2 つづら (kΩ)	145.3±13.1	156.8±15.7

つづら: L/S=0.2/0.2μm, 100mm

Selete

Tei

- ・マスク修正、試作外注先変更、プロセス変更を行なったが、ほぼ同等のデバイスの基本特性が得られることが確認できた。

ま と め

公開

- ・ KrF、i線露光に対応できる最小寸法0.2 μm、チップサイズ21.5×26.9 mm²、マスク枚数12枚として、種々の構造や面積を有するp-n接合素子、ゲート容量素子、トランジスタ、抵抗素子、アンテナTEG、腐食TEG、リングオシレータなどを設計
- ・ FEOLのプロセスフロー、種々の材料の膜厚やイオン打込み条件などの各工程の処理条件を策定し、ウェーハ試作を外注して、接合素子を含むFEOLの試作を完了
- ・ FEOLプロセスを完了したウェーハ上に、CASMATでBEOLプロセスを実行して、接合素子の電気特性を測定することが可能なFEOL/BEOL統合TEGを完成
- ・ p-n接合や容量素子など単純な接合素子に加え、そのFEOLプロセスで同時に形成されるトランジスタ、容量あるいは抵抗負荷型のリングオシレータなどの電気特性を測定し、期待値通りの特性を確認し、TEGを検証を完了
- ・ 配線間容量を負荷とするリングオシレータの発振周波数測定により、相対的ではあるが多層配線の層間絶縁膜の比誘電率を評価できることを確認
- ・ マスク修正および外注先の変更にともなうプロセス条件を再策定し、ほぼ同様のデバイス特性が得られることを確認

研究開発項目② 具体的目標と達成度

公開

研究開発項目② 材料による金属汚染、応力影響の評価方法の開発

目 標	達成度	判断の理由・根拠
<ul style="list-style-type: none"> FEOLで作成した素子の電気特性を測定して、金属汚染の影響を電氣的に測定・解析する方法を開発する 	○	<ul style="list-style-type: none"> Cuによる汚染を、p-n接合の逆方向リーク電流から評価できた Na、Kの汚染は、寄生MOSのしきい電圧の変動から評価できた
<ul style="list-style-type: none"> FEOLで作成した素子の電気特性を測定して、応力の影響を電氣的に測定・解析する方法を開発する 	○	<ul style="list-style-type: none"> 応力の影響は、FEOLで作成したn+層、n層、poly-Siの抵抗の増減により評価できることを明らかにした
<ul style="list-style-type: none"> FEOLで作成した素子の電気特性を測定して、電荷蓄積の影響を電氣的に測定・解析する方法を開発する 	○	<ul style="list-style-type: none"> アンテナTEGのゲート耐圧測定から、プロセスや材料に起因する電荷蓄積を評価することができた
<ul style="list-style-type: none"> CMPプロセスでの腐食を評価する方法を開発する 	○	<ul style="list-style-type: none"> Cu配線の抵抗変化測定により腐食を評価できることを明らかにした

達成度： ○達成、△未達

内 容

公開

2 材料による金属汚染、応力影響の評価方法の開発

2.1 金属汚染の評価方法

a. 重金属汚染

b. アルカリ金属汚染

2.2 応力影響の評価方法

2.3 電荷蓄積(チャージアップ)の評価方法

2.4 配線腐食の評価方法

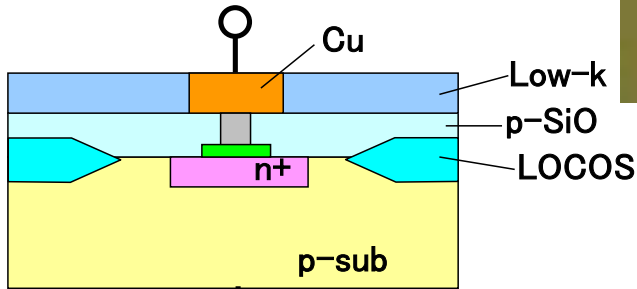
a. p-n接合電池

b. 濃淡電池

2.1 金属汚染の評価方法(重金属)

重金属汚染の評価用試料

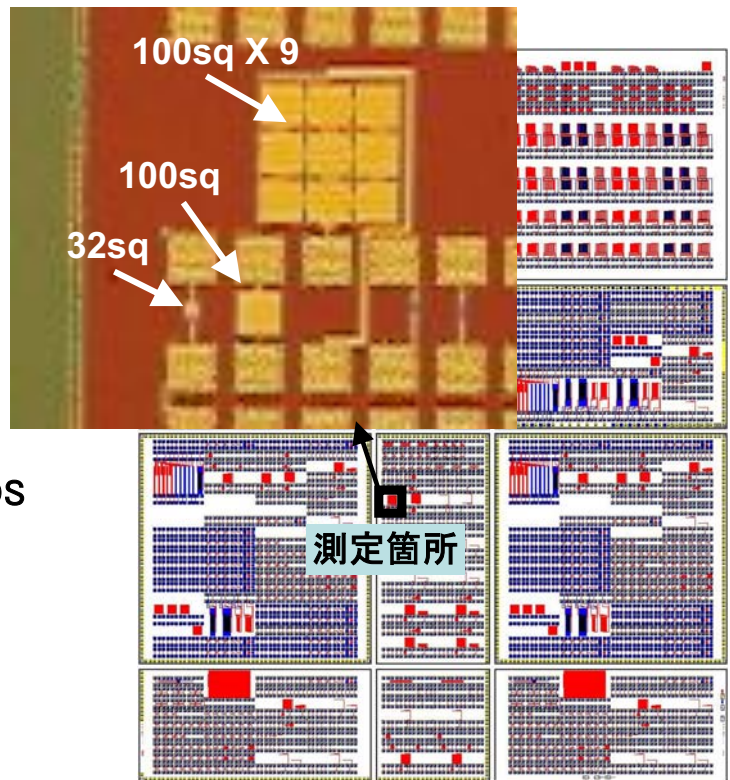
- ・FEOL: CAST-T2
- ・Low-k: p-SiOC
- ・Cu/2層配線 (PV完)
- ・裏面研削 (Si基板厚: 100 μ m)
- ・ダイシング (チップ毎に分割)



評価試料の構造模式図

測定素子の寸法

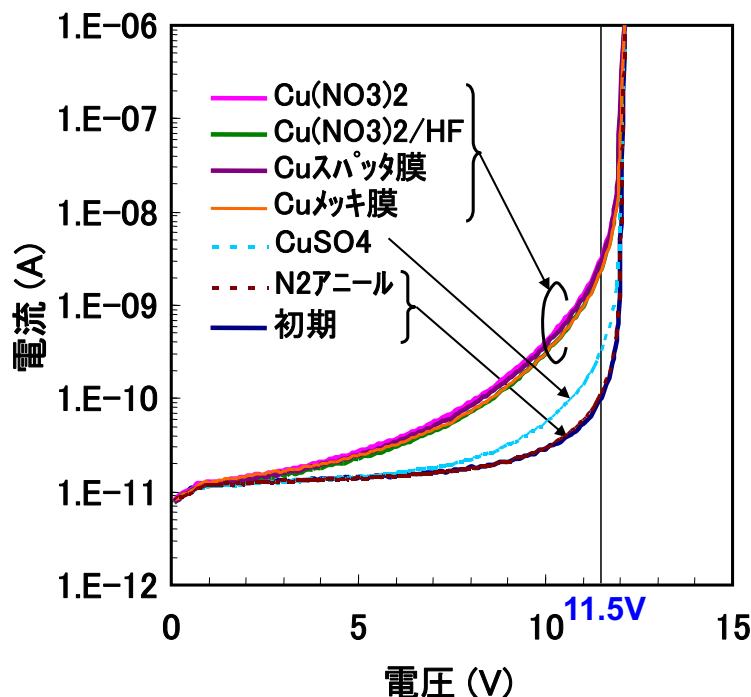
n+ : 32X32 μ m², 100X100 μ m², 100X100 μ m² X9



測定チップ

2.1 金属汚染の評価方法(重金属)

汚染方法(汚染源) についての調査



裏面に溶液滴下後または
Cu膜形成後

N₂アニール : 400°C, 1hr

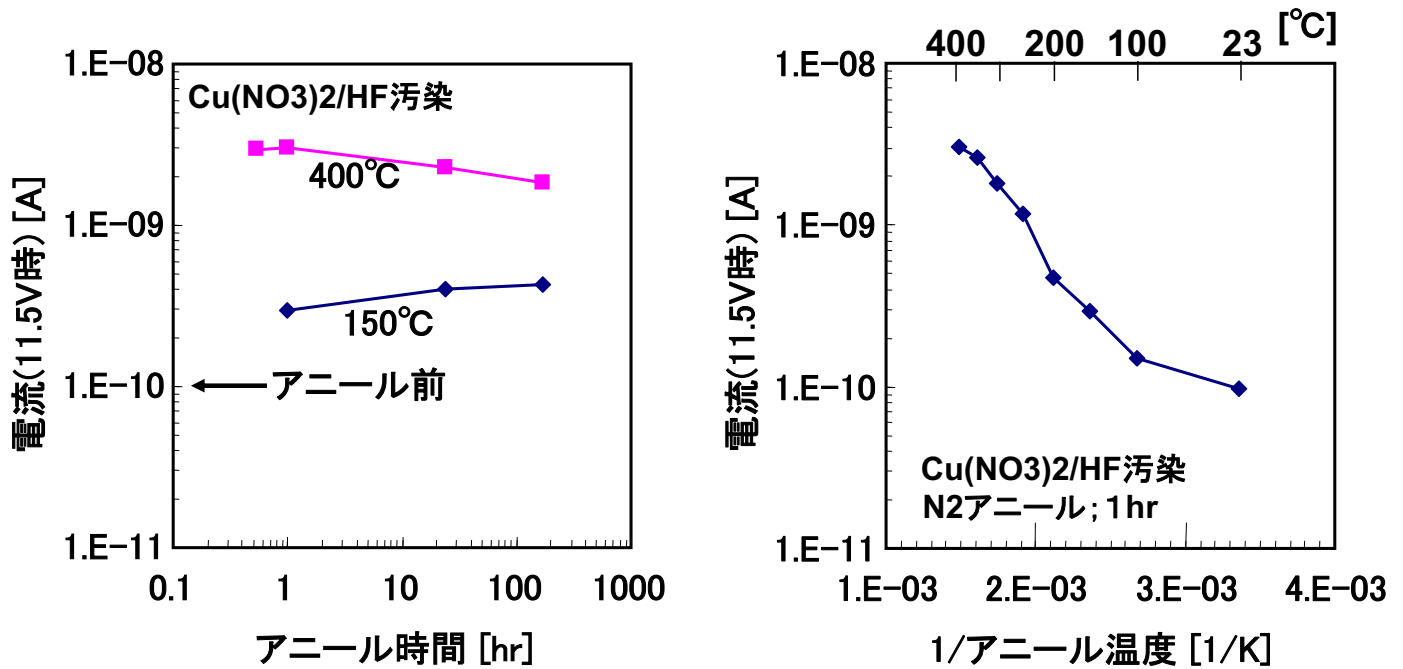
測定素子:

100 μ m \square × 9

- ・チップ裏面から種々の方法でCu汚染させた後、PN接合のリーク電流を測定した。
- ・硫酸銅以外ではどの汚染源でもほぼ同程度にリーク電流が増加する。

2.1 金属汚染の評価方法(重金属)

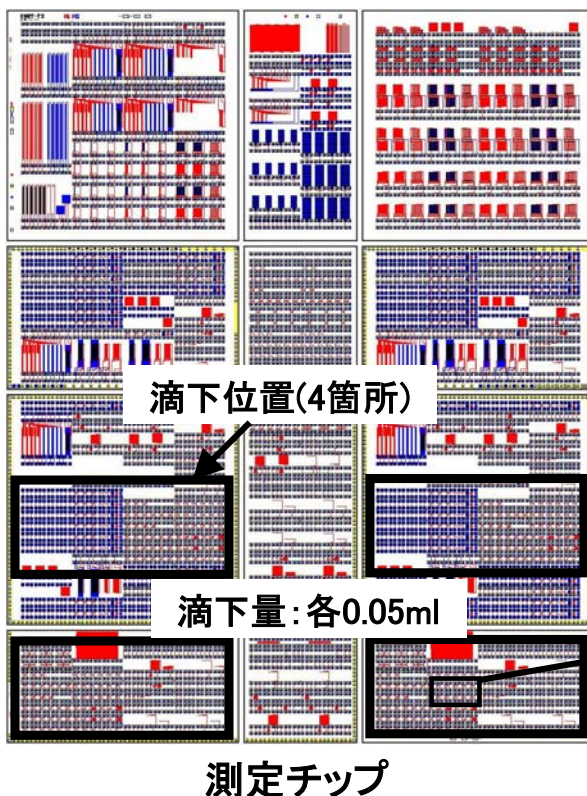
逆方向リーク電流の汚染後のアニール時間、アニール温度依存性



- ・リーク電流は、400°Cでは1時間以内に飽和、150°Cでは若干増加傾向
- ・リーク電流は、アニール温度の上昇にともなって増加する。
- ・温度依存性は、CuのSiへの固溶限により律速されていると考えられる

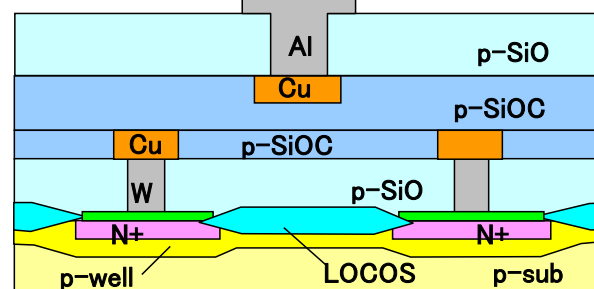
2.1 金属汚染の評価方法(アルカリ金属)

2.1 アルカリ金属汚染試料

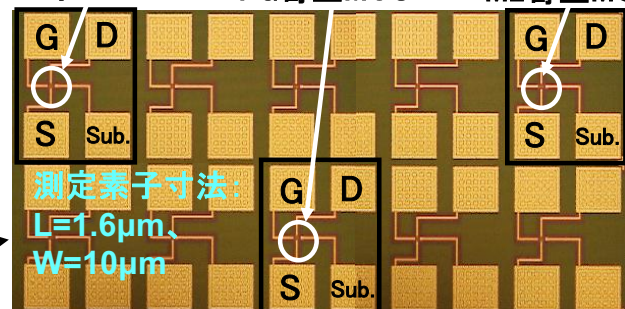


M2寄生MOSの模式図

(アルカリ金属の拡散バリアとなるSiC、SiCN、SiNを除去)



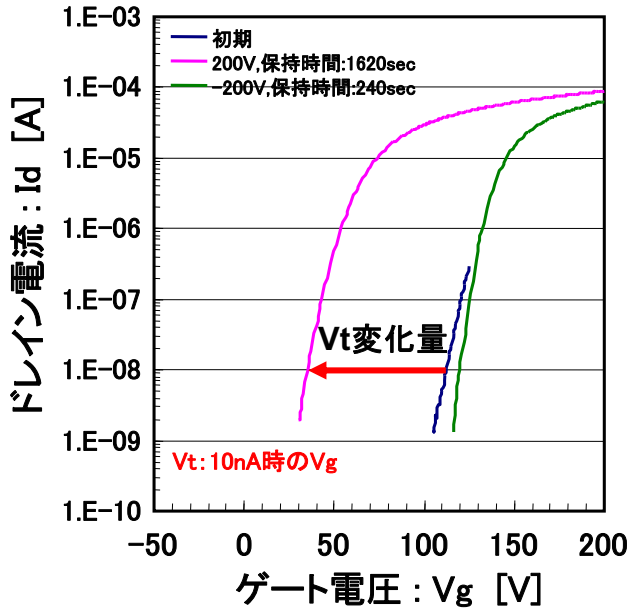
M1寄生MOS FG寄生MOS M2寄生MOS



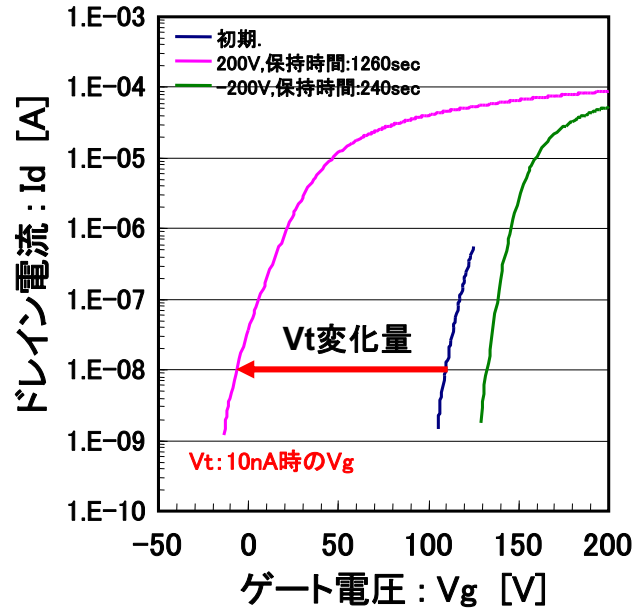
寄生MOSパターン外観

2.1 金属汚染の評価方法(アルカリ金属)

Na汚染によるM2寄生MOSのしきい電圧変化



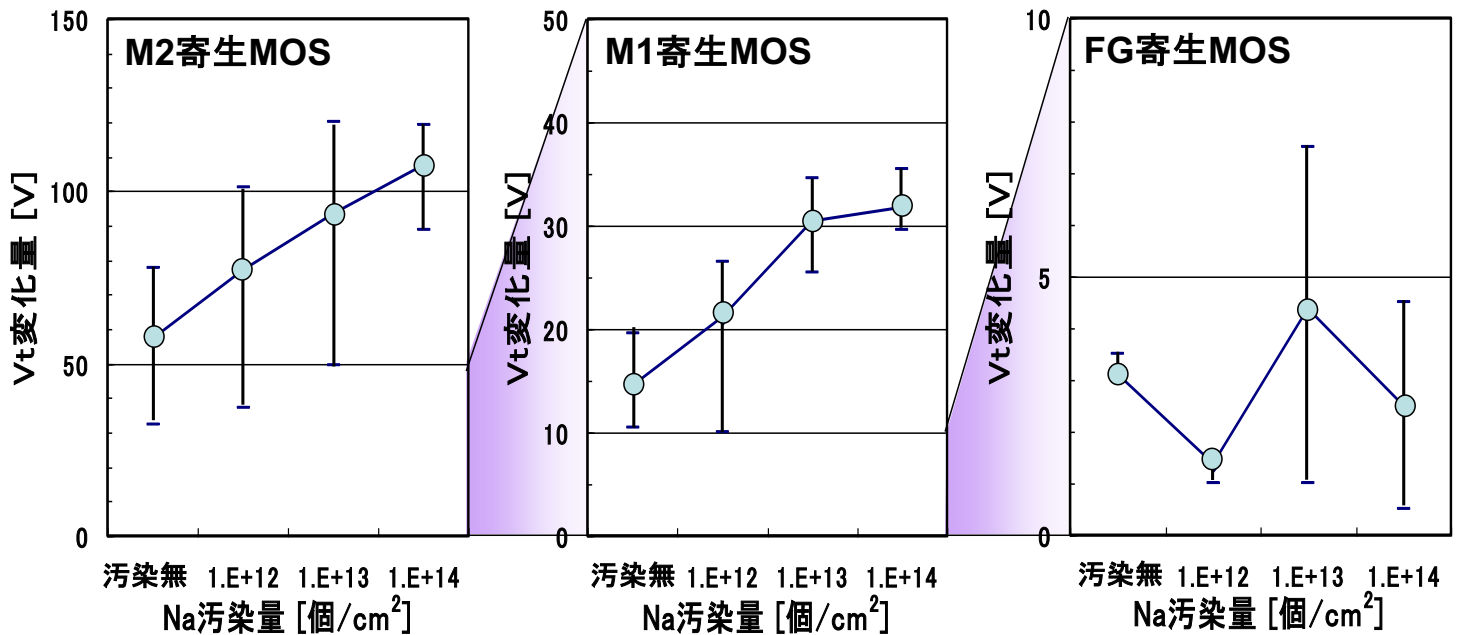
汚染無しの試料でのM2寄生MOSの Vg-Id特性



10万倍希釈液 (1E14個/cm²)で汚染した試料のM2寄生MOSの Vg-Id特性

2.1 金属汚染の評価方法(アルカリ金属)

ナトリウム(Na)汚染量と寄生MOSのVt変化量の関係

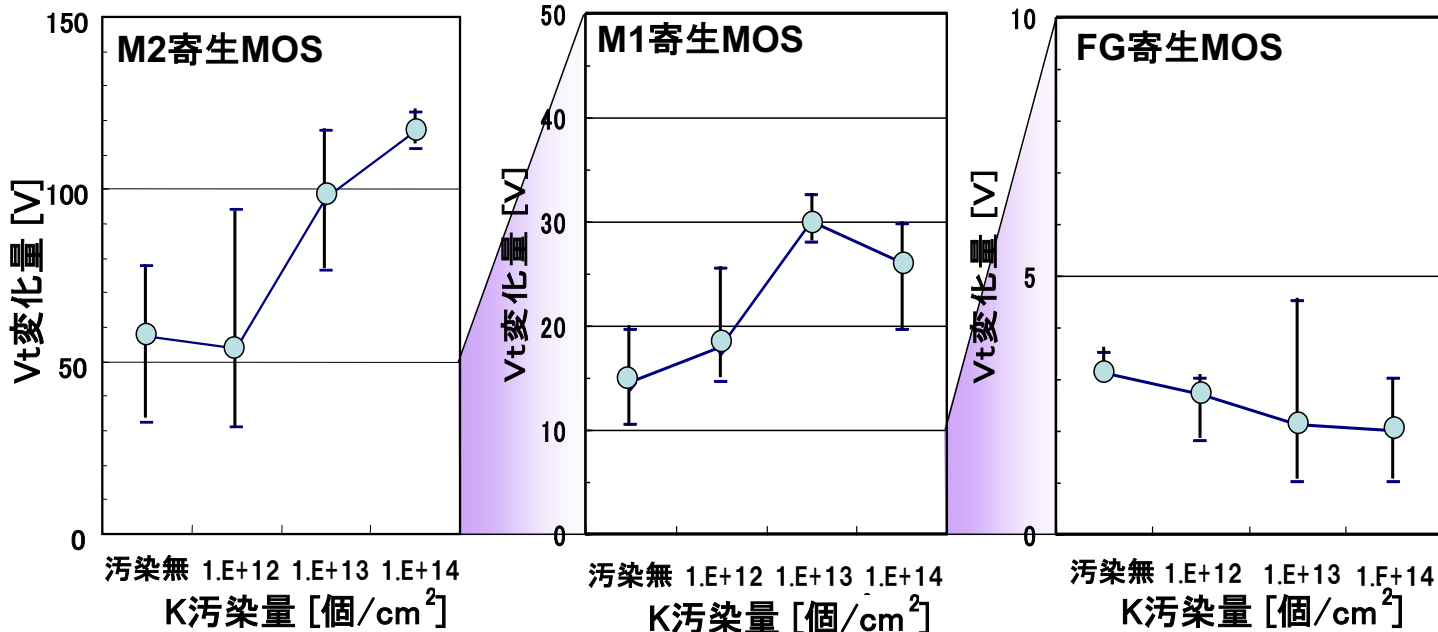


Vt変化量; (+バイアス印加後のVt) - (初期のVt)

- ・ M2、M1寄生MOSでは、Na汚染量1E+12以上で汚染によるしきい電圧変化が検知できる
- ・ FG寄生MOSでは1E+14のNa汚染があっても検知できない

2.1 金属汚染の評価方法(アルカリ金属)

カリウム(K)汚染量と寄生MOSのVt変化量の関係



Vt変化量; (+バイアス印加後のVt) - (初期のVt)

- ・ M2、M1寄生MOSでは、K汚染量1E+13以上で汚染によるしきい電圧変化が検知できる
- ・ K汚染量1E+12では、しきい電圧変化の有無は微妙である
- ・ FG寄生MOSでは1E+14のK汚染があっても検知できない

2.2 応力影響の評価方法

評価試料

パターン外観

測定位置

チップを反らせる

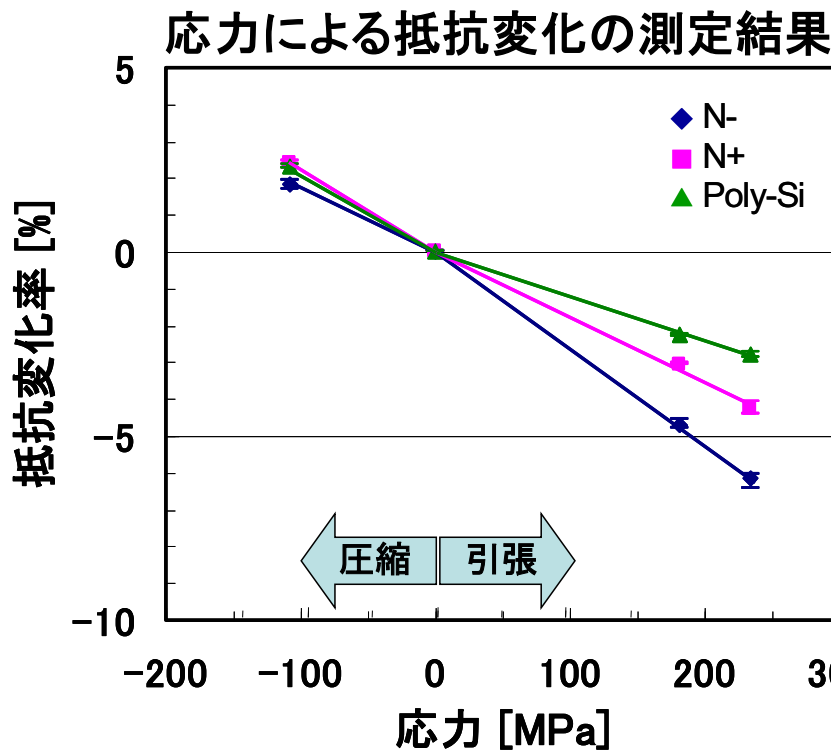
チップ

測定チップ

- ・ 裏面研削(基板厚: 100μm)
- ・ 測定する抵抗素子がチップのほぼ中央に位置している
- ・ 電流は上下方向に流れる
- ・ チップを反らせて応力を印加

2.2 応力影響の評価方法

公開

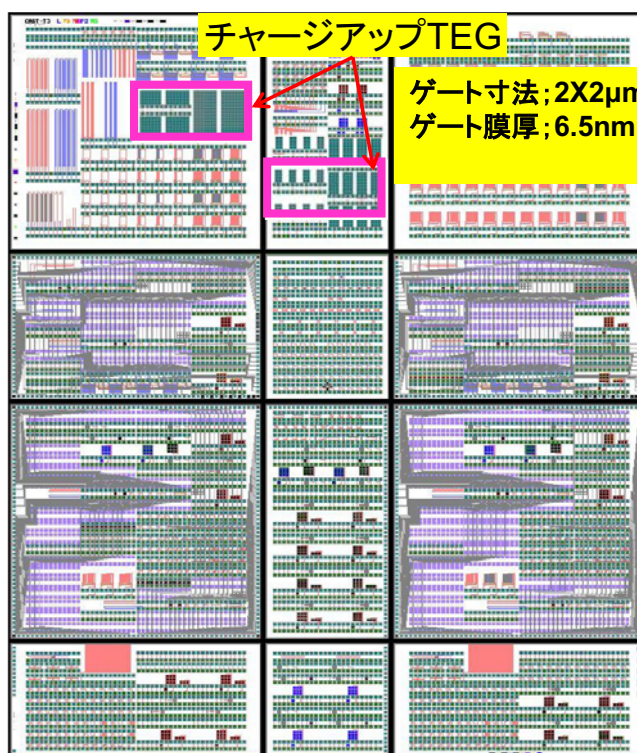


- ・ 抵抗は、引張応力で下がり、圧縮応力で上がる⇒伝導キャリアが電子である
- ・ 3種類の抵抗素子の中では、N-抵抗素子が最も応力に対する感度が高い
- ・ 抵抗変化率は200 Mpaで高々約5%である

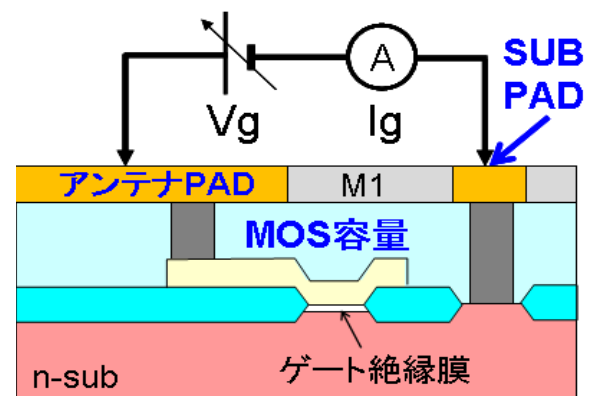
2.3 電荷蓄積 (チャージアップ) の評価方法

公開

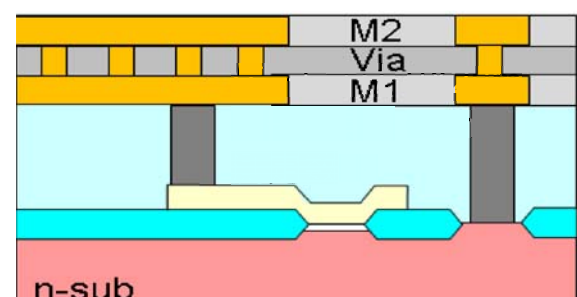
評価試料と実験方法



測定チップ(測定数; 46ヶ/ウェーハ)



M1完了後の断面構造と測定方法

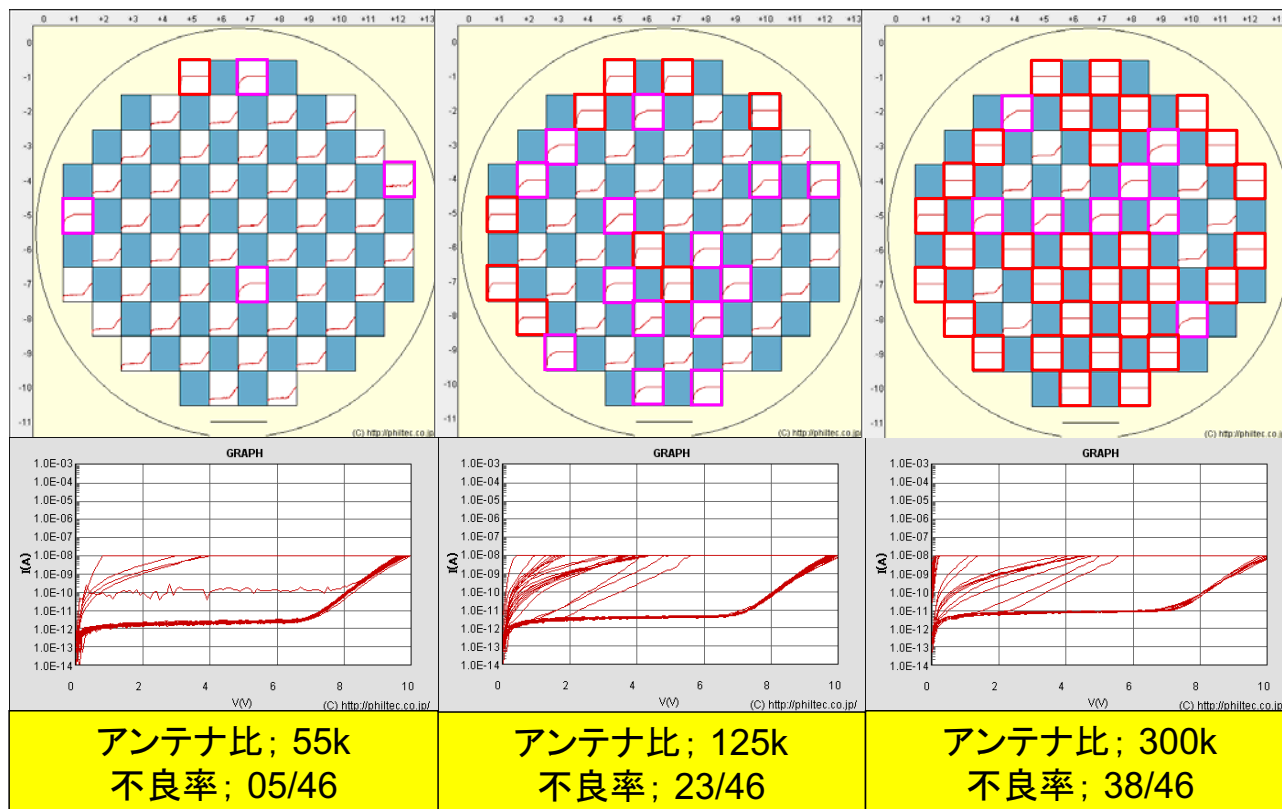


M2完了後の断面構造

2.3 電荷蓄積 (チャージアップ) の評価方法

公開

電流-電圧特性の測定結果 (M2)

N型基板、Low-k: p-SiOC、M2完了後 ゲート寸法 2X2 μ m, ゲート膜厚 6.5nm

2.3 電荷蓄積 (チャージアップ) の評価方法

公開

アンテナTEGの耐圧不良率

N型基板、Low-k: p-SiOC

N型基板、Low-k: p-MSQ

アンテナ比 測定	3k	23k	55k	125k	300k
M1完後	0	0	0	0	0
M2完後	0	2	11	50	83

耐圧不良率 (%)

アンテナ比 測定	3k	23k	55k	125k	300k
M1完後	0	0	0	0	0
M2完後	0	0	2	28	52

耐圧不良率 (%)

P型基板、Low-k: p-SiOC

P型基板、Low-k: p-MSQ

アンテナ比 測定	3k	23k	55k	125k	300k
M1完後	0	0	0	0	0
M2完後	0	0	0	2	2

耐圧不良率 (%)

アンテナ比 測定	3k	23k	55k	125k	300k
M1完後	0	0	0	0	0
M2完後	0	0	0	0	0

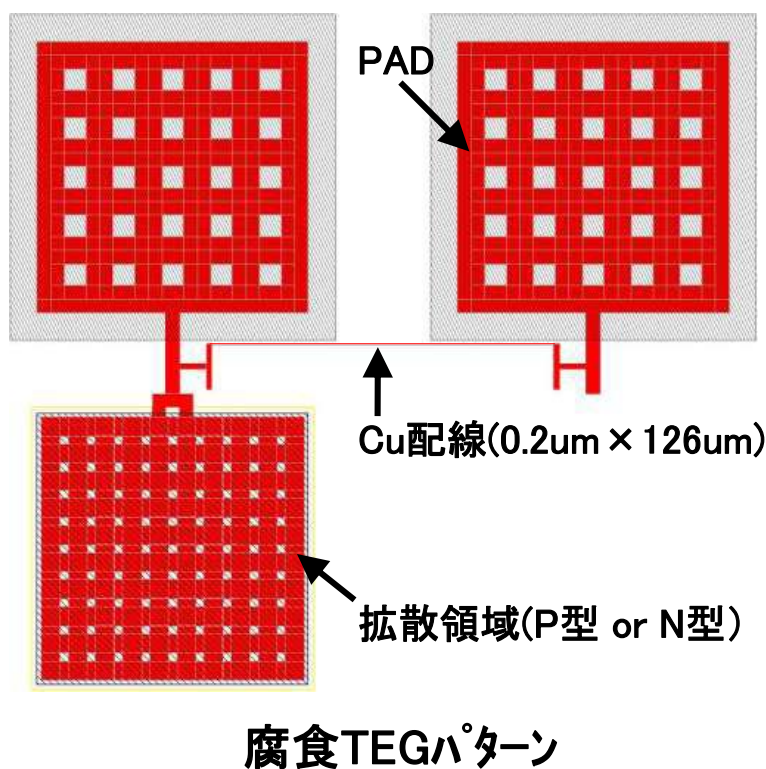
耐圧不良率 (%)

- ・ M1完では不良はなく、M2完で不良が発生⇒工程増加の影響
- ・ p-MSQよりもp-SiOCの方が不良発生が多い⇒絶縁膜形成時のプラズマの影響
- ・ P型基板よりもN型基板の方が不良発生が多い⇒評価にはN型基板の方が好適

2.4 配線腐食の評価方法 (p-n接合電池)

公開

試料および実験方法



2-1. 試料

- ・FEOL: CAST-T2(P型基板)
CAST-T3(N型基板)
- ・Low-k: p-MSQ
- ・Cu/1層配線(M1 CMP完)

2-2. 評価内容

- ・光(蛍光灯)照射水洗の影響
- ・洗浄剤の防食効果有無

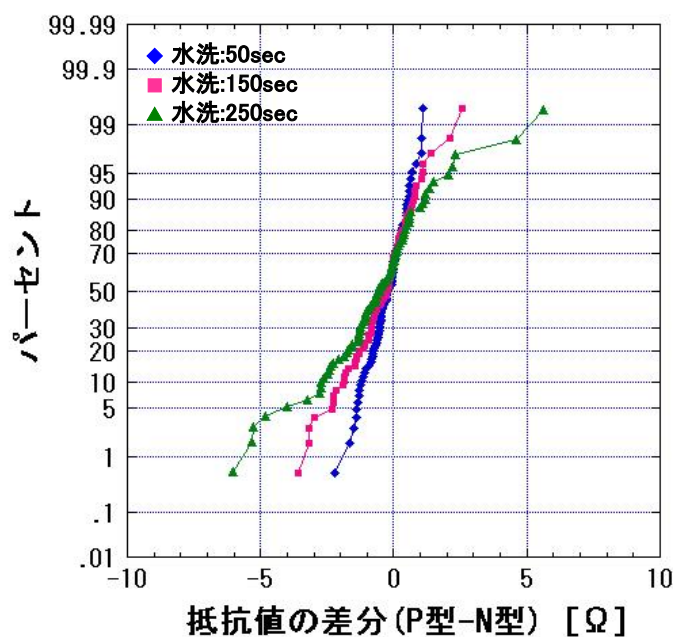
2-3. CMP研磨条件

- ・装置: ChaMP(東京精密)
- ・研磨パッド: IC1400xy-k
- ・研磨圧力: 1.5psi
- ・洗浄時間: ロールブラシ: 40sec
ロールブラシ: 60sec
リンス: 60sec

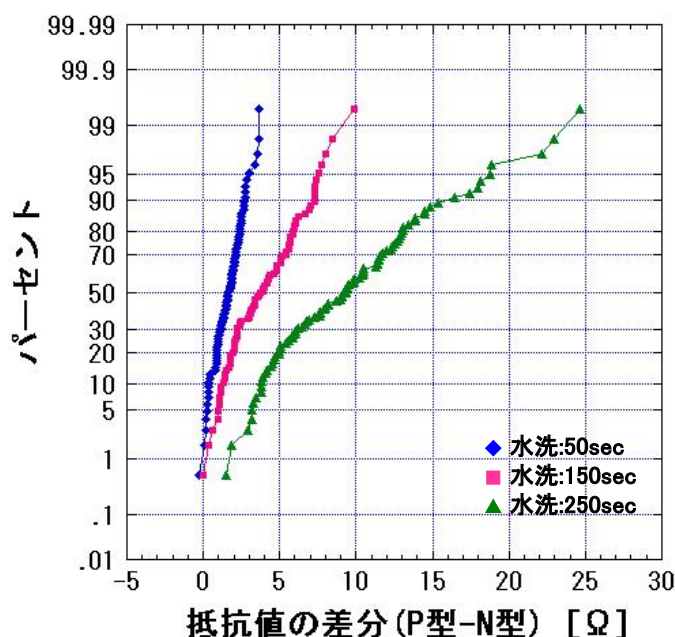
2.4 配線腐食の評価方法 (p-n接合電池)

公開

水洗中の光照射の影響



(1) 光照射無し



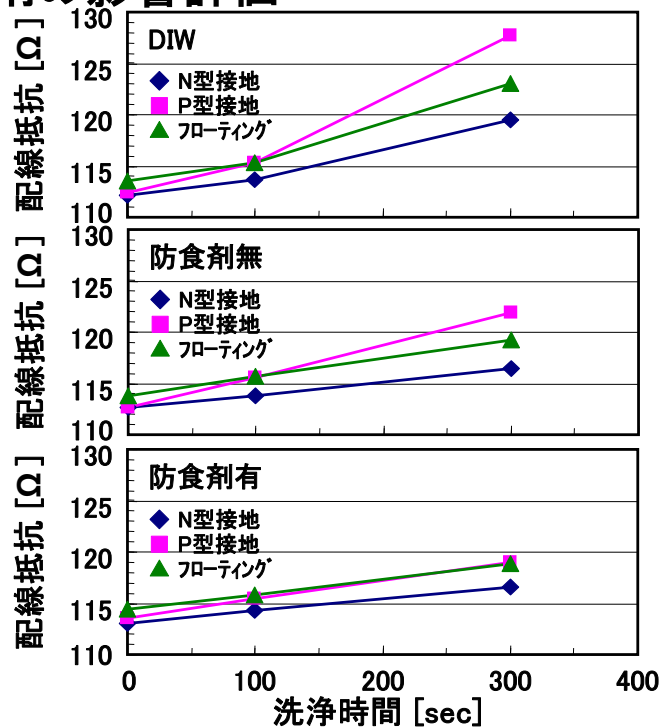
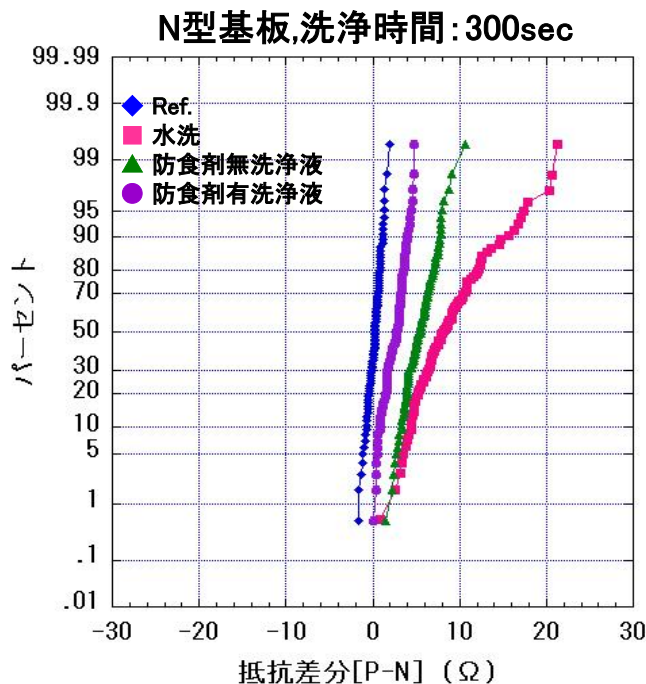
(2) 光照射有り

- ・ 光照射しない場合は抵抗値の差はないが、光照射すると抵抗値の差が時間とともに増大する

2.4 配線腐食の評価方法 (p-n接合電池)

公開

CMP後洗浄剤の影響評価



- ・ 洗浄剤の防食効果が、P型とN型の拡散層に接続されたそれぞれのCu配線抵抗の差で評価

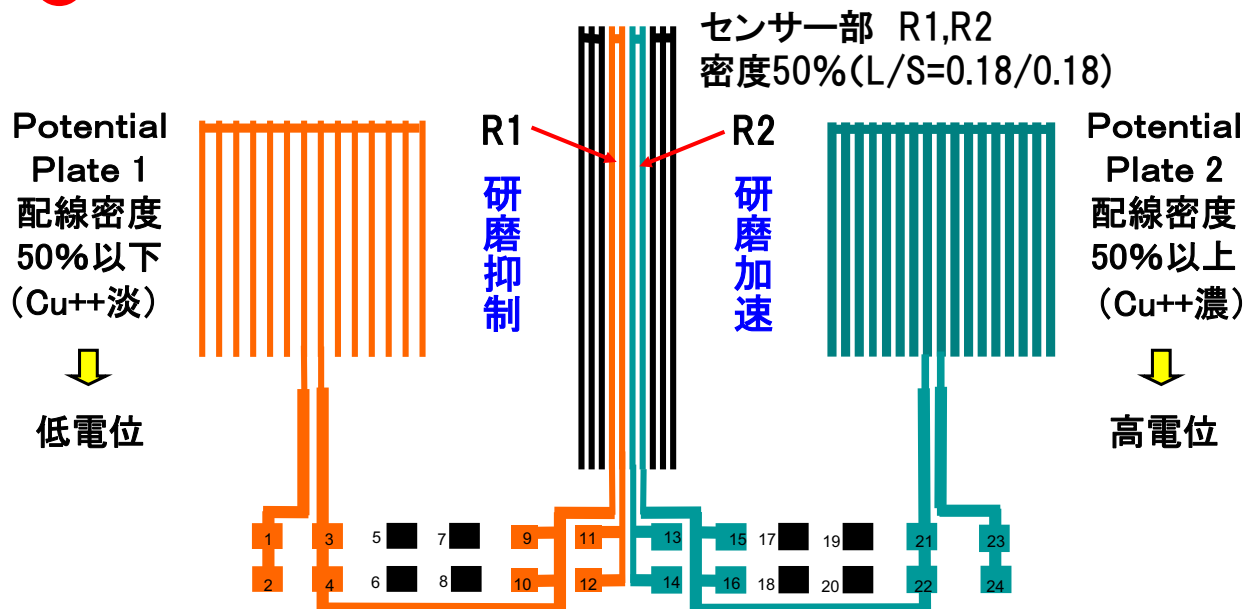
この研究成果は、応用物理学会2012秋 発表予定

2.4 配線腐食の評価方法 (濃淡電池)

公開

濃淡電池作用の評価TEG

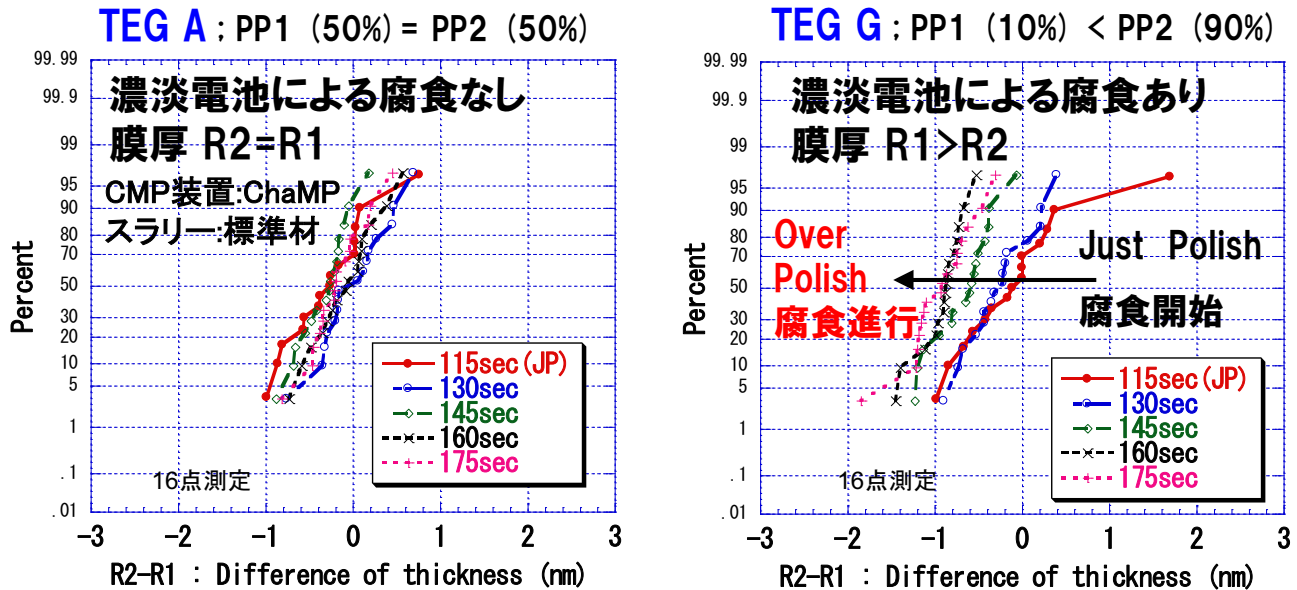
TEG	Potential Plate1 密度(%), L/S(um)	Potential Plate2 密度(%), L/S(um)	密度比 (PP2/PP1)	Sensor
A	50 (0.18/0.18)	50 (0.18/0.18)	1	L/S=0.18/0.18(50%)
D	20 (0.18/0.72)	50 (0.18/0.18)	2.5	↑
F	20 (0.18/0.72)	80 (0.72/0.18)	4	↑
G	10 (0.18/1.62)	90 (1.62/0.18)	9	↑



2.4 配線腐食の評価方法 (濃淡電池)

公開

濃淡電池TEGによる評価結果 (Cu-CMPのみ)



- ・ 配線密度が同じ場合は、濃淡電池効果がないため、配線高さは同じ(左図)
- ・ 配線密度が異なると、低密度接続側では研磨(腐食)が抑制され、高密度接続側では研磨(腐食)が加速され、その差は研磨量とともに増大する(右図)

この研究成果は、ICPT2010、ADMETA2010,2011等で発表(No. 6,7,9,12,15)

まとめ

公開

- ・ Cuなどの重金属汚染は、p-n接合の逆方向電流を測定により評価
- ・ Na、Kのアルカリ金属汚染は、M1、M2寄生MOSTランジスタの+ゲートバイアス印加によるしきい電圧変動量から評価
- ・ 応力の影響は、n+層、n-層、poly-Siのそれぞれの抵抗素子の電流方向に、基板を反らせて応力を印加して抵抗測定した結果、圧縮応力では抵抗が増加、引張応力では抵抗が減少することから評価
- ・ 容量素子のゲート電極側に大面積のアンテナ電極を接続したアンテナTEGのゲート耐圧測定により、プロセスや材料に起因する電荷蓄積の効果を評価
- ・ CMPプロセスで発生するCuの腐食について、その配線抵抗の測定により、p-n接合電池、Cuイオンの濃淡電池による腐食現象を定量的に把握

研究開発項目③ 具体的目標と達成度

公開

研究開発項目③ 半導体プロセス全体を考慮した材料評価基盤の開発

目 標	達成度	判断の理由・根拠
・ 接合素子を用いて、Low-k材料が半導体プロセスにおいて受けるダメージを詳細に評価する方法を開発する	○	・ リングオシレータ(RO)の発振周波数を測定し、その解析により、Low-kの直接CMPやプラズマ照射によるダメージを高感度に評価できた
・ 接合素子を利用して、Low-k材料に関する新たな電氣的性質を評価する方法を開発する	○	・ ゲートバイアス印加による、寄生MOSTランジスタのしきい電圧変動幅からLow-kの分極特性を抽出した
・ ワイヤボンダ型パッケージの組立てまで実施し、材料影響を評価する方法を開発する	○	・ 208ピンQFPを外注にて組立て、接合素子を測定したが、既存のLow-k材料、BC材料では、その影響が顕著に見られないことがわかった
・ フリップチップ型パッケージの組立てまで実施し、材料影響を評価する方法を開発する	○	・ 種々のBC材料で再配線し、WLPを外注にて組立て、評価した結果、接合素子よりも剥離や断線に材料影響が顕著であり、剥離耐性係数を創出した

達成度： ○達成、△未達

内 容

公開

3 半導体プロセス全体を考慮した材料評価基盤の開発

3.1 リングオシレータ(RO)を用いたLow-k膜ダメージの評価方法

3.2 寄生MOSを用いた配線間絶縁膜の評価方法

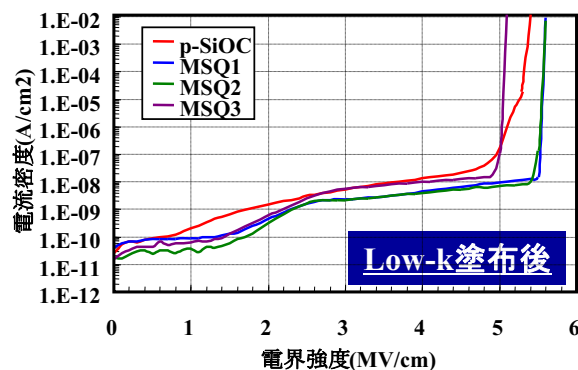
3.3 ワイヤボンダ型パッケージ(QFP)での評価

3.4 フリップチップ型パッケージ(WLP)での評価

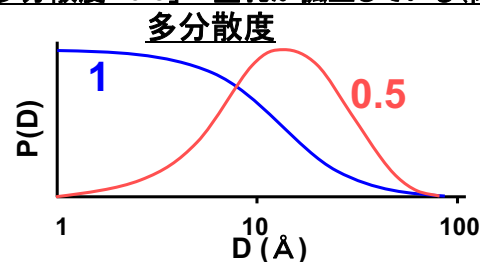
3.1 ROを用いたLow-k膜ダメージの評価方法

評価材料の単層膜物性

Low-k	p-SiOC	MSQ1	MSQ2	MSQ3
材料	CVD系	MSQ系	MSQ系	MSQ系
骨格構造	-	主骨格A	主骨格B	主骨格B
Shrinkage (%)	-	10	10	11
比誘電率	3.02	2.36	2.38	2.24
膜密度	1	0.74	0.79	0.72
Pore size (Å)	-	6.1	10.1	13.2
多分散度	-	0.99	0.61	0.58



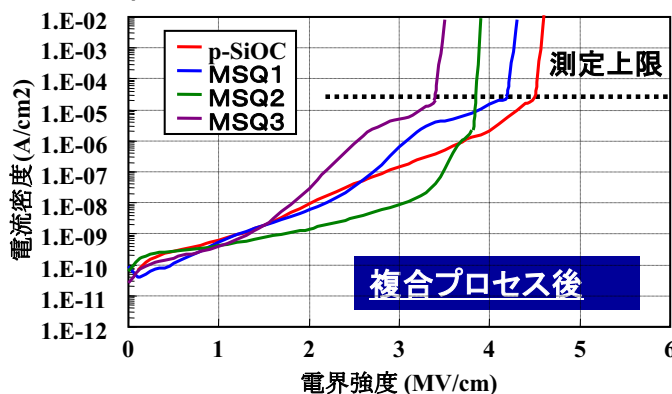
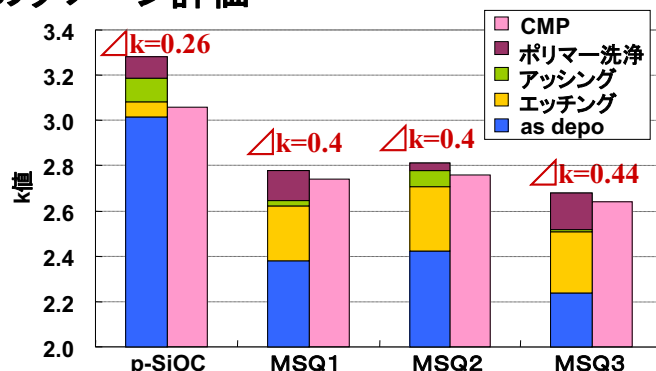
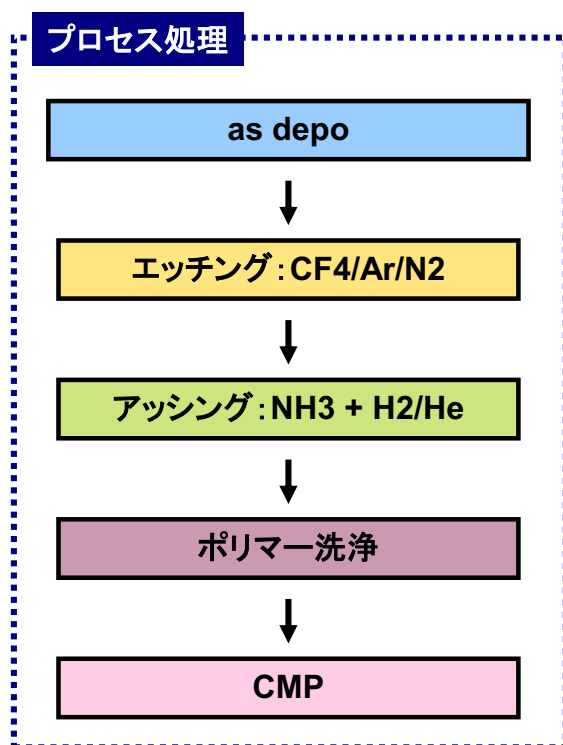
多分散度「1」= 空孔が繋がっている(開放)
多分散度「0.5」= 空孔が孤立している(閉鎖)



- ・ MSQは、主骨格の違い、それともなう空孔の多分散度の違い、比誘電率の違いにより、プロセスダメージの受け方に違いが見られるか比較する

3.1 ROを用いたLow-k膜ダメージの評価方法

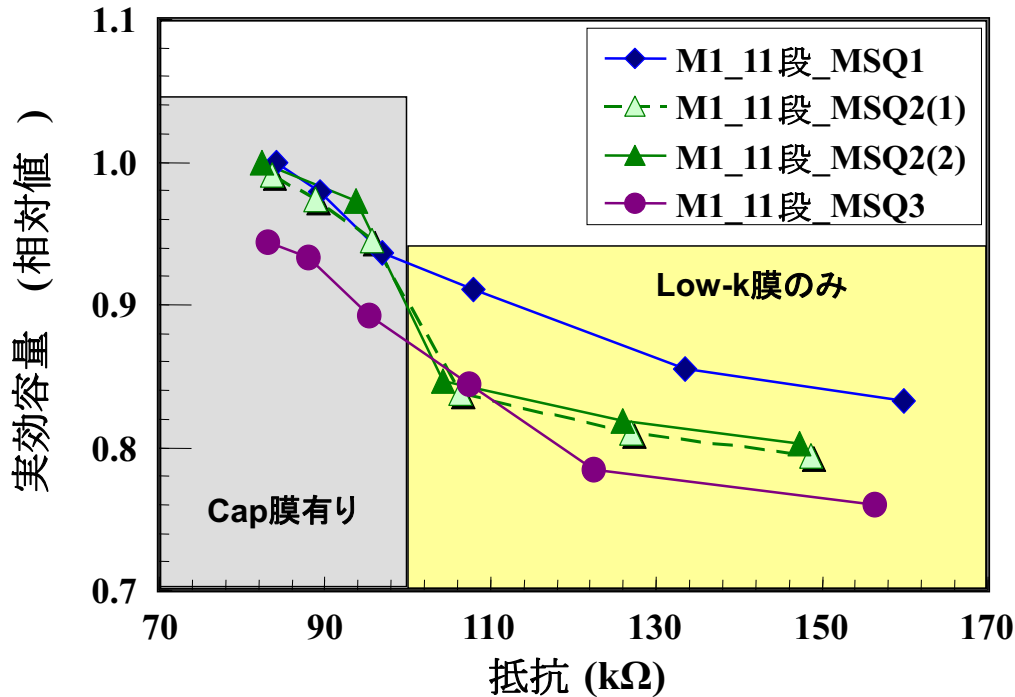
単層膜でのダメージ評価



- ・ 比誘電率(k値)はHgプローブによるC-V測定、XRRによる膜厚測定から算出した
- ・ 単層膜評価ではダメージを受けたあとの比誘電率の違いは小さい

3.1 ROを用いたLow-k膜ダメージの評価方法

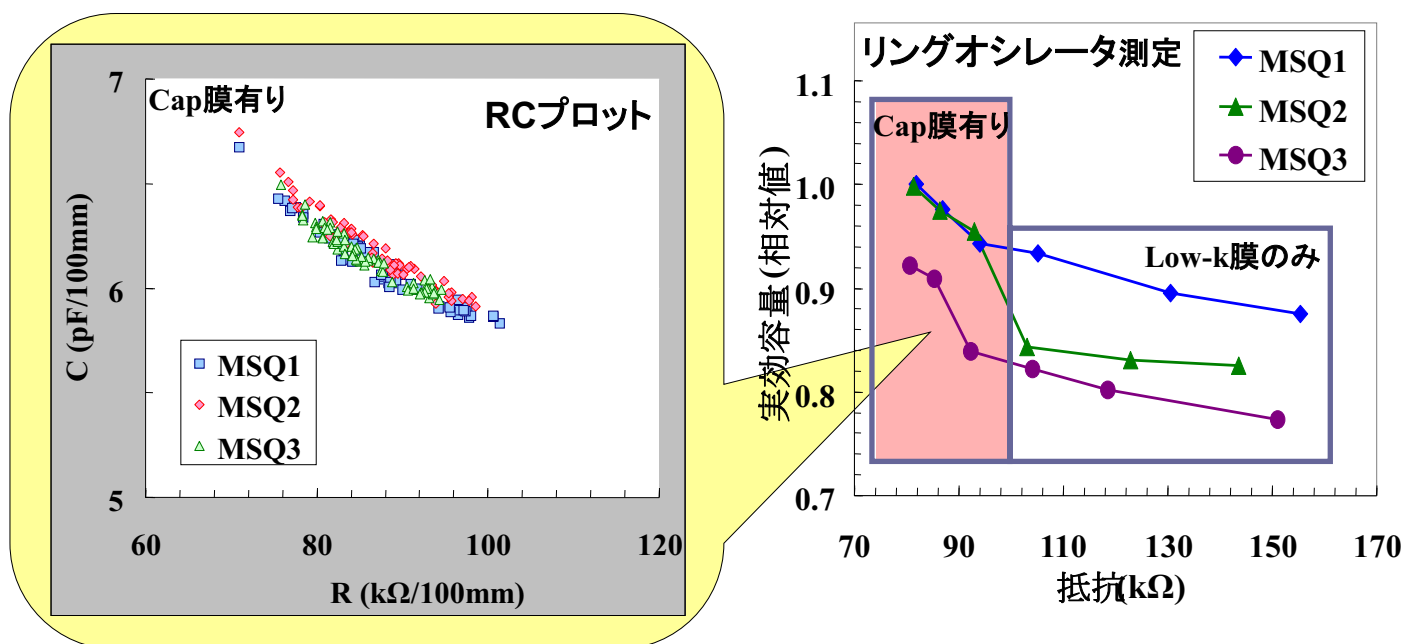
リングオシレータを用いた実効容量の測定



- ・ 同一抵抗(同一Cu配線高さ)で比較すると、Cap膜ありのとき、MSQ3はMSQ1、2より約5%実効容量が低い
- ・ Capなしのとき、MSQ1に対しMSQ2は約5%、MSQ3は約9%実効容量が低い

3.1 ROを用いたLow-k膜ダメージの評価方法

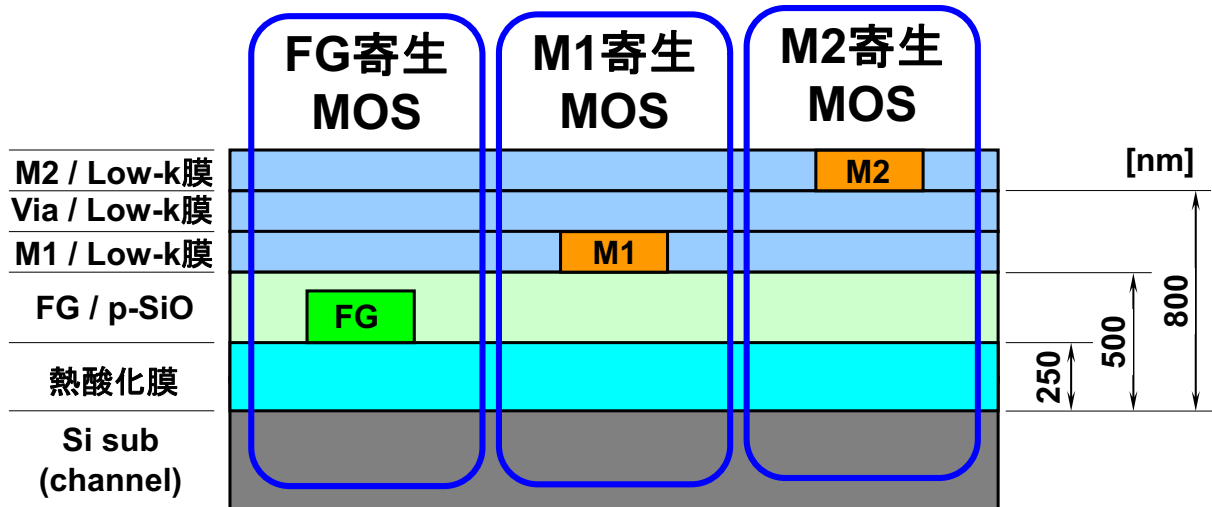
RCプロットとリングオシレータ測定との比較



- ・ 配線の抵抗と容量の測定からのRCプロットではLow-k材料間に差は認められない
- ・ リングオシレータの周波数測定による実効容量では材料間差が明確である
- ・ RCプロットよりもリングオシレータによる容量測定の方が感度の高い評価ができる

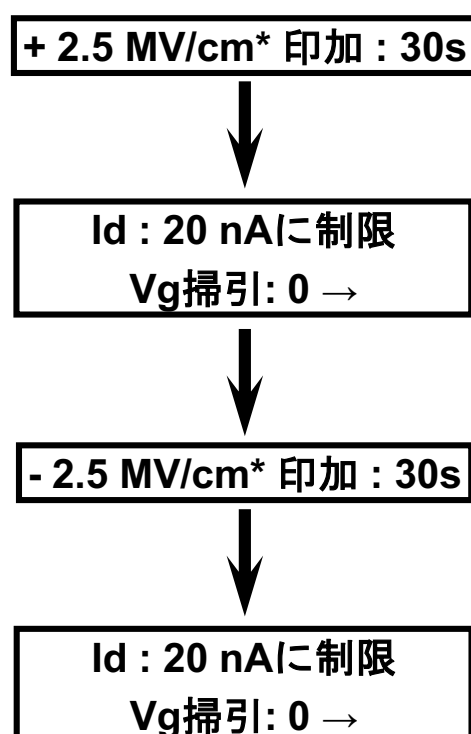
3.2 寄生MOSを用いた配線間絶縁膜の評価方法

3種類の寄生MOSTランジスタの構造模式図



3.2 寄生MOSを用いた配線間絶縁膜の評価方法

寄生MOSのしきい電圧の測定方法

寄生MOS寸法: L1.6 x W10 [μm] $V_d = 0.1, V_s = V_{\text{sub}} = 0$ [V]

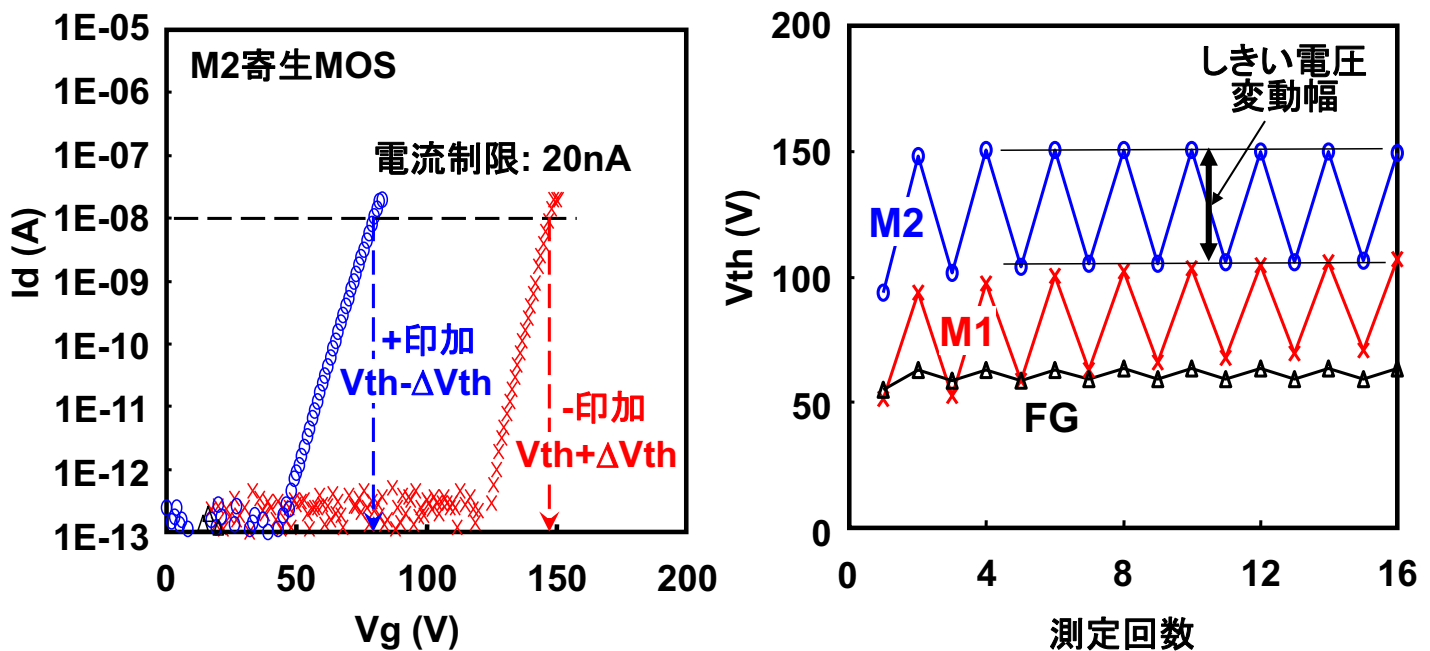
寄生MOS	膜厚(nm)	印加電圧(V)
FG	250	± 62.5
M1	500	± 125
M2	800	± 200

*) 測定器の最大印加電圧が $\pm 200\text{V}$ のため
M2で $200\text{V} / 800\text{nm} = 2.5\text{MV/cm}$ が最大

3.2 寄生MOSを用いた配線間絶縁膜の評価方法

公開

寄生MOSのしきい電圧測定例



- 寄生MOSのバイアス印加によるしきい電圧変化により配線層間絶縁膜を評価できる

⇒特願2011-273967、特願2012-080920

3.2 寄生MOSを用いた配線間絶縁膜の評価方法

公開

寄生MOSのしきい電圧変動幅の測定結果

6回x4チップ^oの平均

配線層間 絶縁膜 寄生MOS	p-SiOC	有機Low-k/ p-SiOC	MSQ4	MSQ1
	FG	4.5	7.1	5.3
M1	29.6	32.8	33.6	34.0
M2	58.1	51.0	44.5	44.0

しきい電圧変動幅; 単位(V)

- 配線層間絶縁膜が異なる時、バラツキはあるもののFG、M1寄生MOSのしきい電圧変動幅はほぼ同じである
- M2では、MSQのしきい電圧変動幅が、p-SiOCに比べ小さくなっている

3.2 寄生MOSを用いた配線間絶縁膜の評価方法

公開

各絶縁膜の分極電荷密度の算出結果

膜厚; 熱酸化膜=250nm、p-SiO=250nm、配線層間絶縁膜=300nm

比誘電率; 熱酸化膜=4、p-SiO=4、配線層間絶縁膜=3

配線層間 絶縁膜 絶縁膜種	p-SiOC	有機Low-k/ p-SiOC	MSQ4	MSQ1
熱酸化膜	1.9	3.1	2.4	1.9
p-SiO	11.1	11.4	12.5	13.2
配線層間 絶縁膜	7.9	5.0	3.0	2.8

分極電荷密度; 単位(E11個/cm²)

- ・配線層間絶縁膜が異なる時、バラツキはあるものの熱酸化膜、P-SiOの分極電荷密度はほぼ同じである
- ・MSQの分極電荷密度は、p-SiOCの1/2以下と大幅に小さい

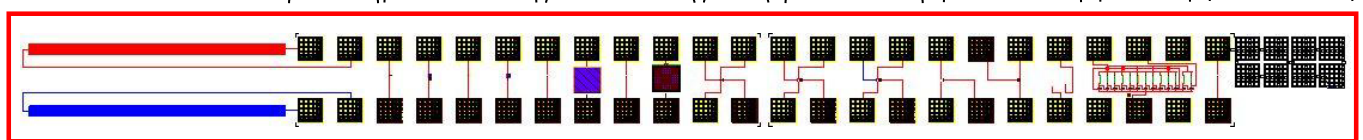
3.3 ワイヤーボンド型パッケージ (QFP) での評価

公開

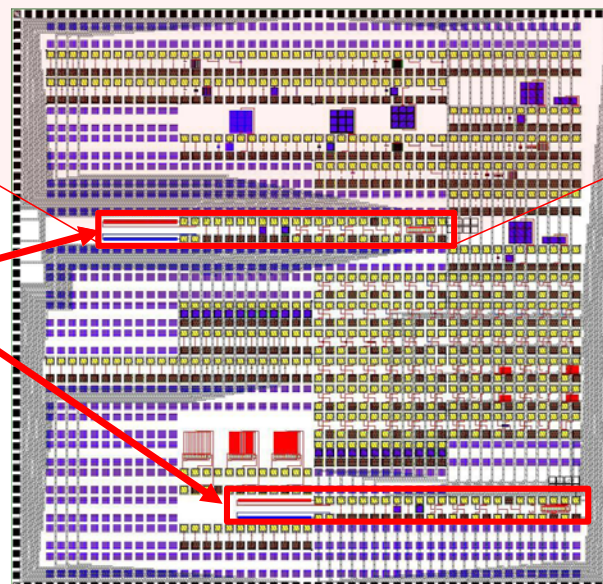
パッケージで測定できるTEG (T3)

測定TEG

配線櫛 PN接合 MOS容量 NMOS Trs. 寄生MOS Poly-Si抵抗 リングオシレータ アンテナ



測定TEG領域



QFP組立てのチップの外観

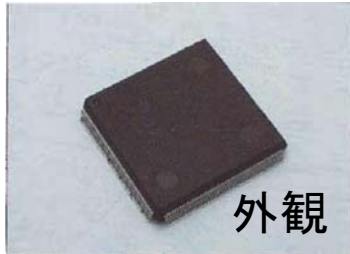
3.3 ワイヤーボンド型パッケージ (QFP) での評価

公開

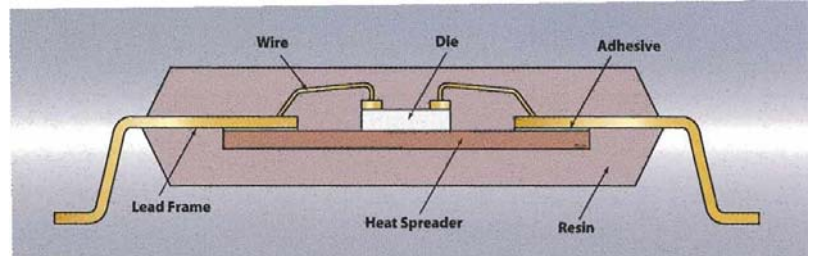
QFPの仕様と組立てチップの仕様

パッケージ仕様: FIM社製 QFP 208pin

本体寸法: 28mm□ リードピッチ: 0.5mm 厚さ: 1.4mm



外観



断面構造

試料の仕様

チップ寸法 : 8.6mm□ チップ厚さ : 25、410 μ m

配線層間Low-k膜 : p-SiOC、MSQ1

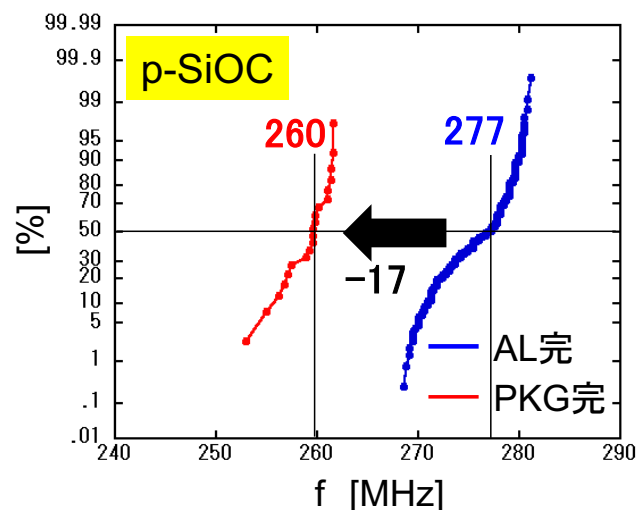
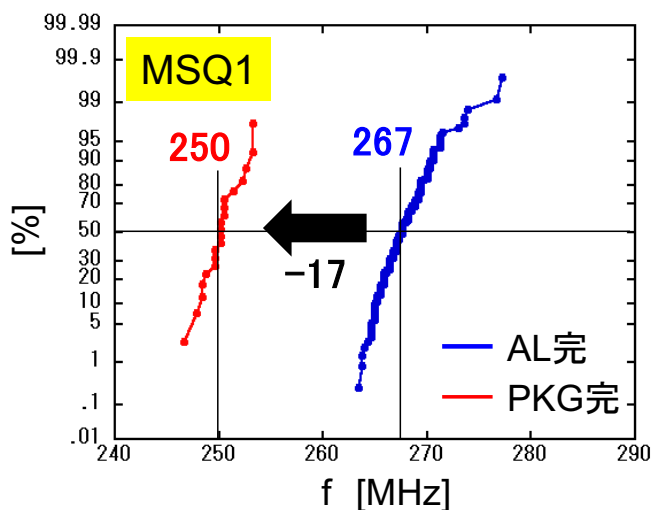
バッファコート膜 : BC1

3.3 ワイヤーボンド型パッケージ (QFP) での評価

公開

パッケージ前後のリングオシレータの周波数測定結果

リングオシレータ; インバータ段数 = 11段 駆動電圧 = 5 V

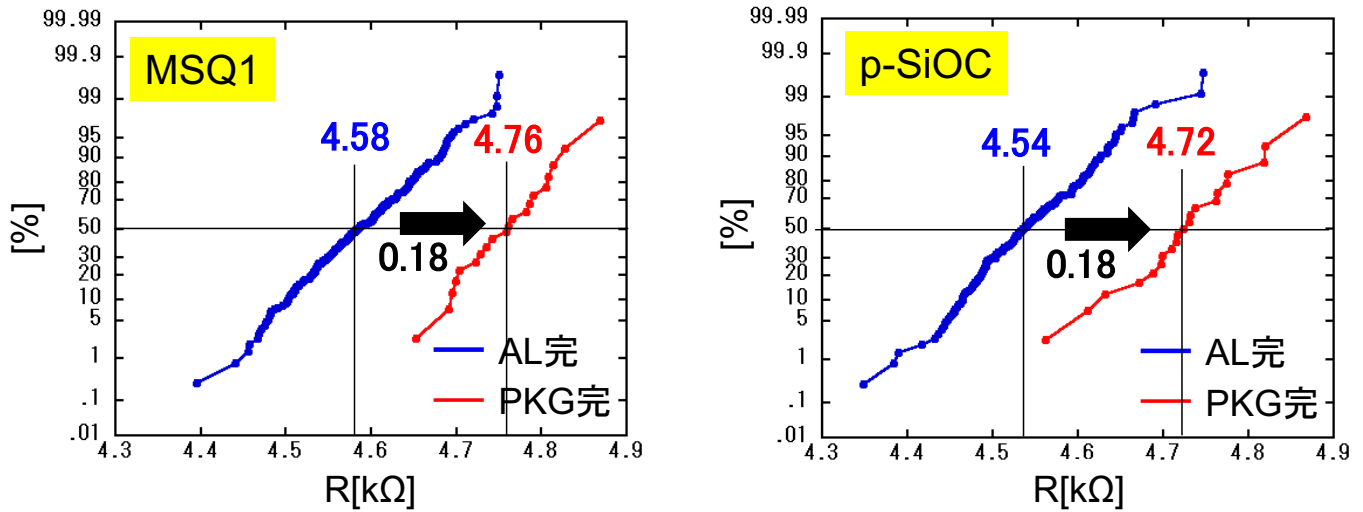
NMOS トランジスタ寸法: 0.5 μ m L X 10 μ m W負荷抵抗poly-Si寸法: 30 μ m L X 1 μ m W

・ QFPパッケージ(PKG)完で発振周波数が約6%減少した

3.3 ワイヤーボンド型パッケージ (QFP) での評価

公開

パッケージ前後のpoly-Si抵抗の測定結果

poly-Si抵抗測定素子の寸法: 10 μ m L X 1 μ m W

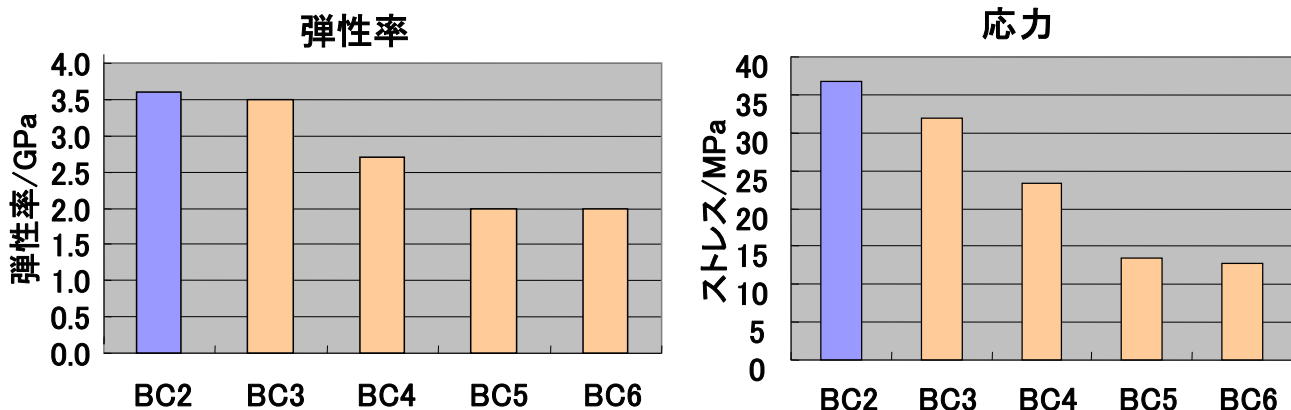
- ・ QFPパッケージ完でpoly-Siの抵抗が約4%増加した
- ・ リングオシレータの発振周波数の減少に対応

3.4 フリップチップ型パッケージ (WLP) での評価

公開

評価材料の単層膜物性

	材料	キュア ℃	弾性率 GPa	CTE ppm/K	応力 MPa
従来	BC2	320	3.6	36	37
新規材料	BC3	200	3.5	45	32
	BC4	200	2.7	48	23
	BC5	200	2.0	50	13
	BC6	200	2.0	50	13

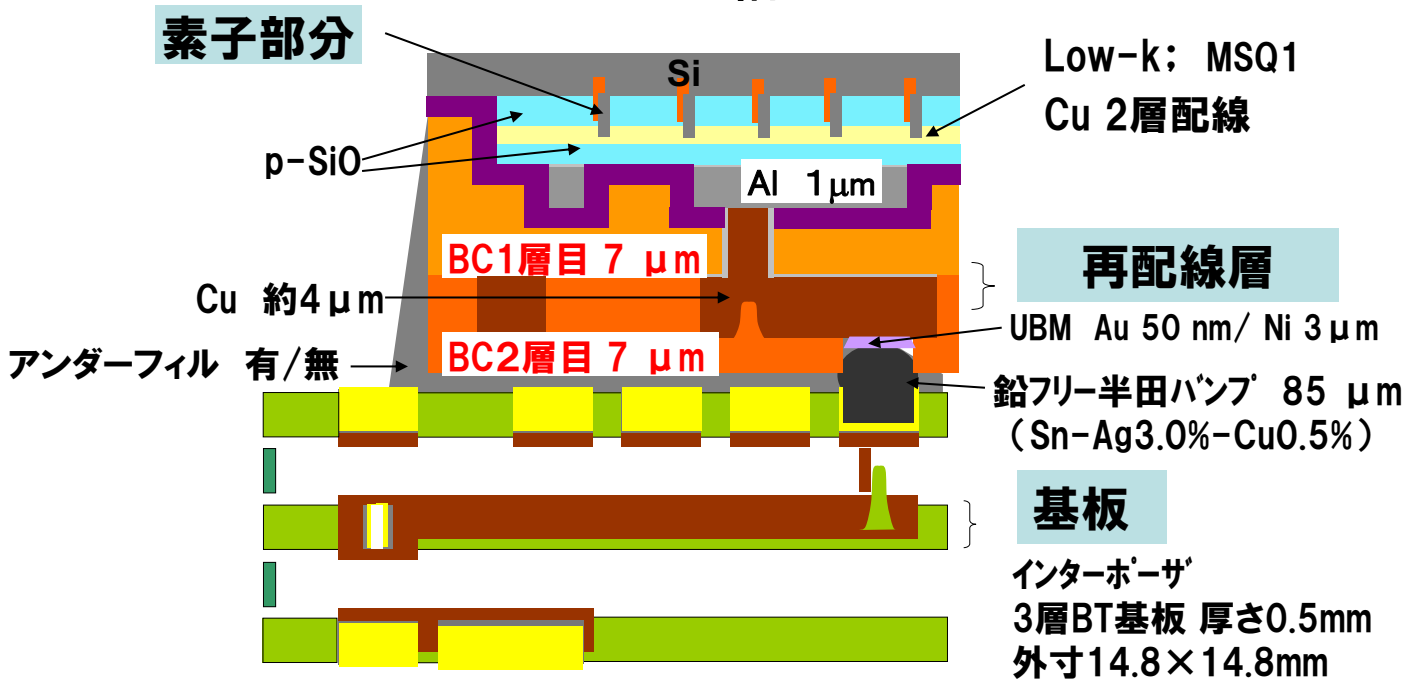


- ・ 新規BC材料の特長は、キュア温度が低いこと、弾性率および応力が小さいことである

3.4 フリップチップ型パッケージ (WLP) での評価

公開

WLPの構造



【チップサイズ】 8.6 \times 5.4 mm

【組立てチップ】 FEOL TEG \rightarrow Low-k Cu 2層配線 \rightarrow 再配線

【チップ膜厚】 150 μ m

3.4 フリップチップ型パッケージ (WLP) での評価

公開

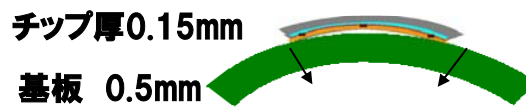
WLPによりpoly-Siにかかる応力の測定結果

BC材料	応力/MPa	CTE/ppm/K	弾性率/GPa	BG/DC後 チップの反り量/ μ m 実測値	FCボンディング後のチップの反り量/ μ m 実測値	
					UF有	UF無
BC2	37	36	3.6	20	39	31
BC3	32	45	3.5	16	40	31
BC4	23	48	2.7	11	38	33
BC5	13	50	2.0	11	38	32
BC6	13	50	2.0	9	38	33

BCの応力差を反映



基板の反りが反映



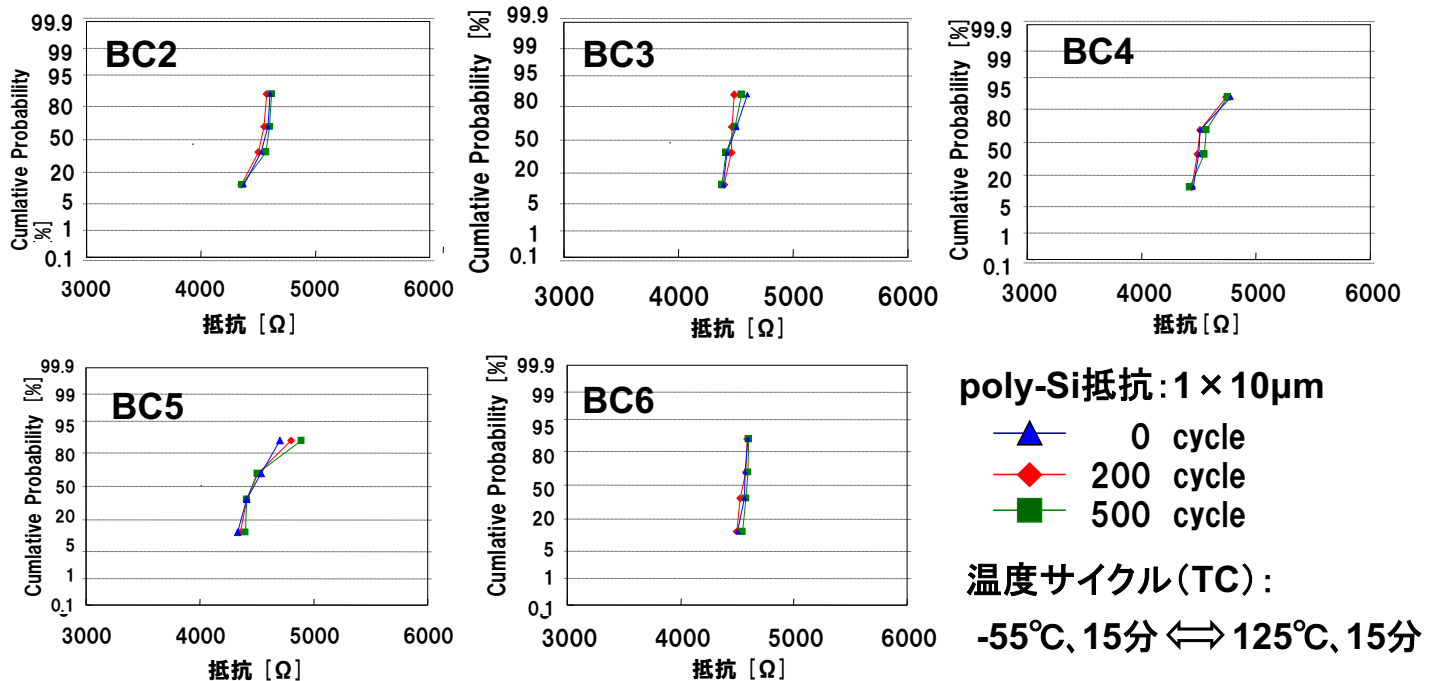
WLPによりpoly-Siにかかる圧縮応力

Poly-Siの抵抗変化はほとんどなし

UF有	UF無
23~37 MPa	17~27 MPa

3.4 フリップチップ型パッケージ (WLP) での評価

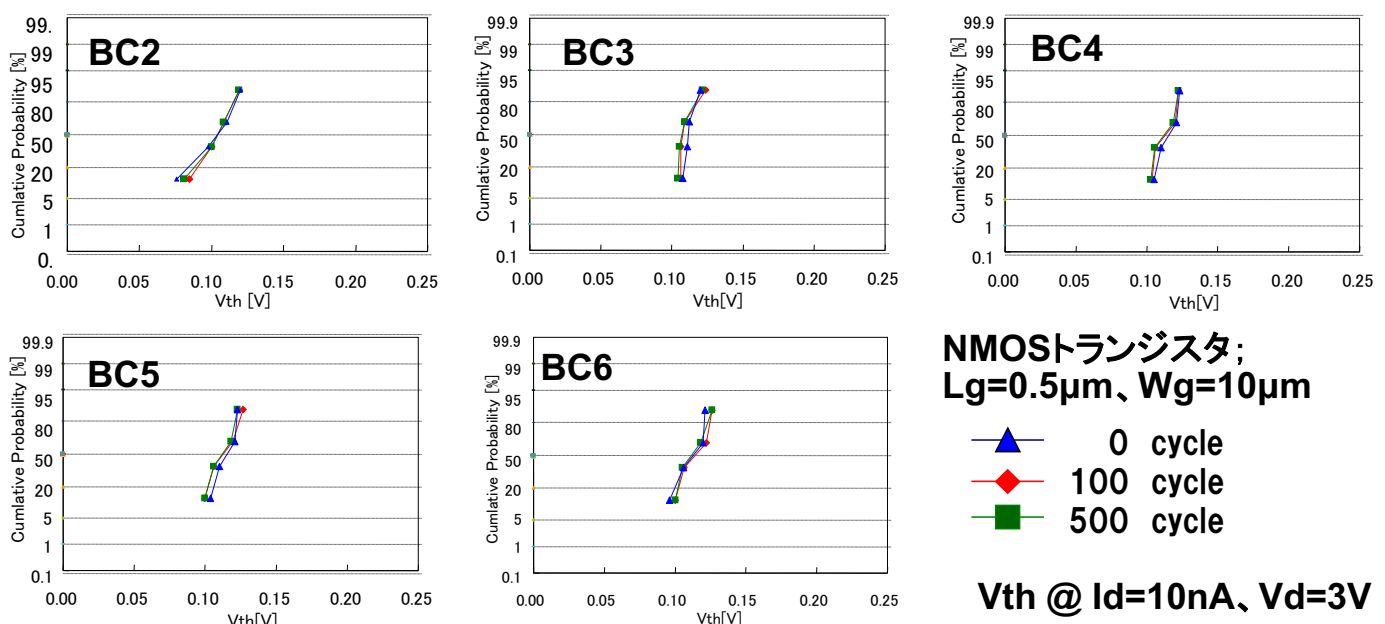
WLPに組立てたチップの温度サイクルによるpoly-Si抵抗の信頼度試験



- 各BCでのWLP組立て(UFあり)後、温度サイクル試験(500回)の結果、poly-Siの抵抗変化なし

3.4 フリップチップ型パッケージ (WLP) での評価

WLPに組立てたチップの温度サイクルによるNMOSTランジスタの信頼度試験



- 各BCでのWLP組立て(UFあり)後、温度サイクル試験(500回)の結果、NMOSTランジスタのしきい電圧の変化なし

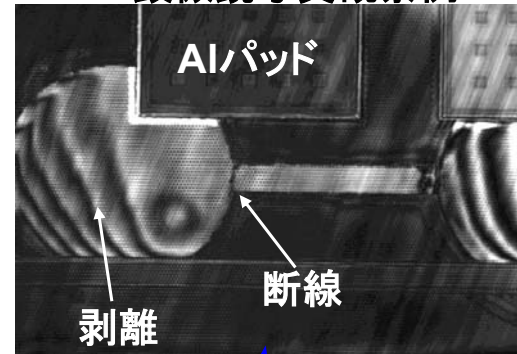
3.4 フリップチップ型パッケージ (WLP) での評価

公開

温度サイクルによるデージーチェーン断線の評価

IR顕微鏡写真観察例

UF有	0 cycle	100 cycles	200 cycles
BC2	0/4	0/4	0/4
BC3	0/4	0/4	0/4
BC4	0/4	0/4	0/4
BC5	0/4	0/4	0/4
BC6	0/4	0/4	0/4



UF無	弾性率/GPa	CTE/ppm	0 cycle	50 cycles	100 cycles	150 cycles
BC2	3.6	36	0/4	3/4	4/4	-
BC3	3.5	45	0/4	2/4	4/4	-
BC4	2.7	48	0/4	0/4	1/4	3/4
BC5	2.0	50	0/4	0/4	0/4	2/4
BC6	2.0	50	0/4	0/4	1/4	2/4

【TC条件】55°C15min⇔125°C15min

(断線チップ数)/(試験チップ数)

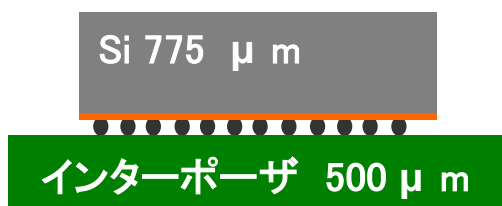
・ BCの影響はデージーチェーンの断線のし易さやパッドの剥離に現れる

3.4 フリップチップ型パッケージ (WLP) での評価

公開

剥離評価用サンプルとWLPの構造

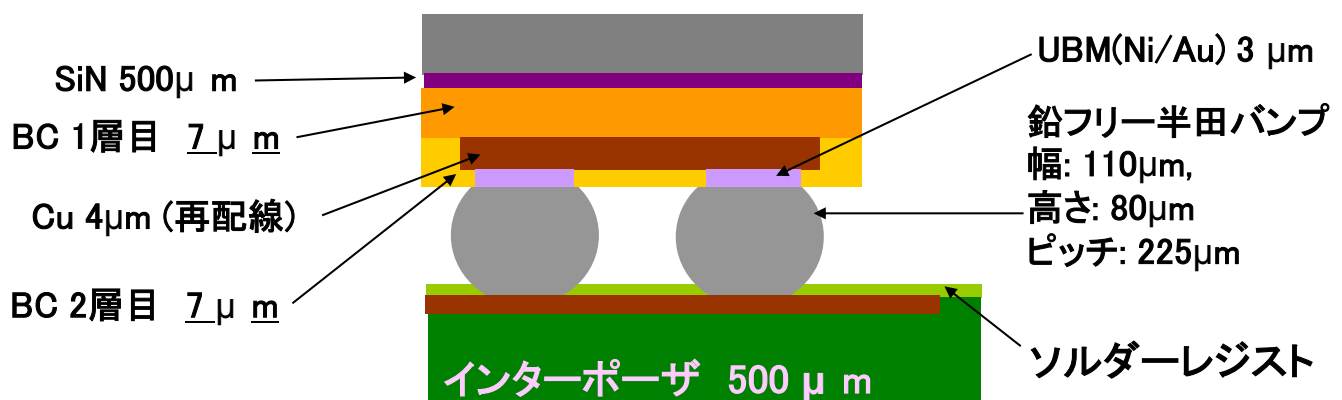
チップ厚 775 μm ※BGなし



主な仕様

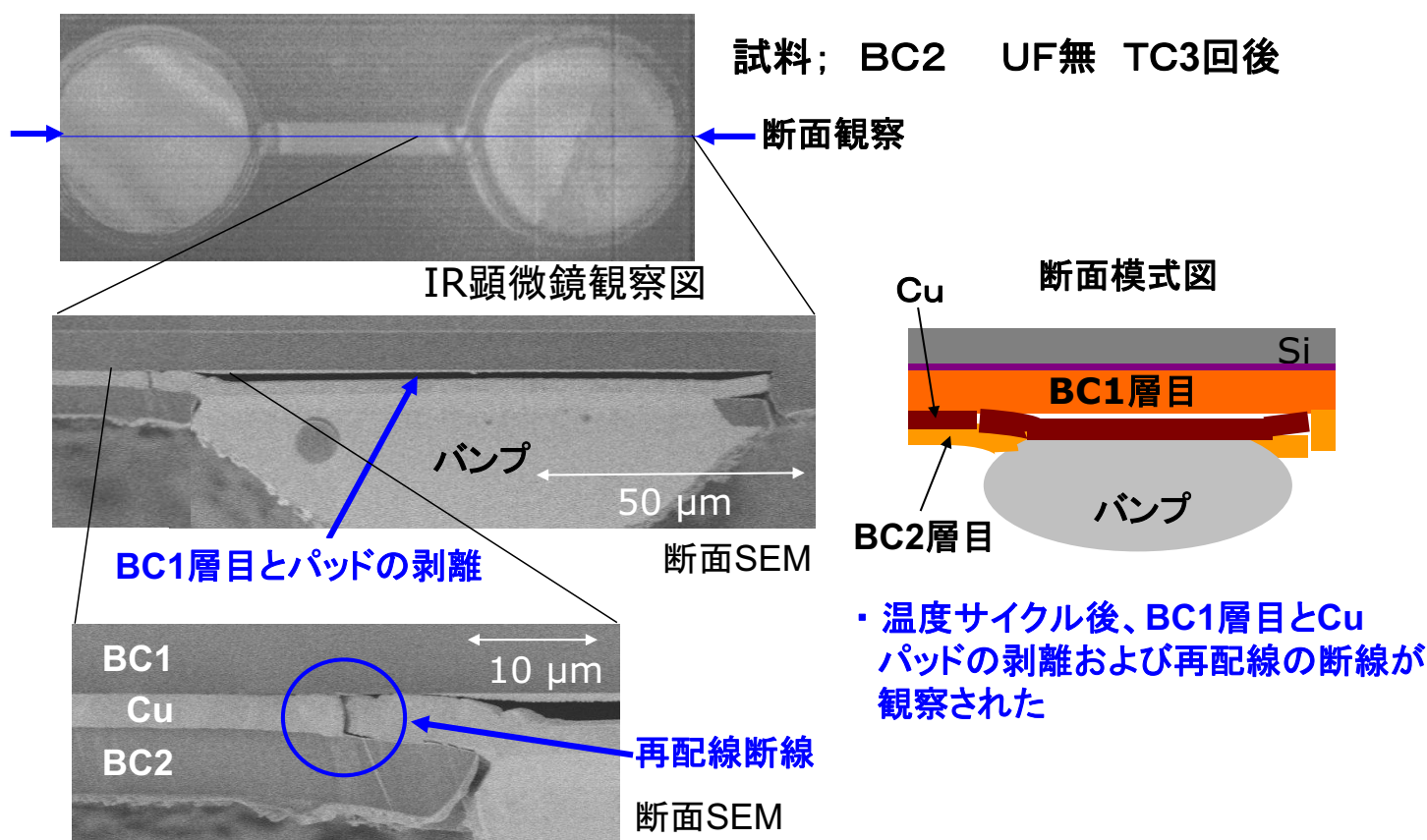
チップサイズ	mm2	5.4*8.6
インターポーザ	mm2	14.8*14.8
Cuパッド径	mmφ	120
BC2層目開口径	mmφ	100

拡大図 BC 7 μm 2層構造



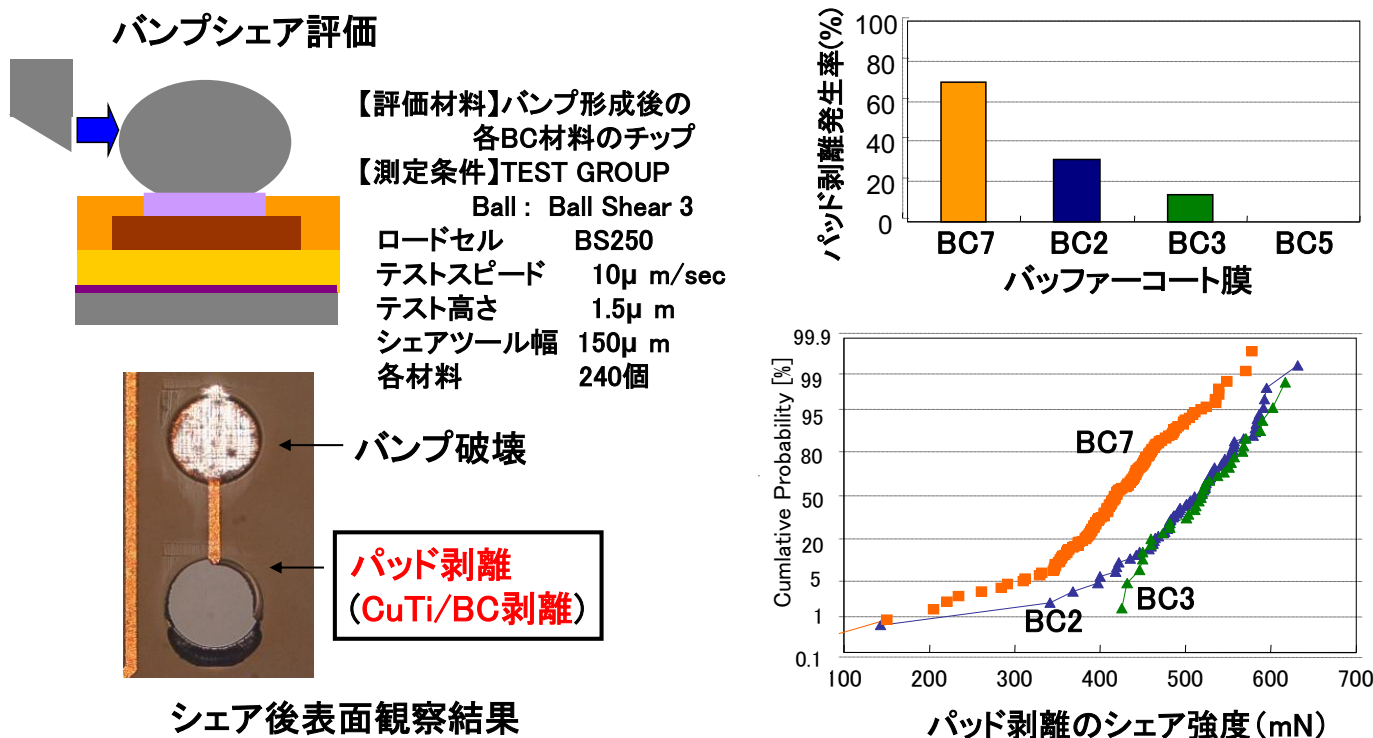
3.4 フリップチップ型パッケージ (WLP) での評価

温度サイクル後の再配線変形箇所の表面および断面観察結果



3.4 フリップチップ型パッケージ (WLP) での評価

バンプシエア試験結果



- ・ BCの種類に依存してパッド剥離のし易さが異なり、材料間に差があることがわかった
- ・ 温度サイクルでのパッド剥離とバンプシエアの結果の材料間差は良く対応する

3.4 フリップチップ型パッケージ (WLP) での評価

公開

各バッファークートの物性と剥離耐性の比較

BC材料	BC7	BC2	BC3	BC5
キュア温度(C)	250	320	200	200
弾性率 (GPa)	2.2	3.6	3.5	2.0
小面積パターン測定による CuTi/BC密着力(MPa)	45(0.53)	85(1)	88(1.04)	68(0.8)
CuTi/BC WLPのパッドサイズ でのシエア強度(mN)	約100(0.4)	約250(1)	約250(1)	約350(1.4)
パンプシエアによるパッドの 剥離強度(mN)中心値	416(0.83)	503(1)	517(1.03)	パッド剥離 発生せず
$\frac{\text{CuTi/BC密着力(MPa)}}{\text{弾性率 (GPa)}} \times 1E3$	20(0.83)	24(1)	25(1.04)	34(1.42)

()内は、BC2の値を1とした時の相対値

剥離耐性係数

← BC膜変形による応力の緩和効果 \propto 弾性率の逆数

- ・ 剥離耐性係数は、バッファークート材料の剥離の起こり易さ、難さを表現
- ・ 剥離耐性係数が小さいと剥離し易く、大きいと剥離し難い

ま と め

公開

- ・ Low-k材料が半導体プロセスにおいて受けるダメージについて、楕形の配線間容量を伝播負荷とするリングオシレータの発振周波数を測定することにより、層間絶縁膜の実効的な比誘電率を高感度に評価する方法を開発
- ・ Low-k材料の電氣的性質の1つである分極特性について、寄生MOSTランジスタのゲート電極に周期的にバイアスを印加して、しきい電圧変動幅を測定することにより、評価する方法を開発
- ・ ワイヤーボンド型パッケージとして、208ピンQFPを外注にて組立て、Low-k材料、BC材料、チップ厚さの影響を接合素子の電気特性測定により調査したが、それらの違いが接合素子には顕著に出現せず
- ・ QFPではリングオシレータの発振周波数が6%程度低下したが、これはモールド材の収縮による圧縮応力により、負荷poly-Si抵抗の増加などの影響と推察
- ・ フリップチップ型として、種々のBC材料で再配線し、WLPを外注にて組立て、接合素子の電気特性測定を行ったが、材料の顕著な影響は出現せず
- ・ WLPでは、むしろ剥離やパッケージのダメージチェーン断線にBC材料の違いによる影響が顕著に現れ、剥離の発生に対する材料影響を的確に評価することのできる剥離耐性係数を新たに導入