

「次世代プロセスフレンドリー設計技術開発」

事後評価報告書（案）概要

目 次

分科会委員名簿	1
プロジェクト概要	2
評価概要（案）	1 1
評点結果	1 9

独立行政法人新エネルギー・産業技術総合開発機構 研究評価委員会

「次世代プロセスフレンドリー設計技術開発」(事後評価)

分科会委員名簿

(平成23年10月現在)

	氏名	所属、役職
分科会長	しばた ただし 柴田 直	東京大学 大学院 工学系研究科 電気系工学専攻 教授
分科会長 代理	たき かずお 瀧 和男	エイ・アイ・エル株式会社 代表取締役社長
委員	おのでら ひでとし 小野寺 秀俊	京都大学 大学院 情報学研究科 通信情報システム専攻 教授
	こじま いくたろう 小島 郁太郎	日経BP社 Tech-On!編集 編集委員
	すぎもと やすひろ 杉本 泰博	中央大学 理工学部 電気電子情報通信工学科 教授
	もりむら ひろき 森村 浩季	NTTマイクロシステムインテグレーション研究所 スマートデバイス研究部 新通信回路技術研究グループ グループリーダー 主幹研究員
	やすうら ひろと 安浦 寛人	九州大学 理事・副学長

敬称略、五十音順

プロジェクト概要

		最終更新日	平成23年10月5日			
プログラム名	ITイノベーションプログラム/エネルギーイノベーションプログラム					
プロジェクト名	次世代プロセスフレンドリー設計技術開発	プロジェクト番号	P06017			
担当推進部/担当者	電子・材料・ナノテクノロジー部 万田純一（平成23年3月現在） 電子・情報技術開発部 齊藤博文（平成18年5月～平成20年5月）					
0. 事業の概要	<p>我が国半導体産業の国際競争力強化のためには、競争力のあるシステム LSI 製品を短期間で開発し、低コストで市場に投入する必要がある。一方、半導体プロセスの微細化に伴い、製造マージンの縮小や特性ばらつきが増大が避けられず、その結果、所望の性能を得るまでに何回も設計・試作をやり直すことになるなど、製品開発にかかる期間やコストが著しく高まる。これらの課題を解決するために、本プロジェクトでは、製造段階での問題をモデル化し、設計段階で事前検証することで、開発期間を短縮し、かつ低コストで半導体製品を実現することを目指した製造性考慮設計 (DFM: Design for Manufacturing) 手法を開発する。</p> <p>本技術開発により、hp45nm (ロジックノード 32nm) 技術領域における高性能システム LSI の設計生産性を、本技術を用いない場合と比較して3倍にすることを目標とする。</p>					
I. 事業の位置付け・必要性について	<p>世界のシステム LSI (ASIC & ASSP) 市場は平成 19 年より本格展開が始まる hp90nm (ロジックノード 65nm) 以降の世代については、高性能・大規模システム LSI がターゲットとなっている。回路が指数関数的に複雑・大規模化するため、それを解決すべく設計生産性を大幅に向上させる必要がある。また製造においては、市販設計ツールを使って設計してもチップが期待通り動作しないことが明らかになっており、RTL からプロセスまでに生じるあらゆる要因を統一的な技術でカバーされていなければならない。このため国内の半導体メーカの設計技術、プロセス技術の総力を結集して強力な設計メソッド技術の開発、確立が必須であり、ひいては国内のあらゆる産業にとって重要な基盤となる。JEITA 調査報告書「世界の主要電子機器からみた半導体市場の中長期展望」より推定した平成 23 年以降の世界、及び国内の半導体需要予測ではシステム LSI (マイコン、ロジック分野) の販売額は10兆円～20兆円規模であり、これらは今後有望視される民生、コンピュータ、通信、自動車などに幅広く使われる。このような大きなマーケットを支えるプロジェクトの実施効果は極めて大きいと考えられる。</p>					
II. 研究開発マネジメントについて						
事業の目標	本技術開発により、hp45nm 技術領域における高性能システム LSI の設計生産性を、本技術を用いない場合と比較して3倍にする。					
事業の計画内容	主な実施項目	H18fy	H19fy	H20fy	H21fy	H22fy
	ばらつき考慮の設計メソッド開発	→				
	歩留まり考慮の設計技術開発		→			
	hp45nm リソグラフィ考慮設計の基盤研究			→		
	統合低消費電力メソッド開発				→	
	特性・統合ばらつき考慮メソッド開発					→

開発予算(助成額)	会計・勘定	H18fy	H19fy	H20fy	H21fy	H22fy	総額
単位:百万円 契約種類:助成(1/2)	一般会計	0	0	0	0	0	0
	特別会計(需給)	877	887	837	690	549	3,840
	加速予算	0	0	50	30	30	110
	総予算額	877	887	887	720	579	3,950
開発体制	経産省担当原課	商務情報政策局情報通信機器課					
	開発責任者	下東勝博(代表取締役社長)					
	助成先	株式会社 半導体理工学研究センター					
情勢変化への対応	<p>平成 18 年度、19 年度の 2 年間においては、研究計画に影響を与える重要な情勢の変化は認められなかった。従って、情勢変化に対応した特別な計画変更等は行っておらず、当初計画どおりの研究開発を実施した。</p> <p>平成 20 年度では、従来の hp65nm 技術領域の研究開発ではストレスの影響は軽視できたものの、hp45nm 技術領域ではチップ面積の増大、設計期間の増加等に大きく影響し、さらに、トランジスタ特性に対するストレスの影響を正確に反映した MIRAI プロジェクトの知見が活用可能であることが分かった。ストレス起因の影響を考慮した hp45nm 技術領域に対応するチップレベルでの設計手法を確立すべく追加開発を加速により実施した。</p> <p>平成 21 年 4 月に半導体理工学研究センターと大阪大学との共同研究において、電源ノイズを統計量として扱うことによってモデル化できる画期的な成果が得られた。平成 21 年度では、電源ノイズ考慮設計技術の開発を加速により実施した。これにより、高速動作インターフェースを備えたチップに多く見られた電源ノイズ起因の動作不良にも対応することが可能となり、データ転送速度が上昇しても設計期間の短縮が図れるようになった。</p> <p>平成 22 年度では、各種ばらつきを考慮した最適設計フロー開発を加速により実施した。革新的なアイデアとして、電源ノイズ解析、温度考慮の RC 抽出と温度分布解析技術、統計的クロストーク解析、電圧降下解析技術を設計フローの前工程(論理合成、フロアプラン、自動配置配線)に効果的に組み込むことにより、設計生産性を 3 倍にする可能性があることが判明した。そこで、この統合的なフロー技術の開発を行い、最適なマージン・コーナ条件設定の技術の開発、ならびにその有効性を確認した。</p>						
中間評価結果への対応	<p>平成20年度に実施した中間評価において、本プロジェクトに対し下記の評価を頂いた。</p> <p>『半導体はエレクトロニクス製品だけではなく、自動車や医療、社会インフラの基盤となる技術であり、その設計は、プロセスと車の両輪をなしており、EDA(電気設計支援ソフトウェア)の寡占化やファブレスメーカーの躍進を考えると、プロセス以上に重要な技術となっている。この様な中で、日本の半導体メーカーのシステムLSIの設計技術力を高めるため、hp65nm(中間)、hp45nm(最終)プロセスをターゲットとして、共通の設計技術を開発することで複数企業全体として開発期間の短縮・開発コスト削減できることは意義のあることであり、開発成果・技術移転実績も申し分ない。さらに以下の点に留意して開発を進めて欲しい。</p> <p>①ロードマップ記載等の革新的技術で、実用的に重要なものはないの</p>						

	<p>かを検討し、実施することが望まれる。</p> <p>②開発した技術の知的財産権を確保し、日本企業の技術がベンダーを通じて拡散することを防止する方策を講ずべきである。</p> <p>③日本の半導体産業のプレゼンス向上は国際競争力強化にもつながると考えられるので、戦略的な広報活動を期待したい。</p> <p>④プロセスと設計の界面の研究では、装置メーカーからの研究開発状況を盛り込む、或いは意見を吸上げるべきではないか。</p> <p>⑤低電力化設計メソッドロジーは実現方法が多岐にわたるので、どのようなときにどのような技術を適用すべきかが開発前にわかるようなガイドラインの策定が望まる。</p> <p>⑥冗長化技術についてはどのように対応するか明確にすべきである。』</p> <p>これらの評価結果について、以下のように対応した。</p> <p>①革新技術については、技術の重要性ならびに経済的優位性を考慮して、チェックシートにより重要性を確認し、開発を実施した。(平成21年度実施計画に反映)</p> <p>②知的財産権をノウハウという形で大半保持した。EDAベンダーへその技術を開示する際には、一般化や汎用化した形で提供し、実際の設計へは応用できないようにすることで知的財産を確保した。(反映はなし)</p> <p>③成果の実用化や事業化へ向けて、学会発表、新聞発表を通じてアピールを実施した。(反映はなし)</p> <p>④装置メーカーとの連携強化のため、日本のマスクベンダーとも意見交換し、プロセスと設計の界面における重要な研究開発を行うマスク設計(D2I)プロジェクトとは、意見交換をした。(反映はなし)</p> <p>⑤設計ガイドラインを策定した。(平成21年度実施計画に反映)</p> <p>⑥冗長化技術については、平成21年度に明確化した。(平成21年度実施計画に反映)</p>		
<p>評価に関する事項</p>	<p>事前評価</p>	<p>平成17年度実施</p>	<p>担当部 電子・情報技術開発部</p>
	<p>中間評価</p>	<p>平成20年度</p>	<p>中間評価実施</p>
	<p>事後評価</p>	<p>平成23年度</p>	<p>事後評価実施予定</p>
<p>Ⅲ. 研究開発成果について</p>	<p>1. 事業全体の成果</p> <p>プロジェクトを遂行するにあたり、開発を大きく2つのフェーズ分けて行った。第1のフェーズは平成18年度、19年度であり、hp90nm世代のプロセス情報を用い、hp65nm世代の設計手法を開発した。第2のフェーズは平成20年度、21年度、22年度であり、hp65nm世代のプロセス情報を用い、hp45nm世代で実品種設計で使用可能な設計手法を開発した。これは、プロセス開発と設計手法開発が同時進行するために、前世代のプロセス情報を用い、次世代の設計手法を開発するためである。</p> <p>平成18年度は、hp90nmプロセスをベースに基本設計メソッドロジー開発として設計フロー、製造ばらつきを考慮した設計手法、歩留まり考慮設計技術、サインオフ技術、ライブラリ標準化開発手法技術などの開発を行った。</p> <p>平成19年度は、hp65nm対応の低消費電力考慮の設計メソッドロジ</p>		

の開発ならびに歩留まり考慮設計メソドロジ開発を行った。

平成 20 年度は、現在使用可能な hp65nm プロセスをベースに設計と製造が統合された標準設計メソドロジ開発を行った。この標準設計メソドロジには、統計的タイミング解析、低消費電力対応、hp65nm 製造性考慮(リソ、製造欠陥、CMP)、サインオフ基準、RTL プロトタイプング技術を含む。さらにこれをもとに、hp45nm に新規必要技術の追加を一部行った。hp45nm に新たに解決が必要な技術としては、リソグラフィ考慮、hp45nm トランジスタ・配線要因などがあるが、20 年度はそれらがシステム LSI チップ設計に与える影響の基盤研究を行い、先行的な技術開発を行った。

以上より、設計と製造が統合された製造性考慮設計技術を重点的に組み込んだ hp65nm 技術領域のシステム LSI に対応した標準設計手法を開発し、中間目標を達成した。

平成 21 年度は、hp45nm に必要な技術を引き続き開発した。特に、hp45nm 世代で重要性がますますつき要因を分析し、その大きな要因である熱・ノイズを他のばらつき要因である、リソグラフィ、ストレスなどと統合的に扱う統合ばらつき考慮設計環境の基礎的なサインオフ技術開発を行った。

平成 22 年度は、最終目標である製造歩留まりを確保可能なシステム LSI 設計の生産性が3倍になることを確認するために56Mゲートのテストデータを用い、今回開発した設計フローが所望の生産性を実現しているか実証を行った。その際、設計技術としての一貫性、設計全体からの最適性の面を中心に課題点を抽出し、実用化レベルまで引き上げた。

以上より、hp45nm 技術領域でシステム LSI に求められる製造歩留まりを確保可能な、製造性考慮設計技術を重点的に組み込んだ設計手法を開発した。また開発手法を盛り込んだシステム LSI 設計手法をもちいることにより、hp45nm 技術領域で求められる製造歩留まりを確保可能なシステム LSI を設計する生産性を、本技術開発手法を用いない場合と比較して3倍にする事が出来、最終目標を達成した。

2. 研究開発項目毎の成果

1) 製造性考慮設計の基盤技術開発

1-1) 製造ばらつきを考慮したLSI設計手法の開発

決定論的タイミング解析(STA)を用いたばらつきを考慮した設計フローを開発し、32nm 世代でもサインオフコーナー数を15から6に削減した。コーナー導出手法として、32/28nm テクノロジ向けコーナー導出手順と CTS (クロック配線ツール) 条件設定ガイドを作成した。STA/SSTA(統計的タイミング解析)の協調検証手法として、検証ガイドを作成した。

1-2) 製造歩留りを考慮したLSI設計手法の開発

ストレスによる遅延変動、リソ影響によるリーク電流の変動に対して、設計段階において不良を低減する手法を示した。本手法を適用することにより、45nm 世代においてパラメトリック不良を40.8%低減できることを確認した。また、中間評価にて報告した、ランダム不良、システムティック不良に対する開発技術をリファレンスフローへ組み込み、45nm 世代

において不良を低減できることを確認した。この結果として 45nm 世代で90nm 世代と同等以上の歩留りが確認できた。さらに本技術を 32nm 世代に適用した場合65nm 世代と同等以上の歩留りが実現できることを試算した。

1-3) 設計意図を活用するリソグラフィフレンドリーな設計手法の開発

リソグラフィに関する問題を設計段階にて解決することが可能なリソグラフィフレンドリーな設計手法を開発し、この技術の適用により、従来手法に比べて 100 倍以上高速に処理できることを確認した。また、複雑に挿入されたダミーメタルに対してリソグラフィ的に問題となる箇所を設計意図としてインタフェースする手法を開発した。これらの技術により、製造側での作成・確認作業の低減と、製造側からリソグラフィ問題による作業手戻りをなくすることを可能とした。

1-4) 製造性考慮設計の効果予測技術の開発

32nm 世代の設計においては、動的電源ノイズを高精度・高速に予測する技術を開発した。今回開発した技術を用いることにより、電源ノイズ下での遅延変動見積り誤差 20%未満であり、SPICE シミュレーションによる見積りに対して 1/244 倍の処理時間を達成した。その結果、タイミング解析に及ぼす影響をより正確に見積ることが可能になった。

2) 製造性考慮設計の標準化技術開発

2-1) 製造と設計に係わるDFMデータベース整備と標準インターフェイスの開発

RTL プロトタイピング技術、高速論理合成技術、並列分散処理技術、高速 STA 技術等の設計期間を短縮する新規技術の開発とこれらの要素技術を組み入れかつ、最適な処理手順、各ステップでの最適な処理内容とマージン設定、不整合のない各ステップ間の I/F をもつ設計 TAT 削減に効果のある最適設計フロー開発を行った。

DFM データベースと標準インターフェイスを具備した最適設計フローの効果を実証するため、大規模テストデータを用いて論理合成、フロアプラン、自動配置配線、サインオフまでの全工程について貫通検証を実施した。検証を通じて発生した課題に対して処理手順の見直し、EDA ツールの改修等を図るとこにより処理時間の問題の解消を行うとともに、新規技術の最適な実行条件の設定を行うことにより最大限の効果を引き出し、最終的に設計工期1/3を達成した。

2-2) 製造工程モデル化に基づき移植性が確保されたEDAライブラリ標準化開発手法の構築

移植性と精度の両立を具備した電流源モデル(Current Source Model)を適用した高精度パワー計算モデルベースライブラリ開発、ばらつき情報を統計的に解析可能なメモリアイブライリキャラクタライズ技術開発を開発した。さらに、移植性のためにEDAライブラリのシンタックス

/セマンティックスおよび各種テーブル値の異常値有無のチェック、条件の異なるライブラリ同士の比較チェック、Spice シミュレーションとの相関チェック等のライブラリ検証技術開発を行い、ガイドラインにまとめた。

3) 新技術事象に対する製造性考慮設計技術開発

3-1) 統計的な解析・検証・判定手法の開発(サインオフ技術)

サインオフ技術として必須な統計的タイミング解析技術、電力解析・電圧降下解析技術、クロストーク解析技術、タイミングマージン設定技術を開発した。

統計的タイミング解析ではクロストークと電圧降下を同時に考慮した統計的タイミング解析技術を開発した。その結果、適切な条件を選択して4条件のタイミング解析コーナーを示した。

電力解析・電圧降下解析ではピーク電力解析を行って、IRドロップがワーストとなる状態を見つけ、そのときのIRドロップをタイミング解析の解析条件を開発し、その結果、電圧ばらつきによるタイミングマージンを約2%削減できた。

クロストーク解析では従来方法では、電位変化の時間的なオーバーラップ期間を悲観的に見積もっていた。そこで、この過度な悲観性を軽減するため、統計的な扱いによるクロストーク解析手法を確立した。

タイミングマージン設定では、ゲート種類やクリティカルパス段数を考慮した統計的タイミング解析と、これに適したタイミングマージン設定を行った。その結果、セットアップ側タイミングスラックを平均で約15% (最大29%)削減することができた。

3-2) 低消費電力化設計手法の開発と低消費電力指向新基本回路技術の開発

今回開発したRTL パワー最適化技術を活用することで、RTL 設計段階で消費電力削減のための論理構造を追加することが可能となった。また、DVFS 技術の開発を行い、設計フローにインテグレートした。RTL パワー最適化技術とDVFS 技術など今回開発したすべての技術によって2007年度時点の電力削減技術をターゲットとするシステムLSIに適用した場合と比べ、消費電力を45.8%削減することが出来た。

3-3) 冗長化技術および製造後調整を考慮した新基本回路技術の開発

冗長化と製造後調整が可能な論理ECO 技術を開発した。従来の人手作業によるポストマスク論理ECO フローを用いて、論理修正を行なった場合、合計約39時間必要であったが、今回開発したポストマスク

	論理ECOフローでは、約9時間で処理ができた。このことから、実用的なポストマスク論理 ECO フローを開発することが確認できた。	
	投稿論文	査読付き:21件、その他:7件
	特許	出願済: 3件(うち国際出願0件)、 登録: 0件、 実施: 0件
	その他の外部発表(プレス発表等)	31件
IV. 実用化、事業化の見通しについて	<p>半年ごとに開発物を半導体各社へ技術移転を行い実用化させ、引継ぎ技術はクライアント各社の実チップ開発に活用されている。</p> <p>最終成果である STARCAD-CELV5.0 の実用化時期について、V5.0 の成果13項目に対してクライアント各社へ実用化時期についてアンケートを行った。クライアント6社の回答の平均値であるが、各成果に対し、すでに実用化が1社、6ヶ月以内が 1.2 社、6ヶ月～2年以内が 2.7 社、2年～5年が 0.5 社であり、トータル 5.4 社となりほぼ全成果に対して全社が実用化済みまたは実用化予定である事が分かった。</p>	
V. 基本計画に関する事項	作成時期	平成18年3月 策定
	変更履歴	平成20年7月 改訂(イノベーションプログラム基本計画の制定により、「(1)研究開発の目的」の記載を改訂) 平成 22 年 8 月 改訂(各種ばらつきを考慮した最適設計フロー開発を加速し、最終目標の設計生産性を2→3倍に改訂)

技術分野全体での位置づけ

(分科会資料 6 - 1 より抜粋)

I. 事業の位置付け・必要性について (1)NEDOの事業としての妥当性

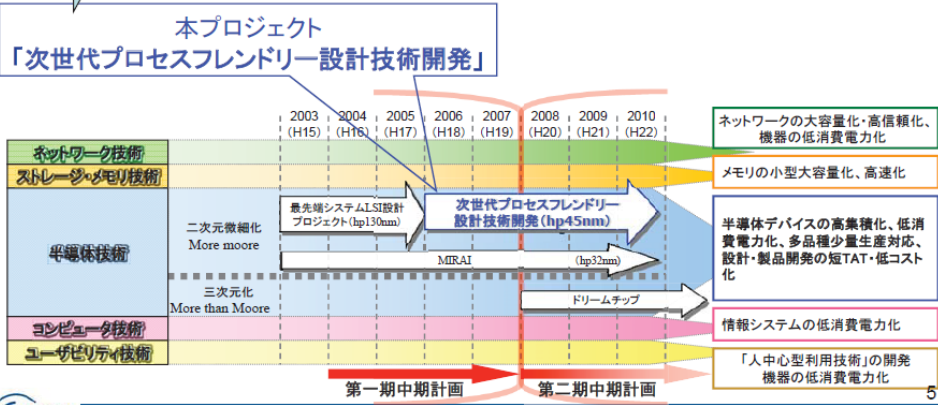
公開

NEDO中期目標における位置付け

NEDO 中期目標

- 誰もが自由な情報の発信・共有を通じて、個々の能力を創造的かつ最大限に発揮することが可能となる高度な情報通信(IT)社会の実現
- 我が国経済の牽引役としての産業発展の促進

半導体技術分野におけるhp45nm微細化技術に対応した設計技術

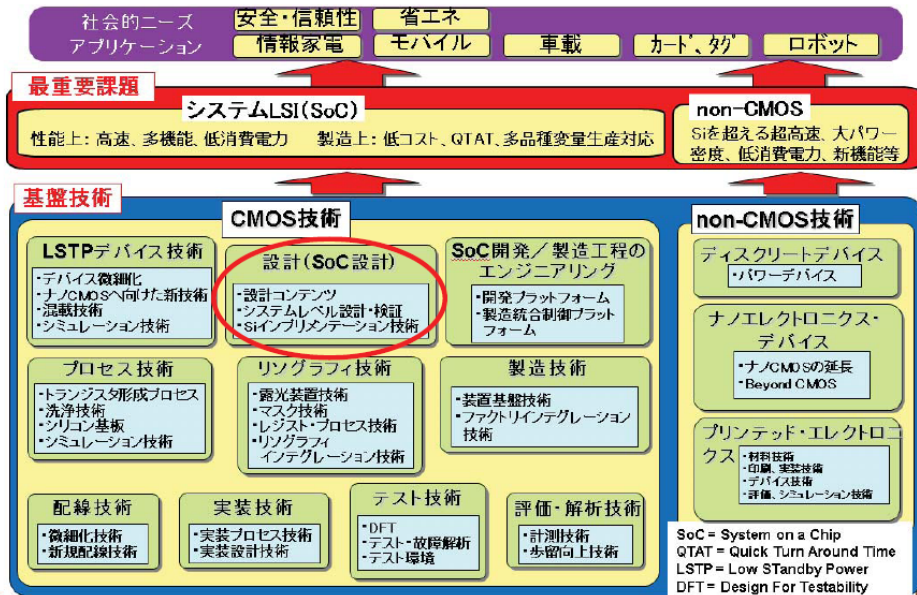


I. 事業の位置付け・必要性について (1)NEDOの事業としての妥当性

公開

NEDO 半導体分野の技術マップにおける位置付け

技術戦略マップ2010(抜粋)



「次世代大型低消費電力プラズマディスプレイ基盤技術開発」

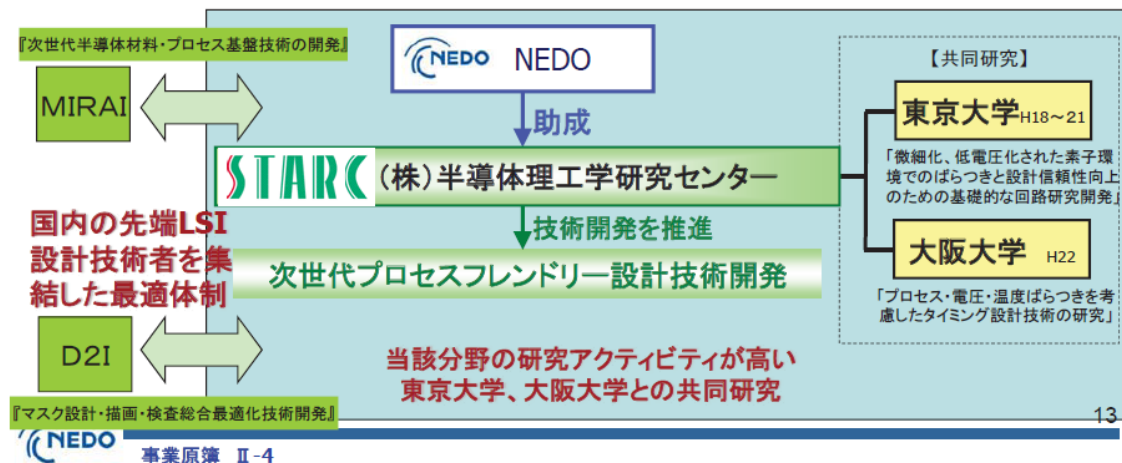
全体の研究開発実施体制

II. 研究開発マネジメント (3) 研究開発実施の事業体制の妥当性

公開

事業体制(研究開発体制)

- ▶我が国の主要半導体メーカーが設立した株式会社半導体理工学研究センターに助成。
 - 最先端の設計技術開発を推進できる国内の技術者を集結し、各社の共通基盤的な技術を効率的に開発。
 - あわせて、これらの技術者が、各社における本プロジェクト成果の普及、実用化を進めるうえで中心的な役割を担うことを期待。
 - 「開発」⇒「企業へ技術移転」を6ヶ月ごとに繰り返し、開発しながら半導体産業の国際競争力強化に貢献。
- ▶大学の研究開発力を活用して、ばらつきと設計信頼性の研究開発を推進。
 - ばらつきと設計信頼性は将来的に重要になる課題であり、この分野で研究アクティビティの高い東京大学に
 - プロセス・電圧・温度ばらつきに関するタイミング設計技術に実績のある大阪大学に研究委託を行い、研究開発を推進。
- ▶NEDOが実施する関連半導体デバイス・プロセス・製造技術開発(MIRAI)やマスク設計・描画・検査技術開発(D2I)との間で密接な連携を図り、効率的な開発を推進。



「次世代プロセスフレンドリー設計技術開発」(事後評価)

評価概要(案)

1. 総論

1) 総合評価

本事業は、益々微細化が進む VLSI (Very Large Scale Integration ; 超大型集積回路) の設計に関し、製造プロセスに起因する歩留まり低下要因を解決すべく、設計とプロセスの技術を融合する従来にない取り組みを推進した。オリジナリティ並びに実用的価値の高い技術開発である。

また、先端プロセスを安定的に利用して、主として論理システム系の物理設計レベルにおける設計技術の各種ノウハウを中心とした設計指針をまとめ、標準化に向けた努力をした点、さらにまだ一部ではあるが、製品に応用してその有効性を実証したことは、高く評価できる。

このような重要プロジェクトに主要な複数の半導体メーカーが非競争領域の研究開発を共同で行うという STARC の事業モデルは、公共性を重視する NEDO の事業に相応しいものだと考えられ、海外および EDA (Electronic Design Automation ; 電子設計自動化) ベンダーに対して日本の存在感をアピールするのに貢献するとともに、人材育成にも貢献している。

しかしながら、開発ツールの今後の展開に関して不透明感が残る。利用者が増えないと、メンテナンスもされないもので、さらにテクノロジーノードが進んだときには陳腐化して忘れ去られる危険性が高い。人材育成の観点からも事業推進母体の年齢構成は、若手の比率をある程度高めておく等、今後さらに成果を普及させる道を探っていただきたい。

2) 今後に対する提言

世界標準となり得るレベルのツールができたのだから、この成果を国家戦略として、どのように活かして行くのかについて、プロジェクト実施者だけでなく幅広い視点から議論する必要がある、国レベルでの対策検討が必要である。

今回のプロジェクトの成果をベースに、設計からプロセスへのフィードバックをするような技術開発を推進するなど、様々な技術者が共通課題に取り組む研究開発テーマに対して、次の施策を是非検討いただきたい。

それと同時に、さらに一世代先の技術対応に向けて、技術をさらに洗練化されたものにしていかねばならない。日本のシステム LSI 産業そのものを活性化する政策推進と相携えて、もっと大きな国家プロジェクトとしての展開を是非企画・推進して頂きたい。

2. 各論

1) 事業の位置付け・必要性について

システム LSI は、あらゆる工業製品の高機能化・低コスト化・高付加価値化に直結するキーデバイスであり、VLSI の微細化、3次元構造 (FinFET) のトランジスタの量産投入等、半導体製造プロセス技術の進歩は今や待ったなしの状況にある。LSI 設計技術の良し悪しが LSI 開発・製造のコストに直結するようになり、一方 LSI 設計技術の開発コストはうなぎ上りである。これを支援・加速し産業界に還元することは、我が国の基幹産業の競争力強化の観点からも、LSI 産業が存続するためにも、時宜を得た国家プロジェクトであり、ユーザーの立場から見ても極めて重要なテーマであり妥当である。また、設計とプロセスの技術領域を融合したアプローチは今までにないものであり、今後の技術開発の方向性を示した本プロジェクトの意義は極めて高い。

複数の企業で連携する事によって、少なくとも日本国内の一定の標準化が行われ、技術の共有化による効率化が行われた。この意味で NEDO が目指す公共性が高い研究である。

設計技術は、より多くの実設計に適用されることにより、完成度を高め高度化を進めることが出来る。関連する産業界を取り巻く環境の変化が当初の想定より早い状況の中で、今後の展開の方策を、STARC・NEDO 共々是非考えて頂きたい。

2) 研究開発マネジメントについて

本事業で設定された目標プロセス世代は、先端よりやや遅れ気味のように見えなくも無いが、極めて高い実用性を狙った技術開発であることを考えると、事業の目標およびスケジュール設定はかえって妥当なものである。

本プロジェクトのリーダーは、先行した「最先端 LSI 設計 PJ (2003-2005)」と同じ人物が指揮を執っており、全体を良く把握してすすめられており、非常に難しいテーマをしっかりとマネジメントし、十分に評価できるものであった。また、STARC における集中研方式により、研究開発のマネジメントや実施者間連携を実施しやすい環境が構築されており、各社の開発に携わっている技術者が切磋琢磨しながら共通目標に取り組んでいる。これは人材育成の観点からも有効である。

また、成果を最後にまとめて出すのではなく、半年に1回ずつ、逐次的に、ユーザーである株主企業に提供している点や、各社協力し、EDA ベンダーと交渉をしながら今回着実な成果を得られたことは、研究マネジメントとして高く評価できる。

3) 研究開発成果について

歩留まりの低下や設計コストの増加に関する改善目標を明確に数値化し、且つ達成結果もきちんと数値で表現されており、成果の技術レベルは世界最高水準のものを含んでいる。製造性向上技術に関しては目標を大幅に上回る成果、生産性向上技術と低消費電力化技術に関しては当初目標を達成する成果を得たことは評価できる。本成果は、半導体メーカー共通の基盤技術とし有用であるが、ノウハウとして共有

化する努力がなされており、関係した企業の実設計に活かされているようで、その意義は十分に評価できる。各社の中堅・若手設計技術者が一堂に介して開発をしたことが最も有効であった。

しかしながら、世界の他のプロジェクトとの比較に乏しく、設計手法全体としての特徴が見えないため、TSMCなどのファブが用意しているレファレンスフローとの差別化を図ることが難しい。また、研究成果は、ある意味ではノウハウの集積であり、特許出願を控えたことも妥当ではある。しかし、査読付き学会論文の数は必ずしも多いとは言えない。ノウハウに近い開発であっても、学術として普遍的な真理を抽出するところがもう少し欲しかった。

国内の参加企業および参加しなかった企業における成果の利用に関しては、積極的な啓蒙活動を行う必要がある。

開発成果であるLSI設計技術自体を売り物にするといった発想は生まれなかったようだが、そのような大胆な構想もあってよかった。

4) 実用化、事業化の見通しについて

研究成果はいわばノウハウの塊であるが、異なる設計文化を持つ参加各社が、ノウハウと人を出し合って実用的な設計指針をまとめ、これらは多くのドキュメントとして残されており、利用可能な形となっている点は、高く評価できる。

また、プロセス世代にかかわらず各技術でパッケージ化され、技術移転等がしやすい点も評価できる。実際、6ヶ月ごとに成果をクライアント各社にリリースするなど、クライアントへの技術移転は、技術開発の成果が出たタイミングで、適切に継続的になされており、成果を株主に還元するというSTARCの事業モデルがあるゆえ、成果の事業化に関しては確実である。もともと実用を目指した技術開発であり、産業技術として大変有用なものである。一部ではあるが、製品開発に応用され、その効果が実証されている。

しかし、今後どのように普及を図っていくかの戦略が不明確である。設計メソドロジーは、利用者が広がる事により、改善され保守されていく。世界市場での戦略を考えると、株主への還元だけではなく、本成果の経済的・社会的波及効果を果たすためには、プロセス技術者やEDAベンダーも巻き込んで、さらに踏み込んだ取り組みの検討が必要であると考えられる。

個別テーマに関する評価

	成果に関する評価	今後に対する提言
<p>製造性考慮設計の基盤技術開発</p>	<p>全般的に、非常にレベルの高い意欲的な開発成果が含まれているが、製造ばらつきの問題が深刻化する中、サインオフ・コーナー数削減や、ストレスを考慮した設計最適化手法の導入、後戻りによる大幅な設計変更をなくした one path flow の実現は、実用上有用な成果である。さらに、電源ノイズ変動評価に関し、統計的手法を導入することで大幅な設計時間短縮を果たしたことも評価できる。効果についても実際の設計への適用において検証されているが、SPICE シミュレーションだけでなく、モチーフデバイスを試作して、実際の回路上で実証できればさらにインパクトが大きかったと言える。</p> <p>今後、本成果の有効な範囲を明らかにし、プロセス技術の実際の動向、今後の海外への委託生産の可能性等を考えたときの有効性についての検証が必要である。</p>	<p>プロセスそのものと密接に関連した設計最適化は、シミュレーションだけではどこまで信用してよいものか、どうしても不安が拭えない。従って、歩留まり、設計工数のデータなどを蓄積すると同時に、個々のインパクトの大きな技術成果に関しては、TEG (Test Element Group; 評価用単体素子の集まり)で実証するような研究をSTARCで進めることを検討いただきたい。また、より製造装置側に位置するマスク製造技術との連携や、より上流側にあるElectronic System Level設計、電源構造そのものの設計技術、パッケージも含めた電源構造設計技術などへの取り組みも望まれる</p> <p>将来の28nmの次の世代付近から、LSI製造技術に大きな変化が生じる可能性があり、製造性を考慮した設計技術は今後もますます重要になってくると考えられる。半導体会社各社ごとの努力では対応が容易ではないと予想され、国レベルを含め、何らかの抜本対策を検討していく必要がある。</p> <p>また、成果を国際的に公開すべきか国内で利用するにとどめるかは、NEDOによる慎重な検討が必要である。</p>

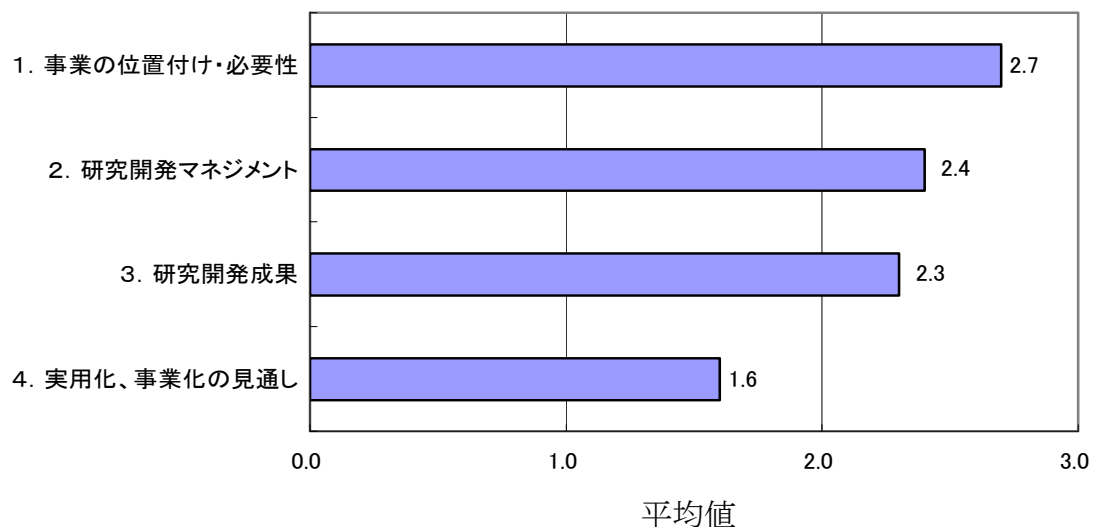
	成果に関する評価	今後に対する提言
<p>製造性考慮設計の標準化技術開発</p>	<p>レイアウト情報の予測技術、並列処理や高速論理合成技術等の新規技術を開発し、各ステップの処理内容やマージン設定等、手戻りのない最適設計フローを構築した。大規模モチーフを用いた設計実験により、設計 TAT (Turn Around Time ; 投入から完成までの期間) の削減(1/3)と消費電力の削減(45%)を達成し、参加各社の設計チームで評価した実績は評価できる。また、32nm で即時利用可能な高精度な characterization 手法も確立されており、標準化の成果は上がっていると評価できる。地味ではあるが実用上重要な成果が含まれる。さらに、これらの成果を指針としてまとめ、利用可能な形でデータベースとして整備した意義は大きい。</p> <p>今後、実際のシリコンとの相関確認や実設計への適用例をもっと増やし、異なる製造ラインに対するモデル化の有効性を実証すべきである。</p> <p>また、このような設計ノウハウの標準化が、技術の発展の上でどのような効果をもたらす</p>	<p>今後、いろいろな製造ラインに応用してその適応性を吟味するとともに、さらにシミュレーション値と実特性の相関、必要なパラメータ、データ構造、検証方法など、システム全体の改善を図っていくことが必要である。さらに細かいメンテナンスを継続して行い、システムのアップデートを漸次行っていく体制を整備することも重要である。また、米 SI2 (Silicon Integration Initiative, Inc.) などが行っている各種 DFM 技術の標準化活動に積極的に係わっていくことにより、開発技術のビジビリティやプレゼンスを上げて頂きたい。</p> <p>今回標準化した技術により EDA ベンダーにどの程度普及していくか不明であるが、この技術は使われてこそ、その真価が発揮されると考えられ、ノウハウ技術の囲い込みだけでなく、適切なタイミングで EDA ベンダーへの有償、無償の条件も含め技術開示の検討が必要である。</p> <p>過去にあまり事例のない開発プロジェクトなので、今後の大規模ソフトウェアやシステム開発技術についても同様なプロジェクトを有効性の視点から、NEDO の中で真剣に検討いただくことを期待する。</p>

	のかは、MOT (Management of Technology ; 技術マネジメント)の視点からのケースとしての科学的な検証を必要とする。	
--	---	--

	成果に関する評価	今後に対する提言
新技術事象に対する製造性考慮設計技術開発	<p>論文レベルの技術を実用化したという意味で価値はあるが、選択肢としては他の技術もあったはずであり、その選定における判断基準自身も本プロジェクトの成果である。</p> <p>統計的な STA (Static Timing Analysis ; 静的タイミング解析) による設計手法の導入、各種ゲーティングと DVFS (Dynamic Voltage and Frequency Scaling ; 動的電圧周波数制御) 技術、による低消費電力設計手法ガイドラインの整備等の成果を上げている。論理 ECO (Engineering Change Order ; 技術/設計変更指示) の導入は大変興味深く、これで 80% の TAT 削減の効果を果たしたことは大きな成果である。</p> <p>ただ、ここで導入した技術は、いずれも高度な技術であり、うまく適用すると大きな効果が得られるものであるが、誰でも使える状況になっているのかどうか、その整備状況を明らかにすべきである。また、開発技術の評価が、いずれもシミュレーションベースに留まっている。実チップでの評価例を示す事ができればイン</p>	<p>今後、実チップへの適用事例を収集し、開発技術の有効性アピールと、実用化への加速を実現することが求められる。</p> <p>この新技術事象は 32nm に対する対応では無く、広く他のプロセスでも使用すべき事項であり、今後の 3 次元化などを考えてどのような事象を考えて行かねばならないかの検討が必要である。半導体設計全体での位置付けを明確にして、技術の有効性と、論文レベルで提案されている他の技術との関係 (得失) をまとめて、ロードマップ的に示すなど今後の展開を分かりやすく示して頂きたい。</p> <p>ECO は、学術的にも今後益々発展できる大きな可能性を秘めた技術分野であると考ええる。論理設計の形式的検証技術との連携も含め、さらに発展させる必要がある。これらが、すべて整備されれば、日本の設計技術が十分に優位性を確保できると考えられ、継続的にプロジェクトを発展させる検討が必要である。</p>

	<p>パクトは大きい。</p> <p>また、本テーマに関しては、新技術事象に対する技術開発であるので、ノウハウだけでなく特許による権利化を推進してもよかったですのではないか。</p>	
--	---	--

評点結果 [プロジェクト全体]



評価項目	平均値	素点 (注)							
		A	B	A	A	A	A	B	B
1. 事業の位置付け・必要性について	2.7	A	B	A	A	A	A	B	B
2. 研究開発マネジメントについて	2.4	B	B	A	A	A	B	B	B
3. 研究開発成果について	2.3	A	B	B	A	A	B	C	C
4. 実用化、事業化の見通しについて	1.6	B	C	B	C	B	B	C	C

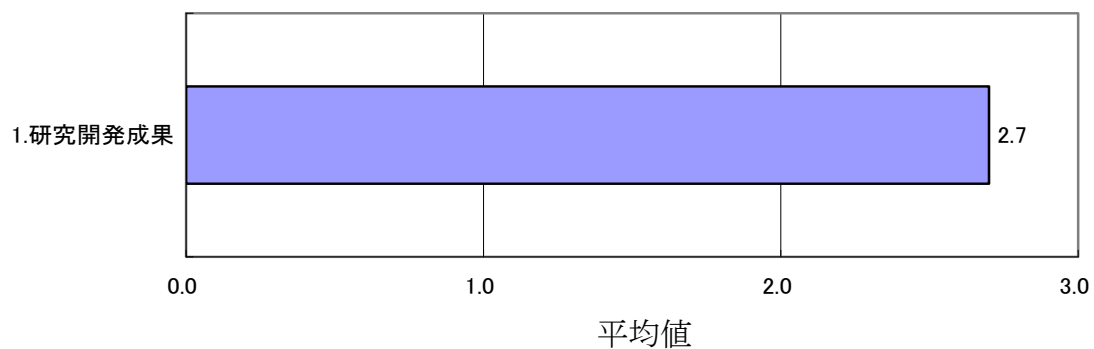
(注) A=3, B=2, C=1, D=0 として事務局が数値に換算し、平均値を算出。

〈判定基準〉

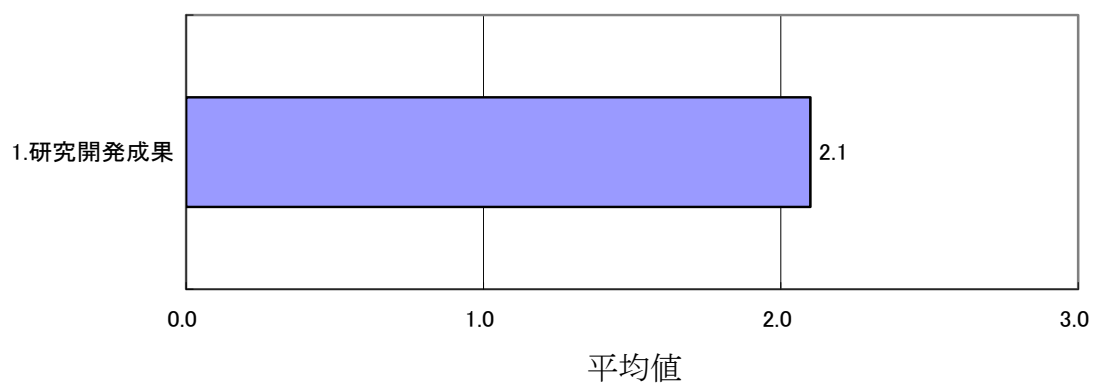
1. 事業の位置付け・必要性について	3. 研究開発成果について
・非常に重要 →A	・非常によい →A
・重要 →B	・よい →B
・概ね妥当 →C	・概ね妥当 →C
・妥当性がない、又は失われた →D	・妥当とはいえない →D
2. 研究開発マネジメントについて	4. 実用化、事業化の見通しについて
・非常によい →A	・明確 →A
・よい →B	・妥当 →B
・概ね適切 →C	・概ね妥当であるが、課題あり →C
・適切とはいえない →D	・見通しが不明 →D

評点結果〔個別テーマ〕

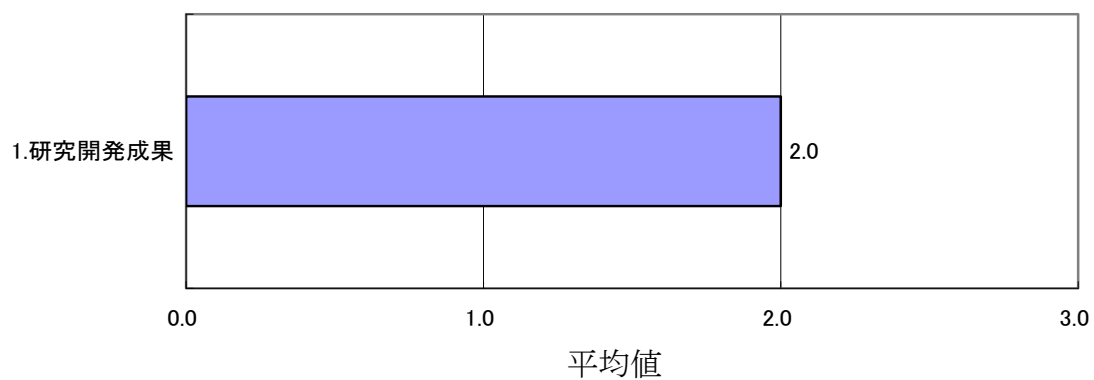
製造性考慮設計の基盤技術開発



製造性考慮設計の標準化技術開発



新技術事象に対する製造性考慮設計技術開発



個別テーマ名と評価項目	平均値	素点 (注)							
製造性考慮設計の基盤技術開発									
1. 研究開発成果について	2.7	A	A	A	A	A	B	B	
製造性考慮設計の標準化技術開発									
1. 研究開発成果について	2.1	B	B	B	A	A	B	C	
新技術事象に対する製造性考慮設計技術開発									
1. 研究開発成果について	2.0	B	B	B	B	B	B	B	

(注) A=3, B=2, C=1, D=0 として事務局が数値に換算し、平均値を算出。

〈判定基準〉

1. 研究開発成果について

- ・非常によい →A
- ・よい →B
- ・概ね適切 →C
- ・適切とはいえない →D