

「次世代半導体材料・プロセス基盤
(MIRAI)プロジェクト（第Ⅲ期）」
事後評価報告書

平成23年10月

独立行政法人新エネルギー・産業技術総合開発機構

研究評価委員会

平成23年10月

独立行政法人新エネルギー・産業技術総合開発機構
理事長 古川 一夫 殿

独立行政法人新エネルギー・産業技術総合開発機構
研究評価委員会 委員長 西村 吉雄

NEDO技術委員・技術委員会等規程第32条の規定に基づき、別添のとおり
評価結果について報告します。

目 次

はじめに	1
分科会委員名簿	2
審議経過	3
評価概要	4
研究評価委員会におけるコメント	7
研究評価委員会委員名簿	8
第1章 評価	
1. プロジェクト全体（第Ⅲ期）に関する評価結果	1-1
1. 1 総論	
1. 2 各論	
2. 個別テーマに関する評価結果	1-30
2. 1 新構造極限 CMOS トランジスタ関連技術開発	
2. 2 新探究配線技術開発	
2. 3 特性ばらつきに対し耐性の高いデバイス・ プロセス技術開発	
2. 4 次世代マスク基盤技術開発	
2. 5 EUV 光源高信頼化技術開発	
3. 第Ⅰ～Ⅲ期を通じた MIRAI プロジェクト全体に対する提言	1-52
4. 評点結果	1-57
第2章 評価対象プロジェクト	
1. 事業原簿	2-1
2. 分科会における説明資料	2-2
参考資料1 評価の実施方法	参考資料 1-1
参考資料2 評価に係る被評価者意見	参考資料 2-1

はじめに

独立行政法人新エネルギー・産業技術総合開発機構においては、被評価プロジェクトごとに当該技術の外部専門家、有識者等によって構成される研究評価分科会を研究評価委員会によって設置し、同分科会にて被評価対象プロジェクトの研究評価を行い、評価報告書案を策定の上、研究評価委員会において確定している。

本書は、「次世代半導体材料・プロセス基盤(MIRAI)プロジェクト」(第Ⅲ期)の事後評価報告書であり、第28回研究評価委員会において設置された「次世代半導体材料・プロセス基盤(MIRAI)プロジェクト」(事後評価)研究評価分科会において評価報告書案を策定し、第29回研究評価委員会(平成23年10月14日)に諮り、確定されたものである。

平成23年10月
独立行政法人新エネルギー・産業技術総合開発機構
研究評価委員会

「次世代半導体材料・プロセス基盤(MIRAI)プロジェクト(第Ⅲ期)」

事後評価分科会委員名簿

(平成23年4月現在)

	氏名	所属、役職
分科会長	しらき やすひろ 白木 靖寛*1	東京都市大学 総合研究所 教授 東京大学 名誉教授
分科会長 代理	すぎやま すずむ 杉山 進	立命館大学 立命館グローバル・イノベーション 研究機構 教授
委員	あだち たかお 安達 隆郎	エルピーダメモリ株式会社 取締役
	おかだ たつお 岡田 龍雄	九州大学 大学院システム情報科学研究院 電気システム工学部門 教授
	おのだ ひろし 鉄田 博	日新イオン機器株式会社 新事業推進室 室長
	ささご まさる 笹子 勝	パナソニック株式会社 セミコンダクター社 生産本部 プロセス開発センター 次世代技術グループ チームリーダー
	さの のぶゆき 佐野 伸行	筑波大学 大学院数理物質科学研究科 電子・物理工学専攻 教授
	しおの のぼる 塩野 登	財団法人日本電子部品信頼性センター 理事
	すなみ ひでお 角南 英夫*2	広島大学 名誉教授
	ひらい よしひこ 平井 義彦	大阪府立大学 大学院工学研究科 電子・数物系専攻 教授
	わたなべ しゅんたろう 渡部 俊太郎	東京理科大学 総合研究機構 教授

敬称略、五十音順

注*1：実施者の一部と同一大学であるが、所属部署が異なるため（実施者：東京大学生産技術研究所）「NEDO 技術委員・技術評価委員規程(平成23年7月7日改正)」第34条（評価における利害関係者の排除）により、利害関係はないとする。

注*2：実施者の一部と同一大学であるが、所属部署が異なるため（実施者：広島大学 HiSIM 研究センター）「NEDO 技術委員・技術評価委員規程(平成23年7月7日改正)」第34条（評価における利害関係者の排除）により、利害関係はないとする。

審議経過

● 第1回 分科会（平成23年4月14日・18日）

・ 第1日目（4月14日）

公開セッション

1. 開会、分科会の設置、資料の確認
2. 分科会の公開について
3. 評価の実施方法について
4. 評価報告書の構成について
5. プロジェクトの概要説明
 - 5.1 MIRAIプロジェクト第I～III期全体概要
 - 5.2 第III期の概要

非公開セッション

- 5.3 第I・II期成果の実用化・事業化の見通し
6. プロジェクトの詳細説明
 - 6.1. 次世代半導体材料・プロセス基盤技術開発
 - ① 新構造極限 CMOS トランジスタ関連技術開発

・ 第2日目（4月18日）

- ② 新探究配線技術開発
- ③ 特性ばらつきに対し耐性の高いデバイス・プロセス技術開発
- 6.2. 次世代半導体露光プロセス基盤技術開発
 - ④ 次世代マスク基盤技術開発
 - ⑤ EUV 光源高信頼化技術開発
7. 全体を通しての質疑

公開セッション

8. まとめ・講評
9. 今後の予定、その他、閉会

評価概要

1. 総論

1) 総合評価

本プロジェクトは我が国における情報産業、半導体産業の将来戦略に基づいた、適切かつ時宜を得たものであった。微細化の進展にしたがい、開発費用の増大は、民間のみでの取り組みでは賄いきれない膨大な額となっている中、半導体材料・プロセス基盤技術の開発の民間での活動を費用の面からバックアップするとともに、産官学の英知を結集したプロジェクトとして、その意義は大きい。有能なプロジェクトリーダーを得て、要素技術としてはそれぞれの研究開発項目で当初目標を達成し、世界トップレベルの成果が出ている点は高く評価できる。優秀な研究者の育成にも寄与した。

しかしながら、プロジェクトとしては成功したとはいえ、**hp32nm** 以降のデバイス・プロセスの姿を明確にできたとは言えないであろう。「新構造極限 CMOS トランジスタ関連技術」や「新探求配線技術」については、テーマ設定の範囲内での目標は達成しているが、産業構造の激変の中で実用化の受け手が曖昧になり、集積化技術や産業化に向けての展開が不透明なまま終了する結果となっている。

2) 今後に対する提言

MIRAI プロジェクトが走った 10 年間は、皮肉にも日本の半導体産業の競争力が弱体化した時期とも重なっている。最近数年間の産業構造の激変の結果、当初計画時や、さらには計画見直し時とも全く異なった産業構造となり、本プロジェクトで開発してきた先端基盤技術の実用化に際する受け皿が日本国内で消失しつつある。産業構造の変化をいち早く計画にフィードバックすることは至難の業であったとは考えるが、**NEDO** プロジェクト管理の中間評価等での見直しサイクルの短縮などを行い、テーマ内容、運営の機動的な見直しにより、もっと有効で機動的なプロジェクト運営になるように、今後フィードバックされることを期待する。

半導体産業は日本産業の基幹を成しており、これからもそれは変わることはない。特に日本製品の競争力となる付加価値を創生するためのツールとして半導体技術は常に先端でいなければならない。ナンバーワンであり続けなければ科学技術立国・日本の明るい将来はないと言っても過言ではない。プロジェクトの成果は広く日本製品の競争力維持・向上のために活用するものであり、今後も強力に当該関連プロジェクト事業を継続して推進する必要がある。

また、合従連衡により、日本の集積回路開発・製造会社の数が激減している中、本プロジェクトで開発した技術の出口をどこに求めるのか、今後十分な議論と戦略が必要であろう。

2. 各論

1) 事業の位置付け・必要性について

半導体は我が国の基幹産業であり、安全保障上も極めて重要な分野である。近年の微細化の進展に際し、開発費用の増大は民間企業だけではまかないきれない額となってきたことから、国家プロジェクトである NEDO 事業としての妥当性は極めて高い。

本プロジェクトに投下された予算は、先端基盤技術としての予算であり、先端デバイス開発・実用化を見通すために必要な全費用の一部に過ぎない。実用化を見通すだけの開発成果を上げるには、より踏み込んだ実用化の推進に必要な予算を投じる必要がある。その意味では、投下された予算そのものが少ない。ナノテク、グリーン（環境）等、あらゆる分野で根幹となるナノエレクトロニクス研究開発の重要性から、継続的な国の支援の重要性を強調したい。

2) 研究開発マネジメントについて

研究開発計画、研究マネジメントについては、概ね適切かつ妥当であり、個々のプロジェクトについても、内外の技術動向、市場動向等を踏まえて、概ね具体的で明確な開発目標が設定されている。全体を統括するプロジェクトリーダーのもと、個々のプロジェクトにおいても技術力と事業化能力を有する企業を実施者として適切な研究開発チームが構成されている。

特に、プロジェクトリーダーの強いリーダーシップが随所に見られ、その背景にあるプロジェクトリーダーの研究開発の哲学、半導体産業に関する深い洞察が、担当者にも十分に伝わったと判断できる。

実施体制では、主体となる企業の開発場所を中心として、また企業の生産ラインを利用した開発試作を通して、研究開発を進めたことは、効率的な研究推進のために、有効な方法である。

テーマ設定については、その後の情勢の変化があつたとはいえ、結果として一部で疑問が残る。主に参加機関の興味や保有技術を基にした設定のようであり、日本の半導体産業として向かうべき技術の方向性を明確化し、その上でのテーマ設定になっているのかが必ずしも明確でない。

産業構造の激変の結果、当初計画時、計画見直し時と全く異なった産業構造となり、本プロジェクトで開発してきた先端基盤技術の実用化に際する受け皿が日本国内で消失しつつある。成果の実用化、事業化につなげる戦略について

は、マネジメントは妥当であったと考えるが、成果を実用化へ生かしきれない事実を真摯に受け止めて、今後のプロジェクトへのフィードバック、反省に生かすことが肝要である。

3) 研究開発成果について

成果は各研究開発項目の目標値をほぼクリアしている。各個別の研究開発項目の細目に未達成部分があるが、当初目標以上の成果も出ており、全体として目標を達成したといえる。学会発表、論文ともに十分な質・量を創出したと評価でき、世界的にもトップレベルの研究成果を達成したプロジェクトであったと言える。特に、「特性ばらつきに対し耐性の高いデバイス・プロセス技術開発」、「次世代マスク基盤技術開発」、「EUV 光源高信頼化技術開発」の各研究項目において、成果は汎用性があり、半導体産業の基盤技術として発展できるものである。

しかしながら、得られた成果は個別の基礎技術であり、実用化、産業化との間には大きなギャップがある。成果を実用化する量産技術の橋渡しのシナリオが明確ではない。成果がいかに実用化に結び付くかが今後の課題である。

なお、知的財産権等の取得に関しては、国内における取組は評価できるが、国内出願に比べて海外出願がやや少なく、世界事業戦略、実用化計画に沿って知的財産権獲得への一層の努力が必要である。

4) 実用化、事業化の見通しについて

プロジェクト終了後の実用化、事業化の見通しは概ね妥当である。特に、「特性ばらつきに対し耐性の高いデバイス・プロセス技術開発」に関しては、すでに実用化技術として多くの企業で採用され始めており、また「次世代マスク基盤技術開発」、「EUV 光源高信頼化技術開発」の各研究開発課題に関しては実用化のシナリオが明確に示されている。

また、プロジェクトの実施自体が、科学技術立国としての日本の最先端技術分野の研究開発や人材育成等を促進するなどの波及効果を大いに生み出している。

しかしながら、「新構造極限トランジスタ」、「新探求配線」については、実用化の見通し、実用化のシナリオが明確でない。これらは、産業構造の激変のなかで、実用化の受け手が曖昧になり、日本産業へ早期に寄与出来る見通しが立たなくなっている。

本プロジェクトは基礎的技術の開発に集中し、インテグレーションを通じての実用化検討は別途行われるはずであったが、担当すべき Selete の終了に伴い、このスキームが壊れたことは大きな痛手である。技術の継続性、発展性を今後どう担保するか、大きな宿題が残ったのではあるまいか。

研究評価委員会におけるコメント

第29回研究評価委員会（平成23年10月14日開催）に諮り、以下のコメントを評価報告書へ附記することで確定した。

- 世の中では国際共同研究が進んでいる中で、半導体分野においても日本が孤立することがないように国際協力を進めていくべきである。
- 個別の技術は、世界的に見てもすごく素晴らしい技術が開発されているという成果は出ているが、それを組み合わせて、どういうふうに最適な形でデバイスをつかって、そのための製造技術をどうする、という視点から、このようなプロジェクトの立案の際には、他の半導体分野のプロジェクトとの連携を踏まえた総合的な戦略を立てていくことが必要である。

研究評価委員会

委員名簿（敬称略、五十音順）

職 位	氏 名	所 属、役 職
委員長	西村 吉雄	学校法人早稲田大学大学院 政治学研究科 （科学技術ジャーナリスト養成プログラム） 客員教授
委員長 代理	吉原 一紘	オミクロンナノテクノロジージャパン株式会社 最高顧問
委員	安宅 龍明	一般社団法人ナノテクノロジービジネス推進協議会 企画運営推進会議（オリンパス株式会社 未来創造研 究所） 副議長（コーディネーター）
	五十嵐 哲	工学院大学 応用化学科 教授
	伊東 弘一	学校法人早稲田大学 理工学術院総合研究所 客員教授（専任）
	稲葉 陽二	日本大学 法学部 教授
	尾形 仁士	三菱電機エンジニアリング株式会社 相談役
	小林 直人	学校法人早稲田大学 研究戦略センター 教授
	佐久間一郎	国立大学法人東京大学大学院 工学系研究科 精密機械工学専攻 教授
	佐藤 了平	大阪大学大学院 マテリアル生産科学専攻 （システムデザイン領域担当） 教授
	菅野 純夫	国立大学法人東京大学大学院 新領域創成科学研究科 メディカルゲノム専攻 教授
	架谷 昌信	愛知工業大学 工学部機械学科 教授・総合技術研究所所長
	宮島 篤	国立大学法人東京大学 分子細胞生物学研究所 教授

第1章 評価

この章では、分科会の総意である評価結果を枠内に掲載している。なお、枠の下の「○」「●」「・」が付された箇条書きは、評価委員のコメントを原文のまま、参考として掲載したものである。

1. プロジェクト全体（第Ⅲ期）に関する評価結果

1. 1 総論

1) 総合評価

本プロジェクトは我が国における情報産業、半導体産業の将来戦略に基づいた、適切かつ時宜を得たものであった。微細化の進展にしたがい、開発費用の増大は、民間のみでの取り組みでは賄いきれない膨大な額となっている中、半導体材料・プロセス基盤技術の開発の民間での活動を費用の面からバックアップするとともに、産官学の英知を結集したプロジェクトとして、その意義は大きい。有能なプロジェクトリーダーを得て、要素技術としてはそれぞれの研究開発項目で当初目標を達成し、世界トップレベルの成果が出ている点は高く評価できる。優秀な研究者の育成にも寄与した。

しかしながら、プロジェクトとしては成功したとはいえ、hp32nm 以降のデバイス・プロセスの姿を明確にできたとは言えないであろう。「新構造極限 CMOS トランジスタ関連技術」や「新探求配線技術」については、テーマ設定の範囲内での目標は達成しているが、産業構造の激変の中で実用化の受け手が曖昧になり、集積化技術や産業化に向けての展開が不透明なまま終了する結果となっている。

〈肯定的意見〉

- 開発マネジメントとして、第二期を繰り上げ判断、体制を見直し、新たな目標を設定し第三期を発足されことは評価される。また、個々の成果は世界レベルに達していると認められる。
- それぞれテーマに関して、当初目標を達成し、世界トップレベルの成果が出ている点は高く評価できる。特に、接合評価技術、ばらつき特性の計測、不純物分布の測定やマスク欠陥の測定など、計測・評価技術に代表される要素技術については、その成果の波及効果とともに、実用化の見通しも明確なものが多く評価できる。
- 半導体産業は我が国産業の基幹であり、かつ安全保障上も極めて重要な分野であることから、その技術力を世界をリードするものとするために企画された本プロジェクトは、時宜を得たものである。そして、大変有能なプロジェクトリーダーを得ることができたこと、参加した人材のレベルが高かったことを反映し、極めて有意義な成果が得られており、高く評価できる。
- 半導体産業は、日本製品の競争力となる付加価値を創生するためのツールとして常に先端でいなければならない。IT およびエネルギー分野で世界に先行するためには半導体技術で裏打ちされた技術イノベーションが不

可欠となる。ナンバーワンであり続けなければ科学技術立国・日本の明るい将来はないと言っても過言ではない。最先端研究開発事業には一民間企業ではカバーできない最先端研究開発用インフラが必要となる。オールジャパンで取り組まなければできない規模であり、国家プロジェクトとして NEDO の関与が必要とされる事業である。

- 研究開発課題は、半導体技術の微細化・高集積化に関し内外の技術動向、市場動向等を踏まえ、前 MIRAI 第 1 期、第 2 期の成果・技術蓄積を民間自主事業に移行し、MIRAI 第 3 期の目標を 32nm 以細を見据えた戦略として極限微細化技術など先端的プロセス基盤技術開発に絞り込むなど実用化の観点から妥当である。
- 研究開発実施体制はほぼ適切な研究開発チーム構成になっており、オールジャパンの技術力を有する第一線の企業を中心に選定し、また統括するプロジェクトリーダーの選任は妥当である。
- 成果の実用化、事業化につなげる国際競争力維持・向上を念頭に置いた知財マネジメントの方針が明確に示され、期間中 220 件を超す知財獲得（出願）作業を行うなど妥当である。
- 実用化に向けての課題、その課題解決の方針はほぼ明確になっており、特に③特性ばらつきに対し耐性の高いデバイス・プロセス技術開発、④次世代マスク基盤技術開発、⑤EUV 光源高信頼化技術開発に関しては具体的に実用化技術として企業で採用され始めており、実用化シナリオが明確に示されている。
- 本事業における各研究開発課題の成果は世界最先端の研究成果であり、関連分野への波及効果（技術的・経済的・社会的）は大いに期待できるものであるとともに、科学技術立国・日本の最先端半導体技術分野の研究開発や人材育成等を促進するなど期待できる。
- 半導体産業は、わが国の重要な基幹産業の一つであり、日本経済を支える産業として発展してきた。しかしながら、微細化の進展にしたがい、開発費用の増大は、民間のみでの取り組みでは賄いきれない膨大な額となっている。本プロジェクトは、NEDO が主導する国家プロジェクトであり、半導体材料・プロセス基盤技術の開発の民間での活動を費用の面からバックアップするとともに、産官学の英知を結集したプロジェクトとして、その意義は大きい。10 年間の活動の成果（特に III 期後半）については、いずれも世界最高レベルまたは世界初といった研究成果を含んでおり、学会発表、論文、知財権とともに十分な質・量を創出したと評価できる。
- 我が国における情報産業、半導体産業の将来戦略に基づいた、適切かつ時宜を得たプロジェクトであった。国内の関連プロジェクト（EUVA や文科

省リーディングプロジェクトなど) 民間事業との分担・連携が適切におこなわれ、この分野の関連する人材が広く参加した。いずれの課題においても、十分な成果を上げた。

- 全体的に時代に合ったテーマで、先端をリーディングした。特に、ロバストトランジスタや EUV マスク検査技術開発の成果は特筆ものである。また、我が国として優秀な研究者の育成にも寄与した。
- ナノエレの基幹技術である半導体研究の重要性やプレゼンスを上げるうえで、意味のある国家プロジェクトであった。ナノエレの根幹技術が半導体技術であることが今後暫く変わることはないと思われることから、このような国家プロジェクトが単発で終わることなく、継続的に実施されることがより重要と考える。Ⅰ・Ⅱ期の米国追従の研究開発テーマに比べて、Ⅲ期の研究開発テーマでは、日本独自の野心的テーマがいくつか含まれていたことは、本プロジェクトの国家戦略的意味からすれば非常に高く評価できる。
- 要素技術としては、取り上げたテーマのほとんどが世界トップレベルの成果を上げており、当初目標が達成されている。特に、歪み SiGe による正孔移動度の向上、Ge チャネル/High-k 構造の SrGe_x 界面膜形成による特性安定化、ビア配線への CNT の適用などは、世界トップの成果である。特性ばらつきの評価についても、高速評価用 TEG 開発、高速測定装置の開発を通して、大量測定データの短時間測定を行い、ばらつきの統計的評価及び解析を行ったのは、世界にも例の無い研究であり評価できる。EUV 光源として、LPP 光源、DPP 光源とも β 装置化まで達成したことは評価できる成果である。
- 個々の課題による達成度の差は多少認められるが、本プロジェクトの目的が科学的理解に基づいた原理実証を行うことである限り、その目的をほぼ達成したと評価する。
- 個々の研究内容については、いずれも目標を達成していて、今後の波及効果を含めた成果の結実が期待される。とりわけ、特性ばらつきに対する取り組みについては、その成果と意義が大きいものと考ええる。また、マスク関連技術ならびに EUV 光源の開発についても、困難な目標に対して概ね満足する成果が得られ、今後の展開が期待できる。さらに、極限デバイスや新規配線技術で開発された評価技術は、今後の産業化や波及効果が期待される。また、長期間に渡るテーマ・目標設定のなかで、状況に対応した技術マネジメントの努力がうかがわれる。

〈問題点・改善すべき点〉

- 限られた資源の中で選択は必要であるが、その理由が必ずしも明白でないものがあった。また事業化の見通しが明らかでないものも見受けられた。
- 野心的な研究開発テーマの設定は評価できるが、その内容を学術（物理）的に十分に理解しているとは思えないものがあった。その結果、設定されたゴール（目標）の妥当性が曖昧かつ不正確なものとなっている。開発項目で挙げられている項目の専門家が含まれていない研究開発テーマがあった。研究実施チームの編成（組織）に明らかな人的偏りが見られる。
- 参加事業者が減る中、研究対象が狭まったと思われるテーマがある反面、時間軸が違い過ぎるテーマがあったり、目標設定の仕方や評価のやり方に問題を感じる。一方、他に多数ある NEDO プロジェクトとの関係が複雑で不明確であることが、この MIRAI プロジェクトの成果全体の印象を不鮮明にしている様に思える。
- 一方、成果の具体的な実用化の取り組みが明確でないものも見受けられる。課題の選定に当たって実用化時期の見通しや、全体プロジェクトの中での個々の位置づけを明確にしておく必要がある。
- 2005 年に II 期を前倒しで終了し、hp45nm 世代のモジュール化を Selete に移管、MIRAI は 32nm 以細の先端基盤技術に特化するという判断があったとのことである。トランジスタの開発は、相応のデザインルールでのインテグレーションの一環として研究開発されることが必要である。トランジスタのみで高性能化を追い求めることと、あるデザインルールにおけるデバイス・プロセス開発を行う中でのトランジスタ開発は解決すべき課題は異なることが多い。インテグレーションという制約の上でトランジスタの高性能化を行うことが必要と考える。もちろん予算の制約もあると思うが、45nm の時のようにモジュール開発を移管できる場所が無いという環境での開発は極めて実用化に対して残念な開発であったと考える。
- 本プロジェクトに参画した人材が、その後必ずしも有効に生かされていないのは問題である。人材育成も国家プロジェクトにおいては大きな使命であることを考えると、何らかの対策が必要ではないか。
- 知的財産権等の取得に関しては、世界事業戦略、実用化計画に沿って、外国特許出願など戦略的知的財産権獲得の一層の努力が必要である。成果の普及は、受取手（活用・実用化の想定者等）に対して、今後の事業戦略および政策・技術動向に大きく依存しており、今後の動向、タイミングをにらんで図られることを期待する。
- 大きな課題としては、経済的な問題が原因であったが、結果的に本プロジェクトの成果の活用が、我が国半導体産業の活力向上に繋がったかと言う

点では残念である。現在の NEDO プロジェクト管理の中間評価での見直しサイクルの短縮などを行い、もっと有効で機動的なプロジェクト運営になるように今後フィードバックされることを期待する。

- 本プロジェクトの目的からして実用化検討をする必要はないが、少なくともその課題を明確に指摘し、後進の技術者達に効率的な開発ができるよう配慮することが望ましい。この点で十分とは言えないと感じた。
- hp32 以降のデバイス・プロセスの姿が、いまひとつ見えてこない感がする。また、極限デバイスや新規配線技術については、テーマ設定の範囲内での目標は達成しているが、集積化技術や産業化に向けての展開に不安を感じる。一方で EUV 関連技術においても、装置本体の技術開発との整合性など、民間あるいは他のプロジェクトとの連携に、今後の不安を残す。また、得られた知見を広く応用するための人材についての観点で、どのような効果が得られたかについて、アピールが弱いと感じる。
- 取り上げているテーマが、実用化の時期の観点から見ると、将来技術、実用化に近い技術、実用化技術とばらばらであり、本プロジェクトの焦点が定まっていらないように思える。また、将来技術の明確な成果普及の展望が見えない。

〈その他の意見〉

- ・ 研究テーマのゴール設定や研究実施チームの編成、研究遂行においては、プログラママネージャーの役割が最重要である。公正かつ正確に研究状況を把握することのできるプログラママネージャーを選ぶことが不可欠である。
- ・ 公的研究所／大学／メーカーから人材が集まり、一つのテーマで研究開発することは、開発担当者にとって、常日頃のない刺激となり、人材育成の面からも有意義なプロジェクトと考える。
- ・ MIRAI 第3期のテーマとして設定したテーマが、最適なものであったかには疑問が残る。各種プロジェクトとの関連から、本プロジェクトが基礎よりのテーマに重点を置いた事情は理解できるが、数ある研究課題の中で、ここで選ばれたテーマが、MIRAI あるいは NEDO として最適であったかは何らかの検証が必要であろう。プロジェクト期間中においても産業界が大きく変化したため、一部のテーマでは産業界にその成果の引き受け手がいなくなるという結果になっている。そのような成果をどのように生かすか、今後の大きな課題である。
- ・ 一部のテーマの選定において、必ずしも時代の中枢を得たテーマリング、例えば新構造極限 CMOS トランジスタや CNT 配線などは、本当にメイ

ンストーリームであったかは、今後見極められるであろう。

- 各テーマでの個々の目標達成は認められるが、テーマ間での情報交換により、より高い次元での総合的な産業化の見通しを議論する場があってもよいと考える。たとえば、EUV などのプロセス技術のばらつきや、ひずみデバイスに対するプロセスばらつきについて、産業化に向けてこれらが及ぼすデバイスのばらつきに対する議論など、それぞれのテーマ間での意見交換や知見の総括を議論すると、より一層個々の成果の重要性とその関連性が広く理解できたのではないかと考える。

2) 今後に対する提言

MIRAI プロジェクトが走った 10 年間は、皮肉にも日本の半導体産業の競争力が弱体化した時期とも重なっている。最近数年間の産業構造の激変の結果、当初計画時や、さらには計画見直し時とも全く異なった産業構造となり、本プロジェクトで開発してきた先端基盤技術の実用化に際する受け皿が日本国内で消失しつつある。産業構造の変化をいち早く計画にフィードバックすることは至難の業であったとは考えるが、NEDO プロジェクト管理の中間評価等での見直しサイクルの短縮などを行い、テーマ内容、運営の機動的な見直しにより、もっと有効で機動的なプロジェクト運営になるように、今後フィードバックされることを期待する。

半導体産業は日本産業の基幹を成しており、これからもそれは変わることはない。特に日本製品の競争力となる付加価値を創生するためのツールとして半導体技術は常に先端でいなければならない。ナンバーワンであり続けなければ科学技術立国・日本の明るい将来はないと言っても過言ではない。プロジェクトの成果は広く日本製品の競争力維持・向上のために活用するものであり、今後も強力に当該関連プロジェクト事業を継続して推進する必要がある。

また、合従連衡により、日本の集積回路開発・製造会社の数が激減している中、本プロジェクトで開発した技術の出口をどこに求めるのか、今後十分な議論と戦略が必要であろう。

〈今後に対する提言〉

- ・ 半導体産業は日本産業の基幹を成しており、これからもそれは変わることはない。特に日本製品の競争力となる付加価値を創生するためのツールとして半導体技術は常に先端でいなければならない。グローバル経済において、現在および近未来に激しい競争の場となる IT およびエネルギー分野で世界に先行するためには半導体技術で裏打ちされた技術イノベーションが不可欠となる。ナンバーワンであり続けなければ科学技術立国・日本の明るい将来はないと言っても過言ではない。プロジェクトの成果は広く日本製品の競争力維持・向上のために活用するものであり、公共性の高いプロジェクトとし今後も強力に当該関連プロジェクト事業を継続して推進する必要がある。
- ・ 本プロジェクトに従事した多くの研究員・技術スタッフはこの研究開発業務を通し最先端技術の修得や新しい知見の蓄積を行ってきた。正に「技術は人なり」である。プロジェクト期間終了後、携わった研究員・技術スタッフが引き続き派遣元で中心的に活躍できるよう、プロジェクト推進組織と企業・産業界が成果の受け渡しに関し、効率的に連携できる人材育成

プログラムが組み込まれるような制度設計上の工夫が望まれる。

- ・ プロジェクト発足当初想定した研究開発課題の成果活用・移転、実用化シナリオが、その成果の受取手となるプロジェクト参加企業の経営戦略がプロジェクト期間途中で大きく変わる問題がある。グローバル経済の変化、世界産業動向の変化にともなう企業のビジネスモデルの変化に研究開発課題およびその目標が整合できるように、事業の機能設計がなされることを期待する。
- ・ 折角の成果を、産業レベルで生かすことが必ずしもできないものが見られることが心配である。勿論、日本の産業界側に問題があることの結果である事例が多いが、しかしながら、成果を死蔵するわけにはいかないので、何らかの新しい活用方法、ビジネスモデルを考案せねばならないであろう。たとえば、技術パッケージとして諸外国の企業にも売り込むことなどは、検討に値するのではないだろうか。
- ・ 「MIRAI プロジェクトの目的として半導体産業の国際競争力強化のため実施する」とあるが、MIRAI プロジェクトが走った10年間は、皮肉にも日本の半導体産業の競争力が弱体化した時期とも重なっている。これは、もちろん企業の経営的要因によるものであるから、プロジェクト自体の適否とは関係ないであろう。しかし、この結果、折角巨費を投じて獲得された知的成果や育てた人材がその後積極的に活用されないようなことがあってはいけない。個々の企業の戦略に依存するので難しいとは思いますが、得られた成果がより有効に活用され、育てた人材が活躍できるような仕組みも考える必要がある。
- ・ 半導体産業の構造的変化に伴い、今後はこの様な統合的プロジェクトを維持するのは困難と思われる。また、技術的にもSiを基本とする技術から、新たな材料を求める時代になっていくと思われる。この為、各事業者任せられるものは資金援助へ、産学協働で研究すべきものは国家プロジェクトを設立へ、分けていくことが重要と思う。但し、事業者の関心事は多様化しており、その中でどう舵取りするのか難しい問題になる。
- ・ 最近数年間の産業構造の激変の結果、当初計画時、計画見直し時と全く異なった産業構造となり、本プロジェクトで開発してきた先端基盤技術の実用化に際する受け皿が日本国内で消失しつつある。産業構造の変化をいち早く計画にフィードバックすることは至難の業であったとは考える。しかし、成果を実用化へ生かしきれない事実を真摯に受け止めて、今後のプロジェクトへのフィードバック、反省に生かすことが肝要である。
- ・ 研究開発テーマの設定においては、国際的視点のもとで学術的にも正確な状況把握が必要不可欠である。研究テーマの設定や事後評価では、海外で

も真に評価されている各分野の専門家および海外の研究リーダーからの情報を積極的に取り入れる仕組みが必要である。

- ・ プロジェクトのテーマ内容、運営の機動的な見直し、特にサイクルの短縮は重要と思われる。外的経済、事案理由など当該プロジェクトの技術とは関係なくとも、鑑みていく必要はある。
- ・ 上に挙げた課題の明確化、言い換えれば失敗の経験を提示し、かつ実用化への想定課題を指摘して欲しい。そのためには、有望な特定の技術について、いっそう産官学の連携を強めることが必要である。具体的な例を挙げると、高い移動度を達成した **CMOS** トランジスタを、集積回路に組み込んで十分その性能を発揮できる構造、製造プロセスの構築が不可欠である。
- ・ 将来の要素技術開発が **MIRAI** プロジェクトの目標であり、それらのインテグレーションは **Selete** との分担で、研究プロジェクトが開始されたと同った。しかし、半導体事業の環境変化により、今後の **Selete** プロジェクトが中止となることも伺った。**Selete** の継続や成果の受け皿となる新たな組織の形成を要望する。
- ・ いまだ基礎的レベルにある課題は今後ともサポートする必要がある。また実用化が近いものでも巨大な開発投資が必要とする分野では更なるサポートが重要である。
- ・ 特性ばらつきに関する技術については、参画企業とのバランスを踏まえたうえで、得られた成果の利用とさらなる発展について国際的なスキームの構築を含めて、より一層有用なものとして結実して頂きたい。**EUV** 関連技術については、リソグラフィ全体としてわが国の優位性を奪還するために、**NEDO** が主体となって他の国プロと連動して効率的な研究投資が望まれる。

〈その他の意見〉

- ・ 各テーマがパッチワーク的な取り組みであるため、**MIRAI** として次世代半導体集積回路技術に対して、どのような技術成果が一言で何をアピールできるのかが、明確でないように思われる。
- ・ 成果活用について、参画者の有る程度のオブリゲーションや波及性などを義務化することも検討の余地有りである。
- ・ 研究テーマを設定するための調査委員、および研究成果を評価する評価委員の人選にもっと緻密さが必要である。俯瞰的視野からの（産業界からの）評価も重要であるが、研究開発成果の一つとして基礎的知見を挙げている本プロジェクトでは、学術的見地からの正確な評価も重要となる。本プロジェクトの調査委員会および評価委員会は、専門知識を有する委員が少なすぎたように思える。
- ・ 本プロジェクトに参画した人材が、その後どのような仕事に就いているのか、どのように活用されているのかを、追跡調査していただきたい。

1. 2 各論

1) 事業の位置付け・必要性について

半導体は我が国の基幹産業であり、安全保障上も極めて重要な分野である。近年の微細化の進展に際し、開発費用の増大は民間企業だけではまかないきれない額となってきたことから、国家プロジェクトである NEDO 事業としての妥当性は極めて高い。

本プロジェクトに投下された予算は、先端基盤技術としての予算であり、先端デバイス開発・実用化を見通すために必要な全費用の一部に過ぎない。実用化を見通すだけの開発成果を上げるには、より踏み込んだ実用化の推進に必要な予算を投じる必要がある。その意味では、投下された予算そのものが少ない。ナノテク、グリーン（環境）等、あらゆる分野で根幹となるナノエレクトロニクス研究開発の重要性から、継続的な国の支援の重要性を強調したい。

〈肯定的意見〉

- 半導体産業は、IT イノベーションプログラム、エネルギーイノベーションプログラムに多大な貢献ができる基幹産業である。また、近年の微細化の進展に際し、開発費用の増大は民間企業だけではまかないきれない額となってきた。その意味で、国家プロジェクトとして NEDO が関与することの意義は大きい。また、その実施において、民、官、学の英知を結集することはわが国の半導体に関連した科学技術力の獲得に大きな意味を持つ。また、当初の計画においての事業目的としては、妥当であったと考える。
- 我が国の技術レベル向上には大きく向上したことは、自他共に認められる。また、我が国代表のプロジェクトシンボルとしても大いに認められる。
- ナノエレクトロニクス関連技術は、国の産業力の強化或いは維持において必要不可欠なものである。現在の日本の半導体関連の研究開発力の弱体化を食い止めるためにも、国家プロジェクトとして継続的に支援することが必要であり、本プロジェクトの妥当性、意義は十分にあると考える。
- 次世代半導体基盤技術開発は、資金面、人材面から、産総研／大学／メーカーが一体となった All Japan としての研究開発が必要であり、プロジェクト設定は妥当である。
- 集積回路は高集積化をすることによって、総合性能を上げてきた。本プロジェクトで研究開発した技術は、その要の部分を包含するものである。とくに高いリスクを伴った挑戦的な課題が多く、民間のみで対応することはもはや困難な時代となっているので、NEDO の事業としての妥当性は極めて高い。投じた予算は集積回路以外の分野に比べると多いように感じら

れるが、一般に実用化開発で一社が費やす開発費よりは少ない。その意味では投じた予算を十分有効に費やしたと言える。

- わが国の重要な産業基盤と考えられてきた半導体集積回路技術の近未来への布石として、本事業の必要性は高いと考える。事業目的の妥当性については、立案時には、内外の技術開発動向と国際競争力の維持のためのテーマ選定と、その後の状況に応じた修正は、それぞれ妥当であったと考える。
- IT およびエネルギーイノベーションプログラムの目標に合致したプロジェクトである。公共性が高く NEDO の事業として妥当である。内外の技術動向、国際競争力の状況などの見地から、事業目標は妥当である。
- 総論でも記載したように、半導体は我が国の基幹産業であり、安全保障上も極めて重要な分野であることから、本プロジェクトの、NEDO の事業としての妥当性は極めて高いと判断する。
- 半導体産業は日本産業の基幹を成しており、これからもそれは変わることはない。特に日本製品の競争力となる付加価値を創生するためのツールとして常に先端でいなければならない。グローバル経済において、現在および近未来に激しい競争の場となる IT およびエネルギー分野で世界に先行するためには半導体技術で裏打ちされた技術イノベーションが不可欠となる。ナンバーワンであり続けなければ科学技術立国・日本の明るい将来はないと言っても過言ではない。一方、世界に先行する半導体技術の研究開発には、先端科学技術を基盤とした最先端研究開発用インフラが必要となる。これは一民間企業の努力では到底対応できず、オールジャパンで取り組まなければならない規模となっており、国家プロジェクトとして実施するのが妥当である。また、プロジェクトの成果は広く日本製品の競争力維持・向上のために活用するものであり、公共性の高いプロジェクトとして NEDO の関与が必要とされる事業である。
- 当該事業を実施することによりもたらされる効果と投じた予算との比較を、2008 年の日本の総研究費の国内総生産比 3.8% (*1) から見てみる。2008 年の半導体市場は約 20 兆円 (*2) であった。日本がこの 25% のシェアを持ち、本プロジェクト成果がそのシェア獲得の貢献度 25% であると仮定すると、475 億円 (年度あたり) の値となる。この結果、本プロジェクト実施によりもたされる効果に対して本プロジェクトの予算として投じた年度当たりの平均費用約 46 億円はその約 10 分の 1 であり、十分に高い費用対効果がもたらされるものと期待できる。(*1:文部科学省 科学技術要覧 平成 22 年版参照、*2 事後評価分科会資料 6-1, p23)
- どの国でも自国産業の技術的発展の為、国家予算を投下している。電子産

業は、日本において重要な産業であるので、その発展に国家は援助支援すべきである。

- 我が国の主要産業の一つであり、これからの技術社会を支える電子産業の基盤である次世代集積回路の技術開発を目指している。技術の確立には、プロセスの素過程の解明や材料開発、評価解析技術など広範な科学技術分野にまたがる課題を長期に渡って開発していく必要があること、また各企業が単独に行うにはリスクも大きいことを考えると、国家的レベルでの戦略的に取り組むことは大いに評価できる。

〈問題点・改善すべき点〉

- 事業者が国家プロジェクトに求めることは、個々には出来ないことである。つまり、
 - ①選択肢が沢山あって、全部は出来ない要素技術開発、材料探索。
 - ②実現には多大の時間がかかると予想されるが、将来重要になる技術。
 - ③実現には多大の費用がかかると予想されるが、将来重要になる技術。
 - ④それらを検証出来る微細加工実験ラインと試作請負。全ての開発テーマは、常に①②③の条件のどれかを満たしているか、毎年検証されるべきである。基礎研究であれば早急な結果を要求するものではないが、開発状況に応じて事業者への技術移管、事業者への資金支援に切り替えて行くべきと思う。本プロジェクトでいえば、10年の長き渡り実施されたため、技術を取り巻く状況が大きく変わってしまったものもある。④は本プロジェクトの管轄ではないかもしれないが、改善が必要。確かにクリーンルームはあるし試作運用も行われているが、実態は事業者のスピード感とは大きく異なる。日勤稼働や故障修理時の公募などは、見直すべきと思う。
- 具体的なテーマ設定に関しては、必ずしも最適であったとは考えられない。なぜこのようなテーマが選ばれたのかとの疑問を呈する声が、プロジェクト開始初期から聞かれた。
- このような大きなプロジェクトにおいては、プロジェクトの基本計画策定、テーマ選定評価、中間評価、事後評価、成果の活用および企業化追跡調査・評価のそれぞれに一貫して俯瞰できる評価・責任および支援体制が保たれることが重要であり、実施期間を通してプロジェクトの企画意図が終始ぶれることのない制度設計がなされることが望ましい。
- プロジェクト発足当初想定した研究開発課題の成果活用・移転、実用化シナリオが、その成果の受取手となるプロジェクト参加企業の経営戦略がプロジェクト期間途中で大きく変わる問題がある。世界産業動向の変化にと

もなう企業のビジネスモデルの変化に研究開発課題・目標が整合対応できるように、事業の機能設計がなされることを期待する。

- リーマンショックが大きなダメージとなった我が国半導体産業であるが、元々、半導体産業の強化の一環である NEDO 関連プロジェクトが、本プロジェクトも含めて 1996 年から継続されてきたが、大きく産業力強化に繋がっていないのが非常に残念である。
- 日本での半導体研究開発力の強化といった観点からは、投じた予算に比較して十分な効果があったとは言えない。プロジェクト開始時および遂行中において、世界的な研究動向の調査・分析が不十分であったことも一因であろう（複数の研究開発テーマでは、残念ながら、世界を牽引する研究成果に結びついていない）。
- 本事業を実施することによりもたらされる効果が投じた予算に比較して十分であるかという点については、現時点で判断が難しい。先に述べたように先端半導体デバイスの開発には多額の開発費用が必要であるが、本プロジェクトに投下された予算は、先端基盤技術としての予算であり、先端デバイス開発・実用化を見通すために本来的に必要な費用の一部に過ぎない。本プロジェクトで得られた成果は、学問的には非常に役に立つものであることは事実であるが、実用に供されるかの見届けが今後必要であろう。実用化を見通すだけの開発成果を上げるには、より踏み込んだ実用化の推進に必要な予算を投じる必要がある。その意味では、投下された予算そのものが少ない。
- 合従連衡により、日本の集積回路開発・製造会社の数が激減している。本プロジェクトで開発した技術の出口をどこに求めるのか、今後十分な議論と戦略が必要であろう。
- 他省庁や民間、国際コンソーシアムとの整合性で、テーマ設定についてはその後の情勢の変化を含め、結果として一部で疑問が残る。例えば、新構造極限トランジスタや新配線技術については、科研などの多くの類似プロジェクトや素子提案が存在する一方では、EUV の装置技術については民間に委ねた結果、わが国において本事業での成果が十分に生かさない恐れがあるなど、今後のプロジェクト立案・運営に改善の余地が残されると感じる。
- 急激なファブレス化志向の一方で、米国、欧州での世界規模のコンソーシアムの成長などを迅速に考慮し、産業界の要請と将来育成に応じた事業目的に対応する柔軟性に、結果としてやや不十分な感がする。しかし、この点については、満足いく結果を得ることは極めて難しいことは承知している。

- テーマ設定では、主に参加企業の興味や保有技術を基にした設定のように思われ、日本の半導体産業として向かうべき技術の方向性を明確化し、その上でのテーマ設定になっているのかが必ずしも明確でない。

〈その他の意見〉

- ・ ナノテク、グリーン（環境）等、あらゆる分野で根幹となるナノエレ研究開発の重要性から、継続的な国の支援の重要性を強調したい。
- ・ 本プロジェクトに従事した多くの研究員・技術スタッフはこの研究開発業務を通し最先端技術の修得や新しい知見の蓄積を行なってきた。プロジェクト期間終了後、携わった研究員・技術スタッフが引き続き派遣元で中心的に活躍できることが、プロジェクト事業成果の効率的活用（投資効果）面で重要であるが、派遣元企業の事情によって必ずしもそうならない場合がある。プロジェクト推進組織と企業・産業界が成果の受け渡しに関し、連携できる人材育成プログラムが組み込まれるような制度設計上の工夫が望まれる。
- ・ 投じた予算の費用対効果は長期的にみるべきで、短期的評価は難しい。
- ・ 本プロジェクトは基礎的技術の開発に集中し、インテグレーションを通じたの実用化検討は別途行われるはずであったが、担当すべき **Selete** の終了に伴い、このスキームが壊れたことは大きな痛手である。技術の継続性、発展性を今後どう担保するか、大きな宿題が残ったのではあるまいか。

2) 研究開発マネジメントについて

研究開発計画、研究マネジメントについては、概ね適切かつ妥当であり、個々のプロジェクトについても、内外の技術動向、市場動向等を踏まえて、概ね具体的で明確な開発目標が設定されている。全体を統括するプロジェクトリーダーのもと、個々のプロジェクトにおいても技術力と事業化能力を有する企業を実施者として適切な研究開発チームが構成されている。

特に、プロジェクトリーダーの強いリーダーシップが随所に見られ、その背景にあるプロジェクトリーダーの研究開発の哲学、半導体産業に関する深い洞察が、担当者にも十分に伝わったと判断できる。

実施体制では、主体となる企業の開発場所を中心として、また企業の生産ラインを利用した開発試作を通して、研究開発を進めたことは、効率的な研究推進のために、有効な方法である。

テーマ設定については、その後の情勢の変化があったとはいえ、結果として一部で疑問が残る。主に参加機関の興味や保有技術を基にした設定のようであり、日本の半導体産業として向かうべき技術の方向性を明確化し、その上でのテーマ設定になっているのかが必ずしも明確でない。

産業構造の激変の結果、当初計画時、計画見直し時と全く異なった産業構造となり、本プロジェクトで開発してきた先端基盤技術の実用化に際する受け皿が日本国内で消失しつつある。成果の実用化、事業化につなげる戦略については、マネジメントは妥当であったと考えるが、成果を実用化へ生かしきれない事実を真摯に受け止めて、今後のプロジェクトへのフィードバック、反省に生かすことが肝要である。

〈肯定的意見〉

- 研究開発マネジメントとしては、総合的には非常にうまく行われたと判断できる。PLの強いリーダーシップが随所に見られ、その背景にあるPLの研究開発の哲学、半導体産業に関する深い洞察が、担当者にも十分に伝わったと判断できる。
- いずれのテーマも半導体産業の戦略的な目標が設定されており、目標・スペックも具体的である。目標達成のために妥当なスケジュール、予算となっているものと考えられる。適切な研究開発チーム、プロジェクトリーダーが選任され、概ねその環境が整備されている。また、成果の実用化、事業化につなげる戦略が、一部のテーマでは明確に示されていると考える。
- 研究マネジメントについては、目標設定、開発計画、実施体制とも妥当であった。情勢の変化、技術動向に対して、適切な対応がなされた。
- 半導体技術の微細化・高集積化に関し内外の技術動向、市場動向等を踏ま

え、32nm 以細を見据えた戦略的目標が設定されている。各テーマの開発目標を可能な限り定量的に設定している。目標達成度を測定・判断する指標が極限微細化など先端的プロセス基盤技術開発に関して絞り込み設定されており、研究開発目標は妥当である。

- 目標達成のためにほぼ妥当なスケジュールとなっている。予算においては「④次世代マスク基盤技術開発」への配分比重が高いが、先端装置開発試作などに必要であり妥当であると思われる。目標達成に必要な要素技術が取り上げられている。研究開発フローにおける要素技術間の関係、順序に関しては、それぞれのテーマが先端的技術であり、大きな依存関係や交錯が少なく進められている。課題の性質上妥当であると思われる。前 MIRAI 第 1 期、第 2 期の成果・技術蓄積を民間自主事業に移行し、MIRAI 第 3 期を極限微細化技術など先端的プロセス基盤技術開発に絞り込むなど実用化の観点から研究開発成果の活用はなされていると思われる。
- ほぼ適切な研究開発チーム構成での実施体制になっている。我が国において技術力および事業化能力を有する第一線の企業を実施者として選定しており妥当である。全体を統括するプロジェクトリーダー等の選任、活躍できる体制・環境はほぼ整備されていたと思われる。
- 成果の実用化、事業化につなげる国際競争力維持・向上を念頭に置いた知財マネジメントの方針が明確に示され、知財獲得は妥当であったと思われる。
- 進捗状況、産業界の情勢変化及び政策・技術動向に対応し、MIRAI 第 2 期の成果を早期に民間に移行するために短縮終了し、本 MIRAI 第 3 期を極限微細化技術など先端的プロセス基盤技術開発および次世代マスク基盤技術開発を中心に設定し対応したことは妥当である。また、MIRAI 第 3 期では、2007 年度より研究開発項目③に耐外部擾乱を追加、中間評価を受けて 2008 年度より研究開発項目①をバリスティック CMOS に移行、新たに研究開発項目⑤EUV 光源高信頼化技術開発を追加、2009 年度末に研究開発項目②新探究配線技術開発を前倒し終了するなど、情勢の変化及び政策・技術動向に機敏に対応したものと評価する。前述のように、計画見直しの方針は、情勢の変化及び政策・技術動向に対応することで一貫し、適切であったと思われる。
- 研究開発計画、研究マネジメントについては概、適切かつ妥当であると考ええる。また、各テーマの目標は、具体的かつ妥当な指標が設定されている。
- 研究開発目標、計画、事業体制の妥当性については、大きな課題は見当たらない。特にプロジェクトマネージャーのリーダーシップは特筆であると言える。

- 世界的に見てもユニークな研究開発テーマが一部で設定されていた。当時（2007年）の研究動向からみても野心的なテーマ設定であったと思う。これらの研究テーマが成功裏に進められていれば、現在の日本の半導体での研究開発力にもっと良い影響を与えていたかもしれない。研究成果の成否は別として、このような野心的テーマが国プロで設定されたのは、高く評価される。
- 研究開発目標、計画は、妥当である。実施体制では、主体となる企業の開発場所を中心として、また企業の生産ラインを利用した開発試作を通して、研究開発を進めたことは、効率的な研究推進のために、有効な方法である。計画の見直しは、2~3年毎に行っており、妥当である。但し、情勢変化が非常に急激であり、見直しが追い付かない面もある。
- 本プロジェクトに従事した技術者は、現在の日本を代表する優れた方々ばかりである。その意味で外の選択肢はほとんどなく、望ましい研究体制であったと考える
- 3期10年に渡り、半導体プロセス基礎技術開発を推進されたマネジメント陣に敬意を称する。予算や開発要員の確保は勿論、各方面への説明、内部方針設定など苦勞の多い中、素晴らしい成果を収められたと思う。
- 個々のプロジェクトについては、内外の技術動向、市場動向等を踏まえて、妥当な目標が設定されており、概ね具体的で明確な開発目標が設定されている。
- 全体を統括するプロジェクトリーダーのもと、個々のプロジェクトにおいても技術力と事業化能力を有する企業を実施者として適切な研究開発チームが構成されている。
- 個々のプロジェクトごとに、事業化につなげる見通しが概ね明確である。

〈問題点・改善すべき点〉

- 目標達成及び効率的実施のための実施者間の連携または競争に関しては、超先端的な開発テーマであり、研究成果には企業経営戦略に強く関係する秘匿情報が含まれており、企業間の連携または交流は十分に行われる体制とはなっていなかった。しかし、事業推進において全体を統括するプロジェクトリーダーを中心にマネジメントスタッフが目標達成及び効率的実施に向けた連携を果たした。実用化シナリオに基づき、成果の受け取り手（企業）に対して、関与を求める体制に関しては、本事業には制度設計されていない。プロジェクト参画各企業で事情が異なるが、実施期間を通して急速な世界の産業構造変化により、受け取り手（企業）の当初想定していた事業戦略から大きく舵が切られたことにより、企業内で直接実用化

に活用できなくなった場合が生まれた。

- 上記「実用化シナリオに基づき、成果の受け取り手（企業）に対して、関与を求める体制に関しては、本事業には制度設計されていない。」と同様、研究開発成果の実用化、事業化につなげる戦略を明確にする強力なマネジメント機能を持てる事業制度にそもそもなっていない。実用化、事業化に向けたマネジメントは、各参画企業の将来のビジネスモデルまで立ち入ることになり、ここでその妥当性を評価することはできない。
- MIRAI は、ほとんどの半導体事業者が参加した為、事業側からの評価や審査がし難かった側面がある様に思える(事業者側は競争関係)。勢い大学側の評価や審査が主になったのではないか。それは中立的かもしれないが、事業者側と価値観を異にするので、プロジェクトとしての方向性に影響したと思われる。
- 最も難しかったマネジメントは、開発目標選定や取捨選択であろう。その際、どれ程リーダーシップを発揮出来たか、非常に関心がある。「反対なら辞めてもらって構わない」というのは極論だが、足元に走りがちな事業者側の論理に対して、総花的結論に落ち込まない様にする必要がある。マネジメント陣の方々は技術的にも高い先見性をお持ちの方がばかりだが、リーダーシップが発揮出来る権限があったか、検証が必要と思う。事後評価分科会も全体成果発表だけでなく、その辺の議論、マネジメント検証が出来る様に望む。
- 時の情勢に合わせ、研究課題や予算の見直しを行っており、硬直的な運営ではなかったと判断できるが、その見直しの契機が、予算の削減といったやや技術内容とは別次元の観点から行われており、工夫の余地があったのではないか。たとえば新配線技術の2テーマは、その実用化時期がほかのテーマよりさらに先になることが分かっていたながら、途中で繰り上げ終了しているのは、MIRAI が基礎技術を志向したという枠組みとは反する印象を受ける。繰り上げ終了は、すぐに技術移転できるまでに研究開発が進展した場合にあてはまる措置ではなかろうか。
- 元来、当該プロジェクトが SoC のためとしたことは、情勢変化への対応から見て、大きな成果が得られていないと言う指摘を受けた場合に、大いなる抗弁はできない事が残念である
- MIRAI プロジェクト全体を見たとき、例えば実用化の目標時期にばらつきが有るなど、個々のプロジェクトの全体の中での必然性が必ずしも明確でない点もある。
- 総論で言及したように、産業構造の激変の結果、当初計画時、計画見直し時と全く異なった産業構造となり、本プロジェクトで開発してきた先端基

盤技術の実用化に際する受け皿が日本国内で消失しつつある。成果の実用化、事業化につなげる戦略については、マネジメントは妥当であったと考えるが、成果を実用化へ生かしきれない事実を真摯に受け止めて、今後のプロジェクトへのフィードバック、反省に生かすことが肝要である。

- 本プロジェクトの目的が科学的理解に基づいた原理実証を行うことであるといっても、技術課題、開発体制に関して共に実用化へのシナリオを提示する必要があるが、その点で十分な提言がなされたとは感じられなかった。
- 新規デバイス開発と EUV 関連技術の開発では、成果の応用についての具体的な道筋の設定が不十分と感じる。たとえば、EUV 関連技術の開発では、装置本体技術とその関係メーカー(特に国内メーカー)との連携や取り組みが不明である。情勢変化への対応では、ファブレス化や国際コンソーシアムへの対応について、十分な議論、説明が必要である。これは、わが国として、本プロジェクトの当事者の域を超えたものであることは承知しているが、この点についての経緯と説明がやや不十分を感じる。
- 成果の実用化については、ある場合情勢の変化が激しすぎて、対応できなかった面がある。知見の共有は出来ても、実用化は企業の経営に属する事柄である。
- 目標達成のための研究開発体制が不相当と思われるものがあつた。その分野で世界的にも殆ど認知されていない研究者で研究開発実施チームが構成されており、その結果、世界レベルの研究成果に結びついていない。
- 目標の設定自体がプロジェクト終了時まで曖昧なものがあつた。プロジェクト開始時に、研究動向や問題の物理的検討が不十分であつたことも原因と思われる。想定されていた物理機構や研究方針に変更が必要となつた場合は、プロジェクト遂行中であっても計画見直しを行うべきである(中間評価の内容に問題?)。
- 実用化、事業化に向けたマネジメントでは、明確な実用化目標が見えているテーマ(特性ばらつき耐性強化デバイス・プロセス技術や EUV 光源のプロジェクトなど)では、マネジメントがやりやすい面があり、実際のマネジメントも妥当である。しかし、将来技術については、成果の応用、実用化や事業化計画が、明確ではない。

〈その他の意見〉

- ・ 例えば新構造トランジスタと特性ばらつき評価など、個々のプロジェクトの横の連携があると良い。
- ・ 集中研と分室機能のあり方、方針やマネジメントについてはあまり良く理

解できなかった。

- 野心的な研究開発テーマを設定・実施する場合は、研究動向の内容や変化を研究遂行中でも常に適切に判断できるような、海外の有識者を含めた評価体制があると有効であると思う。
- 将来技術開発テーマの選定では、多くの選択肢の中で、資金面や従来 of 技術蓄積を考慮してテーマを絞って選定しており、必ずしも明確な実用化見通しの基に選定している訳ではないと思われる。将来技術の成果の評価については、実用化や事業化についてあまり言及すべきでなく、純粹にそのテーマの目標の達成と、国際学会や世界の産業界の評価に焦点を合わせた評価にすべきと思われる。
- 個々のテーマ設定においての目標設定は妥当と考えられるが、国内外の周辺状況と、他の林立するプロジェクトとの整合にとられるあまりに、パッチワーク的なテーマと目標の設定にはなっていなかったか懸念される。また、他のプロジェクトとの競合や、重複も含めて、NEDOらしい産業化応用を重視した目標設定を行う余地もあつたのではないか。

3) 研究開発成果について

成果は各研究開発項目の目標値をほぼクリアしている。各個別の研究開発項目の細目に未達成部分があるが、当初目標以上の成果も出ており、全体として目標を達成したといえる。学会発表、論文ともに十分な質・量を創出したと評価でき、世界的にもトップレベルの研究成果を達成したプロジェクトであったと言える。特に、「特性ばらつきに対し耐性の高いデバイス・プロセス技術開発」、「次世代マスク基盤技術開発」、「EUV 光源高信頼化技術開発」の各研究項目において、成果は汎用性があり、半導体産業の基盤技術として発展できるものである。

しかしながら、得られた成果は個別の基礎技術であり、実用化、産業化との間には大きなギャップがある。成果を実用化する量産技術の橋渡しのシナリオが明確ではない。成果がいかに実用化に結び付くかが今後の課題である。なお、知的財産権等の取得に関しては、国内における取組は評価できるが、国内出願に比べて海外出願がやや少なく、世界事業戦略、実用化計画に沿って知的財産権獲得への一層の努力が必要である。

〈肯定的意見〉

- どの研究テーマも設定目標を達成している。それも世界水準を認められる。MIRAI は基礎研究プロジェクトであるので、将来可能性の提示、簡単に言えばスケール性の確認こそが重要と思う。チャンピオンデータを出すことにはあまり意味がないと看破されたプロジェクトリーダーの見識は卓見であった。感服。
- 個々のテーマともに当初目標はほぼ達成したものとする。SPM を駆使したデバイスの評価測定技術は、新たな市場の創造につながることを期待できる。また、ばらつきの解析手法とデータベースは、現行の Si 素子の問題点や限界について、学術的に明らかにしたことは、今後の素子・プロセスの開発に大きな指針を与えた有意義な成果と考える。知的財産権等の取得は、国内外に適切に行われている。論文の発表は、研究内容を踏まえ適切に行われている。また、参画企業内での成果の普及について、一定の見通しは得られていると考える。
- 研究成果は学会、マスコミ等を通じて適切に行われている。成果は目標値をクリアし、世界最高レベルの成果を挙げている。得られた知見は今後の開発にとって有用なものであり、計測評価技術など各種の要素技術は関連分野に広く適用できるものである。
- 目標の達成度は極めて高く、どのテーマに関しても極めて優秀な結果となっている。開発された技術のレベルや、成果内容は、世界のトップレベル

であることは間違いないであろう。知財権の取得、論文発表等も、水準を超えるレベルである。

- 成果は各研究開発項目の目標値をほぼクリアしている。各個別の研究開発項目の細目に未達成部分があるが、当初目標以上の成果も出ており、全体として目標を達成したといえる。各個別研究開発項目の細目の未達成部分に関し、目標達成までの課題把握および課題解決の方針がほぼ示されている。
- 成果は市場の維持、拡大につながる事が期待できる。特に⑤EUV 光源高信頼化技術開発の研究開発課題において期待される。成果のほとんどは、世界初あるいは世界最高水準である。成果の内、特に③特性ばらつきに対し耐性の高いデバイス・プロセス技術開発、④次世代マスク基盤技術開発、⑤EUV 光源高信頼化技術開発の各研究項目において、新たな技術領域を開拓することが期待できる。成果は汎用性があり、半導体産業の基盤技術として発展できるものである。投入された予算に見合った以上の成果が得られていると思われる。成果のほとんどは、世界最先端の競合技術と比較してほぼ優位性があると思われる。
- 知的財産権等の取得に関しては、平成 20 年度～22 年度間に国内特許出願合計 220 件以上を行うなど、国内における取組は評価できる。得られた研究開発の成果、特に、③特性ばらつきに対し耐性の高いデバイス・プロセス技術開発、④次世代マスク基盤技術開発、⑤EUV 光源高信頼化技術開発の各研究項目において、国際的技術の標準化に向けた取組が見られ適切に行われていると思われる。
- 論文の発表は、平成 20 年度～22 年度間に合計 107 件、また学会発表・講演（国内外含む）合計 615 件と、研究内容を踏まえ適切に行われている。成果の受取手（活用・実用化の想定者等）に対して、③特性ばらつきに対し耐性の高いデバイス・プロセス技術開発、④次世代マスク基盤技術開発、⑤EUV 光源高信頼化技術開発の各研究項目は、成果普及の見通しが具体的に見え評価できる。一般に向けての情報発信は、平成 20 年度～22 年度間にプレス発表等合計 25 件、学会発表・講演 615 件、パンフレットの作成配布、公開成果報告会およびインターネット・ホームページ開設（「半導体計測・評価技術ネットワーク」、「計測分析技術交流広場」含む）により行われている。
- 世界トップクラスの学会発表や論文投稿は特筆ものである。また、テーマの半導体 CMOS 技術は産業の米である、ベースとなる産業基盤やその創生を担うものであると確信している。
- 世界的にもトップレベルと言えるものが個別の研究成果に多数含まれて

おり、ハイレベルの目標を達成したプロジェクトであったと言える。これらの成果が大学等の研究機関で上手く活用されれば、日本での半導体技術の基礎的な研究力の向上に貢献することが期待できる。いずれの研究開発テーマにおいても、論文や国際学会を通じた研究成果のアピールと情報発信が積極的に行われており、高く評価できる。

- ほとんどのテーマは、設定目標を達成しており、成果としては申し分ない。歪み SiGe による正孔移動度の向上、Ge チャネル/High-k 構造の SrGe_x 界面膜形成による特性安定化、ビア配線への CNT の適用などは、世界トップの成果である。特許取得などの権利化の取り組みも十分である。論文作成や学会発表も活発であり、成果の普及も十分である。
- 課題による達成度の差は認められるが、とくに重要な課題については、世界最高性能を実証した課題がいくつかあり、科学的理解に基づいた原理実証の目標を十分達成していると認められる。
- 目標はほぼ達成。一部未達成のものも、解決の目途が立っている。成果はいずれも世界初か世界水準に達している。知的財産権の取得は適正になされている。論文や学会発表で成果は広く発信されている。
- 活動の成果については、いずれも世界最高レベルまたは世界初といった研究成果を含んでおり、目標はおおむね達成している。学会発表、論文、知財権ともに十分な質・量を創出したと評価できる。

〈問題点・改善すべき点〉

- 制度設計の問題ではあるが、得られた成果は個別の基礎技術であり、実用化、産業化との間には大きなギャップがある事は明らかである。従って、成果がどのように生かされるかの検討が進んでいないのは、残念である。
- ここまですでに述べてきているが、科学的理解に基づいた原理実証とそれを実用化する量産技術の橋渡しのシナリオが明確ではないと感じる。
- ばらつき解析については、その成果が優れている故に、一層の成果の普及スキームの確立が必要となると考える。一方で、EUV 光源は、国際的にも渴望される技術であり、当該技術の成否を左右するものであるため、引き続きより高いレベルでの目標達成が求められる。
- いずれも立派な成果を上げているが、それがいかに実用化に結び付くかが課題である。
- 成果の内、①新構造極限 CMOS トランジスタ関連技術、および②新探究配線技術開発において、成果の汎用性に関しては今後の政策・技術動向に大きく依存しておりその推移を注視する必要がある。
- 知的財産権等の取得に関しては、平成 20 年度～22 年度間に国内特許出願

合計 224 件行うなど、国内における取組は評価できるが、海外出願が 73 件と少なく、世界事業戦略、実用化計画に沿って知的財産権獲得への一層の努力が必要である。

- 成果の受取手（活用・実用化の想定者等）に対して、①新構造極限 CMOS トランジスタ関連技術、および②新探究配線技術開発においては今後の事業戦略および政策・技術動向に大きく依存しており、今後の動向、タイミングをにらんで成果の普及を図られることを期待する。
- 日本の半導体産業の衰退により、誰が使うかは定かでなくなった。テーマの選定、絞込みの問題もあるが、採用事業者、採用事業が不確定となったことが最も深刻で不幸なことと思う。
- 研究成果（目標達成）として挙げられているものの一部は、殆ど優位性や新規性の無いものも含まれている。より公正かつ客観的な自己評価が必要。
- 成果を基にした日本版ロードマップの発表などの標準化活動にも、もう少し力を注ぐべきと考える。
- 今後、有効な知的財産権が取得できたかは不明である。今後の更なる評価を待ちたい。

〈その他の意見〉

- ・ 折角の成果故、参加事業者でない事業者にも、ある期間をおくか、ある費用で利用できることを考えたかどうか。お蔵入りするより使われることの方が、MIRAI プロジェクトの残した意義が増すと思う（日本国の事業者という条件は譲れないとは思いますが）。それを NEDO 事業の一つにしたらどうか。

4) 実用化、事業化の見通しについて

プロジェクト終了後の実用化、事業化の見通しは概ね妥当である。特に、「特性ばらつきに対し耐性の高いデバイス・プロセス技術開発」に関しては、すでに実用化技術として多くの企業で採用され始めており、また「次世代マスク基盤技術開発」、「EUV 光源高信頼化技術開発」の各研究開発課題に関しては実用化のシナリオが明確に示されている。

また、プロジェクトの実施自体が、科学技術立国としての日本の最先端技術分野の研究開発や人材育成等を促進するなどの波及効果を大いに生み出している。

しかしながら、「新構造極限トランジスタ」、「新探求配線」については、実用化の見通し、実用化のシナリオが明確でない。これらは、産業構造の激変のなかで、実用化の受け手が曖昧になり、日本産業へ早期に寄与出来る見通しが立たなくなっている。

本プロジェクトは基礎的技術の開発に集中し、インテグレーションを通じての実用化検討は別途行われるはずであったが、担当すべき **Selete** の終了に伴い、このスキームが壊れたことは大きな痛手である。技術の継続性、発展性を今後どう担保するか、大きな宿題が残ったのではあるまいか。

〈肯定的意見〉

- 現時点では、**SPM** によるデバイス評価技術ならびに、ばらつき評価技術が、実用化の可能性に期待できる。上記 2 件については、参画関係企業による実用化の見通しは明るく、現在生産中のデバイスを含めて、次世代デバイスへの波及効果が期待できる。その他の成果については、長期的には関係分野への有意義な波及が期待できる。
- いずれも将来的には実用化に寄与する開発であるが、そこまでのタイムスケールは異なっている。また国際的な技術動向の共有化に役に立っている。プロジェクト終了後の実用化に向けたシナリオは各々の技術ごとに適切に作られている。
- あるデザインルール以細にユニバーサルな課題を解決する「構造依存ばらつき」は実用化の見通しも明確であり、事業化までのシナリオも明確であると考ええる。アプリケーションが明確な「EUV マスク」、「EUV 光源高信頼化」については、実用化の見通しが明確とはいいがたいが、事業化のシナリオは明確である。また、「新構造配線」の光配線は、事業化へのシナリオを議論する前の段階であると考えるが、実用へ意味のある開発を行ってきたと考える。
- **MIRAI** は基礎研究プロジェクトと位置付けられているので、基本的に量

産化(コストや TAT など)をあまり意識する必要はないと思う。可能性の提示こそが最も重要と思う。スケーリング性、限界値、材料探索、出来れば物性理論などである。量産化は事業者や他プロジェクトに任せればよいのではないか。

- 成果の実用化、事業化には多大な努力の跡がみられ、産業界に貢献している部分もみられるので、良しとすべきであろう。
- 個々のプロジェクトごとに、実用化に向けての解決方針は概ね明確であり、プロジェクト終了後の事業化の道筋もほぼ明確である。プロジェクト全体を通じて開発されたさまざまな評価解析技術などの要素技術は、多くのものが関連分野へ適用可能であり、事業化の取り組みも進んでおり評価できる。
- 我が国、SoC 産業で必ずや貢献するものと信じている。
- 世界最高レベルの研究成果を出している研究グループが多数あることから、若手研究者の育成という観点では、人材育成に大いに貢献したプロジェクトである。
- 特性ばらつき及び外部擾乱の特性ばらつきの物理的理解とモデリング技術開発は、現状でも問題になっているテーマについての研究開発であり、その成果は直ぐにでも普及可能である。当該テーマは、メーカー単独でも実施可能と思われるが、本プロジェクトで、関連機関の協力と資金援助の基に、早期の成果の達成が可能となり、日本の半導体ビジネスの技術的競争力につながる成果で、実用化に直結するものと評価される。EUV 光源も、 β 装置の開発まで進み、実用化が直ぐ見えており、評価される。各界から人材が集まり、一つのテーマで研究開発することは、担当者の刺激となり、人材育成面からも有意義なプロジェクトと評価される。
- 少なくともいくつかの重要課題について、科学的理解に基づいた原理実証が十分行われており、最高性能のデバイスが実現している。その点で十分な成果といえる。
- 本プロジェクト実施研究開発課題は次世代半導体産業技術として不可欠なものであり、民間自主開発事業で進められている研究開発課題と棲み分けができています。実用化に向けての課題、その課題解決の方針はほぼ明確になっている。特に③特性ばらつきに対し耐性の高いデバイス・プロセス技術開発、④次世代マスク基盤技術開発、⑤EUV 光源高信頼化技術開発に関しては具体的に実用化に向けた課題が明確になっている。国際規格化等、標準整備に向け、③特性ばらつきに対し耐性の高いデバイス・プロセス技術開発、④次世代マスク基盤技術開発、⑤EUV 光源高信頼化技術開発の各研究開発課題からの成果が大いに期待される。

- N E D O 後継プロジェクト、N E D O 実用化助成、企業内研究等、プロジェクト終了後の事業化までの道筋に関してほぼ示されている。特に、③特性ばらつきに対し耐性の高いデバイス・プロセス技術開発に関しては、すでに実用化技術として多くの企業で採用され始めており、また④次世代マスク基盤技術開発、⑤EUV 光源高信頼化技術開発の各研究開発課題に関しては実用化のシナリオが明確に示されている。
- 市場の規模や成長性、コストダウン、競合技術との比較、導入普及、事業化までの期間、事業化とそれに伴う経済効果等の見通しは、研究開発期間当初より立てられて来ており、急速な経済情勢の変化及び政策・技術動向に対応できるよう努力されている。
- 本事業における各研究開発課題の成果は世界最先端の研究成果であり、関連分野への波及効果（技術的・経済的・社会的）は大いに期待できるものである。プロジェクトの実施自体が、科学技術立国・日本の最先端技術分野の研究開発や人材育成等を促進するなどの波及効果を大いに生み出していると思われる。

〈問題点・改善すべき点〉

- EUV マスクや光源は思いのほか実用化が遅れていることが懸念である。CNT 配線が実用化になるには、更なるイノベーションが必要と思われる
- 新構造極限 CMOS トランジスタ関連技術では、取り上げているテーマが広すぎ、どれが本命技術か、また実用化までの問題点が必ずしも明確になっていない。
- しかしながら、日本の半導体産業界の技術レベルを世界のトップレベルに引き上げ、産業を再活発化させるという高邁な初期の目標は、日本の半導体業界の激変により、目に見える貢献ができていないことから、達成できたとは言えず、残念な結果である。
- 一方、一部課題については現時点で LSI での実用化について具体的な見通しが必ずしも明確でないものがある。
- 実用化に向けての課題、その課題解決の方針はほぼ明確になっているが、①新構造極限 CMOS トランジスタ関連技術、および②新探究配線技術開発課題においては、今後の政策・技術動向に大きく依存しており、その推移を注視し、実用化に向けての課題とその解決への方針を立てる必要がある。
- N E D O 後継プロジェクト、N E D O 実用化助成、企業内研究等、プロジェクト終了後の事業化までの道筋に関してほぼ示されているが、①新構造極限 CMOS トランジスタ関連技術、および②新探究配線技術開発課題に

においては、今後の政策・技術動向に大きく依存しており、その推移を注視し、実用化に向けてのシナリオを再構築する必要がある。

- 「新構造極限トランジスタ」、「新探求配線」(特に CNT 配線)については、実用化の見通し、事業化のシナリオが明確でない。その理由は、①「新構造極限トランジスタ」は、まずテーマ選定に対し、候補技術が多岐にわたる中で、本開発で取り扱った構造が現時点で主流となるかはわからない。以下、②、③は上記の二つの開発に共通であるが、②Selete という実用化への橋渡しとなった機関がなくなることによってインテグレーションとしての課題が未知のままである。③また、産業構造の激変のなかで実用化への受け皿がなくなっているという点で、日本産業へ寄与出来る方途を失っている。
- 国際規格化等、標準整備に向けた見通しが明確でない。事業化までのシナリオについては、テーマ間で温度差があるが、広く第三者を含めて成果を享受できるしくみが求められる。このため、実用化の見通しがあるテーマについては、新たなスキームでの事業化のモデルづくりが必要となるものと考えられる。また、参画した研究者の人材育成についての促進効果が不明確である。
- これらの最高性能は周辺技術が伴って初めて量産段階で実現するものであるが、ここまで一貫して述べているように、実用化シナリオは十分提示されているとはいえない。

〈その他の意見〉

- ・ 最近の動向によれば、プロジェクトで開発された技術がそのまま実用化される例は少ない。長い目で見ることがある。
- ・ 人材育成は出来たものと確信している。また、半導体産業基盤の向上と関連産業への波及は効果大と思う。
- ・ プロジェクトで得られた貴重なデータの具体的な活用計画を明確にすべきである。
- ・ 実用化されない場合は、折角の知見やスキルを付けた技術者の能力が企業の中で死蔵される可能性もあるので、それらを国全体の財産として有効に活用できる仕組みを考える必要がある。
- ・ 日本のデバイスメーカーが今後自社開発を行わずファンダリに製品製造を依頼するときに、本プロジェクトの成果が役立つという議論の展開があった。確かにある時の長さではそうであろうと思う。ただ、一方でプロセス技術を持たずに製品製造をファンダリーメーカーに依頼している Fabless メーカーは多数存在し、そういう Fabless メーカーは、オーバー

ヘッドがない分利益率は高い。デバイスメーカーがデバイス製造技術を持つ理由は、技術的に柔軟性のある自社での製造を、コスト効果を高めつつ行うことにある。それに加え先端技術を競合に先んじて実用化し先行の利益を得ることにある。誰の責任という問題ではない産業構造激変ではあるが、その事実を真摯に受け止め、次へのプロジェクトへのフィードバックにその経験を生かして欲しい。

2. 個別テーマに関する評価結果

2. 1 新構造極限 CMOS トランジスタ関連技術開発

「研究開発成果」、「実用化、事業化の見通し」、「今後に対する提言」

ひずみ SiGe による正孔移動度の向上、high-k/Si 界面の酸素終端、Ge チャネル/High-k 構造の SrGex 界面膜形成など、要素技術レベルについて、世界初あるいは世界最高レベルの研究成果が得られ、技術目標を高いレベルで達成している。計測技術も同時に改良し、優れた道具を駆使するノウハウ獲得にも成功した。MOS デバイスの断面評価技術は世界トップの技術開発であり、新たな技術領域を開拓することが期待できる。世界的にもユニークな本研究グループの実験評価技術は、基礎的観点からも非常に高く評価できる。また、学術論文については、適切に執筆されており、一般に向けて広く情報発信をしている。

しかしながら、トランジスタ単独技術として開発するのと、あるデザインルールのインテグレーションの制約の中で開発するのとは、その解決すべき課題において大きく異なる。量産プロセスとの整合性などの問題から、この構造や材料がそのまま適用できる訳ではない。次世代 CMOS トランジスタの構造として、この構造を選択した必然性が明確でなく、今回研究開発したデバイスが、優位性があり、次世代、次々世代の集積回路デバイスとして実用化される可能性があるのか、知見が生かされるかについて、筋道や課題を明確にする必要がある。

〈肯定的意見〉

- 全体として目標は達成している。STM による局所応力などの解析技術については、新たな技術領域を開拓することが期待でき、汎用性があるものと期待できる。また、学術論文については、適切に行われていて、一般に向けて広く情報発信をしている。
- Hp32nm 以細の CMOS の低消費電力・低待機電力化のためのシリコン-ゲルマニウム CMOS 技術を飛躍的に向上させた。
- 技術目標を高いレベルで達成している。MOS デバイスの断面評価技術は世界トップの技術開発であろう。
- Tr 開発は、半導体技術の華であり世界中で猛烈な開発競争が行われている。その中でも世界最高級の移動度を持つ Tr 開発に成功したことは、特筆される。また、その開発に必要な計測技術にも進展がみられ、更なる開発の基礎を築いたと評価できる。
- 酸素終端法と RTC 法による移動度改善、および SrGex 層を有する Ge-PMISFET の正孔移動度増大など、世界初、世界最高レベルの研究成果が得られている。

- 正孔移動度等の個々の研究成果はまさに世界トップレベルであり、高く評価すべきである。基盤内にドーピングされた不純物の位置（離散性）の同定など、世界的にもユニークな本研究グループの実験評価技術は、基礎的観点からも非常に高く評価できる。
- 要素技術レベルについて世界最高水準の成果を上げている。例として、ひずみ SiGe による正孔移動度の向上、high-k/Si 界面の酸素終端、Ge チャネル/High-k 構造の SrGex 界面膜形成など。製造技術、計測・評価技術、シミュレーション技術と多くの個別テーマを取り上げているが、その全てについて、世界トップレベルの成果を上げている。
- 計測評価技術は世界最高レベルの性能を達成するとともに、事業化に向けた取り組みも明確に見え大いに評価できる。また、CMOS トランジスタ技術の開発に関しては、当初の目標である省エネ化や高速化を達成しておりおおむね評価できる。
- 様々な材料、構造などに挑戦し、移動度においては世界最高の値を実現したことは特筆に値する。また、計測技術も同時に改良し、優れた道具を駆使するノウハウ獲得にも成功した。量産技術開発にも大いに役立つと考えられる。
- 研究開発項目の成果は目標値をクリアしている。成果は世界最高水準であり、特に細目「計測モデリング技術の開発」における成果は、新たな技術領域を開拓することが期待できるとともに汎用性、競合技術と比較して優位性があると思われる。また投入された予算に見合った成果が得られていると思われる。
- 知的財産権等の取得として平成 20 年度～平成 22 年度間で国内特許出願 23 件、外国出願 12 件と、事業戦略、または実用化計画に沿ってほぼ適切に行われていると思われる。特に細項目の内で計測モデリング技術の開発における成果は国際標準化に向けた取組がなされていると思われる。
- 論文の発表は平成 20 年度～平成 22 年度間で 30 件とほぼ適切に行われていると思われる。成果の受取手（企業等）に対して、特に細項目の内で計測モデリング技術の開発における成果は技術移転などの普及の見通しが立っている。一般に向けて、プレス発表 5 件、学会発表・講演を 110 件、公開成果報告会およびインターネット・ホームページ開設（「半導体計測・評価技術ネットワーク」、「計測分析技術交流広場」含む）により広く情報発信をしていると思われる。
- テーマは次世代半導体産業技術の高集積化、低消費電力化に不可欠なものであり、民間自主開発事業で進められている研究開発課題と棲み分けされ見極めができています。実用化に向けての課題およびその解決の方針はほぼ

明確になっており、特に細項目の計測モデリング技術の開発における成果は実用化に向けての方針明確化や国際規格化等、標準整備に向けた見通しが得られている。

- NEDO後継プロジェクト、NEDO実用化助成、企業内研究等、プロジェクト終了後の事業化までの道筋として、細項目の計測モデリング技術の開発における成果は明確となっている。本テーマの成果は世界最先端の研究成果であり、関連分野への波及効果（技術的・経済的・社会的）は大きく、特に細項目の計測モデリング技術の開発における成果は期待できるものである。プロジェクトの実施自体が、科学技術立国・日本の最先端半導体技術の次世代技術の研究開発や人材育成等を促進するなどの波及効果をもたらすものと大いに期待される。

〈問題点・改善すべき点〉

- バリステック効果を前面に出した目標であるが、実際にはバリステック効果を正面からとらえた研究開発ではない。前期までの成果が実用化される時期が **hp32nm** 以細との見通しから、この領域ではバリステック効果が顕在化されると予想されているだけであり、研究内容とは直接関係していない。目標設定がおかしいと言わざるを得ない。
- **Ge-nMISFET** へのオーミック電極の作製に成功しているが、他にも 2-3 の方法が報告されており、ここでの開発技術の優位性があまり見えない。他のテーマに関しても、開発された技術の優位性がもう少し明確に示されるべきであったろう。
- ここで取り上げられたデバイスが、普遍的に使われるとは思われず、従って、その特徴が活かせる分野をもっと明確にしてほしかった。
- 開発が **Ge** チャネルに特化した過程が良く判らない。本開発は「技術候補は多数あって、全部は出来ない要素技術開発」に当り、**MIRAI** プロジェクトにとって格好の開発テーマなのだが、いつどのような理由で絞込みや目標設定したのか？一方、この **Tr** を誰がどんな製品で使うのか？また、コストを議論する必要はないが、作り易さは将来採用する場合、重要な要素である。日本のロジック事業者が減少する中、折角の技術の活用の仕方を考えるべきと思う。
- **CMOS** トランジスタ関連技術の実用化に関しては、量産プロセスとの整合性などの問題から、この構造や材料がそのまま適用できる訳ではない。実施者の責任ではないが、次世代 **CMOS** トランジスタの構造として、この構造を選択した必然性が明確でない。当初から、プロセスとの整合性などを考慮して開発する構造を選択すべきではないのか。

- SiGe/Ge チャンネルは hp32nm 以細の候補技術の一つではあるが、本デザインルール世代には候補技術が多数検討されている。その意味で、産総研で従来行っていた技術を公募を通じて採用すること自体は問題は無いが、もう少し広く技術の選定ができなかったのかという課題が残るように感じる。現在、インテル、IBM アライヤンス、IMEC、TSMC などの最先端の研究開発を行っている機関で行われている技術は多岐にわたっているが、デザインルール毎に一種の収斂を見せている（もしくは収斂すると）思われる。それは、実用化に近い DR ではより鮮明である。Hp32 以細と先端トランジスタ構造開発をひとまとめにするのは課題が残るのではないか。
- トランジスタの開発は要素技術単独での開発というわけにはいかない。トランジスタ単独技術として開発するのと、あるデザインルールのインテグレーションの制約の中で開発するのとはその解決すべき課題において大きく異なる。hp45 世代では、Selete がそのモジュール開発を受け持ったということであり、hp32 以細ではその開発を受け持つ機関が無いというのは非常に残念である。先端 Si LSI の開発には、実用化への橋渡しとなる開発が常に必要である。
- 全体としてのゴールが曖昧になった感がある（具体的には、バリステック伝導を目指していたのではないのか？）。本研究の方向性を基礎的見地から提言すべきキャリア伝導のシミュレーション研究が、その役割を果たしていない（もっと精緻なシミュレーションが必要不可欠）。
- 開発テーマとして取り上げた要素技術については、世界トップレベルの成果を上げているが、開発すべきターゲット像が不明確である。担当組織の興味に依存するテーマ設定のように見える。
- 集積回路設計者は、トランジスタの性能指標として移動度ではなく、いかにそのトランジスタに電流を流せるかという電流駆動力を第一に挙げる。移動度はその駆動力に深く関わった性能ではあるが、それに加えて、チャンネル長をどこまで制御して短くできるか、ソース・ドレインの抵抗はどこまで下げられるか、またそれへの接触抵抗はどこまで小さくできるかという技術水準を明らかにしなければならない。この点では不十分である。
- 今回研究開発したデバイスそのものが、次世代あるいは次々世代の集積回路デバイスとして実用化される可能性があるのか、あるいはその知見が生かされるかについて、その筋道や課題をもう少し明確にする必要がある。
- 成果の内、(1)ソース・ドレイン材料・構造制御による CMOS 高駆動力化、(2)キャリア輸送特性制御による CMOS の駆動力化、(3)低消費電力・高電流駆動トランジスタによる実証、の開発成果の汎用性に関しては今後の政策・技術

動向に大きく依存しておりその推移を注視しまとめる必要がある。

- 成果の受取手（企業等）に対して、(1)ソース・ドレイン材料・構造制御による CMOS 高駆動力化、(2)キャリア輸送特性制御による CMOS の駆動力化、(3)低消費電力・高電流駆動トランジスタによる実証の開発成果の普及は、今後の事業戦略および政策・技術動向に大きく依存しており、今後の動向、タイミングを図る必要がある。
- (1)ソース・ドレイン材料・構造制御による CMOS 高駆動力化、(2)キャリア輸送特性制御による CMOS の駆動力化、(3)低消費電力・高電流駆動トランジスタによる実証における成果活用は、今後の政策・技術動向に大きく依存しており、その推移を注視し、実用化に向けての課題とその解決への方針を立てる必要がある。
- NEDO後継プロジェクト、NEDO実用化助成、企業内研究等、プロジェクト終了後の事業化までの道筋に関してほぼ示されているが、(1)ソース・ドレイン材料・構造制御による CMOS 高駆動力化、(2)キャリア輸送特性制御による CMOS の駆動力化、(3)低消費電力・高電流駆動トランジスタによる実証における成果は、今後の政策・技術動向に大きく依存しており、その推移を注視し、実用化に向けてのシナリオを再構築する必要がある。

〈その他の意見〉

- ・ DRAM プロセスからは全く手がでない本 Tr 開発。それ故、MIRAI への参加を見送った経緯がある。IMEC では全ての DRAM 開発事業者が集まっている為、DRAM 特有の熱処理を前提にした Tr 開発をちゃんとした開発テーマにしてくれている。この辺が日本の DRAM 軽視の表れと思うことしきりであった。
- ・ これだけの技術が必ずしも実用化につながらないのは残念である。
- ・ 最終目標の修正あるいは方向転換が研究プロジェクト途中で必要となった場合は、それを容認する姿勢が欲しい。最初に掲げた目標をかたくなに堅持させるといふのは、本研究テーマのような基礎研究では馴染まない。
- ・ 本課題では、基礎技術の開発を行ったものであり、実用化の見通しを議論するまでには至っていない。MIRAI プロジェクトの成果をどのように生かすかが課題であるが、本テーマはその代表例である。
- ・ 耐久性に関する検討がほとんど行われていないので、継続的な検討が別の枠組みで実施される必要があろう。
- ・ MOS デバイスの断面評価技術として、STM、STS の発展技術が開発されており、高く評価されるが、ルーチン的に誰もが利用できるレベルに開発し、実用化する努力が望まれる。

2. 2 新探究配線技術開発

「研究開発成果」、「実用化、事業化の見通し」、「今後に対する提言」

大学レベルで取り上げるような本課題を、実用化を見据えて取り組み、見通しを付けたことは高く評価できる。CNT 配線技術の開発、特に高速成長及びビア部の低抵抗化は、世界トップレベルの成果であり、CNT を用いた配線の劣化機構を明らかにした点でも評価できる。また、プロジェクト参加メーカーが CNT 技術の本来の目的とは異なる LSI チップ放熱技術やメモリ LSI 用配線への実用化の検討していることは歓迎すべきである。光配線では、10GHz 以上での動作可能な変調器の開発や垂直光入射の光源・導波路結合器の開発・実証等、多数の個別の要素技術は世界トップレベルであり、システムレベルでの検討まで進んだことは非常に評価できる。開発された技術はユニット間の光配線などにも利用できる。

しかしながら、CNT による配線は、技術目標は達成されたものの、実用化に関しては、ほとんど見通しがつけられないままに終了しているのは、マネジメントを含め問題である。本来ならば小規模にせよ、全体の配線系で、信号伝達の実証まで行うべきテーマである。また、カーボンナノチューブ配線、光配線いずれも、LSI 配線としての実用化には、まだ課題が多く、現状では実用化の見通しは明確になっていない。

〈肯定的意見〉

- 大学レベルで取り上げるべきと思われた本課題を、実用化を見据えて取り組み、見通しを付けたことは高く評価できる。特に光配線では、システムレベルでの検討まで進んだことは非常に評価できる。
- LSI 製造のプロセス温度下で、CNT の高密度、高速成長技術を開発し、hp32nm 以細での 300 mm ウェハへの適用可能性を示した。また光配線では低電力 10GHz 動作を確認し、5 波長多重チャネル集積形成技術を開発した。
- (1)CNT を用いた極限配線技術に関しては、CNT 高速成長技術開発、(2) オンチップ光配線技術においては電気光変調器・受光器、合分波器および光回路集積技術開発において目標値をクリアしている。研究開発細目に未達成部分があるが、目標達成までの課題把握および課題解決の方針がほぼ示されている。
- 成果のほとんどは、世界初あるいは世界最高水準であり、各研究細目において、新たな技術領域を開拓することが期待でき、世界最先端の競合技術と比較して優位性があると思われる。投入された予算に見合った以上の成果が得られていると思われる。

- 知的財産権等の取得に関しては、平成 20 年度～22 年度間に合計 52 件の国内特許出願を行い、国内における取組は評価できる。論文の発表は平成 20 年度～平成 22 年度間で 22 件とほぼ適切に行われていると思われる。一般に向けて、プレス発表 11 件、学会発表・講演を 95 件、公開成果報告会およびインターネット・ホームページ開設により広く情報発信をしていると思われる。
- 本テーマは次世代半導体産業技術として有望であり、民間自主開発事業で進められている研究開発課題と棲み分けされ見極めができています。実用化に向けての課題、その課題解決の方針はほぼ示されている。NEDO 後継プロジェクト、NEDO 実用化助成、企業内研究等、プロジェクト終了後の事業化までの道筋に関しての方向性はほぼ示されている。
- 本テーマの成果は世界最先端の研究成果であり、関連分野への波及効果（技術的・経済的・社会的）は大きく、特に細項目の計測モデリング技術の開発における成果は期待できるものである。プロジェクトの実施自体が、最先端半導体分野の次世代技術の研究開発や人材育成等を促進するなどの波及効果をもたらすものと大いに期待される。
- 配線技術の分野で、先端プロセス技術として開発すべき技術として、CNT による Via 配線、及び LSI チップ光配線の選定は、テーマとしては妥当であると考えます。
- 10GHz 以上での動作可能な変調器の開発や垂直光入射の光源・導波路結合器の開発・実証等、多数の個別の要素技術は世界トップレベルで高く評価できる。
- CNT 配線は、開発難易度が高く「実現には多大の時間がかかると予想されるが、将来重要になる技術」といえる。いくつかの課題に成果が見えており、ぜひ開発の継続を望む。
- カーボンナノチューブ配線については、ビア内への選択成長技術の確立、2 元触媒の開発によりナノチューブ成長密度の達成目標をほぼ達成している。
- 光配線については、変調器や受光器など光学素子を集積化し、当初の目標寸法を超える微小化を達成している。開発された技術はユニット間の光配線などにも利用できる。
- CNT 配線技術の開発、特に高速成長及びビア部の低抵抗は、世界トップレベルの成果である。耐電流密度も、 $4 \times 10^7 \text{A/cm}^2$ で、1000h の高信頼性を確認し、故障モードも下地 Cu 配線部の故障であり、CNT そのものの故障でないことを明確にし、CNT の高信頼性を確認したことは評価できる。新コンセプトグローバル配線では、システム検証レベルまで完成度

を高めたことは評価できる。

- 成果は目標値を概ね達成している。配線技術として基礎的な研究開発であるため、新たな技術領域の開拓を含めて他分野への成果の波及が期待できる。
- 選択生長を集積回路に用いるのは、歩留まりの点で大きな障壁がある。半導体技術開発の歴史の中でよく知られたその経験をふまえ、あえてCNTを集積回路の配線に活かそうという試みは挑戦的である。CNTを用いた配線の劣化機構を明らかにした点でも評価できる。また、光配線は、波長多重、分波性能など実用化にたる性能が得られている点、十分な成果といえる。

〈問題点・改善すべき点〉

- カーボンナノチューブ配線、光配線いずれも、LSI配線としての実用化にはまだ課題が多く、現状では実用化の見通しが明確でない。
- (1)CNTを用いた極限配線技術に関してはCNT高密度成長技術開発、300mmウェハ配線構造適用可能性の提示と優位性の実証、横配線技術の開発、(2)オンチップ光配線技術においてはデータの入出力の実証において目標値を未達成であり、目標達成までの課題把握および解決への具体的な方針の提示と継続実施が望まれる。
- 成果の汎用性、他の競合技術と比較しての優位性に関しては、今後の技術動向、技術導入判断・政策に大きく依存しており、その推移・タイミングに機敏な対応ができるように残された課題整理と解決法の見通しを持つ必要がある。
- 知的財産権等の取得に関しては、平成20年度～22年度間に合計52件の国内特許出願に対し、外国出願13件とやや少ない。事業戦略、実用化計画さらには国際標準化に向けたさらなる取り組み努力が必要である。成果の受取手（企業等）に対して、新規配線技術開発の成果導入は、事業戦略および政策・技術動向に大きく依存しており、今後の動向、タイミングを図る必要がある。
- 新規配線技術の今後の産業技術としての見極めは、成果受取手（企業等）の事業戦略および政策・技術動向に大きく依存しており、今後の動向、技術導入判断のタイミングに機敏に対応可能なように課題の解決、技術蓄積が効率的に継続して行われることが望まれる。
- NEDO後継プロジェクト、NEDO実用化助成、企業内研究等、プロジェクト終了後の事業化までの道筋に関して、今後の政策・技術動向を注視し、受取手の技術導入判断のタイミングに合わせた具体的な実用化シナリ

を再構築する必要がある。

- この新配線技術開発は、本 MIRAI プロジェクトのなかでも開発時間軸が圧倒的に長い基礎研究ではある。しかし、光配線は異質でどうしても違和感を覚える。研究意義は認めるところだが、果たして MIRAI プロジェクトの範疇であったか疑問に思う。
- CNT による配線は、技術目標は達成されたものの、実用化できるのかに関しては、テーマの途中打ち切りもあり、ほとんど見通しがつけられないままに終了しているのは問題である。本来ならば小規模にせよ、信号伝達の実証まで行うべきテーマである。
- CNT の研究成果としてほぼ達成が多い。予測として目標を達成できるという論理であるが、実用化への課題を含めれば、まだまだやることは多いと考える。初期計画途中での終了は、予算の問題もあろうが、残念である。
- 選択生長の難しさは、すでに CNT を用いた横方向配線の開発を断念したことにも現れている。この本質的な課題をクリアしない限り実用化は考えられない。解決の見通しが明確でないかぎり、基本にかえり、生長技術そのものの抜本的な改良が必要ではないだろうか。また、光配線の高速性を活かす要は、実は導波路そのものでなく、発光素子と検出素子であることがよく知られている。ここに抜本的な改良がないかぎり、集積回路チップ上での光配線は実用的ではない。このボトルネックに対する取り組みがされなかったことで閉じた開発にならなかったと考える。
- 現時点では、将来的な実用化に向けての課題の整理が必要である。
- 本研究テーマでの CNT での低抵抗化の根拠としては、キャリア伝導の弾道性（抵抗ゼロ）が位置づけられている。であれば、コンタクトでの抵抗が本質的問題として表面化してくるのは自明である。コンタクト抵抗に関する基礎的検討が研究開始時にテーマとして挙げられていないのは疑問であり、目標設定が安直であったように思う。
- 縦方向の CNT の高密度成長を確認したことで、横方向の成長も達成できる見通しであるとしているが、実際の成長の確認を早急に実施する必要がある。CNT の実用化では、CNT を適用した全体の配線系で評価することが必要である。

〈その他の意見〉

- ・ 実用化の見通しで、CNT 配線を主唱したプロジェクト参加メーカーが、もともとの開発目的である配線用途に使用せず、LSI チップ放熱技術として実用化を計画中和ある。また、他の参加メーカーがロジックではなくメモリ LSI 用配線に実用化を検討中和ある。本技術の本来の目的とは異なる

る用途があることは非常に歓迎すべきことではある

- 産総研で進められている CNT 生成技術等の研究開発と本研究との関係が明確でない。より協調的で効率的な研究体制が望まれる。
- 現状は、光配線チップと LSI チップとの貼り合わせにより、高速配線技術を実現しているが、本当のオンチップ光配線技術の開発を要望する。
- 他のプロジェクトテーマと比べ、基礎開発段階にあるが、今後の発展が期待できる。
- 本課題についても耐久性の検討まで踏み込めなかったことは残念である。
- 本課題も、実用性は見通せたものの、成果が実際に利用される見込みは薄い。NEDO として、折角の成果をどう生かすかが大きな課題である。
- 基礎検討である本課題が繰り上げ終了されたのには、疑問符が付く。実用化の見通しが無いので中止したととられてしまうであろう。今後の継続的な検討の見通しが無いとすると、テーマ設定がおかしかった、あるいは間違っていたとの評価を受けてしまうのではないか。
- 実用化時期の見通しについて、課題選定の際などに MIRAI プロジェクト全体としての統一的な指針があったのだろうか。

2. 3 特性ばらつきに対し耐性の高いデバイス・プロセス技術開発 「研究開発成果」、「実用化、事業化の見通し」、「今後に対する提言」

構造依存の特性ばらつき、および外部擾乱依存の特性ばらつきの物理的意義とモデリング技術の開発は目標も達成し、世界最高水準であり、新たな技術領域を開拓することが期待できる。今後の微細化に対する問題提起とその解決手法を併せて提示できており、極めて先端的であると共に、デバイス製造に普遍的に適用できる実用に役立つ技術開発である。知的財産権等の取扱についても、適切に出願されているものと推察でき、論文についても、研究内容を踏まえ適切に執筆され、また、参画企業を中心に普及の見通しは十分に立っている。

しかしながら、解析手法としては優れた成果であるが、次の段階としてバラツキを抑さえる構造や手段の提案が望まれ、できれば実際の構造で、3 σ 程度のばらつきの評価により、実証されることを要望する。また、ばらつきを抑える究極の構造は、不純物を入れない構造と結論付けているが、不純物をデルタ関数や階段関数的にドーピングすることも検討すべきである。

企業への技術移転には問題ないものの、このような成果は独占できるものではない。従って、投資した資金をどのようなビジネスモデルで回収するかが今後の課題となつてこよう。

〈肯定的意見〉

- 3期において最も実用的な成果が得られた研究であると評価される。この種の研究は、学術的な意味合いは低いかもしれないが、なかなか1事業者では完結しない非常に重要な開発行為。
- デバイス製造に普遍的に適用できる大変有用な知見が得られており、完成度の高いプロジェクトである。
- 100万個の素子を高速に検査する技術や単一素子内の微量元素分布を精密に測定できるアトムプローブ技術など、今後評価技術として広く適用可能な技術が開発されている。得られた知見はソフトに組み込まれ広く利用可能であり、アトムプローブ技術なども参画企業により製品化を目指した開発が進められており、成果の実用化の観点からも高く評価できる。
- 特に学においてこのような取り組みがおこなわれ、極めて質の高い成果が得られたことは特筆すべきである。また、同時にアトムプローブを駆使して、チャンネル内の不純物分布を可視化する技術など、電気的特性と物理構造を関連づけたことは、今後の微細トランジスタ開発や不良解析に有効な知見となろう。
- 成果は、独自性の高い内容であり、シミュレーションならびに物理モデリングによる理論的解析と、豊富な検証実験データに基づき、Vt誤差など

のばらつきを的確に予想し、制御可能な技術として当初目標を十分に達成したものとする。また、産業的に新たな技術領域を開拓することが期待できる。「ものづくり」を科学して生産に生かせる技術として、NEDOプロジェクトとして極めて有意義であるとする。知的財産権等の取扱いについても、適切に出願されているものと推察でき、論文についても、研究内容を踏まえ適切に行われ、また、参画企業を中心に普及の見通しは十分に立っているものと推察する。

あるデザインルール以細にユニバーサルな課題を解決するテーマであり、実用化に際しても汎用性ある開発テーマである。得られた成果は、今後の微細化に対する問題提起とその解決手法を併せて提示できており、極めて先端的であると共に実用に役立つ技術開発であるとする。

デバイス特性ばらつきで収集した大量の生データが、今後計画的に活用されれば、さまざまな特性ばらつき統計解析のための貴重な情報源となり得る。

高速測定を可能にする評価 TEG の開発、高速測定装置の開発を行い、大量データ測定を行い、±6 レベルまでのばらつきを実験的に明らかにし、統計的なばらつきの解析を行ったことは評価できる成果である。ばらつきの最大の原因が不純物 B のランダム分布からのばらつきであり、低濃度の SOI や TrGate 構造がばらつき低減構造であることを明らかにした。その他、モデリング技術の開発や、アトムプローブによるチャンネル中の B 分布の直接的解析など、特筆すべき成果を出している。

中性線ソフトエラー（ロジックの場合は SET）の実験的評価と遅延回路挿入による対策技術の開発とシミュレーションによる有効性の確認は、世界トップレベルの成果である。

デジタル回路とアナログ回路混載チップのオンチップの CDM ESD 対策の考案も実用化の観点から、有意義な成果である。

デバイスの特性のばらつきの評価、物理的原因の解明、そのモデル化を行った。大量なデバイスを実際に制作して実施された。また外部要因によるエラーとその対策が行われた。多くの企業にとって極めて役に立つ、非常に実用的な研究開発であった。

極めて実用性の高い課題であり、実デバイスによる検証が実施され、ばらつきの原因とその対策が明示できており、高く評価できる。目標も達成している。成果のレベルも世界水準を凌駕するものと思われる。従来、このような課題は企業が担っていたが、企業に余力がなくなった現在、国レベルで取り上げたことは大変適切であった。

成果は各研究開発細目に渡り目標値をクリアしている。中には開発細目の

当初目標以上の成果も出ており、全体として目標を期待以上に達成したといえる。成果は市場の維持、拡大につながる事が期待できる。構造依存の特性ばらつき、および外部擾乱依存の特性ばらつきの物理的意義とモデリング技術の開発は世界最高水準であり、新たな技術領域を開拓することが期待できる。成果は汎用性が高く、世界最先端の競合技術と比較して優位性があり、次世代半導体産業の基盤技術として発展できるものである。投入された予算に見合った以上の成果が得られていると思われる。

知的財産権等の取得に関しては、平成 20 年度～22 年度間に国内特許出願合計 24 件を行うなど、国内における取組は評価できる。得られた研究開発の成果、特に、モデリング技術は国際的標準化に向けた取組が見られ適切に行われていると思われる。

論文の発表は、平成 20 年度～22 年度間に合計 39 件、また学会発表・講演（国内外含む）合計 167 件と、研究内容を踏まえほぼ適切に行われている。成果の受取手（活用・実用化の想定者等）に対して、成果普及の見通しが具体的に見え評価できる。一般に向けての情報発信は、平成 20 年度～22 年度間にプレス発表等合計 8 件、学会発表・講演 167 件、パンフレットの作成配布、公開成果報告会およびインターネット・ホームページ開設（「半導体計測・評価技術ネットワーク」、「計測分析技術交流広場」含む）により行われている。

本テーマは次世代半導体産業技術として不可欠なものであり、適用可能性が明確である。実用化に向けての課題、その課題解決の方針は明確になっており、国際規格化等、標準整備に向け、大いに期待される。多くの企業ですでに実用化技術として採用され始めており、実用化シナリオが明確に示されている。競合技術との比較、導入普及、事業化までの期間、事業化とそれに伴う経済効果等の見通しは、立てられて来ており、政策・技術動向に対応できるよう努力されている。

本事業における各研究開発課題の成果は世界最先端の研究成果であり、関連分野への波及効果（技術的・経済的・社会的）は大いに期待できる。最先端半導体評価技術として、研究開発や人材育成等を促進するなどの波及効果を大いに生じていると思われる。

〈問題点・改善すべき点〉

特性ばらつきプロジェクトの最終目標が最後まで曖昧であった。特性ばらつきの物理的要因が（達成項目に挙げられているような）単純な構造パラメータのばらつきであれば、本プロジェクトは前世代デバイスの様々な要因をたたみ込んだ単なる統計解析の意味しかなく、物理的要因が顕著になる 32nm 以細での特性ばらつきの本質的理解や解決には結びつかない。

「特性ばらつきのモデリング技術開発」がプロジェクト内の3テーマの1つに挙げられているにも関わらず、同分野で世界的に認知されている研究者が加わっておらず、研究実施体制が適切であったとは言い難い。開発された3D-TCAD技術(HyENEXSSに導入)には、学術的にも技術的にも新規性や優位性が認められない。

解析手法としては優れた成果であるが、次の段階としてバラツキを押さえる構造や手段の提案が望まれる。この点では十分でなかったと思う。また、解析したデバイス群は一企業から提供されたものであるが、解析結果が企業間にまたがる普遍的なものであるか否かの検証がされず、その点で成果の普遍性が判断できない。今後は異なる企業での解析と既存結果との突き合わせが必要だろう。むしろ企業側の参画と努力が求められる。

参画企業以外の広く一般事業者に対する成果の汎用性と、データの公開手法に課題が残る。これは、国際標準化に向けた提案を含めて、担当者で解決できる問題ではなく、NEDOを含めた今後の課題であると考えている。

ばらつきを抑える究極の構造は、不純物を入れない構造と結論付けているが、不純物をデルタ関数や階段関数的にドーピングすることも検討すべきである。

知的財産権等の取得に関しては、平成20年度～22年度間に合計24件の国内特許出願に対し、外国出願3件と少ない。事業戦略、実用化計画さらには国際標準化に向けたさらなる取り組み努力が必要である。

ばらつき低減デバイス構造として、SOIやTriGate構造を提案し、開発したシミュレーションでその有効性を示しているが、できれば実際の構造で、3程度のばらつきの評価により、実証されることを要望する。

中性子線照射装置の使用の制約があるが、考案した遅延回路つきロジックのSET対策の有効性を実験的に確認することを要望する。

〈その他の意見〉

- NBTI ストレスにより、 V_{th} ばらつきが増加し、その原因は、ゲート酸化膜界面に発生するランダム電荷モデルが妥当としている。しかし、NBTIには、早い回復現象があり、いくら高速測定といえども、ストレス切断後の測定時間に、トランジスタ毎の違いがあり、この測定時間の違いによる回復現象の違いを考慮した再評価が必要と考えられる。
- 企業への技術移転には問題ないものの、このような成果は独占できるものではない。従って、投資した資金をどのようなビジネスモデルで回収するかが今後の課題となつてこよう。
- 非常に有益な研究成果と思うので、ぜひ開発事業者以外にも利用の道を開いて頂きたい。
- 特性ばらつきのプロジェクトで収集した大量の生データを有効活用し、今後のデバイス研究開発に生かすための具体的な道筋を明確にすべきである。

2. 4 次世代マスク基盤技術開発

「研究開発成果」、「実用化、事業化の見通し」、「今後に対する提言」

hp22nm をにらんで、低欠陥マスクブランク技術、欠陥検査技術、マスク欠陥修正技術、ペリクルレスマスクハンドリング技術について、いずれの開発課題も目標値を達成しており、高く評価できる。実用化の道筋もほぼできている。また、検査技術開発の段階で得られたマスクブランク材料の品質についての知見は、マスクメーカーにとって非常に有意義なものとする。Selete において小領域露光装置を早々と導入し、hp 22nm を実証した意味は大きい。今後は、技術移転を円滑に行ってもらいたい。

一方、マスク技術全体として、仕様を含めて国際規格への取り組みが不明である。マスクは、極めて広大な面積に一つの欠陥もあってはならない。完全性に対する要求は極めて厳しい。その意味で、一度は現実の集積回路パターンで検証してみるべきであったと考える。また、マスクはブランクスも含めた総合技術であり、我が国に競争力が残存する分野であるので、今後の NEDO を含めたサポートは必須である。

〈肯定的意見〉

- EUV マスクは EUV 露光を実現する為の中核部品であり、その開発は重要。特に、マスクは日本事業者が強い分野であり、競争力維持が強く望まれる分野。MIRAI プロジェクトにてブランクス開発、欠陥検査・修正技術が確立されたことは特筆される。今後も実用化に向けた開発を望む。
- hp22nm をにらんで、欠陥検査技術、マスク欠陥修正技術、マスクハンドリング技術についていずれも当初目標を達成している。
- コンタミのクリーニング技術はメーカーでコンペティティブナ状況にあり、実用化に向け着実に進展している。
- マスク搬送に開発された二重ポッド方式が世界標準規格になろうとしている点も標準化の取り組みの観点から高く評価できる。
- いずれの開発課題も目標値を達成しており、高く評価できる。実用化の道筋もほぼできている。
- マスク製作の難しさが浮き彫りになったことは大きな成果である。ある程度の欠陥修復技術の提示もなされ、将来性を判断できる段階になったといえよう。
- 検査技術、欠陥修正技術とも、概ね目標は達成している。検査装置の開発につながる新たな市場の開発が期待でき、また、検査技術開発の段階で得られたマスクブランク材料の品質についての知見は、マスクメーカーにとって非常に有意義なものとする。また、論文の発表は、適切に行われて

いるものと考える。

- EUV リソの大前提は、マスクの制作、マスクの欠陥検査、修正技術の確立である。このプロジェクトで、これが可能であることを実証したおかげで、EUV リソへの流れができた。また Selete において小型露光装置 (SFET) を早々と導入し、hp 22nm を実証した意味は大きい。
- テーマの各細目を含め目標値をクリアし、当初目標以上の成果が出ており目標を達成している。成果は市場の維持、拡大につながることを期待でき、成果のほとんどは、世界初あるいは世界最高水準である。成果は汎用性があり、特に欠陥検査装置および評価技術の開発成果は半導体産業の基盤技術として発展できるものである。投入された予算に見合った成果が得られていると思われる。成果のほとんどは、世界最先端の競合技術と比較して優位性があると思われる。
- 知的財産権等の取得に関しては、平成 20 年度～22 年度間に国内特許出願合計 46 件、外国出願 11 件を行うなど、国内外における取組が見られる。研究開発成果に基づく国際標準化に向けた取組が行われている。
- 論文の発表は、平成 20 年度～22 年度間に合計 12 件、また学会発表・講演（国内外含む）合計 173 件と、研究内容を踏まえ行われている。成果の受取手（活用・企業等）に対して、成果普及の見通しが具体的に見え評価できる。一般に向けての情報発信は、平成 20 年度～22 年度間に学会発表・講演 173 件、パンフレットの作成配布、公開成果報告会およびインターネット・ホームページ開設により行われている。
- 本テーマは次世代半導体産業技術として不可欠なものであり、民間自主開発事業で進められている研究開発課題と棲み分けられ見極めができていく。特に欠陥検査装置および評価技術の開発成果の実用化に向けての課題、その課題解決の方針は明確になっている。国際規格化等、標準整備に向けた成果が大いに期待される。
- NEDO 後継プロジェクト、NEDO 実用化助成、企業内研究等、プロジェクト終了後の事業化までの道筋が示されて、実用化シナリオが明確に示されている。市場の規模や成長性、コストダウン、競合技術との比較、導入普及、事業化までの期間、事業化とそれに伴う経済効果等の見通しは、研究開発期間当初より立てられて来ており、急速な経済情勢の変化及び政策・技術動向に対応できるよう努力されている。
- 本テーマの成果は世界最先端の研究成果であり、関連分野への波及効果（技術的・経済的・社会的）は大いに期待できるものである。日本の最先端半導体技術分野の研究開発や人材育成等を促進するなどの波及効果を大いに生じていると思われる。

- hp32nm から hp22nm をターゲットとしており、位相欠陥の検出の優位性等の個別の研究成果は独創的であって、世界的にも高く評価される。
- 低欠陥 EUVL マスクブランク技術、EUVL マスクパタン欠陥検査・修正技術、ペリクルレス EUVL マスクハンドリング技術のいずれも、目標を達成しており、優れた成果が得られている。それぞれのテーマで、装置を試作し検討・評価しており、装置の製品化に結びつけられる技術開発として、評価できる。
- EUV 技術におけるマスク技術の位置づけは重要であり、その中でも検査技術については、わが国の民間活動のみではカバーできないテーマであり、国際競争力を確保する上でも NEDO 事業として適切な位置づけにある。
- マスク検査機の高性能化については大きな寄与があった。また、他国よりリーディングしていることは特筆な点である。是非、実用化の路線で我が国産業界に貢献することを期待している。

〈問題点・改善すべき点〉

- マスク技術全体として、仕様を含めて国際規格への取り組みが不明である。また、検査技術開発の段階でわかったマスクブランクの材料へのフィードバックなど、マスク作製にかかわる業界に対して、本プロジェクトの成果の情報伝達が適切に行われているかが不安である。
- 論文の発表は、平成 20 年度～22 年度間に合計 12 件と少ない。また、一般に向けての情報発信の中でプレス発表が 0 件であり、情報発信のさらなる取り組み努力が必要である。
- hp16nm に向けた（世界共通の）技術課題に対しての本成果の適用可能性や検討が無い。
- マスクは、完成すれば即実用化に供する段階に入る。取り扱う最小サイズに比べれば極めて広大な面積に一つの欠陥があってはならない。完全性に対する要求は極めて厳しい。その意味で、一度は現実の集積回路パターンで検証してみるべきであったと考える。
- 今後は、デバイス事業者との共同開発も活発化すると思われ、技術移転を円滑に行ってもらいたい(いつ事業者の開発に移すか)。
- 続く新コンソーシアムで、我が国の誇れる技術の遺伝子を残され、実用化を必ずして頂きたい。

〈その他の意見〉

- ・ マスクはブランクスも含めた総合技術であり、我が国に競争力が残存する分野であるので、今後の NEDO を含めたサポートは必須であると思う。

- **MIRAI** の性格上、その成果を量産技術へ展開するには、実用化のための開発を担うべき枠組み作りが必要である。それを委託各社が受け持つにしても、**NEDO** の継続研究との効率的な連携が望まれる。
- 本技術開発テーマに限らないが、研究課題の目標達成を最優先することで、挑戦的な研究を避けている傾向が見られる。

2. 5 EUV 光源高信頼化技術開発

「研究開発成果」、「実用化、事業化の見通し」、「今後に対する提言」

EUV 光源は EUV 露光を実現する為の中核部品であり、その開発は重要である。LPP 光源、DPP 光源とも、ほぼ目標値を達成し、装置化レベルに達し、β 装置を開発したことは評価できる。EUV 光源が市場から渴望されているなかで、2 方式をあわせて開発した意義は、競争意欲を刺激し、リスクを分散させる意味で効果的に機能した。

本プロジェクト終了後も、LPP と DPP とともに参画企業により実用化を目指した自主開発が行われる予定であり、本プロジェクトの成果が有効に活用できる見通しである点も評価できる。特許登録など知財管理も十分なされている。

一方、重要度の高いテーマであるので、今後、目標達成に向けてどう継続させていくかが課題である。今回の成果を踏まえて、レジスト技術などを含めて、EUV 技術を総合的に取り組む必要があると考える。海外メーカーとの競合も予想され、一層の開発加速が必要である。

〈肯定的意見〉

- 極めて先端的な課題であり、大学レベルの研究とも言えるテーマを、実用化が見える段階まで技術開発したことは、高く評価できる。
- このテーマは EUVA プロジェクトの後継であり、光源からのデブリの除去を目標とし、光源の高出力化は民間企業の自主研究で行われた。今や EUV リソの最大の課題は光源の高出力化と長寿命・高信頼化である。このプロジェクトでは LPP では強磁場、DPP ではフォイルトラップを用いてデブリを除去する方法が開発された。光源の高出力化を含めて長足の進歩が得られた。
- 成果は各研究開発項目の目標値をクリアし、目標を達成している。今後の最終目標（自主継続事業）までの課題把握および課題解決の方針が具体的に示されている。EUV 光源開発成果は市場の維持、拡大につながることで期待できる。成果のほとんどは、世界初あるいは世界最高水準であり、新たな技術領域を開拓することが期待できる。成果は汎用性があり、世界最先端の競合技術と比較して優位性があり、半導体産業の基盤技術として発展できると期待できる。短期間で投入された予算に見合った以上の成果が得られていると思われる。
- 知的財産権等の取得に関しては、平成 20 年度～22 年度間に国内特許出願合計 79 件、外国出願 39 件を行うなど、国内外における取組が見られる。研究開発成果に基づく国際標準化に向けた取組が行われている。
- 論文の発表は、平成 20 年度～22 年度間に合計 4 件、また学会発表・講演

(国内外含む) 合計 70 件と、研究内容を踏まえほぼ行われている。成果の受取手(活用・企業等)に対して、成果普及の見通しが具体的に見え評価できる。一般に向けての情報発信は、平成 20 年度～22 年度間にプレス発表 1 件、学会発表・講演 70 件、パンフレットの作成配布、公開成果報告会およびインターネット・ホームページ開設により行われている。

- 本テーマは次世代半導体産業技術として不可欠なものであり、民間自主開発事業で進められている研究開発課題とも連携が見られる。開発成果の実用化に向けての課題、その課題解決の方針は明確になっている。国際規格化等、標準整備に向けた成果が大いに期待される。
- NEDO 後継プロジェクト、NEDO 実用化助成、企業内研究等、プロジェクト終了後の事業化までの道筋が示されて、実用化シナリオが明確に示されている。市場の規模や成長性、コストダウン、競合技術との比較、導入普及、事業化までの期間、事業化とそれに伴う経済効果等の見通しは、急速な経済情勢の変化及び政策・技術動向に対応できるよう努力されている。本テーマの成果は世界最先端の研究成果であり、関連分野への波及効果(技術的・経済的・社会的)は大いに期待できるものである。日本の最先端半導体技術分野の研究開発や人材育成等を促進するなどの波及効果を大いに生じていると思われる。
- EUV 技術における光源の高信頼化技術については、わが国の民間活動のみではカバーできないテーマであり、国際競争力を確保する上でも NEDO 事業として適切な位置づけにある。
- EUV 光源高信頼化に絞ったテーマ運営のマネジメントおよび研究成果は否がない。また光源メーカー間の連携もうまくマネジメントされた。
- LPP と DPP という二つの技術を並行して研究開発を進める戦略は、両者の競争意欲を刺激するうえで、効果的に機能していた。
- LPP 光源、DPP 光源とも、ほぼ目標値を達成し、装置化レベルに達し、 β 装置を開発したことは評価できる成果である。
- 二つの方式で競い合って開発を行ったことは正しい戦略あったと考える。EUV 露光方式のスループットは、アライナー、光源、マスク、レジストなどの総合性能で決まるから、光源だけに設定した目標の妥当性と達成度は実用化の段階にならなければ判断できないだろう。
- EUV 光源が市場から渴望されているなかで、2 方式をあわせて開発した意義は、リスクを分散させる意味では一定の理解ができる。また、実験用光源として利用できたことは、EUV リソグラフィ技術開発に一定の寄与したものと考える。
- EUV 光源は EUV 露光を実現する為の中核部品であり、その開発は重要。

EUV 露光は、2013 年実用化が期待されており、時間軸的にこの光源開発が間に合うのか？海外メーカーとの競合も予想され、一層の開発加速が必要。

- LPP においては、磁場によるイオンの除去技術、エッチングガスによるミラーのその場クリーニング技術など、DPP においてはダブルパルスレーザートリガー技術など、光源の信頼性を高める独自の技術開発が着実に進展している。
- 本プロジェクト終了後も、LPP と DPP とともに参画企業により実用化を目指した自主開発が行われる予定であり、本プロジェクトの成果が有効に活用できる見通しである点も評価できる。特許登録など知財管理も十分なされている。

〈問題点・改善すべき点〉

- 産業構造の変化に伴い、日本のデバイスメーカーが地盤沈下している現状において、EUV の光源の開発成果が、デバイスメーカーには日本では一部のメモリーメーカーのみにしか還元されない。また、そういう現状において、光源メーカー2社にとっては利益のあるプロジェクトであるが、日本産業全体への波及効果が限定されているのは残念である。
- 我が国、露光機メーカーへの成果還元が大きな課題であるが、光源産業から言えばグローバルマネジメントの観点からは大きな悲観する問題ではないと思われる。
- 最大・最速の努力がなされ、進歩は著しいが、依然として実用化の域に達しない。
- 露光メーカーが国内に存在しないことが研究開発での足かせになっているのでは。
- 初期設定目標値と実際に達成した値に少し差があり、達成数値上からは完全には目標を達成していないと見なされる。それらの値の差についての評価が必要と考える。例えば、実際に達成した値は実用化上問題無いレベルに達している（理由付けして）とかの評価が必要である。
- 上に述べたように、現実の集積回路パターンでの検証が一回でもなされていないかならなかつたと思う。あるいは、現在の技術レベルではどこまで行けるのかの明確な自己分析が必要だったと考える。
- 現時点では、当初目標には及んでいないと考えられるが、重要度の高いテーマであるので、今後、目標達成に向けてどう継続させていくかが課題である。国際標準化に向けた取組、連携が不明確である。今後、今回の成果を踏まえて、レジスト技術などを含めて、EUV 技術を総合的に取り組む

必要があると考える。

- 開発成果を生かすのに、現在有しているビジネスモデルでいいのか、再考する余地はないのかをもう少し詰めるべきである。
- 知的財産権等の取得に関して、論文の発表は、平成 20 年度～22 年度間に合計 4 件、一般に向けての情報発信としてのプレス発表 1 件は少ない、事業戦略、または実用化計画に沿って国内外に適切に発信されることが望まれる。
- 光源を採用するのは露光機メーカー。それが国内メーカーでなくなる可能性が高く、露光システムとして国産技術の波及効果が望めない。

〈その他の意見〉

- ・ 1 社寡占状態を打破することが世界的にも望まれており、国内の企業立ち上げに向けた国としての支援策が必要かも知れない。
- ・ 目標値の設定が、周辺からの要因に基づくものであると察し、目標設定の技術的根拠・見通しについて再考が必要と感じる。特に、レジスト技術などの周辺状況や、装置開発状況などに対応した目標設定・修正あるいは、それらの技術への提言が必要であった。
- ・ EUV 光源の開発には、さらなる開発投資とやや時間が必要と思う。これが民間企業だけで可能か分からない。半導体産業の戦略からして、更なる国のサポートが必要かも知れない。
- ・ 2 方式が共存できる見通しのもとに開発が推進されてきたわけであるが、それぞれの方式がどのように棲み分けられるのかが、まだ判然としない。いずれ 1 方式だけが生き残るのかどうかを、継続的に注視する必要がある。
- ・ EUV 光源の開発は、本プロジェクトも含めほぼ 10 年にわたり国からの支援を受けており、是非とも量産機としての実用化を期待する。
- ・ 自主研究であったが光源高出力化については、まだ実用化の目処が立っていないと言う点では残念な結果である。今後も地道な研究開発による実用化を強く望んでいる。

3. 第 I~III 期を通じた MIRAI プロジェクト全体に対する提言

- MIRAI プロジェクトは 2001 年より 10 年間、我が国の半導体産業の戦略に基づき推進された。この間、NEDO の他のプロジェクト、民間の自主研究、文科省リーディングプロジェクトなどと連携しつつ展開された。一方でデザインルールに従った微細化に拘束されつつ、SoC 設計・製造技術、実装技術、高高率省エネ技術などの開発が行われた。この間社会状況や技術動向の変化に応じ、テーマは適切に見直され、第 3 期に至った。得られた成果は十分なものであったが、社会環境の変化が急激過ぎて、必ずしも当初の目標通りにいかなかった面もある。特にデバイス製造の外部委託化は、NEDO のプロジェクトの性格に影響を与えるものであった。
- 10 年前のテーマ設定 (high-k ゲート絶縁膜、low-k 層間膜等) は、当時としては、近い将来に実用化が見込まれるテーマであり、日本の半導体産業の競争力強化として、妥当だったと考えられる。しかし、実際に成果を取り込んだ企業が、参加企業 8 社中、high-k 膜が 1 企業、low-k 膜が 1 企業のみと伺い、その後の急激なビジネス環境の変化があらためて思いやられる。本プロジェクトの成果は、日本の基盤技術や学術的記録として残り、またこの分野の研究者や技術者の育成には、大いに貢献したと思われる。しかし、半導体産業を取り巻く環境変化もあり、折角の良い成果が、日本の半導体産業の競争力強化にあまり役に立たなかったのが実情と思われ残念である。将来のプロジェクトのテーマの設定については、将来必要となる技術開発テーマと、各社で現在困っているが、リソースや解決技術が見つからない等の理由で手つかずになっている現状で技術開発の必要なテーマの 2 段階のテーマ設定が必要と思われる。
- 個々の成果そのものは、目標値を概ねクリアして、一部の成果は新たな市場の創生に確実に寄与するものと考ええる。科学的に裏付けられた成果は、集積化技術の多方面での極限的な部分について、産業的に有意義なものと考ええる。とりわけ、デバイスばらつきの評価・解析技術や、ナノデバイスの物性測定技術については、産業的に意義あるものが得られたと考える。これらについては、その成果を一般に広く浸透させ、利用をはかるために、新たなしくみを構築する必要があるものと考ええる。一方で、本プロジェクトのテーマとその目標設定が、他省庁や民間、国際コンソーシアムとの関連性や情勢の変化のなかで、結果的に業界全体の情勢を十分に反映できていない心配がある。このため、全体としてパッチワーク的なテーマ・目標の割り振りではなく、重点分野については、他プロジェクトとの競合と競争を含めたテーマ・目標設定を探ることも、より多角的な意義ある成果の

創出につながるものとする。優れた成果については、一般企業への普及や国際標準化のため、例えば成果の機密保持期間の短縮や、特許の公開措置などの大胆な措置を行ったうえで、特定テーマのコンソーシアムやプロジェクトを構築することが、これらの成果をより有効にタイムリーに生かすための施策のひとつと考える。これにより、当該分野でわが国のリーダーシップを確立する機会となることを期待する。

- ・ 半導体関連分野は技術の進展が早く技術開発の競争も激しい分野であり、10年にわたる長期計画を戦略的に立てるのは大変難しいと思う。そのため、適宜計画の見直しも行われたようで、そのことは評価できる。一方、個々のプロジェクトについては、目標とする実用化時期や見通しに少しバラツキが見られる。実用化時期の目標や見通しが明確でないものは、必然的に新しい知見自体を出口とする研究になりがちで、他の枠組みで行われる基礎研究を重視したプロジェクトに対して NEDO プロジェクトの特徴が乏しくなる。課題選定の際には、この点も十分考慮する必要がある。
- ・ 半導体産業はわが国の基幹産業として重要な位置を占めてきた。しかし、微細化の進展に伴い、先端技術の開発には多大な費用が必要となり、民間だけではまかないきれない額となってきた。MIRAI プロジェクトは、NEDO が主導する国家プロジェクトとして上記の費用面でのバックアップだけでなく、産官学の英知を結集したプロジェクトとして始動し、数々の世界初、世界最高レベルの成果を創出してきた意義は大きい。10年前に計画化されたプロジェクトが、途中で何回かの計画の修正、見直しを通して各世代の開発に合致した研究開発を行い、成果を出してきた。しかしながら、元々の目標ではあると思うが、予算規模として LSI の実用化への見通しを得るまでの研究開発を遂行するレベルには無く、基盤技術開発遂行レベルとなっている。特に、III 期においての 32nm 以細、または 32nm を超えたという世代での開発では、Selete での実用化開発を行うことができず、実用化の見通しを得られないテーマも存在するのは非常に残念なことである。また、日本における半導体産業構造の激変の結果、本プロジェクトの成果の実用化の受け皿が消失しつつあり、今後の日本の半導体産業の将来がどうなるかについて、決して楽観的な予想をすることはできない。ただ、半導体産業はわが国の基幹産業の一つであることは今後もゆるぎない事実であり、Fabless、先端を行わない Fab light の構成企業だけでは、製造コストを他国企業に依存することとなり、弱体化していくことは否めない。今後の国家プロジェクトとして、日本デバイスメーカーだけでなく、広く世界から参加企業を集め、基盤技術だけでなく、インテグレーションも含めた技術開発プロジェクトが必要であり、そういう活動

によりそれが可能となる予算も集めることができる。得られた成果を日本半導体メーカーに反映できる。日本半導体産業の再興を目指した国家プロジェクトの企画が望まれる。

- 10年前に設定した目標としては非常に高いレベルであり、それを10年に渡り追い求めた熱意に敬服する。個々の結果は、世界的に見ても十分に高いレベルと評価できる。しかし、この10年間でわが国の半導体産業の状況は大きく変わった。また、必要とされる技術も変わった。その現実を直視して、目標設定の見直し、研究テーマの取捨選択が常に必要であった。基礎研究の性格上、早急な結果を求める必要はないが、目標設定は毎年検討して見直しをかけるべきであった。
- 一方、参加企業が減る中、評価や審査する側が、大学や研究機関に比重が置かれたことは、少なからず問題と思う。産学協働が叫ばれて久しいが、大学と企業では、スピード感(時間軸)、価値観(実用化)が違うのは当然である。それを同次元で考えない方が、プロジェクトとしては、より鮮明な目標設定になり早い動きになったと思う。
- 多くの企業が脱落して行ったこの10年であるが、逆に多くの企業が参画していったIMECと増えなかったMIRAI。この違いがどこからくるのか、考える必要があると思われる。成果の公開性なのか、開発テーマなのか、研究のやり易さなのか。単に参加企業間の意見調整だけでなく、開発マネジメント層が高所見地から参加企業を技術的にリードするぐらいの力量と権限を持つことが重要と思う。勿論、驕りや強権は困るが、強いリーダーシップが作れるかが、今後、この種の研究組織をやる場合に最も必要なことだと、僭越ながら思う。
- あと、折角開発した技術をどう利用、普及させていくか、半導体事業者が減る中で考える必要がある。死蔵させるより活用をお願いしたい。
- テーマ設定と目標ターゲットはもっとショートサイクルで機動的に見直せる、内部管理のNEDOから実施者へのエンパワーメントと外部による多サイクルの中間評価設定が、特にNEDO側に必要と思われる。但し、MIRAIプロジェクトに代表されるようにテーマは長期ビジョンに基づいて、設定、運営されることは否定しない。今後、この成果がどこに結実していくと言う面では、我が国産業界の実態から言って、厳しい面があるだろうが、他エレクトロニクス産業への波及効果、人材育成など多方面への今後の動向に着目したい。最期に実施者のマネジメント層及び研究者、NEDOへの奮闘、努力に敬意を表す。
- 最期に、他国とのコンソーシアムとの違いが良く議論されているが所謂ローパーの自主性の差が原因と思われる、我が国で言えば、旧国研の立場が

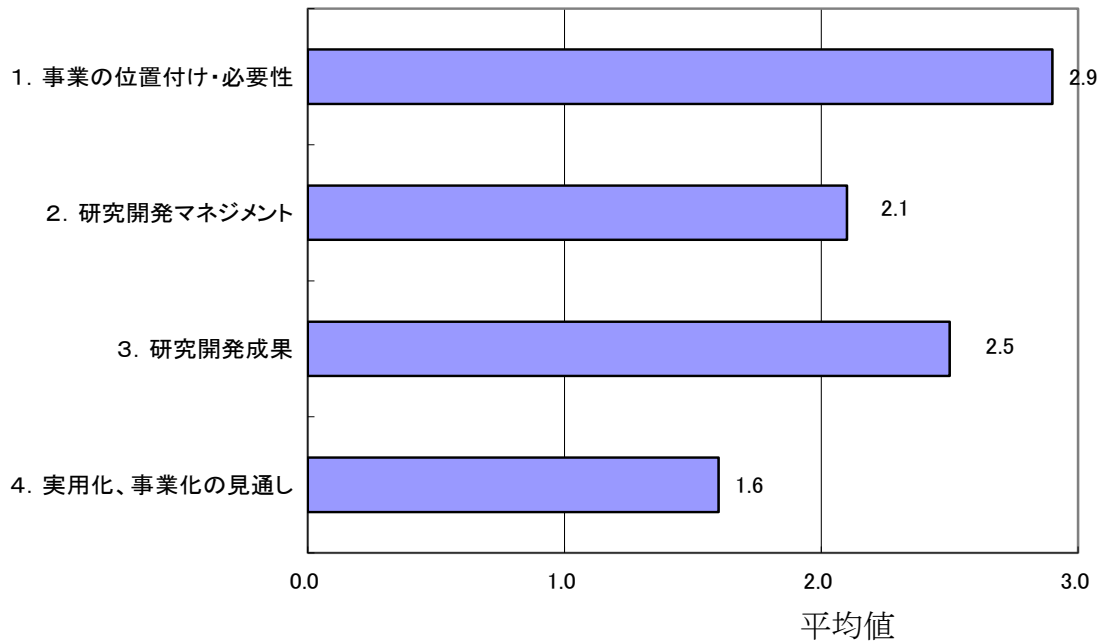
今一度不明確で責任の所在が見ないため、基礎研究への貢献なのか、産業界への貢献なのか本来のポテンシャルが発揮されていないと思う。我が国の行政として、この MIRAI プロジェクト運営の反省を踏まえ、旧国研の成果最大化を是非検討頂きたい。

- 研究開発テーマの設定では、国際的な視点のもと、学術的にも正確な状況把握が必要である。欧米追従の研究開発テーマを選ぶのはプロジェクトとして安全であるが、国の支援としては、挑戦的なものを研究開発テーマの一部に常に含める冒険も必要と思う。その意味からも、Ⅲ期のテーマ設定（新構造極限 CMOS や特性ばらつき）は野心的で高く評価できる。実際、個別の研究成果としてはⅠ・Ⅱ期のプロジェクトの方が世界的に高く評価される結果を残しているが、その後の日本の半導体研究開発力の弱体化を見ても、消極的研究開発テーマだけのプロジェクトの意義を再考する余地があると思う。
- 個別の研究成果では世界トップレベルのものも多数含まれ、本プロジェクトは、研究開発力の維持や若手研究者の育成という観点からは有意義であったと思う。しかしながら、一部の研究テーマについては、テーマ設定のための調査委員や研究成果を評価する評価委員の選任、研究テーマや研究目標の妥当性、研究リーダーや研究実施者の選任、において疑問がある。特に、挑戦的で野心的な研究開発テーマでは、研究動向や学術（物理）的内容を十分に熟知かつ理解していることが必要不可欠である。そのためには、海外で高く評価されている専門家や海外の研究リーダーの意見を積極的に取り入れる（公正さを保つ）仕組みが必要であろう。
- この10年間に MIRAI プロジェクトでは様々な挑戦的な試みがなされてきた。ターゲットの多くは10年先を見据えていたと考えられるので、極めて挑戦的な課題も多かった。従って、必ずしも現段階で成功とはいえない技術開発もあるが、リスクを見込んだターゲットであるからやむを得ないだろう。失敗の知見もまた無駄な開発の回避という点で、後進には成功談と同じ程度に役立つものである。ほとんどが成功するターゲットならもはやそれは後追い研究のはずである。プロジェクトの研究開発の中で芽の出た優れた成果は、第二段階として実用化に向け改良しなければならない。必要なリソースは第一段階の数倍以上になるだろう。残念なことにも出口となる日本の企業は極めて限られてきた。ここでさらに10年先を見据えた研究開発体制の構築が必要である。ただ闇雲に全ての分野に注力するのではなく、国際分業も必要なのではないだろうか。ファブレス化が一層進む中で、ファウンドリーに製造をまかせる製品、自社のシステムの優位性を保つために、自社で閉じて開発する製品の仕分けが不可欠である。

- ・ 半導体産業は日本産業の基幹を成しており、これからもそれは変わることはない。特に日本製品の競争力となる付加価値を創生するためのツールとして半導体技術は常に先端でいなければならない。グローバル経済において、現在および近未来に激しい競争の場となる IT およびエネルギー分野で世界に先行するためには半導体技術で裏打ちされた技術イノベーションが不可欠となる。ナンバーワンであり続けなければ科学技術立国・日本の明るい将来はないと言っても過言ではない。プロジェクトの成果は広く日本製品の競争力維持・向上のために活用するものであり、公共性の高いプロジェクトとし今後も強力に当該関連プロジェクト事業を継続して推進する必要がある。
- ・ 本プロジェクトに従事した多くの研究員・技術スタッフはこの研究開発業務を通し最先端技術の修得や新しい知見の蓄積を行ってきた。正に「技術は人なり」である。プロジェクト期間終了後、携わった研究員・技術スタッフが引き続き派遣元で中心的に活躍できるよう、プロジェクト推進組織と企業・産業界が成果の受け渡しに関し、効率的に連携できる人材育成プログラムが組み込まれるような制度設計上の工夫が望まれる。
- ・ プロジェクト発足当初想定した研究開発課題の成果活用・移転、実用化シナリオが、その成果の受取手となるプロジェクト参加企業の経営戦略がプロジェクト期間途中で大きく変わる問題がある。グローバル経済の変化、世界産業動向の変化にともなう企業のビジネスモデルの変化に研究開発課題およびその目標が整合できるように、事業の機能設計がなされることを期待する。
- ・ **MIRAI** プロジェクトの立案は、当時の半導体産業界の情勢からみて、極めて時宜を得たものであったと言える。しかしながら、プロジェクトの遂行期間中に、産業界の姿は大きく変貌し、当初考えられていた技術移転が思うにまかせなくなってしまうことは、**MIRAI** プロジェクトにとっては不運であった。折角の成果を死蔵することなく、また投資した資金を回収するためにも、開発された技術のパッケージングを商品化するなどの、工夫が必要ではないか。これは、担当した技術者の仕事ではなく、**NEDO**を含め、マネジメントサイドの仕事であるので、**MIRAI** プロジェクトの参画者がバラバラになってしまう前に、是非とも何らかの手を打っていただきたい。

4. 評点結果

4. 1 プロジェクト全体（第Ⅲ期）



評価項目	平均値	素点 (注)										
		A	A	A	A	A	A	B	A	A	A	
1. 事業の位置付け・必要性について	2.9	A	A	A	A	A	A	B	A	A	A	A
2. 研究開発マネジメントについて	2.1	A	C	B	A	B	B	C	B	B	B	A
3. 研究開発成果について	2.5	B	B	B	A	B	A	B	A	A	A	A
4. 実用化、事業化の見通しについて	1.6	B	B	B	B	C	B	C	C	C	B	B

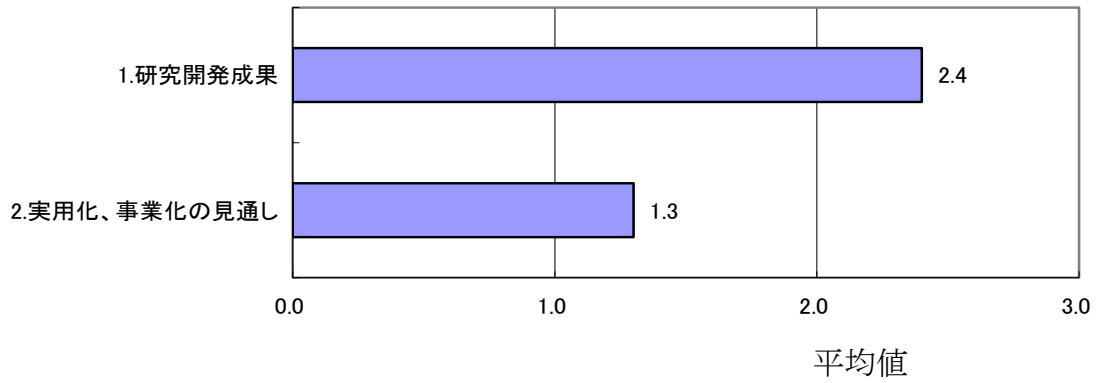
(注) A=3, B=2, C=1, D=0 として事務局が数値に換算し、平均値を算出。

〈判定基準〉

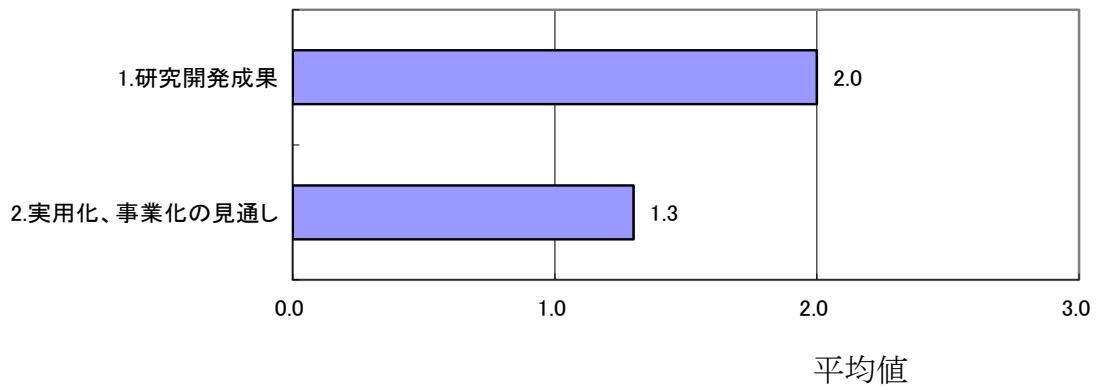
1. 事業の位置付け・必要性について	3. 研究開発成果について
・非常に重要 →A	・非常によい →A
・重要 →B	・よい →B
・概ね妥当 →C	・概ね妥当 →C
・妥当性がない、又は失われた →D	・妥当とはいえない →D
2. 研究開発マネジメントについて	4. 実用化、事業化の見通しについて
・非常によい →A	・明確 →A
・よい →B	・妥当 →B
・概ね適切 →C	・概ね妥当であるが、課題あり →C
・適切とはいえない →D	・見通しが不明 →D

4. 2 個別テーマ

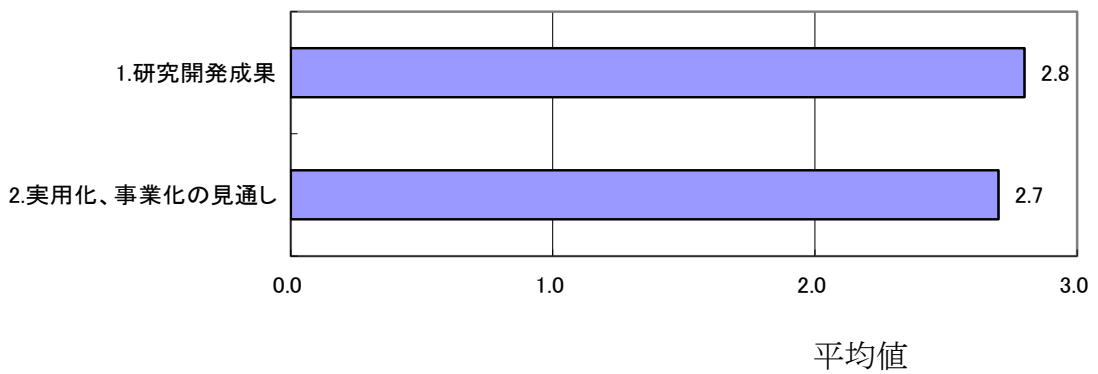
4. 2. 1 新構造極限 CMOS トランジスタ関連技術開発



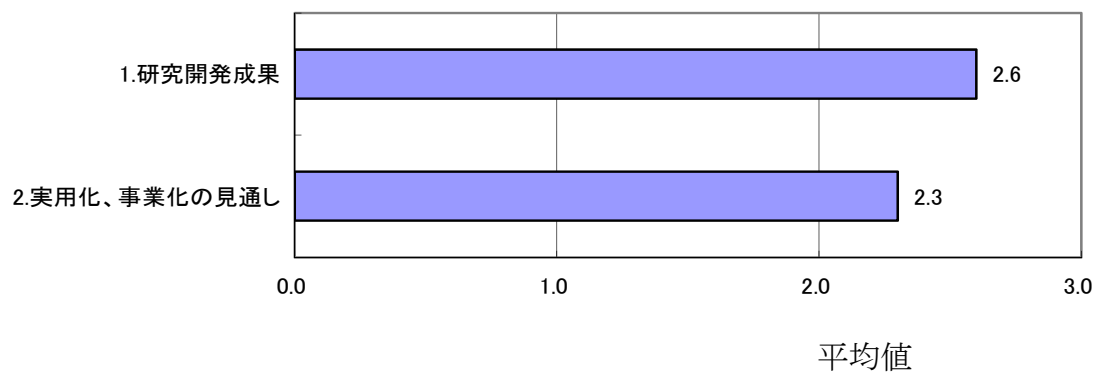
4. 2. 2 新探究配線技術開発



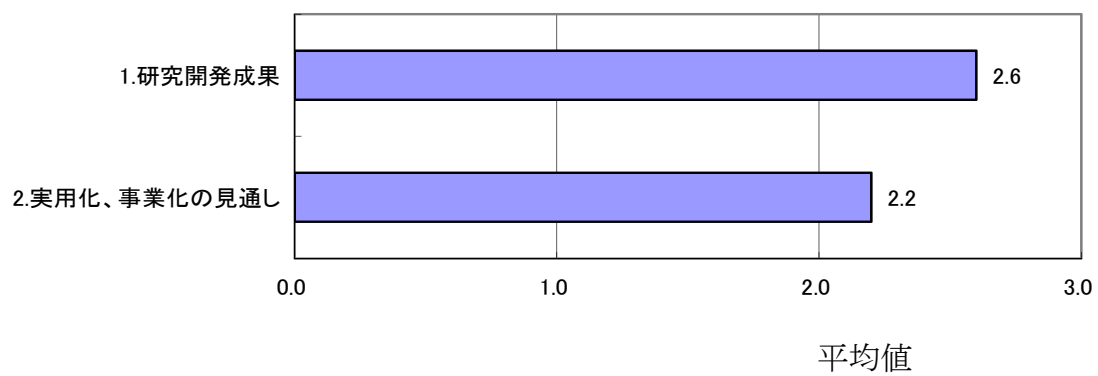
4. 2. 3 特性ばらつきに対し耐性の高いデバイス・プロセス技術開発



4. 2. 4 次世代マスク基盤技術開発



4. 2. 5 EUV 光源高信頼化技術開発



個別テーマ名と評価項目	平均値	素点 (注)										
3. 2. 1 新構造極限 CMOS トランジスタ関連技術開発												
1. 研究開発成果について	2.4	B	A	A	B	B	A	B	A	A	-	C
2. 実用化、事業化の見通しについて	1.3	C	C	B	B	D	B	B	C	C	-	C
3. 2. 2 新探究配線技術開発												
1. 研究開発成果について	2.0	B	B	B	B	B	B	B	A	B	-	C
2. 実用化、事業化の見通しについて	1.3	C	C	B	B	C	B	C	B	C	-	D
3. 2. 3 特性ばらつきに対し耐性の高いデバイス・プロセス技術開発												
1. 研究開発成果について	2.8	A	A	C	A	A	A	A	A	A	-	A
2. 実用化、事業化の見通しについて	2.7	A	A	C	A	A	A	B	A	A	-	A
3. 2. 4 次世代マスク基盤技術開発												
1. 研究開発成果について	2.6	B	A	A	A	B	A	A	A	B	A	B
2. 実用化、事業化の見通しについて	2.3	B	A	B	A	B	A	B	B	C	B	A
3. 2. 5 EUV 光源高信頼化技術開発												
1. 研究開発成果について	2.6	B	A	A	A	B	A	A	A	B	A	B
2. 実用化、事業化の見通しについて	2.2	B	A	B	A	C	A	B	B	B	B	B

(注) A=3, B=2, C=1, D=0 として事務局が数値に換算し、平均値を算出。

〈判定基準〉

1. 研究開発成果について

- ・非常によい
- ・よい
- ・概ね適切
- ・適切とはいえない

2. 実用化、事業化の見通しについて

- | | | |
|----|----------------|----|
| →A | ・明確 | →A |
| →B | ・妥当 | →B |
| →C | ・概ね妥当であるが、課題あり | →C |
| →D | ・見通しが不明 | →D |

第2章 評価対象プロジェクト

1. 事業原簿

次ページより、当該事業の事業原簿を示す。

次世代半導体材料・プロセス基盤（MIRAI）プロジェクト
事業原簿

【公開版】

作成者	独立行政法人 新エネルギー・産業技術総合開発機構 電子・材料・ナノテクノロジー部
-----	---

概要 プロジェクト用語集	概要-1
I. 事業の位置づけ・必要性について	I-1
1 NEDO の関与の必要性・制度への適合性	I-1
1.1 NEDO が関与することの意義	I-1
1.2 実施の効果(費用対効果)	I-2
2 事業の背景・目的・位置付け	I-3
2.1 背景および目的	I-3
2.2 第三期の事業の位置付け	I-6
2.3 国外の開発動向	I-9
II. 研究開発マネジメントについて	II-1
1 事業の目標	II-1
2 事業の計画内容	II-2
2.1 第三期の研究開発の内容	II-2
2.2 研究開発の実施体制、予算	II-5
2.3 研究開発の運営管理	II-9
2.4 研究開発成果の実用化、事業化に向けたマネジメントの妥当性	II-13
3 情勢変化への対応	II-14
3.1 基本計画変更	II-15
3.2 研究加速資金	II-16
3.3 先導研究	II-19
4 中間評価結果への対応	II-21
5 評価に関する事項	II-23
III. 研究開発成果について	III-1
1 事業全体の成果	
2 研究開発項目毎の成果	
IV. 実用化・事業化の見通しについて	IV-1

(添付資料)

- 特許論文リスト
 - イノベーションプログラム基本計画
「IT イノベーションプログラム」
「エネルギーイノベーションプログラム」
 - プロジェクト基本計画
 - 技術戦略マップ
- プログラム-1
基本計画-1

概要

		作成日	平成 23 年 4 月 14 日
施策(プログラム)名	ITイノベーションプログラム、エネルギーイノベーションプログラム		
事業(プロジェクト)名	次世代半導体材料・プロセス基盤(MIRAI)プロジェクト	プロジェクト番号	P01014
事業担当推進 部室・担当者	電子・材料・ナノテクノロジー部 小野英輝、河本滋		
0.事業の概要	<p>平成 18 年度から開始された第三期は、平成 19 年度の中間評価および国内外の情勢を鑑み、研究開発項目と目標の見直しを行い「Ⅰ. 次世代半導体材料・プロセス基盤技術開発」において、hp45nm を超える技術領域の課題を解決する革新技術としての①新構造極限 CMOS トランジスタ技術、②新探究配線技術、③特性ばらつきに対し耐性の高いデバイス・プロセス技術を、産業界における実用化に向けた展開につなげることを目指して研究開発を実施する。</p> <p>また、「Ⅱ. 次世代半導体露光プロセス基盤技術開発」において、④EUV マスク基盤技術および新たに追加した⑤EUV 光源高信頼化技術を開発し、EUV マスク基盤技術については平成 20 年度に hp45nm、平成 22 年度に hp32nm に対応する技術を確立し、平成 20 年度より開始する EUV 光源高信頼化技術については平成 22 年度に hp32nm に対応する技術を確立する。</p>		
Ⅰ. 事業の位置付け・必要性について	<p>情報技術がめざましく発展している今日の社会では、情報・知識を、時間や場所の制約を受けず誰もが自由自在かつ安全に活用できる情報通信環境の実現が望まれている。また、平成 19 年 6 月に改定された経済成長戦略大綱において、我が国の国際競争力強化のために注力すべき分野として、情報家電、ロボットなどが挙げられている。このような応用システムの基幹となる半導体 LSI には、一層の高機能化、低消費電力化が求められている。本プロジェクトは、我が国の半導体関連産業(デバイス、装置及び材料)の国際競争力強化のため、高機能 LSI の実現に不可欠な半導体構造の微細化に対応できる半導体デバイス・プロセス基盤技術を平成 22 年度までに確立することを目的として高度情報通信機器・デバイス基盤プログラムの一環として実施する。</p> <p>本プロジェクトでは、平成 13 年度から平成 17 年度までに、hp65nm～hp45nm のデバイスに必要な高誘電率ゲート絶縁膜材料・計測・解析技術、及び低誘電率層間絶縁膜材料・計測・解析技術を中心として、将来のデバイス・プロセス技術に必要なトランジスタ形成に必要な技術、ウェハ・マスク関連計測技術、及びデバイス回路構成技術等の開発を行ってきた。その成果の内、実用化開発に移行できるものは、平成 17 年度末に関連コンソーシアムを含めた産業界に移転され、実用化に向けた開発が展開される。</p> <p>平成 18 年度からは、半導体の微細化に関しては、hp45nm を超えるデバイス実現に必要な革新的基盤技術を、産業界において自ら実用化に向けた展開を図る際の判断ができる水準まで技術開発を行い、技術選択肢として提示することを目的とする。具体的には新構造極限 CMOS トランジスタ関連技術、新探究配線技術、特性ばらつきに対し耐性の高いデバイス・プロセス技術、及び EUV マスク基盤技術の開発を行う。</p> <p>平成 20 年度からは、新構造極限 CMOS トランジスタ技術、新探究配線技術、特性ばらつきに対し耐性の高いデバイス・プロセス技術において、hp45nm を超える技術領域の課題を解決する革新技術を産業界における実用化に向けた展開につなげることを目指して研究</p>		

	<p>開発を実施する。また、EUV マスク基盤技術については平成 20 年度に hp45nm、平成 22 年度に hp32nm に対応する技術を確立し、平成 20 年度より開始する EUV 光源高信頼化技術については平成 22 年度に半導体デバイスの量産に適用できる EUV 光源の高信頼化技術を確立する。</p> <p>本技術の確立により、情報通信機器、情報家電、ロボットなどの高機能化、低消費電力化の要求を満たすシステムLSI実現など、将来幅広い産業分野で利用される共通基盤技術の形成が見込まれる。これにより、電子情報通信分野での新規産業創出に資するのみならず、広範な分野で利用される共通基盤技術の形成に資する。</p>
<p>II. 研究開発 マネジメントに ついて 【事業の目標】</p>	<p>第三期の研究開発は、NEDO が研究開発内容を大幅に見直し、公募を行い、民間企業、独立行政法人、大学等から委託先を選定した。実施体制は、第二期と同様、フォーカス 21 委託事業の「応募資格」を踏まえたものとした。また、本プロジェクトは、第二次半導体新世紀委員会の「つくば半導体 R&D センター構想」と密接な連携をし、産業界の実用化に向けた取り組みと一体的にマネジメントできるように、NEDO がプロジェクトリーダー (PL: 株式会社半導体先端テクノロジーズ社長 渡辺久恒) を指名した。実施組織として、技術研究組合超先端電子技術開発機構と独立行政法人産業技術総合研究所から成る共同研究体、及び(株)半導体先端テクノロジーズを委託先として研究開発を実施した。各開発技術に対する具体的な目標は以下の通りであり、①-③の技術開発では、平成 20 年度以降の研究開発計画は平成 19 年度末の中間評価を受けて設定することとした。平成 18~19 年度の研究開発項目は次の通りである。</p> <p>① 新構造極限 CMOSトランジスタ関連技術開発 ② 新探究配線技術開発 ③ 特性ばらつきに対し耐性の高いデバイス・プロセス技術開発 ④ 次世代マスク基盤技術開発</p> <p>平成 20 年度の基本計画の見直しにより、以下の研究開発項目と目標を定め、公募により実施者を決定した。実施組織として、下記技術開発項目①を(独)産業技術総合研究所と(株)東芝が、②③④を(株)半導体先端テクノロジーズが、また⑤を技術研究組合極端紫外線露光システム技術開発機構(EUVA)が実施する。</p> <p>I. 次世代半導体材料・プロセス基盤技術開発</p> <p>hp45nm を超える技術領域の課題を解決する革新技術としての新構造極限 CMOSトランジスタ技術、新探究配線技術、特性ばらつきに対し耐性の高いデバイス・プロセス技術を、産業界における実用化に向けた展開につなげることを目指して開発する。</p> <p>① 新構造極限 CMOSトランジスタ関連技術開発</p> <p>hp32nm を越える技術世代に対応するバリスティックCMOS技術の開発を行う。チャンネル領域で準バリスティックなキャリア輸送が起こるシリコン MOS トランジスタの微細化において、デバイスの性能を最大限に発揮させるための原理とその実現に必要な材料・構造を明らかにし、低消費電力・高信頼性を実現するための技術を確立する。</p> <p>② 新探究配線技術開発</p> <p>銅と Low-k 材料を用いた多層配線構造において hp32nm 以細の微細化に伴って抵抗が上昇し、信頼性が低下する等の課題を解決するため、カーボン材料を用いた低い抵抗値と高い許容電流密度を持つ配線構造技術を確立する。また、高速・低消費電力でデータ信号伝達を実現する新しいグローバル配線として 10GHz以上の波長多重によるオンチップ光</p>

【開発予算】	(単位:百万円)		H13	H14	H15	H16	H17	
	一般会計	(実績)	1,838	4,931	4,317	2,842	2,636	
	特会(石油)	(実績)	1,604	2,092	0	1,472	1,699	
	総予算額	(実績)	3,442	7,023	4,317	4,314	4,335	
	(単位:百万円)		H18	H19	H20	H21	H22	総額
	一般会計	(実績)	2,987	2,147	2,369	962	665	25,694
	特会(石油)	(実績)	3,344	2,888	2,384	3,378	1,960	20,821
	総予算額	(実績)	6,331	5,035	4,753	4,340	2,625	46,515
【開発体制】	経済省担当原課		商務情報政策局 情報通信機器課					
	運営機関		新エネルギー・産業技術総合開発機構					
	プロジェクトリーダー		株式会社 半導体先端テクノロジーズ社長 渡辺久恒					
	委託先		独立行政法人 産業技術総合研究所(AIST) 株式会社 東芝 株式会社 半導体先端テクノロジーズ(Selete) 技術研究組合 極端紫外線露光システム技術開発機構(EUVA)					
	共同実施・再委託先		シャープ(株)、神戸大学、早稲田大学、産業技術総合研究所、日本電信電話(株)、東京大学、広島市立大学、広島大学、東北大学、兵庫県立大学、九州工業大学、イリノイ大					
【情勢変化への対応】	<p>平成 17 年、経済産業省と NEDO 技術開発機構が『hp45nm 技術の研究開発については、原則的に MIRAI プロジェクト第二期で開発を終了し、産業界に技術移転する。MIRAI プロジェクト第三期ではその先の hp32-hp22nm 技術領域の基盤技術を確認する。』という方針をまとめた。これを受け、平成 17 年度までに開発した技術に関しては Selete 及びプロジェクト参加企業他に移転し、或いは、実用化のため、NEDO 継続研究開発をスタートさせ、第二期は平成 18 年 3 月で終了した。NEDO 技術開発機構は MIRAI 第三期(平成 18-22 年度)に対して、基本計画を策定し、新規に公募を実施した。公募の結果、第三期の研究開発は、① 新構造極限 CMOS トランジスタ関連技術開発、に関しては産総研・ASET からなる共同研究体に委託し、② 新探究配線技術開発、③ 特性ばらつきに対し耐性の高いデバイス・プロセス技術開発、及び④次世代マスク基盤技術開発に関しては株式会社半導体先端テクノロジーズに委託することを NEDO 技術開発機構が決定した。</p> <p>平成 19 年度の中間評価および国内外の情勢を鑑み、研究開発項目の見直しを行い「Ⅰ. 次世代半導体材料・プロセス基盤技術開発」において、hp45nm を超える技術領域の課題を解決する革新技術としての①新構造極限 CMOS トランジスタ技術、②新探究配線技術、③特性ばらつきに対し耐性の高いデバイス・プロセス技術を、産業界における実用化に向けた展開につなげることを目指して研究開発項目と具体的な目標を見直した。また、「Ⅱ. 次世代半導体露光プロセス基盤技術開発」において、新たに「⑤EUV 光源高信頼化技術」を研究開発項目に追加した。これらの基本計画の見直しに合わせて公募を行い実施者を決定した。公募の結果、①は産総研、東芝に委託し、②③は Selete に委託し、⑤は EUVA に委託することを決定した。</p>							
Ⅲ. 研究開発成果について	<p>① 新構造極限 CMOS トランジスタ関連技術開発 ・高移動度 SiGe、Ge チャネル CMOS のソース・ドレインの最適な材料として、NiSiGe 及び NiGe を新たに提案した。NiSiGe 及び NiGe ショットキー界面に適切な不純物材料を見出し、これを制御して、実効キャリア速度の向上に不可欠な低抵抗オーミック形成に成功する</p>							

とともに、 $L_g=26\text{nm}$ でのデバイス動作で、提案ソース・ドレイン材料の有効性を実証した。

- Ge チャンネルへ効果的な歪み技術を提案し、正孔移動度の向上を実証するとともに、Ge 上の SrGe 界面処理による正孔移動度特性の向上を実現した。Si チャンネルについても、表面・界面ラフネス改善とエピタキシャル high-k による移動度向上、ソース・ドレインとの界面付近の不純物分布を制御して 0.1eV 以下のショットキーバリアを達成するなど、シヨバリスティック効率の改善に関わる設計指針の提案と実証を行った。
- SiGe 及び Si チャンネルについて、 $hp32\text{nm}$ 相当の微細ゲート長トランジスタの試作をした。 1.15 倍以上の電流駆動力の向上と 20% 以下の消費電力の削減効果が実証された。
- 微細デバイスの電気特性評価法を開発し、バリスティック輸送効率など求めるとともに、走査トンネル顕微鏡 (STM) によるポテンシャルプロファイル計測技術、ラマンを用いた局所応力分析を開発し、バリスティック効率の向上メカニズムを解明できる評価・解析法を確立した。また、量子補正モンテカルロ・デバイスシミュレータを用いた、準バリスティック輸送のモデル化技術を確立した。

② 新探究配線技術開発

(1) 極限低抵抗・高電流密度配線技術の開発

- 4 段階プラズマ処理という新プロセスを導入し、プラズマ CVD で CNT 密度 $2 \times 10^{12}/\text{cm}^2$ の高密度を達成 (目標値は $3 \times 10^{12}/\text{cm}^2$)。CNT 層数は約 5 層より、 1×10^{13} シェル/ cm^2 を達成 (世界トップ)。ビア構造では、ビア底の下地金属膜と表面処理の最適化や新しい二元系微粒子触媒の適用により、熱 CVD の高品質かつ高密度 ($1 \times 10^{12}/\text{cm}^2$) CNT の成長に成功。
- プラズマ CVD 成長速度 (密度 $1 \times 10^{12}/\text{cm}^2$) で毎分 70nm を達成 (目標である成長プロセス 5 分以内を達成)。密度 $2 \times 10^{12}/\text{cm}^2$ では毎分 30nm の高速成長達成。
- 従来の Si LSI プロセスと整合する CNT ビアのためのシングルダマシンプロセスを開発。さらに 300mm ウェハで実績のあるプラズマ CVD を適用し、直径 70nm の微細 CNT ビアアレーの作製に成功。CNT ビアの電気特性は、直径 70nm ビアで抵抗 $51\ \Omega$ 、直径 160nm ビアで抵抗 $10\ \Omega$ を得た (この値はプロジェクト開始時の $1/56$ であり、直径 50nm 、高さ 200nm のビア換算で約 $76\ \Omega$ となり、目標値 $14\ \Omega$ と同桁を達成)。電流密度耐性では、熱 CVD 成長ビアで EM 破破メカニズム解析や CMP 平坦化、コンタ外技術改善により、 $4 \times 10^7 \text{A}/\text{cm}^2$ で 1000 時間以上の耐性を確認 (目標値 $1 \times 10^7 \text{A}/\text{cm}^2$ 以上を達成)。
- 縦方向での CNT 高密度成長を確認したことで、横配線での高密度化が達成できる目処を得た。

(2) 新コンセプトグローバル配線技術の開発

- リング型 PLZT 変調器により、消費電力設計値 $0.35\ \text{pJ}$ 、 3.5mW の変調器の $10\ \text{GHz}$ 動作を確認。
- 5 波の合分波を行う 0.5mm^2 の SiN 光導波路製の合分波器を試作し、光回路内における過剰損失 4dB 、チャンネル間クロストーク -15dB 以下を確認。
- グレーティングと反射膜を組み合わせた垂直光入射結合器を開発。
- SiN 合分波器と Si ナノフォトダイオードを組合せた波長多重回路を LSI にフリップチップ接続し、同一光配線を用いて 5GHz と 3GHz の 2 周波数クロック動作を確認
- 設計上トータルで 2pJ 以下となる変調、受光器を開発。

③ 特性ばらつきに対し耐性の高いデバイス・プロセス技術開発

(1) 構造依存の特性ばらつきの物理的理解とモデリング技術の開発

- 新規 TEG、および特性高速計測技術開発により、経時変化ばらつきを含むデバイス特性を安定的に計測可能な評価技術を確立した。その結果、 $\pm 3\sigma$ 範囲の経時変化、ならびに $\pm 6\sigma$ の特性ばらつきを計測し、中心特性の変化と共に、特性ばらつきが拡大する事を初めて示した。
- HK/MG デバイスの試作・評価を行い、従来デバイスに比べ実効ゲート絶縁膜厚低減による V_{th} ばらつき低減を検証し、HK/MG 構造がデバイス特性ばらつき改善に有効であるというデバイス開発指針を得た。
- 実デバイスの複数物理パラメータ抽出手法 (たとえば、ゲート絶縁膜厚、ゲート形状、シリサイド構造等) を確立し、3D-STEM でオン電流の異なるデバイスでは、ソース・ドレインのシリサイド膜形状に相違があることを示した。
- アトムプローブを用い、電気特性が異なる実デバイスのチャンネル不純物数が V_{th} と正の相

関を初めて実測した。
 特性ばらつき改善の指針として、シリサイド形成均一化、チャネル不純物乱れの低減などを示した。

- ・離散不純物モデル、LER モデル、不純物拡散モンテカルロモデル等を組み込んだ 3 次元デバイス・プロセスシミュレーション技術を開発した。
- ・NMOS の V_{th} ばらつきを再現し、原因がチャネル不純物であるホウ素の増速拡散であることを明らかにした。
- ・NMOS チャネルホウ素の増速拡散を抑制する炭素共注入技術を開発し、不純物の離散性以外の原因を約 25%低減した。
- ・非物理的なフィッティングパラメータを含まないコンパクトトランジスタモデル HiSIM-RP を開発し、TCAD に対して V_{th} が $\pm 20\text{mV}$ 、 I_{on} が $\pm 5\%$ の精度で予測可能なことを実証した。
- ・LSI の任意のレイアウトパターンに対応可能なコンパクトストレスモデルを開発し、 I_{on} の変動予測を $\pm 5\%$ 、 V_{th} の変動予測を $\pm 20\text{mV}$ で行うことが可能であることを実証した。
- ・試作デバイスの電気特性をフィードバックした 3 次元デバイス・プロセスシミュレーターを用いて、プレーナ型を含む種々のデバイス構造の計算を実施し、チャネルドーパントを低減した構造で、 V_{th} 、 I_{on} ばらつきが低減可能であることを示した。
- ・デバイス基本特性を維持し、しきい値、オン電流等のデバイス特性ばらつきを抑制できる構造として、FD-SOI やマルチゲート構造を提案し、ばらつき抑制効果を示した。

(2) 外部擾乱依存の特性ばらつきの物理的理解とモデリング技術の開発

- ・経時変化を含むデバイス特性ばらつきを、回復効果を最小限に抑えられる 1 ミリ秒以下の測定が可能でかつ、安定的に計測するシステムの開発を完了した。
- ・電気特性を測定した実デバイス構造を解析可能な、3 次元アトムプローブ技術(50nm ϕ の MOS チャネルの加工等、サンプル作成手法を含む)の開発を完了し、実施項目 2) でばらつき改善の指針を得た。
- ・中性子照射実験によって SET パルス幅の発生率分布を測定するテストチップを開発し、幅 100ps 以下の SET パルスが大部分を占めることを世界で初めて実験的に確認した。この結果に基づいてプロセス微細化に対する電荷収集予測モデルを構築し、hp22nm までのシリコンバルクプレーナ CMOS における SET 起因のソフトウェアエラーを予測計算を行なった。さらに SET パルスフィルタリングによってエラーレートを 1~10FIT に抑えることが出来ることを示した。
- ・対地容量の異なる電源ドメインは、放電速度が異なるためにドメイン境界のトランジスタのゲート酸化膜に電位差が発生し、これがチップ全体の CDM 型 ESD 耐圧を決定していることを明らかにした。CDM 型 ESD 耐圧向上のための設計指針として、i)電源ドメイン間の対地容量を揃えること、ii)対地容量が小さい電源ドメインに寄生容量を追加すること、iii)ドメイン間の GND 配線抵抗を小さくすること、を提案し、これらの指針を実際に適用したテストチップを試作し、CDM 型 ESD 耐圧 1000V が達成可能であることを実証した。
- ・チップレベルの基板ノイズ伝播解析とトランジスタレベルの基板ノイズ感度モデルとを組み合わせた回路シミュレーション手法を開発し、その効果を実証した。

④ 次世代マスク基盤技術開発

(1) 高精度・低欠陥 EUVL マスクおよびブランクスの技術の開発

(1)-1 EUV 光を用いたマスクおよびブランクスの検査・解析技術の開発

マスクブランク全面検査装置システムを開発し、Hp16nm 世代対応ブランク欠陥感度(高さ 1.2nm、幅 40nm)を有すことを実証した。位相欠陥検出信号を解析し、EUV 光検査はブランク内部構造の異常も検出可能なことを示し、欠陥上の多層膜堆積が二つの堆積モードからなることを明らかにした。位相欠陥転写性を解析し、バンプ型およびピット型のプログラム位相欠陥の転写インパクトについて欠陥位置依存性及び検査焦点位置依存性を明らかにした。EUV 顕微鏡で 100nm 未満の解像度を実現した。更に回折像捕集型顕微鏡ではマスク欠陥とブランク位相欠陥が検出できることを明らかにした。

(1)-2 EUVL マスクおよびブランクスの高品位化技術の開発

小領域 EUV 露光装置 SFET の高度化として、フライアイミラーの反射率改善やチャンバー真空度改善により対策前の 5 倍の照度を実現し、SFET の限界解像度として X-dipole 照明で 16nm を得、年間稼働時間 140→207 日以上、年間ウエハ処理枚数 1100→2500 を

実現した。マスク遮光帯性能を確認し、多層膜加工型は積層型に比べ EUV 光には約 6 倍、OoB 光には約 4 倍の遮光性能が得られる事を確認した。マスク遮光帯付与によるマスク位置精度への影響が無いこと、遮光帯付き薄膜吸収体マスクでは隣接ショットからの被り露光の影響が良く防止されていることを確認した。欠陥転写性評価技術として、マスク寸法の加重平均化によるマスクパターン LWR 定義法を提案し、マスク製造プロセスならびにマスク出来栄への評価法を確立し、複数露光ショット積算によるウエハ転写寸法平均化手法を開発した。

(1)-3 EUVL マスクコンタミネーション制御技術の開発

マスクコンタミ膜の構造・物性の解明し、カーボンコンタミに真空中残留ガスに起因する数%の Si が存在することを明らかにした。独自に開発したマコンタミ堆積シミュレータ結果からマスクコンタミ成長モデルを解明し、マスクコンタミによるパターン寸法変化や位置シフトの相関関係を求め、管理基準を策定した。マスクコンタミクリーニング技術として、ウェット系、UV オゾン系、プラズマ系、新オゾン系、水素ラジカルについて評価した。洗浄能力や低ダメージといった点でそれぞれ一長一短があり、洗浄能力では新オゾン系、低ダメージではウェット系が優れていた。水素ラジカルについては反応機構を解明した。レジストアウトガス低減については、圧力上昇法と GC-MS 法により評価した。露光装置 SFET における光学系とマスクのコンタミ抑制並びにレジスト材料選択に貢献した。

(2)パターン欠陥検査技術および欠陥修正技術の開発

(2)-1 EUVL マスクパターン欠陥検査技術の開発

P 偏光照明系を実装した EUVL マスク対応欠陥検査装置 NPI-6000EUV α 機の欠陥検出感度評価を実施し、Hp27nm 世代対応マスク(=マスク上 Hp108nmLS)の吸収体反射率4%とすることで凸欠陥ならびに凹欠陥の目標感度(=10%CD 変動を与える欠陥サイズ)を各々達成した。また、偏光照明解像度特性向上光学素子の導入、P 偏光照明系導入に伴う焦点検出オフセット対策(焦点検出補正光学系)、P 偏光および S 偏光の同時検査光学系の導入等によって Hp22nm 世代対応マスク(=Hp88nmLS)での凸欠陥および凹欠陥の目標感度を各々達成した。ランダムに発生するマスク自然欠陥を SEM 観察する手法としてマーカ法を確立し、マスク自然欠陥転写性シミュレーション結果を実験的に検証し、シミュレーションの妥当性を確認した。Die-Database 検査技術を開発し、画像出力の非線形補正による検出感度向上により微細パターン検査感度を改善した。

(2)-2 EUVL マスクパターン欠陥修正技術の開発

ビーム径拡大を抑制したまま低加速・低ダメージ化を実現する新規鏡筒を開発した。Ga イオンビームならびに電子ビームによる白欠陥埋め込み材料として、マスク洗浄耐性ならびに EUV 光遮光特性からイオンビーム W 堆積膜が最適であることを確認した。Ga イオンビームによる多層膜除去型の白欠陥修正技術を提案し、SFET で転写性評価を経て同技術の有効性を検証した。静電アクチュエータ型ナノピンセットに異物把持検知するデュアルグリップセンシング機能及び基板接触検知するデュアルタッチセンシング機能を加えた。極微細化ならびに低ダメージ化の達成見込みのあるガス系イオンを新イオン源とした新規 FIB マスク修正技術を基礎検討し、水素イオンビームにて照射量を抑えれば従来通りのマスク黒欠陥修正技術と成り得るとのフィジビリティを実証した。

(3)ペリクルレスマスクハンドリング技術の開発

(3)-1 EUVL マスクの異物フリー搬送・保管技術の開発

SEMI-E152 規格準拠した EUV マスクポッドについて出荷・保管・落下・装置搬送試験(大気中、真空中)を実施し、防塵・発塵評価を行い、パイロットラインでの使用に対して十分な性能であることを確認し、マスク帯電、異物のマスク面転移の影響、真空排気過程での温度変化やアウトガスの影響を評価し、これらを反映させた改良版ポッドを開発した。信頼性ある異物検査結果を得るための検査手法を検討し、所望条件下での検査回数を与える関係式を構築した。マスク裏面と静電チャック間に挟まれる異物の許容サイズについて検討し、静電チャック表面形状がマスクパターン面の平坦度や変形矯正応力に及ぼす影響を求め手法を確立した。SiC セラミック静電チャック、低熱膨張率セラミックチャックおよび石英ガラスチャックをそれぞれ試作しマスク吸着実験からマスク裏面付着異物数の吸着回数依存性を求めた。

(3)-2 ウエハファブ内 EUVL マスク異物検査技術およびクリーニング技術の開発

	<p>ペリクルレスマスクのファブ内運用として検査ならびにクリーニング方式について、露光装置内装置も視野に入れたドライ式物理クリーニングを中心に検討した。ファブ内での検査やクリーニングの運用を実際のチップ生産(歩留り、生産量)見合いでケーススタディし最適化運用が可能なることを明らかにした。露光機チャック吸着によるマスク裏面異物付着に対し、スポンジブラシによる水洗浄のブラシ回転数やマスク回転数、ブラシ加圧力などを最適化することによりチャック材質に拠らず良好なクリーニングが可能なることを検証した。</p> <p>⑤ EUV 光源高信頼化技術開発</p> <p>(1) 光源起因マスク、ミラーの汚染評価技術の開発 LPP:LIF を用いた Sn 計測技術を開発した。IF 点での反射率低下が 10%以下となる Sn 汚染量に相当する Sn 原子密度 2×10^6 個/cm³ の測定感度を達成した。 DPP:IF 点で反射率と XPS を測定できる汚染評価装置を開発した。反射率測定精度は±0.2%(短時間観測で目標とする 3,000 時間の寿命測定誤差が±6 時間)まで向上した。</p> <p>(2) 集光光学系などの清浄化技術の開発 LPP:Sn イオン除去に磁場が有効であることを実証した。中性 Sn 原子起因の堆積防止については(a)小径 Sn ドロプレット・ターゲットとプレパルス照射の組み合わせによる中性 Sn 原子の発生低減、(b)Sn 堆積膜のガスクリーニング手法で対処した。20 μm φ の Sn ドロプレットで必要なクリーニング速度>0.1nm/min に目処を付けた。コレクタ大面積クリーニング機構を作製した。 DPP: α 光源で実績のある DMT を大幅に改善した。更に中性デブリは、回転電極の Sn 塗布厚の薄膜化(従来の 1/5 の 20μm)で 1/3 に低減(現在は 10 μm まで改善)し、高速イオンデブリはアドバンスドレーザートリガー適用で 1/5 に低減した。コレクタへの Sn の堆積は動作ショット数によらず~0.1nm、Ru 反射面は 2nm/G ショットのスパッタで反射率低下は無かった。これより Ru 膜厚 1 μm 以上で 1 年以上のコレクタ寿命を達成する見込みを得た。</p> <p>(3) 高出力対応熱管理技術の開発 LPP: 計測データをベースにコレクタの熱応力変形と IF 位置での EUV 集光像への影響をシミュレーションにより評価した。冷却機構を具備した反射率 50%以上、直径 400mm の大口径直入射コレクタを製作した。 DPP: HVM 対応の DeCo を一体化した温度-構造-光学連携シミュレーションを開発し、発光点(プラズマ)からの放射成分(輻射、非輻射成分)の計測、および HVM レベル大型コレクタの温度上昇の実測により、180W 対応の DeCo の熱管理技術に目処を付けた。</p> <p>(4) IF 変動防止技術の開発 DPP:ファジー推論と学習効果機能を有するアルゴリズムを開発した。IF 変動ライブラリの併用により 0.5 秒の高速自動アライメント技術を確立した。</p>		
IV. 実用化、事業化の見通し	MIRAI 第二期までの成果は、覚書を結び、Selete 及び参加企業に技術移転を実施した。また、実用化を目指す NEDO 継続研究を実施している。第三期においては、先端的技術に開発の重点が移ったため、共同研究等を通じ、参加企業の研究開発組織へ技術移転する。		
V. 評価に関する事項 【評価実施時期】 【評価項目・評価基準】	評価履歴	実施時期	平成 15 年度中間評価実施
		評価項目・評価基準	標準的評価項目・評価基準
		実施時期	平成 17 年度中間評価 (平成 18 年度実施)
		評価項目・評価基準	標準的評価項目・評価基準
		実施時期	平成 19 年度中間評価(①-③)
		評価項目・評価基準	標準的評価項目・評価基準
		実施時期	平成 20 年度中間評価(④)
		評価項目・評価基準	標準的評価項目・評価基準
	評価予定	実施時期	平成 23 年度事後評価(①-⑤)
		評価項目・評価基準	標準的評価項目・評価基準

VI. 基本計画 に関する事項	作成時期	平成 13 年 3 月
	変更履歴	<p>平成 14 年 3 月 (根拠法を「その他の重要事項」へ明記)</p> <p>平成 15 年 2 月 (「経済活性化のための研究開発プロジェクト(フォーカス 21)」として位置付けられた)</p> <p>平成 15 年 12 月 (第 2 期の研究開発計画内容見直しによる改訂)</p> <p>平成 17 年 12 月 (第 3 期の研究開発計画策定による改訂)</p> <p>平成 19 年 3 月 (研究開発計画内容見直しによる改訂)</p> <p>平成 20 年 3 月 (研究開発内容と目的の見直しによる改訂)</p> <p>平成 20 年 6 月 (標準化に関する見直しによる改訂)</p> <p>平成 20 年 7 月 (イノベーションプログラム基本計画制定により「(1)研究開発の目的」の記載を改訂)</p> <p>平成 22 年 3 月 (基本計画を見直し、「(3)研究開発内容」、「(別紙) 研究開発計画、研究開発項目①「新構造極限 CMOS トランジスタ関連技術開発」、研究開発項目②「新探究配線技術開発」、研究開発項目③「特性ばらつきに対し耐性の高いデバイス・プロセス技術開発」」の記載を改訂。)</p>

プロジェクト用語集

新構造極限 CMOS トランジスタ関連技術開発

用語	解説
ALD	Atomic Layer Deposition 原子層堆積法
AFM	Atomic Force Microscope、原子間力顕微鏡
CMOS	Complementary Metal-Oxide-Semiconductor、 相補型 MOS トランジスタまたは相補型 MOS 回路
GOI MOSFET	Ge-on Insulator MOSFET
EOT	Effective Oxide Thickness、実効酸化膜厚
FDTD	時間領域差分法 (Finite-difference time-domain method) のことで、 電磁場計算の一手法として広く用いられる
High-k	高誘電率 (High-k) ゲート絶縁膜
MSD-MOSFET	Metal Source/Drain MOSFET
MOSFET	Metal-Oxide-Semiconductor Field-Effect Transistor、MOS 電界効果型トランジスタ
RTA	Rapid Thermal Annealing、高速アニール
SGOI MOSFET	SiGe チャネル MOSFET
SOI-CMOS	Silicon-on-Insulator CMOS
イオン注入	Ion Implantation、イオンを固体に注入し、固体の特性を変化させる手法
開口数	物体から対物レンズに入射する光線の光軸に対する最大角度を θ 、物体と対物レンズの間の媒質の屈折率を n とし、次の式で表され、光学系の分解能を定める。 $NA = n \sin \theta$
ゲートスタック	Gate Stack、MOSFET のゲート絶縁膜からゲート電極までの構造
ゲート漏れ電流	ゲート酸化膜薄膜のトンネル効果等による漏れ電流
酸化濃縮法	SiGe 層を高温で酸化することにより Ge を濃縮して、薄膜で高い Ge 濃度の高品質 SiGe 基板を形成する技術。
しきい値電圧	MOSFET がオン状態になるゲート電圧
ショットキー障壁	n-型および p-型半導体と金属の接触において、金属のフェルミ準位が n-型半導体のフェルミ準位より低く、p-型半導体のフェルミ準位より高い場合にはフェルミ準位が一定になるように電子移動が起こり、空間電荷層が発生する。この結果、半導体表面の伝導帯と価電子帯に曲がり、ポテンシャル障壁が生じる。この障壁をショットキ

	一障壁(Shottky barrier)といい、金属、半導体間で整流作用を生じさせる。
走査トンネル顕微鏡	STM (Scanning Tunneling Microscope)。金属製の走査探針と試料表面の間に電圧を印加し、トンネル電流を検出して表面の形状や状態を計測する顕微鏡。
走査プローブ技術	原子間力顕微鏡に代表されるような、微細加工・微細構造評価技術
第一原理計算	実験データや経験パラメーターを使わないで行う理論計算方法
ドーパント	半導体にごく微量添加される不純物のこと。
ドライエッチング	プラズマを用いたエッチング
バリスティック MOSFET	散乱なくキャリアがチャネルを走行する MOSFET
パルス IV 測定	短パルスでトランジスタの I-V (電流-電圧) 特性を測定するための計測方法
ひずみ Si	Si 膜にひずみを加えることにより MOSFET の性能を向上する技術
ひずみ SOI	ひずみ Si を SOI の Si 層に適用した MOSFET 性能向上技術
プローブ誘起ラマン測定	AFMプローブ先端の金属粒子による散乱光でラマン散乱を測定する手法
偏光	電場(或いは磁場)の振動方向が特定の方向に振動する光(電磁波)のこと。
ユニバーサル移動度	反転層の電子移動度
ラマン分光法	物質に入射した光が散乱される時、フォノン等とエネルギーをやりとりして、入射光と異なった振動数で散乱される光を分光する測定方法。

プロジェクト用語集

新探究配線技術開発
(カーボン配線技術開発)

用語	解説
CMP	Chemical Mechanical Polishing、化学機械研磨
Low-k	低誘電率(Low-k)層間絶縁膜
TEM	Transmission Electron Microscopy、透過型電子顕微鏡
CNT	Carbon Nanotube、カーボンナノチューブは炭素の2次元六員環ネット(グラフェン)が円筒状の蒔いてできた、ナノメートルサイズの直径を持つチューブ
FTIR	Fourier Transform Infra-red Spectroscopy、極性を持つ化学分子が赤外線を吸収してスペクトルを発生する原理を利用した赤外線分光のこと
MWNT	Multi-walled Carbon Nanotube、多層化カーボンナノチューブはカーボンナノチューブが同心円状に複数あるもの
インパクト	ノズルから高速でナノ粒子を含むガスを寸出し、前方に置いたいたでガスの流れを急激に変化させ、ナノ粒子のサイズに応じた慣性力の違いを利用して特定のサイズの粒子を選別する装置
エレクトロマイグレーション	金属材料への通電による物質移動減少のこと。ボイドやクラックが発生し金属材料が断線してしまうことがあり、配線における通電故障の原因の中で最も重要なものとなっている。
ダマシンプロセス	LSI配線の作製工程の一種、予め配線金属が埋め込まれる溝パターンを作製した後、金属を埋め込んでいく
バリスティック伝導	電気伝導を荷う電荷が、講師進藤や不純物などとの散乱を起こさずに移動していく輸送形態。これによって通常の伝導(オーム性伝導)に比べ、低い電気抵抗が得られると期待できる。
量子化抵抗	バリスティック伝導が生じた場合に、1チャンネル当り抵抗はオームの法則には従わず、 $6.45\text{K}\Omega$ という一定の電気抵抗となる。

プロジェクト用語集

②新探究配線技術開発

(LSI チップ光配線技術開発)

用語	解説
AD	エアロゾルデポジション
LD モジュール	光接続および電気接続できるようにパッケージされた半導体レーザー。
MMI(多モード干渉導波路)	光配線において、光の強度を複数の導波路に等しい強度で分配するための素子。光共振の定在波を利用する。
PZT、PLZ	PZT(ジルコン酸チタン酸鉛)はペロブスカイト構造を持つ強誘電体材料。大きな圧電特性および電気光学特性を持つが、光学結晶異方性が大きいので多結晶体では粒界における光散乱のため光の透過率が低かったが、エアロゾルデポジションでナノ結晶化することにより透明度が上がった。PLZT は PZT への La ドープにより分極ドメインが微細化し高周波応答に優れた電気光学材料になっている。
SNOM	Scanning near-field optical microscopy、走査型近接場光学顕微鏡の略。微小な先端径の探針(プローブ)の先端に発生する近接場光を光源とした光学測定を行う、走査型プローブ顕微鏡。作用距離が～数十 nm の近接場光を利用することによって光の回折限界を超える分解能での光学測定が可能となる。
TE-like モード, TM-like モード	基板上に 2 次元光導波路が形成された時に、光が基板に平行な電界成分をもつ導波モードを TE (Transverse Electric)モード、垂直な電界成分をもつ導波モードを TM (Transverse Magnetic)モードと呼ぶ。3 次元光導波路ではこれらの完全なモードは一般には存在しないが、対応する導波モードを TE-like モード、TM-like モードと呼ぶ
TIA	トランス・インピーダンス・アンプ。電流を電圧に変換するアンプ。フォトダイオードからの光電流を電圧信号に変換するのに用いられる。
エアロゾルデポジション	サブミクロン径の原料セラミック粉を基板に常温で吹き付けることにより、緻密なナノ結晶粒セラミック膜を形成する技術。
シリコンフォトニクス	光導波路などの主要な光配線部品をシリコン半導体産業の量産プロセス技術で製造する技術。シリコン、窒化シリコンなどは従来の光ファイバー材料(シリカ)と比較して大きな屈折率を持っており、急な曲げによる光の漏れが少ないため光回路のサイズを大幅に小さくできるという長所を持つ。
ドライバ	電気光変調器を駆動するための電気回路。
ナノフォトダイオード	表面プラズモンを光のアンテナとして利用することで、小さな近接場領域での光電流発生を可能にしたフォトダイオード。
プラズモンアンテナ	光の電界成分により表面プラズモンが励起される金属構造体。周期構造を持たせることで特定の波長の光と共鳴して局在化された強い近接場光を作り出す。
マッハ・ツェンダー	光を二つの光路に分けてから再び一つの光路に戻すことで、二つの光路

	間の光路差に基づく光の位相のずれを光の強度変化としてとらえる干渉計。
共振型変調器	共振により光の電界を強めて小型化した変調器。リング型の光導波路などが用いられる。
屈折率	媒質中での光の速度は真空中での速度より低下する。真空中の光の速度と媒質中での光の速度の比を屈折率と呼ぶ。屈折率 1.5 の材料における光信号の伝播速度は真空中の 2 分の 3 になる。エネルギーや信号を伝える群速度の比は正確には群屈折率と呼ばれる。
光導波路	光信号を通す配線。屈折率の高いコアの周囲を屈折率の低いクラッドで囲み光信号をコア付近に集中させて伝送する。
受光器	光信号の入力に対し電気信号(光電流)を出力するデバイス。
電気光学セラミックス	電界により屈折率が変化するセラミックス材料。
電気光学定数	電気光学材料の性能を表すパラメータ。屈折率変化量を印加する電界強度で割った値。
波長多重	一本の光ファイバーまたは光導波路に複数の異なる波長の光信号を同時に乗せることにより、大容量の情報伝送を行う手段。
光アイソレータ	光を片方向にだけ通すデバイス。反射によるノイズを防ぐのに用いられる。
表面プラズモン	金属表面の電荷の集団振動。光の電界成分と結合している。
偏光	光の波において、電界成分または磁界成分が特定の方向に向いている状態をいう。
変調器(特に電気光変調器)	電気信号により光の透過率を変えるデバイス。

プロジェクト用語集

③特性ばらつきに対し耐性の高いデバイス・プロセス技術開発
(構造依存の特性ばらつきの物理的理解とモデリング技術の開発)

用語	解説
AIST	National Institute of Advanced Industrial Science & Technology 独立行政法人 産業技術総合研究所(産総研)
ASET	Association of Super-Advanced Electronics Technologies 技術研究組合 超先端電子技術開発機構
ASRC	Advanced Semiconductor Research Center 次世代半導体研究センター
CASMAT	Consortium for Advanced Semiconductor Materials and Related Technologies 次世代半導体材料技術研究組合
ITRS	International Technology Roadmap for Semiconductors 国際半導体技術ロードマップ
MIRAI	Millennium Research for Advanced Information Technology
NEDO	New Energy and Industrial Technology Development Organization 独立行政法人 新エネルギー・産業技術総合開発機構
Selete	Semiconductor Leading-Edge Technologies (株)半導体先端テクノロジーズ
SEAJ	Semiconductor Equipment Association of Japan (社)日本半導体製造装置協会
SEMI	Semiconductor Equipment and Materials Institute
STARC	Semiconductor Technology Academic Research Center (株)半導体理工学研究センター
ALD	Atomic Layer Deposition 原子層堆積法
AFM	Atomic Force Microscope、原子間力顕微鏡
CCD	Charge Coupled Device、電荷転送素子
CD	Critical Dimension、MOSFET のゲート、配線幅等における最小寸法
CD-AFM	Critical Dimension が測定可能な AFM
CG-IL	Constituent Gradient Interfacial Layer、
Hf	等遷移金属原子と Si の組成比(濃度)が境界領域において変化する界面構造
CMP	Chemical Mechanical Polishing、化学機械研磨
CMOS	Complementary Metal-Oxide-Semiconductor、 相補型 MOS トランジスタまたは相補型 MOS 回路
CRC	Cyclic Redundancy Check、巡回冗長チェック
DRAM	Dynamic Random Access Memory、ダイナミックランダムアクセスメモリ
DUV	Deep Ultraviolet、遠紫外線

DVS-BCB	Divinylsiloxane-bis-benzocyclobutene
EUV	Extremely Ultraviolet、極端紫外線
EUVL	EUV Lithography、極端紫外線リソグラフィ
EUPS	EUV Photoemission Spectroscopy、EUV 光を用いた電子分光
FUSI Gate	Fully-Silicided Gate、フルシリサイドゲート、電極領域全体をシリコンと金属の化合物で形成したゲート電極
GDP	Gross Domestic Product、国内総生産
GOI MOSFET	Ge-on Insulator MOSFET
GSCI Model	Generated Subordinate Carrier Injection Model
EOT	Effective Oxide Thickness、実効酸化膜厚
FLP	Fermi-Level Pinning、フェルミ準位ピンニング、フェルミ準位が、シリコンのバンドギャップ中のある位置に固定 (Pinning) されること
FPGA	Field Programmable Gate Array、フィールドでプログラムできる LSI のこと
High-k	高誘電率 (High-k) ゲート絶縁膜
IEEE1394	IEEE1394 規格の伝送インタフェース
HiSIM	Hiroshima University-STARC MOSFET Model
HP	High Performance、ITRS における高性能応用向 MOSFET
LER	Line-Edge Roughness、ラインエッジラフネス
LL-D&A	Layer-by-Layer Deposition & Annealing、原子層製膜の途中で緻密化処理を行って膜中の再配列と不純物除去を行う製膜法
LSI	Large Scale Integration、大規模集積回路
LOP	Low Operating Power、ITRS における低動作電流 MOSFET
LSTP	Low Standby Power、ITRS における低スタンバイ電力 MOSFET
Low-k	低誘電率 (Low-k) 層間絶縁膜
MSD-MOSFET	Metal Source/Drain MOSFET
MOSFET	Metal-Oxide-Semiconductor Field-Effect Transistor、MOS 電界効果型トランジスタ
NGL	Next Generation Lithography、次世代リソグラフィ
NBD	Nano-Beam Electron Diffraction、ナノビーム電子線回折局所ひずみ測定法
OPC	Optical Proximity Correction、光近接効果補正
PASI	Gate Partial Silicide Gate、シリコンと金属の組成を制御したゲート電極
PN	Pseudo-Random Number 擬似乱数、または、Pseudo-Random Noise 擬似ランダム雑音
POC 機	Proof-of-Concept 機、概念実証機
RET	Resolution Enhancement Technique、解像度強調技術
RF	Radio Frequency、無線帯域周波数
RTA	Rapid Thermal Annealing、瞬時熱アニール
SGOI MOSFET	SiGe チャネル MOSFET
S/N 比	Signal-to-Noise Ratio、信号と雑音の比

SRAM	Static Random Access Memory、スタティックランダムアクセスメモリ
SOC	System-on-a-Chip, システム・オン・チップまたはシステム LSI
SOI-CMOS	Silicon-on-Insulator CMOS
TDI	Time Delay and Integration、遅延積算
TEM	Transmission Electron Microscopy、透過型電子顕微鏡
TMCTS	Tetramethyl-Cyclo-Tetra-Siloxane、テトラメチルシクロテトラシロキサン
TN	Technology Node、技術ノード、DRAM ハーフピッチで技術世代を示す言葉で2003ITRSまで使用された。
UV	Ultraviolet、紫外線
XPS	X-ray Photoemission Spectroscopy、X線光電子分光
アッシング	レジストを気相中でオゾンやプラズマにより灰化(Ashing)し除去すること。
イオン注入	Ion Implantation、イオン化した不純物を加速することで半導体結晶中に注入し、固体の特性を変化させる手法
位相シフトマスク	微細なパターンが形成させるため、透過する光の位相を局所的にシフトさせるパターンを有するマスク
遺伝的アルゴリズム	Genetic Algorithm(GA) 、選択 (selection)、交叉(crossover) 、突然変異 (mutation)、などを繰り返し行うことにより人工的進化を行い最適解を求めるアルゴリズム。生物の進化の過程を模したもので、確率的探索、学習、最適化等の目的に用いる。
エキシマレーザー	波長が紫外線領域のレーザー
エッチング	半導体ウェハ上に酸化膜等の薄膜を形成し、フォトレジストでパターンを形成した後不要な薄膜を除去する手法
エッチストップ	エッチングの進行を停止させること
X線小角散乱法	SAXS、低角領域のX線散乱を用いる、数 nm からおよそ 100nm の大きさの構造を評価する解析手法。
ガロア体演算	有限な数の要素からなる集合(ガロア体)を用いた演算手法
カンチレバー	片持ち梁
貫通転位	表面まで達するような転位
キュア	機械的強度を改善させること
吸着分光エリプソメトリ	分子の吸着現象を可視・紫外域の膜屈折率変化として検出する、非破壊の空孔構造評価法
クロックスキュー	Clock skew、同期式设计においてクロックの伝搬遅延 時間の差、配線容量などの理由により発生するタイミングずれ
ゲートスタック	Gate Stack、MOSFET の絶縁膜からゲート電極までの構造
ゲート漏れ電流	ゲート酸化膜薄膜のトンネル効果等による漏れ電流
酸化濃縮法	SiGe 層を高温で酸化することにより Ge を濃縮して、薄膜で高い Ge 濃度の高品質 SiGe 基板を形成する技術。
しきい値電圧	MOSFET がオン状態になる電圧
σ	縮小投影照明下における像形成のコヒーレンス度

縮小投影リソグラフィ	半導体ウエハに MOSFET や配線パターンを縮小して投影露光するリソグラフィ
シュバルツシルト集光光学系	凹面鏡と凸面鏡を組み合わせた集光光学系
乗算器	Multiplier、2 数の乗算を行うためのハードウェアの回路
ショットキー障壁	n 型および p 型半導体と金属の接触において、金属のフェルミ準位が n 型半導体のフェルミ準位より低く、p 型半導体のフェルミ準位より高い場合にはフェルミ準位が一定になるように電子移動が起こり、空間電荷層が発生する。この結果、半導体表面の伝導帯と価電子帯に曲がり、ポテンシャル障壁が生じる。この障壁をショットキー障壁(Shottky barrier)といい、金属、半導体間で整流作用を生じさせる。
スケーリング	トランジスタ、配線の縦、横寸法を等倍縮小し性能を向上する技術
スケラビリティ	複数技術世代に使用可能であること
セルフヒーティング効果	測定時の電流によりトランジスタの温度が上昇する現象
走査トンネル顕微鏡	二次元不純物プロファイル測定技術のひとつ
走査プローブ技術	原子間力顕微鏡に代表されるような、微細加工・微細構造評価技術
ダマシン配線	絶縁膜に配線溝を形成し、絶縁膜上および配線溝内に Cu 等配線形成用の導電層を堆積し、CMPによって配線溝内に導電層を残す研磨を行って形成する埋め込み配線。Damascene とは象嵌細工のこと。
TOF	信号 イオン・光電子等粒子ビームの飛行時間(Time of Flight)信号
TEG	Test Element Group、テスト用のパターンや回路を集積したテストパターン・回路
適応型クロック調整	GA(遺伝アルゴリズム)等を用いて製造後に適応調整を行うクロック調整法
テープテスト	テープによる剥離性から、密着性を求める手法
ドライエッチング	プラズマを用いたエッチング
ナノインプリント	金型に刻み込んだ凹凸を、基板上に塗布した樹脂材料に押し付けて形状を転写する技術
二段階酸化濃縮法	保持温度から酸素雰囲気下で一定昇温速度で昇温し、予備酸化を施し窒素雰囲気下で昇温し酸素雰囲気下に切り替え、酸化濃縮を行う方法
ハーフピッチ	配線等のピッチ(フルピッチ)の半分
バリスティック MOSFET	散乱なくキャリアがチャンネルを走行する MOSFET
パルス IV 測定	短パルスでトランジスタの I-V(電流-電圧)特性を測定するための計測方法
ビットエラー率	BER、送信信号が復号できず、ビットエラーになる確率。エラービット数/トータルビット数で定義
ひずみ Si	Si 膜にひずみを加えることにより MOSFET の性能を向上する技術
ひずみ SOI	ひずみ Si を SOI の Si 層に適用した MOSFET 性能向上技術
プラズマ重合	プラズマ中での重合化学反応
プラズマ CVD	原料物質を含むガスをプラズマ状態に励起する化学気相成長 (Chemical Vapor Deposition) 法
フラッシュメモリ	データの書き込みを電氣的に行い、消去を電氣的に一括して行う半導体メモリ
プリエンファシス	pre-emphasis、あらかじめ送信側で周波数特性や波形の強調を行い、受信側での信号やパルスの劣化を補償する手法

プログラマブル遅延回路	デバイスの遅延回路の遅延値をビット列で制御できるようにした回路
プロセスダメージリカバリ	処理過程で受けたダメージを回復すること
プローブ誘起ラマン測定	AFMプローブ先端の金属粒子による散乱光でラマン散乱を測定する手法
ベータ機	装置メーカーがデバイスメーカー等の顧客に提供し、顧客での開発に使用される装置
ポロジェン	空孔を発生させる前駆体
ポアシール	空孔をシールする膜。比誘電率(k値)を上昇させないシールが望ましい。
ベンチマーク	現状や他との比較を数値評価できる指標
プロセスモジュール	配線、ゲートスタック等まとまった一群のプロセス
マスク	フォトリソグラフィなどの手段によりLSIに転写するパターンを石英、ガラス表面に形成したパターン原版
マスクブランクス	マスクのパターンを形成する前の基板となる石英、ガラス等の原版
ムーアの法則	Intel社の創設者の一人であるGordon Moore博士が1965年に経験則として提唱した「半導体の集積密度は18~24ヶ月で倍増する」という法則
ユニバーサル移動度	反転層の電子移動度
抑制剤	Suppressor、めっきにおいてスルーホール等に液を充填するため、平坦部で膜が形成されることを抑制する薬剤
4点曲げ試験	2点を支持し、2点に加重する、密着性を求めるための試験手法
DMA-TEG	Device Matrix Array Test Element Groupの略。マトリクス状にデバイスを配置し、デコーダで選択しながら測定するTEG構造。
DUT	Device Under TEST、測定するデバイスを示す。
外挿しきい値	線形領域の場合、低ドレイン電圧の状態でのドレイン電圧-ゲート電圧波形を書かせて最大傾斜となる接線を書いたときのx切片を線形の外挿 V_{th} と定義。飽和領域の場合は通常のドレイン電圧をかけた測定での定義。
定電流しきい値	低ドレイン電圧をかけた状態で $I_d=10^{-7}A/\mu m$ 流れるゲート電圧を定電流の V_{th} と定義。飽和領域の場合は通常のドレイン電圧をかけた測定での定義。
ドーピング	シリコン基板にイオン注入等の手段を用いて不純物添加すること。
SCM	Scanning Capacitance Microscopy、走査型容量顕微鏡の略。
SIMS	Secondary Ion Mass Spectroscopy、二次イオン質量分析計の略。
NBD	Nano Beam electron Diffraction、ナノビーム電子線回折法の略。
CBED	収束線電子線回折
SNOM	Scanning near-field optical microscopy、走査型近接場光学顕微鏡の略。微小な先端径の探針(プローブ)の先端に発生する近接場光を光源とした光学測定を行う、走査型プローブ顕微鏡。作用距離が~数十nmの近接場光を利用することによって光の回折限界を超える分解能での光学測定が可能となる。
アトムプローブ	プローブ上に加工した試料と検出器間に高電圧を印加することにより、試料から原子を蒸発させ、その原子分析を行うことで3次元の濃度分布を求める手法。
電子線ホログラフィ	真空中を通過する参照波とチャンネルを通過する物体波からホログラム像を取得し、フーリエ変換することで位相差像を得る手法。得られた位相差像より、チャネ

	ルのポテンシャルの計算が可能。
SNM	Static Noise Margin の略。
I_{on}	MOS トランジスタのオン電流。通常はゲート電圧とドレイン電圧に電源電圧を印加した場合に流れるソースドレイン間の電流のことをオン電流と呼ぶ。
V_{th}	MOS トランジスタのしきい電圧で MOS トランジスタがオン状態になる電圧のこと。その定義は様々であるが、定電流
I_{ds}	MOS トランジスタのソースドレイン間に流れる電流で、ドレイン端子で計測される電流。一般にドレイン誘起ゲート電流等が加わるため、オフ領域でソース電流よりも大きな電流値となる。
I_s	MOS トランジスタのソースドレイン間に流れる電流で、ソース端子で計測される電流。
V_g	MOS トランジスタのゲート電圧。
V_{ds}	MOS トランジスタのドレイン電圧。
DIBL	短チャネルデバイスのドレイン電圧が増加して飽和領域になると閾値の変化はさらに大きくなる。これはドレインの影響が増加することによる障壁低下効果 (Drain-Induced-Barrier-Lowering: DIBL) これはドレイン電圧が増加することによりドレインの電界が表面方向に進入するためだと考えられる。よって DIBL によってドレイン領域の空乏層が伸びてソースドレインへのサブ領域での電流が増加する。

プロジェクト用語集

③特性ばらつきに対し耐性の高いデバイス・プロセス技術開発

(外部擾乱依存の特性ばらつきの物理的理解とモデリング技術の開発)

用語	解説
BSIM4	U. C. Berkeleyが開発したSPICE用コンパクトトランジスタモデルで、現在のデファクトスタンダードモデルとなっている。
CDM	Charged Device Model の略で、LSIのパッケージに蓄えられた電荷がLSIチップとの容量結合によってLSI内部の回路を経由してパッケージピンから放電する現象を模擬したESDの試験方法。
ESD	Electro-Static Discharge の略で、物体に蓄積された静電気が放電する現象を指す。
FIT	Failures In Time の略で、ソフトウェアの発生率の単位。デバイス1個当たり10 ⁹ 時間に何回エラーが発生するかを表す。
Halo	トランジスタの短チャネル効果を抑制するためにソース・ドレインの近傍に配置される、チャネルより不純物濃度の高い領域。Pocketとも呼ばれる。
HiSIM2	Hiroshima University and STARC IGFET Model Ver. 2 広島大学と(株)半導体理工学研究センター(STARC)が共同開発した回路シミュレーション用コンパクトトランジスタモデル。
HiSIM-RP	HiSIM2をベースにMIRAI-Seleteで開発されたリバープロファイリング用コンパクトトランジスタモデル。
HyDeLEOS	Selete-TCADのデバイスシミュレータ。
Ion	トランジスタのドレイン電圧とゲート電圧を共に電源電圧に等しくした時のドレイン電流。オン電流とも呼ばれ、デジタル回路の動作速度を決定する目安となる。
LPE	Layout Parameter Extraction レイアウトデータから寄生容量素子成分を抽出してネットリストに付加する機能。
LVS	Layout Versus Schematic レイアウト図形と回路図を比較照合してトランジスタのL,Wやソース・ドレインサイズの抽出を行ない、これらの情報を反映させたSPICEシミュレーション用のネットリストを作成する機能。
mixed-mode TCAD	トランジスタと回路素子を結合してシミュレーションするデバイスシミュレータの機能。
RC-timer 方式	ESD保護回路方式の一つで、RC時定数でESD保護素子がオンするタイミングを調整する。MOSトランジスタのスナップバックを利用したESD保護回路に比べ、プロセスの影響を受けにくいという利点がある。
S/D-extension	短チャネル効果を抑制するために、本来のソース・ドレインよりも接合深さを浅くなる様に形成したソース・ドレイン領域。
SET	Single Event Transient 中性子線がLSIの論理ゲートに入射することによってトランジスタの動作特性に過渡的な特性変動が生じ、その特性変動が回路中を

	伝播して行き、LSI の誤動作を引き起こす現象。
SPICE	1970 年代後半に U. C. Berkeley が開発した回路シミュレータ。現在は回路シミュレータの総称として使われることが多い。
TCAD	Technology-Computer-Aided-Design プロセス・デバイスシミュレータの総称。
VF-TLP	Very Fast Transmission Line Pulse 同軸ケーブルに蓄積させた電荷を放電させることによって ns オーダーの高電圧・大電流パルスをデバイスに印加し、デバイスのパルス I-V 特性を測定する装置。
オンチップモニタ	「ばらつきとノイズ感度」その場評価 TEG に搭載された増幅器の AC 特性やノイズ信号レベルを測定するために TEG チップの外周に作りつけられたモニター回路。
ガードバンド	アナログ回路への基板ノイズの伝播を防止するため、トランジスタの周囲に設置される連続したウェルコンタクト領域。
寄生バイポーラ効果	基板電流によって基板内に電位降下が生じ、それによってソース端の基板電位が上昇してソースから基板にキャリアが注入されること。
キャリブレーション	モデルが実測値を精度良く再現するようにモデルパラメータの値を調整すること。
中性子線	宇宙線が地球の大気中の原子核を壊して発生した中性子が地表まで到達したもの。エネルギーは 10MeV~1GeV で、到達頻度は New York City で 13 個/cm ² /hour。電気的に中性であるため物質の透過率が高く遮蔽が困難。
テール電流源	差動増幅器の左右のトランジスタに流れる電流の和を一定に保つために差動入力トランジスタのソースの下に設定されている電流源。
ネットリスト	回路素子間の接続情報や回路素子の特性情報を記載したデータで、SPICE への入力データとなる。
ピエゾ抵抗係数	物質の抵抗率のストレスによる変化率を表す係数。
表面ポテンシャル	MOSFET のシリコン-ゲート絶縁膜界面の静電ポテンシャル。
プリミティブセル	NAND、NOR 等の論理ゲート単位で括ったトランジスタ回路の総称。
ポアソン比	ストレスを加えた方向の歪と、ストレスに垂直な方向の歪との比。
ポアソン方程式	静電ポテンシャルと電荷の関係を記述した方程式。
リバースプロファイリング	トランジスタの電気特性からトランジスタ内部の不純物プロファイルを抽出する技術

④次世代マスク基盤技術開発

⑤EUV 光源高信頼化技術開発

用語	解説
AES	AES はオージェ電子分光 (Auger Electron Spectroscopy) の略であり、Auger 過程により放出された電子のエネルギースペクトルを分析し検査物の表面の組成等を分析する装置。
AFM	AFM は原子間力顕微鏡 (Atomic Force Microscopy) の略である。極めて鋭い先端を持つ測定針 (Stylus) を検査物に近接させ、針の先端と検査物表面の間に働く原子間力を測定し、表面の形状を測定する技術。針に沿う方向では原子レベルの分解能を持つ。
BASE	化学増幅系レジスト材料において、PAGから発生した酸を中和する機能を持った材料。PAGに比べ微量添加することによって、余分な酸を中和する機能を持つ。この機能による解像度向上効果が期待される添加物。
BL-9	兵庫県立大学高度産業科学研究所に設置された放射光施設NewSUBARUのビームラインのうち、比較的長い直線部を有する長尺アンジュレータ(挿入型光源)のビームラインの名称。その特徴は輝度が高く、位相特性がよいこと。
DOF	結像系で必要な分解能の像を得られる像面の調整範囲で焦点深度 (Depth of Focus) という。露光装置では必要なレジスト像が得られる像面の範囲をいう。焦点深度は NA の逆数の2乗に比例するため、NA が大きくなると深度は浅くなる。
DPP(Discharge Produced Plasma) 方式	EUV 光を生じるプラズマを生成するために放電を用いる方法。放電法。ターゲットと呼ぶプラズマ生成物質と大電流パルスパワーを放電部に投入し、放電プラズマを生成させる。放電法では、直接電気で放電プラズマを生成するため、構成が比較的簡単で総合的な EUV 光の生成効率が高く、装置価格や維持費用が低く抑えられるという長所を持つ。
EEM	EEM は弾性放出加工 (Elastic Emission Machining) の略で、加工微粒子を懸濁した液中で回転弾性球を加工面に近接して配置し、表面を通過する微粒子で面の突起部のみを除去し平滑面を形成する技術。大阪大学で開発された日本の技術で、SPRing-8 など放射光施設で用いられる超平滑面ミラーに応用されている。
ETS	EUVLLCで最初の成果物として設定されたもので、EUVテスト露光装置である。Engineering Test Stand (ETS) という。1999年完成を目指した(実際の完成は2001年)。4枚ミラー光学系で、NA0.1、波面収差 14nm (@ $\lambda=13.4\text{nm}$) を目指した。
EUPS(Extreme Ultraviolet Photoelectron Spectroscopy)	産総研で考案された EUV 光を用いた極端紫外光励起光電子分光法。通常用いられているX線励起光電子分光法 (XPS) に対し、XPS の 2 桁近い高い空間分解能が得られる。また、発生する光電子のエネルギーが 50eV 程度であり、試料の最表面 1~2 原子層の情報に高敏感 (XPS の数倍) である。EUV 光源の光学素子では原子層レベルの超微量汚染検出が可能で、反射率測定での汚染評価に比べて 2 桁以上の高感度が期待できる。
EUVLLC	EUVLLC (EUV Limited Liability Company) は1996年にIntel、AMD、Motorolaが中心となって創設された企業体で、資金管理、テーマ運営と特許管理をする会社。後に、マイクロン (Micron Technology) 社、インフィニオン・テクノロジーズ (Infineon Technologies) 社、2001年にはIBMが参加した。
IBF	IBF はイオンビーム加工 (Ion Beam Figuring) の略で、絞ったイオンビームを加工面に照射し凸部を選択的に除去する技術。イオンビームの径で一度に加工できる領域を変えることができる。加工能力はイオン電流、加速電圧、ビームスキャン速度 (あるいは滞留時間) で調整できる。
LER(ラインエッジラフネス)	レジストパターンの周辺におけるパターンの凹凸を言う。レジストを構成する分子の大きさが、パターン全体の大きさに比べて無視できないような状況となったことや、化学増幅系レジストにおける、反応主体である酸の拡散距離、さらには露光に用いる光子の数のゆらぎ等が原因で、パターンエッジが揺らぐ現象。

LPP(Laser Produced Plasma)方式	EUV 光を生じるプラズマを生成するためにレーザーを用いる方法。レーザー法。ターゲットと呼ぶプラズマ生成物質を EUV 発生チャンバに投入し、高強度短パルスレーザーで照射してプラズマを生成させる。レーザー法では、プラズマ周囲の空間的制約が少ないため、大きな捕集立体角を持つ集光ミラーや、プラズマからの熱やデブリ遮蔽の機構を設置することも可能である。
MOPA(Master Oscillator Power Amplifier)システム	発振器と増幅器より構成されたレーザーシステム。励起されたレーザー媒質に発振器からのシード光を通し、誘導放出を利用して出力を増強させる方法。増幅器は光共振器を使わないため、構造は単純だが、自然放出光による雑音(レーザー発振に寄与しない上準位からの緩和)が加わり易い。大きな出力強度(パワー密度)を通して上準位を速やかに枯渇させることで雑音を低減できると考えられる。
NA	光学系の光軸と最外光線のなす角 q の正弦に屈折率を乗じたものを NA (Numerical Aperture = $n \sin q$) 開口数という。投影光学系では大きいほど分解能が高くなる。
OPC	OPC は光近接効果補正 (Optical Proximity Correction) の略である。回路パターンが微細になると光の回折の影響で角が丸くなったり、隣接パターンが接触したりする現象が生ずる。これを防止するためにマスク上のパターンを補正し、正しいパターンの転写ができるように補正する。この補正を光近接効果補正という。転写されないサイズの微細パターンを付与したりするため、電子ビーム描画のデータの増大、微細パターン検査の負荷の増大、データ変換と描画時間の増大等コスト上昇の要素が極めて大きくマスク価格の高騰を招いている。
PAG (光酸発生剤)	Photo Acid Generator の略。光等のエネルギー線の照射によって、酸を発生させる機能を持つ材料。
PSD	Power Spectral Density (PSD) は面粗さの周波数成分を分解能で規格化して表示したもの。面のフーリエ係数の2乗を表示したのがパワー密度とすると、それを分解能で規格化したもの。
RET	RET は解像力向上技術 (Resolution Enhancement Technology) の略である。従来の方では解像力不足のためパターン転写に限界がある。これを解決する手段として円環照明、四重極照明などの変形照明、位相変化を利用した位相型マスク等種々の技術を利用して解像力を向上する技術をいう。OPC もその一種である。
RF (Radio Frequency) CO ₂ レーザ	ラジオ周波数でレーザー媒質を励起する CO ₂ レーザ。電波法に準じ、周波数として 13.56MHz と 40.68MHz が良く使われる。しかし、実験室では 100MHz 以上の周波数で励起されることもある。RF CO ₂ レーザは大きく 2 種類に分類できる。強制冷却方式の高速同軸流 (Fast-Axial-Flow) タイプと拡散冷却方式のスラブ (Slab) タイプの 2 種類がある。
SIMS	SIMS は二次イオン質量分析装置 (Secondary Ion Mass Spectroscopy) の略である。セシウム (Cs)、酸素 (O)、ガリウム (Ga) などのイオンを照射し、反跳してくる二次原子のエネルギーを分光し、被検査物の組成を分析する装置。
TEA (Transversely Excited Atmospheric) CO ₂ レーザ	レーザーの出射光軸と放電方向が直交し、ガス圧が大気圧程度またはそれ以上である CO ₂ レーザ。ガス圧が高いため、連続放電が困難である。そのため、レーザー発振の形態はパルス発振である。
VNL	EUVLLC で実質的な開発を担当するメンバを国立三研究所に集めた。その全体を Virtual National Laboratories (VNL) とよぶ。三研究所とは Lawrence Livermore National Lab (リバモア), Lawrence Berkeley National Lab (バークレー), Sandia National Lab. (サンディア) である。
XANES	X-Ray Absorption Near Edge Structure (XANES) は吸収端近傍構造による分析法で、配位構造や結合の電子状態にも敏感である。
XPS	X-ray Photo-emission Spectroscopy の略。X線を照射し放出される電子のエネルギーを分析して元素の結合状態を測定する手法。化学結合状態で電子の軌道エネルギーがシフトするので、ケミカルシフトを検出する。

粗さ	レンズやミラーの加工面の凹凸で、その周期から低空間周波数粗さ(LSFR)、中間空間周波数粗さ(MSFR)、高空間周波数粗さ(HSFR)に分類される。各領域の空間波長としては、順に有効径～1mm、1mm～1mm、<1mm とすることが多い。ミラー光学系の場合 LSFRは結像性能に、MSFRはフレアーに、HSFRは反射率の低下に影響を与える。
アンジュレータ	電子蓄積リングの直線部に軌道の上下に極性を交互に変えて比較的弱い磁石列を配置したものをアンジュレーター(Undulator)という。この磁石間を電子が通ると、軌道面内で正弦波的な蛇行運動が起こり蛇行軌道上で間断なく放射光を発生する。発生した光は互いに干渉し合うので、輝度が高く特定の波長にピークを持つスペクトルがえられる。
液浸リソグラフィ	UV露光装置の投影光学系の最終レンズとウエハの間に屈折率の高い液体を入れ、実効波長を短縮しNAを増大する技術。KrF、ArF露光機では液体として純水を用いる。歴史的には光学顕微鏡の対物レンズと被検物の間に油を入れ解像力向上にもちいられた。
エタンデュ	エタンデュは光束の面積と広がり角(立体角)の積で定義される量である。光学系の中でエタンデュは一定であり、光源側のエタンデュ(光源面積と発散立体角の積)は照明領域のエタンデュ(照明領域の面積と照明光立体角の積)により制限される。光源側のエタンデュが大きいと、有効利用出来ない光束の割合が増加する。
オパシティ	光学的厚さ。 発光体表面の明るさは、発光体の厚さ d に比例するので、大きなパワーのためには、発光体を厚くする必要がある。一方で、発光体自身にも、波長に依存した吸収 k_f があるため、発光体を無限に厚くしても無限に明るくはならず、飽和する。飽和輝度 I_{black} は、黒体輝度と呼ばれ温度のみで決まる。 つまり光源の明るさ I は、 $I = I_{black}(1 - \exp(-k_f d))$ で与えられる。 オパシティ=光学的厚さ t は $t = k_f d$ と定義され、光源の明るさを決める重要なパラメータである。
化学増幅系レジスト	光等のエネルギー線により酸を発生する酸発生材から発生した酸の触媒作用によって、レジストの現像液に対する溶解特性を制御することでパターンを形成することを特徴とするレジスト材料の総称。ポジ型では、アルカリ可溶性の材料の一部を保護基によって保護し、これに酸発生材からの酸が触媒となり、保護基が外れることで、アルカリ可溶になる系が多い。ネガ型では、酸の触媒作用で、架橋が進むなど、現像液に対する溶解性が低下することや、溶解性の極性が変化することなどを利用する系が多い。
干渉計	光の干渉を利用してレンズやミラーなどの加工面形状を計測する装置。精度向上のために光路を参照光と検査光で共通にした(コモンパス)Fizeau(フィゼー)干渉計を用いられることが多い。
光線追跡シミュレーション	系内のある物体への入射光特性(エネルギーと方向など)を与え、その物体からの射出光特性を計算することを繰り返して光の伝播をシミュレーションすること。照明解析やコンピュータグラフィクスなどに適用されている。
高分子レジスト	ベースとなるレジスト樹脂の分子量が比較的大きなレジスト材料で、従来の光リソグラフィ技術で利用されている材料の主流。
コンタミネーション	真空中で用いられる反射ミラー上に炭化水素が堆積すること、金属ミラーの表面の酸化も含める。ミラーのコンタミネーションにより反射率が低下する。EUV用多層膜ミラーは理論反射率でも70%前後のため、コンタミネーションによる反射率低下が数%でもシステムの性能の低下を及ぼす。堆積防止と除去がテーマ。
酸拡散距離	光等のエネルギー線の照射により発生した酸の拡散する距離を言う。この距離が長い場合、多くの反応点と酸が反応する可能性があり、触媒効果が大きくなり、高感度化する可能性が高い一方、エネルギー線の入射点から遠い部分まで、その影響が及ぶこととなり、解像性が低下する等の問題点がある。
磁気パルス圧縮型電源	可飽和リアクトルのスイッチング機能(非飽和時に OFF、飽和時に ON)を利用して短パルス電流を供給する電源。半導体スイッチの採用で高繰り返し用途に適し、信頼性が高い。

斜入射集光ミラー	反射面への光の斜入射角を臨界角より小さくし、光の全反射を利用した集光ミラー。光の干渉効果を利用する多層膜(直入射)ミラーとは異なり反射面は単層膜でもよく、斜入射角が10度以下で90%近い反射率が得られる。
集光点出力	プラズマからの EUV 光を集光ミラーで集光した集光点での出力。集光ミラーの捕集立体角、集光ミラーの反射率、EUV チャンバ内の EUV 透過率などの EUV 損失により、発光点出力から大きく出力は低下する。EUV 光源から露光装置に送られる EUV 出力値として重要な値である。
Zr フィルタ	Zr の薄膜は、13.5nm 近傍において比較的高い透過率を有し、かつ他の波長帯の光は透過しない性質を有している。この性質を利用して EUV 以外の波長を遮断するフィルターとして用いられる。
直入射集光ミラー	回転楕円面鏡または2つの球面鏡を組み合わせた集光ミラーであり、反射面への入射が比較的垂直入射に近い。ミラー表面には Mo/Si 等の多層膜反射面が形成されている。
発光点出力	プラズマから四方に発生する EUV 光を、立体角 2π あたり、波長域 13.5nm の 2%band width に規格化して示される EUV 出力値。一次光源出力とも呼ばれる。
プロセスファクター (k1, k2)	結像系の分解能(R)と焦点深度(DOF)を波長と開口数 NA とで (λ/NA) 、 $(\lambda/(NA)^2)$ と表すとき、それぞれにかかる比例係数を k_1 、 k_2 という。実際の装置における分解能と焦点深度はプロセスにより変わるのでプロセス係数という。 k_1 の理論値は0.25であるが実際は0.3より大きい条件しか使えない。また k_2 は0.8~1.0程度の値である。($R=k_1 \lambda / NA$ 、 $DOF=k_2 \lambda / (NA)^2$)
分子レジスト	ベースとなるレジスト樹脂の分子量が単分子から構成されるレジスト材料の総称で、様々な機能を単分子に凝縮することで、母体となるレジスト分子によるパターンエッジの凹凸を抑制できる可能性があり、LERの低減手段として注目されている。
変換効率	プラズマ生成のために直接的に投入したエネルギーに対する EUV 発光点出力(立体角 2π あたり、波長域 13.5nm の 2%band width)の割合。投入エネルギーは、レーザー法ではレーザー出力、放電法では放電電極への注入電力を用いることが一般的である。
捕集立体角	プラズマからの EUV 光を集光ミラーで集光する立体角のこと。レーザー法ではプラズマ周辺の空間的自由度が大きく大径集光ミラーをプラズマ近傍に設置できるので、比較的大きな捕集立体角 ($\geq \pi$) が確保できる。放電法ではプラズマからの EUV 光が隣接する電極に遮られるため、レーザー法に比べて捕集立体角を余り大きく取れない。
面精度	光学系の結像性能を決める要素。収差がある像の強度が無収差像の強度の90%であるとき、許される波面収差は $\lambda/14$ 以下といわれている(Marechal 基準)。ミラー光学系では形状誤差が2倍にきくこと、6枚ミラー系では一枚あたりの誤差は $1/\sqrt{6}$ とすべきことを考慮すると、ミラー一枚の面精度は $\epsilon = \lambda / (14 * 2 * \sqrt{6}) \sim 0.2\text{nm rms}$ となる。
Mo/Si 多層膜ミラー	高屈折と低屈折率材料を、波長の 1/4 程度の厚さで交互に多層膜構造を形成すると設計波長において高い反射率が得られる。波長 13.5nm においては、吸収の少ないモリブデン(Mo)とシリコン(Si)が用いられる。
レーザー強度 (Intensity)	レーザーパルスのピーク強度を定義する。レーザー強度は以下の式より定義される。 レーザー強度=レーザーエネルギー密度[J/cm ²] / パルス全幅半値[s]

I. 事業の位置付け・必要性について

1. NEDO の関与の必要性・制度への適合性

1.1 NEDO が関与することの意義

情報技術がめざましく発展している今日の社会では、情報・知識を時間や場所の制約を受けず誰もが自由自在かつ安全に活用できる情報通信環境の実現が望まれている。また平成 19 年 6 月に改訂された経済成長戦略大綱において、我が国の国際競争力強化のために注力すべき分野として、情報家電、ロボットなどが挙げられている。このような応用システムにおいて基幹となる先端半導体 LSI 技術においては、今後進展する微細化に対する課題解決が不可欠である。また、上記分野においてはさらなるモバイル化、ユビキタス化が進展するため、それに伴って、半導体 LSI の高機能化、低消費電力化へのニーズはますます強くなるものと予測される。また NEDO が編纂した NEDO 技術ロードマップ(平成 21 年版)が示すように、我が国にとって重要な半導体 LSI はその実現のためには多くの技術開発が必要となっている超低消費電力のシステム LSI である。本プロジェクトは、このような要求を満たすシステム LSI やメモリ等の高機能・低消費電力 LSI の実現に必要な半導体デバイス・プロセス基盤技術の確立を目的として、IT イノベーションプログラム、エネルギーイノベーションプログラムの一環として実施されている。

これまで、半導体デバイスは、微細・高集積化することにより、着実に高機能・高性能化と低コスト化を実現してきた。これが 30 年以上にわたり 3 年毎に 4 倍という目覚ましい勢いで高集積化を果たしてきた大きな原動力と考えられる。このためには、量産化・製品開発段階に加え、次世代、次々世代、さらにこれらを支える基礎研究等、多段階の技術開発を同時並行的に進めなければならない。最近では、微細・高集積化の進展に伴い、開発すべき技術課題の難度と、その克服に要する研究開発資源が増大してきており、民間企業のみでは十分な対応が困難となっている。

本プロジェクトは、そのhp65nm¹からhp45nm以降まで広い技術世代に向け、最重要と考えられる技術課題の克服にチャレンジするものである。これらの技術課題は非常に難度が高いため、物性、材料、反応等の基本に立ち戻って科学的知見を活用し、これを産業技術へ繋げていくという、サイエンスとエンジニアリングが融合一体となった取り組みが必要である。このため、産学官の英知を結集して当たる必要があり、国家プロジェクトとしてNEDOが関与すべきものと考えられる。

本プロジェクトが対象としている技術課題は、今後の微細・高集積化を進める上で重要な鍵を握る技術に関わるものであり、世界に先駆けてこれらの課題を克服することは、我が国半導体産業の国際競争力強化に不可欠な要件である。半導体デバイスの高度化は、関連する半導体製造装置、材料等の関連産業においても、技術の高度化を促進するものであり、国際競争力の強化に寄与することとなる。また、半導体 LSI は、情報通信分野はもとより、広範な産業分野(家電、自動車、モバイル、ロボット等)に応用され、高付加価値の新製品開発と、それによる競争力強化に貢献するものと期待される。さらに、半導体とその関連技術は、バイオ、MEMS、NEMS、ナノテクといった新興成長分野を根底から支え、変革していく技術的原動力となっており、将来の新規産業創出等、極めて大きな波及効果が期待されている。

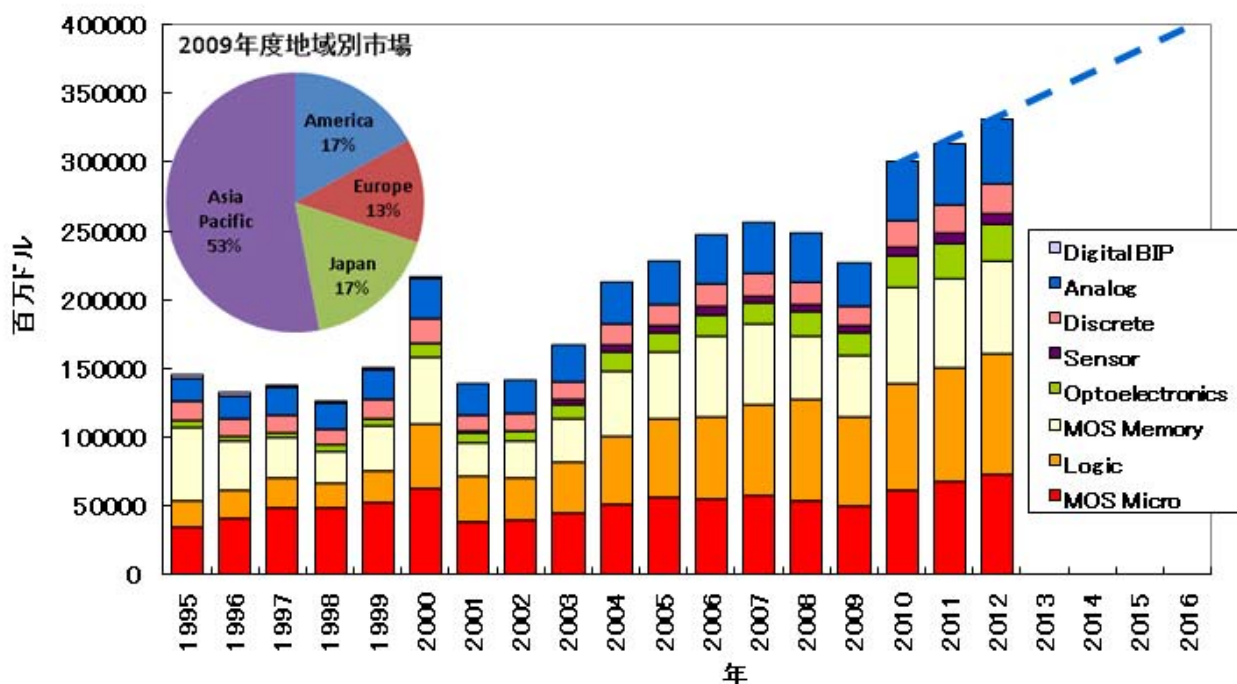
以上のように、本プロジェクトは、開発課題の性格上、産学官の英知を結集して開発を行う必要があることに加え、我が国半導体とその関連産業の国際競争力強化、および国家的重点目標である高度情報化社会の実現に寄与するものであり、さらには、広範な産業分野への大きな波及効果が期待され、産業政策・情報政策の面からも極めて重要な課題であることから、国家プロジェクトとして NEDO が関与すべきものと考えられる。

¹ITRS では 2004 年まで DRAM の配線ピッチの 1/2 をハーフピッチ (hp) とし、これをテクノロジノードに変えて使用した。2005 年版 ITRS からは DRAM 以外のハーフピッチも併記され、フラッシュメモリの第一層金属配線(ビット線)のハーフピッチが最小である。ここでは半導体 LSI 技術レベルの指標として hp を用いる。

1.2 実施の効果(費用対効果)

本プロジェクトが対象としている技術の開発により、情報通信機器の高機能化、低消費電力化の要求を満たすシステムLSI実現など、将来幅広い産業分野で利用される共通基盤技術の形成が見込まれる。その成果は、モバイル・携帯機器、デジタル家電等において、その情報処理部分の中核を支えている半導体集積回路とそれを製造する際に必要となる製造装置・材料などに直接波及する。また、これらの産業以外にも、半導体集積回路を用いた情報通信・デジタル情報家電産業や情報処理・記憶装置等の産業、あるいは機器と人とのインターフェースとして機能する電子デバイス・ディスプレイデバイス等の産業に波及する。また、これらを使用する自動車、車両、ロボット、情報通信ネットワークを利用した安全システム等、社会生活の根幹を形成する産業にも広く波及する。

I-1-1.2-図1に1995年から2010年までの半導体世界市場と2016年までの予想を示す。半導体市場は様々なデバイスの売上で構成されており、本プロジェクトに直接関係するシステムLSIおよびメモリの市場は、図中の「Logic」、「MOS Micro」および「MOS Memory」の合計を想定している。半導体市場規模は、2009年に世界的な不況により一時減少するが、2010年以降回復すると予想される。2010年以降市場が年5.1%で成長すると仮定すると、hp22nmデバイスの量産開始が見込まれる2016年には世界市場規模は40兆円になる(1ドル100円換算)。このうちシステムLSIの世界市場規模は半導体市場全体の約50%と仮定すると、本プロジェクトに係わる市場規模は20兆円と推計される。また2016年のメモリの世界市場規模は、半導体市場全体の約25%と仮定すると、本プロジェクトに係わる市場規模は、10兆円と推計される。



I-1-1-2-図1 半導体世界市場、システムLSI関連市場の年次推移(WSTSデータを集計)

以上の試算は、本プロジェクトの成果が直接及ぶと考えられる LSI に限ったものであり、LSI の製造装置および各種応用機器まで含めると、さらに大きな効果がもたらされるものと考えられる。高機能・低消費電力システム LSI が実現すれば、生活空間のあらゆる場面での活用が進み、情報通信システムの高度化、生活・医療サービス、高齢者支援、デジタル家電の知能化など、幅広いサービスが実現し、大きな新市場創出につながる事が期待できる。

また、省エネルギーに関して本プロジェクトの効果を試算すると、半導体デバイスの微細化が進行した結果削減される LSI 消費電力量は、2020 年に 11.6TWh、2030 年に 22TWh になる。これを石油消費量削減効果に換算すると、それぞれ、274 万 kl、519 万 kl に相当する。

2. 事業の背景・目的・位置付け

2.1 背景および目的

日本経済が将来に渡って持続的発展を続けるためには、その原動力として電子・情報通信産業の健全な発展が不可欠である。国際的視点からも電子・情報通信産業の進展なくしては、日本が先進国としての地位を占め、その役割を果たしていくことは難しいと言える。半導体デバイスは、電子機器、情報通信機器の機能・性能を決定付ける重要な構成要素であり、機器の高性能化、小型化、低消費電力化等のニーズの高まりにつれ、益々その重要性を高めている。半導体技術の進歩が、電子・情報産業の発展の鍵を握っていると言っても過言ではない。

一方、日本の半導体産業の状況を見れば、80 年代後半から 90 年代初頭にかけて、世界市場の過半を制する勢いであったが、その後海外企業の台頭により年々国際競争力が低下してきた。前述の通り、半導体デバイスの性能・機能の向上に対する際限のないニーズの高まりに対応して、技術的障壁は益々高度なものとなり、その克服は極めて重要な課題となっていた。このため、産業界においても次世代の半導体技術の開発に対して国家資金を投入することの必要性について要望・提案がなされた。

こうした背景のもとで、通商産業省(当時)／NEDO において検討の結果、以下に示す本事業「次世代半導体材料・プロセス基盤技術開発(半導体 MIRAI プロジェクト)」が開始されることとなった。また同時に、民間主導のあすかプロジェクトが発足し、両者の連携のもとに産学官の力を結集して半導体技術開発を進めることとなった。

本事業の第一期・二期(2001～2005 年度)においては国際半導体技術ロードマップ(ITRS2001)に示されている技術課題の内、2007～2010 年頃までを見通し、重点的に推進すべき研究開発課題として次世代(hp65nm)および次々世代(hp45nm)に向けた新材料、プロセスモジュール、デバイス技術等の開発を目的とした。一方、あすかプロジェクトにおいては、より直近にあたる hp90～65nm を主要ターゲットにして、量産対応のプロセス・デバイス技術、および設計技術の開発を行うこととした。

半導体は、電子機器、情報機器を構成している様々な機能を持った要素システムがひとつのシリコンチップ上に集積されたシステムオンチップ(SoC)の時代に入りつつあった。これまで前述のように微細化、高集積化により機能や性能の向上を果たしてきたところであり、今後もその要求は高まっていくことが見込まれるが、微細化の進展に伴い、技術的限界が見え始めていた。国際半導体技術ロードマップ(ITRS2001)においても、次世代、次々世代にあたる hp65-45nm 以細においては、これを実現するための技術的方策が未解決とされていた。

第一期・二期の開発対象は、このような微細化の進展に不可欠で、極めて難度が高い技術課題として下記の 5 課題に焦点を絞って開発に取り組んできた。開発成果については、実用化に結びつく重要技術をタイムリーに開発し、産業界へのすみやかな技術移転を図ることにより、我が国半導体産業の発展に貢献することを目指した。

- ①高誘電率ゲート絶縁膜材料・計測・解析技術開発
- ②低誘電率層間絶縁膜材料・計測・解析技術開発
- ③将来のデバイスプロセス基盤技術開発
 - ③-1 トランジスタ構成材料計測解析技術の開発
 - ③-2 ウェハ、マスク関連高精度計測技術の開発
 - ③-3 回路システム技術の開発

また本事業は、平成 15 年度(2003 年度)より経済産業省において、研究開発の成果が迅速に事業化に結びつき、産業競争力強化に直結する「経済活性化のための研究開発プロジェクト(フォーカス 21)」と位置付けられており、次の条件のもとで実施された。

- ・技術的革新性により競争力を強化できること。
- ・研究開発成果を新たな製品・サービスに結びつける目途があること。
- ・比較的短期間で新たな市場が想定され、大きな成長と経済波及効果が期待できること。
- ・産業界も資金等の負担を行うことにより、市場化に向けた産業界の具体的な取組が示されていること。

産業界の具体的な取組とは、「あすかプロジェクト」における(株)半導体先端テクノロジーズ(Selete)が実施した先端デバイス・プロセス技術の研究開発である。MIRAI と Selete では隔月で打ち合わせの場を持ち、両者の研究開発の連携を深めた。「あすか」はモジュール開発を最終目標に、より実用的な技術開発を担うのに対し、MIRAI は科学的なアプローチによる基盤技術開発を担当した。MIRAI は「あすか」の 1 世代先という区別をされることがよくあるが、ことはそう単純ではなく、両者で異なる研究開発のアプローチを取り、互いに相補的である点が本質である。MIRAI の科学的アプローチによる現象解明が「あすか」の開発に直接フィードバックされる場合もある。

研究開発の進捗と伴にプロジェクト成果が出てくる一方、微細化の技術開発は進んできた。産業界は、あすかプロジェクトが終了する 2006 年度以降の共同コンソーシアム活動のあり方について、半導体産業研究所(SIRIJ)に第 2 次半導体新世紀委員会(SNCC)を組織し、MIRAI プロジェクト実施者、NEDO、METI も委員に加わり、検討を行った。2004 年 5 月に第 2 次 SNCC 提言が示され(JEITA プレスリリース 2004 年 6 月 10 日)、さらに、この第 2 次 SNCC 提言を具体化するため SIRIJ に組織された、つくば R&D センター準備委員会(MIRAI 実施者は委員、NEDO と METI はオブザーバ参加)における議論、NEDO および METI が実施した個別企業からのヒアリング、産業界と MIRAI 実施者と NEDO および METI の協議などから以下の課題が明らかになった。

- ・hp45nm の材料・プロセス技術の選定が行われる 2007 年頃までに、FEP 及び BEP のモジュール開発を終える必要がある。
- ・極限微細化技術や、新構造 CMOS の研究開発などの先端的基盤技術研究は引き続き重要。
- ・hp45nm では EUV リソグラフィ(極端紫外線リソグラフィ)が候補のひとつ。光源、光学系開発は行われているが、EUV リソ・マスク関連の総合的技術開発は行われていない。

上記課題を解決するために、NEDO は MIRAI プロジェクトの運営について 2005 年 2 月に以下の方針を固めた。

- ・MIRAI プロジェクトの hp45nm 関連の要素技術の成果を、2005 年度末に Selete に移転し、Selete において一元的にモジュール開発を実施する。
- ・MIRAI プロジェクトでは、2006 年度以降、極限微細化技術や新構造 CMOS 開発などの先端的基盤技術開発を中心に行う。
- ・hp45nm の実用化を図るために、EUV リソ・マスク関連の技術開発を、早期に立ち上げる。

上記方針に基づき、2006 年度以降の展開を見定めた上で戦略的に 2005 年度の研究開発を行うこと、2006 年度からの研究開発計画を取りまとめて MIRAI 基本計画を改定することが決定された。

このような背景のもと、2006 年度からは、半導体の微細化に関しては、hp45nm を越えるデバイス実現に必要な革新的基盤技術を、産業界において自ら実用化に向けた展開を図る際の判断ができる水準まで技術開発を行い、技術選択肢として提示することを目的とした。また、EUV リソグラフィに関しては、hp45nm～hp32nm に適用できる高精度・低欠陥 EUV リソグラフィ用マスクの技術基盤技術確立を目的とした。これらの具体的な課題として第三期は下記の 4 課題に焦点を絞って開発に取り組むこととした。

I. 次世代半導体材料・プロセス基盤技術開発

- ① 新構造極限 CMOS トランジスタ関連技術開発
- ② 新探究配線技術開発
- ③ 特性ばらつきに対し耐性の高いデバイス・プロセス技術開発

II. 次世代半導体露光プロセス基盤技術開発

- ④ 次世代マスク基盤技術開発

平成 19 年度末の中間評価以後、情勢変化を検討し、新構造極限 CMOS トランジスタ関連技術については、新構造トランジスタと極限 EOT (Equivalent Oxide Thickness) ゲートスタックの技術についてのサイエンスの深堀と実証が一定の段階に達したことから、平成 19 年度末に関連コンソーシアムを含めた産業界に成果を移転して開発を終了するとともに、平成 20 年度から新たに、hp32nm を越える技術領域で顕在化するキャリアのバリスティック輸送現象の総合的な最適化を図るバリスティック CMOS 技術開発に取り組むこととした。新探究配線技術は hp32nm 以細の技術領域で、また、特性ばらつきに対し耐性の高いデバイス・プロセス技術は hp45nm を超える技術領域で消費電力や信頼性の課題を解決する革新的技術であることが示され、また産業界においてプロジェクト終了時に自ら実用化に向けた展開を図る期待が大きい技術であると判断されたことから、平成 22 年度までの具体的な成果達成目標を設定して技術開発を行うこととした。

また、EUV リソグラフィに関しては、hp32nm 以細に適用できる高精度・低欠陥 EUV リソグラフィ用マスクの技術基盤確立を目的とした。具体的には EUV リソグラフィ用マスクの解析・評価技術、コンタミネーション制御技術、欠陥検査技術、欠陥修正技術、及びペリクルレスハンドリング技術等の開発を行うこととした。平成 20 年度からは、上の開発と平行して、量産に適用できる EUV 光源の高信頼化技術の開発を行い、具体的には、光源起因マスク、ミラーの汚染評価技術、集光光学系などの清浄化技術を開発することとした。これらの具体的な課題として平成 20 年度より下記の 5 課題に焦点を絞って開発に取り組んだ。

I. 次世代半導体材料・プロセス基盤技術開発

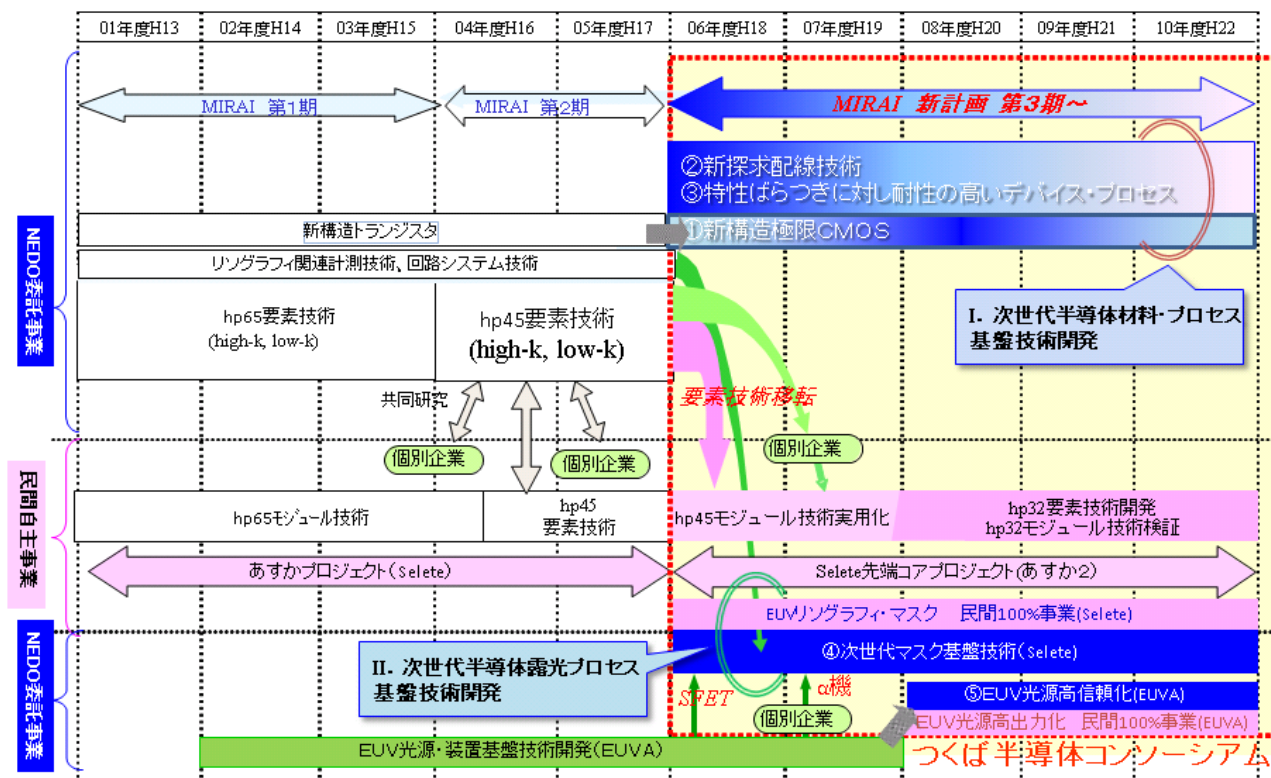
- ① 新構造極限 CMOS トランジスタ関連技術開発
- ② 新探究配線技術開発
- ③ 特性ばらつきに対し耐性の高いデバイス・プロセス技術開発

II. 次世代半導体露光プロセス基盤技術開発

- ④ 次世代マスク基盤技術開発
- ⑤ EUV 光源高信頼化技術開発

2.2 第三期の事業の位置付け

第一期から第三期までの研究開発項目の推移と事業の位置づけ及び民間事業との分担を I-2-2-2-図1 に示す。本プロジェクトは第三期から、つくば半導体コンソーシアムの事業の一環として進められている。つくば半導体コンソーシアムは産学官連携した半導体の研究開発を行うもので、民間企業では MIRAI 第一期、第二期の成果を含めた hp45nm モジュール技術を実用化することに注力し、一方、MIRAI では hp45nm を超える領域をターゲットとした研究開発を進めた。特に「II. 次世代半導体露光プロセス基盤技術開発」では、hp32nm 以細のリソグラフィ技術として有望な EUV リソグラフィの技術開発に特化し、デバイス開発に先行して微細化を推進し、半導体デバイスの高度化に資することとした。



I-2-2-2-図1 MIRAI プロジェクトの再編とつくば半導体コンソーシアム

第三期の「I. 次世代半導体材料・プロセス基盤技術開発」における3課題の技術的位置づけ及び必要性を次に示す。

①「新構造極限 CMOS トランジスタ関連技術開発」

hp32nm を越える技術領域では、微細化を進めることにより CMOS の電流駆動力が低下するため、革新的新技術の導入が必須である。具体的には、MIRAI 第3期前半までに既に開発済みの高移動度チャネル材料技術やひずみ導入による高移動度化技術の利用に加えて、「バリスティック効率」を向上することが求められている。また、微細化に伴う素子構造の縮小化により不純物分布のばらつきが信頼性の点で課題とされているが、不純物への衝突散乱が少ないバリスティック効率の向上は、ばらつきの低減を行うことが可能となり、最終的にはトランジスタ動作の信頼性向上に結びつけることが期待できる。このためにはシリコン

MOS トランジスタのソース・ドレインの材料・構造、チャネル材料・構造を制御してバリスティック効率を向上させオン電流を増大させることが強く求められている。

②「新探究配線技術開発」

hp32nm 以細の技術領域においては、従来の低誘電率層間絶縁(Low-k)膜と銅(Cu)配線の多層配線では信号遅延・電磁干渉・消費電力・電流密度などの課題が顕在化し実現が困難となる。微細化に伴う配線表面や結晶粒界における電子散乱により Cu の抵抗率が増大するだけでなく、微細化に伴い Cu ビアに流れる電流密度が限界に達する。これらの問題に対し、従来技術の延長線上には抜本的な解決策が見あたらない。従来技術とは異なる発想に基づく新探究配線技術の研究開発に取り組み、実用化開発に向けての指針を提示することが求められている。

③「特性ばらつきに対し耐性の高いデバイス・プロセス技術開発」

半導体 LSI では、微細化と共にデバイス特性のばらつきが顕著になってきた。hp45nm を越える技術領域に向けて、特性ばらつきが正常な回路動作の大きな障害になると予想される。この問題に対処するには、半導体材料・プロセスからシステム設計に至る多面的なアプローチが必要である。その中でも、デバイス特性ばらつきの解析・物理的理解・モデリングは製造・設計歩留まりの向上を実現できる共通基盤技術として不可欠なものである。さらに、これらの知見に基づき、半導体材料・プロセス・デバイス面から特性ばらつきに対処する基盤技術開発が求められる。

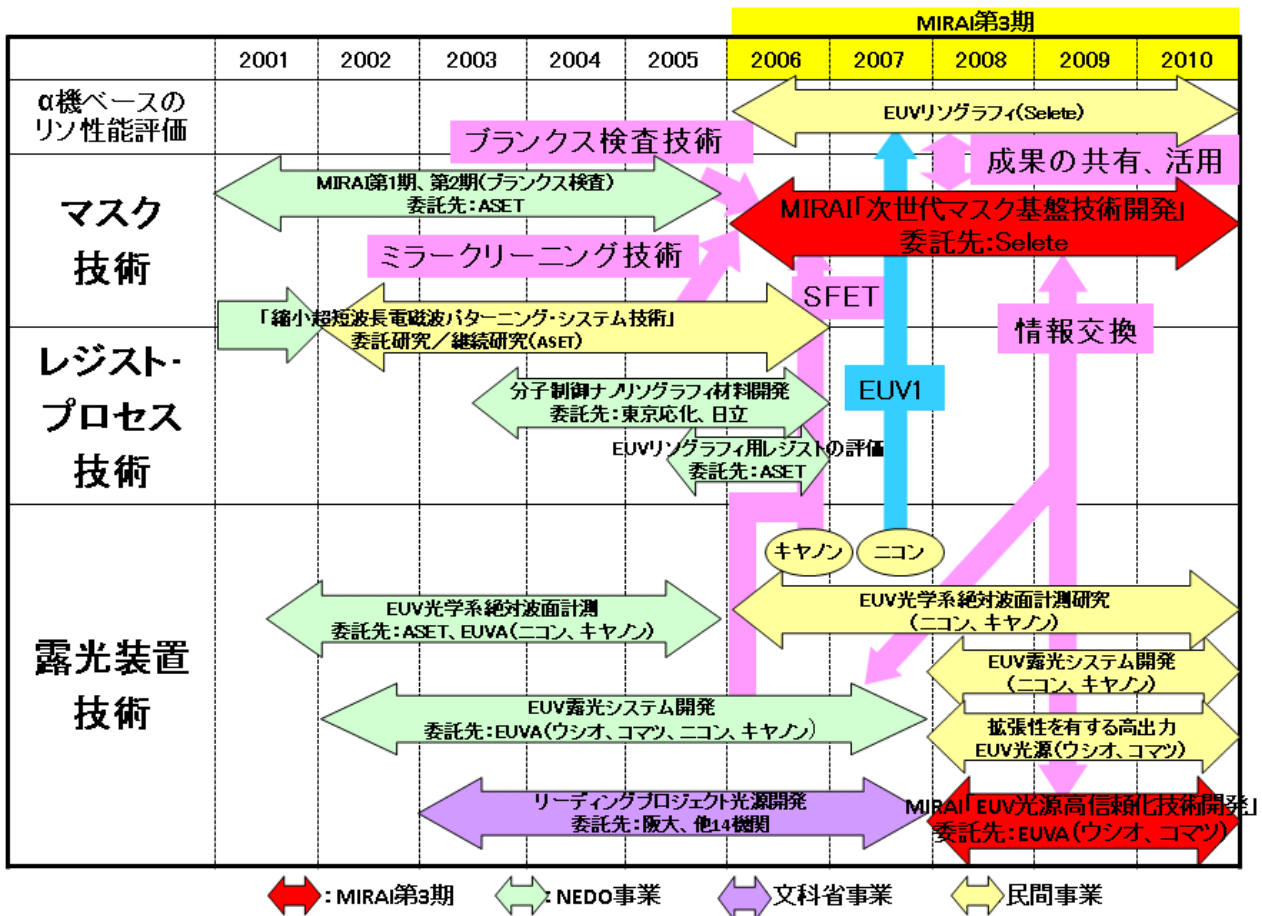
次に、「Ⅱ. 次世代半導体露光プロセス基盤技術開発」の2課題である「④次世代マスク基盤技術開発」「⑤EUV 光源高信頼化技術開発」に関する EUV リソグラフィについて、そのリソグラフィ技術内での位置付けを示す。

I-2-2.2-図 2 は、hp45nm 以細の半導体デバイスを量産するための光を用いたリソグラフィ技術の候補とその適用範囲を示したものである。図中の候補のうち、ArF 水液浸(NA1.35)は hp45nm で原理的に微細化の限界を迎える。その先の世代への微細化に対応できるリソグラフィ技術としては、ArF 高屈折率液浸(NA1.65)、ArF 水液浸/ダブルパターンニング、EUV リソグラフィが候補に挙げられる。これらの中で ArF 高屈折率液浸(NA1.65)は、硝材開発等が難航しており、2008 年現在、露光機メーカーでの開発は停滞している。また、ArF 水液浸/ダブルパターンニングは、hp32nm の Flash メモリへの適用の最有力候補として開発が進んでいる。しかし、技術の延命が hp20nm 台までであること、また、ロジック LSI への適用は、パターン分割の難易度が高く不透明であること、という課題がある。一方 EUV リソグラフィは、光源、マスク、レジスト等、新規に開発する項目が多いが、hp32nm 以細の複数世代で適用できる技術である。よって、露光方式の解像性能ポテンシャルを考慮すると、EUV リソグラフィが hp32nm 以細の領域で最も有望な量産リソグラフィ技術候補と考えられる。

生産年	2007	2008	2009	2010	2013	2016
DRAM 1/2 Pitch	65	57	50	45	32	22
ArF水液浸 (NA1.35)	(k1=0.4)	hp57nm	(k1=0.35)	hp50nm	微細化の限界	
ArF高屈折率液浸 (NA1.65)		(k1=0.4)	hp47nm	(k1=0.35)	hp41nm	開発の停滞
ArF水液浸 (NA1.35) / ダブルパターンング		(k1=0.5)	hp72nm (=hp36nm)	(k1=0.35)	hp50nm (=hp25nm)	微細化の限界
EUVL (NA0.25/0.35, k1=0.5)				EUVLにより微細化を進展 (NA0.25) (NA0.35) hp27nm hp20nm		

I-2-2-2-図2 hp45nm 世代のリソグラフィ技術候補とその適用範囲

以上のように、EUVリソグラフィは有望な微細化技術であるが、最終的に半導体製造に採用されるためには、多くの課題がある。それらの課題に対応する我が国の開発体制と、本プロジェクトの位置付けをI-2-2-2-図3に示す。図において、マスク、レジスト、リソインテグレーション、光学系・装置開発、光源を開発課題と位置付け、これらの課題を、本プロジェクト、他の国家プロジェクト、並びに民間自主開発事業によりカバーして取り組んでいる。



-2-2-2-図3 国内の EUV リソグラフィ開発体制と本プロジェクトの位置付け

2.3 国外の開発動向

EUVリソグラフィの実用化に向けた技術開発は、多岐にわたる難度の高い要素技術の開発と、総合的なシステム化が必要であり、大規模な開発リソースを要することから、海外でも多くの公的資金や民間資金を投入して開発が進められている。I-2-2.3-図1に米、欧、アジアでのEUVリソグラフィ開発プロジェクトを示す。EUVリソグラフィはそもそも日本のNTTから発祥した技術であるが、本格的取り組みは欧米が先行することになった。特にインテル主導によるEUVLLC(EUV Liability Limited Company)/VNL(Virtual National Laboratory:米国の3国立研究所の共同研究体)におけるフルフィールドテスト露光機(ETS; Engineering Test Stand)試作と露光評価により、その技術的可能性が実証されてから、欧米の開発資金(特に公的予算)は急激に増加した。またオランダ露光装置メーカーASML社が米SVGL社を買収し、欧米における露光装置メーカーがASML1社に絞られたことにより、各種要素技術(光源、光学部品、光学設計、精密真空ステージ、汚染評価、検査技術等)を担当する企業や研究機関が結集してASML露光装置の開発に参画することとなった。また、米CRADA(Cooperative Research & Development Agreement)、ISMT(International Semiconductor Manufacturing Technology)や、欧MEDEA+(Microelectronics Development for European Application)などの組織によりコーディネートされ、整合性のとれたEUVリソグラフィ技術開発が進められていることがうかがえる。また、アジアでも韓国では2002年から、台湾では2008年からEUVリソグラフィ開発のプロジェクトがスタートしており、世界の半導体産業をリードする主要な国々で、激しい国際競争が行われている。

	92	93	94	95	96	97	98	99	00	01	02	03	04	05	06	07	08	09	10	予算合計
米国																				公的:540M\$+α 民間:380M\$+100M\$?
欧州																				公的:423M€+α 民間:310M€
アジア																				
日本	I-2-2-2-図3 参照																			公的:400億円 民間:120億円

I-2-2-3-図1 海外のEUVLEUVリソグラフィ開発プロジェクト

II. 研究開発マネジメントについて

1. 事業の目標

以下に一期から三期のプロジェクト目標を示す。

- (1) プロジェクトが発足時に制定された基本計画の開発目標。(2001年3月)
 - ・平成15(2003)年度に70nm、平成19(2007)年度に50nm以細の技術世代の技術課題を解決する。
 - ・プロジェクトを通して得られた基礎データ等については、プロジェクト実施期間中にデータを体系的に整理し、幅広く社会に提供を図る。
- (2) フォーカス21に位置付けられたことに対応した改訂。(2003年2月)
 - ・平成15(2003)年度に65nm、平成19(2007)年度に45nm以細の技術世代の技術課題を解決する。
 - ・プロジェクトを通して得られた基礎データ等については、プロジェクト実施期間中にデータを体系的に整理し、幅広く社会に提供を図る。
 - ・開発された技術は、デバイス構造の試作等により、電気特性や構造安定性の実証・確認等を行い、産業界への速やかな技術移転を行う。
- (3) 中間評価を受けて、第二期の基本計画を改訂。(2003年12月)
 - ・平成19(2007)年度に45nm以細の技術世代の技術課題を解決する。
 - ・プロジェクトを通して得られた基礎データ等については、プロジェクト実施期間中にデータを体系的に整理し、幅広く社会に提供を図る。
 - ・開発された材料・プロセス技術は、デバイス構造の試作等により電気特性や構造安定性の実証・確認等を行うと共に、関連するコンソーシアムあるいは参加企業の協力を得てインテグレーション課題の抽出とその解決を図ることにより、産業界への速やかな技術移転を行う。
- (4) 第三期の基本計画策定による改訂。(2005年12月)
 - ・hp45nm向け技術については平成18(2006)年度以降に関連コンソーシアム等において一元的に実用化に向けてモジュール開発を行う。
 - ・第3期を平成18(2006)年度から平成22(2010)年度まで実施する。
 - (i) hp45nmを超える技術領域の課題を解決する革新的基盤技術を開発し、半導体LSI実現に向けてのデバイス・プロセス技術選択肢を提示する。平成19(2007)年度末に見直しを行う。
 - (ii) EUVマスク基盤技術を開発し、平成20(2008)年度にhp45nm、平成22(2010)年度にhp32nmに対応する技術を確立する。
 - ・プロジェクトを通して得られた基礎データ等の共通基盤となる知見は、プロジェクト実施期間中にデータを体系的に整理し、我が国半導体技術の強化に努める。
- (5) 中間評価(2007年12月実施)を受けて平成20年度以降の基本計画を改訂。(2008年3月)
 - I. hp45nmを超える技術領域の課題を解決する革新技術としての新構造極限CMOSトランジスタ技術、新探究配線技術、特性ばらつきに対し耐性の高いデバイス・プロセス技術を、産業界における実用化に向けた展開につなげることを目指して開発する。
 - II. EUVマスク基盤技術およびEUV光源高信頼化技術を開発し、EUVマスク基盤技術については平成20年度にhp45nm、平成22年度にhp32nmに対応する技術を確立し、平成20年度より開始するEUV光源高信頼化技術については平成22年度にhp32nm以細に対応する露光装置に適用可能な技術を確立する。

第三期基本計画のプロジェクト研究開発項目に関し目標を表 II.1-1 に示す。

表Ⅱ.1-1 MIRAIプロジェクト第三期の目標

研究開発項目	第三期目標(平成22年度)
① 新構造極限 CMOSトランジスタ関連技術開発	hp32nmを越える技術世代に対応するバリスティックCMOS技術の開発を行う。チャンネル領域で準バリスティックなキャリア輸送が起こるシリコンMOSTランジスタの微細化において、デバイスの性能を最大限に発揮させるための原理とその実現に必要な材料・構造を明らかにし、低消費電力・高信頼性を実現するための技術を確認する。
② 新探究配線技術開発	銅とLow-k材料を用いた多層配線構造においてhp32nm以下の微細化に伴って抵抗が上昇し、信頼性が低下する等の課題を解決するため、カーボン材料を用いた低い抵抗値と高い許容電流密度を持つ配線構造技術を確認する。また、高速・低消費電力でデータ信号伝達を実現する新しいグローバル配線として10GHz以上の波長多重によるオンチップ光配線技術を実証する。
③ 特性ばらつきに対し耐性の高いデバイス・プロセス技術開発	hp45nmを越える微細化に伴うばらつきに起因する製造、設計歩留まりの向上や特性の経時劣化に対処する技術として、構造依存ばらつきとその経時変化の解析技術を確認し、ばらつきの物理的理解とモデリング技術を開発する。さらに特性ばらつきに耐性の高いトランジスタ構造を提案する。また、LSI回路の正常な動作を妨げる外部擾乱に対し、トランジスタや回路の誤動作や故障が発生するメカニズムを明確にし、その解決策と耐性の高い回路の設計指針を確認する。
④ 次世代マスク基盤技術開発	hp32nm以下のEUVリソグラフィに用いられるEUVマスクについて、高精度・低欠陥のマスクおよびブランク技術、マスクパターンの欠陥検査・修正技術、マスクのハンドリング技術の開発を行い、EUVマスクの総合的技術を確認する。
⑤ EUV光源高信頼化技術開発	hp32nm以下のEUVリソグラフィに用いられるEUV光源について、マスク、ミラーへの光源に起因する汚染に対する評価技術、汚染に対する清浄化技術の開発を行い、EUV光源の高信頼化技術を確認する。

2. 事業の計画内容

2.1 第三期の研究開発の内容

I. 次世代半導体材料・プロセス基盤技術開発

①「新構造極限 CMOSトランジスタ関連技術開発」

hp32nm を越える技術領域における低消費電力・低待機電力 CMOS に適した、高電流駆動力・低リーク電流シリコン-ゲルマニウム系 CMOS 技術の実現に求められるバリスティック効率向上技術を産業界の実用化に向けた取り組みと一体的に開発する。

(1) ソース・ドレイン材料・構造の制御により CMOS の駆動力を高める技術の開発

(i) ソース・チャンネル界面の電子状態を制御し、キャリア注入速度・キャリア濃度を改善する材料・形成方法・構造を開発する。

(ii) ドレイン・チャンネル界面での電子状態を制御しキャリア反射を抑える材料・形成方法・構造を開発する。

(2) キャリア輸送特性を向上して CMOS の駆動力を高める技術の開発

(i)NMOS と PMOS それぞれに最適化したチャンネルの歪みを制御してキャリア速度を向上するための材料・形成方法・構造を開発する。

(ii)NMOS と PMOS それぞれに最適化したチャンネルの表面・界面ラフネスを改善しキャリア散乱を抑制するための材料・形成方法・構造を開発する。

(iii)NMOS と PMOS それぞれに最適化したチャンネルとソース・ドレインとの界面付近の不純物分布を最適化しバリスティック効率を向上するための材料・形成方法・構造を開発する。

(3) 微細な低消費電力・高電流駆動力トランジスタによる実証

(1)・(2) で開発した技術を総合的に組み合わせる上で、微細化に伴う短チャンネル効果を抑え、低オフリーク電流を実現するために、ゲートの静電支配力の高い構造を持つ超低消費電力トランジスタを作製し低消費電力・高電流駆動力性能実証を行う。

(4) 計測・モデリング技術の開発

(i)バリスティック効率向上技術関連の計測技術を開発する。

(ii)(3) で開発する低消費電力・高電流駆動力トランジスタのモデリング技術を開発する。

②「新探究配線技術開発」

hp32nm 以細の技術領域の集積回路に適した配線基盤技術を、産業界の実用化に向けた取り組みと一体的に開発する。

(1) 極限低抵抗・高電流密度配線技術の開発

Cu 配線による微細化の課題である配線およびビア・プラグにおける比抵抗上昇、エレクトロマイグレーションによる信頼性低下を解決し、低消費電力 LSI を実現するため、カーボン材料を使った極限低抵抗・高電流密度配線技術の開発を行う。

(i)LSI 製造プロセスで許容される温度条件でカーボンナノチューブ(CNT)の高密度成長技術を開発する。

(ii)LSI 製造プロセスで許容される温度条件で CNT の高速成長技術を開発する。

(iii)hp32nm 以細の 300mm ウェハの配線構造へ適用可能性を示すため Low-k 材料を用いた配線プロセスを開発し、抵抗・信頼性・電流密度などの特性が、その世代の Cu 配線材料に対し優位性があることを実証する。

(iv)カーボン材料を用いた横配線技術を開発する。

(2) 新コンセプトグローバル配線技術の開発

グローバル配線における高周波数信号の信号遅延、クロックスキュー、シグナルインテグリティ(SI)の問題を解決し、超低消費電力を確立する新コンセプト配線技術である光配線技術を開発する。

(i)低消費電力の電気と光信号を変換するオンチップ電気光変調器および導波路結合型受光器を開発する。

(ii)波長多重光回路のための導波路、合分波器、受光、および変調素子の多チャンネル集積形成技術を開発する。必要に応じて光配線内高速信号伝送の評価解析技術を開発する。

(iii)外部に置かれた多波長光源とオンチップ光回路の集積技術を開発する。

(iv)光クロック・バスの低消費電力動作を確認し、システム性能を実証する。

③「特性ばらつきに対し耐性の高いデバイス・プロセス技術開発」

hp45nm を超える技術領域の集積回路の特性ばらつきに対処する技術を、産業界の実用化に向けた取り組みと一体的に開発する。

(1) 構造依存の特性ばらつきの物理的理解とモデリング技術の開発

hp45nm を超える技術領域の LSI の微細化に伴うばらつきに起因する回路誤動作に対処し、製造・設計歩留まりの向上を図る技術として、構造依存の特性ばらつきの物理的理解とモデリング技術の開発を行う。さらに特性ばらつきに耐性の高いトランジスタ構造を提案する。

(i) デバイス特性ばらつきの評価

経時劣化を含めた特性ばらつき評価に有効な標準 TEG (Test Element Group) を作製し、その TEG を用いて作製したデバイスの電気特性測定により、デバイス特性ばらつきを解析する。

(ii) ばらつきの物理原因解明

(i) で解析したデバイスの物理計測を行い、特性ばらつきの物理原因を解明する。

(iii) 特性ばらつきモデリング技術の開発

(ii) で明らかにした特性ばらつきの物理原因を組み込んだデバイス・製造プロセスモデリング技術を開発し、素子・回路・プロセス設計に有効なものとする。

(iv) 構造依存ばらつきのモデリング技術

(iii) のデバイス・製造プロセスモデリング技術により得られる素子ばらつき特性を近似した高速かつ汎用性の高いデバイスモデル・回路シミュレーション手法を開発し、材料・プロセス・デバイス面から特性ばらつきに起因する回路動作上の課題に対処できるようにする。この際必要になる、

(iv)-1 デバイス電気特性のリバースプロファイリングに基づくコンパクトトランジスタモデル、

(iv)-2 ストレス起因のレイアウトパターン依存性モデル

についても、併せて開発する。

(v) 特性ばらつきに対して耐性の高いデバイス基盤技術の開発

特性ばらつきに対して耐性の高いデバイスを提案・実証する。

(vi) 計測解析技術の開発

高精度・高速な電気特性測定によるデバイス特性ばらつき解析技術を開発する。また、ばらつき物理原因の計測解析技術を開発する。

(2) 外部擾乱依存の特性ばらつきの物理的理解とモデリング技術の開発

(i) 中性子線入射による電荷発生に起因する回路誤動作の物理的理解とモデリング技術の開発

中性子線入射による電荷発生によって生じるトランジスタおよび回路の異常動作を解析し、中性子線入射に対して耐性の高いデバイス・プロセス・回路の設計に有効なモデリング技術を開発する。

(ii) トランジスタノイズに起因する回路誤動作モデリング技術の開発

静電気放電現象 (ESD) などの外部ノイズや電源などの内部ノイズによって生じるトランジスタ及び回路動作の異常解析し、それらの擾乱に対して耐性の高いデバイス・プロセス・回路設計に有効なモデリング技術を開発する。

II. 次世代半導体露光プロセス基盤技術開発

④ 次世代マスク基盤技術開発

(1) 高精度・低欠陥EUVLマスクおよびブランクス技術の開発

(i) EUV光を用いたマスクおよびブランクの検査・解析技術の開発

6インチブランクス全域にわたり、EUV光によって位相欠陥を検出する技術、およびマスク上のパターン形状、位相欠陥、プロセス誘起欠陥、コンタミネーション起因欠陥等をEUV光により解析・評価する技術を開発する。

(ii) EUVLマスクおよびブランクの高品位化技術の開発

ブラックスの位相欠陥検査、および高性能EUV露光装置によるマスクの転写性評価を通じ、ブラックスやマスクの材料・構造・作製プロセスを最適化することによって、高品位マスク技術を確立する。

(iii) EUVLマスクコンタミネーション制御技術の開発

真空中に残存する水分や hidrocarbon に起因するコンタミネーションによって引き起こされる反射率低下を抑制する技術を開発する。また、コンタミネーションの除去技術を開発する。

(2) EUVLマスクパターン欠陥検査技術および欠陥修正技術の開発

(i) EUVLマスクパターン欠陥検査技術の開発

従来のフォトマスク欠陥検査技術を改変・高度化することにより、hp45nm微細加工技術に対応するEUVLマスク欠陥検査技術を開発する。hp32nm微細加工技術に対しては、前記hp45nmに対応する開発技術の高度化、あるいは電子ビーム技術等、新たな技術の開発により対応することを検討する。

(ii) EUVLマスクパターン欠陥修正技術の開発

多層膜へのダメージ抑制と修正精度の二つの視点から、集束イオンビーム方式、電子ビーム方式、メカニカル方式など複数の候補技術を比較・検討し、最適な方式を見極めて、hp45nm～hp32nm微細加工技術に対応できる欠陥修正技術を開発する。

(3) ペリクルレスEUVLマスクハンドリング技術の開発

(i) EUVLマスクの異物フリー搬送・保管技術の開発

マスクを格納・保持するキャリア、露光装置内でのキャリア搬送、キャリアからのマスクの着脱、キャリア洗浄などについて評価・解析を行い、最適な搬送・保管方式を見極め、異物フリー搬送・保管技術を確立する。

(ii) ウェハファブ内EUVLマスク異物検査技術およびクリーニング技術の開発

ウェハファブ内でマスク上の異物を検査する技術、および検出された異物をクリーニングする技術を開発する。

⑤ EUV光源高信頼化技術開発

(1) 光源起因マスク、ミラーの汚染評価技術の開発

光源側より発生する燃料デブリや除去用ガス等による露光光学系側のマスク、ミラーへの影響を評価する技術について、ミラー反射率測定や各種の表面分析手法等を駆使して開発し、評価を行う。

(2) 集光光学系などの清浄化技術の開発

マスク、ミラーへの汚染抑制対策としての汚染源となる燃料デブリ等の拡散・流出防止技術、燃料回収技術とともに、集光系構成部材等の熱管理技術の開発を行う。

2.2 研究開発の実施体制、予算

第一期(2001年度～2003年度)の研究開発は、NEDOが選定した技術研究組合超先端電子技術開発機構(ASET)と独立行政法人産業技術総合研究所(産総研)を委託先とし、両者が共同研究契約を締結し研究体を形成して実施した。また、共同研究開発に参加する各研究開発グループの有する研究開発ポテンシャルを最大限に活用し、効率的な研究開発の推進を図るとの観点から、研究体には研究開発責任者(プロジェクトリーダー:産総研次世代半導体研究センター長 廣瀬全孝)を置き、そのリーダーシップの下に研究開発を実施することとし、その下に研究者を可能な限り結集して効率的な研究開発を実施した。

中間評価において第一期のプロジェクトマネジメントや進捗・成果が評価されたことから、第二期(2004年度～2007年度)の研究開発は、引き続き廣瀬プロジェクトリーダーのもと、ASETと産総研を委託先とし、両

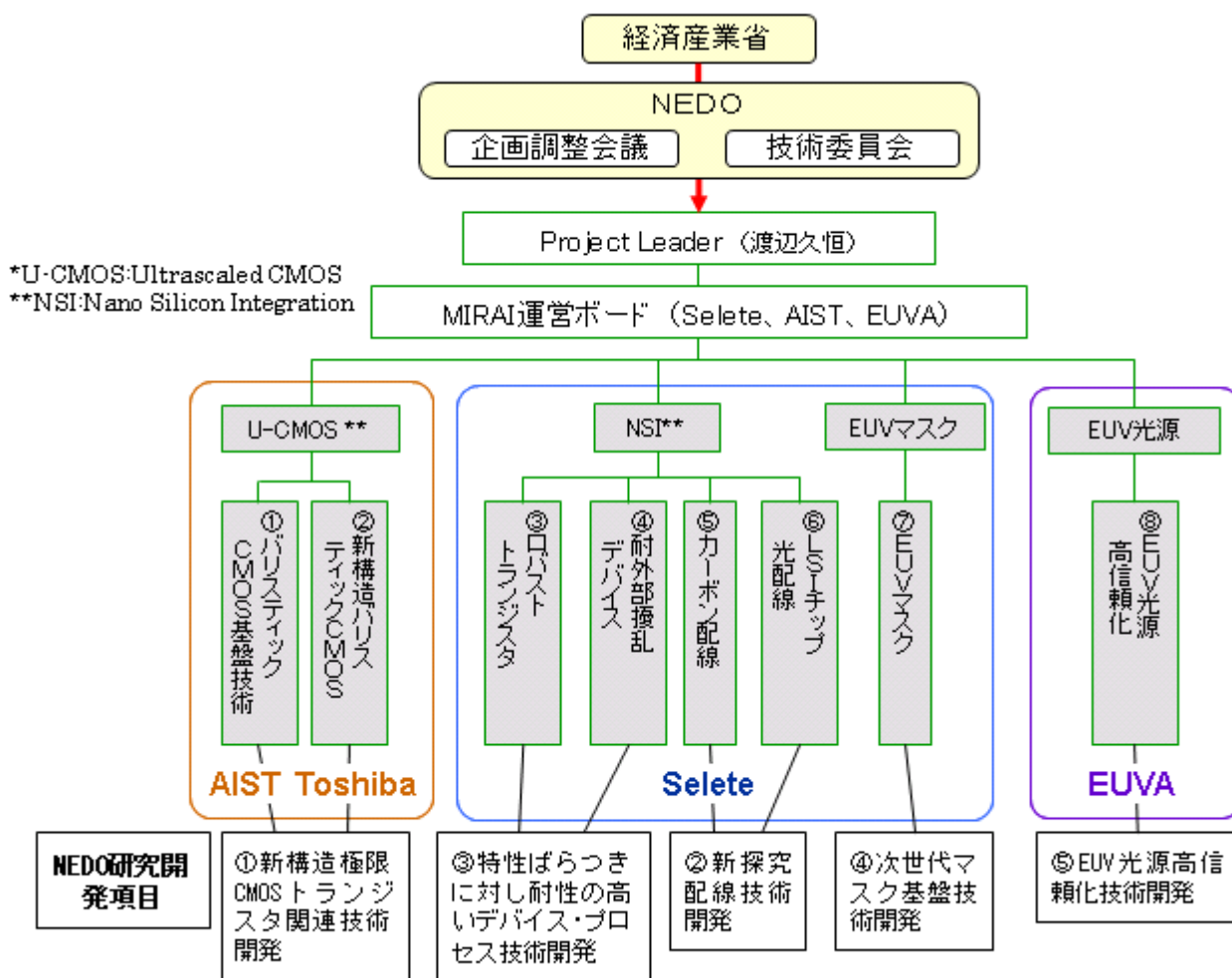
者が共同研究契約を締結し研究体を形成して実施することとした。ただし、委託先は、第二期開発計画を策定するに当たって、本プロジェクトがフォーカス21に位置づけられていることに鑑み、フォーカス21委託事業の「応募資格」を踏まえて実施体制を整備した。また、本プロジェクトの成果をスムーズに産業界に移転するため、第二期は産業界プロジェクトである「あすかプロジェクト」等、関連コンソーシアムとの一層の連携強化を図り、技術移転を計ることに重点をおいたプロジェクト運営を行った。

第三期(2006年度～2007年度)の研究開発は、NEDOが選定した委託先、技術研究組合超先端電子技術開発機構(ASET)と独立行政法人産業技術総合研究所(産総研)が共同研究契約を締結し形成した研究体と、株式会社半導体先端テクノロジーズ(Selete)が実施した。また、本プロジェクトにおける研究開発と産業界の実用化に向けた取り組みが一体的にマネジメントできるように、研究開発責任者(プロジェクトリーダー:Selete社長 渡辺久恒)とチーフサイエンステクノロジーオフィサー(サブプロジェクトリーダー:産総研次世代半導体研究センター長 廣瀬全孝)を置き、そのリーダーシップの下に研究開発を実施することとし、その下に研究者を可能な限り結集して効率的な研究開発を実施した。

2008年3月に改訂した基本計画に基づき、研究開発項目①②③⑤に関して公募を行い、NEDOが選定した委託先として、①は産総研と(株)東芝、②③はSelete、⑤は技術研究組合極端紫外線露光システム技術開発機構(EUVA)に決定され、引き続き渡辺プロジェクトリーダーのもと、研究開発を実施した。内容に変更がない研究開発項目④に関しては引き続きSeleteが事業を実施した。

プロジェクトでは効率的・機動的な研究開発を実現するためⅡ-2-2-図1に示す組織をプロジェクトに設置し、以下の方針で研究を推進した。

- a) プロジェクトリーダーが全責任を負って研究開発を推進できる体制をとり、MIRAI運営ボードはプロジェクトの運営全般について責任を分担する。
- b) 4つのリサーチユニットを設置し、その下で8つの研究開発テーマに取り組む。リサーチユニットはリサーチユニットリーダーを中心に研究開発を実施する。リサーチユニットリーダーがスピーディな意思決定を行えるようにその権限と責任を明確化する。
- c) プロジェクト全般に対するアドバイザリーボードとして、NEDO技術開発機構に外部有識者より成る企画調整会議、技術会議を置き、プロジェクト運営に対する助言を得る。
- d) MIRAIプロジェクトで実施する技術開発を補完し、とくに基礎的な物理・化学評価、材料合成、計測、原理計算等を強化するため、大学・研究機関と共同実施および再委託を行う。



II-2-2-図1 MIRAIプロジェクト実施体制(2008年度の体制図を用いて例示)

上記c)の企画調整会議、技術委員会について、委員と開催日程を以下に示す。

(1) 企画調整会議 (2004年5月までは運営会議)

MIRAIプロジェクト全体の方向性に関し助言を得る。(所属は当時)

委員	キャノン株式会社 専務取締役	市川 潤二
	株式会社半導体先端テクノロジーズ 代表取締役会長	小野 敏彦
	富士通株式会社 経営執行役常務	藤井 滋
	株式会社ニコン 常務取締役兼上席執行役員	牛田 一雄
	株式会社ニコン 代表取締役社長兼CEO兼COO	荻谷 道郎
	松下電器産業株式会社 代表取締役専務	古池 進
	株式会社東芝 執行役上席常務セミコンダクター社カンパニー社長	古口 榮男
	東洋大学 理事長	菅野 卓雄
	東京大学 名誉教授	菅野 卓雄
	NECエレクトロニクス株式会社 代表取締役社長	戸坂 馨
	株式会社ルネサステクノロジ 相談役	長澤 紘一
	NECエレクトロニクス株式会社 代表取締役社長	中島 俊雄

東京エレクトロン株式会社 代表取締役会長
株式会社東芝 執行役上席常務セミコンダクター社カンパニー社長

東 哲郎
室町 正志

開催日 2004年5月21日
2005年2月24日
2006年1月19日
2008年3月3日

(2) 技術委員会

MIRAIプロジェクトの技術開発に関し助言を得る。(所属は当時)

委員長	東京大学大学院 新領域創成科学研究科教授	柴田 直
委員	東京大学 大学院工学系研究科電子工学専攻 教授	浅田 邦博
	東京大学 大学院工学系研究科産業機械工学専攻 教授	石原 直
	松下電器産業株式会社 半導体社事業本部プロセス開発センター所長	上田 誠二
	NECエレクトロニクス株式会社 基盤技術開発事業本部事業本部長	大屋 秀市
	株式会社日立製作所 中央研究所 主管研究員	木村 紳一郎
	東京エレクトロン株式会社 取締役常務執行役員	久保寺 正男
	株式会社日立ハイテクノロジーズ ナノテクノロジー製品事業所長	田地 新一
	株式会社ルネサステクノロジ 業務執行役員 生産本部副本部長	西村 正
	株式会社東芝 セミコンダクター社 首席技監	開 俊一
	東京大学 生産技術研究所 第3部 教授	平本 俊郎
	NECエレクトロニクス株式会社 基盤技術開発事業本部事業本部長	福間 雅夫
	東京工業大学 精密工学研究所 教授	益 一哉
	富士通株式会社 電子デバイス事業本部 副本部長	八木 春良

開催日 2004年9月29日
2004年12月24日
2005年3月11日
2007年2月27日

本プロジェクトの平成19(2007)年度までの予算はⅡ-2-2.2-表1の通りである。

Ⅱ-2-.2.2-表1 MIRAI プロジェクト予算

◆第一期および第二期

(単位:億円)

	H13年度	H14年度	H15年度	H16年度	H17年度
合計	34.42	60.23	43.17	43.14	43.35

◆第三期

	H18年度	H19年度	H20年度	H21年度	H22年度
一般会計 (研究開発項目:①②③)	30.87	21.47	23.68	9.61	6.65
特別会計 (研究開発項目:④)	33.43	28.87	18.09	18.51	9.17
特別会計 (研究開発項目:⑤)	—	—	5.74	15.25	10.42

2.3 研究開発の運営管理

(1) NEDOにおける運営管理

(1-1) 研究開発の運営管理

研究開発全体の管理・執行に責任と決定権を有するNEDOは、経済産業省及びプロジェクトリーダーと密接な関係を維持しつつ、プログラムの目的及び目標、並びに本研究開発の目的及び目標に照らして適切な運営管理を実施する。また、必要に応じて、外部有識者の意見を運営管理に反映させる。

(1-2) 研究開発成果の取扱い

(i) 成果の普及

得られた研究開発成果のうち共通基盤技術に係るものについては、プロジェクト内で速やかに共有した後で、NEDO及び実施者が協力して普及に努めるものとする。

(ii) 知的基盤整備又は標準化等との連携

得られた研究開発の成果については、知的基盤整備又は標準化等との連携を図るため、データベースへのデータの提供、標準情報(TR)制度への提案等を積極的に行うと共に、必要な標準化を実施する。

(iii) 知的所有権の帰属

委託研究開発の成果に関わる知的所有権については、「独立行政法人新エネルギー・産業技術総合開発機構 新エネルギー・産業技術業務方法書」第25条の規定等に基づき、原則として、すべて受託先に帰属させることとする。

(1-3) 基本計画の変更

NEDOは、研究開発内容の妥当性を確保するため、社会・経済的状況、国内外の研究開発動向、産業技術政策動向、プログラム基本計画の変更、第三者の視点からの評価結果、研究開発費の確保状況、当該研究開発の進捗状況等を総合的に勘案し、達成目標、実施期間、研究開発体制等、基本計画の見直しを弾力的に行うものとする。

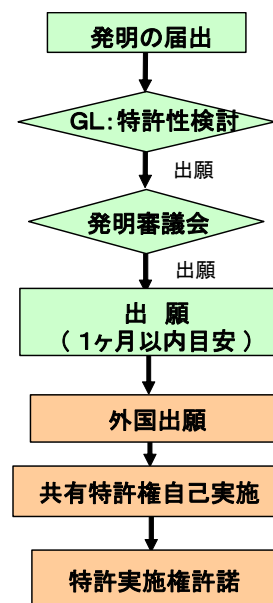
(2)産総研・ASET の共同研究体における運営管理(第3期前半)

研究の運営管理に関しては次のように行った。① 新構造極限 CMOS トランジスタ関連技術開発においては、産総研と ASET からなる共同研究体において、ASET は参加企業からの出向研究者を受け入れ、産総研と ASET の共同研究契約に基づき、リサーチユニットリーダー、テーマリーダーのもとで研究員が研究活動を実施した。共同実施先・再委託先等との契約、会計・経理、報告書の取りまとめは ASET が行った。共同研究契約に基づき、研究運営規程、知的財産権取扱規程、情報管理規程を整備し、公平で創造的な研究活動が推進できるよう運営管理を実施した。

MIRAI プロジェクト第三期では第一期・第二期と同様、知的財産権の創造活動を最大限に活性化するため、研究グループでの知的財産の保護を行った。発生した発明については発明審議会で権利帰属確認と発明の評価を行い、産業技術総合研究所と ASET に参加している権利帰属先企業に迅速な権利化を依頼するようにした。その考え方、及び出願手順の概略は以下である。

- (1) 発明の出願手順は右の図に示した通りで、全発明を発明審議会で評価し、知財権の迅速な出願を行うようにした。
- (2) 出願までの発明の保護、プロジェクト内での技術討論活性化のため、出願前、開示期限前の発明は参加各社においても評価する上長、および出願担当者以外には内容非開示とした。
- (3) 出願においては日本を第一出願国とした。
- (4) 実施権許諾における優遇措置、開示における優遇措置を、下表のように定めた。

-2-2.3-(2)-図 1
知財権の取扱い



II-2-2.3-(2)-表 1 特許の開示と実施権許諾における優遇措置

	実施許諾	発明要旨開示可	明細書開示可
発明者の所属会社	権利者	-	-
同一研究グループ	最優遇	6ヶ月	1年
MIRAI-PJ	次優遇	1年	1年3ヶ月
第三者	優遇無し	1年6ヶ月	1年6ヶ月

(3) Seleteにおける運営管理(第三期前半及び後半)

Seleteは、参加企業からの出向者を受け入れ、プロジェクトリーダーのもとで研究活動を実施すると共に、共同実施先・再委託先等との契約、会計・経理、報告書の取りまとめ等を行っている。また、Seleteでは、研究運営、知的財産権の取扱い、情報の管理、取扱い、社外発表の管理、取扱いなどについては規程を整備し、所定の情報管理のもとで、MIRAIプロジェクト活動が創造的かつ活発に実施できる体制としている。

SeleteにおけるMIRAIプロジェクトでは、研究開発活動と共に知的財産権創出活動を活発化できるように、各研究グループで創出される知的財産の保護を行っている。各研究グループで創出された知的財産権については、秘密保持したままで、テーマリーダーが評価を行い、各研究グループに参加する権利帰属先企

業に迅速な権利化を依頼するようにした。出願前の発明提案は、出願企業の評価者、出願担当者以外には内容は守秘としている。また、実施権許諾の優遇については、(i) 研究グループ参加企業:最優遇、(ii) EUVL参加企業:1次優遇、(iii)Selete株主会社:2次優遇、(iv)第三者:優遇なし、としている。

研究成果の実用化を推進するため、実用化を見据えた企業と機密保持契約に基づく情報の開示、共同研究契約に基づく研究成果の評価などにより、実用化の加速を図っている。

II-2-2.3-(3)-表1 特許の実施権許諾における優遇措置

	実施許諾
発明者の所属会社	権利者
同一研究グループ	最優遇
NSIグループ	1次優遇
Selete株主	2次優遇
第三者	優遇なし

(4)産総研および東芝における運営管理(第三期後半)

産総研および東芝では、知的財産権の取り扱いや情報の管理について、それぞれの機関の規定の下で、MIRAIプロジェクト活動が創造的かつ活発に実施できる体制とした。特に、研究開発活動と共に知的財産権創出活動を活発化できるように、各研究チームで創出される知的財産の保護を行った。各研究チームで創出された知的財産権については、秘密を保持したままで重要度と適合性を判断した上で、それぞれの機関の知財部門に迅速な権利化を依頼するようにした。

また、同じリサーチユニットを構成する産総研と東芝の研究グループは、定期的に進捗状況と研究開発計画の検討会を開催し、秘密を保持しつつ協働の促進を図った。成果の外部発表については、テーマリーダーの承認を経てリサーチユニットリーダーが投稿予定原稿を事前に査読し、プロジェクトリーダーの承認の後に、論文や学会発表への投稿を行った。さらに、産総研の研究成果の実用化を推進するため、技術移転を希望する企業へ機密保持契約に基づいて情報の開示を行ったほか、共同研究契約に基づいて共同研究先企業に計測技術の研究開発成果を適用し、有効性の評価を行った。

(5)EUVAにおける運営管理(第三期後半)

EUVAは、組合員企業からの出向者を受け入れ、プロジェクトリーダーのもとで研究活動を実施すると共に、共同実施先・再委託先等との契約、会計・経理、報告書の取りまとめ等を行っている。また、EUVAでは、研究運営、知的財産権の取り扱い、情報の管理・取り扱い、社外発表の管理・取り扱いなどについては、総会、理事会、運営会議、業務委員会、技術委員会により、運営、報告、管理、決定を行い、MIRAIプロジェクト活動が創造的かつ活発に実施できる体制としている。

EUVAにおけるMIRAIプロジェクトでは、研究開発活動と共に知的財産権創出活動を活発化できるように各研究室で創出される知的財産の保護を行っている。各研究室で創出された知的財産権については、知的財産を後のビジネスにおいて有効に活用できるように、発明が本プロジェクトの委託業務に関してなされた場合、知的財産の権利の帰属は発明者の出向元または派遣元の組合員に帰属としている。また、発明がなされた場合には速やかに届出の上、研究室長が特許性を判断し、発明者の認定を行っている。

研究成果の実用化を推進するため、実用化を見据えた企業と機密保持契約に基づく情報の開示、共同研究契約に基づく研究成果の評価などにより、実用化の加速を図っている。

(6)外部団体との協力関係

次世代マスク基板基盤技術開発においては、MIRAI第1期、第2期でASET(技術研究組合超先端電子技術開発機構)が開発したブランクス検査技術の移管を受け、「開発項目(1)高精度・低欠陥EUVLマスクおよびブランクス技術の開発」内で継続して研究を進めている。「開発項目(2)EUVLマスクパターン欠陥検査技術および欠陥修正技術の開発」では、同様にMIRAI第1期、第2期でASETが開発した199nm紫外光によるパターン欠陥検査技術が活用されている。さらに、NEDO委託事業「超先端電子技術開発促進事業(2002年終了)」およびその継続研究でASETと九工大が開発したミラークリーニング技術を、「開発項目(1)高精度・低欠陥EUVLマスクおよびブランクス技術の開発」内でマスククリーニング技術へ応用する研究を進めている。

また、EUV光源高信頼化技術開発においては、文部科学省リーディングプロジェクト「極端紫外(EUV光源開発などの先進半導体製造技術の実用化)(2003～2007年度の5ヵ年)のメンバーである九州大学におけるCO₂レーザ励起LPPの研究結果を取り入れ、EUVAの量産光源に向けての開発を進め、さらには同リーディングプロジェクトのEUV光源開発共同利用設備(大阪大学)を利用して光源測定器の較正を行うなど研究協力の実効を挙げている。

さらに、NEDO内に設置したEUVL総合戦略検討委員会を通じて、国内のEUVL開発の複数のプロジェクト間で連携し、競争力強化に結びつく戦略の策定を進めている。本委員会は、EUVL技術実用化に向けたシナリオ、ロードマップ、技術の現状と将来動向、残された課題等について情報交換や問題点の検討を行い、開発戦略や役割分担、連携、不足技術の保管、成果の共有等に関するコンセンサス形成を目指し、これによってEUVL技術の開発を効率的に進め、実用化の取組みをより確実なものにすることを目的とする。委員および開催日程を以下に示す。

委員	独立行政法人物質・材料研究機構	フェロー	堀池靖浩
	技術研究組合 ASET	EUV プロセス研究部 部長	岡崎信次
	株式会社半導体先端テクノロジーズ	研究第2部 部長	森一朗
	技術研究組合 EUVA	研究企画部兼研究部 部長	阿部直道
	半導体産業研究所	企画部 部長	上田潤
	東京大学大学院工学系研究科産業機械工学専攻	教授	石原直
	大阪大学レーザーエネルギー学研究センター	教授	宮永憲明
	株式会社ニコン	精機カンパニー開発本部 主幹研究員	浅見武史
	株式会社ニコン	精機カンパニー開発本部 マネージャー	村上勝彦
	キヤノン株式会社	コアテクノロジー開発本部 上席担当部長	鵜澤繁行
	半導体 MIRAI プロジェクト	リソグラフィ関連計測技術グループ	寺澤恒男
	大日本印刷株式会社	電子デバイス事業部 電子デバイス研究所主席研究員	法元盛久
	大日本印刷株式会社	電子デバイス事業部 電子デバイス研究所所長	林直也
	株式会社日立製作所中央研究所	主任研究員	福田宏
	東京応化工業株式会社	開発本部 部長	小野寺純一

開催日 第1回 2005年10月5日
第2回 2005年11月28日

- 第3回 2006年2月2日
- 第4回 2006年5月15日
- 第5回 2006年8月24日
- 第6回 2006年12月27日
- 第7回 2007年9月6日

加えて、海外との協力関係についてはIEUVI(International EUVL Initiative)を通じ、I-SEMATECH、IMEC他の開発機関と情報交換および研究協力を行っている。

2.4 研究開発成果の実用化、事業化に向けたマネジメントの妥当性

(1) I. 次世代半導体材料・プロセス基盤技術開発

技術移転後の成果活用を確認すると共に、スムーズな移転あるいは活用がなされるためには本プロジェクトでは何をすべきかを調べるため 2006年10月、2007年10月、2008年11月に技術移転先および ASET 参加会社に技術移転後の活用状況調査を行った。

以下の質問表を元に調査を行い、各社ごとに意見交換を行った。

II-2-2.4-(1)-表1 第二期成果活用状況調査の質問事項

移転時の 状況等	成果移転の方法	研究者帰任、共同研究継続など、移転の仕方の実態について
	自社における位置付け (移転成果の位置付け)	どのように活かされているか 直接事業化している？／自社技術との補完、融合により事業化？
	自社事業との整合性	成果移転のタイミングは適切であったか(遅い=未完でももっと早く？、速い=遅くても、完成度を上げて？)
	移転成果の評価	技術としての完成度(移転されるに充分か、不十分か、不十分ならどのようなところまで NEDO-PJ で開発すべきであったか。残された技術課題はあるか、何か？)
現状	開発状況と課題	自社での開発状況(特に、最近1年間の状況) 開発における現状の課題
	実用化、事業化状況と課題	実用化、事業化の状況(特に、最近1年間の状況) 実用化、事業化に際しての課題
	波及効果	技術的な波及効果 事業上、その他の波及効果
今後	今後の予定	実用化、事業化、事業展開の予定 波及効果(関連の技術開発への展開等)
その他	課題、希望、要望	制度上の課題 NEDO/MIRAI への希望、要望

活用状況調査で得られた意見を以下にまとめる。

- ・成果移転時の対応は、装置・人・ドキュメントと十分なものであった。また、その内容のまとまりも産学官連携によって得られた科学的知見を十分に発揮した基礎的でありオリジナリティの高いもの

であった。

- hp45nm の技術領域はまだ決定されていないため、自社開発のものと並べて有望な技術候補として継続した研究開発を行っている。その点で成果移転のタイミングは適切であった。
- 移転されたものは基礎的なアイデアとそのアイデアを実現するための実証技術である。実証技術については移転後の検討でコスト・汚染・処理時間等を複合的に判断するとかなり異なった技術へと改良・変更されている。しかし基礎なアイデア(コンセプト)は引き継がれ、あるいは拡充されて活用されている。
- MIRAI では要素技術レベルまでの研究開発が行われ、受け取った材料・装置技術はその後各社とのサンプル出荷等を通じてブラッシュアップを計る必要がある。

(2) II. 次世代半導体露光プロセス基盤技術開発

EUVL関連市場は、オランダの露光機メーカーであるASMLのEUV露光装置のβ機(量産試作機)出荷が2010年から開始され、2011年内に計6台出荷予定であること、また、HVM機も2012年出荷予定で、デバイスメーカーから既に8台を受注していることから、2012年から立ち上がりを見せると予想される。ITRS2010ロードマップに照らすと、DRAM hp36nm、Flashメモリhp25nm、ロジックM1 hp32nmの世代に当たるが、当面は微細化が最も進んでいるFlashメモリからEUVLが使用されると見込まれている。

以上の認識の下、技術移転後の成果活用については、NEDOでは委託先からの定期的な成果報告の場を設け、委託先とNEDOで意見交換や議論を行い、研究開発成果の実用化、事業化に向けマネジメントしてきた。

研究開発項目④次世代マスク基盤技術開発

本研究開発項目では、委託先のSeleteが主催するEUVマスクサブワーキング、及びEUVリソ・マスク成果報告会においては、本研究開発項目の共同実施先企業を交えた実用化・事業化状況や方法について議論した。

本研究開発項目で開発してきた次の技術については、EUVL市場の立ち上がりを見据え、技術移転先企業が事業化を計画している。

- EUVマスクブランク欠陥検査装置
- EUVマスクパターン欠陥検査装置
- EUVマスクパターン欠陥修正装置
- EUVマスク搬送試験装置
- EUVマスクキャリア

研究開発項目⑤EUV光源高信頼化技術開発

本研究開発項目では、委託先のEUVAが主催する技術委員会、業務委員会、及び成果報告会においては、EUVA組合企業や関係大学を交えて実用化・事業化状況や方法について議論した。

本研究開発項目で開発してきた次の技術については、EUVL市場の立ち上がりを見据え、技術移転先企業が事業化を計画している。

- ギガフォトン株式会社
- XTREME technologies GmbH (ウシオ電機株式会社の100%子会社)

3. 情勢変化への対応

3.1 基本計画変更

(1)外部擾乱ばらつきへの拡充

半導体 LSI では、微細化と共にトランジスタ特性ばらつきが顕著になってきており、課題解決の重要性は急速に増大している。この課題に対し研究開発項目③「特性ばらつきに対し耐性の高いデバイス・プロセス技術開発」の中で、研究開発の具体的内容を定め、トランジスタ構造依存の特性ばらつきに対する半導体材料・プロセス・デバイスからの対処を Selete に委託し平成 18 年度より実施していた。本事業の進捗により、これまで困難であった特性ばらつきへの解析・測定・モデリングに関する理解が深まってきた。

一方、当時、動作環境などの様々な外部擾乱によって生じる回路動作の障害となる特性ばらつきが顕在化しており、個々の擾乱によるトランジスタおよび回路動作の特性ばらつきを解析し、様々な擾乱に対しデバイス・プロセス・回路設計に有効なモデリング技術の研究開発が求められていた。前述のトランジスタ構造依存の特性ばらつきへの理解が深まってきたことから、外部擾乱依存の特性ばらつきへのデバイス・プロセスからの検討が可能になったため「外部擾乱依存の特性ばらつきへの物理的理解とモデリング技術の開発」に関する内容を基本計画に追記し、研究開発の拡充を図った。

NEDO は 2006 年 2 月 27 日に技術委員会を開催し、本研究内容の拡充と 2007 年度の研究計画の妥当性を審議し、拡充に関する基本計画改定が了承された。

内容の拡充に伴う基本計画の改訂案は平成18年度 3 月 2 日に NEDO で決定された。委託先の公募を 2007 年 3 月～4 月に行った。応募提案について、下記の採択審査委員による提案書の事前書面審査の後、採択審査会を 2007 年 4 月 17 日に開催した。

委員長	桜井 貴康	東京大学 国際・産学共同研究センター 教授
委員	小野寺 秀俊	京都大学大学院 情報学研究科通信情報システム専攻 教授
	松澤 昭	東京工業大学大学院 理工学研究科電子物理工学専攻 教授

採択審査委員会の審査結果を受け、NEDO は株式会社 半導体先端テクノロジーズを委託先として選定し、本内容の拡充を含めた研究開発を行うことが決定された。

(2)EUV 光源高信頼化技術開発の追加

NEDO では平成 15～19 年度に「極端紫外線 (EUV) 露光システムの開発」プロジェクトを実施し、EUV 露光装置、EUV 光源等について、EUV 露光システムとして総合的に開発を進めた。「極端紫外線 (EUV) 露光システムの開発」開始当時、IEUVI(International EUV Initiative: EUV に関する国際的な委員会)の推奨を受け、量産用 EUV レジスト感度を $5\text{mJ}/\text{cm}^2$ と設定し、これに応じた量産用 EUV 光源出力目標を 100W とした。しかし、「極端紫外線 (EUV) 露光システムの開発」終了年に、IEUVI は EUV レジスト感度の向上が見られないうとして感度の推奨値を $10\text{mJ}/\text{cm}^2$ へ変更したため、露光機メーカーから量産用 EUV 光源出力として 180W が求められるようになった。「極端紫外線 (EUV) 露光システムの開発」の光源開発としては、基本計画目標を達成したが、その数値はユーザーが求める仕様からは乖離があるため、EUV 光源開発には引き続き支援が必要であると NEDO は判断した。そこで、NEDO は平成 20 年 3 月に基本計画改定案を決定し、委託先の公募を平成 20 年 3 月～4 月に行った。応募提案について、下記の採択審査委員による提案書の事前書面審査の後、採択審査会を平成 20 年 5 月 9 日に開催した。

委員長	柴田 直	東京大学大学院新領域創成科学研究科 教授
委員	小野寺 秀俊	京都大学 大学院情報学研究科 教授

戸所 義博	奈良先端科学技術大学院大学 産官学連携推進本部 特任教授
廣瀬 和之	宇宙航空研究開発機構 宇宙科学研究本部 准教授
和田 一美	東京大学 大学院工学系研究科 教授

採択審査委員会の審査結果を受け、NEDO は技術研究組合極端紫外線露光システム技術開発機構を委託先として選定し、本内容の研究開発を行うことが決定された。

(3)新探求配線技術開発の前倒し終了

研究開発項目①～③について、平成 22 年度の開発予算(一般会計)は大幅な削減となった。これを受けて、それぞれの研究開発項目に関して平成 22 年度末の最終目標達成に向けた開発の進捗状況を精査した。その結果、研究開発項目②新探求配線技術開発(カーボン配線技術開発及び LSI チップ光配線技術開発)については、一部開発内容については目標を達成し、その他の開発内容についても目標をほぼ達成しており、目的とする要素技術開発が一定の水準に達したことから、平成 21 年度末で前倒し終了し、最終年度である平成 22 年度は、①新構造極限 CMOS トランジスタ関連技術開発と③特性ばらつきに対し耐性の高いデバイス・プロセス技術開発に注力してプロジェクトを実施することとした。

3.2 研究加速資金

プロジェクトの研究開発内容に関連する国内外の学会に参加し、技術動向を収集し、動向変化に対応して計画の見直しを行った。計画立案時に想定していない新規の課題に対しても早期に対応した。具体的には、期中において、実施方針、実施計画を変更し、同時に加速資金を投入、補正予算を執行するなどにより、課題の解決を図った。以下に第三期に行った加速資金及び補正予算の案件を示す。

①「新構造極限 CMOS トランジスタ関連技術開発」における加速

(1)平成 19 年 6 月加速

◆一軸ひずみ微細構造トランジスタにおける高性能化実証(75 百万円)

プロジェクトにおいて、世界に先駆けて酸化濃縮法を用いた SiGe 層あるいは Si 層を用いたひずみ基板とデバイスの開発を行い、一軸ひずみ Fin 構造を実現し、世界トップデータの移動度特性などの目覚ましい成果を挙げたことから、本技術をさらにレベルアップするために、Fin 形状の構造比依存性を網羅的に調べる試作実験を行い移動度向上の設計指針を検証しながら、さらに高い移動度をより微細な構造で得られることを示す開発を行った。

③「特性ばらつきに対し耐性の高いデバイス・プロセス技術開発」における加速

(1)平成 18 年 11 月加速

◆大規模デバイス試作による特性ばらつき解析(400 百万円)

半導体の微細化進展に伴い、トランジスタ特性ばらつきに対処する技術の重要性が急速に認識され、世界の研究動向は、系統的にばらつきを解析する動きが活発化し、デバイスから回路レベルに跨ったばらつき低減の試みが進んだ。これらは MIRAI の基本計画にある研究開発の方向と合致するものであるが、世界の研究動向に鑑み、ばらつきの電氣的・物理的解析を加速するために、当初予定していた規模をはるかに上回る膨大な数のデバイスの試作を行い、その特性データの取得と解析を行う開発を行った。

(2)平成 19 年 9 月加速

◆NMOS 特性ばらつきのメカニズムと対応策の検討(120 百万円)

微細化と共にトランジスタ特性のばらつきが顕著になり、正常な回路動作の大きな障害になるという危険は一層増加し、議論が活発化している。プロジェクトではこれまでに世界最大規模 100 万トランジスタの特性測定 TEG(test element group)を設計・試作しデバイス特性測定を開始した。その結果、NMOS のばらつきが従来の考え方では説明つかないことを世界で初めて明らかにした。このため、NMOS ばらつきの解明のための物理パラメータばらつきの解析、ばらつき改善のためのデバイス計測による解析を行った。

(3)平成 21 年 9 月加速

◆High-k/メタルゲート構造の特性ばらつき解析技術開発(100 百万円)

hp32nm 以降世代(2013 年～)の最先端デバイスにおいて High-k ゲート絶縁膜/メタル電極構造(以下 HK/MG 構造)が世界的に注目され、デバイスメーカー各社による実用化に向けた国際的な開発競争が繰り広げられ、これに伴い、本構造に対する特性ばらつきに関する検討の必要性が高まった。このため、HK/MG 構造の NMOS 及び PMOS を試作・評価を追加的に実施し、この構造における特性ばらつき解析技術を開発することとした。

④「次世代マスク基盤技術開発」における加速

(1)平成18年10月加速

◆アウトガス評価装置の機能増強(111百万円)

レジストからのアウトガス量を評価は、世界の複数の研究機関で実施されているが、QMS方式によるアウトガス評価結果が研究機関により4桁以上異なること、また、GC-MS方式(ウイスコンシン大学で採用)とQMS方式の評価結果の整合性がとれないこと等の問題があり、世界中で評価方式自体が課題として浮上していた。そこで、アウトガス評価方式を早期に確立し、マスクコンタミネーション制御技術に係る研究開発を加速するため、QMSとGC-MSの両評価方式を備えた評価装置の開発を行った。

◆マスクパターン欠陥検査装置(277百万円)

平成18年度に装置の仕様決定と設計を完了させる予定であったが、対物光学系、データ処理システムの一部が早期に設計完了したこと、また、設計が完了した部分の作製を前倒しで着手することにより装置全体の性能評価が早まることから、装置作製資金の前倒し投入を行った。

◆マスク分析装置(299百万円)

欠陥の形状、構造、寸法、元素情報等を収集する体制が必要であること、並びに、マスクパターン修正部、マスクハンドリングによる付着異物をピンポイントで分析する要求が高まったことから、FIB加工機能とSEM観察機能を併せ持つダブルビーム型のマスク分析装置の導入を行った。

◆マスクハンドリング評価装置(55百万円)

静電チャック機構、並びに低発塵仕様のマスク着脱機構を作製、導入し、露光装置の実搬送動作に近い環境での発塵要因の分析評価を進めた。

(2)平成19年11月加速

◆小フィールドEUV露光装置(SFET)集光状態モニタ機能増設(40百万円)

SFETのウエハ面での光強度、分布が経時変化するという問題が発生した。このため、中間集光点での集光状態を観測することを計画し、モニタ機能を増設した。集光状態を観測した結果、中間集光点の位置ずれを確認した。また、同時に光源電極の損耗が起こっていることから、光源電極損耗によるプラズマの位置ずれが集光状態変化の原因であると推定した。

◆アウトガス評価装置の機能増強(81百万円)

アウトガス評価装置の評価期間を短縮するため、真空排気システムと光源を導入し、評価期間を半分以下に短縮した。

◆EUV光源特性評価装置(87百万円)

位相欠陥を検査するためには、従来の検査用光源では、光捕集角度に制限があるが、検査に必要な光強度(2mW)を得るためには、角度制限の緩和と光源特性の定量的把握が必要であることがわかった。このため、光源特性評価装置を導入し、検査光源の光強度分布評価を行った。

◆高精度マスク欠陥計測装置(289百万円)

マスク、ブランクスの高品位化には、高精度マスク欠陥計測とSFETの高解像度を活用したマスク転写性評価が不可欠である。また、ITRSでは、hp45nm以降で0.3nm以下の計測再現精度が求められている。現有のマスク欠陥計測装置の再現精度は0.6nmだったが、平成19年に0.3nmの高精度マスク欠陥計測装置が日立HTより製品化された。そこで、この装置を早期に導入し、マスクパターン寸法ばらつき許容値の高精度化を図った。

◆高精度・高速マスクシミュレータ(35百万円)

マスクシミュレーションでは、マスク面上での精密な解析に加え、ウエハ上のレジストの影響を反映させる必要があることが、SFETを用いた露光実験で明らかになってきた。このため、三次元構造マスクの光強度分布の計算が可能な高精度・高速マスクシミュレータを導入し、レジスト効果を加味した高精度シミュレーションの計算時間を現行シミュレータの1/4以下へ短縮した。これによりマスク許容欠陥仕様の早期確立、欠陥検査条件の最適化を図った。

(3)平成21年1月加速

◆SFET光源機能増強(37百万円)

SFETの稼働率向上および露光実験の精度向上・安定化を行い、マスク仕様の有効性を検証する露光実験の効率を高めるため、コレクタミラー、デブリ抑制ツールなどの交換時の光軸調整を容易化、高精度化する機構、並びにコレクタミラーの温度を計測する機構を導入した。これにより年間3回ほど行うコレクタミラー、デブリ抑制ツールの交換時の光軸調整(平均調整期間2週間)を1日でかつ高精度に行うことができ、また、露光実験の効率向上が可能となった。

◆SFET稼働率向上対策(88百万円)

光源の消耗部品であるデブリ抑制ツール、コレクターミラーの交換により、露光実験の効率が15%向上した。

◆マスク反射率計測装置高精度化改造(44百万円)

平成20年度開発したマスク構造仕様の確定において新規に課題となった、低反射率領域の測定精度不足を解消するため、反射率測定器の検出系改造、ソフト変更を行った。

(4)平成21年12月加速

◆パターン欠陥検査高性能化(201百万円)

偏光照明検査技術の開発により検査感度を世界最高の30nm台に引き上げたが、検査時間が市販装置の10倍となった。このため、検査光源の高出力化と検出系の低ノイズ化により、検査信号のS/N比(信号/ノイズ比)の低下を防ぎ、検査時間を市販装置の2倍にまで短縮した。また、検査光を2つの偏光(P偏光とS偏光)に分割し集光する新規光学系の開発、およびオートフォーカスの高精度化技術の開発を行い、検査感度を20nm台にさらに引き上げた。

◆パターン欠陥修正高精度化(84百万円)

反応性ガス雰囲気中でのイオンビーム照射により、世界最高水準20nm台のマスク欠陥修正精度を実証し

た。しかし、現在使用しているGaイオンビームよりも原子の小さな水素イオンを用いることで、マスク欠陥修正精度を向上させるため、欠陥修正に適用可能な水素イオン鏡筒の開発とその評価、さらに同イオンビームと反応性ガス供給との整合を行った。これにより10nm台の修正精度を達成した。

⑤「EUV光源高信頼化技術開発」における加速

(1)平成21年8月補正予算

◆EUV光源高信頼化技術の総合的実証システム構築(500百万円)

LPP光源の清浄化技術開発において、磁場によるSnイオン制御とイオン化レーザによる中性Snデブリのイオン化については、各要素技術の試験をする際には、実験チャンバをその時々で組み替えて試験を行い、個別に要素技術の検討を行ってきた。EUV光源高信頼化技術の実用化には、個々の要素技術をシステムとして組み合わせた試験による技術の実証が必要であるため、清浄化を図る要素技術を組み合わせたシステムを構築し、これによる実証試験を追加的に行うことで技術開発を拡充した。

(2)平成21年9月加速

◆コレクタ長寿命化のための技術開発(452百万円)

DPP光源の清浄化技術開発において、レーザーアシスト方式をシングルからダブルとすること、回転電極に塗布するSn膜を薄くすること、回転フォイルトラップとガスフロー付き静止フォイルトラップを組み合わせることでコレクタに到達するデブリ量を減少できることが明らかになったため、これら3つの要素技術を統合したときのコレクタ長寿命化効果を総合評価し、これらの技術開発により115Wレベルでのコレクタ寿命1年以上を実験的に証明した。

(3)平成22年6月加速

◆HVM機対応高熱負荷コレクタ熱管理技術の開発(332百万円)

量産機用DPP光源に適用可能な高信頼化技術として、コレクタに対する熱-構造-光学連携シミュレーション技術を確認したことを受け、当該シミュレーション技術を用いて量産機レベルの出力180W光源に対応するコレクタを設計・試作し、 β 機レベルのDPP実機に搭載した。そして、コレクタの温度上昇と集光イメージ変動を実測し、出力180W時のコレクタの熱変形による出力低下防止を確認した。

(4)平成22年10月加速

◆レーザ生成錫プラズマEUV光源の中性錫除去技術実証(150百万円)

量産機用LPP光源に適用可能な高信頼化技術として、コレクタの反射率を維持して寿命を延ばすために、水素ラジカルクリーニングを導入し、評価チャンバ内の評価ミラー表面に付着した中性Snデブリをエッチングし、水素ラジカルの供給フローを最適化した。そして、当該技術をLPP光源プロト機に搭載し、連続運転試験を通じて光源の信頼性について総合評価する中でコレクタのメンテナンスフリーを実証した。

3.3 先導研究

2005年度の第3期基本計画の改訂において、hp45nmを超える技術領域の課題を解決する革新的基盤技術の開発を行うと共に、現状技術の壁を越える可能性を持つ技術シーズを先導的に研究する開発体制の構築が課題として挙げられており、大学などで研究されている技術シーズの内、産業界のニーズに繋げられる技術を発掘し育てる先導研究を実施した。

(1)先導調査

本プロジェクトにおいて目標としている情報家電に不可欠な高機能・低消費電力システム LSI を実現するには、単なる微細化のみならず新しいアイデア(材料、構造、プロセス等)に基づく革新的技術の導入が不可欠になってきており、そのため本プロジェクトの一環で、大学等の研究機関において MIRAI で求められる産業界のニーズに繋げられる技術シーズがどの程度内在し、研究機関側が研究の方向性を MIRAI と同じ方向に向けることができるかを調べるために、産業界のニーズに繋がる技術シーズ調査を 2005 年度 12 月～3 月に実施した。本調査の研究機関とテーマを下記にまとめる。

研究機関	調査テーマ
東京工業大学	次世代 high-k・メタルゲートスタック技術に関する先導調査
東京大学	Si 基板上に形成された高性能Ⅲ-V 族半導体 MISFET に関する調査
東北大学	立体チャネル MOSFET による駆動力向上・ゲート制御性向上・特性ばらつき抑制技術に関する先導調査
産業技術総合研究所	計測技術に関する調査
産業技術総合研究所	マルチゲート MOS デバイスの集積回路応用に関する調査
広島市立大学	特性ばらつきモデルと同シミュレーションに関する調査
東京大学	Ge MOSFET における高性能ソース・ドレイン接合技術に関する調査
名古屋大学	非 Si チャネル結晶・界面形成とデバイス物性制御に関する調査
名古屋大学	閾値電圧ゆらぎ制御のためのメタルゲートエンジニアリングに関する調査
東京大学	MOSトランジスタの特性ばらつきの実情と将来に向けての対策案に関する調査
物質材料研究機構	次世代LSIデバイスにおける特性ばらつきの問題とその解決法に関する調査
東京工業大学	新探究伝送線路配線技術に関する調査
早稲田大学	22 nm ノード以降バリスティック MOSFET 時代のソース/ドレイン不純物構造設計に関する先導調査

(2)先導研究の実施

先導調査の結果、大学等の研究機関における技術シーズのポテンシャルを確認ができたため、技術シーズの育成のために 2008 年 3 月までの先導研究の実施を 2006 年 8 月 8 日に NEDO で決定された。委託先の公募を 2007 年 8 月～9 月に行った。応募提案について、下記の採択審査委員による提案書の書面審査を行った。

今村 健	株式会社 半導体理工学研究センター
大路 譲	株式会社 半導体先端テクノロジーズ
金山 敏彦	独立行政法人 産業技術総合研究所 次世代半導体研究センター
廣瀬 全孝	独立行政法人 産業技術総合研究所 次世代半導体研究センター
前口 賢二	半導体産業研究所
最上 徹	株式会社 半導体先端テクノロジーズ
渡辺 久恒	株式会社 半導体先端テクノロジーズ

採択審査委員会の審査結果を受け、NEDO は以下の委託先を選定し、研究を実施した。

東京大学	Si 基板上に形成された高性能Ⅲ-V 族半導体 MISFET に関する先導研究
------	---

AIST /NIMS	化合物半導体を含む non-Si チャンネル材料上への High-k 絶縁膜形成技術に関する先導研究
NIMS	メタルゲートを中心とした次世代デバイスにおける特性ばらつきの問題とその解決法に関する先導研究
名古屋大学	閾値電圧ゆらぎ制御のためのメタルゲートエンジニアリングに関する先導研究
東京工業大学	次世代 high-k・メタルゲートスタック技術に関する先導研究
東京工業大学	新探究伝送線路配線技術に関する先導研究
広島大学	デバイスばらつきに基づく回路特性ばらつきの予測とデバイス開発へのフィードバック

4. 中間評価結果への対応

第一期終了年度である 2003 年度に中間評価が行われた。また、2006 年度に第2回目の中間評価が行われ、その概要を以下に記す。

[総合評価]

- ・半導体産業は、我が国の情報通信機器産業において重要な位置づけにあり、本プロジェクトは、半導体産業の競争力向上のために、国の産業技術政策上重要な意義を持つ。
- ・半導体技術が高難度化する中、本プロジェクトは、hp45nm 以細のシステム LSI に向けて、MOS デバイスの構造および材料そのものの変革にまで踏み込んだ、新たな技術開発課題に挑戦しており、その果敢な取り組みは大きく評価できるものである。
- ・本プロジェクトのマネジメントについては、産学官の連携体制の下、第二期の当初の予定である4年間の半分の期間で目標を達成しており、評価に値する。さらに実用化開発に移行すべき成果は、Selete を含む、民間企業へ移転するよう取り組みがなされており、産業競争力強化の観点からも大変評価できるものである。
- ・研究開発成果についても、開発項目ごとに数値目標が明確で、世界的にもトップを行く多くの高い成果が上げられている。知的財産権についても適切に出願されている。また、学術論文や国際会議などの発表も十分に行われており、本成果は、技術開発としても優れているとともに、学術的にも価値が大きい。
- ・実用化に向けても、プロジェクトで取り扱った技術の多くは、すでに移転先も決定しており、実用化の可能性が高いものとなっている。しかし、開発されたデバイスおよびプロセス技術のインテグレーションへの発展が、今後の課題として残される。

[今後に対する提言]

- ・研究開発成果を Selete 等でプロセスモジュール化開発に繋げるために、インテグレーション、実デバイスへの適用時の課題、オーバーヘッドの低減などの効率化を含め、まだやらねばならないことは残されている。
- ・今後のプロジェクト運営に関しては、より学際的な研究を進め、より大きな差別化を期待したい。
- ・最終的にデバイスメーカーで採用されるように、Selete での検証も含めて、デバイスメーカーと連携した継続研究を行っていくことも重要である。
- ・第三期の計画については、大きな予算を使って実験的研究に走る前に、十分なアイデアの提案と技術的議論を行い、物理原理から来る限界等について、あらかじめ検討しておくべきである。先行技術を十分に調査するとともに、国内外の技術的蓄積も有効に生かせるよう、開発戦略を立てていく必要がある。

- ・本プロジェクトは材料・デバイス中心のプロジェクトではあるが、微細化限界の克服のためには、回路システム関連の研究と相まって相補的に進展することが重要であり、必要に応じ回路システム関連の研究テーマを導入する機動的なマネジメントを期待したい。

この中間評価を受けて、第三期において本プロジェクトの成果をスムーズに産業界に移転するため、民間プロジェクトである「あすかプロジェクト」と連携し、技術領域をフォーカスして日本の半導体デバイス・装置・材料産業に波及する技術開発を行うこととした。また、第二期成果の技術移転後の支援を行うためにNEDO 装置を借用して継続的な実用化開発が必要である技術移転先において継続研究を行った。

平成 19 年末には「I. 次世代半導体材料・プロセス基盤技術開発」に関する中間評価を行った。その概要を以下に示す。

[総合評価]

- ・半導体は、産業のインフラや差別化に大きく関わっていることから、我が国の産業競争力は勿論、安全保障の観点からも非常に重要である。また、半導体産業は、日本経済を底支えする基幹産業でもある。しかし、半導体技術は近年ますます高難度化しており、民間のみで取り組むのは難しい状況にある。したがって、国を挙げてその技術開発を活性化し促進することを目的に、日本における ULSI 技術研究開発の最前線として、NEDO の下、産官学の英知を結集して先端技術開発、知的基盤の創出を行っている本プロジェクトの意義は大変大きい。また、本プロジェクトは、第三期の中間地点で、数多くの世界最高レベルもしくは世界初となる研究成果が得られており、質・量ともに高く評価できる成果が出ている。しかしながら、得られた成果の実用性は認められるものの、本格的な実用化さらには事業化のためには、今後のさらなる研究開発、調査が必要なものも多い。したがって、今後の半導体技術力強化のためには、本プロジェクトを継続実施することが望ましい。
- ・実用化へむけての努力は評価できるものの、今後の研究開発や事業化に対するビジョンが明確とは言えない。また、本プロジェクトは材料やプロセス要素技術に関する個別のテーマを重点的に掘り下げることに重きを置く体制となっており、LSI システム全体としての高性能化にどのようにつながっていくのかを明確にする体制とはなっていたといえず、全体像が掴みにくい嫌いがある。また、個別テーマについては、最先端LSI開発のためのテーマとして、これで必要かつ十分であるかの検討が不足している嫌いがある。
- ・LSI システム全体をにらみつつ、早急に第三期の最終的な目標及び出口を明確にし、それを達成するための適切な連携や共通目標設定、技術移管体制をしっかりと検討すべきである。ただし、半導体分野の動きは非常に早いので、マネジメント体制により十分な柔軟性を持たせることが肝要であろう。

[今後に対する提言]

- ・半導体競争力を維持、強化することは我が国にとって必須であり、本プロジェクトはその先駆的な研究開発を担っていることから、継続して実施すべきである。
- ・ただし、プロジェクトとして、開発する技術の、従来技術に比べた明らかな優位性や、プロジェクト全体としての成果を明示することに留意されたい。また、中間評価時点では、第三期の終了時の目標や実用化への道筋が明瞭になっていないため、評価に戸惑う結果になっている。本プロジェクトを hp32nm やそれ以細の集積回路においてどのように活用するのか、周辺技術へどのように適応するのか、あるいは新たなテーマを取り上げる必要があるのかなどの検討を早急に行い、今後の基礎的研究の継続の仕組み作りや、実用化に向けての企業との連携体制の確立をしていただきたい。

この中間評価を受けて、第三期前半までの研究成果により絞り込まれた技術選択肢をベースとして、実用化に向けた目標の明確化を図るため基本計画を変更した。これに伴い、公募により体制を見直した。

平成20年度には「Ⅱ．次世代半導体露光プロセス基盤技術開発 ④次世代マスク基盤技術開発」に関する中間評価を行った。概要を以下に示す。

[総合評価]

- 半導体産業は基幹産業の一つであり、我が国の中で発展してきた。その発展の原動力は、一つには微細化、とくに露光技術の発展に依存している。
- 低消費電力システムLSIの開発にはパターンの微細化が不可欠である。hp22nm以細まで対応可能な量産用露光技術は、今の所、EUV露光技術しか見当たらない。その中核テーマであるマスクに焦点を当てた本プロジェクトは、国際競争力を高め、緊急性を要する研究開発を加速する意味でNEDOの事業として妥当である。
- 本MIRAIプロジェクトのマネジメントについては、全体として有機的につながりを持って推進されている。また、研究開発成果についても、少数の研究者(15名程度)であるにも拘わらず、世界最高性能である線幅26nmの孤立・密集パターンの同時形成、マスク・マスクブランクス内の高さ1.5nm、大きさ60nmの欠陥を走査検出可能な新原理欠陥検出法の開発、汚染物質に関わる多くの知見とそのクリーニング方法、搬送方法などに関し多くの研究開発成果を着実にあげ、順調に研究開発が進んでいることから、中間目標であるhp45nmに対応する技術は目標を達成できる見通しであると判断する。さらに最終目標の達成に向けても課題の明確化が図られているものと考ええる。
- 今後は各研究グループ間での連携をさらに深め、共通のマイルストーンを明確化し、年度や期の区切り毎に進捗を数値的に確認しながら、最終目標が達成できるよう、研究開発を進めてほしい。また、加速すべき技術を見極めた上で、重要な研究開発については研究をさらに加速し、プロジェクト終了時点で予定以上に高い技術レベルを達成することを期待する。

[今後に対する提言]

- 本プロジェクト終了までの2年間で、実用化に必要な全ての技術を揃えることはなかなか難しい状況であり、本プロジェクトで全てをまかなう事も勿論できない。わが国でカバーすべき分野、得意分野と、外国のコンソーシアムや企業が先行している分野、彼らが得意として任せられる分野を峻別して、リソースの集中を図るべき時に来ている。
- 今後に向けては、リソースを集中すべき研究開発項目を今一度精査すべきである。また、EUV露光技術の出番はhp22nm以細になると思われることから、本プロジェクトの成果を基に必要な課題を洗い出し、必要なものについては、加速資金等の投入も積極的に行うべきと考える。
- また、EUV露光技術の実用化に際しては、コストも重要なファクターであり、ユーザーにとって関心の高いところと考えられる。EUVマスクの方が安価になる期待もあるので、技術開発に併せてコスト試算も可能な限り行っていただき、技術開発の意義をアピールしていくことも期待したい。

5. 評価に関する事項

第一期の中間評価を平成15(2003)年度に行った。また、第二期の繰り上げ終了に対応して、平成18(2006)年度に第二回の中間評価を行った。第三期前半の中間評価として「Ⅰ．次世代半導体材料・プロセス基盤技術開発」に関する評価を平成19(2007)年度に行った。また、「Ⅱ．次世代半導体露光プロセス基

盤技術開発 ④次世代マスク基盤技術開発」に関する評価を平成20(2008)年度に行った。平成23年度に事後評価を行う予定である。

III 研究開発成果について

1. 事業全体の成果

I. 次世代半導体材料・プロセス基盤技術開発

① 新構造極限CMOSTランジスタ関連技術開発 [U-CMOS]

本研究開発項目は、独立行政法人 産業技術総合研究所(以下、産総研)と株式会社 東芝(以下、東芝)とで、次のように分担・連携して開発を行った。

産総研： バリステックCMOS基盤技術開発

主としてSi材料を用いて、ゲート絶縁膜界面でのキャリア散乱低減や金属半導体界面の接触抵抗低減のための、原子スケールでの材料制御技術の極限追究とデバイス実証および関連する評価技術等の研究開発を行う。

東芝： 新材料バリステックCMOS技術開発

主としてSiGe系材料を用い、ひずみなどの移動度向上技術や、トランジスタプロセス開発、要素技術のデバイス実証、短チャネルトランジスタでの性能実証等を行う。

また、産総研のスーパークリーンルーム施設での微細トランジスタ試作において、産総研、東芝の両メンバーが、プロセス開発等で協業した。

以下に、基本計画の開発項目と目標、及びそれらに対する主な成果、目標に照らした達成度をIII-1-I-①-1-(0)-表1として示す。

III-1-I-①-(0)-表1 基本計画の開発項目と目標、成果、及び達成度

開発項目と目標	成果	達成度
<p>(1)ソース・ドレイン材料・構造の制御により CMOS の駆動力を高める技術の開発 【開発項目の全体目標】 ソース・ドレインの材料・構造を制御して、キャリア注入速度・キャリア濃度を向上し、キャリア反射を抑制する科学的な理解に裏付けられた材料・構造・プロセスの設計指針を提案し実証する。</p>	<p>【開発項目の全体成果】 ・高移動度SiGe、GeチャネルCMOSのソース・ドレインの最適な材料として、NiSiGe及びNiGeを新たに提案した。NiSiGe及びNiGeショットキー界面に適切な不純物材料を見出し、これを制御して、実効キャリア速度の向上に不可欠な低抵抗オーミック形成に成功するとともに、Lg=26nmでのデバイス動作で、提案ソース・ドレイン材料の有効性を実証した。</p>	<p>達成</p>
<p>①ソース・チャネル界面を制御し、キャリア注入速度等を改善する材料・形成方法・構造の開発 (東芝)</p>	<p>・Ge基板上で、hp32ノードに対応するサイズのhigh-k/MGへのNiGeメタルソースドレインの形成に成功した。 ・上記技術を適用・改良を施し、ひずみSiGe Trigate MOSFET向けにメタルSD (NiGeSi)プロセス開発完了、微細トランジスタに適用し、動作を確認した。 ・Ge-nMOS 用新規偏析ショットキー技術(P/S 界面ドーブ)により、NiGe/GeダイオードのON抵抗が従来技術(Pのみ)の半分に低減すること確認。また、電子に対して10mV以下のSBHを確認。 ・以上より、高移動度チャネルである、SiGe,Geへの低ショットキーバリアメタルソースドレイン技術が実用化の技術選択肢となりうるポテンシャルを有していることが示され、目標が達成された。</p>	

<p>②ドレイン・チャンネル界面での電子状態を制御しキャリア反射を抑える材料・形成方法・構造の開発 (産総研)</p>	<p>・TCAD Simulationから、ドレイン端に関してはソース端同様、できるだけショットキー障壁を小さくするのが、寄生抵抗削減の観点で望ましいことを明らかにした。</p>	
<p>(2)キャリア輸送特性を向上してCMOSの駆動力を高める技術の開発 【開発項目の全体目標】 チャンネルの歪み、表面・界面ラフネス、ソース・ドレインとの界面付近の不純物分布を制御してバリスティック効率を向上する科学的な理解に裏付けられた材料・構造・プロセスの設計指針を提案し実証する。</p>	<p>【開発項目の全体成果】 ・Geチャンネルへ効果的な歪み技術を提案し、正孔移動度の向上を実証するとともに、Ge上のSrGe界面処理による正孔移動度特性の向上を実現した。Siチャンネルについても、表面・界面ラフネス改善とエピタキシャルhigh-kによる移動度向上、ソース・ドレインとの界面付近の不純物分布を制御して0.1eV以下のショットキーバリアを達成するなど、ショバリスティック効率の改善に関わる設計指針の提案と実証を行った。</p>	<p>達成</p>
<p>①チャンネルの歪みを制御してキャリア速度を向上するためのCMOS向け材料・形成方法・構造の開発 (東芝)</p>	<p>・二段階酸化濃縮法による高Ge濃度SGOIチャンネルSiGe-pMOSFETにおいて、一軸圧縮ひずみが観測された。ひずみSiを上回る正孔移動度が実現可能な大きなひずみ(2.6%)を実現した。 ・hp32相当よりも微細なGe-nMOSFET構造に、ゲート両端のリセス上へのSiGeエピにより、一軸引張りひずみの印加を確認。移動度増大に有効な1%以上の引張りひずみの印加を確認した。これらを持って、目標を達成した。</p>	
<p>②ゲート絶縁膜・チャンネル界面を改善しキャリア散乱を抑制するためのCMOS向け材料・形成方法・構造の開発 (東芝)(産総研)</p>	<p>(東芝) ・Geチャンネル上のhigh-k(LaAlO)/SrGe絶縁膜により、Si正孔のユニバーサル移動度の約2倍の正孔移動度達成。 ・このSrGe界面層技術でEOT<1nm達成。また、現状high-k/Si並みEOT-Jgスケラビリティ(実用的なゲートリーク特性)を確認。 ・以上のように、キャリア散乱要因を極力抑えたゲートスタックプロセスが開発され、そのキャリア移動度に対する有効性が示され、目標が達せられた。 (産総研) ・酸素終端法を開発。active-passive境界条件酸化を用いてSiの最表面結合を酸素で終端。均一な直接接合界面を形成。SiO₂/Si界面での界面ラフネス散乱と同程度の高品質high-k/Si直接接合ゲートスタックを形成することに成功し、目標を達成した。 ・RTC法を開発。非晶質HfO₂膜を基板側から結晶化させることにより、高品質な直接接合エピタキシャルHfO₂を形成。界面層形成を抑制することでEOT 0.5 nmを実現することで目標を達成した。 ・駆動力検証についても、目標を達成した。詳細は開発項目(4)で述べる。</p>	
<p>③NMOSとPMOSそれぞれに最適化したチャンネルとソース・ドレインとの界面付近の不純物分布を最適化しバリスティック効率を向上するための材料・形成方法・構造の開発 (産総研)</p>	<p>・SOI基板中のNiSi₂横方向エピタキシャル成長を利用した接合制御技術を開発した。 ・NiSi₂のショットキー接合界面に偏析したP(リン)およびB(ボロン)を、従来行われていなかった高温アニールで活性化することで、接合の実効バリアハイトをSiの伝導帯および価電子帯からそれぞれ0.1 eV</p>	

	<p>以下に調節できることを実証した。世界でもトップ水準の数値を達成し、メタルソース・ドレイン技術の実用化に向けて大きく前進する成果が得られ、目標を達成した。</p>	
<p>(3) 微細な低消費電力・高電流駆動力トランジスタによる実証 【開発項目の全体目標】 バリステック輸送現象が発現する微細ゲート長のシリコン-ゲルマニウム系MOSトランジスタを作製し、電流のゲート長依存性などからバリステック効率を導出する。本テーマの開発成果を用いていないトランジスタとの比較で、OFF電流を揃えた条件でON電流が1.15倍以上となること、ならびにON電流をそろえた条件での消費電力が80%以下となることを示す。また、開発されたトランジスタ素子特性が、高い再現性で得られることを実用化の観点から示す。</p>	<p>【開発項目の全体成果】 ・SiGe 及び Si チャネルについて、hp32nm 相当の微細ゲート長トランジスタの試作をした。1.15 倍以上の電流駆動力の向上と20%以下の消費電力の削減効果が実証された。</p>	<p>達成</p>
<p>① 超低消費電力トランジスタの作製と低消費電力・高電流駆動力性能実証 (東芝) (産総研)</p>	<p>(東芝) ・nMOS: ひずみ SOI-GAA-FET でオン電流 1.23 倍, 消費電力 64% (対参照用 Trigate-SOI) ・pMOS: ひずみ SGOI-TrigateFET でオン電流 1.45 倍, 消費電力 72% (対参照用 Trigate-SOI) ・上記特性により、数値目標を達成した。 (産総研) ・ゲートの微細化に関して、東芝との共同開発を行い、メタルゲート/high-k絶縁膜及び、偏析によりショットキーバリア高さを制御した、NiSi₂メタルソース・ドレインを適用した、Lg=26nm (hp 32nm ゲート長相当)のFD-SOIデバイスの試作を完了することで、目標を達成した。また、本表の項目(2)-産総研実施計画書②で開発した高駆動力ゲートスタック有効性を試作した微細トランジスタにおけるゲート長のドレイン電流依存性から検証し、開発した高駆動力ゲートスタックの適用により未適用に比較して34%の駆動力の向上があることを示した。</p>	
<p>(4) 計測・モデリング技術の開発 【開発項目の全体目標】 トランジスタのバリステック効率の向上メカニズムを解明できる評価・解析法を確立し、モデル化技術を確立する。</p>	<p>【開発項目の全体成果】 ・微細デバイスの電気特性評価法を開発し、バリステック輸送効率など求めるとともに、走査トンネル顕微鏡 (STM) によるポテンシャルプロファイル計測技術、ラマンを用いた局所応力分析を開発し、バリステック効率の向上メカニズムを解明できる評価・解析法を確立した。また、量子補正モンテカルロ・デバイスシミュレータを用いた、準バリステック輸送のモデル化技術を確立した。</p>	<p>達成</p>
<p>① バリステック効率向上技術関連の計測技術の開発 (産総研)</p>	<p>・開発項目 (3) で開発したデバイスについて、バリステック効率などを抽出した。また、開発項目 (2) で開発した HfO₂/Si 直接接合型の高移動度ゲートスタックに対して、キャリア移動度とソース端実効速度の関係をもとめ、従来技術に比較して 34%の電流駆動力向上が可能であることを示したことにより、本プロジェクトの数値目標を達成した。 ・NiSi₂とSiのライン&スペースパターンに対し、試料表面調製法を開発し、NiSi₂/Si 界面付近の伝導帯、価電子帯のバンドプロファイルを測定することに成功した。さらに、STM シミュレーションを行うことにより、0.1eV のポテンシャル計測分解能があること</p>	

	<p>を示した。これにより、当該開発に関する目標は達成された。</p> <p>・NiSi, NiSi₂がSiに誘起する応力を計測し、NiSi₂がより揺らぎの小さい応力の印加していることを見いだした。また、偏光方向を制御することにより、応力の方向と大きさを定量的に解析する技術を開発し、電磁場シミュレーションの結果を解析することにより、光の回折限界を超える空間分解能で応力分布の解析ができることを示した。さらに、開発したラマン計測技術を用いた測定結果を用いてシミュレーションの較正を行い、高精度の応力評価を可能とすることで、目標は達成された。</p>
<p>②低消費電力・高電流駆動力トランジスタのモデリング技術の開発 (再委託:神戸大学)</p>	<p>・メタルソース/ドレイントランジスタのバリスティック輸送効率をシミュレーションし、メタルソース/ドレイン構造では、1)ソース端kTレイヤが従来のpn接合トランジスタに比べて狭くなること、2)その結果、キャリアのソースへの後方散乱が抑制され、同一チャネル長・同一バイアス条件においてバリスティック効率が向上することを、明らかにした。</p> <p>・不純物偏析がソース端の実効バリア高を低くし電流駆動力を向上させる技術として有効であることを実証した。さらに、高濃度偏析下の素子特性はショットキーバリアではなく、隣接するボトルネックバリアが支配することを見出すなど、不純物偏析型のメタルソース・ドレインを有する、準バリスティックMOSFETのモデル化技術を確立した。以上より、バリスティックCMOSTランジスタの特性シミュレーションおよび最適設計技術を完成させた。</p>

次に主な成果の概要を記述する。

(1) ソース・ドレイン材料・構造の制御によりCMOSの駆動力を高める技術の開発

nチャネルトランジスタ用の技術として、GeチャネルへのNiGeコンタクト抵抗の低減技術を開発した。NiGeとGeの界面にPとS原子を高濃度に分布させることにより、従来知られているPのみの場合に比べショットキーダイオードのオン抵抗が半分程度以下になった。また、それに対応してショットキーバリアが大幅に低減されたことを確認した。P・SのNiGe/Ge界面への共存によるショットキーバリア低減を示したのは世界初である。

pチャネルトランジスタ用の技術として、Ge-MISFETむけNiGeコンタクトのプロセス技術を開発した。プロセスパラメータの最適化により、hp32世代に対応する微細ゲート構造に、メタルSD構造を作りこむことが出来た。本技術を、ひずみ立体SiGeチャネル向けNiGeSiコンタクトに適用した。Geの価電子帯端に金属のフェルミレベルがピニングして正孔に対するバリアが消失するのと同様、高Ge組成のSiGeに対しても不純物ドーピングなしにバリア低減が可能であることを示した。本開発の結果、(3)における数値目標である、電流駆動力の増大と、消費電力低減の数値目標を達成した。

(2) キャリア輸送特性を向上してCMOSの駆動力を高める技術の開発

nチャネルに関して、ひずみSi、ひずみGeのひずみ印加(緩和防止)構造を提案し、実験的検証を行った。ひずみSiについては、SOI上で微細加工した際にもひずみが緩和しないためのSiGeストレスリテーナ構造を提案し、実際に試作した微細ひずみSiアイランドでひずみ保持の実証をおこなった。ひずみGeに関しては、チャネルに模したダミーゲートの両側のソースドレインに相当するGe基板にウェットエッチングで溝を形成し、SiGeをエピタキシャル成長して、ダミーゲート直下のGeの引張りひずみをラマン分光で評価した。その結果、hp32相当以下のサイズまで、必要な引張りひずみ(0.5%以上)が印加されていることを確認した。前者はMIRAIオリ

ジナルの技術提案であり、後者はこの系における世界初の実証として意義が大きい。

pチャンネルに関しては、酸化濃縮法による立体チャンネルひずみSiGeチャンネルの形成により、2.6%という非常に大きな一軸圧縮ひずみを達成した。既存のひずみSi用プロセスでは1.5%程度が上限であり、それをはるかに超える値が実現できた。また、2.7%の圧縮ひずみSiGeで、(001)Siの約5倍の正孔移動度増大を実証した。この移動度増大も、同様の立体チャンネルSiGeにおいては世界最高の値である。一方、ゲート絶縁膜界面に関しては、Ge基板上で、オリジナル技術であるSiGe_x(ストロンチウムジーマナイド)界面層技術の実証を行った。その結果、high-kゲート絶縁膜を有するGe-pMISFETにおける正孔移動度として、世界最高値を実現した。また、high-kゲート絶縁膜を有するGe-pMISCAPの熱処理によるフラットバンド電圧シフトの系統的解析より、GeトランジスタではSiトランジスタに比べ熱処理によるしきい値電圧シフトが大きくなることを見出した。

Si系チャンネルの駆動力向上に関連して、寄生電気抵抗の低減によってキャリア輸送特性を向上することを目的として、メタルソース・ドレイン技術の開発を行った。熱耐性に優れたNiSi₂相を用いたメタルソース・ドレイン構造の形成技術を構築して完全空乏型SOI FETを試作し、その動作を確認した。接合特性の課題であるショットキーバリアに対しては、不純物偏析機構に基づいた実効ショットキーバリアハイト低減技術を活用し、その高度化指針を探索した。原子層エッチングと二次イオン質量分析技術を駆使することで、偏析元素が接合界面の数原子層領域に存在することを突き止めた。偏析不純物の活性化率の低さを高濃度化と高温アニールによって克服することで、シリコンのバンドエッジに相当する実効バリアハイトを実現することに成功した。

また、ゲート電極のチャンネル支配力強化によってキャリア輸送特性を向上することを目的として、極薄High-k技術の開発を行った。酸化反応と酸素エッチング反応の遷移領域に注目して、Si最表面の原子層のみを酸素で終端する技術を開発した。さらに非晶質HfO₂膜の結晶成長技術を開発し、エピタキシャルHfO₂膜を合成した。キャパシタおよびトランジスタを試作して電気特性を評価し、界面の酸素終端化が界面準位の低減に貢献すること、そしてエピタキシャルHfO₂膜の合成が漏れ電流の低減に貢献することを明らかにした。これらの技術を統合することで、世界最高の移動度を有する極薄High-k膜を達成した。既存の半導体製造技術に基づいて開発したこれらの成果は、生産技術への展開が容易である。

(3) 微細な低消費電力・高電流駆動力トランジスタによる実証

(1)、(2)で得られた知見を活用し、nチャンネルとして、ひずみSOIチャンネル、pチャンネルとして、ひずみSGOIチャンネルの微細立体チャンネル構造トランジスタをそれぞれ試作し、無ひずみSOIチャンネルの同様な構造の素子との電流電圧特性の比較を行った。その結果、十分な余裕を持って数値目標が達成された。すなわち、同一ゲート電圧での電流値がそれぞれ27%、45%増大し、同一電流値を得るためのゲート電圧がそれぞれ20%、15%減少した。これらは、消費電力換算でそれぞれ36%、28%の低減に相当する。ただし、これらの値は、nチャンネルに関しては比較対象のSOI素子の反転層キャリア濃度N_s依存性は少ないものの、pチャンネルはN_s依存性が高く、前記値はN_s=7.2e12 cm⁻²の時の値である。pチャンネルについては、N_sの想定を高くするほど消費電力低減効果が大きく、N_s=8.7e12 cm⁻²の時に42%の消費電力低減効果が得られた。これらの値は、本研究項目における数値目標である、15%以上の電流駆動力の増大、および、20%以上の消費電力の低減をいずれも満たすものである。

さらに、(1)、(2)で開発したSi系チャンネルの要素技術に関して、微細CMOSへの適用可能性を実証するため、極薄SOI上にメタルゲート電極/high-kゲート絶縁膜、メタルソース/ドレインの新材料を導入した微細トランジスタのプロセス開発、デバイス実証を行った。ゲート電極には、ゲート長によるしきい値電圧バラツキが抑えられるmetal inserted poly-Si stack (MIPS)ゲート電極を用いた。新たに開発したSiO₂ハードマスキング法により、26 nmまで細線化することができた。さらに、ゲート長26nmのn- & p- MOSFETsを試作し、動作実証した。メタルソースドレイン接合位置制御技術については、メタルS/DにはSiとの格子ミスマッチが極めて小さいエピタキシャルNiSi₂を用いた。エピタキシャル成長中のアニール時間の制御により、極薄SOI中でエピタキシャルNiSi₂を原子層レベルで縦横方向へ位置制御できることを示した。

(4) 計測・モデリング技術の開発

MIRAI-UCMOSで開発した、高移動度Geチャンネルの移動度や界面特性評価、ならびにメタルソース・ドレイン技術や高駆動力ゲートスタック技術の微細デバイスへの適用可能性の検証のための電気特性評価を行った。GeチャンネルのpMOS移動度解析として、Geチャンネルに数モノレイヤーのSiをエピタキシャル成長したヘテロ界面のpMOSFETを試作し、Siの正孔のユニバーサル移動度に対して、約4倍の移動度を達成できたことを示した。また、nMOSに関しては、SiO₂/epi-Si/Ge界面と、GeO₂/Geについて、伝導帯側での界面準位密度のエネルギー分布を精密に測定した。その結果、SiO₂/epi-Si/Geよりも、GeO₂/Geにおいて伝導帯側の界面準位密度は小さく、10¹² cm⁻² eV⁻¹を下回る界面が得られることが分かった。これらの結果は、今後の高移動度Ge CMOSを実現するために必要な界面制御の指針となる結果である。

また、III-1-I-①-(2)で開発した極薄高駆動力High-kゲートスタックにおける微細化ゲート長領域での有効性を検証するため、Full-depleted Silicon on Insulator (FD-SOI)型の微細MOSFETを試作し、移動度、ソース端実効速度などを抽出した。その結果、III-1-I-①-(2)で開発した高駆動力ゲートスタックは十分高い移動度が実現しているため、従来法(HF-last上のHfO₂ゲートスタック)と比較して、約34%の電流駆動力の向上が確認された。これにより、MIRAI-UCMOSの目標である、電流駆動力の15%以上の向上を達成した。ポテンシャル分布計測技術開発においては、走査型トンネル顕微鏡(STM)を用いて、Siデバイスのポテンシャル分布を測定する技術を開発し、STMシミュレータによりポテンシャル分布を定量的に解析することに成功した。また、メタルソース/ドレインとSi界面のポテンシャル計測に関しては、伝導帯、価電子帯のバンドプロファイルを測定し、STMシミュレーションにより、測定されたプロファイルを再現することに成功した。

ラマン分光法を用いたSiデバイス構造の局所応力分布計測技術開発においては、偏光方向を制御することにより、異なるラマン信号成分を分離して検出し、応力の方向と大きさを定量的に解析する技術を開発した。さらに、高い開口数をもつ対物レンズとラマン禁制偏光光学配置を用いることにより、(001)面上の応力方向を解析する技術を開発し、歪みSOI層をパターンニングした時に生じる異方的応力緩和を観測した。

また、電磁場シミュレーションの結果を解析することにより、50nmという光の回折限界を超える空間分解能で応力分布の解析ができることを示した。そして、開発したラマン信号の偏光解析技術をベースに実トランジスタにおける歪みシミュレーションの高精度な校正を行い、様々なレイアウトバリエーションにおけるトランジスタのチャンネル領域の応力が評価できることを示した。

また、バリスティック効率の向上メカニズムを解明するためのバリスティックCMOSシミュレーション技術を開発した。このシミュレーション技術を用いて、バリスティック効率の向上には、ソース端のボトルネック幅を狭くしキャリアの後方散乱確率を低減する構造が有利であることを明らかにした。この知見を基に、従来の拡散層電極よりも狭いボトルネック幅が実現できるショットキーMOSFETに着目した。その結果、ショットキー障壁高さを約0.15eV以上に設定すると、ボトルネック幅の縮小によりバリスティック効率が向上することを初めて明らかにした。その一方で、ITRSが要求する寄生抵抗値を下回るためにはショットキー障壁高さを0.1eV以下にまで下げる必要があることから、不純物偏析技術によるショットキー障壁高さの変調効果を検討した。その結果、高濃度の不純物偏析素子ではショットキー障壁高さを低減できる一方で、チャンネル内部にポテンシャルポケットが形成されるため従来と同様の広いボトルネック幅を持つボトルネック障壁がキャリアの注入機構を支配することを明らかにした。

② 新探究配線技術開発

(1) 極限低抵抗・高電流密度配線技術の開発

初期目標の達成状況については、III-1-I-②-(1)表1に示す通りであるが、次に概要を示す。カーボン配線技術開発では、LSI製造プロセスで許容される温度条件におけるカーボンナノチューブの高密度、高速成長技術の開発、300mmウェハへ拡張可能な技術によるCu配線に対する優位性の実証により、目標を達成している。さらに、学会・論文発表などの状況については、III-1-I-②-(1)表2に示す通り、積極的な発表、特許出願を推進した。

III-1-I-②-(1)表1 開発項目と目標達成状況

開発項目と目標	開発成果	達成度
1) LSI製造プロセスで許容される温度条件におけるカーボンナノチューブ(CNT)の高密度成長技術の開発	1) 4段階プラズマ処理という新プロセスを導入し、プラズマCVDでCNT密度 $2 \times 10^{12}/\text{cm}^2$ の高密度を達成(目標値は $3 \times 10^{12}/\text{cm}^2$)。CNT層数は約5層より、 1×10^{13} シェル/ cm^2 を達成(世界トップ)。ビア構造では、ビア底の地下金属膜と表面処理の最適化や新しい二元系微粒子触媒の適用により、熱CVDの高品質かつ高密度($1 \times 10^{12}/\text{cm}^2$) CNTの成長に成功	ほぼ達成
2) LSI製造プロセスで許容される温度条件におけるCNTの高速成長技術の開発	2) プラズマCVD成長速度(密度 $1 \times 10^{12}/\text{cm}^2$) で毎分70nmを達成(目標である成長プロセス5分以内を達成)。密度 $2 \times 10^{12}/\text{cm}^2$ では毎分30nmの高速成長達成。	達成
3) hp32nm以細の300mmウェハの配線構造へ適用可能性の提示と当該世代のCu配線材料に対する優位性の実証	3) 従来のSi LSIプロセスと整合するCNTビアのためのシングルダマシプロセスを開発。さらに300mmウェハで実績のあるプラズマCVDを適用し、直径70nmの微細CNTビアアレーの作製に成功。CNTビアの電気特性は、直径70nmビアで抵抗51Ω、直径160nmビアで抵抗10Ωを得た(この値はプロジェクト開始時の1/56であり、直径50nm、高さ200nmのビア換算で約76Ωとなり、目標値14Ωと同桁を達成)。電流密度耐性では、熱CVD成長ビアでEM破破メカニズム解析やCMP平坦化、コンタ外技術改善により、 $4 \times 10^7 \text{A}/\text{cm}^2$ で1000時間以上の耐性を確認(目標値 $1 \times 10^7 \text{A}/\text{cm}^2$ 以上を達成)	ほぼ達成
4) カーボン材料を用いた横配線技術の開発	4) 縦方向でのCNT高密度成長を確認したことで、横配線での高密度化が達成できる目処を得た。	ほぼ達成

III-1-I-②-(1)表2 特許出願件数と学会・論文発表件数

	H20年	H21年	H22年	計
特許出願 (うち外国出願)	8 (3)	8 (2)	8 (3)	24(8)件
論文(査読付き)	3	3	4	10件
研究発表・講演	28	17	5	50件
新聞・雑誌等への掲載	6	3	0	9件

② 新探究配線技術開発 [NSI]

(2) 新コンセプトグローバル配線技術の開発 (LSI チップ光配線技術開発)

本研究テーマにおいては、LSI のグローバル配線における消費電力、情報伝送容量密度、シグナルインテグリティ等の課題を解決するために、シリコンフォトニクスなどの新しい技術を導入することにより、光配線を導入する検討を行った。光技術により、寸法的には LSI 内の機能ブロック間を光で結ぶことが可能であることは従来から指摘されていた。しかし、消費エネルギーを低減するには、電気信号を光信号に変換する変調器の大幅な小型・低消費電力化を行うことが必要となる。そのために必要な基本要素技術を開発するとともに、開発した技術を用いたオンチップ光波長多重伝送、および低コスト化と信頼性向上に必要な周辺技術の開発も行った。具体的研究開発内容は、『低消費電力オンチップ電気光変調器および導波路結合型受光器』、『波長多重光回路のための導波路、合分波器、受光および変調素子の多チャンネル集積形成技術』、『多波長光源とオンチップ光回路の集積技術の開発』、『光クロック・バスの低消費電力動作確認とシステム性能実証』、の四項目である。

『低消費電力オンチップ電気光変調器および導波路結合型受光器』においては、最も大きな消費電力を発生する電気光変調器を低損失化する開発を行った。目標は 10 GHz 以上で電力遅延積 4 pJ 以下、消費電力 14 mW 以下である。

ここでは、Si/SiO₂ および電極材料の上に直接ナノ結晶粒の電気光学セラミックス材料である PLZT (ランタノドープジルコン酸チタン酸鉛) の導波路を形成する方法を開発し、電気光変調器の感度を高めるために電気光学膜自体の光散乱損失を減らした。散乱の主原因となるボイド発生の機構を調べ、エアロゾルデポジションの原料粉調整方法および製膜プロセスをボイドができにくいように最適化するおとで、PLZT 膜散乱損失の目標である 2 dB/mm が得られた。さらに、電気光学変調器設計のためのシミュレータを開発し、そのシミュレータにより上記 PLZT の特性を用いたリング型 PLZT 変調器を設計した。電極を上下からサンドイッチする独自構造により、半径 75 μm の変調器の消費電力 (設計値) は 0.35 pJ、3.5 mW という極めて小さなものになった。また、試作した半径 75 μm の PLZT リング変調器は実際に 10 GHz で動作することが確認された。さらに、同じ方法で設計した半径 25 μm の変調器の消費電力は計算上 0.14 pJ、1.4 mW と目標を大幅に超える極めて小さなものとなった。試作した PLZT リング変調器は 2 GHz で動作することが確認された。これらの試作変調器の消費電力を実測するには至らなかったが、今回の試作品は加工による側壁凹凸の発生等により、導波路の光散乱が膜の光散乱よりも大きかったため、特に高周波で信号強度が弱くなっており、実際の消費電力は計算値よりほぼ一桁大きかったと見積もられる。

受光器と導波路を結合した光回路については、オンチップ合分波器用に開発した Si₃N₄ 導波路から Ag 製表面プラズモンアンテナにより光信号を導入する Si ナノフォトダイオードの高効率結合設計を行った。その結果、散乱等による損失も含めた外部量子効率の本テーマ前半の開発で得られた導波路結合 Si ナノフォトダイオードの 10% から 25% にまで引き上げられた。

『波長多重光回路のための導波路、合分波器、受光および変調素子の多チャンネル集積形成技術』においては、他の配線方法と比較した場合の光配線の最大のメリットを生み出す光波長多重のオンチップへの導入を検討した。ここで、チップ上に多数の波長合分波器 MUX/DEMUX (Multiplexor/Demultiplexor) 機能を持ち、電気配線における SerDes: Serializer/Deserializer に相当する) を持つマイクロノードを置くことを可能にするため、4 波以上の光信号の合分波を行う 1mm² 以下の合分波器、および波長多重光伝送回路を試作し、光回路内における過剰損失を 10dB 以下にすることを目標とした。

導波路を用いた合分波器のフットプリントを 1 mm² 以下にするためには、導波路を急峻に曲げても光が漏れないようにする必要がある。本テーマ前半で開発した SiON 光導波路では、導波路曲げによる損失は半径 300 μm 以下になると大きくなるため合分波器のフットプリントを 1mm² 以下にすることは困難であった。今回は、SiON の O (酸素) 含有量を減らしてほぼ Si₃N₄ とすることで屈折率を引き上げて半径 20 μm まで曲げ損失が出ないように

することに成功した。その結果、0.5 mm²のフットプリントに5波の合分波器とSiナノフォトダイオードを組み合わせ設置することが可能になった。Si₃N₄導波路は側壁等を平滑にすることなどで予想以上に小さな導波損失となり、その結果合分波器の挿入損失は目標の10dBを大きく下回る4dBとなった。

『多波長光源とオンチップ光回路の集積技術の開発』においては、外部光源とオンチップ光回路の結合手段の開発を行った。光導波路に光ファイバで外部から光を導入し電気光変調器で光信号を作る方式を採用し、光通信分野で必要とされるような±0.1 μmレベルの精密位置決めは必要としない手法の開発を目指した。

量産に適した光ファイバ垂直入射型で位置決め許容量が大きい構造として、Si₃N₄導波路にグレーティングと反射膜を組み合わせた結合器を設計し試作・評価を行った。その結果、開発した結合器の位置決め許容誤差は±1.5～2.0 μmと十分大きくとれることが判明した。また、5波長以上の波長多重に十分対応する帯域幅を持つことも確認された。

『光クロック・バスの低消費電力動作確認とシステム性能実証』においては、変調器、検出器(受光器)、導波路を組み合わせ光配線を構成して入出力実証を行うこと、およびその電力遅延積が7pJ以下になることを目標とした。

SiON導波路を用いたオンチップ合分波器とSiナノフォトダイオードからなる光回路をLSIにフリップチップ接続した集積チップを用いた光波長多重実験を行い、5GHzと3GHzの2種類の光クロックを同一の光配線で送りLSIを動作させられることを示した。これは光クロック・バスの低消費電力動作への応用方法を示す例となっていると考えられる。システム全体の電力遅延積に関しては、設計上はトータルで2pJ以下となる個々の要素(変調器、受光器、導波路、光源)が得られた。

III-1-I-②-(2)-表1 目標達成度の一覧表

開発項目	目標	成果	達成度
1) 低消費電力オンチップ電気光変調器および導波路結合型受光器	・10 GHz以上で電力遅延積4 pJ以下の変調器を開発	・リング型PLZT変調器により、消費電力設計値0.35 pJ、3.5mWの変調器の10 GHz動作を確認	達成
2) 波長多重光回路のための導波路、合分波器、受光、および変調素子の多チャンネル集積形成技術	・4波以上の光信号の合分波を行う1mm ² 以下の合分波器、および波長多重光伝送回路を試作 ・光回路内における過剰損失を10dB以下	・5波の合分波を行う0.5mm ² のSiN光導波路製の合分波器を試作し、光回路内における過剰損失4dB、チャンネル間クロストーク-15dB以下を確認	達成
3) 多波長光源とオンチップ光回路の集積技術の開発	・外部光源とオンチップ光回路の集積に用いる光源・導波路結合器を開発	・グレーティングと反射膜を組み合わせた垂直光入射結合器を開発	達成
4) 光クロック・バスの低消費電力動作確認とシステム性能実証	・光変調器、検出器、導波路を組合せ、10mm長配線を想定した光配線を構成し、データの入出力を実証 ・光配線の電力遅延積が7pJ以下	・SiN合分波器とSiナノフォトダイオードを組合せた波長多重回路をLSIにフリップチップ接続し、同一光配線を用いて5GHzと3GHzの2周波数クロック動作を確認 ・設計上トータルで2pJ以下となる変調、受光器を開発	ほぼ達成

Ⅲ-1-I-②-(2)-表 2 特許出願件数と学会・論文発表件数の一覧表

	H20	H21	H22	計
特許出願(うち外国出願)	3	11(1)	14(4)	28(5) 件
論文(査読付き)	4	5	3	12 件
研究発表・講演	21	19	5	45 件
新聞・雑誌等への掲載	1	1	0	2 件

③ 特性ばらつきに対し耐性の高いデバイス・プロセス技術開発

(1) 構造依存の特性ばらつきの物理的理解とモデリング技術の開発

本開発の事業の目標達成状況、知財権の取得状況、学会・論文発表の状況を以下に示す。

実施項目①の「デバイス特性ばらつきの評価」については、hp65nm標準TEGの電気特性測定によりデバイス特性ばらつきと経時変化のデバイスパラメータ依存性を明らかにすることが目標であった。新規TEG、および特性高速計測技術を開発し、経時変化ばらつきを含むデバイス特性を安定的に計測可能な評価技術を確立した。さらに、新材料を含むデバイスの試作し、その評価を行うことで実施項目①の目標を達成した。実施項目②の「ばらつきの物理原因解明」については、試作したデバイスの物理パラメータの解析を行うことにより、物理原因を明らかにすることが目標である。実際に試作したデバイスの複数物理パラメータの抽出手法、実デバイスのアトムプローブ手法を開発することにより、実施項目②の目標を達成した。実施項目③の「デバイス特性ばらつきモデリング技術の開発」では、物理原因を組み込んだ3次元TCAD技術を開発し、ばらつき実測データの再現、ならびにこれを指針に不純物以外のばらつき要因を低減し、実施項目の目標を達成した。実施項目④構造依存ばらつきのモデリング技術の「デバイス電気特性のリバースプロファイリングに基づくコンパクトトランジスタモデル」に関しては、リバースプロファイリングに基づいたコンパクトトランジスタモデルを開発し、目標精度を達成した。これにより、プロセス起因ばらつきを直接反映した高精度な回路設計が可能になった。また、「ストレス起因のレイアウトパターン依存性モデル」に関しては、任意のレイアウトパターンに対応可能なコンパクトストレスモデルを開発し、目標精度を達成した。これにより、過剰な設計マージンを排除した高性能な回路設計が可能になった。実施項目⑤の「特性ばらつきに対して耐性の高いデバイス基盤技術の開発」は、特性ばらつきに対して耐性の高いデバイス構造を提案し、その基本特性と課題を明確化することである。開発した3次元TCADを用いて、デバイス基本特性を保持しつつ、特性ばらつきを抑制できる構造を提案し、開発目標を達成した。実施項目⑥は「計測解析技術の開発」である。本開発の計測・解析に必要な技術を開発し、開発目標を達成した。

以上、目標達成状況については、III-1-I-③-(1)表1.に詳細を示す通り、全ての目標を達成した。

次に知財権の取得状況については、III-1-I-③-(1)表2に示す通り、11件の特許出願を実施している。さらに、学会・論文発表の状況については、III-1-I-③-(1)表2に示す通り、積極的な発表を推進し、172件の発表を実施した。

III-1-I- (1)表 1. 平成 22 年度における目標達成状況

目 標	達成状況	達成度
①デバイス特性ばらつきの評価 hp65nm標準TEGの電気特性測定によりデバイス特性ばらつきと経時変化のデバイスパラメータ(ゲート長、ゲート幅等)および材料・プロセス(hp45nmでのゲート電極材料とhigh-k絶縁膜を含む)への依存性を定量的に明らかにする。	<ul style="list-style-type: none"> 新規 TEG、および特性高速計測技術開発により、経時変化ばらつきを含むデバイス特性を安定的に計測可能な評価技術を確立した。その結果、$\pm 3\sigma$ 範囲の経時変化、ならびに$\pm 6\sigma$ の特性ばらつきを計測し、中心特性の変化と共に、特性ばらつきが拡大する事を初めて示した。 HK/MG デバイスの試作・評価を行い、従来デバイスに比べ実効ゲート絶縁膜厚低減による V_{th} ばらつき低減を検証し、HK/MG 構造がデバイス特性ばらつき改善に有効であるというデバイス開発指針を得た。 	達成
②ばらつきの物理原因解明 で解析したTEG中のデバイスについて、デバイスサイズ・形状・構造・組成・不純物分布・ラフネス・欠陥準位密度等、および、電圧ストレス等に依存する経時変化の解析を行うことにより、ばらつきとその経時変化の物理原因を定量的に明らかにする。	<ul style="list-style-type: none"> 実デバイスの複数物理パラメータ抽出手法(たとえば、ゲート絶縁膜厚、ゲート形状、シリサイド構造等)を確立し、3D-STEM でオン電流の異なるデバイスでは、ソース・ドレインのシリサイド膜形状に相違があることを示した。 アトムプローブを用い、電気特性が異なる実デバイスのチャンネル不純物数が V_{th} と正の相関を初めて実測した。 特性ばらつき改善の指針として、シリサイド形成均一化、チャンネル不純物乱れの低減などを示した。 	達成
③デバイス特性ばらつきモデリング技術の開発 で定量的に明らかにしたばらつきとその経時変化の物理原因を組み込んだデバイス・製造プロセスモデリング技術(TCAD)を開発し、材料・プロセス・デバイスパラメータを変化させて作製したTEG解析によるデバイス特性とその経時変化のばらつき実測データを $\pm 10\%$ の精度で再現できるようにする。またこれを用いて、不純物以外のばらつき要因を明確にし、それらによるばらつきを20%以上低減する指針を得る。さらに、この技術を用いてhp32nmのシリコンCMOSのばらつき予測を示す。	<ul style="list-style-type: none"> 離散不純物モデル、LER モデル、不純物拡散モンテカルロモデル等を組み込んだ3次元デバイス・プロセスシミュレーション技術を開発した。 NMOS の V_{th} ばらつきを再現し、原因がチャンネル不純物であるホウ素の増速拡散であることを明らかにした。 NMOS チャンネルホウ素の増速拡散を抑制する炭素共注入技術を開発し、不純物の離散性以外の原因を約 25%低減した。 	達成
④構造依存ばらつきのモデリング技術 ④-1 デバイス電気特性のリバースプロファイリングに基づくコンパクトトランジスタモデル トランジスタ電気特性からのリバースプロファイリングに基づいた、非物理的なフィッティングパラメータを含まないコンパクトトランジスタモデルを開発し、TCADに対してしきい値電圧 V_{th} が $\pm 20mV$ 、オン電流 I_{on} が $\pm 5\%$ の精度で予測可能なことを示す。	<ul style="list-style-type: none"> 非物理的なフィッティングパラメータを含まないコンパクトトランジスタモデル HiSIM-RP を開発し、TCAD に対して V_{th} が$\pm 20mV$、I_{on} が$\pm 5\%$の精度で予測可能なことを実証した。 	達成
④構造依存ばらつきのモデリング技術 ④-2 ストレス起因のレイアウトパターン依存性モデル ストレス起因のレイアウトパターン依存性モデリングを提案し、その L_{on} の変動予測を $\pm 5\%$ 、 V_{th} の変動予測を $\pm 20mV$ の精度で行うことが可能なモデルを開発する。	<ul style="list-style-type: none"> LSI の任意のレイアウトパターンに対応可能なコンパクトストレスモデルを開発し、I_{on}の変動予測を$\pm 5\%$、V_{th}の変動予測を$\pm 20mV$で行うことが可能であることを実証した。 	達成
⑤特性ばらつきに対して耐性の高いデバイス基盤技術の開発 特性ばらつきに対して耐性の高いデバイス構造を提案し、その基本特性と課題を明確化することにより、微細化に伴う特性ばらつきの増大に対応できるhp32nm以細の技術領域のトランジスタ技術基盤を開発する。	<ul style="list-style-type: none"> 試作デバイスの電気特性をフィードバックした3次元デバイス・プロセスシミュレーターを用いて、プレーナ型を含む種々のデバイス構造の計算を実施し、チャンネルドーパントを低減した構造で、V_{th}、I_{on}ばらつきが低減可能であることを示した。 デバイス基本特性を維持し、しきい値、オン電流等のデバイス特性ばらつきを抑制できる構造として、FD-SOI やマルチゲート構造を提案し、ばらつき抑制効果を示した。 	達成
⑥計測解析技術の開発 、 の計測・解析に必要な技術を確認する。	<ul style="list-style-type: none"> 経時変化を含むデバイス特性ばらつきを、回復効果を最小限に抑えられる1ミリ秒以下での測定が可能でかつ、安定的に計測するシステムの開発を完了した。 電気特性を測定した実デバイス構造を解析可能な、3次元アトムプローブ技術(50nmqのMOSチャンネルの加工等、 	達成

	サンプル作成手法を含む)の開発を完了し、実施項目 2) であらつき改善の指針を得た。	
--	--	--

III-1-I-③-(1)表 2. 特許出願件数と学会・論文発表件数

	H20	H21	H22	計
特許出願(うち外国出願)	6	9(2)	4(1)	19(3) 件
論文(査読付き)	5	11	20	36 件
研究発表・講演	18	37	87	142 件
受賞実績	0	2	4	6 件
新聞・雑誌等への掲載	2	3	1	6 件

2011年2月14日現在

③ 特性ばらつきに対し耐性の高いデバイス・プロセス技術開発

(2) 外部擾乱依存の特性ばらつきの物理的理解とモデリング技術の開発

本開発の事業の目標達成状況、知財権の取得状況、学会・論文発表の状況を以下に示す。

実施項目③-(2)-1)の「中性子線入射による電荷発生に起因する回路誤動作の物理的理解とモデリング技術の開発」については、中性子線入射によるソフトエラーの中でも特に SET (Single Event Transient)型のソフトエラーに関する発生メカニズムを明確にした上で物理モデルを構築した上で、hp32nm 以細でのシリコン CMOS における影響予測を示すと共に、エラーレートが 1~10FIT 以下となる設計指針を確立することが目標であった。本開発では、まず中性子照射実験によって SET パルス幅の発生率分布を測定するテストチップを開発し、幅 100ps 以下の SET パルスが大部分を占めることを世界で初めて実験的に確認した。次に、実験結果に基づいてプロセス微細化に対する電荷収集予測モデルを構築し、hp22nm までのシリコンバルクプレーナ CMOS における SET 起因のソフトエラーレートを予測計算を行ない、さらに SET パルスフィルタリングによってエラーレートを 1~10FIT に抑えることが出来ることを示し、本実施項目の目標を達成した。実施項目③-(2)-2)-1)の「耐 ESD 技術開発」については、外部擾乱としての CDM 型 ESD のメカニズムを明確にした上で物理モデルを提案し、設計指針を確立し、破壊現象のメカニズム解明と静電耐圧の規格 (JEDEC におけるクラス 4:1000V)を満たす解決策を提示しその有用性を示すことが目標であった。本開発では、まず、CDM 型 ESD 測定環境を立ち上げ、メカニズム解明とモデル提案を推進した。その後、CDM 型 ESD 現象のシミュレーション解析手法を構築し、シミュレーション解析と TEG 実測結果を基に、CDM 耐圧を決定づけるキーファクターを定義し、CDM 耐圧 ClassIVを実現するための解決策を提供し、本実施項目の目標を達成した。実施項目③-(2)-2)-2)の「アナログ回路における耐ノイズ技術開発」については、「ばらつき」と「ノイズ」のコンカレント・インパクトを考慮した設計のための回路シミュレーション手法を提供することが目標であった。本開発では、新たに開発したチップレベルの基板ノイズ伝播解析と新たに提案したトランジスタレベルの基板ノイズ感度モデルとを組み合わせた回路シミュレーション手法を開発し、その効果を実証し、本実施項目の目標を達成した。

以上、項目別ごとの目標達成状況については、III-1-I-③-(2)-表 1.に詳細を示す通り、全ての目標を達成した。

次に知財権の取得状況と学会・論文発表の状況については、III-1-I-③-(2)-表 2 に示す通りであり、5 件の特許出願と、27 件の発表を実施した。

以上、本開発活動では、各項目の全ての目標を達成していると共に、すでにいくつかの成果については、参加メンバー企業により、実用化が開始されている。また、知財権取得、学会・論文発表についても、積極的な活動が展開されたものである。

III-1-I-③-(2)-表 1. 平成 22 年度における目標達成状況

目 標	研究開発成果	達成度
③-(2)-1) 中性子線入射による電荷発生に起因する回路誤動作の物理的理解とモデリング技術の開発 回路・チップレベルでのエラーレートの評価技術を開発し、その発生メカニズムを明確にした上で物理モデルを構築する。またhp32nm以細でのシリコンCMOSにおける影響予測を示す。さらに、エラーレートが1～10FIT以下となる設計指針を確立する。	③-(2)-1) 中性子照射実験によってSETパルス幅の発生率分布を測定するテストチップを開発し、幅100ps以下のSETパルスが大部分を占めることを世界で初めて実験的に確認した。この結果に基づいてプロセス微細化に対する電荷収集予測モデルを構築し、hp22nmまでのシリコンバルクプレーナCMOSにおけるSET起因のソフトエラーレートを予測計算を行なった。さらにSETパルスフィルタリングによってエラーレートを1～10FITに抑えることが出来ることを示した。	③-(2)-1) 達成
③-(2)-2)-1 耐ESD技術開発 ESDの外部擾乱依存の特性ばらつきに対してメカニズムを明確にした上で物理モデルを提案し設計指針を確立し、破壊現象のメカニズム解明と静電耐圧の規格(JEDECにおけるクラス4:1000V)を満たす解決策を提示しその有用性を示す。	③-(2)-2)-1 対地容量の異なる電源ドメインは、放電速度が異なるためにドメイン境界のトランジスタのゲート酸化膜に電位差が発生し、これがチップ全体のCDM型ESD耐圧を決定していることを明らかにした。CDM型ESD耐圧向上のための設計指針として、i)電源ドメイン間の対地容量を揃えること、ii)対地容量が小さい電源ドメインに寄生容量を追加すること、iii)ドメイン間のGND配線抵抗を小さくすること、を提案し、これらの指針を実際に適用したテストチップを試作し、CDM型ESD耐圧1000Vが達成可能であることを実証した。	③-(2)-2)-1 達成
③-(2)-2)-2 アナログ回路における耐ノイズ技術開発 「ばらつき」と「ノイズ」のコンカレント・インパクトを考慮した設計のための回路シミュレーション手法を提供する。	③-(2)-2)-2 チップレベルの基板ノイズ伝播解析とトランジスタレベルの基板ノイズ感度モデルとを組み合わせた回路シミュレーション手法を開発し、その効果を実証した。	③-(2)-2)-2 達成

III-1-I-③-(2)-表 2. 特許、論文、外部発表等の件数

	H20	H21	H22	計
特許出願(うち外国出願)	0	2	3	5(0)件
論文(査読付き)	0	0	2	2件
研究発表・講演	2	9	14	25件
新聞・雑誌等への掲載	0	0	2	2件

Ⅲ 研究開発成果について

1. 事業全体の成果

Ⅱ 次世代半導体露光プロセス基盤技術開発

④ 次世代マスク基盤技術開発[EUV マスク]

本開発の事業全体についての成果を、目標の達成状況、知財権の取得状況、学会・論文発表の状況に分けて、本節に示す。

本研究開発の目的は、基本計画に記載されているように、hp32nm 以細に適用できる高精度・低欠陥 EUVL 用マスクの技術基盤を確立することにある。具体的な研究開発項目として、以下に示す三つの大テーマ、七つの中テーマが定められてる。

- (1) 高精度・低欠陥EUVLマスクおよびブランクス技術の開発
 - (1)-1 EUV 光を用いたマスクおよびブランクの検査・解析技術の開発
 - (1)-2 EUVL マスクおよびブランクの高品位化技術の開発
 - (1)-3 EUVL マスクコンタミネーション制御技術の開発
- (2) EUVLマスクパターン欠陥検査技術および欠陥修正技術の開発
 - (2)-1 EUVL マスクパターン欠陥検査技術の開発
 - (2)-2 EUVL マスクパターン欠陥修正技術の開発
- (3) ペリクルレスEUVLマスクハンドリング技術の開発
 - (3)-1 EUVL マスクの異物フリー搬送・保管技術の開発
 - (3)-2 ウエハファブ内 EUVL マスク異物検査技術およびクリーニング技術の開発

これらの開発の最終目標は基本計画に以下のように規定されている。すなわち、

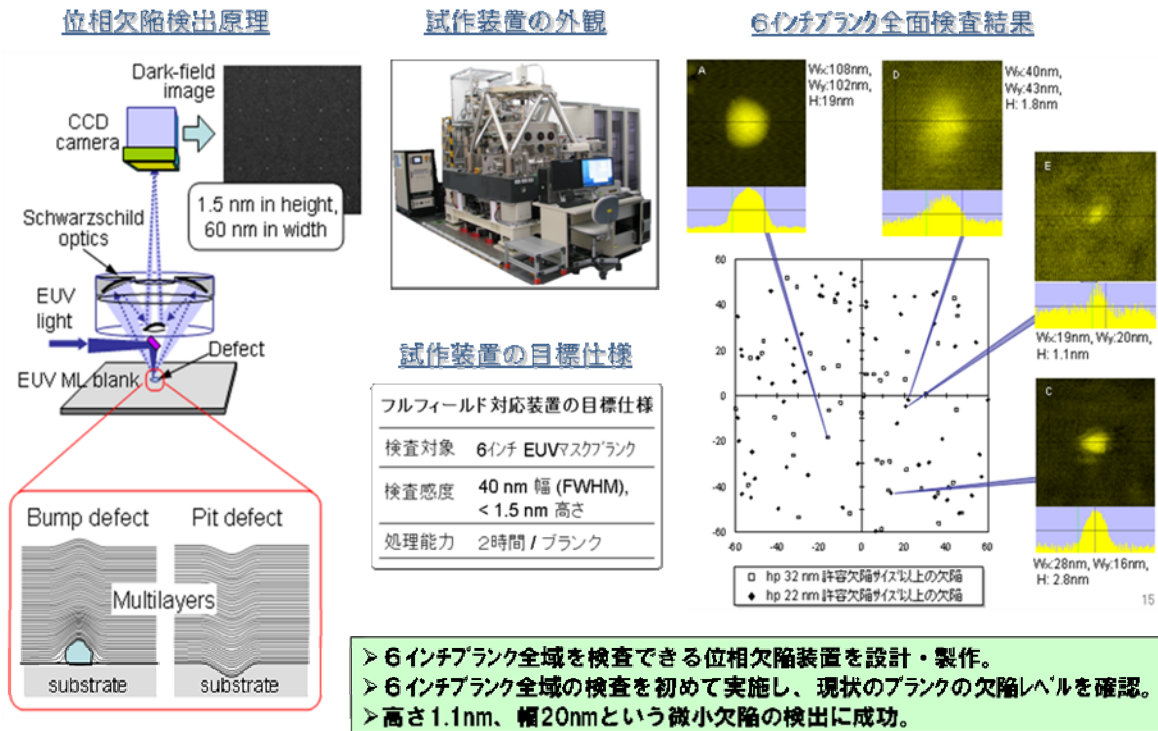
- (1) hp32nm 微細加工技術に対応する EUVL マスクの許容欠陥の指標、および EUVL マスクブランクの位相欠陥検査技術を確立する。
- (2) EUVL マスクパターン欠陥検査技術については、hp45nm 微細加工技術に対応する EUVL マスクに必要な欠陥検出感度を Die-to-Database 検査方式において実現すると共に、hp32nm 微細加工技術への要求感度達成に目処をつける。EUVL マスクパターン欠陥修正技術については、hp45nm の EUVL マスクに必要な修正精度を達成する。また、hp32nm 微細加工技術への要求精度達成への目処をつける。
- (3) hp32nm 微細加工技術において要求されるレベルの EUVL マスク搬送・保管技術およびファブ内検査・クリーニング技術を確立する。

各研究開発項目について、その成果を概観するとともに、各項目に対して設定した詳細な開発目標と達成状況を表に示す。

(1)高精度・低欠陥 EUVL マスクおよびブランクス技術の開発

(1)-1 EUV 光を用いたマスクおよびブランクの検査・解析技術の開発

世界に先駆けて EUV 光を用いたブランク全面暗視野欠陥検査装置を開発し、最も高い欠陥検出感度を用いてブランク面内の位相欠陥を検査して、現在の欠陥品質レベルを明らかにした。更に CCD カメラの低ノイズ化やノイズ低減アルゴリズムなどを開発し当初目標感度を凌ぎ、目標の検査感度少なくとも Hp16nm 世代対応マスクに影響する欠陥を検出できる感度性能を実証した。また検出信号解析や欠陥分析から本検査方式は多層膜表面形状だけでなく多層膜内部構造の異常を捉えることが出来ることを明確にし、従来光学方式検査装置への優位性を示した。本開発により、ブランクサプライヤでの位相欠陥低減を可能とし EUVL マスクブランク品質を飛躍的に向上し得る基盤技術を構築した。



III-1-II-④-(0)-図1 多層膜マスクブランク位相欠陥検査技術

(1)-2 EUVL マスクおよびブランクの高品位化技術の開発

小領域露光装置 SFET の光源特性ならびに光学系特性を詳細調査することにより装置の安定稼動化と Hp1X nm 水準の高解像化を実現した。これにより低欠陥 EUVL マスクや高性能レジストの開発を加速した。

マスク構造では量産運用を念頭にした高性能薄膜吸収体ならびに高性能マスク遮光帯を独自提案しその有効性を実証した。またレジスト LWR 問題を独自の複数ショット寸法積算処理方法の開発や、マスク LWR との相関を明らかにすることにより寸法変動 10% 水準での定量的転写性の評価基盤を確立した。

マスクおよびブランクの自然欠陥の検査結果に相関させたウェハ転写性をトレースし、特にブランク位相欠陥の影響を検証した。本事業において開発した検査装置が、hp32 nm 世代マスクに対して十分な感度性能であることも明らかにした。

(1)-3 EUVL マスクコンタミネーション制御技術の開発

多角的な物性評価を通じてマスクコンタミの本質だけでなくマスク上の成長メカニズムをも明らかにし、破壊試験に拠らないマスクコンタミ制御手法の基盤を確立した。更にこれら知見を基に酸化系および還元系の複数のクリーニング技術を開発しベンチマークすることによって、ユーザでの量産運用形態に応じた技術選択肢指針を明確化した。目的に応じた複数のレジストアウトガス評価手法を開発し高精度化した。また累計 400 種類以上もの多様なレジストサンプルを評価することによりアウトガス発生源を明らかにし、サプライヤにレジスト開発指針を与えた。

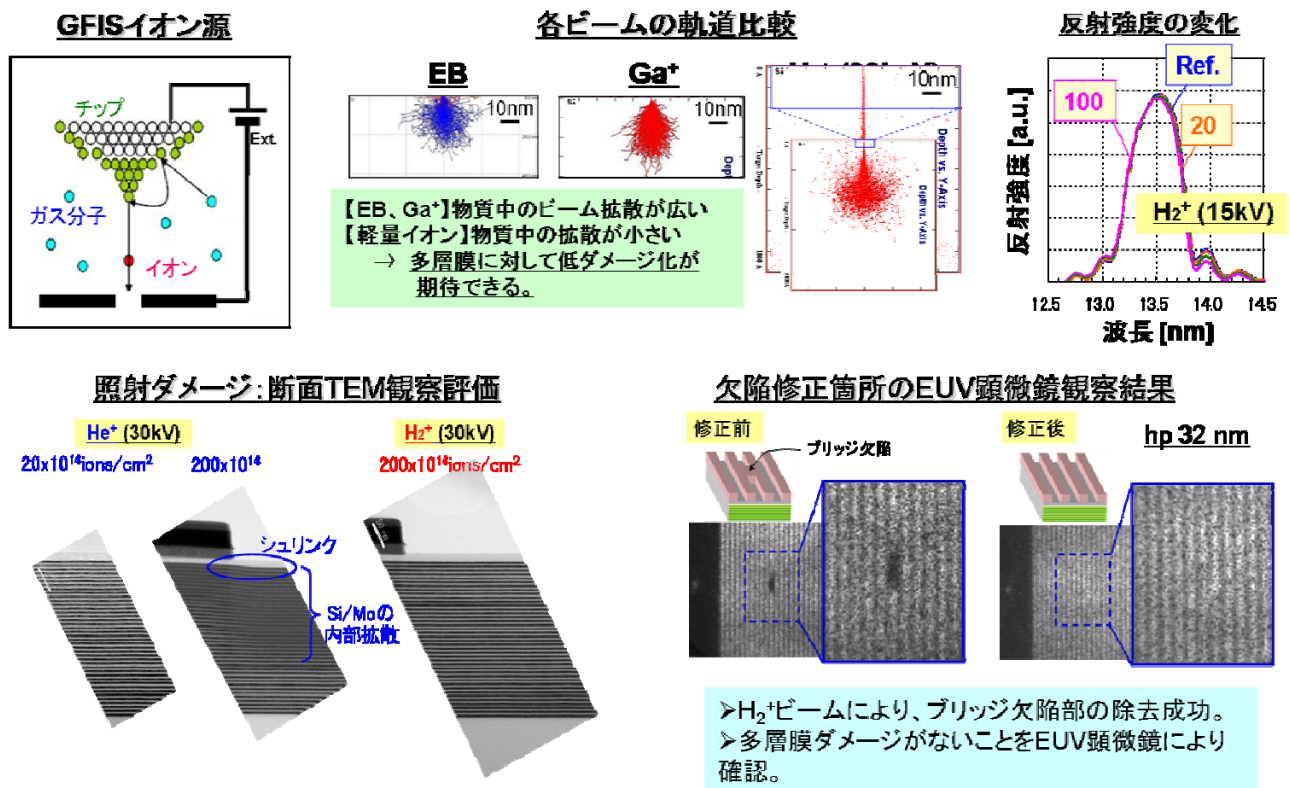
(2)パターン欠陥検査技術および欠陥修正技術の開発

(2)-1 EUVL マスクパターン欠陥検査技術の開発

検査波長 199nm の DUV 光を用いた EUVL マスクパターン欠陥検査技術開発において、偏向照明の適用、フォーカス精度向上、高感度センサの導入、センサ出力の非線形補正技術、および参照画像生成アルゴリズムの改良など、検査装置の高度化開発とともに、マスク吸収体パターンを検査光に対して低反射化することに

より、hp22nm 世代マスクの Die-to-Die 検査だけでなく Die-to-Database 検査の目標感度を実現した。本開発により、マスクサプライヤでの低欠陥化を可能とし EUVL マスク品質を飛躍的に向上し得る技術基盤を構築した。

➤hp 22 nm 世代対応欠陥修正技術として GFIS (Gas Field Ion Source) を用いた欠陥修正基盤技術を構築



III-1-II-④-(0)-図2 GFISによるマスクパターン欠陥修正技術

(2)-2 EUVL マスクパターン欠陥修正技術の開発

世界に先駆けて Ga イオンの FIB 方式による EUVL マスク用の低ダメージパターン欠陥修正装置を開発した。マスクバッファ層膜厚の最適化によりマスクミキシングダメージを解消した黒欠陥修正および白欠陥修正が可能であることを実証した。白欠陥修正では種々のデポ膜材料のマスクコンタミクリーニング耐性や EUV 光遮光性能を検討し金属系埋め込み材料の優位性を明らかにする一方、多層膜の直接加工による新規白欠陥修正技術を開発した。更に hp22 nm 以降の次世代のマスクパターン欠陥修正に向け超微細ビーム径と超低ダメージ性とを兼ね備えたガスイオンの FIB 光源開発に着手し、世界で初めて黒欠陥修正の実現可能性を実証した。本開発により、マスクサプライヤでの低欠陥化を可能とし EUVL マスク品質を飛躍的に向上し得る技術基盤を構築した。

(3)ペリクルレスマスクハンドリング技術の開発

(3)-1 EUVL マスクの異物フリー搬送・保管技術の開発

大気中および真空中の種々マスクハンドリング過程での発塵評価、および静電チャックでのマスク吸着試験あるいは吸着時マスク平坦度計測も可能な全自動マスクハンドリング試験装置を独自に開発し、サブ 50nm φ 以下の異物検査装置と併せてマスクハンドリング試験環境を構築した。ペリクルに代わる 2 重ポッド式マスクキャリアカセットを提案し当該環境での詳細評価の結果、これの SEMI 国際標準規格化 (E152) に貢献した。同規格に完全準拠の新型 2 重ポッド cnPod を開発し、従来を上回る防塵性能ならびに発塵性能を示すことを明らかにした。本開発により、サプライヤからのマスク出荷ならびにユーザでの低欠陥マスクの維持を可能とし

EUVL マスクの量産適用に向けた技術基盤を構築した。静電チャックとマスク裏面間の異物がマスク表面（パターン面）に及ぼす影響を実験ならびにシミュレーション検討し、許容マスク裏面異物仕様を求めた。

(3)-2 ウェハファブ内 EUVL マスク異物検査技術およびクリーニング技術の開発

EUVL マスクユーザのウェハファブ内での異物検査方式やクリーニング方式を種々調査すると同時に、検査およびクリーニングすべき異物仕様についてパターン転写シミュレーションにより明らかにした。また検査工程およびクリーニング工程の実運用に関してウェハファブでの半導体製品の生産歩留りや生産性への影響を考慮した運用方法をケーススタディし、検査およびクリーニングの最適運用が存在することを明らかにした。静電チャック吸着に起因するマスク裏面付着異物に対するウェハファブ内クリーニングとし物理洗浄効果のあるブラシ利用の湿式洗浄が有効であることを実証した。

III-1-II-④-(0)-表 1 次世代マスク基盤技術開発の研究開発目標と成果達成度

研究開発項目	基本計画目標	全体成果	達成/未達成
①高精度・低欠陥 EUVLマスクおよび プランクス技術開発	<ul style="list-style-type: none"> ・hp32nm対応EUVLプランクス位相欠陥検査技術の確立 ・EUVLマスク高品位化開発 <ul style="list-style-type: none"> - マスク構造最適化開発 - 許容欠陥指標構築 (hp32nm) ・カーボンコンタミネーション制御技術の開発 <ul style="list-style-type: none"> - コンタクト膜の特性評価 - クリーニング技術開発 - レジストアウトガス解析評価技術開発 	<ul style="list-style-type: none"> ・プランク全域検査可能なEUV光を用いた位相欠陥検査装置を開発し、高さ1.2nm、幅40nmの位相欠陥を検出確率95%で検出。検査時間は4.8時間。自然欠陥評価でActinic方式の有用性を実証。 ・薄膜吸収体、遮光棒プロセスを実証しデファクトスタンダード化。 ・複数露光ショット積算による寸法平均化手法を開発、許容欠陥指標を構築。 ・カーボンコンタミの膜特性、転写性を明確化。成長モデル構築。 ・酸化系および還元系のクリーニング技術開発。 ・レジストアウトガス評価手法(圧力上昇法、QMS、GC-MS)開発 	達成
②EUVLマスクパターン欠陥検査技術開発	<ul style="list-style-type: none"> ・hp32nm対応欠陥検出感度の達成 	<ul style="list-style-type: none"> ・検査装置の高度化(*)と低反射率吸収膜の適用によって、199nm光によるマスクパターン欠陥検査技術がhp22nmに対して適用可能を実証。(*)偏光照明、低ノイズCGD、センサー画像非線形補正、新規アルゴリズム等。 	達成
③EUVLマスクパターン欠陥修正技術開発	<ul style="list-style-type: none"> ・hp32nm対応修正精度の達成の目処 	<ul style="list-style-type: none"> ・高精度化・低ダメージ化が可能なGas Field Ion SourceによるH₂⁺ビームを用いた欠陥修正技術のhp22nm以細へのフィジビリティを検証。 	達成
④ペリクルレスEUVLマスクハンドリング技術開発	<ul style="list-style-type: none"> EUVLマスク搬送・保管技術およびファブ内検査・クリーニング技術の確立 (hp32nm) 	<ul style="list-style-type: none"> 異物フリーマスクハンドリング技術を評価する世界最高性能の評価環境を構築。 二重ポッドの有効性を実証。防塵性能は0.004個/回以下。SEMI標準化に貢献。 	達成

次に知財権の取得状況については、46件の国内特許出願を実施している。このうち、外国出願11件を外国出願した。学会・論文発表については、173件の学会発表を実施し、12件の論文(査読付き)を発表した。学会発表については、国際学会において、4件のAwardを受賞した。

表III-1-II- ② 特許出願・対外発表件数 (中間評価後)

	H21年度	H22年度	合計
特許出願	10	18	28
対外発表	33	31	64
合計	43	48	92

III. 研究開発成果について

1. 事業全体の成果

II. 次世代半導体露光プロセス基盤技術開発

⑤EUV 光源高信頼化技術開発

H20～22 年度にわたる LPP および DPP 光源の EUV 光源高信頼化の成果は、下記基本計画目標に対して以下の通りである。

基本計画目標

(1) 中間集光点で 180W の出力光源を1年間動作させた場合においても、マスクあるいはミラーの最大反射率低下が 10%以下となる汚染量を明示できる評価技術を開発し、その有効性を示す。

(2) 中間集光点で 180W の出力光源に対して、(1)に示すような汚染量抑制を実現できる高信頼化技術を開発する。

1) LPP 光源

LPP 光源側より発生する燃料デブリの流入計測技術として、反射率低下が 10%以下となる Sn 汚染量に相当する Sn 原子密度 2×10^6 個/cm³ の測定感度の LIF (Laser Induced Fluorescence; レーザ誘起蛍光法) を用いた Sn 計測技術を開発し、基本計画目標(1)を達成した。

また、EUV 反射率 > 50%、直径 400mm の実用レベルの大口径の直入射コレクタを製作し、シミュレーションの結果、適切な冷却機構によりこの入熱量に対して IF 位置での EUV 集光像を保持できる見込みを得た。さらに、Sn イオンに対する磁場による制御技術開発を進め、中性 Sn による集光ミラー汚染対策として Sn 原子の発生低減とイオン化技術の開発を行った。Sn 原子の発生低減技術として、小径 Sn ドロプレット・ターゲットの開発とプレパルス照射技術の開発を行い、Sn 原子のイオン化に関しては、レーザ共鳴吸収によるイオン化の基礎実験と実用化検討を実施した。更に、集光コレクタ表面に堆積した Sn の除去技術として、エッチングガスを用いたクリーニング技術の LPP 用直入射コレクタへの適用検討と基礎実験を実施し、20 μ m ϕ の Sn ドロプレットで必要なクリーニング速度 > 0.1nm/min を超える 1.28nm/min を得、基本計画目標(2)を達成する見込みを得た。

さらに、高出力対応熱管理技術の開発として、計測データをベースにコレクタの熱応力変形と IF 位置での EUV 集光像への影響をシミュレーションにより評価し、冷却機構を具備した反射率 > 50%、直径 400mm の大口径直入射コレクタを製作した。

2) DPP 光源

マスク・ミラー汚染損傷評価装置を開発し、本装置に搭載された XPS により、光源から流入する光源起因のコンタミネーションの成分特定を行うことができた。反射率測定系の測定精度は $\pm 0.2\%$ の測定精度を実現し、基本計画目標(1)を達成した。

また、LA-DPP (Laser Assisted-Discharge Produced Plasma: レーザ誘導放電生成プラズマ) 方式における回転電極の Sn 塗布厚を高精度均一化することによる中性デブリの発生を抑止する技術により中性デブリは竜計で平均して 1/3 に低減し、トリガーレーザの照射に関する新方式により高速イオンデブリの発生を従来の 1/5 に低減することが可能となった。高速デブリ及び LA-DPP に特有の粒子状デブリのほとんどが捕獲可能な新たな DMT (Debris mitigation tool) の開発を行い、コレクタミラーへの Sn の堆積を 0.1nm 程度、Ru 反射面のスパッタを 2nm/Gs 程度に抑えることができた。以上により、1年以上のコレクタ長寿命化の基盤技術が確立し、基本計画目標(2)を達成した。

さらに、高出力対応熱管理技術の開発として、HVM 対応の DeCo (Debris mitigation tool と Collector) を

一体的に温度-構造-光学連携シミュレーションする技術を開発し、発光点(プラズマ)からの放射成分(輻射、非輻射成分)の計測、および HVM レベル大型コレクタの温度上昇の実測により、180W 対応の DeCo の熱管理技術に目処を付けた。

そして、IF 変動防止技術の開発として、ファジー推論と学習効果機能を有するアルゴリズムを開発し、IF 変動ライブラリの併用により 0.5 秒の高速自動アライメント技術を確立した。

3) 自主研究「拡張性を有する高出力 EUV 光源の開発」

技術研究組合 極端紫外線露光システム技術開発機構(EUVA)ではMIRAIプロジェクト「EUV 光源高信頼化技術の開発」と並行して自主研究「拡張性を有する高出力 EUV 光源の開発」を進めてきた。その主な結果を簡単に述べる。

3.1) LPP 光源における自主研究「拡張性を有する高出力 EUV 光源の開発」

これまでに試作光源を用いて、IF 出力 104W 相当を観測した。発光条件は CO₂レーザ出力 7.9kW、Duty20%、Snドロプレット径 60 μm φ である。このときの CE(Conversion Efficiency: EUV 変換効率)は、プリパルス手法により 2.5%を得た。

3.2) DPP 光源における自主研究「拡張性を有する高出力 EUV 光源の開発」

これまでに β 機用 SoCoMo(Source Collector Module)を用い、Duty100%にて3シェルコレクタミラーでは IF 点出力 14W(9シェルコレクタでは 34W相当)の EUV 出力を実測した。また、電源の高繰返し化を図った結果、Duty20%ではあるものの発光点出力 1.5kW(IF 点出力 150W相当)を達成した。

4) 成果のまとめ

H20～H22年度の活動成果のまとめをⅢ-1-II-⑤-表1に示す。また、Ⅲ-1-II-⑤-表2～3にはそれぞれ特許出願件数、対外発表件数の推移を示した。

Ⅲ-1-II-⑤-表 1 H20～H22 活動成果のまとめ

	最終目標(H22 年度末)	最終結果(H22 年度末)	達成度
光源高信頼化技術 (委託研究) ①「光源起因マスク、ミラーの汚染評価技術の開発」	3,000 時間稼働時、マスク・ミラーの汚染による反射率低下 10%以下の評価技術確立	LPP:LIF を用いた Sn 計測技術の開発。IF 点での反射率低下が 10%以下となる Sn 汚染量に相当する Sn 原子密度 1×10^7 個/cm ³ に対して 2×10^6 個/cm ³ の測定感度を達成。 DPP:IF 点で反射率と XPS を真空環境で測定できる汚染評価装置を開発。反射率測定精度は ±0.2% まで向上 (短時間観測で目標とする 3,000 時間の寿命測定誤差が ±6 時間)まで向上。 β 光源にて IF 以降に Sn の流入が無いこと、C,O に汚染による反射率低下の見積もりは 2.1%@3,000hrs であった。	達成

<p>②集光光学系などの清浄化技術の開発</p>	<p>コレクタ寿命(反射率 10%低下で定義) > 3000 時間 @ 115W 出力</p> <p>清浄化手法の 180W 出力までの拡張性検証</p>	<p>LPP: Sn イオン除去に磁場が有効であることを実証。中性 Sn 原子起因の堆積防止については(a)小径 Sn ドロプレット・ターゲットとプレパルス照射の組み合わせによる中性 Sn 原子の発生低減、(b)Sn 堆積膜のガスクリーニング手法で対処。</p> <p>20 μm ϕ の Sn ドロプレットで必要なクリーニング速度 > 0.1nm/min に目処。コレクタ大面積クリーニング機構を作製。</p> <p>DPP: α 光源で実績のある DMT を大幅に改善。更に中性デブリは、回転電極の Sn 塗布厚の薄膜化(従来の 1/5 の 20μm)で 1/3 に低減(現在は 10 μm まで改善)、高速イオンデブリはアドバンスレーザートリガー適用で 1/5 に低減。</p> <p>コレクタへの Sn の堆積は動作ショット数によらず ~ 0.1nm、Ru 反射面は 2nm/G ショットのスパッタで反射率低下は無。これより Ru 膜厚 > 1 μm で > 1 年以上のコレクタ寿命を達成見込み。</p>	<p>達成</p>
<p>③高出力対応熱管理技術の開発</p>	<p>115W 安定稼働(熱歪に起因する反射率、光量などの変動無し)</p> <p>180W 出力までの拡張性検証</p>	<p>LPP: 計測データをベースにコレクタの熱応力変形と IF 位置での EUV 集光像への影響をシミュレーションにより評価。冷却機構を具備した反射率 > 50%、直径 400mm の大口径直入射コレクタを製作。</p> <p>DPP: HVM 対応の DeCo を一体化・温度-構造-光学連携シミュレーションの開発、発光点(プラズマ)からの放射成分(輻射、非輻射成分)の計測、および HVM レベル大型コレクタの温度上昇の実測により、180W 対応の DeCo の熱管理技術に目処。</p>	<p>達成</p>
<p>④IF 変動防止技術の開発</p>	<p>IF 変動自動補正手法開発</p>	<p>DPP: ファジー推論と学習効果機能を有するアルゴリズムを開発。IF 変動ライブラリの併用により 0.5 秒の高速自動アライメント技術を確立。</p>	<p>達成</p>
<p>光源高出力化(自主研究) ⑤拡張性を有する高出力 EUV 光源の開発</p>	<p>115W 試作光源製作 180W 拡張性検討</p> <p>(Raw は LPP 光源で SPF、ドーズコントロール無しの条件、DPP 光源で Etendue 制限を設けない場合) (Exposure は実露光条件)</p>	<p>LPP: 試作光源(ETS)で発光点出力 197W 達成(IF 出力 104W (Raw) 相当; CO₂レーザー 7.9kW、Duty20%、Burst 時間 20ms、Sn ドロプレット径 60 μm ϕ、CE2.5%)。</p> <p>>180W の拡張性の検証のため、プロト機を設計・製作。</p> <p>DPP: β 光源で、発光点出力 1.5kW 出力達成(IF 出力 150W (Raw) 相当; パルス出力 4J、繰り返し 18kHz、CE2%、Duty20%、Burst 時間 200ms)。</p> <p>β 光源・Full SoCoMo で発光点出力 640W を Duty100% で達成(IF 点出力 65W 相当; パルス出力 4J、繰り返し</p>	

		7.5kHz、CE2.13%)。実露光を考慮して Etendue 50% とすると 33W@IF (IF 点での実測は DMT 透過率が設定値にならず 14.7W (Exposure))。
--	--	--

Ⅲ-1-II-⑤-表 2 特許出願件数 (MIRAI)

	H20 年度	H21 年度	H22 年度	合計
LPP 光源	20	20	20	60
DPP 光源	2	7	1	10
合計	22	27	21	70

Ⅲ-1-II-⑤-表 3 対外発表 (MIRAI)

	H20 年度	H21 年度	H22 年度	合計
LPP 光源	13/2	5/1	5/0	23/3
DPP 光源	4/1	4/0	7/0	15/1
合計	17/3	9/1	12/0	38/4

(学会/論文)

2. 研究開発項目毎の成果

I. 次世代半導体材料・プロセス基盤技術開発

① 新構造極限CMOSTランジスタ関連技術開発 [U-CMOS]

(1) ソース・ドレイン材料・構造の制御によりCMOSの駆動力を高める技術の開発

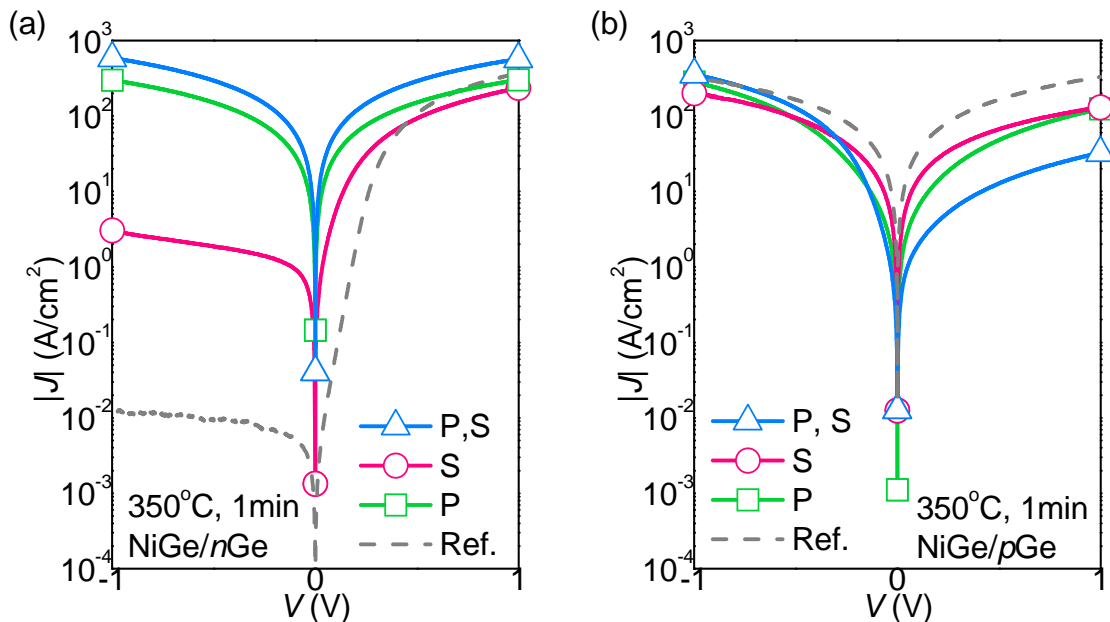
まず、冒頭にメタルソースドレイン材料のエンジニアリングに関する指針を述べる。研究開発当初は、研究開発項目として、ソース端では適切な大きさのバリアを残してキャリアの注入速度を上げること、また、ドレイン端においてもバリアハイトを調整することが、キャリア反射の抑制し、Ion向上に有用であると予想した。しかし、その後の研究開発結果として、ソース、ドレインともにバリアを低減させることがIonの向上やOFFリーク電流の観点で望ましいことが分かった(III-2-I-(1)-2)- 図1、及びIII-2-I-(4)-2)-3-図1参照)。

従って、ソース、ドレインともにショットキバリアを出来だけ小さくするように制御する方針のもとに、研究開発を実施した。

1) ソース・チャンネル界面を制御し、キャリア注入速度等を改善する材料・形成方法・構造の開発

1. NiGe/Ge界面へのSとP導入によるソース・ドレインコンタクト制御

Ge-CMOS 実現の上で、Ge-nMOSFET のソース・ドレインコンタクトにおける電子注入に対するショットキー障壁が高いことが問題となっている。ショットキー障壁を制御し、寄生抵抗を下げて駆動電流を高くする手段としてS 偏析 NiGe/nGe が提案されている[III-2-I-(1)-1)-1-文献 1]。界面ダイポール形成や界面準位低減などによりSBHが0.15eVまで低くできるが、それでもまだ不十分である。同様にP 偏析 NiGe/nGe も報告されている[III-2-I-(1)-1)-1-文献 2]。鏡像効果によってSBHは低くできるが NiGe/pGe において接合リーク電流が多くなるのでP 濃度を高くするには限度がある。そこで本研究では NiGe/nGe コンタクト抵抗を低くするために、SとPの両方を界面に導入した NiGe/Ge の検討を行った。

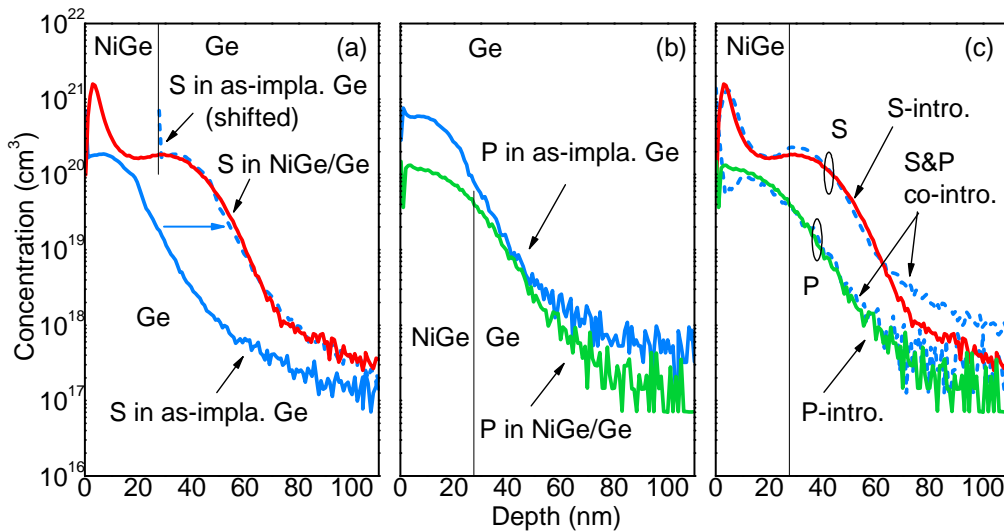


III-2-I-①-(1)-1)-1-図2 NiGe/Geの J - V 特性。(a)は n Ge,(b)は p Ge。各 J - V は、それぞれ、Sのみ、Pのみ、およびP,Sの両方をイオン注入して作製したNiGe/Geダイオードを測定したもの。Ge基板にイオン注入後、Niを堆積し、350°C、1minの熱処理をしてNiGe/Geを形成している。リファレンスとして、不純物導入していないNiGe/Geの J - V 特性(Ref.)も示した。

n型とp型 Ge(100)上に SiO₂ 素子分離形成し、Pのみ ($1 \times 10^{15} \text{ cm}^{-2}$)、Sのみ ($5 \times 10^{14} \text{ cm}^{-2}$)、あるいはPとSの両方を加速エネルギー10keVでイオン注入後、スパッターにより Ni (~15nm)堆積し、N₂ 雰囲気中で熱処理 (250, 350, 450°C) して NiGe を形成した。リファレンスとして不純物導入していない NiGe/Ge も形成した。これら NiGe/Ge における P, S, Ni の不純物プロファイルを SIMS 分析して調べた。NiGe/Ge 界面は、Ni 強度が 1/2 になる位置と定義した。さらに J-V 特性を調べ、各不純物導入が NiGe/nGe の抵抗低減に効果があるかを調べた。

まず NiGe/Ge の不純物プロファイルを SIMS によって調べた (III-2-I①-(1)-1-1-図1)。Ge に S イオン注入して NiGe 形成 (N₂ 雰囲気, 1 min, 350°C) すると、NiGe/Ge 中 S プロファイルは熱処理無しの場合を NiGe 層の厚さ (~27.5 nm) だけシフトしたものとほぼ一致する (III-2-I①-(1)-1-1-図1(a))。Ge 上に堆積した ~15 nm の Ni が ~15 nm の Ge と反応して NiGe が形成され、そのとき S を ~15 nm 基板側に押し込んでいると考えられる。つまり、NiGe/Ge 界面に S が偏析している。一方で、S と同様に、Ge に P イオン注入して NiGe 形成した場合には、Ge 中 (Before NiGe) と NiGe/Ge 中 (After NiGe) の P プロファイルは、NiGe 領域を除いたところ (>30 nm) で濃度がほぼ一致している (III-2-I①-(1)-1-1-図1 (b))。従来までに P 偏析 NiGe/Ge の報告があるが [III-2-I①-(1)-1-1-文献1]、少なくとも本研究の実験条件の範囲では P 偏析しないことがわかった。Ge に、P と S の両方をイオン注入して NiGe 形成すると、P と S のプロファイルは、P のみ、S のみの各場合を重ねあわせたプロファイルとほぼ同じになる。P, S を混ぜたことにより、S は偏析して、P は偏析しないことがより明らかである (III-2-I①-(1)-1-1-図1 (c))。

次に SIMS 分析した NiGe/Ge ダイオードの J-V 特性を調べた。III-2-I①-(1)-1-1-図2は、熱処理温度 350°C で形成した NiGe/Ge の J-V 特性を示したものである。NiGe/nGe では、不純物を導入した場合のすべてにおいて、導入しない場合よりも逆方向電流 [$J(V < 0)$] が增大することがわかった [III-2-I①-(1)-1-1-図



III-2-I①-(1)-1-1-図1 S, P の SIMS プロファイル。熱処理無しの場合と NiGe 形成した場合。(a) は S のみ、(b) は P のみ、(c) は P, S 両方の場合に(a),(b)の熱処理後の場合を重ねたもの。(a),(b)の青線 (Before NiGe)は熱処理無しの場合であり、NiGe 層はなく、原点は Ge 表面。赤線 (After NiGe)は NiGe 形成後であり、直線の左側は NiGe 層、右側は Ge 基板。点線は熱処理無しの場合を 27.5 nm シフト (NiGe 層の厚さに相当) したもの。NiGe 形成後とほぼ同様なプロファイルになっている。尚、NiGe 中の S, P 濃度は定量できていない。

2(a)]. SのみよりもPのみの方が逆方向電流は多くなり、Pの場合にはオーミック特性になる。SとPの両方を導入した場合にも、Pだけの場合と同様にオーミック特性を示すことが明らかになった。一方で、NiGe/pGeでは、不純物を導入すると、導入しない場合に較べて逆方向電流 [I_V>0] が減少し、整流性を示すことが明らかになった (III-2-I-①-(1)-1-1-図 2 (b))。SのみやPのみを導入した場合よりも、SとPの両方を導入した場合の方がさらに逆方向電流が減少している [III-2-I-①-(1)-1-1-文献 3]。

このように、NiGe/nGeではPのみとSとPの両方を導入すると実効的なSBHが極めて低くできるためオーミック特性が得られる事がわかった。リーク電流の低減の観点も考慮すると、SとPの両方をNiGe/Geソース・ドレイン界面に導入する本プロジェクトで提案した手法の方が、従来のPのみの場合よりもGe-nMOSFET向けとして適していることが明らかとなった。

参考文献

[III-2-I-①-(1)-1-1-文献1] T. Nishimura, S. Sakata, K. Nagashio, K. Kita, and A. Toriumi, Appl. Phys. Express 021202, 2 (2009).

[III-2-I-①-(1)-1-1-文献2] K. Ikeda, Y. Yamashita, N. Sugiyama, N. Taoka, and S. Takagi, Appl. Phys. Lett. 152115, 88 (2006).

[III-2-I-①-(1)-1-1-文献 3] M. Koike, Y. Kamimuta, and T. Tezuka, Appl. Phys. Express 4, 021301 (2011).

2. 立体SiGeチャネル向けメタルソースドレインの形成・構造評価

FinFET[III-2-I-①-(1)-1-2-文献 1], Tri-gate MOSFET[III-2-I-①-(1)-1-2-文献 2]といった立体構造MOSFETはその高い短チャネル効果耐性から、22nm node以降のCMOS適用が期待されている。しかし、そのソース・ドレイン(SD)およびエクステンション部を形成する際に、イオン注入によって完全にアモルファス化した薄膜チャネルが、活性化アニール時に完全に結晶回復できずに寄生抵抗が増大する問題が顕在化している。[III-2-I-①-(1)-1-2-文献3]。このような問題に対し、SD部にイオン注入をすることなくシリサイド化するメタルSD構造はイオン注入にともなう欠陥生成等の損傷が無く、不純物バラツキに起因するしきい値バラツキの影響をも除去可能であるといった特徴をもつ。さらに、GeもしくはGe組成の高いSiGeチャネルを用いた場合、NiGe/p-Ge接合のSchottky Barrier Height (SBH)は60meVと低く、寄生抵抗低減にも効果的であることから薄膜チャネルを用いる立体構造MOSFETの性能向上アイテムとしてメタルSD構造は有望なオプションとなる[III-2-I-①-(1)-1-2-文献4]。また、歪みSiGeチャネルでは、イオン注入による欠陥生成によって歪み緩和が生じる可能性が高く、駆動力向上にはメタルSD構造の適用は不可欠となる。このような背景の下に、歪み緩和によるチャネル移動度劣化を抑制しつつ、低抵抗なSDを形成するNiSiGeメタルS/D構造の形成技術を新規に開発した。

High-k/メタルゲートプロセス手法を、高Ge組成SiGe立体チャネルの作成に適用した。二段階酸化濃縮により形成したひずみSiGeチャネル(xGe~70% @W_{fin}=25nm, W_{fin}大きくなるほどxGe低下)に対してゲートスタック形成後、シリサイド化反応前処理としてDHF処理をおこないSD部の酸化膜を除去した。基板全面にスパッタによって7nmのNiを堆積した後、N₂雰囲気中で350°C、1minのRTPアニールによってGermano-silicidationを行うことでNiSiGeを形成した。最後に未反応のNiを希釈塩酸(HCl:H₂O=1:10 @60°C)処理によって除去することでメタルSD構造をもつ、歪みSiGeチャネルTri-gate MOSFETの形成を実現している。

この開発によって、後述するメタルSDひずみSiGe Tri-gate MOSFETの電流駆動力を改善し、低消費電力実証の数値目標達成につながった。

参考文献

[III-2-I-①-(1)-1-2-文献 1] A. Veloso, et al. : IEDM Tech. Dig. 2008 pp.861-864.

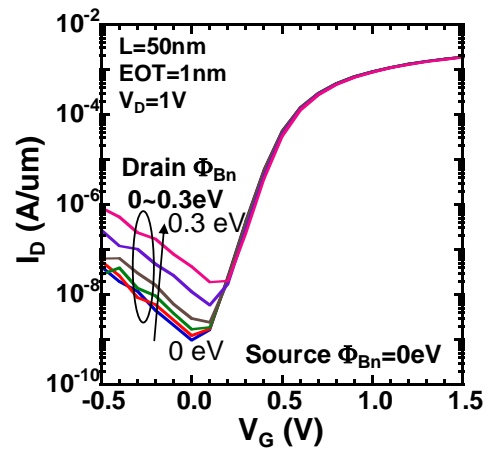
[III-2-I-①-(1)-1-2-文献 2] T. Tezuka, et al. : IEDM Tech. Dig. 2007 pp.887-809.

[III-2-I-①-(1)-1)-2-文献 3] L. Pelaz, et al.: IEDM Tech. Dig. 2008 pp.535-538.

[III-2-I-①-(1)-1)-2-文献 4] A. Kaneko, et al. : IEDM Tech. Dig. 2006 pp.893-896.

2)ドレイン・チャンネル界面での電子状態を制御しキャリア反射を抑える材料・形成方法・構造の開発

研究開発当初は、研究開発項目として、ソース端では適切な大きさのバリアを残してキャリアの注入速度を上げること、また、ドレイン端においてもバリア高を調整することが、キャリア反射の抑制し、Ion向上に有用であると予想した。しかしながら、その後研究開発として、TCADを用いたショットキーソースドレインMOSFETの特性シミュレーションを行ったところ、ソース、ドレインともにバリアを低減させることがIonの向上の観点で望ましいこと、また特にドレイン端でのショットキーバリア高の増加は、ドレイン端でのGate Induced Drain Current (GIDL) 電流の増加を招くことが分かった。III-2-I-①-(1)-2)-図1は、ソース端でのショットキーバリア高を一定にしたまま、ドレイン端でのショットキーバリア高を0eVから0.3eVまで変化させた場合のドレイン電流のゲート電圧依存性を示している。ドレイン端のショットキーバリア高を変化させると、トランジスタのON電流は殆ど変化せず、OFF側のGIDL電流が増加することが分かった。



III-2-I-①-(1)-2)- 図 1 ドレイン端のショットキバリア高の増加にともなう GIDL 電流の増大

逆にドレイン端のショットキーバリア高を一定にし、ソース端でのメタル/チャンネル界面に不純物を偏析させることで、ソース端の実効的なバリア高を変化させた場合のドレイン電流特性の数値計算結果がIII-2-I-①-(4)-2)-3節に示されている。本結果によれば、ソース端の実効バリア高が小さくなるほど(不純物偏析量が大きくなるほど)、ON状態でのドレイン電流が増加する(III-2-I-①-(4)-2)-3-図1参照)。従って、ソース・ドレインともにショットキーバリアを出来だけ小さくすることが必要であるとの結論に至った。

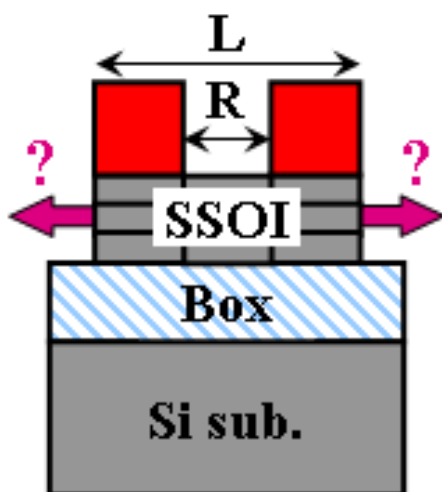
(2) キャリア輸送特性を向上して CMOS の駆動力を高める技術の開発

1) チャンネルの歪みを制御してキャリア速度を向上するための CMOS 向け材料・形成方法・構造の開発。

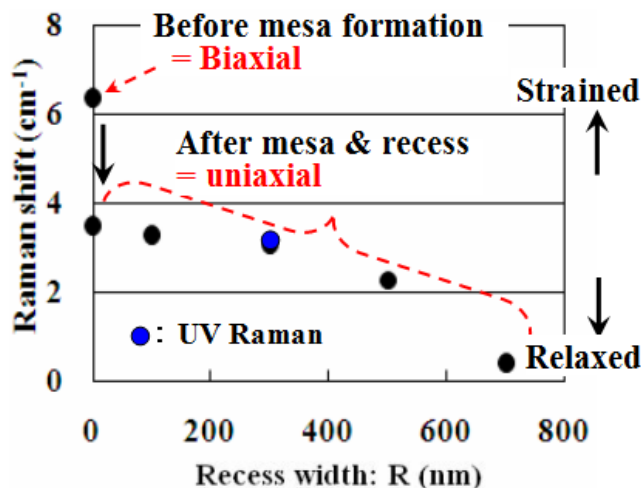
1. SSOI ひずみ基板のひずみ緩和を抑制する stress-retainer 技術

MOSFET の高性能化指標の一つであるキャリア移動度向上技術として、ひずみチャンネル技術が注目されている。ウェハースケールでチャンネルとなる半導体層がひずみを有するグローバルひずみ基板は、基板面内で均一かつ所望のひずみを得やすいなどの特徴を有するが、hp32 以細の微細化に対応した素子を本基板上に形成する場合は、まず $1\mu\text{m}$ を下回る微細な活性層を本基板上にメサ分離で形成する必要があり、その際のひずみ緩和が課題となる。そこで我々は、グローバルひずみ基板の一つである、ひずみ SOI (SSOI) 基板上の微細ひずみチャンネル n-MOSFET の実現に向けて、ひずみ基板上に予めひずみ緩和抑止層を形成する stress-retainer 層を形成する技術を提案、実証した [III-2-I-①-(2)-1)-1-文献 1]。本節では、この stress-retainer 技術を用いてグローバルひずみ基板上に形成した緩和抑止層、即ち stress-retainer 層の中央のゲート領域に、ゲート作成のためのリセス加工を行った後においても活性層のひずみ緩和が抑制されることを示す。

III-2-I-①-(2)-1)-1-図 1 に示すように、予め stress-retainer 層として 50nmSiGe 層 ($x=0.3$) を形成した 50nm 厚 SSOI (strained-Si on insulator) 基板 (1.3GPa) に、RIE プロセスを用いて MOSFET 形成用の典型的な長方形活性層 ($L \times W = 800\text{nm} \times 100\text{nm}$) と、その活性層中央部のゲート加工用 recess 領域 ($R = 0-700\text{nm}$) を順に形成し、



III-2-I-①-(2)-1)-1-図 1 試料構造の概念図



III-2-I-①-(2)-1)-1-図 2 チャンネル領域のラマンピーク波数のリセス幅依存

ひずみ測定用試料とした。リセス加工後の活

性層のひずみ評価は、ビーム径 $1\mu\text{m}$ の通常 Raman による活性層全体のひずみ測定と、前記の狭いリセス幅 R 内に露出した活性層に限定したひずみ評価を行うための短波長 UV 光 ($\lambda = 364\text{nm}$) と液浸技術とを組み合わせた高空間分解能 (130nm) UV ラマンによる活性層中央部の直接ひずみ測定を初めて併用して行った。

III-2-I-①-(2)-1)-2-図 2 に、通常 Raman (黒丸) と UV-Raman (青丸) で測定した、ラマンシフト量のリセス幅依存性を示す。stress-retainer 層を有する global ひずみ基板に形成した活性層内のひずみは、その後に行ったリセス加工に対して、明確なリセス幅依存性を示し、リセス幅増大とともに急激に緩和が進むことが示された。一方、ゲート形成に十分な 300nm 程度のリセス幅 (青丸) であれば、リセス加工を行った後においても尚、活性層内ひずみの維持が十分可能であることを示唆する結果を初めて得た。本 stress-retainer 技術を適用すれば、微細 MOSFET をグローバルひずみ基板上に形成する場合の最重用課題の一つである、ひずみチャンネルのひ

ずみ緩和を抑制した素子の形成が初めて可能となると期待される。

参考文献

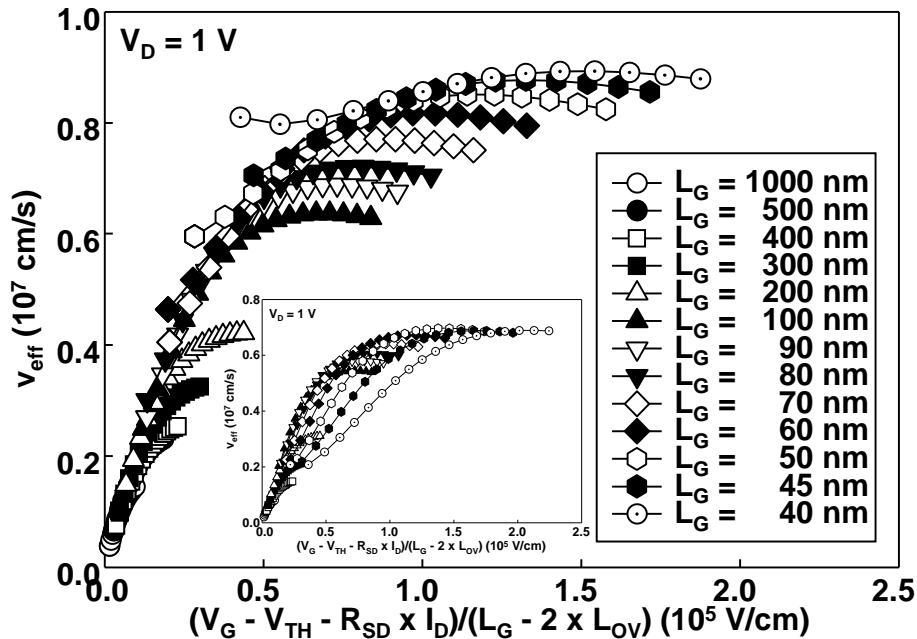
[III-2-I-①-(2)-1)-1)-文献 1] 公開特許公報 2010-80487

2. ひずみSOI-FinFETにおけるソース端電子速度評価

低消費電力化を目的とする低電源電圧化の為に、良好なカットオフ特性と高い電流駆動力との両立が求められており、前者に向けて FinFET 等の立体構造素子が、後者に向けてひずみ印加等に依る移動度向上が各々検討されている。両者の融合を念頭にFinFETに於けるひずみの効果を調べるべく、[1-10]方向に形成された Fin の(110)側面上にチャネルを持つ SOI 素子と SSOI 素子とに対してチャネル中の電子速度を検討し、FinFET に於いても伸長ひずみの印加は電子速度の向上に効果的であること、(110)側面上にチャネルを持つ微細素子に於いて(001)面上の素子と同等の電子速度が得られること、を確認した。

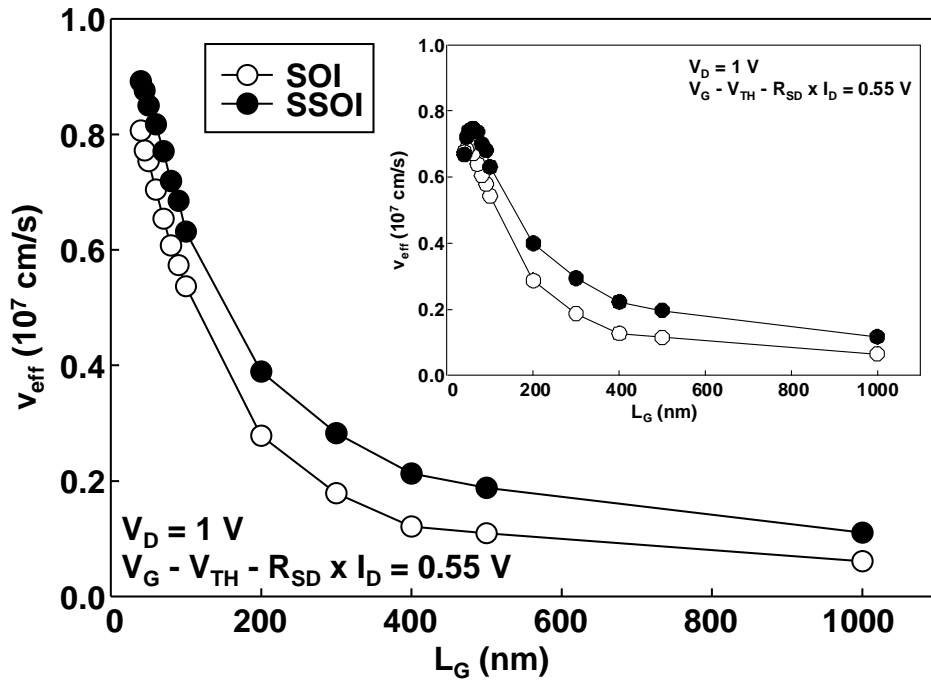
今回の検討に用いた n-FinFET は(001)面の SOI ないし SSOI 基板上に形成されており、チャネルは[1-10]方向に伸びた Fin(幅 = 10 nm、高さ = 50 nm)の(110)側面に形成されている。SSOI 基板には面内方向に 0.8% の伸長ひずみ、面と垂直方向に 0.5% の圧縮ひずみが各々生じている。ゲート絶縁膜は厚さ 1.8 nm の酸化窒化膜であり、ソース・ドレイン上には NiPt シリサイドが形成されている。

電子速度(v_{eff})はドレイン電流(I_D)を反転層電荷密度(Q)で割る事により求めた[III-2-I-①-(2)-1)-2)-文献 1]。ここで Q はゲート長(L_G) = 10 μm の素子を用いて求めたゲートとソース・ドレインとの間の容量を V_G で $V_G - V_{TH} - R_{SD} \times I_D (=V_{G,eff})$ まで積分することに依り求めた。しきい値電圧(V_{TH})は外挿法により求め、ソース・ドレイン抵抗 (R_{SD})は素子のオン抵抗のゲート長依存性をゲートとソース・ドレインとの重なり長(L_{OV} 、CV 法[III-2-I-①-(2)-1)-2)-文献 2])を用いて求めた)まで外挿することで求めた。ここで v_{eff} はチャネルと平行方向の電場($E_{//}$)でほぼ決まると考えられ、飽和領域に於ける $E_{//}$ の平均値は $V_{G,eff}$ を $L_G - 2 \times L_{OV} - L_{PO}$ (L_{PO} = ピンチオフ長)で割る事で求められる。ここで L_{PO} は $V_{G,eff}$ の滑らかな関数と考えられる。それ故、 v_{eff} は L_G に依らない $V_{G,eff}/(L_G - 2 \times L_{OV})$ の滑らかな関数になると考えられる。ところが、 $V_{G,eff}/(L_G - 2 \times L_{OV})$ と v_{eff} との XY プロットは、III-2-I-①



III-2-I-①-(2)-1)-2)-図 1 SSOI 素子に於ける電子速度と $V_{G,eff}$ /チャネル長との関係。 $V_D = 1 \text{ V}$ 。本文中に記した V_{TH} の補正を施してある。内挿図に於いては V_{TH} の補正を施していない。

- (2)-1)-2-図1の内挿図に示す様に L_G に依存している。ここで、短チャネルの素子は外挿で求めた V_{TH} に於いて大きな I_D が流れている。(例えば $L_G = 100, 50 \text{ nm}$ の素子に於いて各々 $1.5, 3.0 \mu\text{A}/\mu\text{m}$)これはパンチスル



III-2-I-①-(2)-1)-2-図2 電子速度のゲート長依存性。 $V_D = 1 \text{ V}$ 。 $V_G - V_{TH} - R_{SD} \times I_D = 0.55 \text{ V}$ 。
本文中に記した V_{TH} の補正を施してある。内挿図に於いては V_{TH} の補正を施していない。

一等、反転層起因の電流ではないと考えられる。それで、短チャネル素子に於いては V_{TH} の見積りに問題があると考え、III-2-I-①-(2)-1)-2-図1に示す様に XY プロットは L_G に依らない滑らかな曲線となるように V_{TH} に補正を行った(例えば $L_G = 100, 50 \text{ nm}$ の素子に於いて各々 $4, 63 \text{ mV}$)。つた。なお、各曲線の $V_{G,eff}/(L_G - 2 \times L_{OV})$ の大きな領域で共通の曲線から外れることは素子が線形領域動作となること、短チャネル素子の $V_{G,eff}/(L_G - 2 \times L_{OV})$ の小さな領域に於いて共通の曲線から外れることは上に記した MOSFET の本来の電流以外の電流の寄与に依ると解釈される。

この様にして求めた v_{eff} の L_G に対する依存性を III-2-I-①-(2)-1)-2-図2 に示す。上に記した V_{TH} に対する補正を施さない場合(図2内挿図)に存在する v_{eff} の不自然な極大は解消された。従ってここに記した V_{TH} に補正を加える方法は v_{eff} の抽出に有効と考えられる。抽出された v_{eff} は L_G に依らずに SSOI 素子の方が大きい。それ故、伸長ひずみの印加は FinFET に於いても電子速度の向上に有効である。また、今回の結果を(001)面上にチャネルを持つ素子の報告値[III-2-I-①-(2)-1)-2-文献 3]と比較すると長チャネルの素子に於いては(001)面上の素子の方が v_{eff} は大きく、両者の比は移動度の比にほぼ等しい。素子の縮小に伴って本検討の素子の v_{eff} が急速に増大し、 L_G が 100 nm 程度以下の素子に於いては両者はほぼ等しくなる。それ故、素子の縮小に伴って FinFET の Fin の配置ないしその側面の面方位の選択の自由度は増すことが判る。

これらの結果を以下にまとめる。チャネルと平行方向の電場に対する電子速度の依存性から V_{TH} に補正を施してソース端電子速度を求める手法を提案し、(001)基板上的[110]方向に形成された FinFET に適用した。得られた電子速度は、短チャネル ($L_G=40\text{nm}$) においても伸長ひずみチャネルにおいて高い値を示すことがわかった。従って、(110)側壁チャネルを有する FinFET においても伸長ひずみの印加は電子速度の向上に効果的であることが初めて実証された。

参考文献

[III-2-I-①-(2)-1)-2-文献 1] A. Lochtefeld, et al., in IEEE Electron Device Letters, vol. 22 no. 2 (2001) pp. 95-97

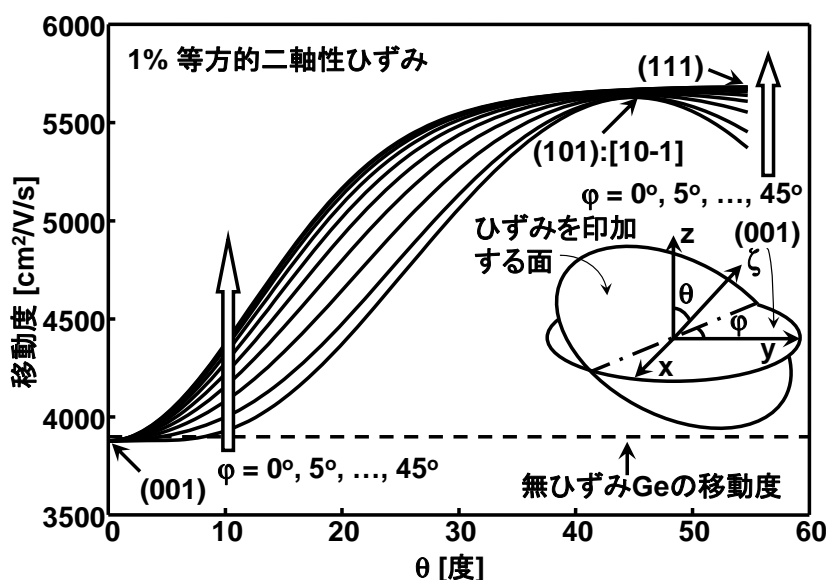
[III-2-I-①-(2)-1)-2-文献 2] K. Goto, et al., in IEDM Tech. Dig., Dec. 2003, pp. 623-626

[III-2-I-①-(2)-1)-2-文献 3] M. Saitoh, et al., in IEDM Tech. Dig., Dec. 2009, pp.469-472

3. Ge-nMISFETの面方位選択に関するシミュレーション

Ge-nMISFET にひずみを印加することが素子特性の向上に有効であれば、既に多数の検討の成されている Ge/SiGe-pMISFET[III-2-I-①-(2)-1)-3-文献 1]と合わせて Ge/SiGe-CMISFET が構築される可能性がある。しかしながら Ge/SiGe-nMISFET に関する報告は少ない[III-2-I-①-(2)-1)-3-文献 2]。二軸性ひずみを印加する面の面方位とチャンネルの方向とに対する電子移動度とバンドギャップとの依存性を簡略化したモデルに依る計算を用いて系統的に検討した。その結果、高い移動度と広いバンドギャップとの二律背反が一般に成り立つこと、それに鑑みるとチャンネルと垂直方向のひずみの緩和は有利であること、総合的に考えて[10-1]方向に設けたチャンネルと平行に伸長ひずみを印加し垂直方向は緩和させることに依り、高い電流駆動力と低いオフ状態漏れ電流とを合わせ持つ素子が構築される可能性があること、が判った。

計算結果を以下に示す。チャンネルを形成する面内に 1%の等方的伸長ひずみを印加した場合の面内の最大移動度の面方位依存性を III-2-I-①-(2)-1)-3-図1に示す。面方位は面の法線(ζ)と[001]との角 θ 、面と(001)面との交線と[010]との角 ϕ で規定した。なお、 $\theta = 0 \sim 54.7^\circ$ ([111]と[001]とのなす角)、 $\phi = 0 \sim 45^\circ$ であり、この範囲に任意の面と等価な面方位が含まれる。(111)面に於いて μ (面内で等方的)は最大値 $5,680 \text{ cm}^2\text{V}^{-1}\text{s}^{-1}$ (無ひずみ Ge/Si の 146/379%)となることが判った。同様に E_G の振る舞いを調べると、(111)面に於いて最小値 0.436 eV (無ひずみ Ge/Si の 66/39%)となった。なお、高い μ と広い E_G とは一般に二律背反の関係にあることが今回の検討に依り示された。上記の変数の範囲で一定の θ の下で ϕ を増すと E_G は増大する。(101)面に於いて E_G は 0.512 eV となり(111)面の値より 76 meV 広く、 μ は[10-1]方向に於いて最大値 $5,626 \text{ cm}^2\text{V}^{-1}\text{s}^{-1}$ となり(111)面の値より 1%低いのみである。高い μ と広い E_G との二律背反に鑑みると(101)面の[10-1]方向にチャ



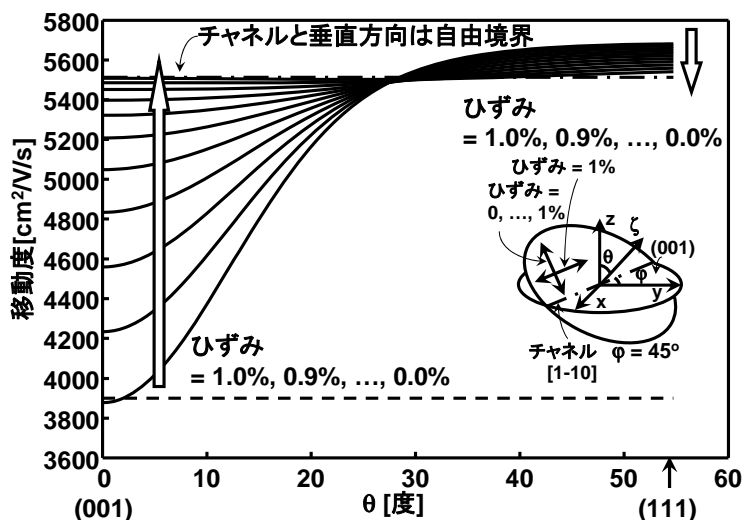
III-2-I-①-(2)-1)-3-図1 面内に 1%の等方的二軸性伸長ひずみを印加した Ge に於ける面内の移動度の最大値の面方位に対する依存性。

ネルを形成することが最も好ましいことが判った。また、等方的な二軸性圧縮ひずみを印加した場合は、 $\phi = 45^\circ$ 、 $\theta = 32^\circ$ ((112)面よりやや(001)面に傾いた面、簡単な面指数では表されない)に於いて μ は最大値 $5,283 \text{ cm}^2\text{V}^{-1}\text{s}^{-1}$ (無ひずみ Ge/Si の 135/352%)となった。この場合に E_G は 0.554 eV (無ひずみ Ge/Si の 83/49%)となり、やはり高い μ と広い E_G との間に二律背反の関係がある。

続いてひずみに緩和が生じた場合を想定してチャンネルと平行方向のひずみは 1%に保ち、垂直方向のひずみを1%から0%まで減少させた異方的二軸性伸長ひずみを検討した。 ϕ は 45° 、チャンネルは[1-10]方向に固定しチャンネルに垂直方向のひずみと θ を変化させた場合の[1-10]方向の移動度の振る舞いを、チャンネルと垂直方向は完全に緩和して自由境界となった場合をも合わせて図 III-2-I-①-(2)-1-3-2 に示す。ひずみの緩和に伴って μ は(001)面近傍の面に於いては増大し、(111)面近傍の面に於いては減少する。チャンネルと垂直方向が自由境界となった場合には、 μ は $5,512 \text{ cm}^2\text{V}^{-1}\text{s}^{-1}$ (無ひずみ Ge/Si の 141/367%)、 E_G は 0.565 eV (無ひずみ Ge/Si の 85/50%)となった。なお、 μ と E_G との二律背反に鑑みると、チャンネルと垂直方向は緩和が生じることが一般的に好ましいことが判った。また、圧縮に対しても異方的なひずみを印加した場合の検討を行った結果、圧縮ひずみの下では μ と E_G との二律背反に鑑みると等方的なひずみの場合が最も有利であるとの結果が得られた。

今回の検討の伸長ひずみと圧縮ひずみとの結果を総合して μ と E_G との二律背反を考慮すると、[10-1]方向にチャンネルを設け、それと平行方向に伸長ひずみを印加し、それと垂直方向は完全に緩和して自由境界となった場合がもっとも好ましいことが判った。

以上のように、等方的/異方的二軸性ひずみの下での電子移動度とバンドギャップとを、簡略化したモデルを用いて計算により系統的に検討した。そして(111)面に等方的伸長ひずみを印加した場合に最も高い移動度が得られること、高い移動度と広いバンドギャップとは一般に二律背反にあること、この二律背反に鑑みるとチャンネルと垂直方向のひずみに緩和が生ずることが好ましいこと、以上を総合的に考えると[10-1]方向に設けたチャンネルと平行方向に伸長ひずみを印加し且つそれと垂直方向のひずみは緩和させると高い電流駆動力と低いオフ状態漏れ電流とを併せ持つ素子が構築される可能性があること、が判った。本検討結果は高い電



III-2-I-①-(2)-1-3-図 2 チャンネルと平行方向に 1%、垂直方向には 0~1%の異方的二軸性伸長ひずみを印加した Ge に於けるチャンネル方向の移動度の面方位に対する依存性。 $\phi = 45^\circ$ である。

流駆動力と低いオフ状態漏れ電流とを併せ持つ Ge-CMISFET 実現の指針となる結果である。

参考文献

[III-2-I-①-(2)-1)-3-文献 1] T. Tezuka, et al., in Tech. Dig., Symp. VLSI Tech., June 2005, pp. 80-81

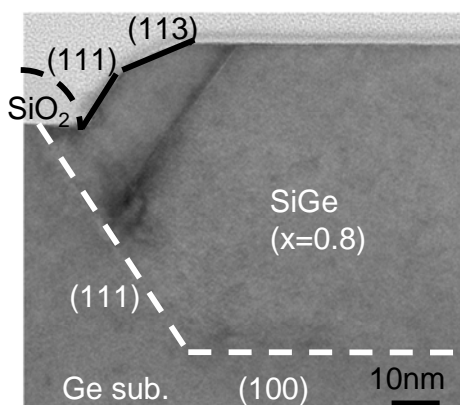
[III-2-I-①-(2)-1)-3-文献 2] M. V. Fischetti, et al., in Journal of Applied Physics, **80**(4) (1996) pp. 2234-2252

4. Ge-nMISFET向けSiGeストレッサー技術

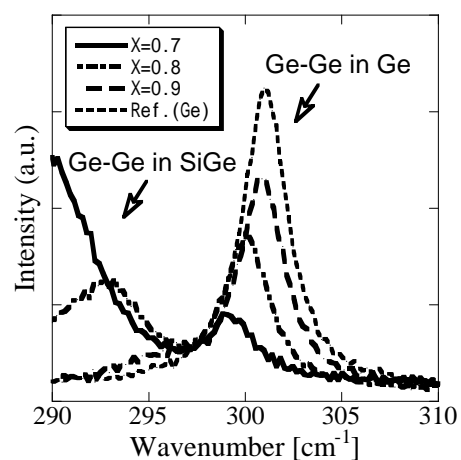
Ge チャンネルに引張りひずみを印加することで、ひずみ Si チャンネル移動度の上限値を大きく超える電子移動度を実現できる可能性が示されている[III-2-I-①-(2)-1)-4-文献 1]。約1%以上の引張りひずみを Ge に印加した場合、電子移動度が、無ひずみ Si に比べ約4倍に増大する。これは、ひずみ Si で得られる最大電子移動度の約2倍に相当する。また、この引張りひずみが1%を超えると、移動度の増大率がほぼ飽和することから、約1%の引張りひずみを印加することがひずみ量としての目標値となる。このとき、Ge チャンネルに引張りひずみを印加する有望な方法として、Si チャンネルに対し、Si:C ストレッサーを適用することによりひずみを印加するように、Ge チャンネルに SiGe ストレッサーを適用する方法が考えられる。

チャンネルが Si の場合、一般的なストレッサー層の形成法としては、RIE によるリセス領域形成後、そのリセス領域にチャンネルと格子定数の異なるストレッサー層を CVD 等で選択成長させるプロセスが考えられる。しかしながら、今回のようにチャンネルが Ge の場合、材料の特性から、RIE によるプロセスダメージの影響が Si の場合より大きいと考えられるため、リセス形成を、RIE ではなく溶液を用いた異方性エッチングにより形成した。また、リセス形成後の SiGe ストレッサー選択成長においては、成長中にストレッサー内に生成し得る結晶欠陥密度の低減および格子緩和の抑制のため、比較的低い成長温度でのストレッサー形成が要求されることとなり、成長速度の低下、スループットの低下の原因となりうるが、一般的な選択成長法で使用されるような成長速度を落とす原因となるエッチングガスを使用せず、ハイドライドガスのみによる選択成長により、スループットの高い選択成長を実現した。

ここで、実験の詳細について述べる。まず、ゲートスタック部と仮定した SiO₂ ダミーゲート領域を有し、その両側に Ge 表面が露出している試料を作製する。その後のリセス形成時の溶液エッチングによりダミーゲート端直下に Ge(111)ファセットが形成されるが、それによるダミーゲート直下への浸食を可能な限り抑制するため、最も速い Ge(100)面のエッチング速度と、最も遅い Ge(111)面のエッチング速度の比が最大となるように最適化された HPM 溶液を用いて異方性エッチングを行い、リセス構造を形成した[III-2-I-①-(2)-1)-4-文献 2]。また、このときのリセス深さは 40nm とした。その後、そのリセス領域に、ソースガスとして SiH₄ と GeH₄ を使用した



III-2-I-①-(2)-1)-4-図 1: ひずみ Ge 構造の断面 TEM 像(x=0.8)

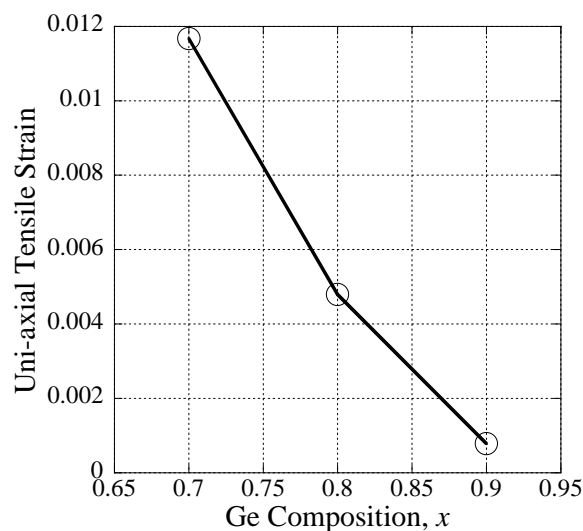


III-2-I-①-(2)-1)-4-図 2: リセスエッジ近傍からの Ge-Ge 結合に対応するラマンスペクトル

Hot-wall CVD 法により、埋め込み SiGe-S/D スレッサ構造を形成するため SiGe 選択成長を行った [III-2-I-①-(2)-1)-4-文献 3]。このときのスレッサーGe 組成 x は、0.7、0.8 および 0.9 とし、膜厚は 50nm とした。作製したひずみ Ge 構造における、Ge 中ひずみ量はラマン分光測定により評価した。このとき、Ge-Ge モードのラマンシフト量から、Tsang らの式により、2軸ひずみを仮定したひずみ量を導出し、それを Ito らの方法により1軸ひずみ量に変換した [III-2-I-①-(2)-1)-4-文献 4, III-2-I-①-(2)-1)-4-文献 5]。

実験結果について述べる。最適化された異方性エッチングにより形成されたリセス領域に、SiGe ($x=0.8$) を選択エピタキシャル成長した後の、リセスエッジ近傍の断面 TEM 像を III-2-I-①-(2)-1)-4-図1に示す。(100) および(111)ファセットにより構成されたリセス領域が構成されていることが確認できる。また、スレッサー表面及びリセス界面が原子レベルで平坦なこと、スレッサー内に若干欠陥は観察されるが、ひずみが緩和してしまふほどの欠陥密度ではないことがわかる。さらに、ダミーゲート端近傍のスレッサー表面にはファセットが形成され、実際のトランジスタ動作時における、ゲートとソース/ドレイン間の寄生容量低減に有効な形状であると考えられる。Raman 分光により、ゲートエッジ近傍の散乱光を評価した結果を図に示す。Ge 組成の増大につれてピークが低端数側にシフトした。これは、Ge 中の引張りひずみが増大していることを意味している。ラマンシフトを、一軸引張りひずみに換算した結果を III-2-I-①-(2)-1)-4-図 3 に示す。この図から、スレッサーGe 濃度が低いほど、すなわち、チャンネルとなる Ge との格子定数差が大きくなるほど Ge チャンネルにひずみが印加されることがわかる。

まとめると、リセスに埋め込んだ SiGe スレッサーにより、Ge のリセスエッジ近傍に1%を超える1軸引張りひずみが印加されたことを実験的に示した。この値は、ひずみ Si をも凌駕する、無ひずみ Si の約4倍もの電子移動度を実現しうるひずみ量である。本プロセス技術をひずみ Ge-nMOSFET に適用することで、Si の限界値を



III-2-I-①-(2)-1)-4-図 3 ラマン分光により得られた Ge チャンネル相当領域のひずみ

越える電流駆動力、あるいは低駆動電圧の微細トランジスタが実現すると期待される。

参考文献

- [III-2-I-①-(2)-1)-4-文献 1] Y.-J. Yang et al., Appl. Phys. Lett., 91, 102103 (2007)
- [III-2-I-①-(2)-1)-4-文献 2] S. Sioncke et al., ECS Trans, 16 (10), 451-460 (2008)
- [III-2-I-①-(2)-1)-4-文献 3] Y. Moriyama et al., Solid-state Electronics, DOI:10.1016/j.sse.2011.01.024
- [III-2-I-①-(2)-1)-4-文献 4] J. C. Tsang et al., J. Appl. Phys., 75, 8098 (1994)
- [III-2-I-①-(2)-1)-4-文献 5] T. Ito et al., JJAP, 33, 171 (1994)

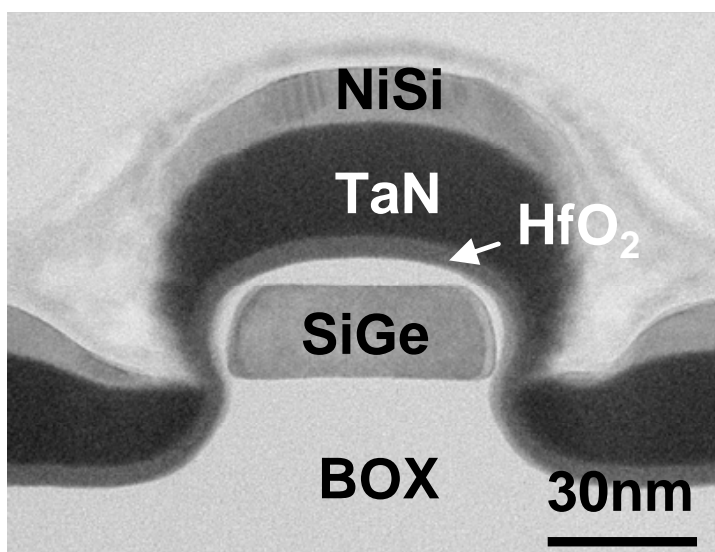
5. 二段階酸化濃縮によるひずみ SiGe 立体チャンネル形成技術と、移動度・キャリア速度の評価

チャンネル方向に応力を有する歪み SiGe チャンネル MOSFET はその高いホール移動度特性と、Metal/High-k ゲートスタックを使用した際の高いしきい値電圧制御性から、ハイパフォーマンスロジック用途のみならず、低消費電力ロジック向けチャンネルとしても精力的に研究開発が進められている[III-2-I-①-(2)-1)-6-文献 1]。近年、Ge 濃度 35%以下の歪み SiGe チャンネルを用いた tri-gate pMOSFET が報告されている[III-2-I-①-(2)-1)-6-文献 2, 文献 3]。しかし、さらなるホール移動度向上としきい値調整幅拡大の為には、チャンネルに印加された歪みを維持した状態での高 Ge 濃度化が必須となる。本章では歪みの緩和と欠陥導入を防ぐために開発した 2 段階酸化濃縮[III-2-I-①-(2)-1)-6-文献 4]による高 Ge 濃度(50%以上)SGOI 層の形成技術と、このチャンネルを使用した Tri-gate MOSFET の移動度およびキャリア速度の向上について報告する。

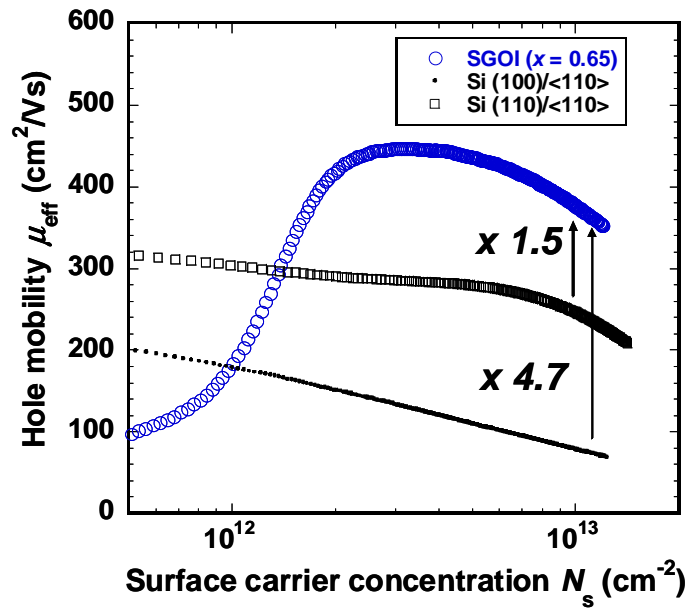
SiO₂/HfO₂/TaN ゲートスタック技術、および、メタル SD プロセス技術を用いて、ひずみ SiGe-Tri-gate pMOSFET を試作した。まず、SOI 基板上に Ge 濃度 10%の SiGe 層を成長後、熱酸化による酸化濃縮によって Ge 濃度 25%の SGOI (SiGe-on-Insulator)層を形成した。この SGOI 層を EB リソグラフィと RIE によってフィン形状に加工した後、再び 900°Cの熱酸化による酸化濃縮を追加することで、歪を維持した状態で高 Ge 濃度なワイヤチャンネル形成を実現している。ゲート絶縁膜は熱酸化膜と ALD 堆積による HfO₂(4nm)で形成し、スパッタによる TaN(20nm)/a-Si(10nm)堆積をおこなう事で MIPS ゲートを形成した。S/D 部を Germano-silicidation によって NiSiGe 化してメタル S/D 構造を形成する事で Tri-gate MOSFET を形成している。

III-2-I-①-(2)-1)-6-図 1 に作製したひずみ SGOI tri-gate MOSFET の断面 TEM 像を示す。さらに TEM-EDX 分析によってチャンネル中の組成分析を行った結果、チャンネル表面付近において Ge 濃度 65%、ワイヤ中心部において Ge 濃度 50%まで高 Ge 濃度化されている事を確認している。NBD によるひずみ分析の結果、フィン幅方向に歪み緩和し、チャンネル方向に 2.6%の 1 軸圧縮歪み印加が実現していることが確認できた。この結果は従来報告された中で最も高い圧縮ひずみとなっている。

III-2-I-①-(2)-1)-6-図 2 に作製したチャンネル方位(100)/<110>のひずみ SGOI チャンネル tri-gate MOSFET のホール移動度特性を示す。Ns=1.0x10¹³cm⁻² において Si pMOSFET(100)/<110>の約 4.7 倍、(110)/<110>[III-2-I-①-(2)-1)-6-文献 5]の約 1.5 倍のホール移動度を達成している。この高い正孔移動度が、後に示す短チャンネルトランジスタでの高い電流駆動力の要因となっている。



III-2-I-①-(2)-1)-6-図 1 作製した SGOI tri-gate MOSFET の断面 TEM 像



III-2-I-①-(2)-1)-6-図 2. 歪み SGOI tri-gate MOSFET のホール移動度特性

参考文献

- [III-2-I-①-(2)-1)-6-文献1] L. Witters et al.: VLSI 2010 p.181.
- [III-2-I-①-(2)-1)-6-文献2] C. E. Smith et al.: IEDM 2009 p.309.
- [III-2-I-①-(2)-1)-6-文献3] L. Hutin et al. : VLSI 2010 p.37.
- [III-2-I-①-(2)-1)-6-文献4] T. Irisawa et al.: Thin Solid Films 517 (2008) 167.
- [III-2-I-①-(2)-1)-6-文献5] M. Saitoh et al.: IEDM Tech. Dig., 2007 p.1019.

2) ゲート絶縁膜・チャネル界面を改善しキャリア散乱を抑制するためのCMOS向け材料・形成方法・構造の開発

1. High-k/Ge-MISFETにおけるSrGe界面層技術と、移動度の向上

Ge チャネルで高移動度を実現する上で、最重要課題の一つは、チャネルとゲート絶縁膜の間に良好な界面を形成することである。Ge チャネルが使われる世代に用いられるゲート絶縁膜は、高誘電体 (high-k)膜であり、high-k/Ge ゲートスタック界面には通常 Ge 酸化物が形成されるが、Ge 酸化物の物性および電気的特性に及ぼす影響は分かっていなかった。良好な電気的特性を有するゲートスタックを迅速に開発するためには物性および物理に基づく考察が重要である。そもそも Ge 酸化物は誘電率が低いため Ge チャネルが用いられる世代における界面層としては相応しくないが、代替する界面層がこれまで検討されてこなかった。

そこで、Ge チャネルで高移動度を実現するために、まず、①Ge 酸化物の物性を調べ Ge 酸化物/Ge 界面制御を検討した上で、酸化物界面層の問題点を明らかにし、次に②酸化物ではない界面層を新規に提案し、その有効性を実デバイスを試作評価し実証し、そして、③微細 high-k/SrGex/Ge FET 形成および EOT~1nm 近傍において非酸化物である SrGex 界面層の有効性を実証した。

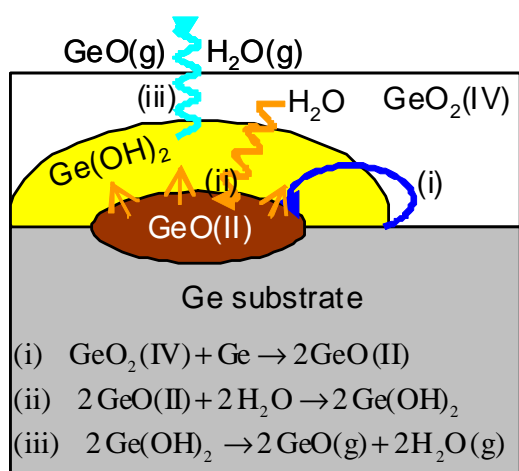
【Ge 酸化物の物性理解および Ge 酸化物/Ge 界面制御】

Ge 酸化物は、dioxide だけでなく monoxide も比較的安定に存在できるが、monoxide [GeO(II)]や dioxide

[GeO₂ (IV)]が Ge MOS デバイスの熱安定性、電気的特性に及ぼす影響については、これまであまり調べられてこなかった。更に、GeO(g)ガスは還元性を持つため、high-k/Ge ゲートスタックにおいては J_g を増大させる要因である GeO(g)の脱ガスを抑制することが重要であるが、GeO(g)の脱ガス機構および抑制方法についてはこれまで調べられてこなかった。

そこで Ge 酸化物、および GeO(g)ガスが Ge MOS デバイスの熱安定性、電気的特性に与える影響について、特に GeO(II)と GeO₂(IV) を区別し、以下の5点について詳細に調べた：(i) GeO(II)と GeO₂ (IV) の選択形成方法、(ii) GeO(II)/Ge, GeO₂(IV)/Ge の band alignment、(iii) LaAlO₃/Ge ゲートスタックからの GeO(g)脱ガスと J_g の相関、(iv) GeO(g)脱ガス挙動の universality、および H₂O(g)を伴う GeO(g)脱ガス実験結果を説明する Ge(OH)₂ の分解による GeO(g)脱ガスモデルの提案、(v) 高温 HCl 溶液および HCl vapor 処理を用いた Ge 酸化物除去。

その結果、GeO(g)脱ガスは GeO(II)と H₂O に密接に関わっており、GeO(II)形成抑制が GeO(g)脱ガス



III-2-I-①-(2)-2)-1-図 1 H₂O を媒介した GeO の解離モデル

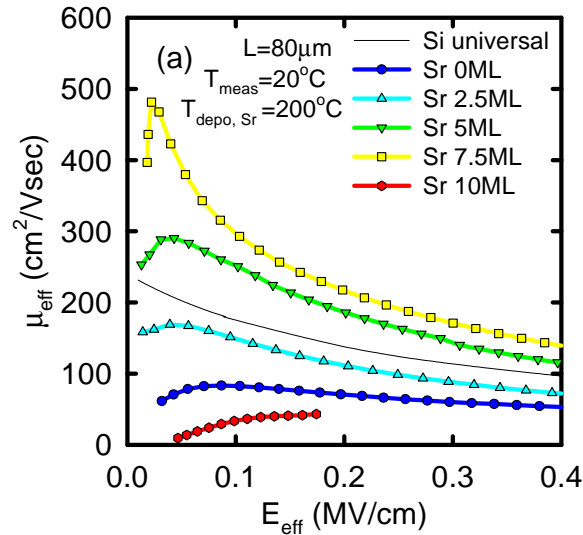
度しか得られなかった。High-k 膜種を LaAlO に変えても移動度を高くすることは難しく、高移動度を得るためには何らかの界面層が必要と考えられた。Ge 窒化物を用いたデバイス例も報告されているが、Ge 窒化物は Ge 酸化物と同程度の低誘電率であり、熱安定性も悪く、報告されていた Ge 窒化物界面層の電気的特性も期待程ではなかった。

そこで、酸化物でも窒化物でも無い、新規界面層を high-k/Ge ゲートスタックに用いる検討を開始した。文献調査の結果、Sr と Ge の化合物は非金属としての性質を持つという計算結果が報告されており、実際に SrGex 界面層を high-k/Ge ゲートスタックに適用し MIS デバイスの界面層として機能することを実証した。更に high-k/Ge p-MISFETs を試作し、III-2-I-①-(2)-2)-1-図 2 に示すように、SrGex 界面層を用いることによって Si universal curve よりも正孔移動度が向上し、Ge チャネルにおいて正孔移動度の最大値として世界最高値が得られることを実証した。

抑制のために重要であり、新規に高温 HCl 溶液および HCl ガス前処理を開発し GeO(II)を含めた Ge 酸化物を完全に除去可能であることを実証した。さらに、III-2-I-①-(2)-2)-1-図 1 に示す GeO の脱ガスモデルを提案した。

【非酸化物界面層の新規提案と有効性実証】

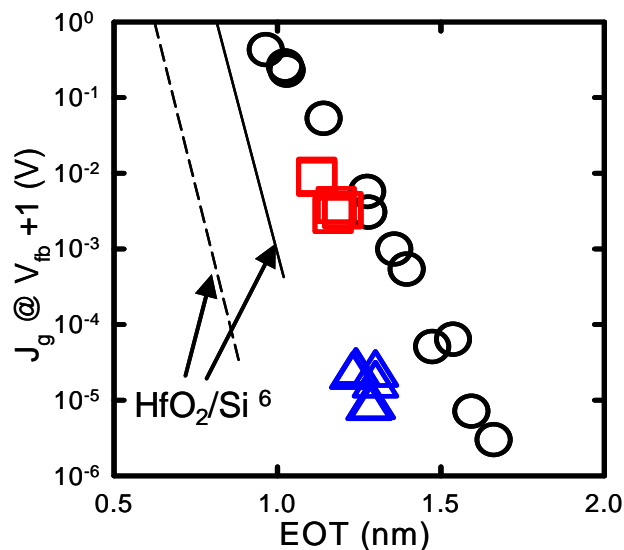
近年、GeO₂/Ge ゲートスタックを用いた高移動度実証について多数報告されている。しかし、GeO₂は低誘電率であるため、high-k/Ge 界面に Ge 酸化物が介在すると、Ge チャネル世代において要求される EOT~0.5nm を実現することが困難であり、high-k/Ge 界面に Ge 酸化物を形成させないことが課題である。ところが薄い EOT を実現可能な ZrO₂, ZrSiO といった high-k 膜を Ge 基板に直接接触させた場合、限定的な高移動



III-2-I-①-(2)-2)-1-図2 SrGe_x 界面層を有する LaAlO₃/Ge-pMISFET の正孔移動。Sr の初期膜厚は、0、2.5、5、7.5ML である。

【微細 high-k/SrGe_x/Ge FET 形成および有効性実証】

一般に界面層を介在させることで EOT を増膜するが、SrGe_x 界面層は 20 弱程度の誘電率持ち、極薄く介在させることによる EOT 増膜程度は軽微であり、一方 J_g 低減の効果が顕著であることを EOT ~1nm において実証した。一般に界面層を薄くすると μ が劣化してしまうが、界面層厚さを保ちつつ high-k 膜の厚さのみ薄くすることで μ を劣化させることなく EOT を ~1nm まで薄膜化可能であることを実証した。更に EOT スケーリング、つまり EOT 薄膜化および J_g 低減を両立することを検討した。high-k 膜の膜種を LaAlO から LaZrO に変えることで、high-k 膜の誘電率を 40% 向上したことに起因し、



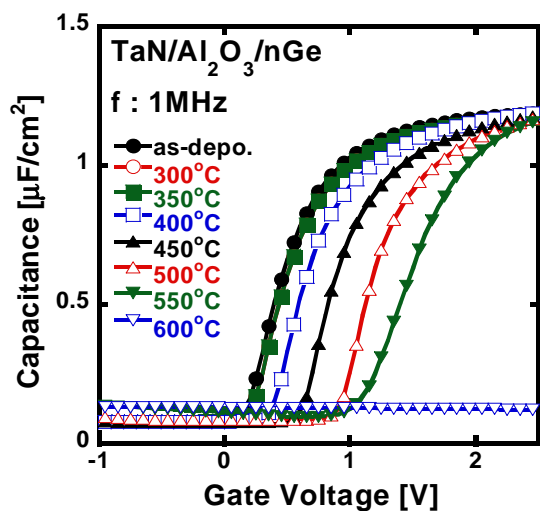
III-2-I-①-(2)-2)-1-図3 SrGe_x 界面層/Ge 上に LaAlO (○)、LaTiO/LaAlO (□)、LaZrO/LaAlO (△) を積層した MISCAP のゲートリーク電流 J_g の EOT 依存

III-2-I-①-(2)-2)-1-図3に示すように、同一EOT(1.2nm)におけるJgを2桁以上低減できた。このEOT-Jg特性は、Si上のhigh-kに匹敵するものであり、本high-k/SrGe_x界面層技術がGe-MISFET実用化に有効であることを示している。

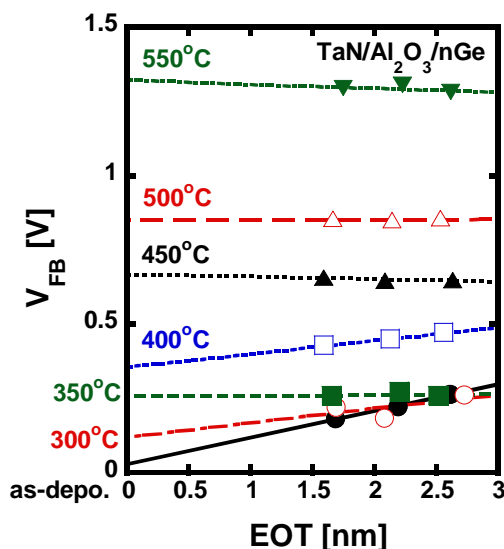
2. high-k/Ge-MIS 構造におけるメタルゲート電極形成後の熱処理がフラットバンド電圧に与える影響

Geは電子と正孔ともにSiより高いキャリア移動度を有するため次世代のCMISデバイスのチャネル材料として期待されているが、Ge系チャネルを用いたMISFETが実用化される世代を考えると、等価酸化膜厚(EOT)スケールリングの観点からメタルゲート/high-k絶縁膜をゲートスタックとして用いる必要があると考えられる。メタルゲート/high-k/Siを用いたMISFETでは、閾値電圧(V_{TH})あるいはフラットバンド電圧(V_{FB})のシフト[III-2-I-①-(2)-2)-2-文献1]が問題となっている。この V_{FB} シフトは、特にhigh-k/SiO₂界面に起因すること[III-2-I-①-(2)-2)-2-文献2]、さらにはゲート電極形成後の熱処理(PMA: Post Metal-Gate Annealing)により負方向へ大きくシフトする[III-2-I-①-(2)-2)-2-文献3]といった報告がなされている。これまで、メタルゲート/high-k/Geを用いたMISデバイスでは、 V_{TH} および V_{FB} が正方向へシフトする報告[III-2-I-①-(2)-2)-2-文献4]と負方向へシフトする報告[III-2-I-①-(2)-2)-2-文献5]があり、統一的な見解は得られておらず、さらに膜厚依存性からの固定電荷による V_{FB} シフト量の除去を含めた V_{FB} シフトのメカニズム理解に関する議論はなされているとはいえない。そこで、本研究では、メタルゲートとしてTa₂N₅、high-k絶縁膜としてAl₂O₃、HfO₂を取り上げ、PMAによるMISCAPの V_{FB} シフトをhigh-k絶縁膜の膜厚依存性も含めて系統的に評価した。また、界面層としてSiを堆積した場合も合わせて評価した。

nGe(100)上にCVD-SiO₂膜で素子分離を形成後、DHF処理を行った。その後、一部の試料に対しては、Siを7原子層(ML)成長させた。DHF処理後もしくはSi堆積後に速やかにALD装置内にウエハを導入し、Al₂O₃もしくはHfO₂をALD法で堆積した。その後、メタルゲートとして、Ta₂N₅をスパッタにて堆積し、ゲート加工後、300°C~600°C、N₂雰囲気中で熱処理(PMA)を行い、MISCAPを作製した。



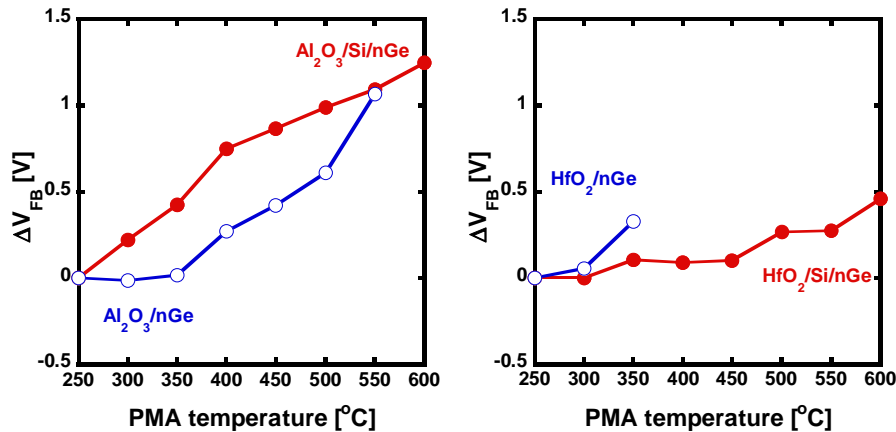
III-2-I-①-(2)-2)-2- 図1 TaN/Al₂O₃/nGe MISCAP 形成後の熱処理(PMA)によるC-V特性の変化。PMA温度が高くなるに従い、正方向へC-V特性がシフトしていく様子が観測された。



III-2-I-①-(2)-2)-2- 図2 TaN/Al₂O₃/nGe MISCAPにおける V_{FB} とEOTの関係。

III-2-I-①-(2)-2)-2-図1にTaN/Al₂O₃(5nm)/nGeのC_g-V_g特性のPMA温度依存性を示す。この測定

結果から、PMA 温度に依存して C_g - V_g 特性が正方向へシフトしていくことがわかった。同様の傾向は絶縁膜



III-2-I-①-(2)-2-2-図 3 Si 挿入有無による PMA 温度に対する V_{FB} シフト量の変化。(a) high-k 材料が Al_2O_3 の場合、(b) high-k 材料が HfO_2 の場合。

に HfO_2 を用いた場合でも認められた。得られた C_g - V_g 特性から、EOT および V_{FB} を抽出し、その関係を PMA 温度ごとにまとめた結果を III-2-I-①-(2)-2-2-図 2 に示す。 V_{FB} -EOT プロットの各 PMA 温度による傾きはそれほど大きく変化していないことがわかった。もし今回得られた正方向への V_{FB} シフトが Al_2O_3/Ge 界面の固定電荷の増大によるものであるならば、 V_{FB} -EOT プロットの傾きがそれに依って大きくなるはずであるが、そのような振る舞いにはなっておらず、単純な固定電荷の増減だけでは説明できないことがわかった。また、 V_{FB} -EOT プロットの切片から見積もられた実効仕事関数 ($\phi_{m,eff}$) は、PMA 温度が高くなるほど大きくなる。このことは pMISFET にとっては浅い V_{th} が実現しやすいものの、nMISFET を想定した場合は、PMA 温度が高くなると V_{th} が深くなることを示しており、ゲートスタック形成後のプロセスが非常に重要になることを表しているといえる。

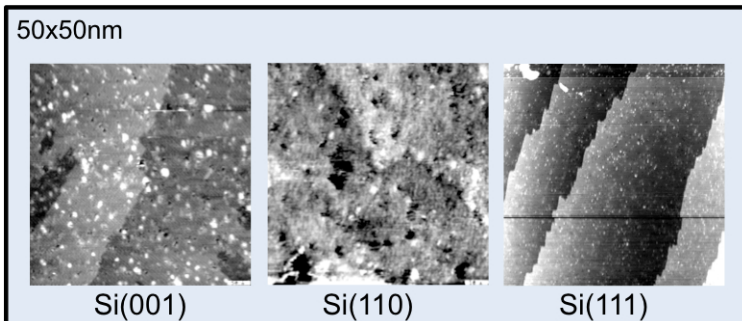
こうした V_{FB} の正シフト現象はチャンネルが Si の場合の MISCAP では起きないことを確認しており、Ge チャンネル特有の現象であり、特に high-k/Ge 界面構造の変化に起因したシフトであると考えられる。したがって、high-k/Ge 界面に界面層を挿入するなどして界面構造を変化させることで、 V_{FB} 正シフトを抑制できる可能性が考えられる。そこで、良好な正孔移動度[6]が得られている high-k/Ge 界面に Si を挿入した high-k/Si/Ge 構造の場合について、PMA による V_{FB} シフト量の比較を行った。high-k に Al_2O_3 を用いた場合の結果を III-2-I-①-(2)-2-2-図 3(a)に HfO_2 を用いた場合の結果を III-2-I-①-(2)-2-2-図 3(b)にまとめた。縦軸は PMA なしの場合の V_{FB} からの正シフト量を示す。 Al_2O_3 の場合は Si を挿入することによってより正シフトする現象が見られ、 HfO_2 の場合は逆に正シフトを抑制できている。このことは、同じ界面層構造を用いた場合でも high-k 材料の違いによって PMA による V_{FB} シフトを抑制できる場合とそうでない場合があることを示しており、high-k/Ge の界面構造と上部の high-k 膜の材料、さらにはゲートスタック形成後の熱処理プロセス温度の 3 つの要因が複合して high-k/Ge MISFET の V_{th} が決定していることを表している。これらを適切に選択することにより、チャンネルへのドーピング量を変えずに用途に応じて V_{th} が制御できることを示しており、必要な特性に応じた材料選択、プロセス設計が重要であることを示している。

参考文献

- [III-2-I-①-(2)-2-2-文献 1] C. Hobbs *et al.*, IEEE Trans. Electron Devices **51** 971(2004); **51** 978(2004).
- [III-2-I-①-(2)-2-2-文献 2] K. Iwamoto *et al.* Appl. Phys. Lett. **92** 132907 (2008).
- [III-2-I-①-(2)-2-2-文献 3] K. Akiyama *et al.*, Tech. Dig. VLSI Symp. **2007**, 72.
- [III-2-I-①-(2)-2-2-文献 4] W. P. Bai *et al.*, IEEE Electron Devices Lett. **26** 378(2005).
- [III-2-I-①-(2)-2-2-文献 5] S. J. Whang *et al.*, IEDM Tech. Dig., **2004**, 307.
- [III-2-I-①-(2)-2-2-文献 6] J. Mitard *et al.*, Tech. Dig. VLSI Symp. **2009**, 82.

3. Si チャネルの極薄高駆動力ゲートスタック形成技術の開発

ゲート電極のチャネルポテンシャル支配力を強化しキャリア輸送特性を向上することを目的として、極限High-k技術の開発を行った。開発した技術は、Siの各種面方位に対する原子層レベル超平坦化技術、Siの最表面の結合を酸素原子で終端化する高品質high-k/Si界面形成技術、および非平衡熱伝導状態を利用した非晶質HfO₂薄膜の結晶化技術から構成される。

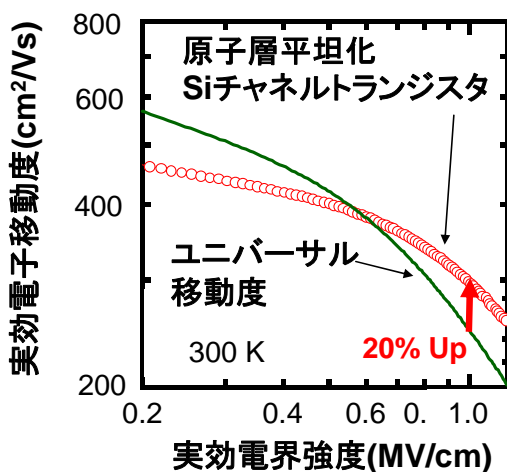


III-2-I-①-(2)-2)-3-図 1. 低 pH 弗酸処理と低温水素アニールにより平坦化した Si(001)、(110)、(111)表面の張高真空走査トンネル顕微鏡像。走査領域は 50x50 nm。すべての面で明瞭な原子ステップと水素終端された 1x1 原子配列が観察できる。

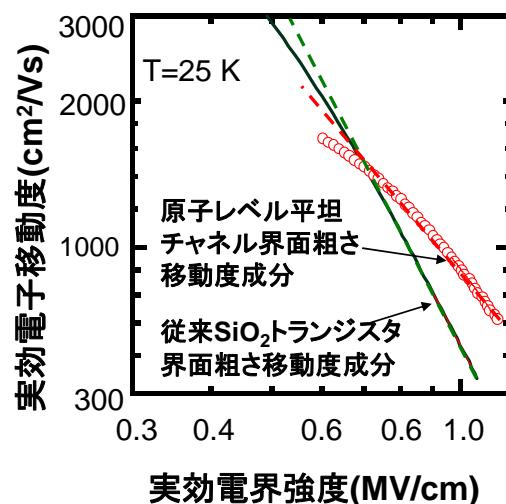
次世代の高性能LSIでは立体チャネルトランジスタが有望視されており、従来のSi(001)面だけではなく、Si(110)等の異なる方位の面が同時にチャネルとして使用される。チャネルを流れる電子が表面ラフネスで散乱されるのを防止するため、異なる面方位のSi表面の同一条件での平坦化が必須となる。そこで、Siの各種面方位に対する共通化可能な原子層レベル超平坦化プロセスを開発した。III-2-I- (2)-2)-3-図1は、pH<1の弗酸系溶液処理と800 °Cでの低温水素アニールを組み合わせた処理を用いて平坦化したSi(001)、(110)、(111)面の走査トンネル

顕微鏡像である。Siの主要な面方位であるSi(001)、(110)、(111)面すべての面において、原子レベルの平坦化が実現されており、同一条件処理による異なる面方位面の原子レベル平坦化技術の開発に成功した。

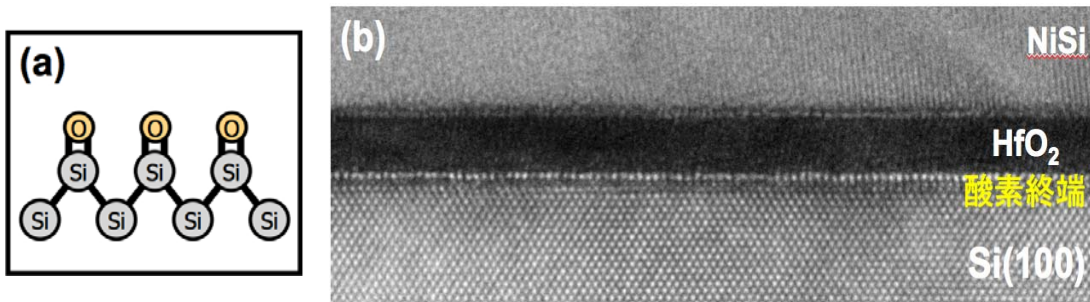
さらに、低pHウエット処理とH₂アニール処理によるSi表面の原子レベル平坦化技術をデバイスプロセスに適用し、トランジスタの反転層移動度を測定した(III-2-I-①-(2)-2)-3-図2)。平坦化処理はSi(100)チャネル面に対して行った。その結果、従来Siチャネルトランジスタのユニバーサル移動度を高電界側で超えることを実証した。また、移動度の温度解析から、この移動度向上がSi界面ラフネスの低減によることを確認した(III-2-I-①-(2)-2)-3-図3)。



III-2-I-①-(2)-2)-3-図 2 原子レベル平坦化した Si チャネルを有するトランジスタでは高電界移動度が約 20%向上。



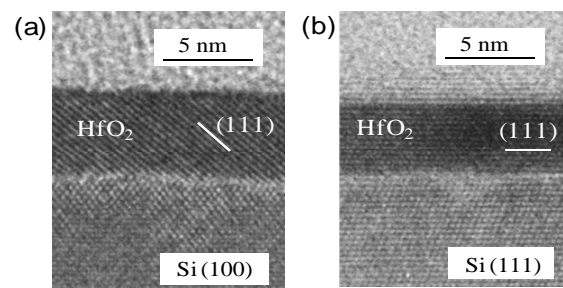
III-2-I-①-(2)-2)-3-図 3 極低温 (25K) でのトランジスタ移動度測定による界面粗さ移動度の抽出結果。



III-2-I-①-(2)-2)-3-図 4. (a) 酸素終端表面の構造モデル。(b) 酸素終端表面上に形成した high-k/Si 直接接合ゲートスタックの断面 TEM 像。HfO₂ 膜厚は 2.4 nm。均一な直接接合界面が形成されている。

極薄の等価酸化膜厚(EOT)を持つhigh-kゲートスタック形成のためには、high-kとSi基板の間に存在するSiO₂層を除去するのが最も効果的である。しかし、SiO₂層を除去すると良好な界面の電気的特性が得られないという問題があった。極薄EOTと良好な界面特性を両立させるために、酸素によるSi表面のエッチング-酸化境界条件での処理を行い、Si最表面の結合のみに酸素を吸着させた酸素終端Si表面処理を開発した。III-2-I- (2)-2)-3-図4 (a)は酸素終端表面の構造モデルである。原子層堆積法(ALD)を用いたhigh-k膜堆積において、high-k材料ガスは最表面の酸素終端状態と反応し、均一な直接接合を形成する。III-2-I- (2)-2)-3-図4(b)は原子レベル平坦化処理と酸素終端処理を行った表面上にALD-HfO₂を堆積したゲートスタックの断面TEM像である。界面層のない極めて均一なhigh-k/Si界面が実現している。

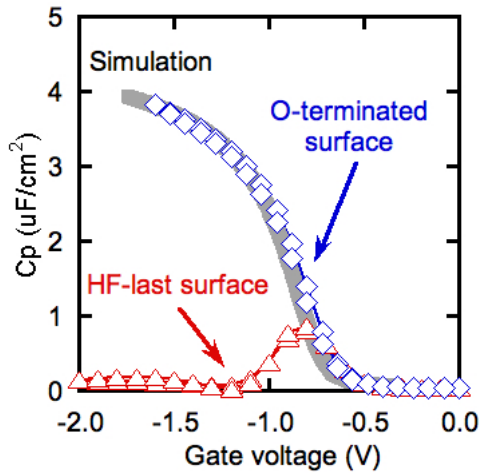
非平衡熱伝導現象を利用して非晶質HfO₂薄膜の結晶成長を制御する、新しい技術を開発した。作成した試料の断面TEM像をIII-2-I- (2)-2)-3-図5に示す。Si (100)基板とSi (111)基板のいずれを用いた場合にも、HfO₂膜とSi基板の界面にはSiO₂層が存在せず、Si結晶とHfO₂結晶膜の結晶格子像が連続している。これはSi結晶基板上にエピタキシャルHfO₂膜が成長していることを示している。通常の熱処理の場合、HfO₂非晶質膜の表面から膜の内部へと結晶成長が進行するため、不規則な結晶粒が生成し、結晶粒界やSi界面に不整合状態や余分原子が蓄積してしまう。これらは電気性能を阻害する構造欠陥になってしまう。我々の開発した熱処理技術では、Si基板からの熱伝導によって生じる温度勾配を活用することで、Si基板界面からHfO₂膜の結晶成長を進行させる。結晶成長の方位が整然化することで結晶粒界面の不整合は抑制され、余分原子も外部に放出されるため、構造欠陥を生じにくい。Si基板上にエピタキシャルHfO₂膜を合成したのは世界初の成果である。



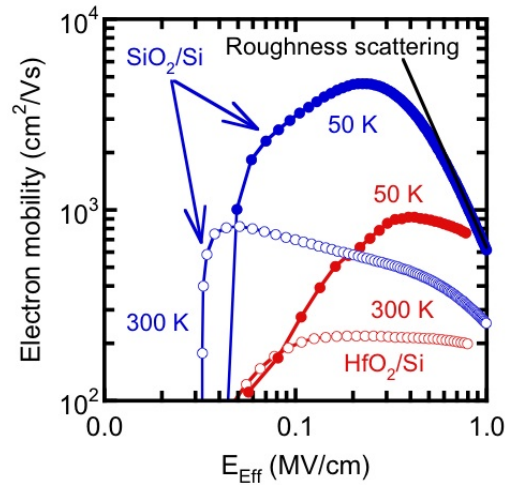
III-2-I-①-(2)-2)-3-図 5. Si 基板上に成長した HfO₂ 薄膜の断面 TEM 像。(a) Si (100)基板の場合と (b) Si (111)基板の場合。

上記の成果に基づいてキャパシタおよびトランジスタを作成し、界面制御ならびにバルク構造制御技術が電気特性に及ぼす効果を評価した。III-2-I- (2)-2)-3-図6は酸素終端表面および通常のフッ酸処理表面上に形成したhigh-kゲートスタックの容量-電圧特性である。フッ酸処理表面の場合には界面特性が極めて悪い。それに対し酸素終端表面の場合には、ほぼ理想的な容量電圧曲線が得られている。III-2-I- (2)-2)-3-図7は酸素終端表面上に形成したhigh-kトランジスタの電子移動度温度依存性である。比較のため通常のSiO₂/Si トランジスタの電子移動度依存性も示してある。high-k/Si直接接合ゲートス

タックの界面ラフネス散乱は、 SiO_2/Si の場合と同程度であることが分かる。すなわち本手法では、 SiO_2 を用いない直接接合界面にもかかわらず、理想的な特性を持つhigh-kゲートスタックの形成が実現されている。



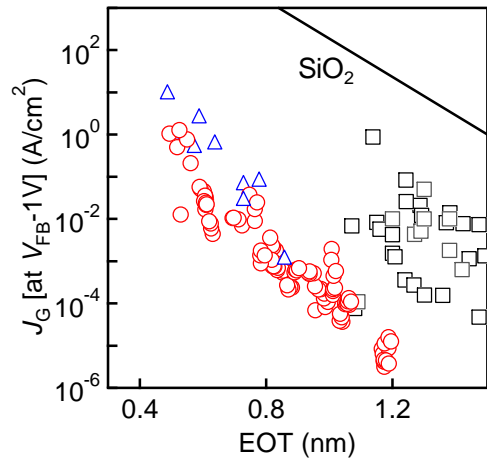
III-2-I-①-(2)-2-3-図 6. 酸素終端表面および通常の HF-last 表面上に形成した HfO_2/Si 直接接合ゲートスタックの容量-電圧(CV)特性。理想的 CV 曲線もプロットしてある。



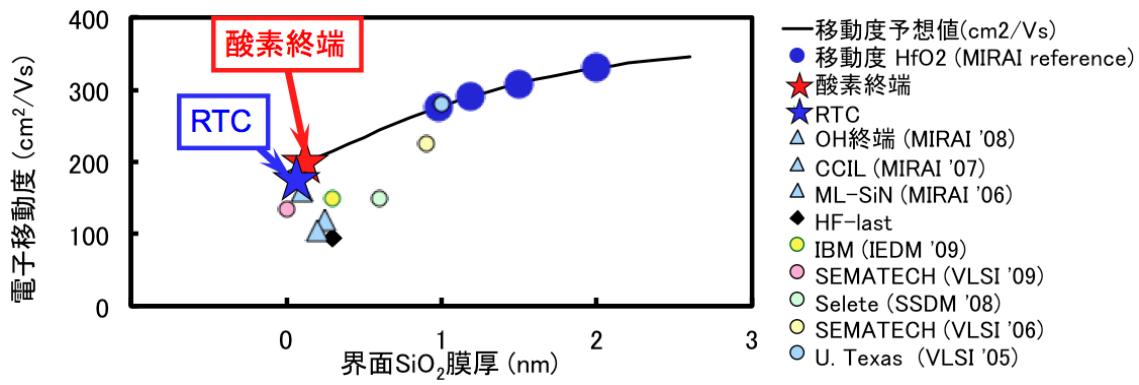
III-2-I-①-(2)-2-3-図 7. 酸素終端表面に形成した HfO_2/Si FET および、通常の SiO_2/Si FET の電子移動度の温度依存性。測定温度は 300 K および 50 K。

III-2-I- (2)-2-3-図8はエピタキシャル HfO_2 ゲートスタックの J_g -EOTプロットである。界面層低減の効果で SiO_2 に対して約6桁、従来手法で形成した直接接合high-kゲートスタックに比較してもおよそ1桁の J_g 低減が得られている。結晶化した膜は電気性能が劣化するという定説を覆し、エピタキシャル HfO_2 膜で世界トップクラスの性能を達成した。

これらの界面形成技術および結晶膜合成技術によって、極薄High-kでの移動度が向上することを確認した。III-2-I- (2)-2-3-図9は SiO_2 界面層の膜厚と電子移動度のベンチマークである。今回我々が開発した手法では、従来の技術で界面層を低減した場合に比較して、著しい移動度改善を示している。移動度はhigh-k膜中のフォノン、固定電荷、界面準位や界面ダイポールによる散乱要因によって低下する。界面の品質を維持することが移動度に対し重要であり、今回開発した極限high-kゲートスタック形成手法は、高品質な直接接合high-kにより従来处理に比較して大幅な移動度改善と低EOTを両立し、駆動力の増強に極めて有効である。



III-2-I-①-(2)-2-3-図 8. 漏れ電流 J_g と等価酸化膜厚 EOT のベンチマーク。実線は SiO_2 単体膜の性能。黒い色の□は SiO_2 界面層と High-k 膜の組み合わせで作成されたゲート絶縁膜の 2002 年から 2004 年に報告されたデータ。青色の△は 2007 年以降に報告された SiO_2 層が無い High-k ゲート絶縁膜のデータ (SEMATECH, IMEC, 東工大, IBM など)。赤色の○が本研究の成果。

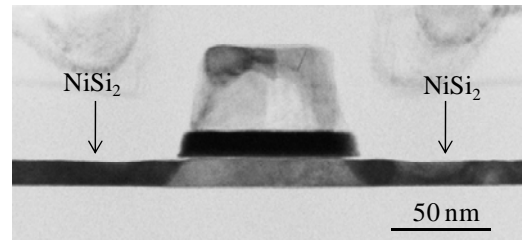


III-2-I-①-(2)-2-3-図 9. 開発した界面形成および絶縁膜形成手法を含めた移動度ベンチマーク。high-k/Si 接合に付加的な散乱要因が存在しない場合、移動度は図中の曲線のトレンドに従うと予想される。

3) NMOSとPMOSそれぞれに最適化したチャネルとソース・ドレインとの界面付近の不純物分布を最適化しバリスティック効率を向上するための材料・形成方法・構造の開発

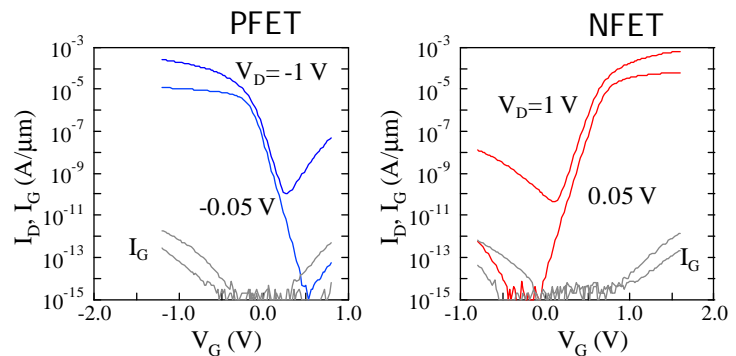
1. 原子層レベル界面制御によるメタルソース・ドレイン形成技術およびショットキーバリアハイト制御技術の研究開発

寄生電気抵抗の低減によってキャリア輸送特性を向上することを目的として、メタルソース・ドレイン技術の開発を行った。縮退シリコンに比べて100倍近い導電性を有する一連のニッケルシリサイド結晶相の中から、最も熱耐性に優れたNiSi₂相を選択した。シリサイド材料はプロセス温度によって結晶相が変化し、体積が大きく変わる。このことが接合位置の不確定さや異常侵入といった問題を引き起こす。我々はNiSi₂相を直接合成する技術を開発し、この問題を克服した。ソース・ドレイン部分をNiSi₂結晶で形成した完全空乏型SOI FETの断面TEM像をIII-2-I-(2)-3)-1- 図1に示す。厚さ12 nmという極薄のSOI層のソース・ドレイン部分が完全にNiSi₂結晶に変化している。NiSi₂相は体積変化も小さい材料なので、ソース・ドレイン部分の厚さも初期のSOI層と変化しない。接合位置がゲート側壁の直下に形成されている。NiSi₂はSi結晶との格子整合に優れた材料なので、エピタキシャル関係を保持した成長が進行している。そのことがNiSi₂成長速度を安定化し、接合の異常な侵入を抑止している。この構造は800°Cのプロセス温度にも耐えることを確認している。



SOI厚さ 12 nm, L_G=77 nm, EOT=1.5 nm

III-2-I-①-(2)-3)-1-図1 NiSi₂結晶相をメタルソース・ドレイン構造として用いて試作した完全空乏型SOI FETの断面TEM像。

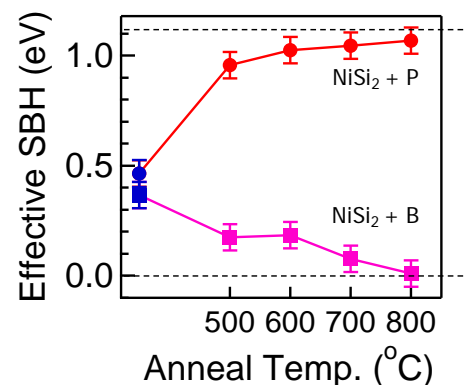


III-2-I-①-(2)-3)-1-図2. PFET および NFET の I_D-V_G 特性。ドレイン電圧は 0.05 V と 1 V、ゲートリーク電流も掲載。PFET はボロン、NFET はリンを偏析元素として使用。

接合特性の課題であるショットキー

バリアに対しては、不純物偏析機構に基づいた実効ショットキーバリアハイト低減技術を活用した。偏析技術においては不純物の存在位置を把握することが重要であるが、原子レベルの分析精度が要求されるほど困難であるために、世界でも数える程度の報告例しかない。我々は原子層エッチング技術と二次イオン質量分析技術を駆使することで、偏析元素が接合界面のシリコン結晶内部の数原子層以内に存在することを突き止めた。興味深いことに、800°Cプロセスを行った後でも不純物の深さ分布に大きな変化は見られず、界面に安定に存在していることが明らかになった。

PFETとNFETのトランジスタ動作をIII-2-I-(2)-3)-1-図2に示す。NiSi₂結晶のソース・ドレインを形成した後にPFETではボロンを、NFETではリンをイオン注入し、同じ温度条件でアニールして作成した。いずれのトランジスタにおいてもカットオフ特性に優れた高性能な動作を確認できた。単一のシリサイド材料を元に、イオン注入のみでトランジスタの極性を作り分けられることは、

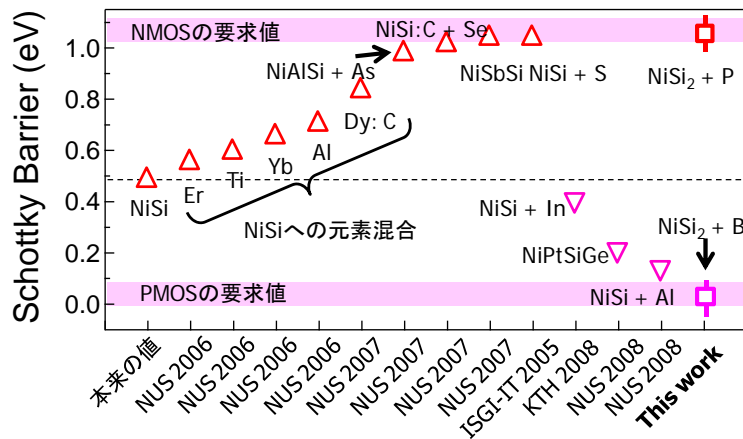


III-2-I-①-(2)-3)-1-図3. 不純物偏析技術におけるアニール温度と実効バリアハイトの関係。シリサイドはNiSi₂を使用。PFETはリンを偏析元素として使用。左端の青色のデータは偏析を行っていないNiSi₂/Siダイオードで求めたNiSi₂固有のショットキーバリアハイト。

従来のCMOS製造技術がそのまま踏襲できることを意味し、実用的な価値が非常に高い。

トランジスタ性能を高度化するためには、実効ショットキーバリアをSiのバンドエッジに近づける必要がある。我々は従来の偏析技術の問題点が、偏析原子のうちのごく一部しか活性化していない点にあることに着目した。活性化率が低いために、実際の実効バリア変化量が小さくなっているのである。この問題を手段として高温アニールの効果を調べた結果がIII-2-I-(2)-3-1-図3である。500°Cアニールの場合にもそれなりの実効バリア変化が現れているが、点線で示すSiのバンドエッジにさらに近づけるためには、700°C以上の高温アニールが有効であることが分かる。従来のNiSi結晶ではこのような高温プロセスを採用することができないために、大きな実効バリア高さ変化が困難であった。熱耐性に優れたNiSi₂結晶を採用したことで、大きな実効バリア高さの変化を達成するためのプロセス指針を見出すことができた。

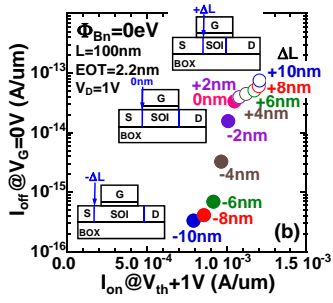
バリア高さ調節技術のベンチマークをIII-2-I-(2)-3-1-図4に示す。この研究を盛んに行っているシンガポール大学のデータが中心であるが、金属の混合や新規な偏析元素の探索などが行われている。我々は複雑化する材料探索と一線を画して、従来技術の中から性能向上指針を探り出し、要求値を達成した。



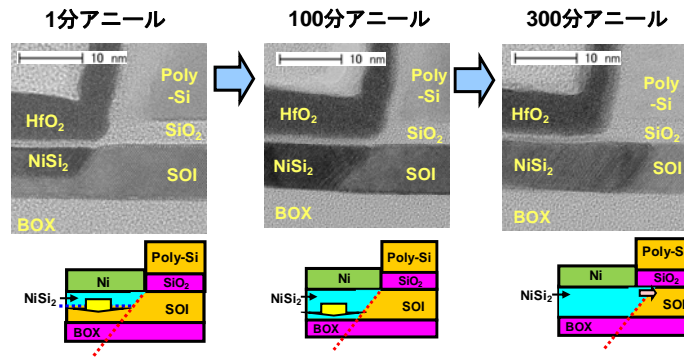
III-2-I-①-(2)-3-1-図4. バリア高さ調節技術のベンチマーク。NiSi 結晶相への様々な金属の混合や、新規な偏析元素を使用する方法が試行されている。本研究では従来技術の活性化率の低さに着目し、これを向上する方法で要求値を達成した。

2. NiSi₂エピタキシャルメタルソース・ドレインにおける接合位置調整技術

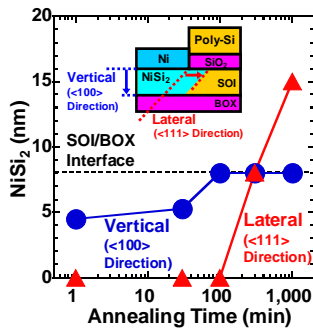
メタル S/D MOSFETs において接合位置は、 I_{on} - I_{off} 特性に影響を及ぼすので (III-2-I-(2)-3-2-図1)、接合位置制御は重要な技術課題である。メタル S/D には Si との格子ミスマッチが極めて小さいエピタキシャル NiSi₂ を用い、NiSi₂ の固相成長時間による接合位置制御を行った。極薄 SOI 中のエピタキシャル NiSi₂ の成長は、アニール時間とともに <100> 方向、そして、<111> 方向と段階的に進行する (III-2-I-(2)-3-2-図2, 図3)。横方向への成長は、(111)面を維持しながら進む。このように極薄 SOI 中でエピタキシャル NiSi₂ を原子層レベルで縦横方向へ位置制御が可能であることが分かった。またメタルシリサイドへの偏析量、ショットキバリア高さとショットキ寄生抵抗の関係を調べた。この結果、ショットキ寄生抵抗はショットキバリアの低減とともに小さくなり、ショットキバリアの削減がトランジスタ全体の寄生抵抗の削減につながるということが分かった (III-2-I-(2)-3-2-図4~図5)。



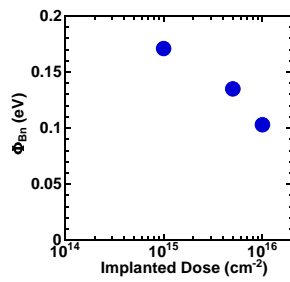
III-2-I-①-(2)-3)-2-図1 メタル S/D 位置が MOSFETs の I_{on} - I_{off} 特性に及ぼす影響(シミュレーション)。



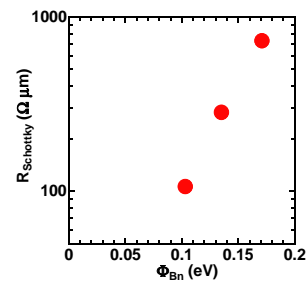
III-2-I-①-(2)-3)-2-図2 シリサイドアニール時間に対する SOI 中の NiSi₂ の進行過程 の断面 TEM 像。



III-2-I-①-(2)-3)-2-図3 アニール時間に対する接合位置の変化。



III-2-I-①-(2)-3)-2-図4 Φ_{Bn} のとイオン注入ドーズ量の関係



III-2-I-①-(2)-3)-2-図5 NiSi₂ S/D での ショットキー抵抗と Φ_{Bn} の関係。

(3) 微細な低消費電力・高電流駆動力トランジスタによる実証

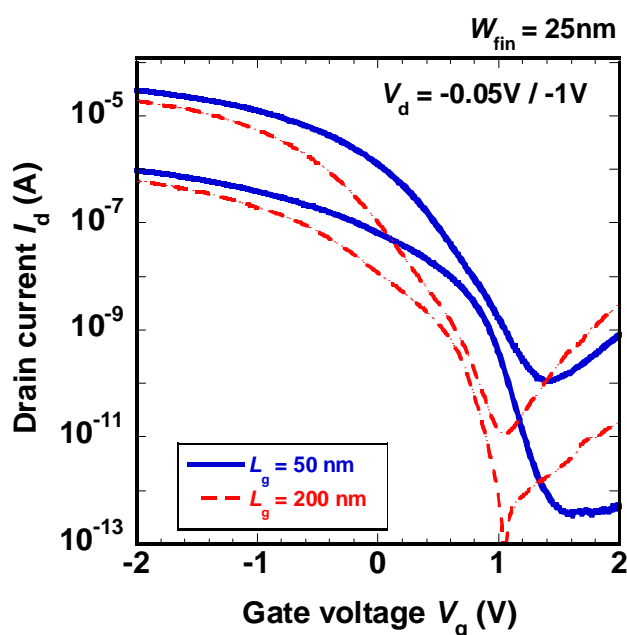
1) 超低消費電力トランジスタの作製と低消費電力・高電流駆動力性能実証

1. 立体ひずみSiGe-pMOSFETにおける電流駆動力の増大

本章では III-2-I-①-(1)-1-2 節にて示したひずみ SGOI チャネル Tri-gate MOSFET を SOI チャネル Tri-gate MOSFET と比較することで、ゲート長 50nm という微細ゲート領域における低消費電力性能、高電流駆動力性能の実証を行う。

ひずみ SGOI チャネル tri-gate MOSFET は III-2-I-①-(1)-1-2 節に示す形成プロセスによって作製した。リファレンスとなる SOI チャネル Tri-gate MOSFET については、SiGe チャネルと同様な形成プロセスで作製したが、ゲート絶縁膜は熱酸化膜(6nm)のみで形成した。さらに S/D 部の寄生抵抗を下げるために NiSi/Si 界面 B を偏析させた偏析 Schottky 構造を適用し、NiSiGe/SiGe よりも SBH が高いことに起因する寄生抵抗のデメリットを除去している。

作製したひずみ SGOI チャネル tri-gate MOSFET は、NiSiGe メタル S/D 構造を採用する事により、イオン注入レスでゲート長 100nm 以下の短チャネルデバイスの動作を実現している。III-2-I-①-(3)-1-2-図1にフィン幅 25nm におけるゲート長 50nm と 200nm のデバイスの I_d - V_g カーブの比較を示す。高濃度 SiGe チャネルであるにもかかわらず、ゲート長 50nm、フィン幅 25nm において I_{on}/I_{off} 比 105 以上、 s 値 127 mV/dec., DIBL 136mV/V を達成している。ゲート長 200nm のデバイスの DIBL は 105mV/V であり、ゲート長縮小による DIBL の劣化は 31mV/V であった。ほぼ同程度のゲート長を実現している Bulk planar Ge MOSFET の報告例では 90mV/V 以上の DIBL の劣化が確認されており[III-2-I-①-(3)-1-2-文献2]、Tri-gate 構造によって効果的に短チャネル効果耐性が改善されているのが確認できた。(表 III-2-I-①(3)-1-2-1)



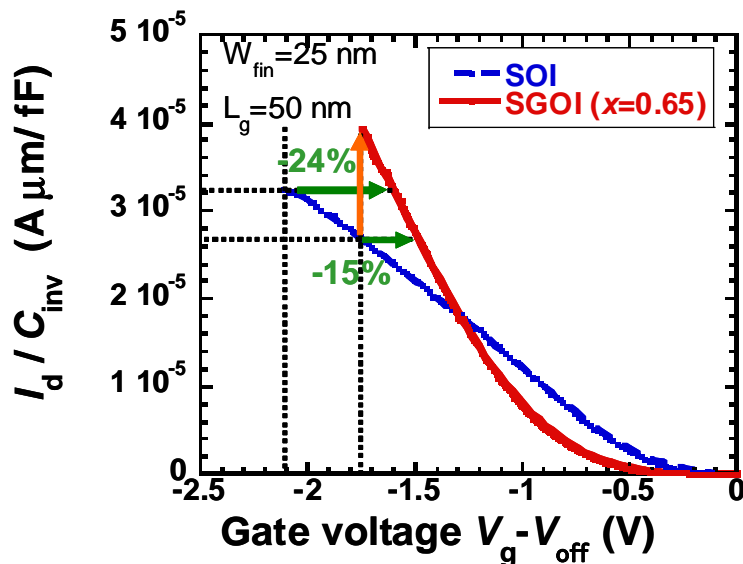
III-2-I-①-(3)-1-2-図1. ひずみ SGOI tri-gate MOSFET の I_d - V_g 特性

表 III2I①(3)1)2-1. 歪み SGOI tri-gate MOSFET と Bulk planar Ge MOSFET の短チャネル効果耐性の比較

	L_g min. (nm)	DIBL @ $L_g=200$ nm (mV/V)	DIBL @ L_g min. (mV/V)
MIRAI Tri-gate ^[1]	50	105	136
IMEC Planar ^[2]	65	100	190

III-2-I-①(3)-1)-2-図2にゲート長 50nm の素子のゲート容量で規格化した駆動電流を SOI チャネル Tri-gate MOSFET と比較した結果を示す。ここで、ゲート電圧はオフ電流を与えるゲート電圧を 0 としている。駆動電流はゲート電圧 $V_g - V_{off} = -1.75$ V (キャリア密度: $N_s = 7.2 \times 10^{12} \text{cm}^{-2}$) において約 45% 向上している。一方、同じオン電流を与える電圧を比較すると、歪み SGOI チャネル Tri-gate MOSFET は SOI チャネル Tri-gate MOSFET に対して 15% のゲート電圧低減を可能としている。これは、消費電力に換算して約 28% の削減に相当する。ゲート電圧を若干増やし、 $V_g - V_{off} = -2.1$ V (キャリア密度: $N_s = 8.7 \times 10^{12} \text{cm}^{-2}$) で比較すると、24% のゲート電圧低減、および 42% の消費電力低減となる。

以上の結果は、ゲート長 50nm 以下の微細ゲート領域においても 1 軸圧縮応力をもつ高 Ge 濃度歪み SGOI チャネルの高移動度特性により、電流駆動力の優位性が維持できており、40% 以上の動作時消費電力低減も可能であることを示すものである。これらの値は UCMOS の数値目標である、15% の電流駆動力増大と、20% の消費電力低減をクリアするものである。なお、ゲート電圧 1.3V 以下で電流値の逆転が



III-2-I-①(3)-1)-2-図3. 歪み SGOI チャネル Tri-gate MOSFET と SOI チャネル Tri-gate MOSFET の電流駆動力比較

生じているが、これは SiGe チャンネルとゲート絶縁膜界面の界面準位密度が高いことにより、正孔の低電界領域での移動度が Si をも下回っていること、および、S 値の悪化によるオフ特性の劣化の影響である。界面準位の低減が達成できればこの電流駆動力の逆転は生じず、より低電圧側でも電流駆動力メリットが発生することが予想される。

参考文献

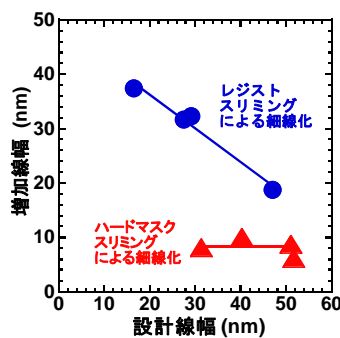
[III-2-I-①-(3)-1)-2-文献1] K. Ikeda et al.: APEX 3 (2010) 124201.

[III-2-I-①-(3)-1)-2-文献2] J. Mitard et al.: IEDM 2008 p.873.

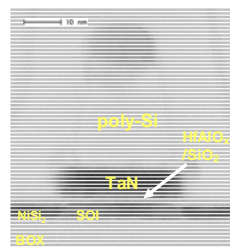
3. 微細な低消費電力・高電流駆動力トランジスタによる実証-Siチャンネル上の高駆動力ゲートスタック及び原子層制御メタルソースドレイン技術の有効性実証のための微細MOSFET試作-

III-2-I-①-(2)-2)-3 で報告した極薄高駆動力ゲートスタック技術の開発、及び III-2-I-①-(2)-3)-1 ~2 で報告した原子層制御メタルソースドレイン技術の微細 CMOS トランジスタへの適用を検討するため、Full-depleted 型の SOI (FD-SOI 型) MOSFET の試作プロセスを開発した。

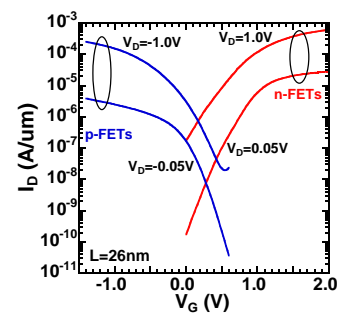
ゲート電極には、Si based ゲートとゲート絶縁膜の間に仕事関数調整用メタルを挿入した metal inserted poly-Si stack (MIPS) を用いた。ゲート電極加工に当たっては、バリスティック CMOS 基盤技術(産総研) および、新材料バリスティック CMOS 基盤技術(東芝)が一体となり産総研 SCR 棟研究 CR で細線化プロセスを開発した。III - 2 - I - ① - (3) - 1) - 3 - 図 1 にゲート加工前後の線幅変化と設計値の関係を示す。従来のレジストスリミング法では、設計線幅小さくなると加工後の線幅が大幅に増加する。一方、SiO₂ ハードマスクスリミング法では、設計値に対する加工後の線幅増加を大幅に抑制することができ、設計値依存性があまり見られない。この手法を用い、23 nm までゲート加工形状を細線化することができた。さらに、ゲート長 26nm の n- & p- MOSFETs を試作し、動作実証した(III - 2 - I - ① - (3) - 1) - 3 - 図 3)



III - 2 - I - ① - (3) - 1) - 3 - 図 1 増加線幅と設計線幅の関係。



III - 2 - I - ① - (3) - 1) - 3 - 図 2 試作した MOSFETs の断面 TEM 像。ゲート長は 26nm である。



III - 2 - I - ① - (3) - 1) - 3 - 図 3 ゲート長 26nm のエピタキシャル NiSi₂ S/D 極薄 SOI MOSFETs における Id-V_g 特性。

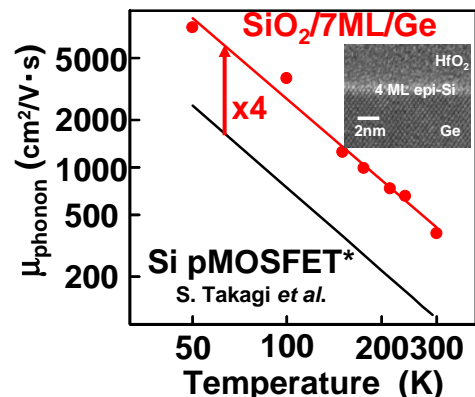
(4) 計測・モデリング技術の開発

1) バリスティック効率向上技術関連の計測技術開発。

1. バリスティック効率向上技術関連の計測技術開発

i) Ge pMOSFETの移動度向上指針の提案

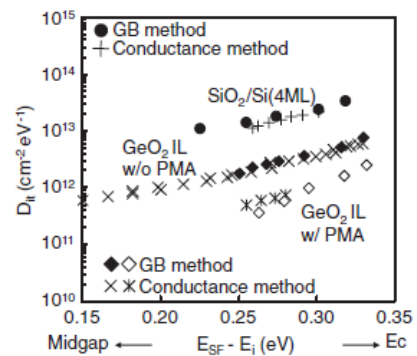
移動度評価技術に関連しては、新材料・新構造チャネルバリスティック CMOS 技術でも扱っている Ge チャネルに着目し、Ge pMOSFETs の移動度解析を行った。Ge channel 上に Si 原子層をエピタキシャル成長させることにより、Ge p チャネルの反転層移動度が向上することを見出すとともに (III-2-I-(4)-1)- 図 1)、Ge よりバンドギャップが大きい Si 層の存在により、チャネルは絶縁膜/Si 界面ではなく、Si/Ge 界面に形成されることがデバイスシミュレーションにより確認できた。また、Si 膜厚分だけ反転層キャリアは界面電荷から遠ざけられ、クーロン散乱が抑制されること、さらに、絶縁膜/Si 界面ラフネスの移動度への影響も低減されることが、正孔移動度を大きく向上させる物理的な原因であることを明らかにした。



III - 2 - I - - (4) - 1)- 図 1 TaN/HfO₂/SiO₂/Si(7ML)/Ge と SiO₂ をゲート絶縁膜とする Si pMOS の phonon-limited mobility.

ii) Ge チャネル界面の界面準位密度評価

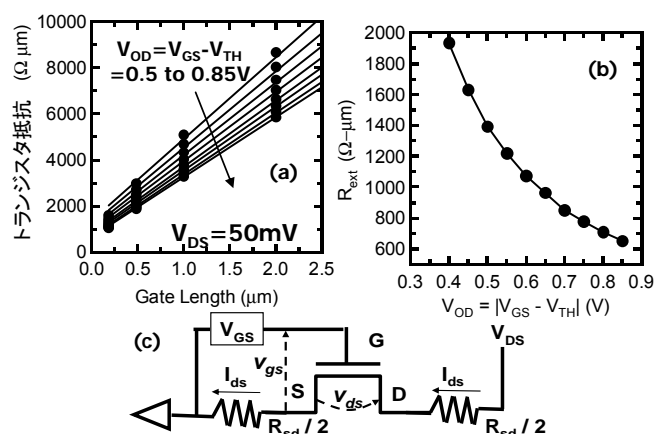
高移動度 Ge チャネル nMOSFET 界面の電気的特性評価を実施した。Ge/絶縁膜の界面特性評価については、Si 界面層を有するキャパシタの伝導帯端近傍には 10¹⁴eV⁻¹cm⁻² 程度の界面準位が存在する一方、GeO₂ 界面層を有するキャパシタでは、1 桁程度、界面準位密度が低いことが明らかとなった。また GeO₂ 界面層の場合、ゲート電極形成後の高温熱処理によって、界面準位密度を低減できることが明らかとなった。これらのことから、GeO₂ 界面層の導入が Ge n チャネル MOSFET の性能向上に対して有効であることを明らかにした(III-2-I-(4)-1)- 図 2)。



III - 2 - I - - (4) - 1)- 図 2 TaN/HfO₂/SiO₂/Si(7ML)/Ge と SiO₂/Ge 界面の界面準位密度のエネルギー分布

iii) 微細トランジスタの寄生抵抗抽出

トランジスタの微細化に伴い、チャネル抵抗が小さくなるため、相対的にトランジスタの寄生抵抗が増大する。従って、微細トランジスタの本質的な ON 電流を精密に測定するためには、寄生抵抗を精度良く抽出することが必要である。我々は、寄生抵抗を求めるために、微小ドレイン電圧を印加した線形領域におけるトランジスタ抵抗をゲート長に対して、ゲートオーバードライブ電圧をパラメータとしてプロットした。III-2-I-(4)-1)- 図 3(a)は、TaN/HfO₂/SiO₂/SOI(10nm)ゲートスタック、NiSi₂ メタルソースドレインの nMOSFET において、トランジスタの抵抗



III - 2 - I - - (4) - 1)- 図 3 TaN/HfO₂/SiO₂/SOI(10nm)ゲートスタック、NiSi₂ メタルソースドレイントランジスタの寄生抵抗

$=V_{DS}/I_D$ (ドレイン電圧/ドレイン電流)をゲート長に対してプロットした図である。ゲート長はデバイス試作時に測長 SEM にて予め測定し、代表的なデバイスで断面 TEM により確認した。また、その際メタルソースドレイン位置はゲートエッジにあることを確認した。従って、ゲート長=0nm の切片が寄生抵抗となる(III-2-I-(4)-1)- 図 3(b))。III-2-I-(4)-1)- 図 3(b)に示されるように、寄生抵抗にはゲート電圧依存性があり、これは、ゲート電圧印加によるソース/チャンネル及び、チャンネル/ドレインのポテンシャル変化によるショットキー抵抗の変化が含まれているものと考えている。

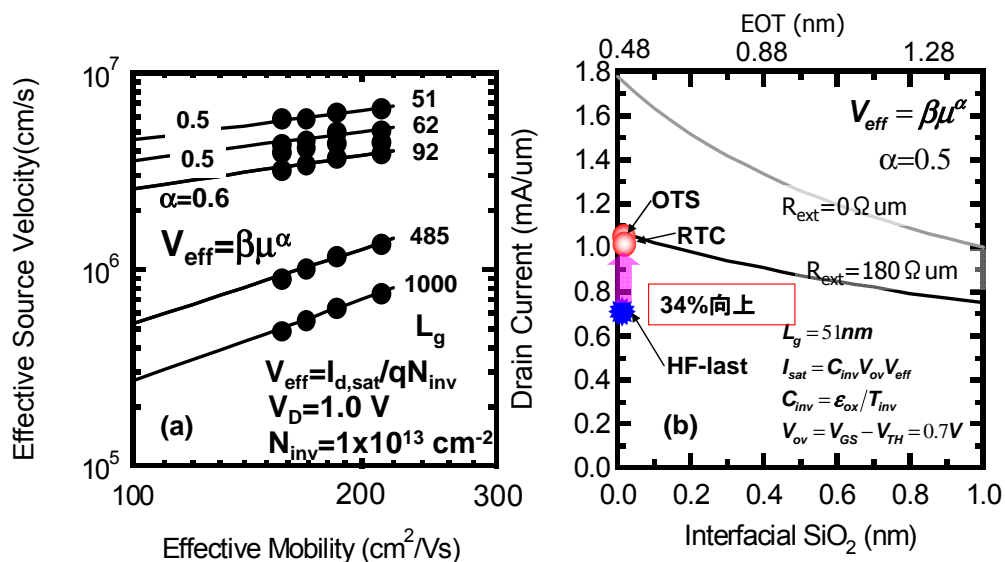
iv) ゲート長の微細化領域での高駆動力検証

III-2-I-(2)-3)-1~2で開発したメタルソース・ドレイン技術とIII-2-I-(2)-3で高駆動力ゲートスタックの微細化領域での駆動力向上を検証するため、III-2-I-(3)-1)-3で開発したFD-SOI型のMOSFETを試作し、ソース端注入速度やバリスティックレートの抽出を行った。

III-2-I-(2)-2)-3-図6に示したように、 $HfO_2/SiO_2/Si$ チャンネルでは HfO_2 絶縁膜からの本質的な散乱により、電子が散乱を受け、 SiO_2 の膜厚減少とともに移動度が減少する。そこで、III-2-I-(2)-2)-3-図6に示したような、若干の移動度劣化が観察される状況においても、ゲート絶縁膜のEOTスケールリングによる駆動電流向上のメリットが得られるか否かを検証した。

まず、 SiO_2 界面を有する HfO_2 ゲートスタックでは、界面 SiO_2 層の薄膜化とともに、 HfO_2 絶縁膜からの散乱強度が増加するため、移動度が劣化し、その界面層膜厚依存性はIII-2-I-(2)-2)-3-図6の実線に示すように、 $\mu_{eff}^{-1} = \mu_0^{-1} \exp[-K_F T_{IL}] + \mu_{Si}^{-1}$ で表され、今回開発した、直接接合型 HfO_2/Si の移動度がこの関係式の $T_{IL}=0nm$ の外挿上に一致することを明らかにした(III-2-I-(2)-2)-3-図6)。このことは、III-2-I-(2)-3で報告した高駆動力ゲートスタックの移動度劣化は、 HfO_2 からのリモート散乱が主要因で、 HfO_2/Si 界面においては良好な界面が出来ていることを示している。そこで、この移動度劣化がゲート長の微細化とともに駆動電流にどのような影響があるかを検討した。

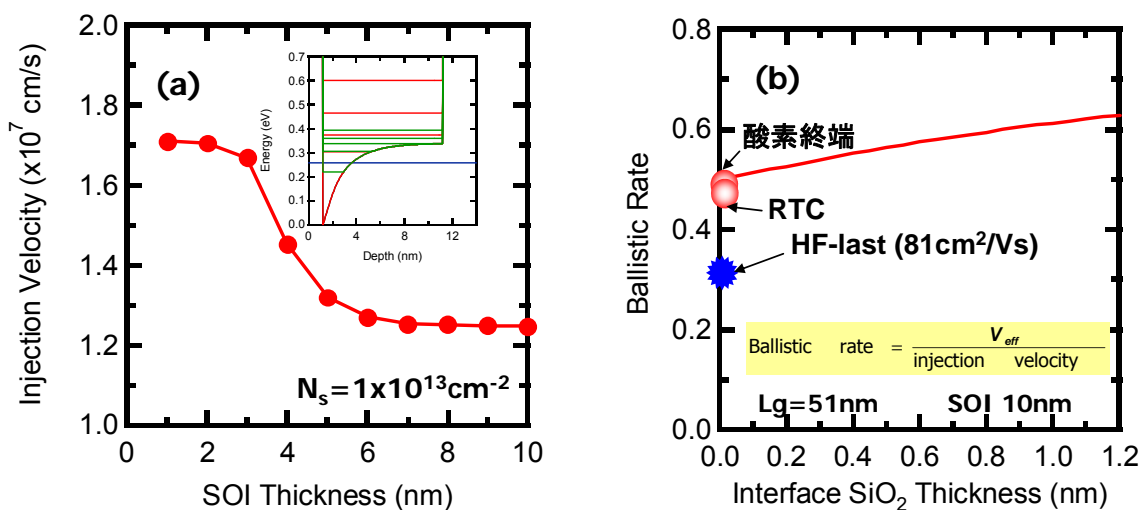
III-2-I-(4)-1)- 図 4(a) は、MIRAI-UCMOSで試作したFD-SOI型のトランジスタから抽出した、ゲート長をパラメータとする、ソース端での実効キャリア注入速度と実効移動度の関係である。測



III-2-I-(4)-1)- 図 4 (a) poly-Si / TaN / $HfO_2/SiO_2/SOI$ nMOSFET における移動度とソース端実効速度との関係。(b) オーバードライブ電圧一定の基で計算した、界面層の薄膜化によるドレイン電流向上。今回 MIRAI-UCMOS で開発した、直接接合型 HfO_2/Si ゲートスタックは、従来法(HF-last 上の HfO_2/Si ゲートスタック)に比べても十分に高い移動度が実現できており、寄生抵抗を考慮したとしても、34%のドレイン電流の向上が達成できることが分かった。

定に用いたデバイスはTaNをゲート電極とし、 $\text{HfO}_2/\text{SiO}_2$ をゲート絶縁膜とするデバイスである。実効キャリア速度 V_{eff} は $V_{\text{eff}} = I_D / qN_{\text{inv}}$ により求めた。ここで I_D , N_{inv} はドレイン電流、反転層キャリア密度、 q は電荷素量である。一定の反転層キャリア密度の条件で移動度を系統的に変化させるために、SOIの支持基板側からバックゲートを印加した (nMOSFETの場合は負側のバイアス)。これにより、チャンネル内の散乱強度が増加し、移動度がキャリア濃度と独立に変化する。本解析から、III-2-I-(4)-1)- 図4(a)に示すように、各ゲート長に対して、 $V_{\text{eff}} = \beta\mu^\alpha$ なるべき乗関係にあり、ゲート長が短くなるにつれて、移動度に対する V_{eff} の感度 α が小さくなることが分かった。これは、ゲート長のスケールアップとともに、デバイスが移動度律則から、飽和速度律則あるいは速度オーバーシュート律則に遷移しているためと考えられる。そこで、 $L_g=51\text{nm}$ デバイスに関して得られた、 α のパラメータをIII-2-I-(2)-2)-3-図6に記した移動度の界面層依存 $\mu_{\text{eff}}^{-1} = \mu_0^{-1} \exp[-K_F T_{\text{IL}}] + \mu_{\text{Si}}^{-1}$ に適用し、ゲートオーバードライブ 0.7V 一定の条件で、EOTのスケールリングによる電流駆動力の変化を評価した。その結果、III-2-I-(4)-1)- 図3 (b)に示すように、従来法である、HF-last上に形成された HfO_2/Si ゲートスタック形成法では、移動度劣化によりEOTスケールリングのメリットが打ち消されてしまう一方、MIRAI-UCMOSで開発した、直接接合型 HfO_2/Si ゲートスタックでは、直接接合型ゲートスタックとしては、極めて移動度が高いため、EOT=0.5nmまでスケールしたとしても、駆動電流の向上が期待できることが分かった(III-2-I-(4)-1)- 図4(b))。従来法であるHF-last法上の HfO_2/Si ゲートスタックに対する電流駆動力の向上は寄生抵抗を考慮したとしても、34%であり(ゲートオーバードライブ 0.7V)、MIRAI-UCMOSの目標である15%以上の電流駆動力の向上を示すことができた。逆に電流駆動力の向上率を15%になるようにゲートオーバードライブ電圧を削減すると、 0.6V まで削減できることになる。従って、閾値電圧を 0.3V と設定すれば、34%向上時の電源電圧 1.0V に対して、 0.9V へ電源電圧を削減できることになり、15%の電流向上に限定すれば、アクティブ動作時の消費電力は 1.0V 動作時の81%となり、ほぼ20%のアクティブ動作時の消費電力の削減が可能と見積もることができた。

また、デバイスのバリスティック効率を求めるために、まず、今回作成したデバイス構造(SOI膜厚 10nm)であるFD-SOIデバイスのソース端実効速度を求めた。Natroriらの報告[III-2-I-(4)-1)-文献1]によれば、SOI基板中のソース端のボトルネック領域のシュレディンガー方程式とポアソン方程式を連立し、各サブバンドの束縛エネルギー、電子密度を精密に計算することで、ソース端注入速度を求めた。一般にSOI層の薄膜化とともに反転層キャリアの量子閉じ込めの効果が強く働き、電子が基底サブバンドの電子状態(第一励起サブバンドより有効質量の軽い状態)を占有することにより、ソース端



III-2-I-(4)-1)- 図5 (a) シュレディンガー方程式とポアソン方程式の self-consistent 法により求めた FD-SOI デバイスの理論的なソース端電子注入速度。(b) (a)及び III-2-I-①-(2)-2)-3-図6 から求めたバリスティックレート。

の注入速度は向上する。

このように理論的に厳密に求めたソース端注入速度に対して、開発した直接接合HfO₂ゲートスタックのバリスティックレートは、約0.5 と見積もられ、HF-last上のSi上へのHfO₂積層ゲートスタックのバリスティックレート0.3に対して、顕著な向上が得られることが分かった。

参考文献

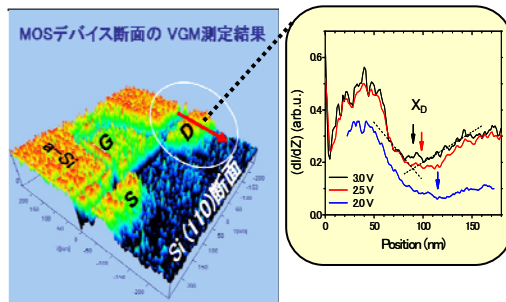
[III-2-I-(4)-1)-文献1] K. Natori *et al.*, Jpn. J. Appl. phys. Vol. 42 (2003) pp.2063-2066.

v) ポテンシャル分布計測技術開発

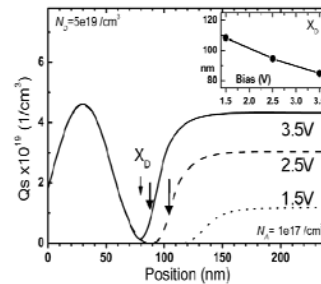
ポテンシャル分布計測技術開発においては、走査型トンネル顕微鏡 (STM) を用いて、Si デバイスのポテンシャル分布を測定し、STM シミュレータによりポテンシャル分布を定量的に解析する技術を開発した。

III-2-I-(4)-1- 図6に真空ギャップ変調 (VGM) 法で、MOS デバイス(110)断面のポテンシャル分布を測定した結果と矢印に沿ったポテンシャルのプロファイルを示す。バイアス電圧を変えると接合の深さが見かけ上変化しているが、このバイアス電圧に対する依存性を、我々が開発した STM シミュレータを用いて解析することにより、接合の深さ及び急峻性を、定量的に評価することができた (III-2-I-(4)-1- 図7)。また、我々は、トンネル電流を計算する時に用いる状態密度を、単なるパラボリックバンドから、第一原理計算を用いて計算した Si 表面の状態密度を用いることにより、シミュレーションの精度が向上できることを示した。

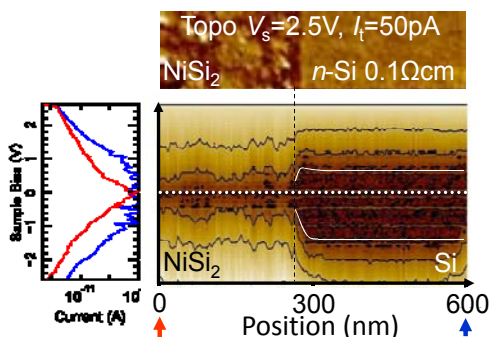
メタルソース・ドレインと Si 界面のポテンシャル計測に関しては、NiSi₂ と Si のライン&スペースパターンに対し、試料表面調製法を開発し、オンセット電圧の値を用いて NiSi₂/Si 界面付近の伝導帯、価電子帯のバンドプロファイルを得ることに成功した (III-2-I-(4)-1- 図8)。さらに、STM シミュレーションを行うことにより、測定されたバンドプロファイルを再現することができた (III-2-I-(4)-1- 図9)。また、オンセット電圧のショットキーバリアの高さ (SBH) に対する依存性を調べたところ、Si のドーパント濃度が高い方が SBH の変化



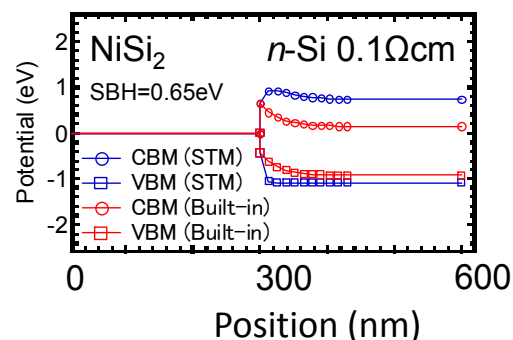
III-2-I-(4)-1- 図6 VGM 法で測定した MOS デバイスの(001)断面のポテンシャル分布及び矢印部のポテンシャル・プロファイルのバイアス電圧依存性。



III-2-I-(4)-1- 図7 STM シミュレータにより計算したポテンシャル・プロファイルのバイアス電圧依存性。接合深さ 100nm、接合の急峻性 25nm/dec とした時、実験データをよく説明できる。



III-2-I-(4)-1- 図8 STM で測定した NiSi₂/Si 界面領域のトポグラフ像 (上) 及び、I/V マップとバンドプロファイル (下)。



III-2-I-(4)-1- 図9 シミュレーションにより計算した NiSi₂/Si 界面付近の STM 探針によるバンドバンドがある場合 (青) とない場合 (赤) のバンドプロファイル。

に対する感度が高く、SBHが0.2Vより高い領域では、SBHの値がオンセット電圧の変化にほぼ比例して変わることわかった。すなわち、STMのIV測定からSBHの値を評価をすることは可能であると言える。

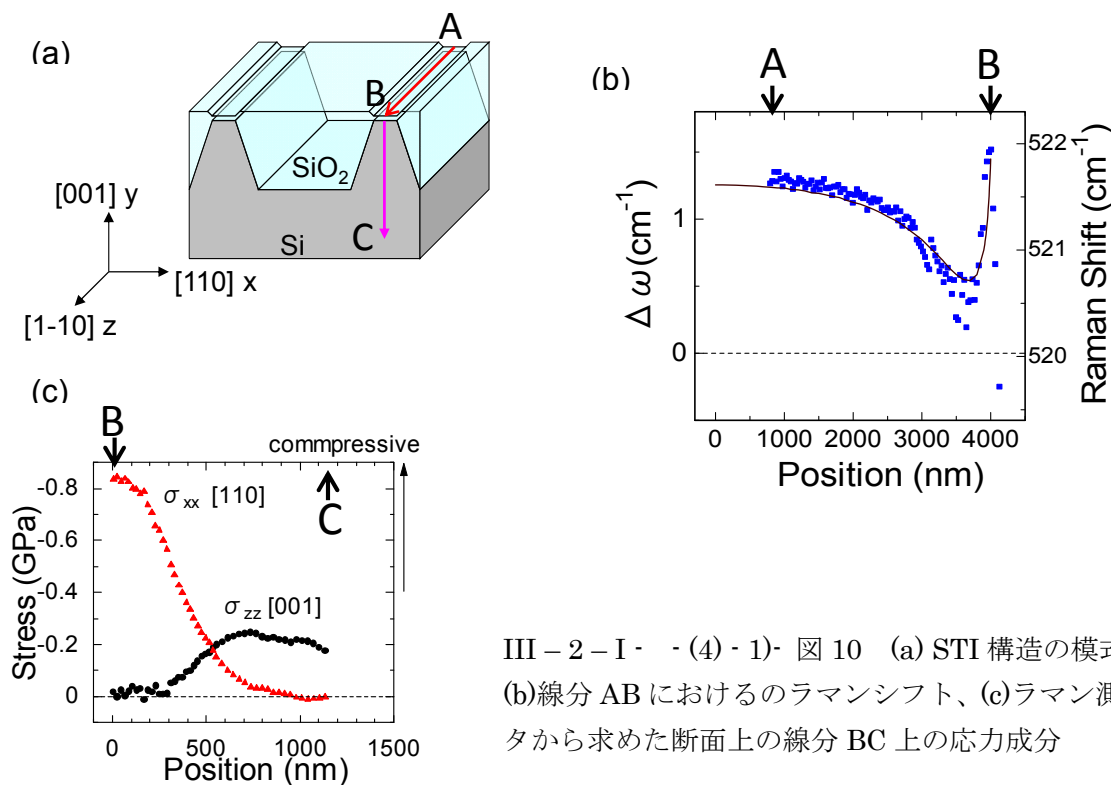
メタルソース・ドレインとSi界面のポテンシャル計測に関しては、NiSi₂とSiのライン&スペースパターンに対し、試料表面調製法を開発し、NiSi₂/Si界面付近の伝導帯、価電子帯のバンドプロファイルを測定することに成功した(III-2-I-(4)-1)図8)。さらに、STMシミュレーションを行うことにより、測定されたバンドプロファイルを再現することができた(III-2-I-(4)-1)図9)。また、STMシミュレーションを行うことにより、0.1eVのポテンシャル計測分解能があることを示した。

vi) ラマン分光法を用いたSiデバイス構造の局所応力分布計測技術開発

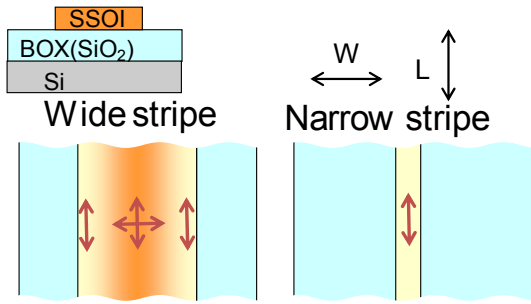
ラマン分光法を用いたSiデバイス構造の局所応力分布計測技術開発においては、高い開口数をもつ液浸レンズを用いて、150nmというほぼ光の回折限界と同じ空間分解能を実現した。また、NiSi/Si及びNiSi₂/Siのライン&スペースパターンの応力測定を行い、NiSiがSiに及ぼす応力の揺らぎは大きく、NiSi₂がSiに及ぼす応力は一様であることを見いだした。

また、我々は、(001)面上にSTI構造を設けたSi基板の(110)断面試料のラマン分光測定を行った。(001)面におけるラマン測定では、断面近傍でラマンシフトの大きな変化が観測された。さらに、(110)断面で、偏光方向を制御してラマン測定を行い、異なるラマン信号成分を分離して検出することにより、応力の方向と大きさを定量的に解析することに成功し、[001]方向の圧縮応力を観測した。これは、有限要素法による応力解析の結果から、断面近傍における応力緩和に起因するものであることを確認した。(III-2-I-(4)-1)図10)。

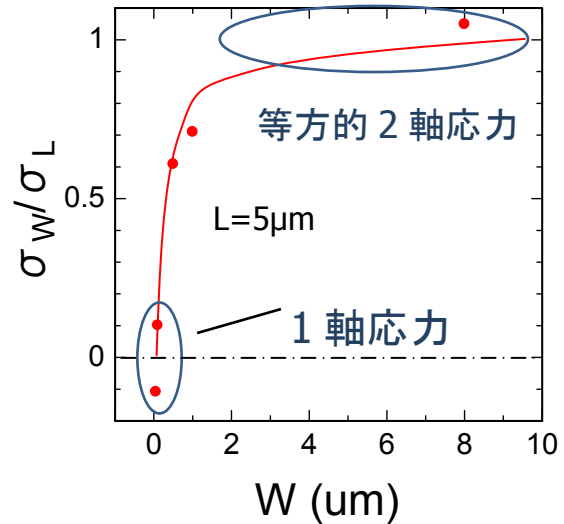
また、高い開口数をもつ対物レンズとラマン禁制偏光光学配置を用いることにより、(001)面上の応力方向を解析する技術を開発した。この技術を用いて、歪みSOI(Strained Si on Insulator:SSOI)基板において、SSOI層をストライプ構造にパターニングすると、幅が1μm以上ある時は、ストライプ中央では、ほぼ等方的2軸性引っ張り応力であったが、エッジ付近では幅方向の応力は緩和しており、長手方向の1軸応力になっ



III-2-I-(4)-1) 図10 (a) STI構造の模式図 (b)線分ABにおけるのラマンシフト、(c)ラマン測定データから求めた断面上の線分BC上の応力成分



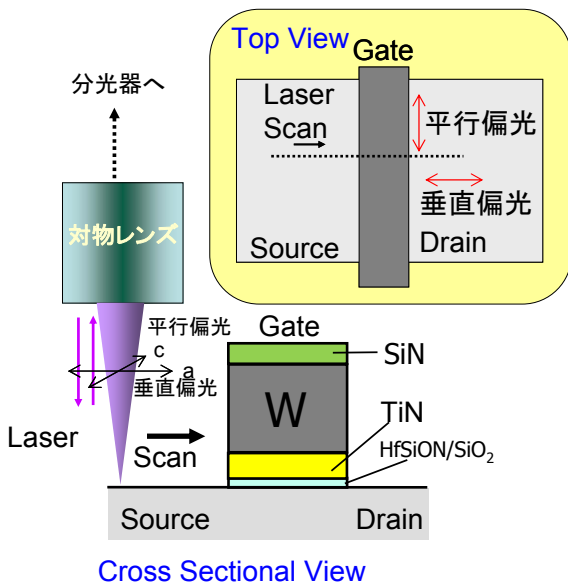
III-2-I-(4)-1- 図11 SSOI層をパターンニングしたときに生じる応力緩和



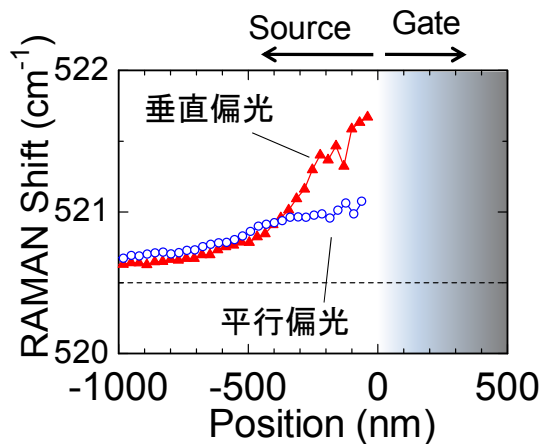
III-2-I-(4)-1- 図12 幅(W)方向の応力と長手(L)方向の応力の比の幅依存性

ていることがわかった(III-2-I-(4)-1- 図11)。さらに、ストライプ幅に対する依存性を測ったところ、幅が100nm以下ではほぼ1軸性引っ張り応力になっていることがわかった(III-2-I-(4)-1- 図12)。

また、我々は、SiN/W/TiN(10nm)/HfSiON/SiO₂のゲートスタックを形成し、タングステン・ゲートがSiに及ぼす応力の評価を行った(III-2-I-(4)-1- 図13)。ゲート長は0.6 μm、Wの厚さは70 nmである。Si基板上をゲートに向かって励起光を走査した時のラマンピーク位置の変化を、プロットしたところ、垂直偏光で測定した時、ゲートに近づくにつれてピーク位置が大きく高波数側にシフトし、Wがゲートエッジ外側のS/D領域に圧縮応力を印加していることを示した。ところが、平行偏光で測定した時は、エッジ近傍でのピーク位置は、ほとんど変化していない。(III-2-I-(4)-1- 図14)。FDTDによる電磁場解析を行ったところ、平行偏光では、励起光の強度がゲートエッジ近傍50 nm以下の領域で、垂直偏光の場合に比べかなり小さく、ラマン信号があまり励起されないことが分かった。従って、この2つの偏光配置の結果の比較により、タン



III-2-I-(4)-1- 図13 タングステン・ゲートスタック構造の模式図



III-2-I-(4)-1- 図14 タングステン・ゲートスタック構造におけるラマンシフトの位置依存性

ゲステン・ゲートの誘起する応力はエッジから 50 nm 以内の距離に局在していることがわかり、回折限界以下の空間分解能で応力分布情報を得ることができていることが分かった。

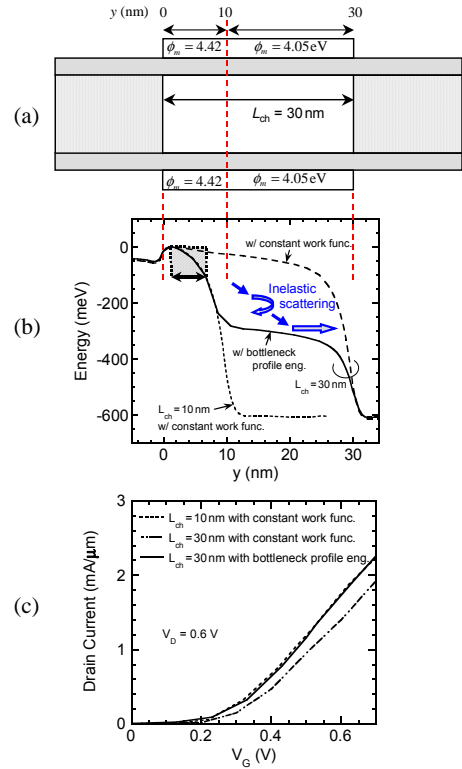
さらに我々は、開発したラマン信号の偏光解析技術をベースに実トランジスタにおける歪みシミュレーションの高精度な校正を行った。校正後にチャンネル部分のラマン信号をシミュレートして実測結果と比較することにより、様々なレイアウトバリエーションにおけるトランジスタのチャンネル領域の応力を高い精度で評価できることを示した。

2) 低消費電力・高電流駆動カトランジスタのモデリング技術開発

量子補正モンテカルロ法を用いたバリスティックCMOSシミュレーション技術を開発し、バリスティック効率を向上させる最適化デバイス構造を設計し提案した。まず、バリスティック効率の向上メカニズムを解明する上で欠かせない弾性散乱と非弾性散乱の役割を解析する手法を開発し、さらに不純物偏析ショットキーソース・ドレインに拡張することで、バリスティックCMOSのモデリング技術を確立した。そして以下の知見を得た。

1. ボトルネック形状エンジニアリングによるバリスティック効率向上

MOSFETのバリスティック効率は、キャリアがチャネル内で散乱されソースに戻される確率、いわゆる後方散乱確率で決定される。この後方散乱は主に、チャネルのソース端に形成されるボトルネック障壁近傍(kTレイヤ)で発生すると考えられている。本研究では、チャネル内の弾性散乱と非弾性散乱の役割を分離して解析できる計算手法を開発し、実際に、ボトルネック障壁を狭くし非弾性散乱を活性化させることで、後方散乱を抑制できることを実証した。これを「ボトルネック形状エンジニアリング」と呼んでいる。III-2-I-(4)-2-1-図1 (a)に2種類の仕事関数を持つダブルゲートMOSFETの提案デバイス構造を、同図(b)にそのポテンシャル分布の計算結果を示す。III-2-I-(4)-2-1-図1 (b)の実線で示すように、ソース近傍のゲート仕事関数を大きくしその領域の長さを最適化することで、チャネル長が30nmのデバイスでも10nmのチャネル長と同じボトルネック形状が実現できることを見出した。このように空間的に狭いボトルネック障壁を形成させることで、大きなエネルギー緩和を伴う非弾性散乱過程が発生しやすくなるため、ソースへの後方散乱が抑制される。III-2-I-(4)-2-1-図1 (c)に $I_D - V_G$ 特性の計算結果を示すが、ゲート長30nmでもボトルネック形状エンジニアリングを施すことで、10nmのゲート長と同等の電流駆動力が期待できる。



III-2-I-(4)-2-1-図1. ボトルネック形状エンジニアリング. (a)2種類の仕事関数を持つダブルゲートMOSFET ($L_{ch}=30$ nm), (b)ポテンシャル分布, (c) $I_D - V_G$ 特性.

2. ショットキー・ソースドレインによるバリスティック効率向上

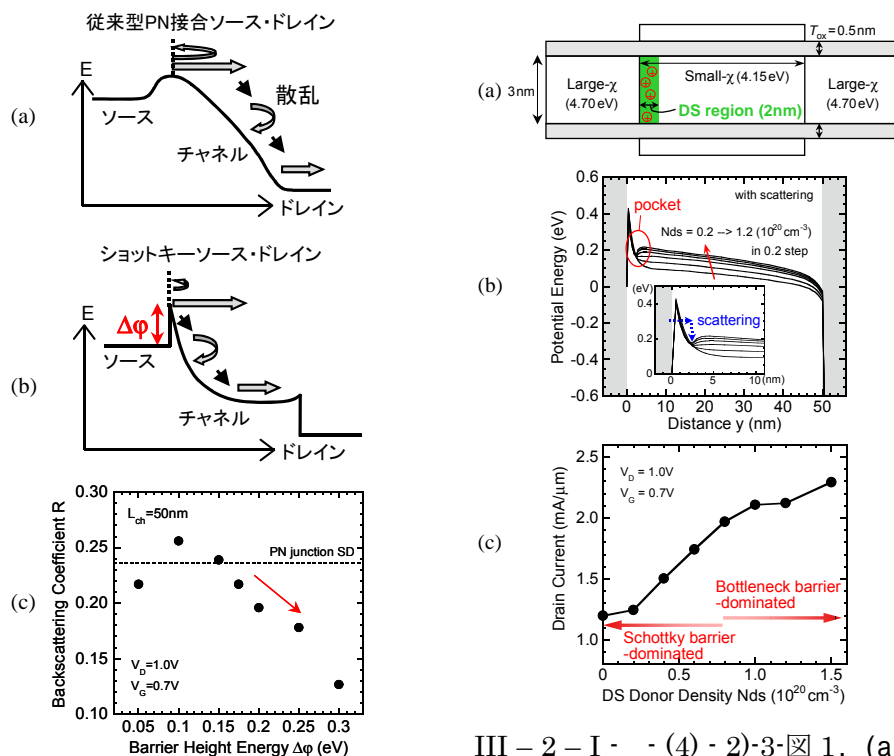
前節III-2-I-(4)-2-1の知見を基にして、ショットキー障壁MOSFETがバリスティック効率向上に有効なデバイス構造であることを提案した。ショットキー障壁MOSFETのポテンシャル分布は、III-2-I-(4)-2-2-1 図(b)に示すように、メタルソース/チャネルシリコン間に形成されるショットキー障壁により、従来型ソース・ドレインに比べて狭いボトルネック幅が実現できる。このためソースへの後方散乱が抑制されバリスティック効率の向上が期待できると考えた。

そこで量子補正モンテカルロ法を用いて後方散乱確率のショットキー障壁高さ依存性を計算した結果をIII-2-I-(4)-2-2-図1 (c)に示す。ショットキー障壁が低いときは従来型ソース・ドレインと同程度の後方散乱確率を示すが、ショットキー障壁の高さが約0.15eV以上になると後方散乱確率が大幅に減少しバリスティック効率の向上が期待できる。後方散乱の抑制に比較的高い障壁が必要となるのは、ボトルネック幅を狭くするにはショットキー界面に大きな接触抵抗が必要であることによる。したがって、後方散乱の抑制と同時に寄生抵抗の増大を引き起こしてしまうため、バリスティック輸送の恩恵を

受けるには、不純物偏析技術等のショットキー障壁高さの制御が不可欠になる。

3. 不純物偏析がショットキー障壁MOSFETの電子輸送に与える影響

前節III-2-I-(4)-2-2 で述べたように、ショットキー障壁MOSFETにおいてバリスティック効率を向上させるには、約0.15eV以上のショットキー障壁高さが必要である。その一方で、寄生抵抗削減のためには、ショットキバリアハイトを低下する必要がある (III-2-I-①-(2)-3)-2節参照)。そこで本研究では、不純物偏析技術によるショットキー障壁高さの変調効果について検討を行なった。具体的にはIII-2-I-(4)-2-3-図1 (a)に示すデバイス構造を用いて、ソース/チャネル界面に配置した偏析不純物が、ソースからの電子注入過程に与える影響について解析した。その結果をIII-2-I-(4)-2-3-図1 (b)及び(c)に示す。まず図III-2-I-(4)-2-3-図1 (c)から分かるように、偏析不純物濃度を大きくすると駆動電流が増大することから、偏析不純物はソース端の実効的なショットキー障壁高さを低下させる技術として有効であることが確認できる。その一方で、偏析不純物濃度が約 $8 \times 10^{19} \text{ cm}^{-3}$ 以上になると、図III-2-I-(4)-2-3-図1 (b)に示すように、ソース端のポテンシャル分布に“ポケット”が出現し、ソースから注入された電子の多くがそのポケットに落ち込むため、チャネル内部へのホットエレクトロン注入が妨げられることを見出した。このためIII-2-I-(4)-2-3-図1 (c)で見られるように、高濃度偏析素子では駆動電流の増大が飽和する。



III-2-I-(4)-2-2-図1. (a)従来型PN接合S/Dおよび(b)ショットキーS/D MOSFETのポテンシャル分布. (c)後方散乱確率のショットキー障壁高さ依存性.

III-2-I-(4)-2-3-図1. (a)不純物偏析MOSFET構造. (b)ポテンシャル分布および(c)駆動電流の偏析濃度依存性.

② 新探究配線技術開発

(1) 極限低抵抗・高電流密度配線技術の開発

0) まえがき

hp32nm 以細の技術領域のシリコンLSIの中・短距離配線技術では、従来の低誘電率層間絶縁膜と銅配線の組み合わせだけでは、信号伝達遅延、信号線信頼性、製造歩留まり等の課題が顕在化すると予測される。従って、hp32nm 以細の高性能・高信頼LSI配線の実現には、従来技術の延長線上にはない、抜本的な解決策としての革新技術の導入が必要である。本プロジェクトでは、中・短距離配線で必要となる革新技術として、新材料を用いることで配線およびビアの導電性、信頼性を向上できる新導電材料配線技術の開発を目指すことを目的とした。

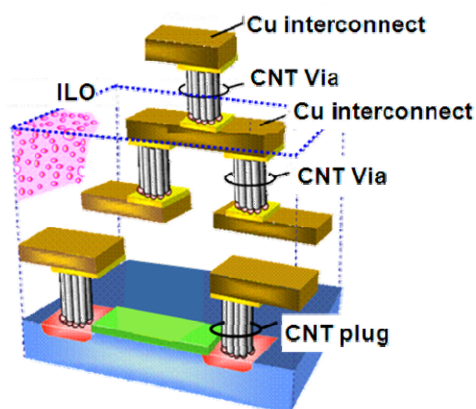
新材料を用いる極限低抵抗配線技術の開発として、従来の銅配線では解決困難と考えられる配線高性能化を実現すべく、高性能ローカル配線を実現できるカーボン配線技術の確立を目指した。微細配線ビアにおいて、従来の配線材料である銅に代えて高電流密度耐性を有し、低抵抗かつ高アスペクト比のカーボンナノチューブ(CNT)を用いたローカル配線構造、プロセスを検討した。そのために、以下の研究開発項目について実施した。

- 1) LSI製造プロセスで許容される温度条件におけるカーボンナノチューブ(CNT)の高密度成長技術の開発
- 2) LSI 製造プロセスで許容される温度条件における CNT の高速成長技術の開発
- 3) hp32nm 以細の 300mm ウェハの配線構造へ適用可能性の提示と当該世代の Cu 配線材料に対する優位性の実証
- 4) カーボン材料を用いた横配線技術の開発

平成22年度末の目標を以下のように設定した。新材料ビアとしてCNT のためのLSI に適用可能な成長・プロセス技術を開発し、hp32nm 以細の技術領域で配線構造に求められる金属層の特性を満たし、Cu 材料に対する優位性を実証することを目指す。これらの目標を達成するため、下記の開発を行う。

- 1) CNT の成長密度 $3E12$ 本/cm² 以上を達成する。
- 2) 基板1枚当たりのCNT ビア・プラグ成長時間5 分以下を達成する。
- 3) hp32nm の技術領域のプラグ構造に求められる直径50nm、高さ200nm において抵抗 14Ω (バリアメタル成分を含んでおりCu では 15Ω と計算される)を実証する。また、ビア構造において電流密度 $1E7A/cm^2$ (ITRS2006 では $8.1E6A/cm^2$ が要求されている)を実現する。
- 4) 横方向配線要素技術のための横方向制御、高密度成長、縦横配線の接合技術を確立する。

なお本研究開発項目については、産業技術政策動向等を勘案して基本計画の見直しを行った結果、当該研究開発は、ほぼ目標を達成したことにより、平成21 年度をもって終了した。



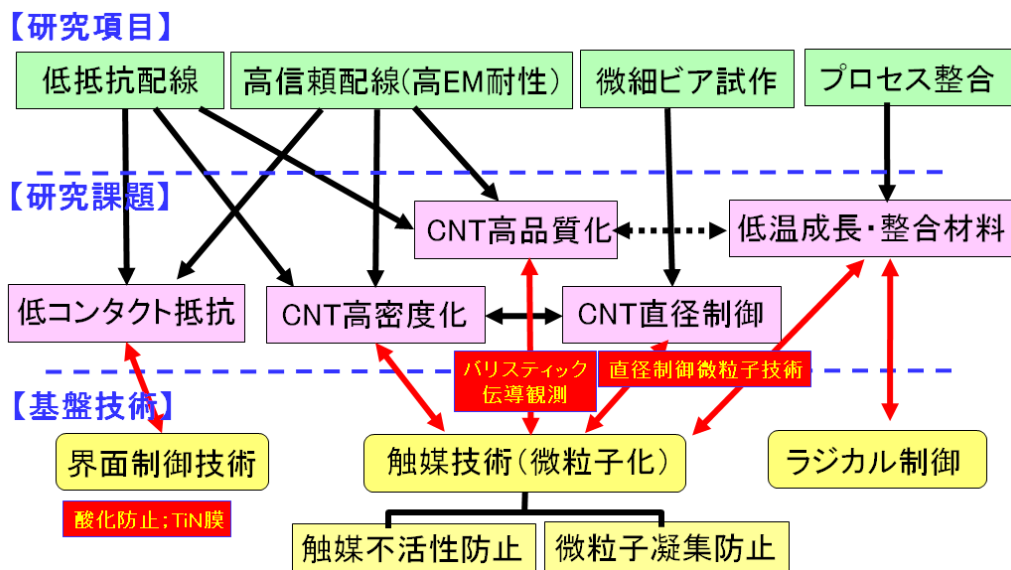
III-2- I -②-(1)-図1 多層カーボンナノチューブの束を用いたLSI配線ビアの概念図

この課題に取り組むにあたり、Ⅲ-2-I-②-(1)-図2に示すように、研究項目に関する課題分析を行い、課題解決のためのアプローチと基盤技術構築の戦略を立てた。

まず基本の方針として、本研究が目指すところは、従来のSi LSIプロセスに新材料を導入することから、常に従来プロセスとの整合性を重視することとした。例えばプロセス温度は400℃程度を目指し、カーボンナノチューブ以外の材料は、できる限り持ち込まない(特にSi LSIで使われたことのないリスクの高い材料)こととした。具体的には、カーボンナノチューブのCVD合成に必要となる触媒金属として遷移金属を用いることになるが、その材料も、Si LSIプロセスで馴染みの深い材料を選択した。そうすることで「新材料・新技術導入」に伴うリスクを減らし、新技術の導入障壁を下げることを重視した。

課題分析から、CNTの低抵抗化と高マイグレーション(EM)耐性化は、共にCNTの高密度化と高品質化が重要であることが分かった。また高密度化は、直径制御と強く関係し、高品質化は、合成温度の低温化とは背反する課題であることが分かった。高密度化と高品質化において、CNT成長に用いる触媒技術がキーとなる技術であることを明らかにした。従って、いかに高密度触媒金属ナノ微粒子を作製し、CNT合成のため、その活性とサイズを維持できるかが、最重要テーマと設定した。また高品質化にはダメージ回避が重要であり、原料からイオン成分を極力減らすことがプラズマCVD成長では重要であると言える。またCNTの低抵抗化には、高品質化だけではなく、コンタクトの低抵抗化も同様に重要であり、そのためCNT表面・界面制御技術が重要である。このことは特に表面が大きい割合をしめるナノ材料特有のものと言える。こうした戦略の中で、CNTの合成技術とプロセスインテグレーション技術を開発した。またビア作製においては、安定的に供給可能なサイズでの電気的評価を中心に行った。さらにプロジェクト終了時の技術移転を想定し、参加企業と共同研究(NDA)契約を結ぶことで、企業の基板上でのCNT合成実験を積極的に行った。

以下に、各々のテーマの主要な成果について述べる。



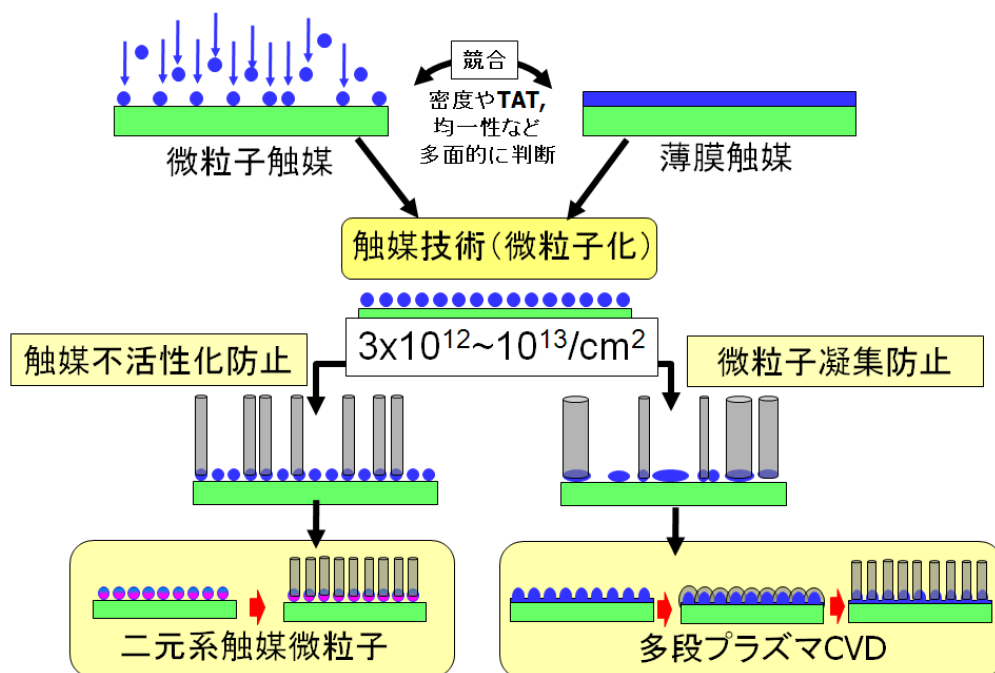
Ⅲ-2-I-②-(1)-図2 カーボン配線研究の研究項目の研究課題へのブレイクダウンとその解決に向けた戦略(開発基盤技術)の選択(赤は前期までに達成)

1) LSI製造プロセスで許容される温度条件におけるカーボンナノチューブの高密度成長技術の開発

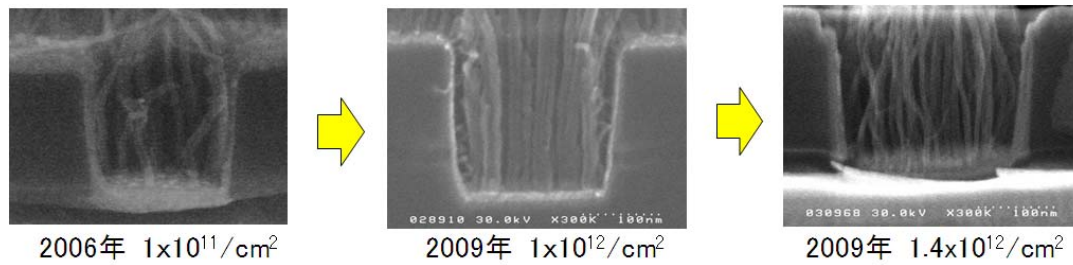
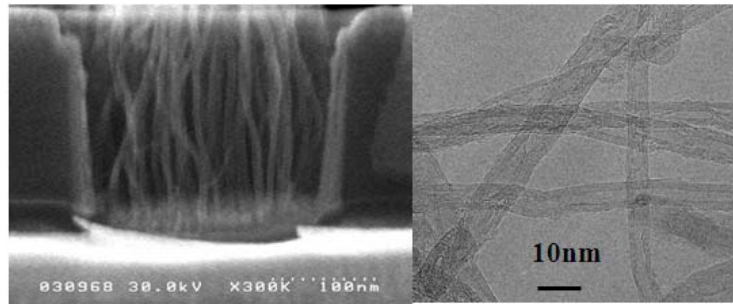
① 熱 CVD による低温高密度成長と触媒最適化

CNT の低温での高密度成長は、Si LSI プロセスとの整合性を保ち、カーボン配線の高性能を実現するため、最重要技術である。CNT 配線の高マイグレーション耐性も、低電気抵抗も、ともの電流パスの数(すなわち CNT 本数)が多いこと、すなわち CNT が高密度であることが最も効果的である。高密度化を実現するには、まず CNT の直径が制御できなければならない。そこで我々は(分子動力学による理論予測のもと)触媒金属のサイズ制御技術でこの実現を目指した。具体的には、触媒金属の微粒子化におけるサイズ制御と高密度化を図った。我々は、前期に触媒金属ナノ微粒子の直径制御・高密度供給装置(DMA 装置とインパクト装置)を設計・開発した。一方、従来の Si プロセスとの整合性を考え、微粒子を基板上薄膜からプロセスによって作製する技術も並行開発した。これらの技術開発から、さらに CNT 成長中(前)に微粒化した触媒の凝集を防ぐこと、触媒の働きが失われないようにその活性を維持すること、触媒とその下地膜を最適化すること、などがより基礎的な課題として重要であることを見出した(III-2- I -②-(1)-図 3)。

そこで本プロジェクトではいくつかの新しい技術を開発した。まず触媒微粒子として、新たな組み合わせの二元系触媒微粒子を開発し、これを用いることで CNT の高密度化と高品質化を同時に達成することに成功した。二元系微粒子触媒は上述のインパクト装置で作製した。二元系を用いる理由は、触媒不活性化防止と微粒子凝集防止の両方に関係している。ビア構造(直径 160nm)で、この二元系触媒と、ビア底の下地膜厚、表面処理技術の最適化によって、高品質で $1E12/cm^2$ の高密度な CNT 成長に成功した(III-2- I -②-(1)-図 4)。同技術を基板全面に適用した場合には、さらに高い $1.4E12/cm^2$ を得た。なお基板全面成長では、後述する多段プラズマ CVD によって約 $2E12/cm^2$ のさらに高い密度を得ている。これらの成長は $450^{\circ}C$ で行った。成長温度に関しては、すでに前期に Si LSI と整合する $400^{\circ}C$ での成長を確認している。本プロジェクト期間中には、熱 CVD で $365^{\circ}C$ まで、プラズマ CVD では再委託先において $350^{\circ}C$ までの低温成長を確認できた。



III-2- I -②-(1)-図 3 CNT 高密度化達成のための技術戦略

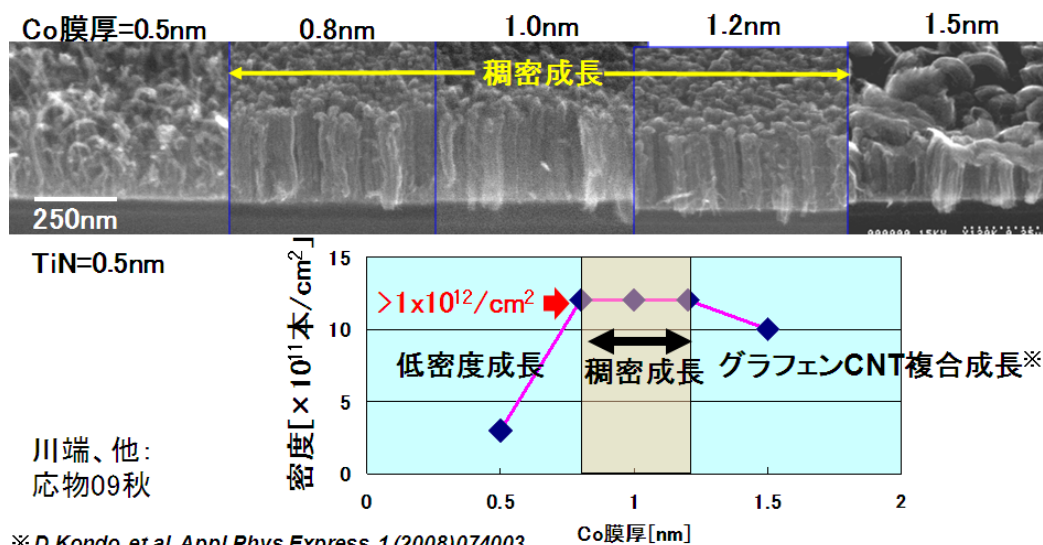


III-2- I -②-(1)-図 4 二元系触媒微粒子によるビア内 CNT 高密度成長 (プロジェクト開始時との比較)

②下地膜の最適化による高密度化

上述したように、薄膜触媒からの CNT 高密度成長を検討した。ここでは熱 CVD 成長の結果を示す。Co 触媒の膜厚は1nm である。ここで触媒薄膜の下地膜である TiN の膜厚を 0.5nm と薄層化することによって、CNT 密度が $1E12/cm^2$ 以上の高密度に達することが分かった。この CNT の特徴として、空間占有率が約 80%と極めて高いことから(III-2- I -②-(1)-図 5)、このモードを『稠密成長モード』と名付けた。成長温度は 450°Cである。稠密成長モードでは、ある範囲の触媒膜厚で高密度成長ができる。またさらに触媒膜厚を増やすと多層グラフェンの成長が可能であることも確認した(すなわち触媒膜厚制御によって、CNT からグラフェンまで一括制御成長可能)(III-2- I -②-(1)-図 5)。

さらに下地膜構造として、TiN、TaN の二層構造にすることによって、CNT の成長率を向上できることを見出した。その結果、 $1E11/cm^2$ 台後半の CNT 密度は再現性良く得られるようになった。また下地膜 TaN を窒素の多い層と窒素の少ない層の二層構造にすると、成長率が向上することも見出した。これらの膜構造でも CNT 密度 $1E12/cm^2$ 台を再現性よく作製できた。

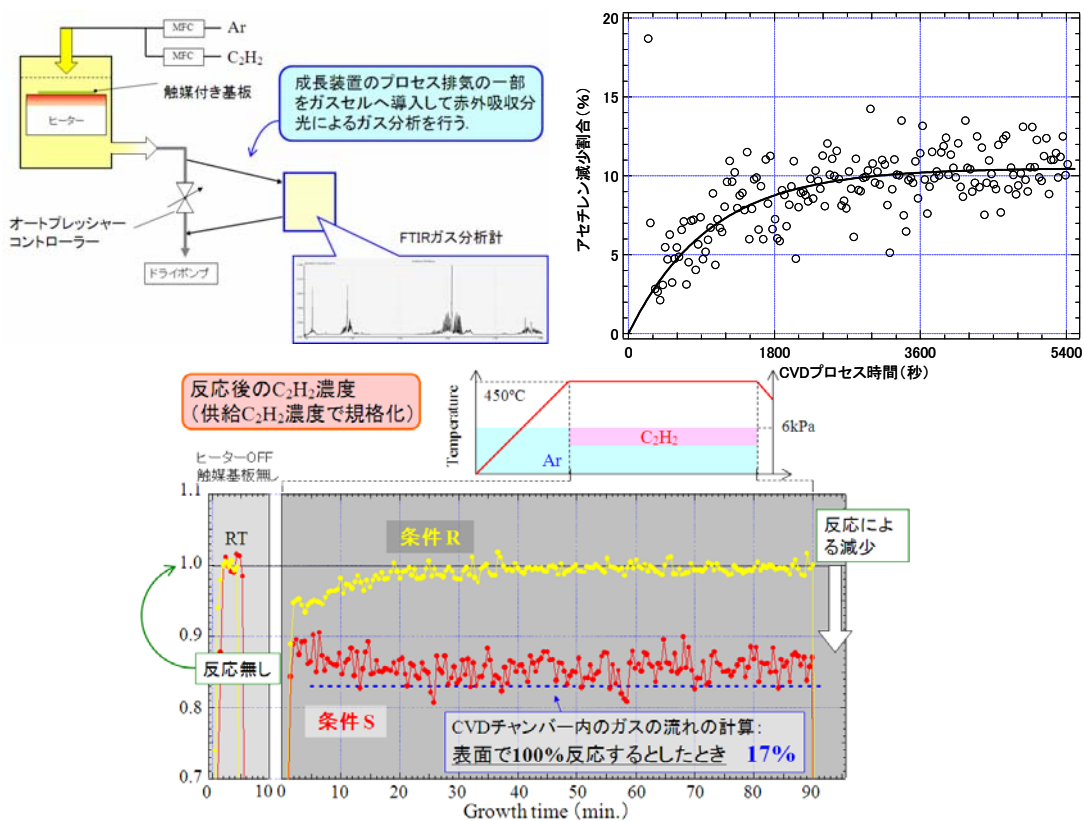


※ D.Kondo, et.al. Appl.Phys.Express. 1 (2008)074003

III-2- I -②-(1)-図 5 CNT からグラフェンまでの触媒金属膜厚依存成長

③In-situ 原料ガス分析による CVD 中の触媒活性のリアルタイム計測

CNT の高密度成長実現のためには、CNT 成長に用いる触媒金属活性に関する物理の解明が重要であった。我々は、どのような状況で触媒が活性になるのか、活性を維持するための条件は何かなど、調べる必要がある。そこで、まず触媒が活性状態にあるかないかを評価する手法を開発する必要がある。その方法として、原料ガス(ここでは C_2H_2)の CVD チャンバー内での分解状況をチャンバーからの排気で調べる方法を開発した。チャンバー内に CNT 以外にはカーボン系生成物ができないことから、原料ガスが消費されていれば、触媒が活性状態にあって、CNT 成長に全て使われていることを意味する。当初、排気モニターは四重極子質量分析計(QMS)を使用して分解速度測定を行ったが、実際の CNT 成長条件とは厳密には合わないことから、in-situ FTIR ガス分析法を適用し、CNT 成長とリアルタイムでプロセスガス中の C_2H_2 濃度を測定し、CNT 成長に伴う C_2H_2 分解の様子を直接測定することに成功した。さらに CNT 形成時の反応機構と CNT 品質の間に、大きな相関があることを見出した。III-2-I-②-(1)-図 6 は成長中の C_2H_2 濃度の減少割合時間変化を示す。約 30 分まで徐々に減少割合が大きくなり、10%で一定となる。この変化は QMS で得られた触媒活性の変化と一致している。 C_2H_2 が低濃度の場合、CNT 成長は供給律速となる。その場合、排気口の C_2H_2 濃度は、ガス反応が基板上で 100%起こると仮定した数値シミュレーション結果(17%)とも一致した。供給律速条件において(図中の条件 S)、プロセス中に使用された全 C_2H_2 量から見積もられる CNT 密度と、実際の CNT 密度がほぼ等しいことも分かった。一方、供給量が多い反応律速条件では(図中の条件 R)、短時間で触媒が失活し(活性を失うこと)、それに対応して C_2H_2 の使用量も急速に低下していくことが分かった。



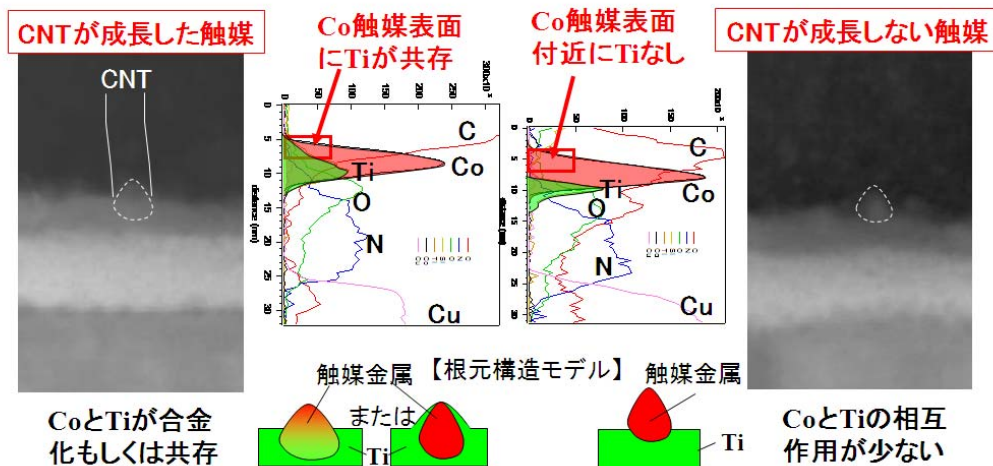
III-2-I-②-(1)-図 6 熱 CVD チャンバーからの FTIR 排気モニターとアセチレン濃度の時間変化

④ TEM-EELS による活性・不活性触媒微粒子の観測

CNT 成長メカニズムとコンタクト物理解明のためには、CNT の根元分析が必須である。そこで我々は TEM と EELS (Electron Energy Loss Spectroscopy) を組合せ CNT の根元分析を実施した。これは非常に高密度の CNT を利用できることで初めて実現できたものである。III-2-I-②-(1)-図7は、CNT が成長した触媒と成長しなかった触媒を TEM 中で観測し、それらの根元を EELS 観察した結果を示す。その結果、CNT 成長した触媒では、触媒と下地膜である Ti 膜が共存している部分があるのに対して、成長の無かった触媒にはそのような領域が無く、Co 表面付近に Ti がいないことが分かる。言い換えればこの触媒と下地膜材料の共存領域の有無が CNT 成長の可否を決める重要なポイントであると言える。このことをモデルで表すと、活性な触媒微粒子は下地膜材料(Ti)が内部に溶け込んでいるか、もしくは表面を包むように存在している必要があるということになる。

コンタクト物理解明：CNT根元分析

- CNT成長メカニズム/コンタクト物理解明のため、TEMとEELS(Electron Energy Loss Spectroscopy)を組合せ、CNTの根元分析を実施
- 触媒とTi(触媒下地膜)の共存の重要性が判明

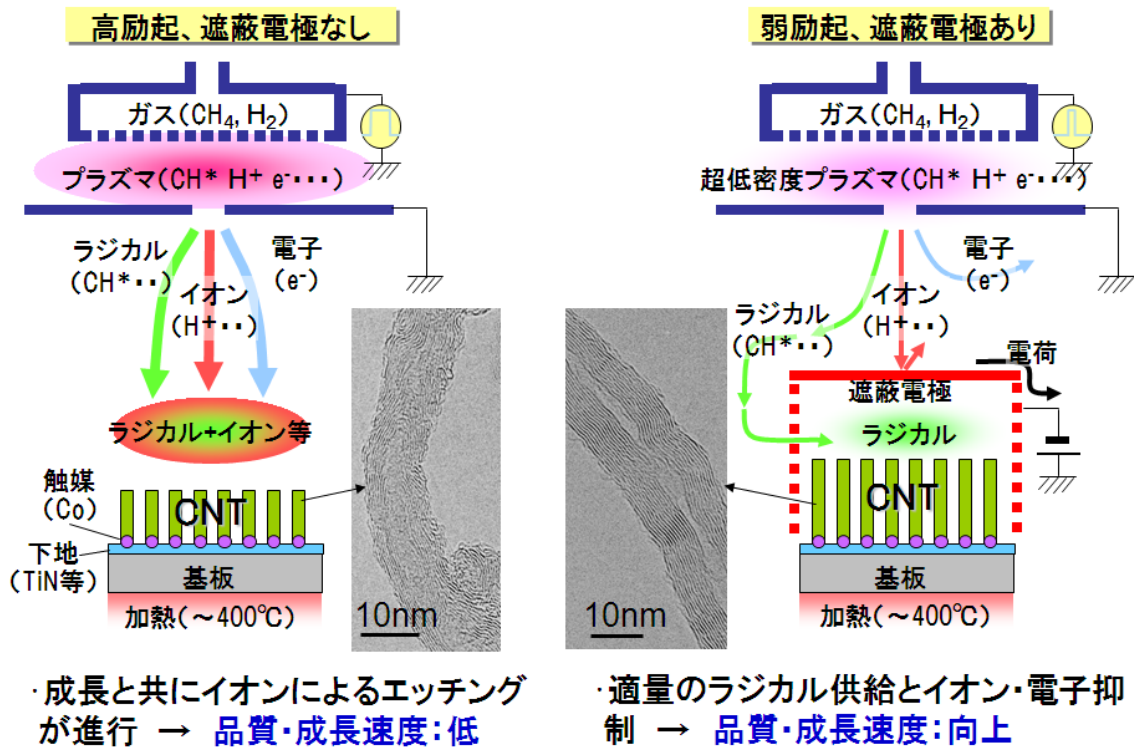


III-2-I-②-(1)-図7 CNT 成長メカニズム/コンタクト物理解明のための TEM/EELS 観察

⑤ 多段プラズマCVDによる低温高密度成長

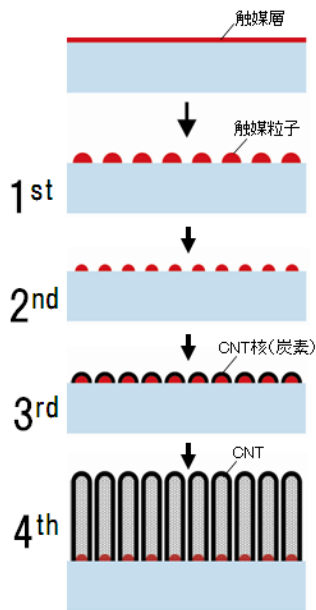
本プロジェクトでは、CVD の低温化として有利であり、前述したように 300mm ウェハへの拡張に実績のあるプラズマ CVD 方式の検討も行った。ここで重要な課題は、CNT 高品質化のためのプラズマダメージの抑制である。すなわちプラズマによる原料ガスの分解生成物の中で、電界加速される(電荷をもつ)イオン成分や電子は、CNT に直接アタックすることで CNT に損傷を与える危険性がある。そのためこれらの基板到達率を減らして、比較的ソフトランディングが期待できるラジカル成分のみを合成に用いる装置的工夫が必要となる。またプラズマプロセスは、触媒金属の表面状態制御に活用できる可能性があり、CNT 合成の前処理技術として活用を図った。

まず各種プラズマ CVD 法による高密度化及び高速化の検討を行い、パルス励起プラズマ CVD において、プラズマによる前処理および成長条件の最適化を進めることで、品質的に熱 CVD に迫る CNT の中空構造の確認に成功した(Ⅲ-2-I-②-(1)-図 8)。ここでは触媒は薄膜触媒を用いている。



Ⅲ-2-I-②-(1)-図 8 パルス励起プラズマCVDによるCNT低温高速成長

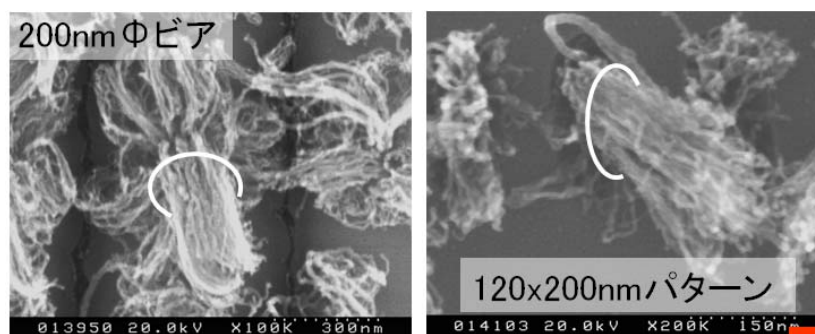
さらにプラズマ CVD 成長前に 4 段階のプラズマ前処理という新プロセスを導入することで、基板全面成長で CNT 密度 2E12/cm² を達成した。この 4 段階プラズマ処理は、Ⅲ-2-I-②-(1)-図 9 に示すように、まず 1 段階目のプラズマ処理(高パワーの Ar(H₂)プラズマ)によって、スパッタ触媒金属薄膜表面を微粒子化し、第 2 段階目のプラズマ処理(高パワーの N₂/Ar プラズマ)によって、下地膜の窒化と触媒微粒子のナノサイズへの微細化を行った。さらに第 3 段階目では炭化水素系のプラズマ処理(高パワーの CH₄/H₂リモートプラズマ)によって、CNT 微粒子の成長中の微粒子凝集を防ぐための微粒子固定とともに、CNT に炭素を供給することで核成長を行う。そして4段階目で本格的な CNT 成長条件で(超低パワーCH₄/H₂リモートプラズマ)、CNT 成長を行う。これらの各段階でのプラズマ CVD 条件の最適化によって、Ⅲ-2-I-②-(1)-図 9 に示すように、基板全面成長で CNT 密度 2E12/cm² を達成した。さらにⅢ-2-I-②-(1)-図 10 に示すように、ビア構造でも同等の高密度成長に成功した。



Step	目的	プラズマ条件
1st	●触媒の微粒化 ●微粒子の凝集抑制	高パワー Ar(H ₂)プラズマ
2nd	●下地層の窒化 ●触媒粒子の微細化	高パワー N ₂ /Arプラズマ
3rd	●微粒子の固定 ●CNT核成長	高パワー CH ₄ /H ₂ リモートプラズマ
4th	●CNT成長	超低パワー CH ₄ /H ₂ リモートプラズマ

2段階CVD (3rd→4th)	3段階CVD (1st→3rd→4th)	4段階CVD (1st→2nd→3rd→4th)
<10 ¹² 本/cm ²	~1×10 ¹² 本/cm ²	~2×10 ¹² 本/cm ²

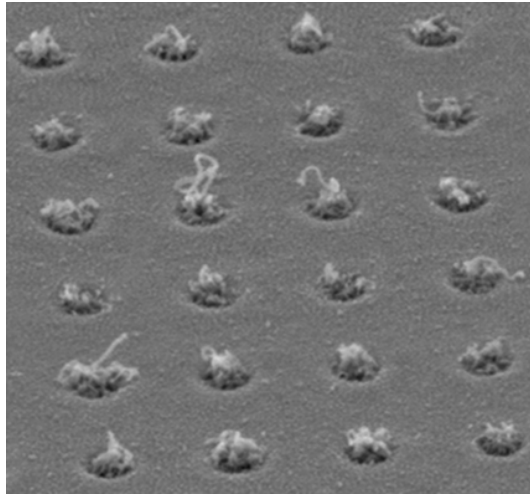
III-2- I -②-(1)-図 9 4段階プラズマCVDによるCNT高密度化



III-2- I -②-(1)-図 10 プラズマ CVD による CNT 高密度成長(約 2E12/cm2)

⑥微細ビアアレーへのCNT成長

実用化可能性検証の加速を狙い、参加企業である東芝 セミコンダクター社と共同研究契約を締結し、同社300mm基板の上に作製した微細ビア(最小・55-70nm)へのCNT成長を行った。前述の多段階プラズマ成長法を微細ビアに適用し、プラズマCVDでは最小のφ55nmビアへのCNT選択成長に成功した。また、同社300mmプロセスによる下地(TiN/TaN)上へのCNT成長を確認した。



III-2- I -②-(1)-図11 直径70nmのCNTビアアレー

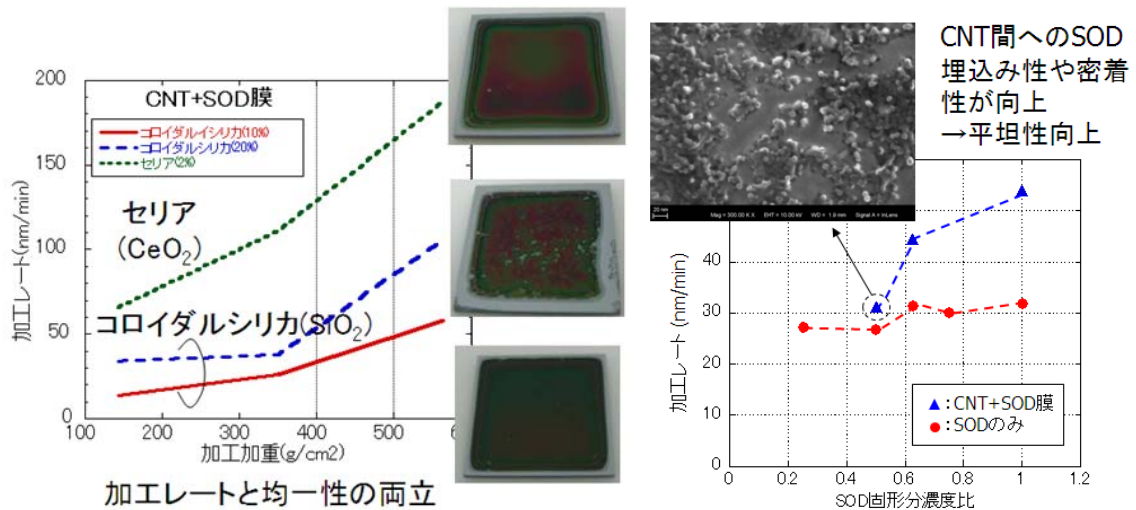
2) LSI製造プロセスで許容される温度条件におけるCNTの高速成長技術の開発

目標の一つとして、新規プロセスのため、リーズナブルなスループットの確認が重要である。特に材料の低温合成の場合、温度が低いほど合成時間が長くなる可能性がある。特に低温での触媒活性と原料ガス分解が重要なポイントとなる。触媒金属をナノ微粒子化することは、CNT の直径を細くするだけでなく、表面活性度を上げる効果もある。ガス分解に関しては、炭化水素系ガスの中でも反応性の高いものを選ぶか(熱 CVD ではアセチレンを使用)、プラズマ CVD による合成が重要である。リーズナブルな基板 1 枚当たりの CNT ビア・プラグ成長時間として 5 分を設定し、それ以下を達成した。具体的にはプラズマ CVD による CNT 成長では(密度 $1E12/cm^2$)、毎分 70nm の成長速度を得た。2006 年のプロジェクト開始時の毎分約 20nm に比べて、約 3.5 倍の成長速度の高速化を達成した。適用予想世代のビア高は約 100nm、プラグ高を約 200nm であることから、目標とした 5 分以下のスループットは共に達成できていることが分かる。また高密度($2E12/cm^2$)成長条件に置いても、毎分 30nm の成長速度を得ており、ビアに関して目標を達成した。

3) hp32nm以細の300mmウェハの配線構造へ適用可能性の提示と当該世代のCu配線材料に対する優位性の実証

① CNT ビアインテグレーション技術：CNT のための CMP 技術

300mm ウェハでの適用可能性を重視し、CNT ビアプロセスとして従来の Cu 配線と類似のダマシプロセスが確立できた。そこでは CNT の CMP 技術が新規に取り組むべき重要なプロセスと言える。そこで本プロジェクトでは CNT のための CMP 技術開発を行った。具体的には、CNT ビア上部配線接続前の CMP 加工の際、CNT と基板の密着性を高めるため CNT 間をバルク膜など(SOD:Spin-on dielectric)で埋める必要があり、埋込み特性を改善するためにノンポーラスタイプの SOD を採用した。CNT の研磨レートを上げるためにスラリ構造を検討し、新しいスラリ構造で従来比 1.6 倍の研磨レート 382nm/分を得た。SOD/CNT 複合膜(CNT 密度 3E11/cm²)の CMP 平坦化プロセスに、セリアスラリーを適用。従来のコロイダルシリカよりも高い加工レート(150-200nm/min)と加工面の均一性向上の両立に成功。微細ビアへの CNT 埋め込みを実現し作製プロセスを開発した(Ⅲ-2-I-②-(1)-図 12)。低抵抗 CNT ビア形成技術に関して、高密度 CNT 膜に対する最適化が課題。歩留まり対策として選択成長プロセスを利用してビアを試作した。

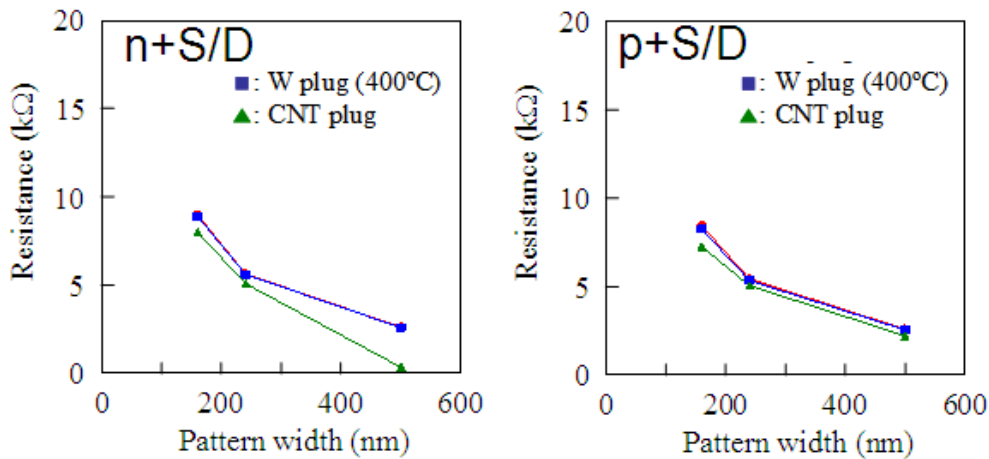


Ⅲ-2-I-②-(1)-図 12 CNT の CMP 条件の検討

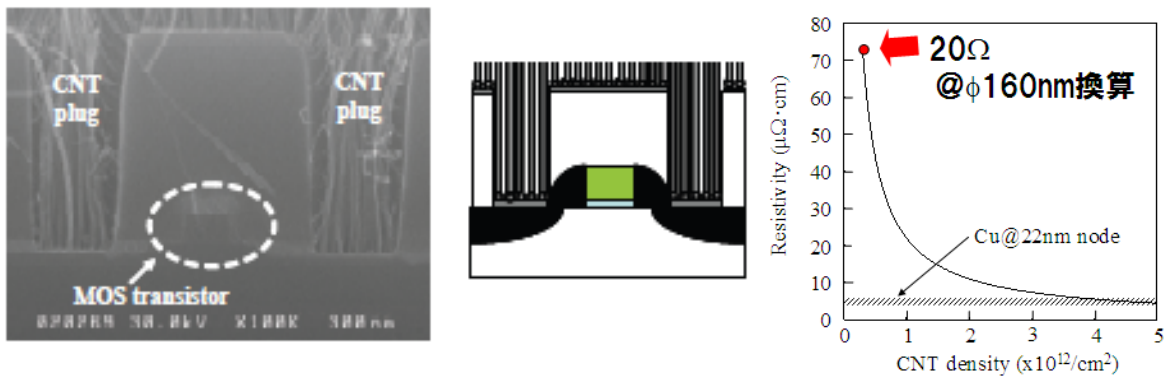
(左:加工レートの研磨剤と加工荷重依存、右:加工レートの SOD 濃度依存性)

② CNT ビアインテグレーション技術：CNT の CMOS プラグへの適用

従来 CMOS トランジスタのプラグ(あるいはコンタクトと呼ばれる配線)部分には、シリコン半導体層に直接接触するということから、シリコンへの拡散を避けるために抵抗的には高くなるが(銅ではなく)タングステンなどの金属材料が用いられてきた。またプラグ層はゲート電極分の高さが必要とするため、ローカル配線に比べて層間膜の薄層化には制約があり、プラグ孔のアスペクト比(縦横比)はビア孔よりも大きい場合が多い。そこで、低抵抗の高アスペクト比が期待できる CNT ビアの適用が有望である。ここでは、まず CNT プラグが設置するシリサイド(CMOS ソース、ドレイン電極領域)が、CNT 成長プロセス中に劣化しないかどうかを確認する必要がある。Ⅲ-2-I-②-(1)-図 13 は、n 型および p 型シリサイドの抵抗を示す。CNT プロセスを通してシリサイド抵抗の劣化が無いことが分かる。このことから、CMOS への CNT プラグ集積化に関して、下地シリサイド電極の特性を劣化させることなく、プラグに CNT を低温形成(@400°C)できることが確認された。Ⅲ-2-I-②-(1)-図 14 は CNT プラグを付けた CMOS の断面 SEM 像を示す。ビアに比べて大きなアスペクト比の孔中に成長している CNT が見てとれる。ここで CNT 密度は約 $3E11/cm^2$ である。この抵抗を 22nm 世代の予想値と比較した(Ⅲ-2-I-②-(1)-図 14)。図から分かるように CNT 密度が $3\sim 5E12/cm^2$ で Cu 並みの低抵抗が得られることが予測される。



Ⅲ-2-I-②-(1)-図 13 400°C の CNT 成長プロセスによるシリサイド抵抗の変化

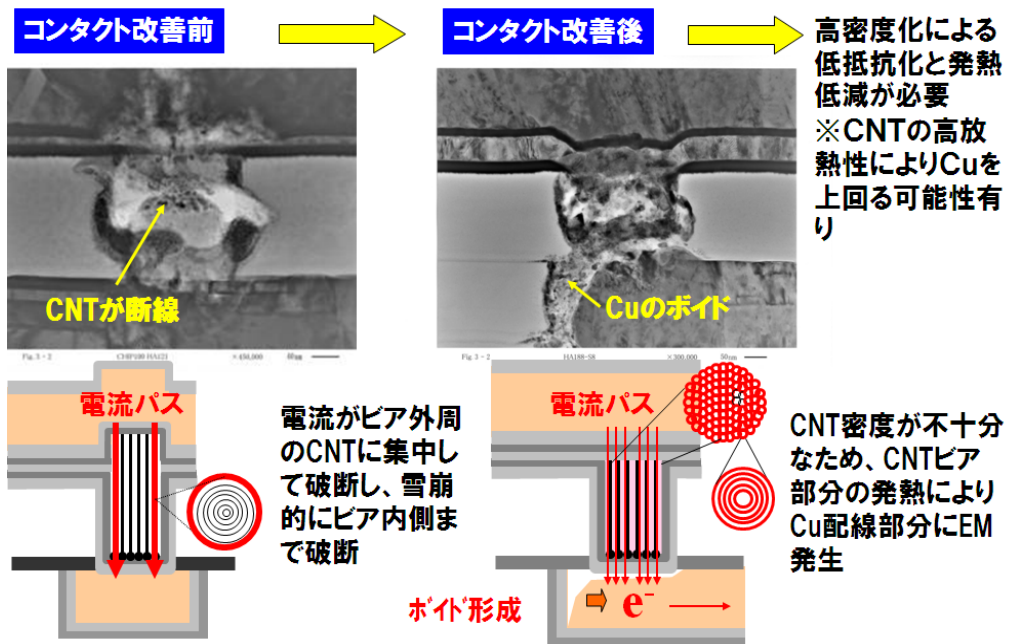


Ⅲ-2-I-②-(1)-図 14 CMOS と CNT プラグ適用

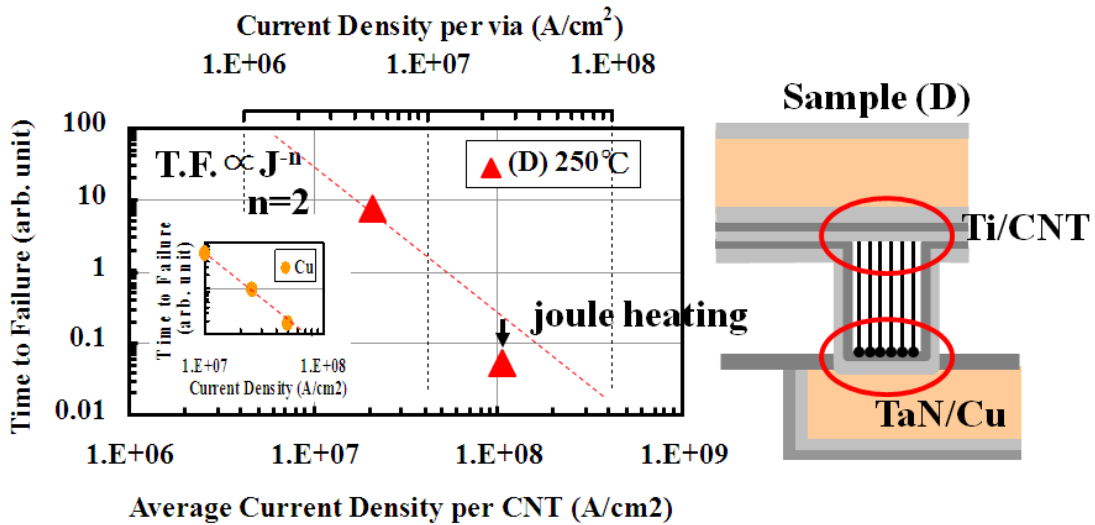
(左:集積化断面 SEM 像、右:CNT プラグ抵抗の CNT 密度依存性(予測))

③ 微細ビアによる電気的特性評価：電流密度耐性(エレクトロマイグレーション耐性)

ビアの電流密度耐性(EM 耐性)については、CNT ビアの EM 破壊メカニズムを解析し、また CMP 平坦化とコンタクト改善により EM 耐性大幅改善を実証した。具体的には CMP によって CNT/上部電極のコンタクトを均一化することで電流密度耐性が大幅に改善、下端部の CNT/金属コンタクト構造改良と同様に効果があることを確認した。Ⅲ-2-Ⅰ-②-(1)-図 15 はコンタクトプロセスの改善前後のマイグレーション破断後の CNT ビアの断面 SEM 像を示す。ただし電流密度は $5E6A/cm$ 、温度 $250^{\circ}C$ である。CMP 適用前(左図)では、CNT の途中で破断が起きている。このことは CNT と上下 Cu 配線とのコンタクトが不均一になっていて、電流が外周の CNT に集中し、その結果 CNT が破断し、雪崩的にビア内側まで破断が進んでいったものと想像される。一方、CMP とコンタクト改善後は、もはや CNT ビア部分で先にエレクトロマイグレーションが起きることはなく、Cu 配線同様に Cu 内のボイド発生を確認。温度加速試験を実施したところ、Time of Failure の電流密度依存性は Cu と同じ傾向の n 値 ~ 2 を持つことが分かった(Ⅲ-2-Ⅰ-②-(1)-図 16)。最近の理論予測では CNT の高熱伝導性によってビア部分の局所加熱が緩和され、さらに CNT ビアの EM 耐性に関するアドバンテージが上がることを示された。ここでの実験ではまだそこまでの高密度(高熱伝導)CNT を適用していないため、そこまでの現象はみられていないが、上述した 10^{12} 台の高密度 CNT 適用によって、そうした効果も加わるものと期待できる。

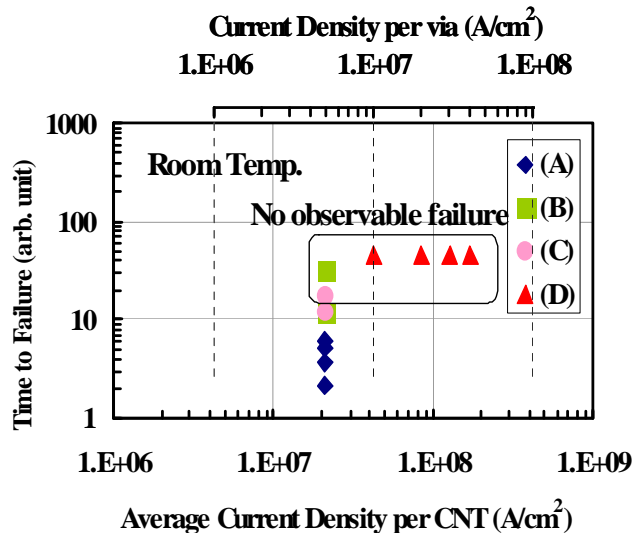


Ⅲ-2-Ⅰ-②-(1)-図 15 EM 破断後の CNT ビアの断面 SEM 像と破断原因の解釈



III-2- I -②-(1)-図 16 EM 破断後の CNT ビアの断面 SEM 像と破断原因の解釈

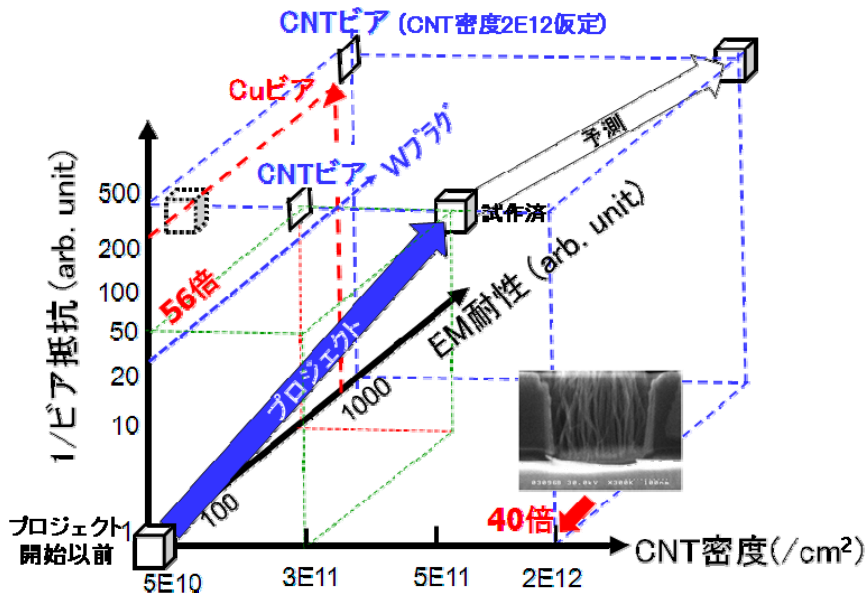
III-2- I -②-(1)-図 17 に示すように、電流密度 4E7A/cm² で 1000 時間(目標以上)を確認した。2006 年プロジェクト開始時は、電流密度 2~3.2E6A/cm² で 100 時間が確認された段階だったのに対して、ばらつきはあるものの EM 耐性では目標を達成した。EM 耐性に関して、高温試験(自己発熱による温度加速が無い条件:n=2)を実施し、Cu ビアとの比較を行った。CNT ビアが劣る原因としては、(本試作では CNT 密度 3~5E11/cm² を適用したため)CNT が十分高密度でないことによる局所自己発熱、及び界面構造の違いに起因すると考えられる。



III-2- I -②-(1)-図 17 CNT ビアの EM 耐性の CNT 密度依存性

④ 微細ビアによる電気的特性評価：ビア抵抗

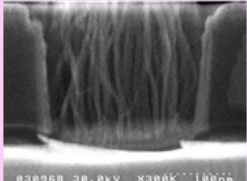
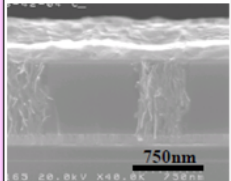
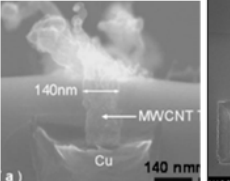
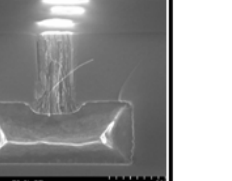
ビアの低抵抗化についても、CNT 密度 $3\sim 5E11/cm^2$ を適用したビア試作を行った。その結果、直径 70nm のビアで 51Ω 、直径 160nm のビアで約 10Ω の低抵抗を得た。直径 50nm、高さ 200nm のビアに換算すると約 76Ω となる。2006 年プロジェクト開始時、直径 $2\mu m$ のビア抵抗で 5Ω ($510^\circ C$ の高温成長では 0.6Ω) であったが、これを直径 50nm、高さ 200nm に換算すると $4.3k\Omega$ ($510^\circ C$ では 520Ω) となる。従って、ビア抵抗は、本プロジェクト期間内で約 $1/56$ に改善されたことになる。これらの値は目標値 (14Ω) と比較すると、約 $1/5$ のところまで到達したことを意味する。我々はすでに前述のように $2E12/cm^2$ の CNT 高密度化を達成しており、もしその密度の CNT を適用すれば、Cu 配線以下の抵抗が達成できることが、III-2-I-②-(1)-図 18 に示すように予測される。以上のことから、我々は H22 末の目標について達成の目処が得られたと判断した。



III-2-I-②-(1)-図 18 本プロジェクトによる CNT 密度、CNT ビア抵抗、EM 耐性の進展

⑤ 微細ビアによる電気的特性評価：各種 CVD 技術による CNT ビア配線技術ベンチマーク

III-2-I-②-(1)-図 19 は、代表的な競合他機関から報告されている各種 CVD による CNT ビア配線技術のベンチマークを示す。ここでは、比較データが揃っている発表として、韓国 Samsung、欧州 CEA-LETI 及び MIRAI プロジェクトに類似した欧州の『VIACARBON プロジェクト』からのデータを示す。この他の機関として IMEC や米大学等からの報告もあるが、この表を埋めるだけのデータはまだ揃っていない。この表から、従来の Si LSI プロセスとの整合性(合成温度と使用する材料の観点)や電気抵抗など電気的特性において、我々が優位にいることが分かる。2010 年 IEDM で VIACARBON プロジェクトから、580°C の高温成長ではあるが、12 乗/cm² 台の高密度 CNT 成長について報告があった。しかしながら、彼らのビア抵抗はまだ桁違いに高い。彼らは触媒金属に鉄薄膜、下地膜として AlCu 層を用いている。鉄も Al も、ともに酸化し易い材料であり、現実には酸化アルミニウム上、酸化鉄触媒になっている可能性があると考えられる。触媒は CNT 成長時に多少還元されていると思われるが、酸化膜下地上の CNT 成長となっている可能性が高い(我々は酸化し難い TiN を使用している)。従来、酸化膜上触媒からは、金属膜上触媒に比べて、CNT 成長が容易であることは良く知られているが、酸化層が介在すると電気抵抗的には非常に高い値になってしまう。この状況は彼らの報告と辻褃が合う。従って、彼らにとって、たとえ我々並みの高密度 CNT が合成可能になったといえども(成長温度の課題も残っているが)、彼らの触媒・下地膜の材料の組み合わせのままでは、電気的特性の改善はかなり難しいであろうと予想される。

組織		MIRAI	Samsung ※1,2,3	CEA-LETI ※4	VIACARBON ※5
技術項目	目標				
プロセス	CMOS整合	Single damasene	Single damasene	Single damasene	Single damasene
触媒/底面電極	低抵抗 CMOS整合	Co-particle /TiN/Ta/Cu	Ni-film/Al ※1 Ni-film/TiN ※2	Ni-film/Al	Fe-film/AlCu
CNT 成長温度	<400 °C	熱CVD C ₂ H ₂ 365-450°C	熱CVD, C ₂ H ₂ /Ar, 600°C ※1 プラズマCVD, CH ₄ /H ₂ , 600°C ※2	熱CVD, C ₂ H ₂ /H ₂ , 520°C	熱CVD, C ₂ H ₂ /H ₂ , 580°C
CNT 密度 (/cm ²)	>10 ¹²	~10 ¹² local: > 2 × 10 ¹²	2.7 × 10 ¹⁰ ※1 5 × 10 ¹⁰ ※2	5 × 10 ¹⁰	2.5 × 10 ¹²
上面電極	<400 °C	CMP Ti/Cu(室温)	CMP Ti/Al(500°C)	CMP無し AuPd alloy	CMP Ti/Pt(室温)
ビア抵抗(Ω) @160nmφ	~10(W), ~2(Cu)	10 (52Ω@φ70nm, 450°C)	25 (100Ω@φ80nm) ※3	70-1.5k (20-450Ω@φ300nm)	390k (10kΩ@φ1 μm)
CNT 当たりの 電流密度(A/cm ²)	>10 ⁷	2 × 10 ⁸	-	2 × 10 ⁸	-

※1 IEEE-NANO2006, ※2 NT06(口頭のみ情報), ※3 nano tech 2008(展示ポスター),

※4 IEEE-IITC2008, ※5 IEEE-IEDM2010

III-2-I-②-(1)-図 19 CNT ビア技術のベンチマーク

4) カーボン材料を用いた横配線技術の開発

横方向配線の要素技術は、CNTの横方向制御、高密度成長、縦横配線の接合技術が挙げられる。方向制御について、高密度のCNTを成長した場合、CNT同士のファンデルワールス力によって、CNTは同じ方向に向かって揃って成長することが分かっている。我々が成長する密度では、当然その成長形態になることが予想される。従って横配線を実現するには、起点となる場所にブロックを設け、そのブロックの側壁に触媒を付け、CVD成長すれば、その触媒からCNTが垂直方向に伸びて横配線が形成されることになる。そこで、横配線の主要な研究は、まず高密度CNTのCVD成長が実現することであり、テーマ1)と共通である。さらに横配線では、ビアに比べて配線長が長くなることから、低抵抗を得るにはCNTの品質を高めること、言い換えればキャリアの平均自由行程を長くすることが重要となる。高密度化と高品質化については、1)-①、②、⑤に述べたように、密度 $2E12/cm^2$ の達成、TEM観察によるCNTの良好なグラファイト層の成長を確認した。これらをもとにブロック側壁からの成長と電気的特定を、最終年度に行う予定であったが、それらについては実施しなかったため記述しない。

② 新探究配線技術開発 [NSI]

(2) 新コンセプトグローバル配線技術の開発 (LSI チップ光配線技術開発)

1) 低消費電力オンチップ電気光変調器および導波路結合型受光器の開発

光配線によるデータ伝送は電気配線によるデータ伝送よりも短い遅延時間および少ない伝送損失が可能である。しかし、光配線方式の導入には、電気信号から光信号への変換、および伝送された光信号から電気信号への変換における遅延および消費電力の発生というオーバーヘッドを伴う(K. Ohashi, et al., “A Silicon Photonics Approach for the Nanotechnology Era,” IEDM 2007, 30.6, pp. 787-790, 2007.)。このオーバーヘッドを小さくするために、LSI チップ上に多数配置することが可能な超小型の電気光変調器および受光器の開発を行った。

1)-1 低消費電力オンチップ電気光変調器

変調器の消費電力を必要なレベルにまで下げるには、第一にそのサイズを大幅に縮小する必要がある。従来の光通信用の高速変調器においては、長い伝送距離に対応した高い信号品質および温度変動に対応するためマッハ・ツェンダー型と呼ばれる構造が採用されている。これは光を二つの光路に分けて再び重ね合わせるとそれぞれの光路に位相のずれがあれば干渉により光強度の差が現れるものでマッハ・ツェンダー干渉計(MZI: Mach-Zehnder Interferometer)とも呼ばれる。この構造を用いた場合、通常は変調器長さが1 mm以上となる。これはその長さに伴う電気容量の存在により、設計上消費電力の大幅な低減を行うことは困難であることを意味していた。

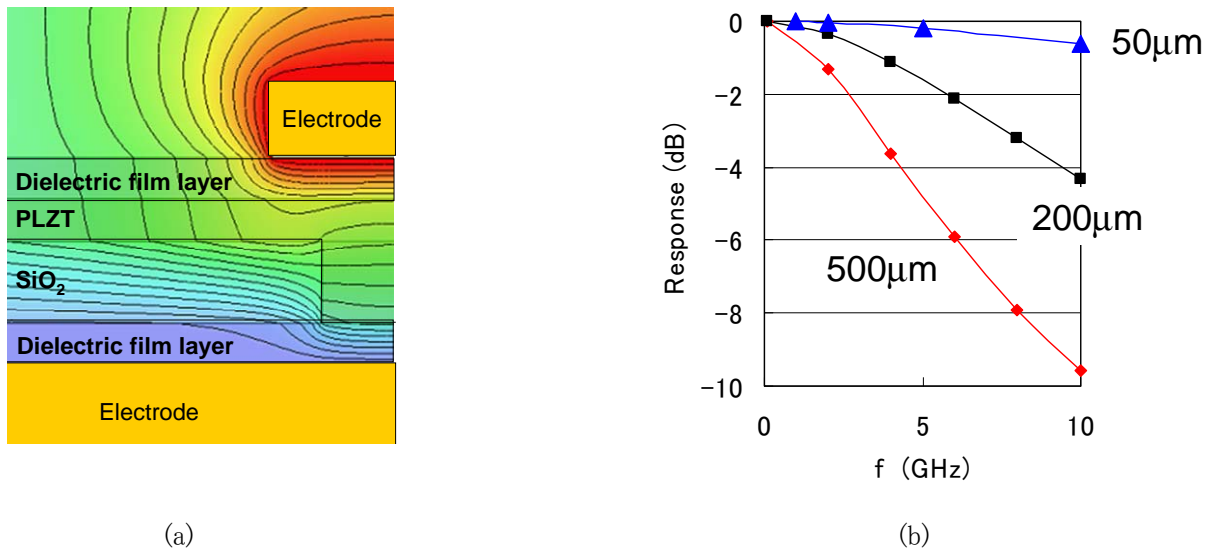
これに対し、高い電気光学効果を持つ材料を用いて共振型の光導波路構造による光閉じ込めを利用して変調器を小型化することにより、電力・遅延積の大幅低減が可能である。エアロゾルデポジションと呼ぶナノ結晶粒セラミックス製膜法で形成した PLZT (ランタンドープジルコン酸チタン酸鉛) 膜は、従来の光通信用電気光学変調器に用いられてきた標準的な材料であるニオブ酸リチウムの数倍から一桁上の 100 pm/V 以上という電気光学定数を持つことが報告されている(M. Nakada, et al., “Electro-Optic Properties of $\text{Pb}(\text{Zr}_{1-x}\text{Ti}_x)\text{O}_3$ ($X = 0, 0.3, 0.6$) Films Prepared by Aerosol Deposition,” Jpn. J. Appl. Phys., vol. 44, no. 34, pp. L1088 - L1090, 2005)。エアロゾルデポジションは、高い電気光学定数を与えるだけでなく、その材料特性が基板下地の影響をほとんど受けないという長所を持っている。これは、ナノ結晶粒が基板材料の種類を選ぶことなくランダムな方位で緻密に堆積されるためである。

この長所を活かすため、電気光学特性の周波数依存性およびデバイスの形を任意に設定できる電気光学変調器用の設計ツールを開発し、電気光学膜を上下から電極で挟む高周波対応の独自構造を持つ電気光学変調器を開発した。開発した電気光学変調器は、PLZT 強誘電膜や透明誘電膜等の積層で構成され、1 GHz～数 10 GHz という高周波で動作させる必要がある。このような用途に対応するため、誘電率の周波数分散を考慮した Excel ベースの専用設計ツールを構築した(M. Nakada, et al., “Lanthanum-Modified Lead Zirconate Titanate Electro-Optic Modulators Fabricated Using Aerosol Deposition for LSI Interconnects,” Jpn. J. Appl. Phys., vol. 48, 09KA06, 2009)。この設計ツールは、①PLZT の電気双極子の配向分極による複素誘電率の周波数依存性を考慮した材料設計シート、②変調器の容量、消費電力、駆動電圧を算出する構造設計シート、③変調器の等価回路から遮断周波数を算出する正弦波の動解析シート、④過渡解析と行う信号波形解析シートから構成されている。

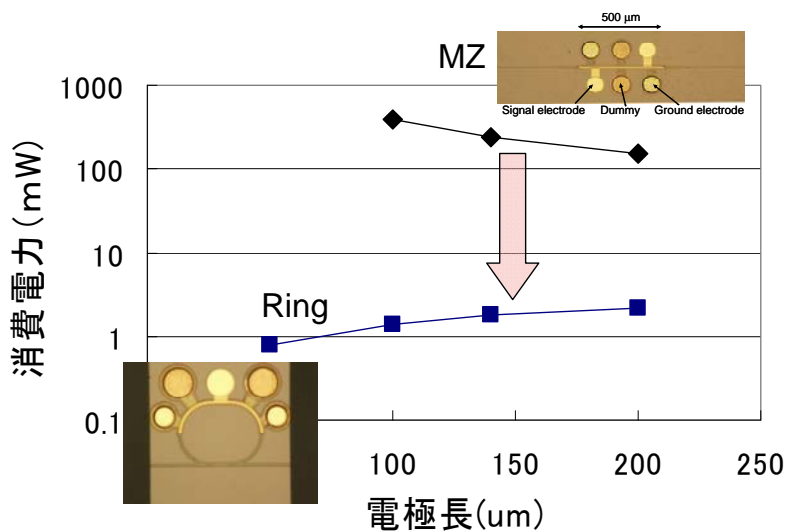
変調器の断面構造と電位分布のシミュレーション結果をⅢ-2- I -(2)-(2)-図 1 に示す。電気・光変換を行う PLZT 層に高電界を印加することが構造設計のポイントとなる。通常この種の電気光学変調器は、電極を側面から突き当てる構造をとる。これは通常の製膜法では電極と絶縁基板の両方で同時に同じ特性の膜を得ることが

困難であったからである。これに対し、エアロゾルデポジション法は原料のセラミックス粉の結晶構造をほぼ保ったまま微細で緻密な膜を得ることができる。Ⅲ-2-I-②-(2)-図1(a)には、この長所を活かした電極サンドイッチ構造における電位分布計算結果を示す。この構造により、側面に電極をつき当てる従来構造の倍程度の大きな電位勾配すなわち電界強度を電気光学材料に加えることができることが判明した。また、応答出力(光信号強度)と電極長(Ⅲ-2-I-②-(2)-図1(a)の紙面に垂直な方向の長さ)の関係を計算した結果をⅢ-1-I-②-(2)-図1(b)に示す。電極長を $50\mu\text{m}$ にすることで10GHzでの応答遅れによる損失は-1dB以下になることが判明した。

開発した上記設計ツールを用いて、電気光学変調器の10GHzにおける消費電力の電極長依存性を計算した結果をⅢ-2-I-②-(2)-図2に示す。マッハ・ツェンダー(MZ)型とリング共振型の二種類の構造について計算した。この図からわかるように、リング共振型にすることで、マッハ・ツェンダー型の1/100に消費電力を低減できる。これは、共振現象を利用することで変調器の電圧感度が4倍になるとも言える。ただしこれはリング導波路の伝搬損失が10dBである場合の計算値である。以上の検討結果から、リング共振型の小型化が、低消費電力で10GHz動作可能な変調器として適していると確認された。



Ⅲ-2-I-②-(2)-図1 電気特性の設計ツールによる計算結果。(a)変調器の断面構造と電位分布のシミュレーション結果、(b)変調器の電極長による周波数応答計算。

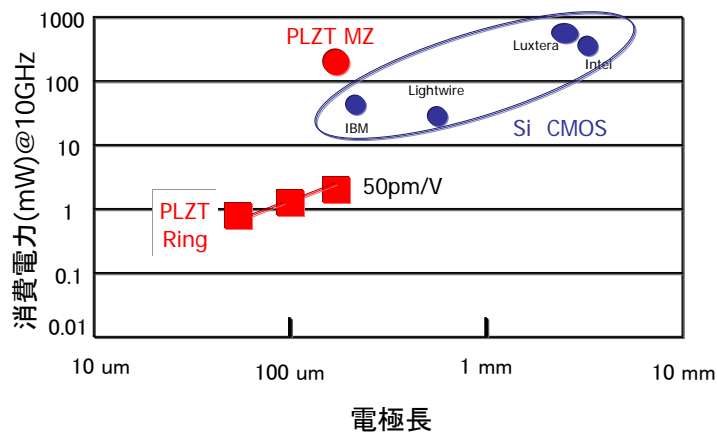


Ⅲ-2-I-②-(2)-図2 計算したPLZT変調器の10GHzにおける消費電力と電極長の関係

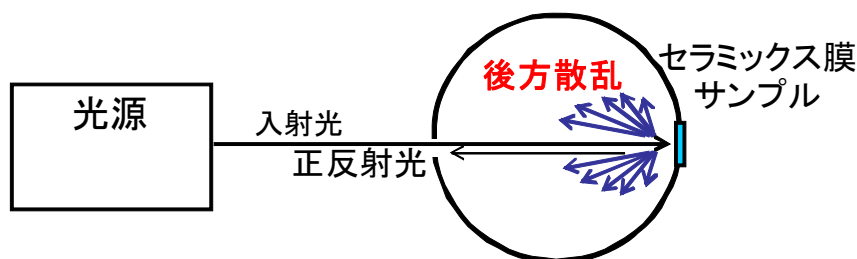
シリコン基板上に形成可能な光変調器として、Si CMOS 変調器と本研究テーマの PLZT 変調器とを比較した結果をⅢ-2- I -②-(2)-図 3 に示す。縦軸は 10 GHz における消費電力、横軸は電極長であり、PLZT 変調器は上記設計ツールによる値、Si CMOS 変調器については公開されているデータをまとめている。Si CMOS 変調器はいずれもマッハ・ツェンダー型である。図から、共振構造のリング型 PLZT 変調器は、Si CMOS のマッハ・ツェンダー型変調器よりも 1 桁以上消費電力の低減が可能であることがわかる。

上記設計に基づく小型リング共振型電気光学変調器の試作を行うに当たり、PLZT のリング導波路が実際に光の共振を起こすためには、リング導波路における光信号の挿入損失を十分低減することが重要である。当初目標は、PLZT 膜の導波損失を従来の -4 dB/mm から -2 dB/mm に半減すれば十分な共振が起こると考えた。しかし、試作評価を進めるにつれて、実際には導波路形状にした場合の導波路端部や界面における光の散乱損失が大きな割合を占めることが判明した。

2007 年度に試作した初期のリング共振器の損失は 45 dB という大きなものであった(Ⅲ-1- I -②-(2)-図 11 参照)が、以下に述べるように PLZT 導波路における凹凸および不均一性を減らすことにより 2009 年には挿入損失を 25 dB まで下げた。損失を 20dB 低減(1/100)した中身は、産業技術総合研究所との共同実施による以下に報告する複数のプロセス改善によるものであった。はじめに光導波路における光伝搬損失の主要因となっているセラミックス膜の光散乱を評価するために、AD 成膜技術により PLZT 電気光学膜をガラス基板上に形成し、その形成膜の光散乱を評価する後方散乱測定法を導入し確立した。Ⅲ-2- I -②-(2)-図 4 は形成したセラミックス膜の光散乱を測定する評価概要構成である。この評価手法により成膜したセラミックス膜の光散乱をより簡単に評価することができ、光散乱に関わる成膜プロセス条件や技術の効率的な検討を可能にした。



Ⅲ-2- I -②-(2)-図 3 Si-CMOS 変調器と本 PLZT 変調器の比較



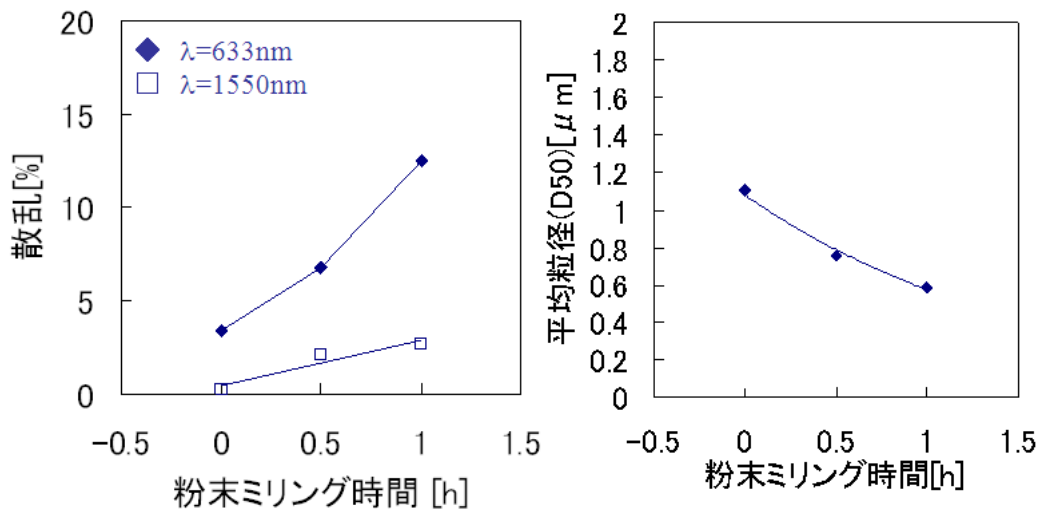
Ⅲ-2- I -②-(2)-図 4 光散乱測定構成概要

AD 成膜プロセス技術では、原料粉末の粉碎(ミリング)処理や熱処理などの成膜前処理が形成サンプルの膜質や各種特性に影響する。そこで原料粉末の粉碎処理時間や熱処理温度とその処理した粉末を用いて成膜した PLZT 電気光学膜の光散乱との関係性を評価した。Ⅲ-2-I-②-(2)-図 5(a)、(b)は、それぞれボールミルによる原料粉末の粉碎時間とその処理を施した粉末を用いて形成した膜の光散乱との関係、ボールミルによる原料粉末の粉碎時間と粉末の平均粒径との関係を示す。これらの評価からボールミルでの粉碎により平均粒径が減少した粒度分布となり、平均粒径が減少した粉末を用いて成膜することで形成膜の光散乱が増加することを明らかにした。Ⅲ-2-I-②-(2)-図 6 は原料粉末の熱処理温度とその温度で熱処理した粉末を用いて形成した膜の光散乱を示す。形成膜の光散乱を低減するのに適した粉末熱処理温度範囲を確認した。

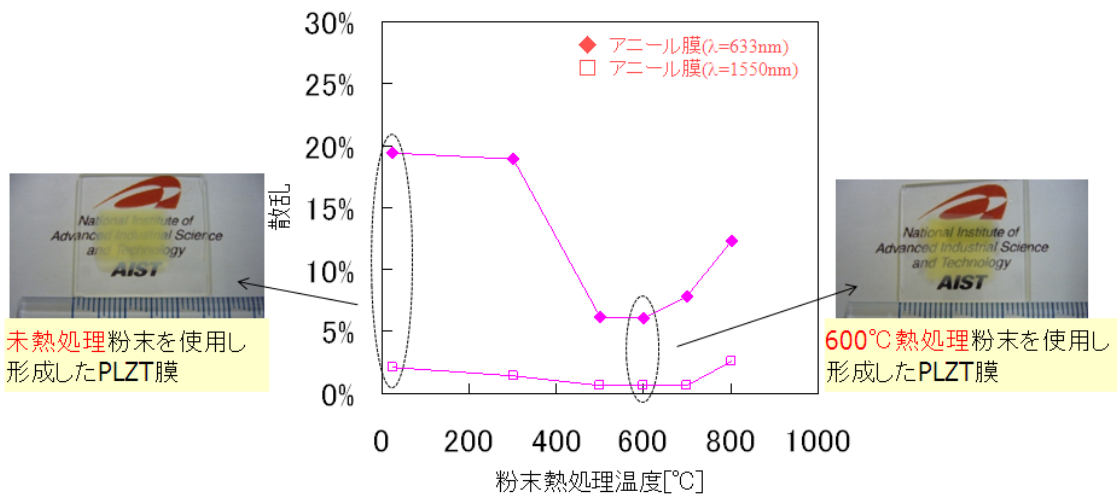
また、原料粉末の成膜前処理条件と同様に成膜条件とその条件下で AD 成膜した PLZT 電気光学膜の光散乱との関係性を評価し、成膜条件と形成膜の光散乱との関係を明確にした。Ⅲ-2-I-②-(2)-図 7 は成膜条件の一つであるエアロゾルを吹き付ける基板の法線に対する角度とその条件下で形成した PLZT 電気光学膜の光散乱との関係性を示す一例である。このようにエアロゾルを基板に吹き付ける入射角度、エアロゾルの生成に使用する搬送ガス、ガス流量やその他の成膜条件によって形成した PLZT 電気光学膜の光散乱が成膜条件に依存することを確認した。

Ⅲ-2-I-②-(2)-図 8 は異なる粉末条件、粉末前処理条件、成膜条件において形成した PLZT 電気光学膜の光散乱を比較した結果を示す。検討してきた原料粉末の成膜前処理条件、成膜条件をもとに PLZT の組成粉末から固溶のばらつきがなく結晶性の高い PLZT 粉末を合成微粉化により自製した粉末を用いて形成した PLZT 膜の光散乱はこれまでの評価において最も光散乱が少なく透明性の高い電気光学膜が得られた。

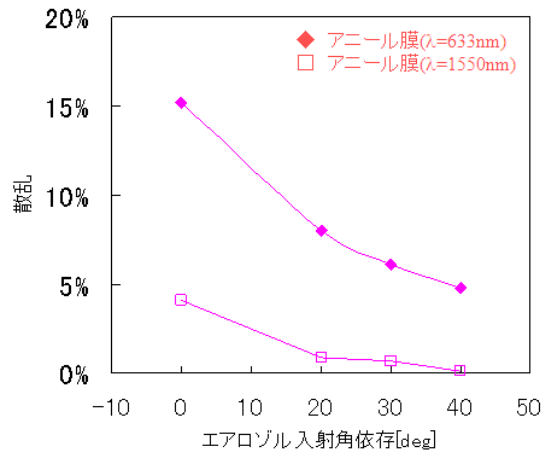
共同実施者である産総研による測定の結果、PLZT 膜としては、光吸収係数として 4.66 cm^{-1} (@1550 nm)、光透過損失として -2 dB/mm (@1550 nm) という値を得た。



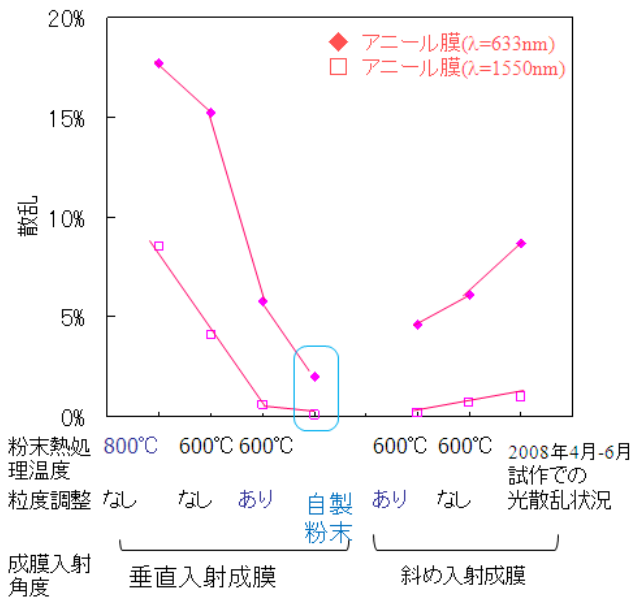
Ⅲ-2-I-②-(2)-図 5 (a) 粉末粉碎時間とその粉末で形成した膜の光散乱 (b) 粉末粉碎時間と粉末の平均粒径との関係



III-2- I -②-(2)-図 6 粉末熱処理温度と光散乱の関係



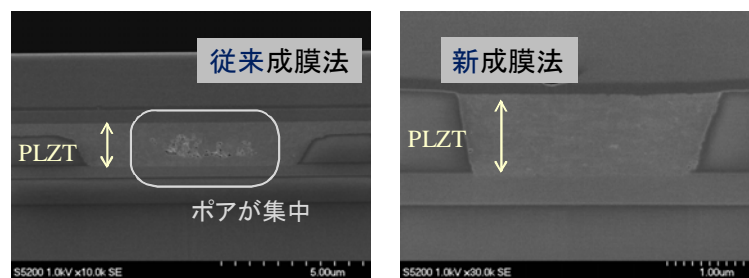
III-2- I -②-(2)-図 7 エアロゾル入射角度条件とその条件で形成された膜の光散乱との関係



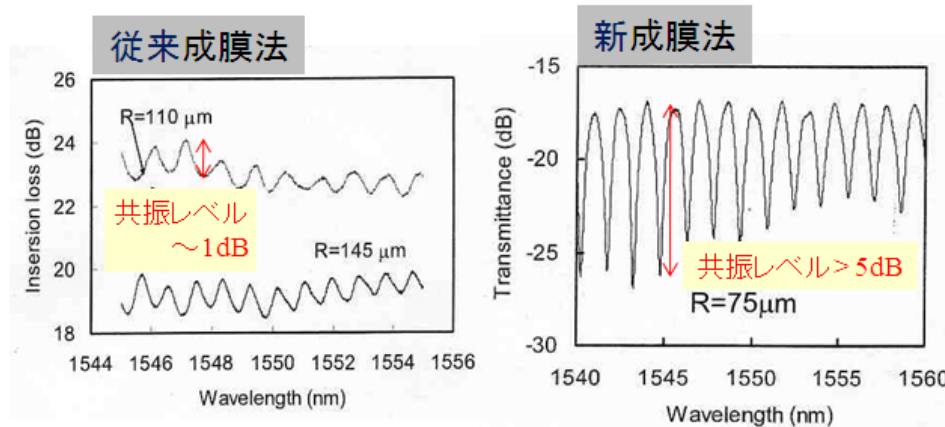
III-2- I -②-(2)-図 8 PLZT 電気光学膜の光散乱比較

さらに、成膜対象となる光導波路に適合する粉末の成膜前処理条件、成膜条件を調整・制御し、光導波路へ光伝搬要因となる膜欠陥やボイドなどを抑制した PLZT 電気光学膜の形成に成功した。Ⅲ-1-I-②-(2)-図 9 はリング状共振型導波路の断面を電子顕微鏡(SEM)により観察した様子を示す。リング状をはじめとする各種光導波路に対応した新たな成膜法を導入することによりポアの少ないより緻密な膜を光導波路へ形成することを可能にした。こうした光導波路への電気光学膜の形成に対応して、リング状導波路変調器の共振特性が改善した。

Ⅲ-2-I-②-(2)-図 10 はリング型変調器の共振特性改善状況を示す。光変調器の小型化、低消費電力化に適し、光閉じ込めがより困難な小さなリング曲率半径で共振レベルが増加した。これまでのリング状導波路変調器において、最大で 15dB 程度の共振レベルに至っている。このような共振特性の改善検討により AD 成膜技術を適用したナノ結晶粒セラミックス電気光学膜を導波路にしたリング状光変調器において、GHz 台(最速 10GHz)の高周波変調動作を可能にした。

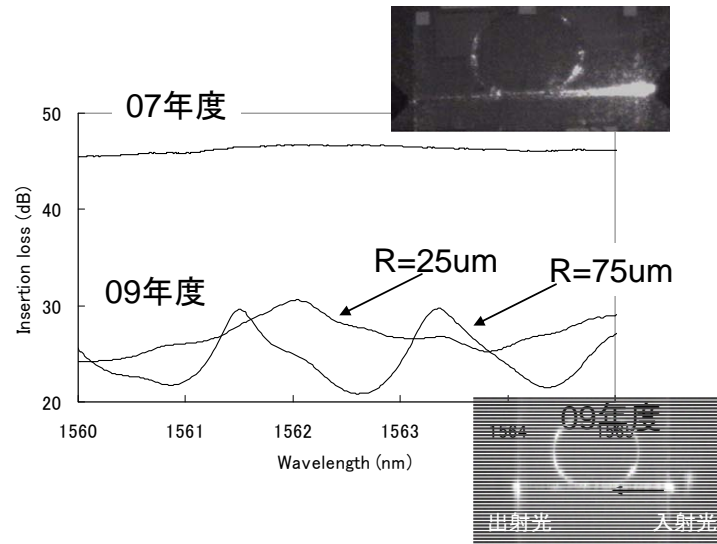


Ⅲ-2-I-②-(2)-図 9 リング状導波路断面の SEM 観察



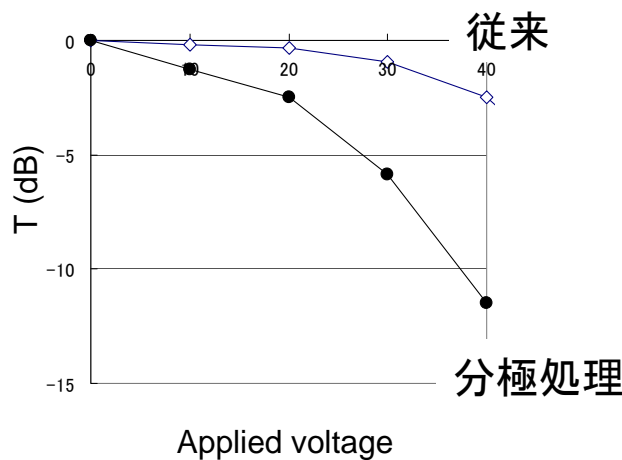
Ⅲ-2-I-②-(2)-図 10 リング状共振型導波路変調器の共振特性改善

以上のエアロゾルデポジション製膜プロセス改善、および PLZT リング導波路と入出力導波路の接続部の光の分岐比最適化により、Ⅲ-2-I-②-(2)-図 11 に示すように、リング半径 $R=75\mu\text{m}$ および $25\mu\text{m}$ のリング長に対応した共振波長の間隔が正確に観測され、良好なリング共振が得られるようになった。



III-2- I -②-(2)-図 11 リング共振型変調器の挿入損失の波長依存性

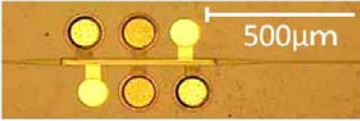
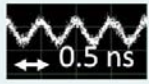



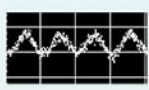

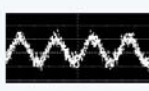
PLZT 変調器の消費電力の低減には、PLZT 層の電気光学効果を高め、動作電圧を低減することが必要とされる。エアロゾルデポジションで作製された PLZT はナノサイズの微結晶の集合体であり、エピタキシャル成長などで得られる単結晶膜とは異なりそれぞれの微結晶の分極軸の方向は揃っていない。その結果、PLZT 層全体では無配向状態でありこのままでは高い電気光学効果は得られない。このような製膜直後の無配向 PLZT に高温中で電界を加えることで微粒子の分極方向が配列し、電気光学効果を増大させることができるというのが、100 pm/V という高い電気光学定数を得た実験における重要なポイントであったが (M. Nakada, et al., “Electro-Optic Properties of Pb(Zr_{1-x}Ti_x)O₃ (X = 0, 0.3, 0.6) Films Prepared by Aerosol Deposition,” Jpn. J. Appl. Phys., vol. 44, no. 34, pp. L1088 - L1090, 2005)、同じ効果が細い光導波路においても得られるかどうかは不明であった。実際にエアロゾルデポジション法で作成した PLZT 導波路に対し、150°C という十分な低温で電圧 24V を 10 分間印加する分極処理を行うことで、III-2- I -②-(2)-図 12 に示すようにバルク膜と同様の電気光学効果増強が得られることが判明した。



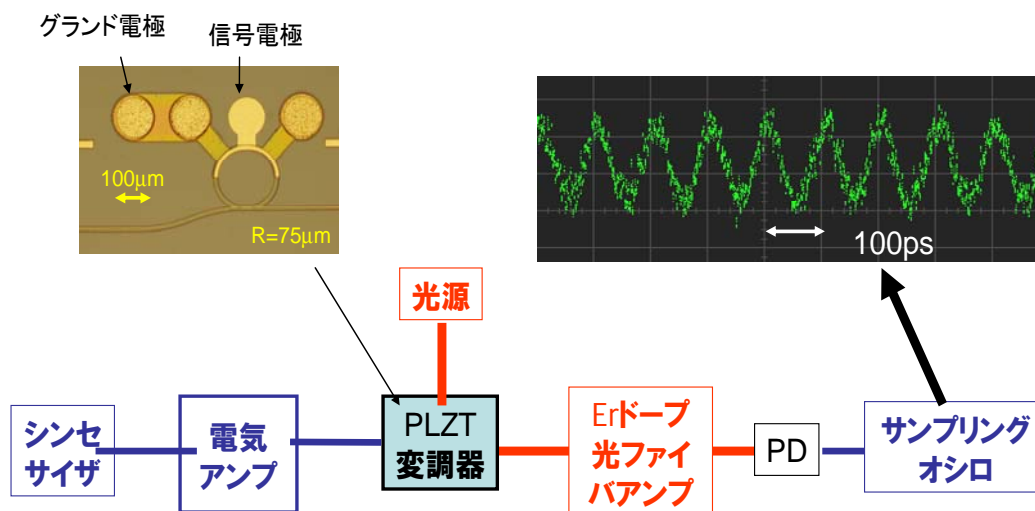
III-2- I -②-(2)-図 12 分極処理前後のマッハ・ツェンダー型干渉器の光透過率の電圧依存性

共振特性と電圧感度を改善し試作した PLZT 変調器の構造と 2 GHz における光信号出力をⅢ-1- I -②-(2)-図 13 に示す。消費電力の設計値も合わせて示している。試作した変調器は、マッハ・ツェンダー型変調器(電極長 $500\ \mu\text{m}$)、リング共振型($R=75, 50, 25\ \mu\text{m}$)の合計 4 種類である。いずれの変調器でも、2 GHz の変調動作が確認された。消費電力は、マッハ・ツェンダー型変調器で $80\ \text{pJ/bit}$ 、リング共振型は、 $0.35, 0.2, 0.14\ \text{pJ/bit}$ と小型化につれて低減する。リング共振型の消費電力はいずれも目標を大きく上回っている。

上記試作デバイスの中で、 $R=75\ \mu\text{m}$ の小型リング共振器では、Ⅲ-2- I -②-(2)-図 14 に示すように 10 GHz の電気光学変調動作が確認された。これは PLZT 変調器としてはこれまでで最高周波数での変調動作である。計算上さらに高周波特性が期待される $R=50\ \mu\text{m}$ および $R=25\ \mu\text{m}$ の試作品が 2 GHz どまりだったのは、導波路の凹凸あるいは不均一性に基づく散乱損失が现阶段では抑えきれないためだと考えられる。

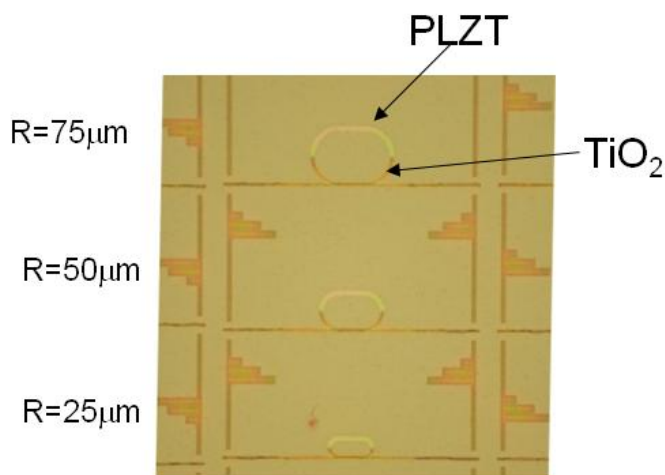
構造	消費電力 設計値	光信号出力 @2 GHz
マッハ・ツェンダー型 	$80\ \text{pJ/bit}$ $800\ \text{mW @10Gbps}$	
リング共振型 $R=75\ \mu\text{m}$ 	$0.35\ \text{pJ/bit}$ $3.5\ \text{mW @10Gbps}$	
$R=50\ \mu\text{m}$ 	$0.2\ \text{pJ/bit}$ $2\ \text{mW @10Gbps}$	
$R=25\ \mu\text{m}$ 	$0.14\ \text{pJ/bit}$ $1.4\ \text{mW @10Gbps}$	

Ⅲ-2- I -②-(2)-図 13 試作した変調器の構造、2 GHz における光信号出力、並びに消費電力の設計値

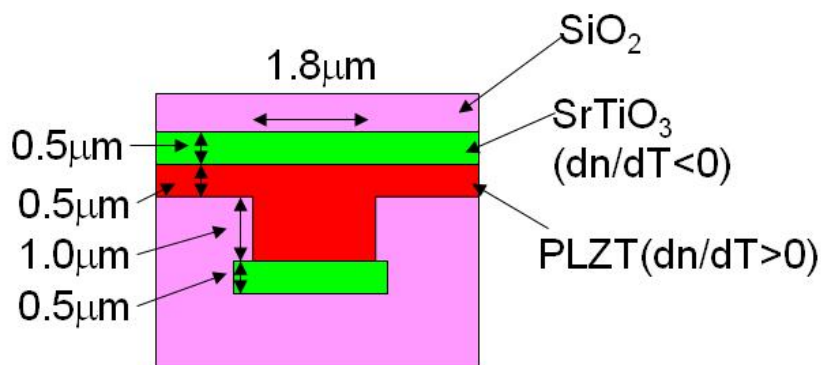


Ⅲ-2- I -②-(2)-図 14 小型リング共振型変調器($R=75\ \mu\text{m}$)の 10 GHz における光信号出力

なお、LSI チップ光配線にリング共振型を適用するためには、温度変化に敏感な共振波長の安定化が必要となる。ナノ結晶の PLZT を用いた変調器では、PLZT とは逆の屈折率温度特性を持つ誘電体材料との複合化による安定化方法が比較的容易に実現できると考えられる。すなわち、PLZT の屈折率温度特性 (dn/dT) はプラスであることから、屈折率が PLZT に近くかつその温度係数がマイナスである SrTiO_3 や TiO_2 を PLZT と組み合わせて複合材料化することで、容易に温度依存性の問題に対処できる。このように考えて、リング導波路の半分を PLZT、半分を TiO_2 にしたリング共振器 (Ⅲ-2- I -②-(2)-図 15)、および PLZT と SrTiO_3 積層したリング共振器 (Ⅲ-2- I -②-(2)-図 16) を試作し評価した。いずれの複合材料化も、屈折率の温度依存性をマイナス方向に変化させる効果は現れたが、光の散乱が増加したため定量的な評価をするまでには至らなかった。なお、複合材料化による温度特性改善の理論については、「3) 多波長光源とオンチップ光回路の集積技術の開発」で詳しく述べる。



Ⅲ-2- I -②-(2)-図 15 リングの半分を PLZT、半分を TiO_2 にしたリング共振回路



Ⅲ-2- I -②-(2)-図 16 Si-CMOS 変調器と本 PLZT 変調器の比較

1)-2 導波路結合型受光器

光信号を電気信号に変換する受光器として、高速動作が必要な通信用途では化合物半導体のフォトダイオードが用いられることが多かった。Si CMOSプロセスと相性の良いSiフォトダイオードは、Siの光吸収長が長いいためサイズが大きくなり(数10 μ m以上)、GHz台での応答は困難であった。これに対しSi CMOSプロセスと比較的相性の良いGeフォトダイオードを導入する試みが行われているが、800 $^{\circ}$ C程度の高温熱処理による界面の転移除去を必要とするなど製造プロセス上の課題を抱えている。これに対し、表面プラズモンアンテナを用いたSiフォトダイオードは、光を局所的に閉じ込めることでサイズを小さくすることが可能であり、数10 GHzでの応答および低パワー光源の利用を可能にすることなどからオンチップ光配線に適している(K. Ohashi et al., “Optical Interconnect Technologies for High-Speed VLSI Chips Using Silicon Nanophotonics,” ISSCC 2006, 23.5, 2006)。本研究テーマでは、2007~08年度において、SiON光導波路と表面プラズモンにより結合したSiフォトダイオード(導波路型Siナノフォトダイオード)を開発し、光パルスに対する高速な応答(半値全幅20 ps)の実証、および光クロックの基礎実験に相当する5 GHzの外部光源によるLSIの駆動の実証を行った(J. Fujikata, et al., “Waveguide-Integrated Si Nano-Photodiode with Surface-Plasmon Antenna and Its Application to On-Chip Optical Clock Distribution,” Appl. Phys. Exp., 1, 022001, 2008)。

SiON光導波路の導波損失は0.2-0.3 dB/cmと低いが、光の閉じ込めがそれほど強くないため曲げ半径が数100ミクロンより小さくなると光が漏れる。従って、LSI上で高度に集積化するにはこの材料の改良が必要であった。そこで、次項「2)波長多重光回路のための導波路、合分波器、受光、および変調素子の多チャンネル集積形成技術の開発」で報告するより屈折率の大きいSiN光導波路を開発した。SiN光導波路は曲げ半径を20 μ m程度まで小さくすることができる。ここでは、新たにSiN光導波路と表面プラズモンアンテナにより効率良く結合するSiナノフォトダイオードを開発した。SiN光導波路結合型のSiナノフォトダイオードの基本構成も、SiON光導波路結合型のSiナノフォトダイオードと同様に、表面プラズモンアンテナを兼ねる櫛歯型のAg製MSM(金属-半導体-金属)電極を用いた。

具体的な設計については、フォトダイオード全体の光強度分布の時間変化を求めること、および半導体デバイスシミュレータ(シルバコ製ATLAS)による光電流計算を用いた。その結果、10~20 psという短い時間でプラズモンアンテナの効果によりSi中に光が吸収されてキャリアに変換されることが明らかになった。

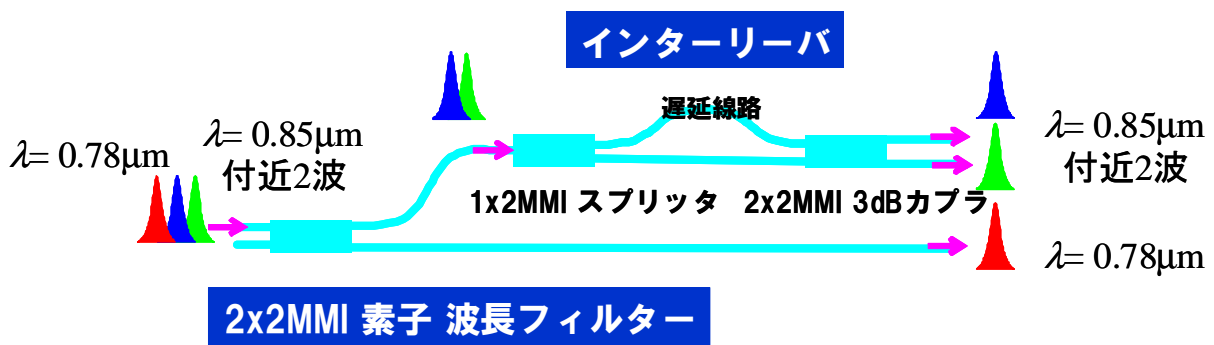
上記設計に基づいてSiN波長多重光回路とSiナノフォトダイオードの集積チップを試作した。評価の結果、波長846 nmのレーザ波長に対して、集積化されたSiナノフォトダイオードにより高効率に分波検出が可能であり、この測定結果から計算すると25%以上の外部量子効率が得られていることが判明した。これは、先に開発したSiON光導波路結合型Siナノフォトダイオードの外部量子効率約10%、および今回の目標値20%を十分上回る値であった。

SiN光導波路とSiナノフォトダイオードの光結合部の試作に当たっては、CMP(chemical mechanical polishing)プロセスを導入してSiメサ部と周辺のSiO₂クラッドとの段差を10 nm以下に改善した。このことが、光結合の効率を高め、外部量子効率の向上をもたらした要因として挙げられる。

2) 波長多重光回路のための導波路、合分波器、受光、および変調素子の多チャンネル集積形成技術の開発
 2)-1 SiON 光導波路を用いた 3 波合分波器の開発

本研究テーマで検討に用いた光波長多重チップは、個別に作製された光配線層と LSI チップを貼り合わせた構造を持つ。この光配線層の光導波路材料と LSI チップは、2006-07 年度で開発した光クロック分配の実験に用いたものと同等のものである。最初の試作に用いた光導波路の材料は SiON をコアとし SiO₂ をクラッドとする比屈折率差 $\Delta n = 2.7\%$ の SiON 光導波路であり、波長 600 nm ~ 1300 nm の広い範囲にわたって光吸収が少なく、i 線露光機でパターンニング可能な低損失光導波路であった。この光導波路の伝搬損失は TM-like モード・TE-like モードの両偏光に対して 0.2~0.3 dB/cm 程度であり、Si をコアとする導波路に比べて 1/10 程度の低損失であった。

最初の試作では、SiONの曲げ半径が数100 μ m ほどであることを考慮して、チップサイズを3x4 mm²に制限した中で3波長を分波する波長フィルタを開発した。その全体概要図をⅢ-2- I -②-(2)-図20 に示す。この波長フィルタは、MMI(Multimode Interference)素子を用いた、2x2(入力2ポートx出力2ポート)の波長フィルタと1x2(入力1ポートx出力2ポート)のインターリーバとをシリアル接続した3波長フィルタになっている。ここで、インターリーバは、1x2 MMIスプリッタと2x2 MMI 3dBカップラの間を長さの異なる2本の導波路でつなぐことにより、入力波長多重光信号を波長間隔2倍の二組の信号系列に分波して出力する。一段目の波長フィルタによって、波長 780 nm 付近の光と波長850 nm 付近の光を大きく二つに分波したあと、更に二段目のインターリーバによって波長850 nm 帯の光を二つの波長の光に分波する。全部で三つのMMI素子によって構成されている。

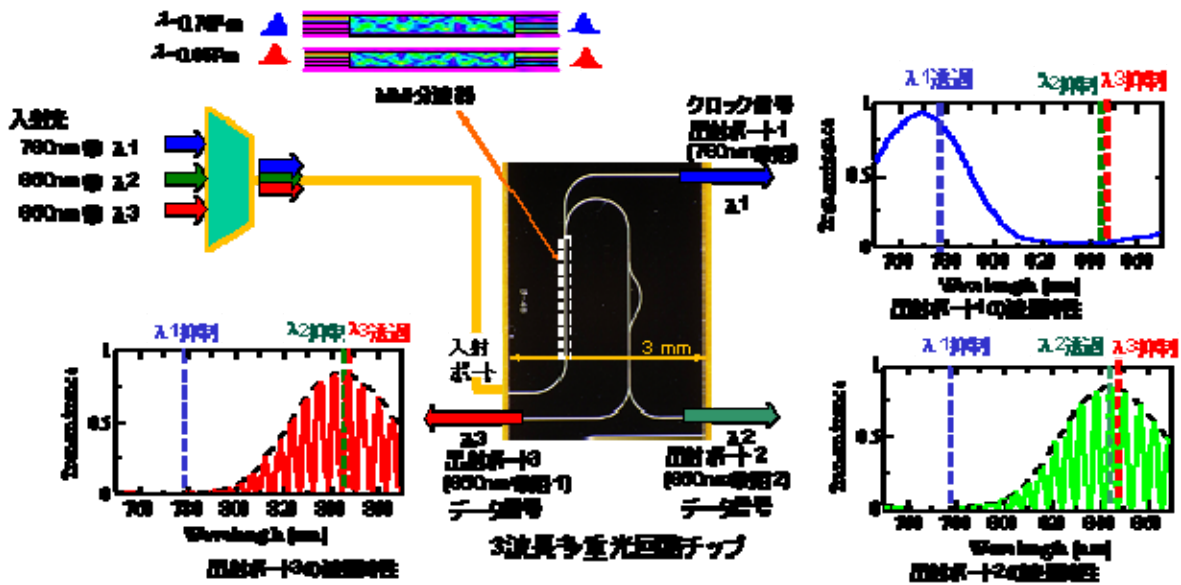


Ⅲ-2- I -②-(2)-図 20 SiON 波長多重光回路の全体概要図

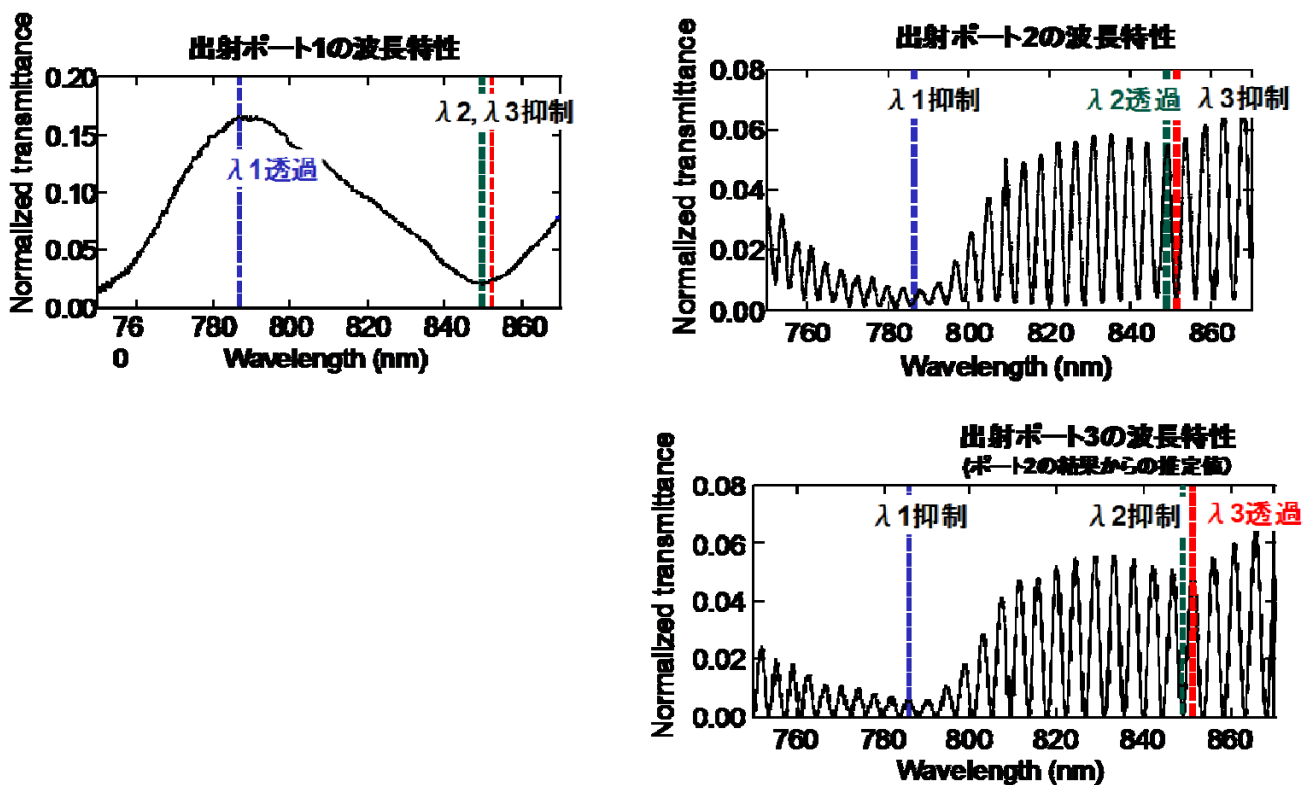
Ⅲ-2- I -②-(2)-図21に実際に試作した波長多重光回路の顕微鏡写真と各ポートでの透過スペクトルの計算値を示す。チップサイズ3mm×4mmに収まるように一段目のMMI素子の後段のインターリーバ構造が導波路を90度折り曲げた後に形成され、850nm波長帯の分離が行われる構造となっている。

Ⅲ-2- I -②-(2)-図22に各出力ポートにおける波長スペクトルを示す。実験はSC(Super Continuum)白色光源からの光を光ファイバによりbutt結合により波長多重光チップに入射して、出力ポートからの出射光を光ファイバとbutt結合させて、光ファイバと接続したスペクトルアナライザにより分波検出した。

出力ポート1において、780 nm波長帯域の透過光が850nm波長帯域に比較して12dB以上の消光比で得られ、設計とほぼ一致する分波動作が得られた。また、出力ポート2においては、850nm波長帯域においてFSR(free spectrum range)4.5nmの高精度な分波特性が消光比12dB以上で得られた。すなわち、設計とほぼ一致する高精度な分波特性が得られていることが明らかとなった。



III-2-I-②-(2)-図21 波長多重光回路の顕微鏡写真と各ポートでの透過スペクトルの計算値

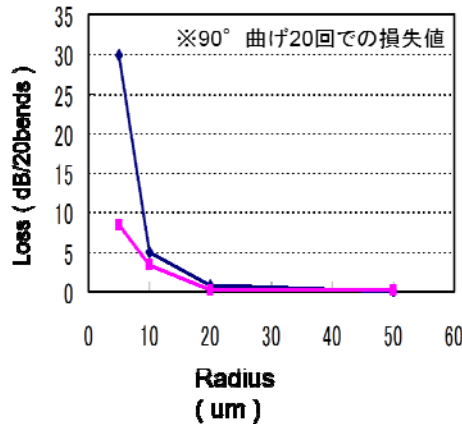


III-2-I-②-(2)-図22 波長多重光回路の各ポートでの透過スペクトルの測定値

2)-2 SiN 光導波路の開発

SiONの光波長多重回路に引き続き、フットプリントを $3 \times 4 \text{ mm}^2$ から 1 mm^2 以下にして、さらに波長の多重度を3から5に引き上げるため、屈折率差の大きいSiN光導波路を用いた波長多重光回路を開発した。

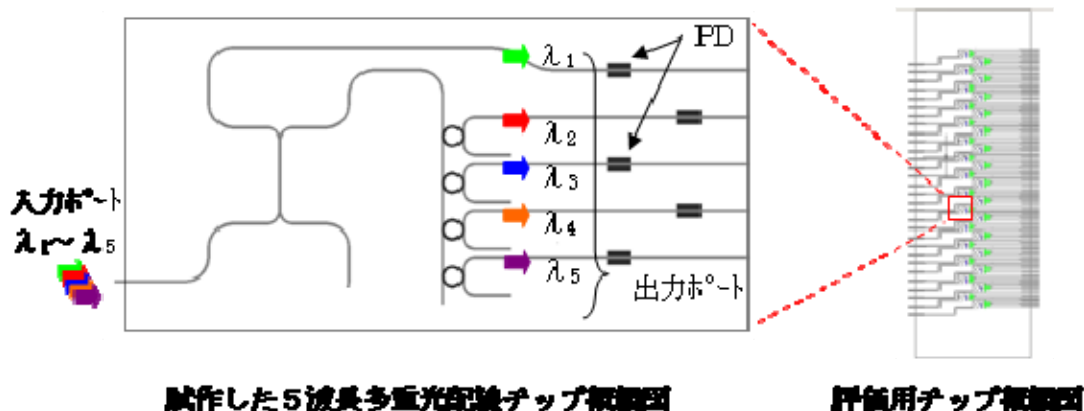
SiONの屈折率はNを増やしOを減らすことにより1.5から2.2程度まで上昇することが知られているが、これまでSiN(正確には Si_3N_4 付近の組成)を用いた微細光導波路は導波損失が大きくなると考えられていた。これに対し、本テーマではNTTとの共同実施により、2006-07年度に開発した平滑な側壁を持つ導波路技術を用いることで、0.3 dB/mmというSiON導波路並みの低損失化が可能であることを見出した(渡辺俊文他、「オンチップ光配線に向けた850nm帯用 Si_3N_4 導波路の伝播損失」、第55回応用物理学関係連合講演会、2009年4月1日)。また、III-2-I-②-(2)-図23に示すように、半径 $20 \mu\text{m}$ までは曲げによる損失が発生しないことが判明した。



III-2-I-②-(2)-図23 SiN光導波路曲げ損失実験結果

2)-2 SiN光導波路を用いた5波合分波器の開発

開発したSiN光導波路を用いて試作した波長多重光回路の概要と試作チップ上での配置をIII-1-I-②-(2)-図24に示す。SiN材の導波路曲げ半径は安全を見込んだ余裕をもった半径として、全体を $1 \text{ mm} \times 1 \text{ mm}$ 以下のフットプリントに収まるように折り曲げて配置した。

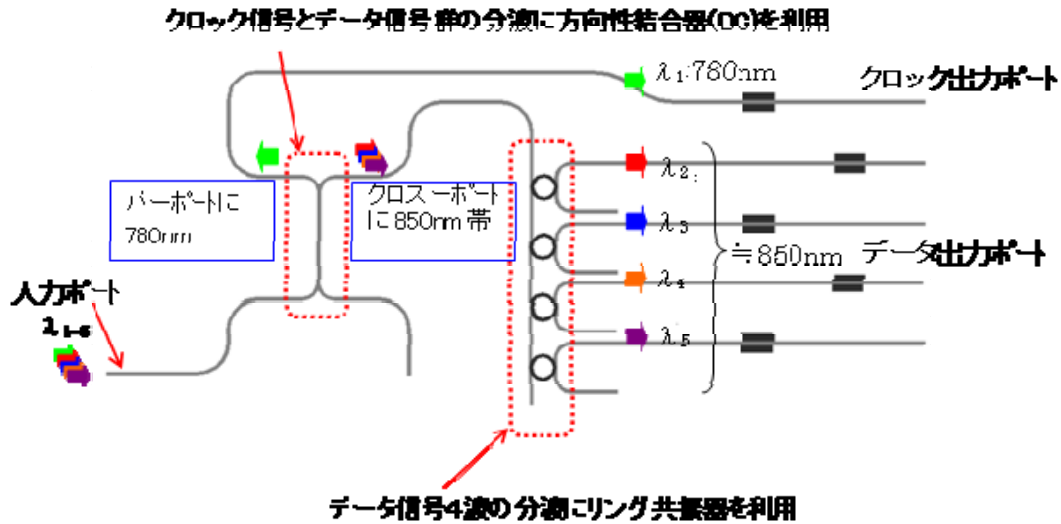


試作した5波長多重光配線チップ概観図

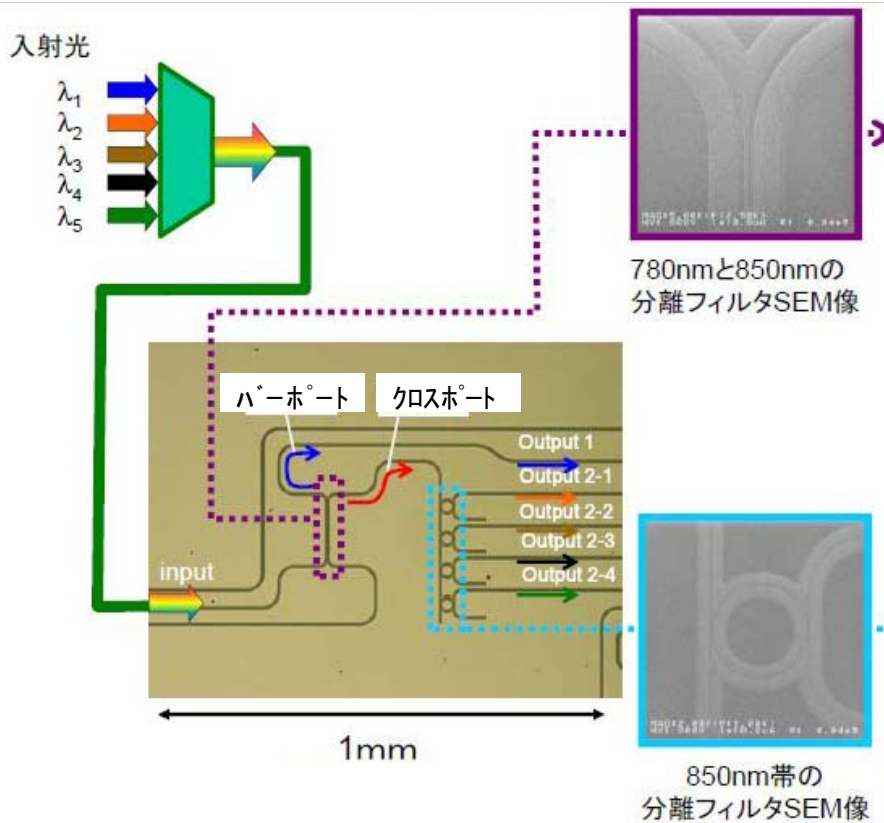
評価用チップ概観図

III-2-I-②-(2)-図24 5波波長多重用光回路概念図

実際に設計した光回路の構成をⅢ-2-I-②-(2)-図25に示す。1段目の方向性結合器(Directional Coupler: DC)で、クロック波長帯780nmの光(λ_1)とデータ波長帯域850nm近傍の光($\lambda_2 \sim \lambda_5$)の光を分離(フィルタ)する。2段目には、異なる遅延長を持つリング状の共振器を配置し、850nm帯近傍の4波($\lambda_2 \sim \lambda_5$)を分離(フィルタ)するものである。また、Ⅲ-2-I-②-(2)-図26は、導波路部全体の写真と、1段目フィルタ(DC)の写真、および、2段目フィルタ(リング共振器)導波路の写真である。

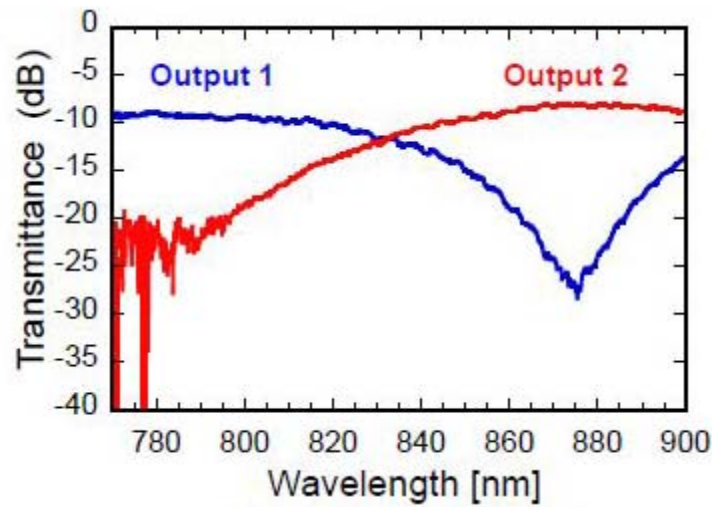


Ⅲ-2-I-②-(2)-図25 5波長フィルタの構成図



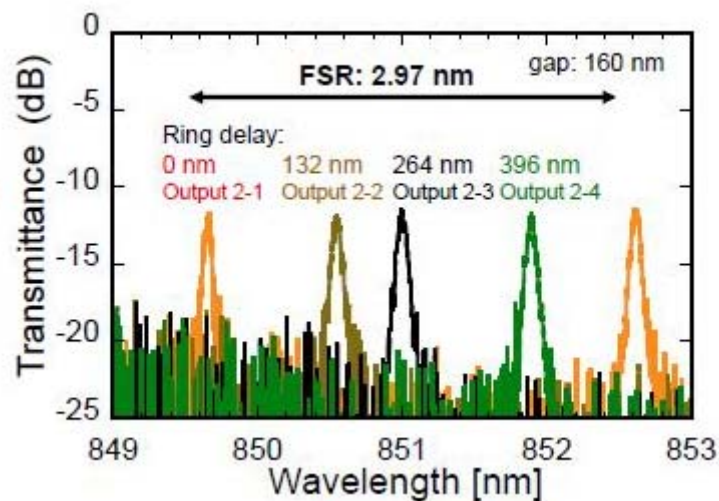
Ⅲ-2-I-②-(2)-図26 5波長フィルタの顕微鏡像

試作した光回路に780～850nm帯域の広い帯域をもつ光を入射した場合の、1段目波長フィルタ(方向性結合器DC)の出力ポートの波長スペクトルをⅢ-2-I-②-(2)-図27に示す。狙いとしているクロック波長帯(780nm)の光は方向性結合器のバーポート(Output 1)に出力され、データ波長帯(850nm帯)の光は方向性結合器のクロスポート(Output 2)に出力されている。第1段目のフィルタ分離が狙いどおりに機能していることが示される。



Ⅲ-2-I-②-(2)-図 27 1 段目フィルタの出力スペクトル

850 nm波長帯の光を入射した場合の2段目波長フィルタ(リング共振器)の4つの出力ポートの波長スペクトルをⅢ-2-I-②-(2)-図28に色分けして示す。各リングが特定の波長を透過するフィルタとして機能していること。リングの遅延長によって狙い度おりに透過波長がシフトしていることから、データ信号4波は、良好に分離されていることが示される。さらに、フィルタの分離性能の指針となるFSR (Free Spectra Range) が広い(3.0 nm)ことから、同様の構成で4波に限らず、8波、16波など高い多重度への可能性があることが示される。また、光回路内の損失は4dBと見積もられた。



Ⅲ-2-I-②-(2)-図 28 2 段目フィルタの出力スペクトル

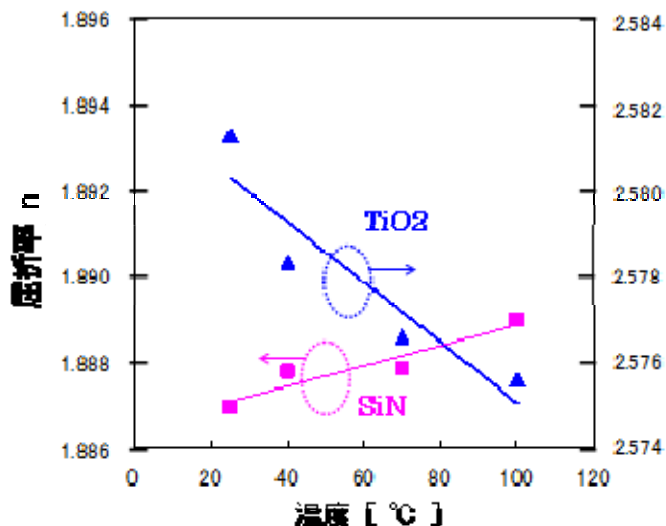
2)-3 温度無依存化

リング共振器は高いQ値を持ち、優れた合分波特性を示すが、温度変化により共振周波数が変化しやすいという問題がある。その対策として、LSI上での温度変化を念頭において温度変化範囲50°C以上でも等価屈折率が変化せず共振周波数が動かない、複合導波路による温度無依存化(アサーマル化)を検討した。

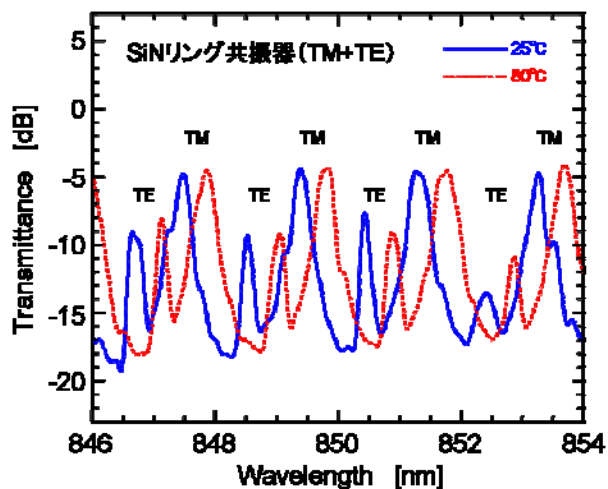
III-2-I-②-(2)-図29には、本合分波デバイスのアサーマル化を狙って、SiN材とは逆の屈折率温度依存性をもつ材料として選択したTiO₂を成膜し、実測した屈折率温度依存性を示す。この基本特性等を考慮して導波路層構成を最適化し、TiO₂を含む導波路を加工するための新規加工プロセスを立ち上げた。

波長800nm帯をねらった小型合分波器として、小型化のため高屈折率材としてSiNを用い、全体を1mm²未満の大きさに納め、波長780nmのクロック信号と850nm帯のデータ信号4波を低いクロストークで分離していること、および分離された光がシリコンナノフォトディテクタで検出され、出力信号として確認された。また、本デバイスのアサーマル化を狙い材料・構成・加工法の選択・最適化を進めた。これら成果により、SiN材を用いた小型光回路において、光配線を実現する波長多重基盤技術に目処が得られた。

リング共振器型 SiN 光分波器(リング半径 25 μm、結合器長 15 μm、導波路間ギャップ 250 nm)の 25°C と 80°C における光分波スペクトルを III-2-I-②-(2)-図 30 に示す。現状では、温度変動を ±5°C 以内に保って共振波長変化を 0.1 nm 以内に抑える必要があり、LSI チップ配線への応用は困難である。



III-2-I-②-(2)-図 29 SiN/TiO₂ の屈折率温度依存性

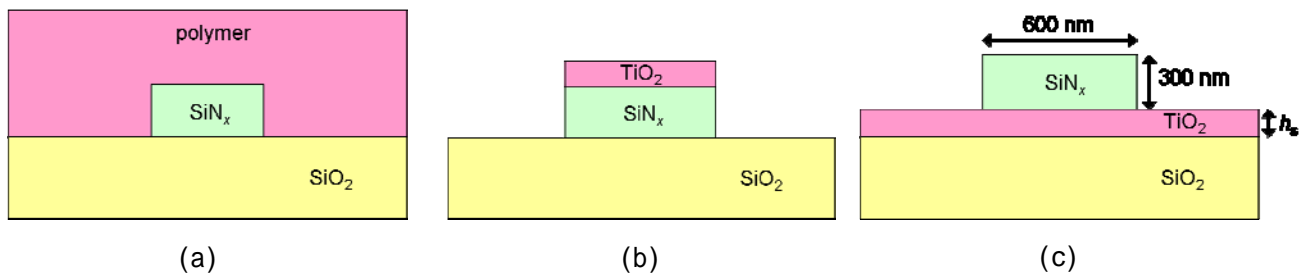


III-2-I-②-(2)-図 30 SiN 光分波器 (r = 25 μm) の光分波スペクトルの温度依存性

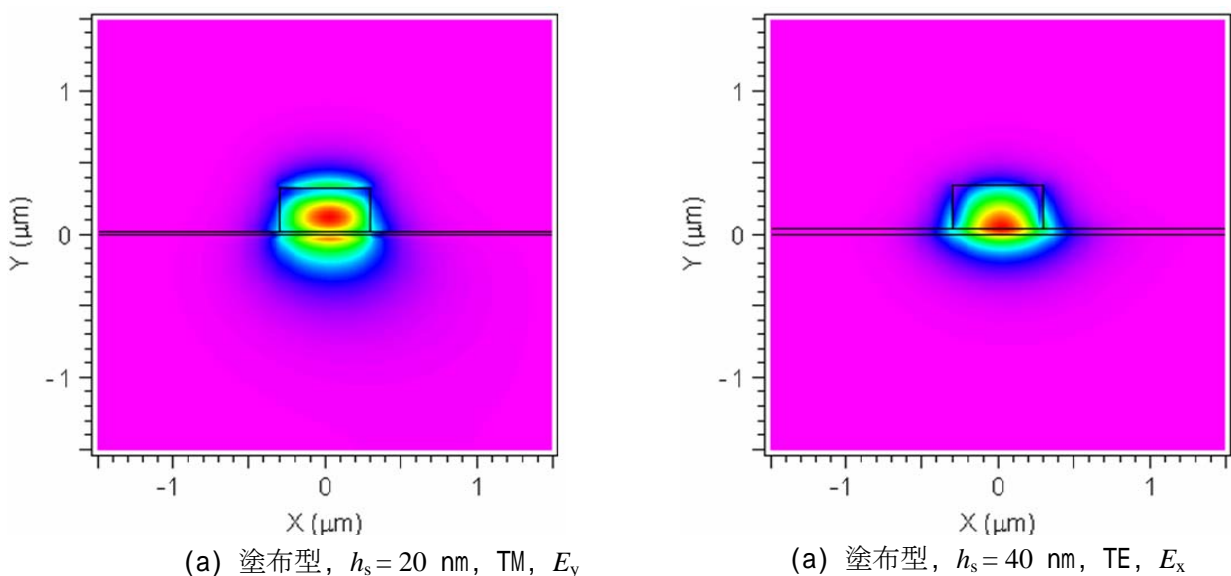
この温度依存性問題を解決するために、Ⅲ-2-I-②-(2)-図 31 (a)に示すように、屈折率の温度係数 dn/dT が正のコア材料(Siなど)と dn/dT が負のクラッド材料(ポリマーなど)を組み合わせ、光導波路をアサーマル化(温度無依存化)する試みが行われている。しかし、ポリマーは高温安定性に難があり、CMOS プロセスの中に入れるには制約が多い。また、屈折率の低いポリマー($n=1.4\sim 1.8$)にかなりの割合の光が染み出した閉じ込めの弱い光導波路になるので、素子の小型化が難しい。これに対し、本プロジェクトでは、以下に報告するような、 dn/dT が負で高温でも安定な TiO_2 を光導波路のコアの一部として用いた複合材料導波路を提案した。

無機材料のほとんどは $dn/dT > 0$ であり、 $dn/dT < 0$ のものは CaF_2 、 TiO_2 、STO (SrTiO_3) など、少数である。このうち TiO_2 は屈折率が $n=2.1\sim 2.6$ であり、本プロジェクトの主たるコア材料である SiN の屈折率($n=1.9\sim 2.0$)よりやや大きく、また、高温でも非常に安定である。したがって、 SiN と TiO_2 を積層した構造をコアとして利用することにより、温度安定性に優れ、小型化可能なアサーマル光回路を実現できる。

理想的にはⅢ-2-I-②-(2)-図 31 (b)のように屈折率の大きな TiO_2 と SiN を同じ幅に加工するのが好ましいが、現状では TiO_2 をきれいに加工することが難しいので、Ⅲ-2-I-②-(2)-図 31 (c)の SiN-TiO_2 リブ光導波路で TiO_2 スラブ厚 h_s を調整して実効屈折率の温度係数 $|dn_{\text{eff}}/dT|$ を低減することを検討した。 TiO_2 の堆積法としては、(1)塗布法、(2)スパッタ法の 2 方法を検討した。Ⅲ-2-I-②-(2)-図 32 は、 SiN-TiO_2 リブ構造曲がり導波路(半径 $20\ \mu\text{m}$)のモードの FemSIM による計算例である。 SiN メサより TiO_2 スラブ層の方が屈折率が高いが、 TiO_2 膜が薄ければ光は SiN メサに強く閉じ込められ、半径 $20\ \mu\text{m}$ のリング導波路でも放射損を無視できるレベルにとどめることができる。

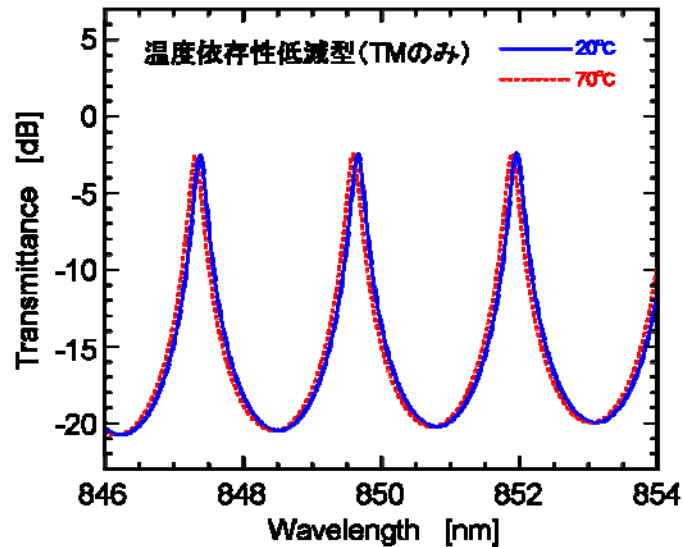


Ⅲ-2-I-②-(2)-図 31 SiN 光導波路のアサーマル化構造



Ⅲ-2-I-②-(2)-図 32 SiN-TiO₂ リブ構造曲がり光導波路(半径 $20\ \mu\text{m}$)の導波モード(右側が外側)

温度無依存化した場合の光分波特性の計算結果をⅢ-2- I -②-(2)-図 33 に示す。20°Cから70°Cの50Kの温度変化があっても温度調整機構なしに動作可能になることがわかる。なお、この方法は SiN と同じく正の屈折率温度依存性を持つ PLZT のリング型電気光学変調器にも適用できる。



Ⅲ-2- I -②-(2)-図 33 アサーマル・リング共振器の光分波スペクトル (type 1, $h_s = 20 \text{ nm}$, TM)

実際に温度無依存化設計した SiN 光導波路(TiO_2 厚 $h_s = 20, 40, 60 \text{ nm}$)でリング共振器型光分波器を試作した。試作素子の写真をⅢ-2- I -②-(2)-図 34 に示す。導波路長は約 1 cm、SiN の厚さは 300 nm、SiN メサ幅は 600 nm である。光ファイバとの結合効率を改善するため、光導波路の入出力部は長さ 500 μm のテーパでメサ幅を 3 μm まで広げた。光導波路は電子ビーム直接描画によりパターンニングした。試作したデバイスのうち、 TiO_2 のない SiN 光導波路については、ファイバ間挿入損失約 13dB (結合損が支配的) の光導波が観測できたが、 TiO_2 膜を含む光導波路は損失が大きすぎて、光出力を測定できなかった。 TiO_2 は通常、可視～近赤外波長域で透明であるが、多結晶なので散乱損が大きかった可能性がある。



Ⅲ-2- I -②-(2)-図 34 試作したリング共振器型光分波器 ($r = 40 \mu\text{m}$)

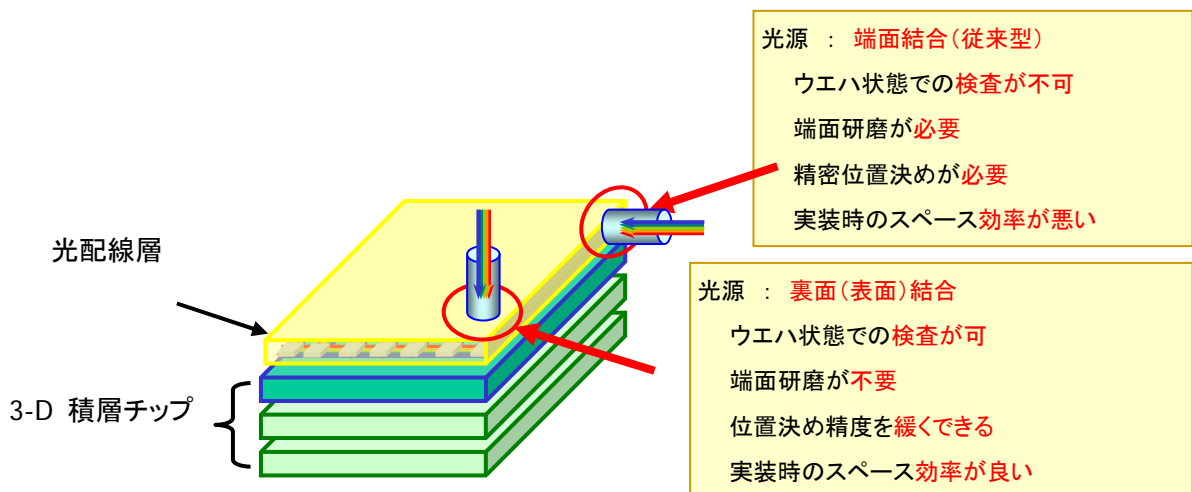
3)多波長光源とオンチップ光回路の集積技術の開発

本テーマにおいては、発熱体であるレーザ光源をLSIチップ上に搭載することは好ましくないと考え、電気配線における電源と同じように、レーザ光源をLSIチップの外に置くこととした。レーザ光源自体は、光通信や光記録などの用途で安価かつ高効率のものが存在しており、外部電源と同等以下のサイズおよび消費電力で外部光源を設けることが可能である。外部光源を用いる場合、一般に光の伝送に用いられているシングルモード(SM)光ファイバを用いることで、光源からLSI上光導波路の近傍までは容易にまたロスなく光を導くことができる。

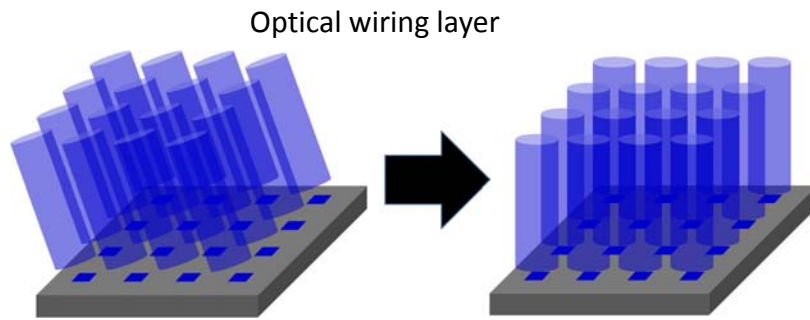
一般に用いられるSM光ファイバのコア径は、使用する波長によって多少異なるが、大方は、数 μm ~10 μm 程度である。これに対して、LSIチップの光配線等に用いるような光導波路のコア径は、サブ μm オーダーであり、光ファイバに比べて1桁小さい。そのため、このような光ファイバと微細な光導波路との接続する場合には、光ファイバの先端を球面に加工して出射ビームを絞り込むと共に、微細な光導波路の端面にビーム径を拡大するスポットサイズ変換器(SSC)を設けるなどの対応が一般に行われている。しかし、効率的な結合を実現するためには、0.1 μm レベルの位置決め精度が必要とされるためこの種のデバイスの実装コストは高い。また、このようにチップ端面での接続を行うため、チップを切り出して端面研磨を行う必要があり、工程が複雑になるだけで無く、ウエハレベルで検査できないため量産性に問題があった(Ⅲ-2-I-②-(2)-図35参照)。

このような課題を解決する方法として、回折格子を用いた面型の光結合構造が提案され、位置決め精度を1 μm レベルに緩和することができることが報告されている(F. V. Laere et al., IEEE J. lightwave Technol. 25, 151, 2007)。しかしながら、これらの構造のものは、レーザ光を光回路内に低損失に導くために、レーザ光や光ファイバを斜めに傾けて入射させている。その結果、光コネクタの構造が複雑となり、また、光ファイバの端面を斜め研磨する工程を設けるなどの必要が有った。特に、回折格子に入射するレーザ光の偏波面方向を正確に合わせる必要があるため、例えば偏波面保持ファイバを用いる場合には、光ファイバの端面を斜め研磨する際に正確に偏波面保持方向を合わせて加工しなければならない、など加工コストがさらに上昇するという課題があった。

そこで、我々は、波長多重のための4波以上の外部光源と微細な光導波路回路とを結合するため、回折格子を用いた面型の光結合構造でありながら、光回路面に対して垂直方向からの光入射に対しても低損失に光を光回路内に導くことのできる高効率な多波長光源・光導波路結合器を提案し、試作・評価した(Ⅲ-2-I-②-(2)-図36)。以下に報告する、光結合構造の開発は、東北大学との共同実施で行われた。

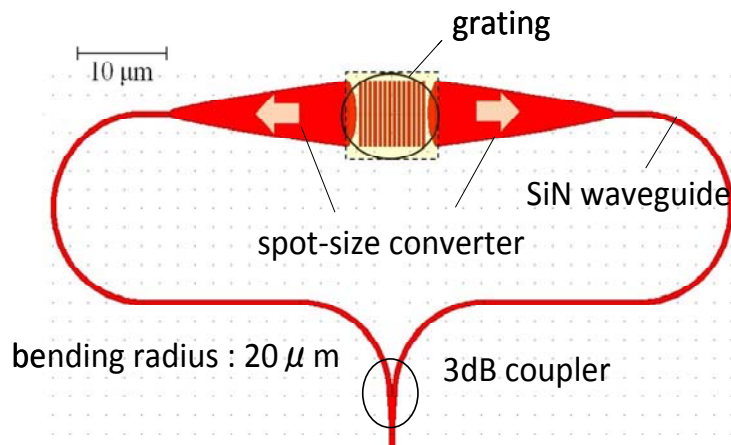


Ⅲ-2-I-②-(2)-図35 光結合構造の比較 1



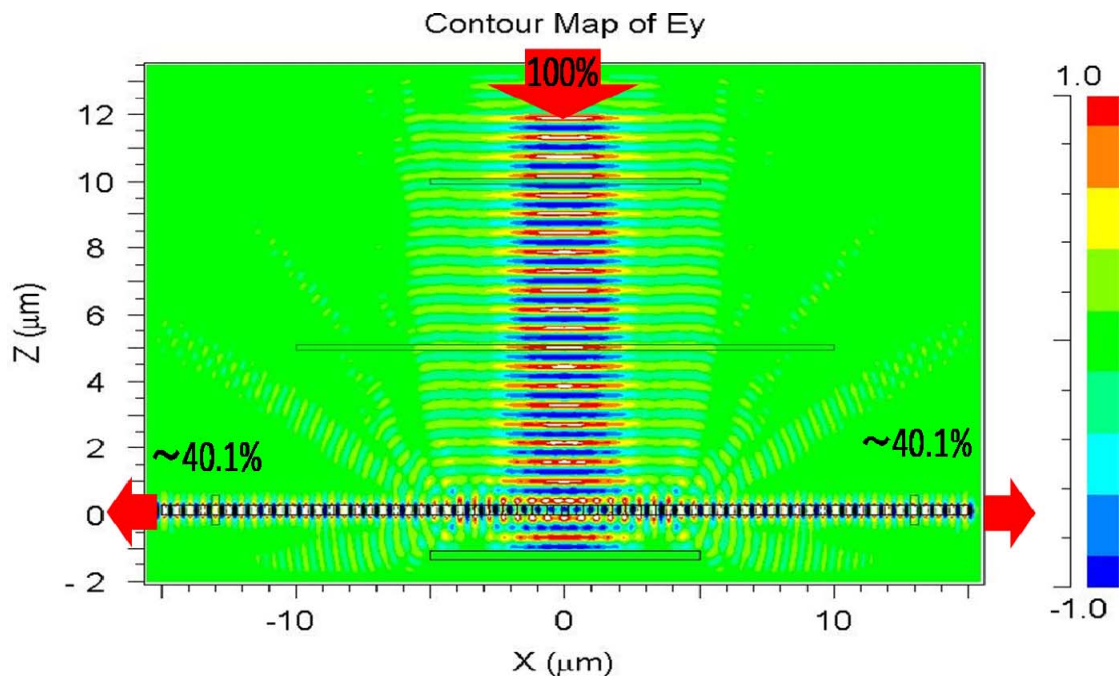
III-2-I-②-(2)-図 36 光結合構造の比較 2: (左) 斜め入射、(右) 垂直入射

III-2-I-②-(2)-図 37 に、提案した回折格子を用いた垂直結合型の光結合器の構造を示す。回折格子は、SM 光ファイバからのレーザ光を受けるのに丁度良い大きさとし、垂直方向から入射された光を入射光に対して垂直な二つの方向に回折させるようにしている。回折光は、構造の対称性から回折格子に対して左右両方向に等しく回折される。左右両方向に回折された光は、スポットサイズ変換器(SSC: Spot-Size Converter)によって光のビーム径が光導波路の断面サイズと同程度なるまで変換された後、それぞれ光導波路に導かれる。最終的に、両方向の光導波路は光合波器によって 1 本の光導波路に導かれている。また、回折格子の下には、回折格子を透過したレーザ光を反射する反射膜を形成し、反射光を回折格子に戻して再度、回折させることで光結合効率の向上を図る構造としている。



III-2-I-②-(2)-図 37 光結合器の全体図

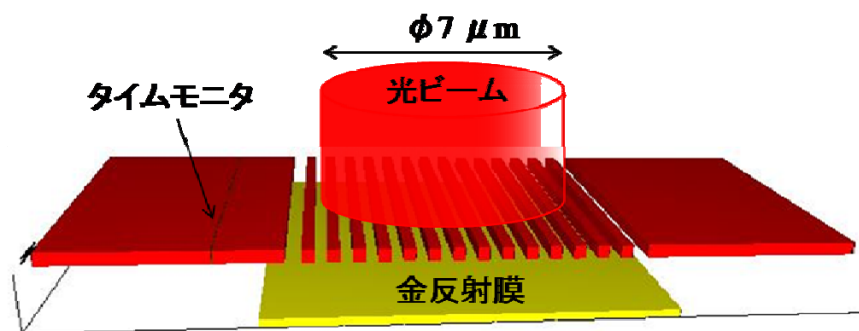
本光結合器を設計するに当たり、使用するレーザ光の波長は、830 nm 帯を基本とし、光導波路のコアは SiN ($n=1.9$) で形成し、周囲のクラッドは SiO_2 ($n=1.46$) で形成することとした。この SiN のコアの断面は $0.3 \times 0.6 \mu\text{m}$ (H×W) とした。光結合効率を高めるために、回折格子を透過した光を金反射膜で反射して回折格子に戻し、再び回折させて利用しすることを考えた。しかしながら、入射光が最初に回折される回折光と反射膜で反射された後の回折光が同相でないと、互いに干渉して有効に利用できなくなることに注意しなければならない。以上の点を考慮して解析評価を行った結果を以下に示す。III-2-I-②-(2)-図 38 は最高の効率が得られた時の結合の様子を示す二次元 FDTD 計算結果による光の電界強度分布を示す。回折部分における光結合効率は両側を足して 80.2% という高い値になった。



Ⅲ-2-I-②-(2)-図38 金反射膜との距離が1050 nm (最適構造)時の解析結果

微小な光回路の計算では二次元計算と三次元計算で差が出る場合があるため、引き続き三次元解析を行った。以下に、三次元解析モデルのパラメータを示す(Ⅲ-2-I-②-(2)-図39)。

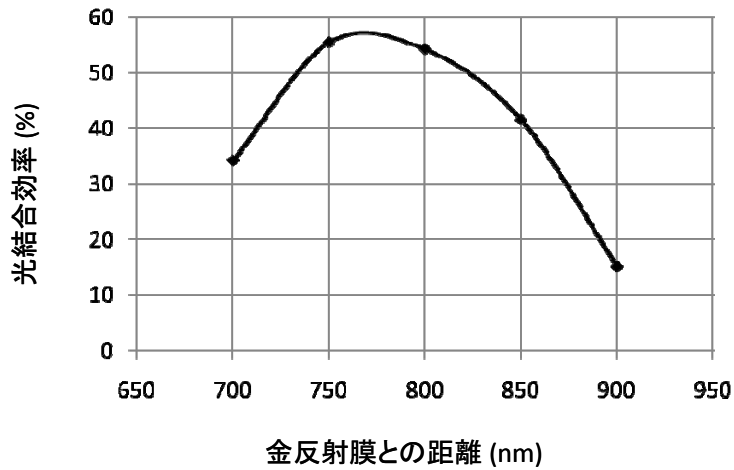
- ・ 光導波路は、SiN 埋め込み導波路($n=1.9$)を想定
- ・ 動作中心波長 : 830 nm
- ・ 回折格子ピッチ : 540 nm, 凹凸部長さの比 50/50
- ・ 回折格子部の大きさ : 約 $\square 7 \mu\text{m}$ (14 周期)
- ・ 回折格子深さ : 300 nm (導波路厚の 100%まで彫りこむ)
- ・ 金反射膜との距離 : $0.8 \mu\text{m}$
- ・ 光ビームスポット径 : $\phi 7 \mu\text{m}$ を想定



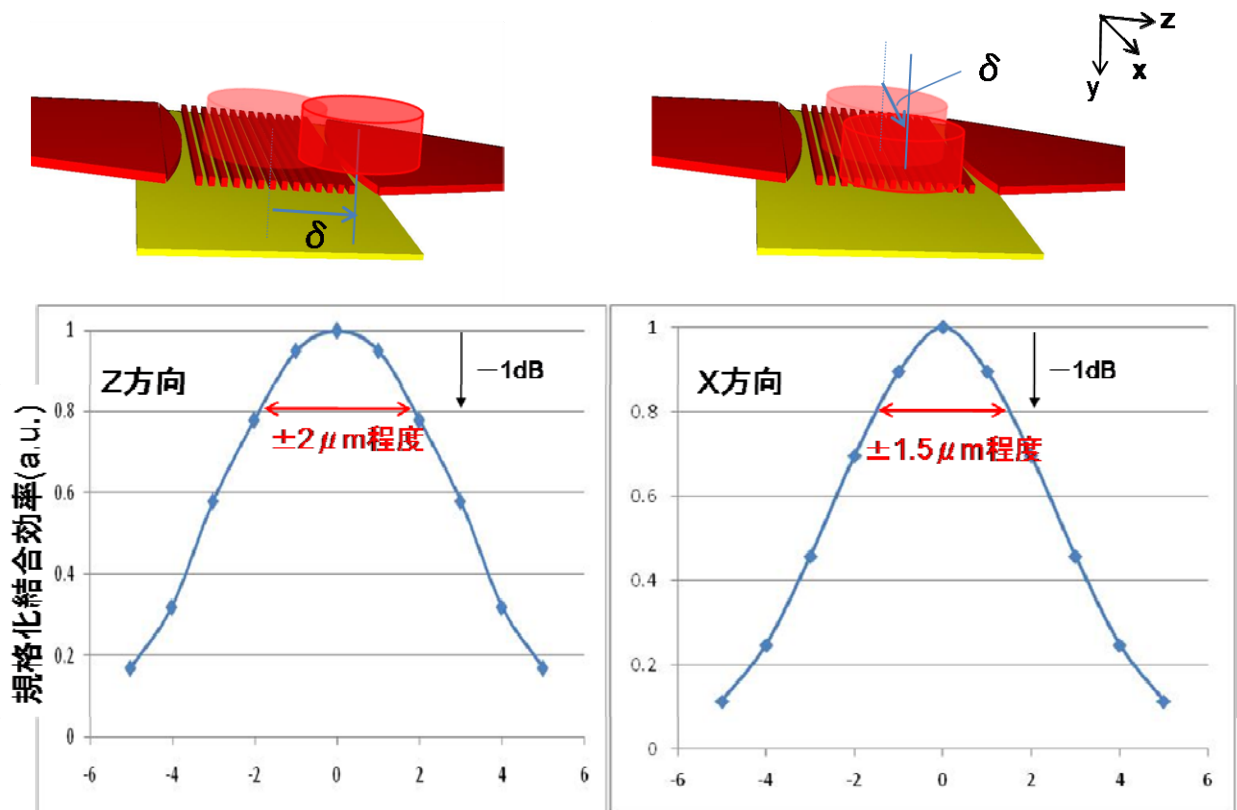
Ⅲ-2-I-②-(2)-図39 解析に用いた光結合部の三次元モデル

金反射膜との距離と光結合効率の解析結果をⅢ-2-I-②-(2)-図 40 に示す。結合効率は55%強であり、二次元FDTD解析に比べて、約25%悪化した。また、入射ビームを回折格子のピッチ方向及び、回折格子の長手方向にずらした時の光結合効率の解析結果をⅢ-2-I-②-(2)-図 41 に、入射ビームを回折格子のピッチ方向に傾けた時の光結合効率の解析結果をⅢ-2-I-②-(2)-図 42 に示す

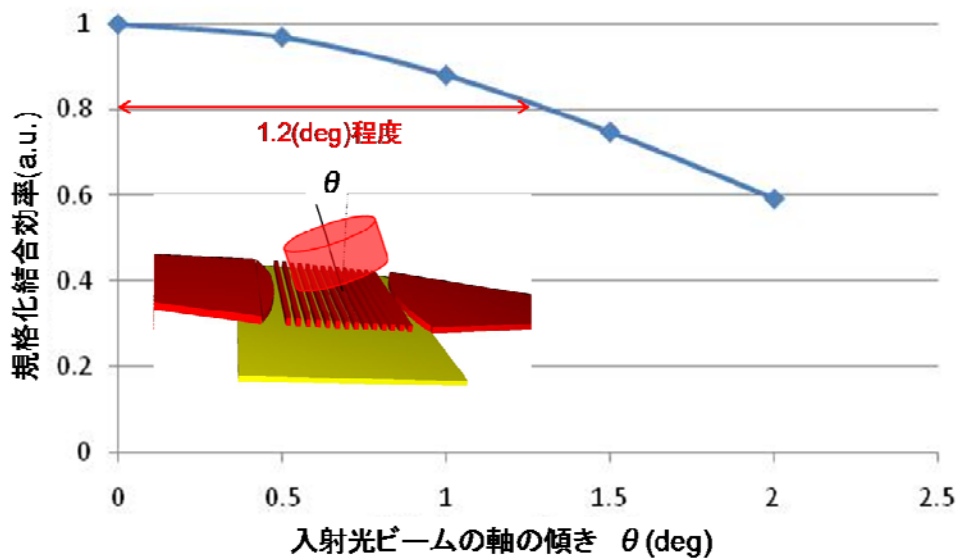
三次元解析の結果を二次元解析で得られた結果と比較すると、結合効率は低下したが定性的な傾向は一致した。目標とした入射ビームの位置ずれトレランスは $\pm 2 \mu\text{m}$ (ピッチ方向: -1dB) および: $\pm 1.5 \mu\text{m}$ (長手方向: -1dB) と十分な値であり、また入射ビームの角度ずれトレランスも ± 1.2 度 (ピッチ方向: -1dB) という許容範囲の値が得られた。



Ⅲ-2-I-②-(2)-図 40 金反射膜との距離と光結合効率 (三次元モデル)

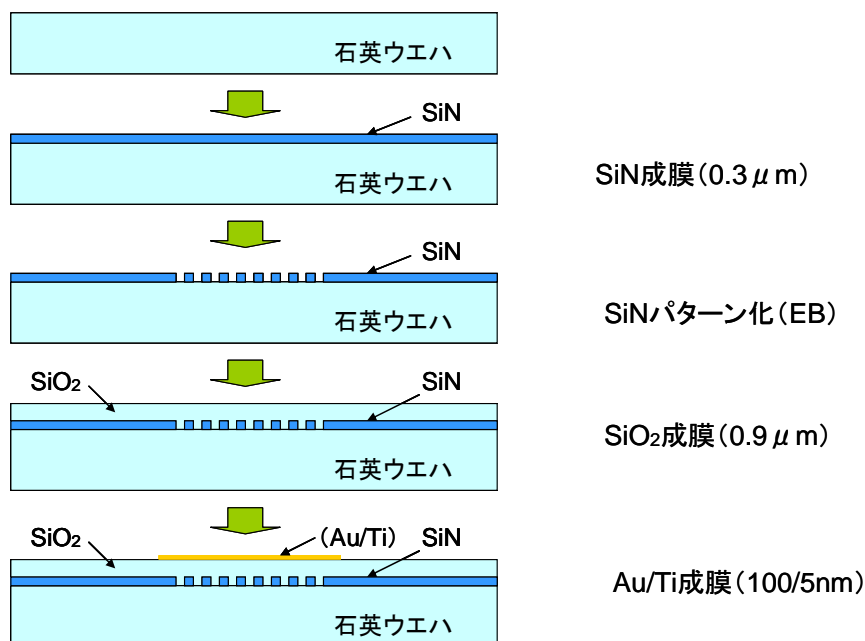


Ⅲ-2-I-②-(2)-図 41 入射ビームの位置ずれ量と光結合効率

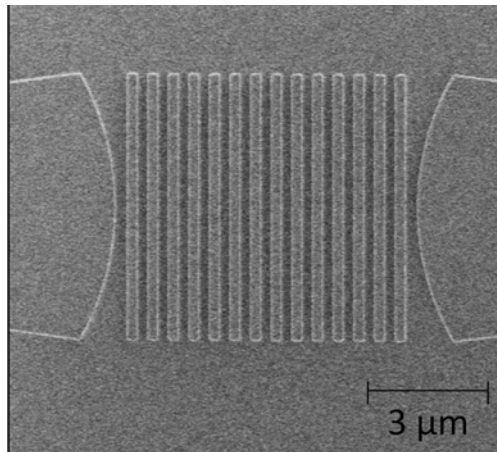


Ⅲ-2-Ⅰ-②-(2)-図 42 入射ビームの角度ずれ量と光結合効率

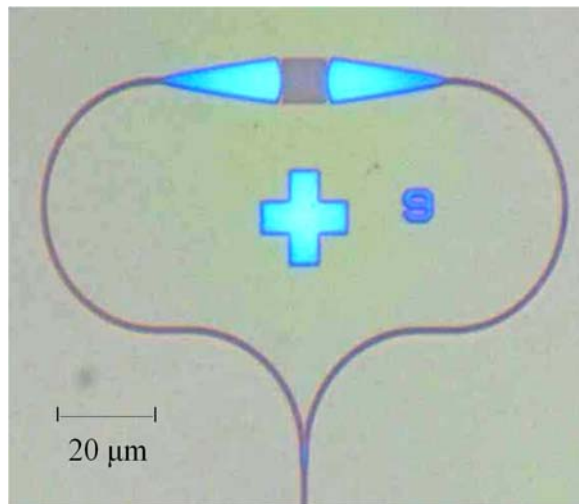
以上の設計検討をもとに結合部分の試作を行った。Ⅲ-2-Ⅰ-②-(2)-図 43 に、評価用のパターン付き試作ウエハの製造プロセス例を示す。Ⅲ-2-Ⅰ-②-(2)-図 44 には、回折格子部の SEM 画像を示すが、格子の L/S 及び、格子に続く SSC のレンズとなる曲線部もきれいに形成されている。Ⅲ-2-Ⅰ-②-(2)-図 45 に示したのは、光結合部の全体像であるが、回折格子の両側に分かれた光導波路が大きく曲げられて、カップラで 1 本の光導波路にまとめられている。密着強度を上げるため下地として Ti を 5 nm 付けた上に Au を 100 nm 形成した。パターンの形成は、リフトオフにより行った。パターン位置精度は $\pm 1 \mu\text{m}$ 以内に入っており、また、剥離なども見られず、良好に反射膜を形成できた(Ⅲ-2-Ⅰ-②-(2)-図 46)。



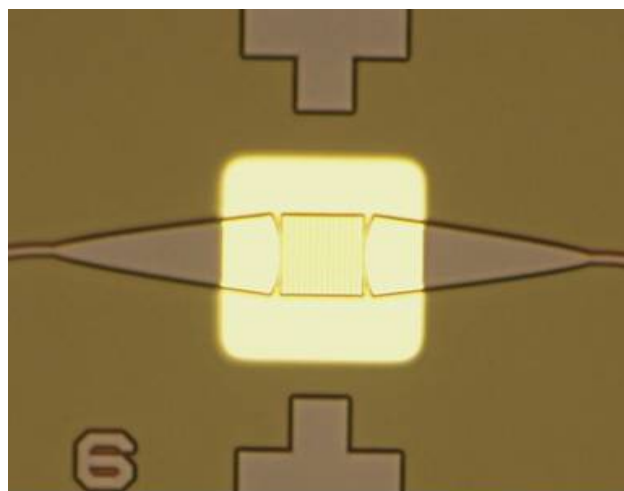
Ⅲ-2-Ⅰ-②-(2)-図 43 裏面入射用試作ウエハプロセス



Ⅲ-2-Ⅰ-②-(2)-図 44 回折格子部の SEM 画像

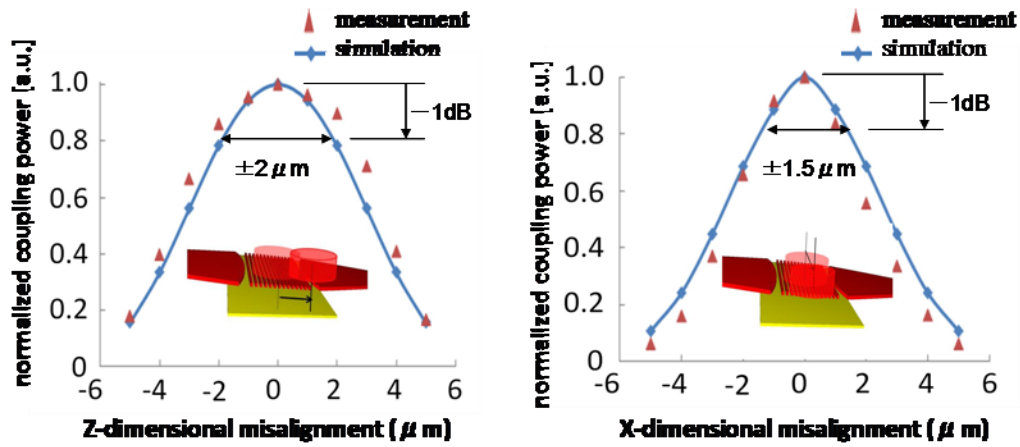


Ⅲ-2-Ⅰ-②-(2)-図 45 光結合部全体外観図（金反射膜なし）



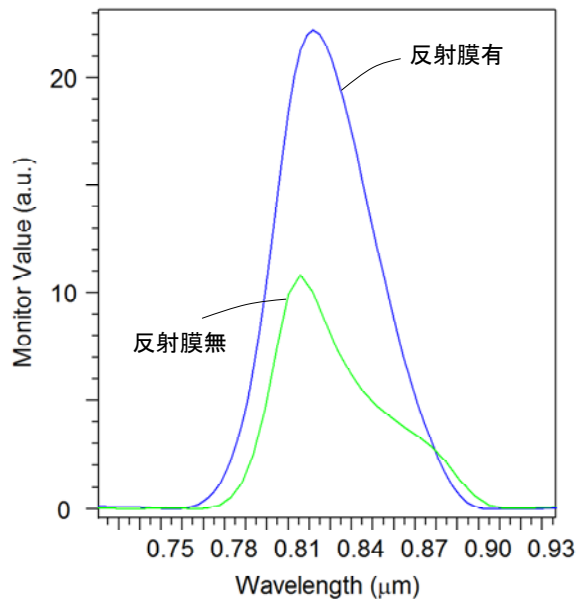
Ⅲ-2-Ⅰ-②-(2)-図 46 金反射膜形成

試作した結合器の位置決めトレランスの測定結果をⅢ-2-I-②-(2)-図 47 に示す。Ⅲ-2-I-②-(2)-図 47 では解析で求めた値に重ねて表示しているが、良く一致していることが分かる。これより、トレランス(-1dB の位置)は、格子のピッチ方向であるZ方向が $\pm 2 \mu\text{m}$ 、格子の長手方向であるX方向が $\pm 1.5 \mu\text{m}$ となり、端面接続に比べて大幅に改善できることを確認できた。



Ⅲ-2-I-②-(2)-図 47 位置決めトレランスの測定結果

さらに試作したチップを用いて、結合効率を求めた。その結果、Ⅲ-2-I-②-(2)-図 48 に示すように、金属(Au)反射膜を設けることで光結合効率が倍増することが判明した。この絶対値は 35%であった。なお、この図から、波長 780 nm から 850 nm までのかなり広い帯域でこの結合器が有効であることがわかる。



Ⅲ-2-I-②-(2)-図 48 反射膜の有無による光結合効率の比較

以上の試作評価結果をまとめると以下のことが確認できた。

- 結合効率(金反射膜あり:入力):約 35% (解析値:52%)
金反射膜が有ると、無い場合と比べて、約 2 倍の効率
- 光ファイバの位置決めトレランス(入力)
 - ピッチ方向 :約 $\pm 2 \mu\text{m}$ (解析値と同等)
 - ピッチと直角方向 :約 $\pm 1.5 \mu\text{m}$ (解析値と同等)
- 入力側だけでなく、出力側のインターフェースとして使用可能
- 光ファイバ先端は平面研磨が良い
- 光ファイバ先端を回折格子に、ほぼ密着させることで利用可能

また、解析から確認した事項として以下のことがある。

- 入射ビームの角度ずれトレランス: ± 1.2 度(ピッチ方向: -1dB)
- 金反射膜までの距離のトレランス: $\pm 60 \text{ nm}$
- スポットサイズの影響 : $\phi 6 \sim 9 \mu\text{m}$ で、光結合効率 79%以上
- スポットサイズ変換効率 : 約 95%
- 動作波長範囲 : $\pm 15 \text{ nm} (@830 \text{ nm}: -1\text{dB})$

4)光クロック・バスの低消費電力動作の確認とシステム性能実証

SiON 導波路を用いた波長多重光回路と Si ナノフォトダイオードの集積チップを作製し、特性評価を行った。波長 775 nm、10 GHz の光信号を波長多重光回路に入力することにより、出力側の port1 において 10 GHz パルス信号の分離検出が可能であった。また、port1 と port2 の間および port1 と port3 の間のクロストークはおよそ-12dB 程度であり、port2 と port3 の間のクロストークは-12dB 以下であった。これらの値は、本検討におけるフォトダイオード後段で光電流を信号電圧に変換するアンプである TIA (transimpedance-amplifier)回路の ON/OFF を制御するのに十分な値である。以上の基礎検討結果により、LSI 上の光インターコネクションが実現可能であることが確認された。

次に、アンプ回路を内蔵した LSI チップと Cu ビアおよび AuSn バンプを介して上記の Si ナノフォトダイオードを集積した波長多重光チップを電気接続した構造をフリップチップ実装により作製した。これに、850 nm 帯域の波長可変 CW(continuous wave:連続光)光源からの光を LN(ニオブ酸リチウム)変調器により電气的に変調した光信号を入力することにより、5 GHz および 3 GHz での回路動作を 2 nm の波長間隔で確認した。この結果は、複数の周波数クロック信号を1本の光配線で供給できる可能性を示す基礎実験になっていると考えられる。

なお、システム全体の電力遅延積に関しては、今回動作確認された消費電力設計値3.5 mWの変調器と、本研究テーマ前半で得られた受光器、導波路、光源等の設計値(K. Ohashi et. al., “A silicon photonics approach for the nanotechnology era,” Technical Digest of IEDM 2007, 30.6, pp. 787-790.)を合わせると2 pJ 以下になり、目標の7 pJを十分達成できると予想されたため、システム全体としての試作は取りやめて研究期間を1年短縮した。

③特性ばらつきに対し耐性の高いデバイス・プロセス技術開発

(1)構造依存の特性ばらつきの物理的理解とモデリング技術の開発

[1]デバイス特性ばらつきの評価

1-1.デバイス特性ばらつき計測用 TEG 開発

1-1-1.Phase-1 TEG のコンセプト

本開発では、微細 MOS (Metal Oxide Semiconductor) デバイスのランダムばらつきを評価することが目的であるため、効率よく大量のデバイスを計測、並びに高精度に測定し、統計的な解析を実施し、分析対策を検討するために、III-2-I-③-(1)図 1-1-1-1 に示すような TEG(Test Element Group)を設計した。統計的な解析を実施するためには大量のデバイス計測が必要であるが、これを実現するためにチップ内に区分けされたブロック内に大量の MOS トランジスタなどの DUT(Device Under Test)をアレイ上に配置する、DMA-TEG(Device Matrix Array Test Element Group)構造を採用した(III-2-I-③-(1)図 1-1-1-2)。DMA-TEG は、デコーダーと呼ばれるスイッチングトランジスタをロウ方向、コラム方向配線の切り替えに用いることによって、チップ内の 1 つ 1 つの DUT を切り替える。このため、配線数は最小にすることが可能であるが、配線抵抗による DUT 特性のばらつき、DUT のオフリーク特性やゲートリークによる測定ばらつき、周辺回路のオフリークによる測定ばらつきが懸念される。たとえば III-2-I-③-(1)図 1-1-1-3 に示すように、たとえ小さなブロック内に DUT を配線しても、DMA-TEG 内のスイッチングトランジスタに近い DUT ともっとも離れている DUT では配線長が大きく異なることになる。このため、DUT が MOS トランジスタの場合、配線長の違いによって配線抵抗による電圧降下量が異なり、ドレイン端子での印加電圧差が生じる可能性がある。また、本方式の DMA-TEG を用いる場合、III-2-I-③-(1)図 1-1-1-4 に示すように選択された DUT 以外にも電圧が印加されるため、リーク電流が大きい場合に DUT の測定電流に加わり、正確な測定電流が計測できない。これらの大規模 DMA-TEG の課題を回避するために、本開発で設計した DMA-TEG は DUT を選択する配線をなるべく最小面積となる構造を採用し、かつ非選択 DUT のオフリーク電流の対策のために、ブロック全体を 4 分割する(分割した領域を MAT と呼ぶ)ことで印加する電圧が測定 DUT の配置された MAT にのみ印加されるように設計した。しかしながら、100 万個(1024×1024 個)程度を配置した DMA-TEG の場合、電源から遠い DUT は長い配線を有するため、MOS トランジスタに大電流を流して評価するオン電流(I_{on} : On-State Current、以下 I_{on} と呼ぶ)を評価する場合には DUT 端子で電圧降下を引き起こし、所望の電圧が端子にかからないことが懸念される。このため、III-2-I-③-(1)図 1-1-1-5 に示すような超大規模 DMA-TEG はオフ電流の問題対策として、III-2-I-③-(1)図 1-1-1-6 に示すように、ブロック内を 4 つの MAT に分断し、すべての DUT に電圧が印加することのない構造とした。

III-2-I-③-(1)図 1-1-1-7 に示すソースバイアス型 DMA-TEG は、III-2-I-③-(1)図 1-1-1-8 の示す MOS トランジスタのドレイン電流(I_{ds})-ゲート電圧(V_g)依存性に示すように、ソース電圧(V_s)に正の電圧を印加することで V_{th} が上昇する特性を利用し、非選択 MOS のソース端子に電圧を印加し、非選択時のオフ電流を抑制することを特徴とする。特に高温時において有効であり、 V_{th} が変動した場合にもこの影響はなく、オフ電流は GIDL(Gate Induced Drain Leakage)電流のみの影響となる。このソースバイアス型 DMA-TEG は、III-2-I-③-(1)図 1-1-1-9 に示すように NMOS、PMOS をそれぞれ 4 種類のサイズの MOS トランジスタを 8K 個のずつ配置した。

一方、III-2-I-③-(1)図 1-1-1-10 に示す完全分離型 DMA-TEG はソース、ドレイン、ゲート電極がそれぞれ

ケルビン接続(センス線で電圧を測定し、フォース線で補正された所望の電圧を印可する方式)をされるため、長い配線で接続された場合にも正確な電圧を印加することが可能である。したがって、MOSトランジスタのオン電流のばらつき評価等に有効なTEG構造といえる。また、DUTの1つ1つが選択され、測定するDUTにのみバイアスがかかるのでオフリークの問題は生じず、正確な微小電流測定、正確な I_{on} 測定が可能となる。ただし、III-2-I-③-(1)図 1-1-1-10にも示したように、ユニットセルを形成するDUTは薄いゲート酸化膜、微細な加工寸法を持つコアトランジスタであるが、スイッチトランジスタに3.3V系トランジスタを用いたため、超大規模DMA-TEGと比べて、1チップに配置できるトランジスタ数は16000個になる。超大規模DMA-TEGは評価するトランジスタ数を増大させることが目的であったため単一のゲート長(L_g)、ゲート幅(W_g)のトランジスタから構成したが、完全分離型DMA-TEGは L_g 、 W_g を変えて、Pelgromプロット[2]の A_{VT}^1 が求められるIII-2-I-③-(1)表 1-1-1-1に示す4水準を、III-2-I-③-(1)図 1-1-1-9に示すように配置した。

これら基本的な超大規模DMA-TEG、ソースバイアス型DMA-TEG、完全分離型DMA-TEGの測定上問題となるドレイン側のオン抵抗値の設計見積をIII-2-I-③-(1)表 1-1-1-2に示した。各DMA-TEGに対して測定項目を設定し、これを満足するためのオン抵抗設計とした。これをもとに、本開発では、III-2-I-③-(1)表 1-1-1-3に示すランダムばらつきの原因を解析するためのDMA-TEGを導入した。III-2-I-③-(1)図 1-1-1-12は、完全分離型DMA-TEGを基本とした、

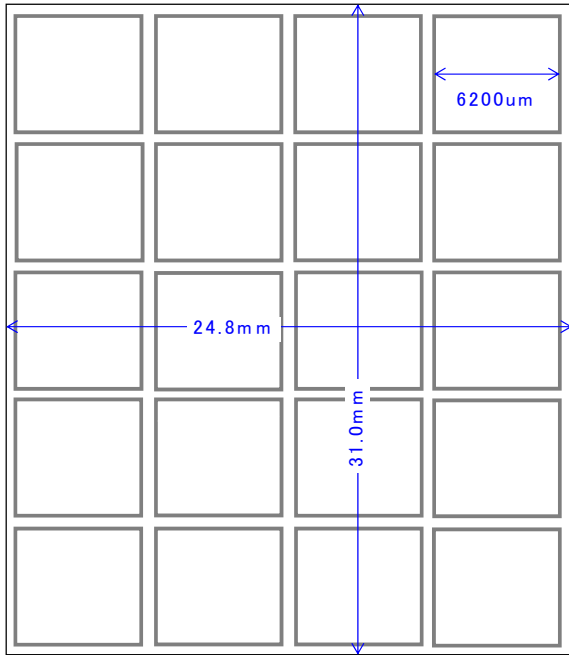
- | | |
|--------------------|-------------------------|
| (i) PN 相関、PN 相互拡散 | III-2-I-③-(1)図 1-1-1-13 |
| (ii) 各種ストレス・パターン依存 | III-2-I-③-(1)図 1-1-1-14 |
| (iii) CT 配置依存 | III-2-I-③-(1)図 1-1-1-15 |
| (iv) メタル配線依存 | III-2-I-③-(1)図 1-1-1-16 |

とランダムばらつきの関係の評価するDMA-TEGパターンである。それぞれのパターンによるばらつきを計測するために、128個の同一なDUTを配置した。

III-2-I-③-(1)図 1-1-1-17は、電気特性を評価したDUTの物理解析を実施するための、DMA-TEGに広いアクティブ領域を設けた構造とした。広いアクティブには位置判別用のレーザーマーキングが可能であり、これに合わせてプローブ顕微鏡等のプローブによるアクセスが可能となる。III-2-I-③-(1)図 1-1-1-18は、チップ内の1ブロック内に、通所の評価で用いられる4端子MOSを配したTEGである。 $L_g/W_g=65/140\text{nm}$ のNMOS、及びPMOSを378個ずつ配置し、DMA-TEGで評価した結果と比較できるようにしている。III-2-I-③-(1)図 1-1-1-19からIII-2-I-③-(1)図 1-1-1-20は、再委託先で開発した隣接する2つのトランジスタを組み合わせたDMA-TEG、ならびCBCM(Charge Based Capacitance Measurement)法を用いたに微小なゲート容量計測TEGである。詳細に関しては、1-2-5項、ならびに1-2-8項に記す。

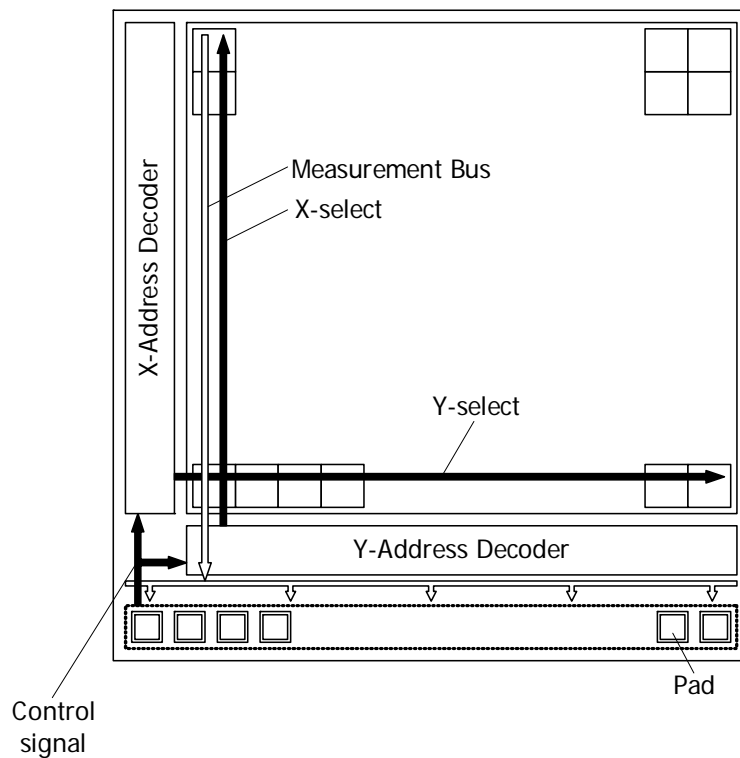
上記のように、MOSデバイスの基本的なばらつきを大量に評価することを主目的とした複数のDMA-TEGを設計し、あわせてパターン依存などの設計パラメータを変えて特性ばらつきへの影響を調べるためのマスクセットを開発した。

¹ 横軸を L_g と W_g の積の平方根、縦軸に σV_{th} をプロットした際の傾きを A_{VT} と定義して V_{th} ばらつきの指標としている。 σV_{th} を求めるMOSトランジスタ数、種類で精度が決まる。

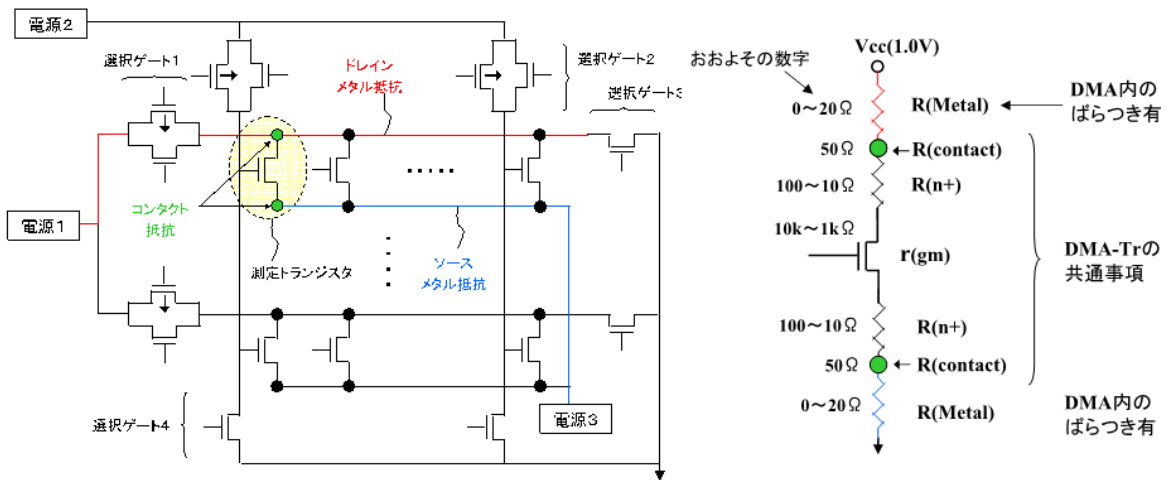


BLK	TEG name	Type	comment
A	SDMA-1	完全分離	
B	SDMA-2	完全分離	各種バリエーションTEG
C	SDMA-3	完全分離	
D	SDMA-4	超大規模(S共通→1種類)	
E	SDMA-5	大規模(S浮かせ)→LW振り	ロバストで検討したデコーダタイプを変更し、特定バリエーションを適用(世界最大目標)。
F	SDMA-6	大規模(分離)→LW振り	
G	SDMA-7	超大規模(S共通→1種類)	
H	RTDMA-5	RT-type	RT型物理解析用DMA-TEG
I	MOS-3	—	4端子ケルビン接続のMOS測定
J	HCU-1	特殊	LW振りが16種類→32ペア、64MOSX6種類
K	HCU-2	特殊	CBCMIによるCoxばらつき評価
L	SDMA-8	ソース共通	SRAMのSNMを評価可能なレイアウトとする。
M	SPICE	—	SPICE抽出用TEG

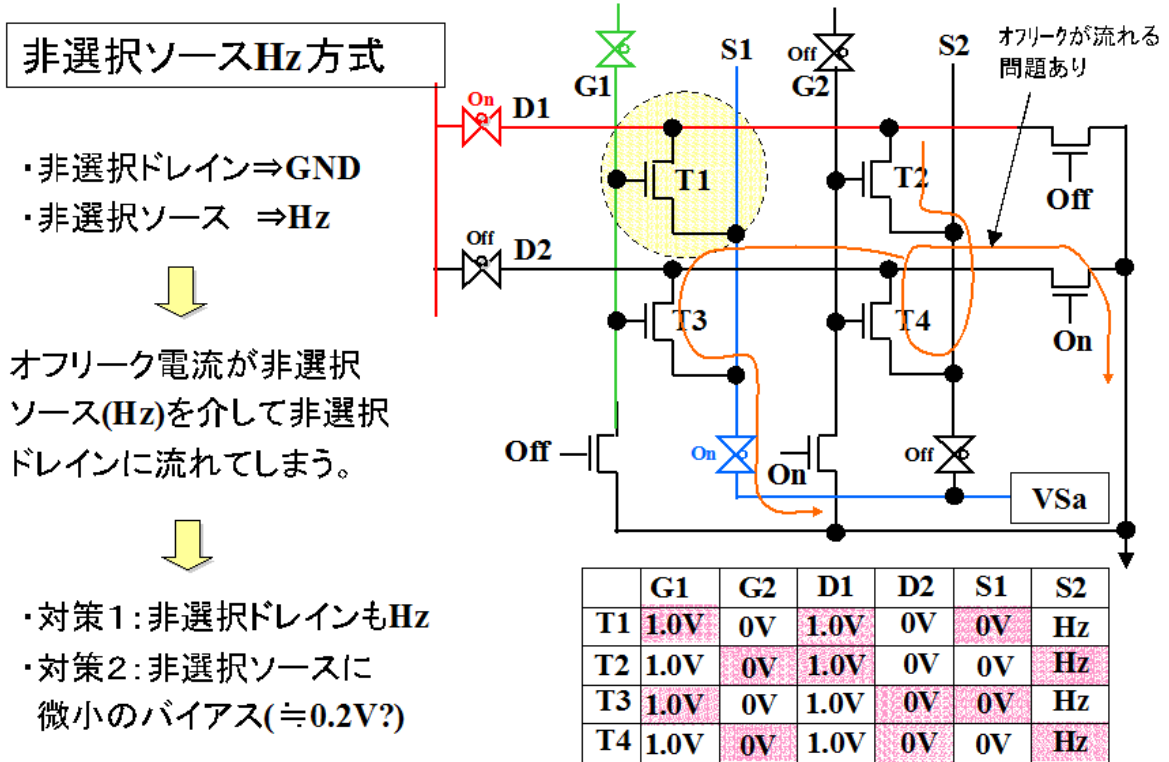
III-2-I- (1)図 1-1-1-1 設計した Phase-1 マスクに組み込んだ DMA-TEG 一覧



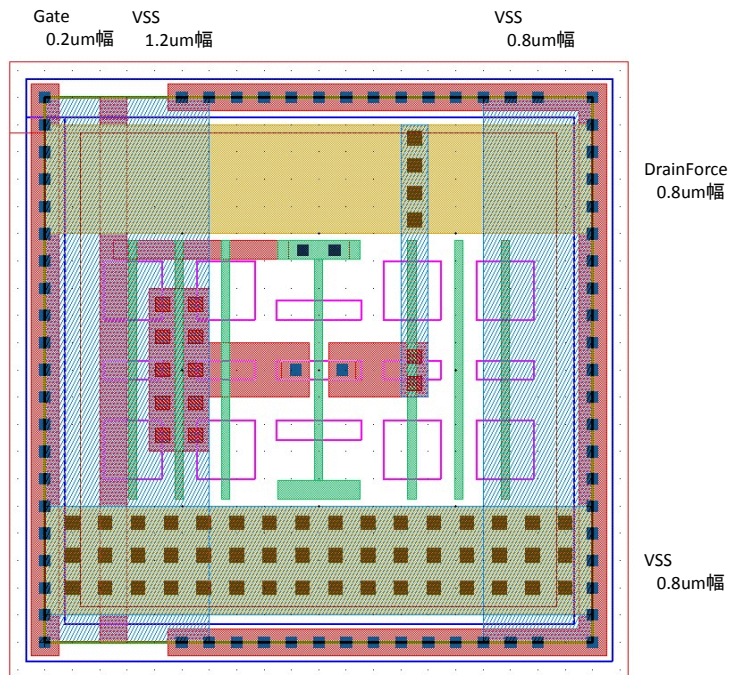
III-2-I- (1)図 1-1-1-2 大量のデバイス測定のための DMA-TEG 構造。DUT を X-Address Decoder、Y-Address decoder にて選択する。



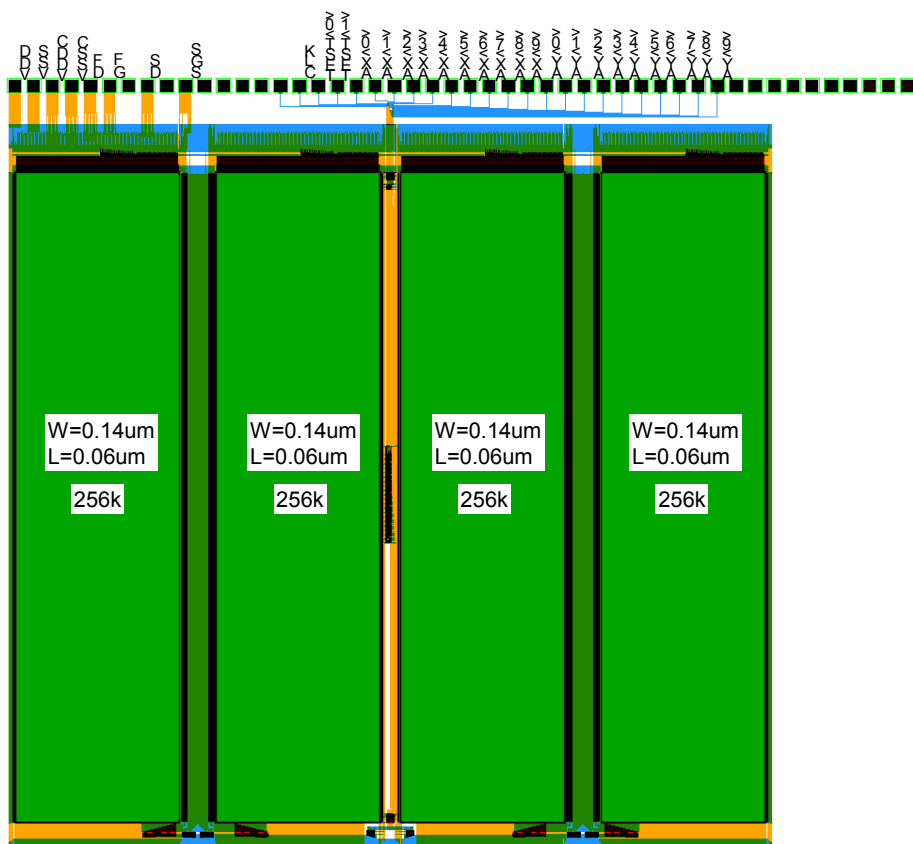
III-2-I- (1)図 1-1-1-3 DMA-TEG で問題となる配線抵抗や、スイッチトランジスタの抵抗。



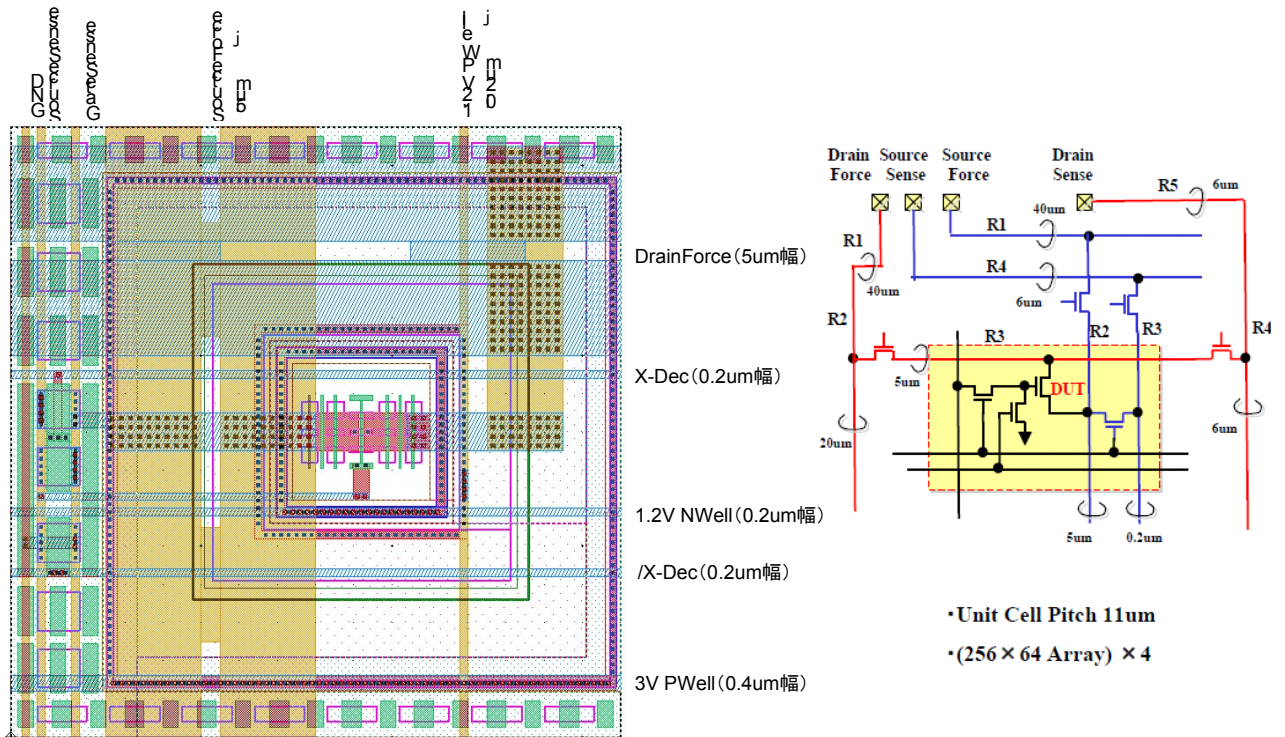
III-2-I- (1)図 1-1-1-4 DMA-TEG に流れるリーク電流。



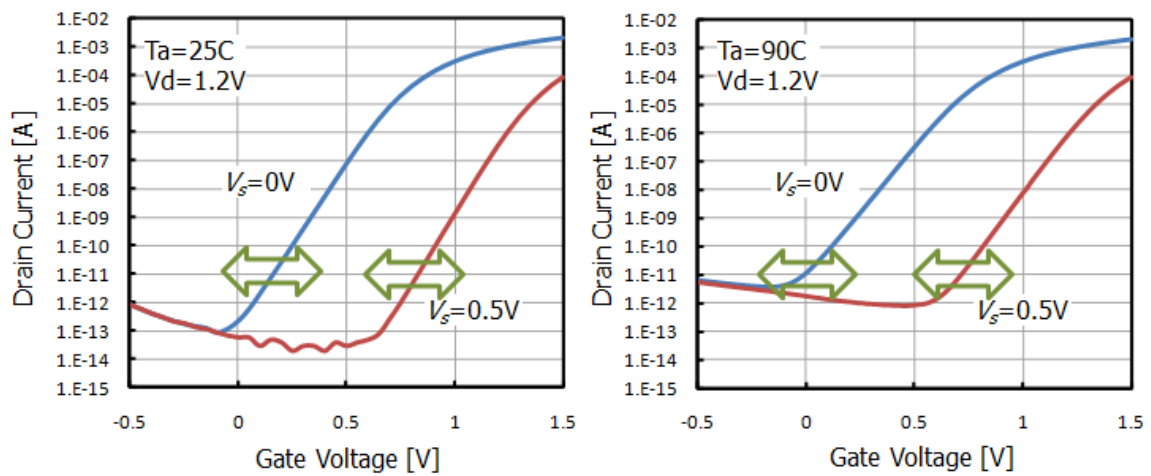
III-2-I-③-(1)図 1-1-1-5 1M の DMA-TEG のレイアウト



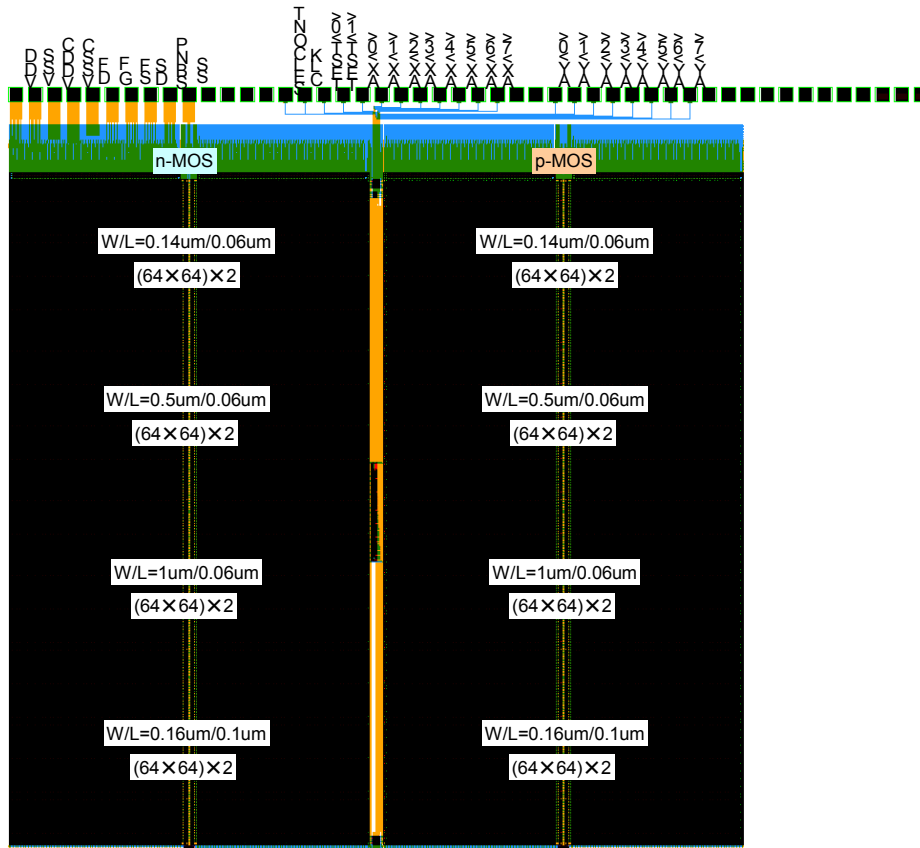
III-2-I-③-(1)図 1-1-1-6 1M の DMA-TEG のオフブリーク対策のために MAT を分割し、電圧印加される領域を縮小している。



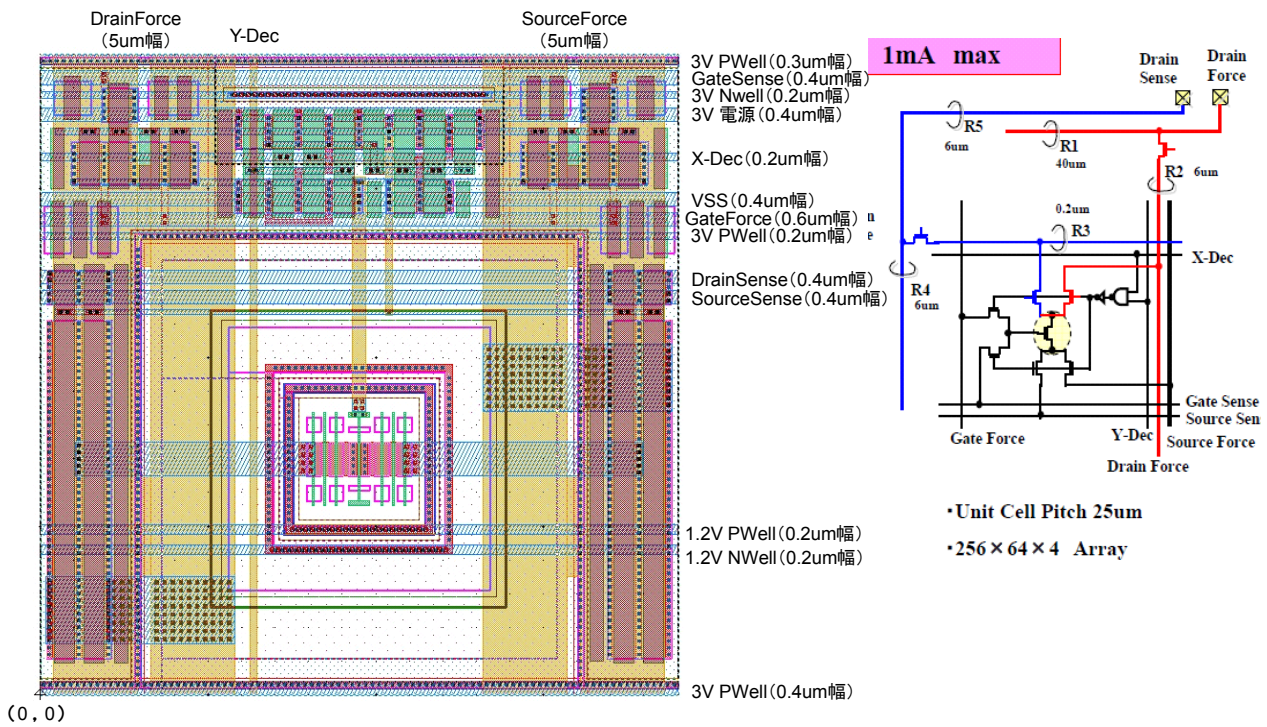
III-2-I-③-(1)図 1-1-1-7 ソースバイアス型 DMA-TEG のレイアウトと回路図



III-2-I-③-(1)図 1-1-1-8 ソースにバイアス印加した場合の波形。 V_{th} がばらついていてもサブスレッショルドドレックが増加しない様子が分かる。



III-2-I-③-(1)図 1-1-1-9 ソースバイアス型 DMA-TEG の MAT レイアウト


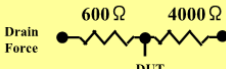
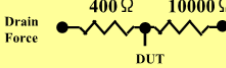

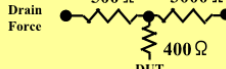


III-2-I-③-(1)図 1-1-1-10 完全分離型 DMA-TEG の DUT レイアウトと回路図

III-2-I- (1)表 1-1-1-1 L_g/W_g を変えた DMA-TEG のリスト

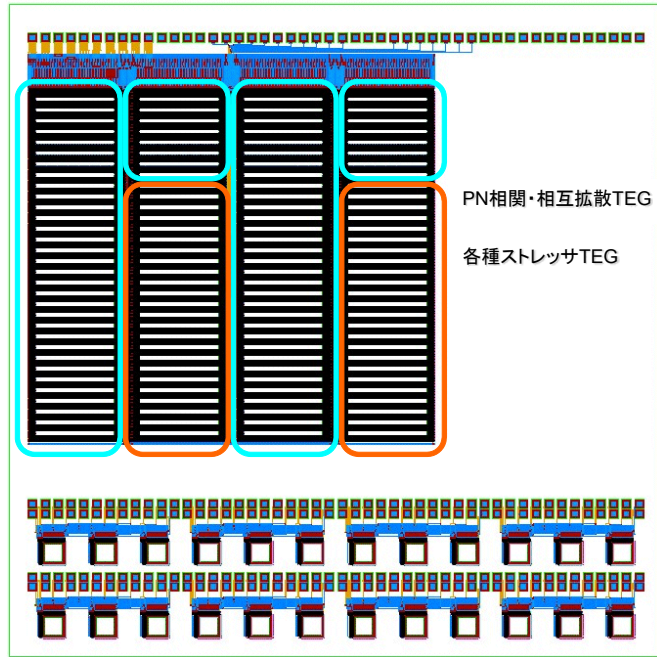
No	L	W	$\sqrt{(L/W)}$	個数	備考
1	0.06	0.14	10.91	8,000	
2	0.06	0.50	5.78	8,000	
3	0.06	1.0	4.1	8,000	
4	0.10	0.16	1.27	8,000	

III-2-I- (1)表 1-1-1-2 設計した DMA-TEG のオン抵抗計算値

方式	サイズ	目的	測定項目	抵抗値	判定
完全分離型 (16K)	16K	バリエーション評価	$V_{th}(1\mu A)$ 電流(1mA)		○
完全分離型 (64K)	64K	大容量DMA評価	$V_{th}(1\mu A)$ 電流(1mA)		○
ソースバイアス型	64K	大容量DMA評価	$V_{th}(1\mu A)$ 電流(1mA)		○
ソース共通型	1M	超大容量DMA評価	$V_{th}(1\mu A)$		○
					○

III-2-I- (1)表 1-1-1-3 Phase-1 マスクに導入した DMA-TEG

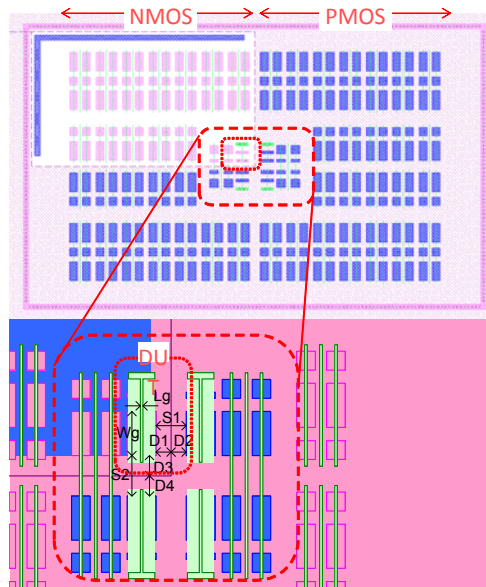
TEG 構造	特徴
超大規模 DMA-TEG	同サイズの 1M 個のデバイスが高密度に配置。4~5 σ ばらつきが実測可能。電流を流さない V_{th} の評価は問題ないが、長配線による電圧降下のため、オン電流評価の精度は落ちる。
ソースバイアス型 DMA-TEG	非選択 DUT のソースに負電圧を印加し、トランジスタのオフリークを抑制する構造。64K 個のデバイスを実装(16K のサイズの異なるデバイスが 4 種類)。
完全分離型 DMA-TEG	トランジスタの端子にスイッチが付加され、各端子は Kelvin 接続で電圧補正。精密なオン電流の評価が可能。
バリエーション TEG1(完全分離型)	ウエル近接効果:隣接するウエルによるばらつき拡大、PN 相互拡散を TEG レイアウトで検討
バリエーション TEG2(完全分離型)	STI 応力によるばらつき変化を TEG レイアウトにより検討
バリエーション TEG3(完全分離型)	ライナー膜による応力変化によるばらつき変化を検討。コンタクトの位置、数を変えることでシリコン窒化膜ライナーの応力値を変化。
バリエーション TEG4(完全分離型)	上記バリエーション TEG1~3 の組み合わせで複合的な要因解析を行うための TEG。
SNM 評価 TEG(完全分離型)	完全分離型 DMA-TEG の DUT 部分に SRAM ミニアレイを埋め込み。2 つの記憶ノードから端子 (V_1 , V_2)を引き出すことで SNM, N カーブの評価を行う。
ばらつきモニタ	短時間でトランジスタのばらつきを評価可能であり、スクライブへ実装することでモニタとして用いることが可能。ペアトランジスタである MOS1 と MOS2 の V_{th} 差で流れる電流を近似式で解析し、ばらつきを算出する回路。
4 端子 MOS	同一サイズの MOS を 4PAD 間に 1 チップに最大個数配置。DMA-TEG で得られた特性との比較を行うための TEG。



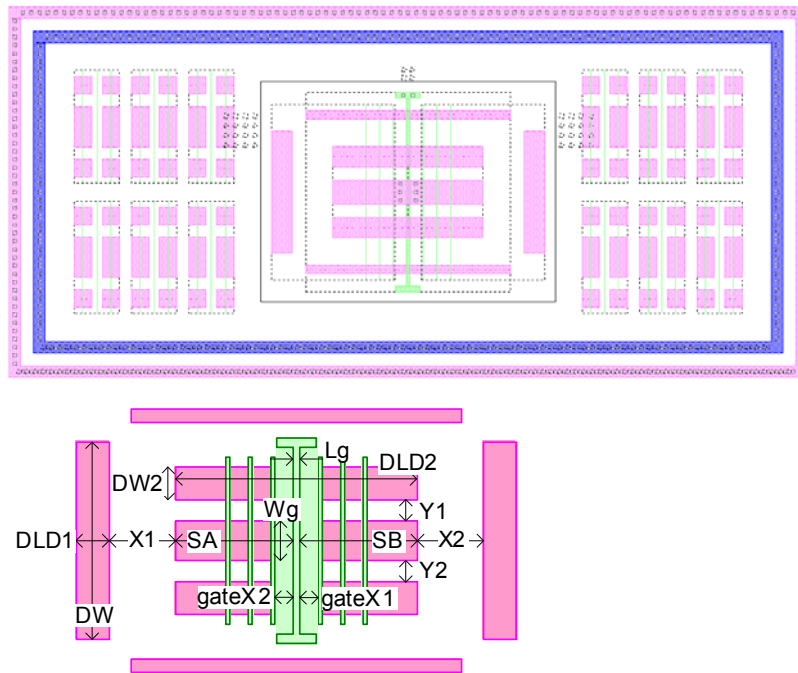
バリエーションDMA16K①				バリエーションDMA16K②				バリエーションDMA16K③			
nMOS①	nMOS②	pMOS①	pMOS②	nMOS①	nMOS②	pMOS①	pMOS②	nMOS①	nMOS②	pMOS①	pMOS②
AN001	AN059	AN027	AN073	KY047	TF020	KY053	TF135	TF052	TF084	TF167	TF199
·	·	·	·	·	·	·	·	·	·	·	·
·	·	·	·	·	·	·	·	·	·	·	·
·	AN066	·	AN080	KY050	·	KY056	·	·	·	·	·
·	·	·	·	KY057	·	KY066	·	·	·	·	·
·	KY001	·	KY023	·	·	·	·	·	·	·	·
·	·	·	·	·	·	·	·	·	·	·	·
AN026	·	AN052	·	·	·	·	·	·	·	·	·
AN053	·	AN067	·	KY065	·	KY074	·	·	·	·	·
·	·	·	·	TF001	·	TF116	·	·	·	·	·
·	KY022	·	KY044	·	·	·	·	·	·	·	·
·	KY045	·	KY051	·	·	·	·	·	·	·	·
·	KY046	·	KY052	·	·	·	·	·	·	·	·
AN058	·	AN072	·	TF019	TF051	TF134	TF166	TF083	TF115	TF198	TF230

- AN～:PN相関・相互拡散TEG □
- KY～:各種ストレスサTEG □
- TF～:パターン依存TEG □

III-2-I-③-(1)図 1-1-1-12 各種バリエーション TEG の基本配置

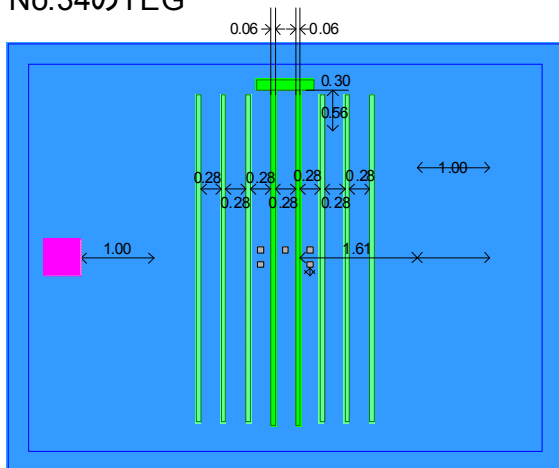


III-2-I- (1)図 1-1-1-13 PN 相関、PN 相互拡散を調べるための DMA-TEG のパターンレイアウト

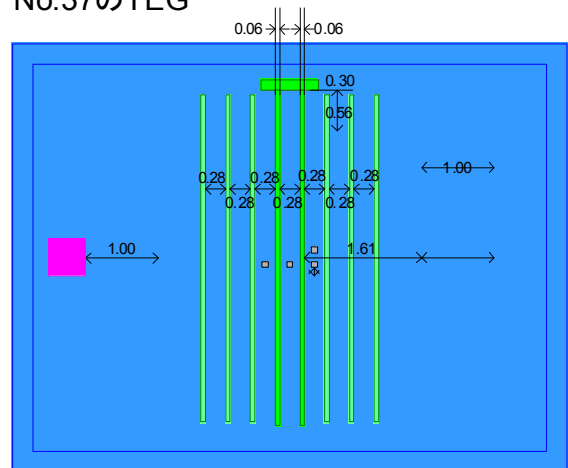


III-2-I- (1)図 1-1-1-14 STI ストレスの影響を調べるための DMA-TEG のパターンレイアウト

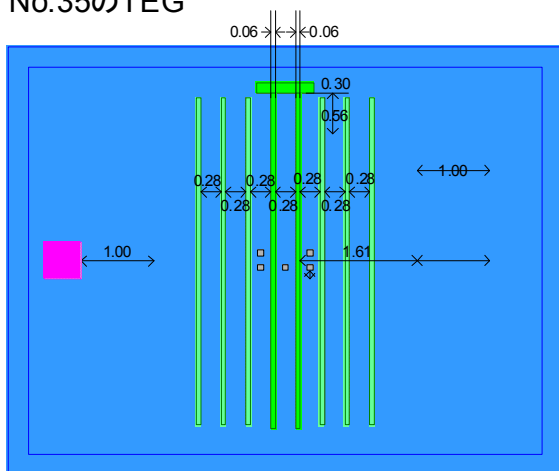
No.34のTEG



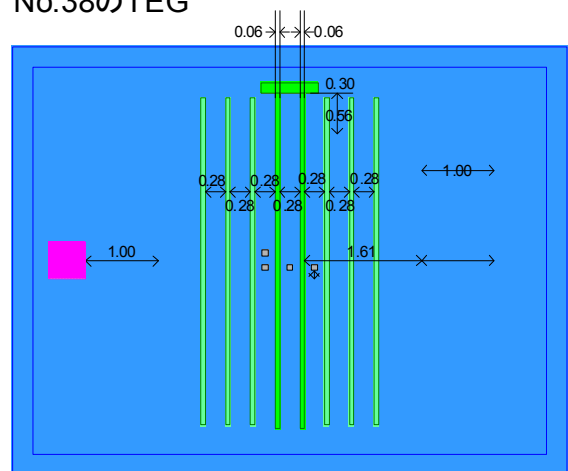
No.37のTEG



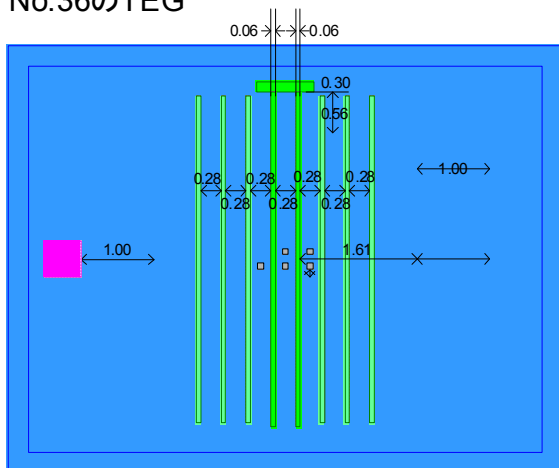
No.35のTEG



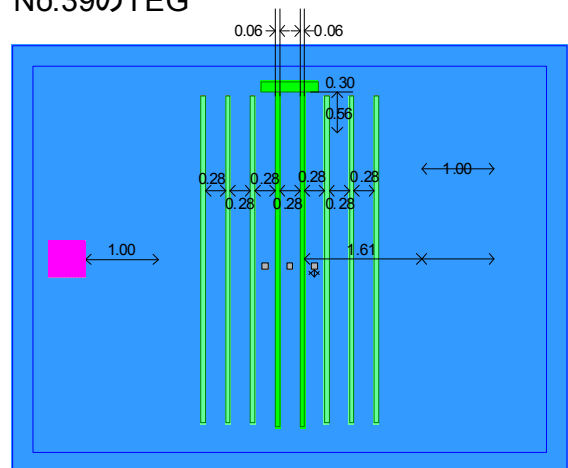
No.38のTEG



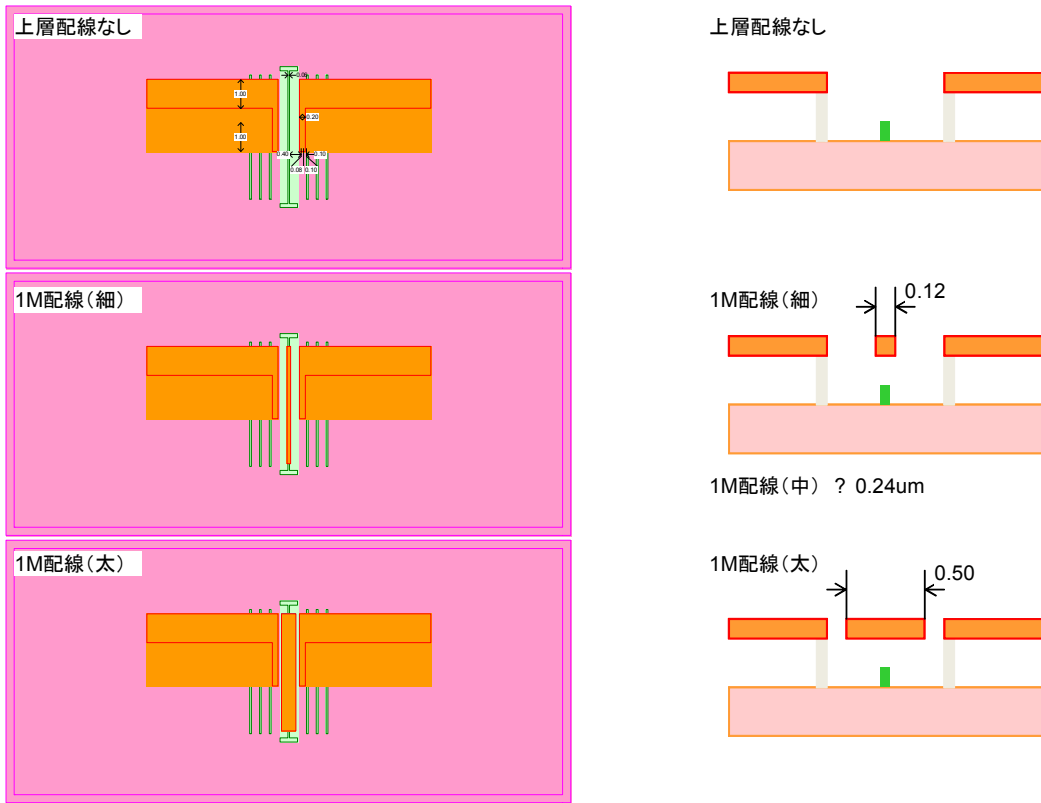
No.36のTEG



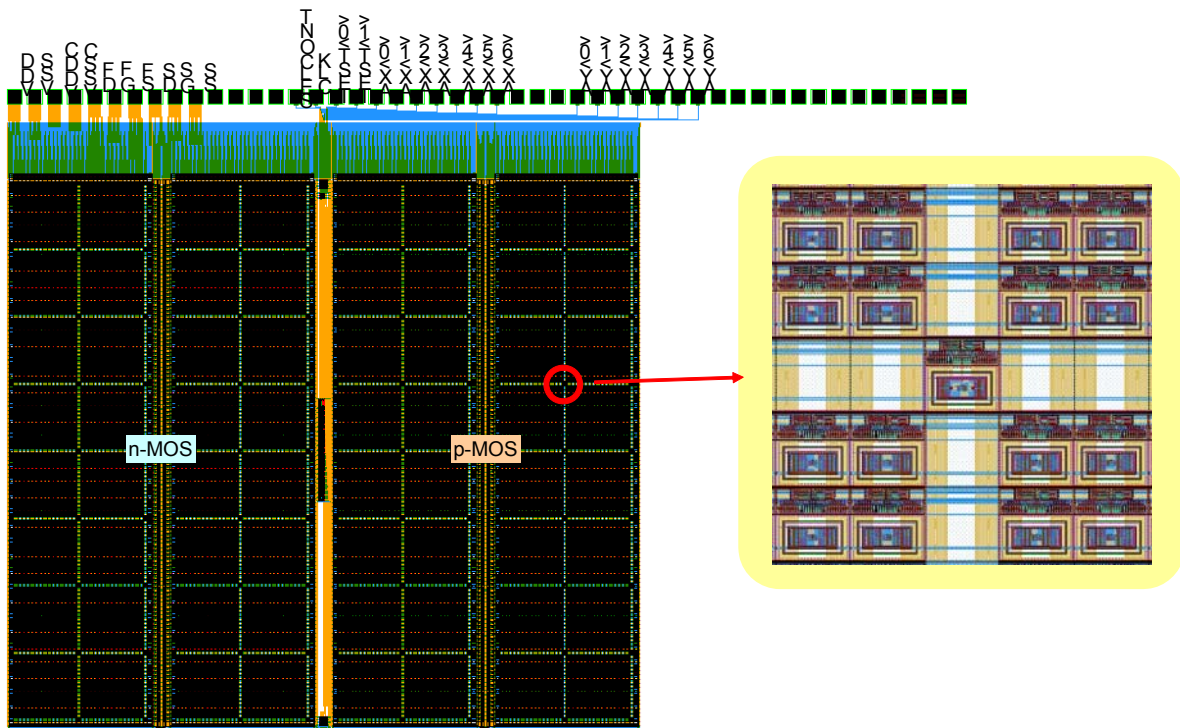
No.39のTEG



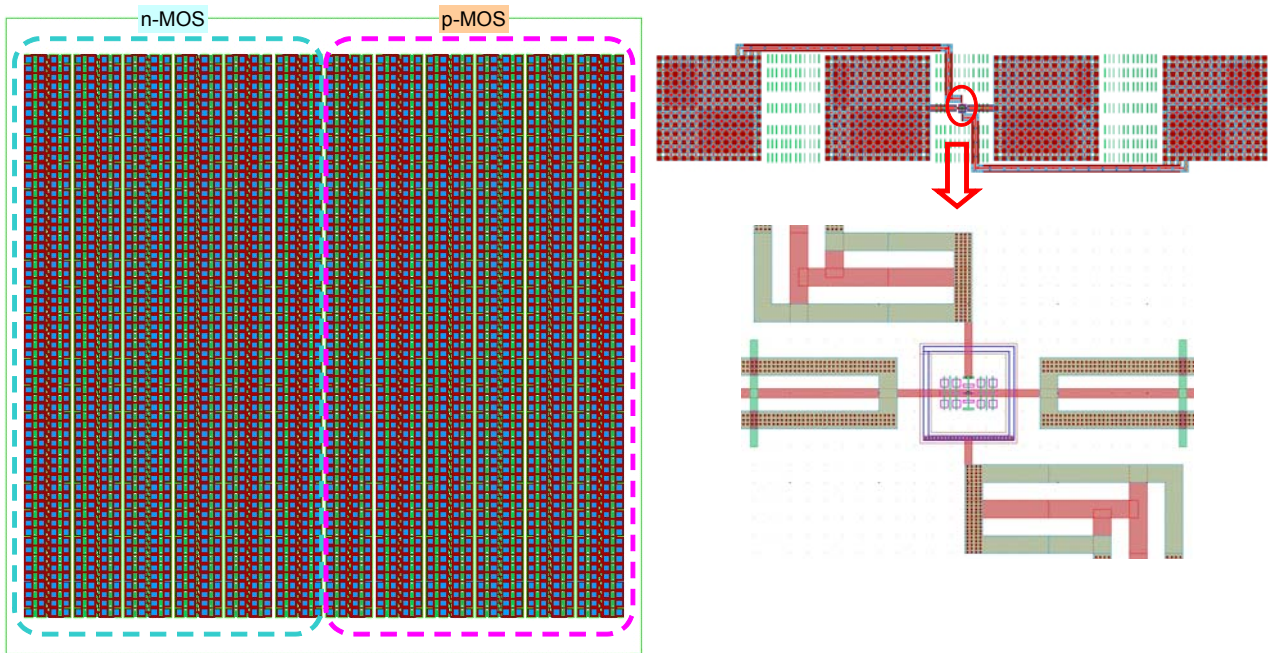
III-2-I-③-(1)図 1-1-1-15 コンタクト位置の影響を調べるための DMA-TEG のパターンレイアウト



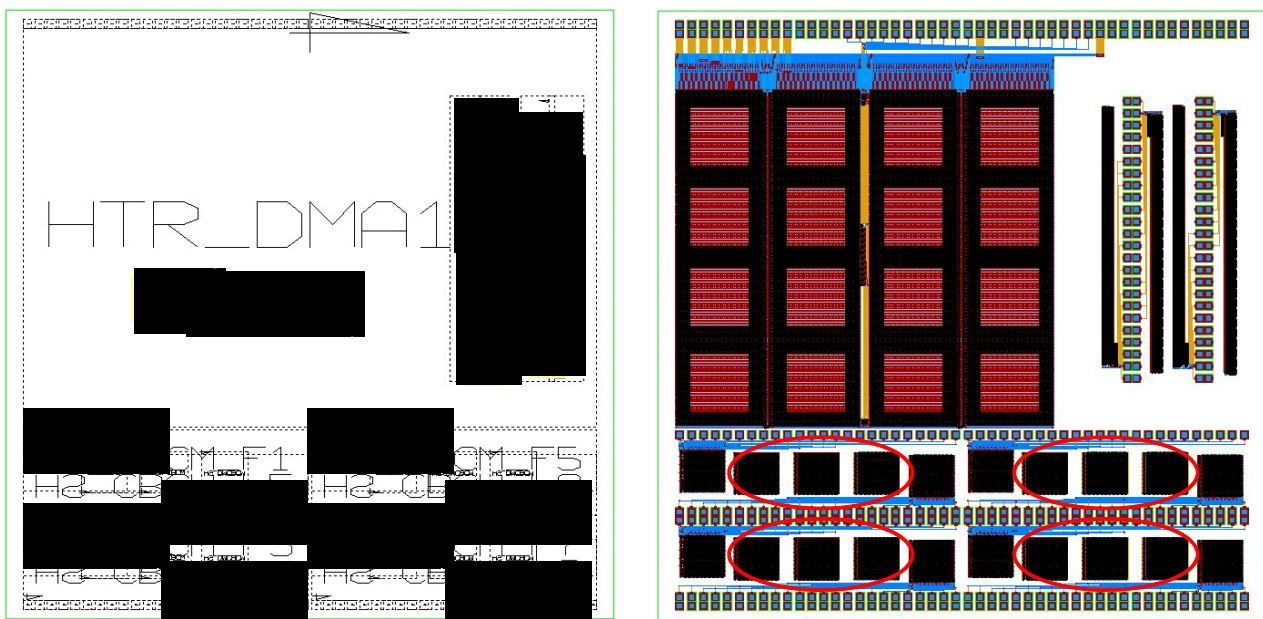
III-2-I-③-(1)図 1-1-1-16 メタル配線の影響を調べるための DMA-TEG のパターンレイアウト



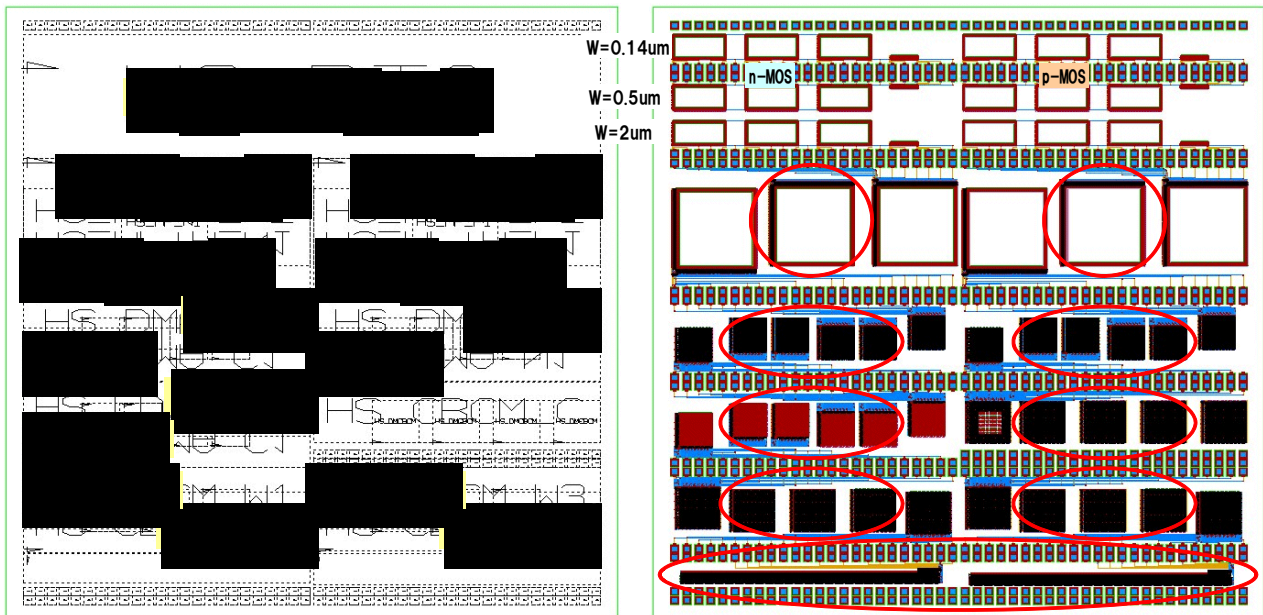
III-2-I-③-(1)図 1-1-1-17 物理解析用 DMA-TEG のパターンレイアウト



III-2-I-③-(1)図 1-1-1-18 4 端子 MOS-TEG のパターンレイアウト



III-2-I-③-(1)図 1-1-1-19 再委託先が設計した TEG のパターンレイアウト



III-2-I-③-(1)図 1-1-1-20 再委託先が設計した TEG のパターンレイアウト(2)

1-1-2.Phase-2 TEGのコンセプト

Phase-1 マスクではランダムばらつき計測手法を確立するため、TEG 構造を中心に検討し、これらから得られた知見をもとに Phase-2 マスクの設計開発を行った。III-2-I-③-(1)図 1-1-2-1 に示すように Phase-2 マスクでは、

- (i) ランダムばらつき原因を高精度に解析するための DMA-TEG
- (ii) 経時変化ばらつき含む特性ばらつきを解析するための DMA-TEG
- (iii) 実製品に近いばらつき評価のための新しい超大規模 DMA-TEG
- (iv) 回路特性に与える影響を調べるための SRAM の DMA-TEG
- (v) 回路特性に与える影響を調べるためのオペアンプの DMA-TEG

を導入した。以下、回路図、並びにレイアウト図を用いて完結に作成した(i)～(v)の TEG 内容を説明する。

(i)ランダムばらつき原因を高精度に解析するためのDMA-TEG

III-2-I-③-(1)図 1-1-2-2、ならびに III-2-I-③-(1)図 1-1-2-3 は高精度なランダムばらつき評価のために、Phase-1 マスクで4種類としていた完全分離型のトランジスタのゲート長(L_g)、ゲート幅(W_g)の数を大幅に増加し、32セットの DUT を 8000 個ずつ 4 チップに分けて配置した。これにより、短チャネル～超チャネルの DUT のばらつきの精密な評価が可能となる。

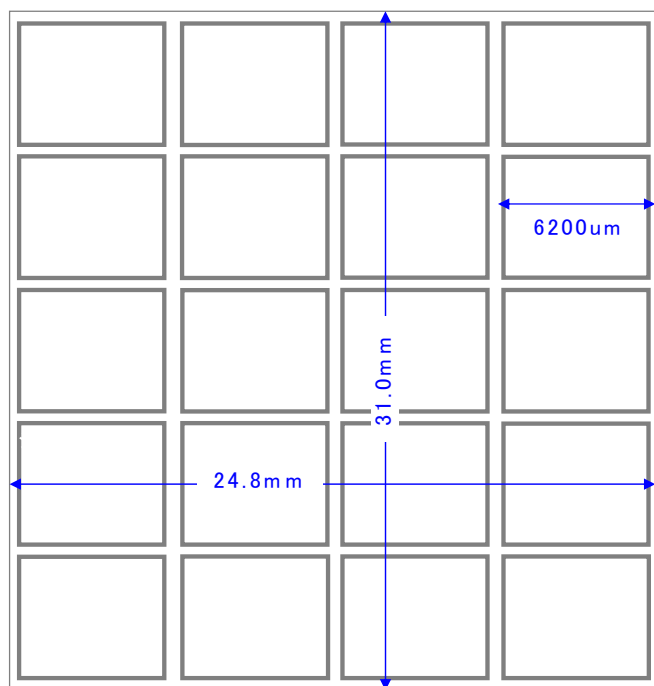
(ii) 経時変化ばらつき含む特性ばらつきを解析するためのDMA-TEG

実際の製品を使用する上で初期の電気特性の他に、継続使用した場合の特性の経時変化が問題となる。デバイス製造時の初期特性で問題なかった製品特性も、製品使用中の負荷(電気的負荷、温度負荷など)に

よりデバイス特性が経時変化し、その変動が原因となって製品の動作不良を引き起こす場合がある。特にその劣化が一律して発生すれば、製品の回路の工夫にて対策することが可能であるが、デバイス特性の経時変化量がばらついた場合にはその対策は非常に困難である。デバイス特性の経時変化量は正確に知られていないのが現状であり、上記した特性ばらつきとともに正確に評価する必要がある。III-2-I-③-(1)図 1-1-2-4(a)は経時変化を含む特性ばらつきを評価するための DMA-TEG である。III-2-I-③-(1)図 1-1-2-4(b)は DUT 周りの回路図を示した。TEG 設計のコンセプトとしては、

- ・ 単体トランジスタ評価を実施するため、完全分離型 DMA-TEG をベースとする
- ・ 全非選択モードの時、全トランジスタに所定のストレス電圧を印加
- ・ 非選択トランジスタに、所定のストレス電圧を印加する

構成にする。III-2-I-③-(1)図 1-1-2-5 からわかるように、前項 1-1-1 で示した完全分離型の DMA-TEG にストレス印加系(GSTRESS、DSTRESS、SSTRESS)が追加される。NBTI(Negative Bias Temperature Instability)²の場合、非選択ではゲート電圧端子を赤線で示す GSTRESS、測定時には GF に切り換え、デバイス特性の測定を行う。開発した DMA-TEG は、測定時以外(非選択時)はストレスを印加し続けるので、回復時間を一定にできる特長を持つ。また、Phase-1 で設計した完全分離型の DMA-TEG をベースとするため、16K 個のトランジスタの経時変化量を含む特性ばらつきの定量が可能となる。



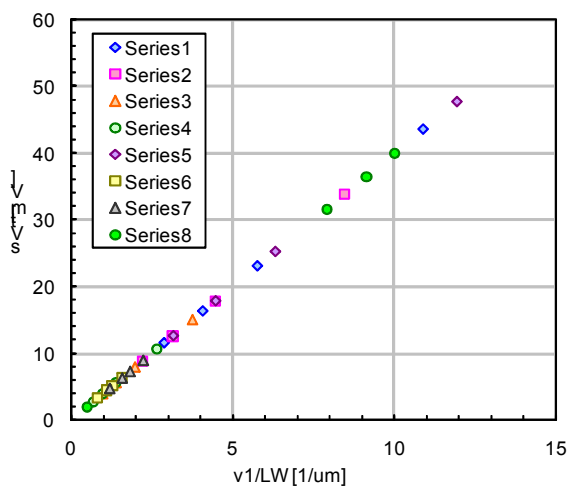
III-2-I-③-(1)図 1-1-2-1 Phase-2 マスクのフロアプランと TEG 内容一覧(a)

² NBTI は、PMOS をオン状態にした際にゲート絶縁膜そのもの、あるいはその界面にトラップが生成し、トランジスタの V_{th} を負側にシフトさせる現象。 V_{th} のシフトは、ストレス電圧(ゲート酸化膜電界)、時間、温度に依存。

	TEG name	Type	comment
A	大規模A	64Kの大規模分離型	チップ内でLW 4種類 寸法変更(1)
B	大規模A	64Kの大規模分離型	チップ内でLW 4種類 寸法変更(2)
C	SNM-TEG	16Kの完全分離 SNM-TEG	セレクタの修正が必要。完全分離型にミニアレイを埋め込む形。
D	大規模A	64Kの大規模分離型	チップ内でLW 4種類 寸法変更(3)
E	大規模A	64Kの大規模分離型	チップ内でLW 4種類 寸法変更(4)
F	HCU-1	広島市大	Phase-1からの修正あり
G	HCU-2	広島市大	Phase-1からの修正あり
H	MOS-3	4端子ケルビン	Phase-1からの修正なし
I	信頼性	オペアンプアレイTEG	デンソー殿提案のオペアンプアレイ
J	大規模C	シンプルアレイTEG	アジレント 殿提案、小規模アレイ
K	超大規模	超大規模(NMOS、1M)	Phase-1からの修正なし
L	超大規模	超大規模(PMOS、1M)	Phase-1からの修正なし
M	信頼性	OTF対応	L/W = 0.06/0.14 μ mの最小トランジスタ
N	大規模D	256M新方式(NMOS)	
O	大規模D	256M新方式(PMOS)	
P	大規模D	256M新方式(PMOS)	
Q	大規模D	256M新方式(NMOS)	

III-2-I-③-(1)図 1-1-2-1 Phase-2 マスクのフロアプランとTEG 内容一覧(b)

No.	設計ゲート長(L)	設計ゲート幅(W)	1/ \sqrt{LW}
1	0.06	0.14	10.91089
2	0.06	0.5	5.773503
3	0.06	1	4.082483
4	0.06	2	2.886751
5	0.1	0.14	8.451543
6	0.1	0.5	4.472136
7	0.1	1	3.162278
8	0.1	2	2.236068
9	0.5	0.14	3.779645
10	0.5	0.5	2
11	0.5	1	1.414214
12	0.5	2	1
13	1	0.14	2.672612
14	1	0.5	1.414214
15	1	1	1
16	1	2	0.707107
17	0.05	0.14	11.95229
18	0.05	0.5	6.324555
19	0.05	1	4.472136
20	0.05	2	3.162278
21	0.2	2	1.581139
22	0.3	2	1.290994
23	0.4	2	1.118034
24	0.7	2	0.845154
25	1	0.2	2.236068
26	1	0.3	1.825742
27	1	0.4	1.581139
28	1	0.7	1.195229
29	0.1	0.16	7.905694
30	0.05	0.2	10
31	0.06	0.2	9.128709
32	2	2	0.5



III-2-I-③-(1)図 1-1-2-2 Phase-1 の寸法分流 TEG の拡張。高精度な Pelgrom/Takeuchi プロットの作成が可能となる。

BLK-A "HT2_DMA64K_A"

N1 W=0.14 L=0.06	N5 W=0.14 L=0.1	P1 W=0.14 L=0.06	P5 W=0.14 L=0.1
N2 W=0.5 L=0.06	N6 W=0.5 L=0.1	P2 W=0.5 L=0.06	P6 W=0.5 L=0.1
N3 W=1.0 L=0.06	N7 W=1.0 L=0.1	P3 W=1.0 L=0.06	P7 W=1.0 L=0.1
N4 W=2.0 L=0.06	N8 W=2.0 L=0.1	P4 W=2.0 L=0.06	P8 W=2.0 L=0.1

BLK-B "HT2_DMA64K_B"

N9 W=0.14 L=0.5	N13 W=0.14 L=1.0	P9 W=0.14 L=0.5	P13 W=0.14 L=1.0
N10 W=0.5 L=0.5	N14 W=0.5 L=1.0	P10 W=0.5 L=0.5	P14 W=0.5 L=1.0
N11 W=1.0 L=0.5	N15 W=1.0 L=1.0	P11 W=1.0 L=0.5	P15 W=1.0 L=1.0
N12 W=2.0 L=0.5	N16 W=2.0 L=1.0	P12 W=2.0 L=0.5	P16 W=2.0 L=1.0

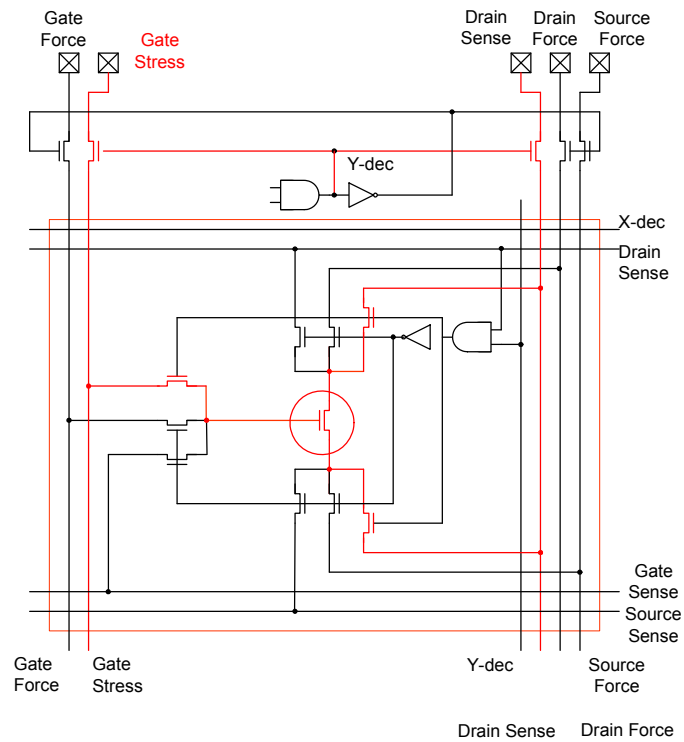
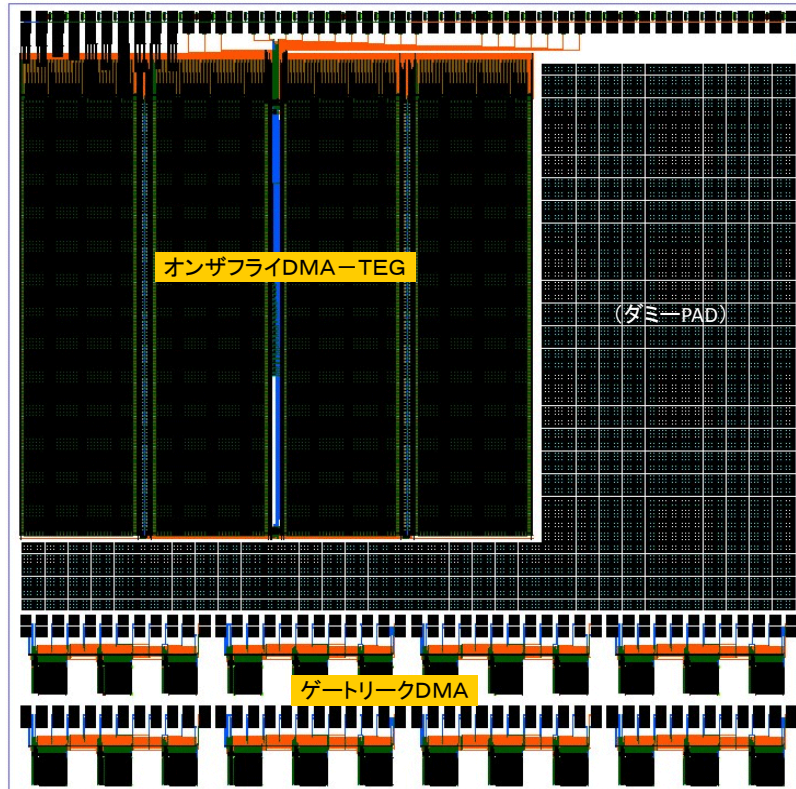
BLK-E "HT2_DMA64K_E"

N17 W=0.14 L=0.05	N21 W=2.0 L=0.2	P17 W=0.14 L=0.05	P21 W=2.0 L=0.2
N18 W=0.5 L=0.05	N22 W=2.0 L=0.3	P18 W=0.5 L=0.05	P22 W=2.0 L=0.3
N19 W=1.0 L=0.05	N23 W=2.0 L=0.4	P19 W=1.0 L=0.05	P23 W=2.0 L=0.4
N20 W=2.0 L=0.05	N24 W=2.0 L=0.7	P20 W=2.0 L=0.05	P24 W=2.0 L=0.7

BLK-F "HT2_DMA64K_F"

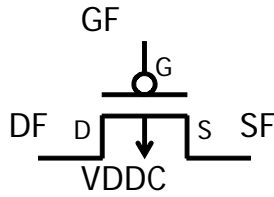
N25 W=0.2 L=1.0	N29 W=0.16 L=0.1	P25 W=0.2 L=1.0	P29 W=0.16 L=0.1
N26 W=0.3 L=1.0	N30 W=0.2 L=0.05	P26 W=0.3 L=1.0	P30 W=0.2 L=0.05
N27 W=0.4 L=1.0	N31 W=0.2 L=0.06	P27 W=0.4 L=1.0	P31 W=0.2 L=0.06
N28 W=0.7 L=1.0	N32 W=2.0 L=2.0	P28 W=0.7 L=1.0	P32 W=2.0 L=2.0

III-2-I-③(1)図 1-1-2-3 寸法分流 TEG の実際の DMA-TEG 配置

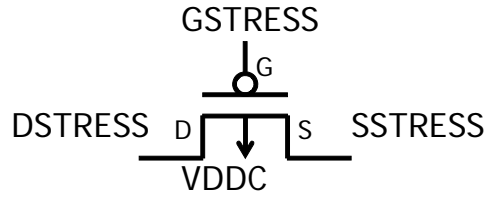


III-2-I- (1)図 1-1-2-4 Phase-2 に導入した経時変化を含む特性ばらつきを評価するための DMA-TEG レイアウトと回路図

選択されているDUTにかかる電圧

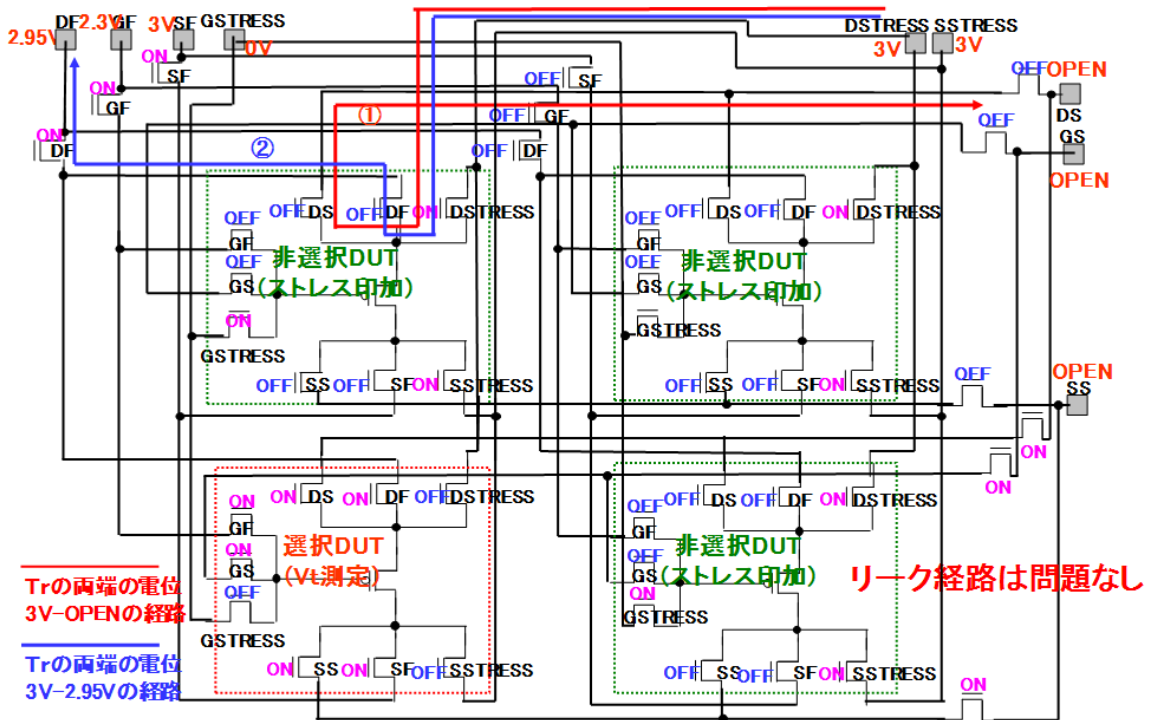


非選択のDUTにかかる電圧



※ Phase-IIの NBTI TEG では、非選択のDUT には常に上記の電圧がかかる。

III-2-I-③-(1)図 1-1-2-5 経時変化 DMA-TEG で選択、非選択 DUT に印加される電圧



III-2-I-③-(1)図 1-1-2-6 経時変化 DMA-TEG の選択、非選択 DUT のリーク経路のチェック図

III-2-I-③-(1)図 1-1-2-6 に非選択 DUT にストレス印加し、選択 DUT を測定する場合のリーク経路のチェック図を示した。選択 DUT、非選択 DUT は完全に分離し、リーク経路に問題はない。

実際の測定は 16K 個の DUT をデコーダーによりアドレス選択して実施するが、以下の 4 つのアドレス選択モードを、III-2-I-③-(1)表 1-1-2-3 に示すテストモードを切り替えることによって切り替えることができる。

- 1) ランダムアクセスモード・・・AX<6:0>、AY<6:0>で指定した DUT が選択
- 2) カウンタアクセスモード・・・内部カウンタによって指定された DUT が選択
- 3) 全選択モード・・・全 DUT が選択状態
- 4) 全非選択モード・・・全 DUT が非選択状態

実際の、経時変化を含むデバイス特性ばらつきを評価するには 1)、あるいは 2)のアドレス選択モードを用いるが、アドレス選択された後には、III-2-I-③-(1)図 1-1-2-7 に示す測定を実施する。すなわち、アドレスが選択された DUT はゲートバイアス、ドレインバイアスが測定バイアスに高速に切り替えられ、 V_g を変えながら I_d を測定する。一連の測定が終わった段階で選択された DUT は非選択状態($V_g=V_{gstress}$ 、 $V_d=V_{dstress}$)に切り替えられ、2 個目の DUT が選択(測定状態)となり、これを 16K まで繰り返す。測定時間に比べてストレス時間が十分大きければ、1 個目の DUT₁と 16K 個目の DUT_{16k}でストレス時間の差異が十分無視できる測定が可能となる。

上記の経時変化を含むデバイス特性ばらつき評価 TEG と併せて、アレイ規模は小さいが機能を簡素化して、測定が簡易的に行えるシンプルアレイ TEG も同時に開発した。DMA-TEG のように大規模な回路 TEG を用いる場合、配線抵抗や配線容量のために、DUT の測定スピードや、測定・ストレス切替スピードなどの負荷が大きい問題がある。またこれ以外にも、プローバーのノイズの問題、テスターの駆動容量の問題があり、これらの対策のために、III-2-I-③-(1)図 1-1-2-8、III-2-I-③-(1)図 1-1-2-9 に示す、経時変化を計測するシンプルアレイ TEG を設計した。本 TEG の特徴は、測定システムの能力をフルに活用できる、25 個の DUT を同時測定、ならびに測定スピード向上、およびノイズ対策のための、極端なまでのシンプル構造(容量の重いものをぶらさげない、長い配線はノイズ・アンテナになるため、可能な限り短くする)、と非常にシンプルな構造であるため、設計も容易であり、スピード向上解析・測定最適化が極めて容易である。しかしながら、25 個の DUT アレイを 10 列並べただけなので、総数は 250 個と、高精度なばらつきを議論するには少ないが、前記した 16K の完全分離型 DMA-TEG をベースとした TEG 結果の比較検討に用いることが可能である。

以上のように、実製品に近い環境で、動的なばらつき(製品使用負荷がかかった場合の経時変化量ばらつき)を静的なばらつきを含めて計測可能な、経時変化ばらつき計測 TEG を開発した。

(iii)実製品に近いばらつき評価のための新しい超大規模DMA-TEG

Phase-1 マスクでは 1M 個の DUT を配置した DMA-TEG を設計し、デバイス特性ばらつきの評価を実施してランダムばらつきを定量化した。しかしながら、実製品は 1G 個のトランジスタからなる規模まで大きくなっており、これに対応するために実製品により近い規模の DMA-TEG を開発した。Phase-1 で設計した 1M の DMA-TEG で実測したデバイスの V_{th} 分布はほぼ正規分布していることを確認している。しかしながら、1M 個レベルの DMA-TEG でも $\pm 5\sigma$ の実測が限界である。これ以上の規模の DUT の測定には非常に時間がかかることから、Phase-2 マスクで設計する超大規模 DMA-TEG は、III-2-I-③-(1)図 1-1-2-10 に示すように正規分布の裾の $\pm 6\sigma$ から外れた DUT を抽出し、この DUT の特性を詳細に調べることを目的とした。III-2-I-③-(1)図 1-1-2-11 に示すように、内部に判定回路を設け、設定した ΔV_{th} よりも大きい、あるいは小さい DUT のみ抽出し、実際の I_d - V_g 波形を評価することとした。内部判定回路が高速に動作するため、 ΔV_{th} から外れたデバイスの特定が短時間で完了し、 ΔV_{th} の値の最適化で実際の I - V 波形取得するデバイスの数を減らすことが可能となる。

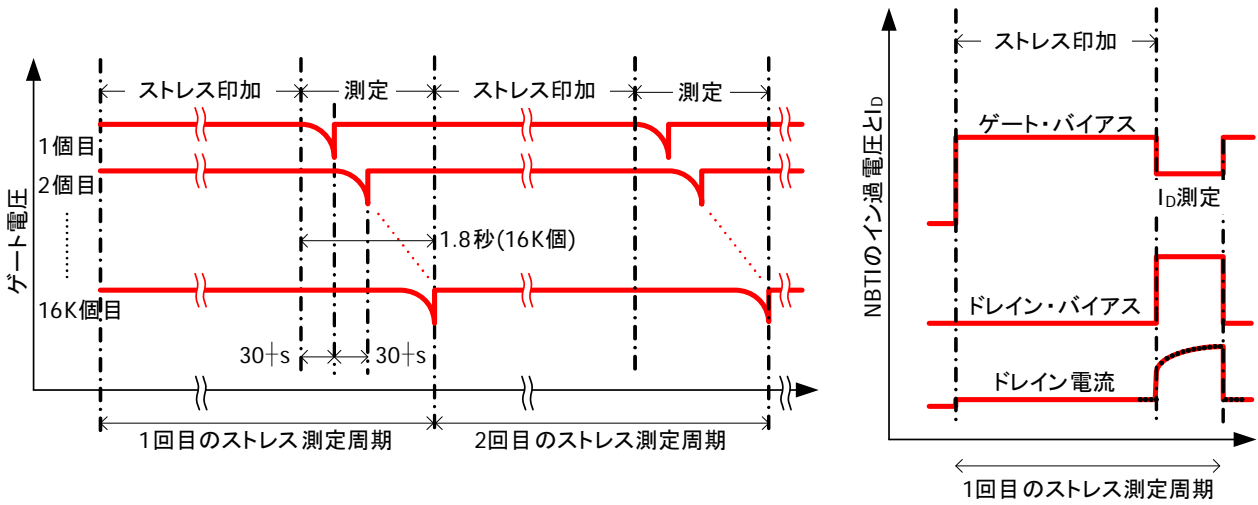
上記のコンセプトの元、III-2-I-③-(1)表 1-1-2-4 に示す仕様で 256M の DMA-TEG を設計した。動作電圧は NMOS の場合 $V_{cc}=4V$ 、PMOS 等の場合は $V_{ss}=4V$ 、 $V_{cc}=0V$ として実効的に $-4V$ の電位差を印加している。動作温度は室温であるが、実使用を念頭にしているため 85°Cまで動作することを回路シミュレーションにて確認した。テストモードにより計測機能の切り替えが可能であり、AMP モード(V_{th} 判定)、4 端子モード(DUT の I - V 測定)等が可能となっている。詳細な測定フローに関しては、1-2-6 項を参照されたい。

65nm のプロセス最大限に利用して、チップ内により多くの DUT を配置し、かつオフブリーク等の影響を最小限に抑えるために、III-2-I-③-(1)図 1-1-2-12 に示すようにブロック内で 8M ビット単位の MAT を 32 個測定する構造とした。8M に分割した MAT 内に配置した DUT を III-2-I-③-(1)図 1-1-2-13 に示した。各 DUT のゲート端子、ソース端子は共通とし、ドレイン端子をデコーダーにて選択する構造としている。より多くの DUT が効率よく配置できるが、ソースが共通となるため、DUT は上下のゲート電極でキャリアの流れる方向が逆となる。

III-2-I-③-(1)表 1-1-2-3 4つのアドレス選択モード

No.	モード	SELCONT	TEST<0>	TEST<1>	AX<6:0>	AY<6:0>	CLK	
1	ランダムアクセス	0	0	0	Valid	Valid	X	
2-1	カウンタ アクセス	開始アドレス設定	1	0	0	Valid	Valid	↑(初回)
2-2		インクリメント	1	0	0	X	X	↑(2回目以降)
3	DUT全選択	X	X	1	X	X	X	
4	DUT全非選択	X	1	0	X	X	X	

※ 0=L, 1=H, X=Don't Care

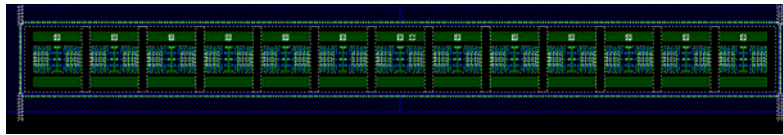
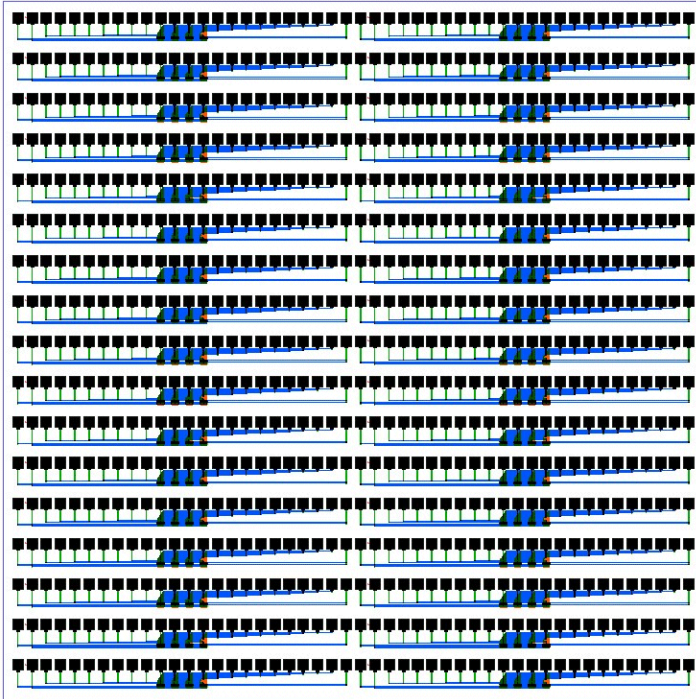


III-2-I-③-(1)図 1-1-2-7 経時変化の測定イメージ

全体回路図



III-2-I-③-(1)図 1-1-2-8 シンプルアレイ TEG の回路模式図

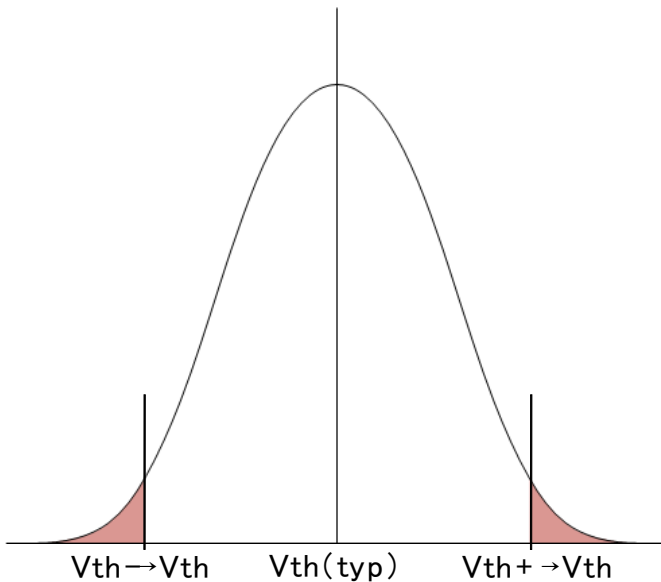


左上配置分パッド座標

シンプルアレイTEG	x	y
NW(1vDUT-PMOS部給電)	-2820	2805
Source	-2700	
G1	-2580	
G2	-2460	
G3	-2340	
G4	-2220	
X1	-2100	
X2	-1980	
X3	-1860	
X4	-1740	
D1	-1620	
D2	-1500	
D3	-1380	
D4	-1260	
D5	-1140	
D6	-1020	
D7	-900	
D8	-780	
D9	-660	
D10	-540	
D11	-420	
D12	-300	
D13	-180	
PW(3.3vSW-MOS給電)	-60	
NW(1vDUT-PMOS部給電)	60	
Source	180	
G1	300	
G2	420	
G3	540	
G4	660	
X1	780	
X2	900	
X3	1020	
X4	1140	
D1	1260	
D2	1380	
D3	1500	
D4	1620	
D5	1740	
D6	1860	
D7	1980	
D8	2100	
D9	2220	
D10	2340	
D11	2460	
D12	2580	
D13	2700	
PW(3.3vSW-MOS給電)	2820	

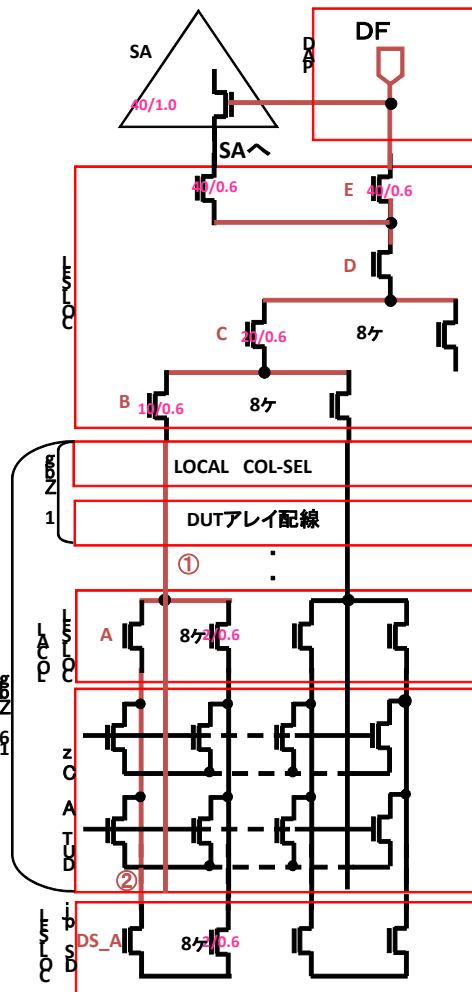
X:2880um, Y:-340umピッチにて2×17個配置

III-2-I-③(1)図 1-1-2-9 シンプルアレイ TEG のレイアウトと、PAD 配置



DMA-TEGで実測したデバイスのVth分布はほぼ正規分布していることを確認している。しかしながら、1M個レベルのDMA-TEGでも±5σの実測が限界。またこれ以上のTEGの測定には非常に時間がかかることから、今回の超大規模DMA-TEGは、内部に判定回路を設け、設定したVthよりも大きい、あるいは小さいDUTのみ抽出し、実際のI-V波形を評価する。内部判定回路が高速に動作するため、Vthから外れたデバイスの特定が短時間で完了し、Vthの値の最適化で実際のI-V波形取得するデバイスの数を減らすことが可能となる。

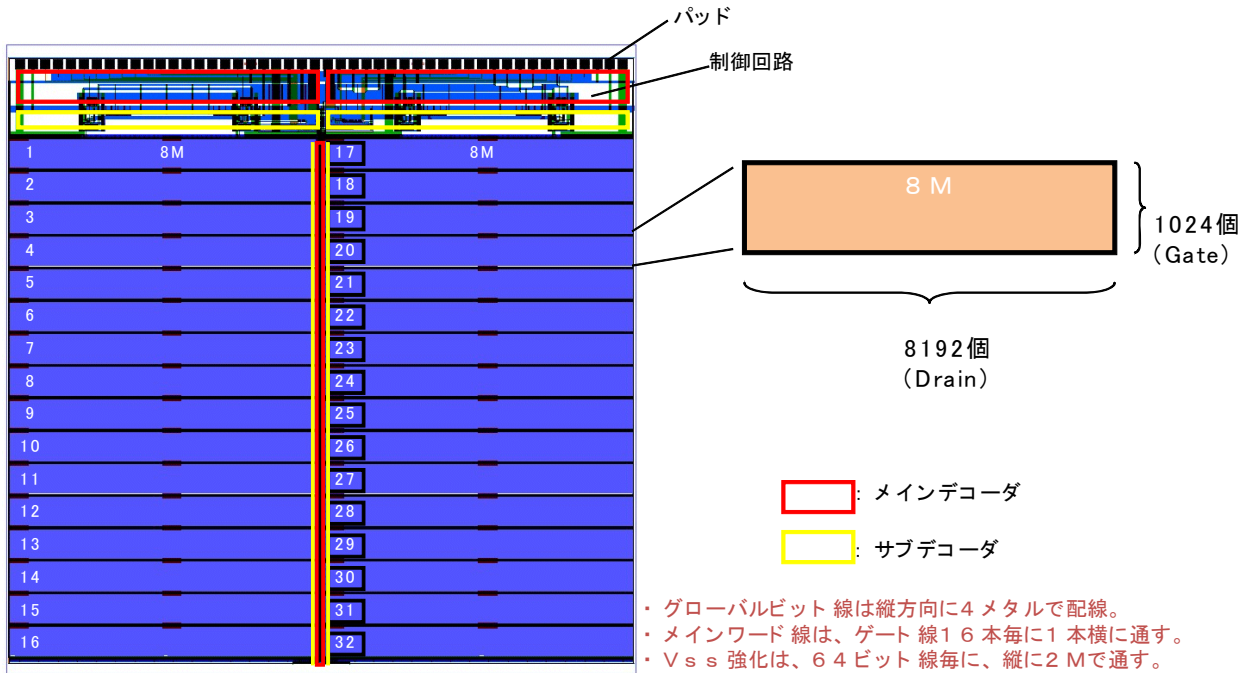
III-2-I-③(1)図 1-1-2-10 超大規模 DMA-TEG のコンセプト



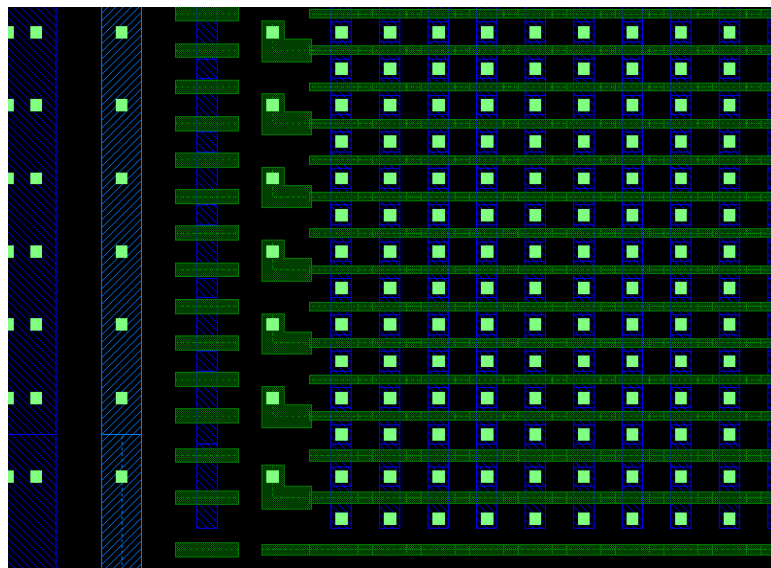
III-2-I-③-(1)図 1-1-2-11 超大規模 DMA-TEG のために新規に設計した判定回路

III-2-I-③-(1)表 1-1-2-4 超大規模 DMA-TEG の仕様

項目	仕様		備考
DUT種類	PMOS	NMOS	
DUT数	256M		
プロセス	65nm CMOSプロセス		
動作電圧	VCC=0.3V~0.5V VSS=-4.0V±0.1V	VCC=4.0V±0.1V VSS=-0.3V~-0.5V	入力信号は”H”=VCC, ”L”=VSSとする。
動作温度	Ta=27°C (85°Cでも動作可能なこと)		
機能	Vth測定方法: 4端子モード/AMPモード		Mode0信号切り替え
	ドレインセンスモード/通常モード		Mode1信号切り替え
	アドレス選択方法: ランダムモード/シリアルモード		SELCONT信号切り替え
	カラム全非選択モード		TEST<0>信号切り替え
	ゲート全非選択モード		TEST<1>信号切り替え
その他	1TEGあたり4DUT同時測定(×4構成)		



III-2-I-③-(1)図 1-1-2-12 超大規模 DMA-TEG の MAT 構成



III-2-I-③-(1)図 1-1-2-13 超大規模 DMA-TEG の DUT のレイアウト

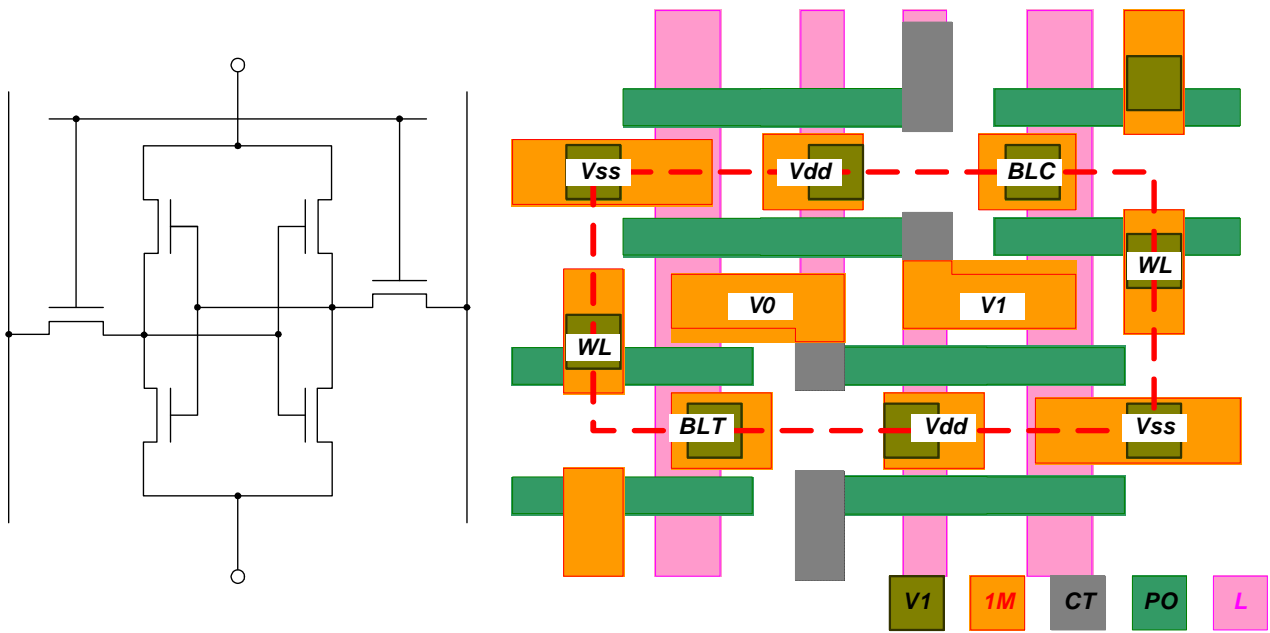
(iv)回路特性に与える影響を調べるためのSRAMのDMA-TEG

ばらつきに影響する製品としてもっとも注目されているのが、SRAM(Static Random Access Memory)である。III-2-I-③-(1)図 1-1-2-14 に示すように、SRAMは隣接する6つの最小加工寸法で加工されるトランジスタ(トランスファ、ドライバのNMOS4 つと負荷のPMOS2 つ)から構成される。ランダムばらつきにより、SRAMの動作

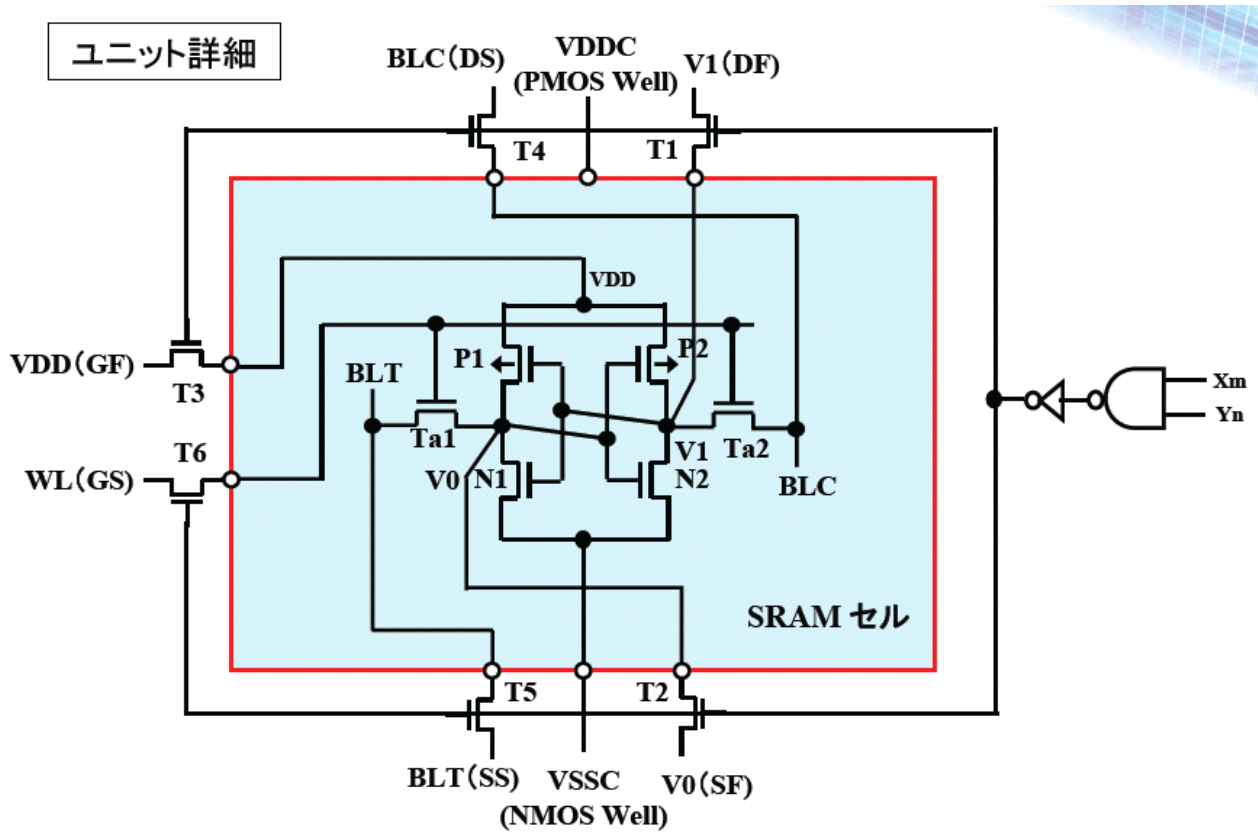
マージン、たとえば、スタティックノイズマージン(以下、SNM: Static Noise Margin³)が低下する[3]ことがよく知られているが、具体的にSNMと、SRAMを構成するこのトランジスタ特性の相関を評価した例はなかった。このため、 V_{th} ばらつきにより発生するマージン性不良を理解し対策するには、トランジスタの V_{th} とSNM特性や、SNM特性の悪いSRAMセルのトランジスタ特性を評価することが重要になる。本開発では、完全分離型DMA-TEGをベースとして、これにSRAMのミニアレイを組み込み、SRAMの主要端子から配線を引き出すことで各SRAMの特性を完全独立に評価可能とするDMA-TEGを設計した(III-2-I-③-(1)図 1-1-2-15)。通常のSRAMはノードから電極を取り出すことができないが、設計したTEGはIII-2-I-③-(1)図 1-1-2-16に示すように拡散層からコンタクト、メタル 1 層目までは通常のSRAMと同様であるが、メタル 2 層目で各ノード(V_0 と V_1)が取り出せる配線構造にレイアウトを変更している。この手法を取り入れることでミニアレイの 1 ユニットセルのSNM測定、SRAMを構成するトランジスタの特性評価が可能であるが、隣接するSRAMの測定は不可能となる。したがって、ミニアレイからは 1 つのSRAMの特性が計測可能にして、ミニアレイを 16Kの完全分離型DMA-TEGのDUT部分に置き換えることで、16KのSRAMの測定を可能にした。本構造をとることで、SRAMを構成するトランジスタの特性を個々に評価可能であり、SRAM特性ばらつきの原因を解析することが可能となる。また、16Kの完全分離型DMA-TEGをベースに構成したため、基本動作、およびピン仕様は 16Kの完全分離型DMA-TEGと同一の構成を採用することで、ユニットセルを入れ替えるのみで、DMA-TEGが実現できる。

動作仕様を III-2-I-③-(1)表 1-1-2-5 にまとめた。 VDD 、 NW (PMOS の Well)、 WL に 1.2V、 VSS 、 PW (NMOS の Well)、トランスファ MOS のウエルには 0V を印加し、ビットライン(BLT 、 BLC)、およびノード(V_0 、 V_1) の電圧を変えることで、SNM の評価を行う。また、テストモードの設定により、①ランダムアクセス、②カウンタアクセス、③全選択、④全非選択のアドレス設定モードが選択可能である。ランダムアクセスモードとは $SELCONT="0"$ 、かつ $TEST<0>="0"$ 、 $TEST<1>="0"$ 、外部入力 Address、 $AX<n:0>$ 、 $AY<n:0>$ によって決められた DUT セルを1つ選択するモードである。カウンタアクセスモードとは $SELCONT="1"$ 、かつ $TEST<0>="0"$ 、 $TEST<1>="0"$ 、CLK の立ち上がりエッジによって、内部カウンタ Address で決められた DUT セルを1つ選択するモードである。TEST 全選択モードとは $TEST<1>="1"$ 、DUT セルを全部選択するモードである。この場合、 $SELCONT$ 、CLK、 $TEST<0>$ 、 AX 、 AY は無効となる。TEST 全非選択モードとは $TEST<0>="1"$ 且 $TEST<1>="0"$ 、DUT セルを全部非選択するモードである。この場合、 $SELCONT$ 、CLK、 AX 、 AY は無効となる。

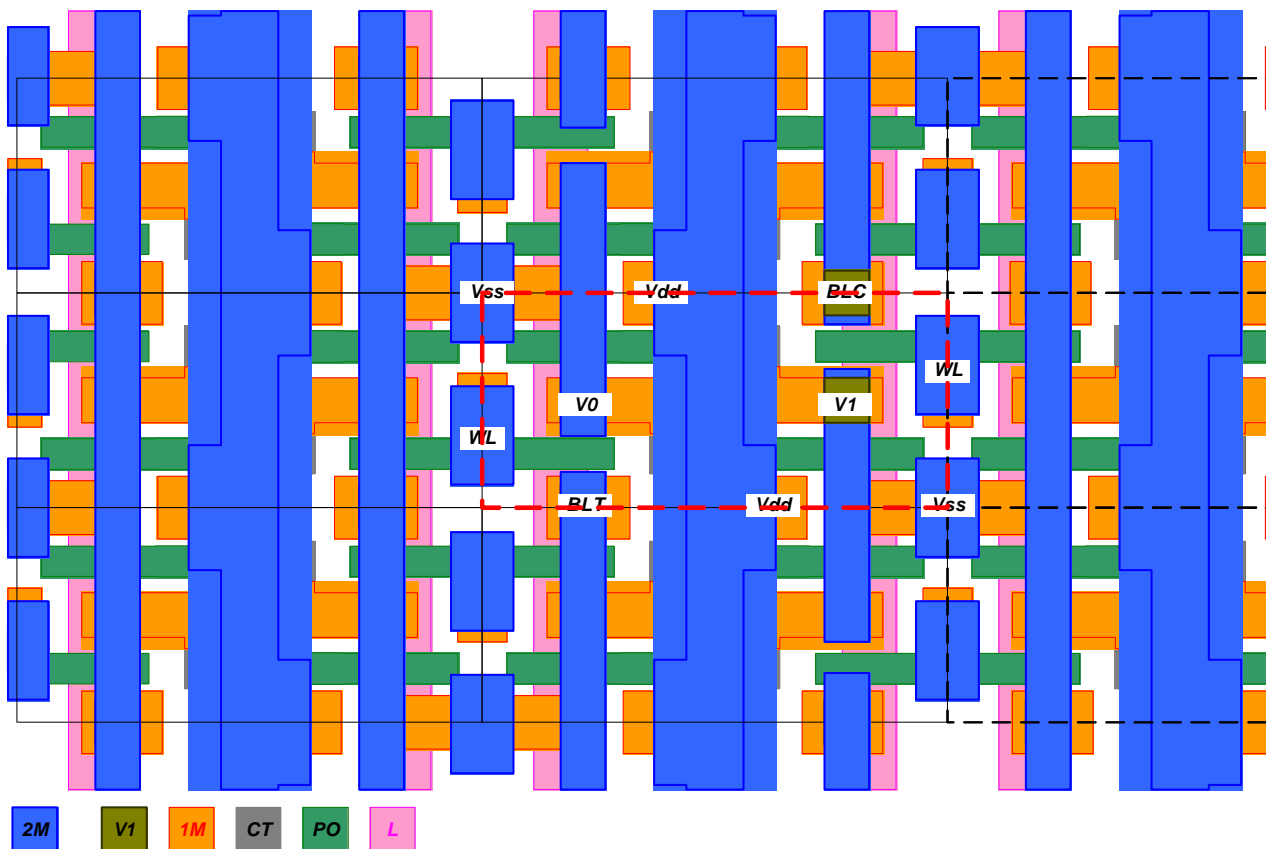
³ SRAM セルにおける、外乱に対する動作安定性の余裕度を表す指標。装置の動作に対して許容される、雑音振幅の最大値によって定義され、値が大きいほど安定性が高いことを示す。



III-2-I-③-(1)図 1-1-2-14 SNM-TEG の DUT に組み込んだ SRAM セルのレイアウト



III-2-I-③-(1)図 1-1-2-15 SNM-TEG の DUT 周辺の回路図



III-2-I- (1)図 1-1-2-16 SNM-TEGのDUTに組み込んだDRAMミニアレイ(配線構成を一部変更して完全分離型DMA-TEGのDUTに組み込んでいる)

III-2-I- (1)表 1-1-2-5 SNM-TEGの動作仕様

端子	バイアス1	バイアス2
VDD	1.2V	
PMOS Well	1.2V	
VSS	0V	
NMOS Well	0V	
WL	1.2V	
Transfer MOS Well	0V	
BLT	Open	1.2V
V0	0V→1.2V	Monitor
BLC	1.2V	Open
V1	Monitor	0V→1.2V

カ
士

No.	モード	SELECONT	CLK	TEST<0>	TEST<1>	AX<n:0>	AY<n:0>
①	ランダムアクセス	0	*	0	0	AX<n:0>	AY<n:0>
②	カウンタアクセス	1	↑	0	0	*	*
③	TEST全選択	*	*	*	1	*	*
④	TEST全非選択	*	*	1	0	*	*

(v)回路特性に与える影響を調べるためのオペアンプのDMA-TEG

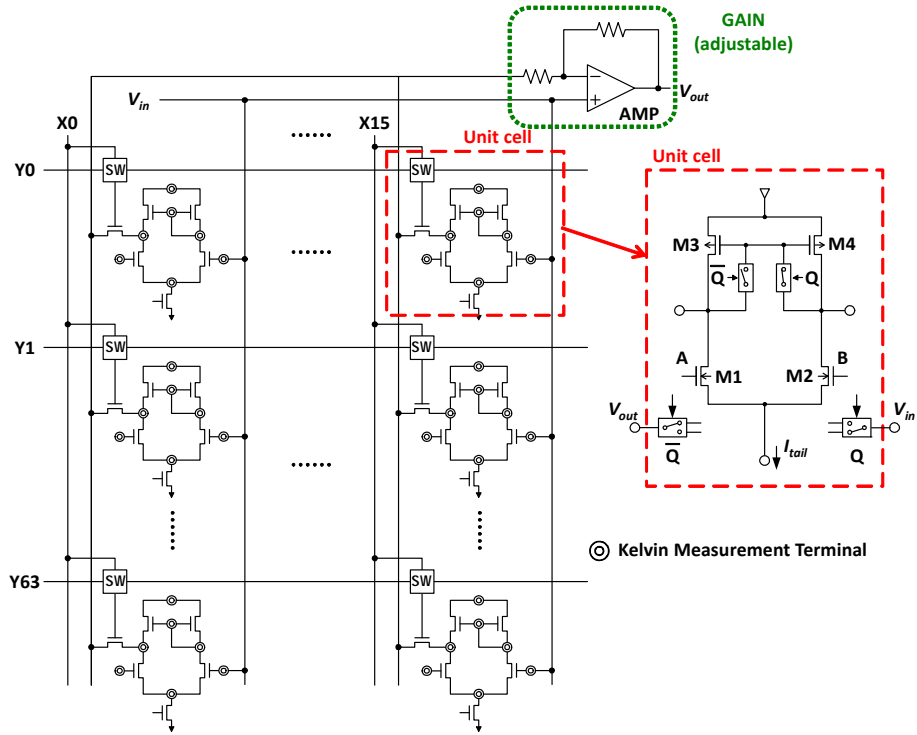
オペアンプ等に代表される、アナログ回路設計においては、ペアトランジスタのばらつき抑制が非常に重要な課題になっている。このため、比較的同一面積ではばらつきの小さいバイポーラトランジスタが用いられてきた。しかしながら、バイポーラトランジスタの場合、高温動作時にリーク電流が増大し、そのペア精度が低下してしまう問題を持っている。現状の MOS トランジスタを用いる場合、ペアばらつきを抑えるためには L_g 、 W_g を非常に大きく確保する必要があるが、車載等のニーズを踏まえると高温時も安定的に使用できる MOS トランジスタの適用が望まれる。本開発では、これらの背景を踏まえて、CMOS アンプのオフセットばらつきを解析し、MOS トランジスタのランダムばらつきがアナログ回路へ与えるインパクトを調べるために、アナログ回路で用いられる L_g 、 W_g の大きなトランジスタからなるオペアンプ TEG を開発した。オペアンプ TEG を構成する MOS トランジスタの、ペアばらつきの評価の分解能は $10\mu\text{V}$ 程度が必要であり、従来の評価方法は、単体 TEG をパッケージに組み込み、かつ出力を外付けのアンプを介して増幅して $10\mu\text{V}$ レベルのばらつきを評価していた。本開発では、ばらつきの要因を分析するために、ある程度の数のオペアンプの特性ばらつきを評価し、構成するトランジスタのランダムばらつきや、単体特性との相関を調べることを目的とした。本開発における評価内容は下記の通りとした。

- ① オペアンプ TEG 構成の違いによるオフセット量の面内ばらつき
Pch ($V_b=V_{dd}$)、Pch ($V_b=V_s$)、Nch
- ② 力作動対を構成する MOS トランジスタサイズによるオフセット量
 $\sqrt{L \times W}$ vs オフセット電圧の面内ばらつき
- ③ ンプを構成するトランジスタ単体測定との組み合わせによる相関分析
プロセスパラメータの相対差とオフセット電圧量の相関分析

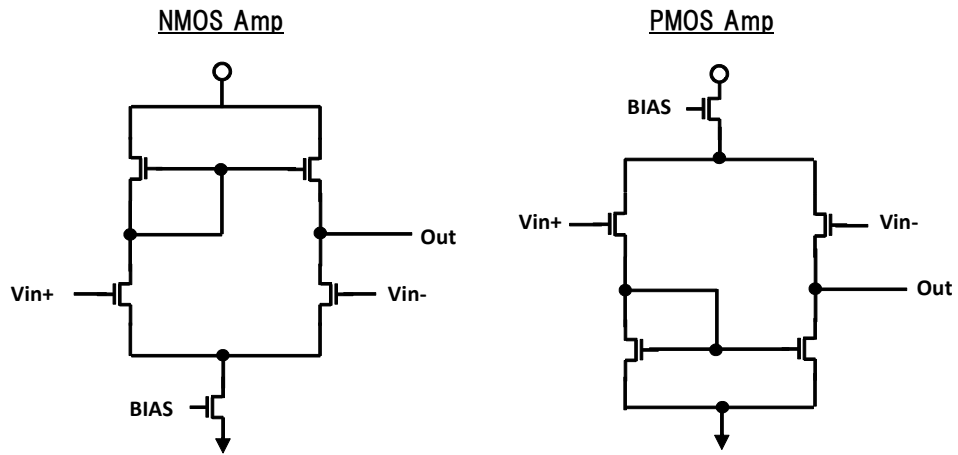
上記評価を実施するために、III-2-I-③-(1)図 1-1-2-17 に示すオペアンプの構成を開発した。チップ内に搭載したアンプにより、目標仕様のオフセット電圧 $10\mu\text{V}$ を増幅することで計測可能とし、その規模を 100～1000 個とした。AMP モードでオフセット(V_{OS})を評価した後に、 V_{th} 測定モードで、オペアンプを構成するトランジスタ(4 個)の V_{th} の測定を実施する。DUT として組み込んだオペアンプは III-2-I-③-(1)図 1-1-2-18 である。オペアンプの種類、およびトランジスタサイズのバリエーションは、

- (1) N 型差動対($L_g=1\mu\text{m}$: $L_g \times W_g = 80\mu\text{m}^2$ 、 $160\mu\text{m}^2$ 、 $320\mu\text{m}^2$ 、 $640\mu\text{m}^2$)
- (2) N 型差動対(サイズ補間、 $L_g=2\mu\text{m}$: $L_g \times W_g = 320\mu\text{m}^2$ 、 $640\mu\text{m}^2$ 、 $1280\mu\text{m}^2$ 、 $2560\mu\text{m}^2$)
- (3) P 型差動対($V_b=V_{DD}$ 、($L_g=1\mu\text{m}$: $L_g \times W_g = 80\mu\text{m}^2$ 、 $160\mu\text{m}^2$ 、 $320\mu\text{m}^2$ 、 $640\mu\text{m}^2$))
- (4) P 型差動対($V_d=V_s$ 、($L_g=1\mu\text{m}$: $L_g \times W_g = 80\mu\text{m}^2$ 、 $160\mu\text{m}^2$ 、 $320\mu\text{m}^2$ 、 $640\mu\text{m}^2$))

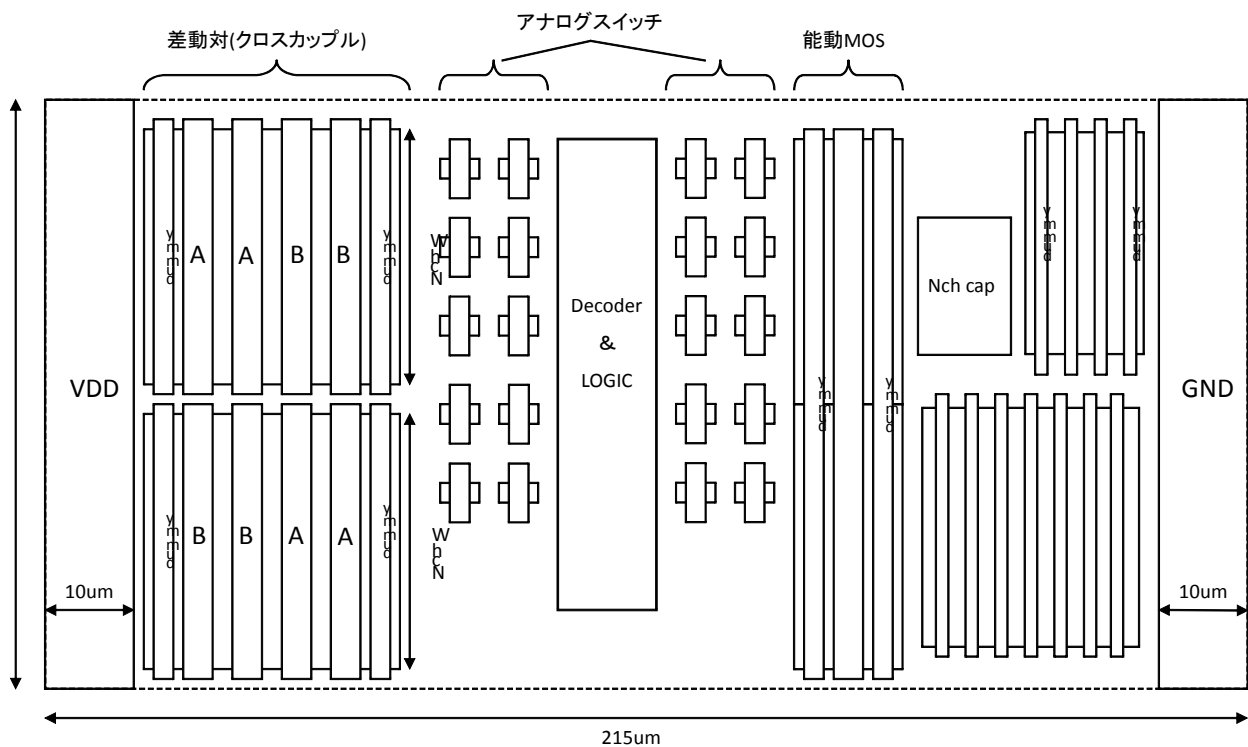
の 4 種類である。能動対のトランジスタサイズは、N 型差動対(1)(2)では、 $L_g/W_g=4/20\mu\text{m}$ 、P 型差動対(3)(4)では $L_g/W_g=8/10\mu\text{m}$ とした。それぞれの TEG 中の DUT 数は 64 セルであり、オペアンプ 4 種類、トランジスタサイズ 4 種類であるので、合計 1536 セルとなる。N 型差動対のレイアウトイメージ、ならびにチップイメージを III-2-I-③-(1)図 1-1-2-19、ならびに III-2-I-③-(1)図 1-1-2-20 に示した。トランジスタそのものは、3.3V の MOS トランジスタで構成し、かつランダムばらつきが小さくなるために L_g 、 W_g ともに大きなトランジスタを用いるため、チップ中にレイアウトできるトランジスタ数は制限される。III-2-I-③-(1)表 1-1-2-6 にパッドリストを示す。測定方法、ならびに測定結果に関しては 1-2-7 項にて詳細に説明する。



III-2-I-③-(1)図 1-1-2-17 オペアンプ TEG の回路構成



III-2-I-③-(1)図 1-1-2-18 DUT に組み込んだ NMOS アンプと PMOS アンプ



III-2-I-③-(1)図 1-1-2-19 NMOS オペアンプ TEG のチップレイアウトイメージ

III-2-I-③-(1)図 1-1-2-6 オペアンプ TEG の PAD イメージ

No.	PAD Name	Description
1	GND	GND
2	Buf2_out	バッファ2出力
3	Amp2_out	アンプ2出力
4	Amp1_out	アンプ1出力
5	Buf2_in	バッファ2入力(+端子)
6	Amp2_inp	アンプ2入力(+端子)
7	Amp2_inn	アンプ2入力(-端子)
8	Amp1_inp	アンプ1入力(+端子)
9	Amp1_inn	アンプ1入力(-端子)
10	Vin	オペアンプ入力
11	PM_Buf2	バッファ2の位相余裕補助用キャパシタ接続端子
12	PM_Amp2	アンプ2の位相余裕補助用キャパシタ接続端子
13	PM_Amp1	アンプ1の位相余裕補助用キャパシタ接続端子
14	Buf1_out	バッファ1出力
15	Cellout_M	セル出力モニタ
16	noise_out	位相雑音出力
17	I_noise	位相雑音用電流端子(noise_outとshortして使用)
18	senseD_VdM1	ドレインのセンス(Vth測定モード時), 差動対(M1)のドレイン電圧モニタ(Ampモード時)
20	senseS_VdM2	ソースのセンス(Vth測定モード時), 差動対(M2)のドレイン電圧モニタ(Ampモード時)
21	forceD	ドレインのフォース
22	forceG	ゲートのフォース
23	forceS_VtailM	ソースのフォース(Vth測定モード時), 差動対のソース電圧モニタ(Ampモード時)※
24	Itail_M	差動対のテイル電流モニタ
25	PM_Buf1	バッファ1の位相余裕補助用キャパシタ接続端子
26	PM SW	位相余裕補助キャパシタ接続スイッチ('L':非接続, 'H':接続)

参考文献

- [1] S. Ohkawa, M. Aoki, "Analysis and Characterization of Device Variations in an LSI Chip Using an Integrated Device Matrix Array", IEEE TRANSACTIONS ON SEMICONDUCTOR MANUFACTURING, VOL. 17, NO. 2, MAY 2004
- [2] M. J. M. Pelgrom, C. J. Duinmajer and P. G. Welbers, "Matching Properties of MOS Transistors", IEEE JOURNAL OF SOLID-STATE CIRCUITS, VOL. 24, NO. 5, OCTOBER 1989, p.1433
- [3] F. Tachibana and T. Hiramoto, "Re-examination of Impact of Intrinsic Dopant Fluctuations on SRAM Static Noise Margin", Extended Abstracts of the 2004 International Conference on Solid State Devices and Materials, Tokyo, 2004, B-4-3, pp. 192-193

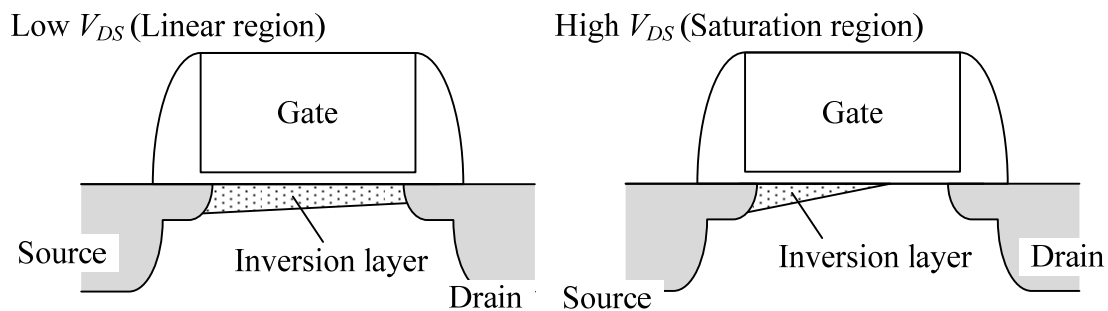
1-2. 試作トランジスタの特性ばらつき評価・解析

1-2-1. 試作トランジスタのしきい値ばらつき評価・解析

1-2-1-1. はじめに

しきい値(V_T)は、電界効果トランジスタ(FET)のオフ状態からオン状態への切り替えゲート電圧を示す重要なパラメータである。通常 LSI の内部の回路は、ある特定の V_T の範囲で動作するように設計されているが、この V_T のばらつきが大きくなりすぎると、回路設計が出来なくなってしまう[2]。そこで本章では、まず、 V_T の定義と開発した解析手法を述べた後に、 V_T のばらつきを抑制するために V_T ばらつきの原因解析を行った結果について述べる。

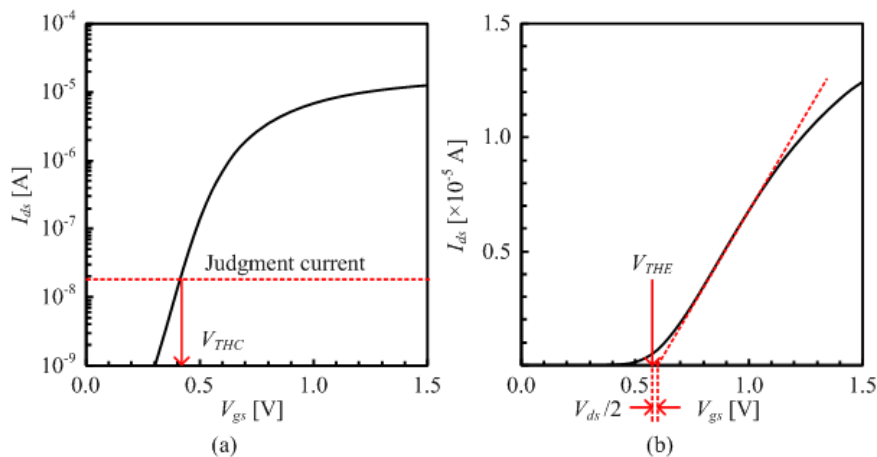
V_T は特に短チャネルにおいて、ドレイン電圧(V_{ds})に依存することが知られている[2]。III-2-I- (1)図1-2-1-1 に、チャネル反転層の模式図を示す[2]。線型領域においては、反転層はチャネル全体に広がっている。このため V_T ばらつきはチャネル全体の物理パラメータのばらつきに支配されると考えられる。一方で、飽和領域においては、反転層はドレイン側でピンチオフしている。この場合、 V_T ばらつきはソース側の物理パラメータのばらつきに支配されると考えられる。ソースからピンチオフ点までの長さも明確ではない。また、Drain Induced Barrier Lowering (DIBL)の効果も考慮する必要がある。このように飽和領域における V_T ばらつきの機構は線型領域よりもより複雑になるため、まず線型領域の解析から着手した。本章では線型領域の V_T ばらつきの解析結果について述べる。



III-2-I- (1)図1-2-1-1. チャネル反転層の模式図。 V_d が低い線型領域では、反転層はチャネル全体に広がる。一方で V_d が高い飽和領域では、反転層はドレイン側でピンチオフする[2]。

1-2-1-2. V_T の定義

V_T を定義する方法には幾つかの方法がある。この章では、2つの種類の V_T 比較し、どの定義が V_T ばらつき原因解析に最適かについて論じる。一つは定電流法定義の V_T で、 V_{thc} と呼ぶことにする。III-2-I- (1)図1-2-1-2(a)で示されるように、 V_{THC} はドレイン電流(I_{ds})が判定電流になるときのゲート電圧(V_{gs})により定義される。もう一つは外挿法定義の V_T で V_{THE} と呼ぶことにする。 V_{THE} の計算方法をIII-2-I- (1)図1-2-1-2(b)に示した。まず、 I_{ds} - V_{gs} 特性の接線のうち、最大傾斜を持つ接線を求める。この接線の V_{gs} 切片から $V_{ds}/2$ を引いたものを V_{THE} とする[2]。

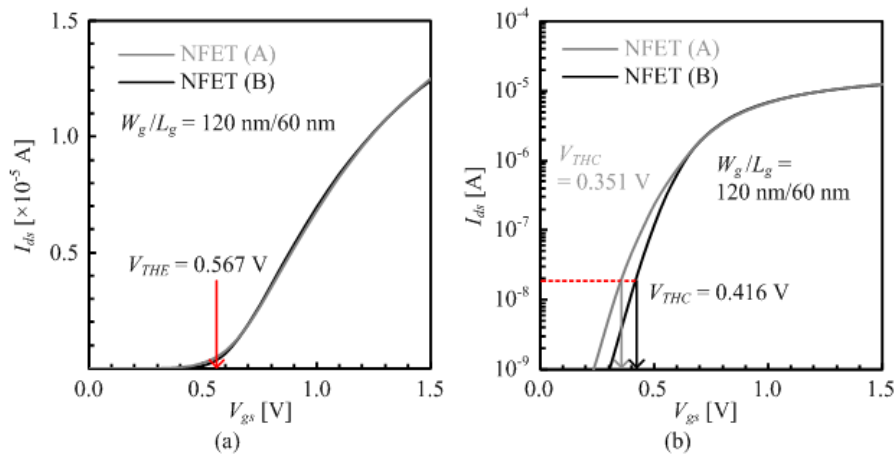


III-2-I- (1)図1-2-1-2. V_{THC} と V_{THE} の定義の説明。(a) V_{THC} は、 I_{ds} が判定電流となるときの V_{gs} により定義される。(b)まず、最大傾斜となる I_{ds} - V_{gs} 特性の接線を求める。 V_{THE} は、この接線の V_{gs} 切片から $V_{ds}/2$ を引いた値とする[2]。

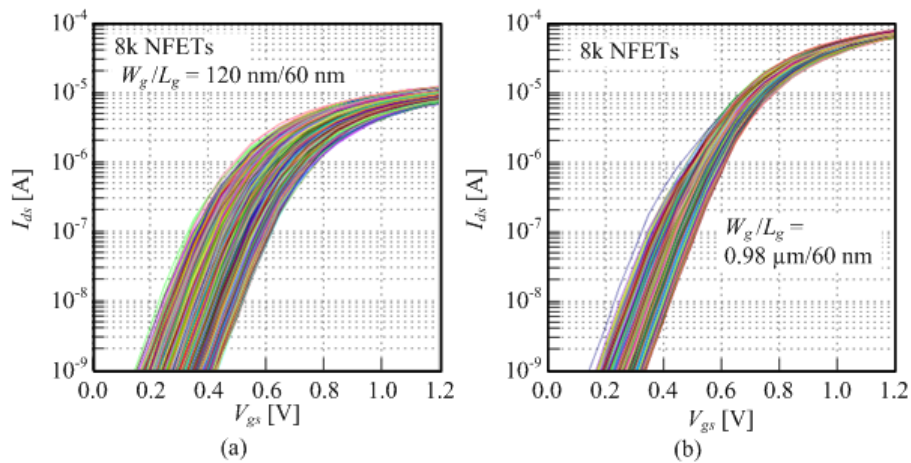
V_{THC} の問題点は、キंक特性に影響を受けやすいことである[3, 4]。III-2-I- (1)図1-2-1-3(a)は、 V_{THE} とオン電流(I_{ON})が同じ二つのNMOSの測定した I_{ds} - V_{gs} 特性を示している。 V_{THE} と I_{ON} が同じため、二つの波形はほとんど重なっている。一方で、III-2-I- (1)図1-2-1-3(b)は同じNMOSで、 I_{ds} をLogスケールにして示したものである。NMOS(A)においてはキंक特性が表れているため、NMOS(B)と V_{THE} は同一であるにも関わらず、 V_{THC} はNMOS(A)の方が低い。このように、 V_{THC} はキंक特性に影響を受けやすいという特徴がある。このキंक特性はゲート幅(W_g)依存性を持っている[5]。III-2-I- (1)図1-2-1-4は、(a) W_g が比較的狭い場合(120 nm)と、(b) W_g が比較的広い場合(0.98 μm)のNMOS8000個分の I_{ds} - V_{gs} 特性を重ねて示したものである[4]。(b)の W_g が比較的広い場合の方が、キंक特性がより顕著になっていることがわかる。この W_g 依存性は、キंक特性の原因と関係していると考えられる。III-2-I- (1)図1-2-1-5は、ソース・ドレイン方向に垂直な断面で観察したMOSトランジスタの断面透過電子顕微鏡(TEM: Transmission Electron Microscopy)像を示す[4]。図で示すように、浅溝素子分離(STI: Shallow Trench Isolation)の端が落ち込んでいる場合には、STI端への電界集中により局所的に V_T が低い寄生MOS領域が形成され、その結果キंक特性が生じる。またSTI端では、アニール工程や酸化工程においてチャンネルに注入されている不純物がSTIに吸い込まれて濃度が低下しやすい。この特性もキंक特性を生じさせる原因となっている。 W_g が十分狭ければ、チャンネル幅全体が寄生チャンネルとなるためにキंक特性が発生しない。一方で、 W_g が広い場合には、寄生チャンネルとチャンネル中心の差が明確になるため、キंक特性がより明確になる。

このキंक特性は V_T ばらつきにも影響を及ぼす。同一のNMOSの V_{THC} ばらつきと V_{THE} ばらつきをIII-2-I- (1)図1-2-1-6にPelgrom plotを用いて示した[4]。 σV_{THE} は、原点を通る破線上にのっている。ゲート幅が比較

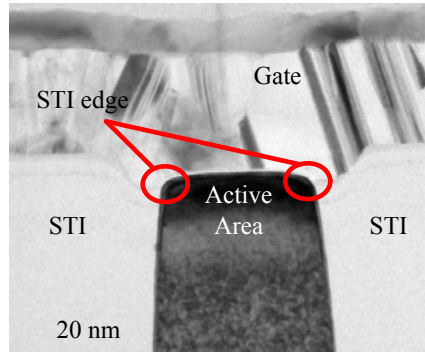
的狭い $W_g/L_g = 120\text{nm}/60\text{nm}$ の場合は、 σV_{THC} が σV_{THE} に近い値をとる。一方で、 $W_g/L_g = 0.48\ \mu\text{m}/60\text{nm}$ や $W_g/L_g = 0.98\ \mu\text{m}/60\text{nm}$ といったチャンネル幅が比較的広いトランジスタでは σV_{THC} は σV_{THE} よりも大きくなる。先に示したキंक特性のチャンネル幅依存性と合わせて考えると、キंक特性により、 σV_{THC} が σV_{THE} よりも大きくなったものと考えられる。キंक特性を抑制して、 σV_{THC} を小さくすることは重要であるが、本章では解析をより明解に行うために、プロセス条件やデバイス形状の影響を受けにくい V_{THE} を主として用いて V_T ばらつきの原因解析を行う。ただし、一部 V_{THC} が用いられている結果がある。これは、 V_{THE} で解析する方針が決まっていなかった研究の初期の段階では、 V_{THC} が用いられていたからである。



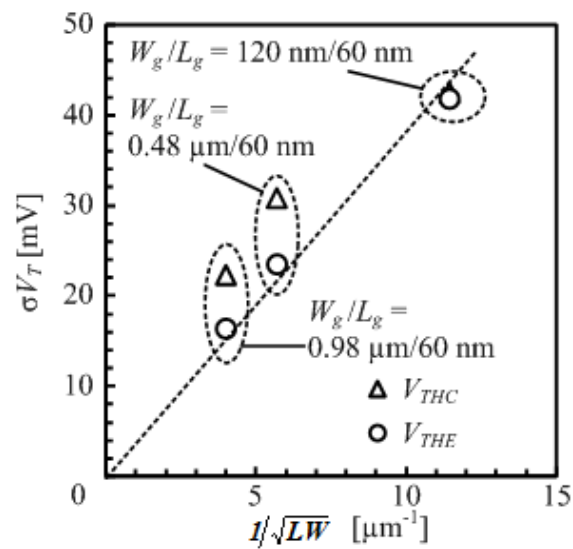
III-2-I- (1)図 1-2-1-3. V_{THE} と $V_{gs} = 1.2\text{ V}$ の I_{ds} が同じ二つの NMOS の I_{ds} - V_{gs} 特性。(a) Y 軸が線型スケールの場合。(b) Y 軸が対数スケールの場合。



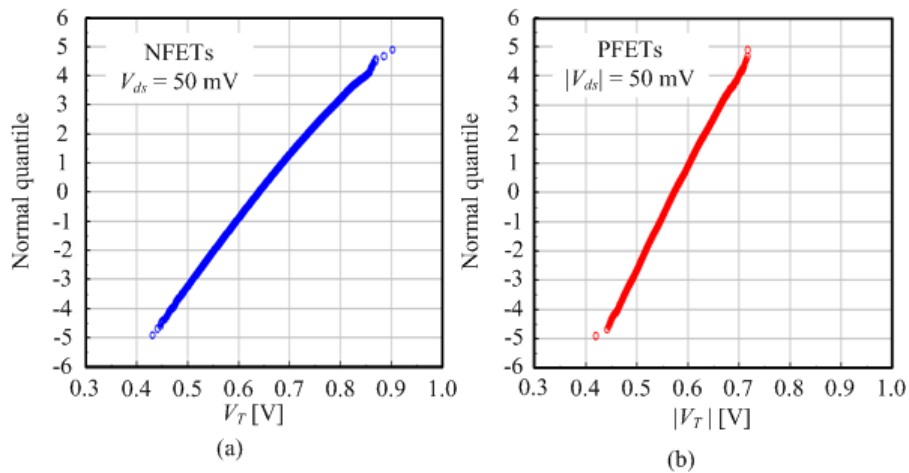
III-2-I- (1)図 1-2-1-4. 8000NMOS の I_{ds} - V_{gs} 特性。(a) $W_g/L_g = 120\text{ nm}/60\text{ nm}$, (b) $W_g/L_g = 0.98\ \mu\text{m}/60\text{ nm}$. キंक特性は、 $W_g = 0.98\ \mu\text{m}$ の場合に、 $W_g = 120\text{ nm}$ の場合よりも明確に現れる[4]。



III-2-I- (1)図 1-2-1-5. ソース/ドレイン方向に垂直な方向の断面 TEM 像。○で示した素子分離端が落ち込んでいる[4]。



III-2-I- (1)図 1-2-1-6. NMOS の σV_{THC} と σV_{THE} の Pelgrom プロット。同じ NMOS を評価しているが、 $W_g = 0.48 \mu\text{m}$ と $0.98 \mu\text{m}$ の場合は、 σV_{THC} のばらつきが σV_{THE} よりも大きい[4]。



III-2-I- (1)図 1-2-1-7. DMA-TEG 中の 100 万 MOS トランジスタの V_T ばらつきの正規プロット[9]。(a) NMOS、(b) PMOS。分布は直線状になっており、ランダム成分が主成分であることがわかる。

1-2-1-3. DMA-TEGで測定した V_T ばらつきの統計的性質

V_T ばらつきの原因解析を行う前に、まず V_T ばらつきの統計的性質、特に V_T ばらつきのランダム性、すなわち、DMA-TEG 内の V_T ばらつきのランダム性を調べた[6-9]。III-2-I- (1)図 1-2-1-7 は、1 チップ 100 万個の NMOS と PMOS の V_T を測定し、その分布を正規プロットにより調べたものである[9]。ここで用いた MOS トランジスタの W_g は 120 nm、 L_g は 60 nm である。正規プロットは視覚的にばらつきが正規分布に従っているかを判断するのに便利な方法である。もし、データ点は直線状に分布していれば、ばらつきは正規分布に従っており、ばらつきはランダムな成分が支配的であることがわかる。NMOS、PMOS ともに正規分布上で V_T は直線状に分布しており、正規分布に従ってばらついていることがわかる [10]。

正規プロットはこのように視覚的にばらつきの正規性を調べるには便利な方法であるが、定量的にばらつきのランダム成分の割合を知ることができない。そこでより定量的にランダム成分の割合を調べるために、ばらつきの成分分離を二つの方法を用いて行った。一つは近接する MOS トランジスタ間で V_T の差を計算する方法、もう一つは、四次多項式フィッティングによる方法である[6]。

V_T 差による方法では、システムティック成分が V_T 差を計算することにより取り除かれる。ここでは、近接するトランジスタ間ではシステムティック成分はほとんど変わらないことを想定している。 V_T ばらつきのランダム成分 (σV_{T_rand})は、 V_T 差(ΔV_T)のばらつきから[6]、

$$\sigma V_{T_rand} = \frac{1}{\sqrt{2}} \sigma(\Delta V_T) \quad (1-2-1-1)$$

のように計算される。 V_T ばらつきのうち、システムティック成分は(σV_{T_sys})、測定した V_T のばらつき(σV_T)と、 σV_{T_rand} から、

$$\sigma V_{T_sys}^2 = \sigma V_T^2 - \sigma V_{T_rand}^2 \quad (1-2-1-2)$$

と計算される。式(1-2-1-1)と(1-2-1-2)を用いて計算した σV_{T_rand} と σV_{T_sys} を表 1-2-1-1(a)に示す[9]。この分離結果により、 V_T ばらつきはランダム成分によって支配されていることがわかった。

さらに四次多項式フィッティングによる方法[6]でも分離を行った。この方法では、システムティック成分が次の式で示される DMA-TEG 内の X アドレスと Y アドレスを変数とする四次多項式によってあらわされると仮定する。

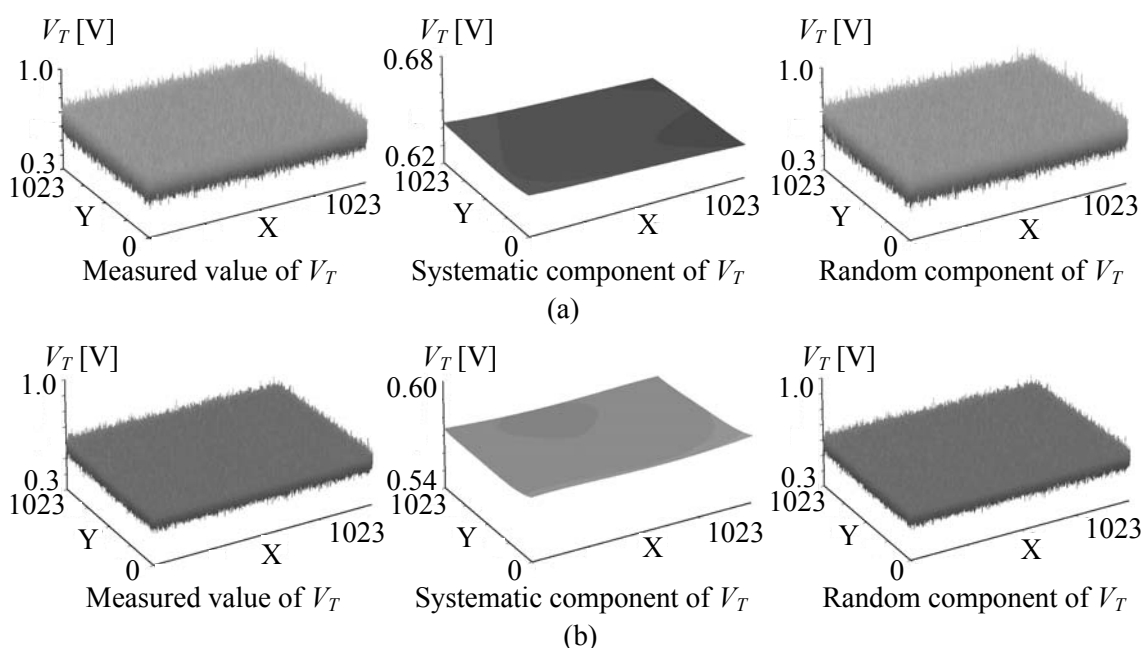
$$V_{T_sys}(x, y) = a_0 + a_1x + a_2y + a_3x^2 + a_4xy + a_5y^2 + a_6x^3 + a_7x^2y + a_8xy^2 + a_9y^3 + a_{10}x^4 + a_{11}x^3y + a_{12}x^2y^2 + a_{13}xy^3 + a_{14}y^4. \quad (1-2-1-3)$$

ここで係数 a_i は、 V_T と $V_{th_sys}(x, y)$ の差の二乗和が最小になるように決める。さらにランダム成分は、次の式から計算する。

$$V_{T_rand}(x, y) = V_T - V_{T_sys}(x, y) \quad (1-2-1-4)$$

測定した V_T 、システムティック成分 V_{T_sys} 、ランダム成分 V_{T_rand} それぞれのチップ面内の分布を III-2-I- (1) 図 1-2-1-8 に示す[9]。NMOS、PMOS の場合いずれの場合も、システムティック成分はランダム成分よりもずっと小さいことがわかる。

4 次多項式フィッティングにより抽出したランダム成分とシステムティック成分の大きさを III-2-I- (1)表 1-2-1-1(b)に示す[9]。ランダム成分の大きさはシステムティック成分よりも大きく、得られた各成分の大きさは、 V_T 差の方法により計算した場合と近い値になっている。このようにシステムティック成分は、ランダム性と比較して小さくなっているが、この原因としては、DMA-TEG 内のレイアウトがレイアウトに依存し、物理パラメータのシステムティックばらつきが生じないように適切に設計したため考えられる。また、DMA-TEG 内ではシステムティック成分は十分に小さいため、ランダム成分の原因を調べるために、DMA-TEG の測定結果がランダムばらつきとして、その評価に活用することができる。



III-2-I- (1)図 1-2-1-8. V_T ばらつきの測定値、システムティック成分、ランダム成分の DMA-TEG 内等高線を示す[9]。
(a)NMOS、(b)PMOS。分離には 4 次多項式の方法[7]を用いた。

III-2-I- (1)表 1-2-1-1. (a) ペア差による方法で、測定した V_T ばらつきをランダム成分と、システムティック成分に分離した結果。(b) 4 次多項式フィッティングで分離した結果[9]。

(a)ペア差による分離

[mV]	Total	Random	Systematic
NMOS	45.5	45.5	1.2
PMOS	28.9	28.8	1.4

(b)4 次多項式近似による分離

[mV]	Total	Random	Systematic
NMOS	45.5	45.5	0.9
PMOS	28.9	28.8	0.9

1-2-1-4. ランダム V_T の解析手法

MOSトランジスタのチャンネル不純物の離散的分布揺らぎ(RDF: Random Dopant Fluctuation、以下 RDF とよぶ)が V_T ばらつきの原因の1つであることは知られている[11-15]。RDFに起因する V_T ばらつきの大きさの理論値は次の式であらわされる[16, 17]。

$$\sigma V_T = \frac{q}{C_{INV}} \sqrt{\frac{N_{SUB} W_{DEP}}{3L_g W_g}} \quad (1-2-1-5)$$

ここで C_{INV} は、反転領域における単位面積当たりのゲート容量、 N_{SUB} は、チャンネル不純物濃度、 W_{DEP} は、チャンネル空乏層幅を示す。ここで、 V_T ばらつきを解析式で表すためにチャンネル不純物のランダム性はチャンネル深さ方向のみ考慮されており、平均的な濃度はチャンネル内で均一であることを想定している。この式により、 V_T ばらつきは、 T_{INV} と N_{SUB} に依存することが分かる[16, 17]。

RDF以外の原因の寄与の大きさを評価するために、測定した V_T ばらつきの大きさを、RDFに起因するしきい値ばらつきの大きさと規格化することが検討された[18, 19]。式(1-2-1-5)において、 $N_{SUB} W_{DEP}$ の項は V_T を用いて次の式のように記述することができる[18, 19]。

$$N_{SUB} W_{DEP} = \frac{C_{INV}}{q} (V_T - V_{FB} - 2\psi_B), \quad (1-2-1-6)$$

ここで、 V_{FB} はフラットバンド電位、 ψ_B はフェルミ電位と真性フェルミ電位の差である。 ψ_B は、 N_{SUB} から次の式で示す通り計算することができる[2]。

$$\psi_B = \frac{kT}{q} \ln \left(\frac{N_{SUB}}{n_i} \right) \quad (1-2-1-7)$$

ここで、 n_i は真性キャリア密度である。式(1-2-1-6)の $N_{SUB} W_{DEP}$ 項を式(1-2-1-5)に代入することにより[18, 19]、

$$\sigma V_T = \sqrt{\frac{q}{3\epsilon_{ox}}} \sqrt{\frac{T_{INV} (V_T + V_0)}{L_g W_g}} \quad (1-2-1-8)$$

が得られる。ここで V_0 は、

$$V_0 \equiv -V_{FB} - 2\psi_B \quad (1-2-1-9)$$

のように定義された値である。

ゲート電極にポリシリコンを用いる従来のプレーナー型 MOS トランジスタの場合、 V_0 はおおよそ 0.1V となる。より正確に V_0 を求めるには、 V_{FB} と N_{SUB} をC-V特性をフィッティングして求める。フィッティングには、

MIRAI-ACCEPT と呼ばれるツールを用いた[20]。式(1-2-1-8)は、RDF に起因するしきい値ばらつきの大きさが、

$\sqrt{\frac{T_{INV}(V_T + V_0)}{L_g W_g}}$ に比例することを示している。そこで σV_T と、 $\sqrt{\frac{T_{INV}(V_T + V_0)}{L_g W_g}}$ の関係をプロットすること

により、 σV_T の大きさが RDF に起因する V_T ばらつきと比較してどれだけ大きいかを評価することができる。このプロットは、「竹内プロット」と呼ばれている[18, 19]。従来からある Pelgrom プロット[21]と、竹内プロットの例を III-2-I- (1)図 1-2-1-9 に示す[18, 19, 22-24]。このプロットでは、 T_{INV} と N_{SUB} を変えたトランジスタのデータを重ねてプロットしている。この評価で使われているトランジスタは同じ工場で同じプロセスを用いて作られたものである。これらのプロットの傾きは、Pelgrom プロットでは、 A_{VT} 、竹内プロットでは B_{VT} と呼ばれており、 A_{VT} と B_{VT} は V_T ばらつきの大きさを示す指標になっている。式(1-2-1-8)より、もし V_T ばらつきがすべて RDF によるものであれば[18, 19]、

$$B_{VT} = \sqrt{\frac{q}{3\epsilon_{ox}}} \quad (1-2-1-10)$$

となる。

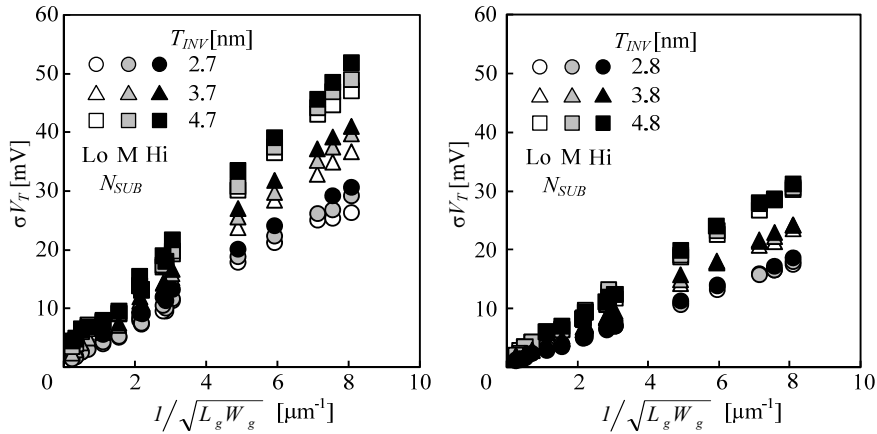
Pelgrom プロットでは L_g と W_g だけで規格化を行っているため A_{VT} は T_{INV} と N_{SUB} に依存する。一方で、 B_{VT} は T_{INV} や N_{SUB} によりほとんど変わらない。竹内プロットでは RDF の効果のみを規格化しているので、このことは VT ばらつきが RDF によって支配されていることを示唆している。さらに NMOS の B_{VT} は PMOS の B_{VT} よりも大きいこともわかった。

Pelgrom プロットと竹内プロットを用いて、様々なプロセス技術や工場で製造された MOS トランジスタのばらつきを比較した[19]。結果を III-2-I- (1)図 1-2-1-10 に示す[19]。ここでは T_{INV} や N_{SUB} が異なる MOS トランジスタが含まれている。このグラフ中で点線は、3次元 TCAD で計算した V_T ばらつきの B_{VT} 値を示している。このシミュレーションでは、 V_T ばらつきの要因として RDF の効果のみを取り入れており、チャンネル不純物濃度の平均値は均一な分布をしていると仮定している。この時 B_{VT} の TCAD による計算結果は 1.5 となるが、これはによる理論計算値である 1.2 よりも少し大きい。これは、理論計算では 3次元の不純物位置ばらつき効果が考慮されていないためだと考えられる。これらの比較の結果から次の重要な結果が導かれる。

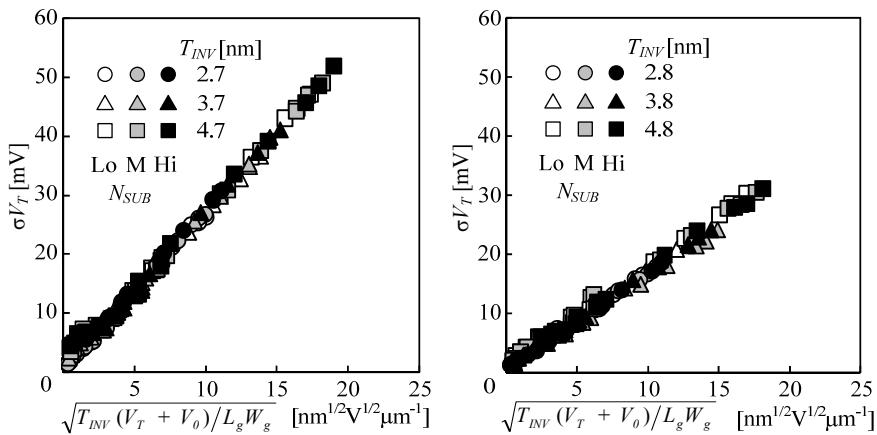
- (i) PMOS の B_{VT} は一般的に RDF によって支配されている
- (ii) NMOS の B_{VT} は、PMOS の B_{VT} や、RDF 効果により説明される B_{VT} (1.5) よりも大きい

このことから、NMOS のばらつきは、均一な平均チャンネル不純物濃度を仮定した RDF の効果では説明できないことになる。

本章では、特に NMOS の V_T ばらつきが PMOS よりも大きくなる原因について論じる。さらに、PMOS の V_T ばらつきの原因として、RDF 以外の要因がないかについても論じる。

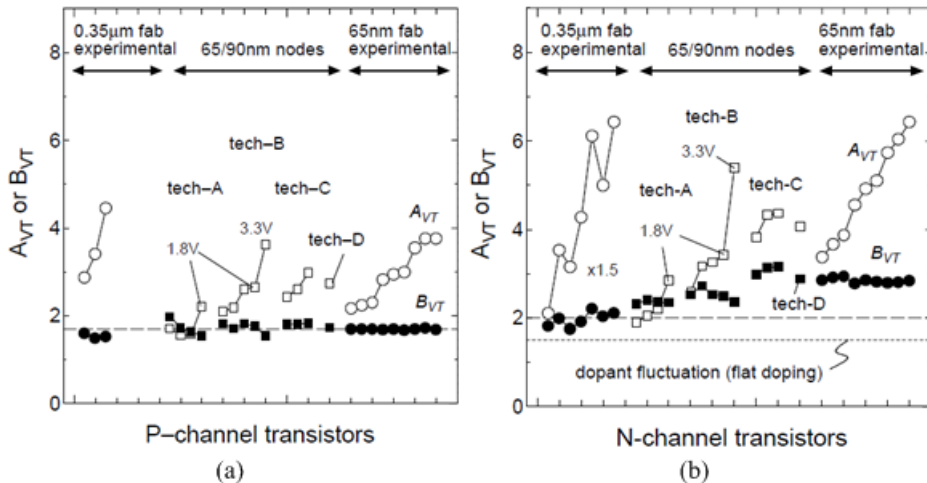


(a)



(b)

III-2-I- (1)図1-2-1-9. (a) Pelgromプロットと(b) Takeuchiプロット。ここでは異なる T_{INV} や N_{SUB} をもつMOSトランジスタの測定により得られた σV_T を評価している[18, 19, 22-24]。



III-2-I- (1)図1-2-1-10. さまざまな工場や、プロセス技術で作られたMOSトランジスタの、 A_{VT} と B_{VT} の比較。 A_{VT} と B_{VT} は測定よりもとめた σV_T により評価した。 T_{INV} や N_{SUB} はそれぞれのプロセス技術ごとに異なる。破線はシミュレーションにより計算した B_{VT} を示す。シミュレーションでは、RDFの効果のみを取り入れて、均一なチャンネル不純物濃度プロファイルを想定して計算を行った。(a) NMOS, (b) PMOS [19]。

1-2-1-5 V_{th} ばらつきの原因解析

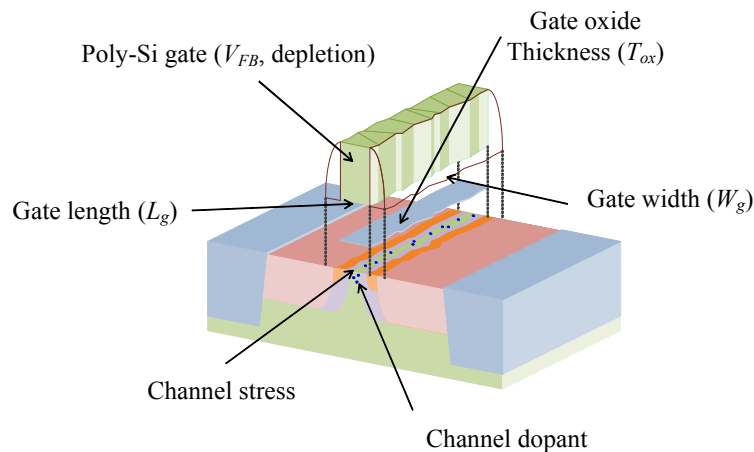
本開発で調べた考えられる V_T ばらつきの原因候補の一覧を III-2-I- (1)図 1-2-1-11 に示す[11-16, 18, 19, 25-36]。これらの候補が V_T に及ぼす影響を V_T の解析式を用いて説明する[2]。

$$V_T = V_{FB} + 2\psi_B + \frac{qN_{SUB}W_{DEP}}{C_{INV}} \quad (1-2-1-11)$$

ポリシリコンゲートは、 V_{FB} や C_{INV} を通じて V_T ばらつきに寄与する可能性がある[25-29]。ポリシリコンゲート中の、シリコングレイン間の境界と、グレインの中心で V_{FB} が異なるため、ポリシリコングレインの分布により V_T がばらつくと指摘する論文がある[29]。また、 T_{INV} はポリシリコンの空乏化により変動するため、ポリシリコンゲートの空乏化のばらつきによって C_{INV} がばらつき、その結果 V_T ばらつきが増大すると指摘する論文がある[25]。またゲート酸化膜厚そのものがばらつくことにより、 C_{INV} がばらつき、その結果 T_{INV} がばらつくということも考えられる[30, 31]。

式(1-2-1-11)では、短チャネル効果や、狭チャネル効果などが現れない、 L_g が長く、 W_g が広いMOSトランジスタの V_T を示している。このためゲート長ばらつきやゲート幅ばらつきの影響は、式(1-2-1-11)には現われてこない。しかし、実際の微細化されたトランジスタでは L_g , W_g ばらつきが短チャネル効果や、狭チャネル効果を通じて、 V_T ばらつきに影響を及ぼす可能性が考えられる[32-36]。1-2-1-8 項で後述するように、 V_T はチャネルに応力を印加するストレスライナーの応力条件により変化する[37]。このため、チャネル応力が V_T ばらつきに影響を及ぼす可能性がある。

すでに先に述べたとおり、チャネル不純物は V_T ばらつきの要因の一つである[11-15]。本開発ではチャネル不純物の効果についてチャネル濃度プロファイルの不均一性の影響も含めて調べた[16, 38, 39]。次の章以降では、 V_{th} ばらつき原因候補の効果について述べる。



III-2-I- (1)図1-2-1-11. 本開発で調べた、 V_T ばらつき原因候補[11-16, 18, 19, 25-36]。

1-2-1-6 V_T ばらつきに及ぼすゲート長とゲート幅の効果

ゲート長(L_g)とゲート幅(W_g)の効果は一貫物理解析を用いて調べた[22, 24]。III-2-I- (1)図 1-2-1-12 は、DMA-TEG 中の 100 万個の NMOS と PMOS を測定し、その V_T の分布を正規プロットで示したものである[22, 24]。これらのトランジスタのうち、 $\pm 5\sigma$ と、メディアン値に相当する V_{THC} を持つ MOS トランジスタを取り出して、一貫物理解析を行った。もし、 L_g や W_g ばらつきが V_T ばらつきの支配的な要因であれば、これらの MOS トランジスタ間で大きな L_g や W_g の差異が検出できる。 L_g と W_g は平面 TEM 像より評価した。III-2-I- (1)図 1-2-1-13 に TEM 像を示す[22, 24]。 L_g の差は NMOS で最大 2 nm、PMOS で最大 3 nm であった。また V_T - L_g 特性を III-2-I- (1)図 1-2-1-14(a)に示す[24]。 L_g 差に起因する V_T の差を次の式により見積もる。

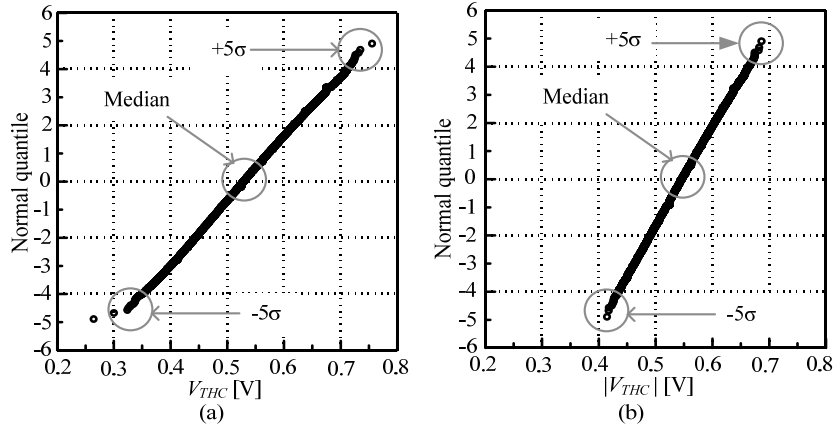
$$\Delta V_T = \frac{\partial V_T}{\partial L_g} \Delta L_g \quad (1-2-1-12)$$

測長した L_g と、 V_T - L_g 特性から L_g 差に起因する V_T 差の大きさを求めると、NMOS の場合 1 mV、PMOS の場合 2 mV となる。 W_g は同様に、NMOS の場合、最大で 4 nm、PMOS の場合最大で 6 nm であった。 V_T - W_g 特性を III-2-I- (1)図 1-2-1-14(b)に示す[24]。 L_g の場合と同様に、 W_g 差に起因する V_T の差は次の式により見積もられる[32]。

$$\Delta V_T = \frac{\partial V_T}{\partial W_g} \Delta W_g \quad (1-2-1-13)$$

測長した W_g と V_T - W_g の特性から見積もられる W_g 差に起因する V_T 差の大きさは、NMOS の場合 0.4mV、PMOS の場合 1.2 mV となる。これらの結果から、 L_g と W_g は V_T ばらつきの主たる要因ではないと考えられる。

L_g ばらつきの効果については、シミュレーションも用いて検討が行われた。シミュレーションを用いてゲート長の Local Width Roughness(LWR)の効果による V_T ばらつきを Pelgrom プロットであわらしたものを III-2-I- (1)図 1-2-1-15 に示す[35]。ゲート長が 60 nm 付近にある場合は、LWR の効果は限定的である。しかし、ゲート長が 50 nm を切るようになってくると、LWR の効果が急激に増大することが分かる。このため、さらに微細化を進めると、ゲート長ばらつきの影響が顕著なものとして現われてくる可能性がある。



III-2-I- (1)図1-2-1-12. 105個MOSTランジスタ DMA-TEGで測定した、 V_{THC} の正規プロットと、一貫物理解析で調べたMOSTランジスタを示す[22, 24]。一貫物理解析では、 $\pm 5\sigma$ およびメディアン V_{THC} を持つMOSTランジスタを調べた。(a) NMOS、(b) PMOS。

(a)

V_{THC} [V]	0.335(-5 σ)	0.529(Med.)	0.719(+5 σ)
X-TEM			
L_g [nm]	66	67	65

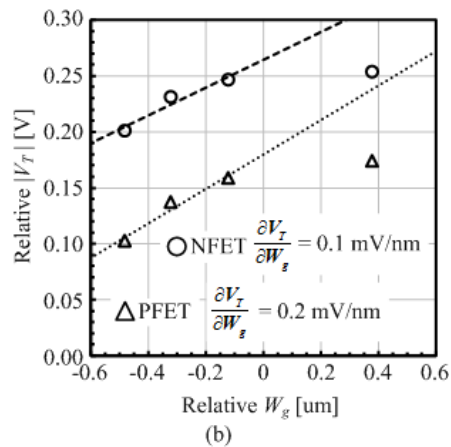
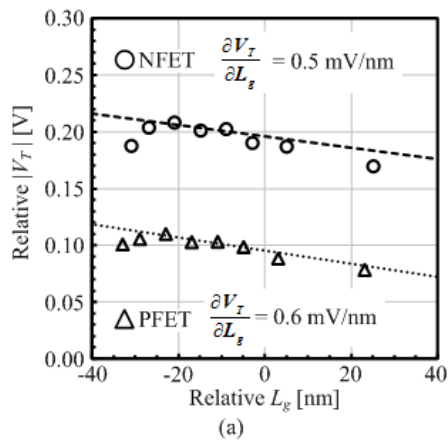
V_{THC} [V]	0.335(-5 σ)	0.529(Med.)	0.719(+5 σ)
Plan-view TEM			
W_g [nm]	128	127	124

(b)

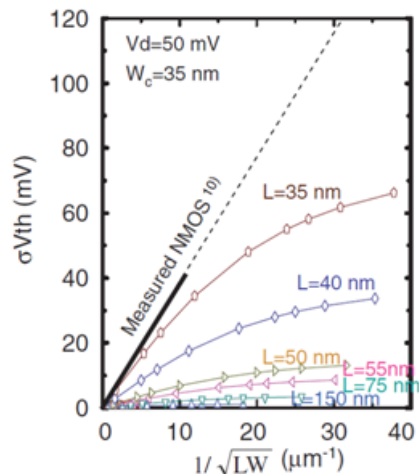
V_{THC} [V]	-0.425(-5 σ)	-0.546(Med.)	-0.683(+5 σ)
X-TEM			
L_g [nm]	62	65	63

V_{THC} [V]	-0.425(-5 σ)	-0.546(Med.)	-0.683(+5 σ)
Plan-view TEM			
W_g [nm]	129	123	128

III-2-I- (1)図1-2-1-13. 各 V_{THC} をもつMOSTランジスタの断面および平面TEM像[22, 24]。(a) NMOS、(b) PMOS。ゲート長とゲート幅はこのTEM像から見積もった。



III-2-I- (1)図1-2-1-14. NMOSとPMOSの(a) V_T - L_g (b) V_T - W_g 特性の測定結果[24]。これらの特性は、 L_g 、 W_g ばらつきが V_T ばらつきに及ぼす影響を見積もるために用いた[32]。



III-2-I- (1)図1-2-1-15. シミュレーションで見積もった L_g ばらつきに起因する V_T ばらつきの大きさのPelgromプロット[35]。

1-2-1-7. V_T ばらつきに及ぼすゲート酸化膜の効果

まずゲート酸化膜厚の影響を L_g や W_g と同様に一貫物理解析により調べた[22, 24]。ここでもちいられた MOS トランジスタは、 W_g と L_g を評価したのと同じ MOS トランジスタである。もし、ゲート酸化膜厚ばらつきが V_T ばらつきの支配的な要因であれば、大きなゲート酸化膜厚差があわられるはずである。III-2-I- (1)図 1-2-1-16 に MOS トランジスタの断面 TEM 像を示す[22, 24]。これらの MOS トランジスタの間で、ゲート酸化膜厚には著しい差は見られなかった。

ゲート酸化膜および基板との界面のアトミックラフネスが V_T ばらつきに及ぼす影響について、ゲート酸化膜に、①表面窒化した熱酸化シリコン酸化膜(以下、熱酸化膜)を用いた MOS トランジスタと、ゲート酸化膜に高温で成膜したシリコン酸化膜(HTO 膜: High Temperature Oxide 膜、以下 HTO 膜)を用いた MOS トランジスタのばらつきを比較することにより調べた[28]。まず、 T_{OX} と酸化膜/基板界面の原子レベルのラフネスを断面の透過電気顕微鏡(TEM: Transmission Electron Microscopy)像により調べた。これを III-2-I- (1)図 1-2-1-17 に示す[40]。広範囲にわたる T_{OX} のばらつきと界面ラフネスを明確にするために、この TEM 像は横方向のみ圧縮されている[41]。 T_{OX} と界面凹凸のばらつきは熱酸化膜と HTO 膜で異なっている。 T_{OX} ばらつきは、HTO 膜の方が大きく、界面は HTO 膜/シリコン基板界面の方が、熱酸化膜/基板界面よりもラフネスが少ないことがわかる。ゲート酸化膜に HTO 膜を用いるのは特殊なプロセスであるため、まず MOS トランジスタが正常に動作するかを確認した。HTO ゲート酸化膜を用いた MOS トランジスタの $C-V$ 特性および $I_{ds}-V_{gs}$ 特性を III-2-I- (1)図 1-2-1-18 に示す[40]。これらの特性に特に異常な点は見られなかった。HTO ゲート酸化膜を用いた MOS トランジスタは正常に動作していると考えられる。

通常のシリコン酸化膜をゲート絶縁膜に用いた MOS トランジスタと HTO 膜を用いた MOS トランジスタの B_{VT} を III-2-I- (1)図 1-2-1-19 に示す[40]。それぞれの MOS トランジスタの T_{INV} を III-2-I- (1)図 1-2-1-2 に示す[40]。 T_{INV} や界面ラフネスが変化しているにもかかわらずこれらの MOS トランジスタの B_{VT} はほとんどかわらないことがわかった。この結果から、ゲート酸化膜厚や、ゲート酸化膜と基板界面のラフネスは V_T ばらつきの主要因ではないという知見を得た。

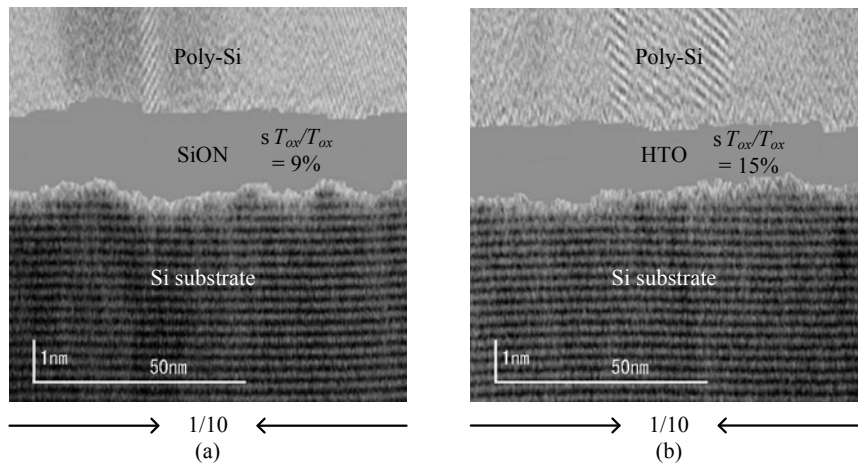
(a)

V_{THC} [V]	0.335(-5 σ)	0.529(Med.)	0.719(+5 σ)
X-TEM			
T_{OX} [nm]	1.9	1.9	1.9

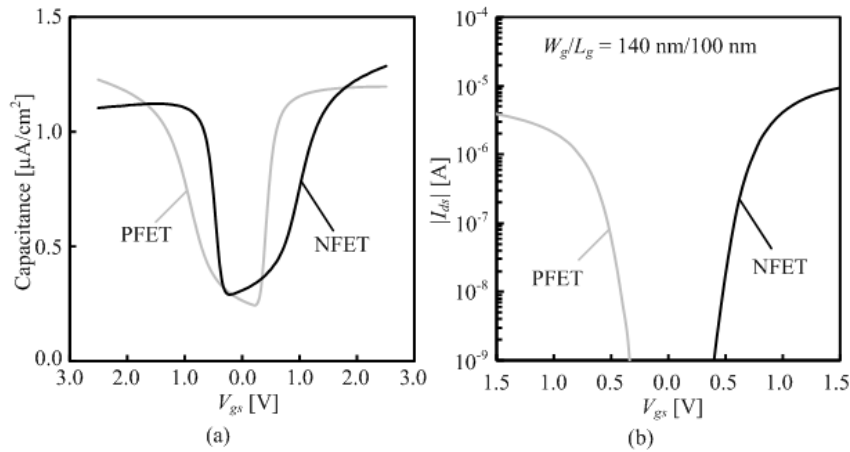
(b)

V_{THC} [V]	-0.425(-5 σ)	-0.546(Med.)	-0.683(+5 σ)
X-TEM			
T_{OX} [nm]	1.9	1.9	1.9

III-2-I- (1)図1-2-1-16. 各 V_{THC} をもつMOSTランジスタの断面TEM像[22, 24]。(a) NMOS、(b) PMOS。ゲート酸化膜厚はこのTEM像から見積もった。



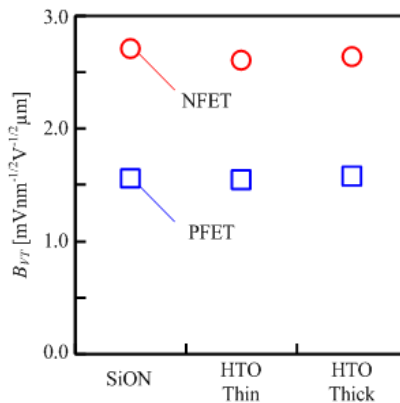
III-2-I- (1)図1-2-1-17. ポリシリコンゲート/ゲート酸化膜/シリコン基板の断面TEM像[40]。(a) SiONゲート酸化膜の場合。(b) HTOゲート酸化膜の場合。広範囲にわたるゲート酸化膜厚と、酸化膜/シリコン基板界面の凹凸を明確にするために、横方向にのみ断面TEM像を圧縮している。TEM像中に、 $\sigma T_{OX}/T_{OX}$ も合わせて示している。



III-2-I- (1)図1-2-1-18. HTOゲート酸化膜を備えたMOSトランジスタの、C-V特性と、 I_{ds} - V_{gs} 特性[40]。 (a)C-V特性、(b) I_{ds} - V_{gs} 特性。

III-2-I- (1)表1-2-1-2. 図1-2-1-39に示した、SiON、およびHTOゲート酸化膜を備えたMOSトランジスタの T_{INV} [40]。

[nm]	SiON	HTO(Thin)	HTO(Thick)
NMOS	2.8	2.9	3.5
PMOS	2.9	3.1	3.6



III-2-I- (1)図1-2-1-19. SiON又はHTOゲート酸化膜を備えたMOSトランジスタの B_{VT} [40]。

1-2-1-5. ゲート電極構造が V_T ばらつきに与える影響

まず、ポリシリコンのグレイン構造の影響をゲート幅方向の断面 TEM 像により調べた[22, 24]。この結果を III-2-I- (1)図 1-2-1-20 に示す[22, 24]。調べた試料は、100 万個の MOS トランジスタを配置した DMA-TEG 中、 $\pm 5\sigma$ の V_{THC} を持つ。ただしこれらの MOS トランジスタは、図 1-2-1-13 および III-2-I- (1)図 1-2-1-16 で調べた MOS トランジスタとは別の MOS トランジスタである。これは、一つの MOS トランジスタに対して、ゲート長方向とゲート幅方向の断面 TEM 像は同時には観察できないためである。過去の文献によると[42]、チャネル上の全体が1つのグレインで覆われるといった極端な現象が生じると、 V_{th} が大きく上昇するという報告がある。しかし、このような極端な現象は見られなかった。 $\pm 5\sigma$ それぞれの MOS トランジスタでグレイン構造は異なって

はいるが、 V_T の高低との明確な関係は見られなかった。

もう一つのポリシリコンゲートに起因する V_T ばらつきへの寄与の可能性としては、ゲート空乏化のばらつきが考えられる。もし T_{INV} ばらつきが V_T ばらつきの主要因であれば、 σV_T は次の式のように表わすことができる[19]。

$$\sigma V_T = \frac{qN_{SUB}W_{DEP}}{\epsilon_{ox}} \sigma T_{INV} \cdot \quad (1-2-1-14)$$

この場合、 B_{VT} の定義から、 B_{VT} は次のように示される[19]。

$$B_{VT} = \frac{\sigma V_T}{\sqrt{\frac{T_{INV}(V_T + V_0)}{L_g W_g}}} \cdot \quad (1-2-1-15)$$

式(1-2-1-15)に、式(1-2-1-14)と、 $V_T + V_0 = \frac{qN_{SUB}W_{DEP}T_{INV}}{\epsilon_{ox}}$ [2]を代入することにより、 B_{VT} は次の式で表

わされる[19, 43]。

$$B_{VT} = (qN_{SUB}W_{DEP}L_g W_g)^{\frac{1}{2}} \epsilon_{ox}^{-\frac{1}{2}} T_{INV}^{-1} \sigma T_{INV} \cdot \quad (1-2-1-16)$$

ここで $W_{DEP} = \sqrt{\frac{4\epsilon_{Si}\psi_B}{qN_{SUB}}}$ [2]をさらに式(1-2-1-16)に代入すると、 B_{VT} は次の式のようになる[19, 43]。

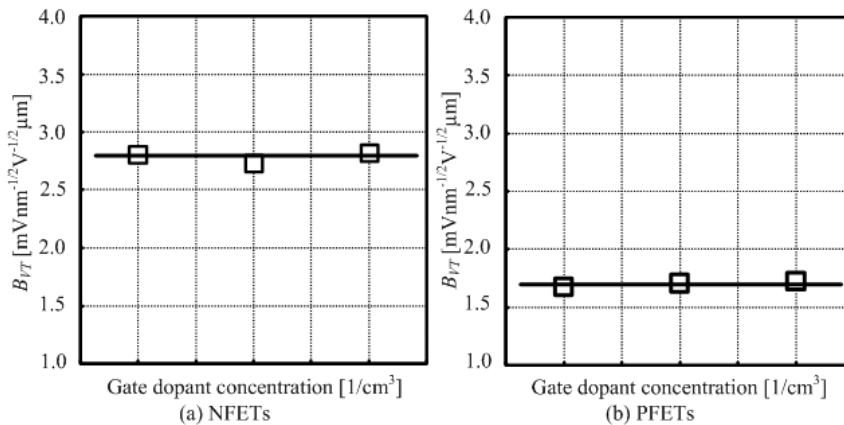
$$B_{VT} = \{4\epsilon_{Si}qN_{SUB}\psi_B\}^{\frac{1}{4}} \epsilon_{ox}^{-\frac{1}{2}} (LW)^{\frac{1}{2}} T_{INV}^{-1} \sigma T_{INV} \cdot \quad (1-2-1-17)$$

B_{VT} は式(1-2-1-17)で示すとおり、 T_{INV} と σT_{INV} に依存する。

III-2-I- (1)図 1-2-1-21 は、 B_{VT} のゲート不純物濃度依存性を示す[22, 24]。 B_{VT} はゲート不純物濃度にほとんど依存していない。ここでゲート不純物濃度は、不純物注入量に比例していると仮定している。ゲート不純物濃度が高くなれば、不純物がすべてのゲートグレインに充分に行き渡るようになるため、ゲート空乏化ばらつきに起因する σT_{INV} が減少するのではないかと考えられる。式(1-2-1-17)と、III-2-I- (1)図 1-2-1-21 に示される変化しない B_{VT} から、ゲートの空乏化は V_T ばらつきの主たる要因ではないと考えられる。

V_{THC} [V]	Low(-5 σ)	High(+5 σ)
X-TEM NFET-1	Silicide Poly-Si 100nm Active	100nm
X-TEM NFET-2	100nm	100nm
X-TEM PFET	100nm	100nm

III-2-I- (1)図 1-2-1-20. -5 σ 、または+5 σ の V_{THC} をもつNMOSとPMOSのグレイン構造[22, 24]。

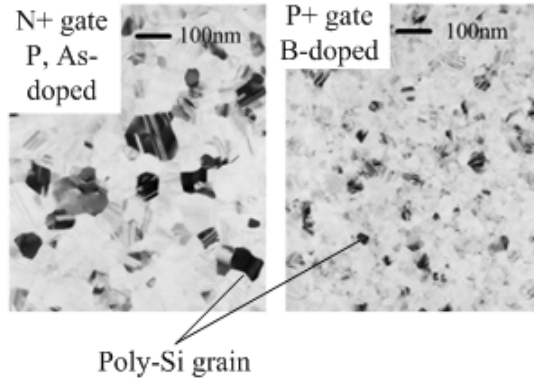


III-2-I- (1)図 1-2-1-21. ゲートの不純物濃度と、 B_{VT} の関係[22, 24]。

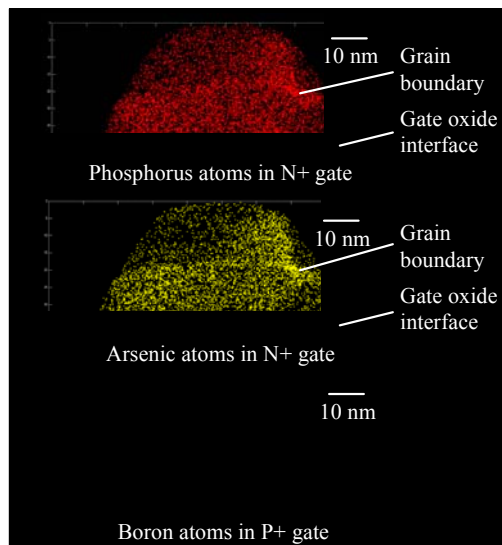
次に、ポリシリコンゲートの極性が V_T ばらつきに及ぼす影響について調べた[40, 44]。III-2-I- (1)図 1-2-1-22 は、 N^+ および P^+ ポリシリコンゲートの平面 TEM 像を示す。 N^+ ゲートの方が、 P^+ ゲートよりもグレインのサイズが大きいことがわかる[43-45]。さらに、 N^+ および P^+ ゲート中の不純物を、局所電極式原子プローブ (LEAP3000X)により調べた結果を III-2-I- (1)図 1-2-1-23 に示す[46, 47]。 N^+ ゲート中のリンおよび、ヒ素原子はグレイン境界やゲート酸化膜との境界に偏析していることがわかる。一方で P^+ ゲート中のボロンは均一に分布している。これらの N^+ ゲートと P^+ ゲートの差が、ゲートの空乏化や、 V_{FB} ばらつきを通じてNMOSとPMOSの V_T ばらつき差に寄与している可能性がある[25-29]。

N^+ ゲートのNMOSの V_{th} ばらつき増大への影響を調べるために、 N^+ ゲートPMOSを作製し、 P^+ ゲートPMOSと V_{th} ばらつきを比較した。まず、 N^+ ゲートPMOSが適切に作製されているかを $C-V$ 特性により確認した。 N^+ ゲートPMOSと P^+ ゲートPMOSの $C-V$ 特性を III-2-I- (1)図 1-2-1-24 に示す[40, 44]。 P^+ ゲートPMOSと比較して、 N^+ ゲートPMOSではバンドギャップ分 V_{FB} がシフトしているため、 N^+ ゲートPMOSは適切に作製されていると考えられる。 V_{th} ばらつきを III-2-I- (1)図 1-2-1-25 に示す[40, 44]。 N^+ ゲートPMOSの B_{VT} は、 N^+ ゲートNMOSよりも小さく、 P^+ ゲートPMOSと同程度であることがわかる。

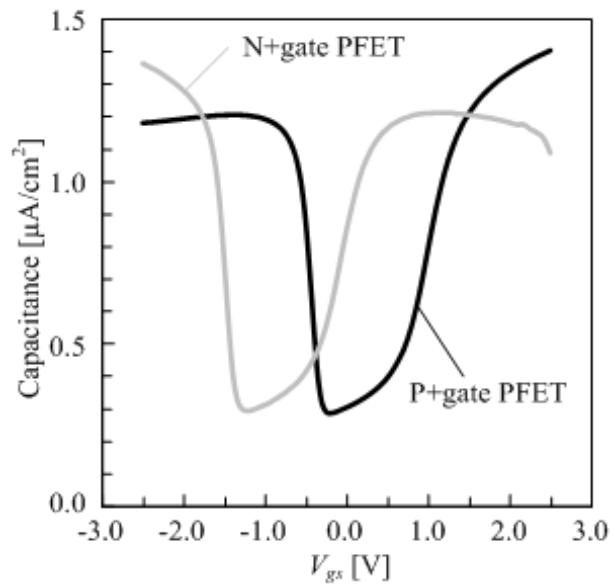
以上の結果から、 N^+ ゲートがNMOSの V_{th} ばらつきを増大させる主たる要因ではないという知見を得た。



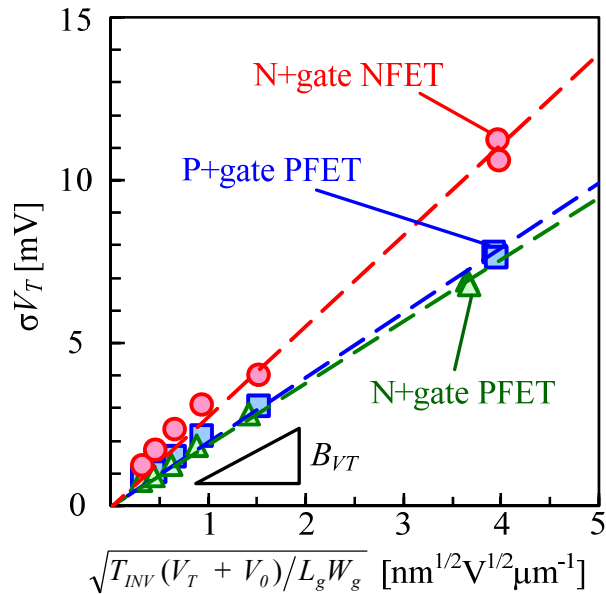
III-2-I- (1)図 1-2-1-22. ヒ素およびリンドーブ N+ゲートと、ボロンドープ P+ゲートの平面 TEM 像[43-45]。



III-2-I- (1)図 1-2-1-23. 局所電極原子プローブにより観察した、ゲート中のリン、ヒ素、ボロン原子の分布[46-47]



III-2-I- (1)図 1-2-1-24 N+ゲートPMOSTランジスタと、P+ゲートPMOSTランジスタのC-V特性[40, 44]。

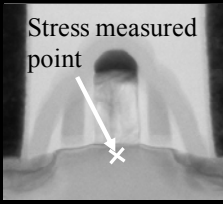
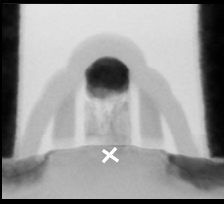
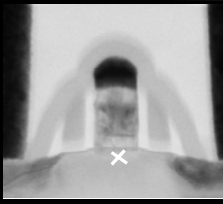


III-2-I- (1)図1-2-1-25. N+ゲートNMOS、P+ゲートPMOSTランジスタ、N+ゲートPMOSTランジスタのTakeuchiプロット[40, 44]。

1-2-1-6. V_T ばらつきに及ぼすチャンネルストレスの効果

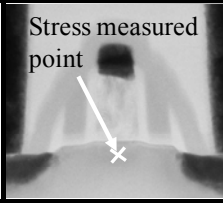
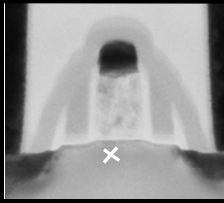
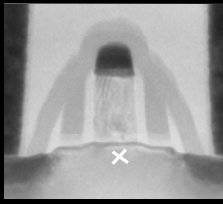
チャンネルへ印加したストレスが V_T ばらつきに及ぼす影響を一貫物理解析により求めた[22, 24]。III-2-I-(1)図 1-2-1-13 と同じトランジスタについて、NBD を用いて応力を調べた。III-2-I- (1)図 1-2-1-26 にそれぞれのトランジスタの応力値を示す[22, 24]。NMOS に関しては、 -5σ の V_{THC} を持つ NMOS のチャンネルストレスはほかの NMOS とは異なっていた。一方で、メディアン値の V_{THC} を持つ NMOS と $+5\sigma$ の V_{THC} をもつ NMOS のチャンネルストレス値は同じであった。PMOS に関しては、 -5σ の V_{THC} を持つ PMOS と、 $+5\sigma$ の V_{THC} を持つ PMOS で同じチャンネルストレス値であり、メディアン値の V_{THC} をもつ PMOS のみ、チャンネルの応力値が異なっていた。このように、チャンネルストレス値と V_T の間には決定的な相関は見られなかった。これらの結果から、チャンネルストレスのばらつきが V_T ばらつきに及ぼす影響は小さいものと考えられる。

次にコンタクトエッチングストップ層(CESL: Contact Etching Stop Layer、以下 CESL と呼ぶ)の応力が V_T ばらつきに及ぼす影響について調べた。近年の LSI では、CESL によりチャンネルにストレスを印加し、キャリアの移動度を向上させる技術が用いられるようになってきている。III-2-I- (1)図 1-2-1-27 に、 V_T の CESL 応力条件依存性を示す[40, 44]。 V_T は CESL 応力条件により変調されているため[37]、 V_T ばらつきの大きさも CESL の応力条件に依存している可能性が考えられる。そこで、次に V_T ばらつきの CESL 応力条件依存性を調べた。III-2-I- (1)図 1-2-1-28 に結果を示す[40, 44]。NMOS と PMOS 両方で、 B_{VT} はほとんど変化していない。この結果から、CESL によってチャンネルに印加されたストレスは、オン電流向上の効果があるものの、NMOS の V_T ばらつき増大に及ぼす影響は小さいという知見を得た。

V_{THC} [V]	0.335(-5 σ)	0.529(Med.)	0.719(+5 σ)
X-TEM	Stress measured point 		
Stress* [MPa]	130/-130	130/130	130/130

*Horizontal/Vertical

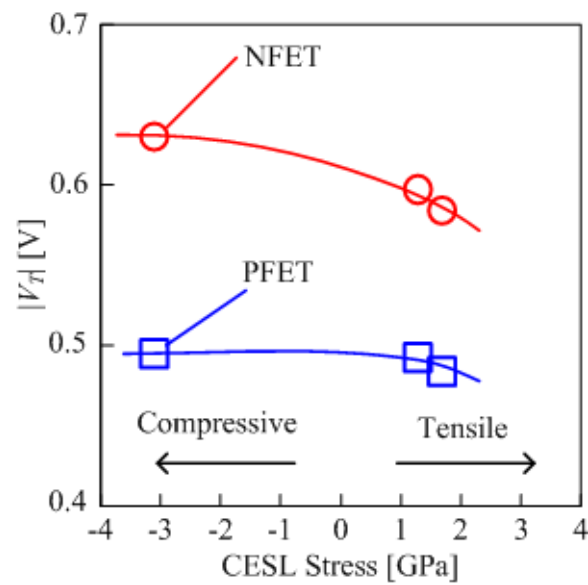
(a) NFETs

V_{THC} [V]	-0.425(-5 σ)	-0.546(Med.)	-0.683(+5 σ)
X-TEM	Stress measured point 		
Stress* [MPa]	0/-260	130/-130	0/-260

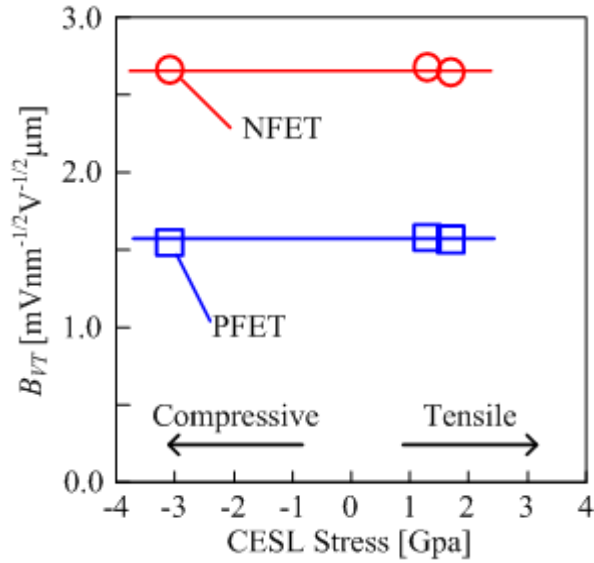
*Horizontal/Vertical

(b) PFETs

III-2-I- (1)図1-2-1-26. 5σ 、メディアン、 $+5\sigma$ の V_{THC} を持つMOSトランジスタのチャネル応力[22, 24]。



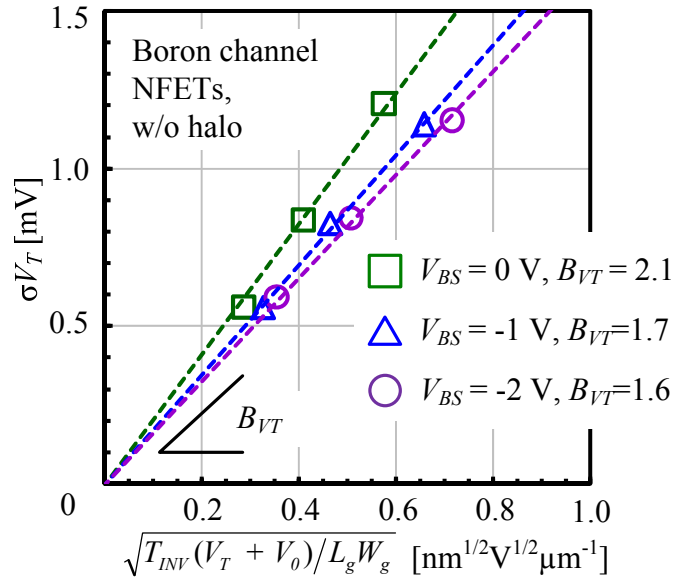
III-2-I- (1)図1-2-1-27. V_T とCESLのストレス値の関係[40, 44]。CESLストレス値が正の場合はひっぱり方向、負の場合は圧縮方向のストレスが印加されている。



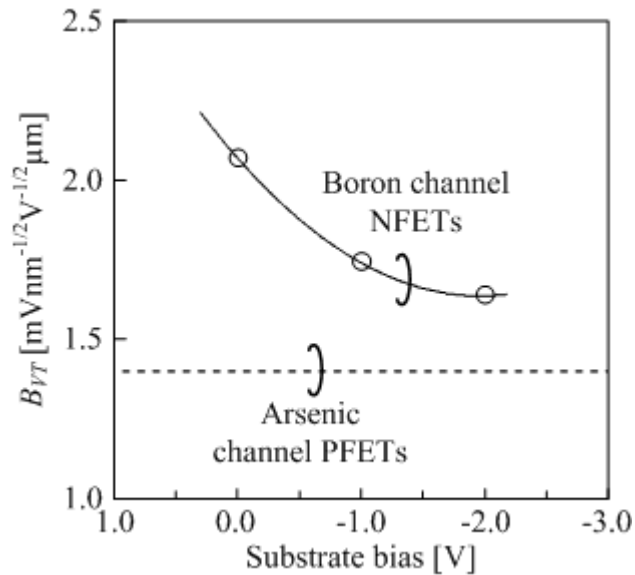
III-2-I- (1)図1-2-1-28. B_{VT} とCESLのストレス値の関係[40, 44]。CESLストレス値が正の場合はひっぱり方向、負の場合は圧縮方向のストレスが印加されている。

1-2-1-7. V_T ばらつきに及ぼすチャンネル不純物の影響に関する考察

ここまで述べてきたように、様々なプロセス実験、ならびに解析によって、RDF 以外には、 V_{th} ばらつきの支配的と思われるばらつき原因は見られないという知見を得てきた。 V_T ばらつき原因を解析している過程で、興味深い特性が見られた[48-51]。III-2-I- (1)図 1-2-1-29は、ハロー構造のないボロンチャンネルNMOSの竹内プロットを示す。このプロットはゲート長が 2 μm から 4 μm の NMOS を用いて調べた。ここでは基板バイアス V_{BS} を 0V から -2V まで変化させている。これにより、 B_{VT} は負の V_{BS} 印加により減少することがわかった。この現象はゲート長が 2 μm よりも長い場合に見られている。III-2-I- (1)図 1-2-1-29より求めた B_{VT} と V_{BS} の関係を III-2-I- (1)図 1-2-1-30 に示す。負の V_{BS} を印加することにより、NMOS の B_{VT} は PMOS の B_{VT} に近い値まで減少することがわかる。もし、RDF が V_T ばらつきの支配的な要因であり、チャンネルの平均的な不純物濃度プロファイルが均一であれば、 B_{VT} は式(1-2-1-10)で示される通り V_{BS} によらず一定値となる[18, 19]。このため、III-2-I- (1)図 1-2-1-29 と III-2-I- (1)図 1-2-1-30 の結果は、NMOS のチャンネル不純物濃度プロファイルは均一ではなく、このため B_{VT} が V_{BS} 依存性を持つことを示唆していると考えられる。ここまでの解析では、RDF の効果は、チャンネル不純物濃度プロファイルが均一であることを想定してきた。しかし、RDF の効果はチャンネル不純物濃度の深さ方向(ゲート・基板方向)と、水平方向(ソース・ドレイン方向)の不均一性に依存することが知られている[16, 38, 39]。そこで本節では、深さ方向、水平方向のチャンネル不純物プロファイルの不均一性が、NMOS と PMOS の V_T ばらつき差に及ぼす影響について論じる[50, 51]。



III-2-I- (1)図1-2-1-29. ハロー構造のないボロンチャネルNMOSの竹内プロット。ゲート長とゲート幅は2 μmから4 μmのMOSトランジスタを用いている。基板バイアスは、0 Vから-2 Vまで変化させた[48-51]。



III-2-I- (1)図1-2-1-30. 図1-2-1-29の竹内プロットから求めた B_{VT} の V_{BS} 依存性[48-51]。

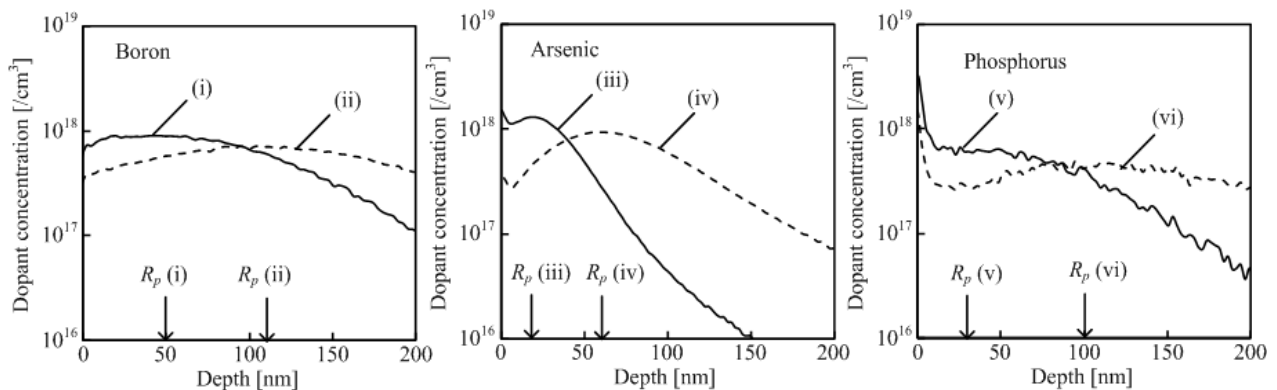
1-2-1-8. V_T ばらつきに及ぼす深さ方向チャネルプロファイルの影響

チャネル注入時の不純物分布の深さ方向プロファイルの影響について調べた。このため、さまざまな不純物をさまざまなエネルギーで注入し、 B_{VT} を調べた。ここでは、水平方向チャネルプロファイルの影響を排除するために、ハロー構造のないMOSトランジスタを用いた。III-2-I- (1)図1-2-1-31は(a)ボロン、(b)ヒ素、そして(c)リンチャネルの深さ方向の濃度プロファイルをSIMSにより調べた結果を示す[45, 50, 51]。深さ方向プロ

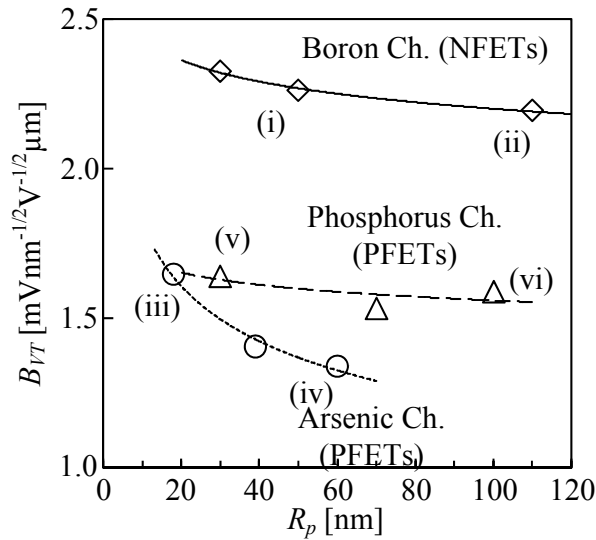
ファイルを指標化するために射影飛程(R_p)を用いた。 R_p が大きくなるにつれて、チャンネル表面付近では不純物濃度が減少し、各プロファイルは、グレードからレトログレードに変化する。 R_p と B_{VT} の関係を III-2-I- (1)図 1-2-1-32 に示す[50, 51]。 R_p が大きくなるにつれて B_{VT} は減少する。これは深さ方向プロファイルの変化によるものと考えられる[16]。

まず、ボロンチャンネル NMOS と、ヒ素チャンネル PMOS の B_{VT} と R_p の関係を比較する。III-2-I- (1)図 1-2-1-31(a)中の(ii)で示されるボロンチャンネルのプロファイルはなだらかなレトログレードのプロファイルである。一方で、III-2-I- (1)図 1-2-1-31(b)中の(iii)で示されるヒ素チャンネルのプロファイルは急峻で、グレードなプロファイルになっている。一般的にグレードプロファイルは、レトログレードプロファイルと比較して V_T ばらつきを増大させるが[16]、III-2-I- (1)図 1-2-1-31(a)中の(ii)で示すプロファイルを持つボロンチャンネル NMOS は、III-2-I- (1)図 1-2-1-31(b)中の(iii)で示すプロファイルを持つヒ素チャンネル PMOS よりも大きな B_{VT} を持つ。次に、ボロンチャンネル NMOS と、リンチャンネル PMOS の B_{VT} と R_p の関係を比較する。III-2-I- (1)図 1-2-1-31(a)中(i)と(ii)で示されるボロンチャンネルの深さ方向プロファイルは、III-2-I- (1)図 1-2-1-31(c)中(v)と(vi)で示されるリンチャンネルと同様なプロファイルになっている。しかし、ボロンチャンネル NMOS は、リンチャンネル PMOS よりも大きな B_{VT} を持つ。

ここまでにした、ボロンチャンネル NMOS、ヒ素ならびにリンチャンネル PMOS の比較結果より、チャンネルの深さ方向プロファイルの違いだけでは、NMOS の V_T ばらつきが PMOS よりも大きい現象は説明できないものの、 V_T 制御のためのチャンネルドーパをレトログレードに制御することで V_T ばらつき、 B_{VT} を低減できることを明らかにした。



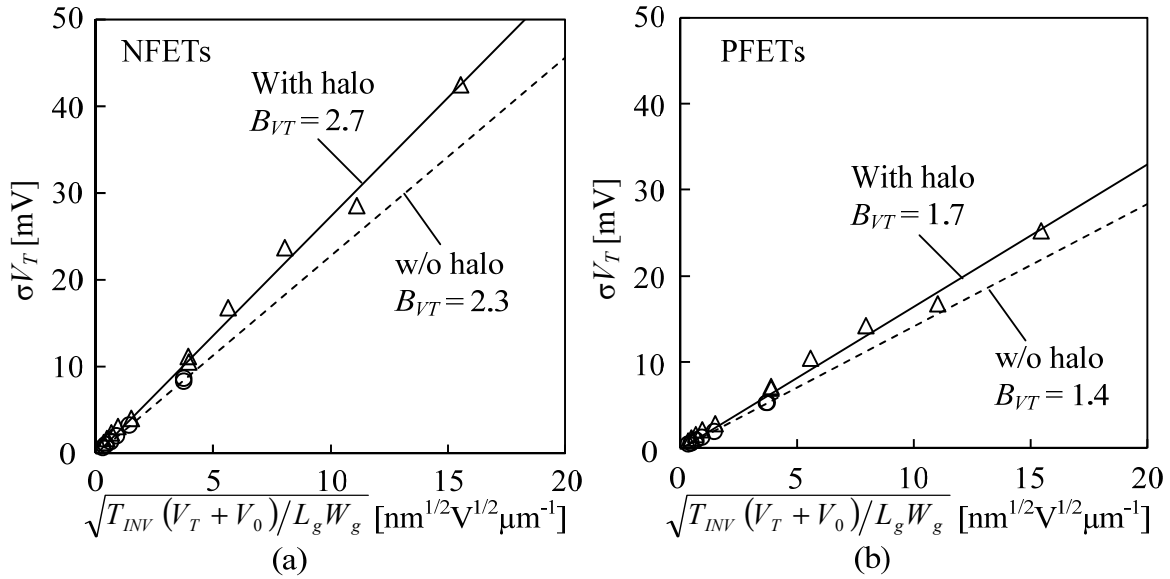
III-2-I- (1)図1-2-1-31. SIMSにより調べた(a)ボロン、(b)ヒ素、(c)磷の深さプロファイル。それぞれのグラフは、二種類の深さプロファイルを示している[45, 50, 51]。深さプロファイルを代表させる値として、射影飛程 R_p を用いた。



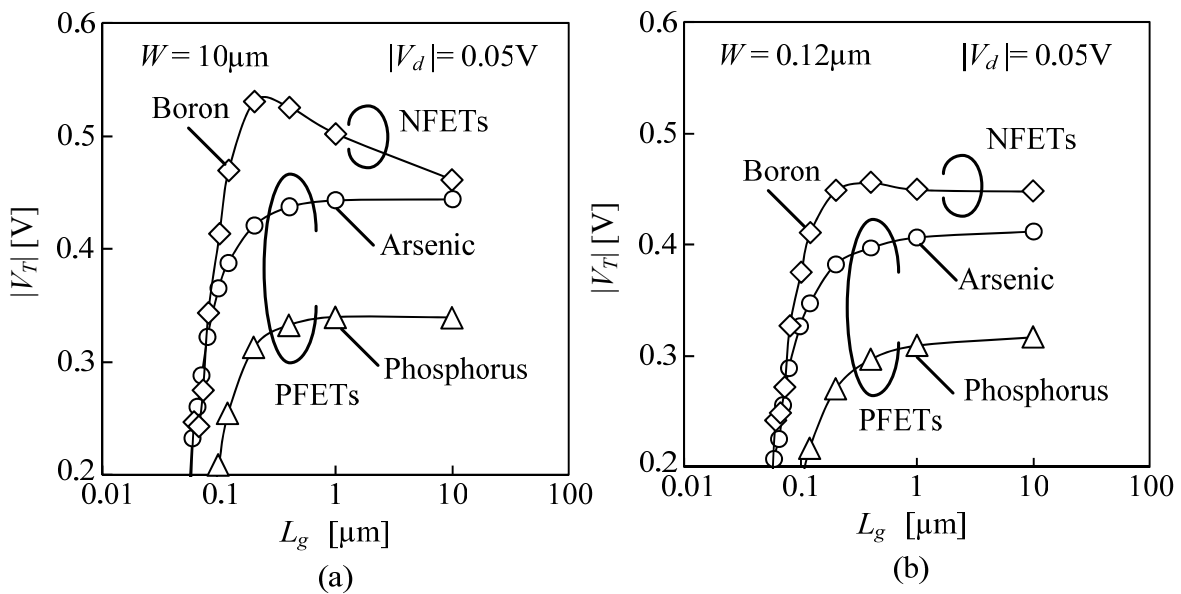
III-2-I- (1)図1-2-1-32. ボロンチャネルNMOSと、ヒ素およびリンチャネルPMOSトランジスタの B_{VT} と R_p の関係[50, 51]。(i)から(vi)の番号は、図1-2-1-31のSIMSで調べた深さプロファイルの(i)から(vi)に対応している。

1-2-1-9. V_T ばらつきに及ぼす水平方向チャネルプロファイルの影響

次に、水平方向プロファイルの効果について調べた[38, 39]。水平方向プロファイルの不均一性が V_T ばらつきに影響を及ぼすことは、一般的に知られている。水平方向の不均一性を生じさせるものとして、ハロー構造が考えられる[39]。そこで、ハロー注入が V_T ばらつきに及ぼす影響の大きさを調べた。III-2-I- (1)図1-2-1-33 は、ハロー注入ありなしの MOS トランジスタの竹内プロットを示した[50, 51]。 B_{VT} は、ハロー注入がない場合に減少することがわかる。しかし、ハロー注入がない場合でも、依然として NMOS の B_{VT} は PMOS よりも大きいことがあきらかであり、ハロー注入以外の要因で NMOS の V_T ばらつきが大きくなっていると考えられる。



III-2-I- (1)図1-2-1-33. ハロー構造ありなしのMOSトランジスタの竹内プロット[50, 51]。(a) NMOS、(b) PMOSトランジスタ。



III-2-I- (1)図1-2-1-34. ボロンチャンネルNMOS、砒素およびリンチャンネルPMOSトランジスタの V_T - L_g 特性。(a) チャンネル幅が広い場合、(b) 狭チャンネルの場合[50, 51]。

このため、水平方向の不純物濃度の不均一性は、ハロー注入がない場合にも存在していると考えられる。III-2-I- (1)図 1-2-1-34 に、ボロンチャンネル NMOS、ヒ素およびリンチャンネル PMOS の V_T - L_g 特性を示す[50, 51]。チャンネル幅が広い場合に、ボロンチャンネル NMOS においてのみ逆短チャンネル効果が表れていることがわかる。これは、ボロンの増速拡散効果(TED: Tranjent Enhance Diffusion、以下 TED と呼ぶ)により、ソース/ドレイン端にボロンの高濃度領域が形成されたためと考えられる[52-54]。

狭チャンネルの場合、ボロンチャンネル NMOS の逆狭チャンネル効果は抑制されている。これは狭チャンネルに

において、ボロンの TED が抑制されるためだと考えられる。シリコン酸化膜でできた素子分離(STI)は格子間シリコン原子を吸収するため、STI に近い領域ではボロンの TED は抑制される[54, 55]。ここで示した逆短チャネル効果が生じる現象からハロー注入を行わなくともボロンの TED が原因となり、チャネルの水平方向プロファイルの不均一性が生じることを明らかにした。このボロンの TED が NMOS の V_T ばらつきを増大させていることが考えられる[56]。次項でボロンの TED が NMOS の V_T ばらつきに及ぼす影響についてさらに詳細に評価を行った。

1-2-1-10-3. V_T ばらつきに及ぼすボロンの TED の効果

ボロンの TED が NMOS の V_T ばらつきに及ぼす影響を調べるために、 B_{VT} の L_g 依存性に着目した。 V_T ばらつきが、ボロンの TED によって生じた、水平方向のチャネルプロファイルの不均一性に影響を受けているのであれば、 B_{VT} は L_g 依存性を持つと考えられる。これは、 L_g によって、チャネル長のうち、ボロンの高濃度領域の比率が変化するためである。まずシミュレーションを用いて、 B_{VT} の L_g 依存性を調べた。シミュレーションで想定している MOS トランジスタの構造を III-2-I- (1)図 1-2-1-35 に示す[57]。チャネル不純物濃度は $1 \times 10^{18} [\text{cm}^{-3}]$ で均一である。またここで”Halo”と示されている部分は、ボロンの TED によって生じたボロンの高濃度領域を意図している。ここでハロー領域の長さは 20 nm とし、不純物濃度は 0 から $4 \times 10^{18} [\text{cm}^{-3}]$ まで変化させた。シミュレーションにより得られた V_T - L_g 特性を III-2-I- (1)図 1-2-1-36 に示す[57]。

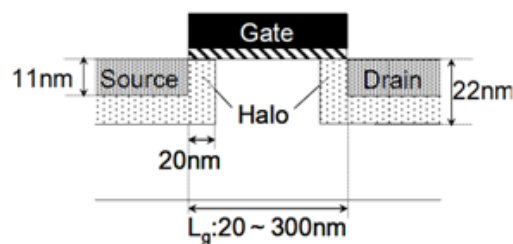
3×10^{18} から $4 \times 10^{18} [\text{cm}^{-3}]$ の比較的高いハロー濃度の場合、逆短チャネル効果が表れて、ソース側とドレイン側のハローが接触する $L_g = 40$ nm 付近で、 V_{th} がピークになっている。同じくシミュレーションにより求めた B_{VT} の L_g 依存性を III-2-I- (1)図 1-2-1-37 に示す[57]。ハロー注入のない MOS トランジスタの場合、 B_{VT} はほぼ一定の 1.5 になる。一方でハロー構造のある MOS トランジスタでは B_{VT} が L_g 依存性を持つ。ハローの濃度が高い場合、特に L_g が長い場合に B_{VT} は増大する。ハロー構造がある場合でも、 L_g を縮小していくと、 B_{VT} は次第に減少する。そして B_{VT} は、 $L_g = 40$ nm から 80 nm にかけて最小値となる。これは、横方向のチャネルプロファイルが均一になるためである。このように、シミュレーションによって、チャネルの不均一性があると B_{VT} が 1.5 より増大し、 B_{VT} はゲート長依存性を持つことを明らかにした。

次に実測によりハロー注入を行わないボロンチャネル NMOS の特性のゲート長依存性を調べた。まず V_T - L_g 特性を III-2-I- (1)図 1-2-1-38 に示す。III-2-I- (1)図 1-2-1-34 とチャネル幅は異なるが、同様に逆短チャネル特性が見られており、 V_T のピークは $L_g = 0.2 \mu\text{m}$ に表れている。この結果と III-2-I- (1)図 1-2-1-36 に示すシミュレーションの結果から、ボロンの高濃度領域の長さは $0.1 \mu\text{m}$ 程度と考えられる。同じ TEG を用いて B_{VT} - L_g 特性を調べた。この結果を III-2-I- (1)図 1-2-1-37 に示す[58-60]。 L_g の縮小とともに、 B_{VT} が減少しており、 L_g が $0.7 \mu\text{m}$ 付近の時に B_{VT} が最小値になることがわかる。このように、III-2-I- (1)図 1-2-1-37 で示すシミュレーション結果と同様な B_{VT} の L_g 依存性の傾向が実際の NMOS でも見られることがわかった。この結果は、ハロー注入を行わない NMOS においてもボロンの TED により、チャネルプロファイルの不均一性が生じ、 V_T ばらつきを増大させていることを支持するものと考えられる。ゲート長が $0.3 \mu\text{m}$ 以下になると急激に B_{VT} が増大しているが、これはゲート長ばらつきと、短チャネル効果によるものと考えられる。

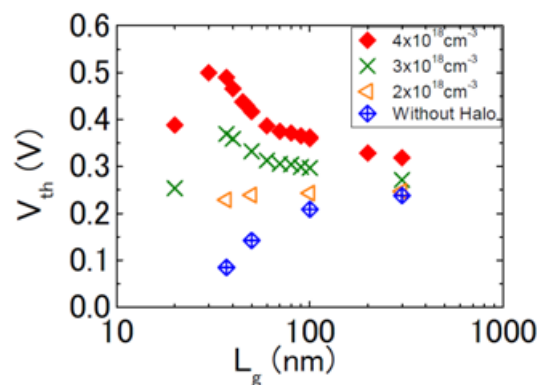
しかし、実測の B_{VT} - L_g 特性にはいくつか疑問点も残る。一つは、実測の B_{VT} が最小値となるゲート長が、 V_T が最大となる L_g と一致しない点である。これはシミュレーション結果とは異なる。この原因としては、実際の NMOS 中ではボロンの高濃度領域の形状が、シミュレーションで想定しているきれいな矩形ではないためである。もう一つの疑問は、なぜ実測の B_{VT} 最小値が、均一チャネルプロファイルの時の B_{VT} のシミュレーション値 1.5 より大きいのかということである。考えられる原因の一つとしては、先ほどと同様に、実際の NMOS ではボロンの高濃度領域が矩形ではないことが考えられる。また、他の可能性としては、TED の影響そのものがばらつ

くためである。TED によって生じるチャンネルプロファイル自体がばらついているので、シミュレーションで計算した時のように B_{VT} が 1.5 までには下がらないと考えている[61]。

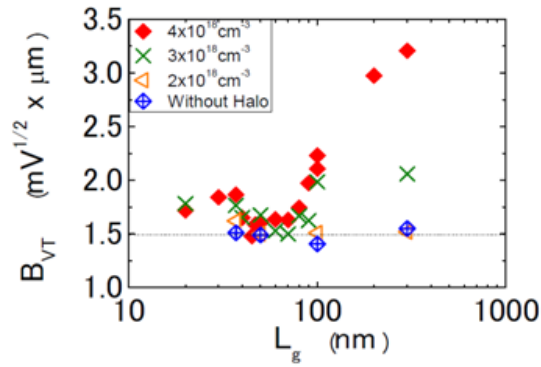
ボロン TED の効果を、 B_{VT} の W_g 依存性という観点からも調べた。III-2-I- (1)図 1-2-1-40 は、 B_{VT} の W_g 依存性を示す[50, 51]。ヒ素およびリンチャンネル PMOS では、 B_{VT} が W_g によってあまり変化しないのに対し、ボロンチャンネル NMOS では狭チャンネルで B_{VT} が低下していることが分かる。この結果は、III-2-I- (1)図 1-2-1-34 で示した V_T - L_g 特性で述べた狭チャンネルにおけるボロンの増速拡散(TED: Tranjent Enhanced Diffurion)の抑制効果によって説明できる[54]。狭チャンネルにおいても、NMOS と PMOS の B_{VT} 差がゼロにはならないのは、III-2-I- (1)図 1-2-1-34 において狭チャンネルでも依然として逆短チャンネル効果が見られることから推察されるように、狭チャンネルにおいても完全にボロンの TED がなくなるわけではないと考えられる。



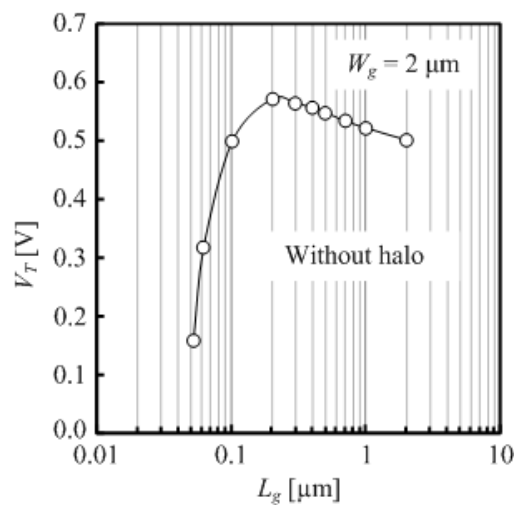
III-2-I- (1)図1-2-1-35. シミュレーションに用いたMOSトランジスタの構造[57]。チャンネル不純物濃度は 1×10^{18} [cm^{-3}]の均一としている。”Halo”部分(チャンネル不純物の高濃度領域)は20 nmとした。また、”Halo”部分の濃度は0から 4×10^{18} [cm^{-3}]まで変えた。



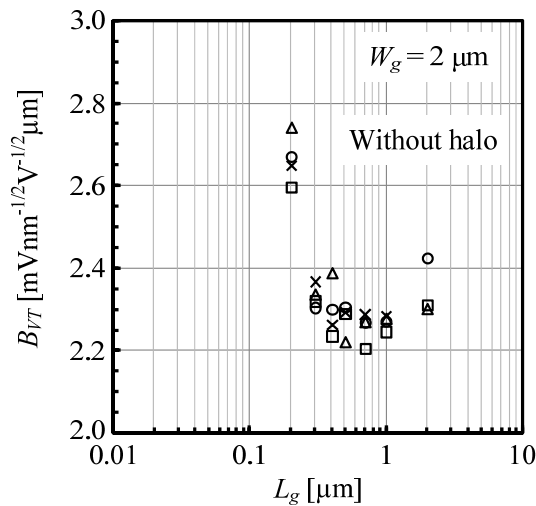
III-2-I- (1)図1-2-1-36. シミュレーションにより求めた V_T - L_g 特性[57]。”Halo”領域の濃度が高い場合(3×10^{18} と 4×10^{18} [cm^{-3}]の場合)、逆短チャンネル特性が現われて、ソース側とドレイン側の”Halo”領域が接触する L_g 付近で V_T は最大値になる。



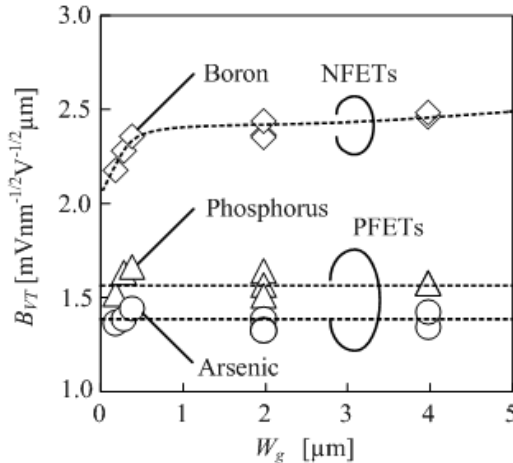
III-2-I- (1)図1-2-1-37. シミュレーションにより求めた B_{VT} - L_g 特性[57]。



III-2-I- (1)図1-2-1-38. 測定により得られた、ハロー注入を行わないボロンチャネルNMOSの V_T - L_g 特性。 V_T は $L_g = 0.2 \mu\text{m}$ で最大値になる。



III-2-I- (1)図1-2-1-39. 測定により得られた、ハロー注入を行わないボロンチャネルNMOSの B_{VT} - L_g 特性の4チップ分の結果。 B_{VT} は $L_g = 0.7 \mu\text{m}$ 付近で最小値になる[58-60]。



III-2-I- (1)図1-2-1-37. ボロンチャンネルNMOS、リンおよび砒素チャンネルPMOSTランジスタの、 B_{VT} と W_g の関係[50, 51]。

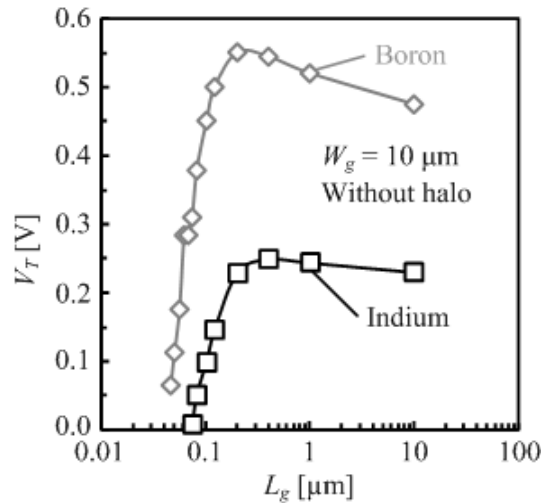
ここまで述べた、 B_{VT} の L_g 、 W_g 依存性に加えて、ボロン以外の不純物をチャンネル不純物に用いたら、 V_T ばらつきを減少させることができないかを調べた。III-2-I- (1)図 1-2-1-41 に、ボロンチャンネルとインジウムチャンネル NMOS の V_T - L_g 特性を示す。ボロンチャンネルよりもインジウムチャンネルの方が、逆短チャンネル特性が弱いため、インジウムの方が TED の効果が小さいことが考えられる[62]。インジウムチャンネル NMOS では、インジウムの不活性化により V_T を式 1-2-1-11 では示すことができない[63]。このため、竹内プロットをインジウムチャンネル NMOS に適用して良いかについては自明ではない。そこで Pelgrom プロットを用いて比較を行った。インジウムチャンネル NMOS の Pelgrom プロットを III-2-I- (1)図 1-2-1-42 に示す。インジウムチャンネルに近い R_p を持つボロンチャンネル NMOS の A_{VT} の傾きも合わせて示している。ただし、ボロンチャンネル NMOS の V_T はインジウムチャンネル NMOS の V_T よりも高いため、ボロンチャンネル NMOS がインジウムチャンネル NMOS と同じ V_T を持つと仮定した場合の A_{VT} を示した。このような A_{VT} は、次の式で示す A_{VT} と B_{VT} の関係式を用いて求めた。

$$A_{VT} = B_{VT} \times \sqrt{T_{INV} \cdot (V_T + V_0)} \quad (1-2-1-18)$$

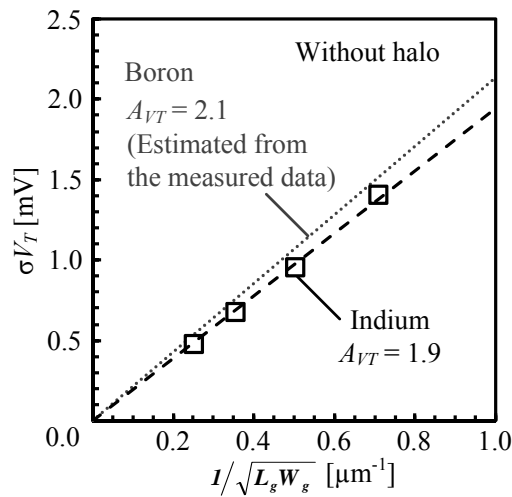
これによると、インジウムチャンネルの A_{VT} は 1.9、ボロンチャンネルの A_{VT} は 2.1 である。このようにインジウムの A_{VT} がボロンチャンネルよりも小さくなった原因は TED の抑制にあるのではないかと考えられる。

ここまでの結果を踏まえて、この節のはじめに示した、基板バイアス印加による B_{VT} の減少の機構と、NMOS と PMOS の V_T ばらつきの原因について述べる。III-2-I- (1)図 1-2-1-43 はボロンチャンネル NMOS の (a) $V_{BS} = 0 \text{ V}$ の場合、(b) $V_{BS} = -2 \text{ V}$ の場合の W_{DEP} の広がりを模式的に示したものである[51]。ボロンの TED によって、ソース/ドレイン端にボロンの高濃度領域が形成されている。このボロンの高濃度領域が、水平方向のチャンネルプロファイルを生じ、その結果 B_{VT} が増大している。基板に負バイアスが印加されると W_{DEP} は増大する[17]。 B_{VT} が III-2-I- (1)図 1-2-1-30 で示されているボロンチャンネル NMOS の場合、 $V_{BS} = 0 \text{ V}$ の時に 43 nm であった W_{DEP} は、 $V_{BS} = -2 \text{ V}$ の時に 76 nm まで広がると見積もられる。 W_{DEP} が広がるに従い、ボロンの高濃度領域が V_T ばらつきに与える影響の大きさが相対的に低下し、このため B_{VT} が減少するものと考えられる。ゲート長が長い MOS トランジスタにおいては、ゲート長が短い MOS トランジスタよりも負の基板バイアス印加により、よりボロンの高濃度領域の影響が抑制しやすいものと考えられる。これは、チャンネル全体に対するボロンの高濃度領域中のボロンの割合が、チャンネル長が長い MOS トランジスタの方が、チャンネル長が短い MOS ト

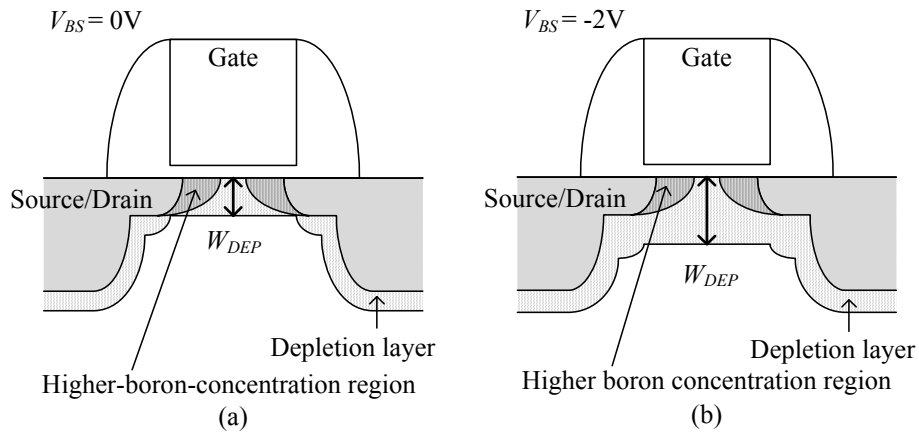
ランジスタよりも相対的に小さいからである。この傾向は特に負の基板バイアスを印加した場合に顕著になると考えられる。さらに、NMOSの B_{VT} は負の基板バイアス印加により、PMOSの B_{VT} に近い値まで減少するため、ボロンのTEDにより生じた、ボロンの高濃度領域が V_T ばらつきにNMOSとPMOSの差に大きく寄与していると考えられる。



III-2-I- (1)図1-2-1-41. ハロー注入を行わない、ボロンチャネルNMOSとインジウムチャネルNMOSの V_T - L_g 特性。インジウムチャネルNMOSでは、逆短チャネル効果が弱まっている[62]。



III-2-I- (1)図1-2-1-42. インジウムチャネルNMOSのPelgromプロット。比較のため、ボロンチャネルNMOSの V_T がインジウムチャネルと同じだった場合を想定して、ボロンチャネルNMOSの A_{VT} を見積もった



III-2-I- (1)図1-2-1-43. ボロンの高濃度領域と、 W_{DEP} の広がりを示す模式図[51]。(a) $V_{BS} = 0V$ 、(b) $V_{BS} = -2V$ の場合。

1-2-1-10. しきい値ばらつき評価・解析のまとめ

これまでの竹内プロットを用いた開発により、PMOSの V_T ばらつきについてはおおよそRDFにより説明ができ、NMOSは一般的にPMOSよりも大きな V_T ばらつきを持つことを示してきた。しかし、NMOSの V_T ばらつきがPMOSの V_T ばらつきよりも大きい原因については解明が必要であった。このため、NMOSがPMOSよりも大きな V_T ばらつきを持つ原因と、PMOSにおけるRDF以外の V_T ばらつき要因について調べた。一貫物理解析と、様々なプロセス条件を用いたデバイスの竹内プロットによる特性ばらつき評価より、 L_g 、 W_g 、ゲート酸化膜、ゲートポリシリコン、チャンネルストレスはNMOSとPMOSの V_T ばらつきや、両者の間の V_T ばらつき差の支配的な要因ではないということを明らかにした。さらに、チャンネル不純物プロファイルの不均一性に注目して、RDFが V_T ばらつきに及ぼす影響について調べた。その結果、 B_{VT} の基板バイアス依存性、 L_g 、 W_g 依存性、逆短チャンネル特性から、チャンネルボロンのTEDにより生じたプロファイルの不均一性が、NMOSの V_T ばらつきを増大させていることを明らかにした。

参考文献

- [1] A. J. Bhavnagarwala, X. Tang, and J. D. Meindl, "The Impact of Intrinsic Device Fluctuations on CMOS SRAM Cell Stability," *IEEE J. Solid-State Circuit*, vol. 36, pp. 658-665, 2001.
- [2] S. M. Sze and Kwok K. Ng, *Physics of Semiconductor Devices*, John Wiley & Sons, Inc., Hoboken, New Jersey, 2007.
- [3] K. Y. Lim, J. Lee, and E. Quek, "NMOS PREDOPED ENHANCE OFF-STATE LEAKAGE CURRENT," in *Proc. Int. Rel. Phys. Symp.*, 2003, pp. 307-312.
- [4] T. Tsunomura, A. T. Putra, A. Nishida, S. Kamohara, K. Takeuchi, S. Inaba, K. Terada, and T. Hiramoto, "Validation Study of Normalizing Vth Fluctuation in MOSFETs by Takeuchi Plot," in *Ext. Abstr. 55th Spring Meet., Japan Society of Applied Physics and Related Societies*, 29a-P11-8, 2008 [in Japanese].
- [5] K. Ishimaru, H. Gojohbori, H. Koike, Y. Unno, M. Sai, F. Matsuoka, and M. Kakumu, "Trench Isolation Technology with 1 μm Depth n- and p-wells for A Full-CMOS SRAM Cell with a 0.4 μm

- n+/p+ Spacing,” in *Symp. VLSI Tech. Dig.*, 1994, pp. 97-98.
- [6] M. Aoki, S. Ohkawa, and H. Masuda, “Design Guide and Process Quality Improvement for Treatment of Device Variations in an LSI Chip,” in *Proc. ICMTS*, vol. 17, 2004, pp.201-206.
- [7] S. Ohkawa, M. Aoki, and H. Masuda, “Analysis and Characterization of Device Variations in an LSI Chip Using an Integrated Device Matrix Array,” *IEEE Trans. Semicond. Manuf.*, vol. 17, no.2, pp. 155- 165, 2004.
- [8] M. Kanno, A. Shibuya, M. Matsumura, K. Tamura, H. Tsuno, S. Mori, Y. Fukuzaki, T. Gocho, H. Ansai, and N. Nagashima, “Empirical Characteristics and Extraction of Overall Variations for 65-nm MOSFETs and Beyond,” in *Symp. VLSI Tech. Dig.*, 2007, pp. 88-89.
- [9] T. Tsunomura, A. Nishida, T. Hiramoto, “Verification of Threshold Voltage Variation of Scaled Transistors with Ultralarge-Scale Device Matrix Array Test Element Group,” *Jpn. J. Appl. Phys.* vol. 48, p. 124505, 2009.
- [10] T. Fischer, E. Amirante, P. Huber, T. Nirschl, A. Olbrich, M. Ostermayr, and D. S. Landsiedel, “Analysis of Read Current and Write Trip Voltage Variability From a 1-MB SRAM Test Structure,” *IEEE Trans. Semicond. Manuf.*, vol. 21, no. 4, pp. 534-541, 2008.
- [11] T. Hagiwara, K. Yamaguchi, and S. Asai, “Threshold Voltage Deviation in Very Small MOS Transistors Due to Local Impurity Fluctuations,” in *Symp. VLSI Tech. Dig.*, 1982, pp. 46-47.
- [12] T. Mizuno, J. Okamura, and A. Toriumi, “Experimental Study of Threshold Voltage Fluctuation Due to Statistical Variation of Channel Dopant Number in MOSFET’s,” *IEEE Trans. Electron Devices*, vol. 41, no. 11, pp. 2216-2221, 1994.
- [13] A. Asenov, “Random Dopant Induced Threshold Voltage Lowering and Fluctuations in Sub-0.1 μ m MOSFET’s: A 3-D “Atomistic” Simulation Study,” *IEEE Trans. Electron Devices*, vol. 45, no. 12, pp. 2505-2513, 1998.
- [14] A. Asenov and S. Saini, “Suppression of Random Dopant-Induced Threshold Voltage Fluctuations in Sub-0.1- μ m MOSFET’s with Epitaxial and -Doped Channels,” *IEEE Trans. Electron Devices*, vol. 46, no. 8, pp. 1718-1724, 1999.
- [15] P. A. Stolk, F. P. Widdershoven, and D. B. M. Klaassen, “Modeling Statistical Dopant Fluctuations in MOS Transistors” *IEEE Trans. Electron Devices*, vol. 45, no. 9, pp. 1960-1971, 1998.
- [16] K. Takeuchi, “Channel Engineering for the Reduction of Random - Dopant - Placement - Induced Threshold Voltage Fluctuation,” in *IEDM Tech. Dig.*, 1997, pp. 841-844.
- [17] Y. Taur and T. Ning, *Fundamentals of Modern VLSI Devices*, Cambridge University Press, Cambridge, England, 1998.
- [18] K. Takeuchi, “Normalization of Random Threshold Voltage Fluctuation for Fair Comparison between Technologies, Process Conditions and Device Designs,” in *Silicon Nanoelectronics Workshop Abst.*, 2007, pp. 7-8.
- [19] K. Takeuchi, T. Fukai, T. Tsunomura, A. T. Putra, A. Nishida, S. Kamohara, and T. Hiramoto, “Understanding Random Threshold Voltage Fluctuation by Comparing Multiple Fabs and Technologies,” in *IEDM Tech. Dig.*, 2007, pp. 467-470.
- [20] N. Yasuda, H. Ota, T. Horikawa, T. Nabatame, H. Satake, A. Toriumi, Y. Tamura, T. Sasaki, and F. Ootsuka, “Reliable Extractions of EOT and Vfb in Poly-Si Gate High-k MISFETs through Advanced Modeling of Gate and Substrate Capacitances,” in *Ext. Abst. SSDM*, 2005, pp. 250-251.
- [21] M. J. M. Pelgrom, A. C. J. Duinmaijer, and A. P. G. Welbers, “Matching Properties of MOS

- Transistors,” *IEEE J. Solid-State Circuits*, vol. 24, no. 5, pp. 1433-1440, 1989.
- [22] T. Tsunomura, A. Nishida, F. Yano, A. T. Putra, K. Takeuchi, S. Inaba, S. Kamohara, K. Terada, T. Hiramoto, T. Mogami, “Analyses of $5\sigma V_{th}$ Fluctuation in 65nm-MOSFETs Using Takeuchi Plot,” in *Symp. VLSI Tech. Dig.*, 2008, pp. 156-157.
- [23] M. Hirano, K. Tsuji, K. Terada, T. Tsunomura, and A. Nishida, “Dependence of Threshold Voltage Fluctuation on Channel Size,” in *Proc. IEICE general conference*, 2008, p. 78.
- [24] T. Tsunomura, A. Nishida, and T. Hiramoto, “Analysis of NMOS and PMOS Difference in V_T Variation With Large-Scale DMA-TEG,” *IEEE Trans. Electron Devices*, vol. 56, no. 9, pp. 2073-2080, 2009.
- [25] A. Asenov, “Polysilicon Gate Enhancement of the Random Dopant Induced Threshold Voltage Fluctuations in Sub-100nm MOSFET’s with Ultrathin Gate Oxide,” *IEEE Trans. Electron Devices*, vol. 47, no.4, pp. 805-812, 2000.
- [26] T. Aoyama, K. Suzuki, H. Tashiro, Y. Tada, H. Arimoto, and K. Horiuchi, “Flatband Voltage Shift in PMOS Devices Caused by Carrier Activation in p+-Polycrystalline Silicon and by Boron Penetration” *IEEE Trans. Electron Devices*, vol. 49, no.3, pp. 473-480, 2002.
- [27] H. P. Tuinhout, A. H. Montree, J. Schmiz, and P. A. Stolk, “Effects of Gate Depletion and Boron Penetration on Matching of Deep Submicron CMOS Transistors,” in *IEDM Tech. Dig.*, 1997, pp. 631-634.
- [28] N. Lifshitz, “Dependence of the Work-Function Difference between the Polysilicon Gate and Silicon Substrate on the Doping Level in Polysilicon,” *IEEE Trans. Electron Devices*, vol. 32, no.3, pp. 617-621, 1985.
- [29] A. R. Brown, G. Roy, and A. Asenov, “Impact of Fermi level pinning at polysilicon gate grain boundaries on nano-MOSFET variability: A 3-D simulation study,” in *Proc. ESSDERC*, 2006, p. 451-454.
- [30] A. Asenov and S. Kaya, “Effect of oxide roughness on the threshold voltage fluctuations in decanano MOSFETs with ultrathin gate oxide,” in *Proc. SISPAD*, 2000, pp. 135-138.
- [31] A. Asenov, S. Kaya, and J. H. Davies, “Intrinsic Threshold Voltage Fluctuations in Decanano MOSFETs Due to Local Oxide Thickness Variations,” *IEEE Trans. Electron Devices*, vol.49, no.1, pp. 112-119, 2002.
- [32] J. A. Croon, G. Storms, S. Winkelmeier, I. Pollentier, M. Ercken, S. Decoutere, W. Sansen, and H.E. Maes, “Line Edge Roughness: Characterization, Modeling and Impact on Device Behavior,” in *IEDM Tech. Dig.*, 2002, pp. 307-310.
- [33] A. Asenov, S. Kaya, and A. R. Brown, “Intrinsic Parameter Fluctuations in Decananometer MOSFETs Introduced by Gate Line Edge Roughness,” *IEEE Trans. Electron Devices*, vol. 50, no. 5, pp. 1254-1260, 2003.
- [34] M. Hane, T. Ikezawa, and T. Ezaki, “Atomistic 3D Process/Device Simulation Considering Gate Line-Edge Roughness and Poly-Si Random Crystal Orientation Effects,” in *IEDM Tech. Dig.*, 2003, pp. 241-244.
- [35] A. T. Putra, A. Nishida, S. Kamohara, and T. Hiramoto, “Random Threshold Voltage Variability Induced by Gate-Edge Fluctuations,” *Appl. Phys. Exp.*, vol. 2, p. 024501, 2009.
- [36] T. Mizuno, M. Iwase, H. Niiyama, T. Shibata, K. Fujisaki, T. Nakasugi, A. Toriumi, and Y. Ushiku, “Performance Fluctuations of 0.10 μm MOS FETs – Limitation of 0.1 μm ULSIs,” in *Symp. VLSI*

Tech. Dig., 1994, pp.13 -14.

- [37] J. R. Shih, J. J Wang, W. Ken, P. Yeng, and J. T. Yue, "The Study of Compressive and Tensile Stress on MOSFET's I-V, C-V Characteristics and it's Impacts on Hot Carrier Injection and Negative Bias Temperature Instability," in *Proc. Int. Rel. Phys. Symp.*, 2003, pp. 612-613.
- [38] T. Mizuno, "Influence of Statistical Spatial-Nonuniformity of Dopant Atoms on Threshold Voltage in a System of Many MOSFETs," *Jpn. J. Appl. Phys.* vol. 35, pp. 842-848, 1996.
- [39] T. Tanaka, T. Usuki, T. Futatsugi, Y. Momiyama, and T. Sugii, "Vth Fluctuation Induced by Statistical Variation of Pocket Dopant Profile," in *IEDM Tech. Dig.*, 2000, pp. 271-274.
- [40] T. Tsunomura, F. Yano, A. Nishida, and T. Hiramoto, "Possible Origins of Extra Threshold Voltage Variability in N-Type Field-Effect Transistors by Intentionally Changing Process Conditions and Using Takeuchi Plot," *Jpn. J. Appl. Phys.* vol. 49, p. 074104, 2010.
- [41] F. Yano, T. Tsunomura, A. Nishida, S. Kamohara, and T. Hiramoto, "Characterization of Atomic Roughness at the Gate Oxide/Si Substrate Interface," in *Ext. Abstr. 54th Spring Meet., Japan Society of Applied Physics and Related Societies, 27a-ZG-2*, 2007 [in Japanese].
- [42] Y. Yoshida, K. Funayama, A. Nishida, T. Sekiguchi, K. Nakamura, S. Tomimatsu, K. Umemura, T. Yamanaka, K. Komori, Y. Mitsui, and S. Ikeda, "Analysis of SRAM Bit Failure at High Frequency Operation," in *IEDM Tech. Dig.*, 1999, pp. 475-478.
- [43] A. T. Putra, T. Tsunomura, A. Nishida, S. Kamohara, K. Takeuchi, and T. Hiramoto, "Impact of Oxide Thickness Fluctuation and Local Gate Depletion on Threshold Voltage Variation in Metal-Oxide-Semiconductor Field-Effect Transistors" *Jpn. J. Appl. Phys.* vol. 48, p. 064504, 2009.
- [44] T. Tsunomura, A. Nishida, K. Takeuchi, S. Inaba, S. Kamohara, K. Terada, T. Hiramoto, and T. Mogami, "Process Condition Dependence of Random V_T Variability in NFETs and PFETs," in *Ext. Abst. SSDM*, 2009, pp. 1010-1011.
- [45] A. T. Putra, Ph. D. Thesis, School of Engineering, the University of Tokyo, 2009.
- [46] K. Inoue, F. Yano, A. Nishida, T. Tsunomura, T. Toyama, Y. Nagai, and M. Hasegawa, "Three dimensional characterization of dopant distribution in polycrystalline silicon by laser-assisted atom probe," *Appl. Phys. Lett.* vol. 93, p. 133507, 2008.
- [47] K. Inoue, F. Yano, A. Nishida, H. Takamizawa, T. Tsunomura, Y. Nagai, and M. Hasegawa, "Dopant distribution in gate electrode of n- and p- type metal-oxide-semiconductor field effect transistor by laser-assisted atom probe," *Appl. Phys. Lett.* vol. 95, p. 043502, 2009.
- [48] T. Mama, A. T. Putra, T. Tsunomura, A. Nishida, and T. Hiramoto, "A Study of Substrate Bias Dependence of Threshold Voltage Variability in MOSFETs Using Takeuchi Coefficient," in *Ext. Abstr. 56th Spring Meet., Japan Society of Applied Physics and Related Societies, 30p-V-14*, 2009 [in Japanese].
- [49] T. Mama, Master's Thesis, School of Engineering, the University of Tokyo, 2009.
- [50] T. Tsunomura, A. Nishida, F. Yano, A. T. Putra, K. Takeuchi, S. Inaba, S. Kamohara, K. Terada, T. Mama, T. Hiramoto, and T. Mogami, "Analysis of Extra V_T Variability Sources in NMOS Using Takeuchi Plot," in *Symp. VLSI Tech. Dig.*, 2009, pp. 110-111.
- [51] T. Tsunomura, A. Nishida, and T. Hiramoto, "Effect of Channel Dopant Profile on Difference in Threshold Voltage Variability between NFETs and PFETs," *IEEE Trans. Electron Devices*, vol. 58, no. 2, pp. 364-369, 2011.
- [52] C. S. Rafferty, H. -H. Vuong, S. A. Eshraghi, M. D. Gilest, M. R. Pinto, and S. J. Hillenius, III-2-I- (1)-P65

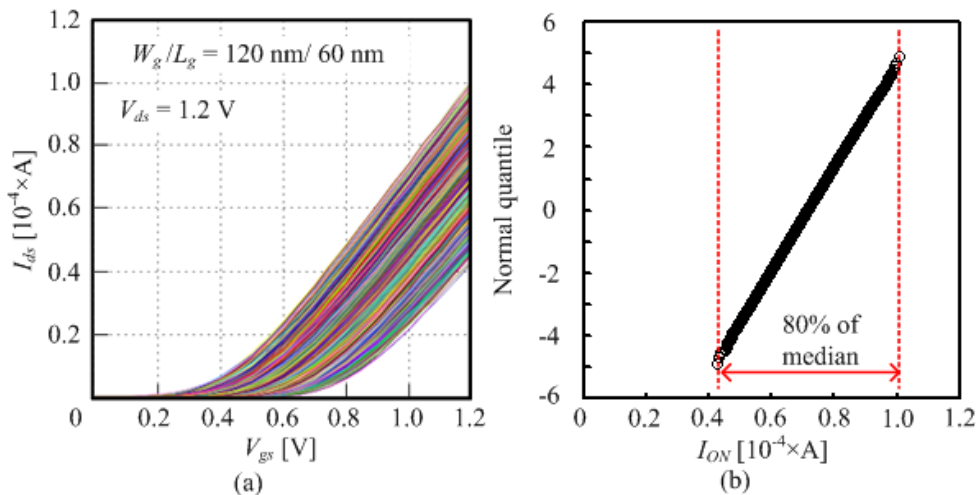
- “Explanation of Reverse Short Channel Effect by Defect Gradients,” in *IEDM Tech. Dig.*, 1993, pp. 311-314.
- [53] S. W. Crowder, P. M. Rousseau, J. P. Snyder, J. A. Scott, P. B. Griffin, and J. D. Plummer, “The Effect of Source/Drain Processing on the Reverse Short Channel Effect of Deep Sub-Micron Bulk and SOI NMOSFETs,” in *IEDM Tech. Dig.*, 1995, pp. 427-430.
- [54] A. Ono, R. Ueno, and I. Sakai, “TED Control Technology for Suppression of Reverse Narrow Channel Effect in 0.1 μm MOS Devices,” in *IEDM Tech. Dig.*, 1997, pp. 227-230.
- [55] J. W. Jung, J. M. Kim, J. H. Son, and Y. Lee, “Dependence of Subthreshold Hump and Reverse Narrow Channel Effect on the Gate Length by Suppression of Transient Enhanced Diffusion at Trench Isolation Edge” *Jpn. J. Appl. Phys.* vol. 39, pp. 2136-2140, 2000.
- [56] A. Ono and I. Sakai, “Suppression of V_{th} Fluctuation by Minimizing Transient Enhanced Diffusion for Deep Sub-quarter Micron MOSFET,” in *IEDM Tech. Dig.*, 1996, pp. 755-758.
- [57] I. Yamato, A. T. Putra, and T. Hiramoto, “Impact of Lateral Dopant Profile on Threshold Voltage Variability in Scaled MOSFETs,” in *Silicon Nanoelectronics Workshop*, 2009, pp. 35-36.
- [58] T. Tsunomura, A. T. Putra, I. Yamato, A. Kumar, T. Mizutani, A. Nishida, K. Takeuchi, S. Inaba, S. Kamohara, K. Terada, T. Hiramoto, and T. Mogami, “Variability: Measurement Study,” in *Ext. Abstr. Int’l Symp. Characteristics Variability in Scaled Transistors*, pp. 6-7, 2011.
- [59] K. Terada, K. Sanai, K. Tsuji, T. Tsunomura, A. Nishida, and T. Mogami, “Variability: Measurement Study,” in *Ext. Abstr. Int’l Symp. Characteristics Variability in Scaled Transistors*, pp. 42-43, 2011.
- [60] K. Terada, K. Sanai, S. Matsuoka, K. Tsuji, T. Tsunomura, and Akio Nishida, “Electrical Estimation of Channel Dopant Uniformity Using Test MOSFET Array,” to be presented in *ICMTS*, 2011.
- [61] K. Takeuchi, T. Tsunomura, S. Inaba, A. Nishida, S. Kamohara, and T. Hiramoto, “Recent Understanding of the Difference in Random Threshold Voltage Fluctuation between NFETs and PFETs,” in *Ext. Abstr. 58th Spring Meet., Japan Society of Applied Physics and Related Societies*, 2011, to be presented [in Japanese].
- [62] S. J. Chang, C. Y. Chang, C. Chen, J. W. Chou, T. S. Chao, and T. Y. Huang, “An Anomalous Crossover in V_{th} Roll-Off for Indium-Doped nMOSFETs,” *IEEE Electron Device Lett.*, vol. 21, no. 9, pp. 457-459, 2000.
- [63] P. Bouillon and T. Skotnicki, “Theoretical Analysis of Kink Effect in C–V Characteristics of Indium-Implanted NMOS Capacitors,” *IEEE Electron Device Lett.*, vol. 19, pp. 19-22, 1998.

1-2-2. 試作トランジスタのオン電流ばらつき評価・解析

1-2-2-1. はじめに

ドレイン電流は、 V_T と同様に LSI の設計上重要なパラメータである。たとえば、オン状態のドレイン電流 (I_{on})は、CMOS インバータの遅延時間を支配している[1]。このため、 I_{on} ばらつきは LSI の性能や歩留まりに影響を及ぼすと考えられる。III-2-I- (1)図 1-2-2-1(a)に 100 万個の NMOS の I_{ds} - V_{gs} 特性を測定した結果を示す[2-5]。 $V_{gs} = 1.2$ V における I_{ds} を I_{ON} として抽出した。 I_{ON} ばらつきの正規プロットを III-2-I- (1)図 1-2-2-1(b)に示す[2-5]。 I_{ON} の最小値と最大値の間には 80%もの差がある。実際に最先端の LSI で使用されている MOS トランジスタの数は 100 万個を超えており、 I_{ON} ばらつきの差も 80%を超えていると考えられる。このように I_{ON} ばらつきは V_T ばらつき同様に深刻な問題であると考えられる[6, 7]。

本節では、まず、開発したオン電流ばらつき評価手法を述べた後に、 I_{ON} ばらつき分離手法を用いて I_{ON} ばらつき原因の解析を行った。試料としては主にキック特性の影響が小さい $W_g/L_g = 120$ nm/ 60 nm の MOS トランジスタを用いて解析を行った。本節で提案する I_{ON} ばらつき分離手法は線型領域も飽和領域も適用可能であるため、 I_{ON} ばらつきについては両領域で解析を行った。



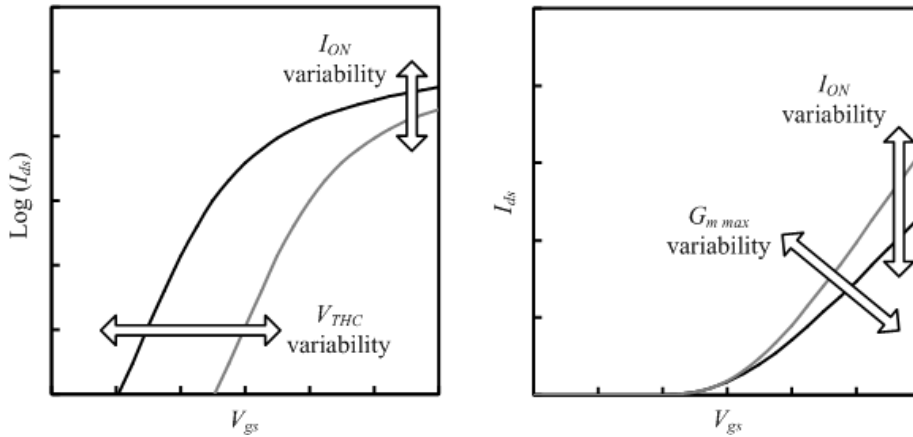
III-2-I- (1)図1-2-2-1. (a) 10^5 個NMOSの I_{ds} - V_{gs} 特性の測定値。(b) $V_{gs} = 1.2$ Vで抽出した I_{ds} ばらつきの正規プロット[2-5]。

1-2-2-2. I_{ON} ばらつきの成分

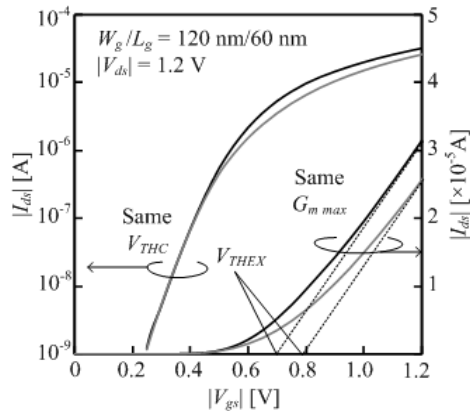
III-2-I- (1)図 1-2-2-2(a)で示すように、定電流法 $V_T(V_{THC})$ の変化は I_{ds} - V_{ds} 特性の変化を引き起こすため、 V_{THC} ばらつきは I_{ON} ばらつきを引き起こすことがわかる。また III-2-I- (1)図 1-2-2-2(b)で示すように、 I_{ds} - V_{gs} の最大傾きを示す最大トランスコンダクタンス(G_{mmax})のばらつきも I_{ON} ばらつきを引き起こすことがわかる。このような V_{THC} ばらつきと G_{mmax} ばらつきの影響は一般的にも知られている I_{ON} ばらつきの原因と考えられる。このように V_{THC} ばらつきおよび G_{mmax} ばらつきに起因する I_{ON} ばらつきの成分をそれぞれ V_{THC} 成分、 G_m 成分と呼ぶことにする。 I_{ds} - V_{gs} 特性を詳細に調べていく過程で、 V_{THC} 、 G_{mmax} ばらつき以外にも新たに I_{ON} ばらつきに寄与する成分があることを見出した[2-5]。III-2-I- (1)図 1-2-2-3 は同じ V_{THC} と G_{mmax} を持つ 2 つの PMOS の I_{ds} - V_{gs} 特性の測定結果を示す[2-5]。 V_{THC} と G_{mmax} が異なるにも関わらず、2 つの PMOS の I_{ON} は明らかに

異なっている。この I_{ON} の違いは、電流立ち上がりの差に起因している。電流が立ち上がる V_{gs} を指標化するために V_{THEX} と呼ぶ量を導入した。 V_{THEX} は I_{ds} - V_{gs} 特性の接線のうち、最大傾斜を持つ接線の V_{gs} 切片により定義する。III-2-I- (1)図 1-2-2-4 は PMOS 飽和領域の V_{THEX} と V_{THC} の散布図を示す[2-5]。 V_{THEX} と V_{THC} の間には高い相関があるが、両者は完全に同期しているわけではなく、両者の差はばらついていることがわかる。この差を ΔV_{TH} と定義する。この ΔV_{TH} は電流立ち上がり電圧を示す良い指標になっている。この ΔV_{TH} は III-2-I- (1)図 1-2-2-5 で示すばらつきを持っており[2-5]、このばらつきが I_{ON} ばらつきを生じる。このように電流立ち上がり起因する I_{ON} ばらつきの成分を ΔV_{TH} 成分と呼ぶことにする。

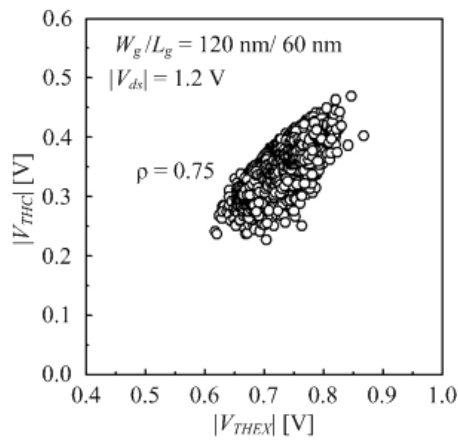
V_{THEX} を固定した場合には、 $G_m \max$ ばらつきが I_{ON} ばらつき成分の主成分になっているように見えるが、どの程度 $G_m \max$ ばらつきに支配されているものなのかを調べた。ここでは、より高いゲートオーバードライブ電圧を使用する場合も想定して、 $|V_{gs}| = 1.2 \text{ V}$ だけでなく、より高いゲート電圧の場合についても合わせて調べた。III-2-I- (1)図 1-2-2-6 に I_{ds} と $G_m \max$ の相関を調べた散布図を示す[2]。またこの散布図から得られた相関係数とゲート電圧の関係を III-2-I- (1)図 1-2-2-7 に示す。ここでは、 V_{THC} ばらつきと ΔV_{TH} ばらつきの影響を排除するために、同じ V_{THEX} を持つ MOS トランジスタだけを選んで評価を行った。この結果特に飽和領域において、 $|V_{gs}| = 1.0 \text{ V}$ の場合から 1.8 V の場合まで I_{ds} と $G_m \max$ の間には高い相関があることがわかった。線型領域では、飽和領域よりは相関係数が若干低い傾向があるが、それでも $|V_{gs}| = 1.0 \text{ V}$ の場合から 1.8 V の場合まで I_{ds} と $G_m \max$ の間には高い相関があると言える。このため、さまざまな V_{THEX} の MOS トランジスタに対して、同じ V_{THEX} を持つ MOS トランジスタ間の I_{ON} ばらつきはほぼ $G_m \max$ によって支配されているということが出来る。一方で、 I_{ON} と $G_m \max$ の相関係数は 1.0 よりやや低いいため、 $G_m \max$ 以外にも I_{ON} に影響している要因があるが、本開発では単純化して $G_m \max$ の影響のみを考慮することにする。次の節で、 I_{ON} ばらつきを V_{THC} 、 ΔV_{TH} 、 G_m の三つの成分に分離する方法について述べる。



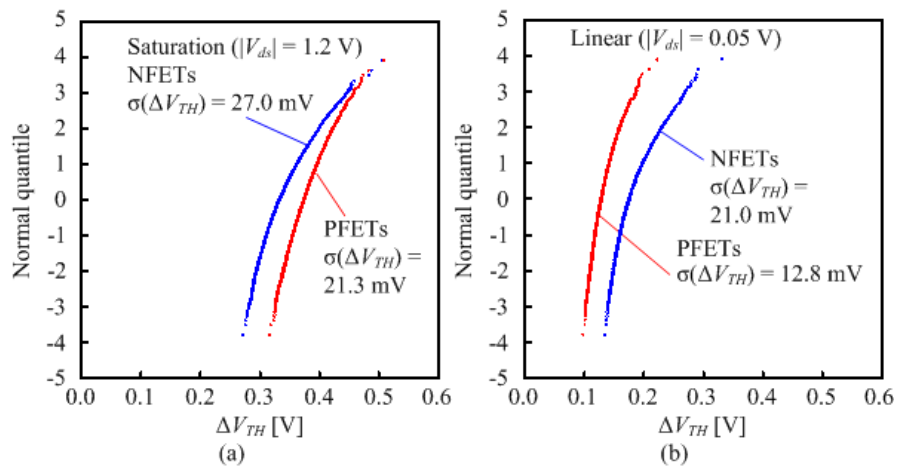
III-2-I- (1)図1-2-2-2. (a) V_{THC} ばらつきと、(b) $G_m \max$ ばらつきが I_{ON} ばらつきに及ぼす影響を示す模式図。



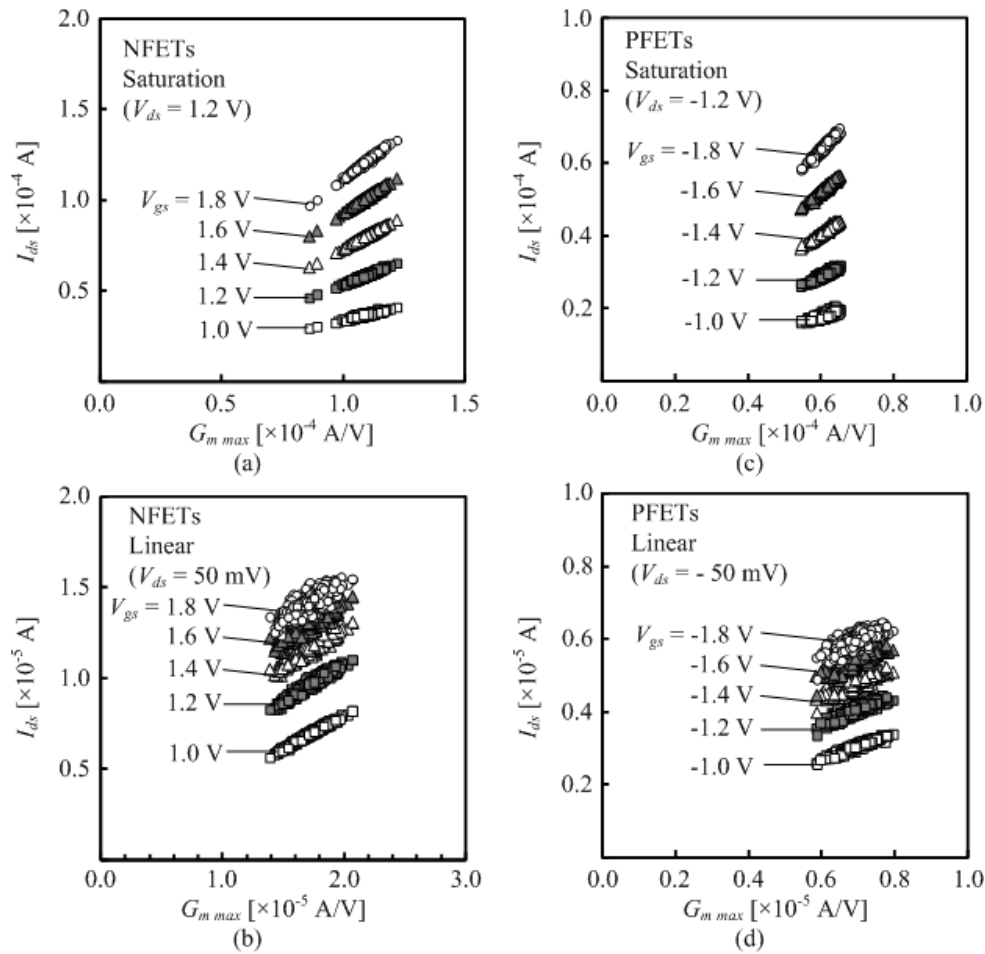
III-2-I- (1)図1-2-2-3. 同じ V_{THC} と $G_{m\max}$ をもつ二つのPMOSトランジスタの I_{ds} - V_{gs} 特性の測定値[2-5]。電流が立ち上がる V_{gs} を定量化するために、 V_{THEX} を導入した。 V_{THEX} は、 I_{ds} - V_{gs} の接線のうち、最大傾斜を持つものの、 V_{gs} 切片により定義する。



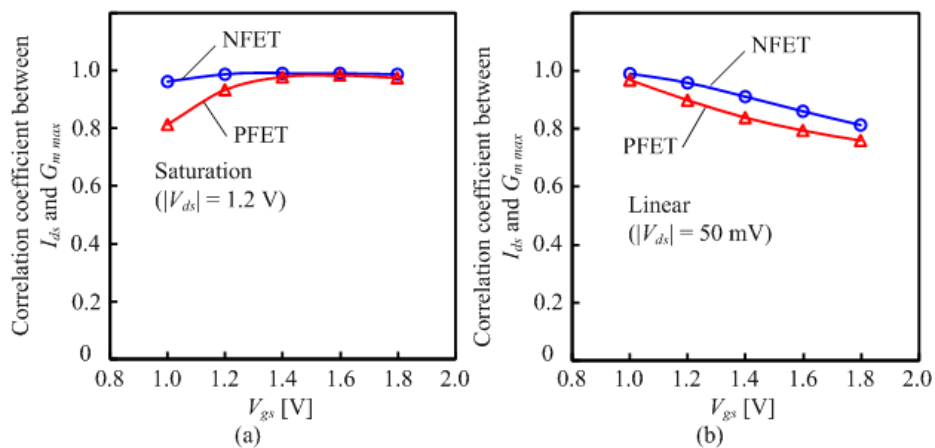
III-2-I- (1)図1-2-2-4. PMOSトランジスタの飽和領域における、 V_{THEX} と V_{THC} の間の散布図。両者の間には高い相関がある[2-5]。



III-2-I- (1)図1-2-2-5. ΔV_{TH} 測定値の正規プロット。(a) 飽和領域、(b) 線型領域。 $\sigma(\Delta V_{TH})$ も合わせて示している[2-5]。



III-2-I- (1)図1-2-2-6. I_{ds} と $G_{m\ max}$ の測定値の散布図[2]。 V_{THC} と ΔV_{TH} ばらつきの影響を排除するために、 V_{THEX} が同じトランジスタだけを選んでいる。(a) NMOS飽和領域、(b) NMOS線型領域、(c) PMOSTランジスタ飽和領域、(d) PMOSTランジスタ線型領域。



III-2-I- (1)図1-2-2-7. 図1-2-2-6の散布図中の、 I_{ds} と $G_{m\ max}$ の間の相関係数と、 V_{gs} の関係[2]。(a) 線型領域、(b) 飽和領域

1-2-2-3. I_{ON} ばらつきの分離

I_{ON} ばらつきの各成分の寄与の大きさを評価するために、 I_{ON} ばらつきを三つの成分の寄与の大きさを評価する方法を提案する[2, 5, 8]。始めに、三つの成分に分離する正当性を確認するために、 V_{THC} 、 ΔV_{TH} 、 G_m 三つのパラメータ間の相関係数を調べた。結果を III-2-I- (1)表 1-2-2-1 に示す[2]。相関係数はいずれも小さいため、三つのパラメータはほぼ独立であると見なすことが出来る。分離は散布図を元に行う。 V_{THC} 成分は、III-2-I- (1)図 1-2-2-8 に示す I_{ON} と V_{THC} の散布図より求める[2]。ここでは回帰直線の傾きを、 $Slope(V_{THC})$ と呼ぶ。 V_{THC} 成分 $\sigma I_{ON}(V_{THC})$ は次の式の通り計算する[2]。

$$\sigma I_{ON}(V_{THC}) = Slope(V_{THC}) \times \sigma V_{THC} \quad (1-2-2-1)$$

ΔV_{TH} 成分は、同じ V_{THC} をもつ MOS トランジスタの I_{ON} と ΔV_{TH} の散布図より計算する[2]。ここで回帰直線の傾きを、 $Slope(\Delta V_{TH})$ と呼ぶ。 ΔV_{TH} 成分 $\sigma I_{ON}(\Delta V_{TH})$ は、次の式で示すように計算する[2]。

$$\sigma I_{ON}(\Delta V_{TH}) = Slope(\Delta V_{TH}) \times \sigma(\Delta V_{TH}) \quad (1-2-2-2)$$

次に G_m 成分の分離方法を説明する。III-2-I- (1)図 1-2-2-10 に I_{ON} と V_{THEX} の散布図を示す[2]。ここで、測定した I_{ON} と、同じ V_{THEX} を持ち、回帰直線上での I_{ON} との差を ΔI_{ON} とする。 ΔI_{ON} のばらつきは、 V_{THEX} を固定した条件下での I_{ON} ばらつきを表わしているため、先の議論から ΔI_{ON} ばらつきの起源は G_m 成分 ばらつきということになる。このため、 G_m 成分 $\sigma I_{ON}(G_m)$ は次の式で示すことが出来る[2]。

$$\sigma I_{ON}(G_m) = \sigma(\Delta I_{ON}) \quad (1-2-2-3)$$

この方法を用いて、PMOS の I_{ON} ばらつきの測定値を分離した結果を III-2-I- (1)図 1-2-2-11 に示す[2, 5]。さらに比較のために I_{ON} ばらつきのシミュレーション結果も合わせて分離した。このシミュレーションでは、電流ばらつきの起源として RDF の効果を取り入れている。移動度については、RDF によって生じた実効電界に応じてばらつくようになっている。しかし、それ以外の電流ばらつきの原因と考えられる、ゲート酸化膜厚、ゲート長、ゲート幅などのばらつきの効果は取り入れられていない。

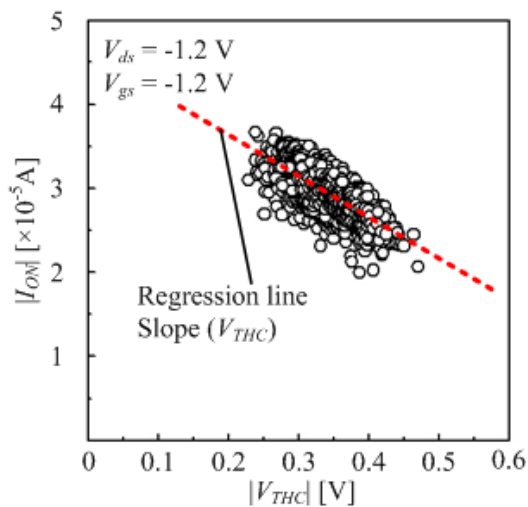
I_{ON} ばらつきの分離の結果、 V_{THC} 成分は飽和領域では一番大きく、線型領域では二番目に大きいことがわかった。また、飽和領域、線型領域共に RDF シミュレーションによりよく再現されることがわかった。これは、PMOS の V_{THC} ばらつきが RDF により支配されているためだと考えられる。またこの結果は V_{THC} ばらつき成分の分離が適切に実施されていることを示していると考えられる。

ΔV_{TH} 成分は飽和領域では、二番目に大きく G_m 成分よりも大きい。 ΔV_{TH} 成分のうち、飽和領域におけるかなりの部分が、また線型領域のほとんどの部分が RDF シミュレーションにより再現されている。このため、 ΔV_{TH} の原因は RDF に起因していることが予想される。 ΔV_{TH} 成分の原因の詳細については後で述べることにする。

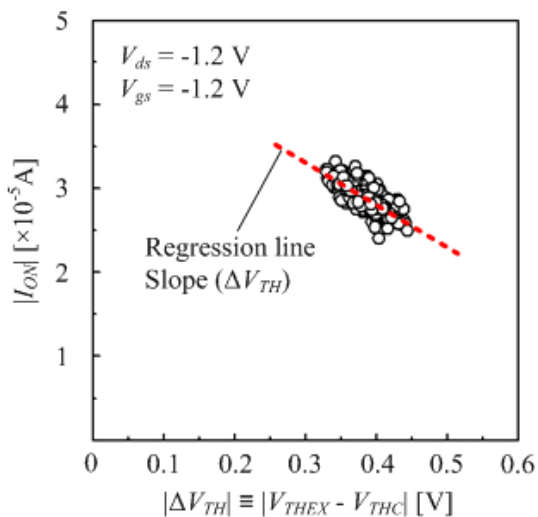
G_m 成分については、線型領域では ΔV_{TH} 成分よりも大きいことがわかった。また測定から得られた G_m 成分は飽和領域、線型領域共に RDF シミュレーションから計算される値よりも大きい。このため、 G_m 成分の大部分は RDF では説明できないと考えられる。

III-2-I- (1)表1-2-2-1. V_{THC} 、 ΔV_{TH} と $G_m \max$ の間の相関係数。これらの相関係数は小さいため、 V_{THC} 、 ΔV_{TH} と $G_m \max$ の三つの物理量は近似的に独立と見ることができる[2]。

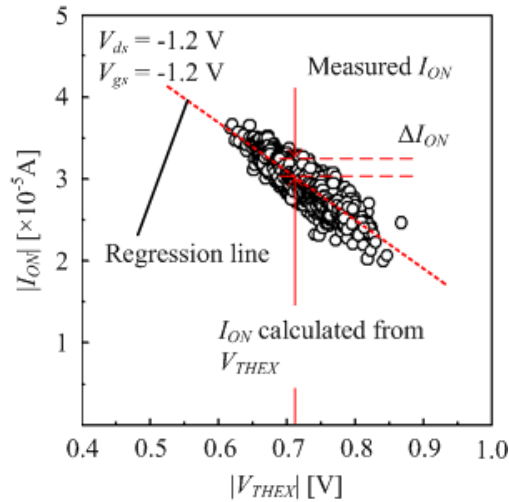
	$V_{THC}-\Delta V_{TH}$	$\Delta V_{TH}-G_m$	G_m-V_{THC}
NFET Linear	-0.27	-0.15	-0.10
NFET Saturation	-0.33	-0.04	-0.19
PFET Linear	-0.28	0.00	0.01
PFET Saturation	-0.35	0.06	-0.19



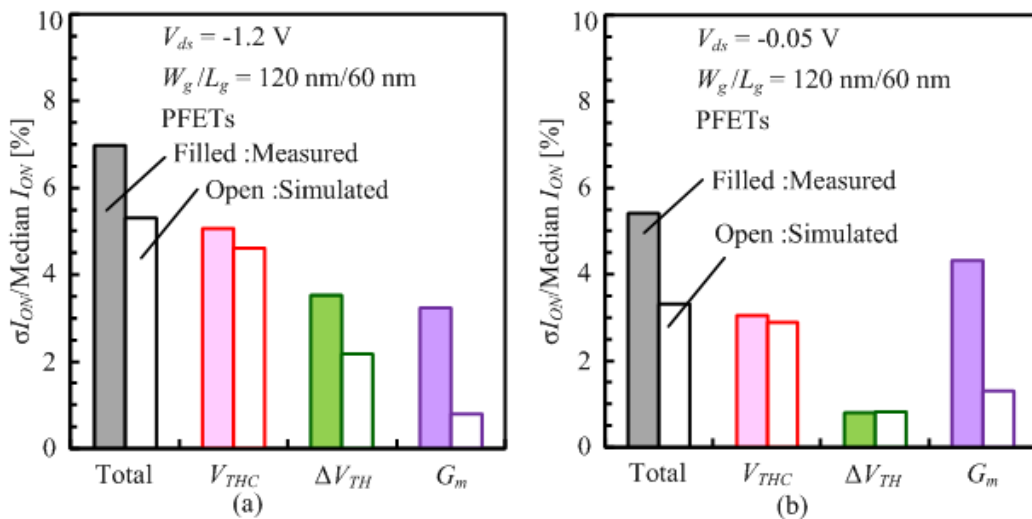
III-2-I- (1)図1-2-2-8. 測定したPMOSTランジスタ飽和領域の、 I_{ON} と V_{THC} の散布図[3]。



III-2-I- (1)図1-2-2-9. 測定したPMOSTランジスタ飽和領域の、 I_{ON} と ΔV_{TH} の散布図[2]。ここでは、同じ V_{THC} を持つPMOSTランジスタのデータだけを用いる。

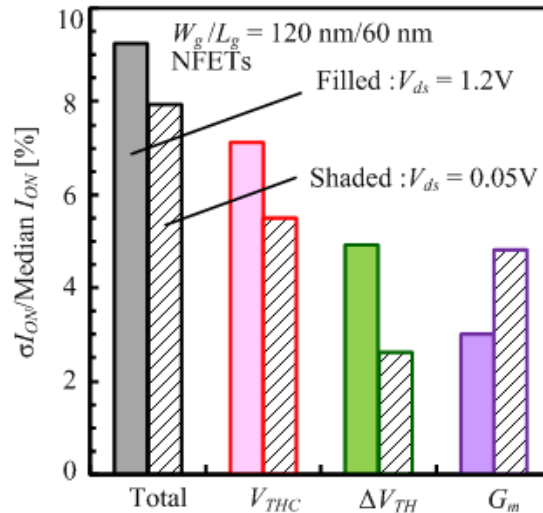


III-2-I- (1)図1-2-2-10. 測定したPMOSトランジスタ飽和領域の、 I_{ON} と V_{THEX} の散布図[2]。測定した I_{ON} と、同じ V_{THEX} を持ち、回帰直線上にある I_{ON} との差を ΔI_{ON} とする。同じ V_{THEX} を持つトランジスタの I_{ON} ばらつきは、 $G_{m\ max}$ ばらつきに支配されているため、 ΔI_{ON} のばらつきは、 $G_{m\ max}$ のばらつきに起因している。



III-2-I- (1)図1-2-2-11. PMOSトランジスタの I_{ON} ばらつき ($\sigma_{I_{ON}} / \text{Median } I_{ON}$) と、分離結果[2, 5]。ここでは測定した I_{ON} ばらつきと、シミュレーションにより計算した I_{ON} ばらつきを比較。(a) 飽和領域、(b) 線型領域。

NMOS の I_{ON} ばらつき成分についても、分離を行った。結果を III-2-I- (1)図 1-2-2-12 に示す[2, 5]。飽和領域では ΔV_{TH} 成分が二番目に大きく、線型領域では G_m 成分が二番目に大きいことがわかった。この分離結果により、 V_{THC} 、 G_m 成分だけでなく、 ΔV_{TH} 成分も特に飽和領域で I_{ON} ばらつきへ大きく寄与していることがわかった。 V_{THC} 成分については、先の V_T ばらつきの議論から、RDF が主要因と考えられる。そこで、次の節では ΔV_{TH} 成分と、 G_m 成分について解析を行った。



III-2-I- (1)図1-2-2-12. NMOSの I_{ON} ばらつき($\sigma I_{ON}/\text{Median } I_{ON}$)と、分離結果[2, 5]。

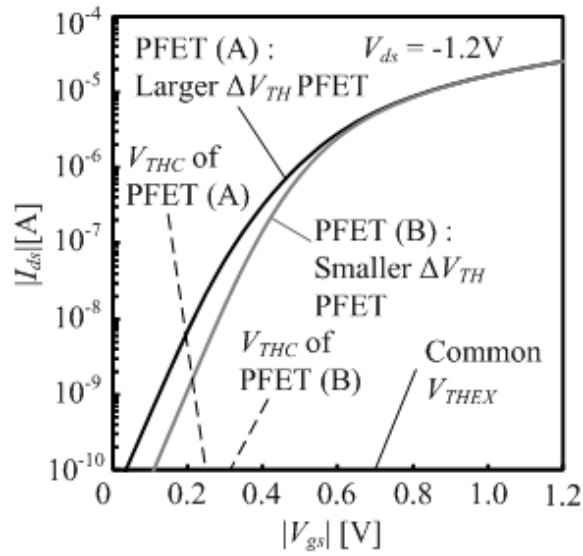
1-2-2-4. I_{ON} ばらつきにおける ΔV_{TH} 成分の起源

先の I_{ON} ばらつきの分離により、 ΔV_{TH} 成分はRDFシミュレーションによりよく再現されることが明らかになった。このため、 ΔV_{TH} 成分はRDFと関係しているのではないかと考えられる。この節では、シミュレーションと、 N_{SUB} 依存性の実験により、RDFが ΔV_{TH} ばらつきに与える影響について調べる[2-5]。

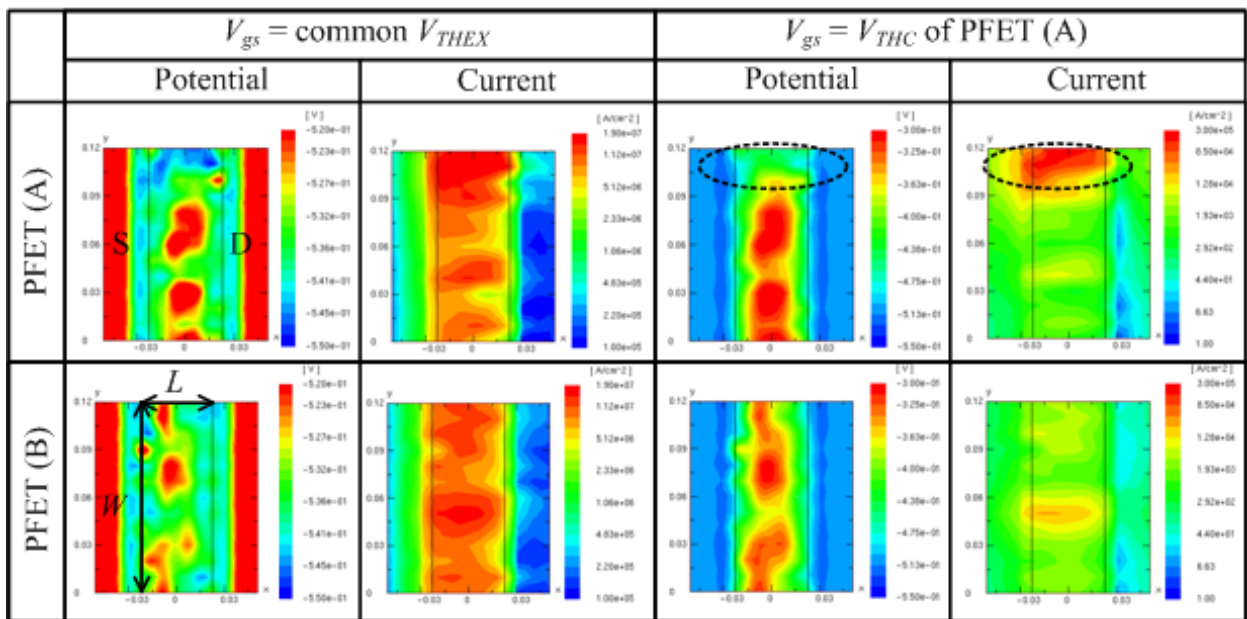
まず、RDFシミュレーションの結果を解析する。III-2-I- (1)図1-2-2-13に V_{THEX} が同じで V_{THC} が異なる二つのPMOSの $I_{ds}-V_{gs}$ 特性を示す[2]。ここではPMOS(A)の $|V_{THC}|$ は、PMOS(B)の $|V_{THC}|$ よりも低く、PMOS(A)の ΔV_{TH} は、PMOS(B)の ΔV_{TH} よりも大きい。この二つのPMOSのチャネル表面における、チャネルポテンシャルと電流密度の分布をIII-2-I- (1)図1-2-2-14に示す[2]。両者の V_{THEX} は同じであるため、 $V_{gs} = V_{THEX}$ では、ポテンシャル、電流密度ともに両者に大きな差はない。しかし、 V_{gs} をPMOS(A)の V_{THC} に合わせた場合には、二つのPMOSの間に差が見られる。PMOS(A)では、破線で囲んだ楕円状の部分でポテンシャルが低くなっており、この部分で電流密度が局所的に高くなっていることがわかる。このためPMOS(A)の V_{THC} はPMOS(B)の V_{THC} より低くなり、PMOS(A)の方が ΔV_{TH} は大きくなる。ここではRDFのみばらつき要因として考慮しているため、この V_{THC} と ΔV_{TH} の差はRDFによるチャネルポテンシャルのばらつきによるものであると考えられる。

さらに別の角度から調べるために、 ΔV_{TH} ばらつきの N_{SUB} 依存性を測定とシミュレーションにより調べた。III-2-I- (1)図1-2-2-15に、プレーナーバルク型NMOSとPMOSの $\sigma(\Delta V_{TH})$ の測定値、プレーナーバルク型PMOSとFD-SOI型PMOSの $\sigma(\Delta V_{TH})$ のシミュレーション値の N_{SUB} 依存性を示す[2]。ここでは、横軸を V_{THEX} とし、 N_{SUB} の大きさを表わしている。 $\sigma(\Delta V_{TH})$ の測定値、シミュレーション値共に V_{THEX} の低下と共に減少しており、 $\sigma(\Delta V_{TH})$ には明らかにチャネル不純物濃度依存性がある。さらに $\sigma(\Delta V_{TH})$ のかなりの部分はRDFシミュレーションにより再現されている。しかし、 $\sigma(\Delta V_{TH})$ のRDFシミュレーション値は、特に飽和領域では $\sigma(\Delta V_{TH})$ の測定値よりも少し小さい。

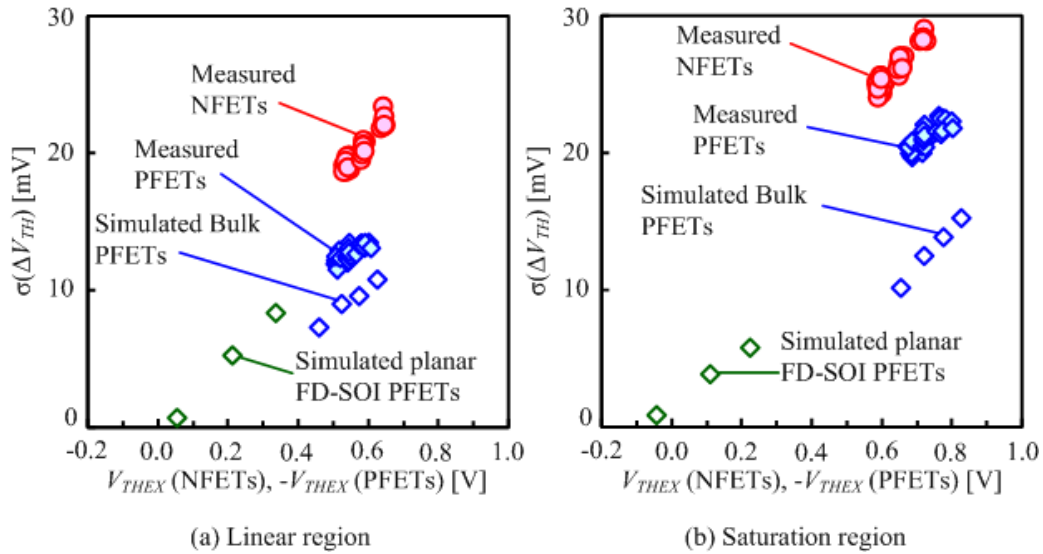
これらの結果から、RDFによるチャネルポテンシャルの揺らぎが、 ΔV_{TH} ばらつきの主要因であると考えられる。



III-2-I- (1)図1-2-2-13. シミュレーションした二つのPMOSトランジスタの I_{ds} - V_{gs} 特性。両者の V_{THEX} は同じだが、 ΔV_{TH} が異なる。PMOSトランジスタ(A)の方が、 $|V_{THC}|$ が小さく、 ΔV_{TH} が大きい[2]。



III-2-I- (1)図 1-2-2-14. シミュレーションした二つの PMOS トランジスタの、チャネル表面におけるポテンシャルと電流密度の分布[2]。



III-2-I- (1)図 1-2-2-15. プレーナーバルク NMOS、PMOS トランジスタの測定、プレーナーバルク PFET と、プレーナー FD-SOI PMOS トランジスタのシミュレーションから評価した、 $\sigma(\Delta V_{Th})$ と V_{Thex} の関係[2]。ここで、 V_{Thex} は N_{SUB} により変化させている。(a) 線型領域、(b) 飽和領域。

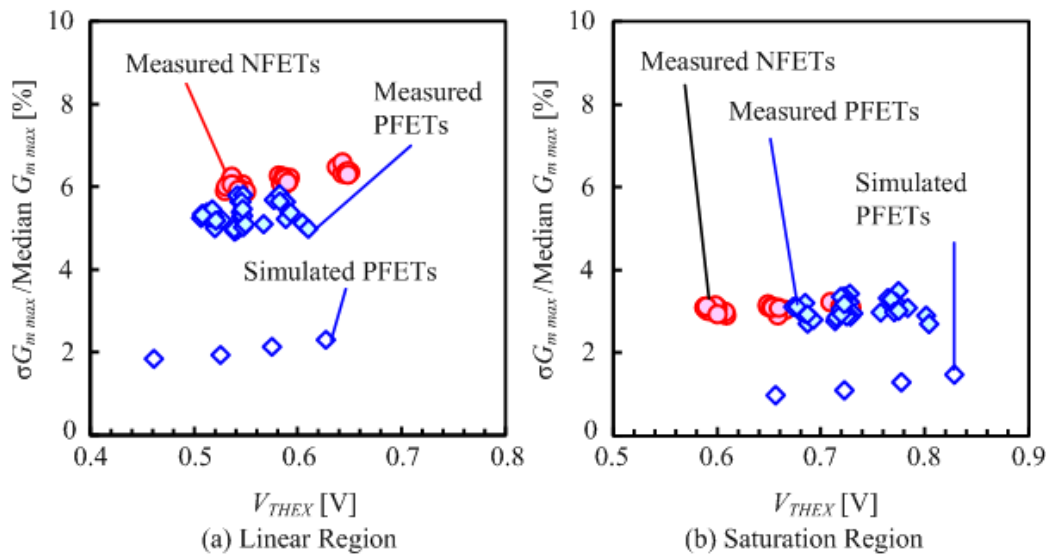
1-2-2-5. I_{ON} ばらつきにおける $G_{m max}$ ばらつきの起源

III-2-I- (1)図 1-2-2-11 で示したように、測定により得られた I_{ON} ばらつきの $G_{m max}$ 成分は、RDF シミュレーションにより計算した I_{ON} ばらつきの $G_{m max}$ 成分よりも小さいため、 $G_{m max}$ への RDF の寄与は小さいものと考えられる[9-11]。さらに RDF の影響の大きさを、 $G_{m max}$ ばらつき ($\sigma(G_{m max})/\text{Median } G_{m max}$) の N_{SUB} 依存性により調べた。その結果を III-2-I- (1)図 1-2-2-16 に示す[2]。ここでも N_{SUB} の大きさを示すために、横軸に V_{Thex} を用いた。測定により得られた $G_{m max}$ ばらつきは、 V_{Thex} が下がるとわずかに減少する。さらに $G_{m max}$ ばらつきの大きさは、RDF シミュレーションにより計算した $G_{m max}$ ばらつきよりも大きい。これらの結果から、RDF は $G_{m max}$ ばらつきにわずかに影響は及ぼしているが、他の原因による影響が大きいものと考えられる[12-17]。

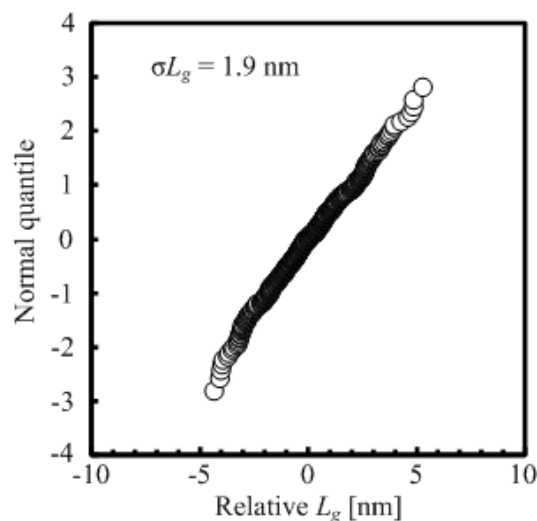
その他の原因の一つとして考えられるゲート長ばらつきの影響を調べた[12]。まず L_g のばらつきを 400 ゲートパターンを SEM により測長して求めた。この時の L_g の分布と、 L_g のばらつきを III-2-I- (1)図 1-2-2-17 に示す[18, 19]。また平均的な $G_{m max}$ - L_g 特性を III-2-I- (1)図 1-2-2-18 に示す[19]。 $\text{Log}(G_{m max})$ と $\text{Log}(L_g)$ の間には線型の関係が成り立っていることがわかる。このため、 L_g ばらつきに起因する $G_{m max}$ ばらつきの大きさは、 L_g ばらつきの大きさと、 $\text{Log}(G_{m max})$ と $\text{Log}(L_g)$ の傾きから求めることができる。測定値から計算した $G_{m max}$ ばらつきと、 $G_{m max}$ ばらつきのうち L_g ばらつきに起因する成分 ($G_{m max}$ ばらつき(L_g)) を III-2-I- (1)図 1-2-2-19 に示す[19]。飽和領域では、 $G_{m max}$ ばらつき(L_g)は $G_{m max}$ ばらつきの半分程度になることがわかる。線型領域では、 $G_{m max}$ ばらつき全体に対する $G_{m max}$ ばらつき(L_g)の割合は、飽和領域よりは小さい。

さらに、RDF と L_g ばらつき以外の $G_{m max}$ ばらつき要因を探るために、 $G_{m max}$ ばらつきの Pelgrom プロットを評価した。まず $G_{m max}$ ばらつきがどのようにゲート長方向に平均化されるかを調べるために、 W_g を固定した条件で、 $G_{m max}$ ばらつきの Pelgrom プロットを行った。これを III-2-I- (1)図 1-2-2-20 に示す[2]。 $G_{m max}$ ばらつきは、長 L_g 極限で零に収束していかないことがわかる。これは $G_{m max}$ ばらつきに、ゲート長では平均化されないばらつき原因が寄与していることを示していると考えられる。

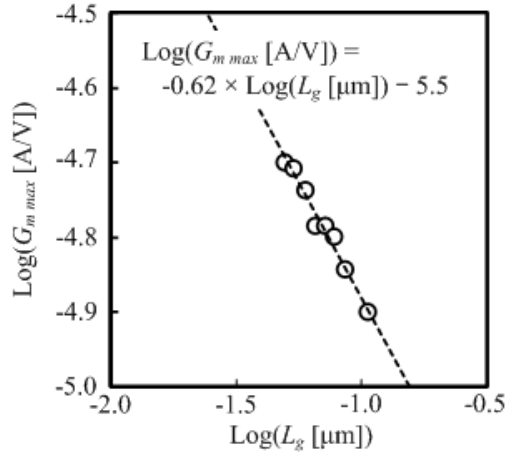
同様に、 $G_{m \max}$ がゲート幅方向にどのように平均化されているかを調べるために、 L_g を固定した条件で、 $G_{m \max}$ ばらつきの Pelgrom プロットを行った。この結果を III-2-I- (1) 図 1-2-2-21 に示す[2]。 $G_{m \max}$ ばらつきは長 W_g 極限では、零に向って収束していることがわかる。ことから、 $G_{m \max}$ ばらつき原因はゲート幅方向には平均化されることがわかる。例えばこのような特性を示す要因として、チャンネル外の寄生抵抗の影響が考えられる[15]。



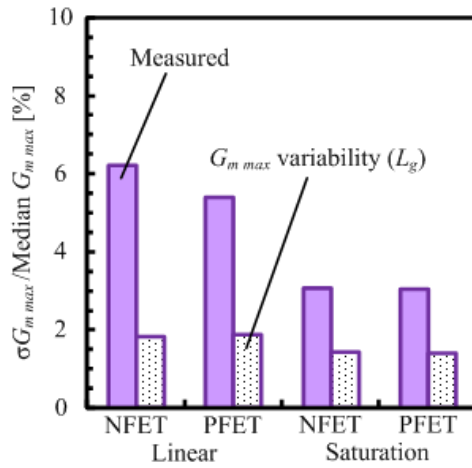
III-2-I- (1) 図 1-2-2-16. 測定および、シミュレーションにより得られた $G_{m \max}$ ばらつき ($\sigma G_{m \max} / \text{Median } G_{m \max}$) と V_{THEX} の関係。ここで、 V_{THEX} は N_{SUB} により変化させている[2]。



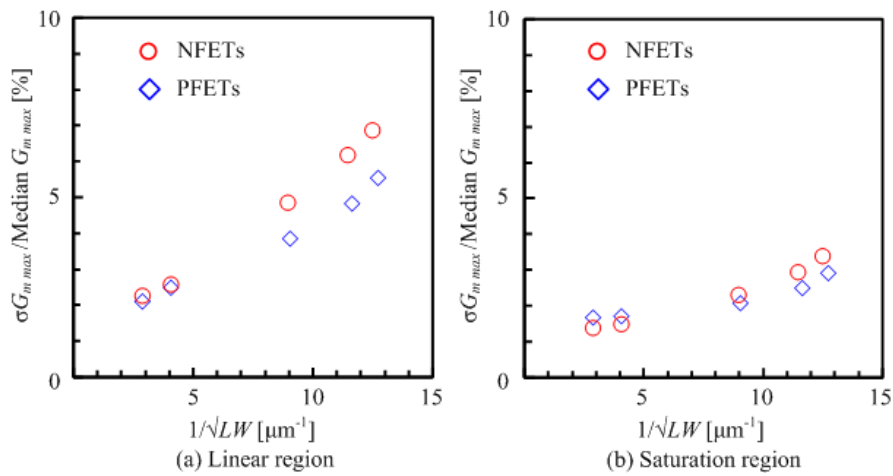
III-2-I- (1) 図 1-2-2-17. 400 ゲートを SEM により測長して得られた L_g の正規プロット[18, 19]。



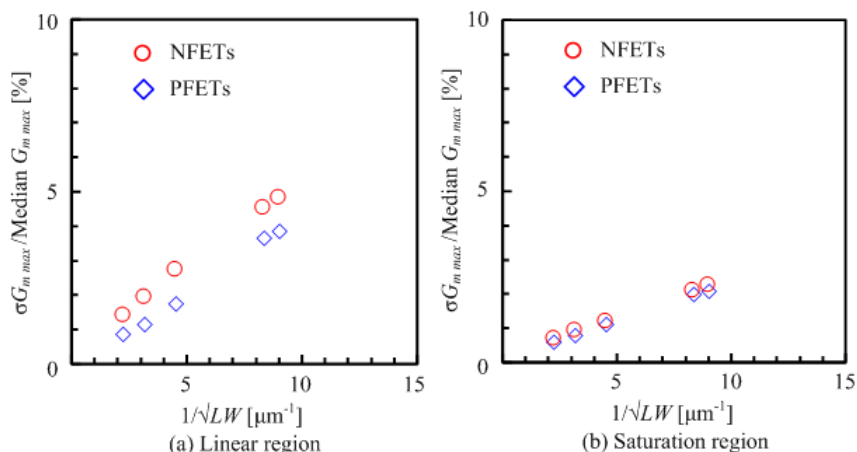
III-2-I- (1)図1-2-2-18. NMOS線型領域の、 $G_{m\max}$ 測定値と L_g の関係。 $\text{Log}(G_{m\max})$ と $\text{Log}(L_g)$ の間には比例関係がある[19]。PMOSトランジスタ線型領域と、NMOSとPMOSトランジスタの飽和領域でも、比例関係が成り立つ。



III-2-I- (1)図1-2-2-19. $G_{m\max}$ ばらつきと、 L_g ばらつきに起因する $G_{m\max}$ ばらつき($G_{m\max}$ variability (L_g))。



III-2-I- (1)図1-2-2-20. $G_{m\max}$ ばらつきとのPelgromプロット[2]。(a) 線型領域、(b) 飽和領域。ここでは W_g は120 nmで固定し、 L_g を変えている。



III-2-I- (1)図1-2-2-21. $G_{m\max}$ ばらつきとのPelgromプロット[2]。(a) 線形領域、(b) 飽和領域。ここでは L_g は100 nmで固定し、 W_g を変えている。

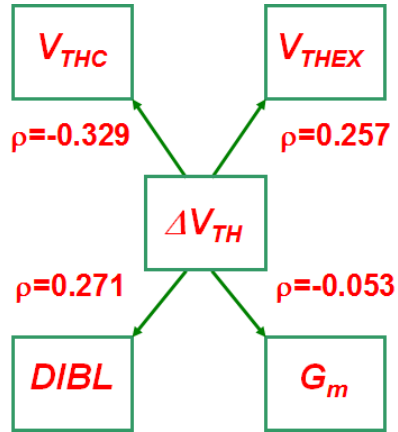
1-2-2-6. I_{ON} ばらつきにおける”電流立上り電圧”の統計的性質

本開発項目では、電流ばらつきに大きな影響を与える新しいばらつき要因として1-2-2-4項で提案した、”電流立上り電圧(ΔV_{th})”ばらつきの統計的性質について調査を実施した。65nm 技術で作製した MOSFET の電流ばらつきを、大規模 DMA-TEG によって測定し、解析した結果について述べる。

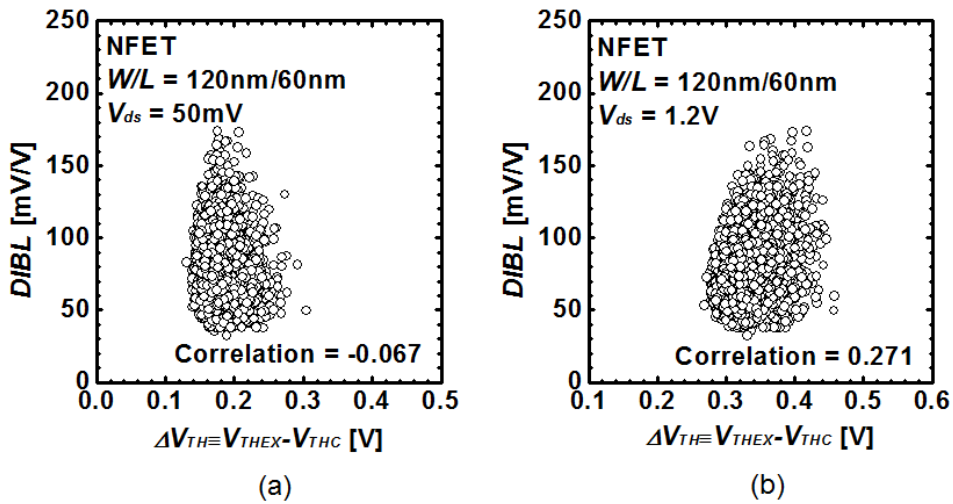
(1)他のデバイスパラメータとの相関

III-2-I- (1)図 1-2-2-22 に、8,192 個の NMOS を測定した飽和領域($V_{ds}=1.2V$)における V_{thc} 、 G_m 、 V_{thex} 、および $DIBL$ と ΔV_{th} 間の相関係数を示す。 $L_g/W_g=60/120nm$ である。ここで、 V_{thc} をサブスレシヨルド領域の定電流法($I_0=10^{-8}W_g/L_g$)で求めたしきい値、 V_{thex} を I_d-V_g 特性の最大傾斜接線から求めた外挿しきい値、これら2種類のしきい値 V_{thc} 、および V_{thex} を用いて、 ΔV_{th} を両者の差、すなわち $\Delta V_{th} \equiv V_{thex} - V_{thc}$ と定義した。また、 $DIBL$ は V_{thc} を用いて求めた。この図からわかるように、 ΔV_{th} とそれぞれのパラメータとの間の相関係数は小さく、 ΔV_{th} は他のデバイスパラメータ (V_{thc} 、 G_m 、 V_{thex} 、および $DIBL$)との相関が極めて低いことがわかる。以上の結果から、 ΔV_{th} はこれまで考慮されなかったばらつき要因であると考えられる。

III-2-I- (1)図 1-2-2-23 に、NMOS の ΔV_{th} と $DIBL$ の相関を示す。III-2-I- (1)図 1-2-2-23(a)(b)はそれぞれ、線形領域($V_{ds}=50mV$)と飽和領域($V_{ds}=1.2V$)の場合である。これらの図から、線形領域では相関係数が非常に小さく(相関係数:-0.067)、飽和領域においても相関が低い(相関係数:0.271) ことがわかる。 ΔV_{th} ばらつきは、離散不純物揺らぎ (RDF) によって生じる、チャンネル内のソースドレイン間の電流パスにあるポテンシャル障壁に相当する”divided line”上のポテンシャル揺らぎに起因する(詳細な説明は[5]項で述べる)。したがって、 ΔV_{th} はゲート幅 W 方向の不純物濃度プロファイルで決定するといえる。一方、 $DIBL$ はゲート長 L 方向の不純物濃度プロファイルで決定すると NEC のグループによって報告されている。したがって III-2-I- (1) 図 1-2-2-24 に示すように、 L 方向と W 方向は直交しているので両者は独立であるから、チャンネル内の不純物がランダムに分布していれば、 $DIBL$ と ΔV_{th} は互いに相関がないと考えられる。

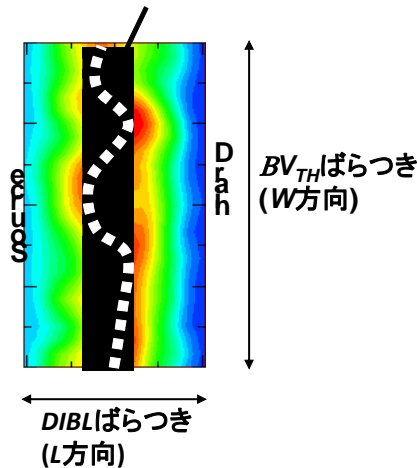


III-2-I- (1)図1-2-2-22. 8k個のNMOSを測定した飽和領域($V_{ds}=1.2V$)における V_{THC} 、 G_m 、 V_{THEX} 、および $DIBL$ と ΔV_{TH} の相関係数.



III-2-I- (1)図1-2-2-23. 8k個のNMOSを測定した $DIBL$ と ΔV_{TH} の相関。(a)は $V_{ds}=50mV$ 、(b)は $V_{ds}=1.2V$ である。

“divided line”ポテンシャル

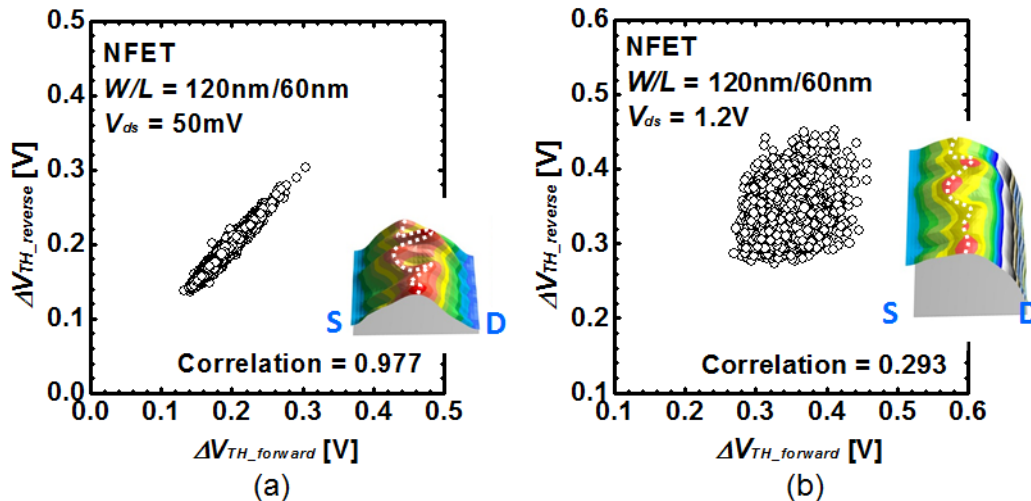


III-2-I- (1)図1-2-2-24. シミュレーションで計算したチャンネル内のポテンシャル分布.

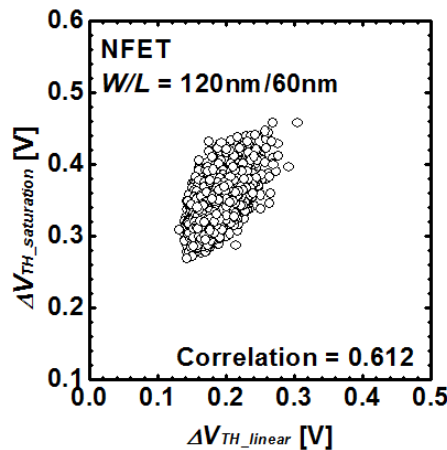
(2)ソース・ドレイン入れ替えによる考察

III-2-I- (1)図 1-2-2-25 に、NMOS のソース・ドレインを入れ替えたときの ΔV_{th} の相関を示す。III-2-I- (1)図 1-2-2-25(a)(b)はそれぞれ、線型領域と飽和領域の場合である。ここで、 $\Delta V_{th_forward}$ 、および $\Delta V_{th_reverse}$ はそれぞれ、ソース・ドレインを入れ替えた前後の ΔV_{th} である。これらの図から、線型領域では非常に高い相関があるが(相関係数:0.977)、飽和領域での相関は低いことがわかる(相関係数:0.291)。線型領域では divided line がソース・ドレイン間の中央付近に位置するため、ソースとドレインを入れ替えても ΔV_{th} はあまり変わらない。一方、飽和領域では divided line がソース側に移動することにより、ソースとドレインを入れ替えることによってチャンネル内の divided line の位置が変わり、 ΔV_{th} が大きく変化すると考えられる。

III-2-I- (1)図 1-2-2-26 に、NMOS の線型領域－飽和領域における ΔV_{th} の相関を示す。ここで、 ΔV_{th_linear} 、および $\Delta V_{th_saturation}$ はそれぞれ、線形領域と飽和領域の ΔV_{th} である。相関係数は 0.610 であり、III-2-I- (1)図 1-2-2-25(a)線形領域(相関係数:0.977)と III-2-I- (1)図 1-2-2-25(b)飽和領域(相関係数:0.291)のちょうど間にある。これは、線型領域における divided line と飽和領域における divided line が、同じ位置にはないが近い位置にあることを示しており、これまでの議論と合致する。



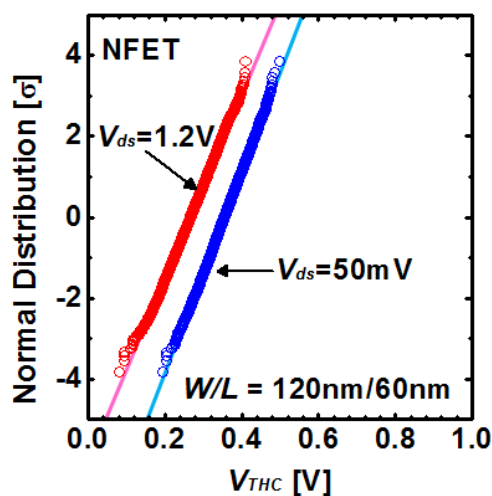
III-2-I- (1)図1-2-2-25. 8k個のNMOSを測定したソースドレインを入れ替えたときの ΔV_{TH} の相関。(a)は $V_{ds}=50mV$ 、(b)は $V_{ds}=1.2V$ である。



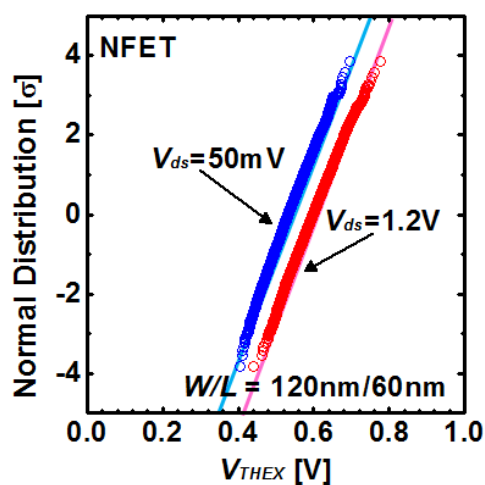
III-2-I- (1)図1-2-2-26. 8k個のNMOSを測定した線型領域と飽和領域における ΔV_{TH} の相関。

(3)累積度数分布

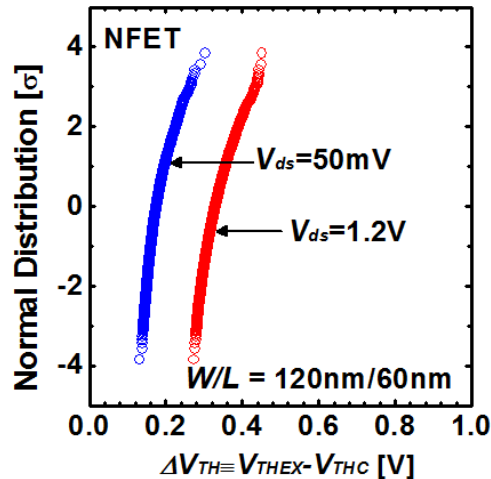
III-2-I- (1)図 1-2-2-27, III-2-I- (1)図 1-2-2-28 にそれぞれ、NMOS の線形領域と飽和領域における V_{THC} 、および V_{THEX} の累積度数分布を示す。これらの図から、 V_{THC} と V_{THEX} はともに約 $\pm 4\sigma$ まで正規分布に従うことが分かる。III-2-I- (1)図 1-2-2-29 に NMOS の線型領域と飽和領域における ΔV_{th} の累積度数分布を示す。この図から、 ΔV_{th} は線形領域、飽和領域ともに正規分布に従わないことがわかる。この原因について、 ΔV_{th} が平均ポテンシャルではなく、局所的な最小ポテンシャルによって決定されることに関連すると考えられる。



III-2-I- (1)図1-2-2-27. 8k個のNMOSを測定した線型領域と飽和領域における V_{thc} の累積度数分布.



III-2-I- (1)図1-2-2-28. 8k個のNMOSを測定した線型領域と飽和領域における V_{thex} の累積度数分布.



III-2-I- (1)図1-2-2-29. 8k個のNMOSを測定した線型領域と飽和領域における ΔV_{th} の累積度数分布

1-2-2-6. オン電流ばらつき評価・解析のまとめ

本節では、 I_{ON} ばらつきについて解析を行った。 V_{THC} のばらつきや、 $G_{m\ max}$ のばらつきといった良く知られたばらつきの成分に加えて、 ΔV_{th} 成分と名付けた電流の立ち上がり方に起因する I_{ON} ばらつきがあることを初めて見いだした。 V_{thc} 、 $G_{m\ max}$ ばらつき、そして ΔV_{th} ばらつきが I_{ON} ばらつきに寄与する大きさを調べるために、 I_{ON} ばらつきをそれぞれの成分に分離する新しい方法を開発した。

この方法によって、 I_{ON} ばらつきの原因解析を行い、飽和領域では、 V_{THC} 成分の寄与が1番大きく、 ΔV_{th} 成分が2番目に大きいことがわかった。一方、線型領域では、 G_m 成分が ΔV_{th} 成分よりも大きいことがわかった。またRDFによって生じたチャネルポテンシャルの揺らぎが、 ΔV_{th} 成分の主要因であると考えられる。RDFは、 V_{thc} 成分、 ΔV_{th} 成分ともに寄与しているため、特に飽和領域ではRDFが I_{ON} ばらつきの支配的な要因になる。 $G_{m\ max}$ ばらつきの原因についても解析を行った結果、 $G_{m\ max}$ 成分に対しては、RDFからの寄与は小さく、 L_g ばらつきが部分的に寄与しているが、RDFと L_g ばらつき以外に寄与する要因があるという知見を得た。

参考文献

- [1] Y. Taur and T. Ning, *Fundamentals of Modern VLSI Devices*, Cambridge University Press, Cambridge, England, 1998.
- [2] T. Tsunomura, A. Kumar, T. Mizutani, C. Lee, A. Nishida, K. Takeuchi, S. Inaba, S. Kamohara, K. Terada, T. Hiramoto, T. Mogami, "Analysis and Prospect of Local Variability of Drain Current in Scaled MOSFETs," in *Symp. VLSI Tech. Dig.*, 2010, pp. 97-98.
- [3] A. Kumar, T. Mizutani, K. Shimizu, T. Tsunomura, A. Nishida, K. Takeuchi, S. Inaba, S. Kamohara, K. Terada, and T. Hiramoto, "Origin of "Current-Onset Voltage" Variability in Scaled MOSFETs," in *Silicon Nanoelectronics Workshop Abst.*, 2010, pp.7-8.
- [4] T. Mizutani, A. Kumar, T. Tsunomura, A. Nishida, K. Takeuchi, S. Inaba, S. Kamohara, K. Terada, and T. Hiramoto, "Statistic Characteristics of "Current-Onset Voltage" in Scaled MOSFETs Analyzed by

- 8k DMA TEG,” in *Silicon Nanoelectronics Workshop Abst.*, 2010, pp.81-82.
- [5] T. Tsunomura, A. Kumar, T. Mizutani, A. Nishida, K. Takeuchi, S. Inaba, S. Kamohara, K. Terada, T. Hiramoto, and T. Mogami, “Origin of Larger Drain Current Variability in N-Type Field-Effect Transistors Analyzed by Variability Decomposition Method,” *Appl. Phys. Express*, vol. 3 (2010) 114201.
- [6] F. Forti and M. E. Wright, “Measurement of MOS Current Mismatch in the Weak Inversion Region,” *IEEE J. Solid-State Circuits*, vol. 29, no. 2, pp. 138-142, 1994
- [7] P. G. Drennan and C. C. McAndrew, “Understanding MOSFET Mismatch for Analog Design,” *IEEE J. Solid-State Circuit*, vol. 38, no. 3, pp. 450-456, 2003.
- [8] P. G. Drennan and C. C. McAndrew, “A Comprehensive MOSFET Mismatch Model,” in *IEDM Tech. Dig.*, 1999, pp. 167-170.
- [9] H. Yang, V. Macary, J. L. Huber, W. G. Min, B. Baird, and J. Zuo, “Current Mismatch Due to Local Dopant Fluctuations in MOSFET Channel,” *IEEE Trans. Electron Devices*, vol.50, no.11, pp. 2248-2254, 2003.
- [10] C. Alexander, G. Roy, and A. Asenov, “Random-Dopant-Induced Drain Current Variation in Nano-MOSFETs: A Three-Dimensional Self-Consistent Monte Carlo Simulation Study Using “Ab Initio” Ionized Impurity Scattering,” *IEEE Trans. Electron Devices*, vol. 55, no. 11, pp. 3251-3258, 2008.
- [11] P. Dollfus, A. Bournel, S. Galdin, S. Barraud, and P. Hesto, “Effect of Discrete Impurities on Electron Transport in Ultrashort MOSFET Using 3-D MC Simulation,” *IEEE Trans. Electron Devices*, vol. 51, no. 5, pp. 749-756, 2004.
- [12] T. Mizuno, M. Iwase, H. Niiyama, T. Shibata, K. Fujisaki, T. Nakasugi, A. Toriumi, and Y. Ushiku, “Performance Fluctuations of 0.10 μm MOS FETs – Limitation of 0.1 μm ULSIs,” in *Symp. VLSI Tech. Dig.*, 1994, pp.13 -14.
- [13] T. Linton, M. Chandhok, B. J. Rice, and G. Schrom, “Determination of the Line Edge Roughness Specification for 34 nm Devices,” in *IEDM Tech. Dig.*, 2002, pp. 303-306.
- [14] A. Asenov, S. Kaya, and A. R. Brown, “Intrinsic Parameter Fluctuations in Decananometer MOSFETs Introduced by Gate Line Edge Roughness,” *IEEE Trans. Electron Devices*, vol. 50, no. 5, pp. 1254-1260, 2003.
- [15] T. Mérelle, G. Curatola, A. Nackaerts, N. Collaerta, M.J.H. van Dal, G. Doornbos, T.S. Doornb, P. Christie, G. Vellianitis, B. Duriez, R. Duffy, B.J. Pawlak, F.C. Voogtb, R. Rooyackersa, L. Wittersa, M. Jurczaka and R.J.P. Lander, “First observation of FinFET specific mismatch behavior and optimization guidelines for SRAM scaling,” in *IEDM Tech. Dig.*, 2008, pp. 241-244.
- [16] W. Lee, J. J. -Y. Kuo, W. P. -N. Chen, P. Su, and M. -C. Jeng, “Impact of Uniaxial Strain on Channel Backscattering Characteristics and Drain Current Variation for Nanoscale PMOSFETs,” in *Symp. VLSI Tech. Dig.*, 2009, pp. 112-113.
- [17] M. Saitoh, N. Yasutake, Y. Nakabayashi, K. Uchida, and T. Numata, “Physical Understanding of V_{th} and I_{dsat} Variations in (110) CMOSFETs,” in *Symp. VLSI Tech. Dig.*, 2009, pp. 114-115.
- [18] T. Tsunomura, A. T. Putra, A. Nishida, K. Takeuchi, S. Inaba, S. Kamohara, K. Terada, and T. Hiramoto, “Validation Study of Normalizing V_{th} Fluctuation in MOSFETs by Takeuchi Plot,” in *Ext. Abstr. 69th Autumn Meet., Japan Society of Applied Physics*, 4a-E-1, 2008 [in Japanese].
- [19] T. Tsunomura, A. T. Putra, I. Yamato, A. Kumar, T. Mizutani, A. Nishida, K. Takeuchi, S. Inaba, S.

Kamohara, K. Terada, T. Hiramoto, and T. Mogami, "Variability: Measurement Study," in *Ext. Abstr. Int'l Symp. Characteristics Variability in Scaled Transistors*, pp. 6-7, 2011.

1-2-3. NBTIストレス電圧印加による V_T ばらつきの評価・解析

1-2-3-1. はじめに

NBTIとは、高温化でPMOSのゲートに負電圧を印加しつづけると、 V_T が変動する現象である[1-9]。そして、ゲートのストレス電圧を解放すると回復が起きる。III-2-I- (1)図 1-2-3-1 に、ストレス電圧印加によるPMOSの I_{ds} - V_{gs} 特性の変動を示す。この節では $L_g = 60$ nm、 $W_g = 120$ nmのPMOSを評価した。 $V_{gs} = -1.2$ Vのストレス電圧を印加することにより、 $|V_T|$ が高くなる方向に V_T が変動していることがわかる。 10^5 秒ストレス電圧を印加した後にストレス電圧を解放した。すると今度は、 $|V_T|$ が低くなる方向に特性が回復していることがわかる。また、III-2-I- (1)図 1-2-3-2 に二つのPMOSの V_T 変動を示す。この節では V_{THC} を V_T の定義として用いる。ここで評価したPMOS(A)とPMOS(B)は同じチップの中にある二つのPMOSであるが、 V_T 変動の時間依存性が全く異なることがわかる。このため、NBTIストレス電圧印加により V_T ばらつきの大きさも変化する[10-15]。本節では、NBTI測定用のDMA-TEGを用いて[16-17]、NBTIストレス電圧印加が V_T ばらつきに及ぼす影響について調べた。

1-2-3-2. NBTIストレス電圧印加が V_T ばらつきに及ぼす影響

NBTIストレス電圧印加による V_T 変動を評価する上で問題になるのが、特性の回復である。III-2-I- (1)図 1-2-3-3 にストレス電圧印加中の I_{ds} の変化と、ストレス電圧解放直後の I_{ds} 変化を示す。ストレス電圧解放後は、Random Telegraph Noise (RTN)測定と同様に 10μ 秒間隔で連続測定を行った。 I_{ds} 測定中は $V_{gs} = -0.5$ Vに固定して測定を行った。これによると、今回測定したPMOSではストレス電圧を解放後1 m秒後に回復が始まっている。このように非常に短い時間で回復が始まるため、ストレス電圧印加中の測定は極力短時間で実施する必要がある[18-20]。本開発では、 V_{gs} 1点あたり 10μ 秒、 $V_{gs} = -0.2$ Vから -0.1 V間隔で -1.2 Vまで V_{gs} を変化させて1PMOS当たり 260μ 秒で I_{ds} - V_{gs} 特性を測定している。また、NBTI用のDMA-TEGでは、測定対象のPMOSだけストレス電圧が解放され、それ以外の非測定対象のPMOSについてはストレス電圧が印加され続け、特性が回復しないようになっている[16, 17]。しかし特性回復の時間依存性は、PMOSごとに異なっており、 I_{ds} の測定中に回復が始まってしまうPMOSが存在することもありうる。このため、測定された I_{ds} - V_{gs} 特性や、 V_T は回復の影響を受けている可能性がある。

16000個PMOSのストレス電圧印加と解放による V_T 変動を測定した。 V_T メディアン値と、 σV_T の変化III-2-I- (1)図 1-2-2-4 に示す。 V_T メディアン値は上昇、 σV_T は増大していることがわかる[11, 12, 15]。またストレス電圧解放 10^5 秒を経過した後も、ストレス電圧印加前の水準には戻らないことがわかる[3]。今回測定したデータを用いて、10年後の特性変動の見積もり方法を検討した。図 1-2-3-5には、メディアン V_T のストレス電圧印加前からの変動量($\Delta|\text{Median } V_T|$)とストレス電圧印加時間の関係を示す。 $\Delta|\text{Median } V_T|$ は次式の通り計算される。

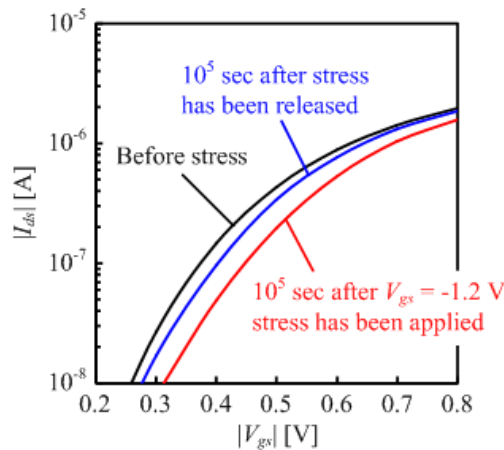
$$\Delta|\text{Median } V_T| = |\text{Median } V_T (\text{Stress application time})| - |\text{Median } V_T (\text{Before stress})| \quad (1-2-3-1)$$

また、 $\text{Log}(\Delta|\text{Median } V_T|)$ はストレス電圧印加時間の対数と比例しているため[2, 12]、線型外挿法により10年後

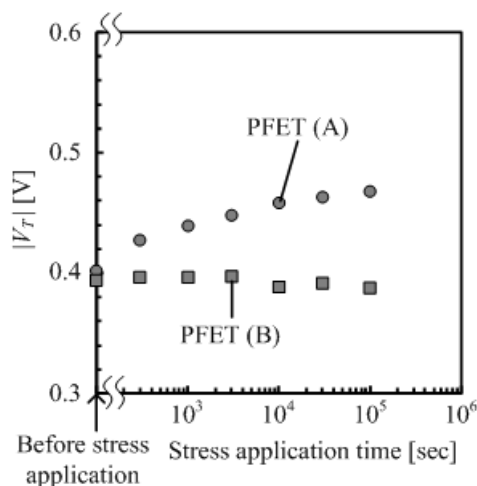
までの変化を予測した。 σV_T の変動量($\Delta(\sigma V_T)$)を次式に基づいて計算した。

$$\Delta(\sigma V_T) = \sqrt{\sigma V_T (\text{Stress application time})^2 - \sigma V_T (\text{Before stress})^2} \quad (1-2-3-2)$$

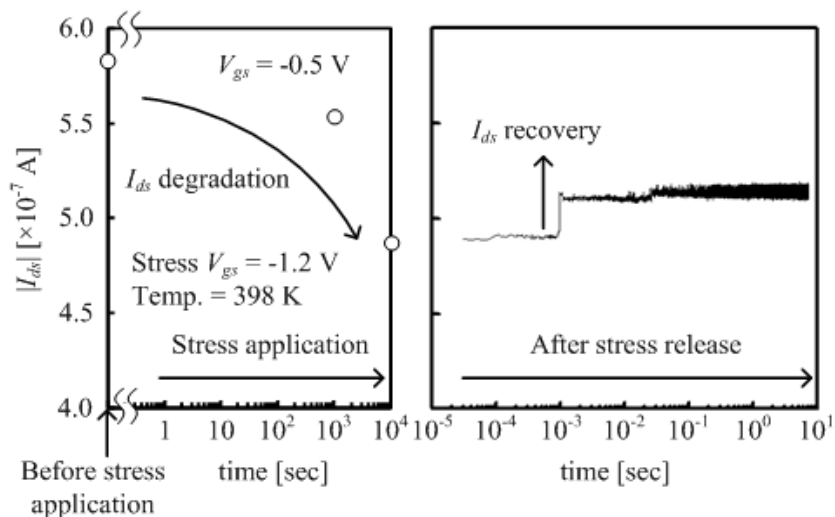
$\Delta(\sigma V_T)$ と変動量の対数を III-2-I- (1)図 1-2-3-6 に示す。Log($\Delta(\sigma V_T)$)とストレス電圧印加時間の対数と比例しているため[15]、線型外挿法により 10 年後までの変化を予測した。このようにして外挿した $\Delta|\text{Median } V_T|$ と、 $\Delta(\sigma V_T)$ から、メディアン V_T と σV_T の 10 年後の予測値を計算した。結果を III-2-I- (1)図 1-2-3-7 と、III-2-I- (1)図 1-2-3-8 に示す。これらの予測値から、メディアン V_T は 10 年後に 60 mV、 σV_T は 10 mV 増大することになる。そして一度劣化した特性は図 1-2-3-7 でも示したようにストレス電圧印加前の状態には戻らないと予想される[3]。



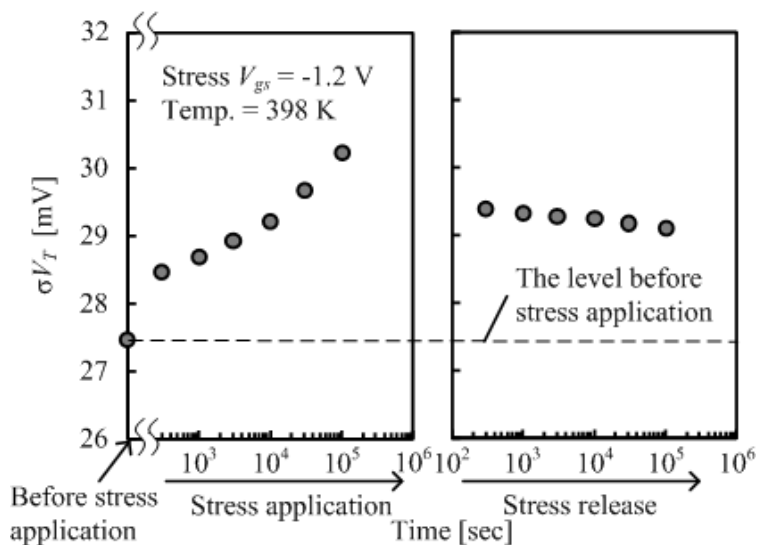
III-2-I- (1)図1-2-3-1. ストレス電圧印加および解放による、PMOSトランジスタの I_{ds} - V_{gs} 特性の変化の例。ストレス電圧印加により、 I_{ds} - V_{gs} 特性は、 $|V_T|$ が上昇する方向に変動する。ストレス電圧を解放すると、 $|V_T|$ が下降する方向に I_{ds} - V_{gs} 特性が変動する。



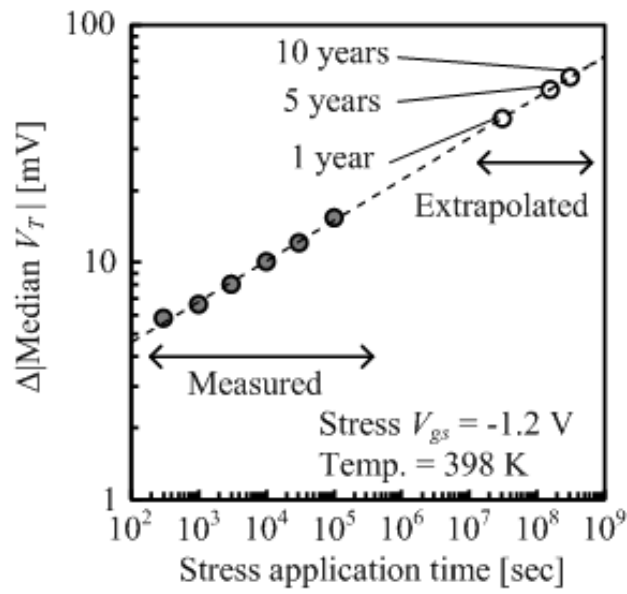
III-2-I- (1)図1-2-3-2 V_T 変動の時間依存性(測定)。PMOSトランジスタ(A)とPMOSトランジスタ(B)は同じチップ内にあるが、 V_T 変動の時間依存性は異なる。



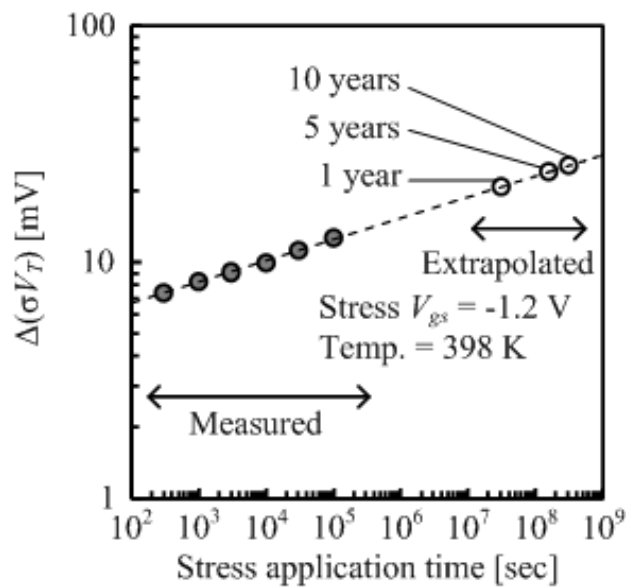
III-2-I- (1)図1-2-3-3. ストレス電圧印加中、およびストレス電圧解放直後のPMOSトランジスタにおける I_{ds} の変化の測定値。ストレス電圧を解放して、1m秒後には回復が始まっている。



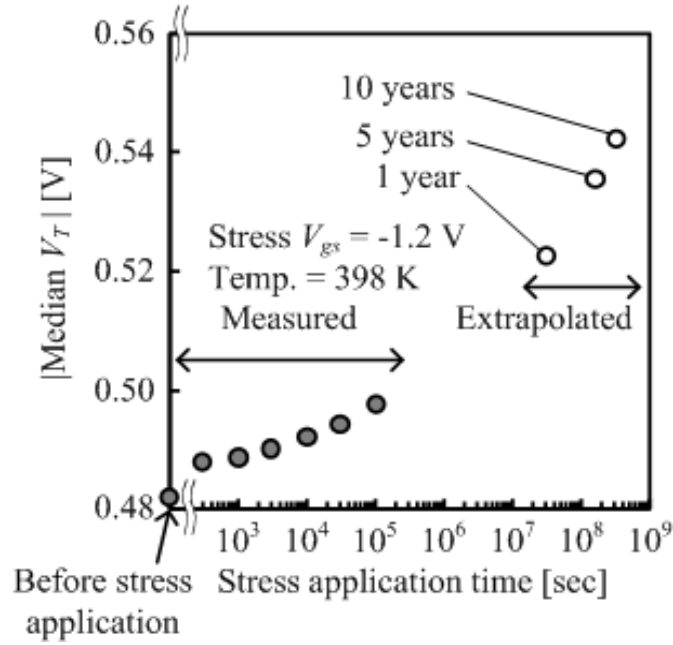
III-2-I- (1)図1-2-3-4 ストレス電圧印加及び解放による、(a)メディアン V_T 、(b) σV_T の測定値。ストレス電圧の解放により、特性は元の状態に向って回復するが、ストレス印加前の状態までは戻らない。



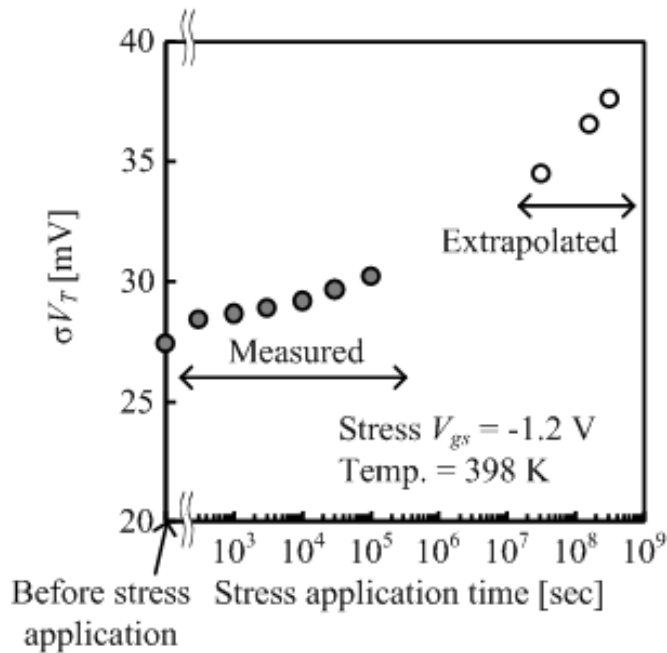
III-2-I- (1)図1-2-3-5. メディアン V_T の変動量($\Delta|\text{Median } V_T|$)の時間依存性(測定値)。1年後から10年後のデータは、300秒から 10^5 秒までの測定結果を外挿したものである。



III-2-I- (1)図1-2-3-6. σV_T の変動量($\Delta(\sigma V_T)$)の時間依存性(測定値)。1年後から10年後のデータは、300秒から 10^5 秒までの測定結果を外挿したものである。



III-2-I- (1)図1-2-3-7. 図1-2-3-5の $\Delta|Median V_T|$ と、式(1-2-3-1)を用いて外挿した、 $|Median V_T|$ の時間外挿値。



III-2-I- (1)図1-2-3-8. 図1-2-3-6の $\Delta(\sigma V_T)$ と、式(1-2-3-2)を用いて外挿した、 σV_T の時間外挿値。

1-2-3-3. NBTIストレス電圧印加による V_T ばらつき評価・解析のまとめ

デバイス特性ばらつきに与える、実製品使用負荷の影響を調べるために、加速した実使用負荷を印加して V_{th} ばらつきを評価した。負荷解放後の特性回復現象を最小とし正確な特性ばらつきを評価するために、1-1 で述べた専用の評価 TEG と超高速測定システムとを開発し、測定の妥当性、従来手法からの改善を検証した。10⁵ 秒の加速負荷を印加した後の測定データを用いて、ばらつきを含む 10 年後までの特性変動予測を

行うことを可能にした。予測されたメディアン V_T や σV_T の変化量は小さくなく、高温環境化で長時間の信頼性が要求される LSI では、メディアン V_T だけでなく σV_T の変動も評価することが重要であることを示した。

参考文献

- [1] N. Kimizuka, K. Yamaguchi, K. Imai, T. Iizuka, C.T. Liu, R.C. Keller and T. Horiuchi, “NBTI enhancement by nitrogen incorporation into ultrathin gate oxide,” in *Symp. VLSI Tech. Dig.*, 2000, pp. 92-93.
- [2] S. Mahapatra and M. A. Alam, “A Predictive Reliability Model for PMOS Bias Temperature Degradation,” in *IEDM Tech. Dig.*, 2002, pp. 505-508.
- [3] V. Huard, C. Parthasarathy, N. Rallet, C. Guerin, M. Mammase, D. Barge, C. Ouvrard, “New characterization and modeling approach for NBTI degradation,” in *IEDM Tech. Dig.*, 2007, pp. 797-800.
- [4] T. Grasser, B. Kaczer, P. Hehenberger, W. Gös, R. O’Connor, H. Reisinger, W. Gustin, and C. Schlünder, “Simultaneous Extraction of Recoverable and Permanent Components Contributing to Bias-Temperature Instability,” in *IEDM Tech. Dig.*, 2007, pp. 801-804.
- [5] E. N. Kumar, V. D. Maheta, S. Purawat, A. E. Islam, C. Olsen, K. Ahmed, M. A. Alam, and S. Mahapatra, “Material Dependence of NBTI Physical Mechanism in Silicon Oxynitride (SiON) p-MOSFETs: A Comprehensive Study by Ultra-Fast On-The-Fly (UF-OTF) I_{DLIN} Technique,” in *IEDM Tech. Dig.*, 2007, pp. 809-812.
- [6] T. Grasser, H. Reisinger, W. Goes, Th. Aichinger, Ph. Hehenberger, P.-J. Wagner, M. Nelhiebel, J. Franco, and B. Kaczer, “Switching Oxide Traps as the Missing Link Between Negative Bias Temperature Instability and Random Telegraph Noise,” in *IEDM Tech. Dig.*, 2009, pp. 729-732.
- [7] A. E. Islam, S. Mahapatra, S. Deora, V. D. Maheta, and M. A. Alam, “On the Differences between Ultra-fast NBTI Measurements and Reaction-Diffusion Theory,” in *IEDM Tech. Dig.*, 2009, pp. 733-736.
- [8] Z. Q. Teo, D. S. Ang, and K. S. See, “Can the Reaction-Diffusion Model Explain Generation and Recovery of Interface States Contributing to NBTI?,” in *IEDM Tech. Dig.*, 2009, pp. 737-740.
- [9] B. Kaczer, T. Grasser, Ph. J. Roussel, J. Martin-Martinez, R. O’Connor, B. J. O’Sullivan, G. Groeseneken, “UBIQUITOUS RELAXATION IN BTI STRESSING—NEW EVALUATION AND INSIGHTS,” in *Proc. Int. Rel. Phys. Symp.*, 2008, pp. 20-27.
- [10] M. Agostinelli, S. Pae, W. Yang, C. Prasad, D. Kencke, S. Ramey, E. Snyder, S. Kashyap, and M. Jones, “Random charge effects for PMOS NBTI in ultra-small gate area devices,” in *Proc. Int. Rel. Phys. Symp.*, 2005, pp. 529-532.
- [11] V. Huard, C. Parthasarathy, C. Guerin, T. Valentin, E. Pion, M. Mammase, N. Planes and L. Camus, “NBTI Degradation: From Transistor To SRAM Arrays,” in *Proc. Int. Rel. Phys. Symp.*, 2008, pp. 289-300.
- [12] H. Aono, E. Murakami, K. Shiga, F. Fujita, S. Yamamoto, M. Ogasawara, Y. Yamaguchi, K. Yanagisawa, and K. Kubota, “A Study of SRAM NBTI by OTF measurement,” in *Proc. Int. Rel. Phys. Symp.*, 2008, pp. 67-71.
- [13] B. Kaczer, T. Grasser, Ph. J. Rouse, J. Franco, R. Degraeve, L.-A. Ragnarsson, E. Simoen, G.

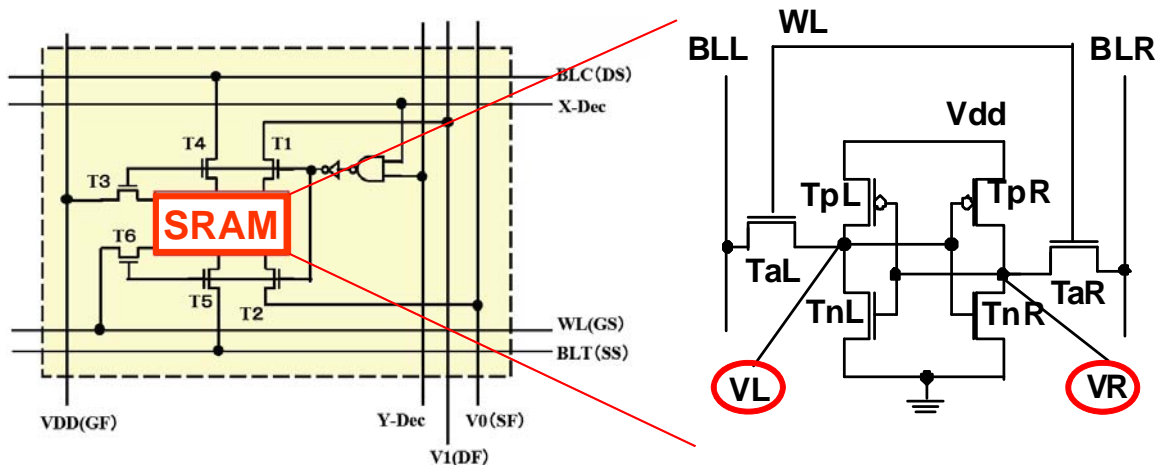
- Groeseneken, H. Reisinger, "Origin of NBTI Variability in Deeply Scaled pFETs," in *Proc. Int. Rel. Phys. Symp.*, 2010, pp. 26-32.
- [14] T. Fischer, E. Amirante, K. Hofmann, M. Ostermayr, P. Huber, and D. S. Landsiedel, "A 65nm test structure for the analysis of NBTI induced statistical variation in SRAM transistors," in *Proc. ESSDERC*, 2008, pp. 51–54.
- [15] S. Pae, J. Maiz, C. Prasad, and B. Woolery, "Effect of BTI Degradation on Transistor Variability in Advanced Semiconductor Technologies," *IEEE Transactions on Device and Materials Reliability*, vol. 8, no. 3, pp. 519-525, 2008.
- [16] T. Hiramoto, "Robust Design of Transistor Technology," in *Abst. Debrief session of MIRAI project*, 2009, pp. 33-45.
- [17] T. Hiramoto, "Robust Design of Transistor Technology," in *Abst. Debrief session of MIRAI project*, 2010, pp. 37-49.
- [18] C. Shen, M. F. Li, X. P. Wang, H. Y. Yu, Y. P. Feng, A. T.-L. Lim, Y. C. Yeo, D. S. H. Chan, D. L. Kwong, "Negative U Traps in HfO₂ Gate Dielectrics and Frequency Dependence of Dynamic BTI in MOSFETs," in *IEDM Tech. Dig.*, 2004, pp. 733-736.
- [19] J. P. Campbell "NBTI: Confusion, Frustration, and...Promise?," in *Int. Rel. Phys. Symp.*, 2010, *Tutorial*, 122.
- [20] M. Denais, A. Bravaix, V. Huard, C. Parthasarathy, G. Ribes, F. Perrier, Y. Rey-Tauriac, N. Revi, "On-the-fly characterization of NBTI in ultra-thin gate oxide PMOSFET's," in *IEDM Tech. Dig.*, 2004, pp. 109-112.

1-2-4. SRAM特性ばらつきの評価・解析

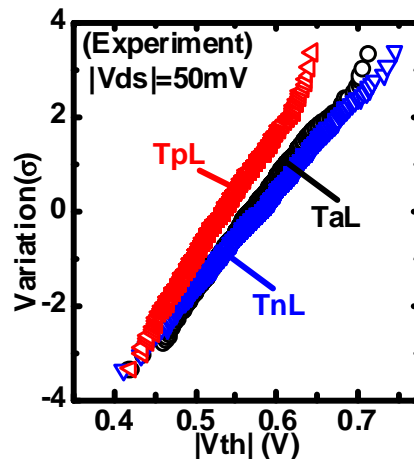
本章では、本開発で試作した 16k ビットの SRAM(Static Random Access Memory)の DMA-TEG とその評価結果を述べた後に、SRAM セルの不安定性メカニズムの解明結果について述べる。トランジスタのばらつきに起因する SRAM セルの不安定性は、集積回路における最大の課題の一つである。論理 LSI の歩留りや最低動作電圧 V_{dmin} は SRAM で決まることが多い。したがって、SRAM セルの不安定性をトランジスタレベルで解析し SRAM の安定性を向上させることが不可欠である。しかし、大規模な SRAM セルの SNM や個々のトランジスタ特性を直接測定し統計データをとることはこれまで困難であった。また、回路シミュレーションによる SNM や V_{dmin} は必ずしも実測とは一致しないことが多かった。

1-2-4-1. SRAMのDMA-TEG

16k ビット SRAM DMA-TEG は、以前に我々が試作したトランジスタの完全分離型 DMA-TEG をもとに、DUT を SRAM セルに置き換えて設計した。III-2-I- (1)図 1-2-4-1 に示したとおり、セルから、 V_{dd} 、 GND 、 WL 、 BLL 、 BLR のみでなく、内部記憶ノード VL と VR も引き出した。したがって、SNM と個々のトランジスタ特性を直接測定することが可能である。III-2-I- (1)図 1-2-4-2 は、測定した PMOS、ドライバ NMOS、アクセス NMOS の線形領域における V_{th} の累積度数分布である。個々のトランジスタの V_{th} は正規分布していることが確認できる。



III-2-I- (1)図 1-2-4-1 SRAM DMA TEG の回路模式図と、6トランジスタ SRAM の回路図

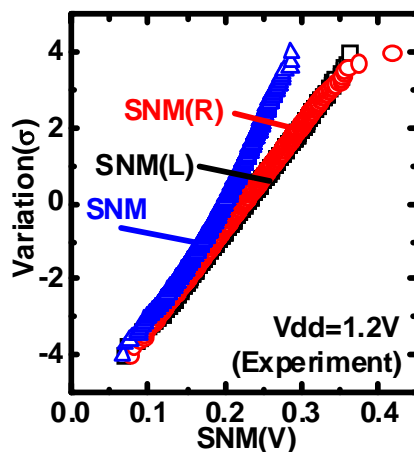


III-2-I- (1)-P93

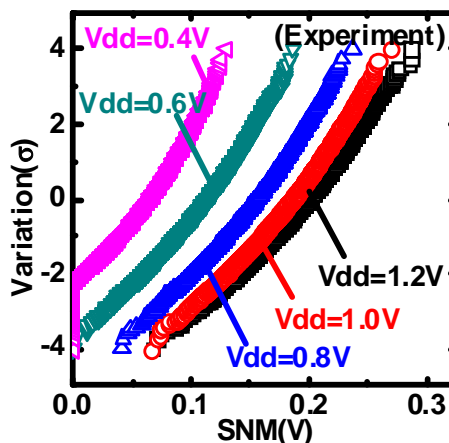
1-2-4-2. SNMの測定とばらつき解析

III-2-I- (1)図 1-2-4-3 は、測定した 16k ビットセルの SNM の累積度数分布である。SNM は、左右の SNM(SNM(L)と SNM(R))の小さい方で定義される。SNM は正規分布から外れているが、片側の SNM(SNM(L)と SNM(R))はいずれも $\pm 4\sigma$ まで正規分布に従っていることがわかる。この結果は、大規模 SRAM の安定性を予測する際に極めて有用である。

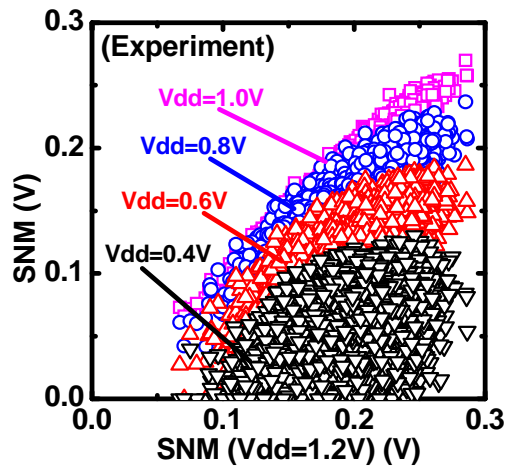
III-2-I- (1)図 1-2-4-4 に、測定した SNM の電源電圧 V_{dd} 依存性を示す。低い V_{dd} では SNM が劣化していくことがわかる。III-2-I- (1)図 1-2-4-5 は、 $V_{dd}=1.2V$ における SNM と低い V_{dd} における SNM との相関である。注目すべきことは、 $V_{dd}=1.2V$ の SNM と $V_{dd}=0.4V$ の SNM の相関が極めて低いことである。III-2-I- (1)図 1-2-4-6 に示したとおり、 $V_{dd}=1.2V$ における SNM は大きいとしても $V_{dd}=0.4V$ ではセルによって大きく異なり、 $V_{dd}=0.4V$ で Fail するビットも存在している。III-2-I- (1)図 1-2-4-7 のように、セルによって V_{dd} 依存性は大きく異なる。



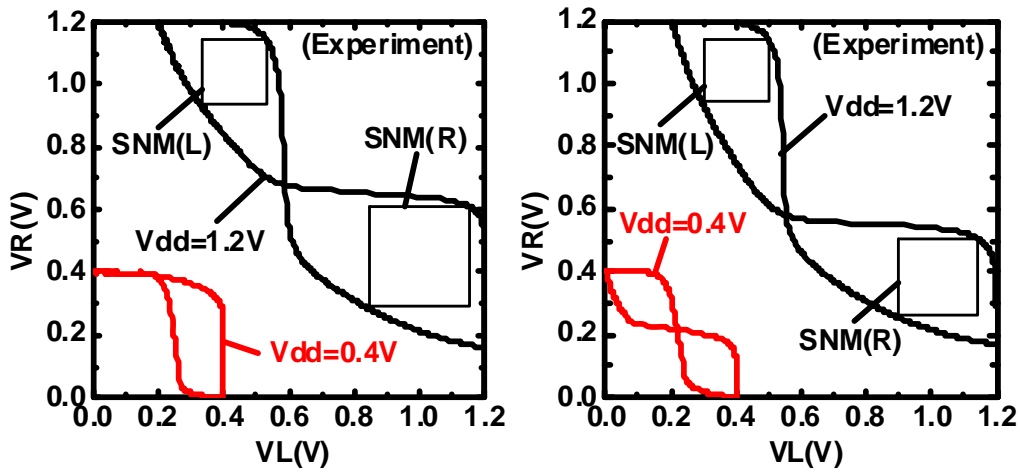
III-2-I- (1)図 1-2-4-3 SRAM DMA TEG で測定した SNM の累積度数分布



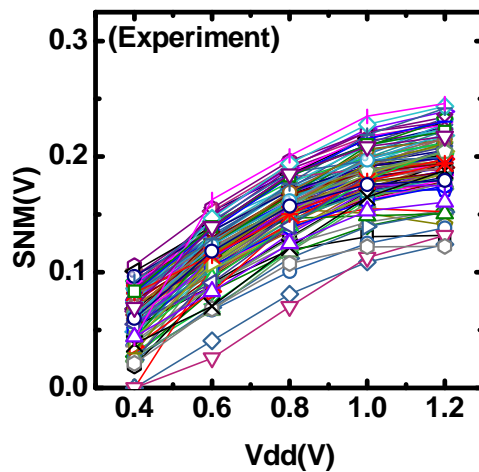
III-2-I- (1)図 1-2-4-4 SRAM DMA TEG で測定した SNM 分布の電源電圧依存性



III-2-I- (1)図 1-2-4-5 1.2VにおけるSNMとその他の電源電圧におけるSNMとの相関



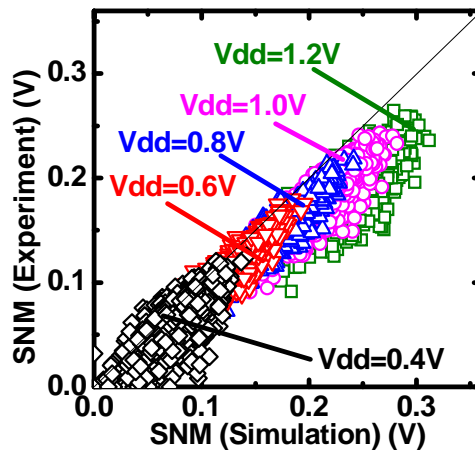
III-2-I- (1)図 1-2-4-6 1.2VにおけるSNMが同じ2つのセルにおけるバタフライカーブ



III-2-I- (1)図 1-2-4-7 SNMの電源電圧(V_{dd})依存性

1-2-4-3. 測定 V_{th} を用いたシミュレーションによるSNMばらつき解析

SRAM DMA-TEG では、セル内の6つのトランジスタの V_{th} をそれぞれ直接測定することができるため、それらの実測 V_{th} を用いてSNMの回路シミュレーションを行うことが可能である。III-2-I-(1)図1-2-4-8は、実測のSNMとシミュレーションによるSNMの比較である。実測SNMのばらつきが大きく、大多数のセルでは、実測 V_{th} を用いているにもかかわらずシミュレーションのSNMの方が実測SNMより大きい。この原因は、このシミュレーションでは実測の V_{th} のみしか考慮しておらず、電流ばらつきやDIBLばらつきを考慮していないためと考えられる。



III-2-I-(1)図1-2-4-8 実測 V_{th} を用いて行ったSNMの回路シミュレーションと、実測したSNMとの相関

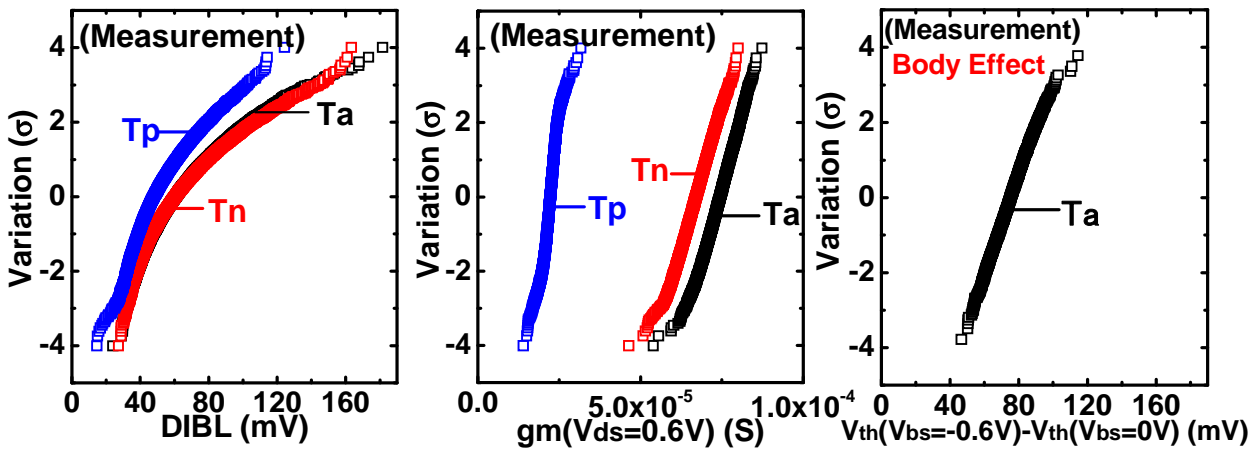
1-2-4-4. DIBL、 g_m 、基板バイアス係数の影響

そこで、DIBL、 g_m 、基板バイアス係数のばらつきを実測した。その結果をIII-2-I-(1)図1-2-4-9に示す。 V_{th} 以外のパラメータも大きくばらついていることがわかる。ここでは、 V_{th} は飽和領域の電流一定法で定義したしきい値である。また、ドライバMOSをTn、アクセスMOSをTa、負荷MOSをTpと表記する。

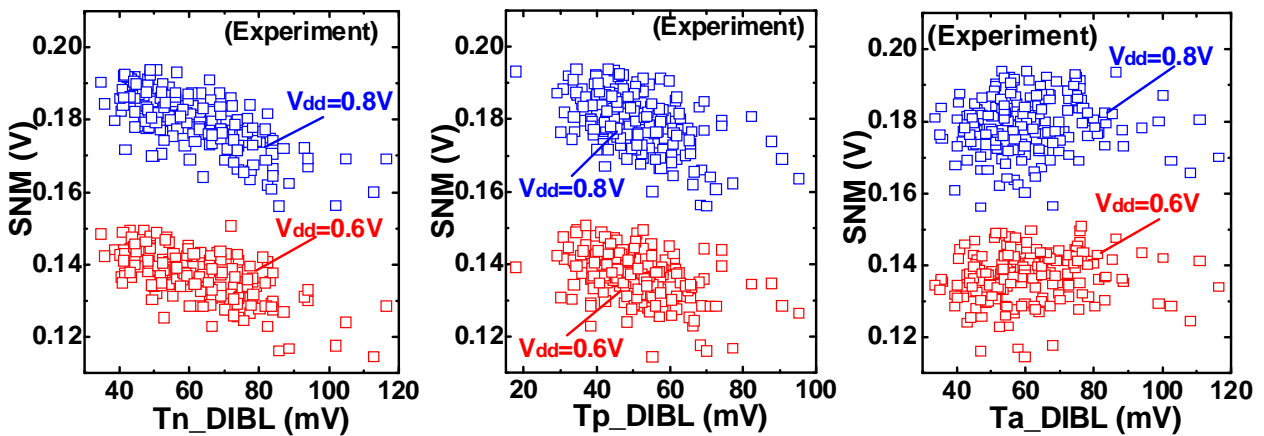
V_{th} ばらつき以外のパラメータがSNMに与える影響を調べるため、ユニークな方法を用いた。16KのSRAMには32kの-halfセル(以下、HCと表す)が存在する。その中から3つのトランジスタの V_{th} が等しいHCを抽出した。これにより V_{th} ばらつきの効果は除外できる。III-2-I-(1)図1-2-4-10に抽出した183個のHCにおけるSNMと各トランジスタのDIBLとの関係を示す。明らかにTnとTpのDIBLによりSNMが劣化していることがわかる。一方、TaのDIBLはSNMに影響を与えない。また、 g_m (III-2-I-(1)図1-2-4-11)と基板バイアス係数についてもこのような依存性は観測されなかった。これらの結果より、DIBLばらつきがSNMばらつきに大きな影響を与えることが明らかとなった。

実測した V_{th} 、 g_m 、DIBLを用いてSNMのシミュレーションを行い、実測したSNMと比較した。先にIII-2-I-(1)図1-2-4-8で示したとおり、実測の V_{th} のみを用いても回路シミュレーションと実測のSNMは位置しない。ところが、実測の V_{th} 、 g_m に加えてDIBLも用いて回路シミュレーションを行うと、III-2-I-(1)図1-2-4-12のように実測とシミュレーションがよく一致する。以上の結果より、SRAMの安定性を定量的に設計

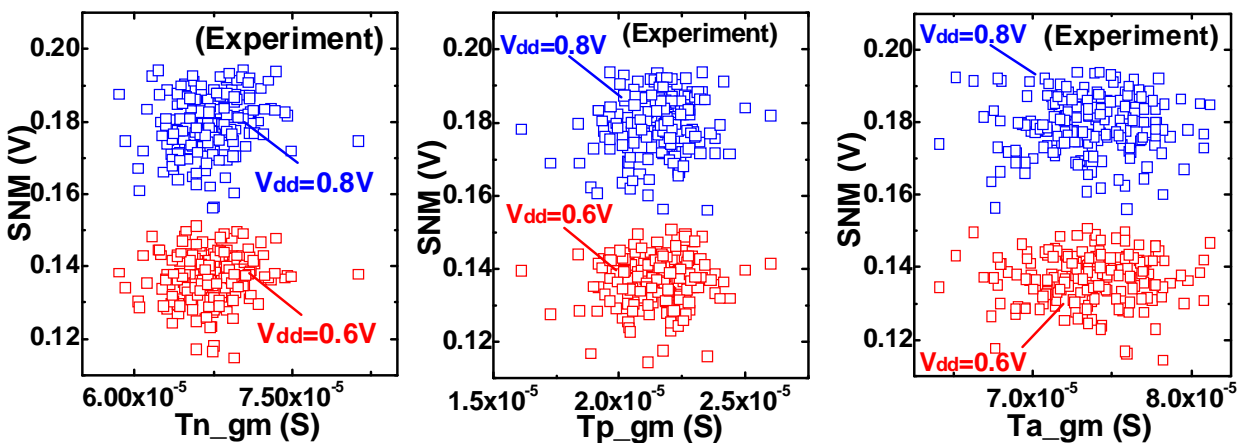
するためには、DIBL ばらつきをシミュレーションに取り入れることが必須であることが明らかとなった。



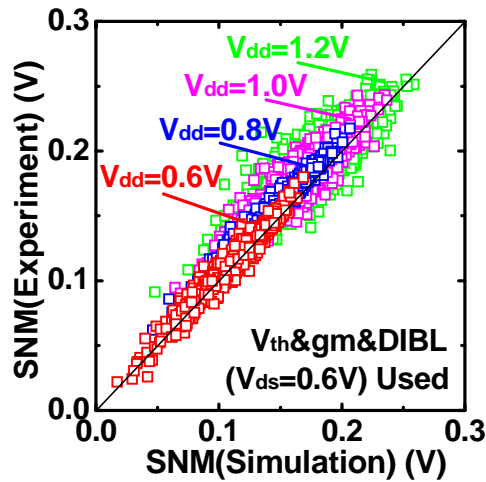
III-2-I- (1)図 1-2-4-9 DIBL, g_m , 基板バイアス係数の累積度数分布



III-2-I- (1)図 1-2-4-10 T_n , T_p , T_a における DIBL と SNM との相関



III-2-I- (1)図 1-2-4-11 T_n , T_p , T_a における g_m と SNM との相関



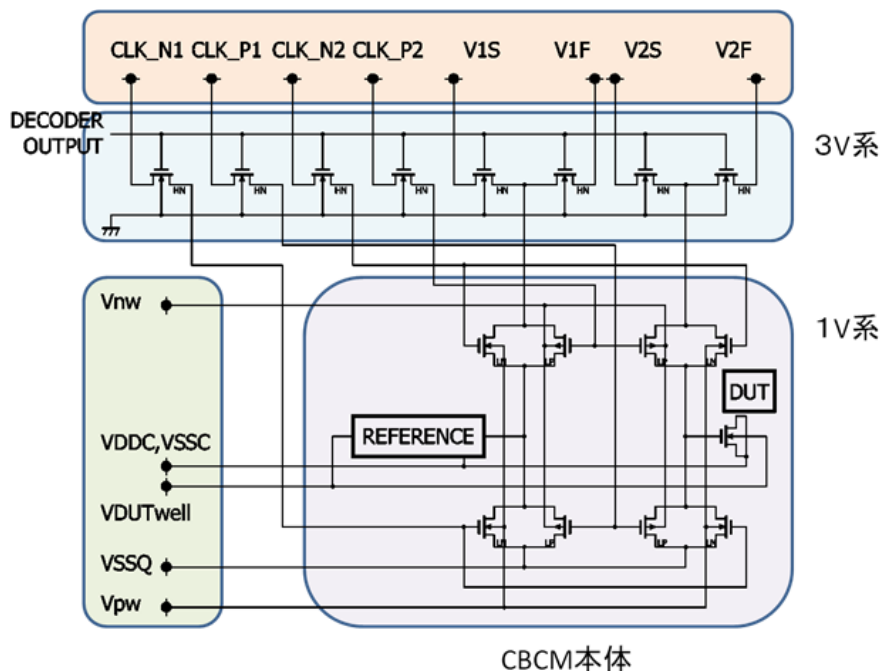
III-2-I- (1)図 1-2-4-10 実測 V_{th} に加えて実測の DIBL, g_m も用いて行った SNM の回路シミュレーションと, 実測した SNM との相関

1-2-4-5.SRAM特性ばらつき評価・解析のまとめ

SRAM ミニアレイを DUT に置き換えて、SRAM の SNM 特性と、SRAM を構成する個々の MOS トランジスタの単体特性が評価可能な DMA-TEG を開発した。開発した DMA-TEG を用いて、SRAM の SNM ばらつきや各トランジスタの V_{th} 、DIBL、 g_m 、基板バイアス係数を実測し、それぞれの相関を調べた。その結果、SRAM の安定性には、 V_{th} のばらつきのみではなく、DIBL のばらつきがが大きく影響を与えていることを明らかにした。SRAM の安定性を正確に見積もるには、DIBL ばらつきを考慮し、その改善が重要、かつ必須であるという指針を得た。

1-2-5. ゲート容量ばらつきの評価・解析

ゲート容量特性が正確に得られると MOSFET の重要なパラメータであるしきい値(V_{th})、等価酸化膜厚(EOT)、フラットバンド電圧(V_{fb})等を求めることが可能となる。そして、多数のゲート容量特性が測定できれば、そのばらつきから上述のパラメータばらつきを推定することが可能となる。よって、ゲート容量ばらつきを得るために、実寸法における多数の MOSFET ゲート容量を効率よく測定するための DMA-TEG を開発した。ゲート容量は CBCM (Charge-Based Capacitance Measurement) を用いて測定を行った。この測定方法は回路の DC 電流を測定することで簡便に容量を求めることができる。また、その測定精度は sub-fF のオーダーを有することから、近年では MOSFET の容量測定にも応用されている。開発した DMA-TEG は DUT を含む 64 個(=8 行×8 列)のセルとそれを選択するデコーダ回路から構成される。この DMA-TEG は 64 個のセルのうち、デコーダ回路の出力により Column 線と Row 線の両方がアクティブになるセルが一つだけ選択される。III-2-I-(1)図 1-2-5-1 にセルの等価回路図を示す。

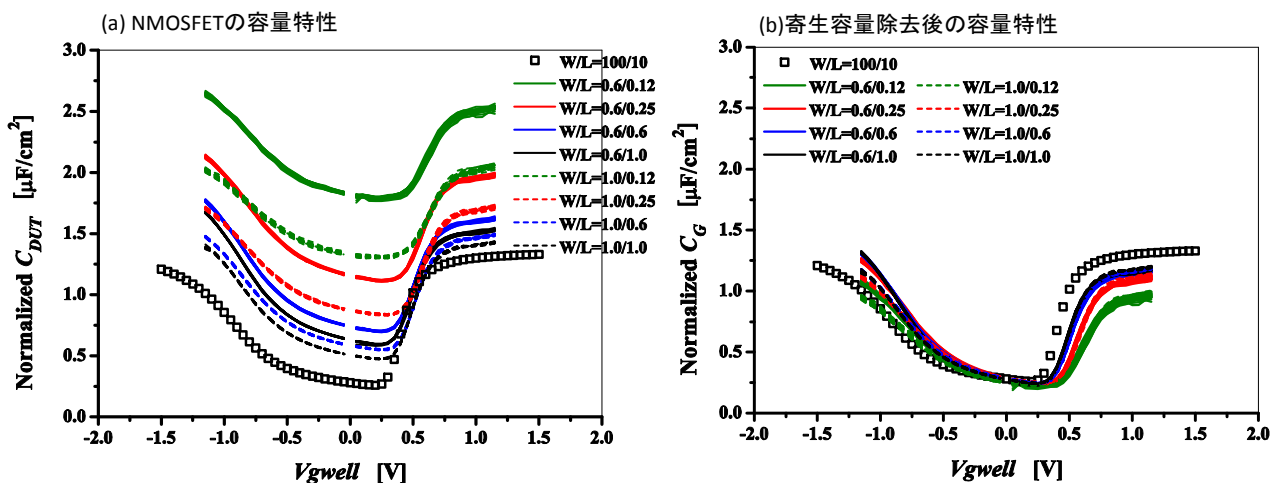


III-2-I-(1)図 1-2-5-1. ユニットセルの等価回路図

1 つのセルは、主に 3.3V 系 0.6 μ m プロセスで設計されたトランジスタから成る NMOS トランスファゲート部(III-2-I-(1)図 1-2-5-1 の水色の領域)と 1.2V 系 65 nm プロセスで設計されたトランジスタから成る CBCM 本体部(III-2-I-(1)図 1-2-5-1 の薄紫の領域)に分けられる。選択されたセルは、デコーダ回路の出力を受けた NMOS トランスファゲート部がオン状態となり、薄橙で囲まれた CLK_N1 から V2F の端子に印加されたバイアス電圧が CBCM 本体部に導通する。DUT は CBCM 本体部の直列接続された 2 つのトランスマッションゲート の中間ノードに接続されている。このトランスマッションゲートに外部から端子 CLK_N1/P1/N2/P2 を通じて与えられる制御パルスにて DUT への充放電を引き起こす。V1F/S、V2F/S の端子は、CBCM 本体部に正確にバイアス電圧を印加するために、ケルビン接続を採用している。それらの端

子における F と S はそれぞれ Force と Sense を表しており、端子 V1F と V2F を流れる DC 電流を測定することで DUT のゲート容量を求めることができる。一方、薄緑で囲まれた V_{nw} から V_{pw} までの端子に印加される電圧は全 64 セル共通にバイアスされる。

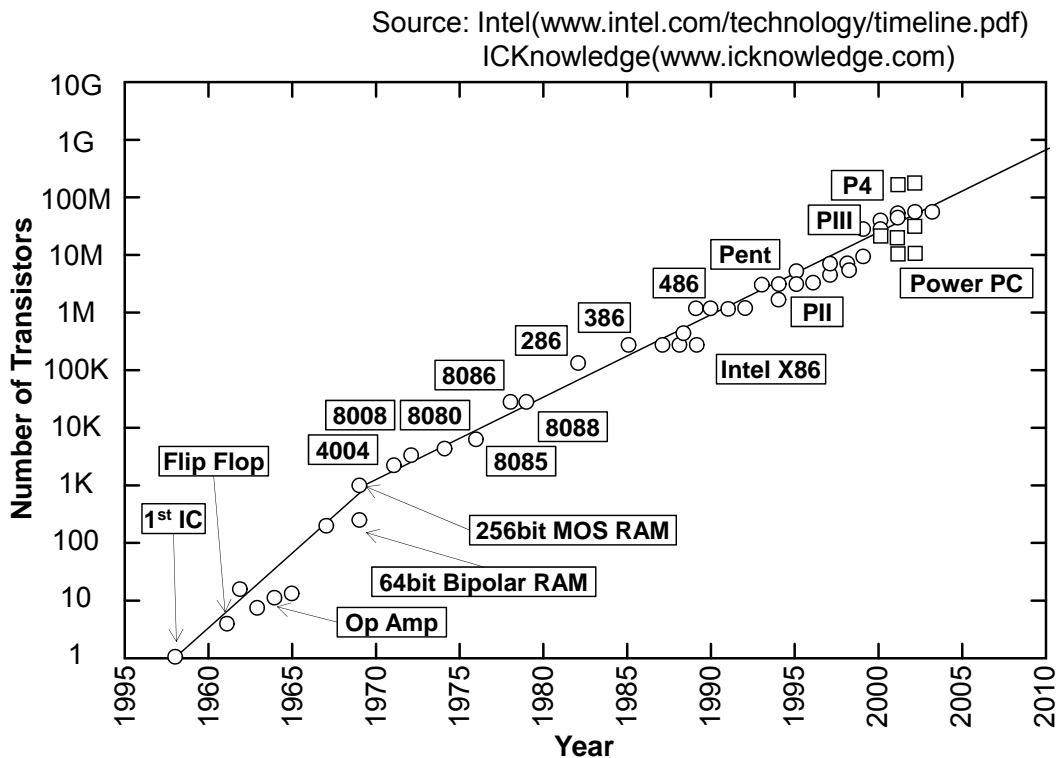
上記のような DMA-TEG を用いて CBCM 法により、MOSFET のゲート容量特性を測定した。DUT が NMOS の場合の結果を例として、III-2-I- (1) 図 1-2-5-2(a) に示す。図の横軸は DUT のゲート-ウェル間にかかる実効電圧 V_{gwell} である。縦軸は得られた DUT の容量 C_{DUT} を各ゲート面積 LW で割って規格化している。得られた容量特性は、いわゆる MOSFET の蓄積状態から空乏・反転状態へとゲート電圧に応じて変化する $C-V$ (capacitance-voltage) 曲線を示していることがわかる。また、各サイズにおいて 24 個分の容量特性が示されており、それぞれのサイズにおいて容量特性がばらつきを持っていることがわかる。図の □ で表される容量特性は、 $W=100\mu\text{m}$ 、 $L=10\mu\text{m}$ のサイズのもので、これは CBCM ではなく一般的な方法にて容量評価用素子から得られたものである。単位面積当たりの容量が同じにならず、素子サイズが小さくなるにつれて容量特性が上にシフトしているのは、DUT に含まれる寄生容量のためである。この DUT に含まれる寄生容量を除去した後の容量特性を III-2-I- (1) 図 1-2-5-2(b) に示す。□ で示される容量評価用素子の特性とよく一致していることがわかる。よって本開発の結果、MOSFET のサイズ効果を取り除くことができ、ゲート容量が精度よく測定できることがわかる。



III-2-I- (1) 図 1-2-5-2. 容量特性

1-2-6. 超大規模DMA-TEGの特性ばらつき評価・解析

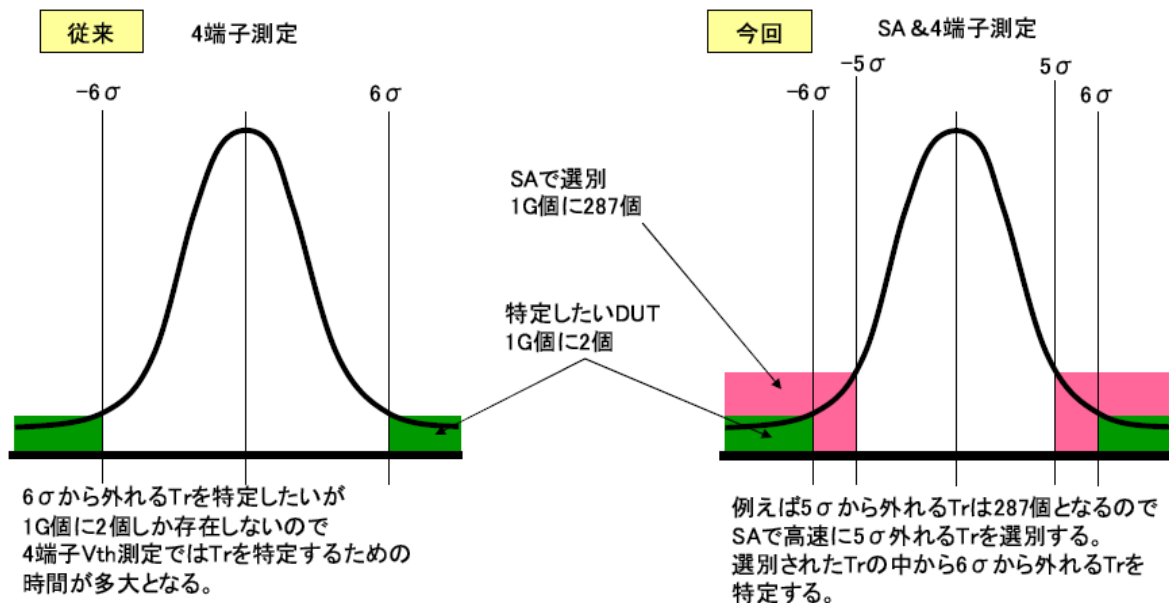
本開発の前期では、正確なランダムばらつきを評価するため、 $\pm 5\sigma$ が検出できる 1M、 10^6 個レベルの DMA-TEG (Device Matrix Array Test Element Group)を設計した。この DMA-TEG は、パラメトリックテストを用いたトランジスタの基本特性を並列に測定することで大量なデータを取得し、これにより特性ばらつきの評価、ランダムばらつきの精密な評価が可能となる。その結果、MOS トランジスタのランダム V_{th} 分布は正規性の高い分布を示しており[1][3][4]、正規性から外れる異常な振る舞い示す MOSトランジスタを観察することはできなかった。さらに、Takeuchi プロットにより規格化することにより、製造したプロセスノード、工場によらず、標準偏差 σ から製品規模の特性ばらつきを予測することが可能であることを示した[5][6]。チャンネルにランダムに添加した離散不純物分布(RDF: Random Dopant Fluctuation)モデルは、チャンネルに平均的に N 個の不純物が存在する場合、標準偏差が \sqrt{N} で与えられるため、チャンネル不純物数がこのように分布する場合、 V_{th} 分布が高い正規性を示す。しかしながら、RDF モデルは1次元方向の不純物数をのみを考慮した V_{th} 計算モデルであるため、パーコレーション効果などの2次元的な効果、たとえば短チャンネル効果等が考慮されていない。微細 MOS トランジスタのチャンネル不純物の揺らぎは、 V_{th} ばらつきだけではなく、短チャンネル特性への影響も考慮する必要がある。また、近年、III-2-I-③-(1)図 1-2-6-1 に示すように製品レベルで配置されるトランジスタ数は 10^9 個(1G 個)レベルに達しており[2]、1M レベルの DMA-TEG では2次元効果で加速されるばらつき現象を検出できなかった可能性がある。そこで、本開発では、1G レベルの DMA-TEG を設計し、実際に上記した効果でばらつきが加速するビットが存在する可能性を調べた。



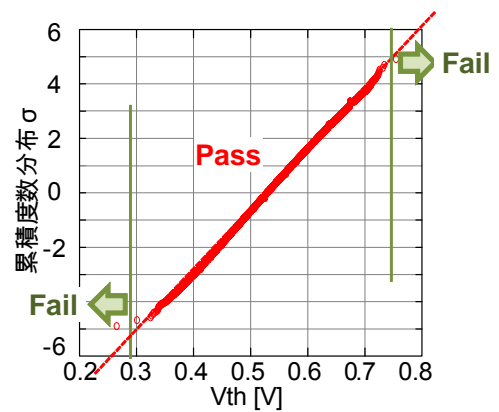
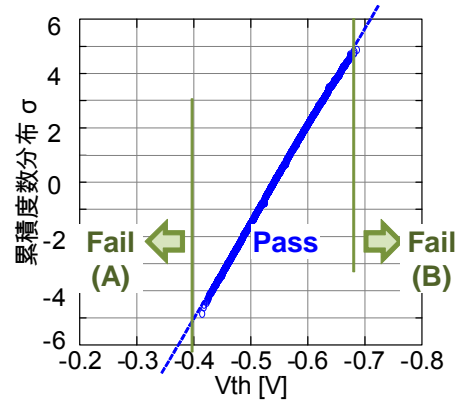
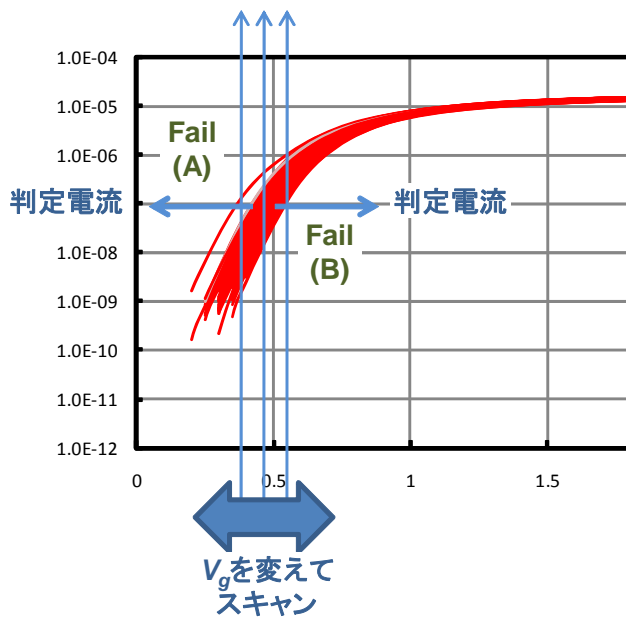
III-2-I-③-(1)図 1-2-6-1 製品規模のトレンド

MOS トランジスタのランダム V_{th} ばらつきが高い正規性を示すことから、本開発で設計した超大規模は、III-2-I-③-(1)図 1-2-6-2 に示す V_{th} 分布の裾の MOS トランジスタの詳細特性を評価し、特性ばらつきの原因

解析を実施することが目的である。しかしながら、従来法により裾ビットの検出をするためにはすべてのビット (10^9 個)の電気特性評価が必要であり、現実的な時間での評価は不可能である。従来の DMA-TEG では約 2.5 時間にて 10^6 個の V_{th} 分布の評価が可能であったが[3][4]、 $1G$ 個のトランジスタの V_{th} を評価するためには単純に 10^3 倍の時間が必要となり、その測定は非現実的になる。この課題を解決するために、III-2-I-③-(1)図 1-2-6-3(a)で示すように MOS トランジスタのあるゲート電圧(V_g)におけるドレイン電流(I_{ds})と判定電流を比較し、その大小を Pass/Fail 判定する回路を設計した。 V_g を変化することで、最終的に III-2-I-③-(1)図 1-2-6-3(b)で示す裾ビットを特定し、このビットのみ I_{ds} - V_g 波形で代表される MOS 特性を評価する。具体的には DUT に印加する V_g を変えて、判定電流と DUT に流れる I_{ds} を比較し、たとえば低 V_{th} の DUT を評価する際には $V_g=0.5V$ から $50mV$ ずつ V_g を下げて、Pass/Fail 判定し、最終的に Fail 数が非常に少なくなった時点で Fail した DUT のアドレスを記憶する。高 V_{th} の DUT についても同様で、 $V_g=0.5V$ から $50mV$ ずつ V_g 上げて Pass/Fail 判定する。我々の評価で、 $V_{th}=0.5V$ 程度の NMOS では σV_{th} が約 $40mV$ 、 $V_{th}=-0.5V$ 程度の PMOS では σV_{th} が約 $20mV$ であることが分かっているため、DUT の V_g スキャン幅はある程度予測することが可能であり、これにより大幅に $\pm 5\sigma$ から外れた DUT の評価時間を大幅に短くすることができる。このようなコンセプトの元、III-2-I-③-(1)表 1-2-6-1 に示すように、1 チップ当たり $256M$ 個の最小加工寸法の MOS トランジスタを DUT として配置し、動作温度も通常の製品で保証される $85^\circ C$ まで動作可能な、超大規模 DMA-TEG を設計した。 $\pm 5\sigma$ から外れるデバイスの詳細特性評価を実施することから、各 DUT 個別のアドレスを選択して、4 端子測定できる機能も盛り込んでいる。また、1-1-2 でも述べたように、長距離配線による電圧降下を抑制するために、チップ内で MAT を 4 分割し、各 MAT に判定回路(センスアンプ、以下 S/A と表記)を配置している(III-2-I-③-(1)図 1-2-6-4)。S/A は、III-2-I-③-(1)図 1-2-6-5 に示すように、外部からの判定電流 I_{REF} と DUT の MOS トランジスタに印加するゲート電圧 V_{GF} を変えて流れる電流 I_{DUT} を比較して、Pass/Fail 信号を出力する回路構成となっている。



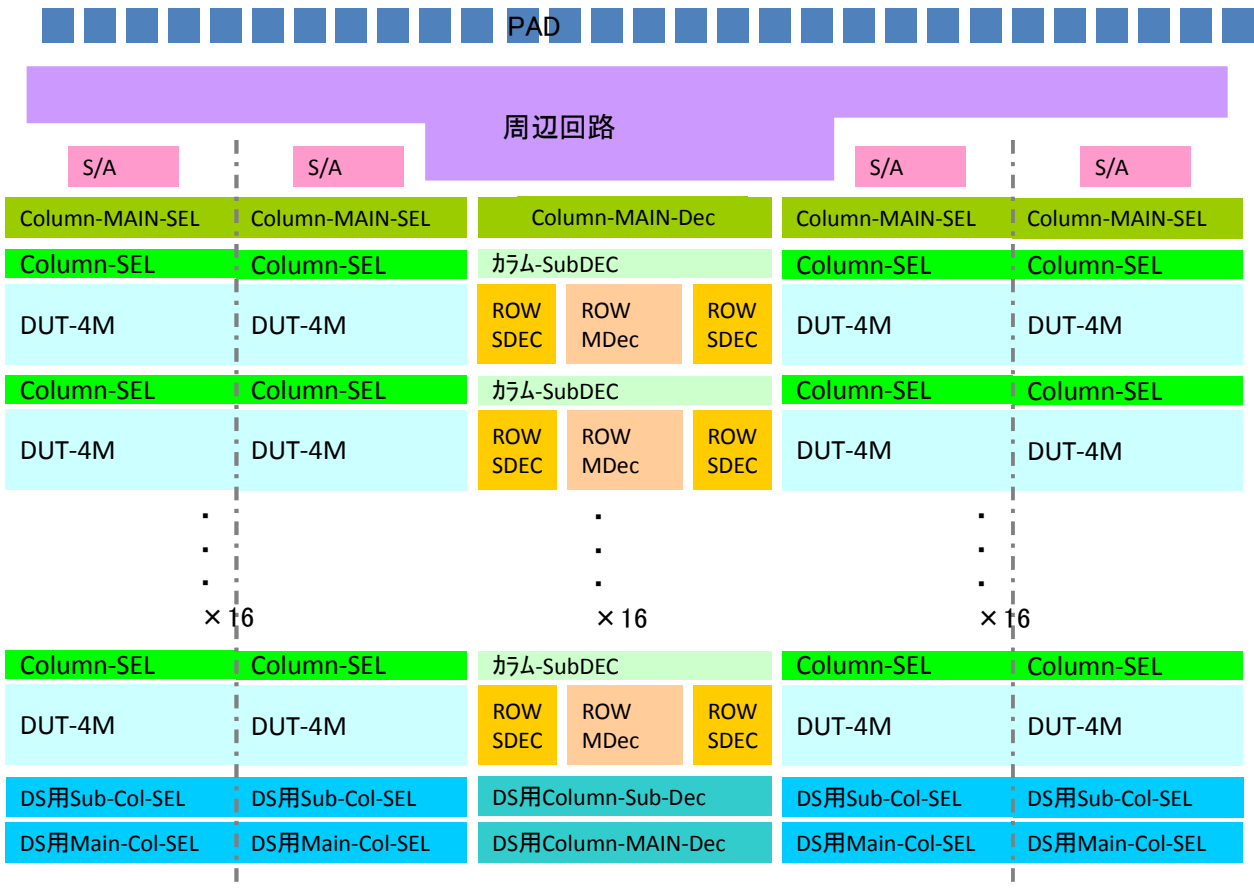
III-2-I-③-(1)図 1-2-6-2 超大規模 DMA-TEG の測定コンセプト



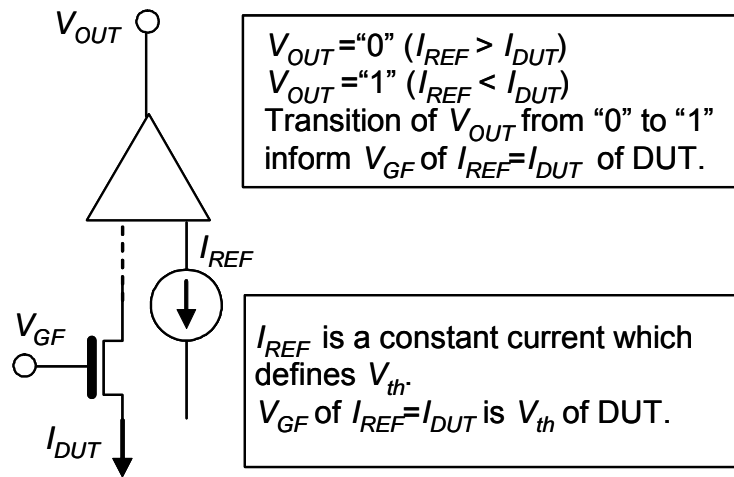
III-2-I-③-(1)図 1-2-6-3 超大規模 DMA-TEG の測定原理

III-2-I-③-(1)表 1-2-6-1 超大規模 DMA-TEG の仕様

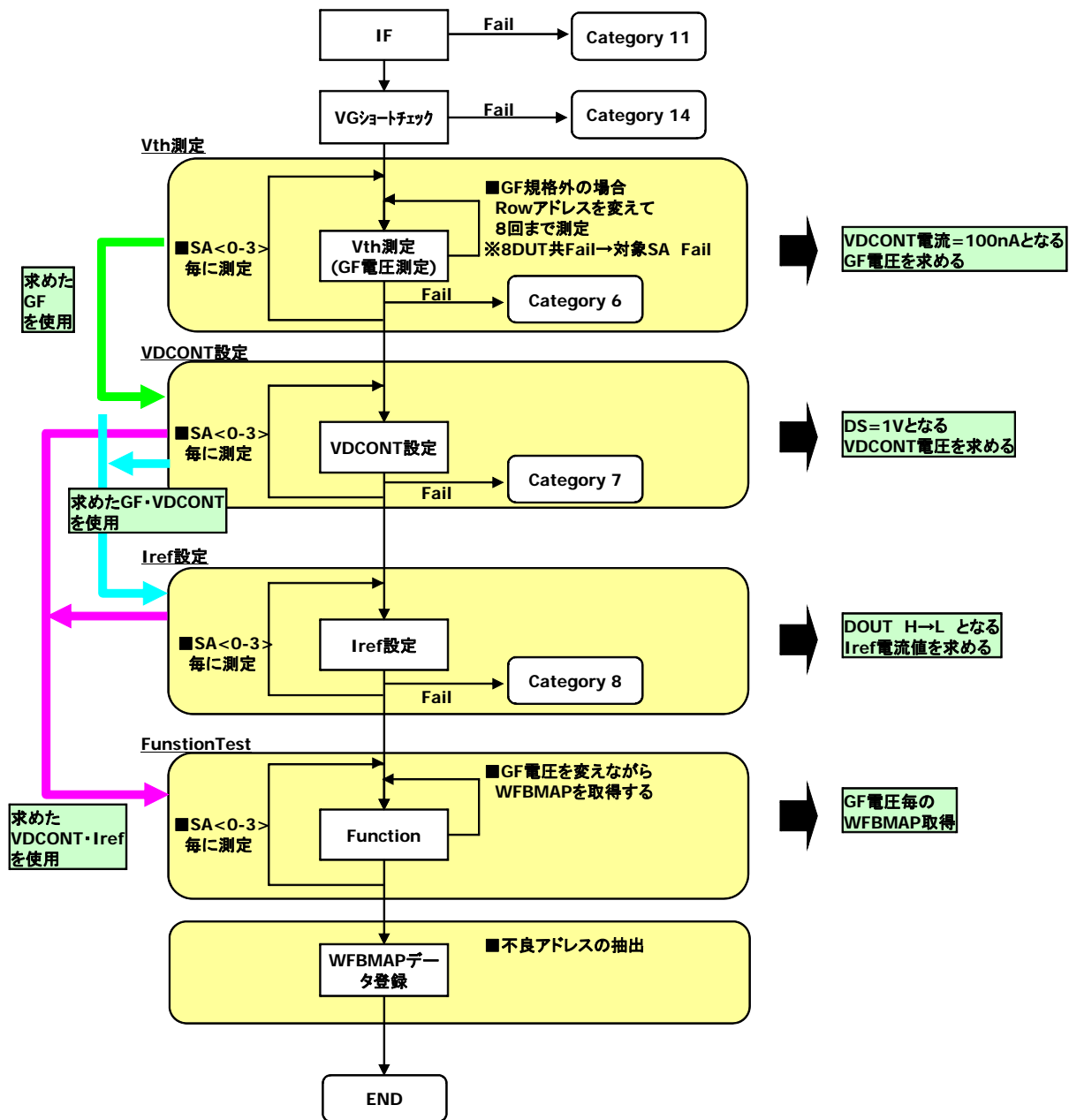
項目	仕様		備考
DUT種類	PMOS	NMOS	
DUT数	256M		
プロセス	65nm CMOSプロセス		
動作電圧	VCC=0.3V~0.5V VSS=-4.0V±0.1V	VCC=4.0V±0.1V VSS=-0.3V~-0.5V	入力信号は”H”=VCC, ”L”=VSSとする。
動作温度	Ta=27°C (85°Cでも動作可能なこと)		
機能	Vth測定方法: 4端子モード/AMPモード		Mode0信号切り替え
	ドレインセンスモード/通常モード		Mode1信号切り替え
	アドレス選択方法: ランダムモード/シリアルモード		SELCONT信号切り替え
	カラム全非選択モード		TEST<0>信号切り替え
	ゲート全非選択モード		TEST<1>信号切り替え
その他	1TEGあたり4DUT同時測定(×4構成)		



III-2-I-③(1)図 1-2-6-4 超大规模 DMA-TEG のチップ内レイアウトイメージ



III-2-I-③(1)図 1-2-6-5 電流判定回路



III-2-I-③-(1)図 1-2-6-6 測定フロー

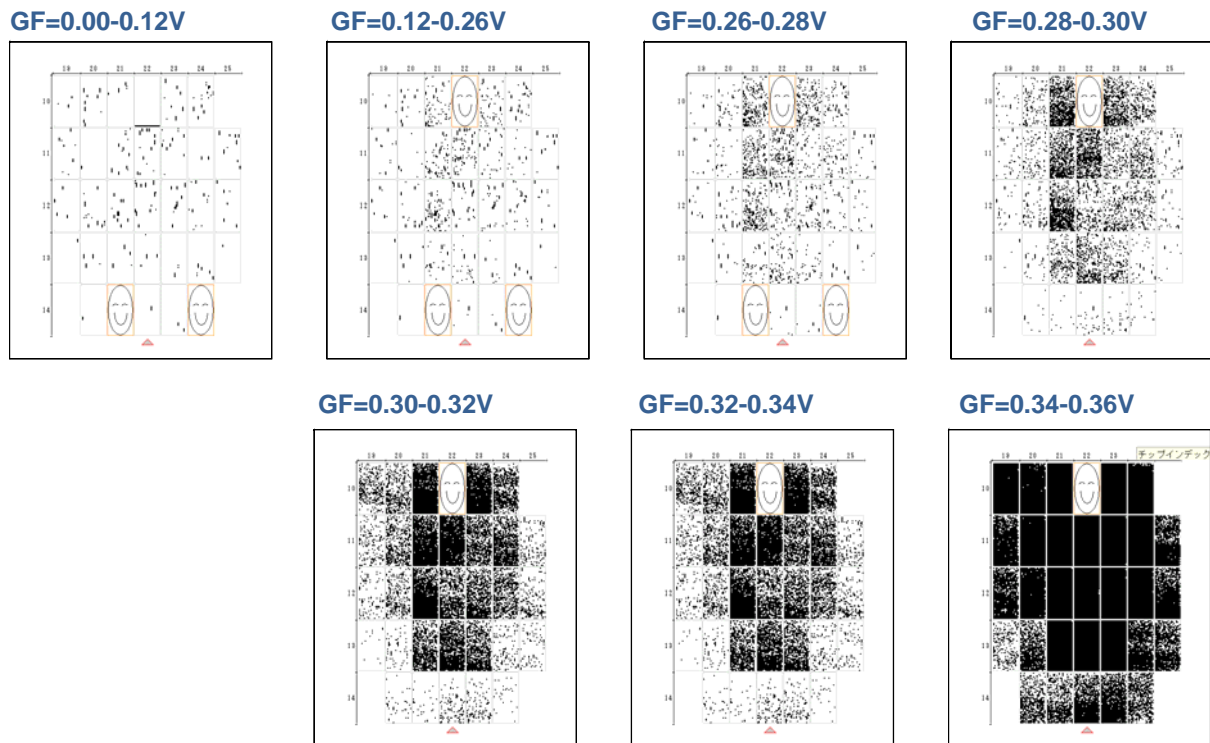
実際の測定フローを III-2-I-③-(1)図 1-2-6-6 に示した。回路の入出力のショートチェックを実施した後に、各 S/A の I_{REF} 値確定に使用するリファレンス DUT の V_{th} 測定を実施する((i) V_{th} 測定)。その後、(i)で測定した V_{th} の電圧を G_F に印加し、 I_{REF} 値を変えることで DUT の V_{ds} が 1V となる V_{DCONT} を各ブロックのリファレンス DUT 毎に求め、その平均値を入力レベルとする((ii) V_{DCONT} の設定)。その後、 G_F には(i)で求めた V_{th} を入力し、 D_{OUT} が”H”から”L”に変化する I_{REF} 値、ならびに D_{OUT} が”L”から”H”になる I_{REF} 値を各 S/A に関して評価する((iii) I_{REF} 設定)。その後、アドレスを切り替えながら、 V_{th} 大を特定する場合、 G_F には DUT のメジアン $V_{th} + \alpha$ を印加して D_{OUT} が”L”となる DUT のアドレスを記憶する。また、 V_{th} 小を特定する場合には、 G_F には DUT のメジアン $V_{th} - \alpha$ の電圧を入力し、 D_{OUT} が”L”となる DUT のアドレスを記憶する((iv) Function Test)。 G_F に印加するメジアン V_{th} は、別途複数個の DUT の V_{th} 評価を実施するか、あるいは Phase-2 マスクに別途搭載している 1M の DMA-TEG の評価結果をフィードバックする。評価時間は、 G_F 電圧を 25mV ステップで変化した場合に、1 チップが 5.5 時間で評価可能である。1 チップが 256M ビットで 1

チップに2つの256M-TEGがあるため、1G個の測定には約11時間必要である。従来の我々が開発してきた1MのDMA-TEGは、約2.5時間であるため、大幅に時間短縮が可能となった。

III-2-I-③-(1)図1-2-6-7、ならびにIII-2-I-③-(1)図1-2-6-8に G_F を変えてFailした(D_{OUT} が“H”から“L”に変わった)ビットのマップ(WFBM: Wafer Fail Bit Map)を示した。図中の黒い点は、表記した G_F の電圧範囲で D_{OUT} が“L”になったビットを示しており、III-2-I-③-(1)図1-2-6-7では G_F 電圧が高い(V_{th} が高い)ビットが多く、III-2-I-③-(1)図1-2-6-8では G_F 電圧が低い(V_{th} が低い)ビットが多いことを示している。III-2-I-③-(1)図1-2-6-9、ならびにIII-2-I-③-(1)図1-2-6-10は G_F 電圧を変えた場合の線形、ならびに飽和領域におけるビットカウント、ならびに各 G_F 電圧で D_{OUT} が変化するビット数を示した。図中のウエハはチャンネル注入量を変えて、 V_{th} を制御したものである。設定した V_{th} によりビットカウントが増加しており、また各 V_{th} に設定したチップ内の V_{th} ばらつきは設定した V_{th} が低いほど小さく、正規分布を示す、従来から得られている結果と同様な結果が得られた。III-2-I-③-(1)図1-2-6-10はPMOSの評価結果であるが、高 V_{th} のPMOS(▲)でビットカウントが低くなっている。これは、2つの S/A でデータ異常を示しており、何からのソリッド不良のためにデータ異常となったためと考えられる。このためデータ数が半分になっているが、NMOSで得られた結果と同傾向な結果となっている。これらNMOS、PMOSの線形、飽和の G_F 電圧を変えた場合のビットカウントのデータを累積度数分布に加工し、III-2-I-③-(1)図1-2-6-11、ならびにIII-2-I-③-(1)図1-2-6-12に示した。その結果、III-2-I-③-(1)図1-2-6-11に示すNMOSでは、 V_{th} が高くなるにしたがって σV_{th} が大きくなり、 $\pm 6\sigma$ まで V_{th} は正規分布することが分かる。 $V_{th}=0.5V$ のMiddle- V_{th} のNMOSで σV_{th} が約40mVで、これは1MのDMA-TEGで求めた V_{th} ばらつきとほぼ一致する。また、線形($V_d=50mV$)を飽和($V_d=1.2V$)としても、 V_{th} ばらつきや分布は変わらないことが分かった。一方、III-2-I-③-(1)図1-2-6-12に示すPMOSの場合、 V_{th} の分布が2つの成分からなることが分かる。大部分の V_{th} が分布する主成分は、NMOSよりもばらつきは小さく、 σV_{th} は30mV程度である。 V_{th} が高くなるに従って σV_{th} は大きくなる従来の結果と同様な結果であるが、線形から飽和にすることで V_{th} 分布がやや大きくなっている。一方、約 4σ 程度から発生するテールは、 V_{th} には依存せず、また線形、飽和でもほぼ変わらないことが分かった。この現象は、我々の開発グループが開発した1MのDMA-TEGでは観測できなかったが、1MのDMA-TEGでは 4σ を超えた部分であるため、誤データとして検定により削除していた可能性がある。

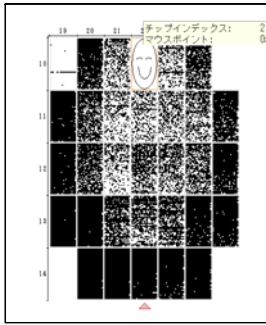
PMOSの V_{th} 分布のテールの原因を明らかにするために、テール領域のMOSトランジスタの V_g-I_d 特性の計測を行った。 V_{th} が上位、ならびに下位10個のMOSトランジスタの V_g-I_d 波形をIII-2-I-③-(1)図1-2-6-13に示した。これをみると、NMOSではDIBL(Drain Induced Barrier Lowering)が高 V_{th} 、低 V_{th} のMOSトランジスタで依存性がないのに対し、PMOSでは低 V_{th} のMOSトランジスタ(III-2-I-③-(1)図1-2-6-12でテール部分のPMOSトランジスタ)で大幅に大きくなっていることが明らかである。また、サブスレッショルド係数も大きくなっており、累積度数分布のテール領域の低 V_{th} -PMOSトランジスタは、短チャンネル特性が劣化していることを示している。そこで、低 V_{th} 領域と高 V_{th} 領域のDIBLを評価した。III-2-I-③-(1)図1-2-6-13に、NMOS、PMOSの低 V_{th} 、高 V_{th} 領域のDIBL分布を示した。NMOSは低 V_{th} ～高 V_{th} 領域において、DIBLの値、ならびにそのばらつきは大きく異ならないが、PMOSの場合は低 V_{th} 領域のトランジスタのDIBLが増大し、そのばらつきも大幅に増大していることが分かった。 -6σ の低 V_{th} のPMOSにおけるDIBLの劣化は、チャンネルの不純物数が大幅に減少することで短チャンネル特性が劣化して生ずると考えられる。例えば、チャンネル不純物濃度がポアソン分布し、N個で V_{th} が制御される場合、その標準偏差は \sqrt{N} で与えられる。したがって、その電気特性からIII-2-I-③-(1)図1-2-6-14に示すようなNMOS、PMOSの構造を仮定する。NMOSは $N=200$ 、PMOSは $N=100$ とすると、 -5σ の V_{th} を持つデバイスのチャンネル不純物数は、それぞれ、NMOSは $N=130$ 個@ -5σ 、PMOSは $N=50$ 個@ -5σ となる。このため、パーコレーションパスのできやすさはPMOSの方が圧倒的に高くなり、 $-4\sim-5\sigma$ の低 V_{th} 領域におけるDIBLの劣化、短チャンネル特性の劣化原因となったと考えられる。

以上、実際の製品レベルにおけるばらつきビットの詳細特性を評価するために、 $\pm 6\sigma$ 、1G ビット(10^9 ビット)に対応するDMA-TEGを開発した。その結果、Phase-1 マスクで計測したNMOS、PMOS ばらつき特性を確認するとともに、新たに PMOS で大きく低 V_{th} 側にシフトするビットが存在することを初めて明らかにした。PMOS はRDFでそのランダムばらつきが説明されるとしてきたが、不純物が非常に少なくなった場合にDIBLが劣化するという知見を得た。



III-2-I-③-(1)図 1-2-6-7 低 GF 側からスキャンした場合の FBM

GF=0.76-0.78V



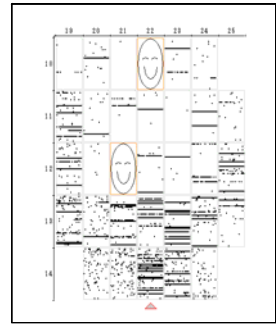
GF=0.78-0.80V



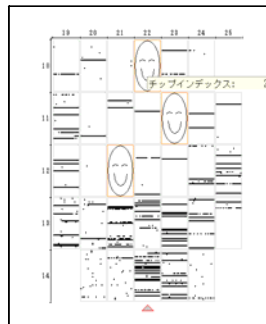
GF=0.80-0.82V



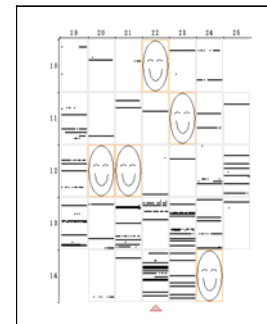
GF=0.82-0.84V



GF=0.84-0.92V

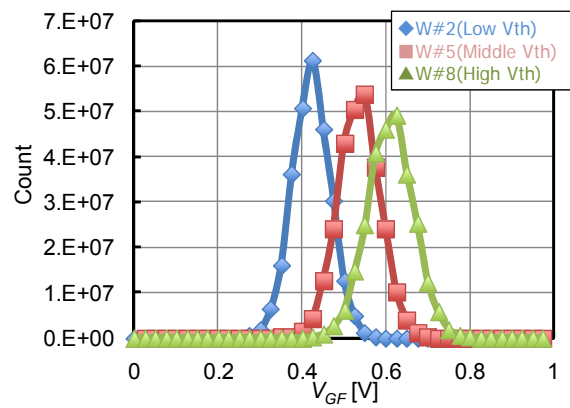
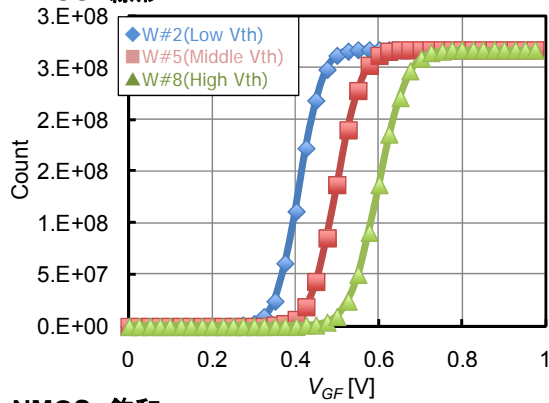


GF=0.92-1.00V

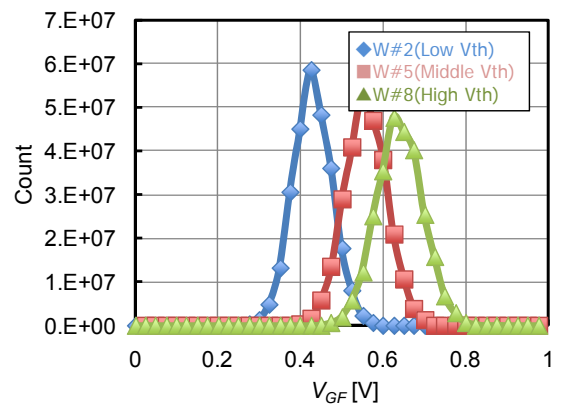
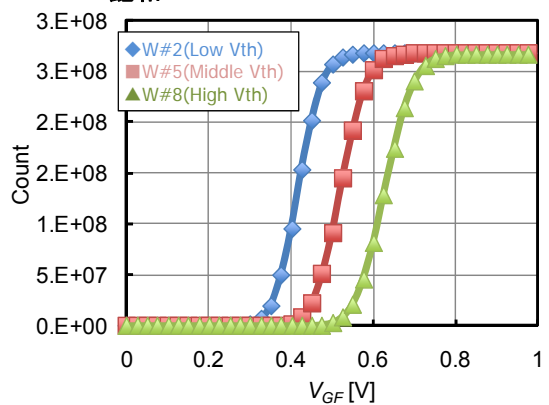


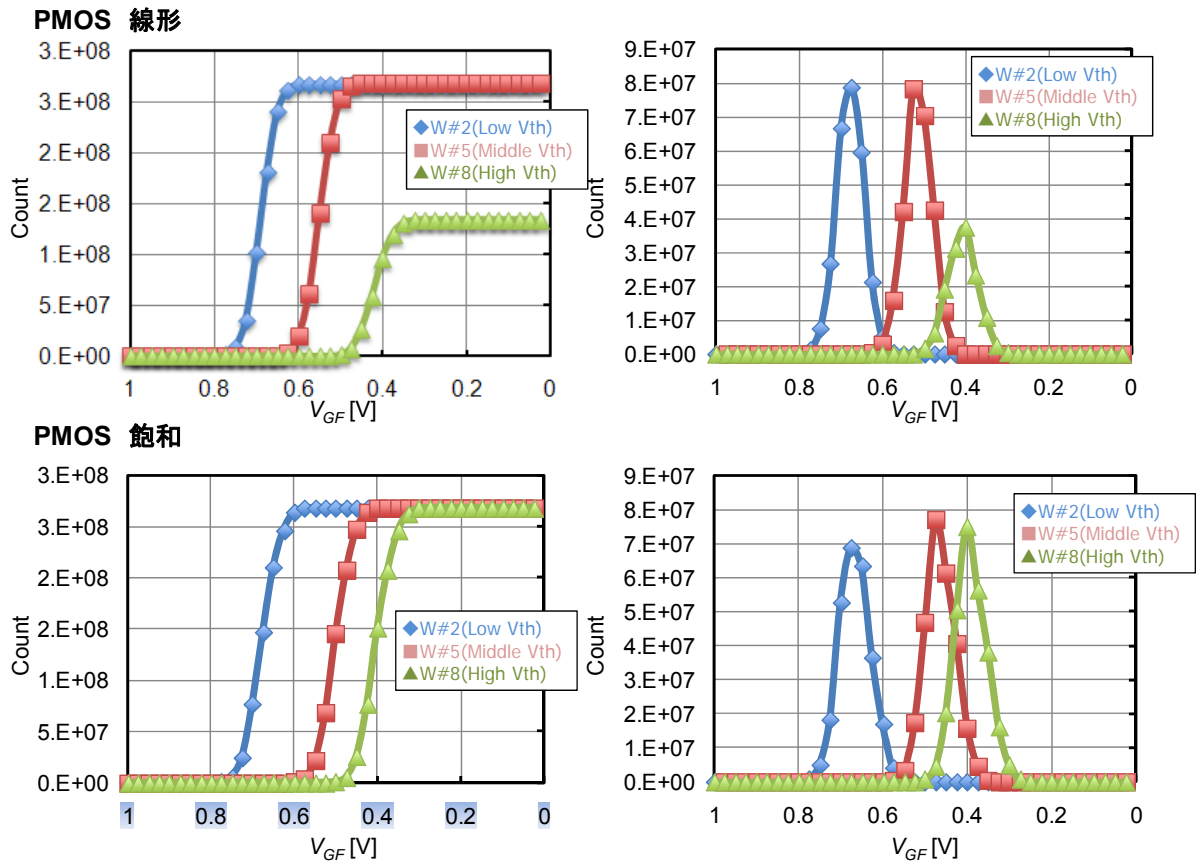
III-2-I-③-(1)図 1-2-6-8 高 GF 側からスキャンした場合の FBM

NMOS 線形

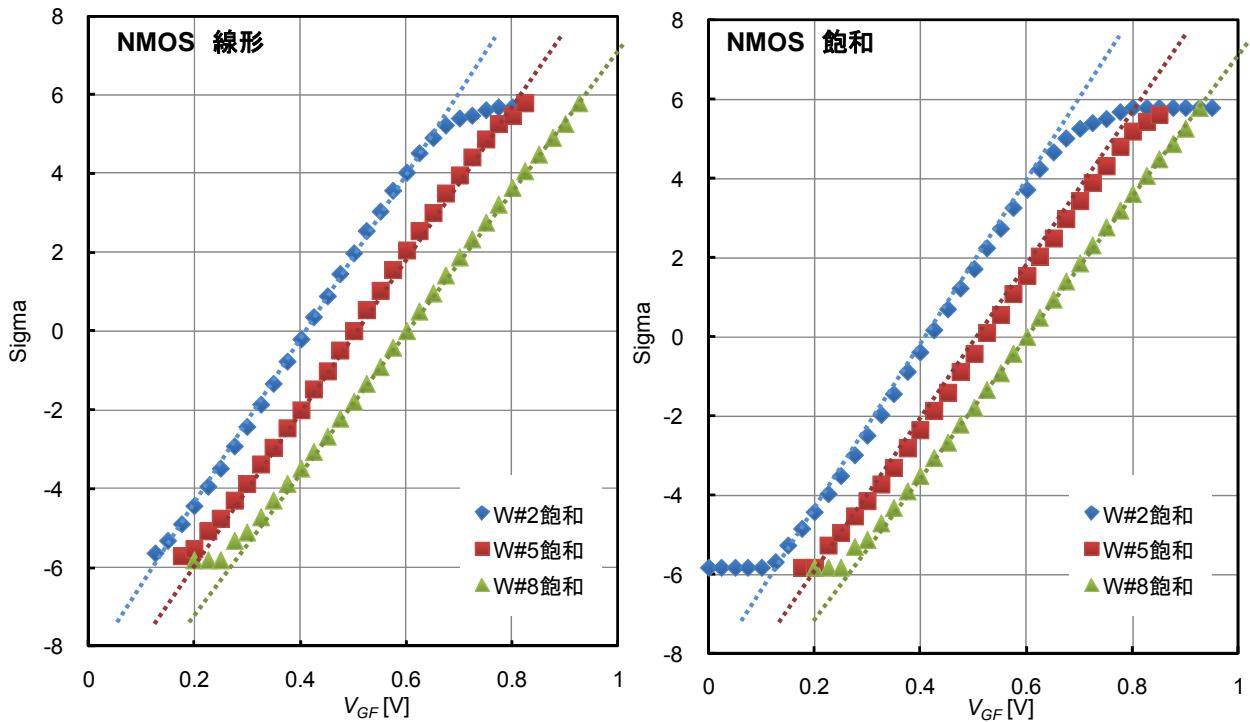


NMOS 飽和

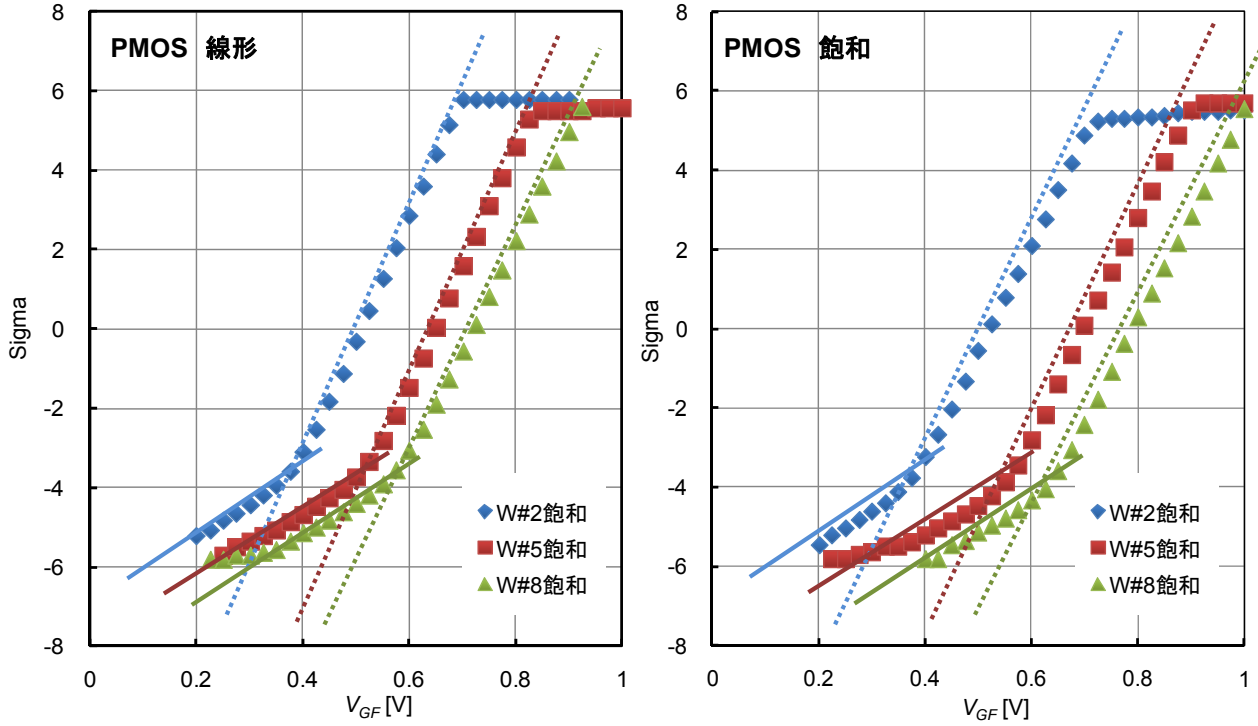
III-2-I-③-(1)図 1-2-6-9 V_{th} 分注した NMOS の GF 電圧とビットカウント



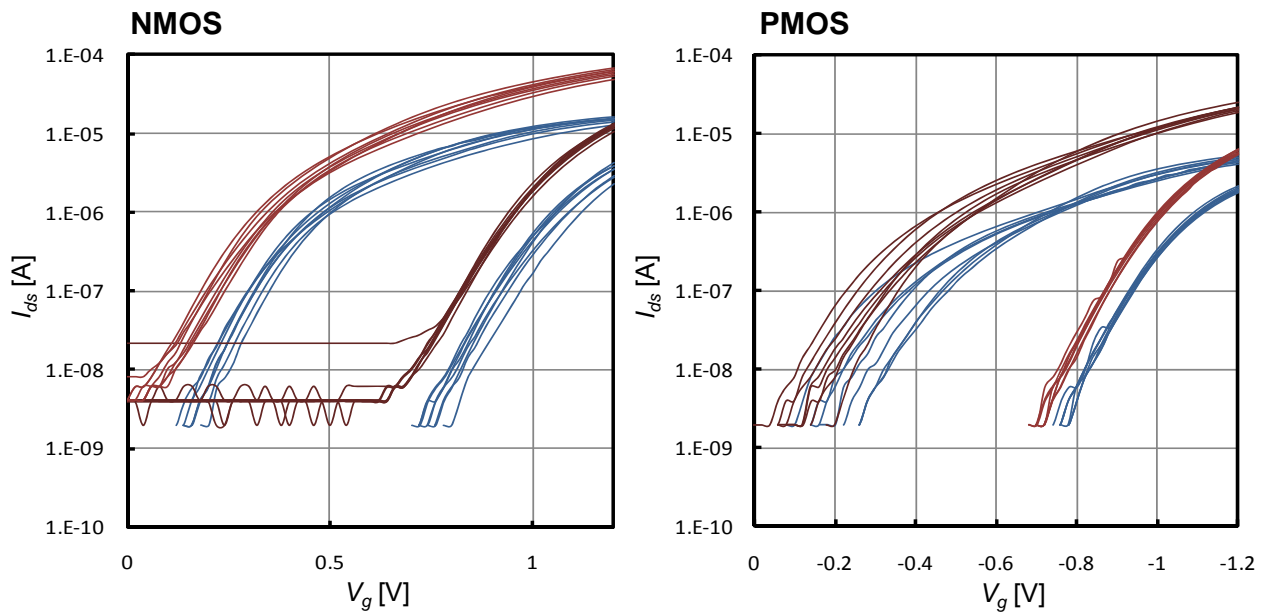
III-2-I-③-(1)図 1-2-6-10 V_{th} 分流した PMOS の GF 電圧とビットカウント



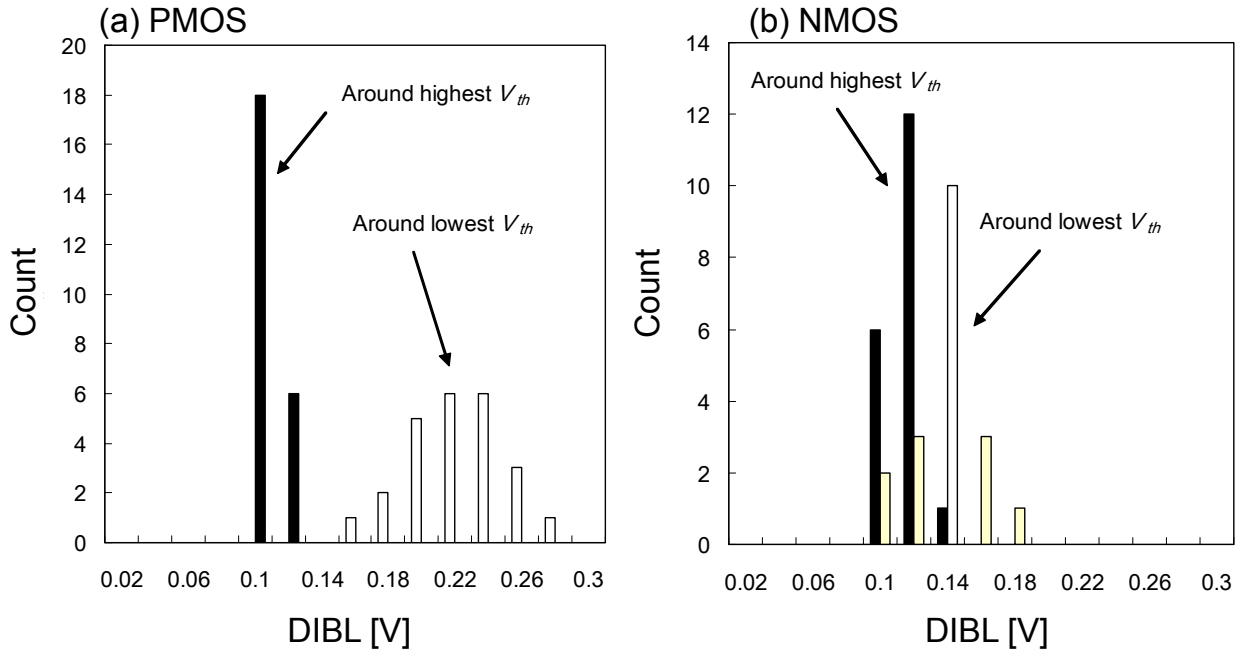
III-2-I-③-(1)図 1-2-6-11 NMOS の判定電圧(V_{th} に相当)の累積度数分布



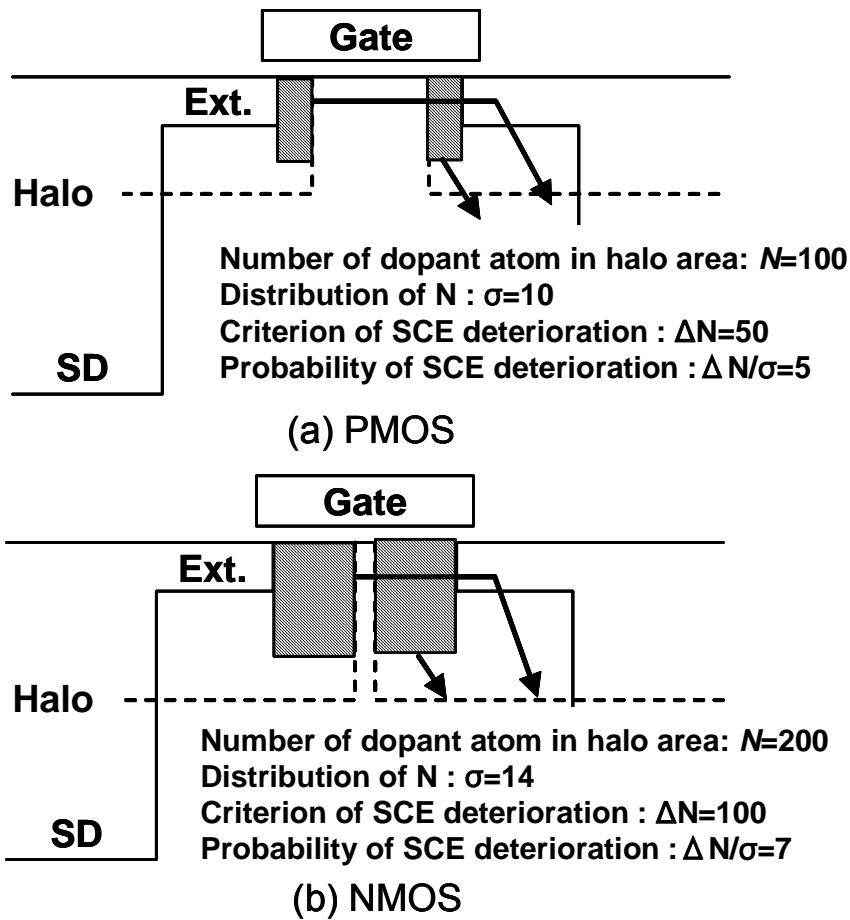
III-2-I-③-(1)図 1-2-6-12 PMOS の判定電圧(V_{th} に相当)の累積度数分布



III-2-I-③-(1)図 1-2-6-13 NMOS、PMOS の I_d - V_g 波形



III-2-I-③-(1)図 1-2-6-14 NMOS、PMOS の DIBL のヒストグラム



III-2-I-③-(1)図 1-2-6-15 DIBL 劣化の説明図

参考文献

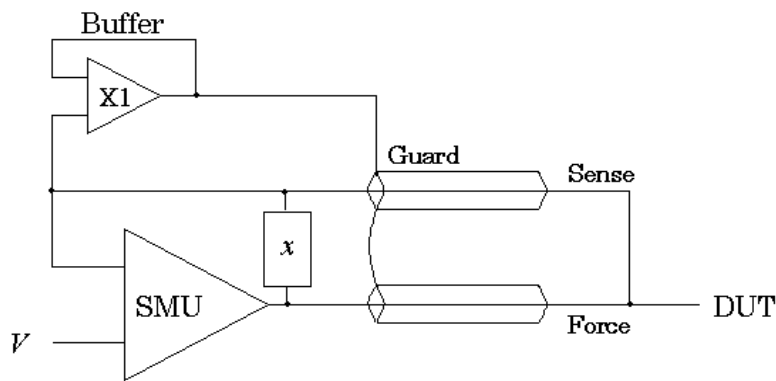
- [1] T. Tsunomura, A. Nishida, F. Yano, A. T. Putra, K. Takeuchi, S. Inaba, S. Kamohara, K. Terada, T. Hiramoto and T. Mogami, “Analyses of 5σ V_{th} Fluctuation in 65nm-MOSFETs Using Takeuchi Plot”, *Digest of Technical Papers, 2008 Symposium on VLSI Technology*, pp.156-157, June, 2008
- [2] Source: www.intel.com/technology/timeline.pdf, www.icknowledge.com
- [3] T. Tsunomura, A. Nishida and T. Hiramoto, “Verification of Variation Properties in Transistors Threshold Voltage with Ultra Large-Scale Device Matrix Array Test Element Group”, *Japanese Journal of Applied Physics*. 48 (2009) 124505
- [4] 平本、2007年半導体 MIRAI プロジェクト成果報告会予稿集
- [5] K. Takeuchi, T. Fukai, T. Tsunomura, Arifin. T. Putra, A. Nishida, S. Kamohara, and T. Hiramoto, “Understanding Random Threshold Voltage Fluctuation by Comparing Multiple Fabs and Technologies”, *IEDM 2007. Tech. Dig.*, 2007, pp. 467–470
- [6] T. Tsunomura, A. Nishida, F. Yano, A. T. Putra, K. Takeuchi, S. Inaba, S. Kamohara, K. Terada, T. Hiramoto and T. Mogami, “Analyses of 5σ V_{th} Fluctuation in 65nm-MOSFETs Using Takeuchi Plot”, *Digest of Technical Papers, 2008 Symposium on VLSI Technology*, pp.156-157, June, 2008

1-2-7. オペアンプ回路特性ばらつきの評価・解析

アナログ回路を構成するMOS デバイスは、比較的設計ルールの大きなMOSトランジスタ等を持ちてばらつき対策を行っている。しかしながら、非常に微小な特性ばらつきはアナログ回路でも問題であり、これを高精度に計測し、また評価解析する技術が重要となっている。本章では、アナログデバイスに用いるゲート長、ゲート幅の大きいMOS デバイスの微小なしきい値ばらつきを計測する手法を検討し、アナログ回路とこれを構成する単体デバイスの特性ばらつきを評価した結果について述べる。

1-2-7-1. 微小電圧ばらつき測定のための事前検討

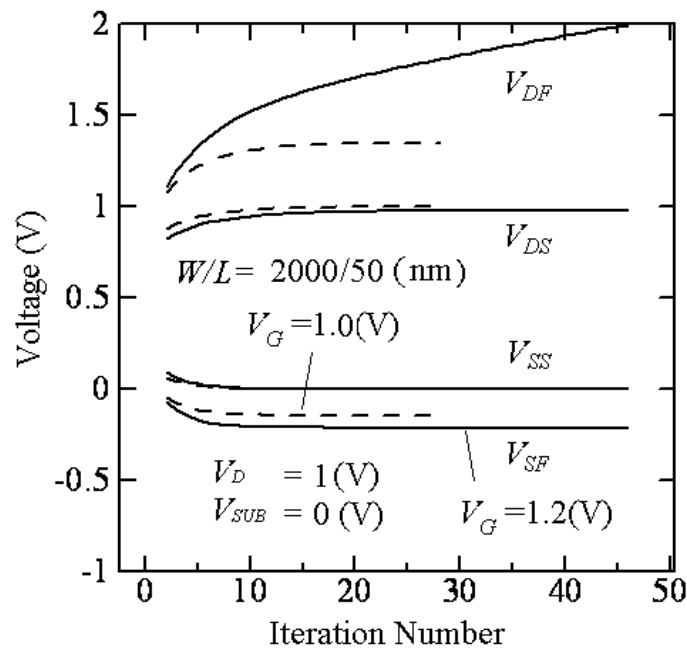
DMA-TEG を用いた測定では配線抵抗の影響を防ぐためにケルビン測定を行う。その方法を、半導体パラメータアナライザ HP-4156A の SMU (Source Monitor Unit) の回路 (III-2-I- (1) 図 1-2-7-1) を用いて簡単に説明する。この測定方法では、被測定点(DUT)に所望の電圧 V を正確に供給するため、DUT の近くでセンス線とフォース線を接続し、フォース線を通る電流による電圧降下が起こり、精度が低下することを防いでいる。この回路では、センス線が DUT に接続されていない場合、フォース線に非常に大きな電圧が加わる可能性があり、SMU や被測定素子を破壊する可能性がある。そのため、これを防ぐための保護回路 x がセンス線とフォース線の間には置かれている。前報告書では、この保護回路の影響を調べ、さらにそれによる誤差を防ぐためのソフトケルビン法を提案した。



III-2-I-③-(1) 図 1-2-7-1 ケルビン測定時の SMU の構造

ケルビン測定法では、DUT に所望の電圧が加わるようにするため、それよりも大きい電圧をフォース側に出力する。その大きさは、被測定素子の抵抗が小さく、DMA-TEG の選択回路の抵抗が大きいほど大きくなる。小さいドレイン電圧を印加して MOSFET のドレイン電流を測定している場合には、その影響は小さいが、大きいドレイン電圧を印加する場合には問題が生じる可能性がある。III-2-I- (1) 図 1-2-7-2 はソフトケルビン法を用いたときの SMU の出力電圧を示す。もっともゲート幅 (W)、ゲート帳 (L) の大きい DUT を $V_g=1.2V$ で測定しているため、DUT のチャネル抵抗が低く、それが DMA-TEG のトランスファゲートなどの抵抗と同じ程度になっている。そのため、ドレイン側のフォース端子電圧 V_{DF} がセンス端子電圧 V_{DS} の 2 倍程度になっている。一方、ソース側では V_{SF} は $-0.2V$ 程度と負になっている。これらのことはドレイン側測定回路の電圧レンジの問題、ソ

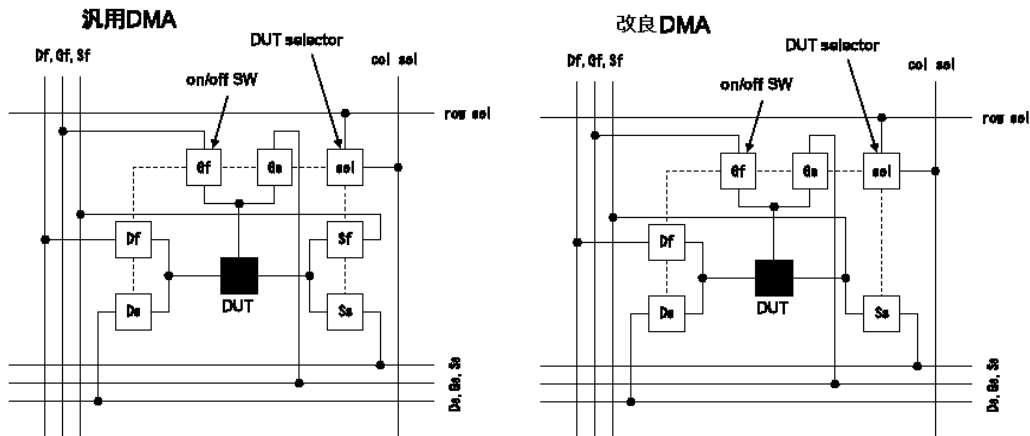
ースと基板間の pn 接合に順方向バイアスが加わる問題などを引き起こす可能性がある。



III-2-I- (1)図 1-2-7-2 ケルビン測定時の SMU の出力電圧

以上の問題を少しでも改善するため、DMA-TEG のユニットセル構造を少し改良した。III-2-I- (1)図 1-2-7-3 に従来使用していた汎用 DMA-TEG のユニットセルと改良した DMA-TEG のユニットセルの構造を示す。改良型では、ソース端子のフォース側トランスファゲートを削除して、ソース端子を入出力線に直結し、余計なトランスファゲートの抵抗を除くようにしている。こうすることにより、ソースと基板の間の pn 接合に順方向バイアスが加わることを防ぐことができる。一方、ソースとドレインが非対称になるため、それらを入れ替えた特性の比較が難しくなる。そのため、16K セルの DMA のうち 12K セルを改良型にし、4K セルに汎用型を残すようにした。さらに、DMA-TEG そのものにトラブルがあった時にその原因を調べるための手掛かりを得るため、汎用 DMA-TEG を使用した 4K セルブロックの一部にテストセルを加えた。

以上の改良によって、 W/L の大きい DUT の測定において、配線抵抗などの影響を低減可能であることを明らかにした。ただ、高ドレイン電圧印加時の電源の出力レンジに注意を払うこと、DUT が PMOS の場合にはバイアス条件によって NMOS から構成される DMA-TEG のトランスファゲートの抵抗が大きくなることを配慮すること、などが必要である。



III-2-I- (1)図 1-2-7-3 DMA-TEG のユニットセルの回路構造

1-2-7-2. 微小電圧ばらつきの測定精度

$I_{DS}-V_G$ 特性から線形外挿法で V_{th} と g_{mmax} を抽出した場合の測定精度を高くするため、測定時の積分時間を Medium (1/60 秒) と長くし、かつ I_{ds} 測定時の印加 V_g のきざみ幅を通常の 50mV から 20mV に細かくした。その場合の測定データの確定度を調べるため、同じ素子を 192 回測定し、通常用いている 5 点外挿法を用いて V_{th} と g_{mmax} を抽出した。その結果を III-2-I- (1)図 1-2-8-1 に示す。この実験結果より、 V_{th} 評価の場合 $0.5\mu V$ 程度のばらつき測定分解能が、 g_{mmax} の場合 0.05% 程度のばらつき比測定分解能を有する測定手法を開発した。3-2-1 節で述べる B_{VT} の L 依存性の測定では、 $L=4\mu m$ という大きい素子の測定データを用いる。このような素子では V_{th} ばらつきが小さくなるが、この測定精度ならば充分意味のある測定結果を得ることができる。

III-2-I- (1)表 1-2-7-1 V_{th} と g_{mmax} の測定確度

W/L	素子	V_{th} [mV]	σV_{th} [μ V]	g_{mmax} [μ A/V]	$\sigma g_{mmax}/g_{mmax}$
2.0/1.0	1	539	42.3	597	0.000186
	2	539	51.5	603	0.00023
2.0/0.06	1	642	279	5502	0.000745
	2	663	300	5337	0.001249

1-2-7-3. オペアンプTEGによる回路ばらつき評価

MOSトランジスタのランダムばらつきを測定する手法として、DMA-TEG が広く用いられている[1]-[4]。最近では単体デバイスだけではなく、たとえば SRAM のような小規模回路のばらつきの評価が実施されている[5]。また、オペアンプ等に代表される、アナログ回路設計においては、隣接するペアトランジスタのばらつき抑制が非常に重要な課題になっている[6]。隣接するMOSトランジスタでは、製造プロセス(たとえば、フォトリソグラフィ、ドライエッチング、枚葉アニール、成膜など)で形状の差異が生じないと考えられており、ペアトランジスタのばらつきはランダムばらつきと考えられる。通常の MOS トランジスタを用いる場合、ペアばらつきを抑えるためには、ゲート酸化膜を薄膜化し、ゲート長(L_g)、ゲート幅(W_g)を非常に大きく確保する必要がある。しかしながら、将来的にアナログ回路も微細化し、回路が専有する面積を低減して、そのコストを下げる必要があるため、微細化した場合にランダムばらつきが、回路特性に与える影響を把握することが重要となる。本開発では、アナログ回路で基本とされるオペアンプ TEG のオフセット電圧(V_{OS})のばらつきを評価しできる回路 TEG を開発した。試作プロセスは 65nm プロセスノードであるが、3.3V の周辺回路系のトランジスタ(最小 $L_g=0.4\mu\text{m}$ 、 $T_{ox}=7\text{nm}$ 、電源電圧は 3V)を用いて、実際の TEG 設計を行った。オペアンプを構成する MOS トランジスタそれぞれの単体特性を図る端子を組み込み、単体 MOS トランジスタのばらつきと、オペアンプの V_{OS} ばらつきの相関を調べることが可能となる。

III-2-I-③-(1)図 1-1-2-1 に設計したオペアンプ TEG の模式図は 1-1-2 項で示した。当初、試作したウエハにフルオートプローバーを用いて直接プロービングして評価をすることを最終的な目標としていたが、外部増幅回路や測定系のセットアップの関係上、試作したチップをアセンブリしてパッケージに組み込み、評価ボード上で出力電圧の増幅率を可変することで評価した。TEG の回路図、評価ボードの外観写真、ならびに入出力ピンの機能を III-2-I-③-(1)図 1-2-7-4 から III-2-I-③-(1)図 1-2-7-7 に示した。本開発 TEG の有効性が確認できた段階で、この評価ボードの機能をフルオートプローバーのプローブカードに実装することで同等な評価がウエハ状態で可能となる。素子パラメーターとして R10 から C4 までの素子をスイッチや入力端子で切り替えることで、出力電圧の増幅を図る。III-2-I-③-(1)図 1-2-7-7 に示す X_SEL 信号によりオペアンプの種類、アドレスを選択する。III-2-I-③-(1)図 1-2-7-8、III-2-I-③-(1)図 1-2-7-7 にアンプモード(オペアンプのオフセット電圧測定モード)の測定ブロック図、ならびに使用する機器を示した。実際の測定は、下記手順で行う。

(1) 先頭のYアドレス(1/64 セル)にて、システムティックオフセット⁴が 0(senseD_VdM1=senceS_VdM2)

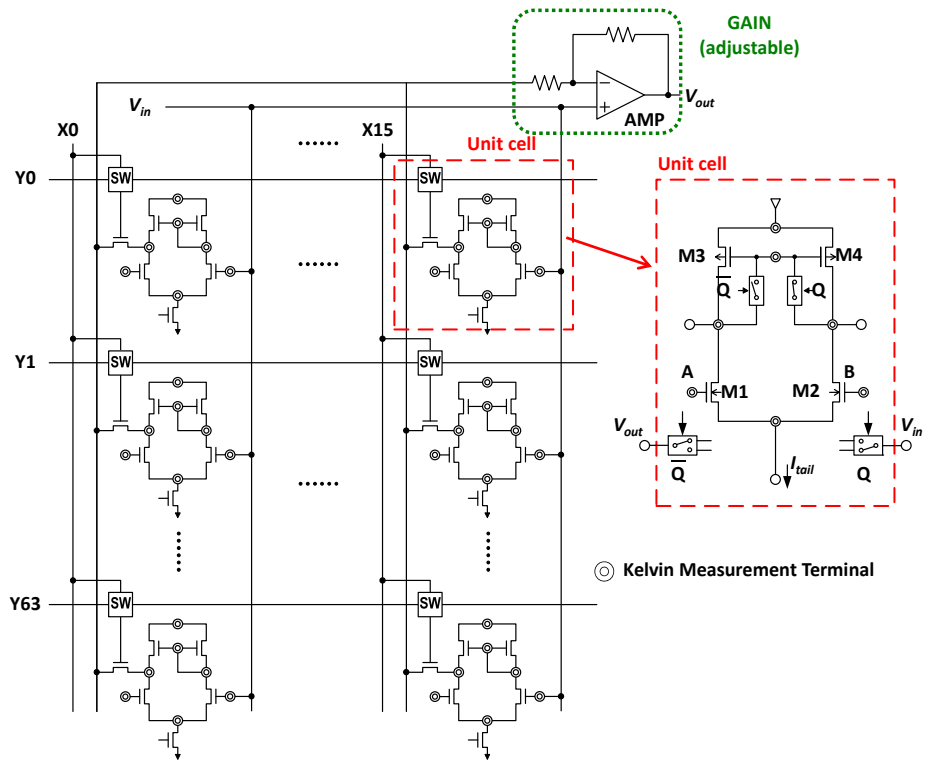
⁴ 回路構成から生じる電圧のずれを示す。図 1-2-7-7 に示すオペアンプの場合は、能動 MOS(M3, M4)のドレイン電圧のずれである。

となる入力電圧 V_{in} を検出

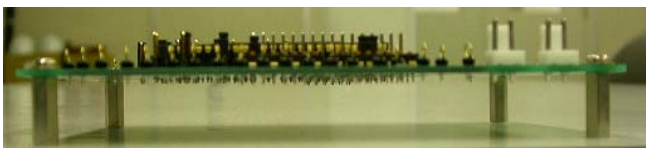
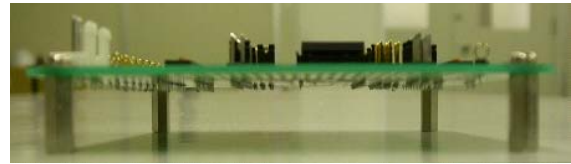
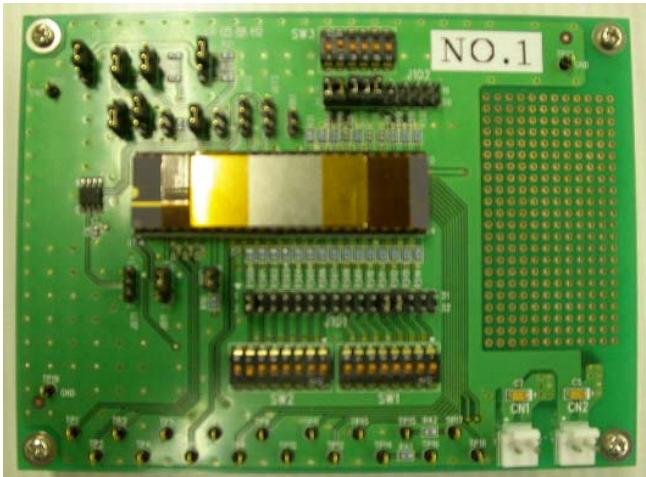
(2) 決定した入力電圧 V_{in} にて、 $Q_0=L/H$ を切り替えながら Y アドレスの 64 セルの Buf2_out を測定

(3) $Q_0=L/H$ 切り替え時の Buf2_out の出力差分よりオペアンプの V_{os} を算出

$$V_{os} = \text{出力差分} / (2 \times \text{ゲイン})$$

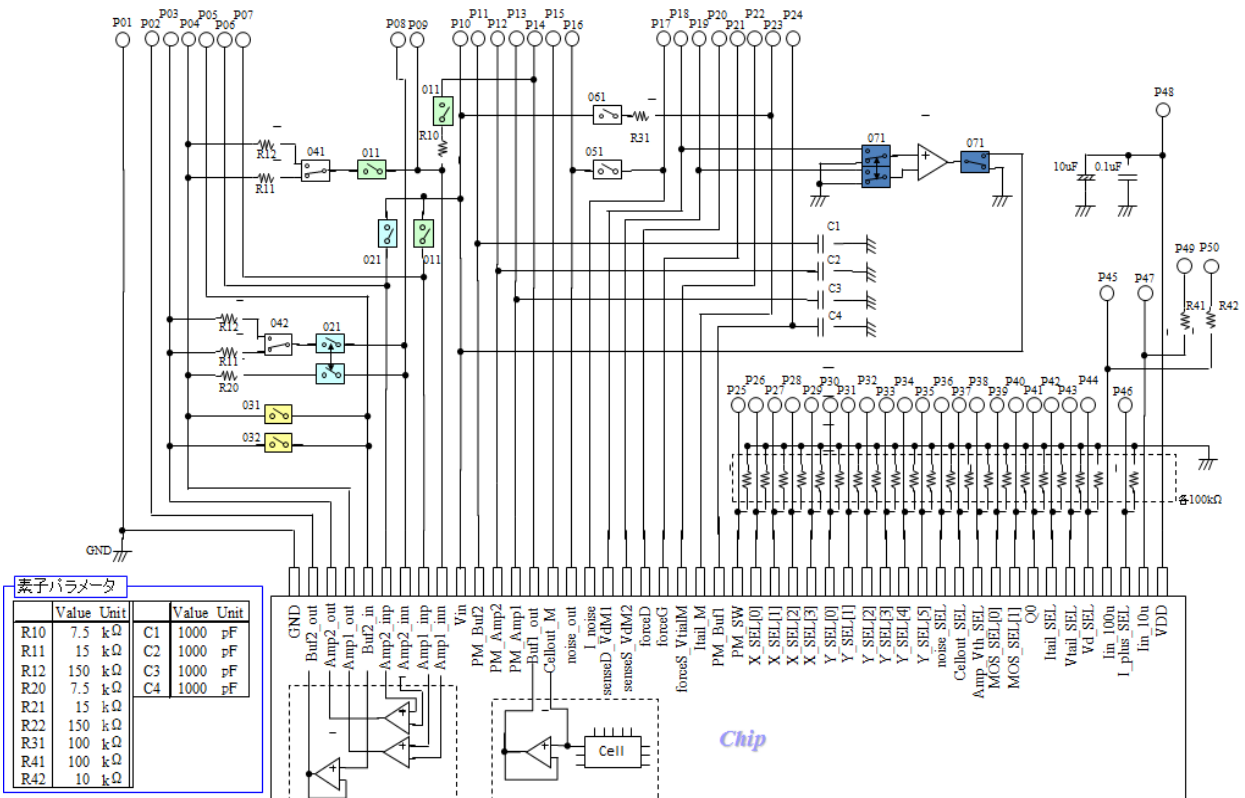


III-2-I- (1)図 1-2-7-4 設計したオペアンプ TEG の回路図



パッケージ種類: セラミックDIP
 Pin数: 48
 外形サイズ(mm²): 60.96 × 15.49(600mil)
 ピンピッチ(mm): 2.54

III-2-I- (1)図 1-2-7-5 設計した評価ボードの外観図



III-2-I- (1)図 1-2-7-6 設計した評価ボードの回路図

No.	PAD Name	Description
1	GND	GND
2	Buf2_out	バッファ2出力
3	Amp2_out	アンプ2出力
4	Amp1_out	アンプ1出力
5	Buf2_in	バッファ2入力(+端子)
6	Amp2_inp	アンプ2入力(+端子)
7	Amp2_inn	アンプ2入力(-端子)
8	Amp1_inp	アンプ1入力(+端子)
9	Amp1_inn	アンプ1入力(-端子)
10	Vin	オペアンプ入力
11	PM_Buf2	バッファ2の位相余裕補助用キャパシタ接続端子
12	PM_Amp2	アンプ2の位相余裕補助用キャパシタ接続端子
13	PM_Amp1	アンプ1の位相余裕補助用キャパシタ接続端子
14	Buf1_out	バッファ1出力
15	Cellout_M	セル出力モニタ
16	noise_out	位相雑音出力
17	I_noise	位相雑音用電流端子(noise_outとshortして使用)
18	senseD_VdM1	ドレインのセンス(Vth測定モード時), 差動対(M1)のドレイン電圧モニタ(Ampモード時)
19	senseS_VdM2	ソースのセンス(Vth測定モード時), 差動対(M2)のドレイン電圧モニタ(Ampモード時)
20	forceD	ドレインのフォース
21	forceG	ゲートのフォース
22	forceS_VtailM	ソースのフォース(Vth測定モード時), 差動対のソース電圧モニタ(Ampモード時)※
23	Itail_M	差動対のテイル電流モニタ
24	PM_Buf1	バッファ1の位相余裕補助用キャパシタ接続端子
25	PM SW	位相余裕補助キャパシタ接続スイッチ('L':非接続, 'H':接続)

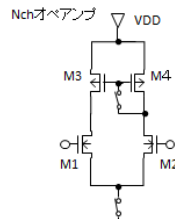
No.	PAD Name	Description
26-29	X_SEL[0:3]	*セル選択(X方向: MOSタイプ, サイズ選択)
30-35	Y_SEL[0:5]	セル選択(Y方向)
36	noise_SEL	位相雑音解析スイッチ('L':通常動作, 'H':位相雑音解析)
37	Cellout_SEL	セル出力モニタスイッチ('L':off, 'H':on)
38	Amp_Vth_SEL	Ampモード/Vth測定モード切り替えスイッチ('L':Ampモード, 'H':Vth測定モード)
39-40	MOS_SEL[0:1]	**Vth測定モード時の対象MOS(M1~M4)選択
41	Q0	アンプ入力切替信号
42	Itail_SEL	テイル電流モニタスイッチ('L':off, 'H':on)※
43	Vtail_SEL	テイル電圧モニタスイッチ('L':off, 'H':on)※
44	Vd_SEL	能動負荷MOSドレイン電圧モニタスイッチ('L':off, 'H':on)※
45	Iin_100u	位相雑音用電源電流(100uA)
46	I_plus_SEL	位相雑音用電流増加スイッチ('L':100uA, 'H':800uA)
47	Iin_10u	電源電流(10uA)
48	VDD	電源電圧(3.3V)

* MOSタイプ, サイズ対応表

X_SEL				MOSタイプ	差動対サイズ[um]	
[3]	[2]	[1]	[0]		L	W
0	0	0	0	Pch(Vb=Vs)	1	80
0	0	0	1		1	160
0	0	1	0		1	320
0	0	1	1		1	640
0	1	0	0	Pch(Vb=VDD)	1	80
0	1	0	1		1	160
0	1	1	0		1	320
0	1	1	1		1	640
1	0	0	0	Nch	1	80
1	0	0	1		1	160
1	0	1	0		1	320
1	0	1	1		1	640
1	1	0	0	Nchサイズ補間	2	160
1	1	0	1		2	320
1	1	1	0		2	640
1	1	1	1		2	1280

** 解析MOS対応表

MOS_SEL	[1]	[0]	解析MOS
0	0	0	M1
0	1	0	M2
1	0	0	M3
1	1	0	M4

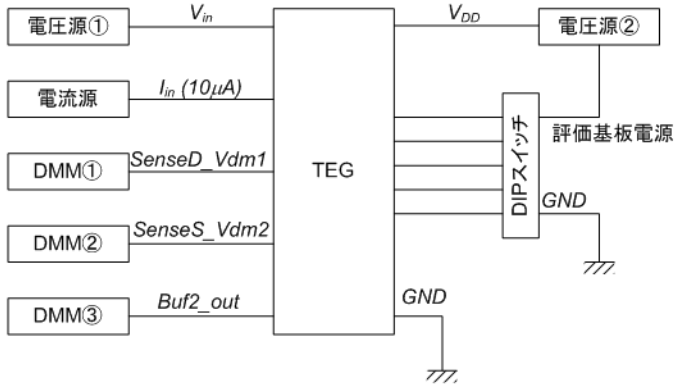


※ Itail, Vtail, Vdモニタ時の注意

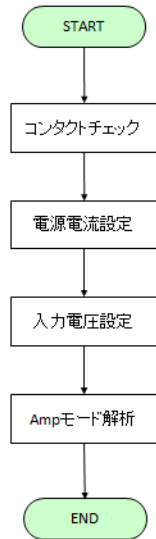
- ①、ItailとVtail又はVdの同時モニタは不可であり、両者のモニタスイッチを'H'にしたときは共にoffとなる。
- ②、Itailモニタ時は、オペアンプは動作しない。

III-2-I- (1)図 1-2-7-7 設計した評価ボードの PAD 仕様と評価ボード、動作モード

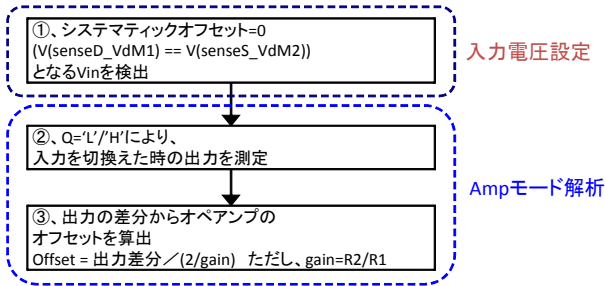
機器No	メーカー	型番	概要	用途
電圧源①	ADVANTEST	TR6143	直流電圧・電流源	ゲート電圧印加用
電圧源②	KENWOOD	PW8-3ATP	多出力直流安定化電源(3出力)	デバイス電源(VDD)、評価基板電源印加用
電流源	ADVANTEST	TR6143	直流電圧・電流源	基準電流(10 μ A)印加用
DMM①	HP	34401A	デジタルマルチメータ	能動負荷MOSドレイン電圧測定用
DMM②	HP	34401A	デジタルマルチメータ	
DMM③	ADVANTEST	R6871E	デジタルマルチメータ	出力(Buf2_out)測定用



<オフセット解析>

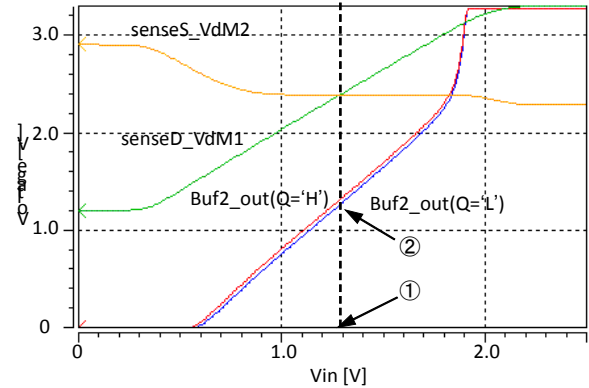


■ 概略フローチャート

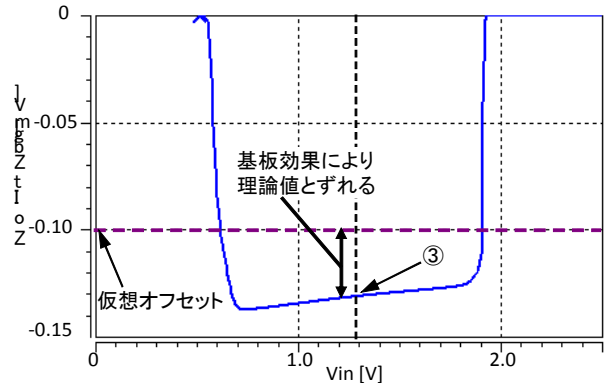
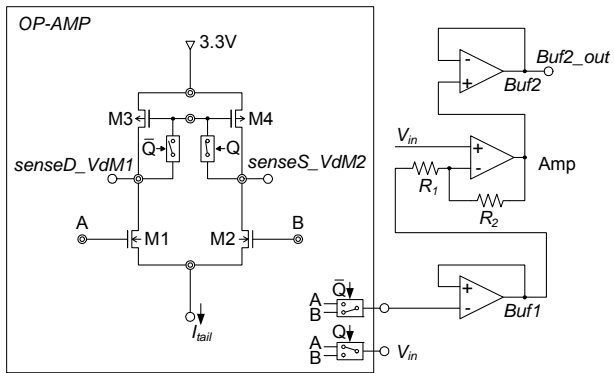


■ シミュレーション結果

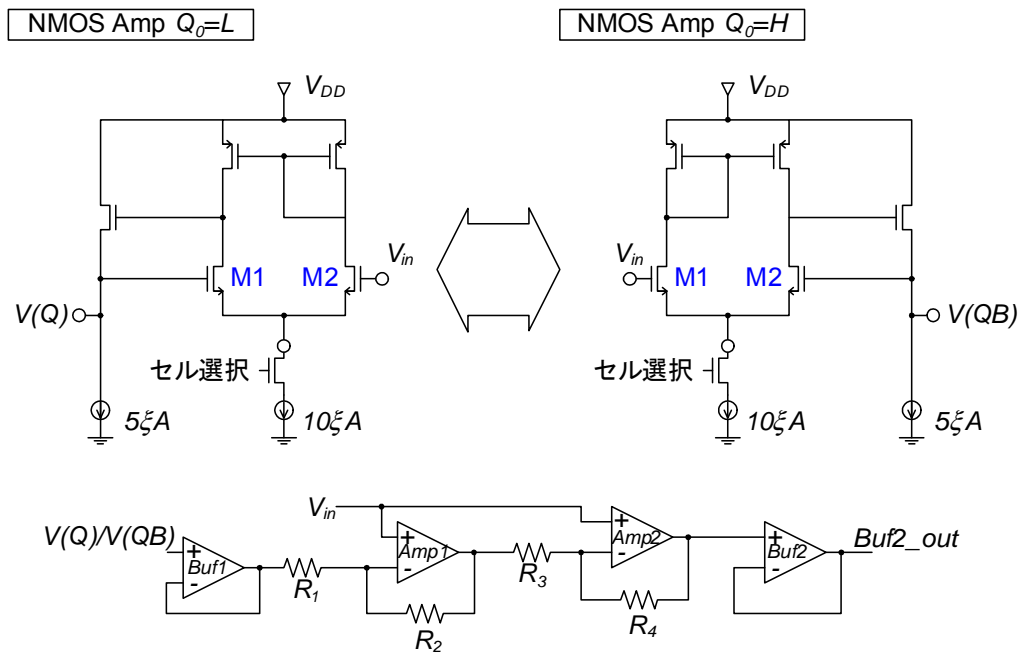
(仮想オフセット=0.1mV, gain=×200)



■ 回路イメージ(Nchタイプ)



III-2-I- (1)図 1-2-7-8 測定システムのイメージ、評価フローとシミュレーション

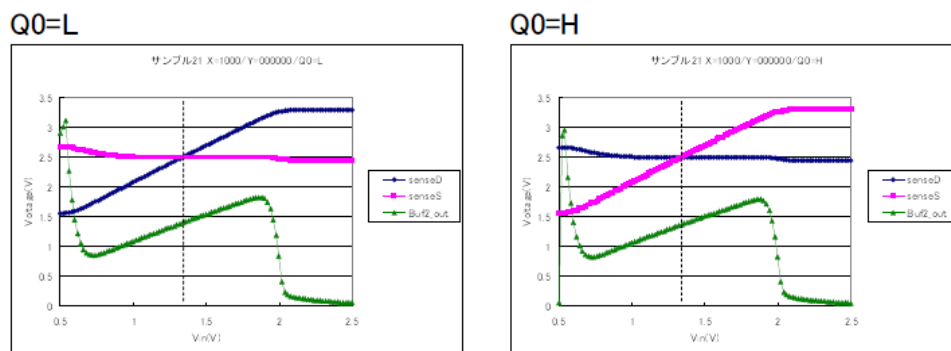


III-2-I- (1)図 1-2-7-9 回路図の概略

○測定結果

1) システムティックオフセット=0となる入力電圧 V_{in} を検出

例) X_SEL[3:0]=1000(Nchアンプ L/W=1u/80u)



上記よりシステムティックオフセット=0となる入力電圧 $V_{in}=1.34V$ と決定

III-2-I- (1)図 1-2-7-10 システムティックオフセットのキャンセル結果

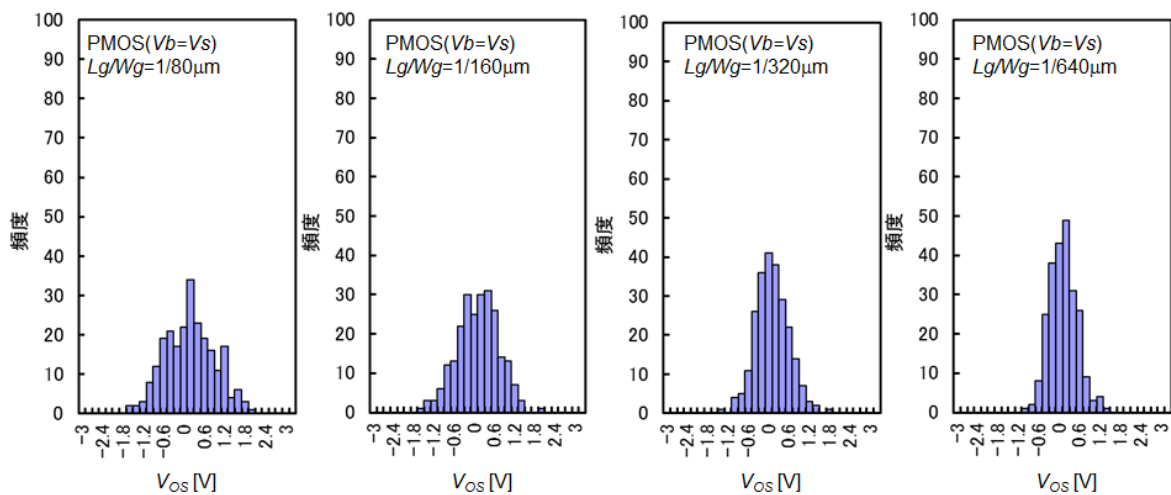
III-2-I- (1)表 1-2-7-2 設計した TEG の DUT を構成する MOS サイズ一覧

X_SEL[3:0]	MOS タイプ	入力差動対 Tr サイズ[mm]		能動対 Tr サイズ[mm]	
		L	W	L	W
0000	Pch (Vb=Vs)	1	80	8	10
0001		1	160		
0010		1	320		
0011		1	640		
0100	Pch (Vb=Vdd)	1	80		
0101		1	160		
0110		1	320		
0111		1	640		
1000	Nch	1	80	4	20
1001		1	160		
1010		1	320		
1011		1	640		
1100	Nch (サイズ補間)	2	160		
1101		2	320		
1110		2	640		
1111		2	1280		

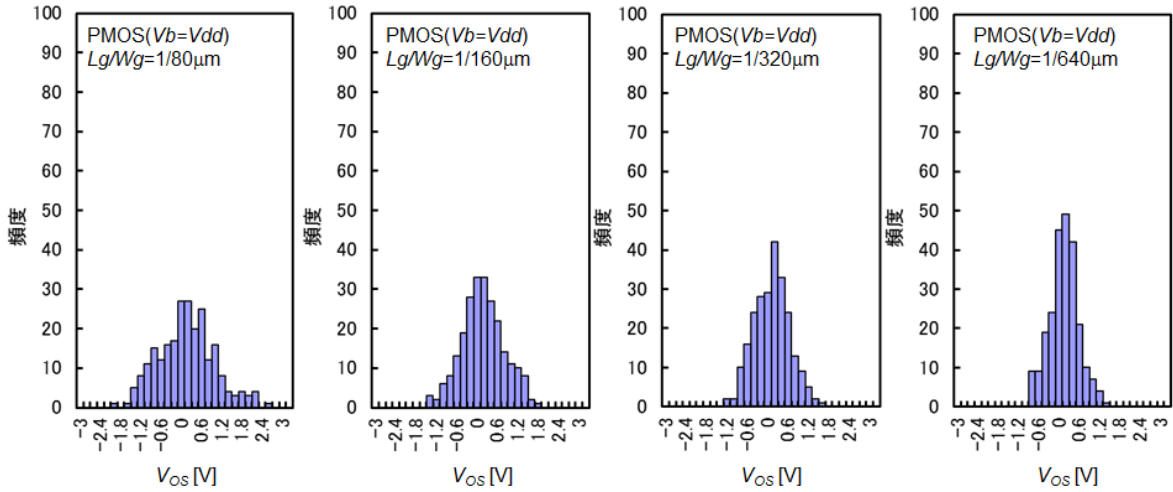
上記手法により、それぞれ 64 セル分のデータを求める。ここで、外付け抵抗から設定するゲインは、

$$\text{ゲイン} = (R_2/R_1) \times (R_4/R_3)$$

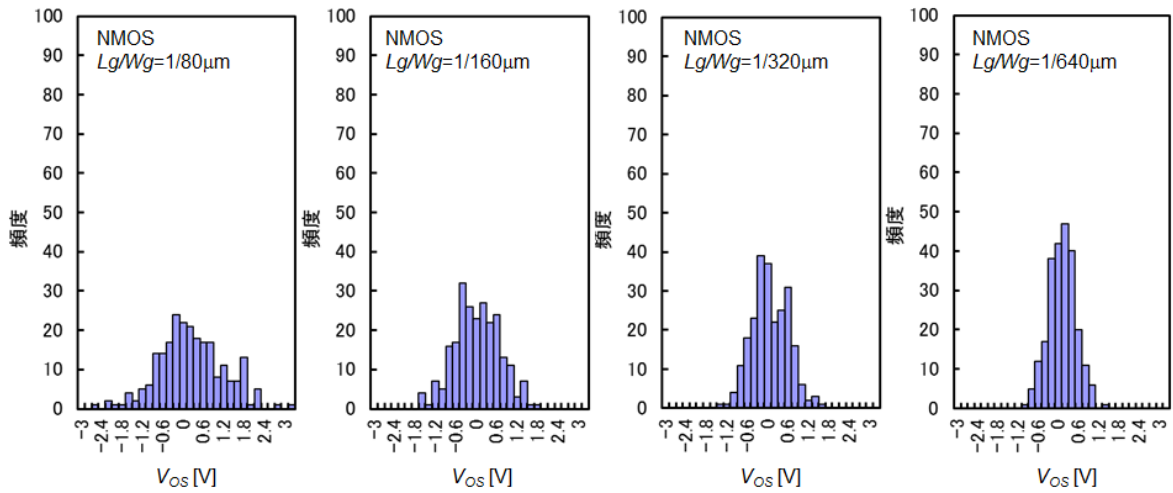
で与えられ、 $R_1 \sim R_4$ は評価ボード上に実装される。今回の評価は、ゲインを 40 倍に固定して実施した。まず、N 型作動対タイプの TEG にてシステムティックオフセットがゼロとなる入力電圧を求めた結果を III-2-I- (1) 図 1-2-7-10 に示した。本結果から、システムティックオフセットがゼロとなる、すなわち図中 senseD = senceS となる入力電圧 V_{in} は 1.34V であり、以下の測定で $V_{in}=1.34V$ と決定する。その後、 $Q_0=L/H$ を切り替えた際の出力電圧 Buf2_out の差分を計測する。 $Q_0=L/H$ を切り替え、Y アドレスの 65 セル分の V_{OS} を測定し、さらに III-2-I- (1) 表 1-2-7-2 に示す、X アドレスを切り替え異なった MOS タイプ、異なったサイズのオペアンプの V_{OS} を計測した結果を III-2-I- (1) 図 1-2-7-11 ~ III-2-I- (1) 図 1-2-7-14 に示した。III-2-I- (1) 図 1-2-7-15 は、それぞれのオペアンプ種類ごとに MOS サイズの異なったオペアンプの V_{OS} ばらつきを累積度数分布を示した。ヒストグラムはほぼ正規分布に近い形状を示し、累積度数分布は直線になる結果は、チップ内に配置したオペアンプの V_{OS} ばらつきがランダムばらつきであることを示唆している。また、オペアンプを構成する MOS トランジスタのゲート面積 (L_g と W_g の積) が小さくなるほど、ランダムばらつきが大きくなることが分かった。横軸にゲート面積の平方根の逆数を取り、縦軸に σV_{OS} をプロットした、いわゆる Pelgrom プロットを III-2-I- (1) 図 1-2-7-16 に示した。III-2-I- (1) 図 1-2-7-16(a) は 4 チップ分のデータをすべてプロットし、(b) はチップの平均をとり、オペアンプの種類ごとのプロットを示している。 V_{OS} ばらつきは、構成する入力作動対の MOS トランジスタのゲート面積と線形比例の関係にあることが分かった。



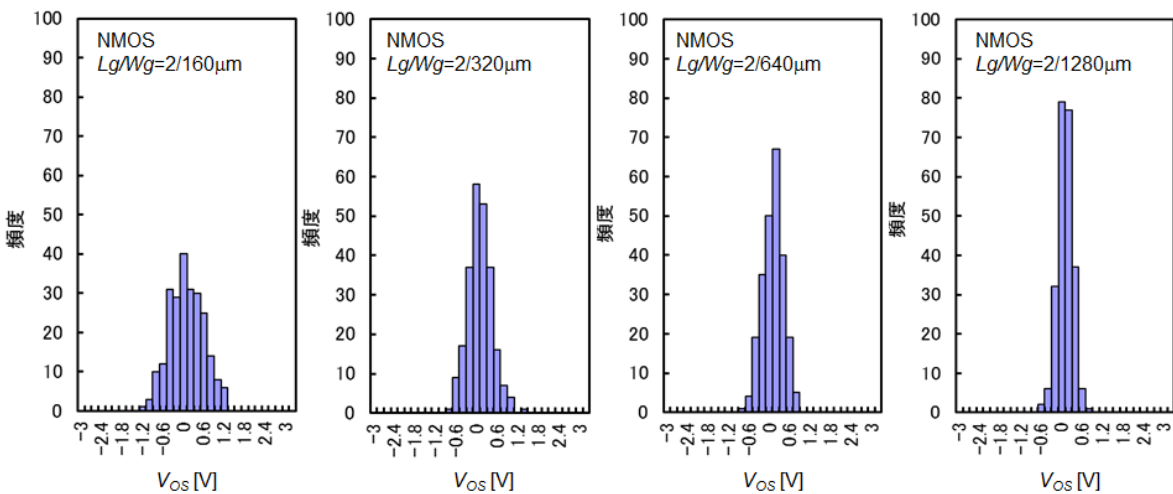
III-2-I- (1) 図 1-2-7-11 DUT に PMOS オペアンプ ($V_b=V_s$) を採用した場合の V_{OS} のヒストグラム



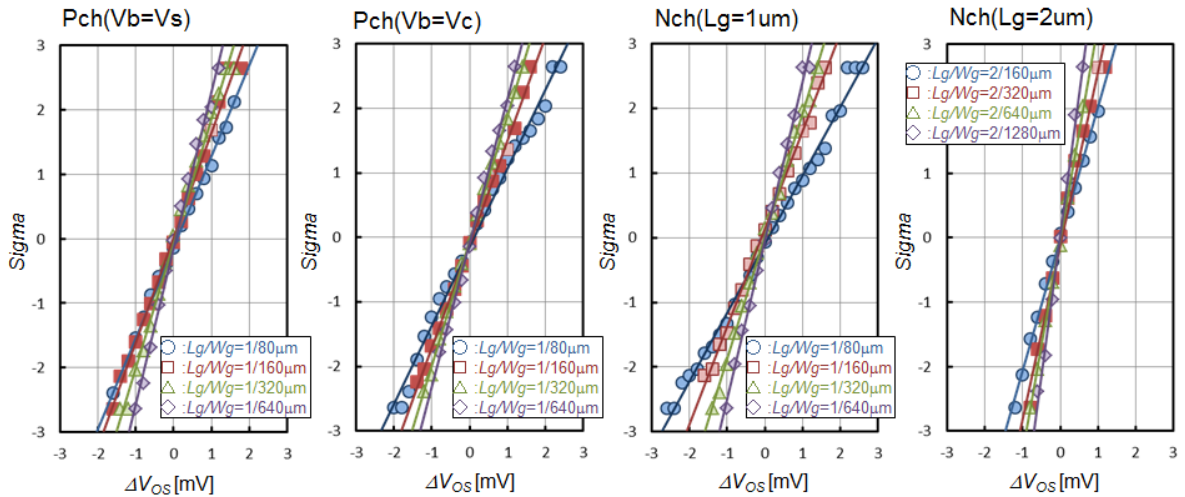
III-2-I- (1)図 1-2-7-12 DUT に PMOS オペアンプ ($V_b = V_{dd}$) を採用した場合の V_{OS} のヒストグラム



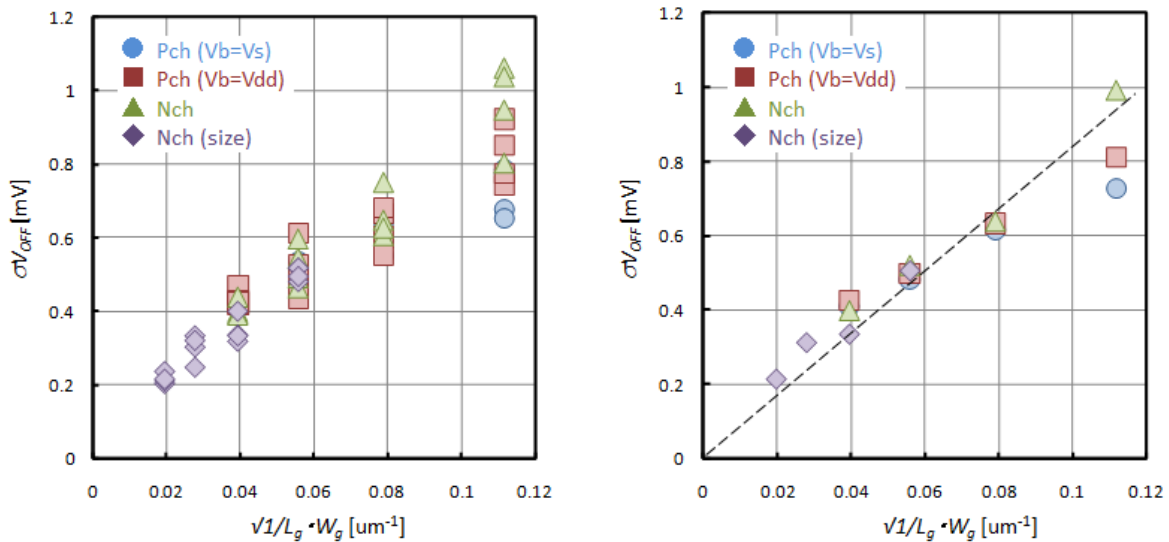
III-2-I- (1)図 1-2-7-13 DUT に NMOS オペアンプ (1) を採用した場合の V_{OS} のヒストグラム



III-2-I- (1)図 1-2-7-14 DUT に NMOS オペアンプ (2) を採用した場合の V_{OS} のヒストグラム



III-2-I- (1)図 1-2-7-15 各種オペアンプの V_{OS} の累積度数分布

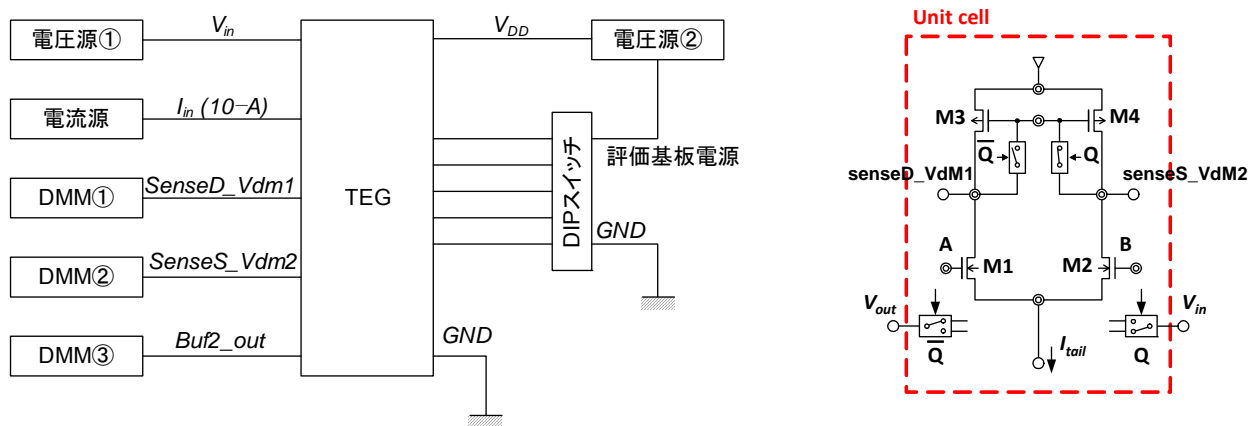


III-2-I- (1)図 1-2-7-16 σV_{OS} の Pelgrom プロット

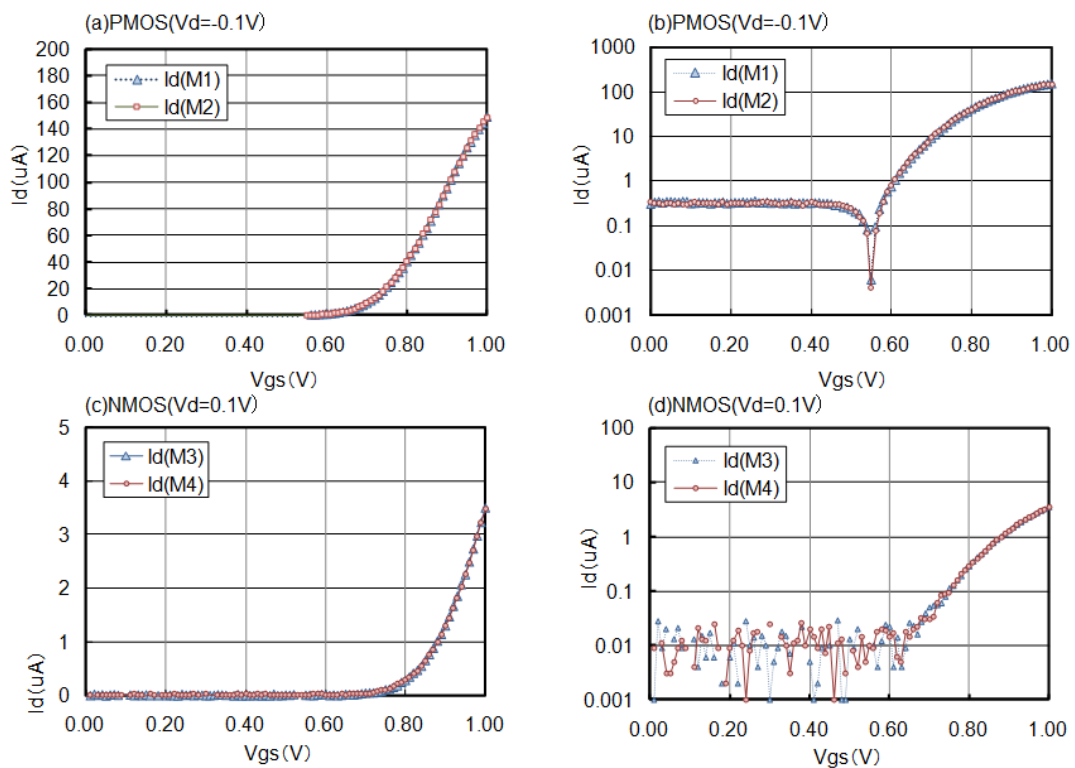
引き続き、 V_{OS} を求めたオペアンプ TEG を構成する MOS トランジスタの特性を評価する。III-2-I- (1) 図 1-2-7-17 に示すように、オペアンプ TEG を構成する MOS トランジスタのソース・ドレイン・ゲート電極に引き出された端子に電圧を印加することで評価を行う。TEG への接続、使用機器をも同様に示した。高精度な評価を実施するために、ドレイン電圧、ソース電圧をセンスし、補正できるようにモニター用のデジタルマルチメーターも準備している。実測した、 $L_g/W_g=1/80\mu\text{m}$ の PMOS、ならびに NMOS の特性の一例を III-2-I- (1) 図 1-2-7-18 に示した。本 TEG を用いることで、MOS トランジスタの I_d-V_g 特性が求められ、またこの特性より V_{th} が抽出可能であることを示した。この方法により求めた入力差動対のペアの MOS トランジスタの V_{th} 差 (ΔV_{th}) の分布を III-2-I- (1) 図 1-2-7-19、III-2-I- (1) 図 1-2-7-20、および III-2-I- (1) 表 1-2-7-3 に示す。 ΔV_{th} をとることにより、 V_{th} ばらつきのランダム成分を抽出しているため、 ΔV_{th} はほぼ正規分布を示す。また、従来から報告されているように、 V_{th} 、 T_{OX} が同じであるため、ゲート面積が小さくなるにしたがって、 ΔV_{th} ばらつきが大きくなっていることが分かる。III-2-I- (1) 図 1-2-7-21 に Pelgrom、ならびに Takeuchi プロットを示した。記号(○□) はペア差からもとめた実測結果であり、実践は 1M の DMA-TEG より求めた結果を示している。開発したオペア

アンプ TEG から求めたランダムばらつきは、1M の DMA-TEG の結果によく一致し、評価結果が正しいことを確認することができた。

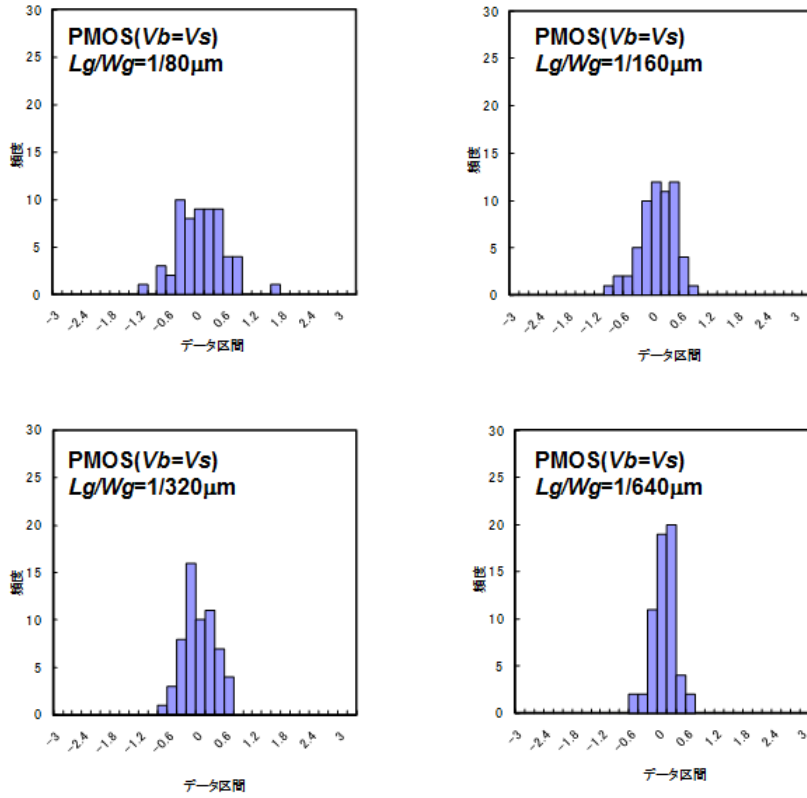
機器No	メーカー	型番	概要	用途
電圧源①	ADVANTEST	TR6143	直流電圧・電流源	ゲート電圧印加用
電圧源②	KENWOOD	PW8-3ATP	多出力直流安定化電源(3出力)	デバイス電源(VDD)、評価基板電源印加用
電流源	ADVANTEST	TR6143	直流電圧・電流源	基準電流(10uA)印加用
DMM①	HP	34401A	デジタルマルチメータ	能動負荷MOSドレイン電圧測定用
DMM②	HP	34401A	デジタルマルチメータ	能動負荷MOSドレイン電圧測定用
DMM③	ADVANTEST	R6871E	デジタルマルチメータ	出力(Buf2_out)測定用



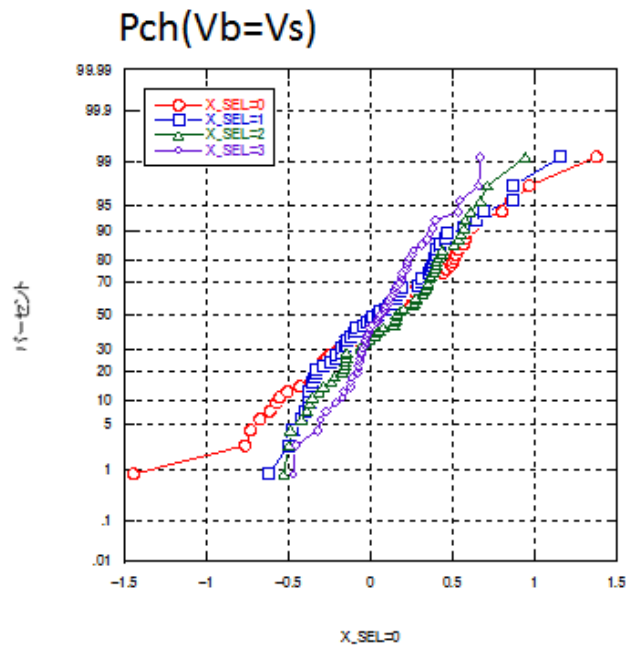
III-2-I- (1)図 1-2-7-17 DUT を構成する MOS トランジスタの測定手法



III-2-I- (1)図 1-2-7-18 単体トランジスタの I_d-V_g 波形



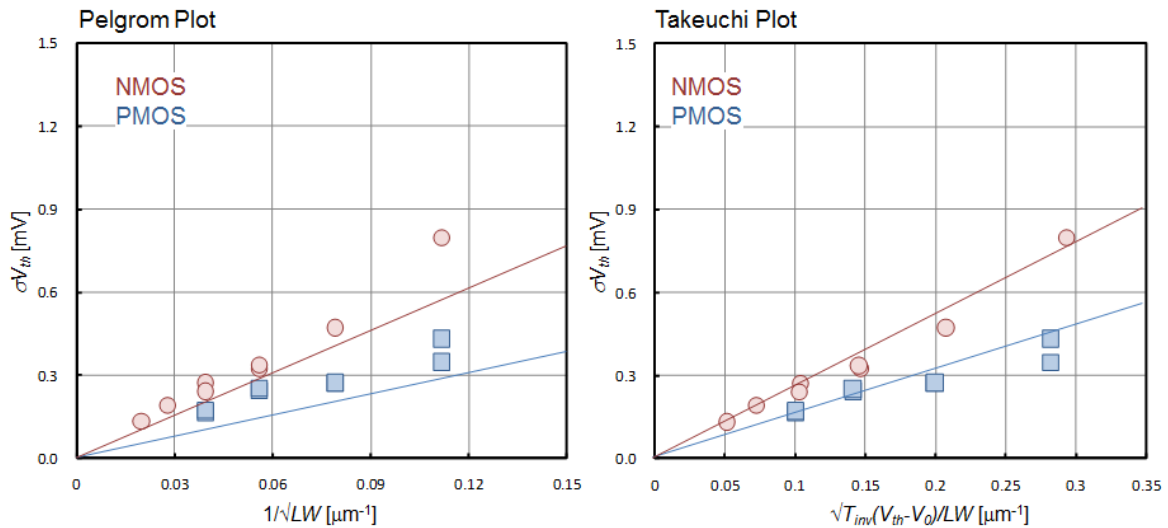
III-2-I- (1)図 1-2-7-19 DUT を構成する MOS トランジスタの V_{th} のヒストグラム



III-2-I- (1)図 1-2-7-20 単体トランジスタの V_{th} の累積度数分布

III-2-I- (1)表 1-2-7-3 DUT を構成する MOSトランジスタの V_{th} の統計情報

X_SEL	入力MOSタイプ	Lg μ m $\%$	Wg μ m $\%$	偏差(mV $\%$)	平均(mV $\%$)	最大(mV $\%$)	最小(mV $\%$)	相関係数
0	PMOS $\%$ Vb=Vs $\%$	1	80	0.492	-0.062	1.451	-1.376	0.730
1		1	160	0.383	-0.063	0.621	-1.160	0.579
2		1	320	0.344	-0.131	0.537	-0.943	0.741
3		1	640	0.237	-0.071	0.475	-0.668	0.516
4	PMOS $\%$ Vb=Vdd $\%$	1	80	0.612	-0.127	1.532	-1.352	0.788
5		1	160	0.387	-0.017	1.055	-0.834	0.780
6		1	320	0.357	-0.059	0.785	-0.818	0.717
7		1	640	0.245	0.016	0.680	-0.520	0.382
8	NMOS	1	80	1.130	0.167	2.246	-2.353	0.928
9		1	160	0.669	-0.141	1.009	-1.792	0.891
10		1	320	0.457	-0.049	0.758	-1.283	0.854
11		1	640	0.386	0.021	0.780	-0.732	0.809
12	NMOS(サイズ補間)	2	160	0.476	-0.046	0.808	-1.236	0.811
13		2	320	0.343	-0.012	0.750	-0.602	0.797
14		2	640	0.271	-0.004	0.817	-0.521	0.737
15		2	1280	0.188	-0.021	0.299	-0.497	0.467



III-2-I- (1)図 1-2-7-21 単体トランジスタの σV_{th} の(a)Pelgrom、(b)Takeuchi プロット

また、単体 MOS 特性からアンプの V_{OS} の導出が可能である。すなわち、飽和領域の電流 I と g_m は、

$$I = \frac{\beta}{2}(V_{gs} - V_{th})^2$$

$$g_m = \frac{\partial I}{\partial V_{gs}} = \beta(V_{gs} - V_{th}) \quad (1-2-7-1)$$

I を V_{th} と b と V_{gs} の関数としたときの全微分は、

$$\Delta I_{12} = \frac{\partial I_{12}}{\partial V_{th12}} \Delta V_{th12} + \frac{\partial I_{12}}{\partial \beta_{12}} \Delta \beta_{12} + \frac{\partial I_{12}}{\partial V_{gs12}} \Delta V_{gs12} \quad (1-2-7-2)$$

$$\Delta I_{34} = \frac{\partial I_{34}}{\partial V_{th34}} \Delta V_{th34} + \frac{\partial I_{34}}{\partial \beta_{34}} \Delta \beta_{34} + \frac{\partial I_{34}}{\partial V_{gs34}} \Delta V_{gs34} \quad (1-2-7-3)$$

$\Delta V_{gs34} = 0$ (能動対の M3、M4 ゲートは短絡しているため)

$$\Delta I_{12} + \Delta I_{34} = 0 \quad (1-2-7-4)$$

アンプのオフセットは(4)が成立するときの ΔV_{gs12} であるので、(1-2-7-1)～(1-2-7-4)式から、

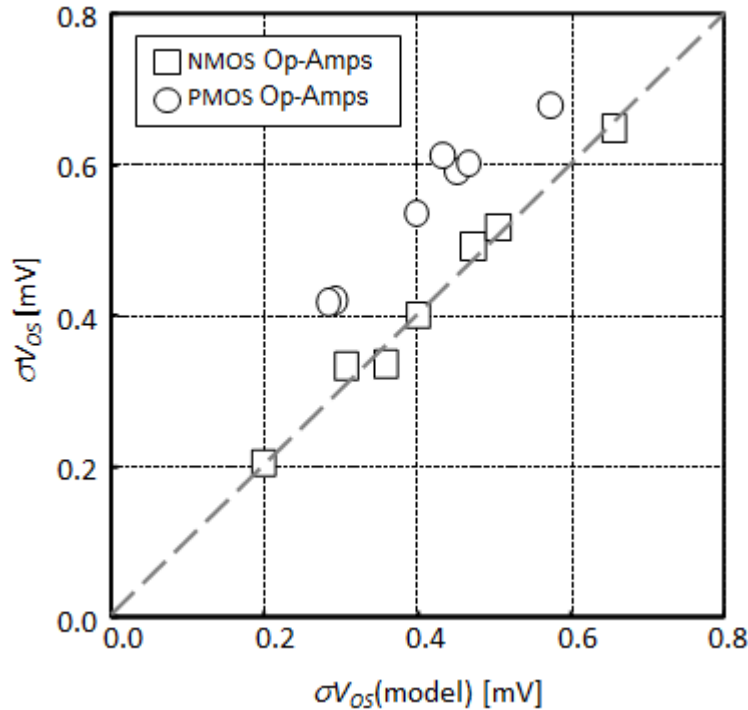
$$\begin{aligned} \Delta V_{gs12} &= V_{OS} \\ &= \Delta V_{th12} + \frac{(V_{gs12} - V_{th12})^2}{2g_{m12}} \cdot \Delta \beta_{12} + \frac{g_{m34}}{g_{m12}} \cdot \Delta V_{th34} + \frac{(V_{gs12} - V_{th12})^2}{2g_{m12}} \cdot \Delta \beta_{34} \\ &= \Delta V_{th12} + \frac{(V_{gs12} - V_{th12})}{2} \cdot \frac{\Delta \beta_{12}}{\beta_{12}} + \frac{g_{m34}}{g_{m12}} \left(\Delta V_{th34} + \frac{(V_{gs34} - V_{th34})}{2} \cdot \frac{\Delta \beta_{34}}{\beta_{34}} \right) \end{aligned} \quad (1-2-7-5)$$

$\beta_{12} \gg \beta_{12}$ 、 $\beta_{34} \gg \beta_{34}$ とすると、

$$V_{OS} = \Delta V_{th12} + \frac{g_{m34}}{g_{m12}} \cdot \Delta V_{th34} \quad (1-2-7-6)$$

が成立する。(1-2-7-6)式を用いて、オペアンプ TEG を構成する単体 MOS トランジスタのばらつきから求めた $\sigma V_{OS}(\text{model})$ と実測の σV_{OS} に比較を行った結果を、III-2-I- (1)図 1-2-7-21 に示した。若干、PMOS で差異が大きいものの単体 MOS トランジスタより計算される値に近い結果が得られた。

以上より、アナログ回路等の基本回路となるオペアンプ TEG の微小なオフセットばらつき、ならびにアナログ回路を構成する単体デバイス特性を評価する手法を開発し、その有用性を示した。単体 MOS デバイスばらつきを高精度に評価することで、アナログ回路を構成した場合の回路ばらつきを見積もる手法を示し、その妥当性を確認した。



III-2-I- (1)図 1-2-7-16 単体トランジスタの V_{th} ばらつきから求めた V_{05} と実測 V_{05} の関係

参考文献

- [1] K. Takeuchi, T. Fukai, Y. Tsunomura, A. T. Putra, A. Nishida, S. kamohara and T. Hiramoto, "Understanding Random Threshold Voltage Fluctuation by Comparing Multiple Fabs and Technologies," Proc of IEDM2007, p.467-470, Dec., 2007.
- [2] K. Takeuchi, A. Nishida, and T. Hiramoto, "Normalization of random threshold voltage fluctuation for fair comparison between technologies, process conditions and device designs," in Silicon Nanoelectronics Workshop Abst., pp.7-8, 2007.
- [3] T. Tsunomura, A. Nishida, F. Yano, A. T. Putra, K. Takeuchi, S. Inaba, S. Kamohara, K. Terada, T. Hiramoto, and T. Mogami, "Analyses of 5σ V_{th} fluctuation in 65nm-MOSFETs using Takeuchi plot," in Symp. VLIS Tech. Dig., pp.156-157, 2008.
- [4] T. Tsunomura, A. Nishida, F. Yano, A. T. Putra, K. Takeuchi, S. Inaba, S. Kamohara, K. Terada, T. Mama, T. Hiramoto, and T. Mogami, "Analysis of extra V_t variability sources in NMOS using Takeuchi plot," in Symp. VLSI Tech. Dig., pp.110-111, 2009.
- [5] X. Song, M. Suzuki, T. Saraya, A. Nishida, T. Tsunomura, S. Kamohara, K. Takeuchi, S. Inaba, Y. Mogami, and T. Hiramoto, "Impact of DIBL variability on SRAM Static Noise Margin Analyzed by DMA SRAM TEG," to be presented in IEDM 2010, 2010.
- [6] Y. Bando, S. Takaya, T. Ohkawa, T. Takaramoto, T. Yamada, M. Souda, S. Kumashiro, and M. Nagata, "On-chip In-situ Measurements of V_{th} and AC Gain of Differential Pair Transistors", IEEE International Conference on Microelectronic Test Structures 2010 (ICMTS 2010), pp. 232 - 235, Mar. 2010
- [7] M. J. M. Pelgrom, A. C. J. Duinmaijer, and A. P. G. Welbers, "Matching properties of MOS transistors," IEEE J. Solid-State Circuits, vol. 24, no. 5, pp.1433-1440, Oct. 1989.

[2]ばらつきの物理原因説明

2-1.各種物理解析手法

2-1-1.一貫解析手法の開発

トランジスタ特性にばらつきが生じる原因はトランジスタを構成するゲート、ゲート酸化膜、ソース、ドレイン、チャンネルの構造や組成(元素の分布)、応力などの物理パラメータが個々のトランジスタごとに変動しているためと考えられる。具体的には III-2-I-(1)図 2-1-1-1 に示すように、ゲートについては LER(Line Edge Roughness)、LWR(Line Edge Width)、ゲート幅、不純物濃度、不純物分布が、ゲート酸化膜については膜厚(T_{ox})が、ソース・ドレイン領域に関してはシリサイド電極の形状や不純物分布による接合深さ(X_j)が、さらに、チャンネル領域についてはゲート酸化膜との界面ラフネス、離散不純物の分布、歪や応力などの物理パラメータが揺らぐことによってトランジスタ特性がばらつく。したがって、これらトランジスタの特性ばらつきの要因で、支配的な要因が明らかにできれば、その物理パラメータを高精度に制御して製造、またはその物理パラメータに影響されにくいトランジスタ構造を採用することで対策をとることができる。そのために、ばらつきの物理原因を説明することが重要である。

微細化されたトランジスタの寸法ばらつきは、たかだか数ナノメートルオーダーであるため、その構造観察には原子レベルの分解能が必要となる。これが可能であり、汎用性が高い透過型電子顕微鏡(TEM: Transmission Electron Microscope)は、III-2-I-③-(1)図 2-1-1-1 の各種の物理パラメータの評価に多く使われている。そのほかにポテンシャルについては走査型キャパシタンス顕微鏡(SCM: Scanning Capacitance Microscope)や電子線ホログラフィーが、形状のアトミックラフネスについては原子間力顕微鏡(AFM: Atomic Force Microscope)、歪や応力については収束電子線回折(CBED: Convergent Beam Electron Diffraction)やナノビーム回折(NBD: Nano Beam Diffraction)、離散不純物分布についてはアトムプローブ(APT: Atom Probe Tomography)などが評価に用いられている。ただし、トランジスタ形状による制約やナノメートル以下の分解能が要求されるため、必ずしも簡単な評価ではない。

さらにこの物理原因説明の難易度を上げている原因が、評価方法のほとんどが破壊分析法であることである。例えば TEM についていえば膜厚数 10~300nm 程度の薄片試料にすることで電子線が透過し、観察が可能になる。この薄片試料の膜厚は評価の目的によって異なり、厚さ 2nm 程度のゲート酸化膜の厚さを評価するならば数 10nm の薄片にして格子像を観察する必要があるし、応力を評価するならば、応力解放が少ない 300nm 程度の厚さにする必要がある。また、LER や LWR を評価するならば、ゲートを基板表面に平行な断面試料を作成し、観察しなければならないが、ゲート酸化膜厚を評価するならば、基板表面に垂直な断面試料が必要である。したがって評価する対象により、その評価手法を決定し、その評価に最適な形状に試料を加工(すなわち破壊)することになる。さらに、SCM や AFM は本質的には非破壊評価法であるが、評価対象を表面に露出させる必要があるため、やはりトランジスタ構造を破壊する必要がある。このように物理パラメータを評価するためには、その評価方法に応じて最適な形状に試料を加工する必要があるため、一つのトランジスタについて複数の物理パラメータを取得することが事実上不可能になる場合が多い。

従って、一つのトランジスタについて複数の物理パラメータを得るためにはそれぞれのパラメータをどの手法で評価するのか、そのための試料形状はどのようなものか、を理解し、最適な評価順序を決めることが必要になる。今回トランジスタ特性のばらつき原因の説明のためにこの「最適な評価順序」を検討し、これを一貫解析手法と名付けた。この内容を III-2-I-③-(1)図 2-1-1-2 に示す。この方法では、まずトランジスタの電気特性より、評価したいトランジスタを決定したのち、配線層を除去する。さらに基板も研磨することで平面サンプルを

作成し、平面 TEM 観察を行う。これによりゲートの形状がサブ nm の分解能で評価できるため、ゲート幅やゲート長の平均的な長さや揺らぎ、および、コンタクト位置を評価することができる。次にこの試料を断面方向に薄片化する。断面 TEM 観察より、トランジスタ全体の形状および、金属シリサイド(本開発の 65nm プロセスを用いたデバイスではニッケルシリサイドを用いた)の形状が把握できる。さらに NBD によりチャネル領域における応力を評価する。単結晶シリコンは薄片化することで応力解放されるが、ここでの膜厚を 200~300nm にすることで、極端な応力解放は抑制することができる。さらに薄片化し、膜厚を 100nm 以下にすると格子像が観察可能となる。原子オーダーの分解能があるため、2nm 程度のゲート酸化膜の平均的な膜厚や、膜厚ゆらぎ、ゲート酸化膜/シリコン基板の界面アトミックラフネスなども評価できる。以上の本手法で得られる物理パラメータをⅢ-2-I-③-(1)表 2-1-1-1 に示す。

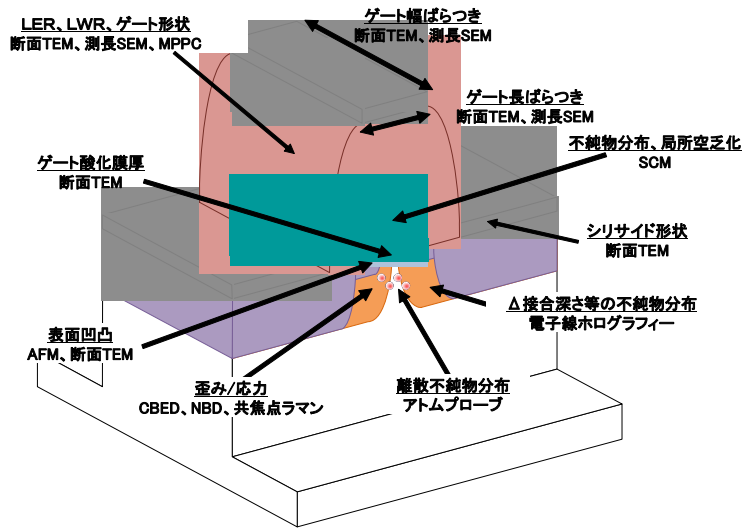
Ⅲ-2-I-③-(1)図 2-1-1-1 一貫解析手法によって得られる物理パラメータ

手 法	得られる物理パラメータ・構造情報
平面 TEM	ゲート長(L_g)、ゲート幅(W_g)、コンタクト位置
断面 TEM	トランジスタ全体の形状、金属シリサイド形状
ナノビーム回折	チャネル領域の応力
断面 TEM (格子像)	ゲート酸化膜厚(T_{ox})、界面のアトミックラフネス

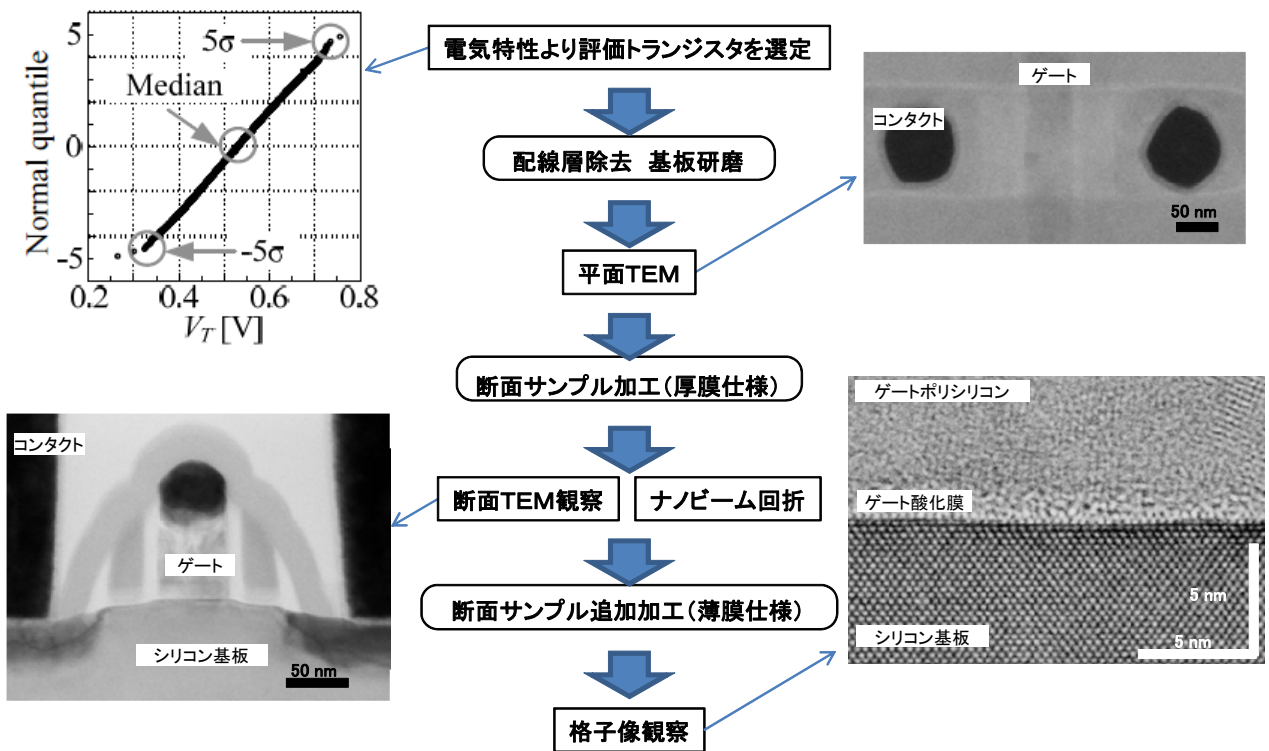
実際にこの手法を NMOS と PMOS それぞれについて V_{th} が $+5\sigma$ 、平均値、 -5σ の 3 つのトランジスタに適用し、合計 6 つのトランジスタについて物理パラメータの比較を行った。解析を行った試料のドレイン電流のゲート電圧依存性(I_{ds} - V_g 波形)を Ⅲ-2-I-③-(1)図 2-1-1-3 に示した。このように、 $\pm 5\sigma$ のトランジスタを選ぶと NMOS では V_{th} が 0.38V、PMOS では 0.26V と大きく異なっており、これだけの V_{th} 差ができるにはそれなりの構造差があると予想した。一貫解析の結果をⅢ-2-I-③-(1)表 2-1-1-2 に示した。上から順番に、平面 TEM の結果、断面 TEM 像、断面 TEM サンプルによる応力評価の結果、およびゲート酸化膜厚である。このように大きな構造上の違いが予想されたにもかかわらず、NMOS、PMOS ともにゲート長、ゲート幅、チャネル部の応力、ゲート酸化膜厚さにおいて有意な差は認められず、むしろこの結果より、上記の物理パラメータについては V_{th} の差異を説明できるほどの違いはないということが結論付けられた。

また、一貫解析の別のアプリケーションとして、平面 TEM 観察後にゲート幅方向に平行に切り出した試料を用いた TEM 観察結果をⅢ-2-I-③-(1)表 2-1-1-3 に示す。この試料は表 2-1-1-2 の解析に用いたトランジスタとは別のトランジスタ(NMOS、PMOS 各 2 個ずつ、 V_{th} が $\pm 5\sigma$ のもの)を用いている。この結果から、ポリシリコンゲート内でのポリシリコン粒の大きさや形状が確認できる。しかし、大きさや形状ともに特異なものは観察されず、 $\pm 5\sigma$ もの大きな V_{th} 差を説明できる違いは認められなかった。

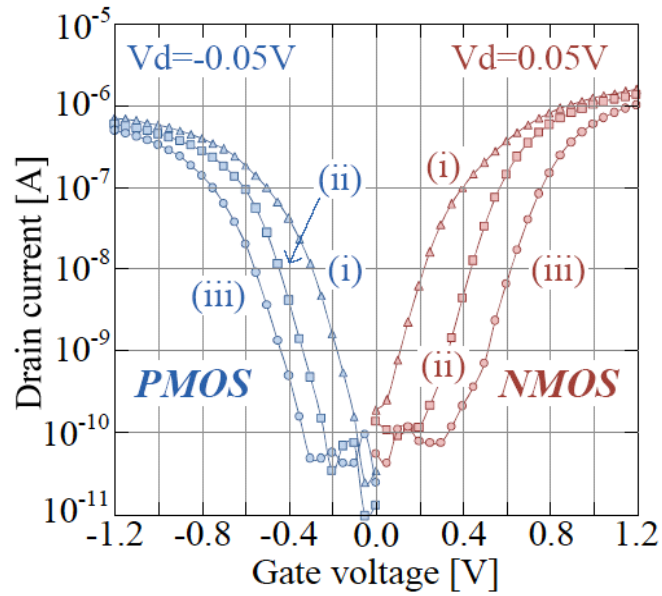
以上の一貫解析結果より、 $\pm 5\sigma$ の V_{th} の違いの原因は本一貫解析手法の評価対象外であった不純物の分布による可能性が示唆された。これについては 3DAP による評価技術を開発し、種々のサンプルに適用した。この内容については 2-2 章および 6-2 章で詳細に報告する。



III-2-I-③-(1)図 2-1-1-1 トランジスタ特性に影響を与える物理パラメータとその評価方法



III-2-I-③-(1)図 2-1-1-2 物理パラメータの一貫解析手法



III-2-I- (1)図 2-1-1-3 一貫解析を実施したトランジスタの I_d - V_g 特性((i) V_{th} -low, (ii) V_{th} -medium, (iii) V_{th} -high)

III-2-I-③-(1)表 2-1-1-2 一貫解析の結果

MOS type	NMOS (W/L =140/60 nm)			PMOS (W/L =140/60 nm)		
	V _{th}	0.335V(-5σ)	0.529V(median)	0.719V(+5σ)	0.425V(-5σ)	0.546V(median)
Plan-view TEM image	L=66nm W=128nm	L=67nm W=127nm	L=65nm W=124nm	L=62nm W=129nm	L=65nm W=123nm	L=63nm W=128nm
Cross-sectional TEM image						
Strain	130/-130MPa	130/130MPa	130/130MPa	0/-260MPa	130/-130MPa	0/-260MPa
Tox	1.9nm	1.9nm	1.9nm	1.9nm	1.9nm	1.9nm

III-2-I-③-(1)表 2-1-1-3 断面 TEM 観察結果(ゲート幅方向に平行な試料を用いた)

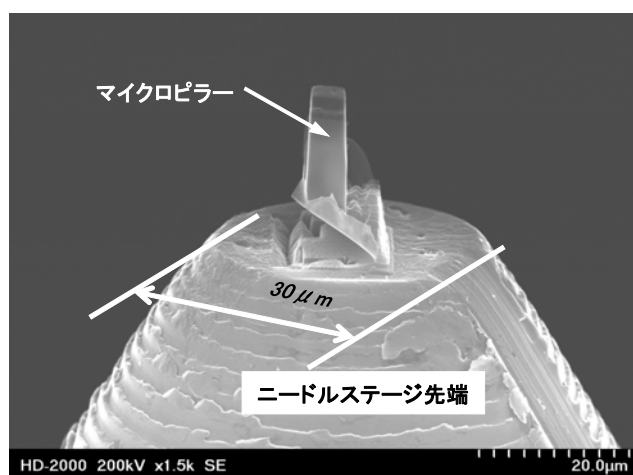
MOS type	NMOS (W/L =140/60 nm)		PMOS (W/L =140/60 nm)	
	V _{th}	0.335V(-5σ)	0.719V(+5σ)	0.425V(-5σ)
Gate poly-Si Grain				

2-1-2. 3次元STEM技術

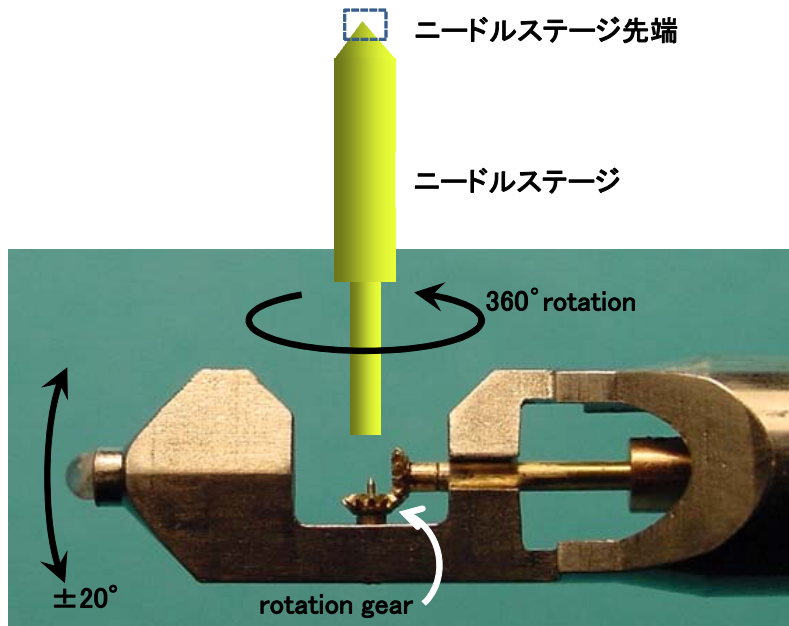
前章で述べたように、トランジスタの特性ばらつきの原因となりうるトランジスタの各寸法や組成、構成元素の分布、また、応力などの物理パラメータを1つのトランジスタに対して全て評価することは不可能である。しかし、特性ばらつきの原因が明らかにするためにこれらのなかのどこを評価すればいいのかを観察する前に絞り込むことはできない。そのため、1つでも多くの物理パラメータを評価するための手段として一貫解析手法を開発したが、本章ではこの課題に対して別のアプローチを行った内容について述べる。

一貫解析手法を用いることにより1つのトランジスタの構造について複数の物理パラメータを得ることができたが、本質的に不可能なことも残っている。例えばゲート酸化膜の厚さの面内ばらつきを2次元的に評価することはできないし、平面TEM観察によりLERはある程度評価できるがゲート高さ方向でのラフネスの変動は評価できない。何故ならば、TEM観察用の薄片化した試料内部の情報は、透過電子像では平均化されてしまい観察できないこと、また、一度薄片化すると元に戻すことができないためである。そこで、本章では試料を薄片化することなく、角度を変えて多くの透過電子像を観察し、その結果から三次元的に構造をCT (Computed Tomography) 処理により再構築する3次元走査型透過電子顕微鏡法(STEM: Scanning Transmission Electron Microscope)について検討した結果について報告する。この方法を用いると試料内部の三次元構造を高分解能で把握できるため、特性の異なるトランジスタの構造の比較評価に適用し、特性差の原因について考察を行った。

はじめに3次元STEM法について説明する。この方法では集束イオンビーム(FIB: Focused Ion Beam)により試料を 150 nm^2 程度の角柱状のピラーに加工する。この加工には走査型電子顕微鏡(SEM: Scanning Electron Microscope)で構造を確認しながら微細加工が可能な、日立ハイテクノロジーズ社製FB2100を用いた。観察するトランジスタをこのピラー状の試料の中心にくるように粗加工し、ニードルステージの先端に取り付ける(III-2-1-I-③-(1)図2-1-2-1)。さらにこのピラーをFIB加工し、 150 nm^2 程度にする。FIB加工終了後、ニードルステージを三次元観察用ホルダーに取り付け、STEM観察を行う。2°という細かいステップで回転させる毎にSTEM観察を行い、Zコントラスト像を取得する(III-2-1-I-③-(1)図2-1-2-2)。Zコントラスト像(=高角散乱環状暗視野像)は高角側に散乱された弾性散乱電子を環状検出器で検出することで、回折コントラストなど結晶性によるコントラストを抑え、原子番号や密度に依存したコントラスト像を得ることができる。そのため、今回のような構造観察には最適な像である。このSTEM観察には日立ハイテクノロジーズ社製のHD2700を用いた。詳細な観察条件についてはIII-2-1-I-③-(1)表2-1-2-1にまとめた。



III-2-1-I- (1)図2-1-2-1 マイクロピラーサンプルとニードルステージ



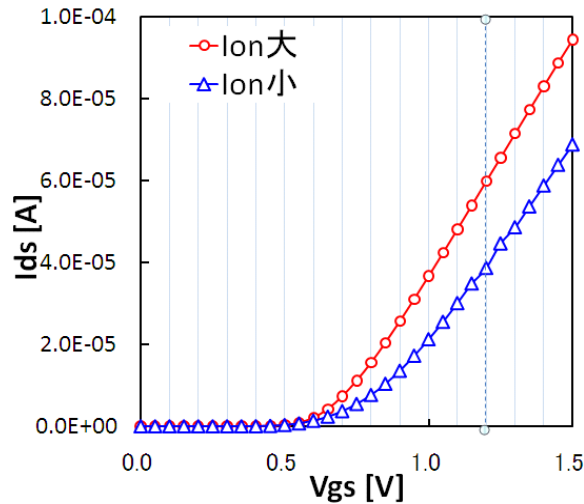
III-2-1-I-③-(1)図 2-1-2-2 3次元観察用試料ホルダー

III-2-1-I-③-(1)表 2-1-2-1 3次元 STEM の観察条件

画像サイズ	1280 x 960 ピクセル
画素サイズ	0.33nm/ピクセル
観察角度範囲	0° から180°
角度ステップ	2°
観察画像枚数	91枚

得られた複数枚の STEM 像は、あらかじめ試料に付着させておいた金の微粒子(数 nmΦ)を目印にすることで画像の回転中心および回転軸を決定したのち、CT 処理により三次元構造の再構築を行う。これによって得られた三次元構造は 0.6nm の解像度を持っており、任意の方向からの任意の厚さの投影像やスライス像を取得することができる。これにより、各種物理パラメータを得るのに最適な画像を抽出し、複雑なトランジスタ構造を比較することが可能となった。本手法は従来から日立製作所および日立ハイテクノロジーズにおいて検討されてきた技術であるが、絶縁膜中の金属など、Z コントラストが付きやすいものを対象としてきた。今回は初めて複雑なトランジスタ構造中のシリコンと二酸化シリコンのような組成比率が小さい系に対して適用したところ、当初十分な分解能が得られなかったが、金微粒子による軸補正などの改良を加えることで高分解能観察に成功した。

今回評価を行ったのは、 I_{on} 電流の異なる 2 つのトランジスタである。すでに述べたように、トランジスタ特性のなかでも V_{th} ばらつきについては、基板中の不純物の離散的な分布が原因であると推定されているが、 I_{on} ばらつきの原因については検討がなされていなかった。通常の 65nm ルールで作成された $W_g/L_g=120nm/60nm$ の 100 万個のトランジスタからなる DMA-TEG から I_{on} が $\pm 3.3\sigma$ と大きく異なるものの、 V_{th} が等しい NMOS を 2 個を選択し、三次元 STEM 法を実施した。この 2 つのトランジスタの I_d-V_g 特性を III-2-1-I-③-(1)図 2-1-2-3 に示す。



III-2-1-I-③-(1)図 2-1-2-3 3次元 STEM 解析を行ったトランジスタの I_d - V_g 特性

以下、3次元 STEM 法による評価結果を示す。III-2-1-I-③-(1)図 2-1-2-4 に再構築像を X、Y、Z 軸方向に投影した像を示す。トランジスタの模式図も合わせて記す。これは通常の透過像と同様で、試料の厚さ分(150~200nm)の Z コントラスト像を足し合わせたものである。この中の X 軸方向の投影像と、それを構成するスライス像の一部を III-2-1-I-③-(1)図 2-1-2-5 に示した。この 1 枚、1 枚は厚さ 2nm 分の投影像に対応しているが、このように X 軸方向に順次見ていくことで、トランジスタの 3 次元的な構造を明らかにすることができる。この例では、ゲート幅方向に NiSi がどのように形成されているか、また、ゲート酸化膜が平坦になっているか、などが確認できる。このような解析は他の軸方向についても可能であり、任意の角度からの観察が可能である。さらに回転させることも可能であり立体的な構造を直感的にとらえやすくなっている。

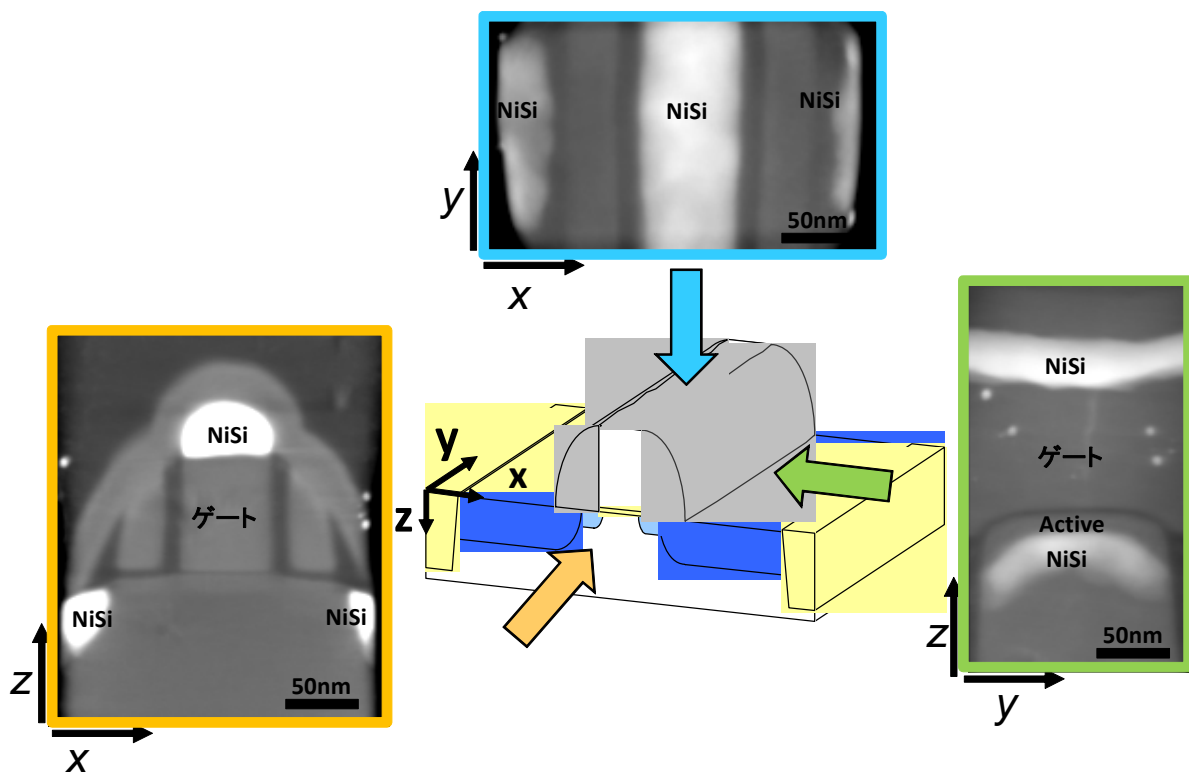
次に I_{on} 電流ばらつきの原因を検討するためにこの 2 つのトランジスタの構造を比較した結果を示す。III-2-1-I-③-(1)図 2-1-2-6 に示したのは I_{on} 大小二つのトランジスタの各投影像である。この 2 つのトランジスタに多少の違いは認められるものの、投影像であるため、150nm 程度の厚さに含まれるすべての情報が重ね合わさっており、詳細な比較はできない。そこで、個々の物理パラメータに着目した比較を行った。はじめにゲート酸化膜厚の 2 次元分布を比較する (III-2-1-I-③-(1)図 2-1-2-7)。膜厚分布は 2nm から 3nm の表示が最も多く、仕様通りの膜厚になっていることがわかる。しかし、その分布は I_{on} 大小の 2 試料間で大きな差異は認められず、ほぼ同様の分布になっている。次に LER と LWR の比較を行った。トランジスタの I_d - V_g 特性にもっとも影響を及ぼすゲートとゲート酸化膜の界面近傍のゲート酸化膜上、4nm の位置でのポリシリコンゲートの形状から算出した。その結果を III-2-1-I-③-(1)図 2-1-2-8 に示した。この結果からは、 I_{on} 小のトランジスタでゲート長が 1~2nm 程度長くなっていることが示された。しかしこの程度の違いでは I_{on} の $\pm 3.3\sigma$ の違いを説明することはできない。そこで次に着目したのが、ソース・ドレイン電極のニッケルシリサイド形状である。III-2-1-I-③-(1)図 2-1-2-6 で認められるように、ニッケルシリサイドの形状は場所により湾曲している。これはニッケルシリサイドがニッケルとシリコンの熱的な反応で生成されるため、微細な形状はコントロールできていないためである。詳細な形状を比較するために、ゲート酸化膜から基板方向へ厚さ 2nm ごとにスライスした像からシリコンとニッケルシリサイドの境界を求めたものを、III-2-1-I-③-(1)図 2-1-2-9 に示した。深さ位置についてはカラーで表示し、ゲート端からニッケルシリサイド端までの距離を、ソース・ドレイン側についてそれぞれ求めた。この結果では表面に近いほど、ニッケルシリサイド端とゲート端との距離が小さく、基板方向に深くなるほど大きくなることがわかる。また、ゲート幅方向に対して大きく変動していることもわかる。さらに、MOS トランジスタの I_d - V_g 特性に最も関与する電流経路と考えられるゲート酸化膜直下付近では場所によりニッケルシリサイド端とゲート端との

距離が極端に狭くなっているところがある。 I_{on} 大の左側、 I_{on} 小の左右では最も近づいている所で 50nm 程度であるのに対し、 I_{on} 大の右側のみ約 40nm になっており、この位置で特異的にニッケルシリサイド端とゲート端とが小さくなっていることが明らかである。このようにニッケルシリサイド端とゲート端との間隔が小さくなると、実効的なチャンネル長が短くなり、チャンネル抵抗が小さくなる。その結果、電流が大きくなることが定性的に説明できる。この結果からこの 2 つのトランジスタにおいて V_{th} は同一であるが、 I_{on} の異なる原因の一つとして、ニッケルシリサイド形状が示された。

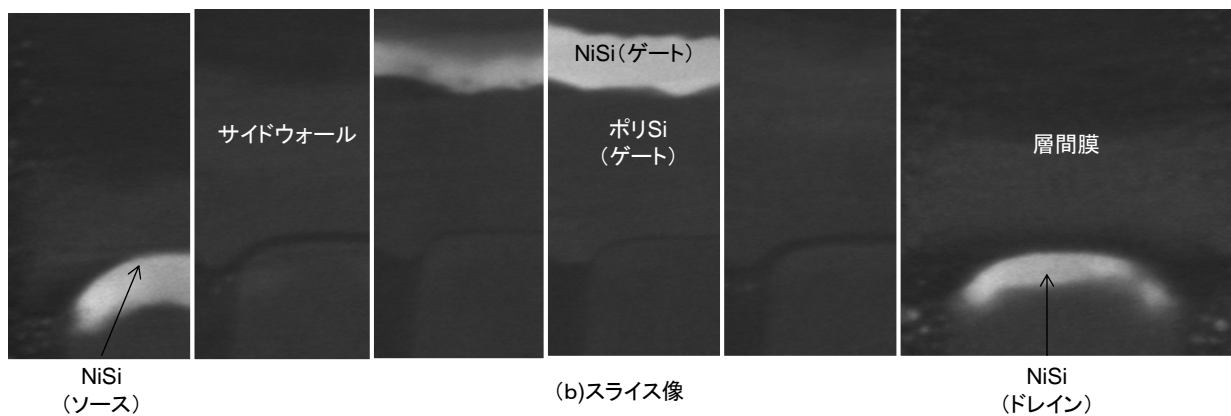
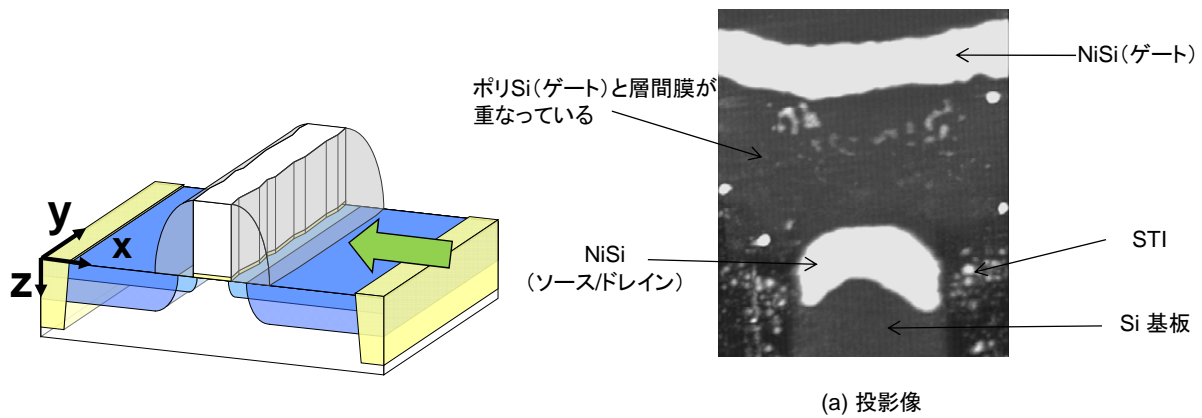
以上、三次元 STEM 法を V_{th} が同じで I_{on} の異なる MOS トランジスタの物理原因解析に適用し、以下の結果を得た。

- ① トランジスタ構造の 3 次元的観察を実施し、3 次元的な物理パラメータの抽出に成功
- ② ゲート酸化膜厚の 2 次元分布、LER、LWR、金属シリサイドの形状を 3 次元的に抽出
- ③ 電流差のある MOS トランジスタにおいて、金属シリサイドとゲート端距離に有意差を検出

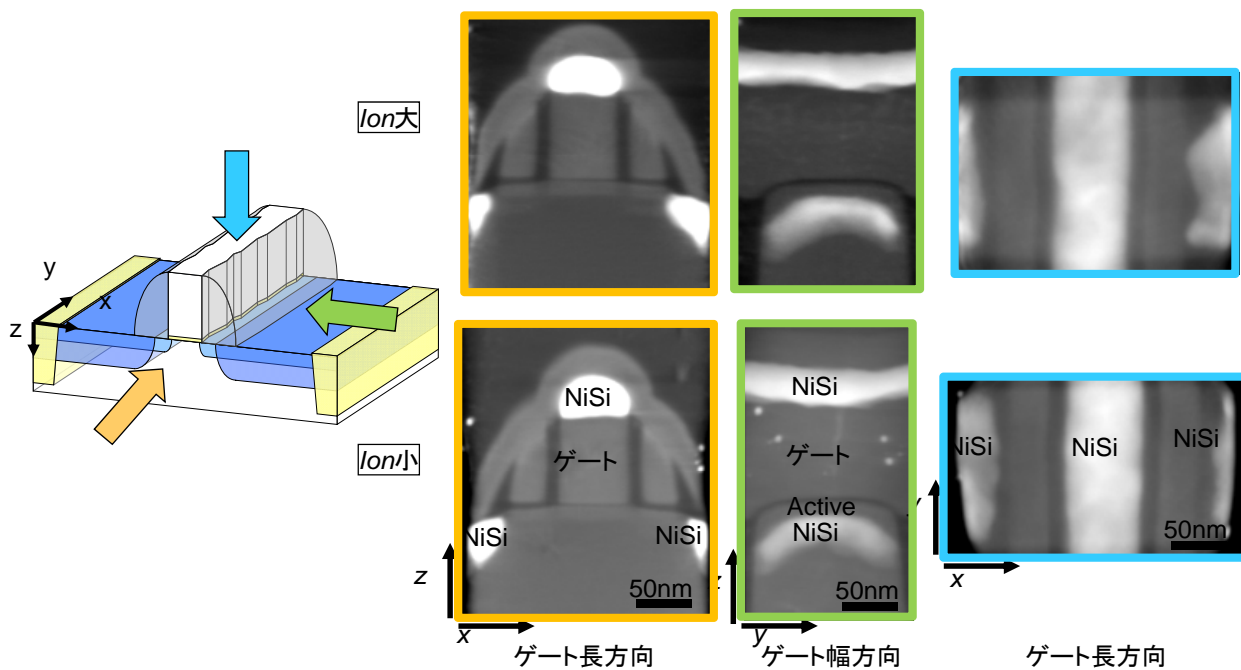
以上より、3 次元 STEM 法はトランジスタの立体構造解析に適用可能であり、デバイス開発や不良解析に有効なツールであることが確認できた。特に今回の特性ばらつきの原因解析や不良解析のように観察すべき局所構造(異物や異常な形状や構造)が何であるかを観察前に絞り込めないような場合に有効な手段であることが分かった。



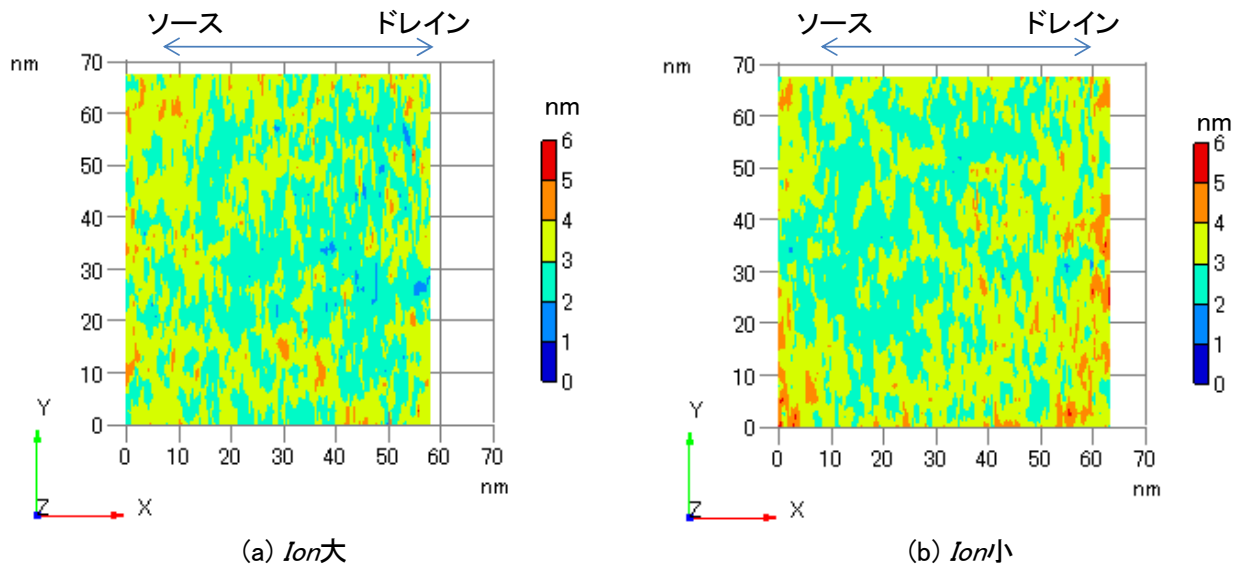
III-2-1-I-③-(1)図 2-1-2-4 3次元 STEM による観察像



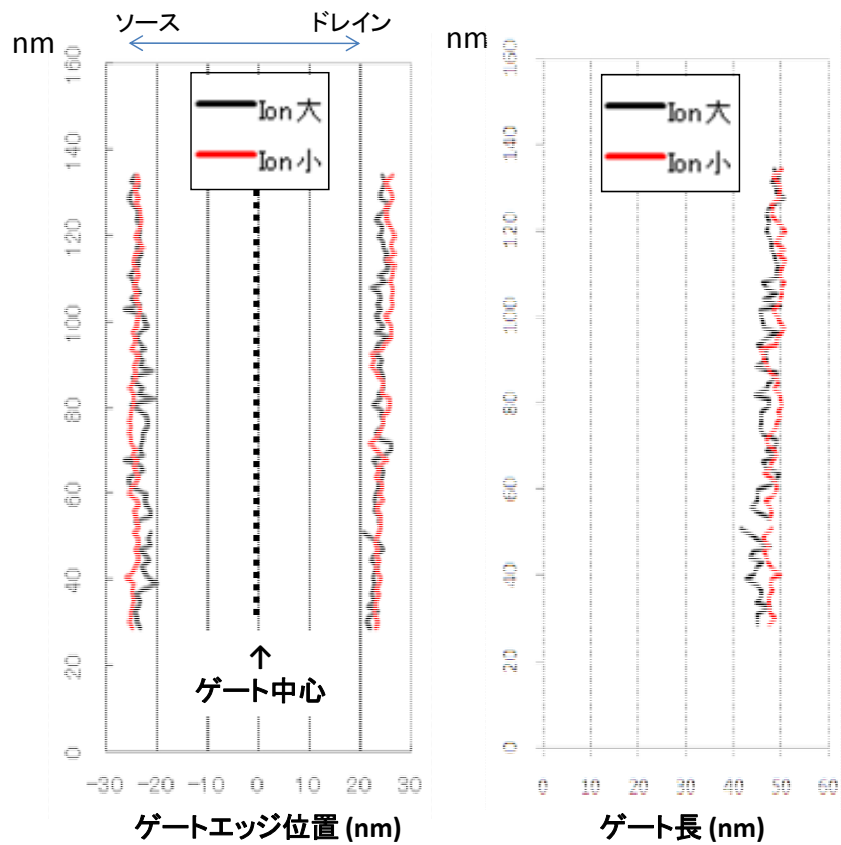
III-2-1-I-③-(1)図 2-1-2-5 3次元 STEM による投影像とスライス像(CT 像)



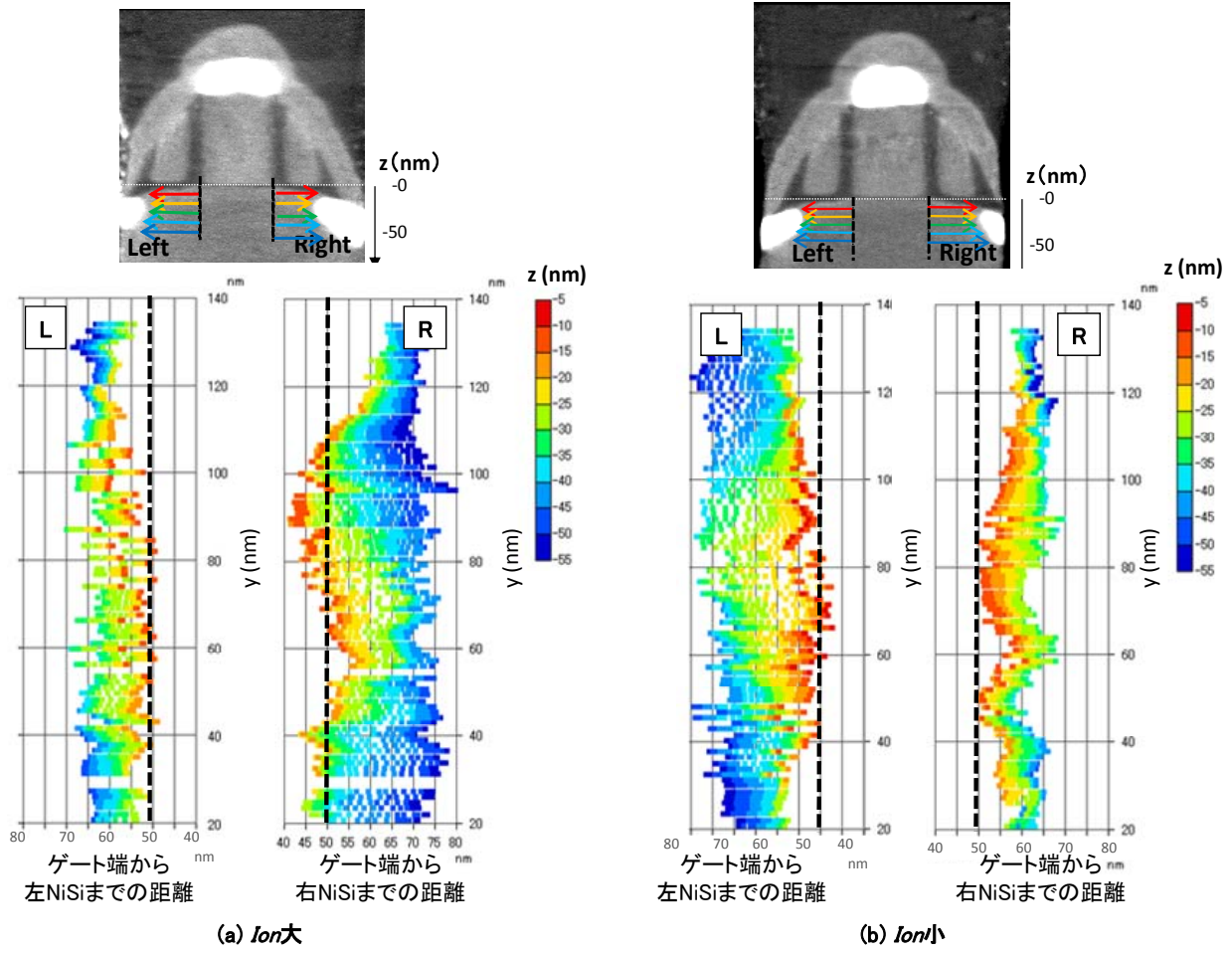
III-2-1-I-③-(1)図 2-1-2-6 I_{on} の異なる MOS トランジスタの 3次元 STEM による投影像



III-2-1-I-③-(1)図 2-1-2-7 ゲート酸化膜厚さの2次元分布の比較



III-2-1-I-③-(1)図 2-1-2-8 LER のLWR の比較(ゲート酸化膜の上 4nm 位置でのゲート形状から算出)



III-2-1-I-③-(1)図 2-1-2-9 ゲート端とニッケルシリサイド端間距離の比較

2-2. アトムプローブによるMOSデバイス中の3次元不純物分布の解析

MOSトランジスタの微細化とともに顕在化してきたMOSトランジスタの素子特性ばらつきの原因は、MOS構造中のゲート電極やチャンネルにおける不純物分布の不均一性にある可能性が種々の解析によって示唆されている。これを実験的に検証するためには、ポリシリコンゲート電極中の不純物やソース・ドレイン、チャンネル領域における不純物分布など、局所的な不純物分布を評価することが必要である。しかし、従来法による評価では微細なトランジスタ構造中の不純物分布を高精度に評価することが困難であった。例えばSIMSは検出感度が高く、低濃度の不純物を検出することができるが、一次イオンビームで決まる測定領域が100nmφを切るレベルであり、現在主流のトランジスタのゲートサイズよりも大きい。そのためゲート内やチャンネル領域の不純物分布を評価することは到底できない。また、TEMをベースにした元素分析手法は空間分解能は高いものの、元素の検出感度が不純物レベルには対応できない。このような理由により、ゲートやソース・ドレイン、チャンネル中の不純物分布については実験的による直接的な評価はなされていなかった。

今回、新たな解析手法として3次元アトムプローブ(3DAP:Three-Dimensional Atom Probe tomography)を用いたMOSトランジスタ中の不純物分布観察に取り組んだ。3DAPとは針状の試料と検出器との間に高電圧を印加し、試料先端から蒸発するイオン化原子の飛行時間を測定することでイオン種を特定し、さらに、2次元的な検出器を用いることで、最終的に3次元的な元素マッピングを得ることができる分析手法である。従来は金属を代表とする導電性の高い材料の分析に用途が限られていたが、近年、電界蒸発をパルスレーザーで補助することで半導体や絶縁体材料の分析に可能性が広がり、多様な材料の測定に適用されるようになってきた。得られる元素マッピングの空間分解能は原子サイズオーダーであり、検出効率も37から50%と高いため、MOSトランジスタ中の不純物を評価できるポテンシャルを十分に持っていると考えられる。

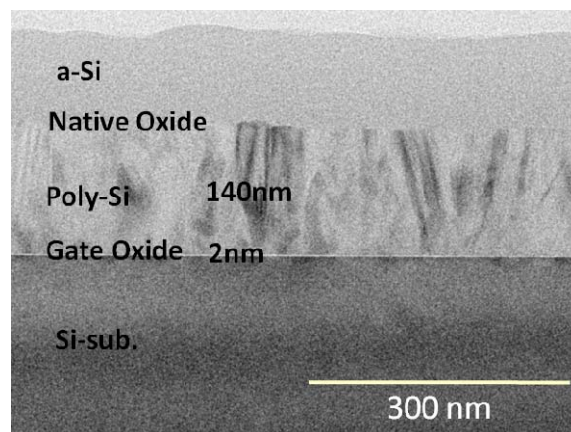
本開発で最終的に実現したい評価は、100万個のDMA-TEGの中から、 $\pm 5\sigma$ に対応する、極端に特性がばらついたトランジスタを3DAP評価し、特性がばらつくのはどの元素のどのような分布によるのか、電気特性と元素分布とを一对一で対応付けることである。しかしながら、これには多くの課題が存在する。まず、電気的特性を測定した特定の実デバイス測定するためには、多くのトランジスタの中から特定のトランジスタを針状試料に加工する高精度なサンプリング技術が必要である。また、ゲート周囲にある絶縁膜の影響による試料破壊を防ぐためには、トランジスタ構造を損なうことなく絶縁材料のみを除去する処理が必要である。それ以前に、半導体中の不純物が本当に検出できるか、どのくらいの定量性、誤差で評価できるのか、など基礎的な検討を積み上げることが必要である。本開発ではエネルギー補償効果があるリフレクトロンの導入による高質量分解能化、集束イオンビームによる針加工技術の確立、さらにスペクトルの低ノイズ化のための試料形状最適化などを実施することによって、実トランジスタ中の不純物分布測定(検出下限: 1×10^{18} atoms/cm³)を実現させた。

この章では、初めに3DAP評価を試みた、面内で一様なMOS構造試料を用いた不純物分布の評価結果(2-2-1、2、3)、ポリシリコンゲートをライン状に加工した模擬トランジスタ構造における不純物分布の評価(2-2-4)、そして、電気的特性を測定した実デバイス試料における不純物分布の評価結果(2-2-5)について順に述べる。これらを実現するために開発した3DAPによる半導体材料評価技術についての詳細は6-2章で述べる。

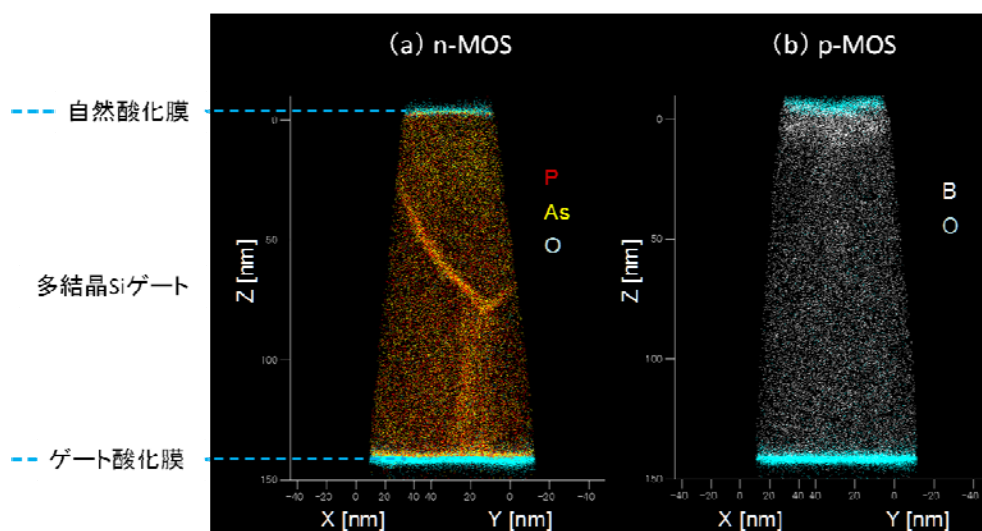
2-2-1. MOSデバイスのポリシリコンゲート中の不純物分布評価

まず初めに、パターンニングされていない面内で一様なMOS構造試料中の不純物分布評価を試みた。用いた試料の構造はポリシリコン(140nm)/ゲート酸化膜(2nm)/シリコン基板に保護膜としてアモルファスシリコ

ンを成膜したものである。この試料の断面 TEM 観察像を III-2-I-③-(1)図 2-2-1-1 に示す。この試料の 3DAP 評価にあたってはリフレクトロン導入による高質量分解能化、針加工形状の最適化、さらに 3DAP 条件(温度、印加電圧、パルスレーザー照射条件など)の最適化の結果、高い成功率で 3DAP 測定が可能となった。図 III-2-I-③-(1)図 2-2-1-2 に 3DAP 測定結果である 3 次元アトムマップの例を NMOS と PMOS についてそれぞれ示す。図中の点それぞれが原子 1 個に相当し、各元素を色分けして示した。ポリシリコンゲート直上の自然酸化膜からポリシリコンゲート、ゲート酸化膜の多層構造が明瞭に観察できた。NMOS ではポリシリコン内でリン原子とヒ素原子が偏析している様子が観察されているに対し、PMOS ではホウ素原子の偏析は確認されない。この現象を理解するために、ポリシリコンを平面 TEM 観察した結果を III-2-I-③-(1)図 2-2-1-3 に示す。このように TEM 像ではポリシリコンの多結晶構造が明瞭に観察されるが、平均的な結晶粒径が PMOS よりも NMOS で大きいことが明らかである。III-2-I-③-(1)図 2-2-1-3 の TEM 像より粒径解析をした結果を III-2-I-③-(1)図 2-2-1-4 に示す。この結果から PMOS のポリシリコンの平均粒径は約 NMOS のその半分程度であることが示された。この結果から NMOS でのリン原子とヒ素原子の偏析は粒界偏析であると推定され、NMOS よりも粒径が小さい PMOS のポリシリコン中でボロンの偏析が確認されなかったことは、ボロンは粒界偏析しないと結論付けることができる。本測定より、ポリシリコン中でリンとヒ素は粒界偏析するが、ボロンは粒界偏析しないという事実が明らかになった。

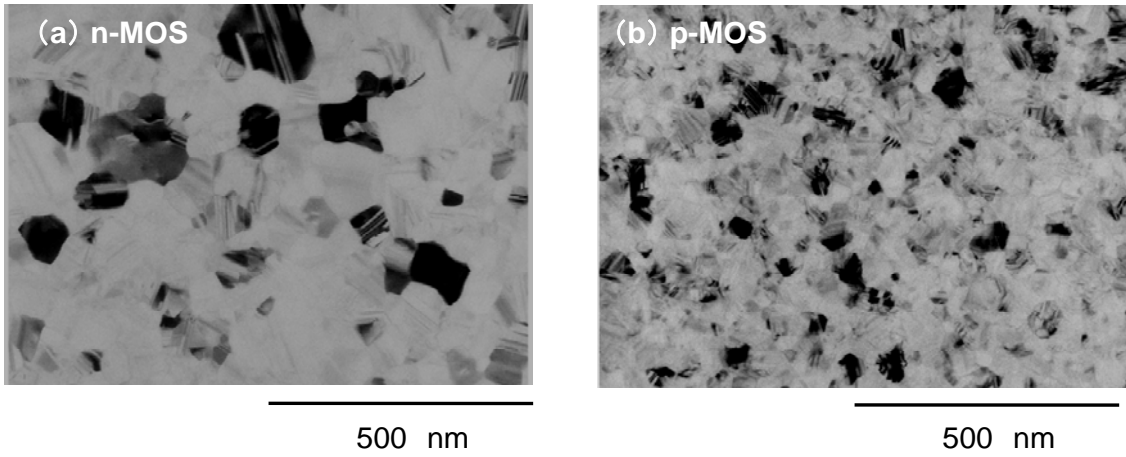


III-2-I-③-(1)図 2-2-1-1 平面方向に一樣なゲート電極/ゲート酸化膜/シリコン基板構造を有する試料(断面 TEM 像)

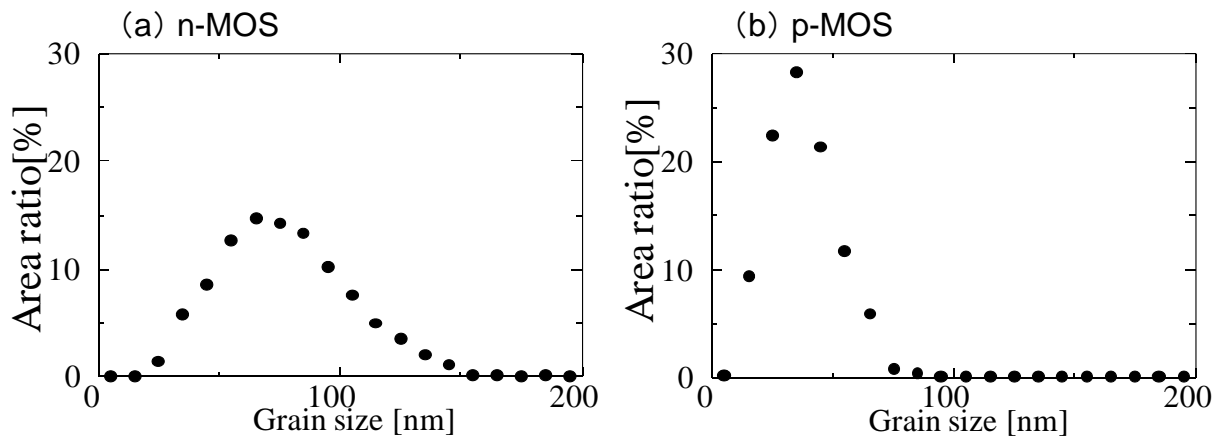


III-2-I- ③-(1)-P13

III-2-I-③-(1)図 2-2-1-2 ポリシリコンゲートの 3 次元アトムマップ(a)NMOS、(b)PMOS

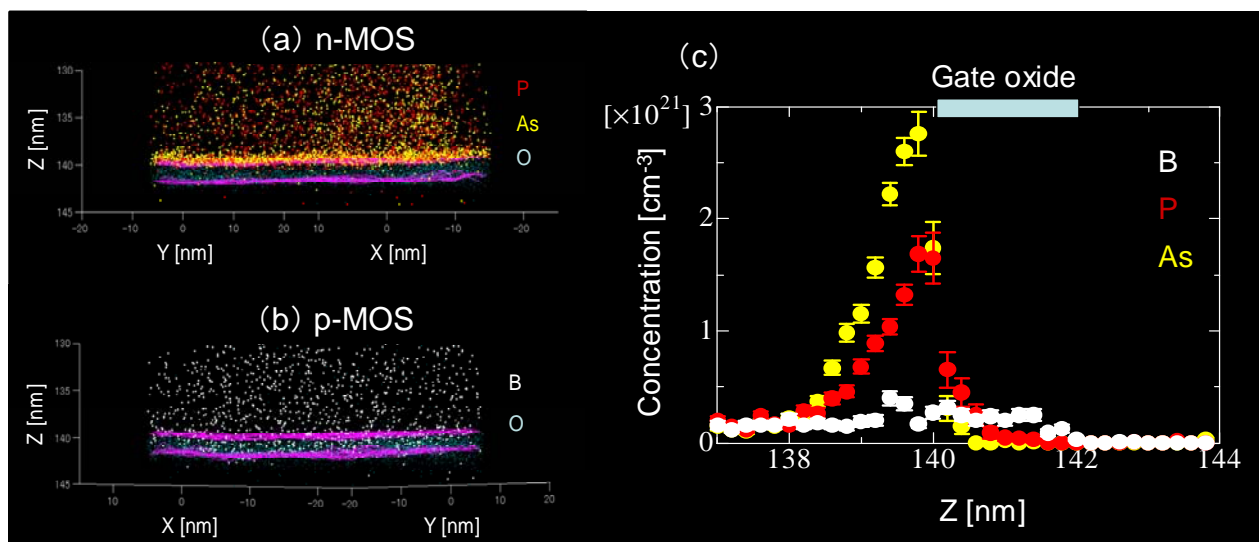


III-2-I-③-(1)図 2-2-1-3 ポリシリコンゲート領域の平面 TEM 観察結果(a)NMOS、(b)PMOS



III-2-I-③-(1)図 2-2-1-4 TEM 観察結果によるポリシリコンの粒径分布(a)NMOS、(b)PMOS

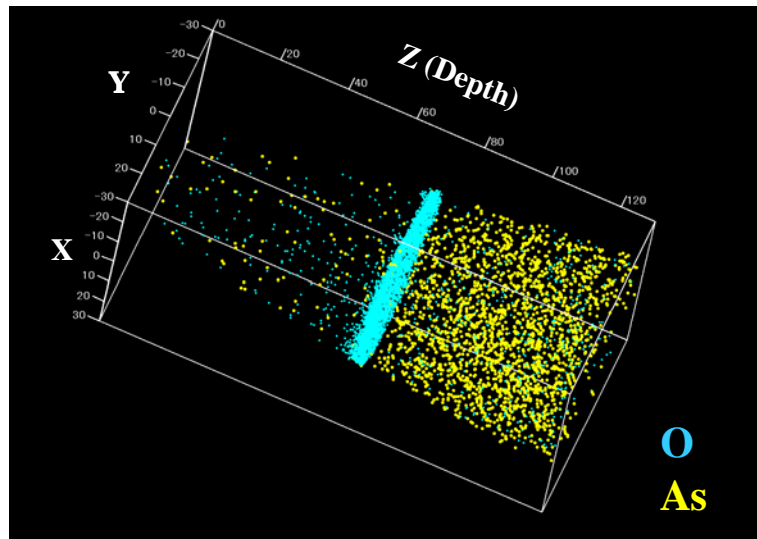
さらに、ポリシリコゲートとゲート酸化膜の界面付近での不純物分布を詳細に把握するため、ゲート酸化膜付近に着目した拡大アトムマップを III-2-I-③-(1)図 2-2-1-5 に示す。合せてゲート酸化膜に対して垂直方向の 1 次元濃度分布を示す。NMOS ではポリシリコゲートとゲート酸化膜との界面にリンとヒ素が偏析しているが、PMOS ではホウ素は界面に偏析していないことが分かった。また、NMOS ゲートではリンとヒ素がゲート酸化膜中にはほとんど分布していないのに対し、PMOS ではホウ素原子がゲート酸化膜内に拡散していることが明らかになった。



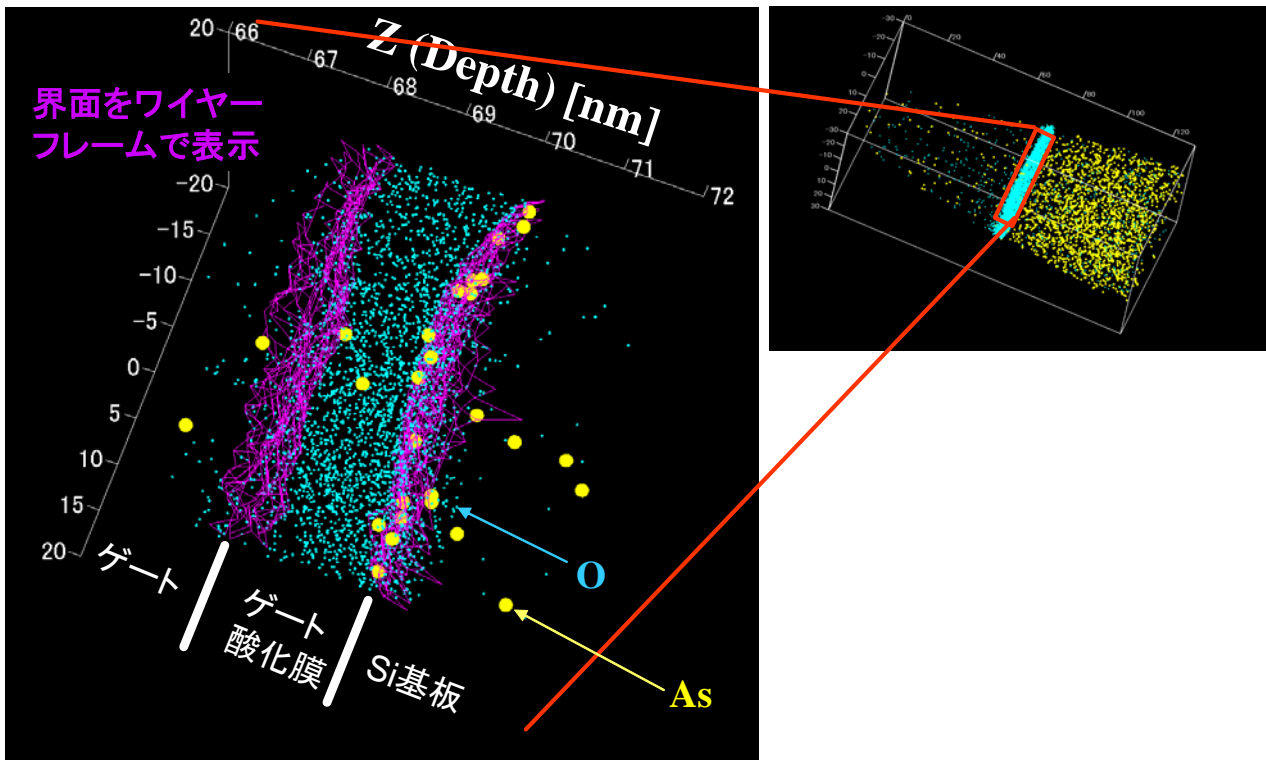
III-2-I-③-(1)図 2-2-1-5 ゲート酸化膜付近の 3 次元アトムマップ(a)NMOS、(b)PMOS、(c)ゲート酸化膜に垂直な方向での 1 次元不純物濃度分布

2-2-2. MOSデバイスのゲート酸化膜/基板界面付近での不純物分布評価

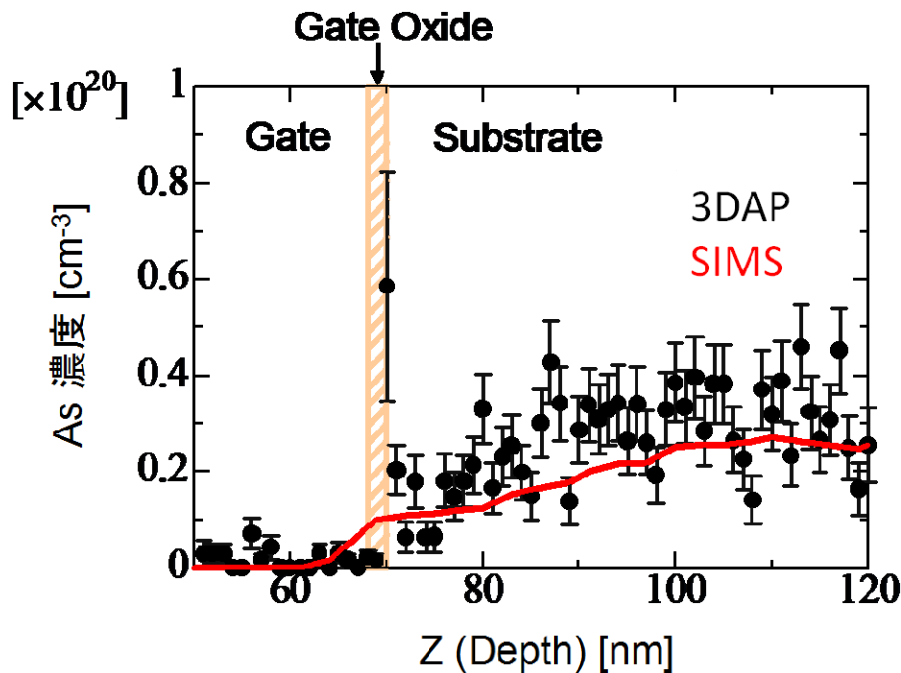
ここでは、2-2-1 と同じ試料におけるゲート酸化膜/基板界面付近でのチャネル不純物分布を解析する。III-2-I-③-(1)図 2-2-2-1 に PMOS における酸素とヒ素の 3 次元アトムマップを示す。PMOS のチャネル領域でのヒ素の分布が 3 次元的に評価できていることが分かる。III-2-I-③-(1)図 2-2-2-2 にゲート酸化膜付近に注目したアトムマップを示す。酸素の分布から求めたゲート酸化膜の上下の界面をワイヤースケッチで表示した。ヒ素原子の分布とワイヤースケッチとの位置関係から、ヒ素がゲート酸化膜と基板の界面、約 1 原子層相当の領域にのみ偏析していることが明らかになった。この結果を定量的に検証するために、ヒ素の濃度を直径 40 nm、深さ 1 nm の円柱領域ごとにヒ素とシリコンの原子数比から算出し、それをゲート酸化膜から基板方向に求めていったものをプロファイルにした。この 3DAP によるヒ素濃度の深さプロファイルを示す。定量方法が確立されている SIMS による同じ試料の深さプロファイルも合わせて示す。3DAP と SIMS で得られた結果はほぼ一致しており、3DAP の結果は定量的にも正しいことが確認された。ただし、ゲート酸化膜と基板界面のみ SIMS と 3DAP の結果に違いが見えた。3DAP による結果のみ高濃度になっており、これは III-2-I-③-(1)図 2-2-2-2 で確認されるヒ素の偏析によるものと理解される。SIMS は高い検出感度を持つものの、深さ方向の分解能は原子レベルには届かないため、この偏析を検出できなかったものと推定される。このように 3DAP を用いることで、原子層レベルの深さ分解能で不純物分布を評価できることが明らかになった。



III-2-I-③-(1)図 2-2-2-1 PMOS デバイス構造の 3 次元アトムプローブ結果(酸素、ヒ素のみ表示)



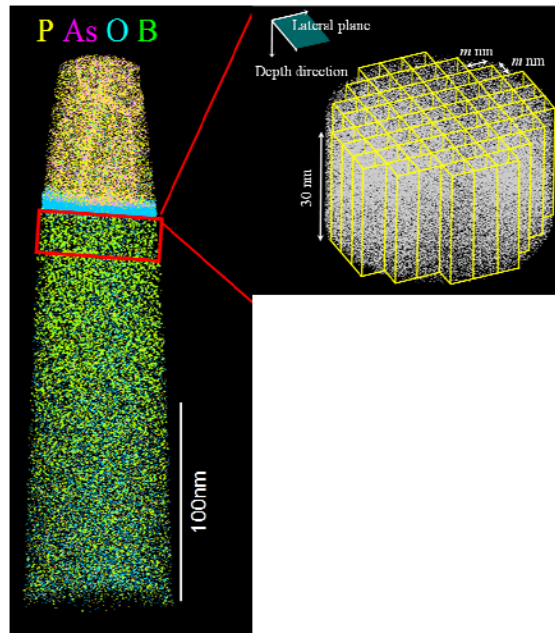
II-2-I-③-(1)図 2-2-2-2 PMOS ゲート酸化膜近傍の不純物分布の拡大図



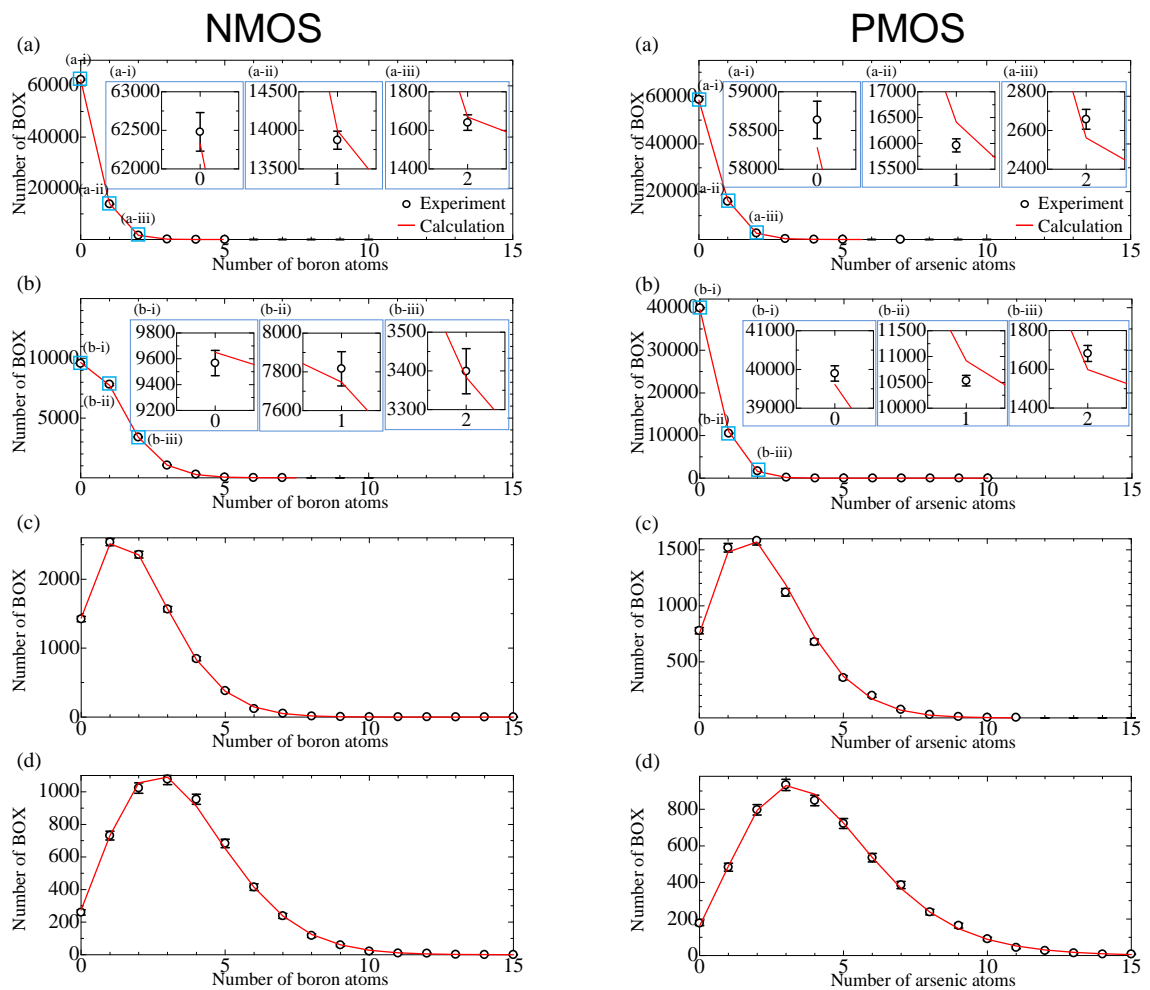
III-2-I-③-(1)図 2-2-3-3 PMOS チャネル領域における 3DAP と SIMS によるヒ素の 1 次元深さ濃度分布

2-2-3. MOS デバイスのチャネル中の不純物分布評価

この章では 2-2-1、2-2-2 と同じ試料を用いて、NMOS と PMOS のチャネル領域における不純物原子の面内分布を詳細に解析する。解析領域はゲート酸化膜から深さ 30 nm とし、III-2-I-③-(1)図 2-2-3-1 に示すようにアトムマップを面内方向に多数の角柱 ($k \times k \times 30 \text{ nm}^3$, $k=1 \sim 4 \text{ nm}$) に切り分け、角柱に含まれる不純物原子数を求めた。NMOS は 28 測定、PMOS は 38 測定の実施し、その全ての結果についてこの不純物原子数の算出を実施し、頻度分布の統計精度の向上を計った。NMOS のチャネル不純物についての結果を III-2-I-③-(1)図 2-2-3-2 に、PMOS のチャネル不純物についての結果を III-2-I-③-(1)図 2-2-3-3 に示す。○は 3DAP で得られた角柱内の原子数を示し、赤の実線は不純物原子が平面方向にランダムに分布していると仮定したときに得られる計算結果を示している。これら、実測結果と、ランダム分布を仮定したときの計算結果、さらに、換算 χ^2 及び有意水準 5% における限界値を III-2-I-③-(1)表 2-2-3-1 に示す。この検定の結果、NMOS チャネルではホウ素原子の分布は計算結果と良く一致し、完全にランダムな分布、すなわちポワソン分布をしていることが確認された。PMOS チャネルのヒ素原子の分布については計算結果からわずかに外れており、ヒ素原子の分布がランダムからわずかに外れていることを示唆している。



III-2-I-③-(1)図 2-2-3-1 不純物分布の解析領域の区切り方(深さ方向はゲート酸化膜から 30nm、平面方向は 1 辺が k [nm]; $k=1, 2, 3, 4$)



III-2-I-③-(1)図 2-2-3-2 NMOS、ならびに PMOS デバイスのゲート酸化膜直下 $k \times k \times 30 \text{ nm}^3$ 中の不純物原子数の頻度分布とランダム分布を仮定したときの計算値 (a) $k=1$, (b) $k=2$, (c) $k=3$, (d) $k=4$

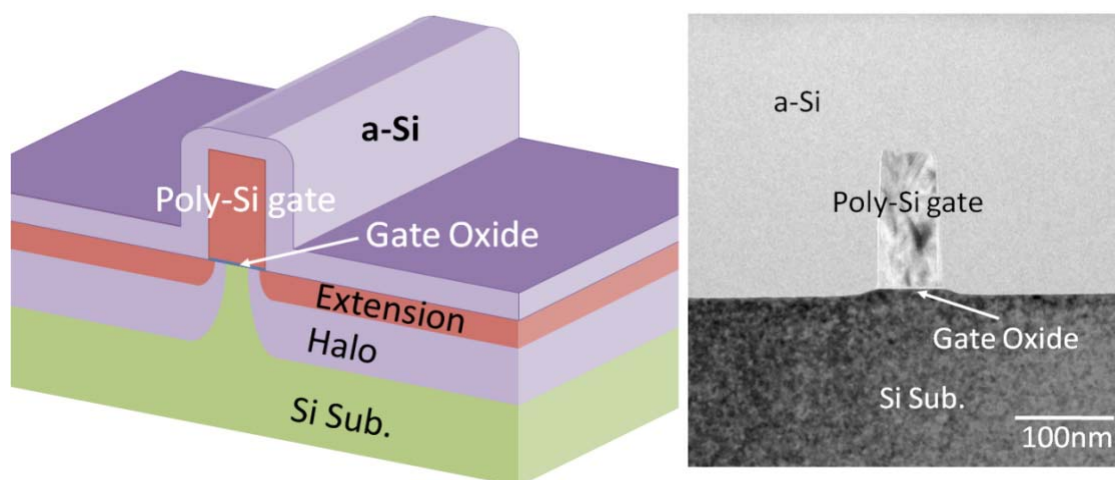
III-2-I-③-(1)表 2-2-3-1. 頻度分布と計算値の χ^2 検定結果

BOX size	n-MOSFET		p-MOSFET	
	Reduced χ^2	Critical value of reduced χ^2 (Significant at 5% level)	Reduced χ^2	Critical value of reduced χ^2 (Significant at 5% level)
1×1×30nm ³	0.65	2.61	3.83	2.21
2×2×30nm ³	0.96	2.21	2.54	2.01
3×3×30nm ³	0.79	1.94	2.01	1.79
4×4×30nm ³	0.76	1.79	0.70	1.67

2-2-4. 3DAPによる実デバイス評価 ―ゲートパターン形成試料を用いた事前検討―

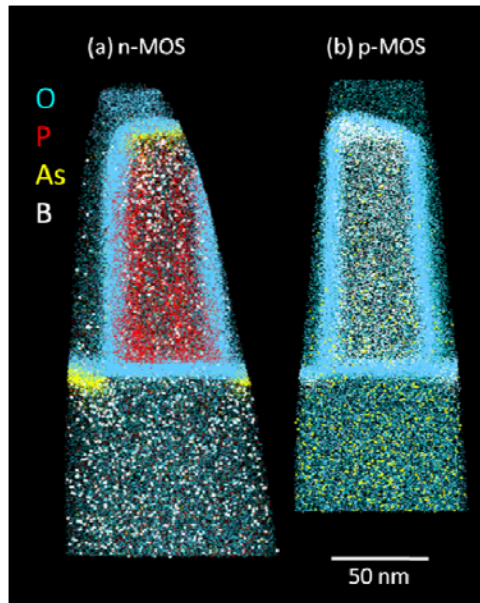
これまで述べたとおり、平面内で一様な MOS 構造の 3DAP 測定結果を解析した結果、半導体デバイス中の不純物分布評価方法として、3DAP は空間分解能も定量精度も十分なポテンシャルを持つことが確認できた。そこで次のステップとして、より実デバイスの構造に近いポリシリコンゲートをライン状に加工した模擬トランジスタ構造の 3DAP 観察を行った。この試料の構造を III-2-I-③-(1)図 2-2-4-1 に示す。この構造は、NMOS と PMOS とともにゲートを加工した後、ソース/ドレインエクステンション注入、ハロー注入を行ったのちに保護膜としてアモルファスシリコンを成膜したものである。

III-2-I-③-(1)図 2-2-4-2 に 3DAP 観察結果を示した。元素毎にプロットしたものを III-2-I-③-(1)図 2-2-4-3 に示す。これらのアトムマップから明らかのように、ライン状に加工された模擬 MOS 構造においても、不純物分布を 3 次元的に得ることができた。その結果、ゲートとチャネル領域だけでなく、ソース・ドレイン領域も評価できることが示された。NMOS のポリシリコンゲート内においては、2-2-1 での結果と同様、リンが粒界偏析していることが明らかである。III-2-I-③-(1)図 2-2-4-3 の NMOS ゲート部の断層内におけるリン原子の分布より、リン原子が粒界に沿って分布し、ポリシリコンゲート/ゲート酸化膜界面で高濃度に分布している様子が明瞭に示された。チャネル領域については、III-2-I-③-(1)図 2-2-4-5 に NMOS のエクステンション付近の拡大アトムマップと水平方向の 1 次元濃度プロファイルを示した。これらの結果から、エクステンション端の一部でホウ素濃度が局所的に高くなっていることが明らかとなった。このように 3DAP を用いることで複雑な元素分布構造をもつ MOS トランジスタにおける不純物の分布を数 nm という局所的なレベルで評価できることが示された。

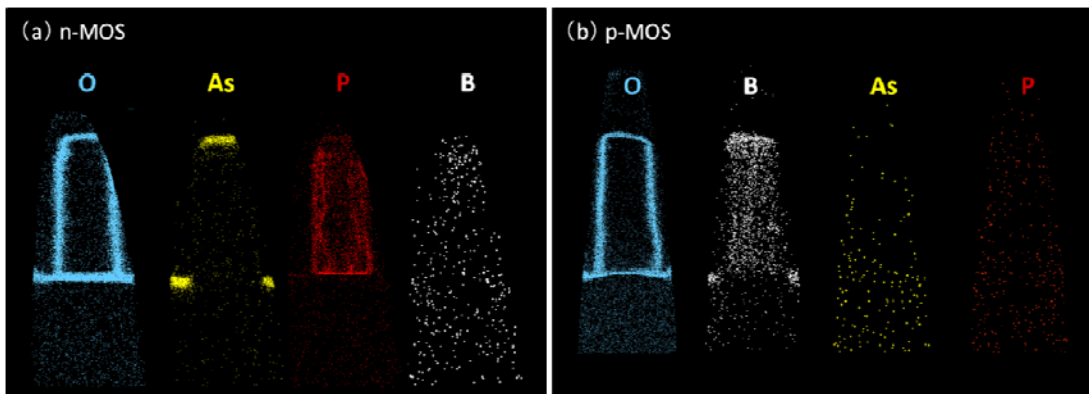


III-2-I- ③-(1)-P19

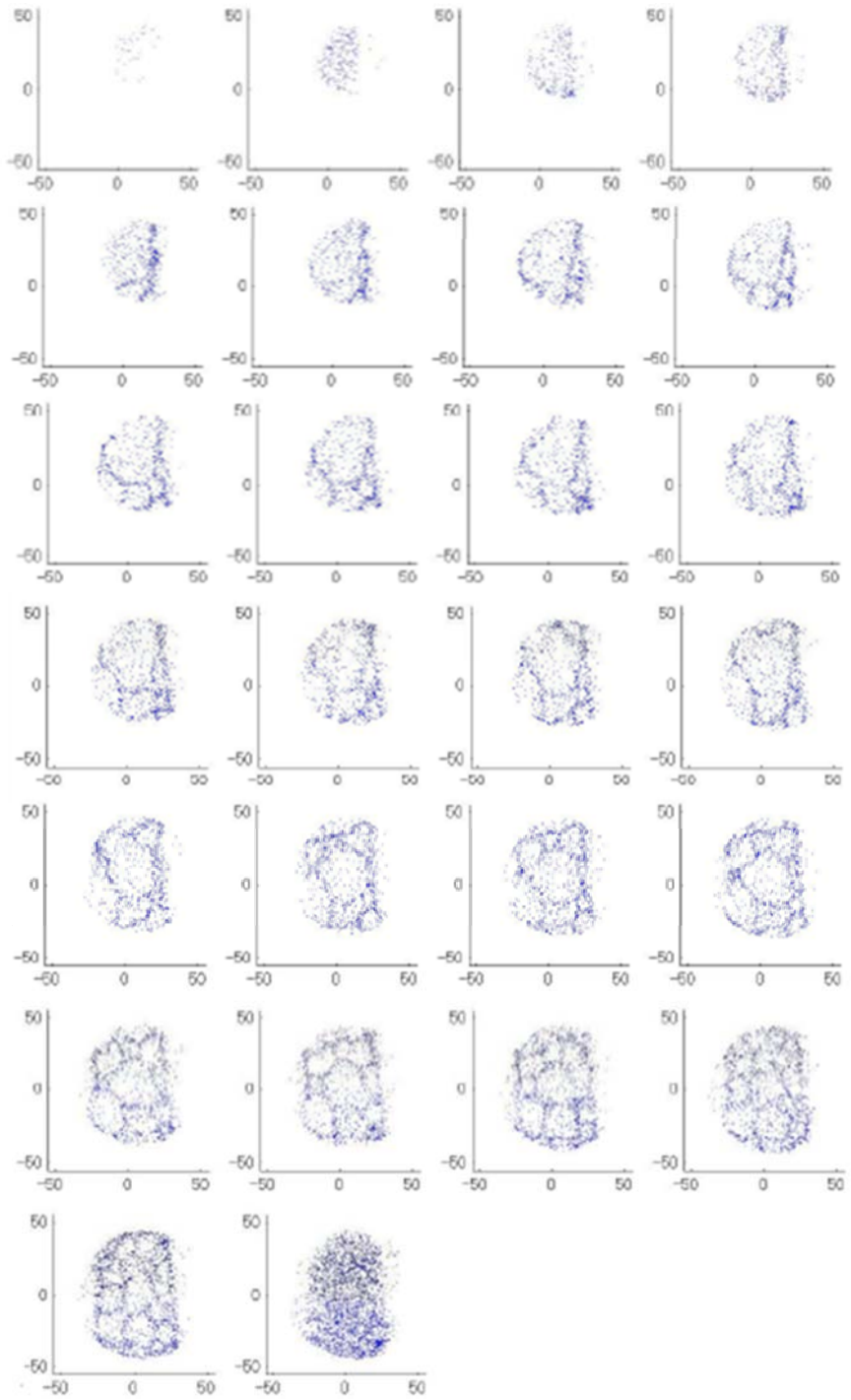
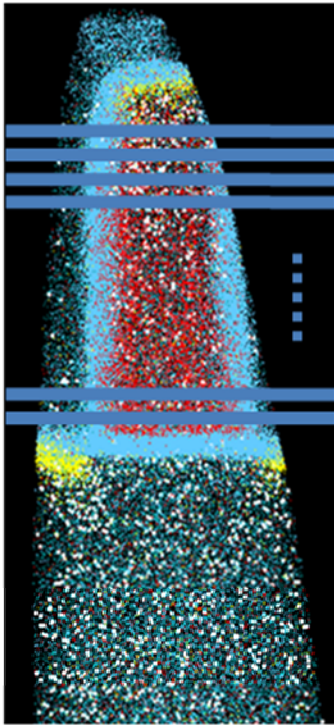
III-2-I-③-(1)図 2-2-4-1 1次元方向に一樣なゲートパターンを有する試料(a)模式図、(b)断面 TEM 像



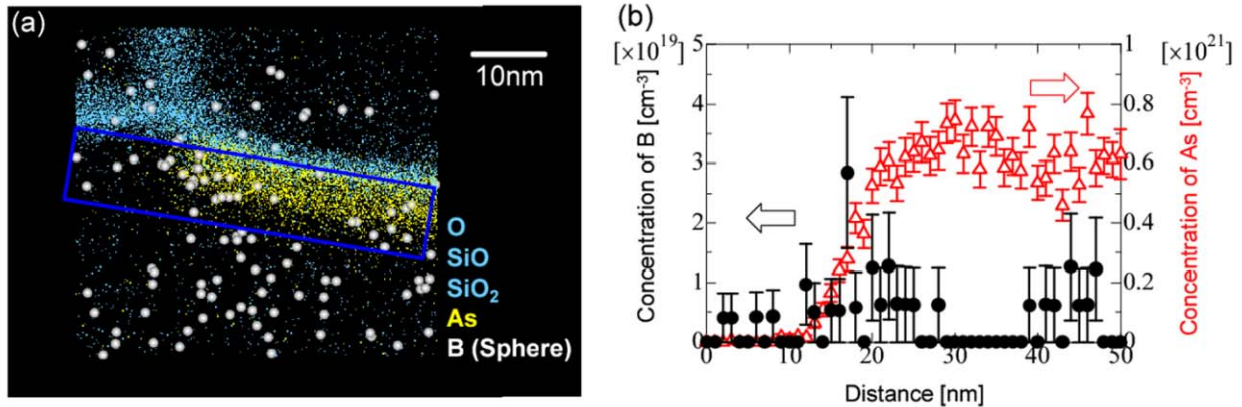
III-2-I-③-(1)図 2-2-4-2 ライン状のポリシリコンゲートを有する模擬 MOS 構造のアトムマップ(a)NMOS、(b)PMOS



III-2-I-③-(1)図 2-2-4-3 ライン状のポリシリコンゲートを有する模擬 MOS 構造の元素ごとのアトムマップ (a)NMOS、(b)PMOS



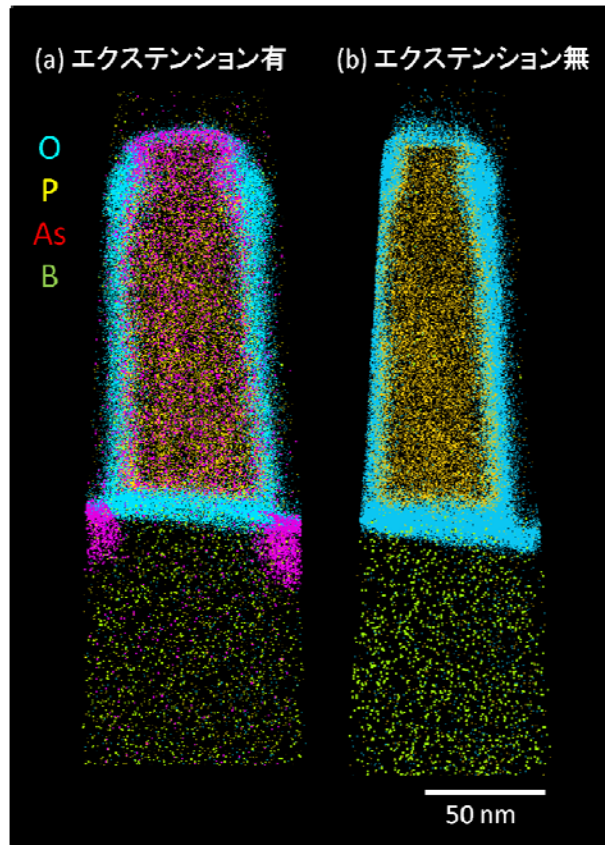
III-2-I-③-(1)図 2-2-4-4 NMOS ゲートの断層内におけるリンの分布 (各々の断層の厚さは 5nm)



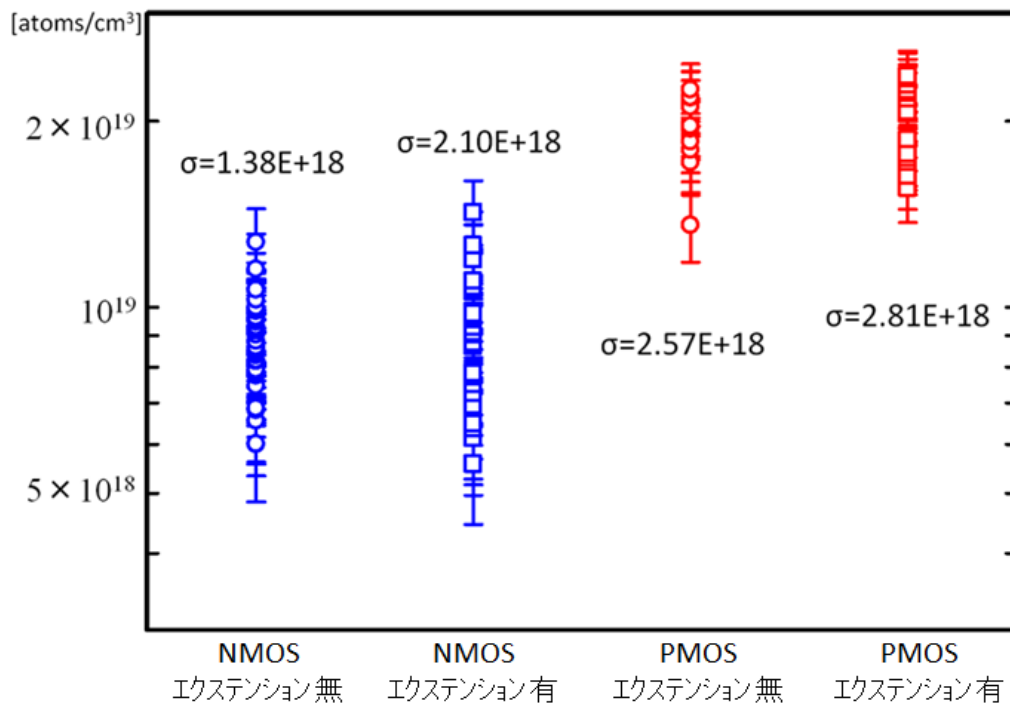
III-2-I-③-(1)図 2-2-4-5 NMOS エクステンション付近の不純物濃度分布。(a)アトムマップ、(b)ヒ素、ボロンの 1 次元濃度分布

2-2-3 で明らかになったように、ゲート等の微細加工を行っていない面内で一様な MOS 構造試料を用いた評価では、チャンネル中の不純物は NMOS, PMOS ともにほぼランダムに分布している。しかし、トランジスタの V_{th} ばらつきは、PMOS についてはチャンネル中のヒ素原子がランダムに分布することで説明できるのに対し、NMOS については、ボロン原子のランダム分布だけでは説明することができない。そこで、チャンネル注入後にはランダムであったボロンの分布が、デバイスが形成される微細加工の過程で変わった可能性が推測される。具体的には、種々のイオン注入やアニールによってボロン原子が再分布し、その結果、場所によってランダムからはずれた偏りなどが生じた可能性がある。

このような局所的なボロンの再分布はソースドレインのエクステンション形成などのプロセスで起きている可能性が高いため、これらのプロセスがチャンネル不純物分布に及ぼす影響を調べることにした。おおよその構造は III-2-I-③-(1)図 2-2-4-1 と同じであるが、NMOS と PMOS それぞれゲートパターンを形成後、エクステンション形成の有るものと無いものの 2 種類の試料を用意し、3DAP 評価を行った。III-2-I-③-(1)図 2-2-4-6 に NMOS のエクステンション(a)有、(b)無のアトムマップを示す。この図において、エクステンション形成の影響が大きいと考えられるゲート端からゲート内側 20nm の領域を $20\text{nm} \times 20\text{nm} \times 30\text{nm}$ (深さ) に区切り、不純物原子数のばらつきを分析した。III-2-I-③-(1)図 2-2-4-7 に不純物濃度分布と標準偏差(σ)を求めた結果を示す。この結果から、PMOS ではエクステンション形成によるチャンネル不純物濃度ばらつきの変調はほとんど見られないのに対し、NMOS ではエクステンションを形成することで不純物濃度ばらつきが増大することが分かった。この結果は、しきい値のばらつきが PMOS よりも NMOS の方が大きい要因を明らかにする上で非常に重要な知見である。



III-2-I-③-(1)図 2-2-4-6 NMOS におけるアトムマップ(a)エクステンション有、(b)無

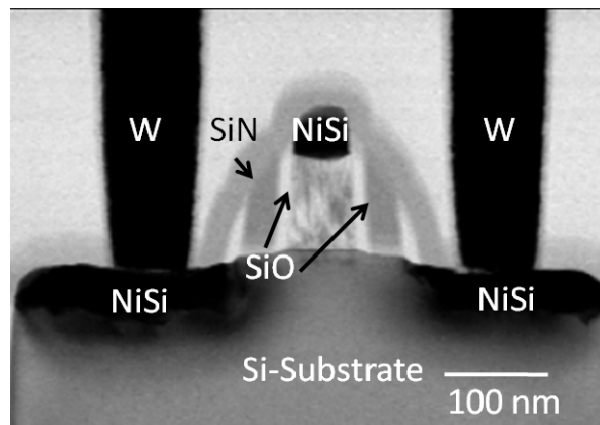


III-2-I-③-(1)図 2-2-4-7 シリコン基板中の不純物濃度ばらつき比較(解析領域:ゲート端付近 20nm×20nm×30nm(深さ))

2-2-5. V_{th} ばらつきの大きい実デバイス中の不純物分布評価

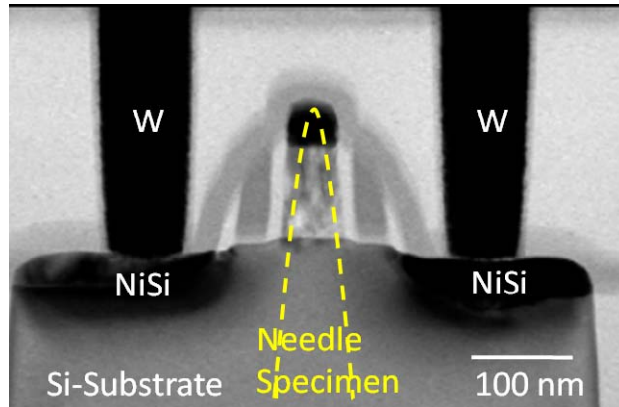
以上の検討の結果、MOS トランジスタのゲート、ゲート絶縁膜付近、チャネル領域、そしてエクステンション付近にたるまで、3DAP により不純物分布の評価できることが確認された。また、この検討のなかで、リンやヒ素が粒界偏析するのに対し、ボロンは偏析しないこと。酸化膜中にボロンは拡散するのに対し、ヒ素はしないこと、さらに微細加工する前には基板中で不純物は NMOS においても PMOS においてもおおよそポワソン分布をしていることなど、MOS トランジスタの設計やプロセス開発において重要な知見を次々とえることができた。この章では、最終的な目標である、電気特性が極端にはずれた MOS トランジスタの不純物分布を調べ、その原因が何であるかを 3DAP で直接に測定し、ばらつきの原因を明らかにすることを試みた結果について述べる。

3DAP で評価するトランジスタは 100 万個のトランジスタからなる DMA-TEG の中から、 V_{th} が中央値から $\pm 3\sigma$ 離れたトランジスタを選んだ。その一つを断面 TEM 観察した結果を III-2-I-③-(1)図 2-2-5-1 に示す。このように、実デバイスはゲートの周囲にサイドウォールが形成され、それが絶縁膜に埋め込まれている。ゲートの両サイドにはタングステンプラグがあり、上方には 10 数層の配線層が形成されている。これを 3DAP で評価するためには、配線層を除去し、サイドウォール等の絶縁物を全て除く必要がある。その上で、ゲート部分だけを針状に加工し、初めて 3DAP 測定が可能となる。そのための検討については 6-2-3 で詳細に説明する。

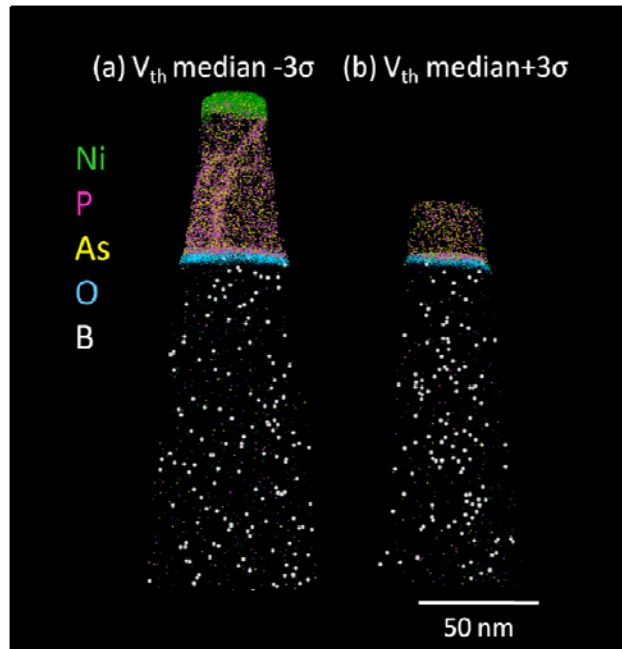


III-2-I-③-(1)図 2-2-2-1 評価に用いたトランジスタの構造

今回は、配線層を除去したのちに、III-2-I-③-(1)図 2-2-5-2 の黄破線で示すような形状に針状試料を加工したものを用いて、電気特性を測定した実デバイスの 3DAP 評価を実施した。III-2-I-③-(1)図 2-2-5-1 に示すように、針状試料の先端をゲート直上にし、針状試料内に絶縁膜を含まないようにしている。この形状を上手く加工することで、実デバイス中の不純物分布を計測することに成功した。III-2-I-③-(1)図 2-2-5-3 に NMOS のしきい値が中央値から $\pm 3\sigma$ 離れたトランジスタの 3 次元アトムマップを示す。このような 3DAP 測定を数多く試み、複数の測定結果を得た。それらのチャネル領域のホウ素濃度を詳しく分析した結果、 V_{th} とチャネル中のボロン濃度に相関があることを確認した。



III-2-I-③-(1)図 2-2-5-2 3DAP 用針状試料加工位置



III-2-I-③-(1)図 2-2-5-3 V_{th} が大きく異なる NMOS トランジスタの 3 次元アトムマップ

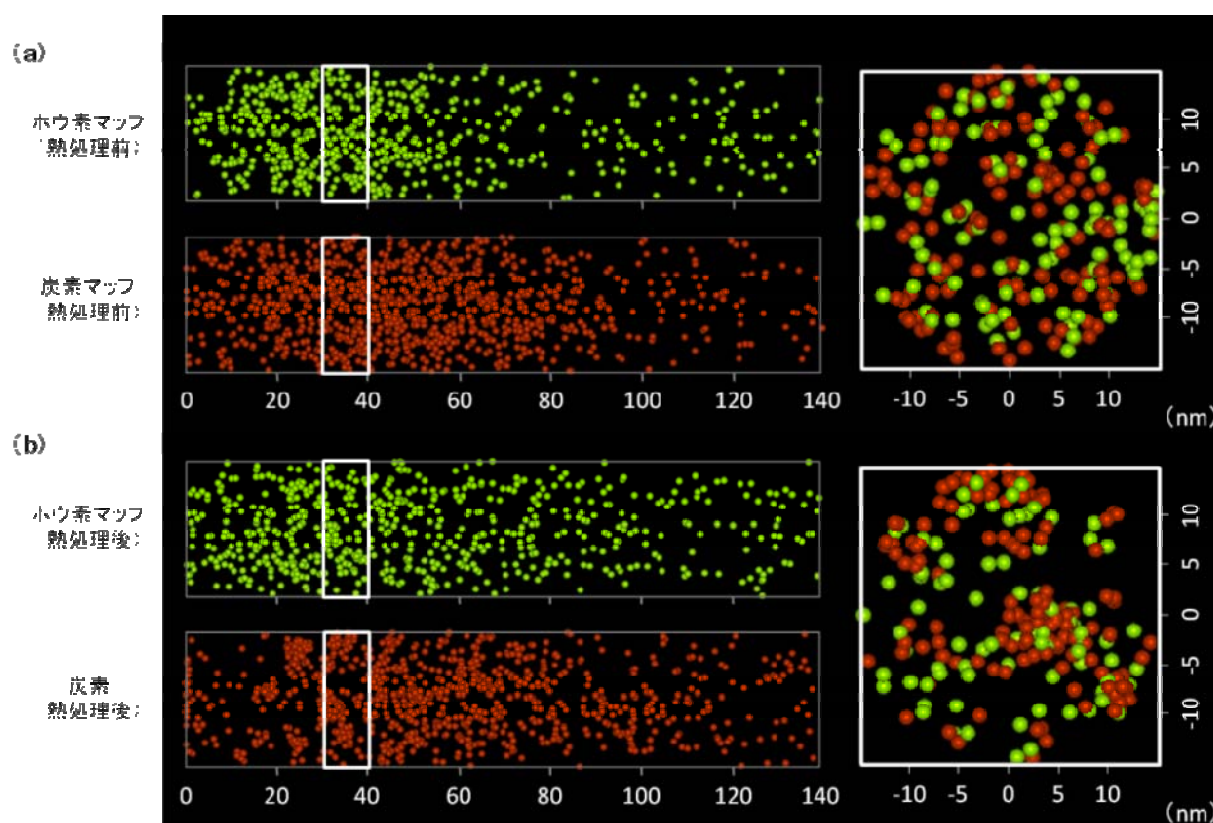
2-2-6. ボロン分布に対する炭素共注入の影響

3DAP を用いることで、シリコン中に共注入した異種不純物原子間の相互作用を調べることができる。今回は炭素とボロンの組み合わせについて評価した。シリコン中に共注入した炭素原子がボロン拡散を抑制することが一般的に知られているが、ボロン原子の微視的な挙動に対する炭素注入の効果を理解するためには 3 次元実空間評価は大きな手掛かりになると考えられる。

シリコンデバイスの微細化には、高精度な不純物添加技術が必要不可欠である。例として、短チャネル効果抑制には極浅接合の実現が必須であり、素子特性ばらつきの低減にはチャネル不純物の再分布抑制が重要となる。近年では、熱処理における不純物拡散抑制技術として共注入法が注目されており、例えば、シリ

コン中に注入されたボロンの拡散は、同時に炭素を注入することで抑制可能である。また、本開発で明らかにしてきたようにも、炭素の共注入では、特性ばらつきの抑制にも効果がある。これはボロン拡散の起源であるシリコン格子間原子を共注入した炭素が捕獲するためと解釈されている。従来は、SIMS や TEM によって、このメカニズムが調べられてきたが、これらの手法では原子レベルのボロンや炭素の挙動を直接評価することは困難であった。本開発では、炭素共注入試料におけるボロンと炭素の相関を調べるために、3DAP 技術を適用した。

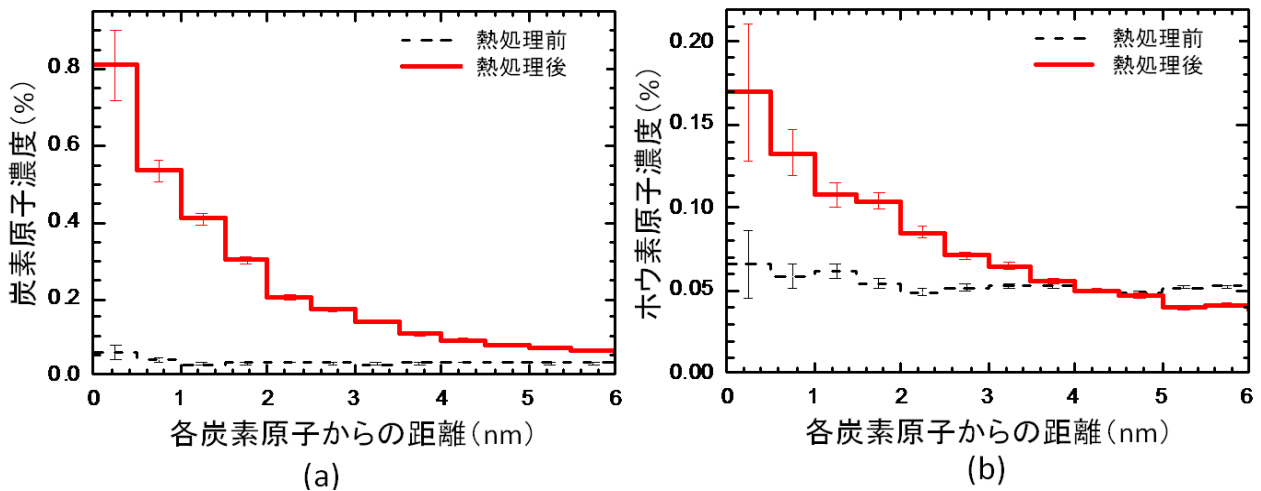
まず初めにシリコン中にボロンと炭素を共注入した試料の熱処理前後の不純物分布を 3DAP で評価した。その結果を III-2-I-③-(1)図 2-2-6-1(a), (b)に示す。ボロンの注入条件は、8keV、 $2 \times 10^{14} \text{ cm}^{-2}$ 、炭素注入条件は 15keV、 $1 \times 10^{15} \text{ cm}^{-2}$ である。不純物の活性化のための熱処理は、実際のプロセスで用いられる条件と同等の条件で行った。熱処理前において、ボロンと炭素は面内に一様に分布しているのに対して、熱処理すると炭素の凝集体が形成し、炭素の凝集近傍にボロン原子が集まることが明らかになった。



III-2-I-③-(1)図 2-2-6-1 ボロン、炭素の共注入試料の熱処理前後におけるアトムマップと断面投影図
(a)熱処理前(b)熱処理後 (解析領域: 30 nmΦ × 140 nm、断面投影図は深さ 30-40 nm のもの)

ボロンと炭素間の相関を定量的に調べるため、炭素原子からの空間的な距離分布をボロンと炭素について解析した。III-2-I-③-(1)図 2-2-6-2 に共注入した試料における炭素原子中心の動径分布を示す。黒の破線は熱処理前、赤の実線は熱処理後である。(a)の炭素分布を見ると、熱処理によって炭素凝集が起きていることが明らかである。さらに(b)のボロン分布を見ると、やはり熱処理によって炭素凝集体付近にボロン原子も集

まることが明らかとなった。このように、炭素凝集メカニズムとそれに関わるホウ素原子の挙動を3次元的にナノオーダーの空間分解能で追跡することで、ボロン拡散の抑制メカニズム解明の手掛かりが得られる。このような解析が出来る手法は現在 3DAP しかなく、この評価は大変意義深いと言える。



III-2-I-③-(1)図 2-2-6-2 ホウ素と炭素を共注入したシリコン試料における炭素を中心とした動径分布
(a)炭素分布、(b)ボロン分布

以上より、本開発では、集束イオンビームによる針加工技術の確立や、さらにスペクトルの低ノイズ化のための試料形状最適化などを実施することによって、これまでは極めて測定困難であった実トランジスタ中の不純物分布測定(検出下限: 1×10^{18} atoms/cm³)を実現した。

[3] デバイス特性ばらつきモデリング技術の開発

3-1. 特性ばらつきのモデリング

線形しきい値(V_{th})ばらつきの規格化方法については、すでに竹内プロット法として報告してきた。すなわち V_{th} の標準偏差を σV_{th} とし、

$$\sigma V_{th} = B_{VT} \sqrt{\frac{T_{inv}(V_{th} + V_0)}{L_g W_g}}, \quad V_0 \equiv -V_{FB} - \psi_s, \quad (3-1-1)$$

と表したときの係数 B_{VT} を規格化されたばらつきと解釈する。ここで、 T_{inv} は電氣的なゲート絶縁膜厚、 V_{FB} はフラットバンド電圧、 ψ_s は反転時のシリコンのバンドの曲がり幅、である。この式は一次元の離散不純物ばらつき (RDF: Random Dopant Fluctuation) のモデル式、

$$\sigma V_{th} = \frac{q}{C_{inv}} \sqrt{\frac{N_{SUB} W_{DEP}}{3 L_g W_g}}, \quad C_{inv} \equiv \frac{\epsilon_{OX}}{T_{inv}} \quad (3-1-2)$$

が元になっている。MOS トランジスタの V_{th} の理論式は下記で示され、

$$V_{th} = V_{FB} + \psi_s + \frac{q N_{SUB} W_{DEP}}{C_{inv}} \quad (3-1-3)$$

これを用いると、(2)は次式のように変形できる。

$$\sigma V_{th} = \sqrt{\frac{q}{3 \cdot \epsilon_{OX}}} \sqrt{\frac{T_{inv}(V_{th} + V_0)}{L_g W_g}} \quad (3-1-4)$$

(4)より、 B_{VT} は σV_{th} を理想的なRDFによって規格化するという思想で定義されていることがわかる。本方法はメタルゲート/High-K デバイスへも適用可能であり、そのためには仕事関数の変化に応じて V_0 を変更すれば良い。この規格化手法を実際のメタルゲート/High-K デバイスに適用した場合については、5-3 章にて述べる。

この規格化手法は線形領域でのばらつき、すなわち V_{ds} が十分低い場合にのみ適用可能であった。規格化に用いる(1)右辺における V_{th} は、低 V_{ds} で測定した線形 V_{th} が用いられる。なぜなら、規格化の元になる RDF の理論式(2)が一次元モデルであり、2次元効果が顕著となる飽和領域(V_{ds} が大きい)での有効性が不明なためであった。よって(1)のような V_{th} の規格化を飽和領域に拡張する方法を本章にて述べる。

飽和領域特性についての他の課題としてオン電流(I_{on})のモデリングが上げられる。1-2 項においてはその一方法として、 I_d - V_g 特性の直線外挿により決定した V_{thex} を用いる方法を述べたが、この方法には速度飽和が起こらない長チャネルデバイスに適用できないという課題がある。飽和 V_{th} と I_{on} のばら

つきを任意のチャンネル長で解析できるようにする手法が必要である。

本項目ではこれらの課題に対して行なった開発結果を述べる。3-1-1 では、任意のチャンネル長で飽和 V_{th} を外挿により抽出できる手法を提案し、さらにこの方法を拡張して I_{on} ばらつき解析に適用した結果を述べる。3-1-2 では、飽和 V_{th} ばらつきについての開発結果を述べる。

3-1-1. 飽和 V_{th} 抽出とその応用

3-1-1-1. 飽和 V_{th} 抽出法の提案

V_{th} を実測から決定する方法には大きく分けて、一定の電流値によって定義する定電流法と、 I_d - V_g 特性から外挿する外挿法の2つがあり、前者はオフ特性、後者はオン特性と対応すると考えられる。定義が異なる V_{th} は統計的振る舞いが異なるため、ばらつきは各々を別々に評価する必要がある。しかし飽和領域において外挿 V_{th} を抽出する方法は明確ではない。1-2 で用いた手法はやや特殊であって任意チャンネル長には適用できない。しばしば用いられるのが平方根外挿法(ドレイン電流 I_{ds} の平方根を V_{gs} に対して直線外挿する)であるが、 I_{ds} - V_g 特性が2次関数ではない短チャンネルデバイスでの妥当性に疑問がある。この問題を解決するために考案した方法を以下に説明する。

提案する新外挿法では、実測した I_{ds} - V_g 特性を、速度飽和を考慮した飽和ドレイン電流モデルにフィッティングすることで、 V_{th} を抽出する。使用したモデルでは III-2-I- (1) 図 3-1-1 のように、実効チャンネル長 L_{eff} が占めるチャンネル領域を2つの領域(グラデュアルチャンネル領域と速度飽和領域)に分割して考え、 I_{ds} を次式のように表している。

$$\frac{1}{I_{ds}} = \frac{1}{WC_{ox}v_{sat}} \cdot \frac{1}{(V_g - V_{th})} + \frac{2a(L_{eff} - L_{sat})}{WC_{ox}\mu_{eff}} \cdot \frac{1}{(V_g - V_{th})^2} \quad (3-1-1-1)$$

ここで W はゲート幅、 C_{ox} は酸化膜厚、 v_{sat} は実効的な飽和速度、 $V_g - V_{th}$ はゲートオーバードライブ、 a は基板効果係数、 L_{sat} は速度飽和領域が占める長さ、 μ_{eff} は実効移動度である。移動度と飽和速度をフィッティングパラメータとして、実測をモデル式に合わせ込む際、 V_{th} 抽出精度向上のためにイタレーションを導入した。 V_{th} の真値とは別に予測値 V_{th}^* を設けることで、 $V_g - V_{th}$ を次のように変形できる。

$$V_g - V_{TH} + V_{TH}^* - V_{TH}^* = V_{GT}^* + e \quad (3-1-1-2)$$

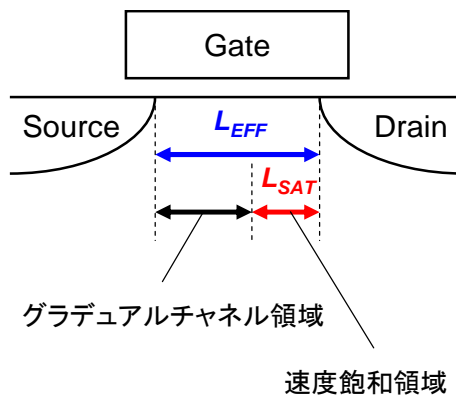
ただし $V_g - V_{th}^*$ は予測値を用いたゲートオーバードライブ、 e は予測値と真値の残差($V_{th}^* - V_{th}$)である。 $V_g - V_{th}^*$ と e を用いると、2次式であったモデル式(3-1-5)を3次式に近似できる。すなわち、

$$\frac{1}{I_{ds}} \cong \frac{1}{WC_{ox}v_{sat}} \cdot \frac{1}{(V_g - V_{th}^*)} + \frac{2a(L_{eff} - L_{sat})}{WC_{ox}\mu_{eff}} \cdot \frac{1}{(V_g - V_{th}^*)^2} - \frac{2a(L_{eff} - L_{sat})}{WC_{ox}\mu_{eff}} \cdot \frac{2e}{(V_g - V_{th}^*)^3} \quad (3-1-1-3)$$

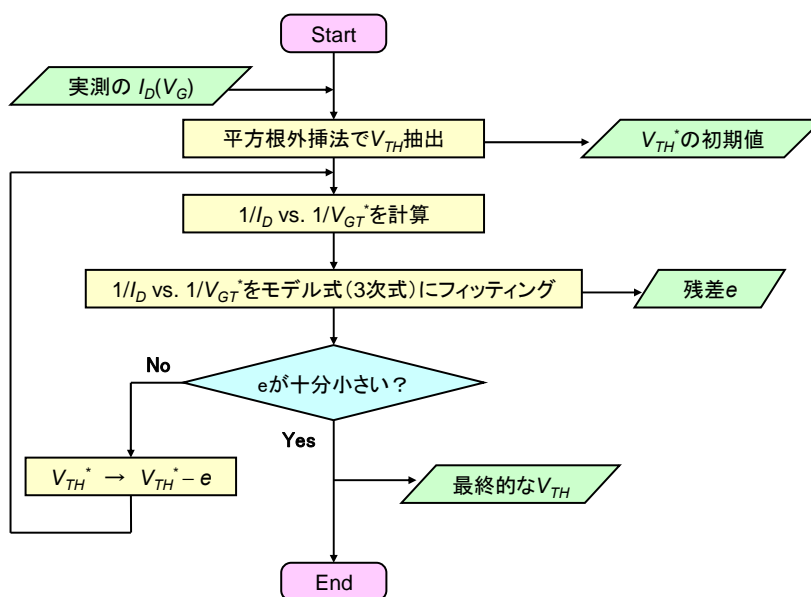
イタレーションにより e が十分小さくなれば、近似式(3-1-1-1)はモデル式(3-1-1-3)にほぼ一致し、このときの予測値は真値とみなせる。よって本方法では e が十分小さいときの予測値 V_{th}^* を新外挿法の V_{th} と定義した。一連の操作をフローチャートとして III-2-I- (1)図 3-1-2 にまとめた。

新外挿法と平方根外挿法を長/短チャンネル NMOS トランジスタに適用した結果を III-2-I- (1)図 3-1-3 に示す。長チャンネル MOS トランジスタにおいて、新外挿法は平方根外挿法と同様に 2 次関数的な特性に整合し、2 つの方法の V_{th} はほぼ一致する。短チャンネル MOS において、平方根外挿法は $I_{ds}-V_g$ 特性のチャンネル長依存性に対応できていないのに対し、新外挿法は飽和領域の $I_{ds}-V_g$ 特性に広い V_g 範囲で整合するよう V_{th} を決定していることがわかる。

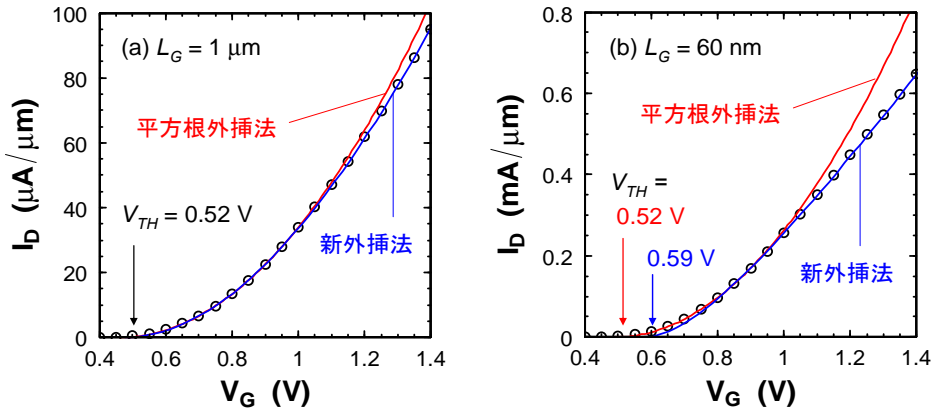
各種抽出法で求めた V_{th} のゲート長依存性を III-2-I- (1)図 3-1-4 に示す。新外挿法による V_{th} と定電流法による V_{thc} は、任意のゲート長で一定値シフトの関係にあることがわかった。同様の関係は線形領域における定電流法と線形外挿法(線形 V_{th} の抽出で標準的に用いられる)の間でも成り立つ。適切に外挿された V_{th} と定電流法による V_{thc} とが、線形領域、飽和領域によらず一定値シフトとなることは興味深い。一方で、平方根外挿法は他の方法と異なるゲート長依存性を示す。これは平方根外挿が速度飽和のチャンネル長依存性に適切に対応していないためと考えられる。



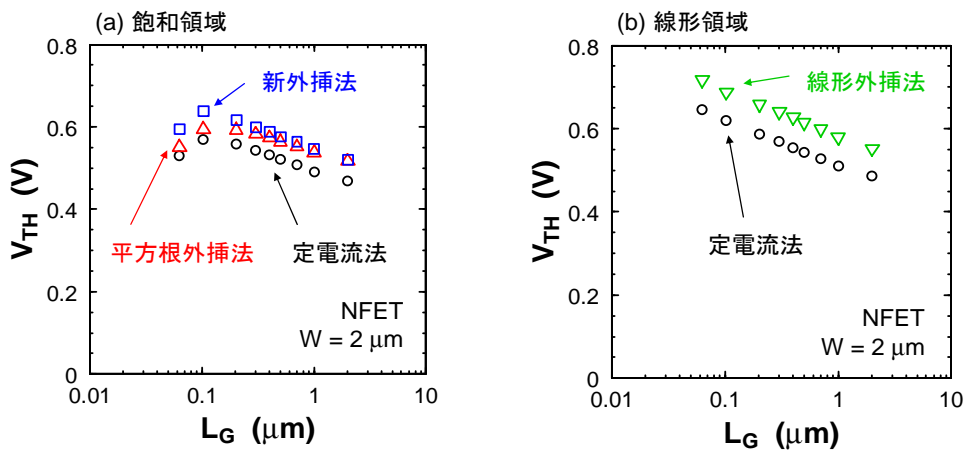
III-2-I- (1)図 3-1-1 モデルを説明するデバイス断面模式図



III-2-I- (1)図 3-1-2 新外挿法による V_{th} 抽出の流れ



III-2-I- (1)図 3-1-3 新外挿法及び平方根外挿法を適用した結果。



III-2-I- (1)図 3-1-4 各抽出法による V_{th} のゲート長依存性。

3-1-1-2. I_{on} ばらつきのチャンネル長依存性検討

上記した手法を用いると、 V_{th} と同時に見かけ上の移動度と飽和速度がフィッティングパラメータとして抽出される。ただし移動度は基板効果と速度飽和領域長の効果をまとめて以下のようなパラメータとして扱う。

$$M = \frac{\mu_{eff}}{a(L_{eff} - L_{sat})} \quad (3-1-1-4)$$

これら 3 つのパラメータはオン電流の $I_{ds}-V_g$ 特性を規定し、これらのばらつきを調べることで I_{on} ばらつきを 3 つの成分に分離することが可能である。本方法はチャンネル長によらず適用可能である。3 つのパラメータは互いに若干の相関を持っているため、主成分分析により無相関な 3 成分に線形変換した。手順を III-2-I- (1)図 3-1-5 と以下に示す。

多数の MOSFET それぞれに対して 3 つのパラメータを抽出する。

解析の対象はパラメータのばらつきではなく I_{on} ばらつきであるから、次式に従いパラメータの中心値からのずれを I_{on} の変化量 ΔI_{on} に変換する。

$$\Delta I_{on}(p^{(i)}) = C_p(p^{(i)} - \bar{p}) \quad (3-1-1-5)$$

$$C_p = \left. \frac{\partial I_D}{\partial p} \right|_{V_g \rightarrow 1.2V} \quad (3-1-1-6)$$

ここで、 p はパラメータ、 \bar{p} は p の中心値、 C_p は I_{ON} の p に対する感度係数、 (i) は試料番号を意味する。

(3-1-11)式に示すように、 $\Delta I_{on}(V_{th})$ 、 $\Delta I_{on}(M)$ 、 $\Delta I_{on}(v_{sat})$ の分散／共分散行列 V を計算する(例えば行列要素 V_{11} は $\Delta I_{on}(V_{th})$ の分散、 V_{12} は $\Delta I_{on}(V_{th})$ と $\Delta I_{on}(M)$ の共分散とする)。

$$V = \begin{pmatrix} V_{11} & V_{12} & V_{13} \\ V_{21} & V_{22} & V_{23} \\ V_{31} & V_{32} & V_{33} \end{pmatrix} \quad (3-1-1-7)$$

V の固有値問題を解き、固有値 Σ^2 と固有ベクトル L を求める。

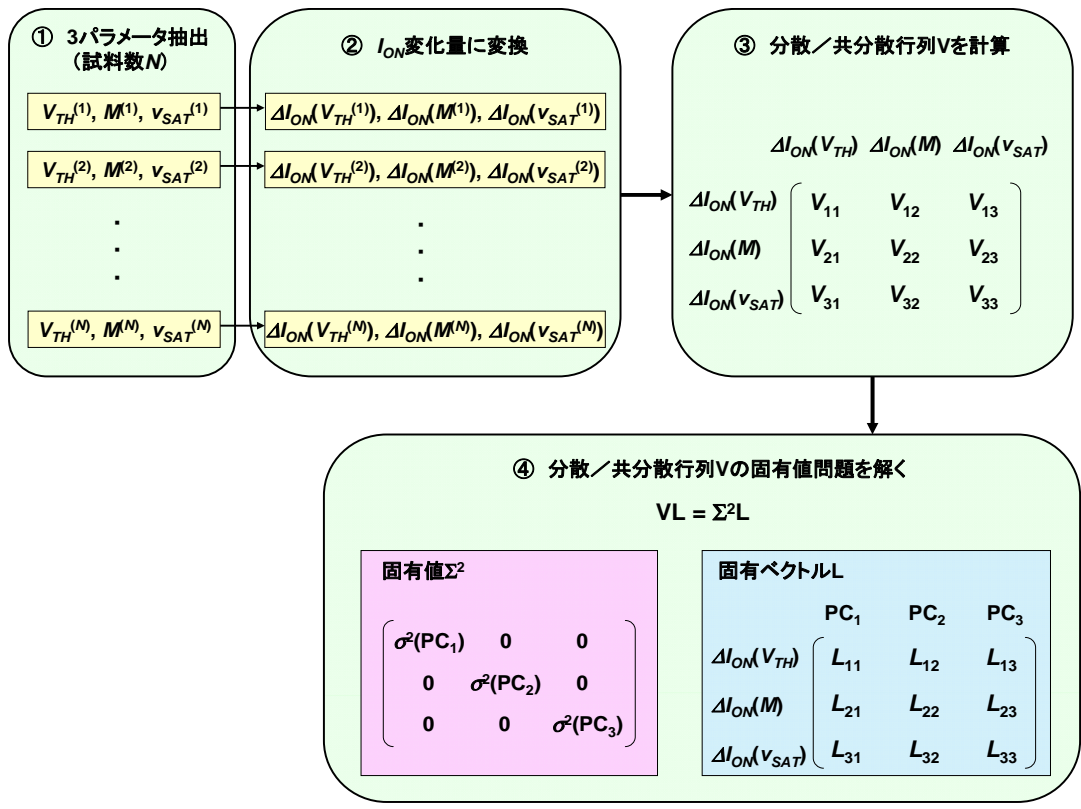
$$VL = \Sigma^2 L \quad (3-1-1-8)$$

$$L = \begin{pmatrix} L_{11} & L_{12} & L_{13} \\ L_{21} & L_{22} & L_{23} \\ L_{31} & L_{32} & L_{33} \end{pmatrix} \quad (3-1-1-9)$$

$$\Sigma^2 = \begin{pmatrix} \sigma^2(PC_1) & 0 & 0 \\ 0 & \sigma^2(PC_2) & 0 \\ 0 & 0 & \sigma^2(PC_3) \end{pmatrix} \quad (3-1-1-10)$$

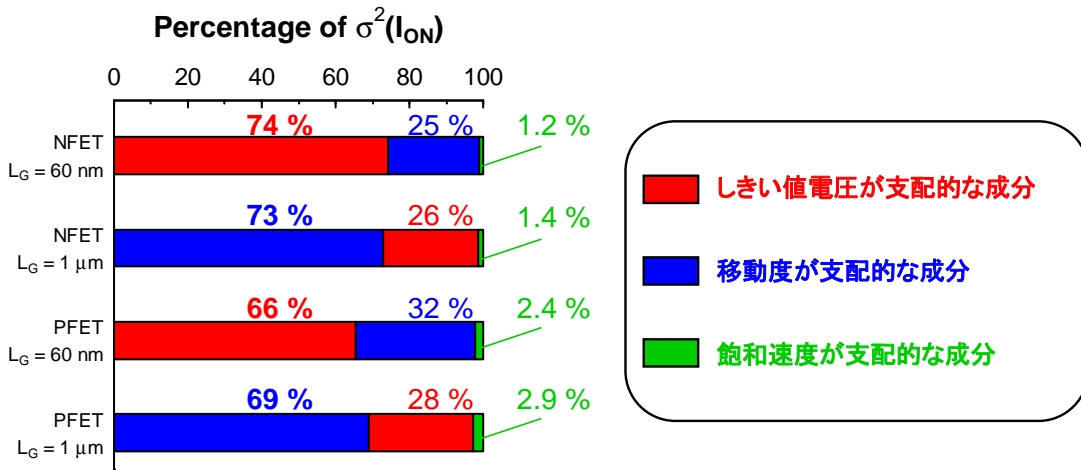
PC_1 、 PC_2 、 PC_3 は分散が大きい順に並んでおり、それぞれが変換後の I_{on} ばらつき成分になる。 L はこれらの成分と元のパラメータを結ぶ結合係数にあたり、その大きさによってどのパラメータが I_{ON} ばらつきに寄与するかを特定できる。

$$\begin{aligned} PC_1 &= L_{11}\Delta I_{ON}(V_{TH}) + L_{21}\Delta I_{ON}(M) + L_{31}\Delta I_{ON}(v_{SAT}) \\ PC_2 &= L_{12}\Delta I_{ON}(V_{TH}) + L_{22}\Delta I_{ON}(M) + L_{32}\Delta I_{ON}(v_{SAT}) \\ PC_3 &= L_{13}\Delta I_{ON}(V_{TH}) + L_{23}\Delta I_{ON}(M) + L_{33}\Delta I_{ON}(v_{SAT}) \end{aligned} \quad (3-1-1-11)$$



III-2-I- (1)図 3-1-5 I_{on} ばらつき成分分離の流れ。

本方法をゲート長 $L_g=60\text{nm}$, $1\mu\text{m}$ の N/PMOS に適用した。変換後の 3 成分は依然として元のパラメータのいずれか 1 個に支配されている。III-2-I- (1)図 3-1-6 に I_{on} の分散における、無相関化された各成分の割合を示す。 I_{on} ばらつき要因として、短チャンネル MOS では V_{th} ばらつきが支配的だが、長チャンネル MOS では移動度ばらつきが支配的(すなわち輸送要因が支配的)であることが明らかとなった。これは電流輸送のばらつきが V_{th} ばらつきより空間的平均化を受けにくいことを示唆している。また長チャンネルデバイスのモデリングでは V_{th} ばらつき以外のばらつき要因を考慮することが非常に重要である。



III-2-I- (1)図 3-1-6 I_{on} ばらつき成分分離結果

3-1-2. 飽和 V_{th} ばらつきの検討

飽和 V_{th} は線形 V_{th} とDIBLの和であると考えられる。線形 V_{th} の規格化は実現されているので、飽和 V_{th} そのものではなく差分であるDIBL、すなわち、

$$DIBL = V_{TH}(\text{linear}) - V_{TH}(\text{saturation}) \quad (3-1-2-1)$$

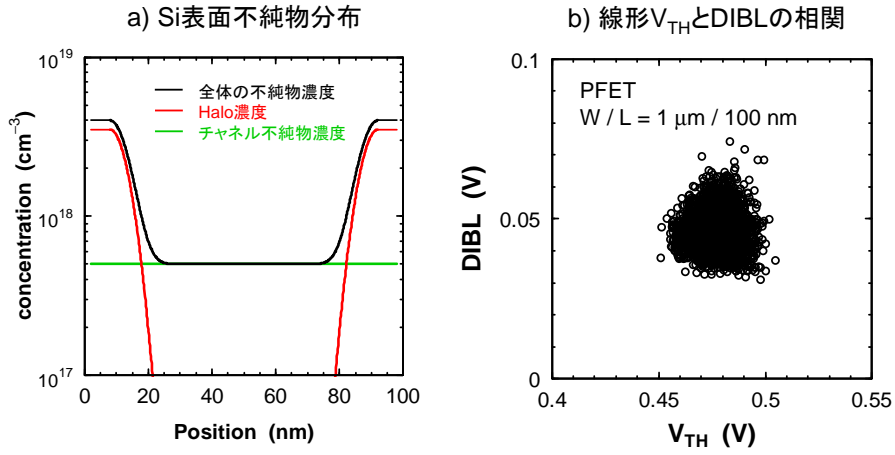
を検討対象とした。まず、DIBLを線形 V_{th} と同様に理想理論値で規格化するという考え方を採用するには、理想DIBLのモデル式が必要である。しかし、DIBLの挙動はチャネル長やHaloの有無によって複雑に変化し、理想的DIBLを定義することは難しい。仮にモデル化ができたとしても、多数の同定困難なパラメータを含む複雑な式となり、その有用性はシンプルな(3-1-1)式に比べれば大きく劣ると考えられる。そこで無理に規格化をするのではなく、いかなるデバイス設計を行なえば飽和 V_{th} ばらつきを改善できるかをシミュレーション等により検討することにした。計算を高速化して多くの試行を行うため、解析モデル的アプローチを取り込んで高速化したシミュレータHiSIM-RPを使用した。HiSIM-RPは不純物ばらつきによる特性ばらつきをシミュレートする機能を有し、これを利用してばらつきを見積もった。

シミュレーションに先立って、HiSIM-RPがDIBLばらつきの実測特性を再現できるかを検討した。実測した線形 V_{th} とDIBLの相関プロットにHalo濃度分布の非対称性に起因した三角分布が現れることに注目し、この統計的振る舞いが一致するようにモデルパラメータを調整した。不純物プロファイル例と、その構造でモンテ・カルロシミュレーションを行ったときの線形 V_{th} とDIBLの相関プロットをIII-2-I-(1)図3-1-7に示す。Halo構造を急峻にすることによって実測に近い相関プロットの三角分布が再現した。

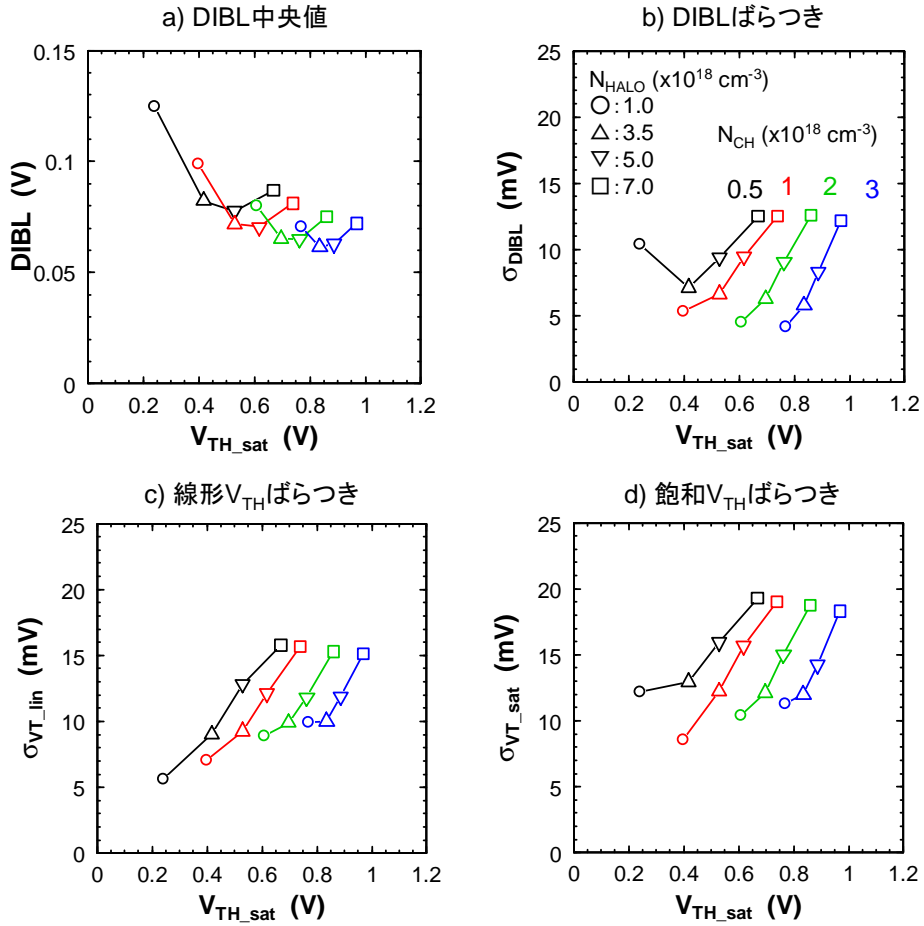
上記構造のPMOS(ゲート長 $L_g=60\text{nm}$)で、Halo濃度、チャネル濃度を変化させたモンテ・カルロシミュレーションを行なった。III-2-I-(1)図3-1-8にDIBL中央値、DIBL標準偏差、線形 V_{th} 標準偏差、飽和 V_{th} 標準偏差の計算結果を示す。デバイス設計においては狙いの飽和 V_{th} が制約条件となることが多いため、計算結果を飽和 V_{th} の関数として示した。III-2-I-(1)図3-1-8aより、ある狙い V_{th} においてDIBLを最小化するHalo設計が存在することがわかる。しかしIII-2-I-(1)図3-1-8dの飽和 V_{th} ばらつきについては、概ねHaloを弱めるほど減る(ただし実際にはゲート長ばらつきなどの存在によってより明確な最適点が存在する可能性がある)。DIBL最小化とばらつき最小化はトレードオフとなり、回路によって最適設計が異なると考えられる。

飽和 V_{th} ばらつきは線形 V_{th} ばらつきにDIBLばらつきが加算され結果、一見非常に大きくなるのではないと思われる。しかし適切なHaloの設計を行なえば、III-2-I-(1)図3-1-9に示すように、飽和 V_{th} ばらつきは線形 V_{th} ばらつきと大差がない場合が多く、長チャネルではむしろ飽和 V_{th} ばらつきのほうが小さくなる。その理由は、DIBLばらつきが線形 V_{th} ばらつきの0.6倍程度と小さいこと(III-2-I-(1)図3-1-10)、およびチャネル長が長めのときにDIBLと線形 V_{th} との間に正の相関(III-2-I-(1)図3-1-11、III-2-I-(1)図3-1-7b)があることによる。

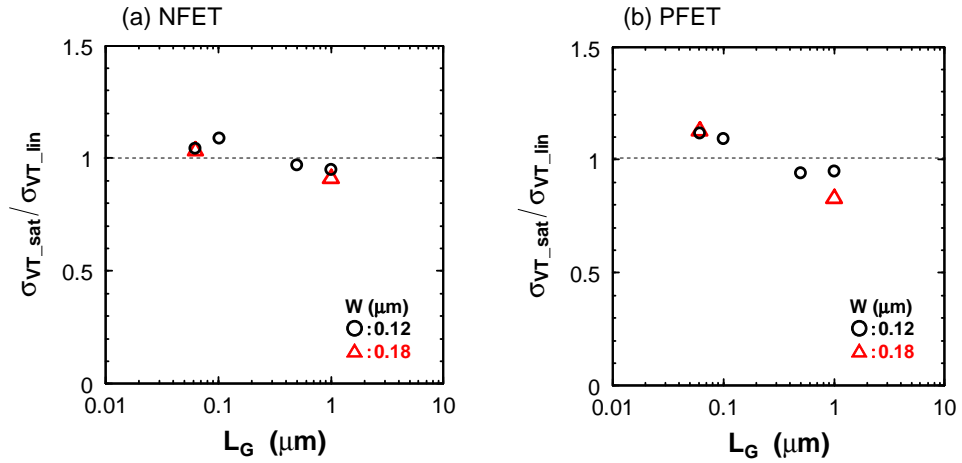
以上より、飽和 V_{th} ばらつきのモデリング開発を実施し、その有用性を確認できた。



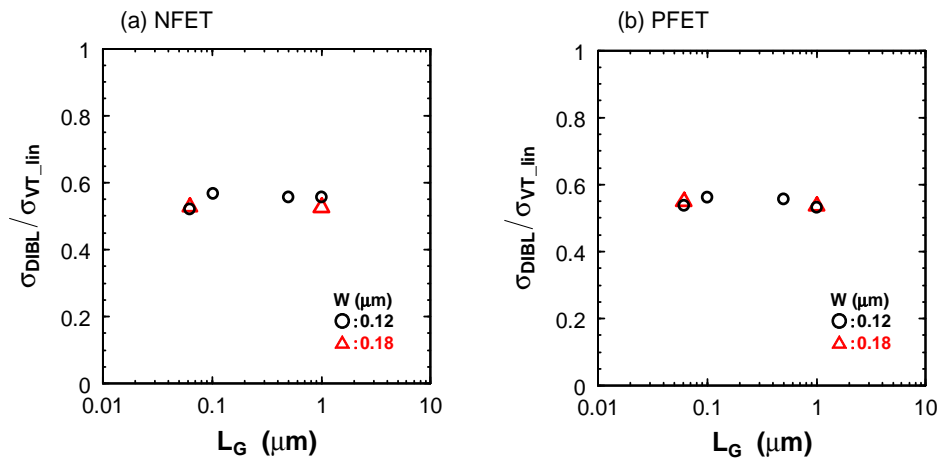
III-2-I- (1)図 3-1-7 仮定した不純物分布例とシミュレーション結果



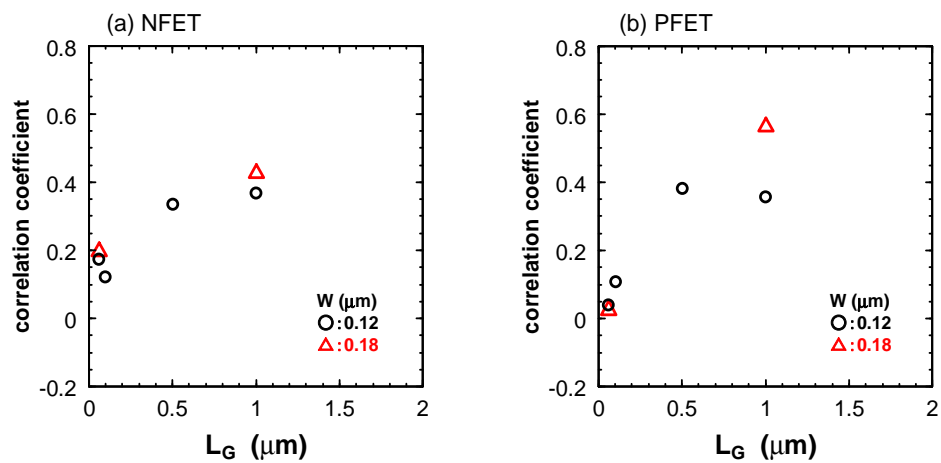
III-2-I- (1)図 3-1-8 HiSIM-RP のシミュレーション結果 (PFET、W = 1 μ m、L = 60 nm)



III-2-I- (1)図 3-1-9 Halo 有デバイスの飽和 V_{th} ばらつきと線形 V_{th} ばらつきの比



III-2-I- (1)図 3-1-10 Halo 有デバイスの DIBL ばらつきと線形 V_{th} ばらつきの比

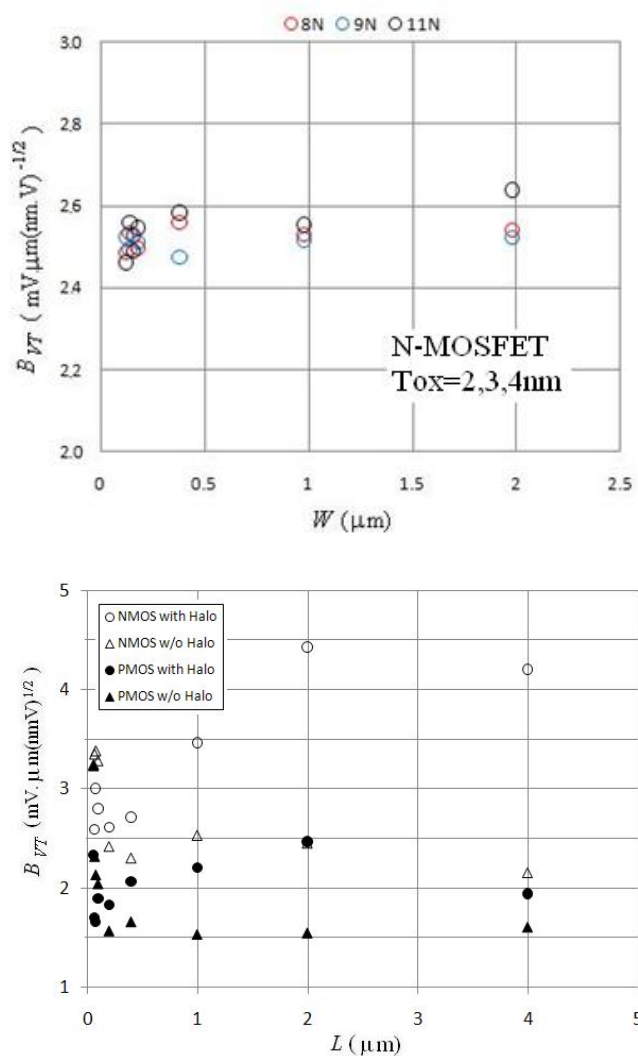


III-2-I- (1)図 3-1-11 Halo 有デバイスの DIBL と線形 V_{th} の相関係数

3-2. 物理モデルの開発

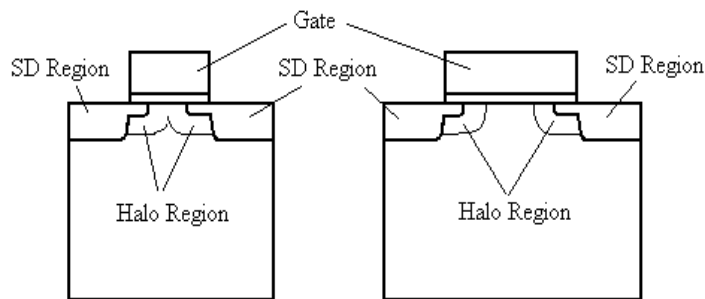
3-2-1. B_{VT} の寸法依存性

竹内プロットは、「設定しきい値(V_{th})」と「ゲート絶縁膜厚(T_{inv})」が違う MOSFET であっても同じ直線上に $\square V_{th}$ データがプロットされるように、Pelgrom プロットを規格化したものである。実際に、製造条件の異なる複数のウエハのデータが竹内プロットによってほぼ同一直線上に載ることが確認されている。またシミュレーションで、離散不純物ばらつきが原因の場合その直線の傾き B_{VT} が約 $1.5\text{mV}\square\text{m}$ になることがわかっている。そこで、本項では、設計チャンネル寸法を大きく変えた DMA-TEG を用いて、そのチャンネル寸法依存性を調べた。III-2-I-- (1)図 3-2-1 は B_{VT} のチャンネル幅 W_g とチャンネル長 L_g 依存性を示す。 W_g 依存性はほとんどないが、 L_g 依存性が見られる。



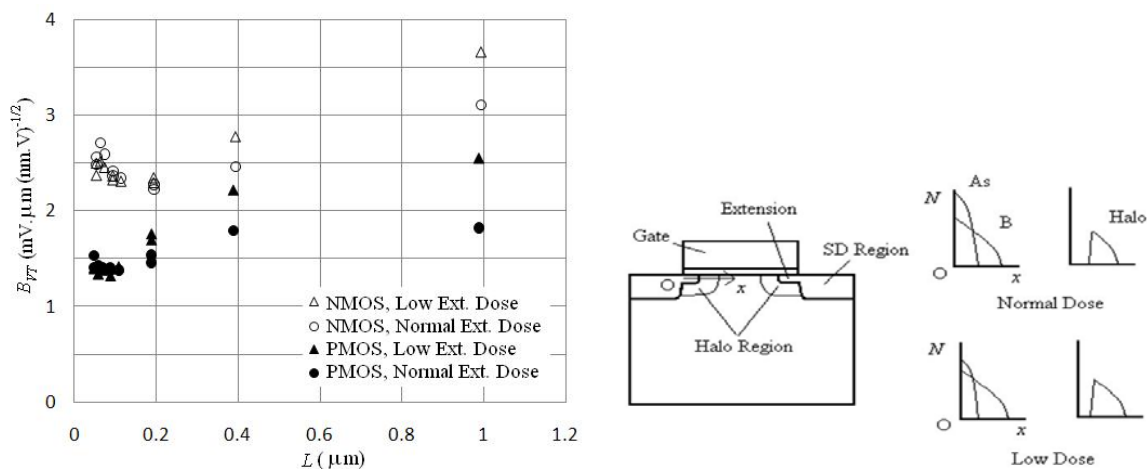
III-2-I- (1)図 3-2-1 B_{VT} のチャンネル寸法依存性

B_{VT} に L_g 依存性が見られる原因として、「短チャンネル効果」と「チャンネル不純物不均一性」が考えられる。短チャンネルの場合、チャンネル長のばらつきが V_{th} ばらつきに影響を与える。このことは短チャンネル効果の大きい、ハローのない MOSFET の $0 < L < 0.2\mu\text{m}$ における $B_{VT}-L_g$ 曲線に強く見られる。チャンネル長が長い場合、III-2-I- (1)図 3-2-2 に示すように、ハローが分離して本来のチャンネル領域が現れ、チャンネル不純物分布がチャンネル長方向に不均一になる。このことは「共同実施先研究成果」に記されるように、チャンネル不純物分布が均一な場合よりも B_{VT} を大きくする。III-2-I- (1)図 3-2-1 では、測定精度を高め、 $L_g=4\mu\text{m}$ までの測定データを示している。それでは、 $L_g=2\mu\text{m}$ で一度大きくなった B_{VT} が再び小さくなるのが確かめられる。これは基板領域がチャンネルの広い部分を占めるようになったため、再びチャンネルが均一化してきたからと考えることができる。



III-2-I- (1)図 3-2-2 ハローのある MOSFET のチャンネル構造

III-2-I- (1)図 3-2-3 はエクステンション濃度を変えた場合の B_{VT} のチャンネル長依存性を示す。同図左に示すように、エクステンションドーズ量を半分に減らすと、 B_{VT} が標準のものよりも大きくなる。これはエクステンションドーズ量を半分に減らすと、同図右の不純物分布図のように、ハロー濃度が高くなり不純物濃度不均一性が大きくなることと対応している。



III-2-I- (1)図 3-2-3 エクステンション濃度を変えた場合の B_{VT} のチャンネル長依存性

3-2-2. ばらつきパラメータの抽出

ペルグロムのばらつきモデルでは、距離 D 離れた 2 つの素子間のパラメータ P の差 ΔP の分散は次の式 (3-2-2-1) で表される。

$$\sigma^2(\Delta P) = \frac{A_P^2}{W_g \cdot L_g} + S_P^2 D^2 \quad (3-2-2-1)$$

右辺第 1 項の A_P はパラメータ P のランダムばらつき成分を表し、チャンネル面積 ($W_g \times L_g$) の増大と共に平均化の効果が現れることを示している。右辺第 2 項の S_P はパラメータ P の距離に依存したばらつき成分を表わし、「パラメータ差は距離に比例する」という仮定を用いて導いている。

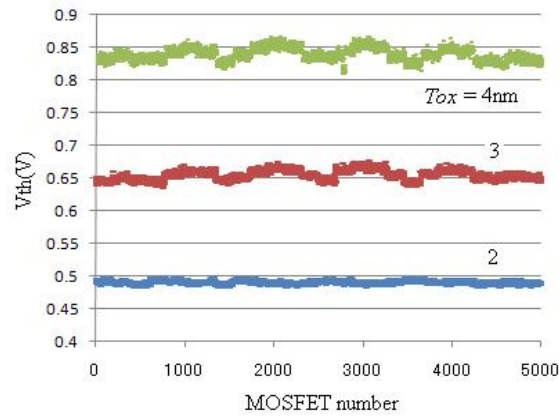
ここでは n チャンネル MOSFET の線形領域の $I_{ds} - V_g$ 特性の近似式、

$$I_{ds} = \beta \frac{(V_g - V_{th})V_d}{1 + \theta(V_g - V_{th})} \quad (3-2-2-2)$$

を用いて、この式に現れるパラメータ β 、 V_{th} 、 θ の A_P と S_P に相当するばらつきパラメータ A_{VT} 、 A_β 、 A_θ 、 S_{VTH} 、 S_β 、 S_θ を抽出する。簡単のため、これら 3 つのパラメータを次の手順で導く。

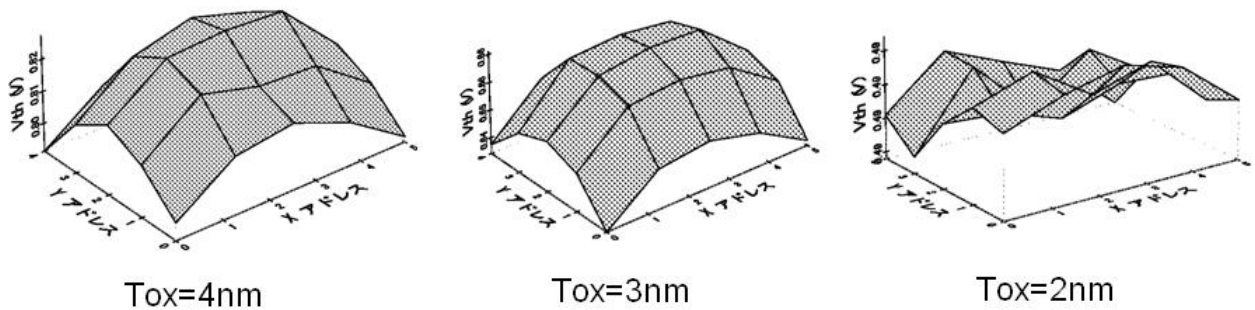
- 1) β を $I_{ds} - V_g$ 特性の最大傾きから決める。
- 2) V_{th} を $I_{DS} - V_G$ 特性の最大傾き直線を外挿して決める。
- 3) θ を $V_g = 1.2 \text{ V}$ における I_{ds} の値から決める。

上記の方法で抽出した $W_g/L_g = 4/4 \mu\text{m}$ の MOSFET の約 5000 個の V_{th} データを、ウエハの位置順に並べたものを III-2-I- (1) 図 3-2-4 に示す、酸化膜厚 $T_{ox} = 2 \text{ nm}$ が標準条件で試作したもので、酸化時間を延長して酸化膜厚を大きくしたサンプルのデータも示してある。曲線に幅が見られるのは、ばらつきのランダム成分によるものであり、曲線が波打っているのは、ばらつきのシステムティック成分によるものと考えられる。 $T_{ox} = 2 \text{ nm}$ サンプルではランダム成分が大きく、ほとんどシステムティック成分を見られない。このことから、以下では $T_{ox} = 4 \text{ nm}$ のサンプルを用いてシステムティック成分を抽出する。



III-2-I- (1)図 3-2-4 ウエハの位置順に順番にならべた V_{th} データ

S を抽出するため、ランダム成分を平均化で減らした。III-2-I- (1)図 3-2-5 は $W_g/L_g = 4/4 \mu\text{m}$ の MOSFET の V_{th} をチップ内約 100 素子分平均したもののウエハマップである。 $T_{ox}=4, 3\text{nm}$ では V_{th} の平均はウエハ中央で大きくなっている。 S_{VTH} はこれら平均値分布の最大勾配から導出できる。 S_β, S_θ に対しても同様のウエハマップを作り、 $T_{ox}=4\text{nm}$ の場合の S を抽出した結果を III-2-I- (1)表 3-2-1 に示した。

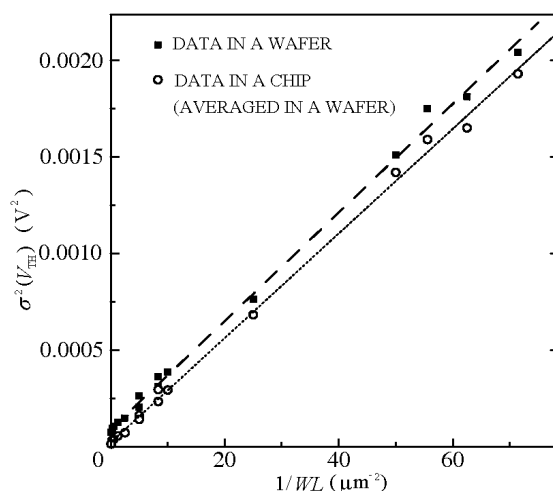


III-2-I- (1)図 3-2-5 $W_g/L_g = 4/4\mu\text{m}$ の MOSFET の V_{th} 平均値のウエハマップ

III-2-I- (1)表 3-2-1 $S_{VTH}, S_\beta, S_\theta$ の抽出値

Parameter	Value
S_{VTH}	$2 \times 10^{-4} \text{ V/mm}$
S_β	$4 \times 10^{-8} \text{ A/V}^2\text{mm}$
S_θ	$1 \times 10^{-4} \text{ 1/Vmm}$

A を抽出するため、各パラメータの分散 $\sigma^2(P)$ と $1/L_g W_g$ の関係をプロットした。Pelgrom のモデルである、(3-2-2-1)式通りに、それは III-2-I- (1)図 3-2-6 に示すように直線関係になる。ウエハ内の全データから分散を計算したもの(■)と、チップ内のデータから計算した分散をウエハ内で平均したもの(o)の2本の直線がプロットしてある。前者の分散に比べて後者の分散に含まれるシステムティックばらつき成分((3-2-2-1)式第2項)が小さいため、それをプロットした直線はほぼ原点を通っている。 A_{VT} はこの直線の傾きから求まる。同様の方法で求めた A_β と A_θ も含めて、抽出した結果を III-2-I- (1)表 3-2-2 に示す。



III-2-I- (1)図 3-2-6 $\sigma^2(V_{th})$ と $1/L_g W_g$ の関係

III-2-I- (1)表 3-2-2 A_{VT} 、 A_β 、 A_θ の抽出値

Parameter	Value
A_{VT}	5.3×10^{-6} Vmm
A_β	1.1×10^{-9} Amm/V ²
A_θ	2.0×10^{-6} mm/V

以上のようにばらつきのランダム成分が大きいため、 A_P を抽出することは容易であるが、 S_P を抽出することは容易でない。 $\sqrt{L_g W_g} \approx 0.1 \mu\text{m}$ で $D \approx 1 \mu\text{m}$ という典型的な V_{th} の場合、ランダム成分の項はシステムティック成分の項の 10^{11} 倍大きい。たとえ、 $\sqrt{L_g W_g} \approx 100 \mu\text{m}$ で $D \approx 100 \mu\text{m}$ であっても、10 倍大きい。このことは β や θ の場合も同様である。そのため、多くの場合、 A_P の値のみを用いてモデル化してもよい近似が得られる知見を得た。 σV_{th} のシステムティック成分はゲート絶縁膜のばらつきが原因と考えられる。III-2-I- (1)図 3-2-7 に大きい MOS キャパシタを C - V 測定して得たゲート絶縁膜厚のウエハ分布を示す。膜厚勾配は約 0.05 %/mm であり、 $S V_{th} \approx 2 \times 10^{-4}$ V/mm とほぼ対応することを明らかにした。

Y=4		4.6	4.7	4.7	4.7	
Y=3	4.7	4.7	4.8	4.8	4.7	4.7
Y=2	4.7	4.8	4.8	4.8	4.7	4.7
Y=1	4.7	4.7	4.8	4.8	4.7	4.7
Y=0		4.7	4.7	4.7	4.7	
	0	1	2	3	4	5

III-2-I- (1)図 3-2-7 ゲート絶縁膜厚のウエハ内分布

3-2-3. g_{mmax} ばらつき

MOSFET チャンネル全体の抵抗 R_{TOT} をチャンネル固有の抵抗 R_{CH} とそれに寄生する直列抵抗 R_{EX} に分けると次の式が成り立つ。

$$R_{TOT} = R_{CH} + R_{EX} \quad (3-2-2-3)$$

g_{mMAX} とは $I_{ds}-V_g$ 特性の最大傾きにおける R_{TOT} と対応するため、 g_{mMAX} のばらつきはその部分における R_{CH} と R_{EX} のばらつきの和になっている。そのため、まず両者の分離を試みた。その結果、共同実施先研究成果に述べられているように、完全な分離は難しいが、 $L_g=60\text{nm}$ MOSFET においては R_{CH} のばらつきが支配的であることがわかった。そのため、測定で得られた g_{mMAX} のばらつきはほぼ MOSFET 固有部分のばらつきと考えることができる。

ここではドレイン電圧 $V_d=50\text{mV}$ 一定で測定したドレイン電流 I_{ds} から g_{mMAX} を求めているため、この値は古典 MOS 理論の利得定数 β と同等のものと考えることができる。定義式によるとそのばらつきは、移動度 μ 、酸化膜容量 C_{ox} 、チャンネル幅 W_g 、チャンネル長 L_g に分けることができる。

$$\beta = \mu C_{ox} \frac{W_g}{L_g} \quad (3-2-2-4)$$

それぞれのパラメータのばらつきが小さく独立であると仮定すると、分散の加法性が成り立ち、次の (3-2-2-5) 式が得られる。

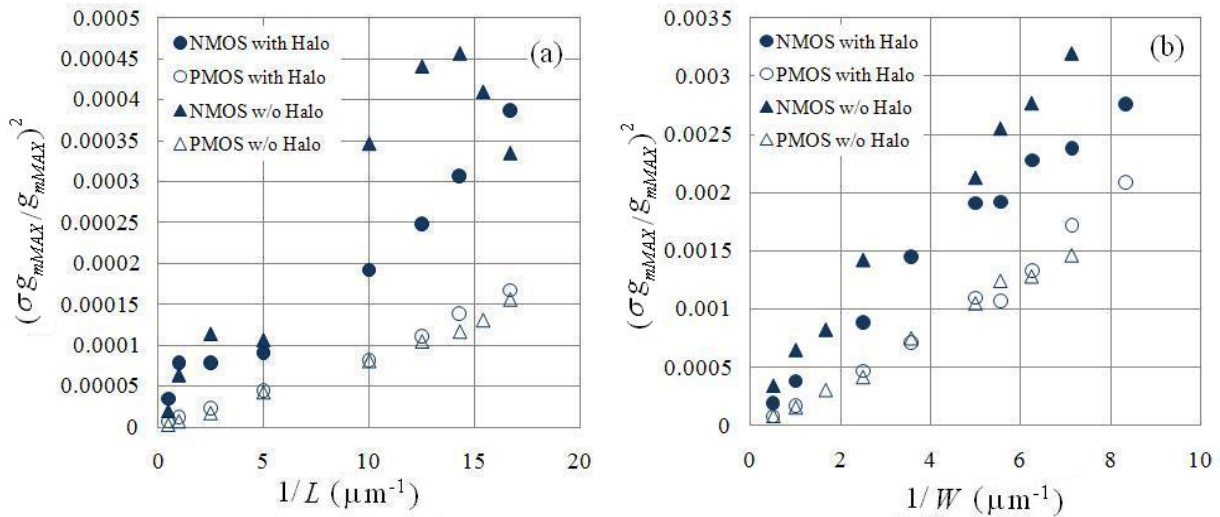
$$\left(\frac{\delta\beta}{\beta}\right)^2 = \left(\frac{\delta\mu}{\mu}\right)^2 + \left(\frac{\delta C_{ox}}{C_{ox}}\right)^2 + \left(\frac{\delta W_g}{W_g}\right)^2 + \left(\frac{\delta L_g}{L_g}\right)^2 \quad (3-2-2-5)$$

この式の $\delta\mu$ 、 δC_{ox} 、 δW_g 、 δL_g はそれぞれのばらつきを表す微小量である。ただそのばらつき方はチャンネル全体で同様と考えたものである。もし、微細な振動成分を持っているとするならば、チャンネル全体で平均化

の効果が生じる。その効果は $\delta\mu$ 、 δC_{ox} の場合にはチャンネル面積での平均化であり、 δW の場合はチャンネル長 L における平均化、 δL の場合はチャンネル幅 δW における平均化と考えられる。この平均化の効果を考慮すると、(3-2-4)式は次のように表わされる。

$$\left(\frac{\delta\beta}{\beta}\right)^2 = \frac{a_\mu}{L_g W_g} \left(\frac{\delta\mu}{\mu}\right)^2 + \frac{a_c}{L_g W_g} \left(\frac{\delta C_{ox}}{C_{ox}}\right)^2 + \frac{a_w}{L_g} \left(\frac{\delta W_g}{W_g}\right)^2 + W_g \frac{a_L}{W_g} \left(\frac{\delta L_g}{L_g}\right)^2 \quad (3-2-2-5)$$

ここで a_μ 、 a_c 、 a_w 、 a_L は定数である。III-2-I- (1)図 3-2-8 に g_{mMAX} の比分散のチャンネル寸法依存性を示す。 L 、 W 依存性はいずれもほぼ直線になっており、微細なゆらぎが原因でばらつきが生じ、それがチャンネル寸法と共に平均化されているように見られる。なお、ハローのない素子の短チャンネル部、ハローのある素子のハローが分離してチャンネル不純物分布が不均一になる部分、いずれも L_g 依存性に直線から外れる性質が見られるという知見を得た。

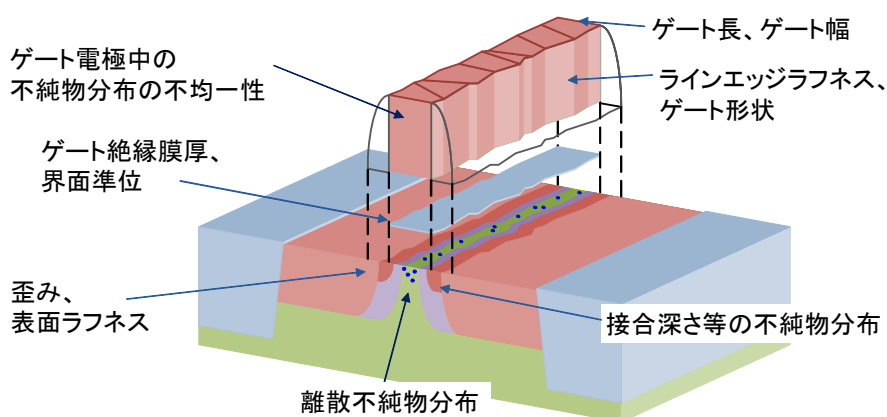


III-2-I- (1)図 3-2-8 g_{mMAX} の比分散のチャンネル寸法依存性

3-3. TCADシミュレーション機能の開発

第3-3項では、第1章で得られた特性ばらつきを再現するために、第2章で得られた物理原因を3次元デバイス・プロセスシミュレーション技術開発した結果を述べる。この開発した技術を用いてデバイス特性ばらつきの離散不純物が原因となる要因以外の原因を明らかにし、これによるばらつきを20%以上低減可能な指針を得ることが本項の目的である。

MOSトランジスタの特性に影響すると考えられる要因をIII-2-I-(1)図3-3-1に示した。



III-2-I-③(1)図 3-3-1 MOSトランジスタの模式的な鳥瞰図とその特性に影響する物理パラメータ

3-3-1. 離散不純物分布

MOSトランジスタのしきい値(V_{th})ばらつきの主要原因が、 V_{th} を制御するためにチャンネルに添加した不純物の離散性(RDF: Random Dopant Distribution、以下本項ではRDFを表記する)が原因であると報告されている[1-4]。このため、本開発においても、3次元TCAD(Technology Computer Aided Design)シミュレーション¹にRDF計算機能を導入し、MOSトランジスタの V_{th} ばらつきに与えるRDFのインパクトの検討を行った。3次元TCADシミュレーションでは、二種類のRDFモデルが知られている。1つは、Atomisticモデル[6, 7]であり、他方はLong-rangeモデル[8, 9]である。これら2種類のモデルを組み込んだRDF計算機能を開発した。本項では、組み込んだ2つのモデルを用いた場合の V_{th} 、ならびに V_{th} ばらつき(σV_{th})の妥当性を評価し、特性ばらつき検討に用いるための基礎検討を実施した。シミュレーションは、古典的なドリフト拡散モデルに基づいている。妥当性を評価するために、過去に報告したシミュレーション条件と同等な条件に合わせた。電気的なゲート酸化膜厚(T_{inv})は3nm、仕事関数は4eV、ゲート電圧(V_g)は50mVの線形領域にて計算を実施した。計算簡略化のために量子効果は考慮せず。ゲート電極は空乏化のない金属とし、短チャンネル効果の影響をなくすためにソース・ドレインの接合深さ(x_j)を7nmとしている。評価に用いた V_{th} は、定電流定義²である。2つの離散不純物モデルを用いて V_{th} 、 V_{th} ばらつき(ここでは、主に標準偏差 σV_{th} を用いた)の比較を行うために、それぞれのデバイスについて200サンプルのシミュレーションを実施した。

¹本開発では(株)半導体先端テクノロジーズで開発された ENEXSS に各種ばらつき機能を組み込んだシミュレータを利用。

² 定電流 V_{th} は、ドレイン電流 $I_d = 10^{-8} \times W_g / L_g [A]$ の時の V_g で定義

シミュレーションメッシュ間隔を 1nm とした場合の、ドーパントとポテンシャルの分布を、従来の Jellium モデルと比較して、III-2-I- (1)図 3-3-1-1 に示した。Atomistic モデルを用いた場合はデルタ関数的に、Long-range モデルを用いた場合にはブロードに不純物、ポテンシャルが分布することが分かる。III-2-I- (1) 図 3-3-1-2 に 10nm 間隔で不純物を配置した場合のポテンシャル分布を示した(図中には 20nm 間隔で不純物を配置した例を示した)。メッシュ間隔を 1 から 10nm の範囲で変えた場合、Long-Range モデルではおおよそポテンシャルを再現できているのに対し、Atomistic モデルを用いた場合にはメッシュサイズによりポテンシャルがデルタ関数から大きく変わり、メッシュ間隔が 10nm となった場合には 2 つの不純物が作り出すポテンシャルが 1 つとなり、メッシュ間隔依存大きいことが分かる。したがって、Atomistic モデルを用いた場合にはある程度小さなメッシュ間隔が必要となり、大きなサイズの MOS トランジスタは、現実的な時間でシミュレーションすることが困難となる。

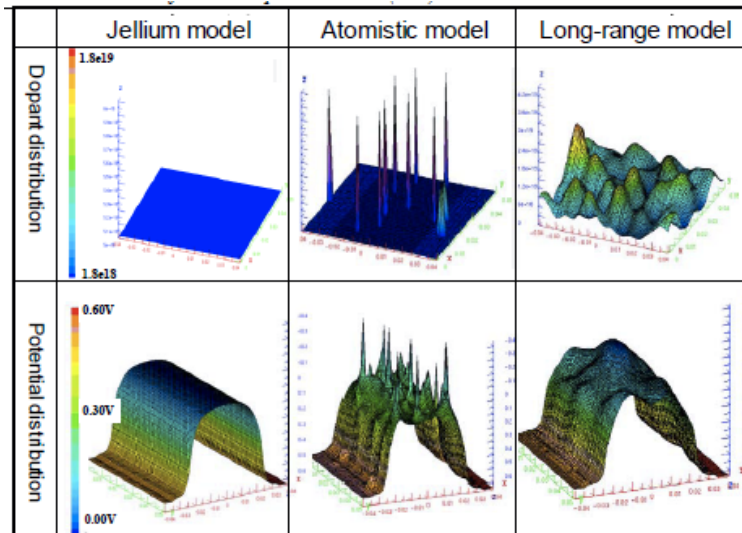
III-2-I- (1)図 3-3-1-3、ならびにIII-2-I- (1)図 3-3-1-4 に σV_{th} 、ならびに ΔV_{th}^3 のメッシュ間隔依存性を示した。その結果、 σV_{th} に関しては両モデルともよく一致するが、基板濃度(N_{sub})を低くした場合にAtomisticモデルで V_{th} が大きく低下することが分かった。一方、 σV_{th} 、ならびに ΔV_{th} の基板濃度依存性をIII-2-I- (1)図 3-3-1-5、ならびにIII-2-I- (1)図 3-3-1-6 に示した。計算に用いたメッシュは、ゲート長(L_g)、ゲート幅(W_g)方向ともに、1nm間隔である。数値計算モデル[4]や過去の 3 次元シミュレーション[7]では、それぞれ、 σV_{th} は $N_{sub}^{0.25}$ 、 $N_{sub}^{0.4}$ に比例することが示されている。本開発においては、おおよそ過去の 3 次元シミュレーション結果に一致することが分かった。チャンネル中でのパーコレーションが考慮されているため数値計算モデルよりも大きく、完全に 3 次元シミュレーションに一致しない原因は試行回数が少ないための誤差と考えられる。一方、 ΔV_{th} (Jelliumモデルとの差異)は、デバイスサイズを変えてもLong-rangeモデルでは N_{sub} 依存が小さいが、Atomisticモデルでは N_{sub} に比例して増大していることが分かる。

以上、RDF 計算機能として、Atomistic モデルならびに、Long-Range モデルの組み込みを検討した。その結果、

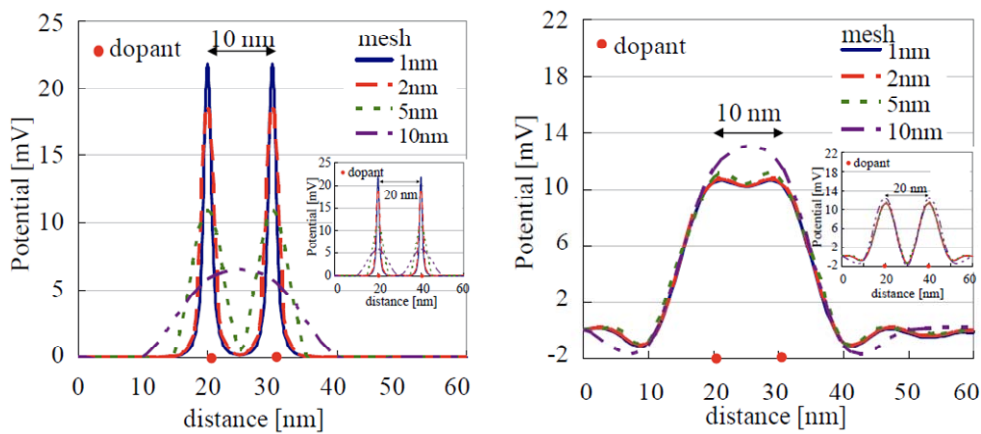
- σV_{th} の計算はほぼモデルによらず一定
- $\langle V_{th} \rangle$ はメッシュ間隔 5nm 以下で Long-Range モデルで飽和するが、Atomistic モデルでは減少する
- Atomistic モデルの $\langle V_{th} \rangle$ は、 N_{sub} に比例して減少する

ことが分かった[10]。したがって、将来の微細デバイスの V_{th} ばらつきの計算には、Long-Range モデルが最適であることを明らかにし、本開発の検討では以下の検討に Long-Range モデルを組み込んだ 3 次元の RDF シミュレーション機能を用いることとした。

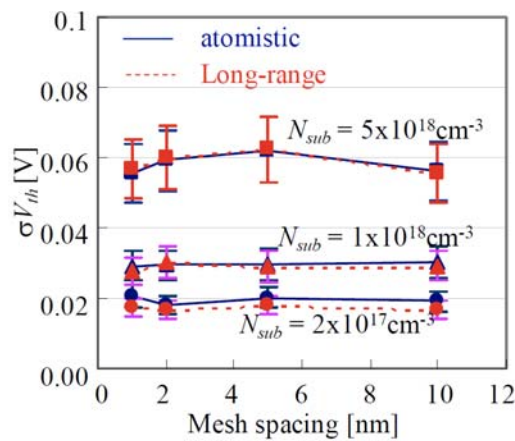
³ ΔV_{th} は Jellium モデルで計算した V_{th} と計算した平均値 $\langle V_{th} \rangle$ の差分で定義



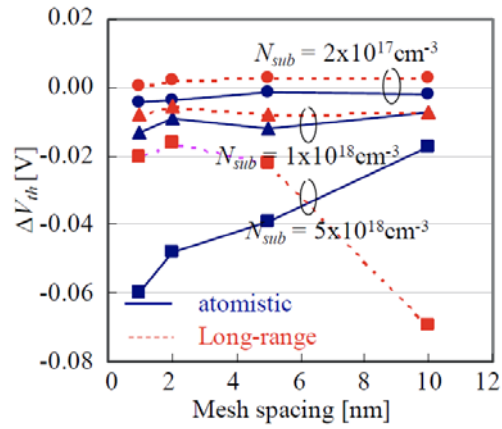
III-2-I-③-(1)図 3-3-1-1 従来の Jellium モデル、Atomistic モデル、ならびに Long-range モデルを用いて計算した不純物、ポテンシャル分布



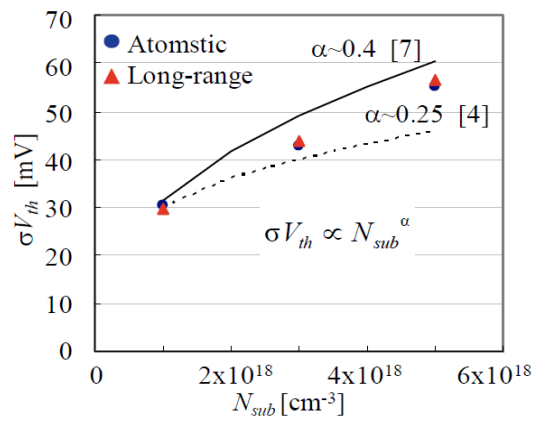
III-2-I-③-(1)図 3-3-1-2 Atomistic モデル、ならびに Long-range モデルを用いて、10nm 間隔で不純物を配置し計算したポテンシャル分布



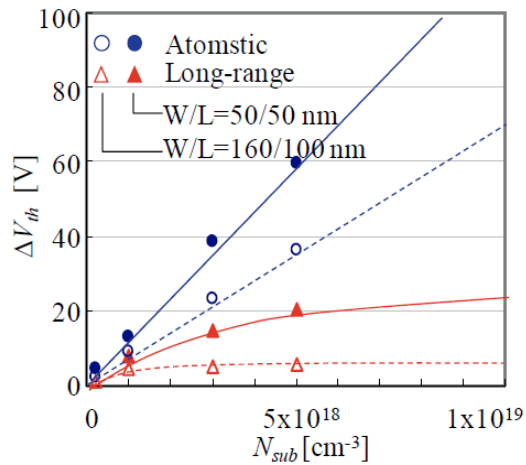
III-2-I-③-(1)図 3-3-1-3 σV_{th} のメッシュ間隔依存性



III-2-I-③-(1)図 3-3-1-4 □ V_{th} のメッシュ間隔依存性



III-2-I-③-(1)図 3-3-1-5 σV_{th} の基板濃度依存性



III-2-I-③-(1)図 3-3-1-6 ΔV_{th} の基板濃度依存性

参考文献

- [1]. Y. Taur, T.H. Ning, “Fundamentals of Modern VLSI Devices”, Cambridge University Press, 1998.
- [2]. T. Mizuno, J. Okamura, and A. Toriumi, “Experimental study of threshold voltage fluctuation due to statistical variation of channel dopant number in MOSFETs,” *IEEE Trans. Electron Devices*, vol. **41**, pp. 2216–2221, 1994.
- [3]. P. A. Stolk and D. B. M. Klaasen, “The effect of statistical dopant fluctuations on MOS device performance,” *IEEE International Electron Device Meeting (IEDM) Technical Digest*, pp. 627-630, 1996.
- [4]. K. Takeuchi, T. Tatsumi, A. Furukawa, “Channel engineering for the reduction of random-dopant-placement-induced threshold voltage fluctuation,” *International Electron Devices Meeting (IEDM) Technical Digest*, pp. 841-844, 1997.
- [5]. K. Takeuchi, A. Nishida and T. Hiramoto, “Normalization of Random Threshold Voltage Fluctuation for Fair Comparison between Technologies, Process Conditions and Device Designs,” *Silicon Nano-electronics Workshop* p.7, 2007.
- [6]. H.-S.Wong and Y. Taur, “Three dimensional ‘atomistic’ simulation of discrete random dopant distribution effects in sub-0.1 μm MOSFETs,” *IEEE International Electron Device Meeting (IEDM) Technical Digest*, pp. 705–708, 1993.
- [7]. A. Asenov, “Random dopant induced threshold voltage reduction and fluctuations in sub 0.1 μm MOSFETs: a 3D “atomistic” simulation study,” *IEEE Trans. Electron Devices*, vol. **45**, pp. 2505–2513, Dec. 1998.
- [8]. N. Sano, K. Matsuzawa, M. Mukai, N. Nakayama, “Role of long-range and short-range Coulomb potentials in threshold characteristics under discrete dopants in sub-0.1 μm Si-MOSFETs,” *IEEE International Electron Device Meeting (IEDM) Technical Digest* pp. 275–278, 2000.
- [9]. N. Sano, K. Matsuzawa, M. Mukai, N. Nakayama, “On discrete random dopant modeling in drift-diffusion simulations: Physical meaning of ‘atomistic’ dopants,” *Microelectronics Reliability*, v **42**, p 189-199, 2002
- [10]. Arifin. T. P, A. Nishida, S. Kamohara, T. Tsunomura and T. Hiramoto, “Consideration of Random Dopant Fluctuation Models for Accurate Prediction of Threshold Voltage Variation of Metal-Oxide-Semiconductor Field-Effect- Transistors in 45 nm Technology and Beyond”, *Japanese Journal of Applied Physics* **48** (2009)044502

3-3-2. ゲート酸化膜のアトミックラフネス

MOSトランジスタの V_{th} ばらつきは、3-3-1項で述べた RDF が主要原因として知られているが[1]-[5]、完全にこの RDF で説明できていない。本項では、III-2-I- (1)図 3-3-1 に示したゲート酸化膜の原子層レベルのラフネスに注目した。MOS トランジスタのゲート酸化膜は、一般的に原子層オーダーでフラットと考えられているが、III-2-I- (1)図 3-3-2-1 に示すように、透過電子顕微鏡(TEM: Transmission Electron Microscopy、以下 TEM と表記)から得られた格子像を平面方向に圧縮することによって、ゲート酸化膜とシリコン基板界面に原子層オーダーのラフネス(以下、アトミックラフネスと呼ぶ)が存在することが明らかになった[6]。アトミックラフネスが電気特性、特にランダムにアトミックラフネスが発生した場合の特性ばらつきに及ぼす影響を検討するため、3次元 TCAD シミュレーションに組み込む機能を開発した。実際このようなランダムにアトミックラフネスが発生するアルゴリズムとして、III-2-I- (1)図 3-3-2-2 に示す手法を用いた。すなわち、

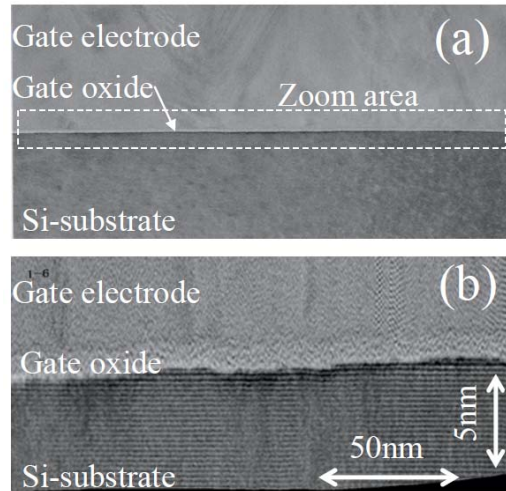
- (i). ランダムな寸法を持つ四角形をゲート酸化膜/シリコン基板界面に発生
- (ii). 半数を界面より上部、半数を下部に凹凸を生成
- (iii). 発生した長方形が重なった場合、同じ確率で上部、あるいは下部にマージ

という手法により、アトミックラフネスを生成した。実際、TEM 評価により界面凹凸の上部、下部、中間の頻度と、上記アルゴリズムにより発生させたアトミックラフネスを III-2-I- (1)図 3-3-2-3 に示した。ラフネスの大きさは TEM の格子像より、ほぼ1原子層であるため凹凸の大きさは $\pm 0.3\text{nm}$ としている。したがって、界面は”0”、凹側が”-0.3nm”、凸側が”+0.3nm”と表記した。TEM の格子像より、凹側と凸側の発生率はほぼ等しく、トータル領域の約 40%となっている。III-2-I- (1)図 3-3-2-3 に示すように、実験値とシミュレーション値がよく一致していることが分かる。

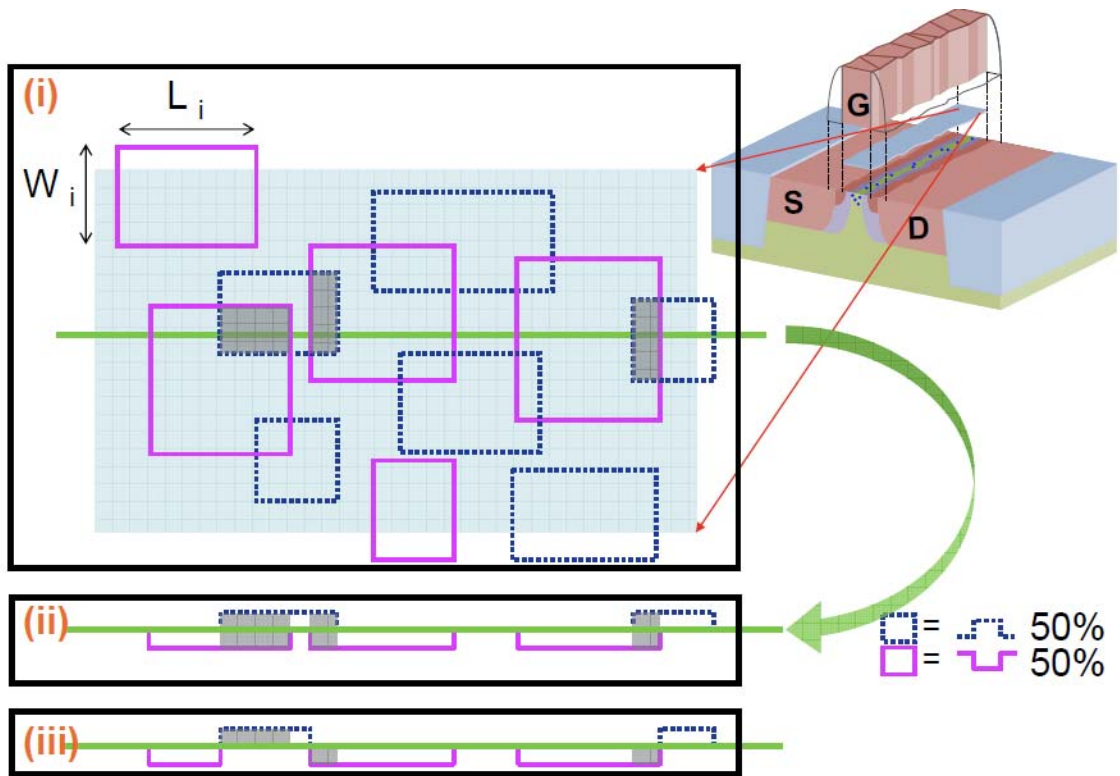
開発した機能を組み込んだ3次元 TCADシミュレーションを用いて、実際のデバイス特性ばらつき計算を実施した一例を III-2-I- (1)図 3-3-2-4 に示した。ここで計算に用いたデバイスの L_g は 150nm、 W_g は 50nm、 T_{inv} が 1.5nm である。アトミックラフネスは $\pm 0.3\text{nm}$ である。 V_g を印加すると、III-2-I- (1)図 3-3-2-4 に濃い色で示した用にゲート酸化膜が薄い領域(凹領域)に反転層領域が形成され、次にオリジナル界面(表面で評価)が形成されることが分かる。キャリアはソースからドレインへ、電流はドレインからソースに流れる。ランダムに発生したアトミックラフネスの影響で、断面方向の電流は凹凸に沿って流れていることが分かる。一方、平面方向には界面一(“0”の表記位置)でゲート電極側に張り出した凸部が電流の流れが妨げられ、凹凸を避けてキャリアが流れるパーコレーション的な流れ方をしていることが分かる(III-2-I- (1)図 3-3-2-4(d))。III-2-I- (1)図 3-3-2-5 は、数値モデルで計算した A_{IT} と本開発した機能を用いて計算した A_{IT} の比較を、 V_{th} をパラメータにしたものである。数値計算モデルと3次元シミュレーションがよく一致していることが分かる。

引き続き、本機能を用いて σV_{th} を計算した結果を示す。III-2-I- (1)図 3-3-2-6(a) は、アトミックラフネスが引き起こす σV_{th} の Pelgrom プロットである。Pelgrom プロットは(i) $L_g=W_g$ 、(ii) $L_g=100\text{nm}$ 固定、(iii) $W_g=160\text{nm}$ 固定で計算したものである。III-2-I- (1)図 3-3-2-6(a)より、(i)~(iii)の条件ともに1つの線上にのることから、 L_g 依存、 W_g 依存がないことが分かる。これは、 L_g 方向、 W_g 方向にアトミックラフネスが平均化されていることを示す。III-2-I- (1)図 3-3-2-6(b) は、 $L_g=W_g$ とした場合の、MOSトランジスタの短チャネル特性である。 $L_g=40\text{nm}$ 程度まで大きな短チャネル効果は発生していない。III-2-I- (1)図 3-3-2-6(c) は $L_g=W_g$ の場合、本機能を用いて計算した V_{th} の累積度数分布である。ほぼ V_{th} の分布が直線にのっていることから、本機能を用いて計算した V_{th} は正規分布を示すことが分かった。

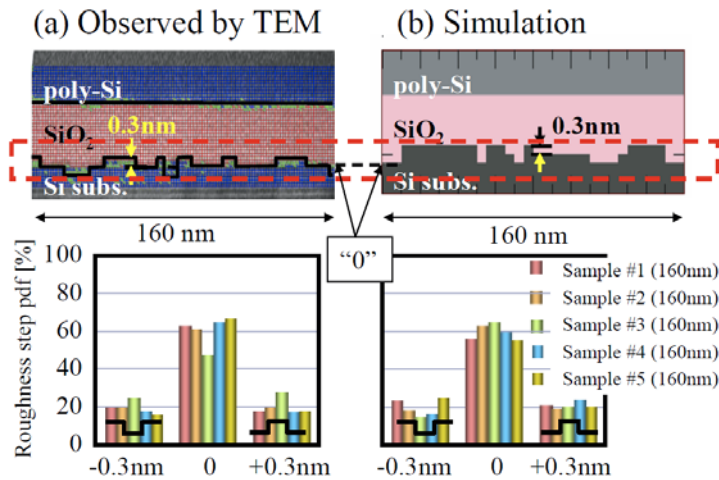
以上、物理解析により明らかになったゲート酸化膜とシリコン基板間のアトミックラフネスを3次元 TCADシミュレーションに導入し、アトミックラフネスがデバイス特性ばらつきに及ぼす影響を検討した。その結果、アトミックラフネスによる V_{th} ばらつきは、Pelgrom プロットにのる、ゲート面積で平均化されることが分かった。この結果は、デバイスサイズが小さくなるにしたがって、アトミックラフネスによる V_{th} ばらつきが大きくなるという知見を得た[7]。



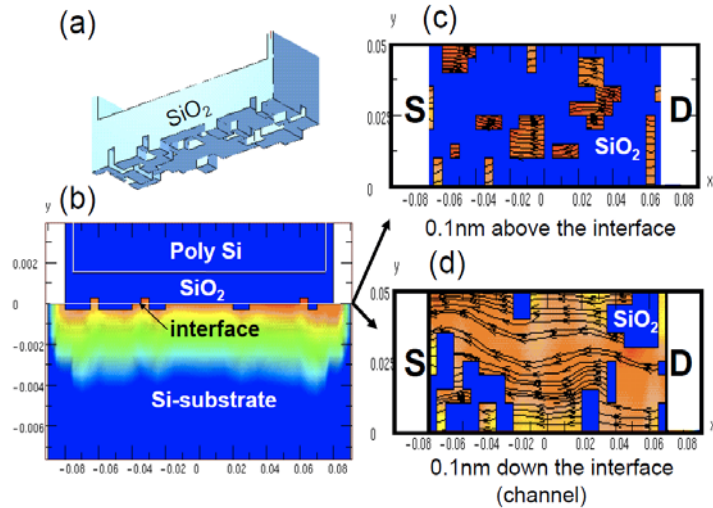
III-2-I-③-(1)図 3-3-2-1 ゲート酸化膜/シリコン基板領域の項分解能断面 TEM による格子像、ならびに平面方向の圧縮像



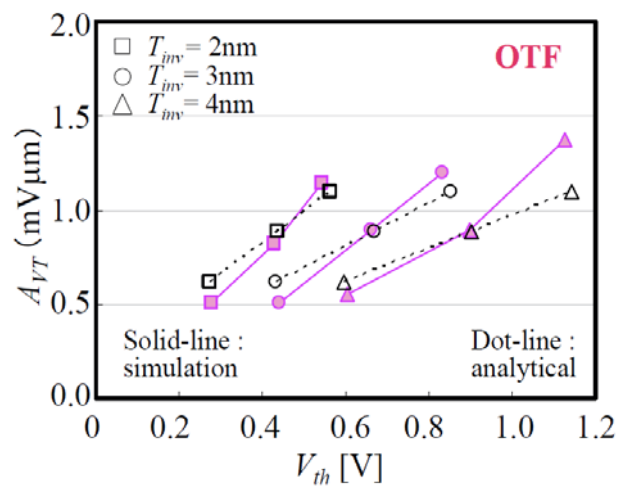
III-2-I-③-(1)図 3-3-2-2 アトミックラフネスを発生するアルゴリズム



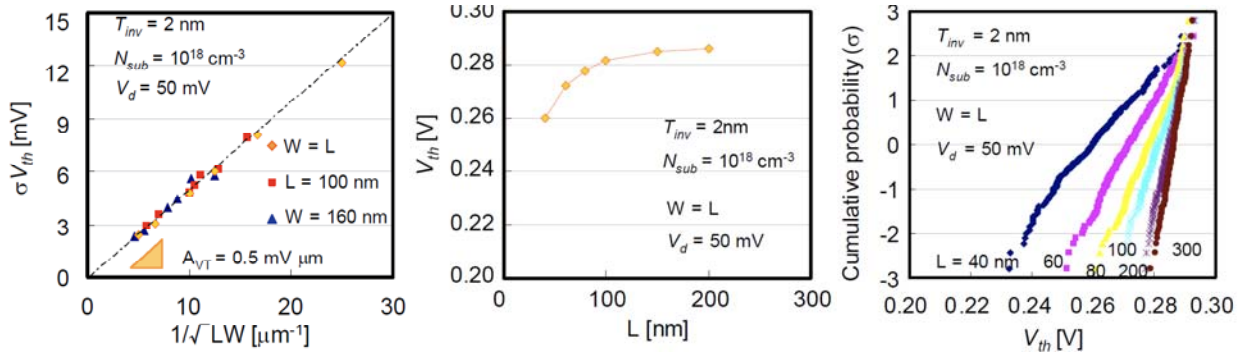
III-2-I-③-(1)図 3-3-2-3 圧縮した断面 TEM 像より求めたアトミックラフネスと、開発した機能を用いて発生させたアトミックラフネスの比較



III-2-I-③-(1)図 3-3-2-4 開発した木野を用いて発生したアトミックラフネス構造(a)、断面の電流密度(b)、ゲート酸化膜/基板界面における電流密度(c)、ならびに界面より0.1nm深いチャンネル位置の電流密度(d)。



III-2-I-③-(1)図 3-3-2-5 数値モデルで計算した A_{VT} と本開発した機能を用いて計算した A_{VT} の比較



III-2-I-③-(1)図 3-3-2-6 アトミックラフネスが引き起こす V_{th} ばらつき(a)と、計算に用いたデバイスの短チャネル特性(b)、ならびに $L_g=W_g$ の際の V_{th} の累積度数分布(c)

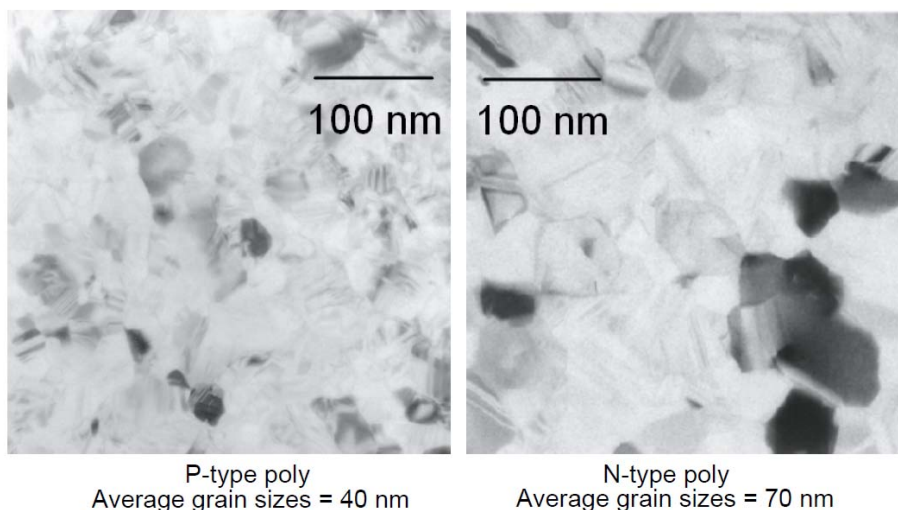
参考文献

- [1]. T. Mizuno, J. Okamura, and A. Toriumi, "Experimental study of threshold voltage fluctuation due to statistical variation of channel dopant number in MOSFETs," *IEEE Trans. Electron Devices*, vol. **41**, pp. 2216–2221, 1994.
- [2]. P. A. Stolk and D. B. M. Klaassen, "The effect of statistical dopant fluctuations on MOS device performance," *IEEE International Electron Device Meeting (IEDM) Technical Digest*, pp. 627-630, 1996.
- [3]. K. Takeuchi, T. Tatsumi, A. Furukawa, "Channel engineering for the reduction of random -dopant-placement-induced threshold voltage fluctuation," *International Electron Devices Meeting (IEDM) Technical Digest*, pp. 841-844, 1997.
- [4]. T. Tsunomura, A. Nishida, F. Yano, A. T. Putra, K. Takeuchi, S. Inaba, S. Kamohara, K. Terada, T. Hiramoto, and T. Mogami, "Analyses of 5σ V_{th} Fluctuation in 65nm-MOSFETs Using Takeuchi Plot", *Digest of Technical Papers, 2008 Symposium on VLSI Technology*, pp.156-157, June, 2008
- [5]. T. Tsunomura, A. Nishida, F. Yano, A. T. Putra, K. Takeuchi, S. Inaba, S. Kamohara, K. Terada, T. Hiramoto, and T. Mogami, "Impact of Vertical and Lateral Channel Structure on V_T Fluctuation", *Digest of Technical Papers, 2009 Symposium on VLSI Technology*, p.110-111
- [6]. 矢野史子、角村貴昭、西田彰男、蒲原史郎、平本俊郎、「ゲート酸化膜／シリコン基板界面の原子レベル凹凸の評価解析」、2007 年春季 第 54 回応用物理学関係連合講演会(27a-ZG-2、 p.827)
- [7]. Arifin. T. P, T. Tsunomura, A. Nishida, S. Kamohara, K. Takeuchi and T. Hiramoto, "Impact of Oxide Thickness Fluctuation and Local Gate Depletion on Threshold Voltage Variation in Metal-Oxide-Semiconductor Field-Effect-Transistors", *Japanese Journal of Applied Physics* **48** (2009) 064504 (5 pages)

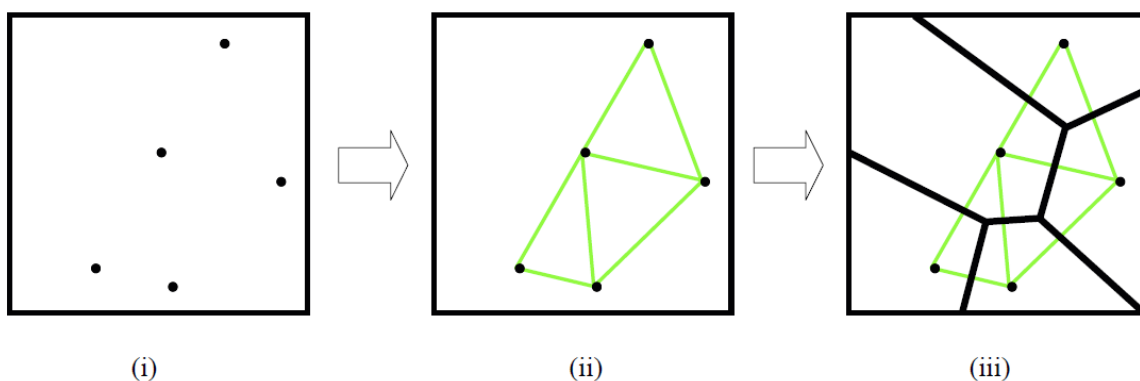
3-3-3. ゲート電極の局所空乏化

3-3-2 項にてアトミックラフネスによるゲート酸化膜の局所的な膜厚揺らぎを 3 次元 TCAD シミュレーションに導入した。ゲート電極がポリシリコンで形成されているため、多結晶シリコンへのドーピングが不十分であればこれが空乏化して、電気的なゲート酸化膜厚 T_{inv} の増加原因となる(III-2-I- (1)図 3-3-1)。非常に大きな空乏化したグレインが、SRAM (Static Random Access Memory) の負荷 MOS のゲートにのった場合に、 V_{th}

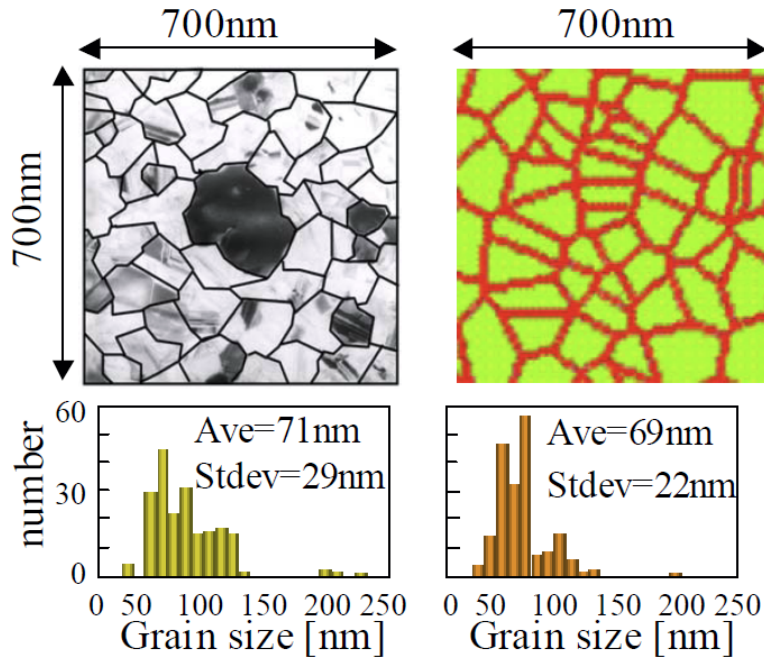
が大きくなる現象が報告されており[1]、これがランダムばらつきの原因となる可能性がある。また我々の開発グループのアトムプローブの計測結果から、MOS 構造のゲートポリシリコンはグレインバンドリに高濃度に不純物が存在し、グレイン内の不純物濃度が低濃度化することも分かっており[2]、[1]で大きなグレインがゲート上に配置された場合に V_{th} がシフトする現象を支持した結果が得られている。また、III-2-I- (1)図 3-3-3-1 に示す PMOS、ならびに NMOS のゲートポリシリコンの平面 TEM 像より、ホウ素を添加した PMOS のゲートポリシリコンのグレインサイズは小さく、リンを添加した NMOS グレインサイズが大きくなっていることが分かる。また実際、NMOS の V_{th} ばらつきが、PMOS の V_{th} ばらつきよりも大きいことも分かっており、これが NMOS、PMOS のばらつき差の一因となる可能性もある。このため、本開発ではゲートポリシリコンのグレインサイズと、グレイン内とグレインバンドリの不純物濃度を独立に制御し、局所的なゲート空乏化を 3 次元 TCAD シミュレーションに導入した。III-2-I- (1)図 3-3-3-2 は、ゲートのグレイン構造を発生させるためのアルゴリズムである。まず、(i)ランダムにグレインの核となるシードを発生し、(ii)隣接する核間を直線で結び、(iii)その核間の中点から垂線を引き、これをグレインバンドリと定義する。グレインバンドリとグレイン内で不運物濃度を変えて、空乏化率を変えるため、高濃度に不純物が存在するグレインバンドリの幅を 20nm と仮定した。III-2-I- (1)図 3-3-3-3 に平面 TEM より求めたグレインサイズの分布と、開発した機能を用いて発生したグレインのサイズの比較した結果を示した。実測したグレイン分布とシミュレーションで発生したグレイン分布がよく一致していることが分かる。



III-2-I-③(1)図 3-3-3-1 PMOS、ならびに NMOS のゲートポリシリコンの平面 TEM 像



III-2-I-③(1)図 3-3-3-2 ゲートのグレイン構造を発生させるためのアルゴリズム

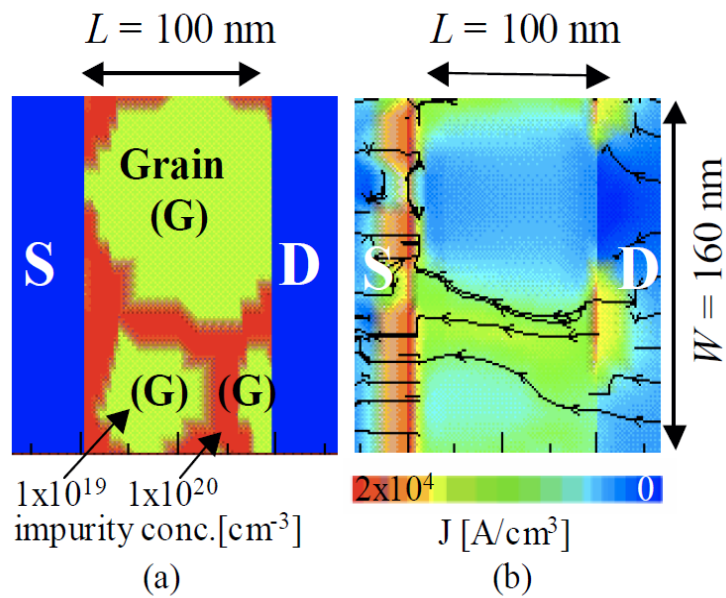


III-2-I-③-(1)図 3-3-3-3 実際のデバイスのゲート電極の平面 TEM 像と、開発した機能を用いて導出した多結晶シリコン、ならびに求めたグレインサイズのヒストグラム。

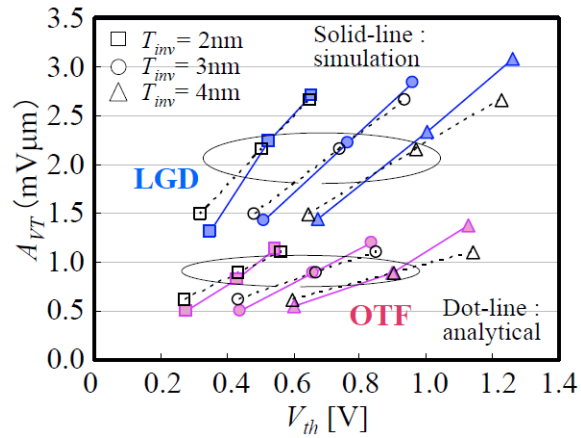
作製した機能を組み込んだ 3 次元 TCAD シミュレーションを用いて、 V_{th} ばらつき計算を実施した。III-2-I- (1)図 3-3-3-4(a)に示すように、発生したグレインとグレインバンドリの不純物濃度は、それぞれ $1 \times 10^{19} \text{cm}^{-3}$ と $1 \times 10^{20} \text{cm}^{-3}$ に設定し、グレインバンドリ幅は 20nm とした。この構造をゲートに持つ MOS デバイスの電流パスを III-2-I- (1)図 3-3-3-4(b)に示した。ちょうどグレインバンドリが形成された領域に、電流が集中し、パーコレーションパスが形成されていることが分かる。つまり、グレイン直下では空乏化が大きい局所的に容量膜厚が大きくなり、不純物濃度の高いグレインバンドリ近傍領域に電流が集中する当初の目的の機能が確認できた。数値計算モデル (T_{inv} が σT_{inv} で揺らいだ場合) と開発した 3 次元 TCAD シミュレーションの比較を行うために、 A_{VT} の V_{th} 依存性を求めた(III-2-I- (1)図 3-3-3-5)。局所空乏化機能を用いて計算した A_{VT} の V_{th} 依存性は、数値計算モデルで求めた依存性によく一致しており、開発した 3 次元 TCAD シミュレーションの結果が妥当であることが確認できた。III-2-I- (1)図 3-3-3-6 は、開発した 3 次元 TCAD シミュレーションを用い、 $L_g/W_g=40/40\text{nm}$ 、ならびに $L_g/W_g=200/200\text{nm}$ デバイスのソース・ドレインを入れ換えた場合の V_{th} の相関を示したものである。 V_{th} の評価は、ドレイン電圧 $V_d=50\text{mV}$ の線形領域で行っている。ソース・ドレインを入れ換えたデバイスの V_{th} は非常に強い相関を持っているが、これは、線形の V_{th} がゲート面全体で決まっていることを示している。III-2-I- (1)図 3-3-3-7 は、グレインサイズが変化した場合に、 V_{th} ばらつきがどのように変わるかを示したものである。ゲートポリシリコンのグレインサイズが小さくなると、 σV_{th} は小さくなることわかる。グレインサイズが 150nm よりも大きくなった場合、大きなグレインがチャンネル全体に配置されるため、 V_{th} が約 0.45V に固定されてしまう現象が生ずる。III-2-I- (1)図 3-3-3-8 は、ポリシリコンのグレインサイズの平均値が 70nm に設定した場合の、Pelgrom プロット ($L_g=W_g$, $L_g=100\text{nm}$ に固定、 $W_g=160\text{nm}$ に固定の場合)、ならびに V_{th} の L_g 依存性である。Pelgrom プロットで直線に乗ることから、ランダムに発生させたゲート電極のポリシリコンは、 L_g 方向、 W_g 方向に平均化されるが、その平均化の程度は異なることを示唆している。

以上、MOS トランジスタのゲート電極のポリシリコンをランダムに発生させ、グレインとグレインバンドリで局所的な空乏化の異なる機能の開発と検証を完了し、3 次元 TCAD シミュレーションに組み込んだ。ゲートポ

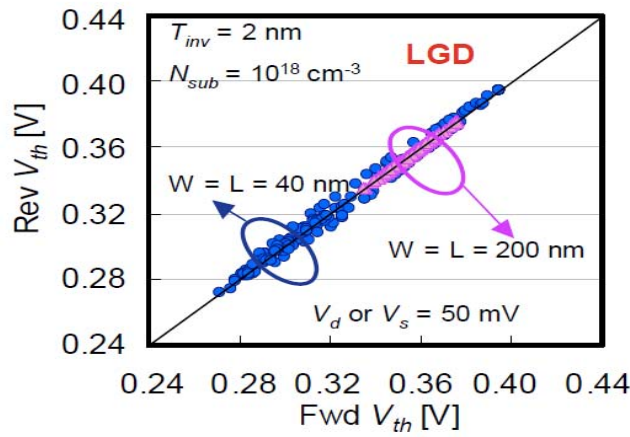
シリコンのグレインサイズが小さい場合はグレインの局所空乏化による影響は少ないが、 L_g/W_g がスケールアップされていった場合に V_{th} ばらつきが大きくなる知見を得た。



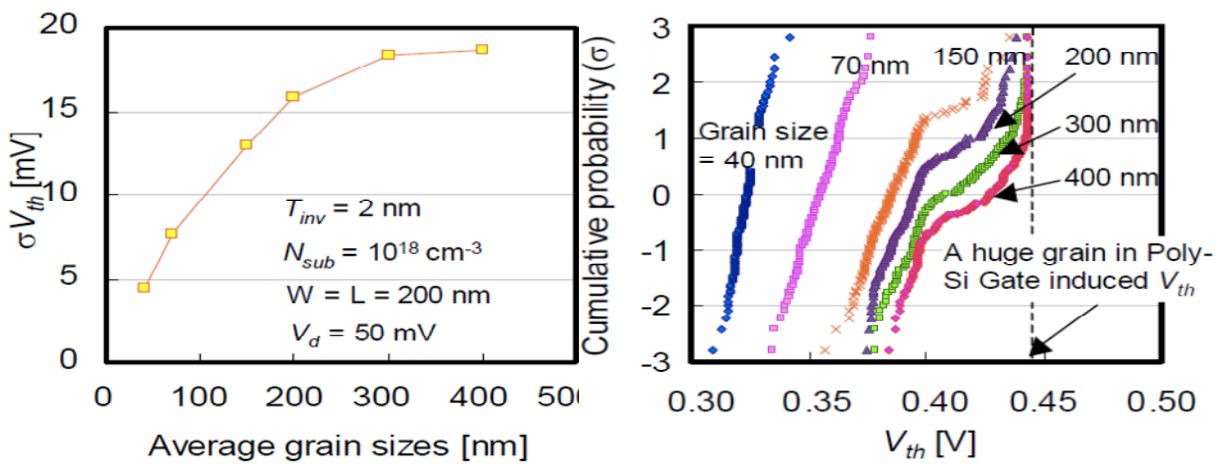
III-2-I-③-(1)図3-3-3-4 シミュレーションで用いたデバイスのゲート電極の不純物濃度分布(a)と、チャンネルに流れている電流密度(b)



III-2-I-③-(1)図 3-3-3-5 A_{VT} の V_{th} 依存性。



III-2-I-③-(1)図 3-3-3-6 開発した3次元 TCAD シミュレーションを用い、 $L_g/W_g=40/40\text{nm}$ 、ならびに $L_g/W_g=200/200\text{nm}$ デバイスのソース・ドレインを入れ換えた場合の V_{th} の相関



III-2-I-③-(1)図 3-3-3-7 グ레인サイズが変化した場合の V_{th} ばらつき

3-3-4. ゲート酸化膜の固定電荷

III-2-I- (1)図 3-3-1 に示した図において、MOSトランジスタの特性に影響する物理パラメータとして、ゲート酸化膜中の固定電荷や、ゲート酸化膜界面の界面準位が考えられる。本開発では、これらをゲート酸化膜とシリコン基板界面に存在する離散的な固定電荷として扱うことにした。局所的なシート電荷密度は、下式で与えられる。

$$\rho_{int} = \frac{n_{int}}{S_i}$$

で示される。ここで、ゲート面積 S_i はある面積で n_{int} はシリコンに存在する離散的な固定電荷の数を示している。したがって、ゲート面積 S_i の平均的な電荷密度 ρ_{int} でトータルの固定電荷密度 N_{int} は下式で示される。

$$\rho_{int} = \frac{\sum n_{int}}{S_i} = N_{int}$$

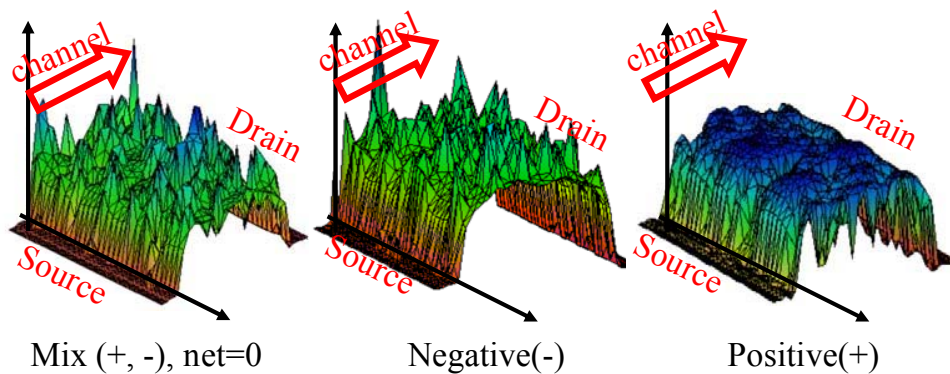
非常に小さな領域シリコンにおいて統計的に変動し、また ρ_{int} は位置ごとに変動する。このため、 n_{int} はランダムに分布し、ポアソン分布と仮定する。このアルゴリズムを、3次元 TCADシミュレータに組み込んだ。界面に発生した固定電荷はシリコン基板表面の電荷と相互作用し、シリコン基板側の電荷分布やポテンシャル分布を変化させ、その結果デバイス特性に大きな影響を及ぼす。III-2-I- (1)図 3-3-4-1 に示すように、ランダムに発生する離散固定電荷として、

- A) 界面に正負の固定電荷を発生(ネットの電荷量としては”ゼロ”)
- B) 負の固定電荷
- C) 生の固定電荷

とした。これらの固定電荷はゲート酸化膜の膜厚方向にも分布を持つが、本開発では最も影響の大きいシリコン基板との界面にシート状に発生すると便宜上、仮定した。III-2-I- (1)図 3-3-4-1 は、上記(A)から(C)のケースの適用した場合の MOSトランジスタのチャネルポテンシャルを示している。発生させた固定チャージの極性、位置に応じて、ポテンシャルが変化していることが分かる。

開発した機能を導入した 3次元 TCADシミュレーションと数値計算モデルの結果を比較するために、固定電荷 N_{int} が A_{VT} に与える影響を、 N_{sub} 、 T_{inv} に与える影響を求めた。III-2-I- (1)図 3-3-4-2 に、負の電荷状態の固定電荷を考慮した数値計算モデル、ならびに 3次元 TCADシミュレーション~求めた A_{VT} の V_{th} 依存性を示した。若干絶対値が異なるものの、依存性はほぼ一致している。仮定した 3つの電荷状態が、 V_{th} とそのばらつきに与える影響を調べた。III-2-I- (1)図 3-3-4-3(a)は、 $T_{inv}=4\text{nm}$ 、 $N_{sub}=1\times 10^{18}\text{cm}^{-3}$ の条件で、開発した 3次元 TCADシミュレーションで計算した 200 デバイスの V_{th} の累積度数分布である。どの電荷状態の場合にもおおよそ正規分布を示す。III-2-I- (1)図 3-3-4-3(b)は、固定電荷量と V_{th} の標準偏差の関係、ならびに V_{th} の平均値の関係を示したものである。 V_{th} の平均値は固定電荷の電荷量に線形に依存するが、 σV_{th} は正負の電荷が混合状態で存在する場合に約 $\sqrt{2}$ 大きくなっている。これは、正の固定電荷と負の固定電荷が独立に存在しているためである。 T_{inv} を変えた場合の A_{VT} の V_{th} 依存性を評価した結果を、III-2-I- (1)図 3-3-4-4(a)

に示した。 N_{sub} は $1 \times 10^{18} \text{cm}^{-3}$ 、 N_{int} は 10^{12}cm^{-2} としている。どの電荷状態の場合にもゲート酸化膜厚により V_{th} が変化し、ばらつきも変化していることが分かる。III-2-I-(1)図 3-3-4-6 は、 $T_{inv}=4\text{nm}$ で A_{VT} の N_{sub} 依存性である。どの場合にも N_{sub} 依存性が小さいことを明らかにした。

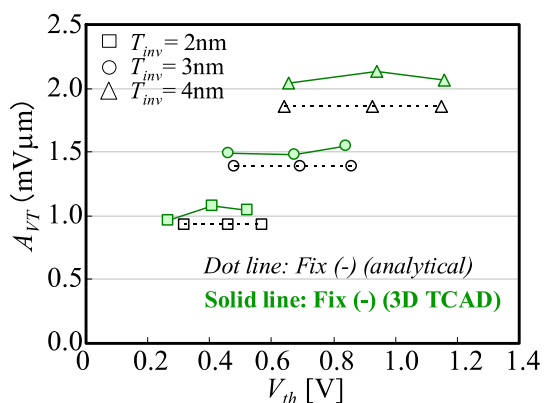


III-2-I-③-(1)図 3-3-4-1 界面に発生させた固定電荷。それぞれ、正負混在、負電荷のみ、正電荷のみを示し、コマンドにより切り替え可能としている。

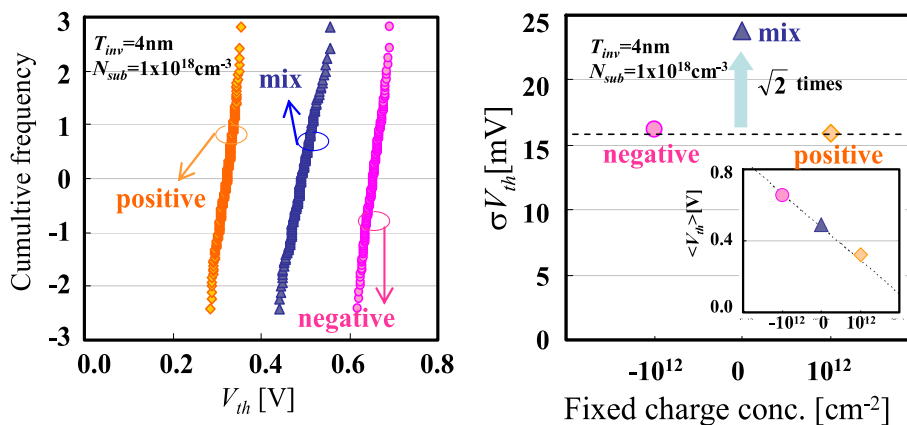
Discrete Fixed Charge Fluctuation
Analytical Model for A_{VT}

$$A_{VT} = \frac{qT_{inv}}{\epsilon_{ox}} \sqrt{N_{int}}$$

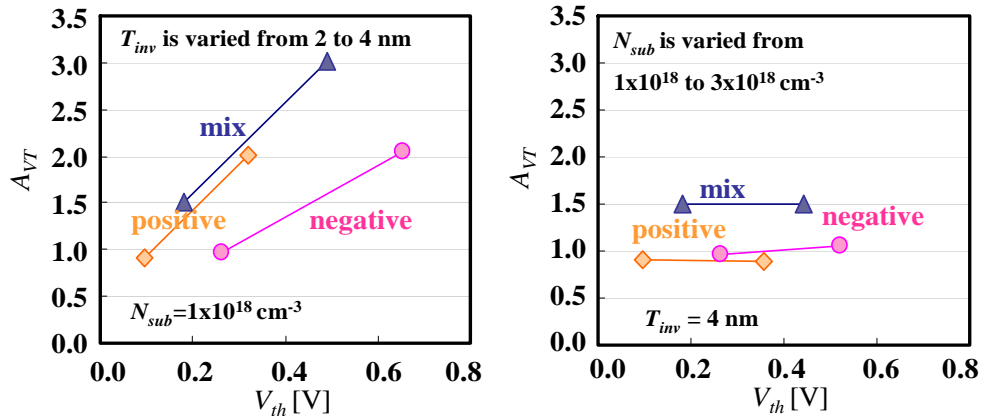
A_{VT} : Pelgrom coefficient, q : electronic charge.
 T_{inv} : effective gate oxide thickness at inversion region.
 N_{int} : Fixed charge concentration at interface, region, ϵ_{ox} : SiO_2 permittivity.



III-2-I-③-(1)図 3-3-4-2 負の固定電荷を仮定した場合の数値計算モデル、ならびにシミュレーションより求めた A_{VT} の V_{th} 依存性。



III-2-I-③-(1)図 3-3-4-3 $T_{inv}=4\text{nm}$ 、 $N_{sub}=1 \times 10^{18} \text{cm}^{-3}$ の条件で、開発した 3 次元 TCAD シミュレーションで計算した 200 デバイスの V_{th} の累積度数分布(a)。ならびに固定電荷量と V_{th} の標準偏差の関係(b)



III-2-I-③-(1)図 3-3-4-4 T_{inv} を変えた場合の A_{VT} の V_{th} 依存性(a)と、 $T_{inv}=4\text{nm}$ で A_{VT} の N_{sub} 依存性(b)

3-3-5. 拡散モンテカルロシミュレーションによる B_{VT} の再現とその検証

本開発において、NMOS、ならびに PMOS のランダムしきい値(V_{th})ばらつきを比較すると、NMOS の σV_{th} が PDF よりも約 1.5 倍大きいことが分かっている(III-2-I-③-(1)図 3-3-5-1)[1][2][3]。Takeuchi プロットにより規格化されたランダム V_{th} ばらつき指標 B_{VT} は、NMOS で 2.7、PMOS で 1.7 である。これは、シリコン酸化膜系のゲート絶縁膜、ポリシリコンをゲートに用いる構造であれば、様々な工場、様々な世代でほぼ一定の値をと (known)の二乗和で示される。

$$B_{VT}(\text{NMOS}) = \sqrt{B_{VT}(\text{RDF})^2 + B_{VT}(\text{unknown})^2}$$

ここで、RDF で決まる $B_{VT}(\text{RDF})$ は、前記仮定より、PMOS の B_{VT} であるため、

$$B_{VT}(\text{NMOS}) = \sqrt{B_{VT}(\text{PMOS})^2 + B_{VT}(\text{unknown})^2}$$

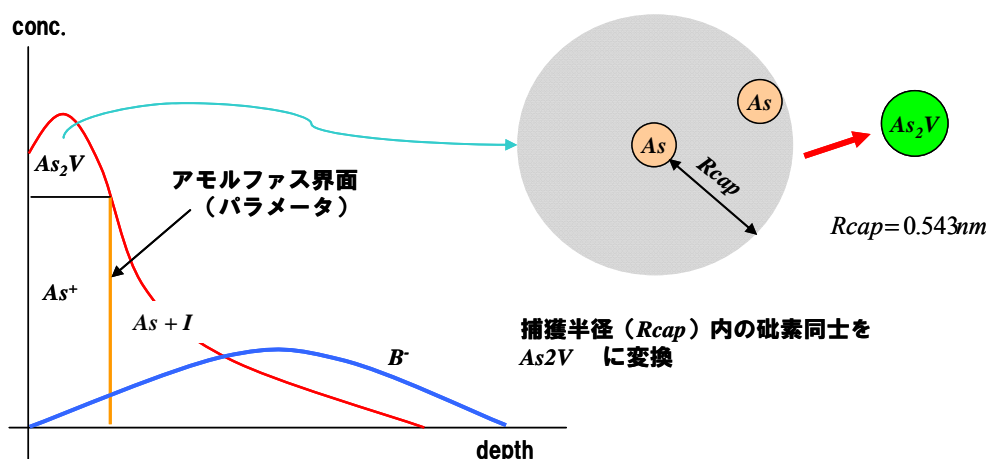
ここで、NMOS の B_{VT} は 2.7、PMOS は 1.7 であるので、 $B_{VT}(\text{unknown})$ は、約 2.1 で示される。このため、NMOS のランダム V_{th} ばらつきは、RDF と同程度のばらつき原因が存在することが分かる。

NMOS のランダム V_{th} ばらつきは、第 1 章の電気特性の解析や、第 2 章で述べた一貫物理解析結果から、チャンネル不純物の再分布、横方向の濃度分布が原因と考えている[4][5]。これは、III-2-I-③-(1)図 3-3-5-3 に示したように、様々なチャンネル注入種を用いた Halo 注入を行わないデバイスの短チャンネル特性を評価した結果、チャンネルにホウ素を添加したデバイスのみ逆短チャンネル効果が検出され、これは、III-2-I-③-(1)図 3-3-5-4 に示すように、チャンネルにホウ素注入を用いる NMOS の場合、ゲート形成後の各種プロセスによりチャンネルに均一に分布していたホウ素が再分布し、Extension 端にパイルアップしているためと考えている。このため、Halo 注入しなくても、チャンネル長が小さくなるとパイルアップした領域が近づくためにチャンネル不純物濃度が高濃度化し、逆短チャンネル効果が生じていると考えられる。

そこで、本項では、この現象を再現するために、拡散モンテカルロシミュレーションを検討し、シリコン中のホウ素の拡散原因である格子間シリコン量や、シリコン中のホウ素の拡散をばらつかせて、NMOS の BVT が再現の検討を行った。

3-3-5-1. 拡散モンテカルロシミュレーション

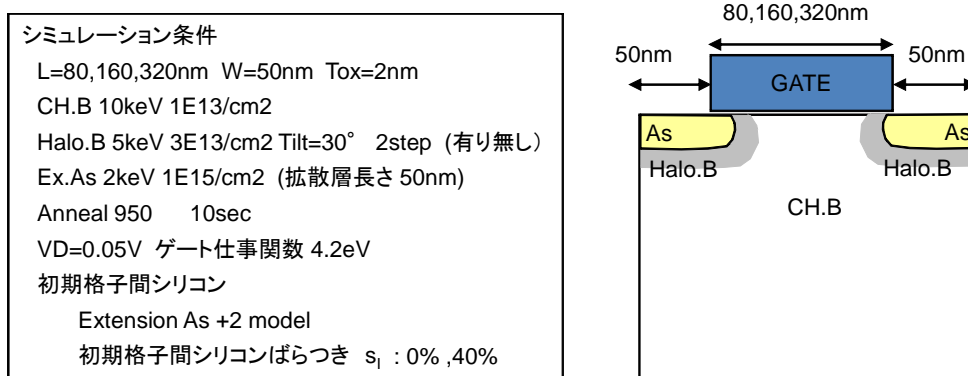
本検討に用いたモンテカルロイオン注入シミュレータは、2 体散乱近似により材質原子との衝突を解析する粒子注入シミュレータであり、ゲート電極の LER(Line Edge Roughness)や結晶方位依存性を考慮した計算が可能である。ばらつき解析では、注入粒子数をドーズ量と整合させ、統計性向上手法をすべて停止して実行することで、1粒子が1イオンを表現する計算が実現できる[6][7]。点欠陥を考慮した拡散モンテカルロシミュレータは、拡散係数、反応モデルをパラメータで記述することで、多様な拡散モデルをフレキシブルに計算できるシミュレータであり、本報の計算では III-2-I- (1)図 3-3-5-5 に示す反応モデルを用いた。粒子種毎に、ポテンシャルに応じた電荷状態比率が設定されており、解析メッシュで計算されたポテンシャルに従い確率的に電荷状態が設定される。このポテンシャルは、電荷中性条件を用いて、解析メッシュ毎に局所的に計算される。拡散の離散初期値は、モンテカルロイオン注入の離散計算結果から変換フィルタで作成する。変換方法も、モデルに応じて、フレキシブルに変更可能であるが、本報の計算では、III-2-I- (1)図 3-3-5-6 のように設定している。アモルファス界面より深い領域に離散砒素と同量の格子間シリコンを配置している(Plus One Model)。これは、アモルファス領域は拡散初期の固層エピにより欠陥が回復することを前提としたものである。また、砒素の初期不活性化を実現するため、捕獲半径以内に近接した砒素同士を、クラスタ(As_2V 、砒素 2、空孔 1)として配置している。拡散モンテカルロは、点欠陥の拡散過程を個々に解析するため、長大な計算時間を必要とする。さらに、この計算時間は初期粒子数や拡散熱履歴に依存して大きく変化する。それゆえ、点欠陥を考慮せず、不純物拡散長のみをパラメータとした、拡散モンテカルロ簡易版が補助ツールとして利用できる。また、入力された不純物濃度分布を期待値として、離散不純物を発生させるツールも補助ツールとして利用可能である。上記ツール群で発生させた離散不純物データは、デバイスシミュレータ用解析格子に反映させ、ENEXSS で電気特性解析を実施する。このための変換ツールは、ENEXSS で作成したデバイス構造ファイルに対し、離散不純物分布を反映させることが可能である。



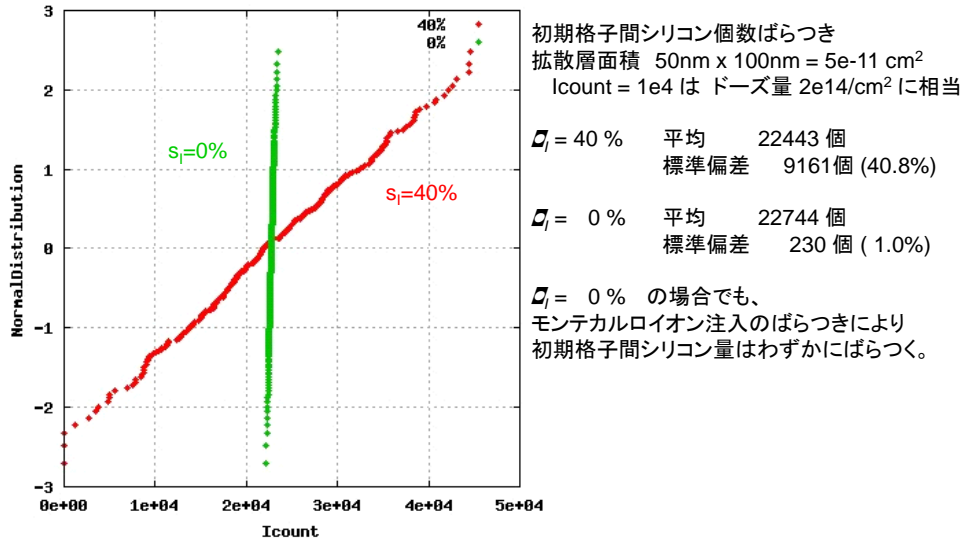
III-2-I- (1)図 3-3-5-6 拡散初期値設定方法

3-3-5-2. NMOSの B_{VT} シミュレーション

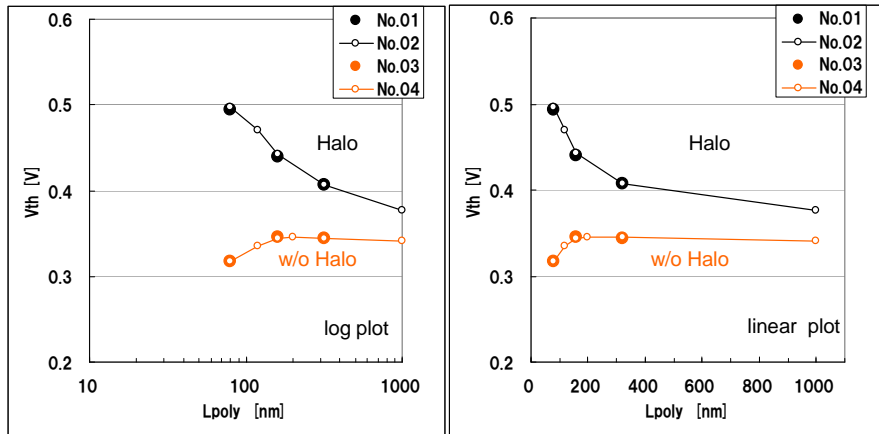
V_{th} ばらつきのゲート長依存性のための計算は、 $L_g = 80, 160, 320\text{nm}$ の3水準について計算を行った。逆短チャネル効果を観察するための平均 V_{th} 計算については、試行数を大幅に削減し、 $\sim 1000\text{nm}$ のデバイスについて解析を行った。 V_{th} ばらつき計算においては、チャネル領域の解析メッシュを均等(2nm 立方)に保つ必要があり、長チャネルのデバイスシミュレーションは、メモリサイズ、計算時間が大きく増大する。現有計算環境においては、 $L_g=1000\text{nm}$ 、 $W_g=50\text{nm}$ 程度が限界であった。なお、拡散モンテカルロでは、注入不純物の個数に応じて計算時間が支配されており、拡散層面積が固定のゲート長振りでは、計算時間はあまり変化しない。不純物注入は、チャネルホウ素、Halo注入のホウ素、Extension注入のヒ素のみとした。粒子数が膨大し、算時間を桁で変えてしまう深いソース・ドレイン注入については割愛した。チャネルホウ素については、ゲート製造前に完全に活性化されていることを想定し、すべて置換位置とした。Haloホウ素注入によるホウ素初期値をBIペアとした。Extension注入後のヒ素については、捕獲半径を設定しクラスタ化させた。ヒ素注入による欠陥は、アモルファスクリスタル界面(A/C界面)までは瞬時に消滅すると仮定し、A/C界面以降のヒ素と同量の格子間シリコンを発生させる「+1モデル」が通常用いられる。しかし、+1モデルでは実測でみられている逆短チャネル効果が小さく、また、ソース・ドレイン注入を省略している点を考慮し、+2モデルとした。さらに、初期格子間シリコン量揺らぎを増幅させる計算では、平均を+2、標準偏差を σ_i (水準)となるように初期格子間シリコン量をばらつかせた。III-2-1- (1)図 3-3-5-8 に初期格子間シリコン数の正規化プロット($\sigma_i=0,40\%$)を示す。アニール条件は $950^\circ\text{C}10\text{sec}$ と一定温度によるものを採用した。実デバイスの全熱履歴を本シミュレータで解析することは、事実上不可能であり、パラメータの複雑性を回避するため温度を一定とした。初期格子間シリコン量の平均値が等しいため、 σ_i を変化させても平均 V_{th} は変わらない。比較的 V_{th} ばらつきが小さく、少ない試行数で平均が得られる、 $\sigma_i = 0\%$ の条件で、平均 V_{th} のゲート長依存性を解析した。III-2-1- (1)図 3-3-5-9 に平均 V_{th} の L_g 依存性を示した。Halo注入したデバイスでは、顕著な逆短チャネル効果が観測された。これは、短チャネル Halo デバイスでは Halo 不純物がチャネル中央で重なり合い、チャネルホウ素の濃度を上昇させているためである。III-2-1- (1)図 3-3-5-10 に平均不純物分布(試行数のデバイスデータから平均濃度を算出したもの)を示す。Halo 無しデバイスでは、逆短チャネル効果による V_{th} 上昇はごく僅かであった。Halo 無しデバイスの逆短チャネル効果は、「拡散層から導入された欠陥によるチャネル不純物パイルアップ効果」のゲート長依存性が原因と考えられている。平均不純物分布(III-2-1- (1)図 3-3-5-11)を観測すると、Halo 無しデバイスにおいてもパイルアップ効果は確認できたが、短チャネル効果の方が大きく、 V_{th} が上昇するほどの逆短チャネル効果はみられない知見を得た。



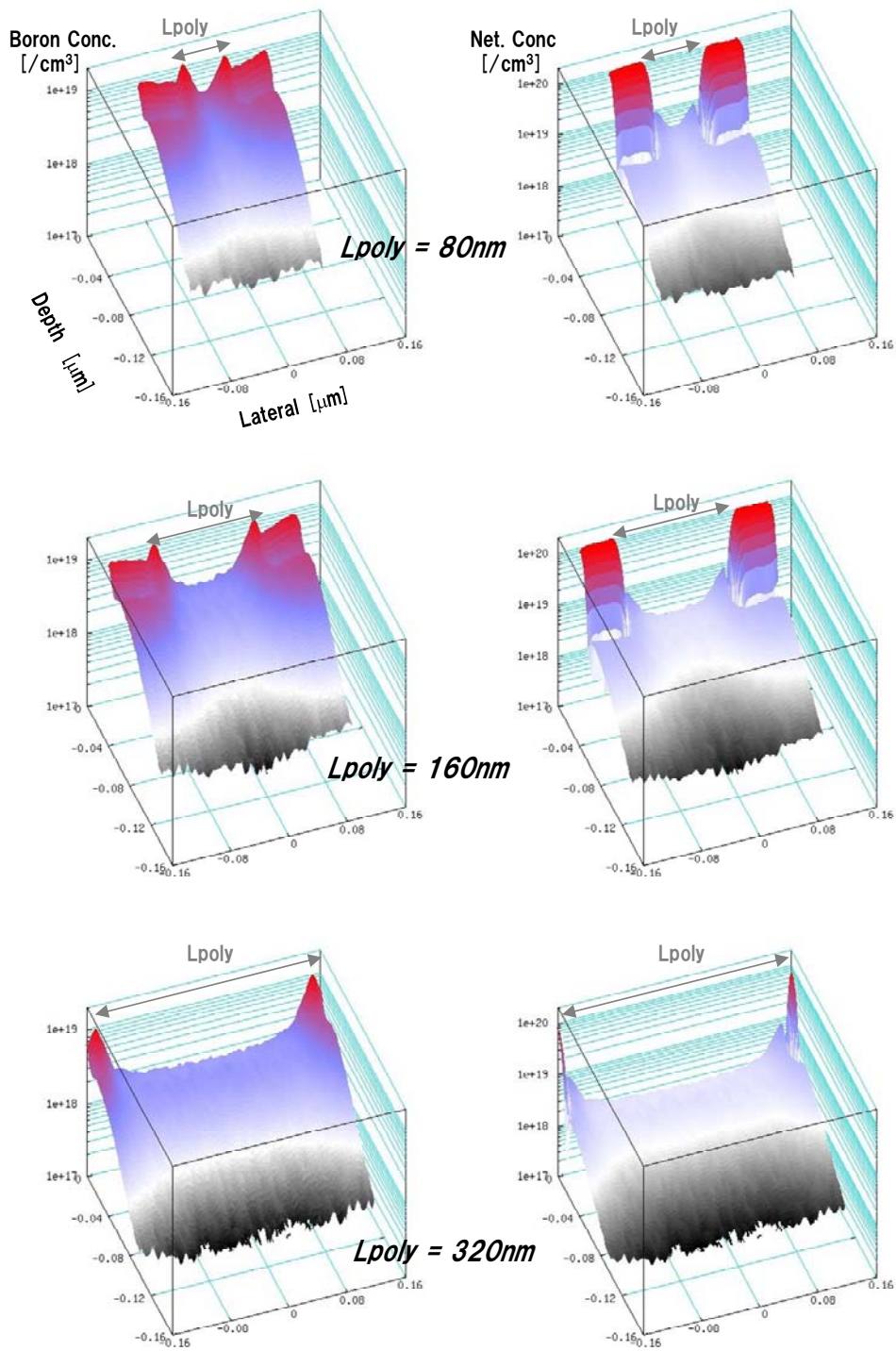
III-2-1- (1)図 3-3-5-7 モンテカルロシミュレーションに用いた条件



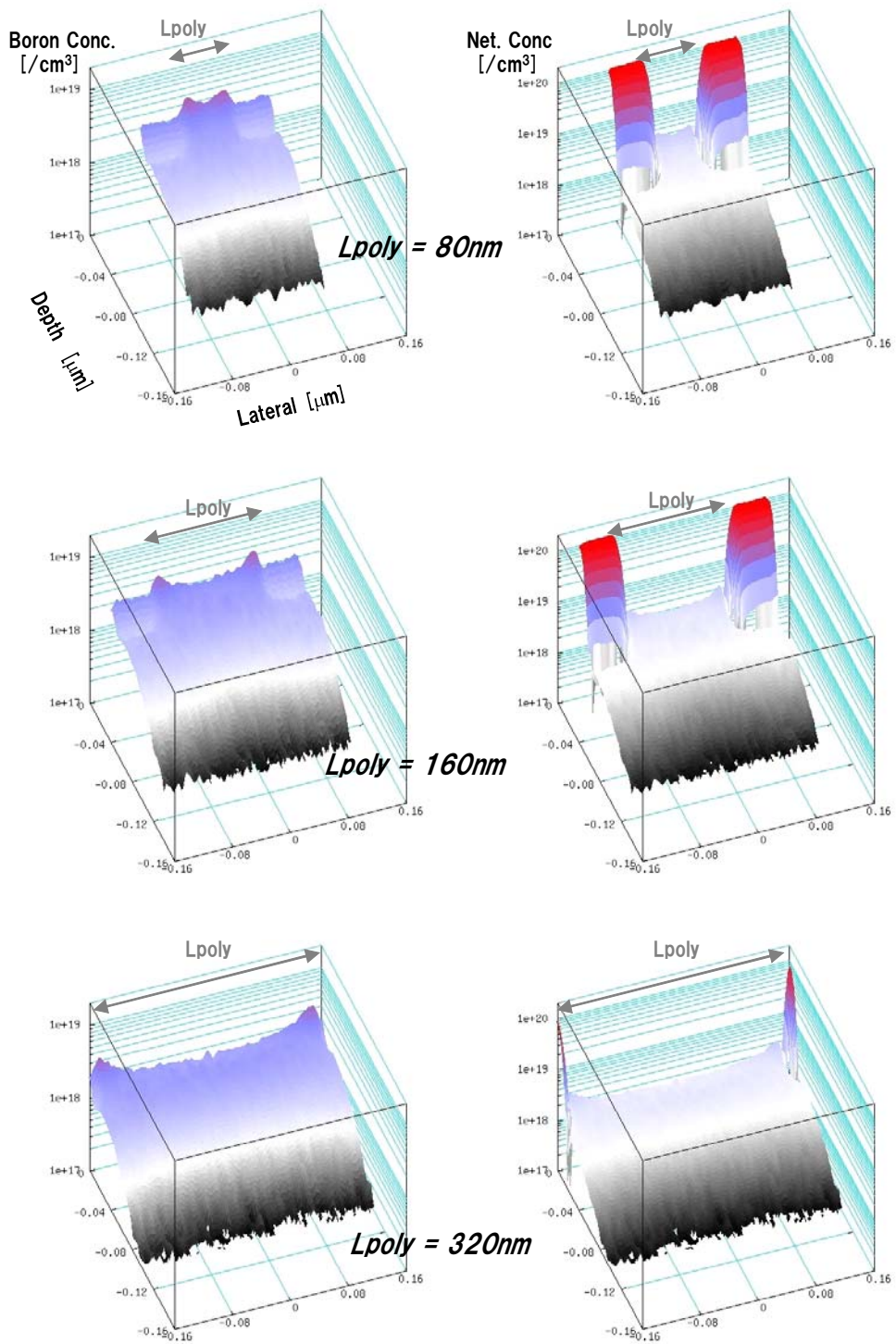
III-2-I-③-(1)図 3-3-5-8 初期格子間シリコン個数の正規化プロット



III-2-I-③-(1)図 3-3-5-9 モンテカルロシミュレーションしたデバイスの平均 V_{th} の L_g 依存性



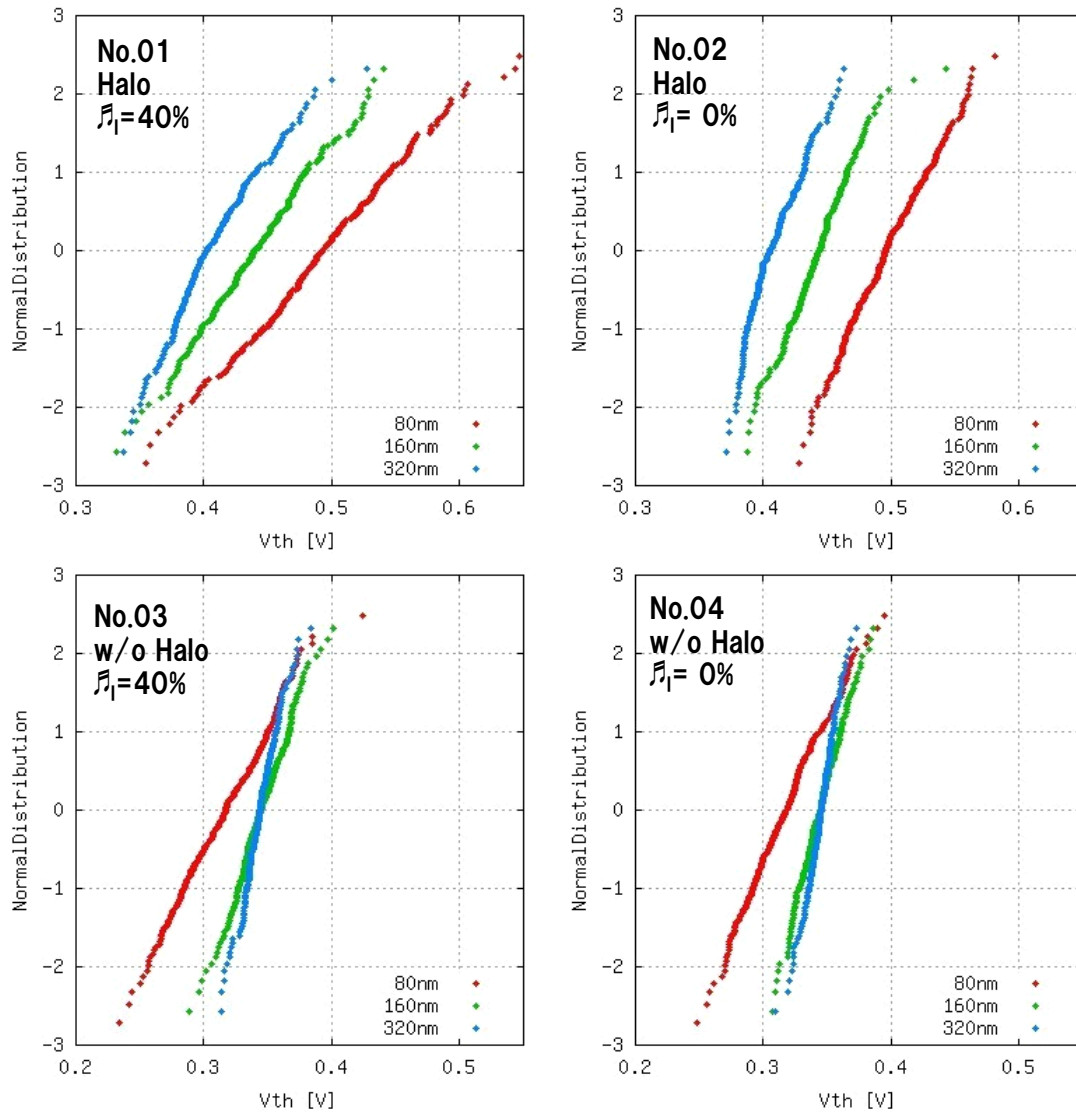
III-2-I-③-(1)図 3-3-5-10 Halo ありデバイスの平均不純物分布 (試行数のデバイスデータから平均濃度を算出したもの)



III-2-I-③-(1)図 3-3-5-11 Halo なしデバイスの平均不純物分布 (試行数のデバイスデータから平均濃度を算出したもの)

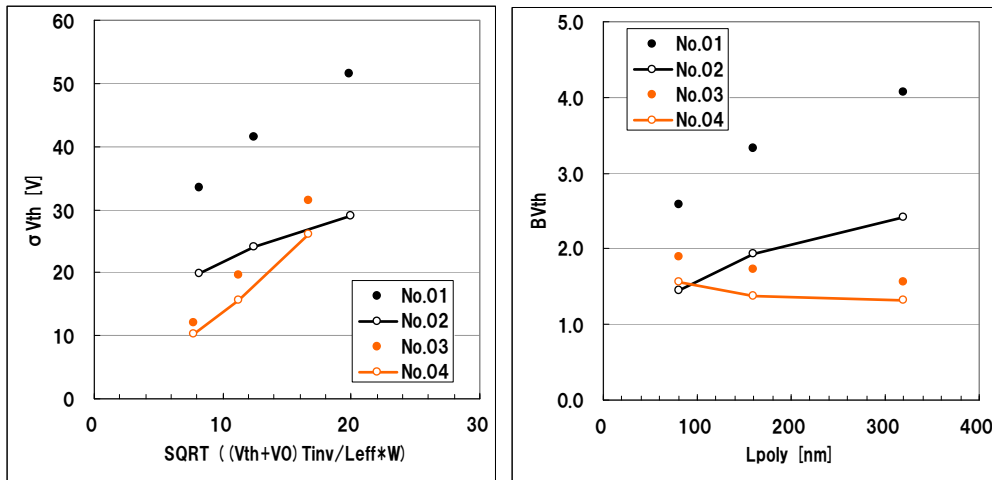
III-2-I-③-(1)表 3-3-5-1 V_{th} , σV_{th} , $B_{VT}(L_g=20\text{nm})$ で計算)

L _{poly} [nm]	V _{th} [V]				σV _{th} [mV]				BV _{th} (by Leff)			
	Halo		w/o Halo		Halo		w/o Halo		Halo		w/o Halo	
	σ ₁ =40%	σ ₁ =0%	σ ₁ =40%	σ ₁ =0%	σ ₁ =40%	σ ₁ =0%	σ ₁ =40%	σ ₁ =0%	σ ₁ =40%	σ ₁ =0%	σ ₁ =40%	σ ₁ =0%
	No.01	No.02	No.03	No.04	No.01	No.02	No.03	No.04	No.01	No.02	No.03	No.04
80	0.494	0.497	0.317	0.317	51.6	29.0	31.5	26.1	2.59	1.45	1.89	1.57
160	0.440	0.443	0.345	0.344	41.4	24.1	19.5	15.5	3.33	1.93	1.73	1.38
320	0.407	0.408	0.344	0.345	33.5	19.8	12.1	10.2	4.08	2.41	1.57	1.33



III-2-I-③-(1)図 3-3-5-12 V_{th} の累積度数分布

III-2-I- (1)表 3-3-5-1 に、 $L_g=80, 160, 320\text{nm}$ における V_{th} 平均、 σV_{th} 標準偏差、 B_{VT} を示す。また、III-2-I- (1)図 3-3-5-12 に V_{th} の累積度数プロットを、III-2-I- (1)図 3-3-5-13 に V_{th} ばらつきの Takeuchi プロット、 B_{VT} のゲート長依存性を示した。



III-2-I-③-(1)図 3-3-5-13 σV_{th} , B_{VT} の Pelgrom プロット

Halo 注入したデバイスでは、初期格子間シリコンばらつきの有無 ($\sigma_i=40\%$ 、 0%) で V_{th} ばらつきが大きく変動している。これは格子間シリコン量のばらつきの増大により、Halo ホウ素不純物の横方向への拡散揺らぎが増大した結果である。一方、Halo 無しデバイスでは、初期ホウ素は横方向分布を有しておらず、拡散揺らぎは界面へのパイルアップ量の変化としてのみ現れる。そのため、Halo 注入したデバイスに比べ、初期格子間シリコンばらつきが V_{th} ばらつきに与える影響は小さくなっている。また、Halo 無しデバイスでは、ほぼ直線の Takeuchi プロットに対し、Halo 注入したデバイスでは、 L_g が大きいほど B_{VT} が大きい。本計算では $L_g=160\text{nm}$ 程度で Halo 不純物がチャンネル中央で重なり合程度に拡散している。短チャンネル化によるこの重なり増大に従い、拡散ばらつきによるチャンネル不純物量ばらつき(相対ばらつき)が低減されており、 B_{VT} が変化したと考えられる。本シミュレーションでは、ゲート形状揺らぎ(LERなど)は考慮していないが、ゲート形状揺らぎは短チャンネルデバイスの B_{VT} 増大要因である。

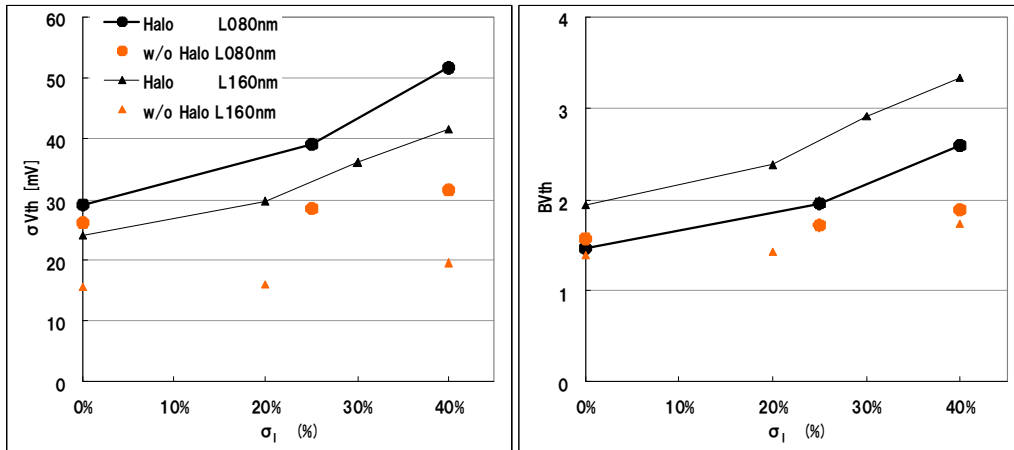
当初、 $L_g=80\text{nm}$ において $B_{VT}=2.7$ (Halo デバイスの実測値) を目標に初期格子間シリコンばらつき量を設定した。しかし、 $L_g=160\text{nm}$ では、 $\sigma_i=40\%$ では $B_{VT}=3.33$ と非常に大きなばらつきとなった。そこで、 σ_i を変化させたときの V_{th} ばらつき変化について解析を行った。III-2-I-③-(1)図 3-3-5-14 に σ_i を変化させた場合の V_{th} ばらつき、 B_{VT} を示す。前述のとおり、Halo デバイスでは長チャンネルの方が B_{VT} は大きくなっているが、 σ_i の変化による B_{VT} 増大率は $L_g=80, 160\text{nm}$ 両者ともほぼ変わらない。Halo 無しデバイスでは、 B_{VT} は $L_g=80, 160\text{nm}$ でほぼ同程度であった。

実験では、Halo 無しデバイスで $B_{VT}=2.4$ 程度が観測されているが、ここまでのシミュレーションでは σ_i を変化させても $B_{VT}=2.0$ に至らなかった。Halo 無しデバイスにおいても、 B_{VT} が大きく変化する可能性を調査するべく、+4 モデル $\sigma_i=40\%$ の計算を行った。III-2-I-③-(1)図 3-3-5-15 に +2 モデルと +4 モデルの V_{th} ばらつきの比較を示す。なお、+4 モデルではアニール終了後に格子間シリコンがすべて消滅していることを保証するため、アニール条件を 950°C 20sec. とした。

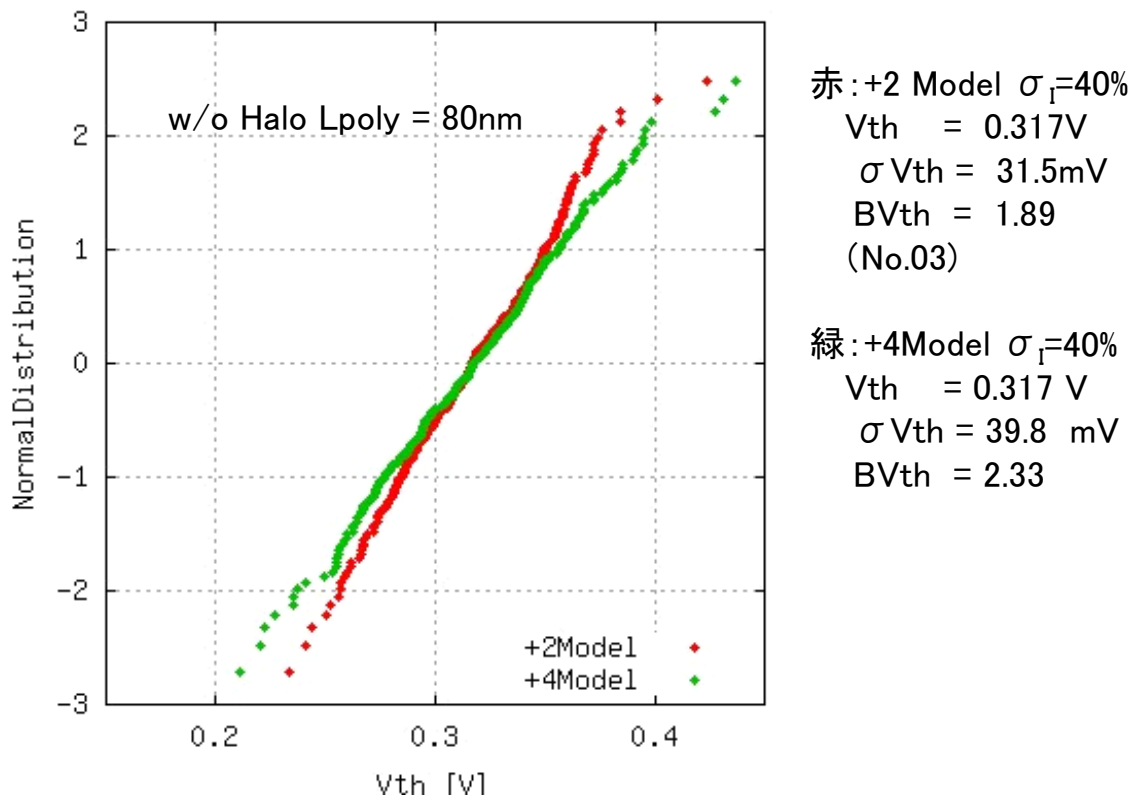
+4 Model $\sigma_i=40\%$ とすることで、 V_{th} ばらつきは増大し、 $B_{VT}=2.3$ を上回るばらつきが観測された。アニール条件が変化したにもかかわらず、平均閾値はほぼ同程度であったが、短チャンネル効果と逆短チャンネル効果が相殺されたためであり、平均不純物分布は両者で異なるものとなっている III-2-I-③-(1)図 3-3-5-16)

NMOS の V_{th} ばらつきが PMOS より大きい原因を解析するため、初期格子間シリコンばらつきを導入した拡散モンテカルロシミュレーションを用いて解析を行った。格子間シリコン機構で拡散するチャンネルホウ素、ハローホウ素は、拡散層注入時に生じる結晶欠陥により増速拡散を起こす。この格子間シリコン量をばらつかせることで、各々のデバイスは実効拡散係数にばらつきが生じる(期待値ばらつき)。本報の解析では、ハロー不

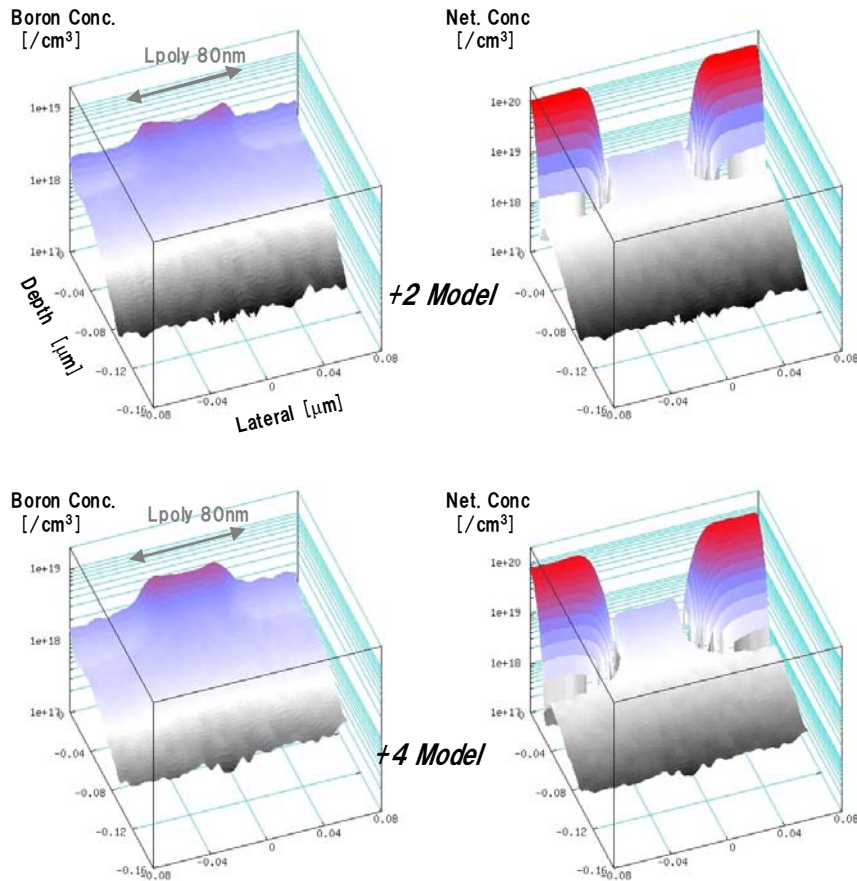
純物でばらつき係数 $B_{VT}=2.7$ と、実測に近いばらつきが得られた。また、Halo 無しデバイスでも、拡散条件を変更することで、 $B_{VT}=2.3$ と実測値と同等な値が得られることが確認した。



III-2-I-③-(1)図 3-3-5-14 初期格子間シリコンばらつき量を変化させた場合の V_{th} ばらつき変化



III-2-I-③-(1)図 3-3-5-15 +2 Model と +4 Model の V_{th} ばらつき比較



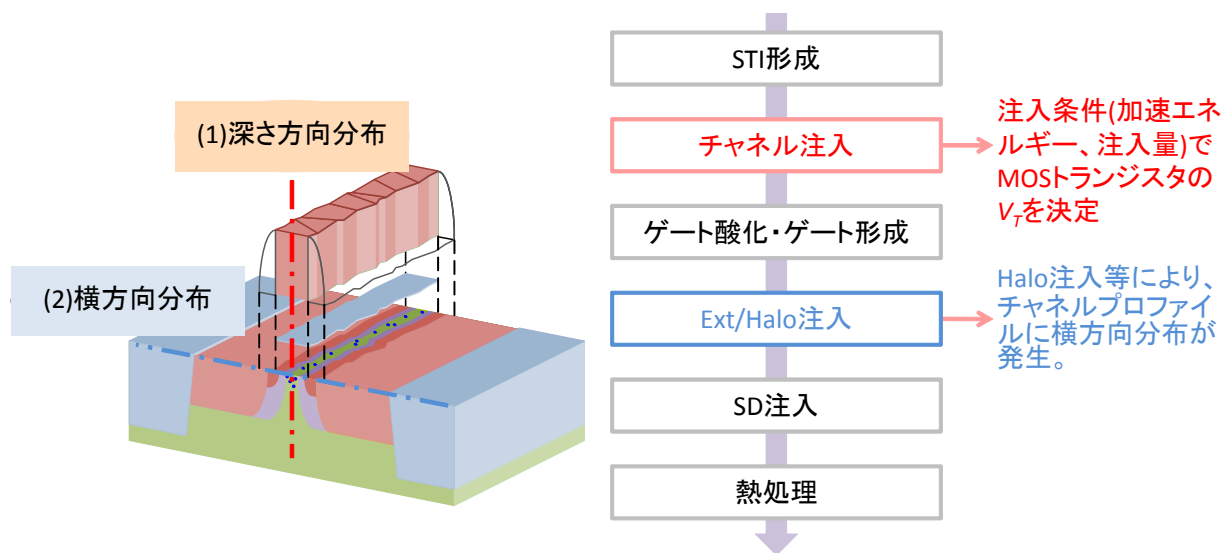
III-2-I-③-(1)図 3-3-5-16 +2 Model と +4 Model の V_{th} ばらつき比較

3-3-6. 炭素共注入によるBVT低減効果検証

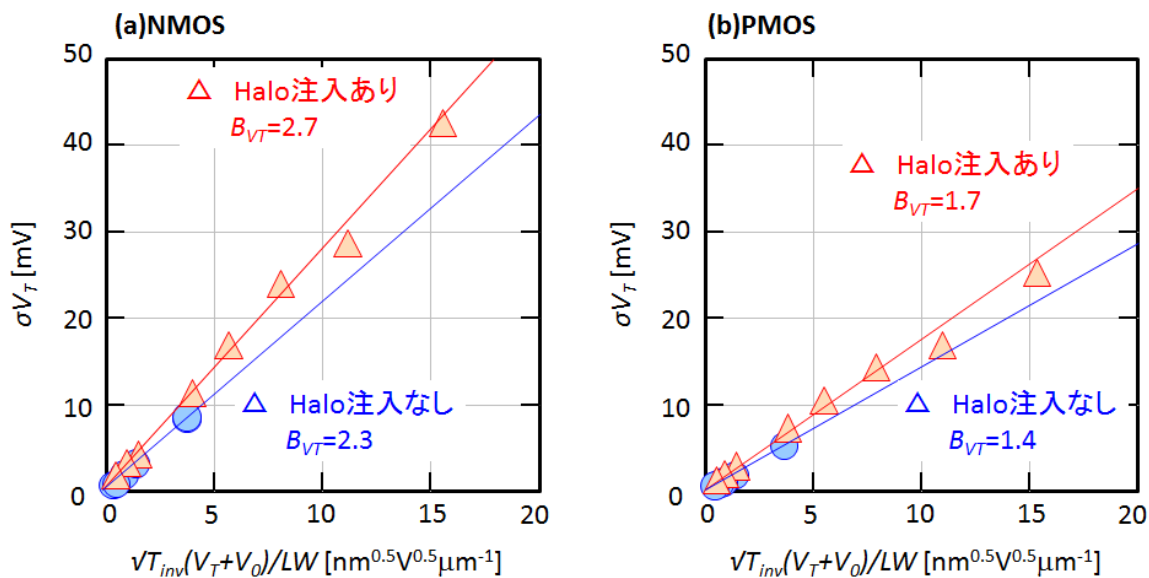
前述したように、RDF 以外の NMOS のばらつき要因が、Extension のヒ素注入時に導入される点欠陥(シリコン中のホウ素の拡散源となる格子間シリコン)の導入によることが、拡散モンテカルロシミュレーションにより、確認することができた。本項では、格子間シリコンをトラップする、炭素を導入することで NMOS のばらつき低減を試みた結果に関して述べる。

炭素導入によるシリコン中のホウ素拡散抑制に関しては、従来 PMOS のホウ素注入で形成するソース・ドレインなどの浅い接合形成、NMOS のホウ素の Halo 形成等で注目を集めていた。しかしながら、前述したように、本開発の解析より、NMOS のチャンネルホウ素がヒ素の Extension 注入で導入された格子間シリコンにより変調を受け、その結果 NMOS のランダム V_{th} ばらつきが増大することが明らかになった。このため、この影響を抑制する手段として、III-2-I-③-(1)図 3-3-5-17 に示すように、チャンネル、ならびに Halo 注入工程で炭素を導入し、Extension 注入で導入される格子間シリコンの拡散の抑制を検討した。III-2-I-③-(1)図 3-3-5-18 は Halo 有無が BVT に与える影響を調べたものである。ホウ素注入により Halo 領域を形成しているため、横方向にホウ素の高濃度領域(ソース側 Halo)、低濃度領域(チャンネル)、高濃度領域(ドレイン側 Halo)といったように濃度分布を持つこととなる。このために Halo を導入すると、NMOS、PMOS ともに BVT が増加していると考えられる。このため、チャンネル、あるいは Extension/Halo 注入時の炭素注入を検討したわけだが、この炭素注入によって

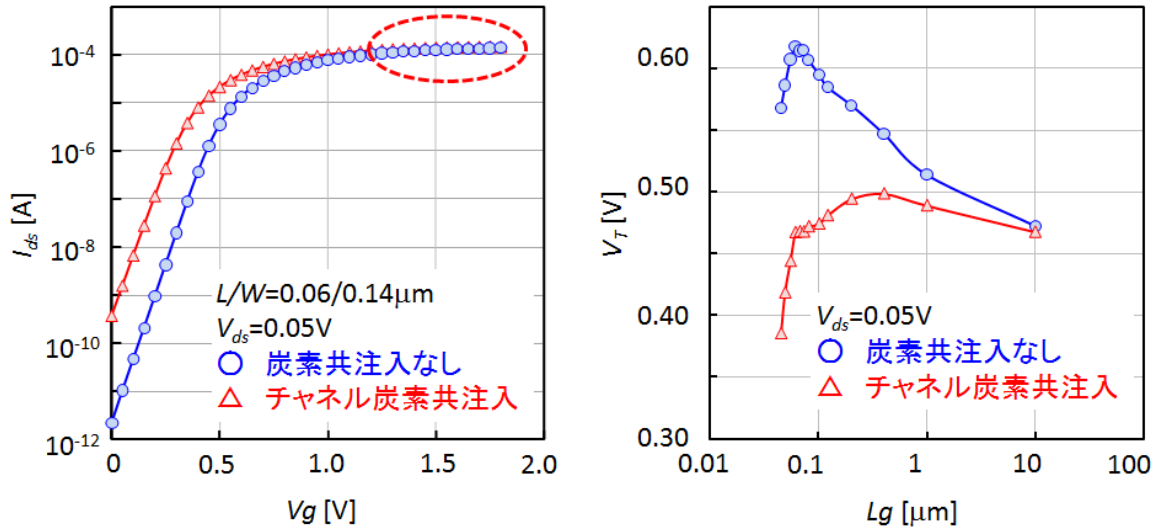
デバイス特性が劣化してしまうのであれば、炭素注入を導入するメリットがない。そこで、デバイス特性ばらつきを評価する前に、MOS トランジスタの単体特性に与える影響を調べた。III-2-I-③-(1)図 3-3-5-19 は、炭素の共注入がデバイス特性に与える影響、ならびに短チャネル特性を評価した結果である。炭素注入により懸念される点は、注入層の高抵抗化であるが、本結果からオン電流特性に与える影響は見られなかった。短チャネル特性を見ると、斜め Halo 注入の影響で顕著な逆短チャネル特性を示していたが、炭素を導入することで大幅に逆短チャネル効果は抑制されている。前記したが Halo 注入なしでも NMOS は、逆短チャネル特性を示すが、本結果から、チャネル不純物の再分布が大幅に抑制していると考えられる。



III-2-I-③-(1)図 3-3-5-17 炭素の共注入のコンセプト



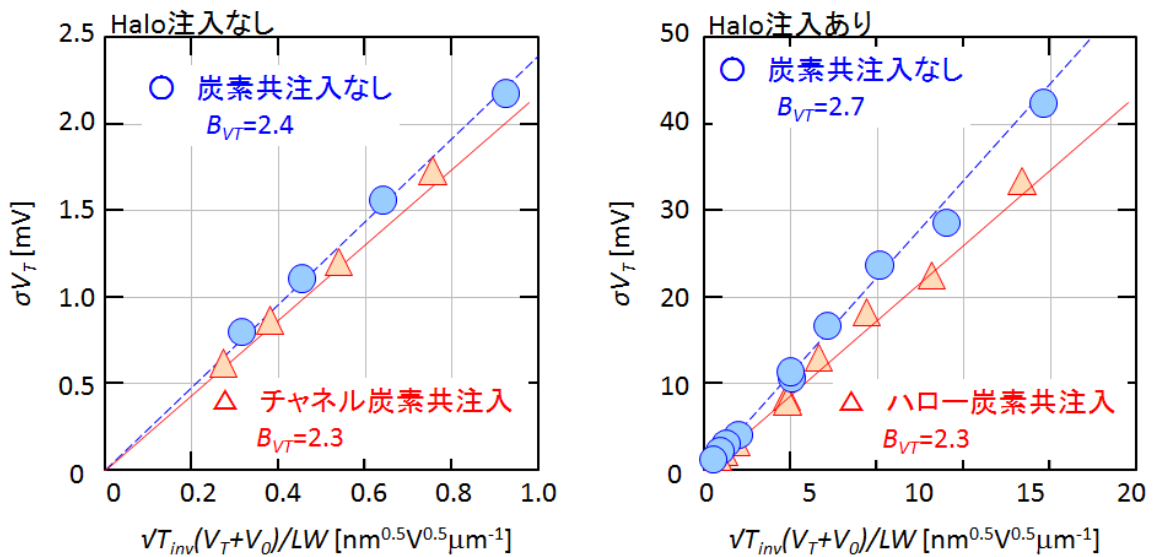
III-2-I-③-(1)図 3-3-5-18 Halo 有無が BVT に与える影響



III-2-1-③-(1)図 3-3-5-19 炭素の共注入がデバイス特性に与える影響、ならびに短チャネル特性

III-2-1-③-(1)図 3-3-5-20 は、チャンネルに炭素注入した Halo なしデバイスの Takeuchi プロット、ならびに Extension/Halo に炭素の共注入した Halo ありデバイスの Takeuchi プロットを示した。Halo 注入により、横方向の不純物の不均一性は増大するが、Halo 注入がない場合には炭素の共注入効果は小さく、 $BVT=2.4$ から、 $BVT=2.3$ への改善しか見られなかった。一方、はお注入しているデバイスで Extension//Halo に炭素注入をお此方場合、従来デバイスで $BVT=2.7$ であったものが、 $BVT=2.3$ まで改善することが分かった。Halo/チャンネルの不均一性が改善されたために、 BVT も Halo 注入なしのレベルまで改善したと考えられる。

しかしながら、RDF で説明できる PMOS の BVT は 1.7 であり、未だチャンネル不純物分布の不均一性以外のランダムばらつき原因が残る。前記したように、炭素の共注入をしない場合には、 $BVT(\text{unknown})=2.1$ であり、炭素の共注入をすると、 $BVT(\text{unknown})=1.6$ と計算される。したがって、RDF で説明される成分以外の要因は、約 25% であり、目標としていた 20% 改善を達成できた。



III-2-1-③-(1)図 3-3-5-20 炭素の共注入によるばらつき低減効果

参考文献

- [11]. T. Tsunomura, A. Nishida, F. Yano, A. T. Putra, K. Takeuchi, S. Inaba, S. Kamohara, K. Terada, T. Hiramoto and T. Mogami, “Analyses of $5\sigma V_{th}$ Fluctuation in 65nm-MOSFETs Using Takeuchi Plot”, Digest of Technical Papers, 2008 Symposium on VLSI Technology, pp.156-157, June, 2008.
- [12]. T. Tsunomura, A. Nishida and T. Hiramoto, “Analysis of NMOS and PMOS Difference in V_T Variation with Large-Scale DMA-TEG”, IEEE TRANSACTION OF ELECTRON DEVICES, Vol.56, No.9(2009), 2073
- [13]. K. Takeuchi, A. Nishida and T. Hiramoto, “Normalization of Random Threshold Voltage Fluctuation for Fair Comparison between Technologies, Process Conditions and Device Designs,” *Silicon Nano-electronics Workshop* p.7, 2007.
- [14]. T. Tsunomura, A. Nishida, F. Yano, A. T. Putra, K. Takeuchi, S. Inaba, S. Kamohara, K. Terada, T. Hiramoto and T. Mogami, “Impact of Vertical and Lateral Channel Structure on VT Fluctuation”, Digest of Technical Papers, 2009 Symposium on VLSI Technology, p.110-111
- [15]. T. Tsunomura, A. Nishida and T. Hiramoto, “Possible Origins of Extra Threshold Voltage Variability in N-Type Field-Effect Transistors by Intentionally Changing Process Conditions and Using Takeuchi Plot”, *Japanese Journal of Applied Physics* 49 (2010) 074104
- [16]. M.Hane, et al., *NEC R & D J.* 37.p.170(1996)
- [17]. M. Hane, T. Ikezawa and T. Ezaki, "Atomistic 3D Process/Device Simulation Considering Gate Line-Edge Roughness and Poly-Si Random Crystal Orientation Effects", *IEDM* p.241(2003)

3-4. SNMシミュレーション技術の開発

3-4-1. 目的

LSI 製造プロセスの微細化に伴うランダムばらつきが顕著となり SRAM(Static Random Access Memory) の歩留まり低下が問題となっている。ランダムばらつきによる SRAM 歩留りの定量化には、SRAM を構成する MOS トランジスタがランダムにばらついた場合に発生する不良ビット数(FBC: Fail Bit Count)のシミュレーション技術が重要である。しかしながら、従来手法では SRAM を試作してはじめて FBC 計測が可能であったため、SRAM 特性確認～製造プロセス改善や回路改善の効果確認に時間がかかるという課題があった。つまり、単体デバイス特性側買った段階での、SRAM 歩留り見積りが課題となっている。この課題克服のためには、SPICE(Simulation Program with Integrated Circuit Emphasis)シミュレーションの利用が考えられる。本開発の SRAM FBC 計算機能の目的は、SRAM 回路において TEG(Test Element Group)情報から抽出された統計的 SPICE モデルを適用して DC 特性・過渡特性を含めた高精度、かつ高速な FBC 見積りを行うことによる歩留り見積りの早期化し、製品開発にフィードバックすることである。

3-4-2. SRAM FBC 計算機能の特徴

本計算機能は高精度なシミュレーションを行うために、単体トランジスタの統計的 SPICE モデル構築にあたって、大規模なデータを扱える成分分離手法、高速な SPICE パラメータばらつき抽出手法、相関係数テーブルを用いたランダムばらつき再現手法を取り込むことを検討した。これを実現する SRAM FBC 計算機能に必要な入力実測データは以下 2 種に大別される。

(1) typical SPICEパラメータ抽出用電気特性実測データ

typical SPICE パラメータ抽出には、NMOS の場合、III-2-I-③-(1)図 3-4-2-1 中①～④の W_g (ゲート幅), L_g (ゲート長)の組み合わせでの以下の MOS 特性の実測データが必要である。

- ・ 基板電圧 V_B を変化させたドレイン電流 I_D -ゲート電圧 V_G 特性(ドレイン電圧 $V_D=0.05V$)
- ・ V_g を変化させた I_d - V_g 特性(V_d =電源電圧)
- ・ V_g を変化させた I_d - V_d 特性($V_b=0V$)
- ・ V_g を変化させた I_d - V_d 特性(V_b =最大基板電圧)

PMOS トランジスタの場合も同様に、III-2-I-③-(1)図 1 中①～④の W , L の組み合わせでの以下のトランジスタ特性の実測データが必要である。

- 基板電圧 V_B を変化させたドレイン電流 I_d -ゲート電圧 V_g 特性(ドレイン電圧 $V_d=-0.05V$)
- V_b を変化させた I_d - V_g 特性(V_d =電源電圧)
- V_g を変化させた I_d - V_d 特性($V_b=0V$)
- V_g を変化させた I_d - V_d 特性(V_b =最小基板電圧)

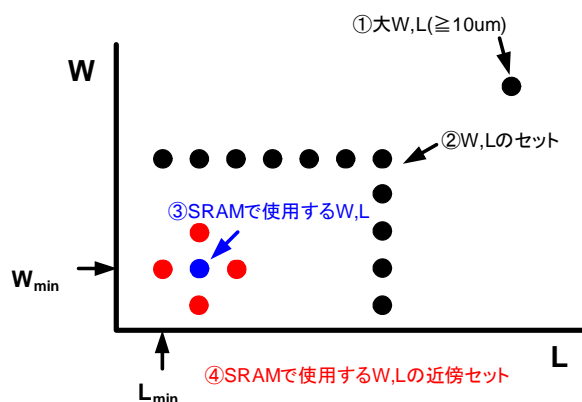
また、事前に用意するパラメータとして III-2-I-③-(1)表 3-4-2-1 のパラメータが必要である[2]。従来、typical SPICE パラメータにおいて理想とされる条件は、

- ・ I_d 特性の実測値とシミュレーション値との誤差が 0 であること
- ・ III-2-I-③-(1)表 3-4-2-1 のパラメータの誤差が 0 であること

である。SRAM FBC 計算で使用する場合、typical SPICE パラメータの理想条件には、

- ・ I_d 特性に対する SPICE パラメータの感度の誤差が 0 であり、連続であること

の条件が追加される。理由は、SPICE パラメータの感度及び連続性が SPICE パラメータばらつき抽出の精度を左右するからである。



III-2-I- (1)図 3-4-2-1 typical SPICE パラメータ抽出に必要なトランジスタの W , L の組み合わせ

III-2-I- (1)表 3-4-2-1 事前に準備が必要となるパラメータ

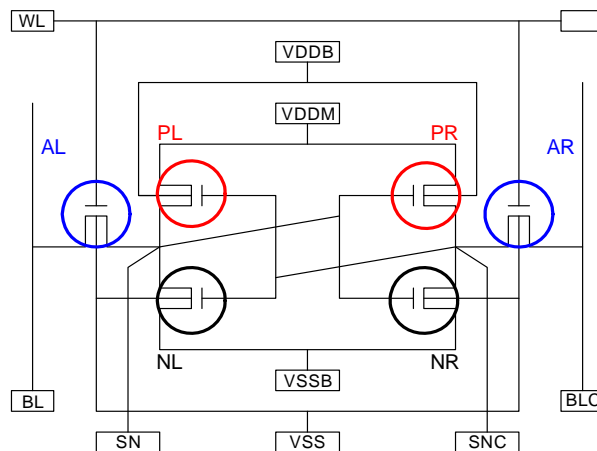
入力パラメータ名	物理的意味
TOXE, TOXP, DTOX, EPSROX	ゲート酸化膜厚及び誘電率
NDEP	チャンネル不純物濃度
TNOM(*)	実測時の温度
L_{drawn}	チャンネルマスク長
W_{drawn}	チャンネルマスク幅
XJ	ジャンクションの深さ

(*)...シミュレーションで温度条件を振る場合には、対応する温度の実測データが必要

(2)SPICEパラメータばらつき抽出用電気特性実測データ

本計算機能では、SPICE パラメータばらつきを、パラメータの標準偏差、およびパラメータ間の相関係数テーブルの二つを使って表現する。相関係数テーブルとは、パラメータ間の相関係数を表形式に並べたものである。III-2-I-③-(1)図 3-4-2-2 に 6トランジスタ-SRAM セル回路図及び回路内トランジスタの名前の例を示す。各トランジスタの SPICE パラメータ P1 をばらつかせるパラメータとした場合における、SPICE パラメータばらつきのデータ例を示す。III-2-I-③-(1)表 3-4-2-2 は標準偏差の例であり、X1～X6 は各パラメータの標準偏差である。III-2-I-③-(1)表 3-4-2-3 が相関係数テーブルの例であり、R1～R15 は各パラメータ間の相関係数である。全トランジスタの全 SPICE パラメータをばらつきパラメータとすることが理想的ではあるが、実際的ではない。どのトランジスタのどのパラメータをばらつきパラメータとすると充分であるかについては未だ決定的な解はない。

SPICE パラメータばらつき抽出には、複数チップの DMA(Device Matrix Array)TEG 内 SRAMセルの全トランジスタのデータが必要である。III-2-I-③-(1)表 3-4-2-4 に実測データの使用目的を示す。なお、SPICE パラメータばらつき抽出に必要とされるトランジスタ1つあたり実測データは、前節で述べた内容と同一である。III-2-I-③-(1)表 3-4-2-5 に実測電流特性 I が正規分布をした場合、I の標準偏差 σI の標準偏差 $\sigma\sigma I$ と DMATEG 内サンプル数 N の関係を示す[4]。III-2-I-③-(1)表 3-4-2-5 から、特性の 3σ を σ の 1%以内にするのに必要なサンプル数は、45,000 であることが分かる。



III-2-I- (1)図 3-4-2-2 6トランジスタ SRAM セルの回路図及び回路内トランジスタ名

III-2-I-③-(1)表 3-4-2-2 SPICE パラメータばらつきデータ例(標準偏差)

トランジスタ名	トランジスタ内パラメータ名	標準偏差[AU]
NL	P1	X1
NR	P1	X2
AL	P1	X3
AR	P1	X4
PL	P1	X5
PR	P1	X6

III-2-I-③-(1)表 3-4-2-3 SPICE パラメータばらつきデータ例(相関係数テーブル)

		NL	NR	AL	AR	PL	PR
		P1	P1	P1	P1	P1	P1
NL	P1	1	R1	R2	R4	R7	R11
NR	P1	R1	1	R3	R5	R8	R12
AL	P1	R2	R3	1	R6	R9	R13
AR	P1	R4	R5	R6	1	R10	R14
PL	P1	R7	R8	R9	R10	1	R15
PR	P1	R11	R12	R13	R14	R15	1

III-2-I-③-(1)表 3-4-2-4 SPICE パラメータばらつき抽出に用いる各実測データ使用目的

実測データ	目的
複数チップのデータ	チップ間 SPICE パラメータばらつきの抽出
DMATEG のデータ	チップ内 SPICE パラメータばらつきのシステムティック成分とランダム成分の分離及び抽出
SRAM 内の全トランジスタのデータ	各トランジスタ間のパラメータ相関を抽出

III-2-I-③-(1)表 3-4-2-5 実測電流特性 I の標準偏差 σ_I の標準偏差 σ_{σ_I} と DMA-TEG 内サンプル数 N の関係

σ_{σ_I}	N
$\sigma_{\sigma_I}=0.01\sigma_I$	5,000
$\sigma_{\sigma_I}=0.01\sigma_I/2$	20,000
$\sigma_{\sigma_I}=0.01\sigma_I/3$	45,000

3-4-3. FBC計算機能の課題と対策

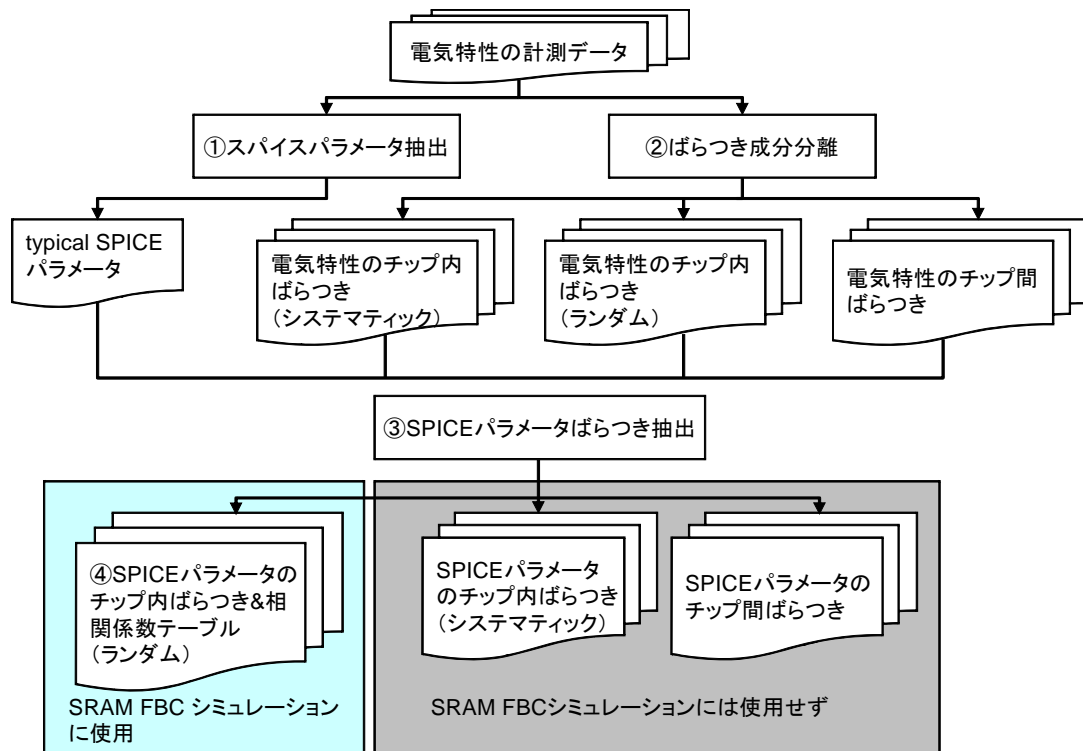
SRAM FBC 計算機能の課題はモンテカルロシミュレーションの高速化であった。そこで、高速版 SRAM FBC 計算機能を構築し、モンテカルロシミュレーションの高速化フローを構築した。SRAM FBC 計算フローは、電気特性の計測データから SPICE パラメータばらつき抽出と相関テーブル作成を行うまでのフロー、および単体トランジスタばらつきから SRAM FBC を求めるフローからなる。III-2-I-③-(1)図 3-4-2-3 に電気特性の計測データから SPICE パラメータばらつき抽出/相関テーブル作成までのフローを示す。

- (1) SPICE パラメータ抽出では、トランジスタの測定データから SPICE パラメータ抽出を行う。

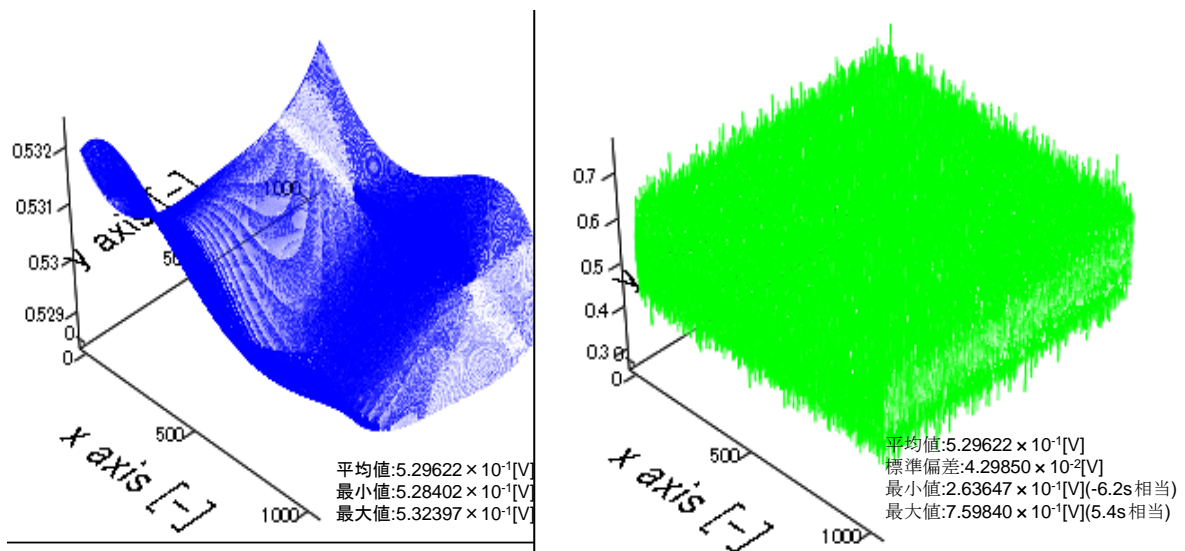
- (2) ばらつき成分分離では、多項式近似方式の成分分離法を用いて電気特性の計測データをチップ間ばらつき、チップ内ばらつき(システムティック成分)、チップ内ばらつき(ランダム成分)に分離する。III-2-I-③-(1)図 3-4-2-4 に SRAM FBC シミュレーションで使用する SRAM と同じプロセスで作成した超大規模(1M)-DMATEG のしきい値(V_{th})ばらつきを、4 次元多項式を用いて成分分離した例を示す。グラフの X 軸, Y 軸はチップ上の座標軸を示す。この例では、チップ内 V_{th} ばらつき≒ランダム成分であることが分かる。
- (3) SPICE パラメータばらつき抽出では、電流電圧特性(IV 特性)や V_{th} 特性のばらつき計測データから SPICE パラメータのばらつきを抽出する。
- (4) SPICE パラメータのチップ内ばらつき&相関係数テーブル(ランダム)では、③で得られた SPICE パラメータのばらつきを元に SPICE パラメータの標準偏差や各 SPICE パラメータ間の相関係数を求める。相関係数を考慮してモンテカルロシミュレーションを行うと、トランジスタ単体の I_c 特性のばらつき再現性がより高くなるため、相関を考慮したほうが精度のよい解析ができる。

III-2-I-③-(1)図 3-4-2-5 に単体トランジスタばらつきから SRAM FBC を求めるフローを示す。

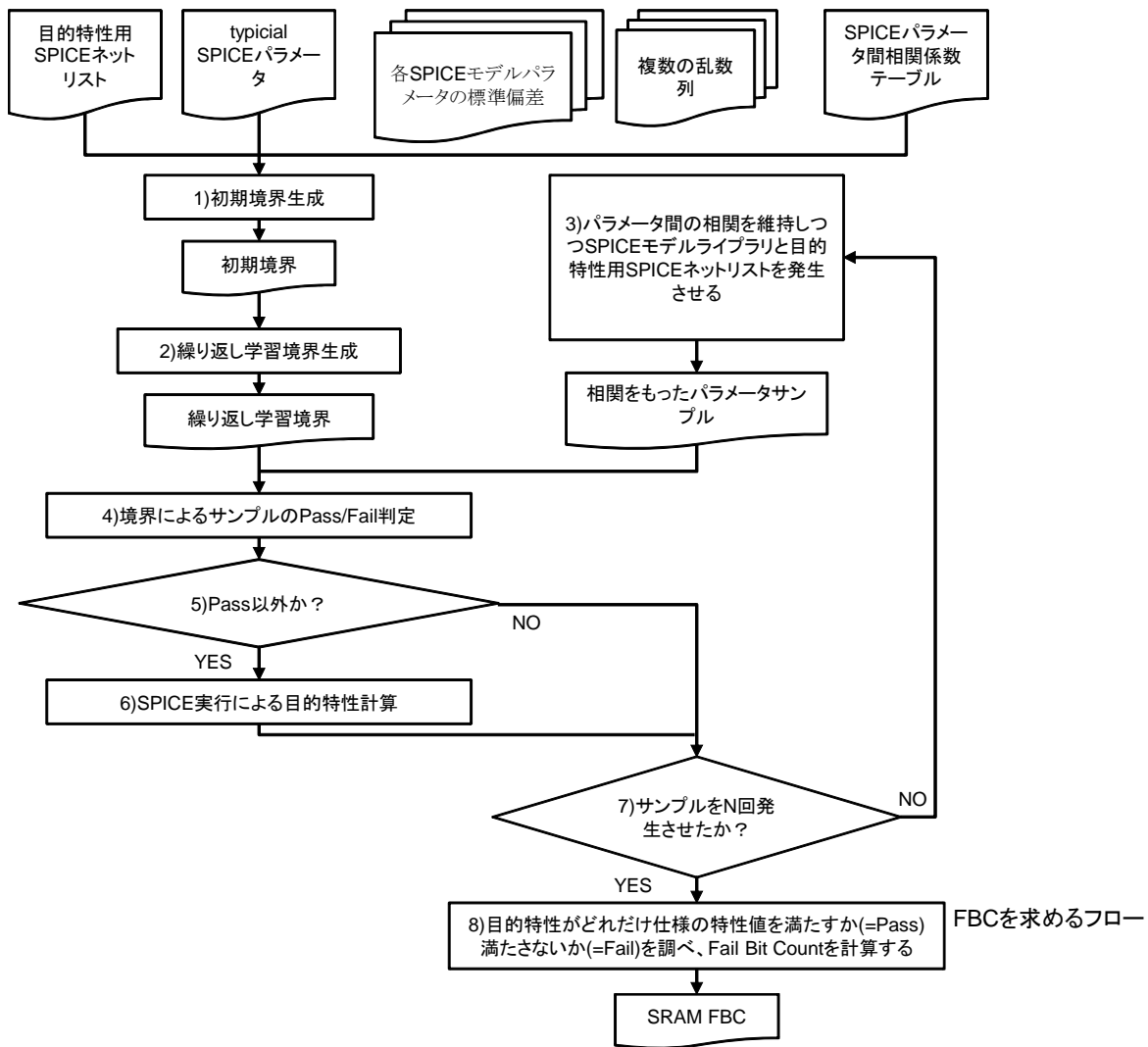
- (1) Pass/Fail 判定に使用する目的特性用 SPICE ネットリスト、複数の一様乱数列、およびフロー1 から得られる typical SPICE パラメータ・各 SPICE モデルパラメータの標準偏差を用いて、初期境界を作成する。詳細は次節詳細フローの初期学習ステップ(III-2-I-③-(1)図 3-4-2-6)を参照のこと。
- (2) (1)で作成した初期境界を用いて繰り返し学習境界を作成する。詳細は次節詳細フローの繰り返し学習ステップ(III-2-I-③-(1)図 3-4-2-7)を参照のこと。
- (3) Pass/Fail 判定に使用する目的特性用 SPICE ネットリスト、複数の標準正規乱数列、及び III-2-I-③-(1)図 3 フローから得られる typical SPICE パラメータ・各 SPICE モデルパラメータの標準偏差・SPICE パラメータ間相関係数テーブルを用いて、相関のあるばらついたパラメータを持つ SPICE モデルライブラリと目的特性用 SPICE ネットリストのサンプルを生成する。
- (4) (2)で作成した繰り返し学習境界を用いて(3)で生成したサンプルの Pass/Fail 判定を行う。
- (5) Pass ならば(7)へ。それ以外ならば(6)へ。
- (6) SPICE シミュレーションを実行して目的特性を得る。
- (7) (3)で N 回サンプルを発生させていれば(8)へ。それ以外ならば(3)へ。
- (8) 目的特性値が、予め決めておいた仕様を満たすか(=Pass)満たさないか(=Fail)どうかを数え上げる。



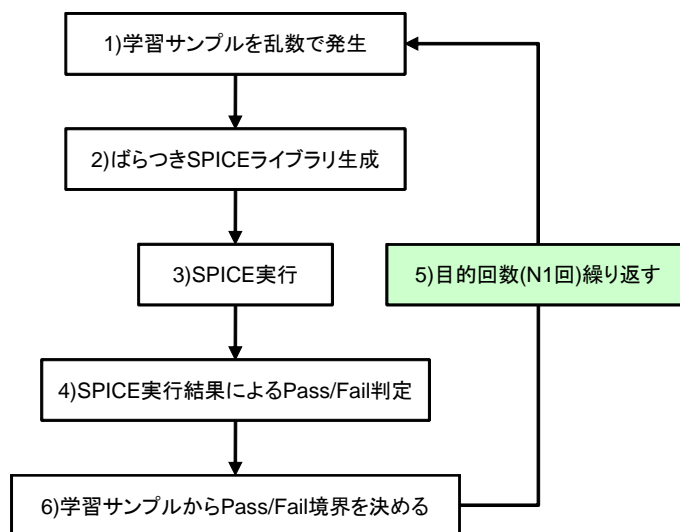
III-2-I- (1)図 3-4-2-3 電気特性の計測データから SPICE パラメータばらつき抽出/相関テーブル作成までのフロー



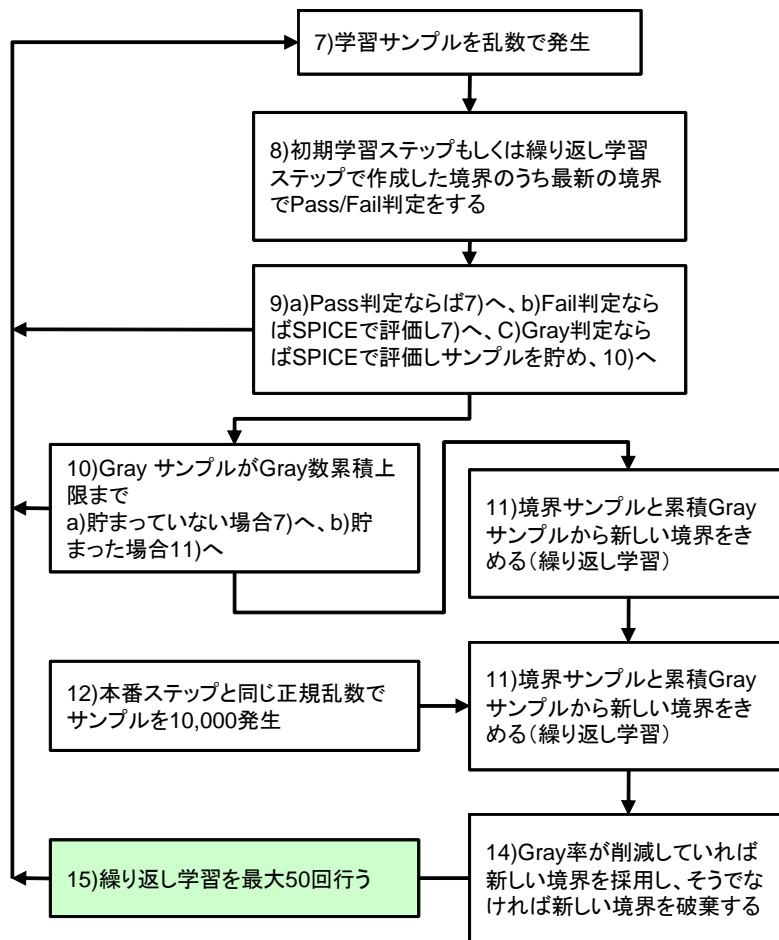
III-2-I- (1)図 3-4-2-4 超大規模 DMA-TEG の V_{th} ばらつきを、4 次元多項式を用いて成分分離した例



III-2-I- (1)図 3-4-2-5 単体トランジスタばらつきから SRAM FBC を求めるフロー



III-2-I- (1)図 3-4-2-6 . 詳細フロー1. 初期学習ステップ



III-2-I-③-(1)図 3-4-2-7 詳細フロー2. 繰り返し学習ステップ

(8)で得られた Fail の数が SRAM Fail Bit Count である。なお、以降では、上記手順 3)～8)の部分をもとめて本番ステップと呼ぶことにする。

初期学習ステップを III-2-I- (1)図 3-4-2-6 に示す。

- (1) 学習サンプルを乱数で発生させる
- (2) (1)で得られた乱数を用いてばらつき SPICE ライブラリを生成する
- (3) (2)で得られたばらつき SPICE ライブラリを使用して SPICE を実行する
- (4) (3)で得られた SPICE 実行結果を元に Pass/Fail の判定を行う
- (5) (1)～(4)を目的回数(N1 回)繰り返す
- (6) (5)で得られた N1 個のサンプルを用いて Pass/Fail 境界を学習する

繰り返し学習ステップを III-2-I-③-(1)図 3-4-2-7 に示す。

- (7) 学習サンプルを乱数で発生させる
- (8) 初期学習ステップもしくは繰り返し学習ステップで作成した境界のうち最新の境界で Pass/Fail 判定を行う
- (9) Pass 判定ならば(7)へ、Fail 判定ならば SPICE で評価し、(7)へ。不明判定(以下、Gray 判定と呼ぶ)ならば SPICE で評価し、サンプルを貯め、(10)へ。
- (10) Gray サンプルが所定の数(以下、Gray 数累積上限と呼ぶ)まで貯まっていないならば、(7)へ、Gray

サンプルが貯まったので、(11)へ

- (11) 既存の境界サンプルと累積 Gray サンプルから新しい境界を決める(繰り返し学習)
- (12) 本番ステップと同じ正規分布でサンプルを 10,000 発生させる
- (13) (12)で作成したサンプル群に対し(11)で作成した境界を用いて Pass/Fail 判定を行う。
- (14) Gray 率が削減していれば新しい境界を採用し、そうでなければ新しい境界を破棄する。その後(7)へ。
- (15) 繰り返し学習を最大 50 回行う。

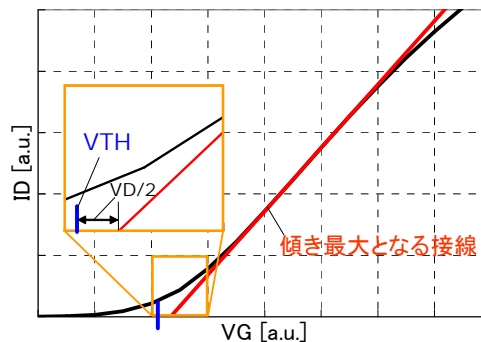
3-4-4. SNM特性を用いたFBC解析

単体トランジスタのばらつき抽出の条件を III-2-I-③-(1)表 3-4-2-6 に示す。今回は SRAM 回路のトランジスタのばらつきデータが入手不可能であり、入手できたのは表内条件のトランジスタのばらつきであった。なお、入力実測データとして使用した V_{th} は、線形領域 I_d-V_g の外挿法[3][4]によるしきい値電圧 V_{th} を使用した(III-2-I-③-(1)図 3-4-2-8)。 V_{th} の定義式を以下に示す。

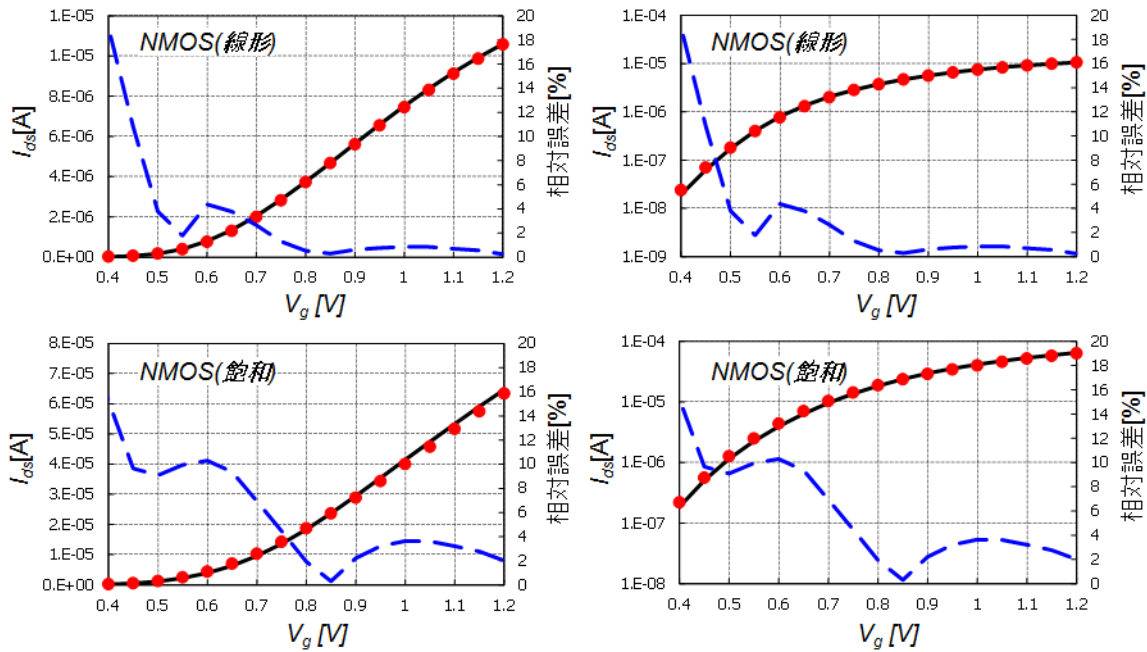
$$V_{th} = (\text{最大傾斜を持つ } I_d \text{ の接線と } V_g \text{ 軸の交点}) - V_d/2$$

III-2-I-③-(1)表 3-4-2-6 単体トランジスタのばらつき抽出の条件

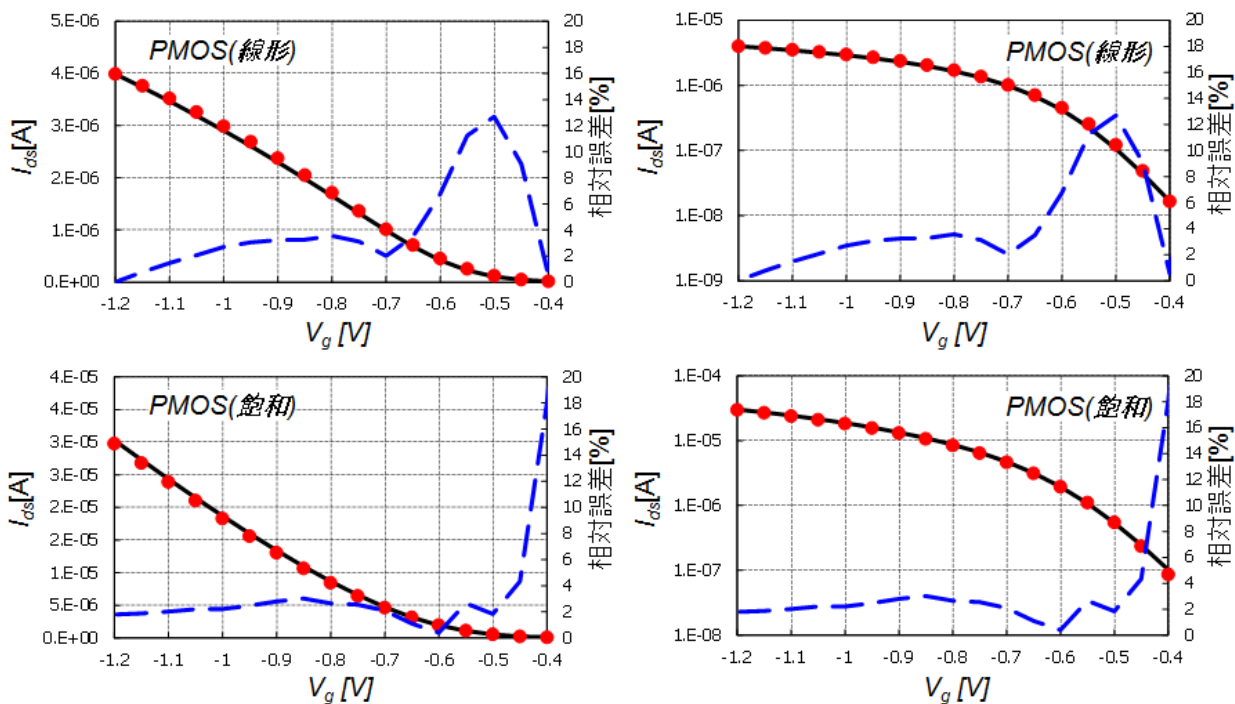
抽出対象テクノロジー		65nm
抽出対象		NMOS 及び PMOS 単体 Tr
抽出対象単体 Tr の L/W サイズ		NMOS, PMOS 共に L/W=60nm/140nm
SPICE パラメータ抽出	入力実測データ	電流特性 ID-VG, ID-VD
	入力実測データの対象 Tr L/W サイズ	8 種
	入力実測データの温度条件	25 (**)
	出力 SPICE モデル	BSIM4.5
SPICE パラメータばらつき及び相関係数テーブル抽出	入力実測データ	しきい値電圧 VTH, 電流特性 ID-VG
	入力実測データの対象 Tr L/W サイズ	(*)と同一
	入力実測データの温度条件	(**)と同一
	入力実測データのサンプル数	8.192



III-2-I- (1)図 3-4-2-8 外挿 V_{th} のイメージ



III-2-I- (1)図 3-4-2-9 抽出した SPICE パラメータを使用した SPICE シミュレーション結果 (NMOS の線形、飽和)



III-2-I- (1)図 3-4-2-10 抽出した SPICE パラメータを使用した SPICE シミュレーション結果 (PMOS の線形、飽和)

III-2-I-③-(1)図 3-4-2-9～III-2-I-③-(1)図 3-4-2-10 に、抽出した SPICE パラメータを使用した SPICE シミュレーション結果を示す。サブスレシヨルト領域を除いて誤差は5%程度であった。この程度の誤差は許容できるものと判断し、抽出した SPICE パラメータを SRAM FBC 解析で採用する。III-2-I-③-(1)表 3-4-2-7～III-2-I-③-(1)表 3-4-2-11 に、SPICE パラメータばらつき及び相関係数テーブルの抽出結果を示す。

III-2-I- (1)表 3-4-2-7 SPICE パラメータばらつき抽出結果(NMOS)

	Typical 値	標準偏差
XL[m]	0.00	1.30×10^9
VTH0[V]	4.64×10^1	4.16×10^2
TOXE[m]	2.60×10^9	8.52×10^{11}

III-2-I- (1)表 3-4-2-9 相関係数テーブルの抽出結果(NMOS)

	XL	VTH0
XL	1.00	0.01
VTH0	0.01	1.00
TOXE	-0.99	0.47

III-2-I- (1)表 3-4-2-10 SPICE パラメータばらつき抽出結果(PMOS)

	Typical 値	標準偏差
XL[m]	0.00	1.30×10^{-9}
VTH0[V]	-4.67×10^{-1}	2.65×10^{-2}
TOXE[m]	2.60×10^{-9}	1.64×10^{-10}

III-2-I- (1)表 3-4-2-11 相関係数テーブルの抽出結果(PMOS)

	XL	VTH0
XL	1.00	-0.04
VTH0	-0.04	1.00
TOXE	0.00	0.00

今回は SRAM 回路のトランジスタのばらつきデータが入手不可能であったため、各トランジスタ間のパラメータ相関を0(=相関なし)と見なした。III-2-I-③-(1)表 3-4-2-7～III-2-I-③-(1)表 3-4-2-11 のデータを用いた以下 A)、ならびに B)のシミュレーションを行った。

- A) パラメータを以下の①～③条件でばらつかせた場合の $\sigma I_{ds}/I_{ds}$ 特性
 B) パラメータばらつき条件①でのしきい値電圧 V_{th} と線形領域での ON 電流 I_{on} の分布

- ① 1 パラメータ (V_{th0})
 ② 3 パラメータ (V_{th0}, X_L, T_{OXE}) 相関なし
 ③ 3 パラメータ (V_{th0}, X_L, T_{OXE}) 相関あり

A)のシミュレーション回数は、実測データ数と同じ8,192回とした。B)のシミュレーション回数は、100,000回とした。ここで I_{on} の定義は、線形領域で $|V_g - V_{th}|$ が最大となる $V_d = 0.05V$ 、 $V_g = 1.2V$ 時の I_d 、PMOS: $V_d = -0.05V$ 、 $V_g = -1.2V$ 時の I_{ds} とした(シミュレーション(A)の結果(III-2-I-③-(1)図 3-4-2-11)、シミュレーション(N))、サブスレシヨルド領域を除いて $\sigma I_{ds}/I_{ds}$ の誤差は最大 10%程度であった。B)の結果(III-2-I-③-(1)図 3-4-2-12)、 V_{th} 、 I_{on} 共にシミュレーション値の分布形状は正規分布となった。

III-2-I-③-(1)表 3-4-2-12 に FBC 解析条件を示す。表中のばらつきパラメータ条件とは、FBC 解析でどの

パラメータをばらつかせるかについて示したものである。ばらつき条件①～③の条件設定を III-2-I-③-(1)表 3-4-2-13、III-2-I-③-(1)表 3-4-2-14 に示す。表中パラメータの標準偏差は III-2-I- (1)表 3-4-2-7、III-2-I- (1)表 3-4-2-9 の標準偏差の値を $1/\sqrt{LW}$ でスケールリングを行って導出した。ばらつきパラメータ条件③では、MOS 毎にパラメータ間相関をもたせ、相関係数テーブルは III-2-I- (1)表 3-4-2-8、III-2-I- (1)表 3-4-2-10 の値を使用する。また、本実計算作業では Pass/Fail 判定方法に SNM 及び過渡 READ を用いた FBC 解析を行う。6トランジスタ-SRAM Static Noise Margin(SNM)での FBC の導出手順を示す。

手順 1: バイアス条件を以下のように設定する。

VSS = VSSB = 0V に固定する。

VDDM = VDDDB = WL = 供給電圧 VDD V に固定する。

手順 2: BL = open 、BLC = VDD の条件で SN を 0 から VDD まで変化させ、SN-SNC カーブを得る。

手順 3: BL = VDD、BLC = open の条件で、SNC を 0 から VDD まで変化させ、SN-SNC カーブを得る。

手順 4: 手順 2 と 3 のカーブを重ねあわせ、めがねカーブを得る。2 つのカーブの間の小さい正方形の辺の大きさが SNM と定義される(III-2-I- (1)図 3-4-2-13)。もし、めがねカーブの交点が 2 つ以下(SNM 正方形が 1 つ以下)の場合、SRAM セルは Fail bit とカウントする。そうでなければ Pass とカウントする。

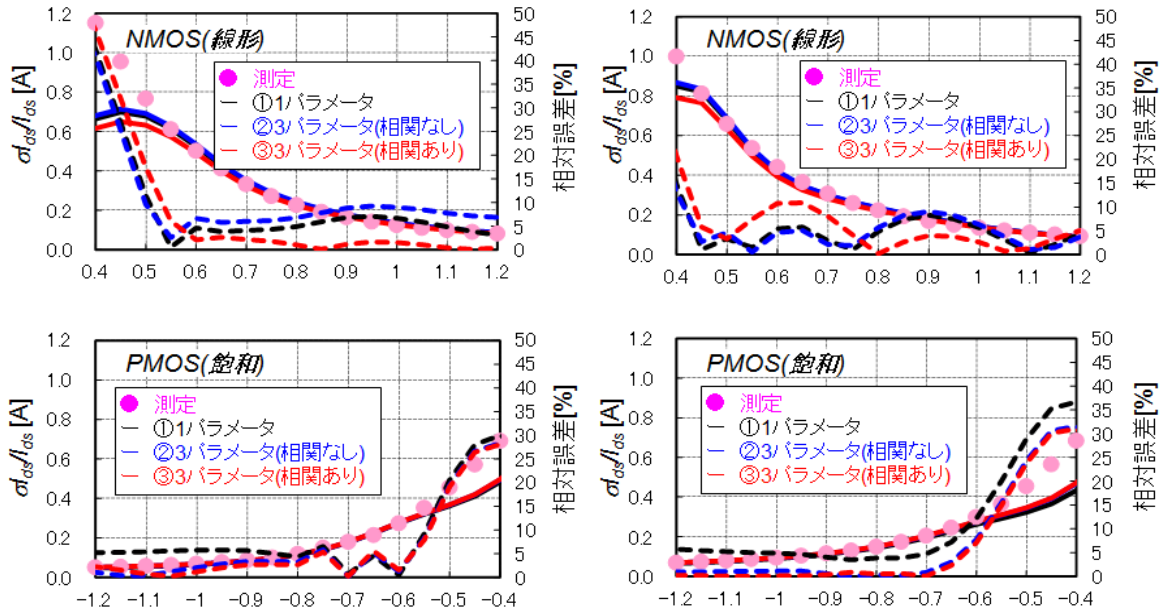
III-2-I-③-(1)図 3-4-2-14 に FBC の電源電圧依存性を示す。III-2-I- (1)表 3-4-2-17～III-2-I- (1)表 3-4-2-19 に各解析の時間を示す。また、III-2-I-③-(1)図 3-4-2-15 に SPICE 実行回数での高速化比率 R を示す。R は以下の式によって定義する。

$$R = \frac{N_{MC}}{N_{SPICE}} \dots \text{式(1)}$$

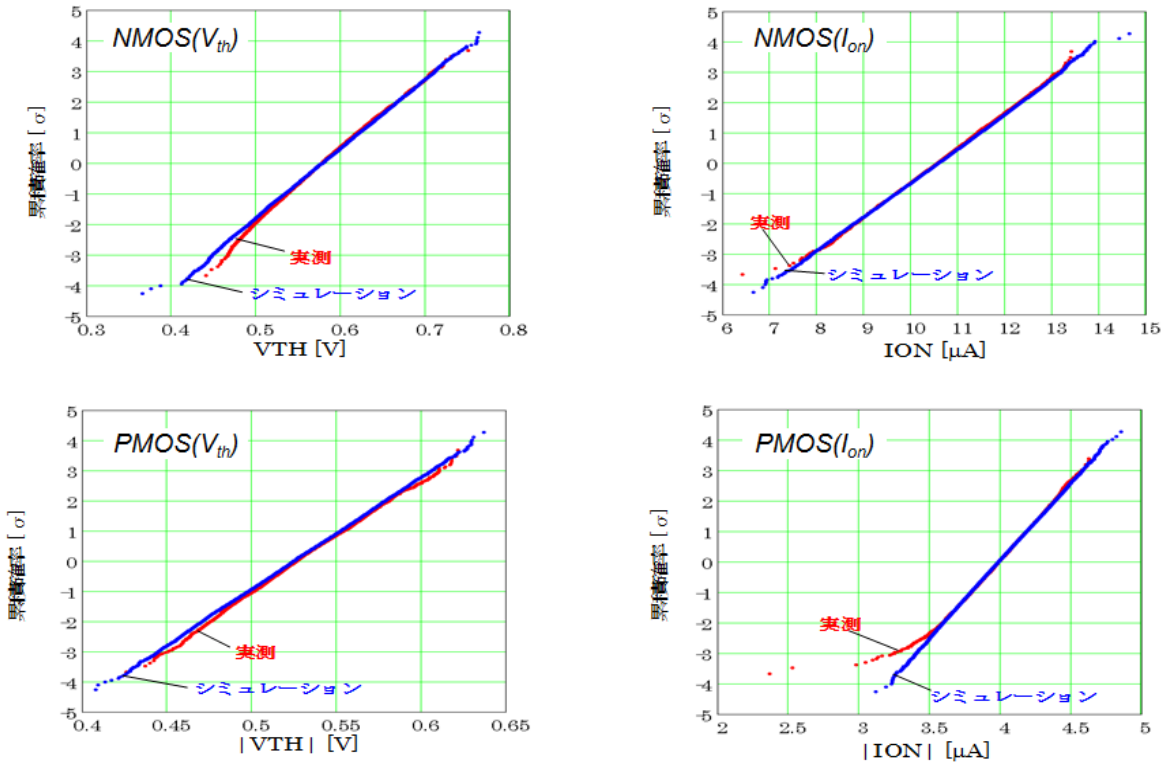
ただし、NMC は SSBL 法の本番ステップでのモンテカルロ実行回数とし、NSPICE は SSBL 法の本番ステップでの SPICE 実行回数とした。SSBL 法の学習ステップ実行に要する時間及び本番ステップでの境界による Pass/Fail 判定時間が無視できると仮定すると、SSBL 法により FBC 解析時間は $1/R$ に短縮可能である。III-2-I-③-(1)図 3-4-2-14 から、ばらつきパラメータ数の影響は大きく、パラメータ数 6 と 18 の間で FBC 差異は最大 6.0% となること、ばらつきパラメータ数が 18 の場合、パラメータ間の相関の有無による影響は小さい(最大で 1.4%)ことが分かった。また、III-2-I-③-(1)表 3-4-2-17～III-2-I-③-(1)表 3-4-2-19、III-2-I-③-(1)図 3-4-2-15 から、ばらつきパラメータ数が 18 の場合、ばらつきパラメータ数が 6 の場合に比べて 10 倍以上の実行時間を要することが分かる。これは、R の値が 10 倍以上異なっていることに起因すると考えられる。

III-2-I- (1)表 3-4-2-11 相関係数テーブルの抽出結果(PMOS)

	XL	VTH0
XL	1.00	-0.04
VTH0	-0.04	1.00
TOXE	0.00	0.00



III-2-I- (1)図 3-4-2-11 NMOS、PMOS(線形、飽和)の σ_{dg}/I_{ds} 特性の比較



III-2-I- (1)図 3-4-2-12 NMOS、PMOS(線形、飽和)の V_{th} 、 I_{on} の累積度数比較

III-2-I- (1)表 3-4-2-12 SRAM FBC 解析の条件

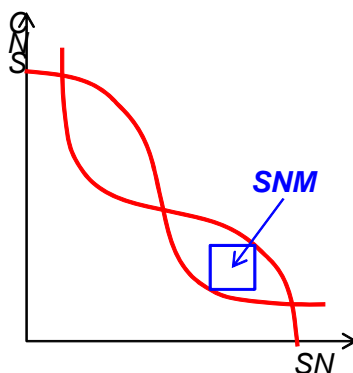
解析対象テクノロジー		65nm
解析対象		6Tr-SRAM セル
SRAM セル内Tr の L/W サイズ	NMOS	L/W=56nm/120nm
	PMOS	L/M=56nm/80nm
電源電圧 VDD		0.7~1.0V
ばらつきパラメータ条件		6 パラメータ(各 Tr の VTH0) 18 パラメータ(各 Tr の VTH0,XL,TOXE)相関なし 18 パラメータ(各 Tr の VTH,XL,TOXE)相関あり
FBC シミュレーション用モンテカルロ回数		4,194,304 回
モンテカルロ法の高速度化方式		SSBL 法
SSBL 法	初期サンプル数	100
	繰り返し学習回数	50
	Gray 数累積上限	ばらつきパラメータ 6 の場合 10 ばらつきパラメータ 18 の場合 160
計算機 CPU		AMD Opteron 8356(2.3GHZ)

III-2-I- (1)表 3-4-2-13 ばらつきパラメータ条件①用の設定

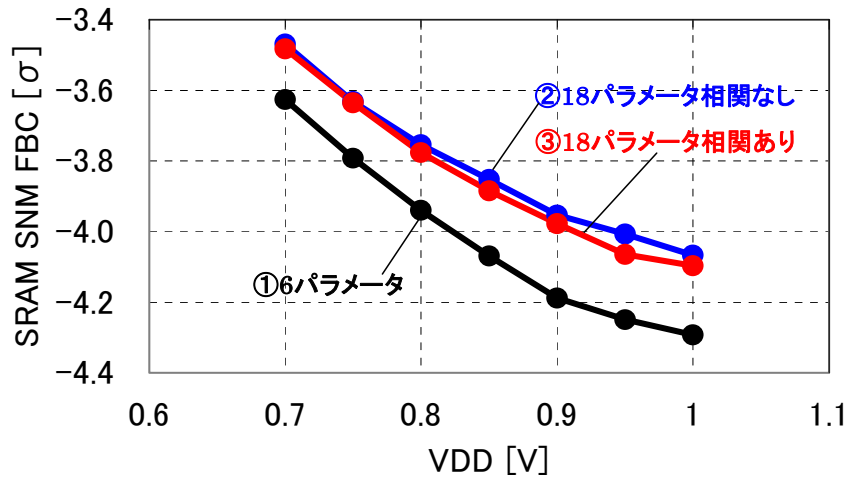
MOS	パラメータ名	Typical 値
NMOS	VTH0[V]	4.64×10^{-1}
PMOS	VTH0[V]	-4.67×10^{-1}

III-2-I- (1)表 3-4-2-14 ばらつきパラメータ条件②及び③の設定

MOS	パラメータ名	Typical 値	標準偏差
NMOS	XL[m]	0.00	1.45×10^{-9}
	VTH[V]	4.64×10^{-1}	4.65×10^{-2}
	TOXE[m]	2.60×10^{-9}	9.53×10^{-11}
PMOS	XL[m]	0.00	1.78×10^{-9}
	VTH[V]	-4.67×10^{-1}	3.63×10^{-2}
	TOXE[m]	2.60×10^{-2}	2.25×10^{-10}



III-2-I-③-(1)図 3-4-2-13 SNM (Static Noise Margin)の定義



III-2-I-③-(1)図 3-4-2-14 SNM-FBC の電源電圧依存性

III-2-I- (1)表 3-4-2-15 SNM FBC 解析の実行時間(ばらつきパラメータ条件① 6パラメータ)

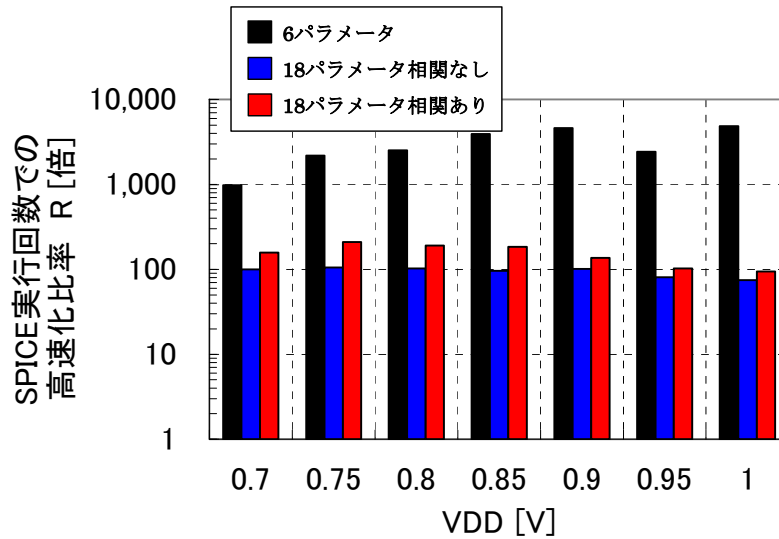
電源電圧 VDD		0.70	0.75	0.80	0.85	0.90	0.95	1.00
SSBL 法 実行時間 [h]	合計(a)=(b)+(c)	0.24	0.17	0.15	0.13	0.13	0.14	0.13
	境界学習ステップ(b)	0.03	0.03	0.03	0.03	0.03	0.03	0.03
	本番ステップ(c)	0.21	0.14	0.12	0.10	0.09	0.11	0.09

III-2-I- (1)表 3-4-2-16 SNM FBC 解析の実行時間(ばらつきパラメータ条件②18パラメータ相関なし)

電源電圧 VDD		0.70	0.75	0.80	0.85	0.90	0.95	1.00
SSBL 法 実行時間 [h]	合計(a)=(b)+(c)	4.10	4.03	4.10	4.31	4.26	5.02	5.45
	境界学習ステップ(b)	0.45	0.45	0.45	0.47	0.47	0.48	0.49
	本番ステップ(c)	3.65	3.57	3.65	3.84	3.79	4.54	4.95

III-2-I- (1)表 3-4-2-17 SNM FBC 解析の実行時間(ばらつきパラメータ条件③ 18パラメータ相関あり)

電源電圧 VDD		0.70	0.75	0.80	0.85	0.90	0.95	1.00
SSBL 法 実行時間 [h]	合計(a)=(b)+(c)	4.26	3.59	3.91	4.02	4.91	6.42	6.65
	境界学習ステップ(b)	0.51	0.52	0.53	0.53	0.53	0.55	0.55
	本番ステップ(c)	3.76	3.07	3.39	3.50	4.38	5.87	6.10



III-2-I-③-(1)図 3-4-2-15 SNM-FBC 解析での高速化比率

3-4-5. 過渡READ特性を用いたFBC解析

III-2-I-③-(1)図 3-4-2-16 の6トランジスタ-SRAM回路を用いて、SRAM過渡READ解析によるFBC解析を行う。CBLはビット線容量を表し、ビット線の配線容量と接続されるアクセストランジスタの接合容量とゲートオーバーラップ容量からなる。以下に過渡READ解析によるFBCの導出方法を示す。

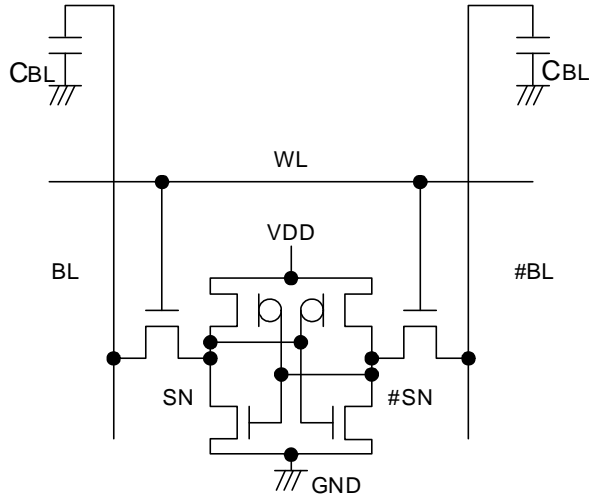
手順1: バイアス条件を $GND = 0[V]$ に、 $BL = \#BL = VDD =$ 供給電圧 VDD_{set} に固定する。

手順2: SNと#SNの過渡解析用初期電圧を設定する。READ 1(high)の場合、過渡解析初期設定: $SN = VDD_{set}$, $\#SN = 0[V]$ に設定する。READ 0(low)の場合、過渡解析初期設定: $SN = 0[V]$, $\#SN = VDD_{set}$ に設定する。

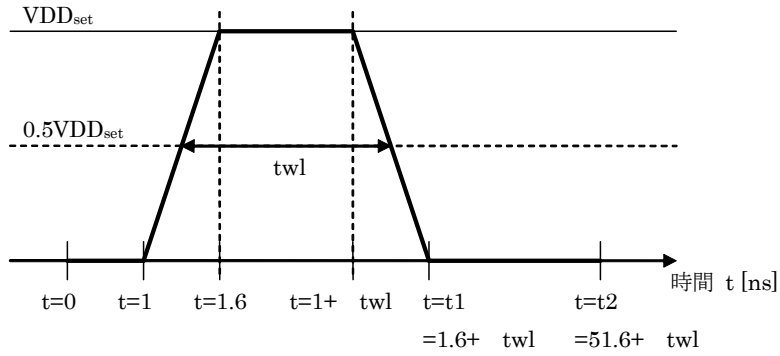
手順3: WLにIII-2-I-③-(1)図 3-4-2-17の波形を入力し、過渡解析を行う。本解析では図中の Δtwl を500[ns]とした。

手順4: 時間 $t=t_2$ におけるSNの電圧と#SNの電圧の大小関係からSRAMセルのPass/Fail判定を行う。READ 1(high)の場合、 $SN - \#SN < 0$ の場合 Fail Bitと判定する。そうでなければ Passと判定する。READ 0(low)の場合、 $SN - \#SN > 0$ の場合 Fail Bitと判定する。そうでなければ Passと判定する。

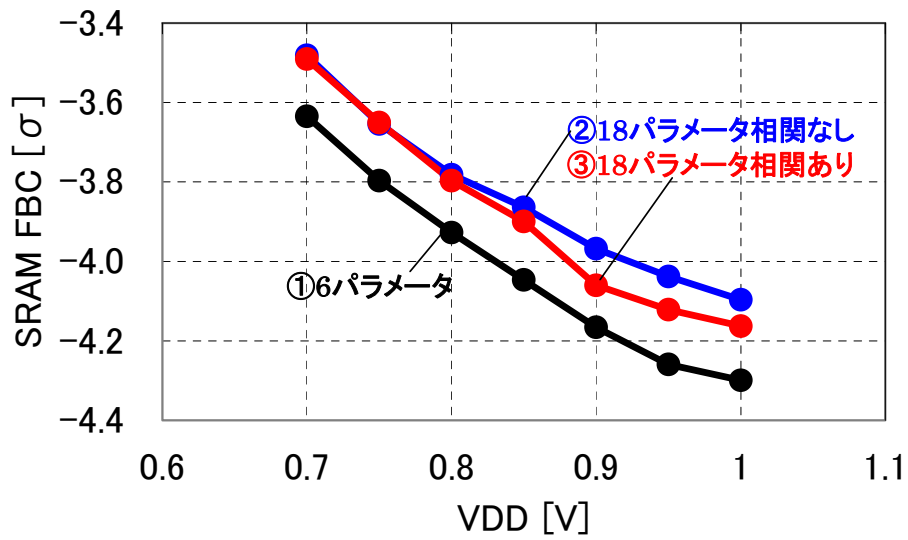
III-2-I-③-(1)図 3-4-2-18 に FBC-VDD 依存性を示す。III-2-I- (1)表 3-4-2-18～III-2-I- (1)表 3-4-2-20 に各解析の時間を示す。また、III-2-I-③-(1)図 3-4-2-19 に SPICE 実行回数での高速化比率 Rを示す。III-2-I-③-(1)図 3-4-2-18 から、ばらつきパラメータ数の影響は大きく、パラメータ数6と18の間でFBC差異は最大5.5%となった。また、ばらつきパラメータ数が18の場合、パラメータ間の相関の有無による影響は小さい(最大で2.3%)ことが分かった。III-2-I- (1)表 3-4-2-18～III-2-I- (1)表 3-4-2-20、III-2-I-③-(1)図 3-4-2-18からは、ばらつきパラメータ数が18の場合、ばらつきパラメータ数が6の場合に比べて10倍以上の実行時間を要していることが分かる。これは、Rの値が10倍以上異なっていることに起因すると考えられる。



III-2-I-③-(1)図 3-4-2-16 過渡解析用 SRAM 回路



III-2-I-③-(1)図 3-4-2-17 WL に印加する電圧波形



III-2-I-③-(1)図 3-4-2-18 過渡 READ-FBC の電源電圧依存性

III-2-I- (1)表 3-4-2-18 過渡 READ-FBC 解析の実行時間(ばらつきパラメータ条件① 6パラメータ相関あり)

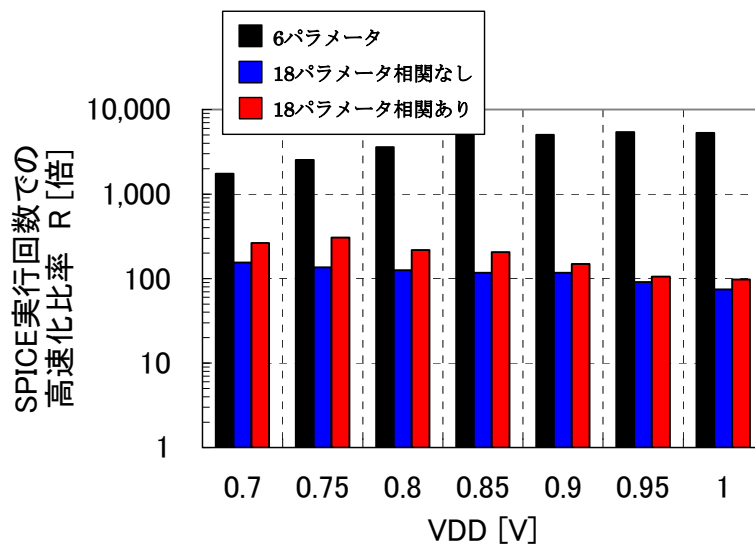
電源電圧 VDD		0.70	0.75	0.80	0.85	0.90	0.95	1.00
SSBL 法 実行時間 [h]	合計(a)=(b)+(c)	0.35	0.30	0.26	0.24	0.24	0.24	0.25
	境界学習ステップ(b)	0.06	0.06	0.07	0.07	0.07	0.07	0.07
	本番ステップ(c)	0.29	0.23	0.20	0.18	0.18	0.18	0.18

III-2-I- (1)表 3-4-2-19 SNM FBC 解析の実行時間(ばらつきパラメータ条件②18パラメータ相関なし)

電源電圧 VDD		0.70	0.75	0.80	0.85	0.90	0.95	1.00
SSBL 法 実行時間 [h]	合計(a)=(b)+(c)	6.18	6.71	7.01	7.31	7.66	9.04	10.9
	境界学習ステップ(b)	0.92	0.91	0.92	0.92	0.95	0.96	0.99
	本番ステップ(c)	5.26	5.80	6.10	6.39	6.71	8.08	9.86

III-2-I- (1)表 3-4-2-20 過渡 READ-FBC 解析の実行時間(ばらつきパラメータ条件③ 18パラメータ相関あり)

電源電圧 VDD		0.70	0.75	0.80	0.85	0.90	0.95	1.00
SSBL 法 実行時間 [h]	合計(a)=(b)+(c)	6.44	5.93	7.08	7.38	9.46	12.1	12.7
	境界学習ステップ(b)	1.07	1.10	1.08	1.09	1.10	1.09	1.10
	本番ステップ(c)	5.37	4.84	5.99	6.29	8.36	11.0	11.6



III-2-I-③(1)図 3-4-2-19 過渡 READ-FBC 解析での高速化比率

3-4-6. 実測結果とシミュレーション結果の比較

FBC シミュレーションの精度を評価するため、SNM FBC の VDD 依存性について実測との比較を行った。III-2-I-③(1)図 3-4-2-20 にアシスト回路なしでの実測及びばらつきパラメータ条件①～③で行ったシミュレーションでの FBC-VDD 依存性を示す(シミュレーションの結果は III-2-I-③(1)図 3-4-2-14 と同一である)。III-2-I- (1)表 3-4-2-21 に実測に対するシミュレーションの FBC 誤差を示す。ばらつきパラメータ数が 6 の場合、誤差は 6%前後であり、ばらつきパラメータ数が 18 の場合、最大誤差は 2.3%である。ばらつきパラメータ数が 18 の場合、高精度なシミュレーション結果が得られ、FBC シミュレーションの精度と速度はトレードオフの関係にあるので、

シミュレーションに要求される精度によって使用するばらつきパラメータ数を検討する必要があることが分かった。

III-2-I-③-(1)図 3-4-2-21 に、アシスト回路ありでの実測、及びばらつきパラメータ条件①～③で行ったシミュレーションでの FBC-VDD 依存性を示す。III-2-I- (1)表 3-4-2-22 に実測に対するシミュレーションの FBC 誤差を示す。なお、本シミュレーションでは WL=high 時にかかる電圧を $0.9 \times VDD$ [V]とすることで、シミュレーションにおけるアシスト回路の効果を再現する手法(以降、WL 電圧低減手法と呼ぶ)を用いた。ばらつきパラメータ数が 6 の場合、最大誤差は約 4.9%であり、ばらつきパラメータ数が 18 で相関ありの場合、最大誤差は 2.9%となる。アシスト回路なしの場合に比べ、誤差が大きくなっていることがわかった。その原因として、

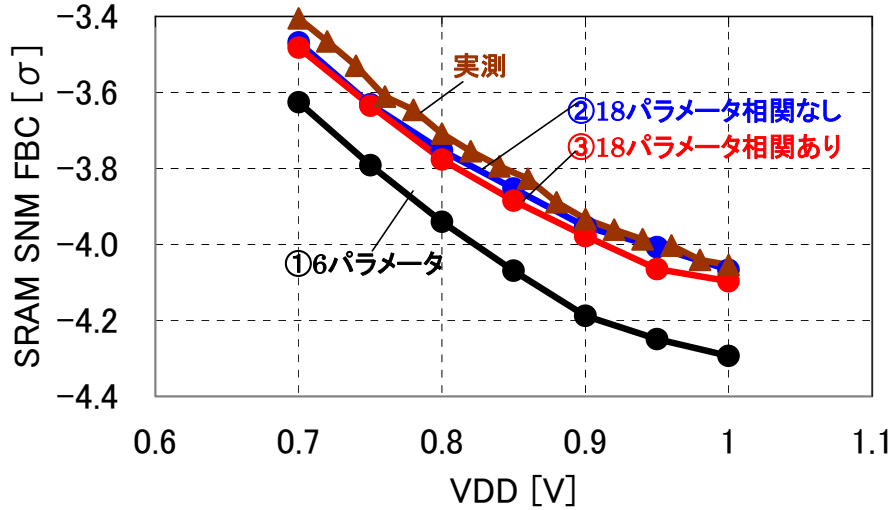
- ・ SPICE パラメータ抽出の段階で温度条件は 1 条件のみ(25°C)であったため、アシスト回路ありのシミュレーション(125°C)では SPICE モデル温度パラメータの適切な設定がされていない
- ・ WL 電圧低減手法では WL=high 時にかかる電圧を $0.9 \times VDD$ としたが、0.9 という値(以降、電圧低減係数と呼ぶ)が適切でない可能性がある
- ・ WL 電圧低減手法自体の精度が十分でない可能性がある

が考えられる。したがって、温度依存性の最適化、WL 電圧低減手法における電圧低減係数の最適化、ならびに WL 電圧低減手法の精度検証で高精度化が可能と考える。

6 パラメータ(各トランジスタの V_{th0})としたケースの SRAM FBC 解析において Fail と判定された不良サンプルの内、サンプルを 10 個抽出し、解析を行った。その結果、

- ・ 過渡 READ において SN の初期電圧を low(ビット 0)として READ 動作をした場合に、SN の電圧が high(ビット 1)にビット反転したグループ(グループ A)
- ・ 過渡 READ において SN の初期電圧を high(ビット 1)として READ 動作をした場合に、SN の電圧が low(ビット 0)にビット反転したグループ(グループ B)

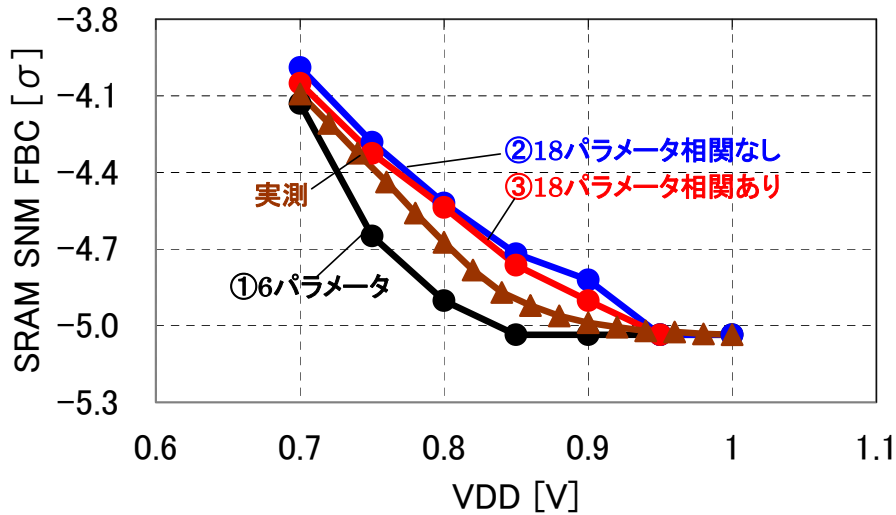
の 2 つのグループに分類できることが分かった。III-2-I- (1)表 3-4-2-24 にサンプルの所属グループ、及び不良発生時の電圧 SN の条件を示す。III-2-I- (1)表 3-4-2-25 にサンプルの所属グループとサンプル内単体トランジスタの電流特性(絶対値)の typical 値に対する大小を示す。グループ A のサンプルは、過渡 READ で不良となる SN の初期電圧が low であり、SNM において不良が発生している SN の電圧も同じく low である。サンプル内単体トランジスタの NR、AL の電流値は typical 値よりも大きく、NL の電流値は typical 値よりも小さい。一方、グループ B のサンプルは、過渡 READ で不良となる SN の初期電圧が high であり、SNM において不良が発生している SN の電圧も同じく high である。サンプル内単体トランジスタの NL、AR の電流値は typical 値よりも大きく、NR の電流値は typical 値よりも小さいことが分かった。



III-2-I-③-(1)図 3-4-2-20 SNM-FBC の実測とシミュレーション①～③との比較(アシスト回路なし)

III-2-I- (1)表 3-4-2-21 実測に対するシミュレーションの FBC 誤差(アシスト回路なし)

シミュレーションばらつきパラメータ条件	FBC 誤差[%]			
	VDD0.7V	VDD0.8V	VDD0.9V	VDD1.0V
6 パラメータ	6.5	6.3	6.5	5.9
18 パラメータ相関なし	1.9	1.2	0.51	0.31
18 パラメータ相関あり	2.3	1.8	1.1	1.0



III-2-I-③-(1)図 3-4-2-21 SNM-FBC の実測とシミュレーション①～③との比較(アシスト回路あり)

III-2-I- (1)表 3-4-2-22 実測に対するシミュレーションの FBC 誤差(アシスト回路あり)

シミュレーションばらつきパラメータ条件	FBC 誤差[%]			
	VDD0.7V	VDD0.8V	VDD0.9V	VDD1.0V
6 パラメータ	0.93	4.9	0.95	0.0062
18 パラメータ相関なし	2.5	3.3	3.4	0.0062
18 パラメータ相関あり	10.0	2.9	1.7	Fail なし

III-2-I- (1)表 3-4-2-23 不良 10 サンプルの所属グループ、および不良発生時の電圧、SN の条件

サンプル番号	所属グループ	過渡 READ でビット反転が起きたケースでの SN の初期電圧	SNM において不良が発生している SN の電圧
	A	low	low
	A	low	low
	B	high	high
	B	high	high
	B	high	high
	A	low	low
	A	low	low
	B	high	high
	A	low	low
	A	low	low

III-2-I- (1)表 3-4-2-24 不良 10 サンプルの所属グループ、および構成トランジスタの電流性能

サンプル番号	所属グループ	単体 Tr の電流値(絶対値)の大小(対 typical 値比較)					
		NL	NR	AL	AR	PL	PR
	A	小	大	大	小	小	大
	A	小	大	大	大	大	小
	B	大	小	小	大	小	大
	B	大	小	小	大	小	小
	B	大	小	大	大	大	大
	A	小	大	大	大	大	小
	A	小	大	大	小	大	小
	B	大	小	小	大	大	大
	A	小	大	大	小	小	小
	A	小	大	大	小	大	小

3-4-7. 本技術開発のまとめ

ランダムばらつきが SRAM の動作に与える影響を定量化するために、実測したランダムばらつきを取り込んだ SRAM 回路の SNM、ならびに過渡解析による FBC シミュレーション手法を開発した。その結果以下の結論を得た。

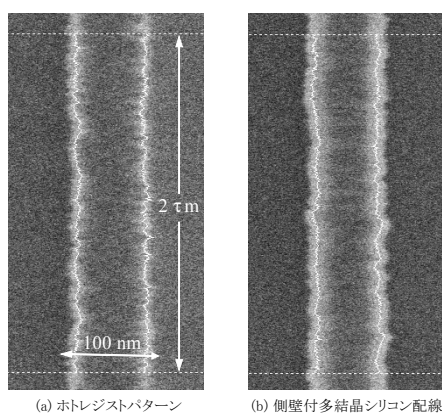
- ・ SSBL 法を大規模(サンプル数: 4,194,304 個)SRAM FBC 計算に適用し、DC 解析(SNM)及び過渡解析(READ)で使用可能であることを確認した。
- ・ 6トランジスタ-SRAM において 6トランジスタの各しきい値電圧をばらつかせた例で、DC 解析(SNM)で最大 1500 倍程度の高速化が得られた。
- ・ 高速化による精度劣化は無視できるレベル(誤差 2%以下)であった。
- ・ 実測に対する SSBL 法の誤差は 3%以下であり、高精度な計算結果が得られた。
- ・ 不良サンプルは 2 種類に分類でき、いずれも SRAM セル内トランジスタのうち感度の高いもののしきい値電圧が大きくばらついていることを明らかにした。

3-5. LER/LWR の高精度モデリング

3-5-1. LER/LWR 高精度解析技術の開発

[1] 離散スペクトルに対する解析式の導出

III-2-I-③-(1)図 3-5-1 に示すように、デバイスの輪郭を微視的に観察すると、直線として設計した形状が不規則に波打っている。この現象はラインエッジラフネス(LER: Line Edge Roughness)として知られ、ラインウイドスラフネス(LWR: Line Width Roughness)と呼ばれる不規則な寸法変動をもたらす。このため、デバイス間で寸法に分布が生じ、その結果デバイス特性にばらつきが生ずる。LWR に起因したこのようなばらつきをモデリングするには、実際の LWR を正確に把握することが不可欠である。



III-2-I-③-(1)図 3-5-1 LER を示す SEM 像。画像解析ソフトウェアにより検出したパターン端を白線により示す。25 画素を移動平均している。倍率は縦横で異なる。

LWR はブラウン運動と同様に確率過程と呼ばれ、統計物理学の一分野を構成する。この確率過程を解析する上で、スペクトル(power spectral density, PSD)を調べるのが効果的である。実際の解析においては先ず測定した寸法を用いてスペクトルを求め、理論計算によるスペクトルがこれと一致するように計算に用いる LWR パラメータを最適化する。このパラメータの値が解析結果となる。従来は理論計算において以下に示す連続スペクトル $I(k)$

$$I(k) = \xi \text{var}(w) / \{ \pi [1 + (k\xi)^2] \} \quad (3-5-1)$$

が用いられていた。ここで、 ξ と $\text{var}(w)$ は LWR の相関距離と分散、 k は波数である。しかしながら、寸法データから求めたスペクトルが離散的であるので、例え計算に正しいパラメータ (ξ と $\text{var}(w)$) を用いたとしても両者が完全に一致することはなく正確な解析を行うことが困難であった。今回、離散スペクトル I_τ ($\tau = 0, 1, \dots, N-1$) に対する解析式、

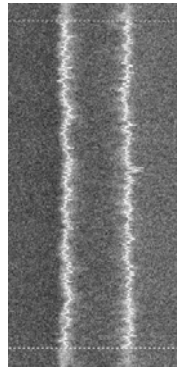
$$I_{\tau} = \text{var}(w) \frac{\Delta y}{2\pi} \left\{ 1 + \frac{2}{N} \text{Re} \left[\frac{z_{\tau}}{1 - z_{\tau}} \left(N - 1 - \frac{z_{\tau} - z_{\tau}^N}{1 - z_{\tau}} \right) \right] \right\} \quad (3-5-2)$$

を新たに見出した。ここで、 Δy は寸法測定の間隔、 N はパターン1個当りの寸法測定数、 $z_{\tau} \equiv \exp[i(2\pi/N)\tau - \Delta y/\xi]$ である。

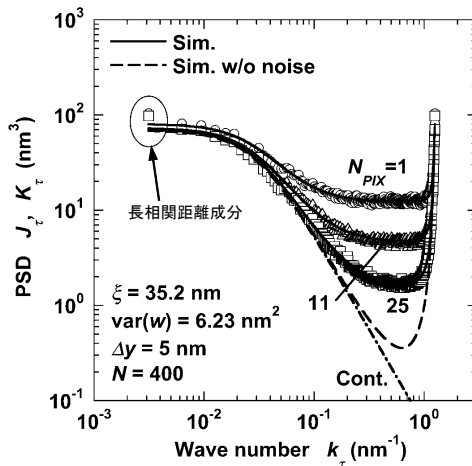
実際にスペクトルを解析する際には、離散的であること以外に寸法測定に用いる走査型電子顕微鏡 (CD-SEM) の画像に含まれる雑音の影響を考慮する必要がある。これは、III-2-I-③-(1)図 3-5-2 に示すようにパターンの端を認識する際に雑音が障害となり読み取った寸法に誤差が生じ、その結果 LWR が増長されるためである。この問題に対しては、上記 (2) 式に対して雑音の影響を表す定数項を加え、

$$K_{\tau} = I_{\tau} + \frac{\Delta y}{2\pi} \text{var}(\varphi) \quad (3-5-3)$$

によりスペクトル K_{τ} を計算すればよいことを明らかにした。ここで、 $\text{var}(\varphi)$ は上記雑音に起因した LWR の分散である。III-2-I-③-(1)図 3-5-3 に示すように、雑音の影響が種々異なる場合においても III-2-I-③-(1)図 3-5-1(a) に示したホトレジストパターンを測定して得たスペクトル J_{τ} (プロット) と (3-5-3) 式により計算した K_{τ} (実線、Sim.) とはほぼ完全に一致する。これにより (3-5-2) 式と (3-5-3) 式の有効性が分る。また、ホトレジストパターンの LWR の相関距離が具体的に 35nm であることを明らかにした。ちなみに、III-2-I-③-(1)図 3-5-3 には上記 (3-5-1) 式を用いて計算した連続スペクトルの結果 (一点鎖線、Cont.) も示したが、実測結果から大きく乖離するために解析に適さないという知見を得た。



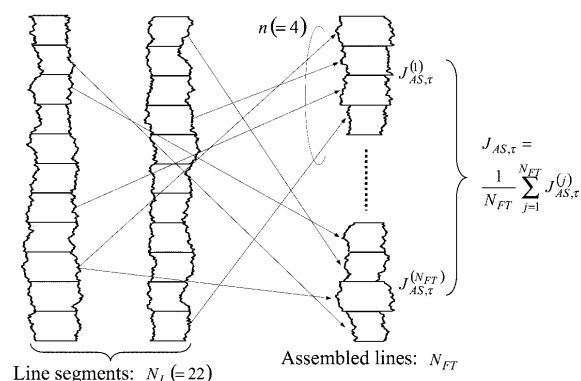
III-2-I- (1)図 3-5-2 LER を示す SEM 像。画像解析ソフトウェアにより検出したパターン端を白線により示す。25 画素を移動平均している。倍率は縦横で異なる。



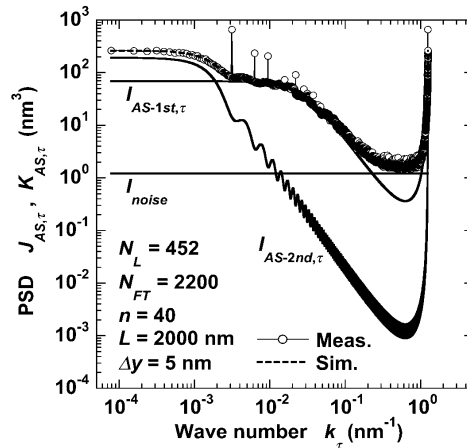
III-2-I- (1)図 3-5-3 離散スペクトル式によるホトレジスト LWR スペクトルの解析 N_{PIX} は移動平均した画素数であり、大きいほど画像雑音成分が小さい。 $N_{PIX} = 1$ と 25 の結果はそれぞれ III-2-I- (1)図 3-5-2 と III-2-I- (1)図 3-5-1(a)の LWR に対応する。

[2]長相関距離成分の解析に向けたアセンブリ法の開発

LWRを実際に解析する過程において、上記した相関距離35nmの成分以外にこれよりもはるかに長い相関距離を有する成分が存在する兆候を見出した。上記 III-2-I-③-(1)図 3-5-3 において丸で囲んだ部分がそうである。同成分を解析するためには相関距離よりもはるかに長い領域を連続的に測定することが必要であるが、産業上利用可能な CD-SEM の性能はこの要求にはるか及ばない。そこで、日立製作所の山口氏等が先に開発したパッチワーク法を参考に、アセンブリ法と呼ぶ解析技術を新たに開発した。III-2-I-③-(1)図 3-5-4 に示すように、本技術においてはまず測定対象の部位を無作為に選び従来の CD-SEM を用いて寸法測定を行う。これを多数回反復した結果を寄せ集め、あたかも連続的に測定したかのようにデータを結合する。結合に際しては、実際の空間的位置と関係なく無作為に並べることが肝要である。このようにして作成した仮想的 LWR のスペクトルも、 $z_\tau \equiv \exp[i[2\pi/(nN)]\tau - \Delta y/\xi]$ とすることにより上記(3-5-2)式と(3-5-3)式により計算できることを明らかにした。III-2-I-③-(1)図 3-5-5 に示すように、これら解析式を用い LWR パラメータを最適化して計算した結果(破線)も、上記 III-2-I-③-(1)図 3-5-1(a)に示した試料のアセンブリ法によるスペクトル(細い折線がつなぐ白丸)と良く一致した。これにより、ホトレジストパターンには上記した相関距離 35nm の LWR 成分以外に 2870nm もの長い相関距離を有する成分が混在することを明らかにした。なお、実測に基づくスペクトルには鋭いピークが周期的に存在するが、これが寸法測定の結果に共通して含まれる非確率的寸法変動に起因することも合わせて解明した。



III-2-I- (1)図 3-5-4 アセンブリ法の概略図



III-2-I- (1)図 3-5-5 アセンブリ法による長相関距離 LWR 成分の解析。上記図3で用いた 452 組の測定結果から 40 組を無作為に抽出し連結する操作を 2200 回反復した。太い実線は破線を構成する 3 成分を表す。

[3]高精度解析のための指針作成

上記技術を用いて解析を行う上で最も障害となるのは、測定した寸法のスペクトルが雑音の影響により変形していることである。このような雑音には統計的雑音と画像雑音の二種類がある。統計物理学によると、測定結果を用いてスペクトルを求める作業を無限回繰り返しその結果を平均することによってのみ正しいスペクトルを得ることができる。これが現実的でないのは明らかであり、実際の反復は有限回 (N_{FT}) に留まる。このため、III-2-I-③-(1)図 3-5-6 に示すように、得られたスペクトルにはジャギーとも呼ばれる鋸歯状の変動が生ずる。これが統計的雑音であり N_{FT} が大きい程小さくなるが、実用上は N_{FT} を最小に留めたい。他方、上記(3-5-3)式から明らかのように、CD-SEM の画像雑音によってもスペクトルは変形しその影響の程度は寸法測定条件 (Δy) にも依存する。このため、これら雑音に起因して生ずる解析誤差 η を、雑音強度のみならず寸法測定条件等の関数として明らかにしておくことが課題となった。このような状況の下でのモンテカルロ計算を多用することにより、 η に対する下記近似式、

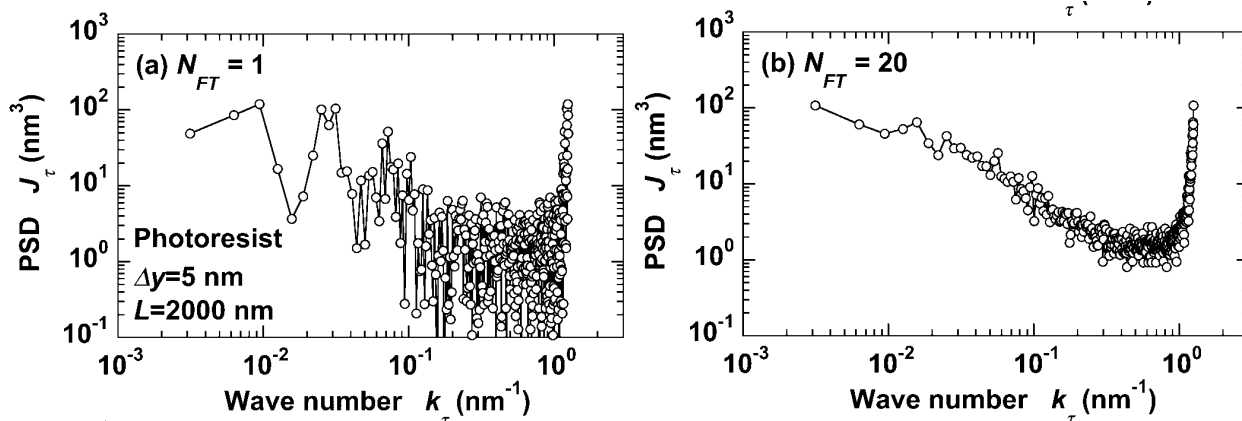
$$\eta = B N_{ALL}^{-3/4} (\Delta y / \xi)^{-3/8} [1 + g(R, \Delta y / \xi, \gamma)] \quad (3-5-4)$$

$$g(R, \Delta y / \xi, \gamma) \equiv 0.35 R^{1/2} + 0.5 \exp(2.1 \Delta y / \xi) [R - h(\Delta y / \xi, \gamma)]^{3/4} H(R - h(\Delta y / \xi, \gamma)) \quad (3-5-5)$$

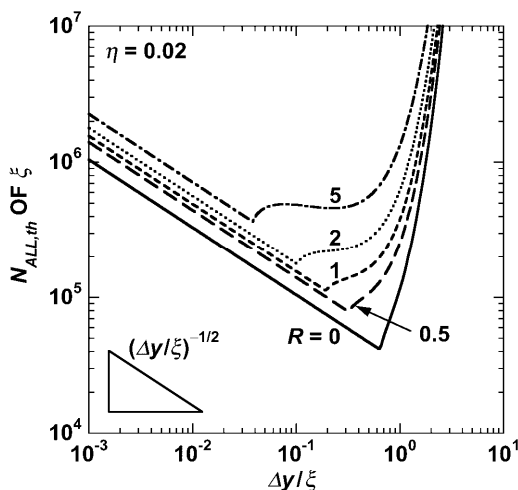
$$h(\Delta y / \xi, \gamma) \equiv [f(z_0) - \gamma f(-z_0)] / (\gamma - 1) \quad (3-5-6)$$

$$f(z) \equiv 1 + \frac{2}{N} \operatorname{Re} \left[\frac{z}{1-z} \left(N - 1 - \frac{z - z^N}{1-z} \right) \right] \quad (3-5-7)$$

を見出すに至った。ここで $B=49$ 、 $N_{ALL}=N_L N$ 、 $R \equiv \operatorname{var}(\phi) / \operatorname{var}(w)$ 、 $H(x)$ はヘビサイド (Heaviside) 関数、 $z_0 = \exp(-\Delta y / \xi)$ 、 $\gamma=1$ である。実際に解析を行う際の参考とするために、解析誤差を 2% ($\eta=0.02$) 以下とするのに必要な N_{ALL} の値 N_{ALLth} を(3-5-4)式により計算した結果を III-2-I-③-(1)図 3-5-7 に示す。



III-2-I- (1)図 3-5-6 統計的雑音によるスペクトルの変形。(a)と(b)におけるスペクトルの平均回数は各々1回(無平均)と20回である。上記 III-2-I- (1)図 3-5-3 における NPIX = 25 の結果は 452 回平均したものである。



III-2-I- (1)図 3-5-7 解析誤差を 2%以下とするのに必要な総データ数

3-5-2. 実パターン解析結果に基づく LER/LWR モデル

[1]実パターンにおける LWR のスペクトル

III-2-I-③-(1)図 3-5-1 (b)に示すように、完成したパターンの LWR は、製造の過程においてプラズマエッチング等の工程により平滑化されるので III-2-I-③-(1)図 3-5-1(a)に示すレジストの LWR とは異なる。このため、デバイスばらつきを正確に推定するには、完成パターンの LWR のスペクトルがどのようなものになっているかを解明しモデル化することが必要である。従来のデバイスシミュレーションにおいてはガウス関数型のスペクトル、

$$I_{Gauss}(k) = \text{var}(w) \frac{\xi}{2\sqrt{\pi}} \exp\left[-(k\xi/2)^2\right] \quad (3-5-8)$$

を用いることが多かった。しかし、同スペクトルには上記した製造過程が反映されていないために、実際にそぐ

われないことが懸念された。この問題を解消するために、今回新しいスペクトル式として、

$$I_{sm}(k) = \Gamma(kd) I(k) \quad (3-5-9)$$

を導出した。ここで、 $I(k)$ は上記(1)式により与えられ、 $\Gamma(kd)$ は平滑化によるスペクトルの変形を表し次式にて定義される。

$$\Gamma(kd) \equiv 1/[1 + (kd)^2]^2 \quad (3-5-10)$$

d は平滑化作用が及ぶ物理空間的範囲を表す定数である。

[2]実パターンにおける LWR パラメータの推定

ばらつきの推定を行うには、上記(3-5-9)式に含まれる LWR パラメータ (ξ , $\text{var}(w)$, d) の値を実際のパターンに即して決定しておく必要がある。このため、上記 3-5-1[1]と同様、測定した寸法から求めたスペクトルを計算結果と比較することとなるので、上記連続スペクトルに対応する離散スペクトルが必要となる。この課題も、上記(3-5-9)式に対応する離散スペクトル $I_{sm,\tau}$ の解析式、

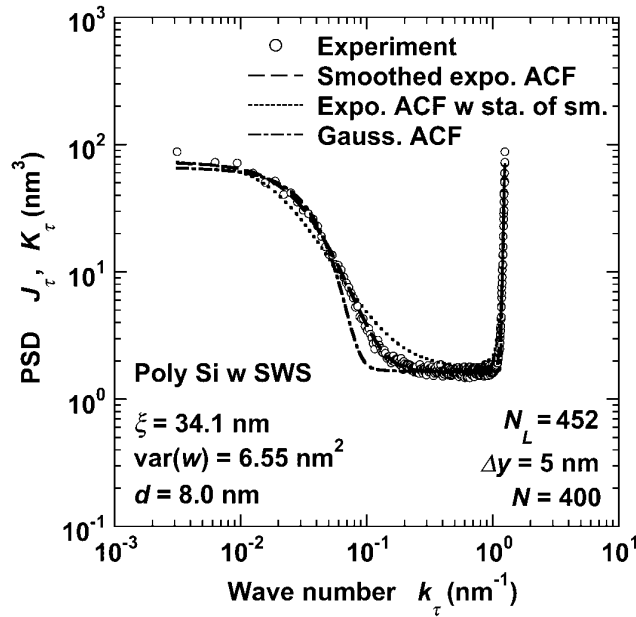
$$I_{sm,\tau} = \xi \text{var}(w) \frac{\Delta y}{2\pi} \frac{1}{2} \left\{ (C_1 + C_2) f[z_\tau(1)] + (C_1 - C_2) f[z_\tau(1/\hat{d})] - C_3 \frac{\Delta y}{\hat{d}} \psi[z_\tau(1/\hat{d})] \right\} \quad (3-5-11)$$

$$C_1 \equiv (1 + \hat{d}/2)/(1 + \hat{d})^2, \quad C_2 \equiv (1 - \hat{d}/2)/(1 - \hat{d})^2, \quad C_3 \equiv \hat{d}/(1 - \hat{d}^2) \quad (3-5-12)$$

$$\psi(z) \equiv 2 \left(1 - \frac{1}{N} \right) \text{Re} \left[\frac{z}{(1-z)^2} \left(1 - \frac{2}{N-1} \frac{z-z^N}{1-z} + z^N \right) \right] \quad (3-5-13)$$

を見出すことにより解決した。ここで $\Delta y \equiv \Delta y/\xi$, $z_d(\alpha) \equiv \exp[i(2\pi/N)\tau - \alpha\Delta y]$, $\hat{d} \equiv d/\xi$ である。なお、(3-5-11)式における $f(z)$ は(3-5-7)式によるものと同一である。

III-2-I-③-(1)図 3-5-8 に示すように、側壁スペーサの付いた多結晶シリコン配線の LWR スペクトルを上記(3-5-11)式を用いて計算した結果は寸法測定に基づく結果とほぼ完璧に一致する。これにより、同 LWR の ξ , $\text{var}(w)$, d が 6.6nm^2 , 34nm , 8.0nm であることを明らかにした。これら ξ , $\text{var}(w)$ の値は III-2-I-③-(1)図 3-5-3 の値にほぼ等しい。このことは上記側壁付多結晶シリコン配線の LWR がホトレジストの LWR を 8nm 程度の範囲で平滑化したものとなっていることを示しており、実際の工程に即した妥当な結果となっている。同図には、従来シミュレーションに用いられてきた(3-5-1)式と(3-5-8)式により計算した結果も比較して示す。これら結果は実測結果と乖離しており、これらモデルを用いて LWR パラメータを正確に推定することが困難であるという知見を得た。



III-2-I- (1)図3-5-8 側壁スペーサ付多結晶シリコン配線に対するLWRモデルの比較。前記III-2-I- (1)図3-5-1(b)のLWRに対応する。

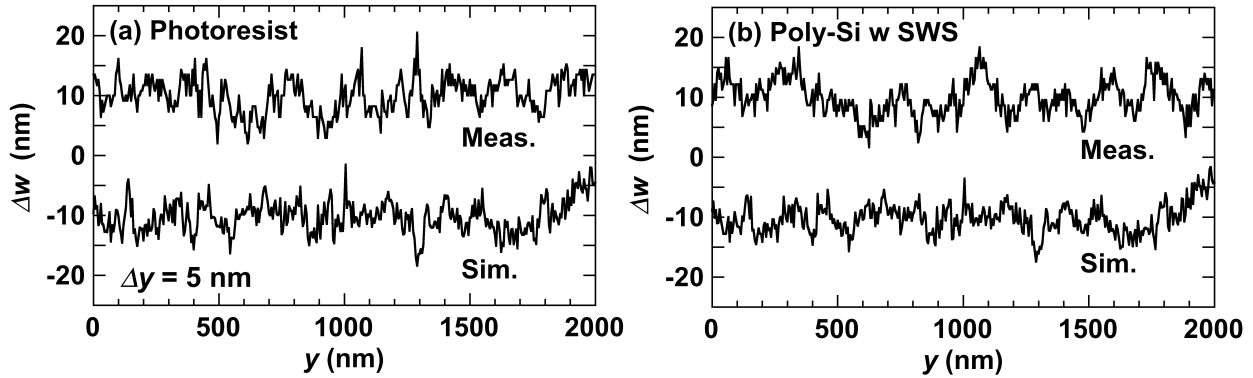
[3]LWRのシミュレーション

上記方法によりLWRのスペクトルを決定すれば、これを用い以下の手順によりLWRをシミュレーションすることが可能となる。まず、フーリエ係数の絶対値 $|a_d|$ を、

$$|a_\tau| = [(2\pi/\Delta y)K_\tau]^{1/2} \quad (3-5-14)$$

により決定する。ここで K_τ は離散スペクトルであるが、多くの場合、(3)式における I_τ に代えて連続スペクトル $I(k)$ を用い $I(k_\tau)$ としても問題ない。なお、 $k_\tau = (2\pi/N)\tau$ である。上記絶対値に対して乱数を用い位相 θ を付加することによりフーリエ係数 $a_\tau = |a_d|e^{i\theta}$ を求める。これを逆フーリエ変換することによりLWRを得る。

上記III-2-I- (1)図3-5-1に示した二つの試料のLWRをこのようにしてシミュレーションした結果をIII-2-I- (1)図3-5-9の(a)と(b)にそれぞれ示す。ここで、 I_τ には(9)式の $I_{sm}(k_\tau)$ を用いた。LWRは本質的に不規則な現象であるので実測したLWR(各部分図における上段の実線)と計算したLWR(同下段の実線)が完全に一致することはありえないが、寸法変動の振幅と細かさは両者でほぼ一致しており、本開発で用いたシミュレーション精度の高く、その有用性を示した。



III-2-I- (1)図 3-5-9 LWR のシミュレーション。(a)と(b)の上段は図1の(a)と(b)の結果を、下段はこれらに対するシミュレーション結果を示す。

[4]電流因子ばらつきの解析

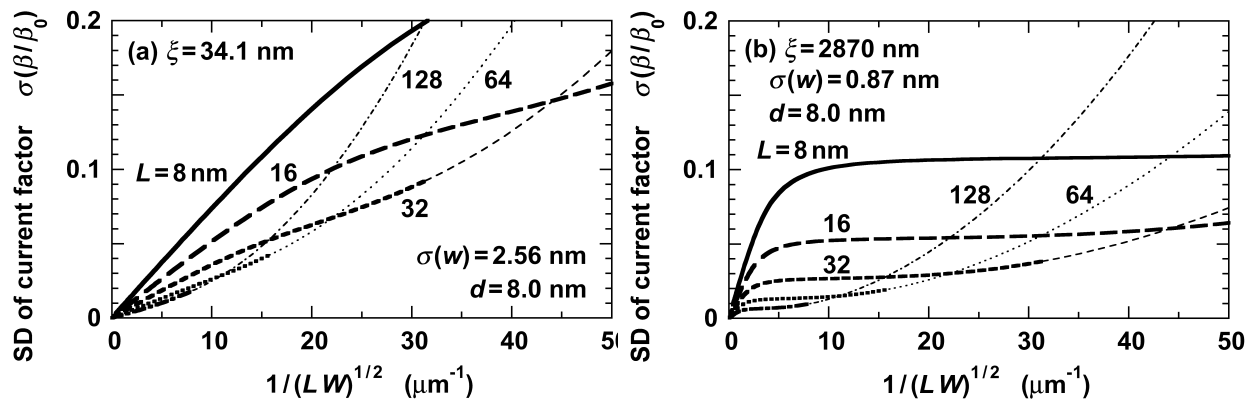
実パターンにおいて LWR により電流因子 $\beta = C_G \mu \cdot W/L$ に生ずるばらつき(分散 $\text{var}(\beta/\beta_0)$)が次式、

$$\text{var}\left(\frac{\beta}{\beta_0}\right) = \frac{\text{var}(w)}{LW} \int_{-\infty}^{\infty} d\hat{k} \left[\frac{\Theta(\hat{k}L)}{\alpha} + \alpha \Theta(\hat{k}W) \right] \hat{I}_{sm}(\hat{k}) \quad (3-5-15)$$

$$\Theta(x) = \sin^2(x/2)/(x/2)^2 \quad (3-5-15)$$

$$\hat{I}_{sm}(\hat{k}) \equiv \Gamma(\hat{k}d) \frac{1}{\pi(1+\hat{k}^2)} \quad (3-5-17)$$

により計算できることを明らかにした。ここで、 β_0 は β の平均値、 L と W はそれぞれチャンネル長とチャンネル幅であり、 $\alpha \equiv W/L$ とした。また、 C_G と μ はそれぞれゲート容量とキャリア移動度である。なお、 $\hat{I}_{sm}(\hat{k})$ は上記 $I_{sm}(k)$ を規格化したものである。III-2-I- (1)図 3-5-10 に、上記 III-2-I- (1)図 3-5-8 に示した試料の LWR および III-2-I- (1)図 3-5-6 に示した試料の長相関距離成分について計算した結果を標準偏差にしてそれぞれ(a)と(b)に示す。16nm ノード以降になると、電流因子が短相関距離成分により 10%以上、長相関距離成分によっても 5%以上変動することが分る。特に、長相関距離成分の影響に関しては、チャンネル幅の大きいデバイスにおいても小さいものとはほぼ同程度のばらつきの生ずる点に注意が必要である。この長相関距離成分は本開発により初めてその存在が明らかになったものであり、現状においても寸法の大きいデバイスに想定外のばらつきをもたらしている可能性を明らかにした。



III-2-I- (1)図 3-5-10 チャンネル長が一定の場合における電流因子ばらつきの推定結果。(a)と(b)は各々短相関距離成分と長相関距離成分の結果、両図における太線は実用的である $L \leq W$ の結果を示す。

4)-1 デバイス電気特性のリバースプロファイリングに基づくコンパクトトランジスタモデル

4)-1-1 開発の目的

本開発は、TEG の実測データを元にコンパクトトランジスタモデル HiSIM-RP を使用してトランジスタのリバースプロファイリングを行い、その結果から不純物濃度揺らぎに起因するランダムばらつき成分の推定や、不純物濃度揺らぎに起因したばらつき成分を除去した後の各種ばらつき成分の推定、ならびに製造プロセスが変更された場合の、ばらつきも含めた特性変動の予測を行うものである。また、本コンパクトトランジスタモデルを回路技術との境界領域における耐ばらつき基盤技術として展開し、トランジスタのばらつきに関する情報を、統計的 SPICE モデル等を媒介として、回路技術側に受け渡すための道筋をつけることも視野に入れている。

この目的を実現するために、既に MIRAI プロジェクト第三期前半において、HiSIM-RP の基本モデルの開発を実施している。この HiSIM-RP の基本モデルは、リバースプロファイリングに使用することを前提として、実際のデバイス構造や不純物プロファイルのみを入力としており、非物理的なフィッティングパラメータを一切使用していない、同一の不純物プロファイルに対して TCAD 比 $\pm 20\text{mV}$ の精度、かつ TCAD 比 1000 倍強の速度で V_{th} を計算することが可能、という特長を有している。この HiSIM-RP の基本モデルを使用してトランジスタの V_{th} - L - V_{bs} - V_{ds} 特性への合わせ込みを行なうことにより、トランジスタのチャネル不純物プロファイルを、深さ方向には任意の関数で近似し、チャネル方向には Box 近似で平均化したプロファイルとしてリバースプロファイリングが可能である。

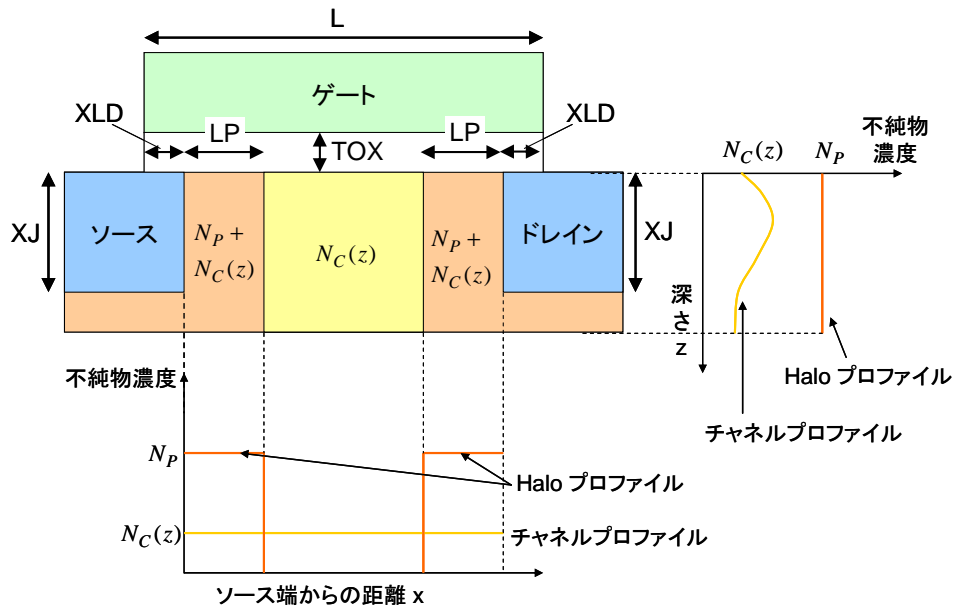
これらの成果を踏まえ、MIRAI プロジェクト第三期後半では、HiSIM-RP の基本モデルを更に発展させて、 V_{th} のみならず I-V 特性の計算も可能にし、非物理的なフィッティングパラメータを一切使用しないコンパクトトランジスタモデルとして完成させる、リバースプロファイリングの結果に基づいたばらつき解析用のアプリケーション技術を開発し、小変更プロセスに対する高速なばらつき予測を可能にすると共に、更にばらつき成分の分離や統計 SPICE モデル作成のための基礎情報を提供する手段を提供することを開発の目的とした。

最終目標として、標準的な hp32nm~hp350nm のバルク CMOS プロセスに対して、HiSIM-RP での V_{th} の予測精度 $\pm 20\text{mV}$ 、 I_{on} の予測精度 $\pm 5\%$ を実現することとした。

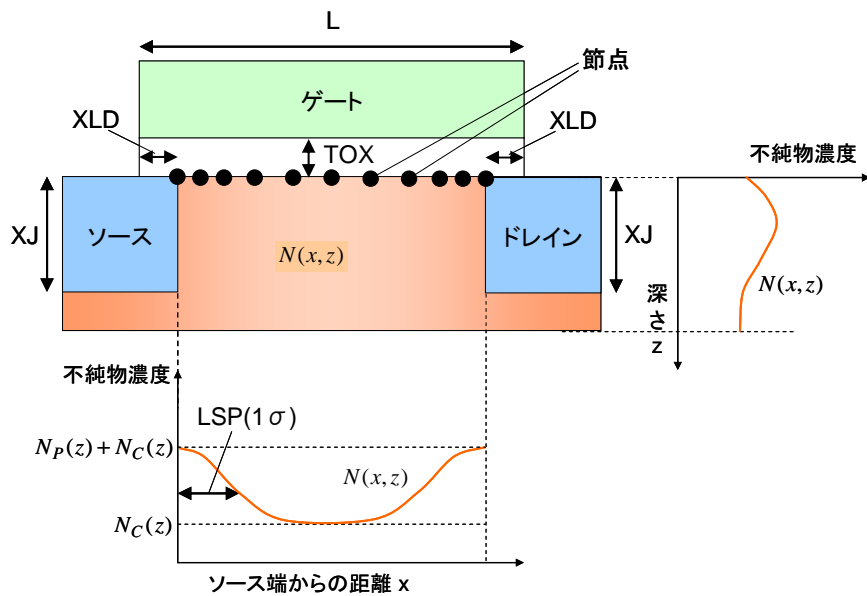
4)-1-2 HiSIM-RP の概要

トランジスタの電気特性から内部の不純物濃度プロファイルを高速・高精度に抽出するためのリバースプロファイリング専用コンパクトトランジスタモデル HiSIM-RP を完成させた。

MIRAI プロジェクト第三期前半において開発した HiSIM-RP [Ⅲ-2- I -③-(1)-文献 4)-1-1] (以下、旧版 HiSIM-RP と呼称)ではサブスレッショルド領域におけるドレイン電流計算機能のみであったが、完成した HiSIM-RP ではリバースプロファイリングを行なったチャネル不純物濃度プロファイルを元に全バイアス領域において I-V 計算を行うことが可能となっている。全バイアス領域において I-V 計算を行うためには、より正確な表面ポテンシャルを計算することが必要となったため、旧版 HiSIM-RP では Ⅲ-2- I -③-(1)-図 4)-1-2-1 の様にチャネルを3分割して表面ポテンシャルを計算するモデルであったものを、完成した HiSIM-RP ではチャネル表面を離散化して数十点の節点をチャネル長に応じて適切な間隔で発生させ(Ⅲ-2- I -③-(1)-図 4)-1-2-2)、各節点の表面ポテンシャルを隣接する節点との相互作用を考慮して求めるモデルに改良した。また、この改良により抽出するチャネル不純物濃度プロファイルの形状についても、実際のトランジスタ内のチャネル不純物濃度プロファイルにより近いものが得られるようになった。



III-2-I-③-(1)-図 4)-1-2-1. 旧版 HiSIM-RP のトランジスタ構造と不純物濃度プロファイル



III-2-I-③-(1)-図 4)-1-2-2. 完成した HiSIM-RP のトランジスタ構造と不純物濃度プロファイル

ただし、離散化するのはチャンネル表面のソース・ドレイン間のみであり一次元であることから解くべきマトリックスは非常にコンパクトであり、二次元 三次元に離散化を行う TCAD シミュレータに比べて 1,000~10,000 倍高速に計算を行うことが可能であり、リアルタイムでリバースプロファイリングを行うに十分な能力を有している。

また、完成した HiSIM-RP においても、不純物濃度プロファイルを表すモデルパラメータとトランジスタ形状を表すパラメータを基本とし非物理的なフィッティングパラメータを含まないという特徴も引き続き維持している。そのため、リバースプロファイリングやプロセス変動による特性変動の予測、不純物ばらつきによる特性変動の予測を行うことが可能である。さらに、完成した HiSIM-RP はモンテカルロ計算機能を有し、リバースプロファイリングを行なったチャンネル不純物濃度プロファイルに応じたランダ

ムな不純物ばらつきやチャンネル長ばらつきなどのプロセスばらつきを発生させ、しきい値電圧やドレイン電流などの電気特性のばらつきを計算することが可能である。

これらの機能は、UCB の回路シミュレータの spice3、Silvaco 社の市販の回路シミュレータ smartspice やパラメータ抽出ソフト UTMOST-4、および MIRAI プロジェクト第三期後半において新たに開発した Microsoft Excel 上で動作するアプリケーション「Excel 版 HiSIM-RP」で使用可能となっている。これらのソフトウェアを使用してプロセス・デバイス・回路技術者が、リバースプロファイリングやプロセス変動による特性変動の予測、不純物ばらつきによる特性変動の予測を行うことが可能である。

また、上記の HiSIM-RP の特徴を BSIM4 などのコンパクトモデルや TCAD を比較した結果を III-2-I-③-(1)-表 4)-1-2-1 に示す。

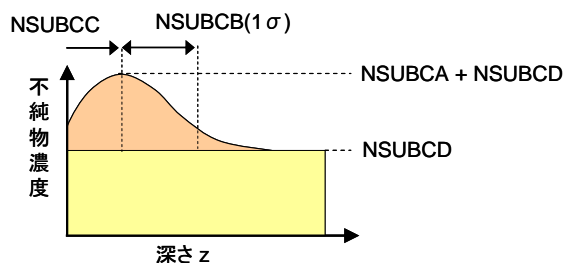
III-2-I-③-(1)-表 4)-1-2-1. コンパクトモデル、TCAD と HiSIM-RP の比較

	コンパクトモデル	TCAD	HiSIM-RP
フィッティングパラメータ	有	無	無
計算速度	非常に高速 (10)	非常に遅い (<0.001)	高速 (1)
適用可能な回路サイズ	大規模回路	数個の素子	小規模回路
プロセス変動による特性変動の予測	×	○	○
不純物ばらつきによる特性変動の予測	×	○	○
不純物濃度のリバースプロファイリングへの適用	×	×	○

今回開発した HiSIM-RP の基本モデルの内容は、プロセスデバイスシミュレーションに関する国際学会 SISPAD にて発表済みである[III-2-I-③-(1)-文献 4)-1-2]。

4)-1-3 チャンネル不純物濃度プロファイルのモデリングと I-V 計算 深さ方向チャンネル不純物濃度プロファイルのモデル化

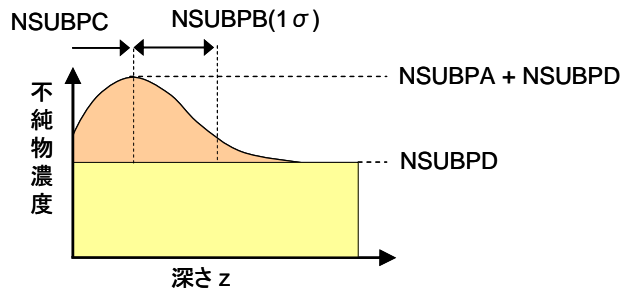
チャンネル不純物の深さ方向不純物濃度プロファイルについては、MIRAI プロジェクト第三期前半に開発したモデルを引き続き採用している。一例として、ガウス分布を想定した場合の深さ方向不純物濃度プロファイルのモデルパラメータを III-2-I-③-(1)-図 4)-1-3-1 に示す。



$$N_C(z) = NSUBCA \cdot \exp\left(-\frac{1}{2} \left(\frac{z - NSUBCB}{NSUBCC}\right)^2\right) + NSUBCD$$

III-2-I-③-(1)-図 4)-1-3-1. HiSIM-RP の深さ方向チャンネル不純物濃度プロファイル

Halo 注入に対しても、Ⅲ-2-I-③-(1)-図 4)-1-3-2 に示す同様のモデルパラメータが用意されており、次に述べる横方向チャンネル不純物濃度プロファイルのモデルパラメータにより、重み付けされて各節点の不純物濃度プロファイルが与えられる。



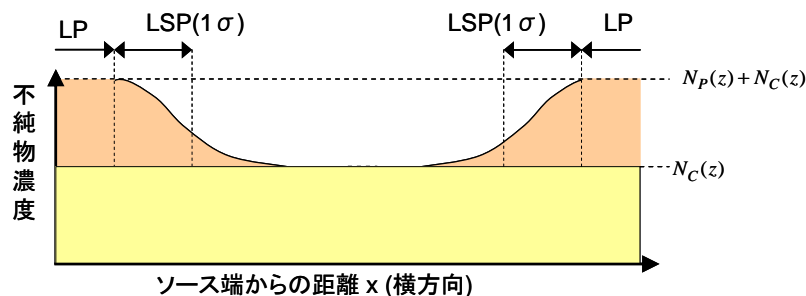
$$N_p(z) = \text{NSUBPA} \cdot \exp\left(-\frac{1}{2}\left(\frac{z - \text{NSUBBPB}}{\text{NSUBPC}}\right)^2\right) + \text{NSUBPD}$$

Ⅲ-2-I-③-(1)-図 4)-1-3-2. Halo 注入に対する深さ方向チャンネル不純物濃度プロファイル

横方向チャンネル不純物濃度プロファイルのモデル化

Halo 注入を含む横方向チャンネル不純物濃度プロファイルのモデルに関しては、全面的に改良を行った。MIRAI プロジェクト第三期前半に開発したモデルではチャンネルをソースおよびドレイン近傍の Halo 領域と中央部の領域に3分割していたが、実際のトランジスタではチャンネル内の不純物濃度は連続して変化しており、行き過ぎた簡略化となっていた。改良された HISIM-RP では、チャンネル表面に数十点の節点をチャンネル長に応じて適切な間隔で発生させ各節点に深さ方向の不純物濃度プロファイルを設定することとした。これにより、チャンネル内の不純物濃度は連続して変化するようになり実際のトランジスタ内のチャンネル不純物濃度プロファイルにより近いものとなった。ただし、TCAD のように各節点に独立した不純物濃度プロファイルを与えると系の自由度が大きくなり過ぎて不純物濃度プロファイルの決定が困難になる。そのため、横方向プロファイルを表現するためのモデルパラメータは 1～3 個程度とした。

Ⅲ-2-I-③-(1)-図 4)-1-3-3 は横方向プロファイルとしてガウス分布を仮定した場合のモデルパラメータである。LP は前期の HiSIM-RP との互換用のパラメータであり、典型的には標準偏差 LSP のみをモデルパラメータとして使用する。



$$N(x, z) = N_P(z) + r_{ps}(x) \cdot N_P(z) + r_{pd}(x) \cdot N_P(z)$$

$N_C(z)$: チャンネル全面の深さ方向不純物プロファイル

$N_P(z)$: Halo 注入の深さ方向不純物プロファイル

$r_{ps}(x)$: ソース側 Halo 注入の横方向分布(重み付け)

$r_{pd}(x)$: ドレイン側 Halo 注入横方向分布(重み付け)

$x < LP$:

$$r_{ps}(x) = 1$$

$x \geq LP$:

$$r_{ps}(x) = \exp\left(-\frac{1}{2}\left(\frac{x-LP}{LSP}\right)^2\right)$$

$L_{eff} - x < LP$:

$$r_{pd}(x) = 1$$

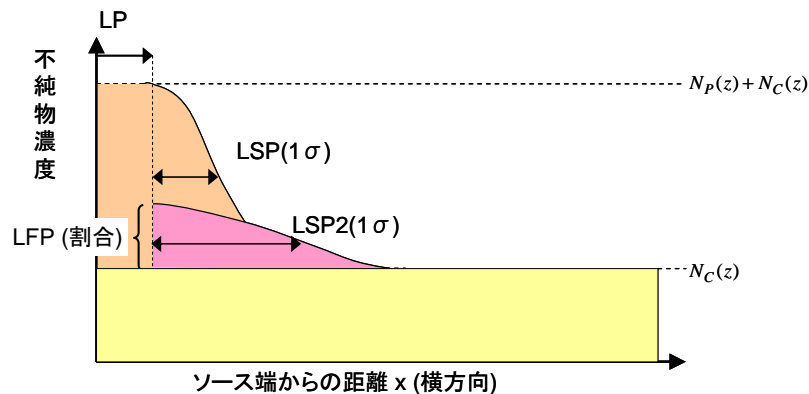
$L_{eff} - x \geq LP$:

$$r_{pd}(x) = \exp\left(-\frac{1}{2}\left(\frac{L_{eff}-x-LP}{LSP}\right)^2\right)$$

$$L_{eff} = L - 2 \times XLD$$

III-2-I-③-(1)-図 4)-1-3-3. HiSIM-RP の横方向チャンネル不純物濃度プロファイル

また、Halo 注入時に一部の不純物がチャンネル内部までテールを引く現象が観測されている。この現象に対応するために、テール部分の割合を表すモデルパラメータ LFP、およびテール部分の標準偏差を表すモデルパラメータ LSP2 も使用可能とした。この場合は、III-2-I-③-(1)-図 4)-1-3-4 の様になり、横方向不純物濃度プロファイルのためのモデルパラメータの数は 3 個となる。



$x < \text{LP}:$

$$r_{ps}(x) = 1$$

$x \geq \text{LP}:$

$$r_{ps}(x) = (1 - \text{LFP}) \cdot \exp\left(-\frac{1}{2}\left(\frac{x - \text{LP}}{\text{LSP}}\right)^2\right) + \text{LFP} \cdot \exp\left(-\frac{1}{2}\left(\frac{x - \text{LP}}{\text{LSP2}}\right)^2\right)$$

$L_{\text{eff}} - x < \text{LP}:$

$$r_{pd}(x) = 1$$

$L_{\text{eff}} - x \geq \text{LP}:$

$$r_{pd}(x) = (1 - \text{LFP}) \cdot \exp\left(-\frac{1}{2}\left(\frac{L_{\text{eff}} - x - \text{LP}}{\text{LSP}}\right)^2\right) + \text{LFP} \cdot \exp\left(-\frac{1}{2}\left(\frac{L_{\text{eff}} - x - \text{LP}}{\text{LSP2}}\right)^2\right)$$

III-2-I-③-(1)-図 4)-1-3-4. Halo のテールを考慮した場合の
横方向チャネル不純物濃度プロファイル

擬二次元ポアソン方程式

HiSIM-RP では、元となった HiSIM2 [III-2-I-③-(1)-文献 4)-1-3] と同様に表面ポテンシャルを基本物理量としてトランジスタの電気特性を計算する。HiSIM2 ではソース端とドレイン端の二点のみの表面ポテンシャルから電気特性の計算を行うが、HiSIM-RP ではチャネル表面に発生させた各節点の表面ポテンシャルを求めて電気特性を計算することでより正確に電気特性を計算可能になった。ただし、TCAD の様に二次元や三次元の相互作用を含むポテンシャルの値を一度に解こうとすると解くべきマトリックスが非常に大きくなり計算時間が多大になってしまう。そのため、HiSIM-RP では二つのステップで表面ポテンシャルを計算することとし、TCAD と比較して計算時間を劇的に減少させることに成功した。

以下に、その二つのステップについて説明する。

まず、一番目のステップでは、MIRAI プロジェクト第三期前半に開発された技術を用いて、各節点に設定された深さ方向の不純物濃度プロファイルを元に、反復法を用いて数値的に各節点の深さ方向一次元ポアソン方程式 III-2-I-③-(1)-式 4)-1-3-1 を解く。

$$C_{ox} \cdot (V_G - V_{FB} - \phi_{s0}) = C \sqrt{\frac{N_{sub}}{N_{sub0}}} \cdot (\beta \cdot (\phi_{s0} - V_B) - 1 + \exp(-\beta \cdot (\phi_{s0} - V_B))) + \exp(\beta \cdot (\phi_{s0} - 2\Phi_B))$$

…III-2-I-③-(1)-式4)-1-3-1

$$C = \sqrt{\frac{2\epsilon_{si}q \cdot N_{sub0}}{\beta}}$$

$$\Phi_B = \frac{1}{\beta} \log\left(\frac{N_{sub0}}{n_i}\right)$$

$$\beta = \frac{q}{k_B T}$$

ここで、 C_{ox} はゲート容量、 V_G はゲート電圧、 V_{FB} はフラットバンド電圧、 V_B は基板電圧、 q は要素電荷、 ϵ_{si} はシリコンの誘電率、 β は Boltzman 因子であり、 N_{sub0} は表面での不純物濃度である。

表面ポテンシャル ϕ_{s0} と実効不純物濃度 N_{sub} は空乏層幅 W_{dep} の関数として不純物濃度プロファイル $N(x, z)$ を深さ方向に積分した形でⅢ-2-I-③-(1)-式4)-1-3-2, Ⅲ-2-I-③-(1)-式4)-1-3-3と定義されている。

$$\phi_{s0} = \frac{q}{\epsilon_{Si}} \int_0^{W_{dep}} z \cdot N(x, z) dz + V_B + \frac{1}{\beta} \quad \dots \text{Ⅲ-2-I-③-(1)-式4)-1-3-2}$$

$$N_{sub} = \frac{\left(\int_0^{W_{dep}} N(x, z) dz \right)^2}{2 \int_0^{W_{dep}} z \cdot N(x, z) dz} \quad \dots \text{Ⅲ-2-I-③-(1)-式4)-1-3-3}$$

空乏層幅 W_{dep} を変数として深さ方向一次元ポアソン方程式 Ⅲ-2-I-③-(1)-式4)-1-3-1 を解くことにより、各節点の表面ポテンシャル ϕ_{s0} と実効不純物濃度 N_{sub} が求まる。その結果、各節点の深さ方向の不純物濃度プロファイルの情報は各節点の実効不純物濃度 N_{sub} として表現される。

次に、二番目のステップで、反復法を用いて数値的に擬二次元ポアソン方程式 Ⅲ-2-I-③-(1)-式4)-1-3-4 を解く。

$$Q_g - Q_i + E = \sqrt{C^2 \frac{N_{sub}}{N_{sub0}} \cdot (\beta \cdot (\phi_s - V_B) - 1 + \exp(-\beta \cdot (\phi_s - V_B))) + E \cdot Q_{b0}} \quad \dots \text{Ⅲ-2-I-③-(1)-式4)-1-3-4}$$

ゲート電荷:

$$Q_g = C_{ox} \cdot (V_G - V_{FB} - \phi_s)$$

キャリア電荷:

$$Q_i = Q_g - \sqrt{Q_g^2 - C^2 \exp(\beta \cdot (\phi_s - \phi_f - 2\Phi_B))}$$

空乏層内の基板電荷の初期値:

$$Q_{b0} = C \sqrt{\frac{N_{sub}}{N_{sub0}} \cdot (\beta \cdot (\phi_{s0} - V_B) - 1 + \exp(-\beta \cdot (\phi_{s0} - V_B)))}$$

横方向電界による電荷の減少分:

$$E = \epsilon_{Si} \cdot W_{dep} \frac{d^2(\phi_s - \Phi_B)}{dx^2} + \Delta E(X_j)$$

擬二次元ポアソン方程式は各節点で設定されるが、 E により隣接する節点との相互作用が導入される。各節点の擬二次元ポアソン方程式は、最初のステップで求めた表面ポテンシャル ϕ_{s0} を初期値として、各節点の表面ポテンシャル ϕ_s と擬フェルミ準位 ϕ_f を変数として、各節点間のドレイン電流 I_D が同じになるように電流連続式と連立させて解かれる。ドレイン電流 I_D は、Ⅲ-2-I-③-(1)-式4)-1-3-5 に従って各節点のキャリア電荷量 Q_i およびキャリアの実効移動度 μ_{eff} 、擬フェルミ準位 ϕ_f の傾きから計算される。

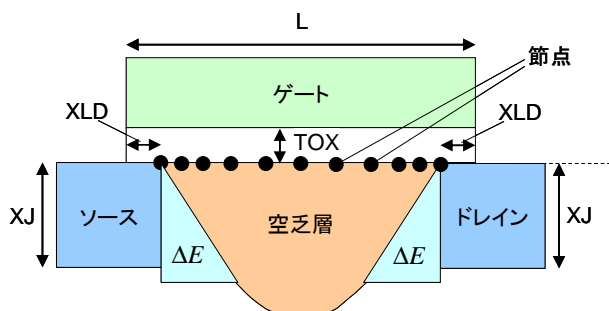
$$I_D = W_{eff} \mu_{eff} Q_i \frac{d\phi_f}{dx} \quad \dots \text{Ⅲ-2-I-③-(1)-式4)-1-3-5}$$

ここで、 W_{eff} は実効ゲート幅である。キャリア電荷量 Q_i は表面ポテンシャルと擬フェルミ準位から計算される。キャリアの実効移動度 μ_{eff} は速度飽和を考慮したキャリアの移動度である。移動度モデルは TCAD と同じモデル [Ⅲ-2-I-③-(1)-文献4)-1-4], [Ⅲ-2-I-③-(1)-文献4)-1-5] を使用しており、不純物濃度やキャリア濃度、実効垂直電界に対してユニバーサルなモデルとなっている。反復法が収束した時点で、各節点の表面ポテンシャル ϕ_s と擬フェルミ準位 ϕ_f が求まり、同時にドレイン電流の値 I_D が求まる。

ポアソン方程式と電流連続式を連立させてポテンシャルを求める方法は、TCAD と同様であり、

HiSIM-RP は TCAD と同様正確にポテンシャルを求めることが可能である。一方で、深さ方向の情報を表面の各節点の実効不純物濃度 N_{sub} として表現することにより、解くべきマトリックスが非常にコンパクトになっており、TCAD に比べて 1,000~10,000 倍高速に計算を行うことが可能となっている。

また、擬二次元ポアソン方程式 III-2-I-③-(1)-式 4)-1-3-4 の中で、 E は横方向電界による基板電荷の減少分を表している。 E の中で、短チャネル効果を精度良く取り入れるためソースおよびドレインの接合深さ X_j に依存する補正項 $\Delta E(X_j)$ を適切にモデル化することが重要であり、HiSIM-RP ではチャージシェアリングモデルに基づきソースおよびドレイン端では III-2-I-③-(1)-図 4)-1-3-5 の三角形の部分の電荷が減少していると考え、フィッティングパラメータ無しに接合深さ依存性を再現することに成功している。



III-2-I-③-(1)-図 4)-1-3-5 チャージシェアリングモデルによる基板電荷の減少の表現

その他の物理モデル

以上が、HiSIM-RP の基本モデルであるが、実際の先端デバイスへの適用を考慮して、より正確にトランジスタの電気特性やそのばらつきが計算可能となるように、以下に述べるような種々の物理モデルを導入した。

① ソース・ドレインの寄生抵抗モデル

ゲート長が短くなりドレイン電流値が高くなるとソース・ドレインの寄生抵抗の影響による電圧降下が無視できない。そのため、HiSIM-RP では III-2-I-③-(1)-式 4)-1-3-6 のように、ソース・ドレインの寄生抵抗 R_S , R_D をトランジスタのソース・ドレインと外部電圧源(V_S , V_D)間に接続してソース・ドレインにかかる電圧が $V_{S,eff}$, $V_{D,eff}$ となるモデルを導入した。ここで、ドレイン電流 I_D は $V_{S,eff}$, $V_{D,eff}$ の関数になるため、この式も反復法によって数値的に解かれる。

$$\begin{aligned} V_{S,eff} &= V_S + R_S I_D \\ V_{D,eff} &= V_D - R_D I_D \end{aligned} \quad \dots \text{III-2-I-③-(1)-式 4)-1-3-6}$$

② STI ストレス依存性モデル

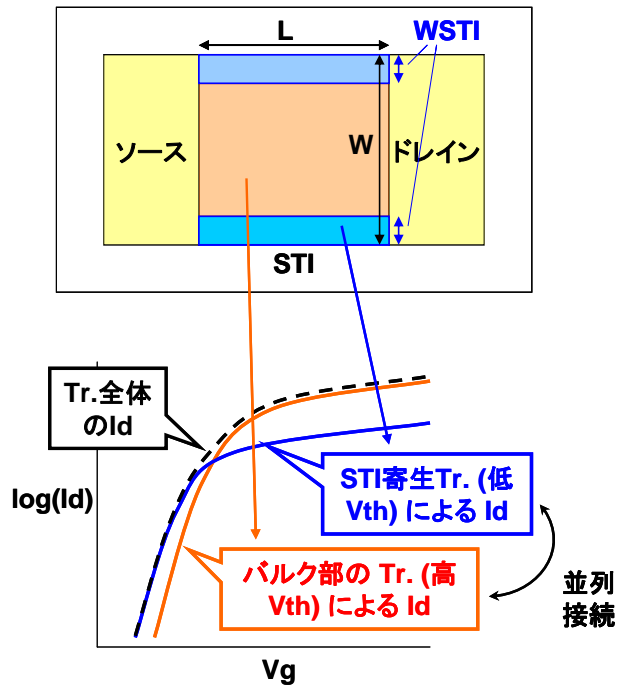
STI ストレスにより閾値(V_{th})や移動度などが変動しトランジスタの電気特性が変動する。この効果を再現するため、HiSIM-RP に HiSIM2 と同じモデルを導入した。耐外部擾乱デバイスプログラムのコンパクトストレスモデルによる計算結果をモデルパラメータの値として設定することで STI ストレス依存性を再現することが可能である。

③ W 依存性モデル(狭チャネル効果モデル)

STI 端においてチャネル不純物濃度が低下して閾値が低い寄生トランジスタが並列接続されているように見える現象がある。この現象を再現するために、寄生トランジスタの幅 W_{STI} とチャネル不純物濃度の低下率 $NSUBCW_{TI}$, $NSUBPSW_{TI}$ をモデルパラメータとし STI 端の寄生トランジスタをバルク部のトランジスタと並列接続するモデルを導入した。

III-2-I-③-(1)-図 4)-1-3-6 は、STI 端の寄生トランジスタのドレイン電流 $I_{d,STI}$ (青の実線)

とバルク部のトランジスタのドレイン電流 $I_{d,orig}$ (オレンジの実線)を並列接続してトランジスタの全ドレイン電流値 I_D (黒の破線) が計算されることを模式的に表した図である。



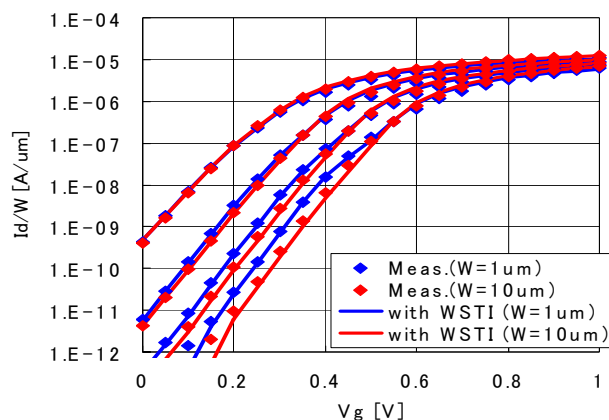
$$I_D = (W_{eff} - 2 \cdot W_{STI}) \cdot I_{d,orig} + 2 \cdot W_{STI} \cdot I_{d,STI}$$

$$I_{d,orig} = I_d(N_C, N_P)$$

$$I_{d,STI} = I_d(N_C \cdot NSUBCW_{STI}, N_P \cdot NSUBPW_{STI})$$

III-2-I-③-(1)-図 4)-1-3-6. 寄生トランジスタとバルク部のトランジスタの並列接続

III-2-I-③-(1)-図 4)-1-3-7 は、STI 端の寄生トランジスタを考慮して、 $W=1\mu\text{m}$ と $W=10\mu\text{m}$ のデバイスに対してリバースプロファイリングを行い同じモデルパラメータで合わせ込んだ例であり、測定データに対して $W=1\mu\text{m}$, $W=10\mu\text{m}$ のデバイス共に良く一致している。



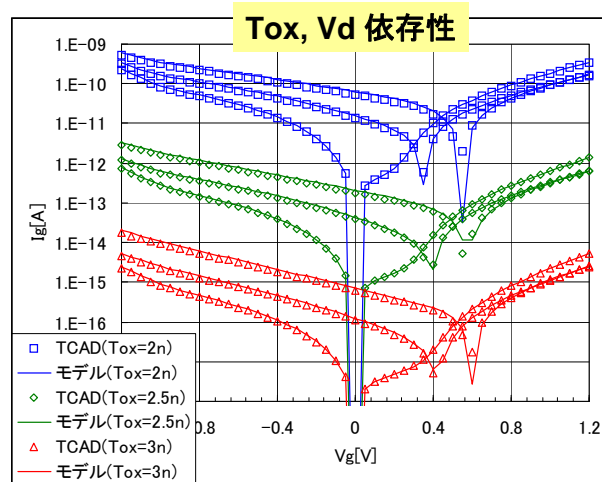
III-2-I-③-(1)-図 4)-1-3-7. 異なる W のデバイスの測定値への合わせ込み例

④ ゲートリーク電流モデル

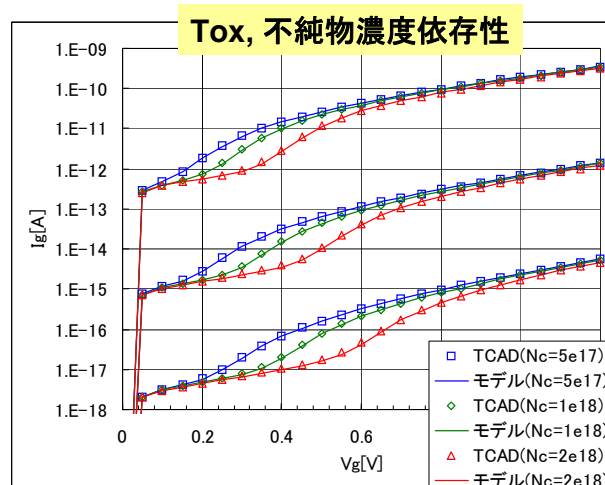
4)-1-4 のばらつき解析を行うにあたり、ゲート酸化膜厚(T_{ox})のばらつきについてはゲートリーク電流のばらつきから抽出することとした。そのため、HiSIM-RP にゲートリーク電流モデルと

して、表面ポテンシャルを基本物理量として、Si 基板・酸化膜界面とゲート・酸化膜界面の間でのトンネル現象を計算する TCAD と同様のモデルを導入した。

TCAD と HiSIM-RP の計算結果を比較した図を III-2-I-③-(1)-図 4)-1-3-8~9 に示す。ゲート酸化膜厚(T_{ox})依存性、ドレイン電圧(V_d)依存性、不純物濃度(N_c)依存性とも TCAD と非常に良く一致している。



III-2-I-③-(1)-図 4)-1-3-8. ゲートリーク電流の T_{ox} , V_d 依存性に対する TCAD と HiSIM-RP の計算結果の比較



III-2-I-③-(1)-図 4)-1-3-9. ゲートリーク電流の T_{ox} , 不純物濃度依存性に対する TCAD と HiSIM-RP の計算結果の比較

HiSIM-RPの I-V 計算機能の精度検証

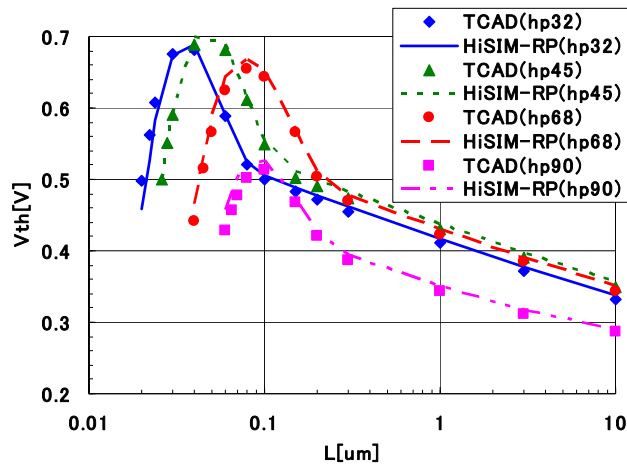
HiSIM-RP の I-V 計算機能の精度を検証するために、ITRS のロードマップ[III-2-I-③-(1)-文献 4)-1-6] を参考に hp32nm から hp90nm までの 4 世代の LSTP (Low Standby Power) トランジスタを想定した仮想デバイスについて TCAD と HiSIM-RP の計算結果を比較した。

TCAD との比較に用いた仮想デバイスの構造パラメータと不純物濃度分布パラメータについては、III-2-I-③-(1)-表 4)-1-3-1 に示した。構造パラメータについては ITRS のロードマップに従い、不純物濃度分布パラメータについては、最小ゲート長 L_{min} においてオフリーク電流 I_{off} の値が 10[pA/um] となるように各パラメータを選択した。

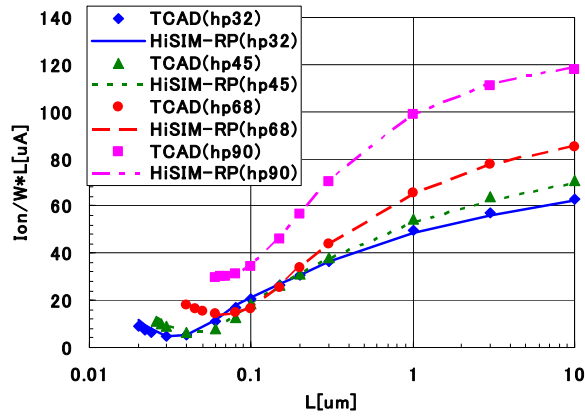
III-2-I-③-(1)-表 4)-1-3-1. TCAD との比較に使用した仮想デバイスの
構造パラメータおよび不純物濃度分布パラメータ

hp	Lmin	Tox	Vdd	Ioff	Xj	Xld	Nc	Np	LSP	ID
[nm]	[nm]	[nm]	[V]	[pA/um]	[nm]	[nm]	[cm ⁻³]	[cm ⁻³]	[nm]	
32	22	1.41	0.95	10	6.5	2	1.6E18	6.6E18	20	hp32.a
								7.2E18	15	hp32.b
								9.0E18	10	hp32.c
45	28	1.73	1.0	10	9.0	2	1.1E18	4.3E18	30	hp45.a
								4.8E18	20	hp45.b
								5.5E18	15	hp45.c
68	45	2.52	1.1	10	12.5	2	6.0E17	1.6E18	60	hp68.a
								1.75E18	40	hp68.b
								2.5E18	20	hp68.c
90	65	2.73	1.2	10	16.0	2	5.0E17	9.3E17	60	hp90.a
								1.1E18	40	hp90.b
								2.15E18	20	hp90.c

まず、しきい値電圧(V_{th})と飽和電流(I_{on})のゲート長(L)依存性について比較したものを III-2-I-③-(1)-図 4)-1-3-10~11 に示す。どの世代のデバイスに対しても、全てのゲート長のデバイスに対して、HiSIM-RP の計算結果は TCAD と非常によく一致しており、成果目標である V_{th} 誤差 $\pm 20\text{mV}$ 、 I_{on} 誤差 $\pm 5\%$ を満たしている。

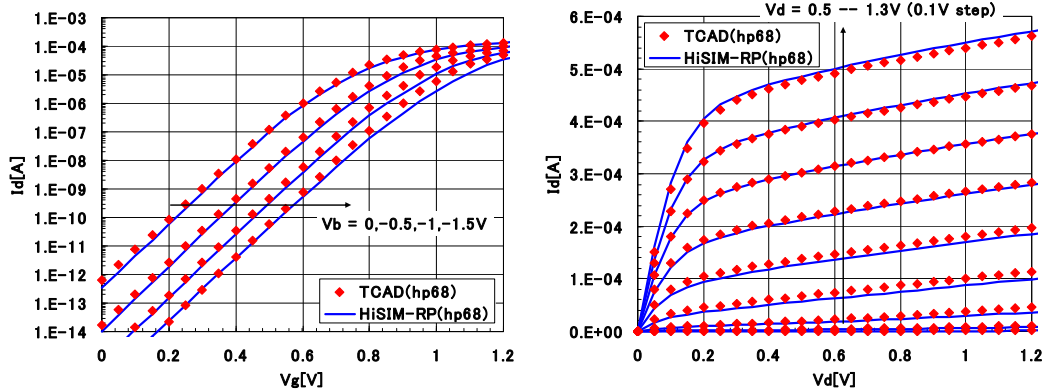


III-2-I-③-(1)-図 4)-1-3-10. 仮想デバイス hp32.a, hp45.a, hp68.a, hp90.a の V_{th} のゲート長依存性についての TCAD と HiSIM-RP の計算結果の比較

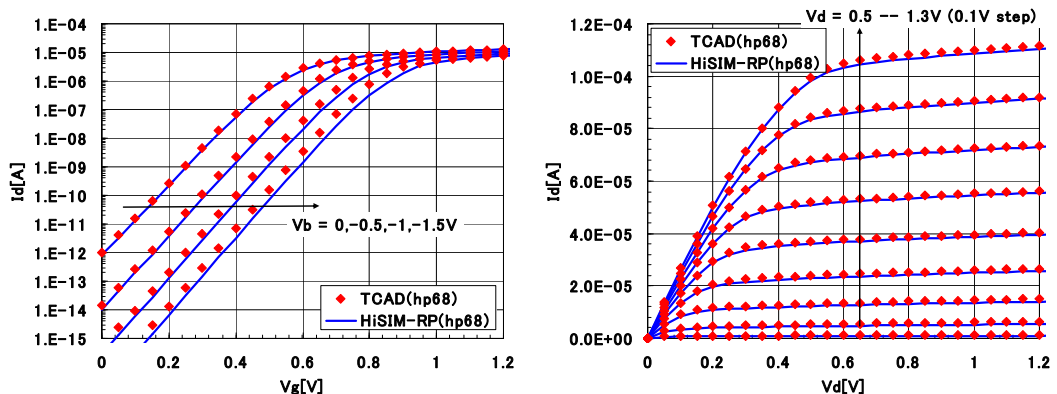


Ⅲ-2-Ⅰ-③-(1)-図 4)-1-3-11. 仮想デバイス hp32.a, hp45.a, hp68.a, hp90.a の $I_{on} \cdot W/L$ のゲート長依存性についての TCAD と HiSIM-RP の計算結果の比較

次に、hp68.b の最小ゲート長である $L=45\text{nm}$ と長チャネルである $L=1\mu\text{m}$ のデバイスの I_d-V_g および I_d-V_d 特性について TCAD と HiSIM-RP の計算結果を比較したグラフを Ⅲ-2-Ⅰ-③-(1)-図 4)-1-3-12~13 に示す。どちらのゲート長のデバイスに対してもバイアスによらず HiSIM-RP の計算結果は TCAD と良く一致しており、HiSIM-RP は全バイアス領域において $I-V$ 計算を行うに十分な精度を有していることが分かる。

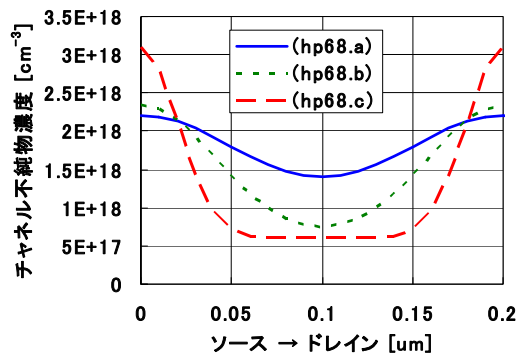


Ⅲ-2-Ⅰ-③-(1)-図 4)-1-3-12. 仮想デバイス hp68.b の $L=45\text{nm}$ の I_d-V_g 特性, I_d-V_d 特性についての TCAD と HiSIM-RP の計算結果の比較

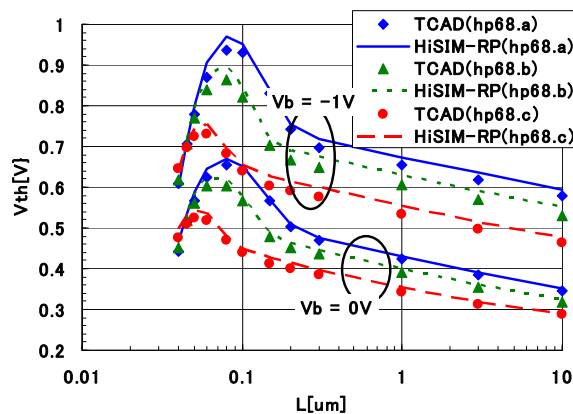


Ⅲ-2-Ⅰ-③-(1)-図 4)-1-3-13. 仮想デバイス hp68.b の $L=1\mu\text{m}$ の I_d-V_g 特性, I_d-V_d 特性についての TCAD と HiSIM-RP の計算結果の比較

次に、Halo 不純物濃度を III-2- I -③-(1)-図 4)-1-3-13 のように変化させて逆短チャネル効果 (Reverse Short Channel Effect) の変化を見た結果を III-2- I -③-(1)-図 4)-1-3-14 に示す。仮想デバイス hp68.a, hp68.b, hp68.c は最小ゲート長 $L_{min}=45\text{nm}$ では、どのデバイスもほぼ同じ V_{th} であり、このゲート長ではチャネル不純物濃度はどのデバイスもほぼ同じと考えられる。しかし、Halo 不純物濃度プロファイルが異なるため V_{th} のゲート長依存性は異なっている。HiSIM-RP の計算結果は、Halo 不純物濃度プロファイルの変化による V_{th} の変化を良く再現しており、HiSIM-RP はチャネル不純物濃度のリバースプロファイリングの用途に十分使用可能な性能を有していることが分かる。



III-2- I -③-(1)-図 4)-1-3-13. 仮想デバイス hp68.a, hp68.b, hp68.c のチャネル不純物濃度についての TCAD と HiSIM-RP の計算結果の比較



III-2- I -③-(1)-図 4)-1-3-14. 仮想デバイス hp68.a, hp68.b, hp68.c の V_{th} のゲート長依存性についての TCAD と HiSIM-RP の計算結果の比較

4)-1-4 ばらつき計算機能とばらつき解析

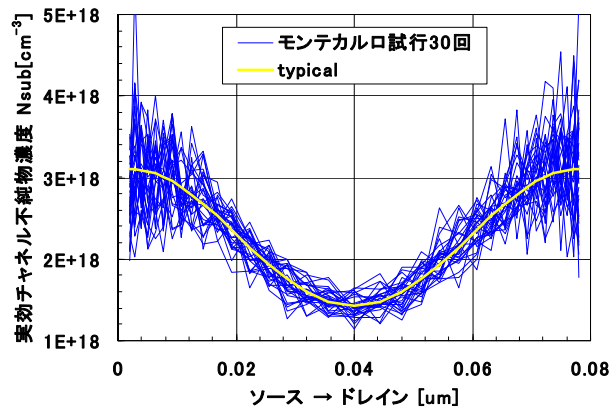
モンテカルロ解析機能

HiSIM-RP はばらつき解析のためにモンテカルロ解析機能を有している。モンテカルロ解析とは、乱数を発生させその乱数を元にトランジスタの物理パラメータにばらつきを与えて特性を計算することを多数回 (一般的には数百回～数千回) 繰り返す解析方法であり、計算結果から例えば標準偏差 (σ) などの特性のばらつき量を求めることができる。TCAD でも同様の計算は可能であるが、一回当たりの計算時間が多いためにモンテカルロ解析を行う場合には多大な計算機リソースが必要となってしまう。一方、HiSIM-RP は、その高速性により、例えば二次元 TCAD で一時間かかるところを数秒で計算可能であり、特性ばらつきを推定する有用なツールとなっている。

トランジスタの特性ばらつきには、素子毎にばらつき量が異なるランダムばらつきと、隣接する素子

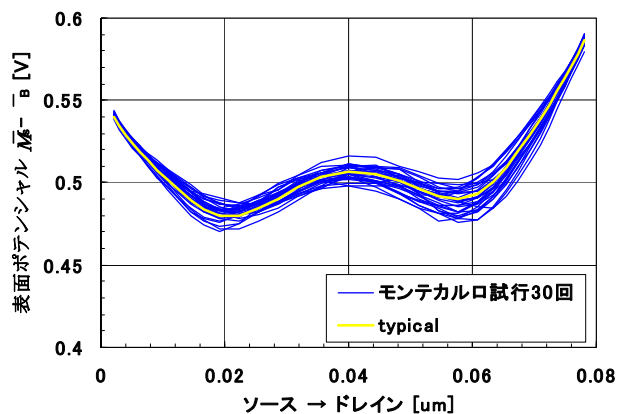
間では同じばらつき量だが、別のチップや別のウェハの素子間では異なるばらつき量となるシステムティックばらつきがある。

この中で、不純物のランダムばらつきに起因するランダムな特性ばらつきを HiSIM-RP のモンテカルロ解析機能で計算する手順は以下になる。まず、不純物のランダムばらつきは、各節点が受け持つ不純物数に応じてポアソン分布またはガウス分布から不純物濃度プロファイル $N(x, z)$ に対してばらつきが設定される。このばらつきを含む不純物濃度プロファイルを元に深さ方向一次元ポアソン方程式を解くことにより、各節点での実効不純物濃度のばらつきが計算される。III-2-I-③-(1)-図4)-1-4-1 は、HiSIM-RP でモンテカルロ計算を 30 回行った時の実効不純物濃度のばらつきの様子を示したものである。チャンネルのソース近傍(図の左端)とドレイン近傍(図の右端)において実効不純物濃度のばらつきが比較的大きくなっているのは、この領域では節点の間隔が狭く設定されており一つの節点が受け持つ不純物数が少ないためである。

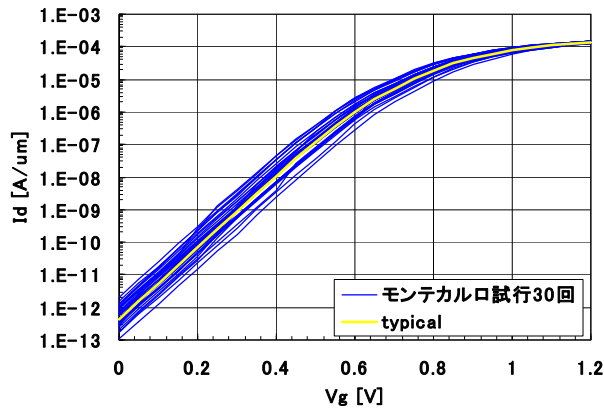


III-2-I-③-(1)-図4)-1-4-1. モンテカルロ解析による実効チャンネル不純物濃度のばらつき

次に、このばらつきを含む実効不純物濃度を元に擬二次元ポアソン方程式を電流連続式と連立させて解くことにより、表面ポテンシャルのばらつきおよびドレイン電流のばらつきが得られる。III-2-I-③-(1)-図4)-1-4-2 は HiSIM-RP でモンテカルロ計算を 30 回行った時の表面ポテンシャルのばらつきの様子を示したものである。チャンネルのソース近傍(図の左端)とドレイン近傍(図の右端)においては表面ポテンシャルのばらつきは小さくなっている。これは、ソース・ドレイン近傍では電荷が横方向に逃げるため表面ポテンシャルに影響する実効的な電荷量が少なくばらつきも小さくなるからである。また、III-2-I-③-(1)-図4)-1-4-3 はドレイン電流のばらつきの様子を示したものである。



III-2-I-③-(1)-図4)-1-4-2. モンテカルロ解析による表面ポテンシャルのばらつき



Ⅲ-2- I -③-(1)-図 4)-1-4-3. モンテカルロ解析によるドレイン電流のばらつき

また、HiSIM-RP は、チャンネル長ばらつき(ΔL)や、ゲート酸化膜厚ばらつき(ΔT_{ox})、ソース・ドレイン寄生抵抗ばらつき(ΔR_s , ΔR_d) などのプロセスばらつきを扱うことも可能である。これらの標準偏差 (1σ)の値を HiSIM-RP のモデルパラメータとして設定することで計算が行われる。これらのプロセスばらつきをランダムばらつきとしてもシステムティックばらつきとしても扱うことが可能であり、前述の不純物のランダムばらつきと組み合わせて計算することも可能である。

こうした、HiSIM-RP のモンテカルロ解析機能を使用することで、トランジスタの特性ばらつきを高速に推定することが可能となる。

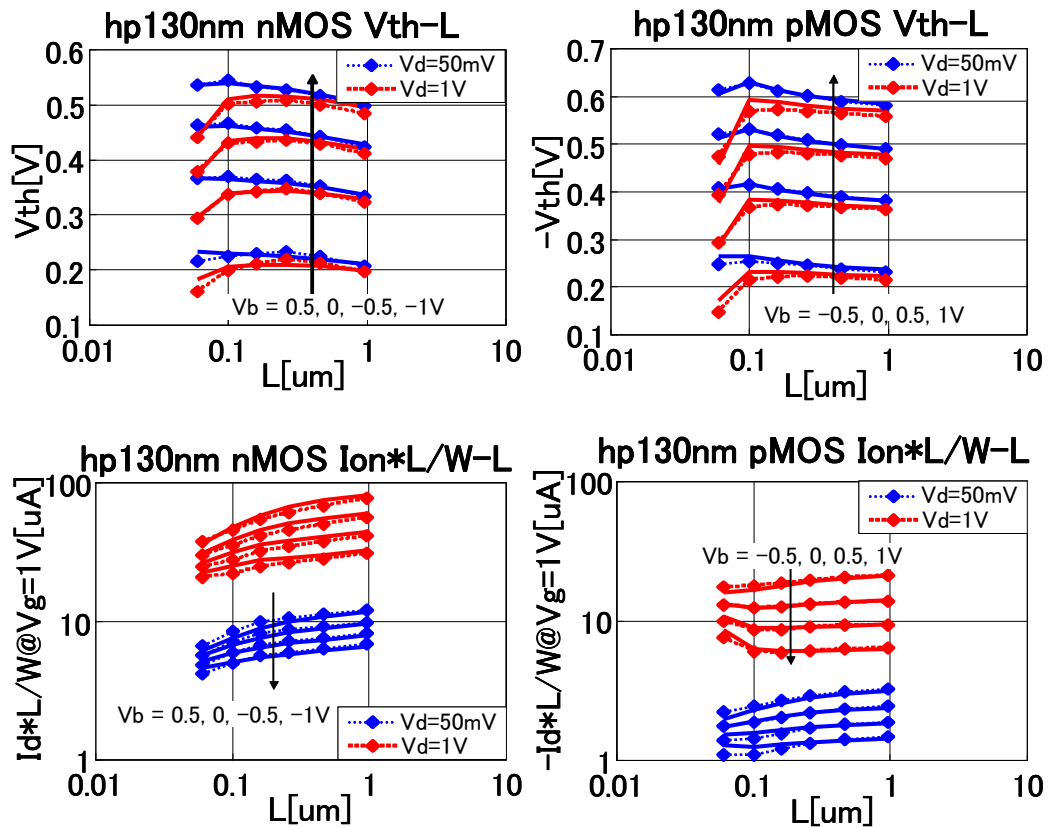
リバースプロファイリング

HiSIM-RP を用いてトランジスタ電気特性のばらつき解析を行うためには、最初にリバースプロファイリングを行なって電気特性を合わせ込んでおく必要がある。

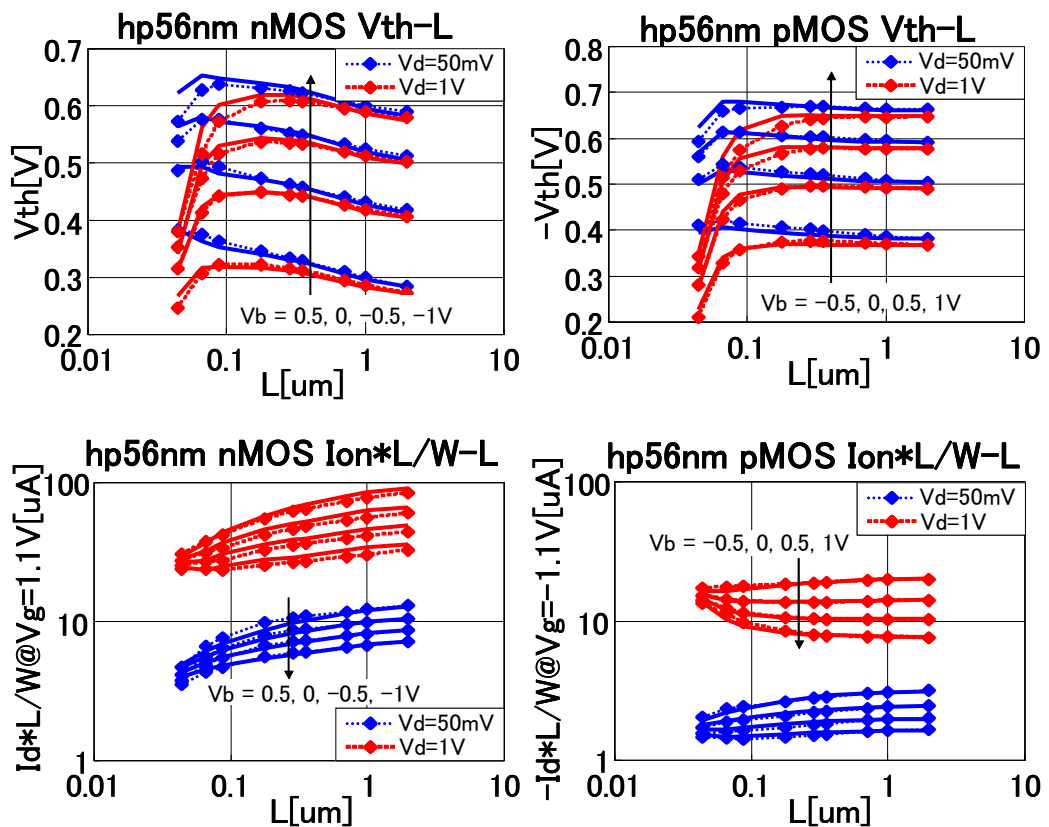
リバースプロファイリングの手順を以下に示す。まず、長チャンネルでの V_{th} - V_b 特性からリバースプロファイリングを行って長チャンネルでの不純物濃度パラメータ(NSUBCA~NSUBCD) を抽出する。次に、 V_{th} - L - V_{bs} - V_{ds} 特性からリバースプロファイリングを行って Halo 注入の不純物濃度パラメータ(NSUBPA~NSUBPD, LSP) やソース・ドレイン接合深さ(XJ)、ソース・ドレインのオーバーラップ長(XLD) を抽出する。ここまでが、MIRAI プロジェクト第三期前半において開発したリバースプロファイリング方法であるが、完成した HiSIM-RP は I-V 計算機能を有しているため、さらに I_{ds} についても合わせ込みを行う。

まず、低 V_{ds} かつ高 V_{gs} における I_{ds} - L 特性からソース・ドレイン寄生抵抗(R_{sd}) の値を抽出する。そして最後に、高 V_{ds} かつ高 V_{gs} における I_{ds} - L 特性からキャリア飽和速度を抽出する。チャンネル長が短い先端デバイスでは、速度オーバーシュートにより実効的なキャリア飽和速度が長チャンネルにおけるキャリア飽和速度より大きくなっている。そのため、キャリア飽和速度を抽出する必要がある。HiSIM-RP は非物理的なフィッティングパラメータを持たないため、基本的にこれだけの操作でパラメータ抽出が完了する。

Ⅲ-2- I -③-(1)-図 4)-1-4-4~5 に hp130nm(90nm ノード) と hp56nm(40nm ノード) のトランジスタに対して電気特性を合わせ込んだ結果を示す。どのトランジスタのフィッティング精度も、成果目標として採用した指標である V_{th} 誤差 ± 20 mV、 I_{on} 誤差 $\pm 5\%$ を満たしている。



III-2-I-③-(1)-図 4)-1-4-4. hp130nm のトランジスタに対する合わせ込み結果



III-2-I-③-(1)-図 4)-1-4-5. hp56nm のトランジスタに対する合わせ込み結果

ランダムばらつきの解析結果

HiSIM-RP を用いたランダムばらつきの解析は以下の手順で行なう。

① 隣接ペアトランジスタの相対ばらつき成分の測定

隣接するペアトランジスタについて測定を行い、ペアトランジスタ間の特性の相対差をランダムばらつきと見なしランダムばらつきの測定値を見積もる。N 個のペアトランジスタの測定値がある場合の V_{th} や I_{ds} のランダムばらつきの標準偏差(σ)は III-2-I-③-(1)-式 4)-1-4-1 ~2 の様にして見積もることができる。

V_{th} のランダムばらつきの標準偏差:

$$\sigma_{V_{th},rand} = \frac{1}{\sqrt{2}} \sqrt{\frac{1}{N-1} \sum_i (\Delta_{V_{th}}(i) - \overline{\Delta_{V_{th}}})^2} \quad \dots \text{III-2-I-③-(1)-式4)-1-4-1}$$

$$\Delta_{V_{th}} \text{ の平均値: } \overline{\Delta_{V_{th}}} = \frac{1}{N} \sum_i \Delta_{V_{th}}(i)$$

$$i \text{ 番目のペアトランジスタの } V_{th} \text{ の相対差: } \Delta_{V_{th}}(i) = V_{th,L}(i) - V_{th,R}(i)$$

$$i \text{ 番目のペアトランジスタの左側の素子の } V_{th}: V_{th,L}(i)$$

$$i \text{ 番目のペアトランジスタの右側の素子の } V_{th}: V_{th,R}(i)$$

I_{ds} のランダムばらつきの標準偏差:

$$\sigma_{I_{ds},rand} = \frac{1}{\sqrt{2}} \sqrt{\frac{1}{N-1} \sum_i (\Delta_{I_{ds}} - \overline{\Delta_{I_{ds}}})^2} \quad \dots \text{III-2-I-③-(1)-式4)-1-4-2}$$

$$\Delta_{I_{ds}} \text{ の平均値: } \overline{\Delta_{I_{ds}}} = \frac{1}{N} \sum_i \Delta_{I_{ds}}(i)$$

$$i \text{ 番目のペアトランジスタの } I_{ds} \text{ の相対差: } \Delta_{I_{ds}} = I_{ds,L}(i) - I_{ds,R}(i)$$

$$i \text{ 番目のペアトランジスタの左側の素子の } I_{ds}: I_{ds,L}(i)$$

$$i \text{ 番目のペアトランジスタの右側の素子の } I_{ds}: I_{ds,R}(i)$$

② ゲートリーク電流ばらつきからゲート酸化膜厚、オーバーラップ長ばらつきを抽出

隣接するペアトランジスタ間のゲートリーク電流(Ig)の相対差をゲートリーク電流のランダムばらつきと見なし、 $V_{gs}=VDD$, $V_{ds}=0V$ でのゲートリーク電流のばらつきからゲート酸化膜厚(T_{ox})のランダムばらつき量を見積もる。また、 $V_{gs}=0$, $V_{ds}=VDD$ でのゲートリーク電流のばらつきからオーバーラップ長(XLD)のランダムばらつき量を見積もる。ゲートリーク電流ばらつきの標準偏差の見積もり方法は ① の I_{ds} の見積もり方法と同様である。

③ モンテカルロ解析による不純物濃度揺らぎ成分の抽出

ランダム不純物濃度ばらつきについて、リバースプロファイリングしたモデルパラメータを用いて HiSIM-RP でモンテカルロ解析を行い、不純物濃度揺らぎ成分を見積もる。この時、後述するようなゲート幅 W に応じたファクターを不純物濃度揺らぎに乗じる必要がある。

④ V_{th} ばらつきからゲート長、接合深さばらつきの抽出。

① で見積もった V_{th} ばらつきの測定値から ② と ③ のばらつき成分を除き、残った V_{th} ばらつきからゲート長(L)、接合深さ(X_j)ばらつきを抽出する。

⑤ I_{ds} - V_{th} ばらつき相関プロットの主軸直交成分から移動度、ソース・ドレイン寄生抵抗のばらつき成分の抽出。

I_{ds} - V_{th} ばらつき相関プロットの長チャネルデバイスでの主軸直交成分から移動度(μ)のばらつき成分を抽出し、短チャネルデバイスでの主軸直交成分からソース・ドレイン寄生抵抗

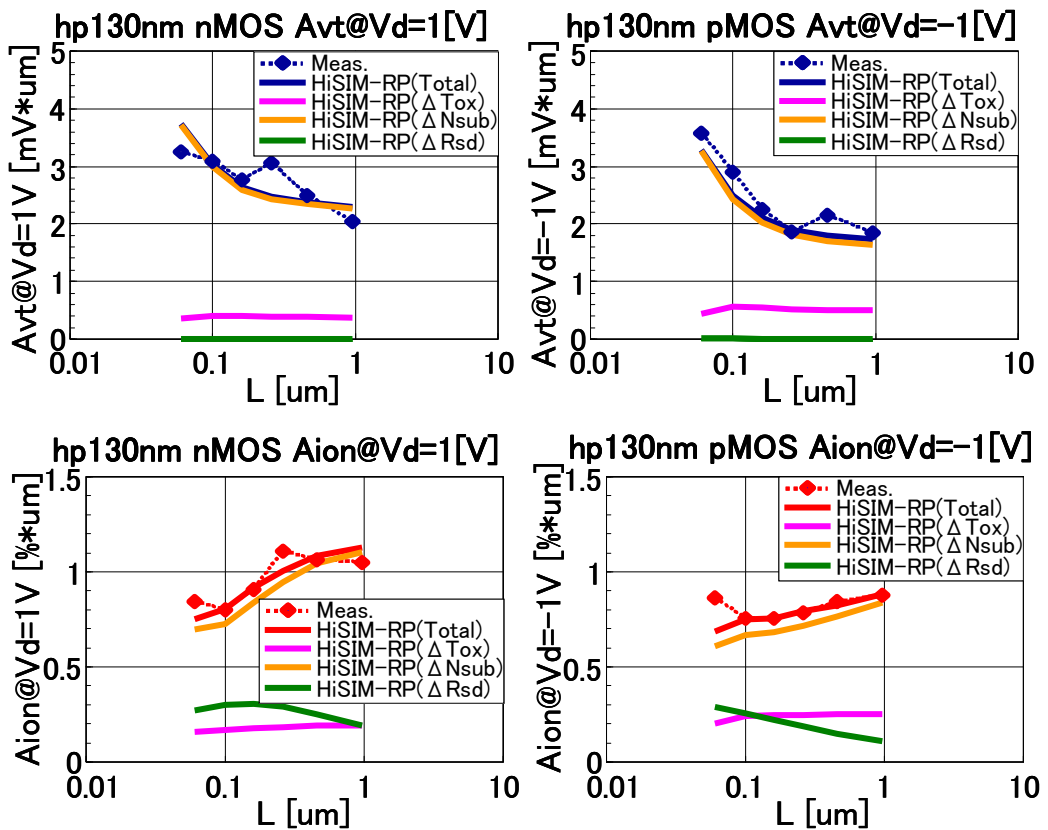
(Rsd)のばらつき成分を抽出する。

この手順で hp130nm ならびに hp56nm トランジスタのランダムばらつきを解析し、Pelgrom 係数の成分分析を行った結果を III-2-I-③-(1)-図 4)-1-4-6~7 に示す。Pelgrom 係数の定義は、III-2-I-③-(1)-式 4)-1-4-3~4 に示した。

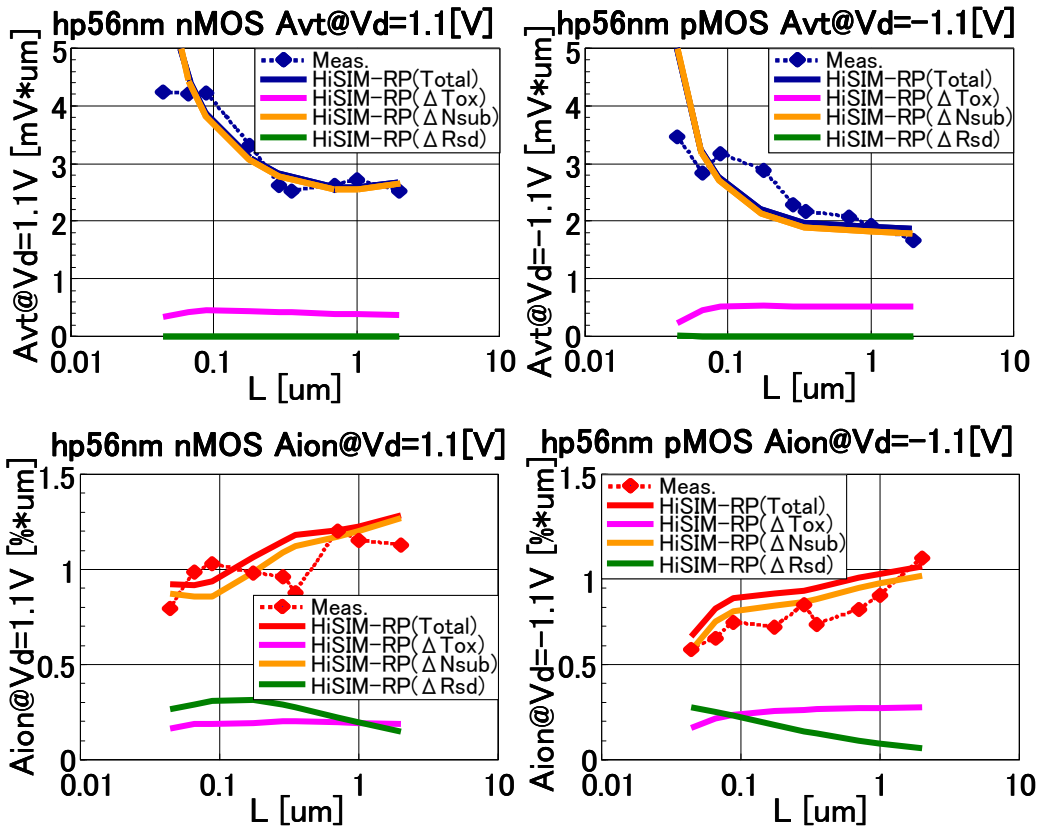
$$A_{vt} = \sigma_{V_{th}}[\text{mV}] \times \sqrt{L[\text{um}] \cdot W[\text{um}]} \quad \dots \text{III-2-I-③-(1)-式 4)-1-4-3}$$

$$A_{ion} = \frac{\sigma_{ion}}{I_{on}}[\%] \times \sqrt{L[\text{um}] \cdot W[\text{um}]} \quad \dots \text{III-2-I-③-(1)-式 4)-1-4-4}$$

今回解析した hp130nm ならびに hp56nm トランジスタのランダムばらつきでは、 ΔN_{sub} で示した不純物濃度揺らぎ成分が V_{th} , I_{on} ばらつきに与える影響が支配的であり、 L の短いトランジスタではこの他にソース・ドレイン寄生抵抗ばらつき(ΔR_{sd})が I_{on} ばらつきに影響を及ぼす。ゲート酸化膜厚ばらつき(ΔT_{ox})はわずかに影響があるが、他の XLD , L , X_j , μ のばらつきはいずれも無視出来るオーダーである。



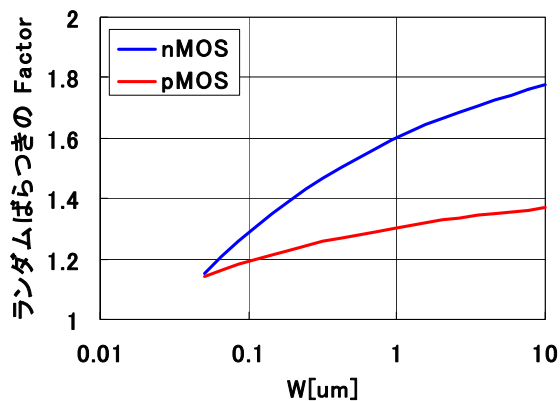
III-2-I-③-(1)-図 4)-1-4-6. hp130nm のトランジスタのランダムばらつき解析結果



III-2-I-③-(1)-図 4)-1-4-7. hp56nm のトランジスタのランダムばらつき解析結果

ランダムばらつきのW方向依存性の解析結果

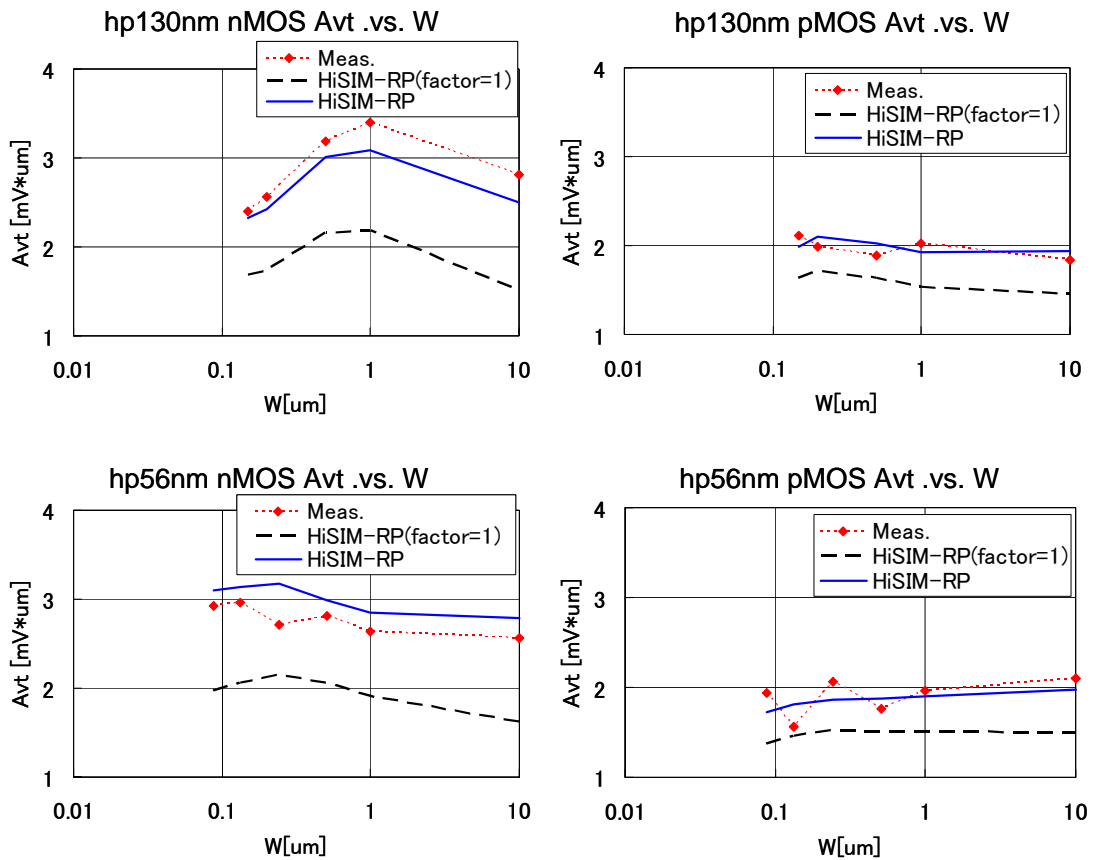
HiSIM-RP を用いたランダムばらつきの解析において、III-2-I-③-(1)-図 4)-1-4-8 に示したゲート幅 W に応じたファクターを不純物濃度揺らぎに乗じる必要があることが分かった。このファクターは、HiSIM-RP が二次元構造を想定しているために、三次元的な効果を取り入れたために必要となったものであり、プロセス世代やゲート長 L によらず同じファクターが使用可能である。また、nMOS のランダムばらつきが pMOS のランダムばらつきより大きいという実験事実を再現するために、nMOS については pMOS より大きなファクターが設定されている。



III-2-I-③-(1)-図 4)-1-4-8. W に応じた不純物濃度揺らぎに乗じるファクター

hp130nm ならびに hp56nm トランジスタのランダムばらつき A_{vt} の W 依存性について HiSIM-RP の計算値と測定値と比較した結果を III-2-I-③-(1)-図 4)-1-4-9 に示した。比較のために、ファクタ

一を 1 とした結果も破線で示した。hp130nm nMOS では、STI 端においてチャネル不純物濃度が低下して閾値が低い寄生トランジスタが並列接続されているように見える現象が大きく見えており、その結果として $W=1\mu\text{m}$ 付近に A_{vt} のピークが生じている。HiSIM-RP は、この現象も含めてランダムばらつき A_{vt} の W 依存性を良く再現していることが分かる。



III-2-I-③-(1)-図 4)-1-4-9. hp56nm のトランジスタのランダムばらつきの解析結果

システムティックばらつきの解析結果

HiSIM-RP を用いたシステムティックばらつきの解析は以下の手順で行なう。

- ① ランダムばらつき成分を除去してシステムティックばらつき成分を抽出

W の大きいトランジスタのばらつきの測定値からランダムばらつき成分を除去してシステムティックばらつき成分を抽出する。 N 個の素子の測定値がある場合の V_{th} や I_{ds} のシステムティックばらつきの標準偏差(σ)は III-2-I-③-(1)-式 4)-1-4-5~6 の様に見積もることができる。また、 I_g のシステムティックばらつきの標準偏差も I_{ds} と同様に見積もることができる。

V_{th} のシステムティックばらつきの標準偏差:

$$\sigma_{V_{th},sys} = \sqrt{\frac{1}{N-1} \sum_i (V_{th}(i) - \overline{V_{th}})^2 - \sigma_{V_{th},rand}^2} \quad \dots \text{III-2-I-}\textcircled{3}\text{-}(1)\text{-式4-1-4-5}$$

$$\text{全素子の } V_{th} \text{ の平均値: } \overline{V_{th}} = \frac{1}{N} \sum_i V_{th}(i)$$

i 番目の素子の V_{th} : $V_{th}(i)$

I_{ds} のシステムティックばらつきの標準偏差:

$$\sigma_{I_{ds},sys} = \sqrt{\frac{1}{N-1} \sum_i (I_{ds}(i) - \overline{I_{ds}})^2 - \sigma_{I_{ds},rand}^2} \quad \dots \text{III-2-I-}\textcircled{3}\text{-}(1)\text{-式4-1-4-6}$$

$$\text{全素子の } I_{ds} \text{ の平均値: } \overline{I_{ds}} = \frac{1}{N} \sum_i I_{ds}(i)$$

i 番目の素子の I_{ds} : $I_{ds}(i)$

② 電気特性ばらつきに対する要素ばらつきの感度マトリクスを計算

チャンネル長(L)、ゲート酸化膜厚(T_{ox})、不純物濃度、ソース・ドレイン寄生抵抗(R_{sd}) の各要素について各ゲート長の素子の特性ばらつきに対する III-2-I-③-(1)-式 4)-1-4-7 のような感度マトリクスを計算する。

$$A = \begin{pmatrix} \vdots & \vdots & \vdots & \vdots \\ \frac{\partial V_{th}(L_k)}{\partial L} & \frac{\partial V_{th}(L_k)}{\partial T_{ox}} & \frac{\partial V_{th}(L_k)}{\partial N_{sub}} & \frac{\partial V_{th}(L_k)}{\partial R_{sd}} \\ \frac{\partial I_{ds}(L_k)}{\partial L} & \frac{\partial I_{ds}(L_k)}{\partial T_{ox}} & \frac{\partial I_{ds}(L_k)}{\partial N_{sub}} & \frac{\partial I_{ds}(L_k)}{\partial R_{sd}} \\ \frac{\partial I_g(L_k)}{\partial L} & \frac{\partial I_g(L_k)}{\partial T_{ox}} & \frac{\partial I_g(L_k)}{\partial N_{sub}} & \frac{\partial I_g(L_k)}{\partial R_{sd}} \\ \vdots & \vdots & \vdots & \vdots \end{pmatrix} \quad \dots \text{III-2-I-}\textcircled{3}\text{-}(1)\text{-式4-1-4-7}$$

ゲート長 L_k の素子の V_{th} : $V_{th}(L_k)$

ゲート長 L_k の素子の I_{ds} : $I_{ds}(L_k)$

ゲート長 L_k の素子の I_g : $I_g(L_k)$

③ 電気特性ばらつきを再現する様に(III-2-I-③-(1)-式 4)-1-4-8 が成り立つ様に)最小二乗法を用いて要素ばらつき成分の大きさを決定する。

$$A \cdot \begin{pmatrix} \Delta L \\ \Delta T_{ox} \\ \Delta N_{sub} \\ \Delta R_{sd} \end{pmatrix} \cong \begin{pmatrix} \vdots \\ \sigma_{V_{th},sys}(L_k) \\ \sigma_{I_{ds},sys}(L_k) \\ \sigma_{I_g,sys}(L_k) \\ \vdots \end{pmatrix} \quad \dots \text{III-2-I-}\textcircled{3}\text{-}(1)\text{-式4-1-4-8}$$

ゲート長 L_k の素子のシステムティックばらつきの σ : $\sigma_{V_{th},sys}(L_k)$

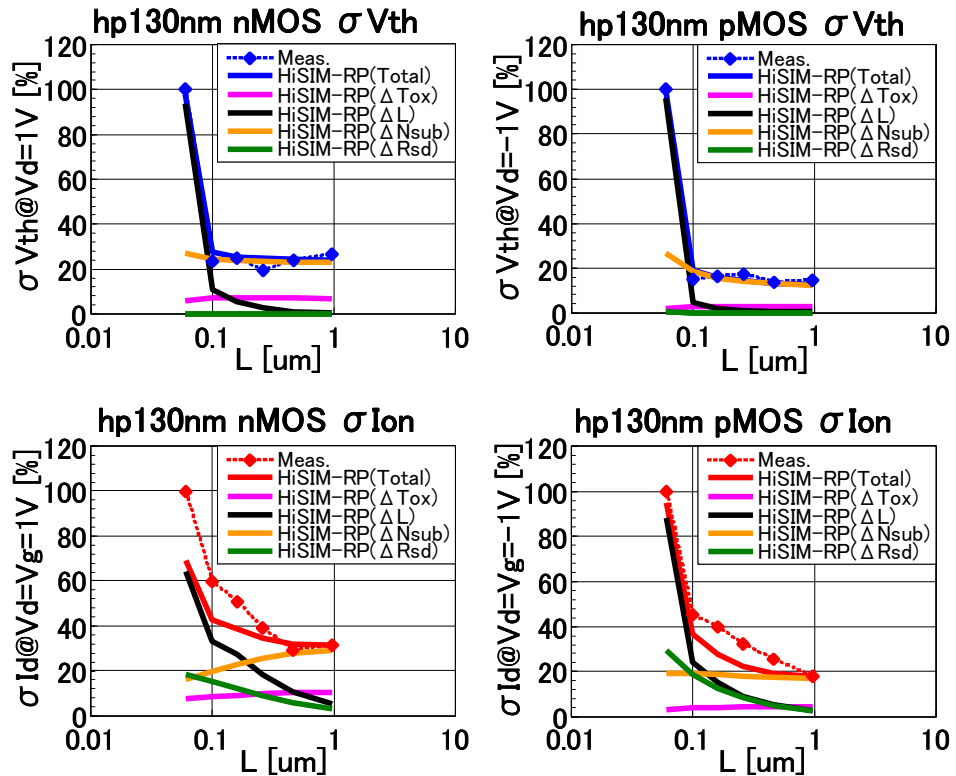
ゲート長 L_k の素子のシステムティックばらつきの σ : $\sigma_{I_{ds},sys}(L_k)$

ゲート長 L_k の素子のシステムティックばらつきの σ : $\sigma_{I_g,sys}(L_k)$

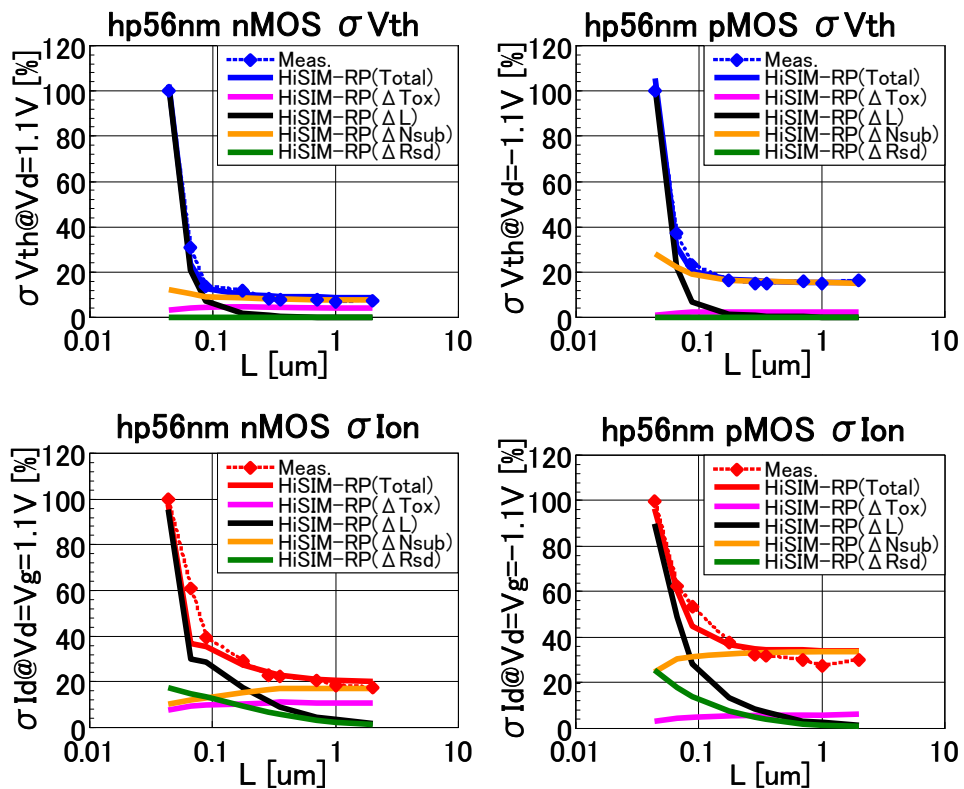
ここで、③を行う際には、ゲートリーク電流のシステムティックばらつきを考慮して T_{ox} のばらつきを適切な範囲に抑えることが重要である。なぜなら、 T_{ox} のシステムティックばらつきとチャンネル不純物濃度のシステムティックばらつきは、共にゲート長(L)やゲート幅(W)にあまり依存せずにドレイン電流特性ばらつきに影響を及ぼすためドレイン電流のシステムティックばらつきだけからでは分離して抽出することが困難だからである。

この手順で hp130nm ならびに hp56nm トランジスタのシステムティックばらつき成分分析を行った結果を III-2-I-③-(1)-図 4)-1-4-10~11 に示す。最小ゲート長でのシステムティックばらつき成分の測定値を 100[%] とした時の各ゲート長でのシステムティックばらつき成分値をプロットしている。

今回解析した hp130nm ならびに hp56nm トランジスタのシステムティックばらつきでは、 V_{th} , Ion 共に L ばらつき(ΔL)の寄与が最も大きく、次に不純物濃度ばらつき(ΔN_{sub})、Rsd ばらつき(ΔRsd)の順であり、この3成分でシステムティックばらつき成分のほとんどを占める。



III-2-I-③-(1)-図 4)-1-4-10. hp130nm のトランジスタのシステムティックばらつきの解析結果



III-2-I-③-(1)-図 4)-1-4-11. hp56nm のトランジスタのシステムティックばらつきの解析結果

以上の結果から、不純物濃度ばらつき、Rsd ばらつき、L ばらつきを適切に予測出来れば、新プロセスに対しても HiSIM-RP を用いてばらつき予測を行なうことが可能であると言える。

4)-1-5 アプリケーション

プロセス・デバイス・回路技術者が簡易に HiSIM-RP を使用することを可能にするため、MicroSoft Excel 上から HiSIM-RP を実行しその結果を表示するアプリケーション「Excel 版 HiSIM-RP」を開発した。Excel 版 HiSIM-RP では、HiSIM-RP を用いたリバースプロファイリング、I-V 特性の測定データとの比較、任意の I-V 特性の計算とグラフの表示、ばらつきの計算と Pelgrom プロットなどのグラフの表示が可能となっている。

Ⅲ-2- I -③-(1)-図 4)-1-5-1a~1d は、リバースプロファイリング用のシートである。

以下に、このシートの使用方法を説明する。まず、初期モデルパラメータを所定のフォーマットで用意して読み込む(1a-1)。次に、リバースプロファイリングに使用する長チャネルデバイスの Vth-Vb 特性や Cgg-Vg 特性、Vth-L-Vb 特性などの測定データを所定のフォーマットで用意して読み込む(1a-2)。次に、計算結果を格納するファイルを指定する(1a-3)。次に、不純物濃度パラメータなどの値を入力する(Ⅲ-2- I -③-(1)-図 4)-1-5-1b~1d)。その後、HiSIM-RP を実行して、その結果を測定データと比較する(1a-4)。実効結果のグラフの例を Ⅲ-2- I -③-(1)-図 4)-1-5-2~4 に示した。Ⅲ-2- I -③-(1)-図 4)-1-5-2 は Vth-Vb 特性の比較図、Ⅲ-2- I -③-(1)-図 4)-1-5-3 は Cgg-Vg 特性の比較図、Ⅲ-2- I -③-(1)-図 4)-1-5-4 は Vth-L-Vb の比較図である。測定データと誤差がある場合には、不純物濃度パラメータを調整して再実行する。以上により、リバースプロファイリングを行うことが出来る。また、抽出した不純物濃度プロファイルから任意の深さのチャネル不純物濃度を Ⅲ-2- I -③-(1)-図 4)-1-5-1-5 のようにグラフ表示して確認する(1a-5)ことも可能になっている。

Copyrights © Selete

1. HiSIM-RPによるリバースプロファイリング

ここで設定したデバイス構造や不純物プロファイルは、後のI-V計算やばらつき計算に引き継がれます。
の部分のみ入力が可能です。

モデルパラメータ初期値設定	実行ボタン	結果
初期モデルパラメータシートの読み込み	実行	

1a-1

初期モデルパラメータBook名		選択
初期モデルパラメータシート名	初期モデルパラメータ	

計算実行	実行ボタン	結果
①Vth-Vbs特性の計算と比較 (チャネルプロファイル抽出用)	実行	
②Cgg-Vgs特性の計算と比較 (チャネルプロファイル抽出用)	実行	
③Vth-L特性の計算と比較 (Haloプロファイル抽出用)	実行	
④抽出不純物プロファイル確認	実行	

1a-4

不純物プロファイル抽出パラメータ	
L(ゲート長)	1.00E-07 [m]
W(ゲート幅)	1.00E-06 [m]
Depth(不純物プロファイルを抽出する深さ)	start stop num
	0 [m] 2.00E-08 [m] 11 [個]

1a-5

計算結果格納用Book名		選択
Vth-Vbs特性格納Sheet名	vth-vb	
Cgg-Vgs特性格納Sheet名	cgg	
Vth-L特性格納Sheet名	vth-l	
抽出不純物プロファイル格納Sheet名	nsub	

1a-3

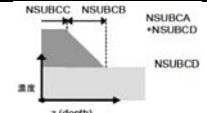
ターゲット特性データBook名		選択
Vth-Vbs特性データSheet名	vth-vb	
Cgg-Vgs特性データSheet名	cgg	
Vth-L特性データSheet名	vth-l	

1a-2

Trタイプ	
<input checked="" type="checkbox"/> nMOS	
<input type="checkbox"/> pMOS	

Ⅲ-2- I -③-(1)-図 4)-1-5-1a. Excel 版 HiSIM-RP のリバースプロファイリング用シート(1) ファイル読み込み・計算実行部

チャンネルプロファイルパラメータ				
線形分布	指定値	デフォルト値	許容範囲	
NSUBCA (最大不純物濃度)	<input type="text" value=""/>	<input style="background-color: #e0e0e0;" type="text" value="0.00E+00 [cm<sup>-3</sup>]"/>	-5E+17 <	NSUBCA [cm ⁻³]
NSUBCB (最小不純物濃度になる深さ)	<input type="text" value=""/>	<input style="background-color: #e0e0e0;" type="text" value="0.00E+00 [m]"/>	0 <=	NSUBCB [m]
NSUBCC (最大不純物濃度を保つ深さ)	<input type="text" value=""/>	<input style="background-color: #e0e0e0;" type="text" value="0.00E+00 [m]"/>	0 <=	NSUBCC [m]
NSUBCD (最小不純物濃度)	<input type="text" value=""/>	<input style="background-color: #e0e0e0;" type="text" value="5.00E+17 [cm<sup>-3</sup>]"/>	0 <	NSUBCD [cm ⁻³]



$$z \leq N_c \quad N(z) = N_s + N_D$$

$$N_c < z < N_c + N_b \quad N(z) = N_s \left(1 - \frac{z - N_c}{N_b}\right) + N_D$$

$$N_c + N_b \leq z \quad N(z) = N_D$$

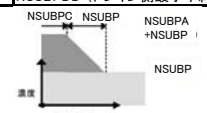
Gauss分布				
指定値	デフォルト値	許容範囲		
NSUBCA (最大不純物濃度)	<input style="background-color: #ffff00;" type="text" value="5.00E+17 [cm<sup>-3</sup>]"/>	<input style="background-color: #e0e0e0;" type="text" value="0.00E+00 [cm<sup>-3</sup>]"/>	-5E+17 <	NSUBCA [cm ⁻³]
NSUBCB (分布の標準偏差)	<input style="background-color: #ffff00;" type="text" value="2.00E-08 [m]"/>	<input style="background-color: #e0e0e0;" type="text" value="0.00E+00 [m]"/>	0 <=	NSUBCB [m]
NSUBCC (最大不純物濃度になる深さ)	<input style="background-color: #ffff00;" type="text" value="3.00E-08 [m]"/>	<input style="background-color: #e0e0e0;" type="text" value="0.00E+00 [m]"/>	0 <=	NSUBCC [m]
NSUBCD (最小不純物濃度)	<input style="background-color: #ffff00;" type="text" value="5.00E+17 [cm<sup>-3</sup>]"/>	<input style="background-color: #e0e0e0;" type="text" value="5.00E+17 [cm<sup>-3</sup>]"/>	0 <	NSUBCD [cm ⁻³]



$$N(z) = N_s \exp\left(-\frac{(z - N_c)^2}{2N_b^2}\right) + N_D$$

III-2-I-③-(1)-図 4)-1-5-1b. Excel 版 HiSIM-RP のリバースプロファイリング用シート(2)
深さ方向不純物濃度プロファイルのパラメータ指定部

Halo深さ方向プロファイルパラメータ				
線形分布	指定値	デフォルト値	許容範囲	
NSUBPA (最大不純物濃度)	<input type="text" value=""/>	<input style="background-color: #e0e0e0;" type="text" value="0.00E+00 [cm<sup>-3</sup>]"/>	0 <=	NSUBPA [cm ⁻³]
NSUBPAS (ソース側最大不純物濃度)	<input type="text" value=""/>	<input style="background-color: #e0e0e0;" type="text" value="0.00E+00 [cm<sup>-3</sup>]"/>	0 <=	NSUBPAS [cm ⁻³]
NSUBPAD (ドレイン側最大不純物濃度)	<input type="text" value=""/>	<input style="background-color: #e0e0e0;" type="text" value="0.00E+00 [cm<sup>-3</sup>]"/>	0 <=	NSUBPAD [cm ⁻³]
NSUBPB (最小不純物濃度になる深さ)	<input type="text" value=""/>	<input style="background-color: #e0e0e0;" type="text" value="0.00E+00 [m]"/>	0 <=	NSUBPB [m]
NSUBPBS (ソース側が最小不純物濃度になる深さ)	<input type="text" value=""/>	<input style="background-color: #e0e0e0;" type="text" value="0.00E+00 [m]"/>	0 <=	NSUBPBS [m]
NSUBPBD (ドレイン側が最小不純物濃度になる深さ)	<input type="text" value=""/>	<input style="background-color: #e0e0e0;" type="text" value="0.00E+00 [m]"/>	0 <=	NSUBPBD [m]
NSUBPC (最大不純物濃度を保つ深さ)	<input type="text" value=""/>	<input style="background-color: #e0e0e0;" type="text" value="0.00E+00 [m]"/>	0 <=	NSUBPC [m]
NSUBPCS (ソース側が最大不純物濃度を保つ深さ)	<input type="text" value=""/>	<input style="background-color: #e0e0e0;" type="text" value="0.00E+00 [m]"/>	0 <=	NSUBPCS [m]
NSUBPCD (ドレイン側が最大不純物濃度を保つ深さ)	<input type="text" value=""/>	<input style="background-color: #e0e0e0;" type="text" value="0.00E+00 [m]"/>	0 <=	NSUBPCD [m]
NSUBPD (最小不純物濃度)	<input type="text" value=""/>	<input style="background-color: #e0e0e0;" type="text" value="0.00E+00 [cm<sup>-3</sup>]"/>	0 <=	NSUBPD [cm ⁻³]
NSUBPDS (ソース側最小不純物濃度)	<input type="text" value=""/>	<input style="background-color: #e0e0e0;" type="text" value="0.00E+00 [cm<sup>-3</sup>]"/>	0 <=	NSUBPDS [cm ⁻³]
NSUBPDD (ドレイン側最小不純物濃度)	<input type="text" value=""/>	<input style="background-color: #e0e0e0;" type="text" value="0.00E+00 [cm<sup>-3</sup>]"/>	0 <=	NSUBPDD [cm ⁻³]

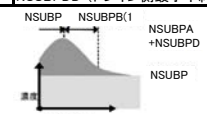


$$z \leq N_c \quad N(z) = N_s + N_D$$

$$N_c < z < N_c + N_b \quad N(z) = N_s \left(1 - \frac{z - N_c}{N_b}\right) + N_D$$

$$N_c + N_b \leq z \quad N(z) = N_D$$

Gauss分布				
指定値	デフォルト値	許容範囲		
NSUBPA (最大不純物濃度)	<input style="background-color: #ffff00;" type="text" value="1.00E+18 [cm<sup>-3</sup>]"/>	<input style="background-color: #e0e0e0;" type="text" value="0.00E+00 [cm<sup>-3</sup>]"/>	0 <=	NSUBPA [cm ⁻³]
NSUBPAS (ソース側最大不純物濃度)	<input type="text" value=""/>	<input style="background-color: #e0e0e0;" type="text" value="1.00E+18 [cm<sup>-3</sup>]"/>	0 <=	NSUBPAS [cm ⁻³]
NSUBPAD (ドレイン側最大不純物濃度)	<input type="text" value=""/>	<input style="background-color: #e0e0e0;" type="text" value="1.00E+18 [cm<sup>-3</sup>]"/>	0 <=	NSUBPAD [cm ⁻³]
NSUBPB (分布の標準偏差)	<input style="background-color: #ffff00;" type="text" value="1.00E-08 [m]"/>	<input style="background-color: #e0e0e0;" type="text" value="0.00E+00 [m]"/>	0 <=	NSUBPB [m]
NSUBPBS (ソース側の標準偏差)	<input type="text" value=""/>	<input style="background-color: #e0e0e0;" type="text" value="1.00E-08 [m]"/>	0 <=	NSUBPBS [m]
NSUBPBD (ドレイン側の標準偏差)	<input type="text" value=""/>	<input style="background-color: #e0e0e0;" type="text" value="1.00E-08 [m]"/>	0 <=	NSUBPBD [m]
NSUBPC (最大不純物濃度になる深さ)	<input type="text" value=""/>	<input style="background-color: #e0e0e0;" type="text" value="0.00E+00 [m]"/>	0 <=	NSUBPC [m]
NSUBPCS (ソース側が最大不純物濃度になる深さ)	<input type="text" value=""/>	<input style="background-color: #e0e0e0;" type="text" value="0.00E+00 [m]"/>	0 <=	NSUBPCS [m]
NSUBPCD (ドレイン側が最大不純物濃度になる深さ)	<input type="text" value=""/>	<input style="background-color: #e0e0e0;" type="text" value="0.00E+00 [m]"/>	0 <=	NSUBPCD [m]
NSUBPD (最小不純物濃度)	<input type="text" value=""/>	<input style="background-color: #e0e0e0;" type="text" value="0.00E+00 [cm<sup>-3</sup>]"/>	0 <=	NSUBPD [cm ⁻³]
NSUBPDS (ソース側最小不純物濃度)	<input type="text" value=""/>	<input style="background-color: #e0e0e0;" type="text" value="0.00E+00 [cm<sup>-3</sup>]"/>	0 <=	NSUBPDS [cm ⁻³]
NSUBPDD (ドレイン側最小不純物濃度)	<input type="text" value=""/>	<input style="background-color: #e0e0e0;" type="text" value="0.00E+00 [cm<sup>-3</sup>]"/>	0 <=	NSUBPDD [cm ⁻³]



$$N(z) = N_s \exp\left(-\frac{(z - N_c)^2}{2N_b^2}\right) + N_D$$

III-2-I-③-(1)-図 4)-1-5-1c. Excel 版 HiSIM-RP のリバースプロファイリング用シート(3)
Halo 注入の深さ方向不純物濃度プロファイルのパラメータ指定部

Halo横方向プロファイルパラメータ				
線形分布	指定値	デフォルト値	許容範囲	
LP (最大不純物濃度を保つ長さ)	[m]	0.00E+00 [m]	0 <= LP [m]	
LPS (ソース側の最大不純物濃度を保つ長さ)	[m]	0.00E+00 [m]	0 <= LPS [m]	
LPD (ドレイン側の最大不純物濃度を保つ長さ)	[m]	0.00E+00 [m]	0 <= LPD [m]	
LSP (最大→最小への減衰長)	[m]	0.00E+00 [m]	0 <= LSP [m]	
LSPS (ソース側の最大→最小への減衰長)	[m]	0.00E+00 [m]	0 <= LSPS [m]	
LSPD (ドレイン側の最大→最小への減衰長)	[m]	0.00E+00 [m]	0 <= LSPD [m]	

$r_{\mu}(x) = 1 \dots (x \leq l_{\mu})$
 $r_{\mu}(x) = 1 - \frac{x - l_{\mu}}{S_{\mu}} \dots (l_{\mu} < x < l_{\mu} + S_{\mu})$
 $r_{\mu}(x) = 0 \dots (l_{\mu} + S_{\mu} \leq x)$

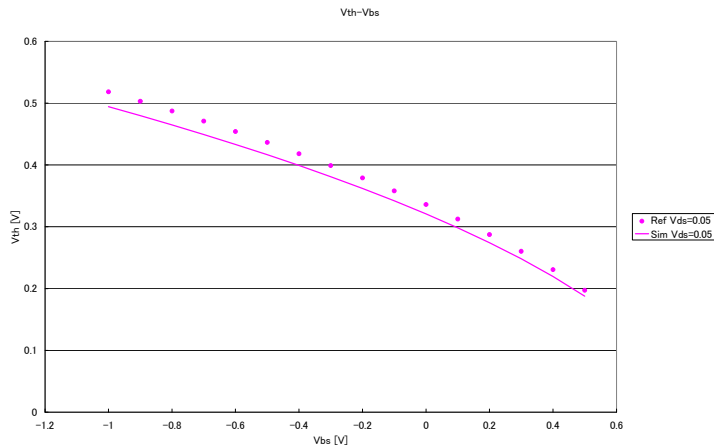
$r_{\mu}(x) = 1 \dots (x \leq l_{\mu})$
 $r_{\mu}(x) = \exp\left(-\frac{1}{2}\left(\frac{l_{\mu} - l_{\mu} - x}{S_{\mu}}\right)^2\right) \dots (x < l_{\mu} - l_{\mu})$
 $r_{\mu}(x) = 1 \dots (l_{\mu} - l_{\mu} \leq x)$

Gauss分布				
指定値	デフォルト値	許容範囲		
LP (最大不純物濃度を保つ長さ)	[m]	0.00E+00 [m]	0 <= LP [m]	
LPS (ソース側の最大不純物濃度を保つ長さ)	[m]	0.00E+00 [m]	0 <= LPS [m]	
LPD (ドレイン側の最大不純物濃度を保つ長さ)	[m]	0.00E+00 [m]	0 <= LPD [m]	
LSP (分布の標準偏差)	[m]	0.00E+00 [m]	0 <= LSP [m]	
LSPS (ソース側の標準偏差)	[m]	0.00E+00 [m]	0 <= LSPS [m]	
LSPD (ドレイン側の標準偏差)	[m]	0.00E+00 [m]	0 <= LSPD [m]	

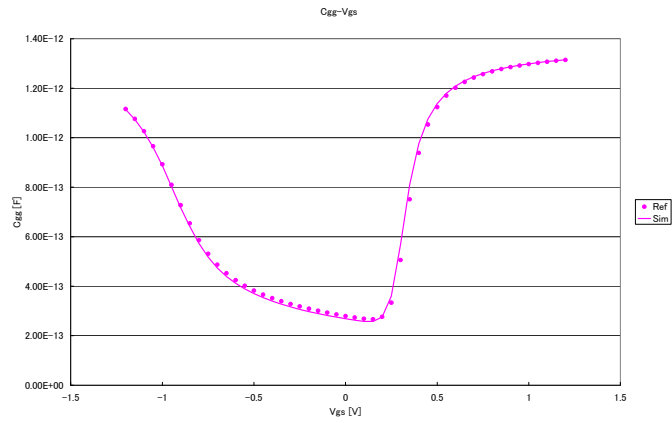
デバイス構造パラメータ				
指定値	デフォルト値	許容範囲		
TOX (ゲート酸化膜厚)	[m]	3.00E-09 [m]	0 < TOX [m]	
XLD (オーバーラップ長)	[m]	0.00E+00 [m]	0 <= XLD [m]	
XLDS (ソースオーバーラップ長)	[m]	0.00E+00 [m]	0 <= XLDS [m]	
XLDD (ドレインオーバーラップ長)	[m]	0.00E+00 [m]	0 <= XLDD [m]	
XJ (ソース・ドレイン接合深さ)	[m]	0.00E+00 [m]	0 <= XJ [m]	
XJS (ソース接合深さ)	[m]	0.00E+00 [m]	0 <= XJS [m]	
XJD (ドレイン接合深さ)	[m]	0.00E+00 [m]	0 <= XJD [m]	
WSTI (STI寄生Tr.の片側実効ゲート幅)	[m]	0.00E+00 [m]	0 <= WSTI [m]	
NSUBWSTI (STI寄生Tr.の不純物濃度の対バルク比率)	[比率]	1 [比率]	0 < NSUBWSTI <= 1 [比率]	
NSUBCWSTI (STI寄生Tr.のチャネル不純物濃度の対バルク比率)	[比率]	1 [比率]	0 < NSUBCWSTI <= 1 [比率]	
NSUBPWSTI (STI寄生Tr.のHalo不純物濃度の対バルク比率)	[比率]	1 [比率]	0 < NSUBPWSTI <= 1 [比率]	
NSUBPWSTIS (STI寄生Tr.のソース側Halo不純物濃度の対バルク比率)	[比率]	1 [比率]	0 < NSUBPWSTIS <= 1 [比率]	
NSUBPWSTID (STI寄生Tr.のドレイン側Halo不純物濃度の対バルク比率)	[比率]	1 [比率]	0 < NSUBPWSTID <= 1 [比率]	
DELVFB (High-k/メタルゲート向けフラットバンド電圧調整)	[V]	0 [V]	0 <= DELVFB [V]	
NGATE (ゲートホリ不純物濃度)	[cm ⁻³]	1.00E+20 [cm ⁻³]	0 < NGATE [cm ⁻³]	
NSD (ソース・ドレイン不純物濃度)	[cm ⁻³]	1.00E+20 [cm ⁻³]	0 < NSD [cm ⁻³]	
NSOURCE (ソース不純物濃度)	[cm ⁻³]	1.00E+20 [cm ⁻³]	0 < NSOURCE [cm ⁻³]	
NDRAIN (ドレイン不純物濃度)	[cm ⁻³]	1.00E+20 [cm ⁻³]	0 < NDRAIN [cm ⁻³]	

計算制御パラメータ				
指定値	デフォルト値	許容範囲		
lvth (Vth定義電流*(L/W))	[A]	1.00E-07 [A]	0 < lvth [A]	

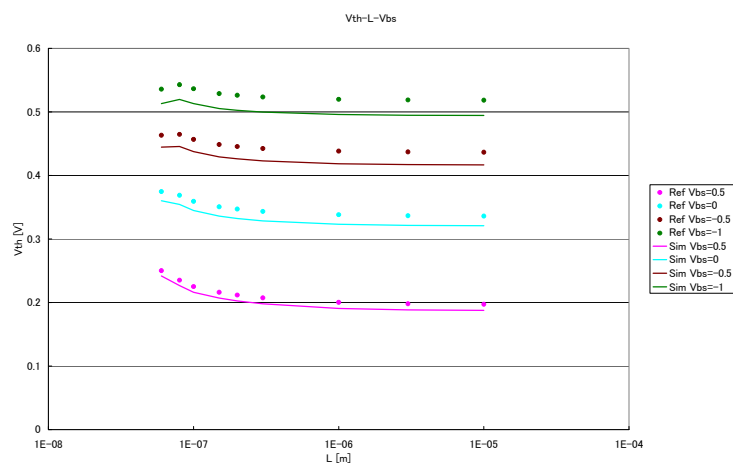
III-2-I-③-(1)-図 4)-1-5-1d. Excel 版 HiSIM-RP のリバースプロファイリング用シート(4)
Halo 注入の横方向不純物濃度プロファイルのパラメータ指定部



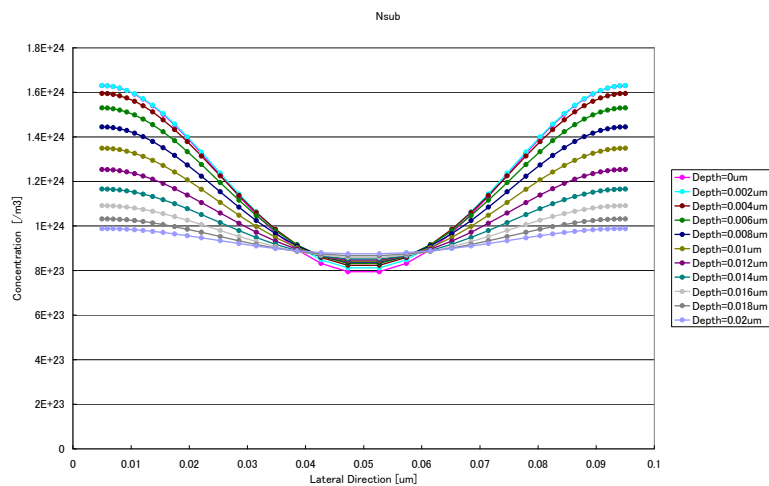
III-2-I-③-(1)-図 4)-1-5-2. Excel 版 HiSIM-RP のリバースプロファイリング用の
グラフの例(1) Vth-Vbs 特性



Ⅲ-2-I-③-(1)-図 4)-1-5-3. Excel 版 HiSIM-RP のリバーズプロファイリング用の
グラフの例(2) C_{gg}-V_g 特性



Ⅲ-2-I-③-(1)-図 4)-1-5-4. Excel 版 HiSIM-RP のリバーズプロファイリング用の
グラフの例(3) V_{th}-L-V_{bs} 特性



Ⅲ-2-I-③-(1)-図 4)-1-5-5. Excel 版 HiSIM-RP のリバーズプロファイリング用の
グラフの例(4) チャネル不純物濃度プロファイル

Ⅲ-2-I-③-(1)-図 4)-1-5-6a~6b は、I-V 計算用のシートである。このシートでは、I_d-V_g 特性
や I_d-V_d 特性などの測定データと HiSIM-RP の計算結果を比較することが可能である。

以下に、このシートの使用方法を説明する。まず、I-V 特性の測定データ所定のフォーマットで用意して読み込む(6a-1)。次に、計算結果を格納するファイルを指定する(6a-2)。次に、ソース・ドレイン寄生抵抗(Rsd)やキャリア飽和速度などのパラメータの値を入力する(Ⅲ-2-I-③-(1)-図 4)-1-5-6b)。その後、HiSIM-RP を実行してその計算結果を測定データと比較する(6a-4)。グラフの例を Ⅲ-2-I-③-(1)-図 4)-1-5-7~8 に示した。Ⅲ-2-I-③-(1)-図 4)-1-5-7 は Id-Vd 特性の比較図、Ⅲ-2-I-③-(1)-図 4)-1-5-8 は Id-Vg 特性の比較図である。また、任意のチャンネル長やチャンネル幅、バイアス条件での HiSIM-RP の計算を行い、その結果をグラフに表示することも可能となっている(6a-5)。

Copyrights © Selete

2. HiSIM-RPによるI-V計算

ここで設定した寄生抵抗値や移動度モデル、速度飽和モデルの値は、後のばらつき計算に引き継がれます。
の部分のみ入力が可能です。

モデルパラメータ初期値設定	実行ボタン	結果
初期モデルパラメータシートの読み込み	実行	Done!

初期モデルパラメータBook名		選択
初期モデルパラメータシート名	初期モデルパラメータ	

計算実行	実行ボタン	結果
①I-V特性の計算	実行	
②I-V特性のグラフ描画	実行	
<input type="checkbox"/> Y軸 線形プロット		
<input type="checkbox"/> Y軸 Logプロット		

計算結果格納用Book名		選択
I-V特性格納Sheet名	id	

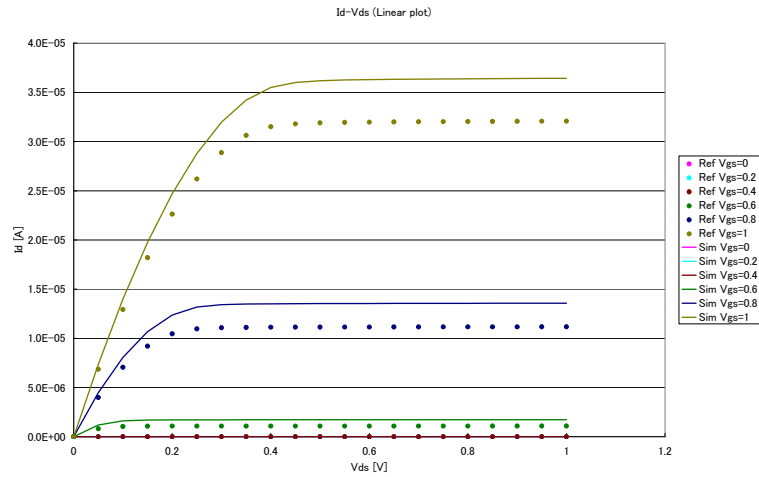
計算モード		選択
<input checked="" type="checkbox"/> 比較特性データのTr,サイズとバイアス条件、温度に合わせて計算する		
比較特性データBook名		
I-V特性データSheet名	id	

指定したTr,サイズとバイアス条件で計算する	
L	1.00E-05 [m]
W	1.00E-05 [m]
SA	[m]
SB	[m]
NF	[本]
バイアス条件	
	start stop num (LIN) Sweep
Vds	0.05 [V] 1 [V] 2 [個] 1
Vgs	0 [V] 1 [V] 6 [個] 1
Vbs	0 [V] 1 [V] 6 [個] 2

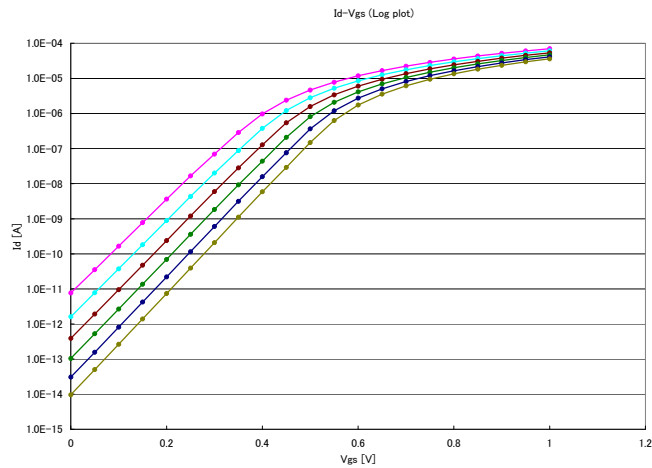
Ⅲ-2-I-③-(1)-図 4)-1-5-a. Excel 版 HiSIM-RP の I-V 計算用シート(1)
 ファイル読み込み・計算実行部

環境パラメータ	指定値	デフォルト値	許容範囲
T (温度)	[°C]	26.85 [°C]	-273.15 < T [°C]
寄生抵抗パラメータ	指定値	デフォルト値	許容範囲
RSD (ソース・ドレイン寄生抵抗@W=1um)	[Ωm]	0 [Ωm]	0 <= RSD [Ωm]
RS (ソース側寄生抵抗)	[Ωm]	0 [Ωm]	0 <= RS [Ωm]
RD (ドレイン側寄生抵抗)	[Ωm]	0 [Ωm]	0 <= RD [Ωm]
移動度モデルパラメータ	指定値	デフォルト値	許容範囲
MUFLT0 (バルク移動度のプリファクター)	[cm ² /Vs]	nMOS: 1417 [cm ² /Vs], pMOS: 470.5 [cm ² /Vs]	0 < MUFLT0 [cm ² /Vs]
MUFLT1 (バルク移動度の温度依存性)		2.25	0 < MUFLT1
MUECB0 (ゲート電圧移動度の下限値)	[cm ² /Vs]	120 [cm ² /Vs]	0 < MUECB0 [cm ² /Vs]
MUECB1 (ゲート電圧移動度のスクリーニング成分)	[cm ² /Vs]	40.5 [cm ² /Vs]	0 < MUECB1 [cm ² /Vs]
MUEPH0 (フォトン散乱移動度の垂直電界依存性)		0.333	0 < MUEPH0
MUEPH1 (フォトン散乱移動度のプリファクター)	[cm ² /VsV/cm ²]	66666.6667 [cm ² /VsV/cm ²]	0 < MUEPH1 [cm ² /VsV/cm ²]
MUETMP (フォトン散乱移動度の温度依存性)		2	0 < MUETMP
MUESR0 (表面散乱移動度の垂直電界依存性)		2	0 < MUESR0
MUESR1 (表面散乱移動度のプリファクター)	[cm ² /VsV/cm ²]	6.25E+14 [cm ² /VsV/cm ²]	0 < MUESR1 [cm ² /VsV/cm ²]
MUESTI1 (移動度のSTIストレス依存性が効き始める拡散層長)	[m]	0 [m]	0 <= MUESTI1 [m]
MUESTI2 (移動度のSTIストレス依存性のプリファクター)		0	0 <= MUESTI2
MUESTI3 (移動度のSTIストレス依存性の拡散層長依存性指数)		1	0 < MUESTI3
SAREF (STIストレスの基準とするSA長)	[m]	1.00E-06 [m]	0 < SAREF [m]
SBREF (STIストレスの基準とするSB長)	[m]	1.00E-06 [m]	0 < SBREF [m]
速度飽和モデルパラメータ	指定値	デフォルト値	許容範囲
<input checked="" type="checkbox"/> Caughey-Thomasモデル		nMOS pMOS	
BB (水平方向電界依存性)		2 1	0 < BB
VMAX (飽和速度のプリファクター)	[cm/s]	2.40E+07 [cm/s] 2.40E+07 [cm/s]	0 < VMAX [cm/s]
VTMP (飽和速度の温度依存性)		0.8 0.8	0 < VTMP
<input checked="" type="checkbox"/> Sharfetterモデル		nMOS pMOS	
BB (水平方向電界依存性)		2 2	0 < BB
VMAX (飽和速度のプリファクター)	[cm/s]	2.40E+07 [cm/s] 2.40E+07 [cm/s]	0 < VMAX [cm/s]
VMAXC (音響フォンの速度)	[cm/s]	4.90E+06 [cm/s] 2.93E+06 [cm/s]	0 < VMAXC [cm/s]
VMAXG (v-E特性の曲率因子)		8.8 1.6	0 < VMAXG
VTMP (飽和速度の温度依存性)		0.8 0.8	0 < VTMP

Ⅲ-2-I-③-(1)-図 4)-1-5-6b. Excel 版 HiSIM-RP の I-V 計算用シート(2)
 モデルパラメータ指定部



Ⅲ-2-Ⅰ-③-(1)-図 4)-1-5-7. Excel 版 HiSIM-RP の I-V 計算結果の
グラフの例(1) I_d - V_d 特性



Ⅲ-2-Ⅰ-③-(1)-図 4)-1-5-8. Excel 版 HiSIM-RP の I-V 計算結果の
グラフの例(2) I_d - V_g 特性

Ⅲ-2-Ⅰ-③-(1)-図 4)-1-5-9a~9b は、ばらつき計算用のシートである。このシートでは、 V_{th} や I_{dsat} のばらつきの測定データと HiSIM-RP の計算結果を Pelgrom プロットや Takeuchi プロット、 I_{ds} - V_{th} 相関図などのグラフで比較することが可能である。

以下に、このシートの使用方法を説明する。まず、 V_{th} や I_{ds} のばらつきの測定データを所定のフォーマットで用意して読み込む(9a-1)。次に、必要ならプロセスばらつきのばらつき幅の値を入力する(9a-2)。その後、HiSIM-RP を実行して(9a-3)、その結果を測定データとグラフ表示して比較する(9a-4)。また、任意のチャンネル長やチャンネル幅、バイアス条件(9a-5)での HiSIM-RP のばらつき計算を行い、その結果を Pelgrom プロットなどのグラフに表示することも可能となっている(6a-5)。グラフの例を Ⅲ-2-Ⅰ-③-(1)-図 4)-1-5-10~12 に示した。Ⅲ-2-Ⅰ-③-(1)-図 4)-1-5-10 は Pelgrom プロット、Ⅲ-2-Ⅰ-③-(1)-図 4)-1-5-11 は Takeuchi プロット、Ⅲ-2-Ⅰ-③-(1)-図 4)-1-5-12 は I_{ds} - V_{th} 相関図である。

3. HiSIM-RPによるMonteCarlo法を用いたばらつき計算

黄色の部分のみ入力が可能です。

モデルパラメータ初期値設定	実行ボタン	結果
初期モデルパラメータシートの読み込み	実行	Done!

初期モデルパラメータBook名		選択
初期モデルパラメータSheet名	初期モデルパラメータ	

計算実行	実行ボタン	結果
①ばらつき計算	実行	

- Vthばらつきの計算
- Idsばらつきの計算

9a-3

②ばらつきのグラフ描画	実行	
-------------	----	--

9a-4

- VthのPelgromプロット
- VthのTakeuchiプロット
- IdsのPelgromプロット
- Ids-Vth相関プロット

9a-2

計算結果格納用Book名		選択
ばらつき格納Sheet名	variation	

計算モード		選択
比較特性データBook名		選択

9a-1

比較特性データのTr.サイズとバイアス条件、温度に合わせて計算する

比較特性データBook名		選択
ばらつきデータSheet名	var_id_vth	

<input type="checkbox"/> 指定したTr.サイズとバイアス条件で計算する									
Tr.サイズ	No.1	No.2	No.3	No.4	No.5	No.6			
L	6.00E-08 [m]	7.00E-08 [m]	1.00E-07 [m]						
W	1.00E-06 [m]								
SA									
SB									
NF									
バイアス条件									
Vds	0.5 [V]								
Vgs	0.5 [V]								
Vbs	0 [V]								
MONTE (Monte Carlo計算の回数)	100								

9a-5

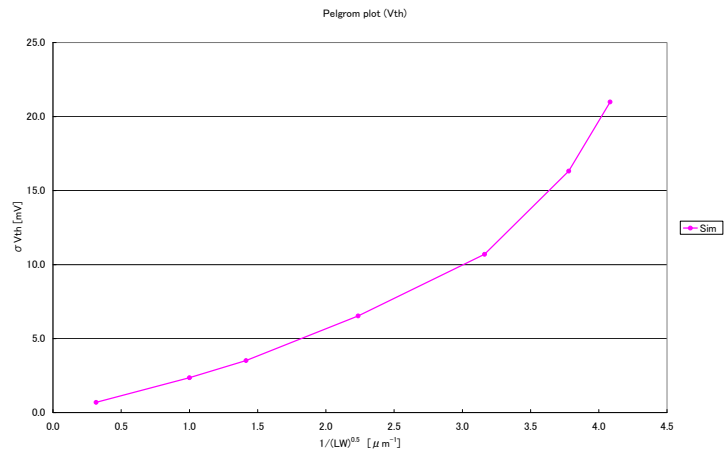
III-2-I-③-(1)-図 4)-1-5-9a. Excel 版 HiSIM-RP のばらつき計算用シート(1)
ファイル読み込み・計算実行部

環境パラメータ	指定値	デフォルト値	許容範囲
T (温度)	<input type="checkbox"/>	26.85 [°C]	-273.15 < T [°C]

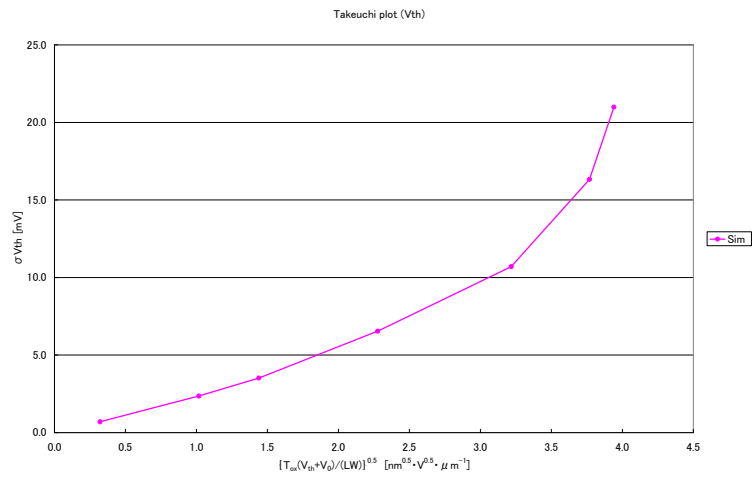
ランダムばらつき量の指定	指定値	デフォルト値	許容範囲
		nMOS pMOS	
MONTEFACTOR (不純物濃度ばらつき量への乗数)	<input type="checkbox"/>	1.8 1.35	0 < MONTEFACTOR
SIGMAL (ゲート長ばらつき量(1σ)@√L(1um))	<input type="checkbox"/>	0 [m]	0 ≤ SIGMAL [m]
SIGMAW (ゲート幅ばらつき量(1σ)@√L(1um))	<input type="checkbox"/>	0 [m]	0 ≤ SIGMAW [m]
SIGMATOX (ゲート酸化膜厚ばらつき(1σ)@√LW(1um ²))	<input type="checkbox"/>	0 [m]	0 ≤ SIGMATOX [m]
SIGMAXLD ((オーバーラップ長ばらつき(1σ)@√W(1um))	<input type="checkbox"/>	0 [m]	0 ≤ SIGMAXLD [m]
SIGMAXJ (ソース・ドレイン接合深さばらつき(1σ)@√W(1um))	<input type="checkbox"/>	0 [m]	0 ≤ SIGMAXJ [m]
SIGMARSD (ソース・ドレイン寄生抵抗ばらつき(1σ)@√W(1um))	<input type="checkbox"/>	0 [Ωm]	0 ≤ SIGMARSD [Ωm]
SIGMAMUE (キャリア移動度ばらつき(1σ)@√LW(1um ²))	<input type="checkbox"/>	0 [比率]	0 ≤ SIGMAMUE ≤ 1 [比率]

グローバルばらつき量の指定	指定値	デフォルト値	許容範囲
SIGMAGNSUBC (チャネル不純物濃度ばらつき量(1σ))	<input type="checkbox"/>	0 [比率]	0 ≤ SIGMAGNSUBC ≤ 1 [比率]
SIGMAGNSUBP (Halo不純物濃度ばらつき量(1σ))	<input type="checkbox"/>	0 [比率]	0 ≤ SIGMAGNSUBP ≤ 1 [比率]
SIGMAGL (ゲート長ばらつき量(1σ))	<input type="checkbox"/>	0 [m]	0 ≤ SIGMAGL [m]
SIGMAGW (ゲート幅ばらつき量(1σ))	<input type="checkbox"/>	0 [m]	0 ≤ SIGMAGW [m]
SIGMAGTOX (ゲート酸化膜厚ばらつき(1σ))	<input type="checkbox"/>	0 [m]	0 ≤ SIGMAGTOX [m]
SIGMAGXLD (オーバーラップ長ばらつき(1σ))	<input type="checkbox"/>	0 [m]	0 ≤ SIGMAGXLD [m]
SIGMAGXJ (ソース・ドレイン接合深さばらつき(1σ))	<input type="checkbox"/>	0 [m]	0 ≤ SIGMAGXJ [m]
SIGMAGRSD (ソース・ドレイン寄生抵抗ばらつき(1σ))	<input type="checkbox"/>	0 [Ωm]	0 ≤ SIGMAGRSD [Ωm]

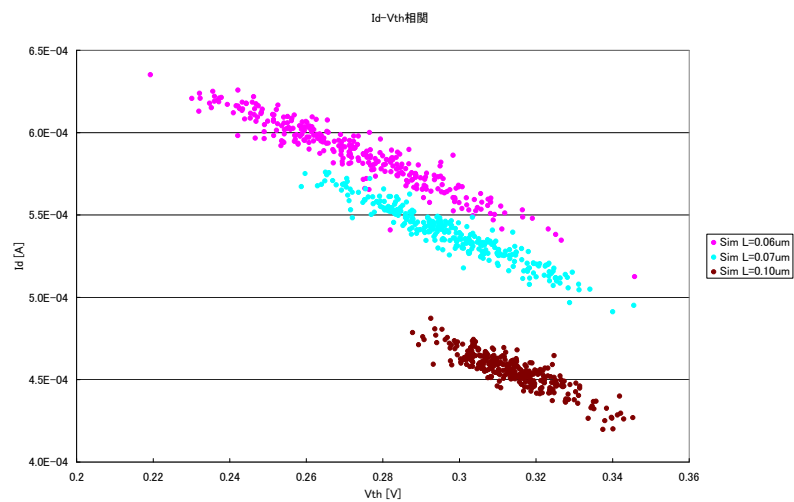
III-2-I-③-(1)-図 4)-1-5-9b. Excel 版 HiSIM-RP のばらつき計算用シート(2)
ばらつきパラメータの指定部



III-2-I-③-(1)-図 4)-1-5-10. Excel 版 HiSIM-RP のばらつき計算のグラフの例(1) Vth ばらつきの Pelgrom プロット



III-2-I-③-(1)-図 4)-1-5-11. Excel 版 HiSIM-RP のばらつき計算のグラフの例(2) Vth ばらつきの Takeuchi プロット



III-2-I-③-(1)-図 4)-1-5-12. Excel 版 HiSIM-RP のばらつき計算のグラフの例(3) Ids-Vth 相関図

以上で説明したアプリケーション Excel 版 HiSIM-RP を使用することで、開発目的である、小変更プロセスに対する高速なばらつき予測を可能にすると共に、更にばらつき成分の分離や統計 SPICE モデル作成のための基礎情報を提供する手段を提供することが可能となった。

参考文献

[Ⅲ-2- I -③-(1)-文献 4)-1-1] H. Sakamoto, et al., “A Surface Potential Model for Bulk MOSFET which Accurately Reflects Channel Doping Profile Expelling Fitting Parameters,” to be presented at SISPAD, Hakone, September 2008.

[Ⅲ-2- I -③-(1)-文献 4)-1-2] H. Sakamoto, et al., “A Discrete Surface Potential Model which Accurately Reflects Channel Doping Profile and its Application to Ultra-Fast Analysis of Random Dopant Fluctuation”, SISPAD 2009, pp. 95-98, 2009.

[Ⅲ-2- I -③-(1)-文献 4)-1-3] M. Miura-Mattausch et al., ”HiSIM2:Advanced MOSFET Model Valid for RF Circuit Simulation,” IEEE Trans. Electron Devices, Vol.53, No.9, pp.1994-2007, 2006.

[Ⅲ-2- I -③-(1)-文献 4)-1-4] H. Shin, et. al, “A New Approach to Verify and Derive a Transverse-Field-Dependent Mobility Model for Electrons in MOS Inversion Layers”, IEEE Trans. on Electron Devices, vol.36, pp.1117-1124, 1989.

[Ⅲ-2- I -③-(1)-文献 4)-1-5] D. L. Scharfetter, et. al, “Large-signal analysis of a silicon read diode oscillator”, IEEE Trans. on Electron Devices, ED-16, No.1, pp.64-77, 1969.

[Ⅲ-2- I -③-(1)-文献 4)-1-6] International Technology Roadmap for Semiconductors, 2007 Edition, Process Integration, Devices, and Structures,

http://www.itrs.net/Links/2007ITRS/2007_Chapters/2007_PIDS.pdf

4)-2 ストレス起因のレイアウトパターン依存性モデル

4)-2-1 開発の目的

プロセステクノロジーの微細化が進むにつれ、トランジスタは周囲からのストレスの影響を強く受けるようになり、結果として、 L 、 W が同じトランジスタであっても、トランジスタ自身の拡散層形状や、周囲の拡散層やフィールド領域の配置状態によって電気特性が変動する。トランジスタ自身の拡散層形状に依存した電気特性変動は既に BSIM4 等のコンパクトトランジスタモデルで表現されているものの、トランジスタ周囲のレイアウトによる特性変動は、十分なモデル化がなされていない。

本開発は、実デバイスと TCAD を用いてレイアウトパターンに依存するストレス解析を行い、レイアウトパターンに依存したトランジスタ電気特性のストレスによる変動を予測するためのコンパクトモデルを開発する。本開発では、このモデリングにより、ストレス起因のレイアウトパターン依存性を抑制するためのプロセス条件やデバイス構造に関する開発指針を得ることを目的としている。また、本開発の成果を回路技術との境界領域における耐ばらつき基盤技術として展開し、ストレス起因のレイアウトパターン依存性に関する情報を汎用 LVS(Layout Versus Schematic)/LPE(Layout Parameter Extraction)ツール等を介して回路技術側に受け渡すための道筋をつけることも視野に入れている。

この目的を実現するために、既に MIRAI プロジェクト第三期前半において、コンパクトストレスモデルの基本形の開発を実施している。このコンパクトストレスモデルの基本形は、単純な矩形からなる任意のトランジスタレイアウトに対して、ストレス起因のトランジスタの電気特性のレイアウトパターン依存性を、 I_{on} 変動に関しては $\pm 5\%$ 、 V_{th} 変動に関しては $\pm 15\text{mV}$ の精度で表現可能であるという特長を有している。また、この基本コンパクトストレスモデルは既に汎用 LVS/LPE ツールへ実装されている。

これらの成果を踏まえ、MIRAI プロジェクト第三期後半では、単純な矩形だけでなく、より複雑なレイアウト形状が取り扱えるように、コンパクトストレスモデルの基本的なフレームを改良すると共に、より微細なプロセスに対する精度検証を行なうことを、主たる開発内容とする。最終的な成果目標としては、実際の LSI に現れる複雑なレイアウト図形に対しても、ストレス起因のトランジスタの電気特性のレイアウトパターン依存性を、 I_{on} の精度 $\pm 5\%$ 、 V_{th} の精度 $\pm 20\text{mV}$ で予測可能であることを実証することとした。

4)-2-2 基本コンパクトストレスモデル

MIRAI プロジェクト第三期前半で開発したコンパクトストレスモデルの基本的な考え方を、Ⅲ-2-I-③-(1)-図 4)-2-2-1 に示す。均一領域からなる 2 次元平面レイアウト上に線状のストレス源があると仮定すると、そのレイアウトと垂直な断面内では、ストレスと静電界の“ごく大雑把な”アナロジーによって、線状のストレス源からの距離に反比例したストレスが発生することが期待される。しかし、実際の LSI のレイアウトでは、ストレス源が分布していたり、材質が不均一であったりするため、基本コンパクトストレスモデルでは、距離に対する単なる反比例ではなく、より一般的な双曲線関数を基本関数形として使用する。

Ⅲ-2-I-③-(1)-図 4)-2-2-2 に、基本コンパクトストレスモデルのモデル式を示す。隣接拡散層間距離依存性が、自分自身の拡散層の長さで変調される現象を表現するために、基本関数形を入れ子にする。隣接拡散層として考慮するのは最近接の拡散層のみで、第二近接以降は無視する。また、応力を L 方向、 W 方向、垂直方向に分離し、 I_{on} 、 V_{th} の変動量はそれらの応力成分に感度係数を乗じて評価する[Ⅲ-2-I-③-(1)-文献 4)-2-1]。 I_{on} に対する感度係数にはピエゾ抵抗係数を使用する。

ストレスと静電界の“ごく大雑把な”アナロジー

変位 u	⇔	静電ポテンシャル ϕ
歪 ϵ	⇔	電界 \mathcal{E}
応力-歪行列 D	⇔	誘電率 ϵ
応力 σ	⇔	電束 \mathcal{D}
ストレス源 f	⇔	電荷 ρ

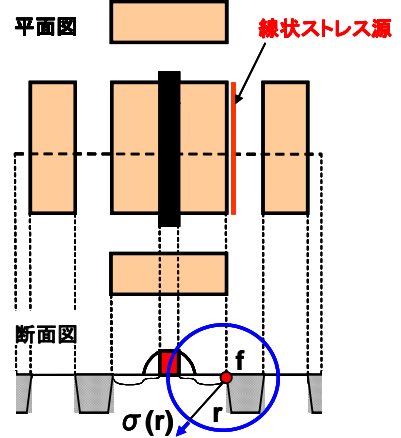
静電界の線状電荷と2次元電束の関係式 $D(r) = \frac{\rho}{2\pi r}$ とのアナロジーにより、線状ストレス源に垂直な平面内の応力についても $\sigma(r) \propto \frac{f}{2\pi r}$ が成立することが期待される

実際にはストレス源の分布が不明であったり、材質が不均一なため、単純な $1/r$ にはならない

より一般化して自由度を高めた関数:

$$\sigma(r) = \frac{h_a}{r + h_b} + h_c$$

をコンパクトストレスモデルの基本関数とする



III-2-I-③-(1)-図 4)-2-2-1 コンパクトストレスモデルの基本的な考え方

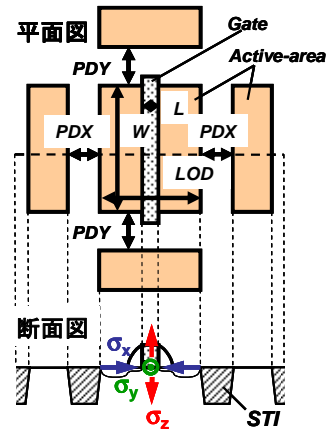
- ① 水平面内の応力 (σ_h) と垂直方向の応力 (σ_v) を分離
- ② 隣接拡散層間距離 (S_d) 依存性パラメータが、拡散層幅 (W_d) 依存性で変調されるよう、基本関数形を入れ子にする
- ③ I_{on} , V_{th} の変動量は感度係数でモデル化

$$\Delta\sigma_h(W_d, S_d) = \frac{\left(\frac{h_{aa}}{W_d + h_{ab}} + h_{ac}\right)}{S_d + \left(\frac{h_{ba}}{W_d + h_{bb}} + h_{bc}\right)} + \left(\frac{h_{ca}}{W_d + h_{cb}} + h_{cc}\right) \quad \text{水平方向ストレス}$$

$$\Delta\sigma_v(W_d, S_d) = \frac{\left(\frac{v_{aa}}{W_d + v_{ab}} + v_{ac}\right)}{S_d + \left(\frac{v_{ba}}{W_d + v_{bb}} + v_{bc}\right)} + \left(\frac{v_{ca}}{W_d + v_{cb}} + v_{cc}\right) \quad \text{垂直方向ストレス}$$

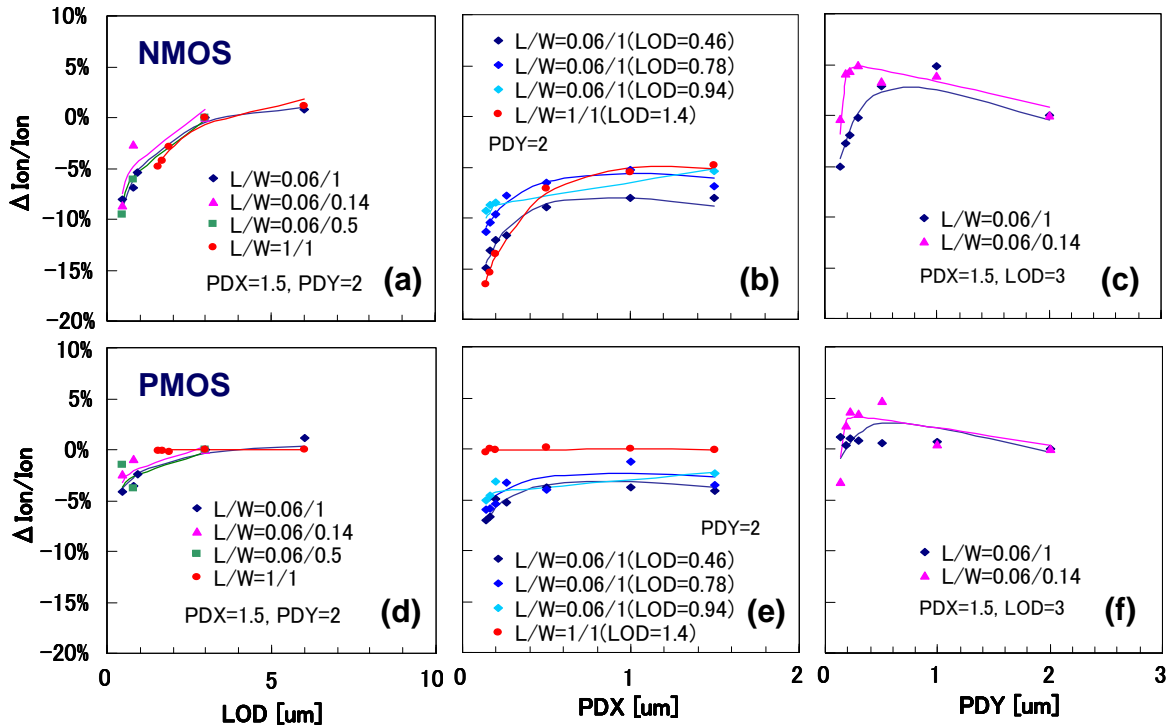
$$\begin{cases} \Delta\sigma_x = \Delta\sigma_h(LOD, PDX) \\ \Delta\sigma_y = \Delta\sigma_h(W, PDY) \\ \Delta\sigma_z = \Delta\sigma_v(LOD, PDX) + \Delta\sigma_v(W, PDY) \end{cases} \quad \text{基本レイアウト形状に対するストレス変動量}$$

$$\begin{cases} \frac{\Delta I_{on}}{I_{on}} = -(\pi_{ix} \times \Delta\sigma_x + \pi_{iy} \times \Delta\sigma_y + \pi_{iz} \times \Delta\sigma_z) \\ \Delta V_{th} = -(\pi_{vx} \times \Delta\sigma_x + \pi_{vy} \times \Delta\sigma_y + \pi_{vz} \times \Delta\sigma_z) \end{cases} \quad \text{基本レイアウト形状に対する電気特性変動量}$$



III-2-I-③-(1)-図 4)-2-2-2 基本コンパクトストレスモデルのモデル式の概要

この基本コンパクトストレスモデルを hp90nm (65nm ノード) プロセスに適用してレイアウトパターン依存性の再現精度を検証したのが III-2-I-③-(1)-図 4)-2-2-3 である。トランジスタ自身の拡散層幅 (LOD) や、チャネル長方向の隣接拡散層間距離 (PDX) が短くなると、ストレスによって I_{on} が変動する様子が精度良く表現されている。また、 W 方向の隣接拡散層間距離 (PDY) 依存性に関して、 PDY が短くなると I_{on} が一旦増加して減少するという非単調性が精度良く再現されている [III-2-I-③-(1)-文献 4)-2-1]。

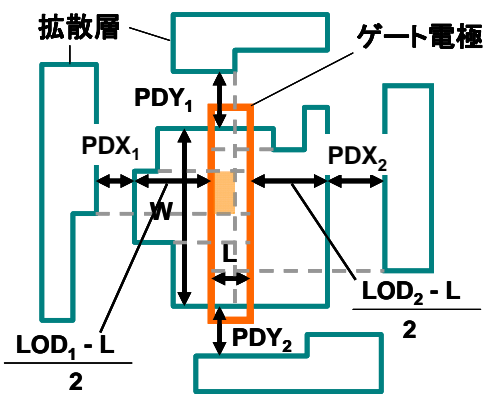


III-2- I -③-(1)-図 4)-2-2-3 hp90nm(65nm ノード)プロセスによる基本コンパクトストレスモデルの精度検証結果. (a)nMOS I_{on} 変動量の拡散層幅(LOD)依存性. (b)nMOS I_{on} 変動量の横方向隣接拡散層間距離(PDX)依存性. (c)nMOS I_{on} 変動量の縦方向隣接拡散層間距離(PDY)依存性. (d)pMOS I_{on} 変動量の拡散層幅(LOD)依存性. (e)pMOS I_{on} 変動量の横方向隣接拡散層間距離(PDX)依存性. (f)pMOS I_{on} 変動量の縦方向隣接拡散層間距離(PDY)依存性.

4)-2-3 複雑なレイアウトパターンに対する一般化されたコンパクトストレスモデル

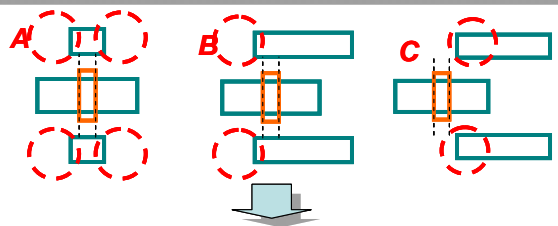
実際のレイアウトパターンはIII-2- I -③-(1)-4)-2-2 で扱った様な単純矩形ではなく、より複雑な形状が多数使用されている。III-2- I -③-(1)-図 4)-2-3-1 は、基本コンパクトストレスモデルをより一般的で複雑なレイアウトパターンに対応させる手法の概要を説明したものである。基本的な考え方は、同図の左側にあるように、まず、①隣接拡散層も含めたレイアウト図形の頂点でトランジスタのチャンネル内部をスライスし、次に、②各スライスの上下左右の図形を垂直投影してストレスを計算する。最後に、③得られたストレスをチャンネル内に占める面積で重み付けして足し合わせる、というものである。^[III-2- I -③-(1)-4)-2-2] これら①～③の処理は、通常物質はポアソン比が 0.3 以下と小さく、ストレス源からの主軸方向のストレスが支配的である、という事実に基づいたものである。但し、より微細化されたプロセスで L が短い場合には W 方向の隣接拡散層を垂直投影すると精度が落ちるため、III-2- I -③-(1)-図 4)-2-3-1 の右側にある様に、一旦投影する範囲を広げてから応力を計算するように処理を変更する [III-2- I -③-(1)-文献 4)-2-2]。

複雑なレイアウト図形に対する計算法

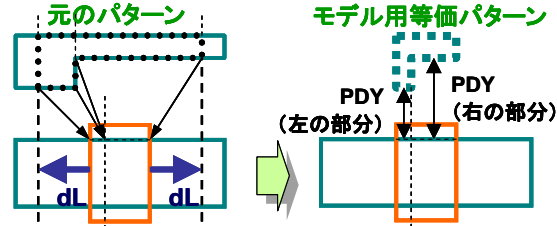


- ① 図形の頂点でチャンネル内をスライス
- ② 各スライスの上下左右の図形を参照 (垂直投影)してストレスを計算
- ③ 面積で重み付けして足し合わせる

より微細化されたプロセスでは、A、Bでは隣接拡散層の影響を過大評価、Cでは過小評価

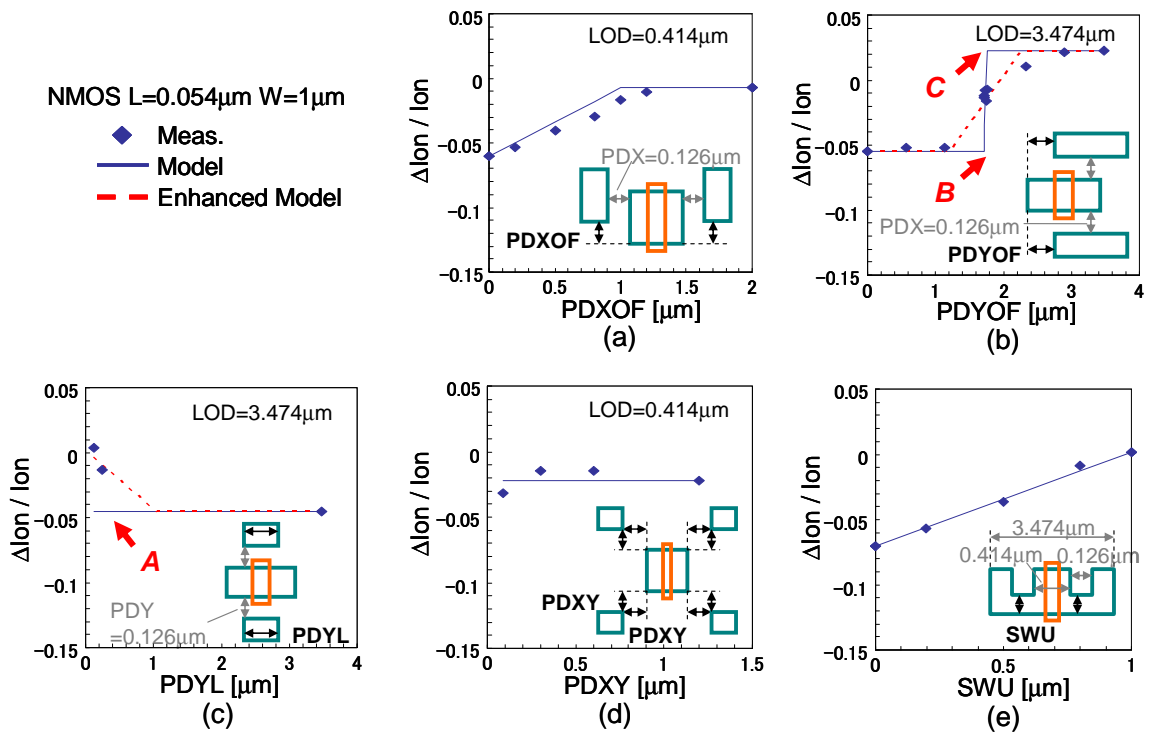


考慮範囲を広げるよう演算を改良すると、モデル精度は格段に向上 (精度検証結果のグラフの "Enhanced Model" 参照)



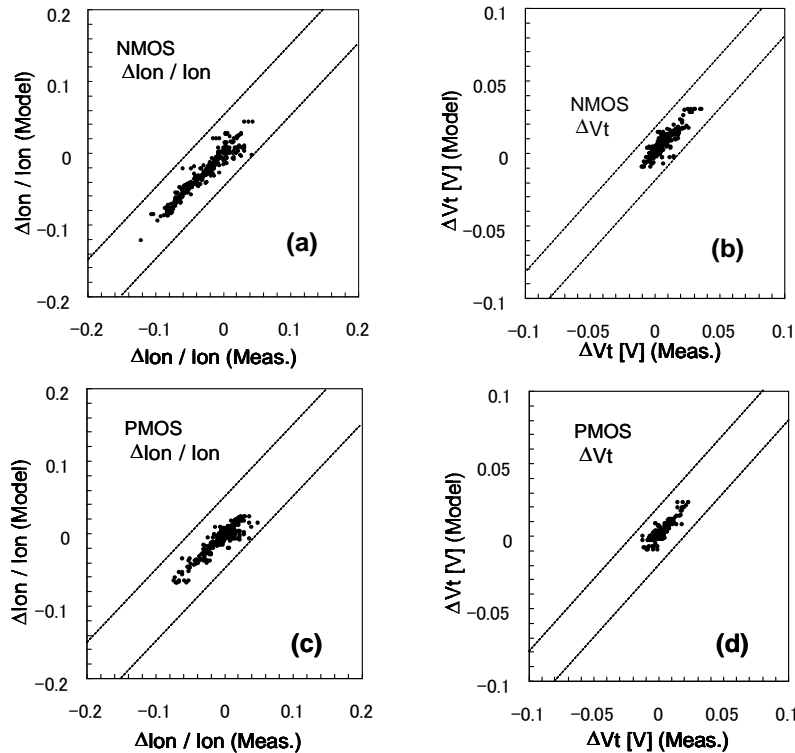
Ⅲ-2- I -③-(1)-図 4)-2-3-1 複雑なレイアウト図形に対するコンパクトストレスモデルの処理

この様に一般化されたコンパクトモデルの精度を、複雑なレイアウトに現れる特徴的なパターン群を用いて検証した結果がⅢ-2- I -③-(1)-図 4)-2-3-2 である。測定値は hp78m (55nm ノード) プロセスによるものであり、一般化されたコンパクトストレスモデルは測定値を高精度で再現していることがわかる。同図(a)は、横方向隣接拡散層の縦方向オフセット依存性を示したものであり、オフセットが 0 の場合は基本コンパクトストレスモデルでの扱いと等価になり、オフセットが W を越えると横方向隣接拡散層が存在しない場合と等価になる。一般化されたコンパクトストレスモデルによる計算値は、垂直投影処理を反映して、この両方の間を線形補間した結果となっているが、測定値も同様の結果を示している。同図(b)は、縦方向隣接拡散層の横方向オフセット依存性を示したものであり、図中の B, C は単純な垂直投影を想定した場合で、赤の破線が、Ⅲ-2- I -③-(1)-図 4)-2-3-1 の右側に示した演算の改良を施したモデルである。この場合は、比較に適切な測定値が存在しないため、演算の改良効果は判断出来ないが、同図(c)に示す縦方向隣接拡散層の拡散層幅依存性を見ると、A での演算の改良効果は明白である。同図(d)は、垂直投影されない隣接拡散層の距離依存性を示したものであり、距離を変えても Ion が変動しないことから、垂直投影が妥当な処理であることがわかる。最後に同図(e)は、凹字型拡散層の底部の厚みに対する依存性を示したものであり、厚み 0 の場合は横方向隣接拡散層が存在するトランジスタに対する基本コンパクトストレスモデルでの扱いになり、厚みが W に達すると自己拡散層幅 (LOD) の大きい、隣接拡散層の存在しないトランジスタとなる。一般化されたコンパクトストレスモデルによる計算値は、やはり垂直投影処理を反映して、厚み 0 から W の間を線形補間した結果となっているが、実測値も同様の振る舞いをしており、モデルの処理が妥当であることがわかる。



Ⅲ-2-I-③-(1)-図 4)-2-3-2 hp78nm (55nm ノード)プロセスによる複雑なレイアウトパターンに対する一般化されたコンパクトストレスモデルの精度検証結果。(a)横方向隣接拡散層の縦方向オフセット依存性。(b)縦方向隣接拡散層の横方向オフセット依存性。(c)縦方向隣接拡散層の拡散層幅依存性。(d)垂直投影されない隣接拡散層の距離依存性。(e)凹字型拡散層底辺厚み依存性。

Ⅲ-2-I-③-(1)-図 4)-2-3-3 は、hp78nm (55nm ノード)プロセスにおいて、Ⅲ-2-I-③-(1)-図 4)-2-2-2ならびにⅢ-2-I-③-(1)-図 4)-2-3-2 で示したレイアウトパターンを含む様々なレイアウトパターンに対して、一般化されたコンパクトストレスモデルを用いた電気特性変動量の計算結果と TEG による電気特性変動量の測定結果を比較した結果である。一般化されたコンパクトストレスモデルの計算結果は、全て測定値に対して目標精度である V_{th} 誤差 ± 20 mV、 I_{on} 誤差 $\pm 5\%$ を満たしていることがわかる。



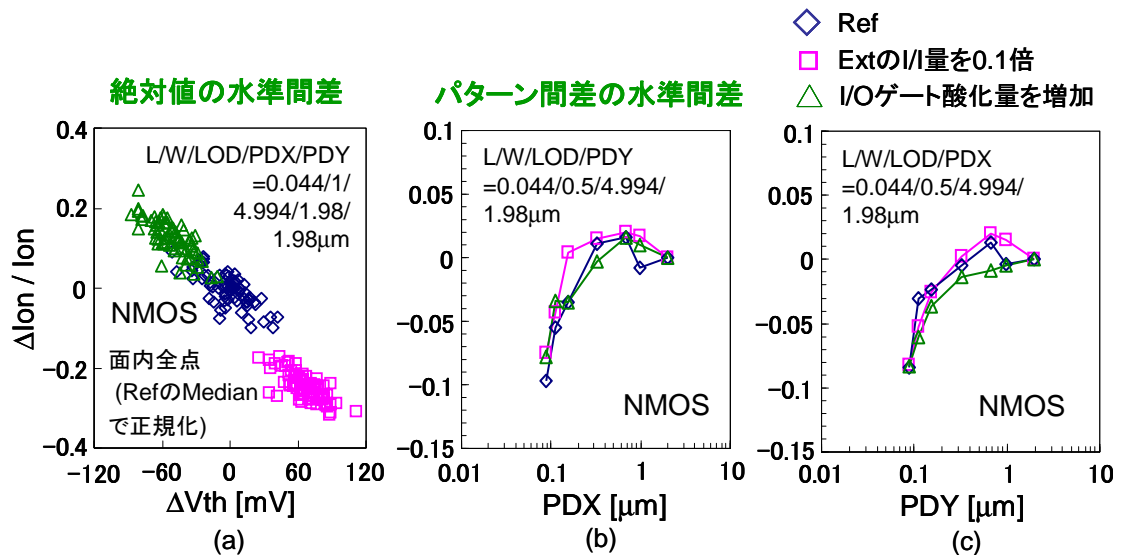
III-2- I -③-(1)-図 4)-2-3-3 様々なレイアウトパターンに対する一般化されたコンパクトストレスモデルの計算結果とTEG測定結果の比較。各グラフの中の1個の点々が、1種類のレイアウトパターンに対応している。グラフ中の斜線で挟まれた領域が、目標とした精度範囲 (V_{th} 誤差 $\pm 20\text{mV}$ 、 I_{on} 誤差 $\pm 5\%$)を表す。(a)nMOSの I_{on} 変動量。(b)nMOSの V_{th} 変動量。(c)pMOSの I_{on} 変動量。(d)pMOSの V_{th} 変動量。

4)-2-4 プロセス条件変動に対するスケーラビリティ検証

今回開発したコンパクトストレスモデルは、トランジスタ電気特性のレイアウトパターン依存性を評価するTEGを試作して、その測定結果からモデルパラメータを抽出することを前提としている。しかし、プロセス条件を変更する度にレイアウトパターン依存性評価TEGを試作してパラメータ抽出を行なうのは費用と手間がかかるため、ある程度プロセス条件が変動しても抽出したモデルパラメータがそのまま使えるスケーラビリティの高いモデルであることが望ましい。

このプロセス条件変動に対して、電気特性変動のレイアウトパターン依存性がどのような振る舞いをするかをhp56nm(40nmノード)プロセスを用いて調べた結果が、III-2- I -③-(1)-図 4)-2-4-1である。プロセス条件水準としては次の二つを用意した。一つは、後にIII-2- I -③-(1)-4)-2-6で述べる様に、ストレスに依存してS/D-extensionの横方向拡散が変化し、実効チャンネル長が変化することが V_{th} 変動の要因の一つであることから、S/D-extensionのヒ素注入ドーズ量を1/10にして実効チャンネル長を長くした水準である。もう一つは、MIRAI第3期前半での解析により、STI埋設後のI/Oゲート酸化による体積膨張が主たるストレス源であることが判明しているため、I/Oゲート酸化膜の酸化時間を長くしてストレスを増した水準である。III-2- I -③-(1)-図 4)-2-4-1の(a)はプロセス条件水準により、 I_{on} と V_{th} がリファレンス水準からどの程度変化したかを示している。S/D-extensionの注入ドーズ量を1/10にして実効チャンネル長を長くした水準は、予想通りに V_{th} が上昇し、 I_{on} が低下している。一方I/Oゲート酸化時間を長くした水準は、本来ならばストレスの増加に伴って V_{th} が上昇し、 I_{on} が低下するはずであるが、実験結果はそれとは反対の結果を示している。これは、I/Oゲート酸化の長時間化によってB

が酸化膜中へ偏析する効果が、ストレスが増大する効果を上回ったためであると思われる。同図(b), (c)は、それぞれリファレンスパターンからの変動量で規格化した I_{on} 変動量の横方向隣接拡散層間距離 (PDX) 依存性と縦方向隣接拡散層間距離 (PDY) 依存性である。これらのグラフから、プロセス条件によって I_{on} や V_{th} の絶対値は変動しても、リファレンスパターンからの変動量で規格化した I_{on} 変動量は、ほぼ同一のレイアウトパターン依存性を示すことがわかる。このことは、今回開発したコンパクトストレスモデルに、ある程度のプロセススケールビリティを期待出来ることを意味しており、微小変更プロセスであれば、既存のコンパクトストレスモデルパラメータを継続して使用することが出来る。



III-2-I-③-(1)-図 4)-2-4-1 プロセス条件を変化させた場合の電気特性変動のレイアウトパターン依存性の振る舞い。(a)nMOSの I_{on} 変動量と V_{th} 変動量の絶対値の相関分布。(b)リファレンスパターンからの変動量で規格化した nMOS の I_{on} 変動量の横方向隣接拡散層間距離 (PDX) 依存性。(c)リファレンスパターンからの変動量で規格化した nMOS の I_{on} 変動量の縦方向隣接拡散層間距離 (PDY) 依存性。

4)-2-5 他のコンパクトストレスモデルに対する優位性

これ迄に発表された他のコンパクトストレスモデルの文献を、[III-2-I-③-(1)-文献 4)-2-3]~[III-2-I-③-(1)-文献 4)-2-9]に示す。この内、[III-2-I-③-(1)-文献 4)-2-3]~[III-2-I-③-(1)-文献 4)-2-7]のモデルは隣接拡散層の影響を全く考慮しておらず、自分自身の拡散層の形状のみを問題としているため、III-2-I-③-(1)-図 4)-2-2-3の(b),(c),(e),(f)やIII-2-I-③-(1)-図 4)-2-3-2で取り上げた様なレイアウトパターン依存性を表現することが出来ない。また、[III-2-I-③-(1)-文献 4)-2-8]と[III-2-I-③-(1)-文献 4)-2-9]のモデルは、自分自身の拡散層の形状に加え、横方向の隣接拡散層の影響を考慮しているが、縦方向の隣接拡散層の影響は考慮されていないため、III-2-I-③-(1)-図 4)-2-2-3の(c),(f)やIII-2-I-③-(1)-図 4)-2-3-2の(b), (c)の様なレイアウトパターン依存性を表現することが出来ない。これに比べ、今回開発されたコンパクトストレスモデルは、実際の LSI に現れるストレス起因のレイアウトパターン依存性を余すことなく表現出来るため、現時点で最も優れたモデルであると言える。

4)-2-6 ストレス依存型不純物拡散モデルによる V_{th} のレイアウトパターン依存性の原因検討

V_{th} のストレス依存性による変動分を除去した I_{on} のストレス依存性に関しては、本コンパクトストレス

モデルも含め、ピエゾ抵抗係数による移動度変動のモデル化が既に定着しており、本質的なメカニズムの不明点は無い。しかし、 V_{th} のストレス依存性に関しては本質的なメカニズムが良くわかっておらず、本コンパクトストレスモデルでも経験的な感度係数を定義したモデル化を行っている。

レイアウトパターンに依存した V_{th} 変動の原因の一つとして、ストレスによる不純物拡散の変化が考えられる。そこで、Selete-TCAD に組み込まれているストレス依存型不純物拡散モデルを用いてレイアウトパターンに依存した V_{th} 変動の説明が可能かどうかを検証した。Selete-TCAD にはⅢ-2-I-③-(1)-図 4)-2-6-1 に示す様なストレス依存型不純物拡散モデルが組み込まれている。[Ⅲ-2-I-③-(1)-文献 4)-2-10] このモデルは、ストレスによってシリコン格子間隔が変化することにより、格子間シリコンやシリコン空孔を介して不純物が拡散するペア拡散の拡散定数が変化するという描像である。

$$\begin{aligned}
\frac{\partial C_A}{\partial t} + \nabla \mathbf{J}_A &= 0 \\
\frac{\partial C_I}{\partial t} + w_i \sum_A \frac{\partial}{\partial t} (K_{AI}(\sigma) C_A C_I) + \nabla \mathbf{J}_I + R_b + R_{311} &= 0 \\
\frac{\partial C_V}{\partial t} + w_i \sum_A \frac{\partial}{\partial t} (K_{AV}(\sigma) C_A C_V) + \nabla \mathbf{J}_V + R_b &= 0 \\
\mathbf{J}_A &= -D_{A,I}^*(\sigma) \nabla \left(C_A \frac{C_I}{C_I^*(\sigma)} \right) - Z_A D_{A,I}^*(\sigma) \left(C_A \frac{C_I}{C_I^*(\sigma)} \right) \frac{q}{kT} \nabla \phi \\
&\quad - D_{A,V}^*(\sigma) \nabla \left(C_A \frac{C_V}{C_V^*(\sigma)} \right) - Z_A D_{A,V}^*(\sigma) \left(C_A \frac{C_V}{C_V^*(\sigma)} \right) \frac{q}{kT} \nabla \phi \\
\mathbf{J}_I &= -D_I C_I^*(\sigma) \nabla \left(\frac{C_I}{C_I^*(\sigma)} \right) \\
&\quad - w_f \sum_A D_{A,I}^*(\sigma) \nabla \left(C_A \frac{C_I}{C_I^*(\sigma)} \right) - w_f \sum_A Z_A D_{A,I}^*(\sigma) \left(C_A \frac{C_I}{C_I^*(\sigma)} \right) \frac{q}{kT} \nabla \phi \\
\mathbf{J}_V &= -D_V C_V^*(\sigma) \nabla \left(\frac{C_V}{C_V^*(\sigma)} \right) \\
&\quad - w_f \sum_A D_{A,V}^*(\sigma) \nabla \left(C_A \frac{C_V}{C_V^*(\sigma)} \right) - w_f \sum_A Z_A D_{A,V}^*(\sigma) \left(C_A \frac{C_V}{C_V^*(\sigma)} \right) \frac{q}{kT} \nabla \phi \\
R_b &= K_R (C_I C_V - C_I^*(\sigma) C_V^*(\sigma)) \\
D_{A,I}^*(\sigma) &= D_{A,I}^*(\sigma=0) \cdot f_{AI.stress}(\sigma) \\
D_{A,V}^*(\sigma) &= D_{A,V}^*(\sigma=0) \cdot f_{AV.stress}(\sigma) \\
f_{AI.stress}(\sigma) &= \exp \left(-\frac{Q_I(A)}{kT} \cdot \frac{\varepsilon_x + \varepsilon_y}{2} \right) \\
f_{AV.stress}(\sigma) &= \exp \left(-\frac{Q_V(A)}{kT} \cdot \frac{\varepsilon_x + \varepsilon_y}{2} \right)
\end{aligned}$$

Ⅲ-2-I-③-(1)-図 4)-2-6-1 Selete-TCAD に組み込まれているストレス依存型不純物拡散モデル式。 σ はストレスを表す。上付きの*は、熱平衡時の値を表す。添え字 A は不純物 A を、添え字 I は格子間シリコンを、添え字 V はシリコン空孔をそれぞれ表す。 C_X は拡散種 X の濃度を、

D_X は X の拡散定数をそれぞれ表す. R_X は X の再結合率を、 K_X は X の平衡定数をそれぞれ表す. $Q_X(A)$ は拡散種 A と点欠陥 X のペア拡散定数のストレス依存性を表すモデルパラメータである. ε_x , ε_y はそれぞれ弾性歪の x 成分と y 成分を表す. q , k , T , ϕ はそれぞれ、単位電荷、ボルツマン定数、絶対温度、静電ポテンシャルを表す.

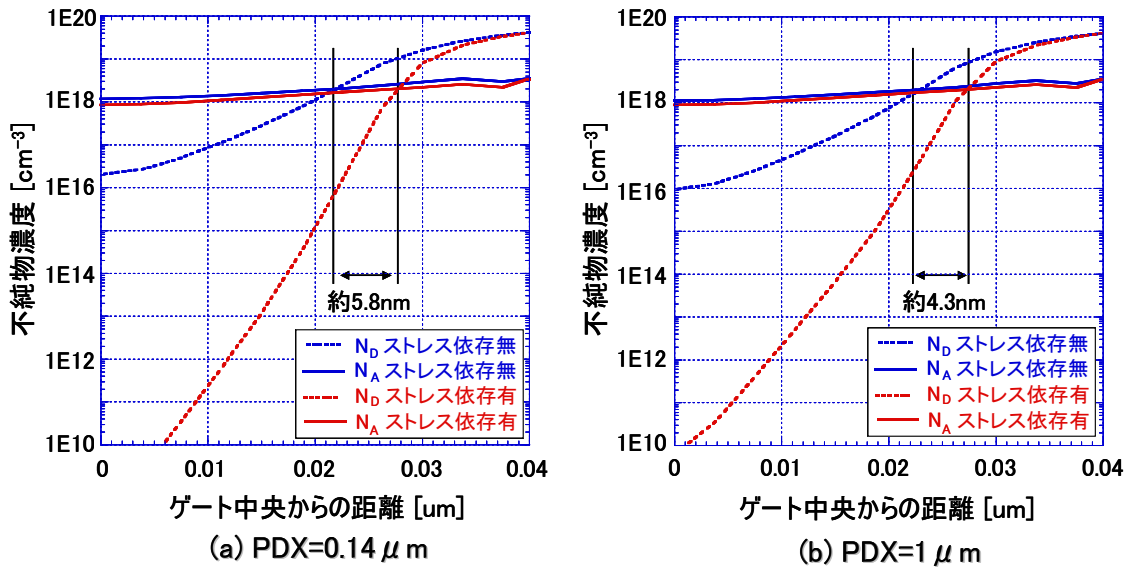
MIRAI 第3期前半に、NBDによる格子歪測定結果を再現する様に TCAD の応力パラメータをキャリブレーションする手法を開発しており、今回はその手法でキャリブレーションされた Selete-TCAD を用いて、hp90nm(130nm ノード)プロセスにおけるストレス依存型拡散の影響を検証した。トランジスタはレイアウトパターン依存性が pMOS に比べて大きい nMOS を使用した。また、拡散定数のストレス依存性を表すモデルパラメータは、Sheu のモデルパラメータと Cowern のモデルパラメータの等価性を利用して導出したⅢ-2-I-③-(1)-表 4)-2-6-1 に示す値を使用した。

Ⅲ-2-I-③-(1)-表 4)-2-6-1 ストレス依存型拡散のモデルパラメータ

不純物種	B	P	As
Q_I, Q_V [eV]	-14	-60	-28

Ⅲ-2-I-③-(1)-図 4)-2-6-2 は、ストレス依存型不純物拡散モデルの有無による $L=75\text{nm}$ の nMOS チャンネル表面の不純物プロファイルの変化を示したものである。横方向隣接拡散層間距離 (PDX) が (a)0.14 μm と (b)1 μm の両方共、ストレス依存型拡散モデルを使用することにより S/D-extension 比素の横方向拡散が圧縮応力によって抑えられ、PN 接合の位置が後退して実効チャンネル長が長くなっていることがわかる。また、隣接拡散層間距離が近い(a)の方が、より実効チャンネル長が長くなっている。この不純物プロファイルの変化がトランジスタの電気特性にどのような影響を与えるかを、ストレス依存型移動度モデルと組み合わせて評価した結果をまとめたものがⅢ-2-I-③-(1)-表 4)-2-6-2 である。ストレス依存型移動度モデルは、Selete-TCAD に組み込まれている通常のピエゾ抵抗係数モデルを使用した。ストレス依存型拡散モデルとストレス依存型移動度モデルを用いた計算(青地)は、ストレス依存性を全く考慮しない計算(赤地)に比べ、 V_{th} が上昇し、 I_{on} が低下している。また、その変動量は、横方向隣接拡散層間距離 (PDX) が小さい方がより大きい。この表を見比べることにより、電気特性変動量の PDX 依存性を主に担っているのはストレス依存型拡散モデルによる実効チャンネル長の変化であり、ストレス依存型移動度モデルが PDX 依存性に与える影響は比較的小さいことがわかる。しかし、 V_{th} 変動量の絶対値に関しては、 $PDX=0.14\mu\text{m}$ と $PDX=1\mu\text{m}$ で 4mV の差しか無く、実際に観測されている約 20mV 程度の V_{th} 変動[Ⅲ-2-I-③-(1)-文献 4)-2-1]を説明するには十分ではない。ストレス依存型拡散モデルのモデルパラメータは、他の実験結果から抽出された文献値を使用しており、大きく変えることは好ましくないため、 V_{th} 変動量の再現には他のメカニズムを追加して考える必要がある。この点に関しては次節Ⅲ-2-I-③-(1)-4)-2-7 で考察する。

ストレス依存型拡散モデルを使用した TCAD シミュレーションは、ストレスを正確に計算するためには解析領域をある程度広く取る必要があるという事情もあり、クロック周波数 2.8GHz、メモリ 64GB の CPU サーバを用いて、1条件の計算に 100~250 時間を要しており、LSI 設計の現場で手軽に使用出来るものではない。従って、今回開発した様なコンパクトストレスモデルは、トランジスタ電気特性のレイアウトパターン依存性を考慮する必要のある、微細 LSI の設計には必須のツールであると言える。



III-2-I-③-(1)-図 4)-2-6-2 ストレス依存型拡散モデルの有無による、 $L=75\text{nm}$ の nMOS チャンネル表面の不純物プロファイルの変化。(a)横方向隣接拡散層間距離(PDX)が $0.14\mu\text{m}$ の場合。(b)横方向隣接拡散層間距離(PDY)が $1\mu\text{m}$ の場合。

III-2-I-③-(1)-表 4)-2-6-2 ストレス依存型拡散モデルとストレス依存型移動度モデルの組み合わせによる電気特性変動量

PDX = 0.14 μm $V_{\text{DS}} = 1.2\text{V}$

応力依存モデル		V_{th} [V]	I_{on} [mA]	I_{off} [mA]
拡散	移動度			
無	無	0.092	0.576	2.96E-5
	有	0.087 (-5mV)	0.519 (-9.9%)	3.51E-5
有	無	0.116 (+24mV)	0.486 (-16%)	1.47E-5
	有	0.109 (+17mV)	0.439 (-24%)	1.80E-5

PDX = 1.00 μm $V_{\text{DS}} = 1.2\text{V}$

応力依存モデル		V_{th} [V]	I_{on} [mA]	I_{off} [mA]
拡散	移動度			
無	無	0.083	0.601	3.68E-5
	有	0.079 (-4mV)	0.555 (-7.7%)	4.16E-5
有	無	0.100 (+17mV)	0.548 (-8.8%)	2.13E-5
	有	0.096 (+13mV)	0.507 (-16%)	2.44E-5

4)-2-7 第一原理バンド計算による V_{th} のストレス依存性評価

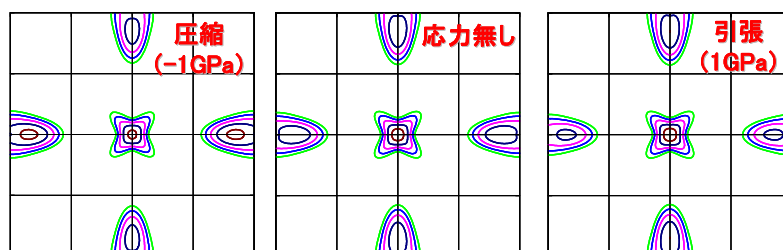
ストレスによる V_{th} 変動のメカニズムとしては、III-2-I-③-(1)-4)-2-6 で検討した様な、ストレスによって不純物拡散が変化する他に、ストレスによってシリコンのバンド構造が変化し、量子力学的効果によって表面量子化準位と表面量子化状態密度が変動する効果が考えられる。そこで、経験的擬ポテンシャル法を用いた第一原理バンド計算機能を有するフルバンド Monte Carlo デバイスシミュレ

ータによってストレス印加時の V_{th} 変動を評価した。

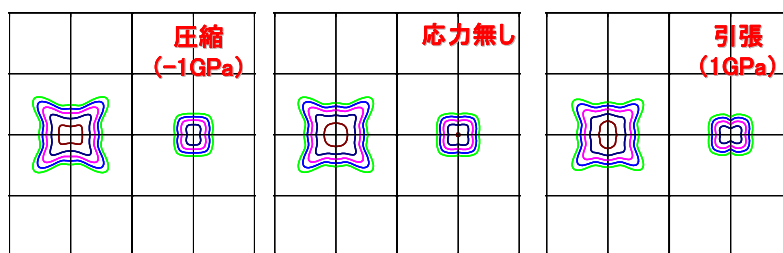
III-2-I-③-(1)-図 4)-2-7-1 に[100]チャンネル方向に一軸ストレスを印加した場合のシリコンバンド構造の計算結果の例を示す。ストレス印加によってバンド底の曲率が変わっていることがわかる。III-2-I-③-(1)-図 4)-2-7-2 にストレス起因のバンド構造変化による V_{th} 変動量を計算した結果を示す。ストレスが±500MPa 程度までは、ストレス印加方向が[100]であっても[110]であっても、 V_{th} 変動量はほぼ同じである。NBD による格子歪測定結果から、横方向隣接拡散層間距離 (PDX) が小さくなるにつれて 100~200MPa のオーダーの圧縮ストレスが発生することがわかっているため、この圧縮ストレスのレンジを今回の計算結果にあてはめると、 PDX に依存した V_{th} 変動量は、nMOS で 7mV、pMOS で 14mV となる。nMOS に関しては、ストレス依存型拡散モデルによる V_{th} 変動量 4mV を加えると全体で 11mV の変動量となり、実際の観測量 20mV にはまだ足りないが、第一原理バンド計算の精度を考えると、オーダー的には妥当な結果であると言える。また、pMOS に関しては、 V_{th} の変動方向が nMOS とは逆であり、ストレス依存型不純物拡散による実効チャンネル長の増大による V_{th} の上昇を打ち消す方向に働く。実際の測定結果でも pMOS の V_{th} 変動のレイアウトパターン依存性は nMOS より小さくなっており[III-2-I-③-(1)-文献 4)-2-1]、やはり今回の結果はオーダー的に妥当であると言える。

以上の結果から、 V_{th} のレイアウトパターン依存性は、ストレス依存型不純物拡散による実効チャンネル長の変動と、ストレスによるバンド構造の変化でオーダー的には説明可能なことが明らかになった。

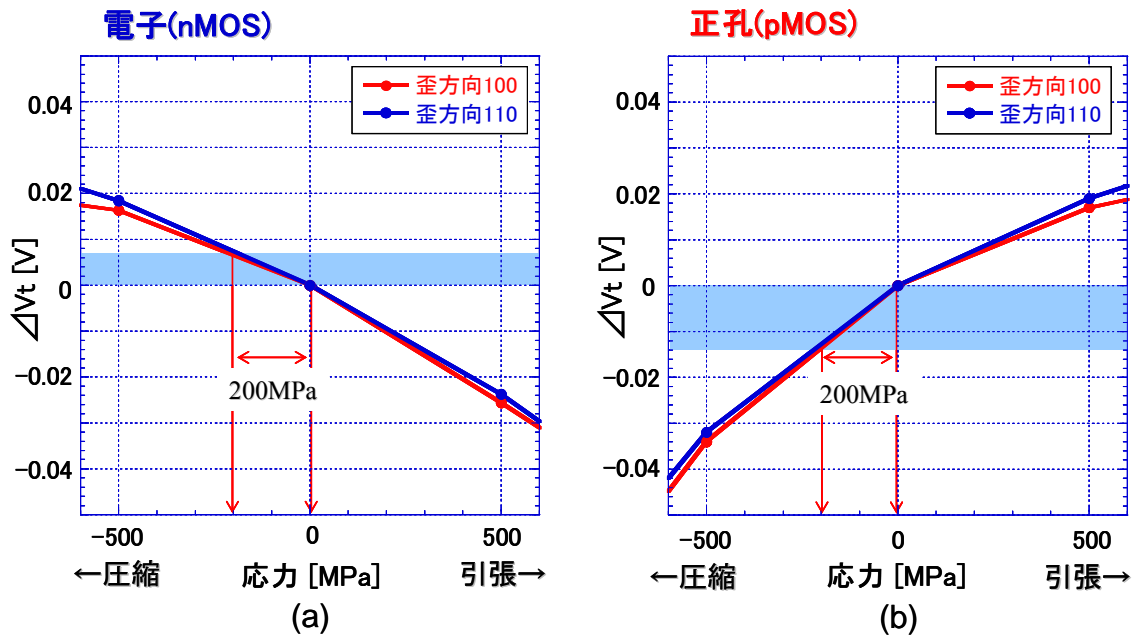
nMOS [100] チャンネル



PMOS [100] チャンネル



III-2-I-③-(1)-図 4)-2-7-1 チャンネル方向に一軸ストレスを印加した場合の第一原理計算によるシリコンバンド構造の計算例。



Ⅲ-2-Ⅰ-③-(1)-図 4)-2-7-2 ストレス起因のバンド構造変化による V_{th} 変動量の第一原理計算による計算結果.

4)-2-8 まとめ

MIRAI 第3期前半で開発した基本コンパクトストレスモデルを基に、複雑なレイアウトパターンに対応可能な一般化コンパクトストレスモデルを開発し、様々なレイアウトパターンに対するトランジスタ電気特性変動量の測定値に対して目標精度である V_{th} 誤差 $\pm 20\text{mV}$ 、 I_{on} 誤差 $\pm 5\%$ を満たしていることを検証した。また、一般化コンパクトストレスモデルは微小なプロセス変更に対するスケラビリティを持つことを確認した。最後に、キャリブレーションされた TCAD と第一原理バンド計算を用いたシミュレーションにより、 V_{th} のレイアウトパターン依存性は、ストレス依存型不純物拡散による実効チャンネル長の変動と、ストレスによるバンド構造の変化に起因する量子力学的効果でオーダー的には説明可能なことを明らかにした。

参考文献

- [Ⅲ-2-Ⅰ-③-(1)-文献 4)-2-1] K. Yamada, et al., "Layout-aware compact model of MOSFET characteristics variations induced by STI stress," IEICE Trans. Electronics, Vol.E91-C, No.7, pp.1142-1150, July 2008.
- [Ⅲ-2-Ⅰ-③-(1)-文献 4)-2-2] K. Yamada, et al., "Exhaustive and Systematic Accuracy Verification and Enhancement of STI Stress Compact Model for General Realistic Layout Patterns," IEICE Trans. Electronics, Vol.E93-C, No.8, pp.1349-1358, August 2009.
- [Ⅲ-2-Ⅰ-③-(1)-文献 4)-2-3] P. Tan, et al., "Compact modeling of mechanical STI y-stress effect," Solid-State and Integrated Circuit Technology, pp.1450-1452, 2006.
- [Ⅲ-2-Ⅰ-③-(1)-文献 4)-2-4] C. Pacha, et al., "Impact of STI-induced stress, inverse narrow width effect, and statistical VTH variations on leakage currents in 120nm CMOS," Solid-State Device Research Conference, pp.397-400, 2004.
- [Ⅲ-2-Ⅰ-③-(1)-文献 4)-2-5] M. Dunga, et al., "BSIM4 and BSIM multi-gate progress," NSTI-nanotech, pp.658-661, 2006.

- [Ⅲ-2- I -③-(1)-文献 4)-2-6] R. Bianchi, et al., "Accurate modeling of trench isolation induced mechanical stress effects on MOSFET electrical performance," Tech. Digest of International Electron Device Meeting, pp.117-120, 2002.
- [Ⅲ-2- I -③-(1)-文献 4)-2-7] K. Su, et al., "A scalable model for STI mechanical stress effect on layout dependence of MOS electrical characteristics," Custom Integrated Circuits Conference, pp.245-248, 2003.
- [Ⅲ-2- I -③-(1)-文献 4)-2-8] H. Tsuno, et al., "Advanced analysis and modeling of MOSFET characteristics fluctuation caused by layout variation," Symposium on VLSI Technology Digest, pp.204-205, 2007.
- [Ⅲ-2- I -③-(1)-文献 4)-2-9] A. Kahng, et al., "Exploiting STI stress for performance," International Conference on Computer-Aided Design, pp.83-90, 2007.
- [Ⅲ-2- I -③-(1)-文献 4)-2-10] HySyProS ver.4.2.0 ユーザーズ・マニュアル pp.411～413.

[5]特性ばらつきに対して耐性の高いデバイス・プロセス基盤技術の開発

5-1. ロバスト構造に向けたプレーナー型デバイス基盤技術開発

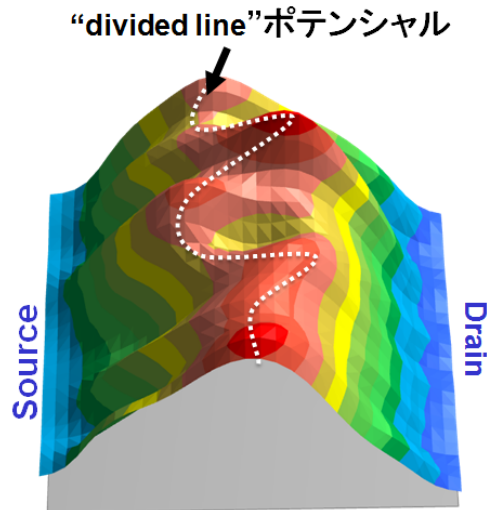
本開発項目では、特性ばらつきに対して耐性の高いデバイス構造提案のために、3次元デバイス・プロセスシミュレーション(以下、3D-TCADと呼ぶ)により、特性ばらつきの定量的評価、ばらつき要因の究明とロバスト構造に向けた指針の提示を行うことを目的としている。3D-TCADには、最も重要なランダムな特性ばらつきの原因と考えられる離散不純物揺らぎ(RDF: Random Dopant Fluctuation)を計算する機能を組み込んでいる。まず、65nmプロセス技術で現状用いられているプレーナー型のMOSトランジスタにおけるしきい値(V_{th})ばらつき、およびオン電流(I_{on})ばらつきの原因を検討した。

これまで、ランダムな電流ばらつきの主な要因として、 V_{th} ばらつきとトランスコンダクタンス(G_m)ばらつきが盛んに検討されてきた。しかし、 I_{on} ばらつきの原因は多岐にわたっており、未だ究明されていない部分も多い。本研究開発では、 I_{on} ばらつきの新たなばらつき要因として、“電流立上り電圧(ΔV_{th})”ばらつきを提案し、飽和領域においては G_m ばらつきよりも大きいことを示した。本開発では、 ΔV_{th} ばらつきの原因を明らかにするために、RDFを考慮した3D-TCADを用いた検討を実施した。

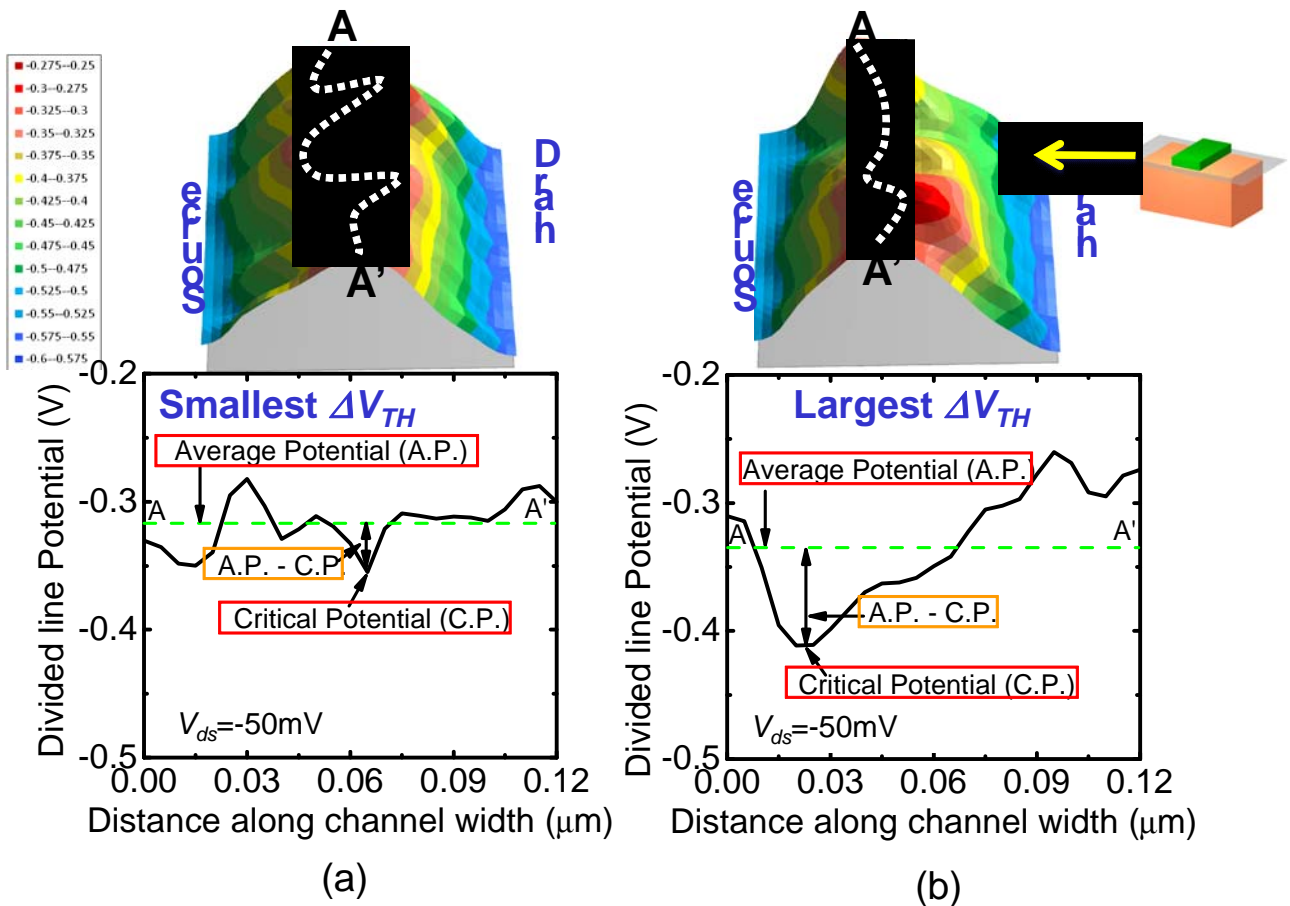
5-1-1.3D-TCADによるチャネルポテンシャル評価・解析

ΔV_{th} は I_{on} の立上り易さを表す指標であることから、 ΔV_{th} はPDFによるチャネル内のポテンシャルに影響を受けることが予測できる。そこで、RDFを考慮した3D-TCADを用いて、チャネル内のポテンシャルプロファイルを解析した。ここで、 V_{thc} をサブスレッショルド領域の定電流法($I_0=10^{-8} W_g/L_g$)で求めたしきい値、 V_{thex} を $I_{ds}-V_{gs}$ 特性の最大傾斜接線から求めた外挿しきい値、これら2種類のしきい値 V_{thc} 、および V_{thex} を用いて ΔV_{th} を両者の差、すなわち $\Delta V_{th} \equiv V_{thex} - V_{thc}$ と定義している。

III-2-I- (1)図 5-1-1 に3D-TCADで計算したチャネル内のポテンシャルプロファイルを示す。ここで、チャネル内のキャリアの流れ易さを議論するために、ソースドレイン間の電流パスにあるポテンシャル障壁を計算し、これを”divided line”と定義した。III-2-I- (1)図 5-1-2 に、線型領域($V_{ds} = -50mV$)における(a) ΔV_{th} が小さいPMOSと(b) ΔV_{th} が大きいPMOSのチャネル内のポテンシャルプロファイルを示す。III-2-I- (1)図 5-1-2(a)は、III-2-I- (1)図 5-1-2(b)と比較して、ポテンシャル揺らぎが明らかに小さい。これらの結果より、 ΔV_{th} がPDFによるポテンシャル揺らぎに大きく影響を受けると考えられる。更に、divided lineの最小ポテンシャルをcriticalポテンシャル(C.P.)、平均ポテンシャルをAverageポテンシャル(A.P.)と定義する。III-2-I- (1)図 5-1-2(a)(b)では、A.P.はほとんど同じだが、C.P.はIII-2-I- (1)図 5-1-2(b)の方が明らかに小さい。サブスレッショルド電流はdivided lineの最小ポテンシャルを有する電流パスを流れる。 V_{thc} はサブスレッショルド電流を表しているので、 V_{thc} はC.P.と相関があると考えられる。したがって、(A.P.-C.P.)が ΔV_{th} の指標となることが予想される。3D-TCADにおけるポテンシャル揺らぎの定量化手法を開発し、これが ΔV_{th} と相関があることを明らかにし、 ΔV_{th} を低減するにポテンシャル構造に関する知見を得た。



III-2-I- (1)図 5-1-1 3D デバイスシミュレーションで計算したチャンネル内のポテンシャルプロファイル

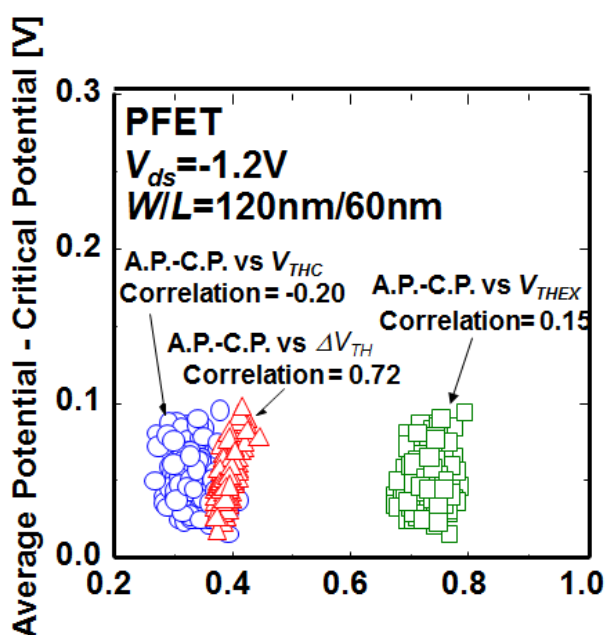


III-2-I- (1)図 5-1-2 3D デバイスシミュレーションで計算した線型領域 ($V_{ds} = -50\text{mV}$) におけるチャンネル内のポテンシャルプロファイル. (a) DV_{TH} が小さい PFET. (b) DV_{TH} が大きい PFET.

5-1-2. チャネルポテンシャルと特性ばらつきとの相関

III-2-I-③-(1)図 5-1-3 に、200 個の PFET をシミュレーションした飽和領域 ($V_{ds} = -1.2V$) における (A.P. - C.P.) の V_{THC} 、 V_{THEX} および ΔV_{TH} に対する相関を示す。ゲート長 60nm、ゲート幅 120nm である。(A.P. - C.P.) の V_{THC} および V_{THEX} に対する相関はともに非常に弱い。一方、これらと比較して、(A.P. - C.P.) の $|\Delta V_{TH}|$ に対する相関は強い。これは、 $|\Delta V_{TH}|$ は A.P. と C.P. との差によってほとんど決定することを意味する。従って、 ΔV_{TH} ばらつきは RDF によって生じるチャネル内のポテンシャル揺らぎを反映していると考えられる。

以上の結果より、オン電流ばらつき及びしきい値ばらつきの低減化に向けては、チャネル不純物の低減化が有効である事の指針が得られた。



III-2-I- (1)図 5-1-3 200 個の PFET をシミュレーションした飽和領域 ($V_{ds} = -1.2V$) における(A.P. - C.P.) に対する V_{THC} , V_{THEX} および ΔV_{TH} の相関

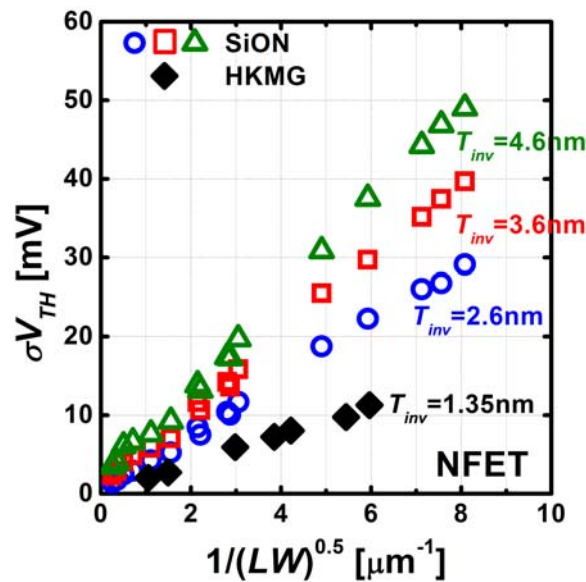
5-2. ロバスト構造に向けた高誘電率ゲート絶縁膜/メタルゲート電極(HKMG)デバイス基盤技術開発

High-k/Metal-Gate (以下、HK/MG 構造)の MOSFET では、従来の SiON 絶縁膜/Poly Si Gate (SiON) MOSFET と比較して反転層における電氣的ゲート酸化膜厚 (T_{inv}) が小さくなるため、 V_{TH} ばらつきが小さくなることが期待される。実際、Pelgrom プロットの勾配係数 AVT は、SiON MOSFET より小さい値が報告されている。ところが、 AVT は T_{inv} やチャネル不純物濃度 (N_{sub}) に依存するため、HKMG MOSFET が有するばらつき要因を公平に SiON MOSFET と比較しているとは言い難い。本開発項目では、HKMG MOSFET の特性ばらつき評価手法として、Takeuchi プロットの有効性を調べ、ロバスト構造に向け

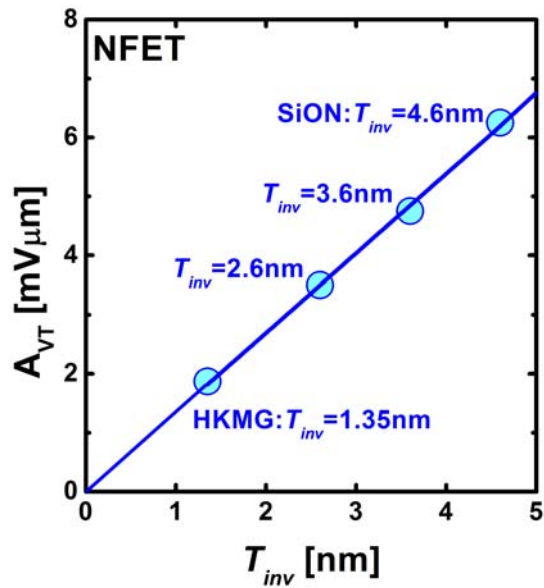
た指針を検討したので報告する。

5-2-1. Pelgrom プロットによる評価

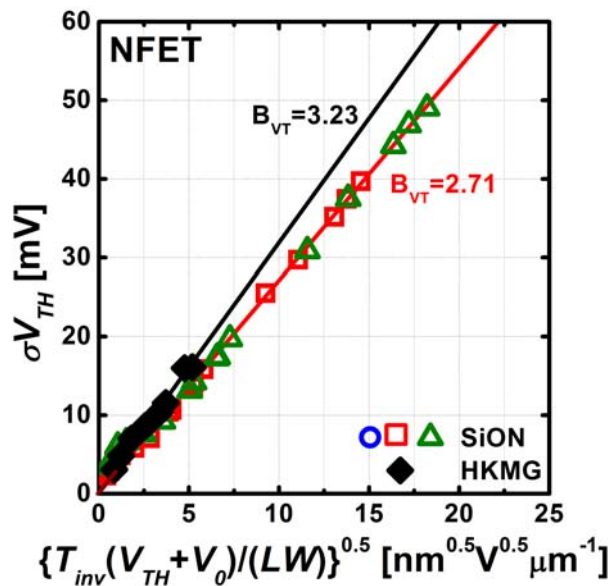
III-2-I-③-(1)図 5-2-1 に HKMG 構造の NMOS と従来の SiON 系のゲート絶縁膜を有する NMOS の Pelgrom プロットを示した。従来の SiON nMOSFET では T_{inv} を 3 種類 ($T_{inv} = 2.6\text{nm}$, 3.6nm , 4.6nm) に変化させている。この図からわかるように、明らかに HKMG nMOSFET の方がばらつきが小さく、AVT の値が小さい。III-2-I-③-(1)図 5-2-2 に AVT の T_{inv} 依存性を示す。AVT は T_{inv} に比例しており、HKMG nMOSFET のばらつき低減は T_{inv} の観点で説明できるかのようにみえる。ところが、HKMG nMOSFET の N_{sub} は、ゲート仕事関数の違いにより SiON nMOSFET の N_{sub} より大幅に小さいため、特性ばらつきは更に小さくなるべきと期待される。すなわち AVT には N_{sub} の減少の効果が反映されていない。



III-2-I- (1)図 5-2-1 HKMG nMOSFET と SiON の Pelgrom プロット.



III-2-I- (1)図 5-2-2 AVT の T_{inv} 依存性.



III-2-I- (1)図 5-2-3 HKMG nMOSFET と SiON の Takeuchi プロット.

5-2-2. Takeuchiプロットによる評価

III-2-I-③-(1)図 5-2-3 に同じトランジスタの Takeuchi プロットを示す。プロットにあたっては、CV 測定の結果からフラットバンド電圧 (V_{FB}) と真性半導体とのフェルミレベル差 (ϕ_F) を求め $V_0 (= -(V_{FB} + 2\phi_F))$ の値を算出した。HKMG nMOSFET の B_{VT} ($= 3.30$) の方が SiON nMOSFET ($B_{VT} = 2.71$) より大きいことが分かる。 B_{VT} では、分散不純物揺らぎの T_{inv} および N_{sub} による違いが正規化される。よってこの実測結果は、HKMG nMOSFET の方が SiON nMOSFET よりも分散不純物揺らぎ以外の別のばらつき要因が大きいことを示唆している。従って、HKMG デバイスでは、主として反転層における電氣的ゲート酸化膜厚が小さくなることで特性ばらつきが低減化できるが、さらなる特性ばらつき低減化に向けては、分散不

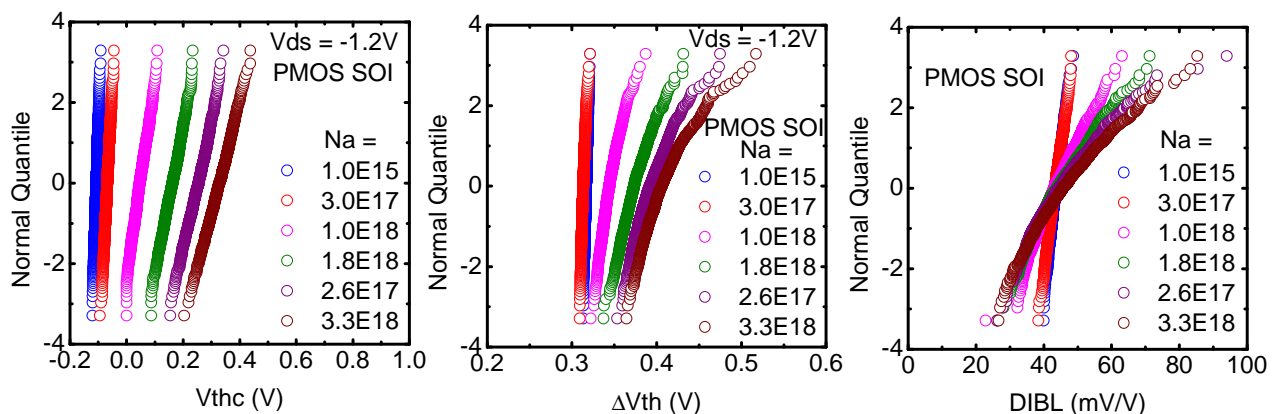
純物揺らぎ以外の要因分析も重要であることを明らかにした。また、Takeuchi プロットは、そうした HKMG MOSFET の特性ばらつきの評価手法としても有効であることが実証できた。

5-3. ロバスト構造に向けたSOIデバイス基盤技術開発

V_{th} ばらつきの支配的要因は、RDF である。また、5-1 項では、電流ばらつきに影響を与える”電流立上り電圧 (ΔV_{th})”が、RDF に起因するチャンネル幅方向のポテンシャル揺らぎが原因でばらつくことを報告した。さらに最近、回路特性に大きな影響を与える *DIBL* が、RDF に起因するチャンネル長方向の非対称性によりばらつくことを報告された。したがって、チャンネル不純物濃度を減らすと、 V_{th} ばらつきのみならず *DIBL* や ΔV_{th} ばらつきも抑制できると期待される。本開発項目では、短チャンネル効果を抑制しつつチャンネル不純物濃度を下げられるデバイス構造として、完全空乏型 (FD) SOI MOSFET について、RDF を考慮した 3D デバイスシミュレーションを用いて検討を実施した。さらにシミュレーション結果を検証するために、イントリシックチャンネル FD SOI MOSFET を実測し、 V_{th} 、*DIBL*、 ΔV_{th} ばらつきについて調査した。

5-3-1. 3D-TCADによるSOIデバイス特性ばらつき評価・解析

RDF を考慮したデバイスシミュレーションによる完全空乏化 SOI-MOSFET の特性ばらつきを III-2-I-③-(1)図 5-3-1 に示す。しきい値電圧 V_{thc} 、電流立上り電圧 ΔV_{th} 、*DIBL* の累積度数分布である。チャンネル不純物濃度は $1.0 \times 10^{15} \text{cm}^{-2}$ から $3.3 \times 10^{18} \text{cm}^{-2}$ まで変化させた。チャンネル不純物濃度がバルク MOSFET と同様に高い場合は、しきい値電圧 V_{thc} 、電流立上り電圧 ΔV_{th} 、*DIBL* ともに大きなばらつきを示すが、チャンネル不純物濃度を下げていくと、ばらつきが大幅に低減できることがわかる。チャンネル濃度が $3.0 \times 10^{17} \text{cm}^{-2}$ まで下がると、これ以上濃度を下げてもばらつきは変わらない。一般に、バルク MOSFET では短チャンネル効果を抑制するためにチャンネル濃度を下げることが困難であるが、FD SOI MOSFET は薄膜 SOI を用いることで短チャンネル効果を抑制することできる。したがって、FD SOI MOSFET では、特性ばらつき抑制と短チャンネル効果抑制を同時に達成することが可能である。



III-2-I- (1)図 5-3-1 シミュレーションによって求めた SOI PFET における V_{thc} 、電流立上り電圧 ΔV_{th} 、*DIBL* の累積度数分布。チャンネル不純物濃度を変化させ、それぞれ 1000 個の PFET をシミュレーションした。

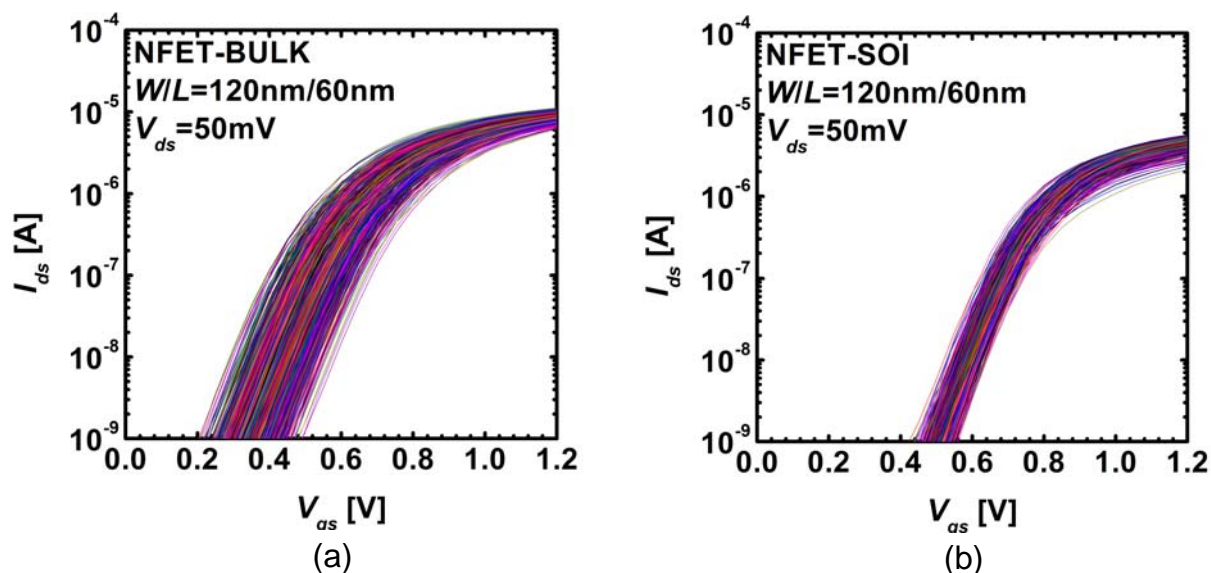
5-3-2. バルクデバイスとSOIデバイスの特性ばらつき比較評価・解析

65nm 技術で作製したそれぞれ 2000 個のイントリシックチャンネル FD SOI nMOSFET ($t_{SOI} = 10\text{nm}$ 、 $t_{BOX} = 10\text{nm}$) およびチャンネルドーピングしたバルク nMOSFET を大規模デバイスマトリクスアレイ (DMA) TEG を用いて測定した。 V_{TH} を調整するために SOI nMOSFET にはメタルゲート、一方バルク MOSFET にはポリシリコンゲートを用いた。電気的ゲート酸化膜厚 (EOT) はほぼ同じである。III-2-I-③-(1)図 5-3-2 に、線形領域 ($V_{ds} = 50\text{mV}$) における(a)バルク NFET (b)FD SOI NFET の I_{ds} - V_{gs} 特性を示す。ここで、ゲート長 60nm、ゲート幅 120nm である。

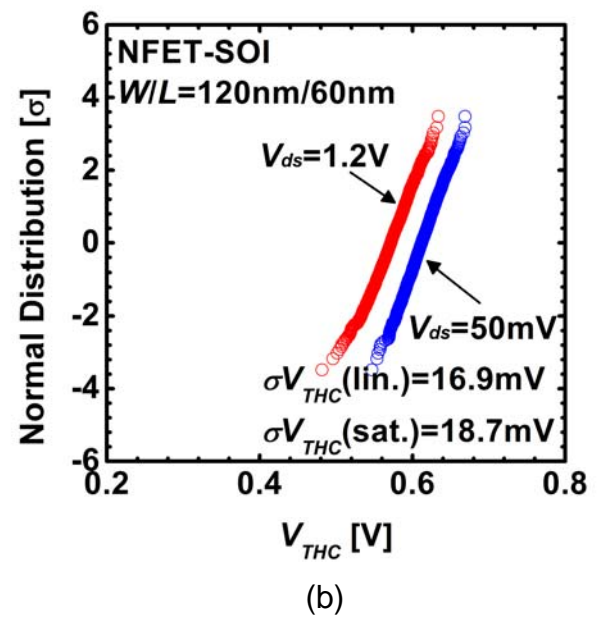
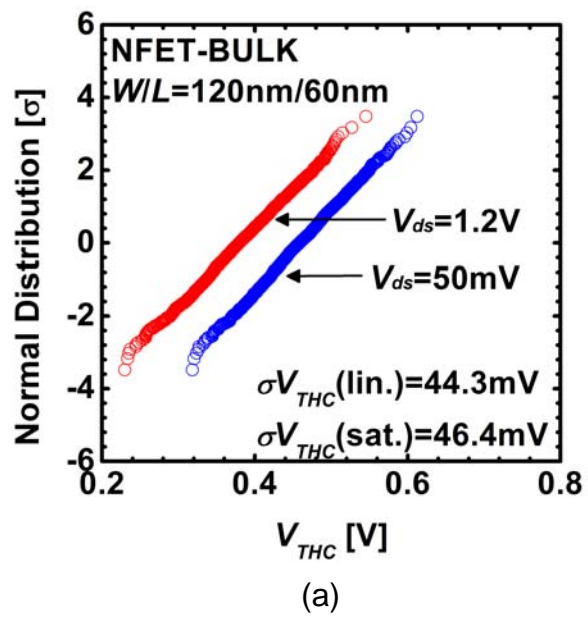
III-2-I-③-(1)図 5-3-3 に、線形領域 ($V_{ds} = 50\text{mV}$) および飽和領域 ($V_{ds} = 1.2\text{V}$) における(a)バルク NFET (b)FD SOI NFET の定電流法で求めたしきい値電圧 V_{THC} の累積度数分布を示す。これらの図からわかるように、SOI nMOSFET (線型領域では $\sigma = 16.9\text{mV}$) の V_{THC} ばらつきは、バルク nMOSFET のばらつき ($\sigma = 44.3\text{mV}$) の半分以下である。III-2-I-③-(1)図 5-3-4 では $DIBL$ の累積度数分布を比較した。 $DIBL$ ばらつきも同様に、SOI nMOSFET ($\sigma = 10.2\text{mV/V}$) の方がバルク nMOSFET ($\sigma = 18.4\text{mV/V}$) より小さい。さらに、III-2-I-③-(1)図 5-3-5 に ΔV_{TH} の累積度数分布についても調べた。 ΔV_{TH} ばらつきについても、SOI nMOSFET ($\sigma = 12.2\text{mV}$) の方がバルク nMOSFET ($\sigma = 22.5\text{mV}$) より明らかに小さかった。

従って、チャンネル不純物を低減したノンドーピングチャンネル FD SOI MOSFET では、 V_{TH} のみならず $DIBL$ や ΔV_{TH} ばらつきを抑制できることを示した。

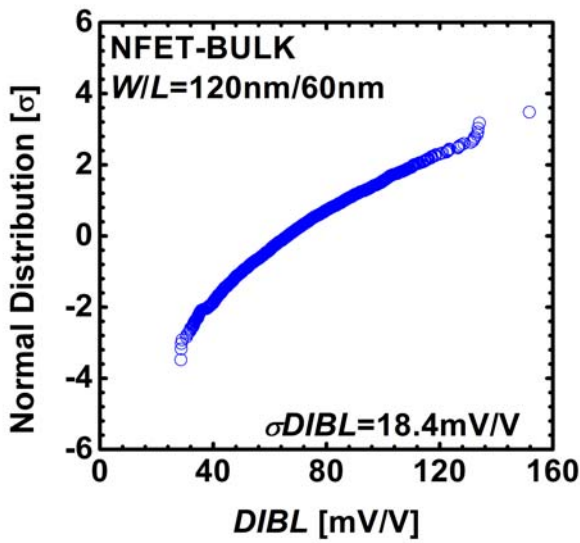
以上の結果より、特性ばらつき低減化の指針として、チャンネル不純物の低減化やゲート絶縁膜の薄膜化が有効であることが示された。



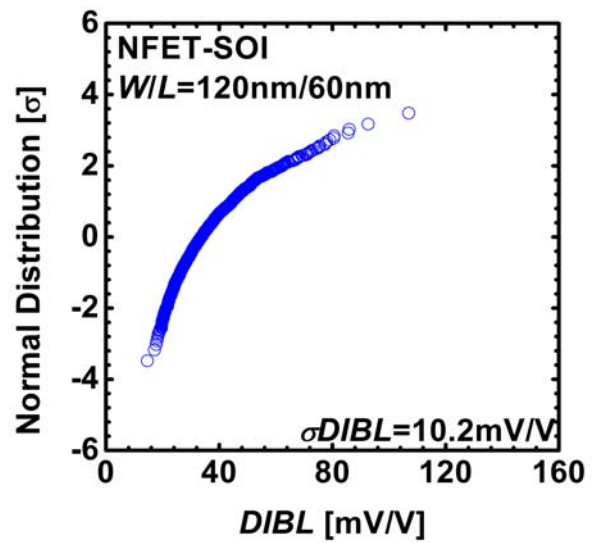
III-2-I-③-(1)図 5-3-2 2000 個の NFET を測定した線型領域 ($V_{ds} = 50\text{mV}$) における I_{ds} - V_{gs} 特性. (a) バルク NFET. (b) FD SOI NFET.



III-2-I- (1)図 5-3-3 2000 個の NFET を測定した線型領域 ($V_{ds} = 50mV$) および飽和領域 ($V_{ds} = 1.2V$) における V_{THC} の累積度数分布. (a) バルク NFET. (b) FD SOI NFET.

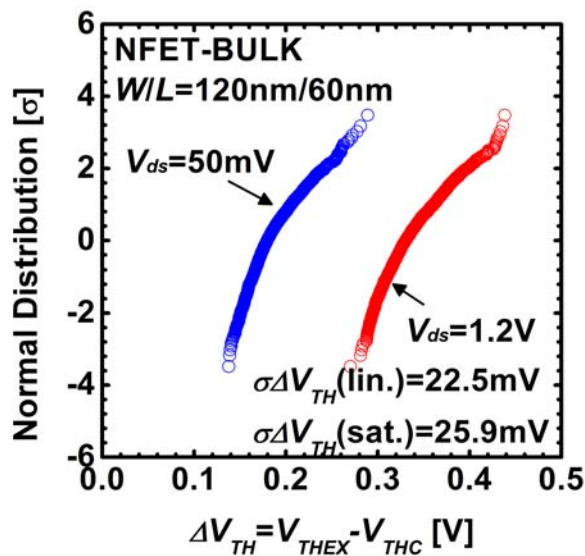


(a)

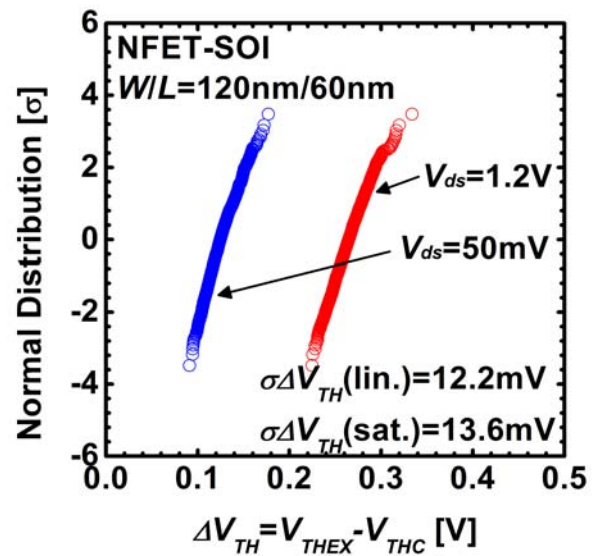


(b)

III-2-I- (1)図 5-3-4 2000 個の NFET を測定した線型領域 ($V_{ds} = 50\text{mV}$) および飽和領域 ($V_{ds} = 1.2\text{V}$) における DIBL の累積度数分布. (a) バルク NFET. (b) FD SOI NFET.



(a)



(b)

III-2-I- (1)図 5-3-5 2000 個の NFET を測定した線型領域 ($V_{ds} = 50\text{mV}$) および飽和領域 ($V_{ds} = 1.2\text{V}$) における ΔV_{TH} の累積度数分布. (a) バルク NFET. (b) FD SOI NFET.

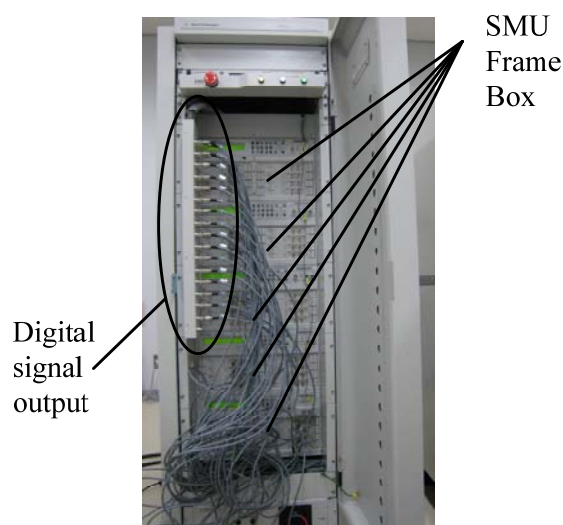
[6]計測解析技術の開発

6-1 デバイス電気特性ばらつきの測定システムの開発

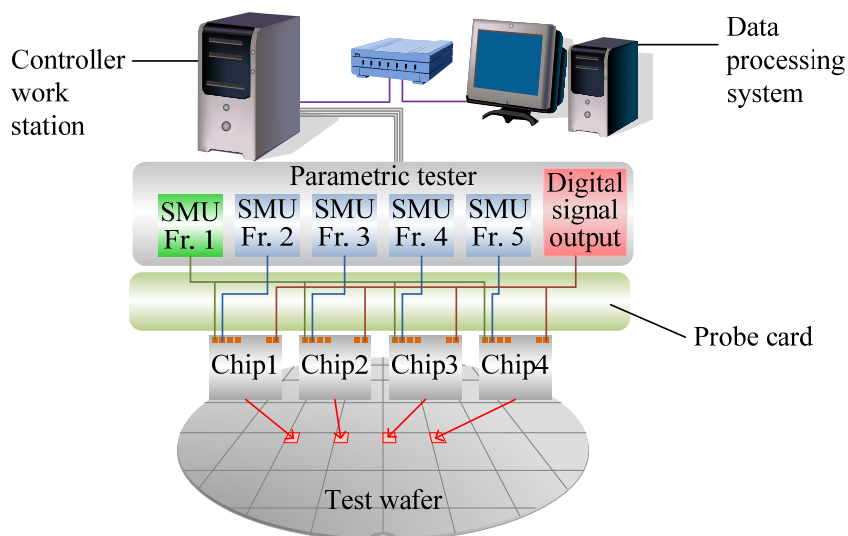
6-1-1 N9201Aを用いた大量なMOSFET特性の評価手法開発

6-1-1-1 測定方法の概要

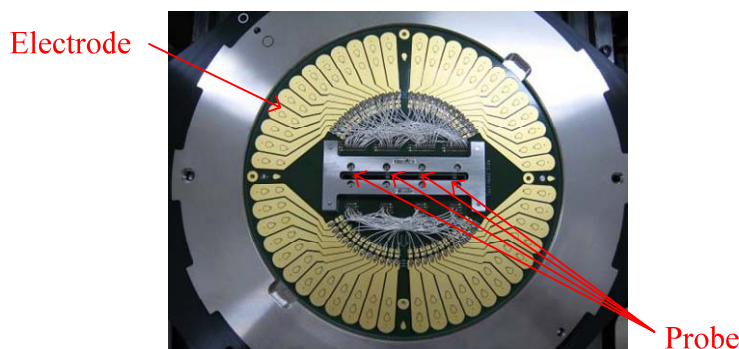
電気特性ばらつきの大きさを精度良く評価するためには、大量の MOSFET 特性を評価する必要がある。大量の MOS トランジスタ特性を短時間で測定するために、Agilent 社製 N9201A Array Structure Parametric Test System (以下、N9201A と呼ぶ)を元に測定システムを開発した。このシステムの概観を III-2-1- (1)図 6-1 に示した。このシステムは、1 つのキャビネットに 40 台の SMU (Source Monitor Unit)とデジタル信号出力機能を備えることが最大の特徴である。DMA-TEG (Device Matrix Array-Test Element Group)中にある測定対象のトランジスタ(DUT: Device Under Test、以下 DUT と呼ぶ)は、デジタル信号出力より出力されたアドレス信号がデコーダ回路に入力することにより、特性の DUT が選択される。測定システムの概要を III-2-1- (1)図 6-2 に示す。計測速度・効率を上げるために、ウエハ上の 4 チップを同時に測定している。40 台ある SMU は、SMU Frame 1 から 5 までに 8 台ずつ分かれて格納されている。このうち SMU Frame1 にある SMU は、4 チップそれぞれにある DMA-TEG のデコーダやウエルに電源を供給するために用いる。SMU Frame2 から Frame5 は、チップ 1 からチップ 4 を測定するために用いる。4 チップを同時に測定するために III-2-1- (1)図 6-3 に示す特殊なプローブカードを開発した。N9201A では、Agilent 4070 シリーズのテストヘッドを用いてプローブカードに接続するため、同テストヘッドに合わせた仕様にする必要がある。測定対象の 4 チップの DMA-TEG でプロービングしなければならないパット数が 136(34 パット×4 チップ)あるのに対し、テストヘッドに接続できるのは 48 端子しかない。このため、電源やアドレス制御信号といった 4 チップの DMA-TEG で共用できる端子に関しては共通の端子を用いて、プローブカード上で各チップへ電源やアドレス制御信号を分配する構造とした。



III-2-1- (1)図 6-1-1 Agilent 社製 N9201A の概要。40 台の SMU と、デジタル信号出力が備えられている。DMA-TEG 内の測定対象トランジスタは、デジタル信号出力からの信号により、デコーダを解して選択され、SMU によって測定が実施される



III-2-I- (1)図 6-1-2 開発した測定システムの模式図



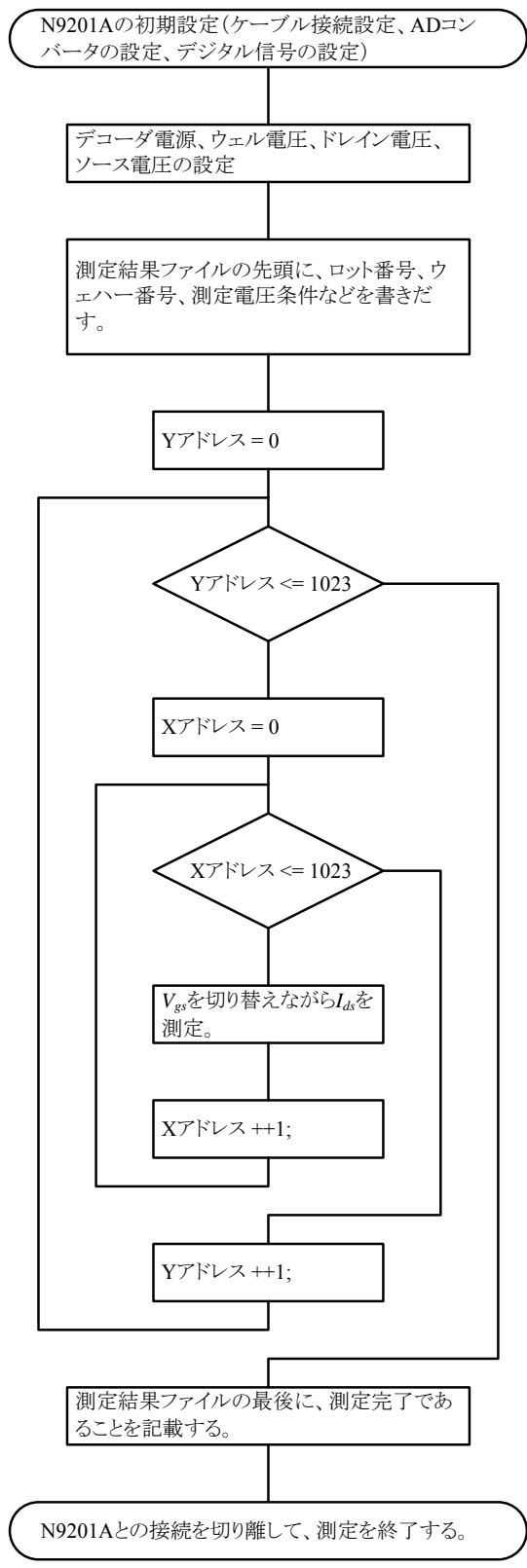
III-2-I- (1)図 6-1-3 4 チップ同測を行うためのプローブカードの概観。プローブカードの周りには電極は、テストヘッドのポゴピンと接続される。

さらに測定を高速化するために、測定プログラムにも工夫を行った。N9201A では SMU 自体にメモリが備えられている。測定プログラムや測定結果をそのメモリに一時的に記憶することにより、制御用ワークステーションとの通信頻度を低減でき、その結果測定速度も向上する。今回は、SMU に備えられたメモリ容量を十分に活用できるように一度に測定するトランジスタの数を最適化し、測定速度の向上を図った。

6-1-1-2 測定プログラムの概要

DMA-TEG の規模によらず、プログラムの基本構成は同一としているため、1M の DMA-TEG 用の測定プログラムを例に、開発した測定プログラムの概要を説明する。III-2-I- (1)図 6-4 に測定プログラムのフローチャートを示した。

まず N9201A の SMU およびデジタル信号出力とテストヘッドの電気的な接続を行う。また、SMU のアナログデジタル変換器の積算時間の設定、デジタル信号出力の電圧設定を行う。次に、DMA-TEG のデコーダ電圧や、FET のウエル、ドレイン、ソース電圧など、測定中に常に一定の電圧を印加する端子に対して、電圧を印加する。測定結果を出力するファイルを作成し、そこにロット番号、ウエハ番号、測定条件など、後に解析に必要な情報を書き出す。ここまでの、測定を行う前の前の事前準備となる。



III-2-I- (1)図6-1-4 DMA-TEG測定プログラムのフローチャート

DMA-TEG の測定では、デジタル信号出力からのアドレス指定信号により、測定対象の FET を切り換えながら測定を行う。アドレスは X と Y の二次元の値により指定される。まず Y アドレスを 0 に設定する。次に X アドレスも 0 に設定する。このようにアドレスを指定し終わったところで Ids-Vgs 測定を行う。この測定システムでは、この時に 4 チップの 4 つの FET を同時に測定することができる。X アドレス 0 の FET の測定が完了したところで、次に X アドレスを 1 つ繰り上げて、X アドレス 1 の FET を測定する。これを繰り返し、X アドレス 1023 までの FET を測定する。X アドレス 1023 の FET の測定が完了したところで、Y アドレスを 1 つ繰り上げて、再び X アドレスが 0 から 1023 までの測定を行う。このように Y アドレスも 1 つずつ繰り上げて繰り返し測定を行い、Y アドレスが 1023 の FET の測定が完了すると、100 万 FET をすべて測定したことになる。

すべての FET の測定が完了したところで、測定結果を出力したファイルの末尾に、測定完了した旨を記載する。その後、N9201A の接続を電氣的に切り離して測定は完了する。

このプログラムでは、N9201A と制御用ワークステーションの間の一度の通信で測定結果を出力する X アドレスの数を調整することで、N9201A と制御用ワークステーションの間の通信頻度を減らし、全体の測定時間の高速化を図っている。

6-1-2 HS-50 を用いた MOSFET の経時変化ばらつき評価手法開発

時間と共に変化する特性ばらつきの評価手法として、NBTI (Negative Bias Temperature Instability) のストレスバイアスを印加した時の PMOS の V_{th} ばらつき変化の評価手法を、III-2-1- (1) 図 6-1-5 に示す NBTI 測定評価技術として開発した。測定システムは Agilent 社製 HS-50 88000 (以下、HS-50 と呼ぶ) により構成されている。HS-50 には測定モジュールと、測定する DMA-TEG のアドレスを指定するためのデジタル信号出力を備えている。この測定装置では最速で 500 ナノ秒周期で測定を行うことができるが、環境ノイズの影響を低減するために、実際は 10 マイクロ秒間かけての測定を行っている。NBTI による V_{th} の劣化は、ストレスバイアスを解放したとたんに回復が始まってしまうという性質があり、このことが正確な測定を難しくしている[1-3]。本開発で導入した装置は、従来半導体デバイスの計測に用いられるものではないが、一般的なデバイス特性の計測に用いられるパラメトリックテスターと比較して充分高速に測定を行うことができるため、この回復の影響をより抑制しながら、NBTI による V_{th} ばらつきの劣化を評価することができ、それを用いて NBTI 測定評価技術を開発した。



III-2-1- (1) 図 6-4 NBTI 測定システムの概観。全自動プローバはウエハ温度を、233 K から 473 K の範囲で保つことができる。

参考文献

- [1] M. Denais, A. Bravaix, V. Huard, C. Parthasarathy, G. Ribes, F. Perrier, Y. Rey-Tauriac, and N.Revill, "On-the-fly characterization of NBTI in ultra-thin gate oxide PMOSFET's," in *IEDM Tech. Dig.*, 2004, pp.109-112.
- [2] C. Shen, M. F. Li, X. P. Wang, H. Y. Yu, Y. P. Feng, A. T.-L. Lim, Y. C. Yeo, D. S. H. Chan, and D. L. Kwong, "Negative U Traps in HfO₂ Gate Dielectrics and Frequency Dependence of Dynamic BTI in MOSFETs," in *IEDM Tech. Dig.*, 2004, pp. 733 - 736.
- [3] W. J. Liu, Z. Y. Liu, D. Huang, C. C. Liao, L. F. Zhang, Z. H. Gan, W. Wong, C. Shen, and Ming-Fu Li, "On-The-Fly Interface Trap Measurement and Its Impact on the Understanding of NBTI Mechanism for p-MOSFETs with SiON Gate Dielectric," in *IEDM Tech. Dig.*, 2007, pp. 813-816.

6-2. 新しい不純物分布計測手法 —アトムプローブ技術—

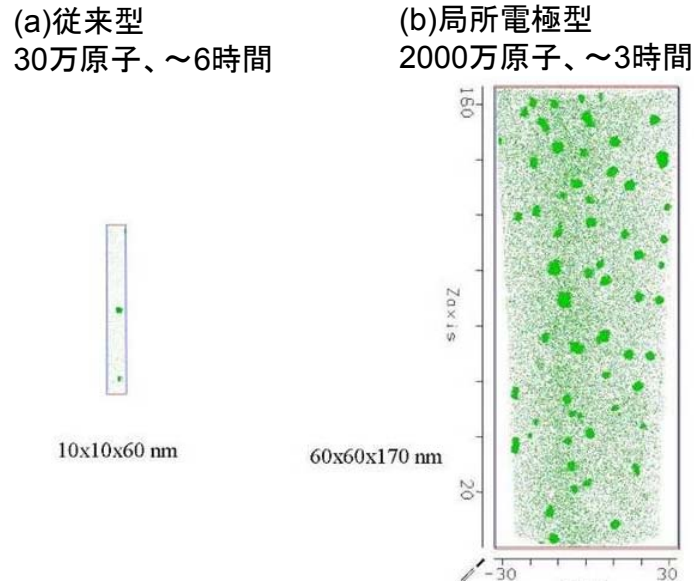
3次元アトムプローブ法(3DAP: Three Dimensional Atom Probe Tomography、以下3DAPと表記する)は、針状試料(先端半径十数 nm 程度)に高電圧を印加することで、試料表面に20~40 V/nm 程度の非常に高い電場を加え、先端表面からイオン化した原子が脱離する現象(これを電界蒸発という)を用いて、原子レベルに近い位置分解能で物質を構成する原子の空間位置を計測する手法である。この電界蒸発現象は、定常電圧(電界蒸発が発生するしきい値未満で制御した電圧)と電圧パルスを重ね合わせることでコントロールすることが可能であり、飛び出したイオン化原子の飛行時間を計測することで、イオン種を特定することが可能である。電界蒸発は試料最表面からのみ起こるため、位置敏感検出器で2次元のイオンマップを時間的に連続に収集し、さらにこれをイオンが脱離した順番、位置を考慮して再構築することでxyzの情報を持った3次元元素マッピングを得ることができる。

従来の高電圧パルス印加する3DAPは、金属材料あるいは高濃度に不純物添加した高導電性材料の計測に限られていた。これは半導体材料や絶縁物では針状試料先端に上手く電場を与えることができないためであった。本開発で用いた装置は、試料先端に定常電圧を印加するだけでなく、パルスレーザーを照射することができる。このパルスレーザーで瞬間的に温度を上昇させ、熱励起によって電界蒸発を補助することができる。このレーザー補助によって、導電性の低い半導体材料や絶縁体材料の分析が初めて可能となった。

本開発で用いた3DAPのもう一つの特徴は局所電極と呼ばれる電極を試料近傍に具備していることである(CAMECA(旧 IMAGO)社製 LEAP3000X-HR)。この局所電極を加えることにより、従来にくらべ、広い領域からイオン化原子の脱離を引き起こすことができる。すなわち、広い領域の3次元マッピングを得ることができる。一例として、III-2-I-(1)図6-2-1に局所電極装備前後の鉄と銅の合金中の銅の原子マップを示す。局所電極を用いることによって、従来に比べて大体積(100nm×100nm×数百 nm 程度)の分析を短時間でできるようなったことが明らかである。従来型では10nm×10nm×60nmと評価できる体積が小さく、半導体トランジスタのゲート電極、ソース・ドレイン、チャンネル領域を全て評価することはできない。局所電極の採用によって、初めて微細化された半導体トランジスタ全体の評価が可能になった。さらに、特殊な試料保持機構(マイクロポストを複数配列したシリコンチップ)を採用することにより、複数の針状試料を一度に真空チャンバ内に導入し、選択して測定することを可能にした。これによって測定時間の短縮、試料出し入れ時の排気時間短縮などの高効率化が図られている。

6-2-1. 半導体材料評価に向けた試料作製技術開発

3DAPでは電界蒸発を引き起こすために試料を直径数十 nm 程度の針状に加工し、針状試料の先端に高電界を印加する必要がある。従来からの3DAPの評価対象である金属材料の場合には電界研磨法によって非常に先端の尖った試料作製が行われていたが、半導体、絶縁膜、金属といったことなる材料が複雑な積層構造をしている半導体デバイスでは電界研磨そのものが困難であるうえ、特定の位置や領域を選択して加工することもできないことから、電解研磨法を用いて半導体デバイス材料の針状加工をおこなうことは不可能であった。

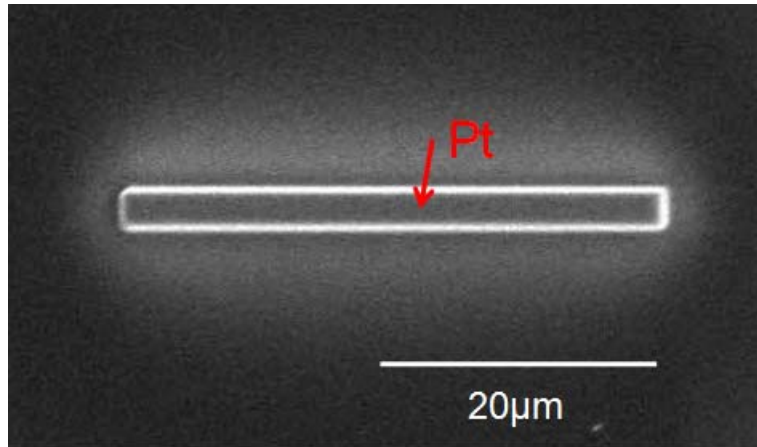


III-2-I- (1)図 6-2-1 局所電極装備前後における鉄－銅の合金中の銅の原子マップ

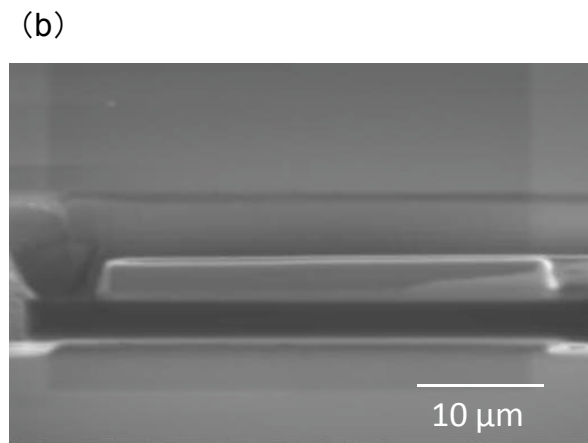
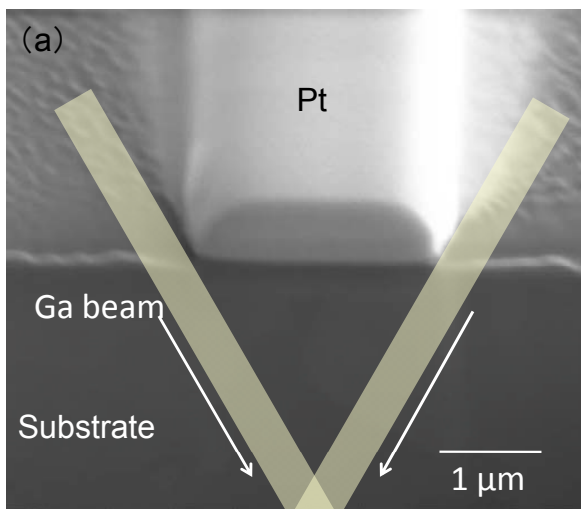
そこで本開発では、高精度に微細加工可能な集束イオンビーム(FIB: Focused Ion Beam)を用いて、マイクロサンプリングと針状加工を行う手法を採用し、半導体材料、半導体積層構造の評価、最終的には実際に電気特性を取得した実デバイスの評価のための針状試料加工法を確立した。試料作製は以下の手順で行った。

まず、FIB に備わっている白金のデポジション機能でシリコンウエハ上の分析箇所の上に保護膜を成膜し(III-2-I- (1)図 6-2-1-1)、その周辺部をイオンミリングし、試料片を作製する(III-2-I- (1)図 6-2-1-2)。次に、マニピュレータの先端を試料片の白金保護膜部と接触し、これに炭素を蒸着することで接合する(III-2-I- (1)図 6-2-1-3(a))。イオンミリングにより試料片をウエハからピックアップし(III-2-I- (1)図 6-2-1-3(b))、ピックアップした試料片をシリコンのマイクロチップ(高さ約 100 μ m、トップ平坦部約 2 μ m 径のマイクロポストが複数配列されたシリコンチップ)上のマイクロポストのトップ平坦部にアライメントする(III-2-I- (1)図 6-2-1-4(a))。そして、炭素蒸着で接合後、イオンミリングで切断する(III-2-I- (1)図 6-2-1-4(b))。炭素の堆積で接合した部分と反対側は白金蒸着することで接合を補強し、試料とポストの熱伝導性を高くする(III-2-I- (1)図 6-2-1-4(c))。ポストにマウントされた試料は、上方からの環状パターンのイオンミリングで円錐状に加工し、環状パターンの内径を徐々に小さくすることで試料先端部の先鋭化する(III-2-I- (1)図 6-2-1-5(a))。最後に低エネルギーイオンビームで試料に蒸着されていた余分なプラチナ保護層及びイオンミリングで生じるガリウムのダメージ層を取り除き、針状形状に仕上げる(III-2-I- (1)図 6-2-1-5(b))。観察領域が針状試料の先端 50～100nm 程度内に含まれるよう、深さを調節して試料を作製する。

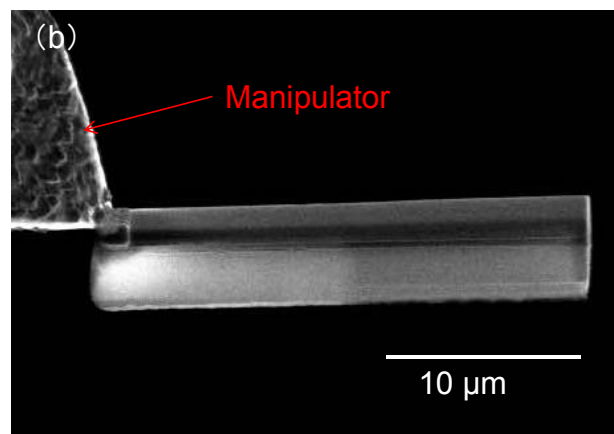
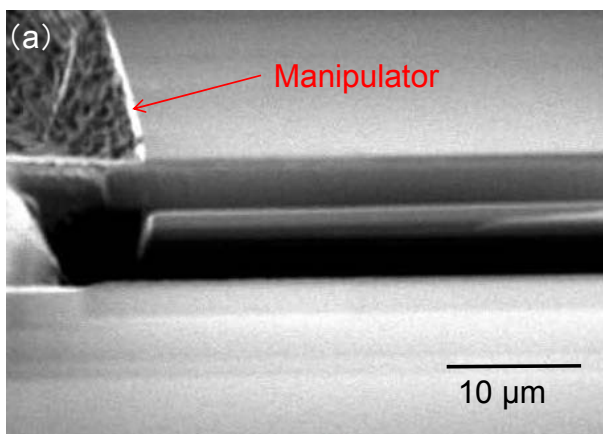
本手法を用いることで、半導体材料、ならびにデバイス構造を有する試料の 3DAP による計測が可能となった。以上より、半導体材料の評価準備を完了し、高い歩留まりで計測可能な 3DAP 向け試料作成技術を確立した。



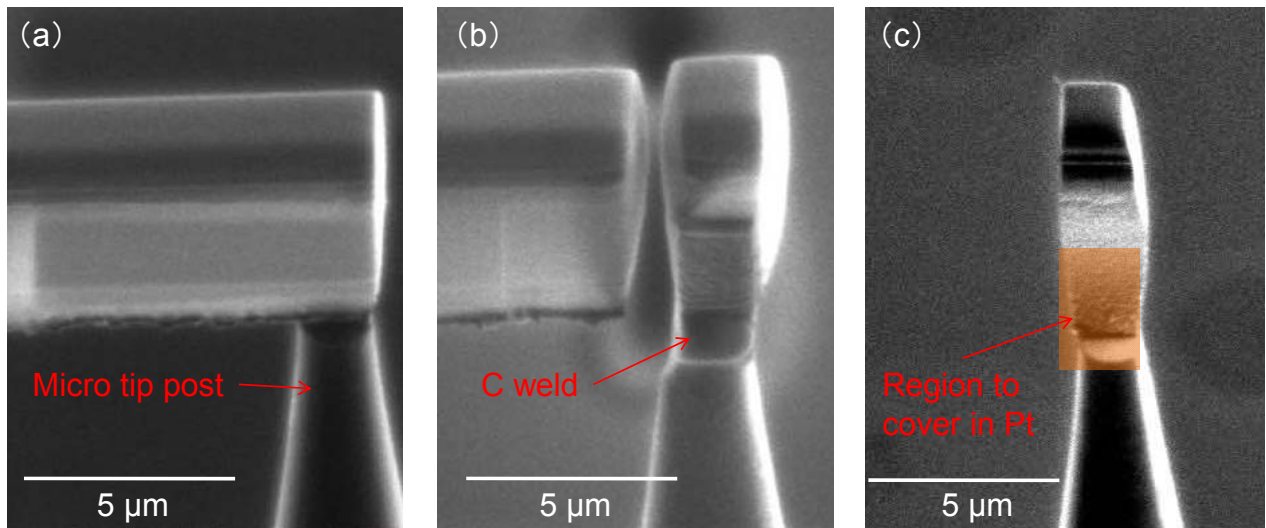
III-2-I- (1)図 6-2-1-1 試料表面の加工位置に保護膜、およびマーキングとしてプラチナを堆積する



III-2-I- (1)図 6-2-1-2 プラチナの堆積をマーキングとして周囲をイオンミリング
(a)側面から見た概念図、(b)イオンミリング後の試料

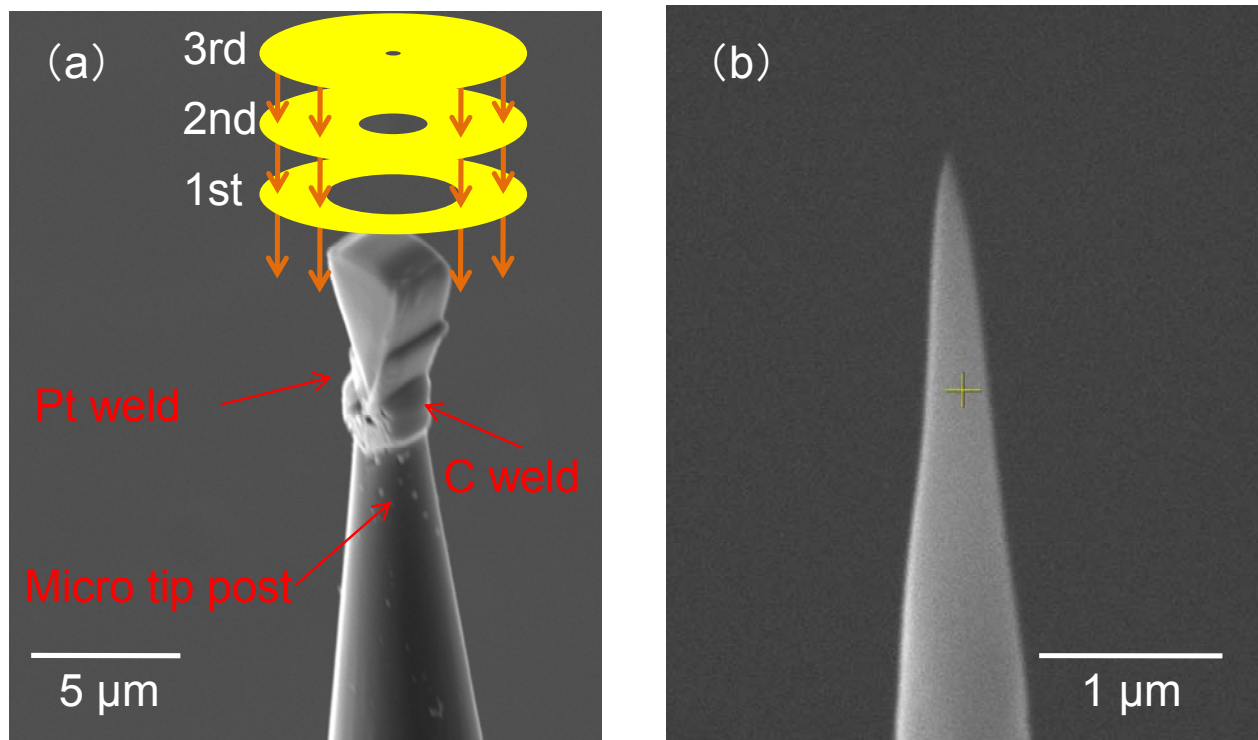


III-2-I- (1)図 6-2-1-3. 周囲をイオンミリングしたサンプルをマニピュレータによりピックアップ
(a)ピックアップ直前のマニピュレータと試料片、(b)ウエハからピックアップした試料



III-2-I- (1)図 6-2-1-4. 試料片のシリコンマイクロチップへの据え付け

(a) 試料片をマイクロチップにマウント、(b) 炭素で固定し、試料片を切断、(c) 180 度回転させ反対の開口部をプラチナで埋める



III-2-I- (1)図 6-2-1-5. 環状パターンを用いたイオンミリングによって円錐状に加工する

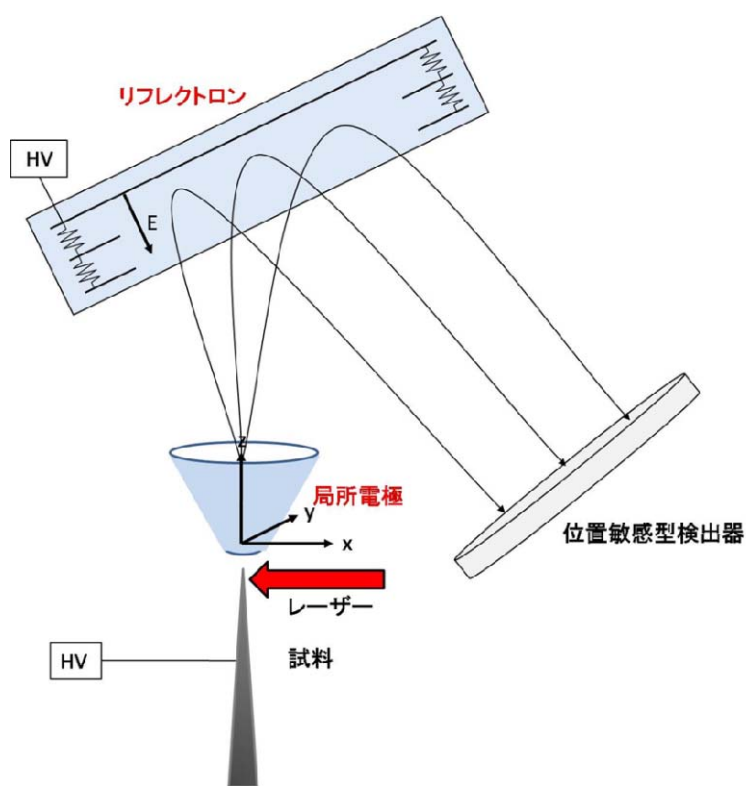
(a) 加工前、(b) 加工後

6-2-2. 半導体中の微量不純物の検出技術開発

本開発では、レーザーパルス局所電極型アトムプローブにエネルギー補償のためのリフレクトロンを導入して質量分解能の向上を図った。従来のエネルギー補償を行っていない 3DAP では、蒸発したイオンを直線飛行させて検出していたのに対し、エネルギー補償型はイオンの飛行経路に静電反射板を置き、飛行経路を反転させる。これによって電界蒸発時に異なったエネルギーを持って飛び出した同じ質量の原子の飛行時間

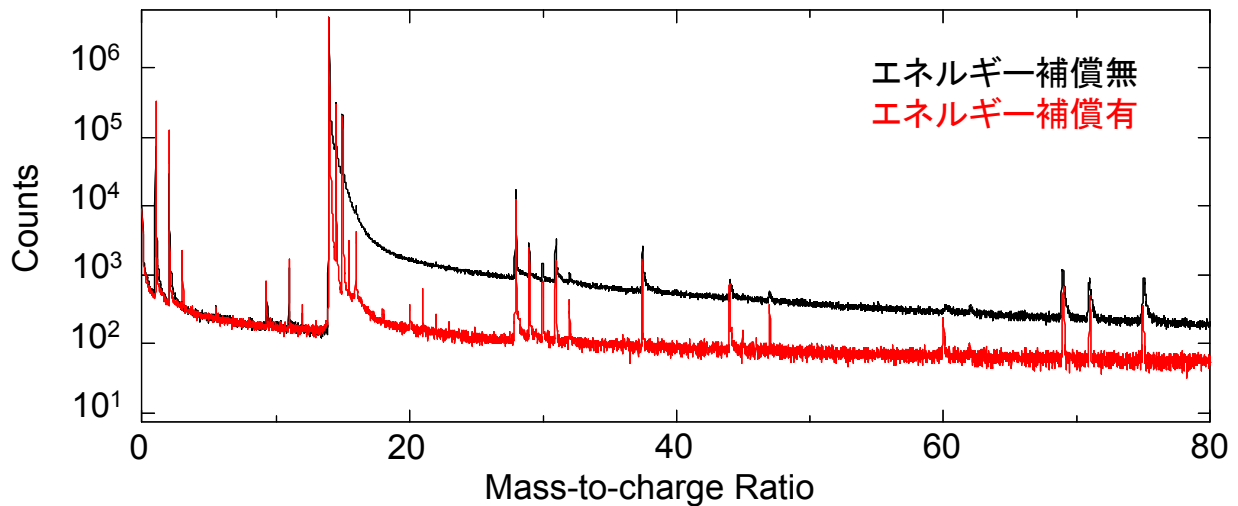
を補償することができる。同じ質量の原子の飛行時間が蒸発時のエネルギーにかかわらず一定になるため、得られる質量スペクトルの質量分解能が向上する。III-2-I- (1)図 6-2-2-1 にエネルギー補償型レーザーパルス局所電極型アトムプローブの概念図を示す。静電反射板にはイオンの最大エネルギーよりも数%高い電圧を印加し、エネルギーの低いイオンは手前で反射され、エネルギーの高いイオンは奥で反射するようにする。このようにエネルギーの違いによる飛行時間の違いを補償することによって質量分解能が向上する。

質量分解能が向上することで、直接的に検出感度が向上するわけではない。しかし、微量元素の検出にあたってはこれが検出下限の向上につながる。微量元素のピークがバックグラウンドノイズと同程度である場合には、元素のピーク成分とノイズ成分の分離が難しい。しかし、質量分解能が向上することで、ピークの半値幅が狭くなると、検出感度が等しい場合にはピーク強度が強くなり、バックグラウンドと明確に識別できる。そのため、リフレクトロン導入による質量分解能向上は不純物分析には有効な技術である。特にシリコンピークの裾引きに埋もれる位置にあるリン原子などの評価に大きな効果がある。



III-2-I- (1)図 6-2-2-1. エネルギー補償型レーザーパルス局所電極型アトムプローブの概念図

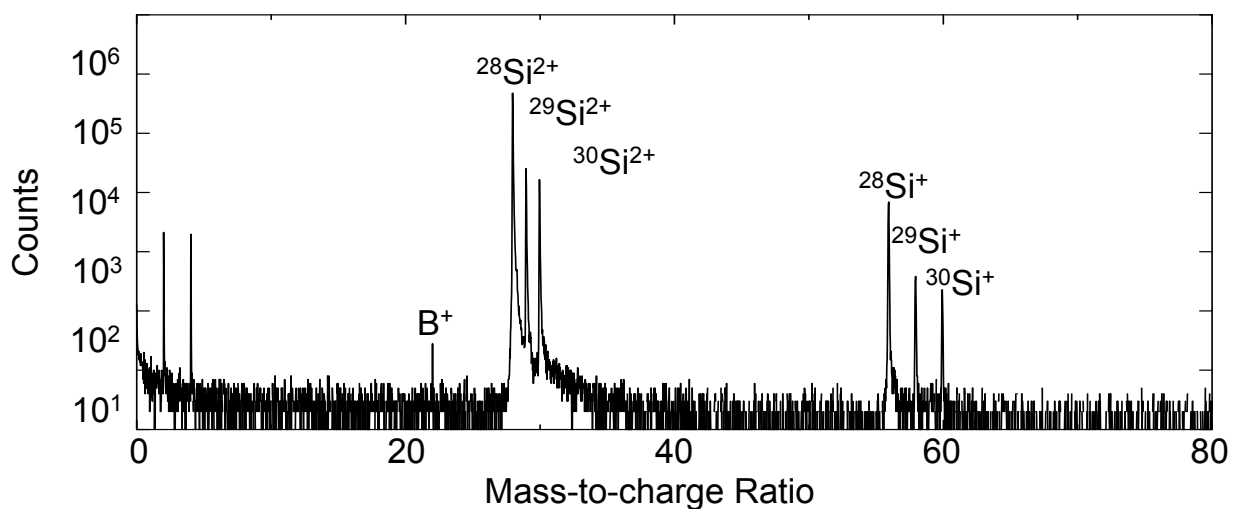
リフレクトロン導入による質量スペクトルの違いを III-2-I- (1)図 6-2-2-2 に示す。これは通常のレーザー 3DAP、およびエネルギー補償型レーザー 3DAP による、同じ組成のシリコンデバイス試料の質量スペクトルである。質量スペクトルは、シリコンピークの原子数で規格化している。エネルギー補償を行うことによって質量分解能が向上し、相対的にバックグラウンドノイズも低下していることがわかる。特にシリコンのピーク半値幅が大幅に低減できるため、このピークの近傍にあるシリコンの同位体、リン等の原子の検出が可能となった。またシリコンピークから重い質量側において、増大していたノイズレベルが大幅に低減可能であり、ヒ素や他の重い元素の微量分析も可能となった。以上より、本開発で導入したリフレクトロンを 3DAP に導入することで、シリコン中の微量不純物の分析が可能となり、シリコンに微量量ドーピングした原子種を特定することが可能になる。



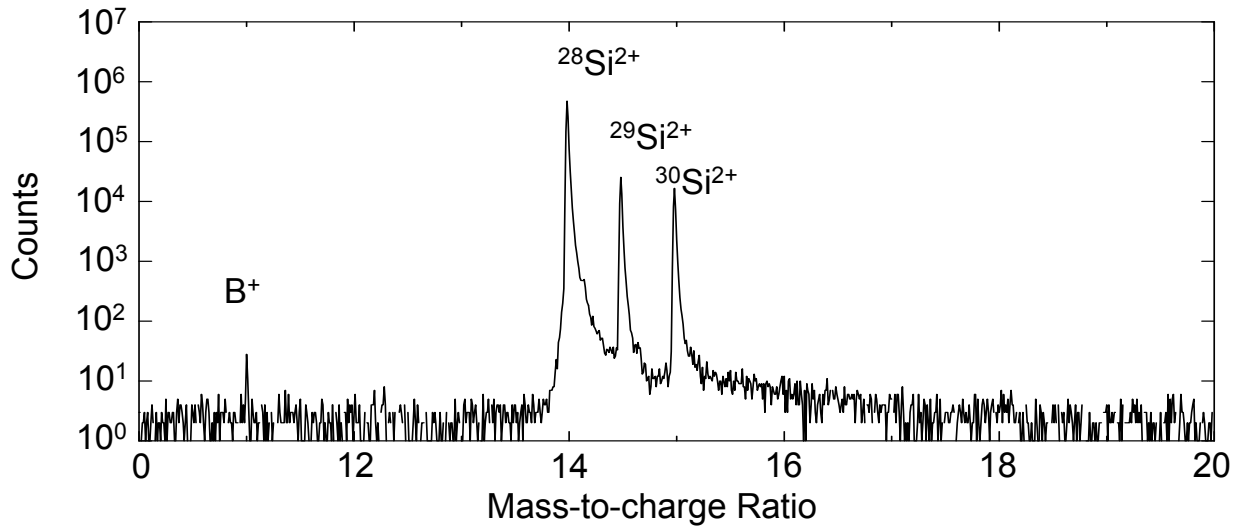
III-2-I- (1)図 6-2-2-2. エネルギー補償有無による質量スペクトル比較

一方、質量分解能は試料形状にも大きく依存することが本開発で明らかとなった。このため、微量不純物の高効率検出のための、試料形状の最適化も行った。III-2-I- (1)図 6-2-2-3 に実デバイスにおける試料形状を最適化した後の質量スペクトル、III-2-I- (1)図 6-2-2-4 にシリコンの主ピーク近傍を拡大した質量スペクトルを示した。デバイスの構造から、試料形状に制限がある中でバックグラウンドの低下等を実現し、シリコンデバイス中ではボロン原子は母体シリコン濃度の $1/50000$ (おおよそ、 1×10^{18} atoms/cm³)、リン原子は $1/10000$ (おおよそ、 5×10^{18} atom/cm³) 程度までの検出が可能となる、試料作製技術を開発した。

3DAP における不純物濃度の定量性については SIMS と比較・検証を行った。III-2-I- (1)図 6-2-2-5 に平面方向に一樣な試料のチャンネル不純物の深さ分布を比較した結果を示した。3DAP は観察領域が SIMS に比べ微小であることから個々の点のばらつきは大きくなっているが、平均すると大きな相違がなく、定量性にも精度が高いことを明らかにした。

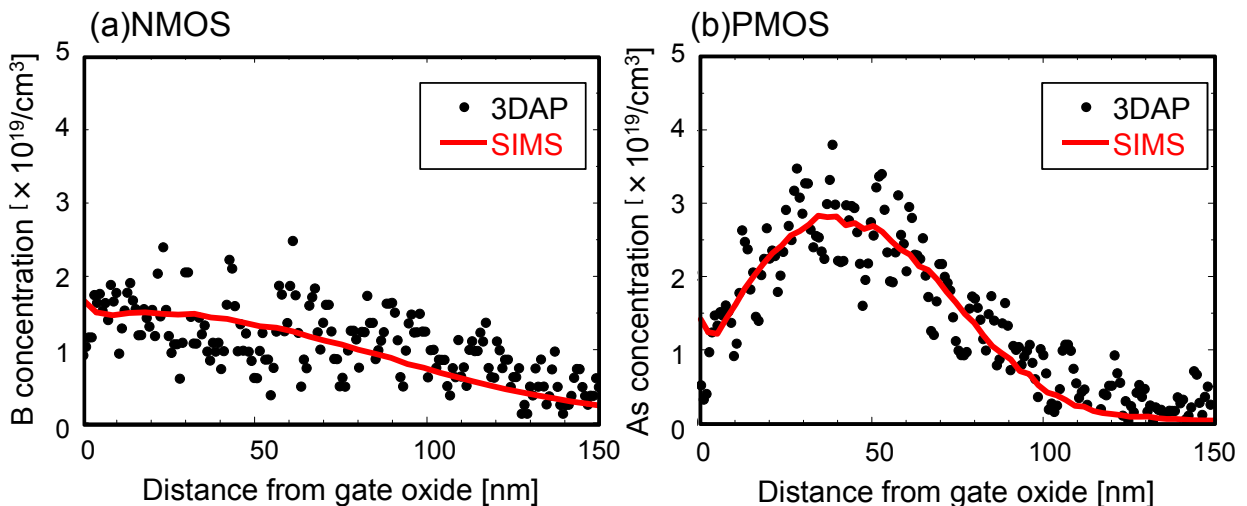


III-2-I- (1)図 6-2-2-3 試料形状を最適化した実デバイス試料(NMOS チャンネル領域)における質量スペクトル



III-2-I- (1)図 6-2-2-4 試料形状を最適化した実デバイス試料((NMOS チャンネル領域)における質量スペクトル(拡大)

以上のように、従来型の 3DAP に加え、ハードウェア面ではパルスレーザーを用いることで半導体材料、半導体構造の評価を可能とし、局所電極の採用による測定領域の拡大、リフレクトロン導入による質量分解能の向上とそれによる微量元素の検出感度向上を実現した。さらに、半導体材料評価に最適な試料作製のための手法を開発し、ノウハウを積むことで、当初は困難とされてきた半導体デバイスの評価を可能にした。単に測定できるというだけでなく、SIMS と同等の定量精度や実デバイスにおける不純物分布評価が可能な検出感度を達成した。これによるトランジスタ特性ばらつきにおける物理評価は、2-2 で述べたように大きく前進することができた。



III-2-I- (1)図 6-2-2-5 ゲート酸化膜からチャンネル領域にかけての不純物濃度分布

6-2-3.実デバイス構造の評価手法開発

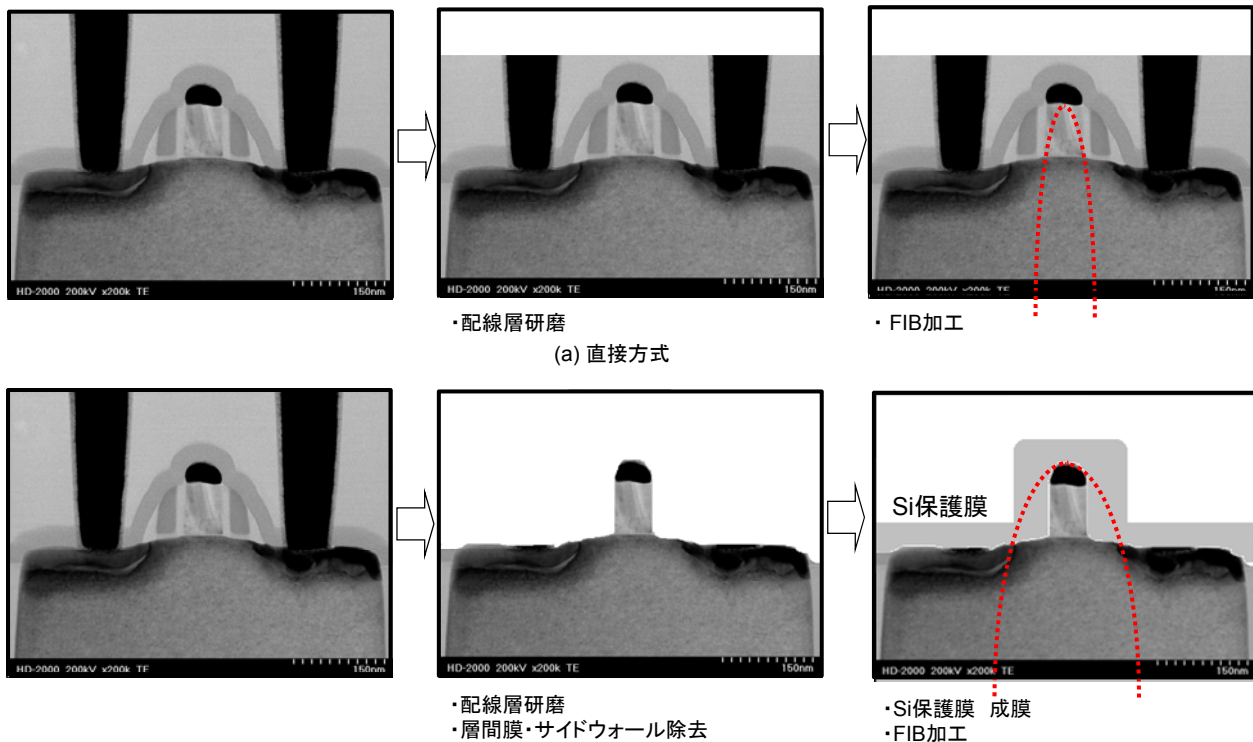
6-2-2 節で述べたように、多くの技術開発や条件最適化を経て 3DAP の半導体材料・半導体デバイスへの適用が可能となった。一方、本開発テーマであるデバイス特性ばらつきについては、しきい値(V_{th})ばらつきの原因がチャンネル中の不純物の分布にあることが種々の解析により明らかになってきた。これを実証するためには実際に V_{th} が異なるトランジスタ間でチャンネル中の不純物量やその分布が異なっていることを示し、その相関を解明する必要がある。これを実現するために、3DAP による実デバイス評価を実施した。

3DAP 評価に用いる実デバイスには通常の 65nm プロセスで試作した超大規模 DMA-TEG(100 万個の NMOS、PMOS が配置されたアレイ TEG)が作成されたテストウエハの V_{th} を全面評価し、複数チップの中から $\pm 4\sigma$ 以上、 V_{th} が異なるトランジスタを抽出した。3DAP の評価結果と V_{th} との対応付けのために、評価に用いるトランジスタは全てアドレスを確認できる状態でサンプリングを行った。

3DAP 評価に際しては、測定対象を先端径数 10nm の円錐状のチップに加工する必要がある。したがって、実トランジスタのゲートを 3DAP 測定するためには、パターンがない平面的な構造のサンプルを評価する場合以上にチップ加工において高分解能の観察および高精度加工技術が必要となる。また、3DAP では絶縁物が含まれる構造の評価は困難であるため、サイドウォール等の絶縁物(二酸化ケイ素や窒化シリコン)を全て除去した状態で評価用チップに加工しなければならない。さらに、測定対象をFIB加工時のダメージから保護するために、評価対象(ゲートやソース・ドレイン領域など)の表面が露出している場合は保護膜で覆う必要がある。これら、3DAP 評価用チップを作成するための絶縁物の除去や保護膜の形成、FIB 加工などの予備加工については、評価対象が小さく状態が確認しにくいこと、種々の処理によりダメージやコンタミネーションが起きやすいこと、など実施を困難にする要因が数多くある。また、電気特性と実際の不純物分布の相関を得るためには、トランジスタの 3DAP 測定を数多く成功させる必要があり、高歩留まりで高効率な 3DAP 評価を行いたい。そのためにはこれらの予備加工の方法を最適化する必要があった。そこで本開発では以下の直接方式と除膜方式の 2 つの方式について検討した。

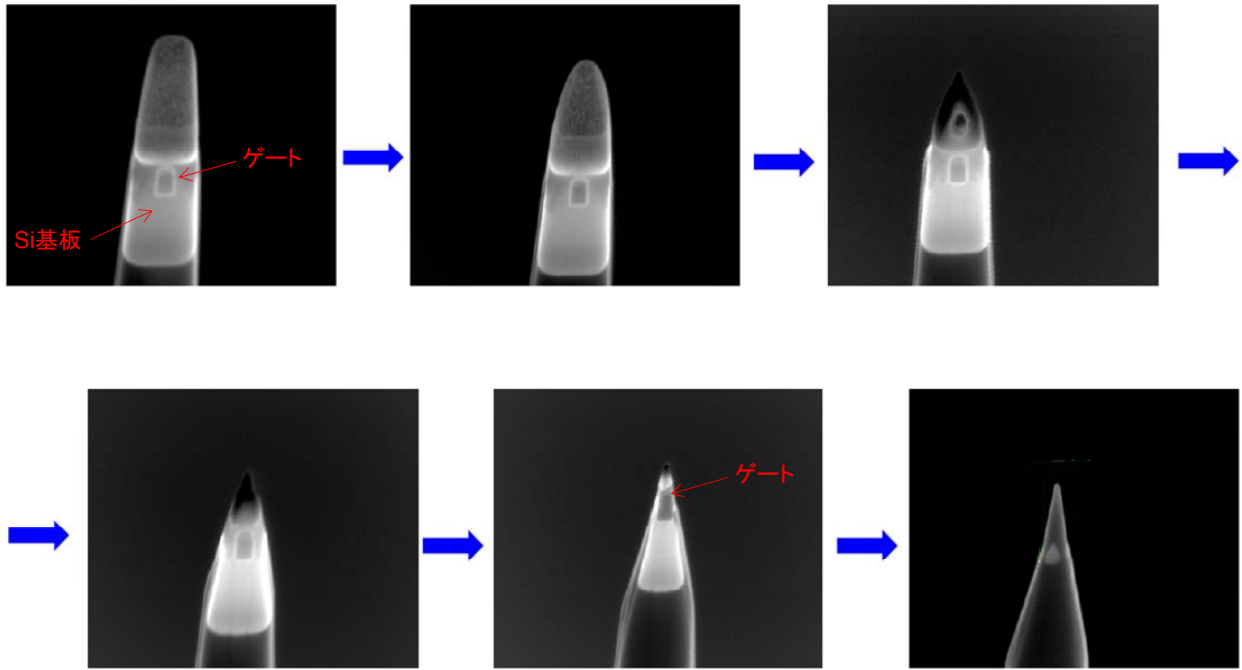
直接方式は文字通り、直接 3DAP 用のチップを FIB 加工する方法である(III-2-I- (1)図 6-2-3-1(a))。あらかじめ配線層を除去したのちに、目的のトランジスタをマイクロサンプリング法でチップから取り出し、ゲート部分が先端になり、サイドウォールの絶縁物が全て除かれるような形状にトランジスタを加工する。この方式は予備加工が少ないため、比較的手軽にサンプリングができることが利点である。しかし、少しでも絶縁物が残っていると 3DAP 測定中に試料が壊れること、また、チャンネル領域についてはゲートが残っている部分以外は FIB 加工時に除去されてしまうため、ソース・ドレイン領域の不純物分布については評価できないこと、などが短所となっている。

除膜方式は前者とは異なり、配線層、層間絶縁膜などを除膜したのち、サイドウォールもドライエッチングにより除去する。エッチング残さなどを洗浄したのちにアモルファスシリコンの保護膜を成膜し、そののちに FIB 加工により 3DAP 測定用のチップを作成する(III-2-I- (1)図 6-2-3-1(b))。この方法はドライエッチングによりゲートやソース・ドレイン表面にダメージが入りやすいこと、表面の凹部にコンタミが残りやすく、保護膜の接着性や導電性が悪くなること、さらに、ゲート上に保護膜が形成されるため、FIB 加工時にゲート位置がわかりにくく、ゲート部分をアトムプローブ測定用のチップに加工することが困難なこと、など技術的な課題が多い。一方、チャンネル領域だけでなく、ソース・ドレイン領域やゲートエッジ領域の評価が可能であるため、平行して 2 方式の検討を行った。

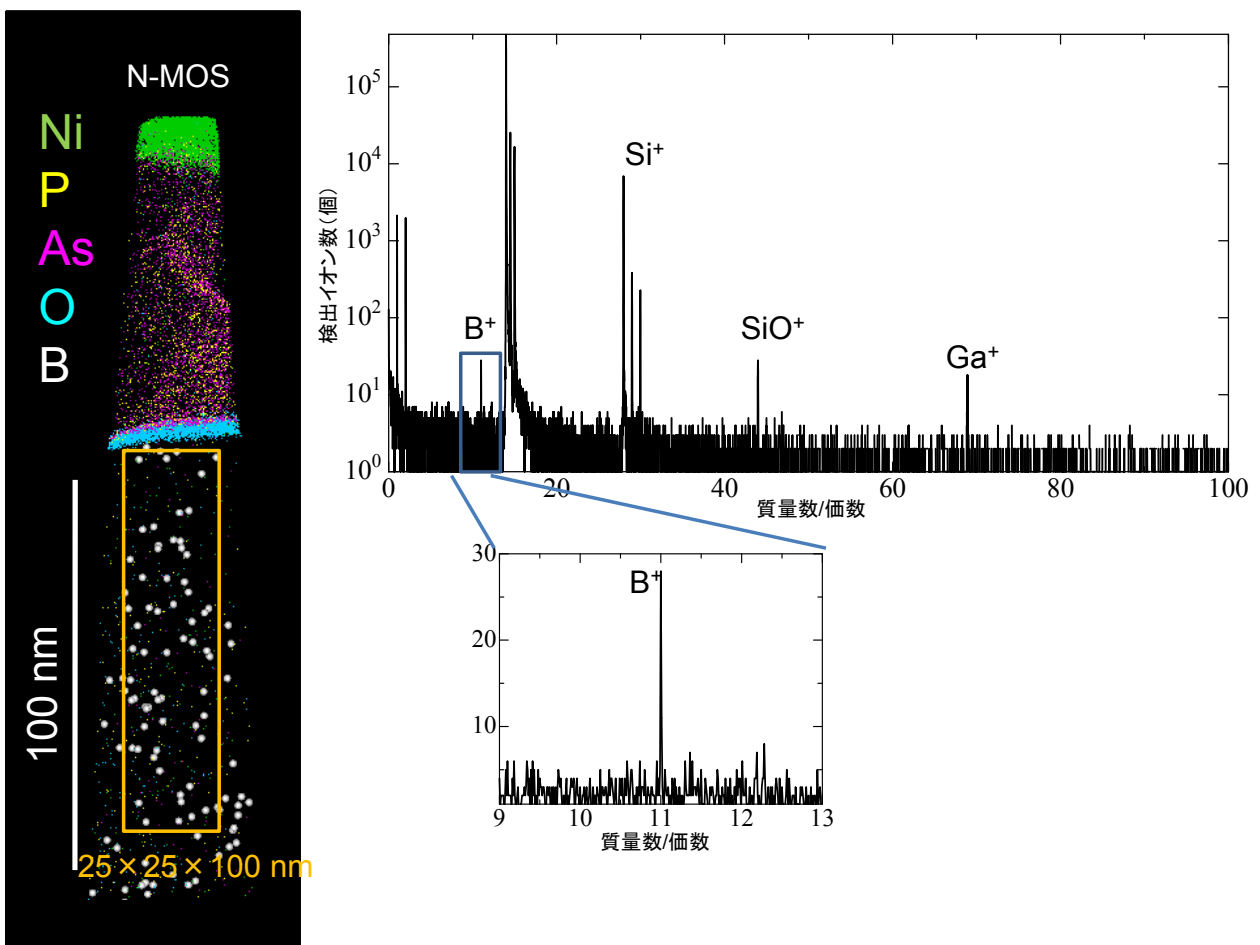


III-2-I- (1)図 6-2-3-1 実デバイスの 3DAP 評価方法

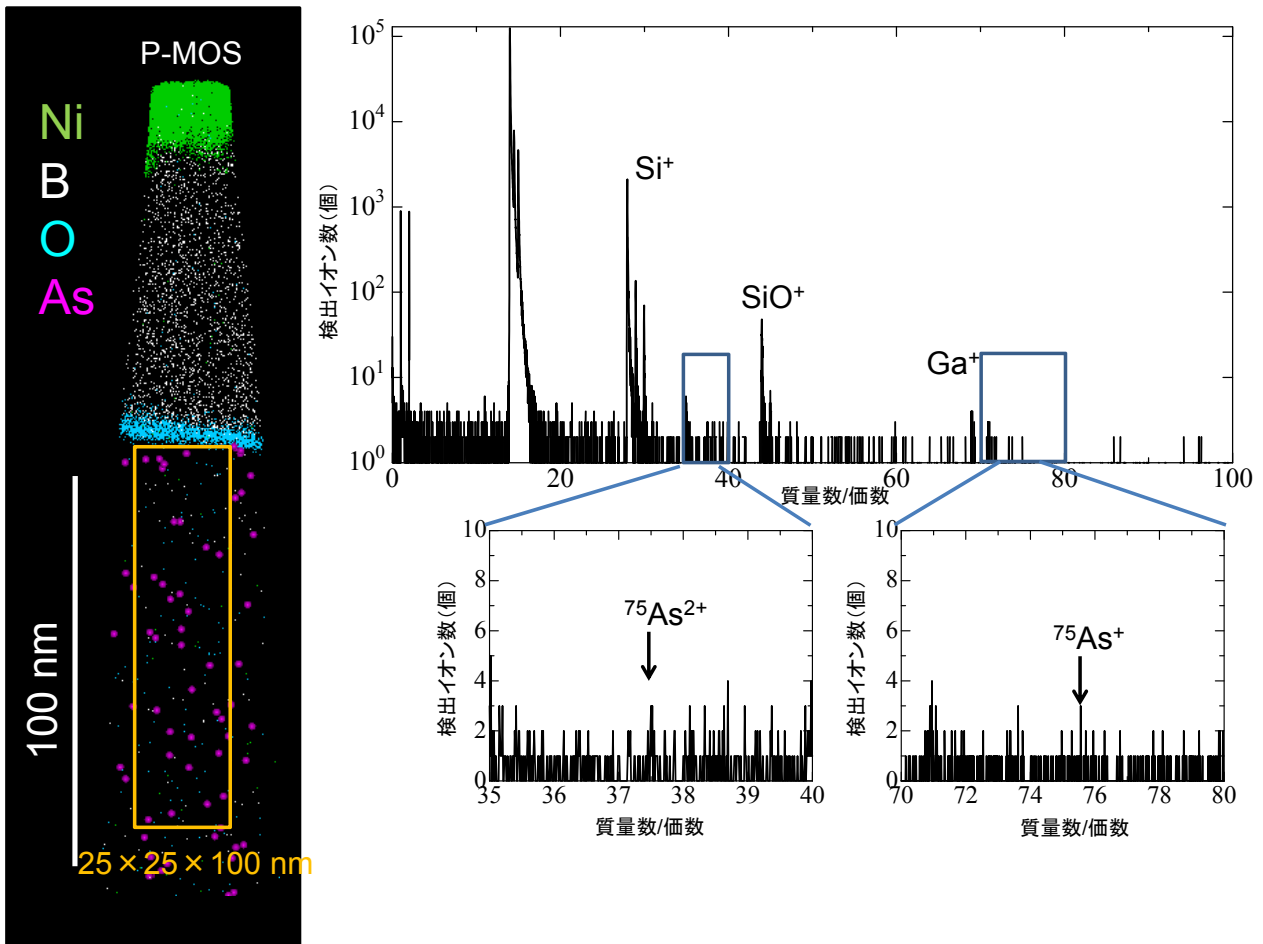
直接方式で FIB 加工中の 3DAP 測定用の試料を、走査電子顕微鏡(SEM: Scanning Electron Microscopy、以下 SEM と表記)観察した像を、III-2-I- (1)図 6-2-3-2 に示した。このように SEM 像の分解能ではゲート位置やサイドウォール位置が完全に把握できないため、チップの先端径を小さくした。これにより、確実にサイドウォールが除去可能であり、3DAP 計測の成功率が飛躍的に向上した。その結果、 V_{th} が $-4\sigma \sim +4\sigma$ 程度の範囲に存在する NMOS デバイスの 3DAP 測定に成功し、チャンネル中のボロン数と V_{th} との対応付けが可能となった。3DAP による NMOS デバイス、ならびに PMOS デバイスの元素マップとマススペクトルを III-2-I- (1)図 6-2-3-3、ならびに III-2-I- (1)図 6-2-3-4 に示した。NMOS デバイスにおいては、2-2 で示したゲート中のグレインバンドリやグレインバンドリ、界面への不純物の偏析が検出でき、さらにチャンネルホウ素の検出が可能となった。PMOS についても同様に、ゲート電極中の不純物の振る舞いを検出し極微量のチャンネルヒ素の検出に成功した(III-2-I- (1)図 6-2-3-4 中の $^{75}\text{As}^{2+}$ ピーク)。



III-2-I- (1)図 6-2-3-2 FIB 加工中の 3DAP 測定用のチップ



III-2-I- (1)図 6-2-3-3 直接方式による NMOS の 3DAP 評価結果



III-2-I- (1)図 6-2-3-4 直接方式による PMOS の 3DAP 評価結果

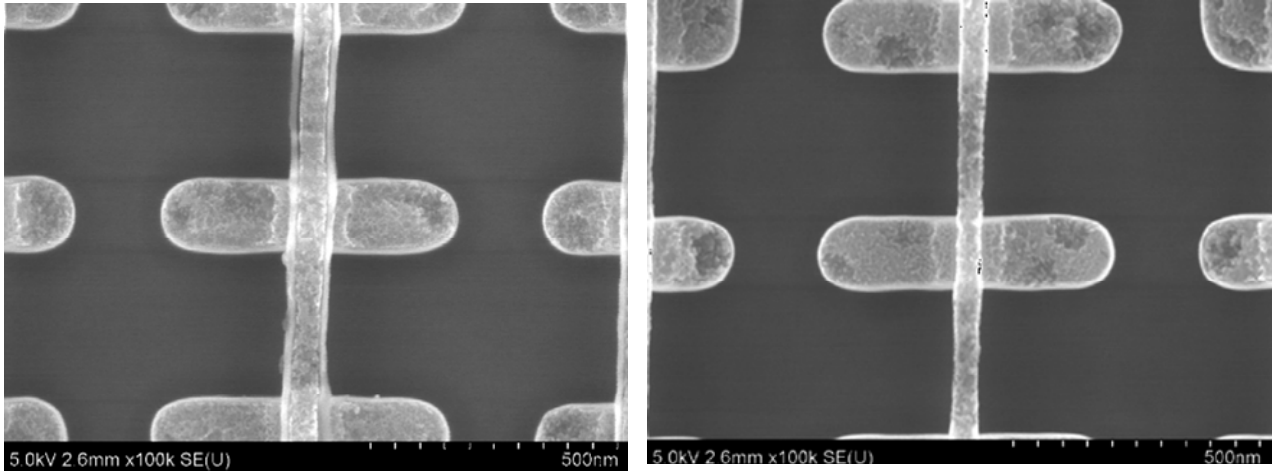
III-2-I- (1)表 6-2-3-1 除膜方式の技術検討

内容	検討機関
除膜、およびサイドウォール除去	<ul style="list-style-type: none"> ・ウエット+ドライエッチ (ルネサスエレクトロニクス、ルネサス武蔵エンジニアリング) ・ウエットエッチ((株)東レリサーチセンタ)
シリコン保護膜成膜	<ul style="list-style-type: none"> CVD、スパッタリング法(NTTアドバンステクノロジー(株)) イオンビーム蒸着法((株)イオンテクノセンター)
FIB 加工	<ul style="list-style-type: none"> ・東北大学 ・東芝ナノアナリシス(株) ・(株)東レリサーチセンタ

除膜方式の検討内容を III-2-I- (1)表 6-2-3-1 にまとめた。除膜後およびサイドウォール除去後の試料の状態については、

- (a)サイドウォールが完全に除去されているか
- (b)シリコン基板がダメージを受けていないか

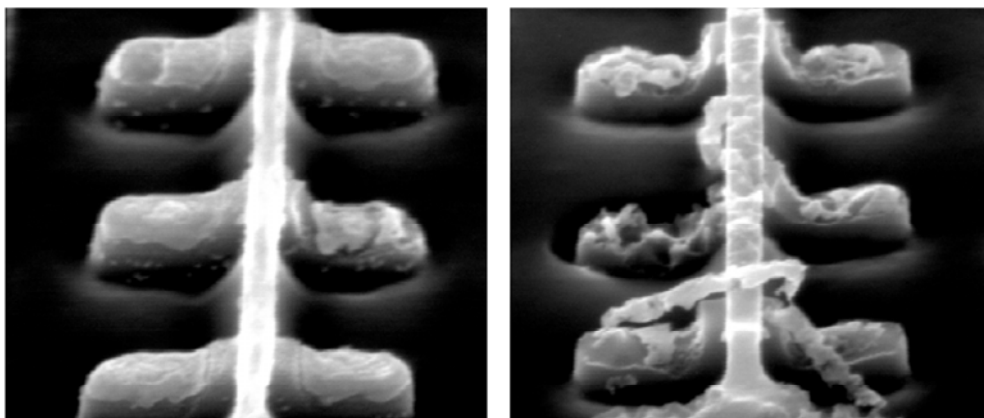
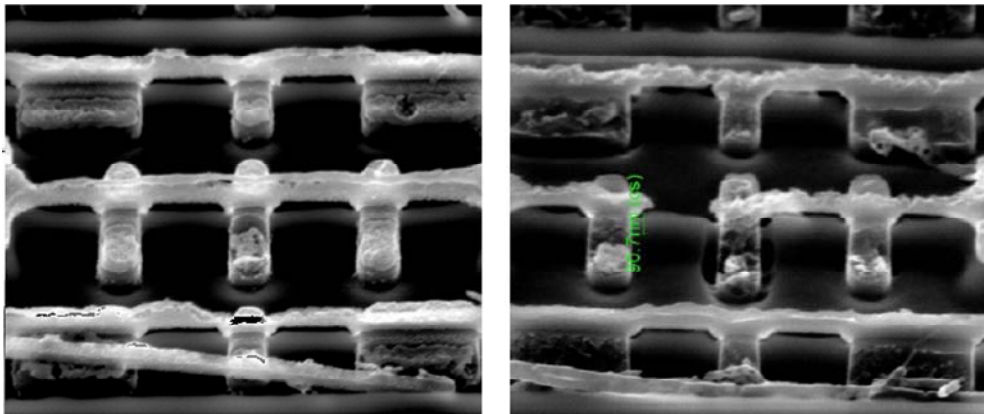
を確認するために、SEM 観察をおこなった。III-2-I- (1)図 6-2-3-5 および 6 に示すように、除膜およびサイドウォール除去ができているが、条件によってはサイドウォールが残ったり、ダメージが大きく、ソース・ドレイン部の基板が損傷を受けたりするため、この確認は重要である。



サイドウォールが残っている状態

サイドウォールが除去された状態

III-2-I- (1)図 6-2-3-5 SEMによる除膜後の表面観察例(1)

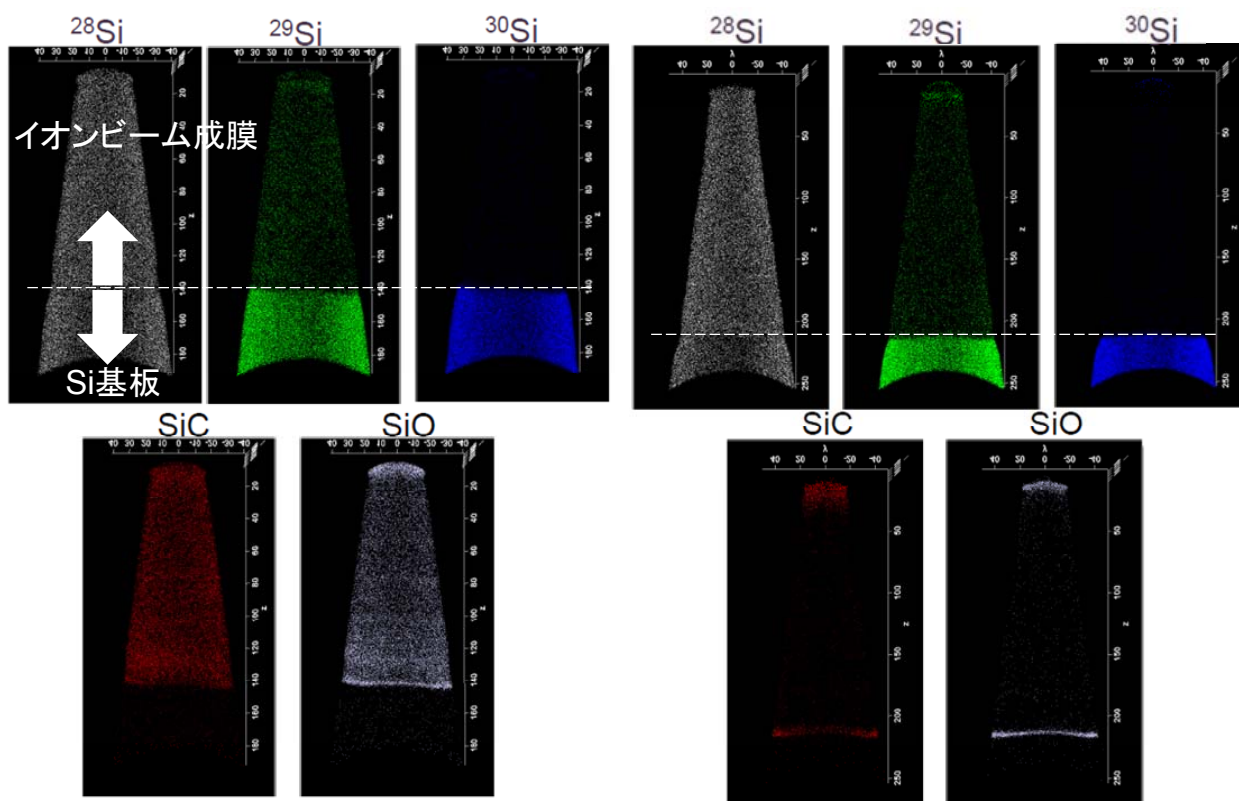


基板へのダメージが小さい場合

基板へのダメージが大きい場合

III-2-I- (1)図 6-2-3-6 SEMによる除膜後の表面観察例(2)

除膜の次に保護膜を形成する。保護膜の材料はアモルファスシリコンを用いた。これは、FIB 加工速度が測定対象(今回はゲートのポリシリコンおよび基板の単結晶シリコン)と大きく異なる材料では加工精度が著しく悪くなること。また、電界蒸発速度が遅いものは3DAP評価時に破壊する可能性が高くなること、などの理由による。アモルファスシリコンの成膜法はスパッタ法、化学気相成長方法(CVD: Chemical Vapor Deposition)法などがあるが、膜に含まれる不純物が少なく、かつ、段差のある構造に対して被覆率が高く、かつ隙間ができていくものである必要があり、最終的にイオンビーム蒸着法を採用した。イオンビーム法は高真空中でシリコンイオンをビーム状にしたもので任意の場所にシリコンを形成する。そのため不純物の含有比は少ない。さらに、シリコンイオンビームは質量数 28 のシリコンイオンで形成されるため、保護膜の中には質量数 28 のシリコンのみが含まれる。一方、シリコン基板やゲート中には 29、30 などのシリコン同位体も含まれるため、3DAP の測定結果において、シリコンの領域が保護膜なのか実デバイスの一部なのかは同位体の分布で見分けることができる点の実用的にも優れている(III-2-I- (1)図 6-2-3-7)。

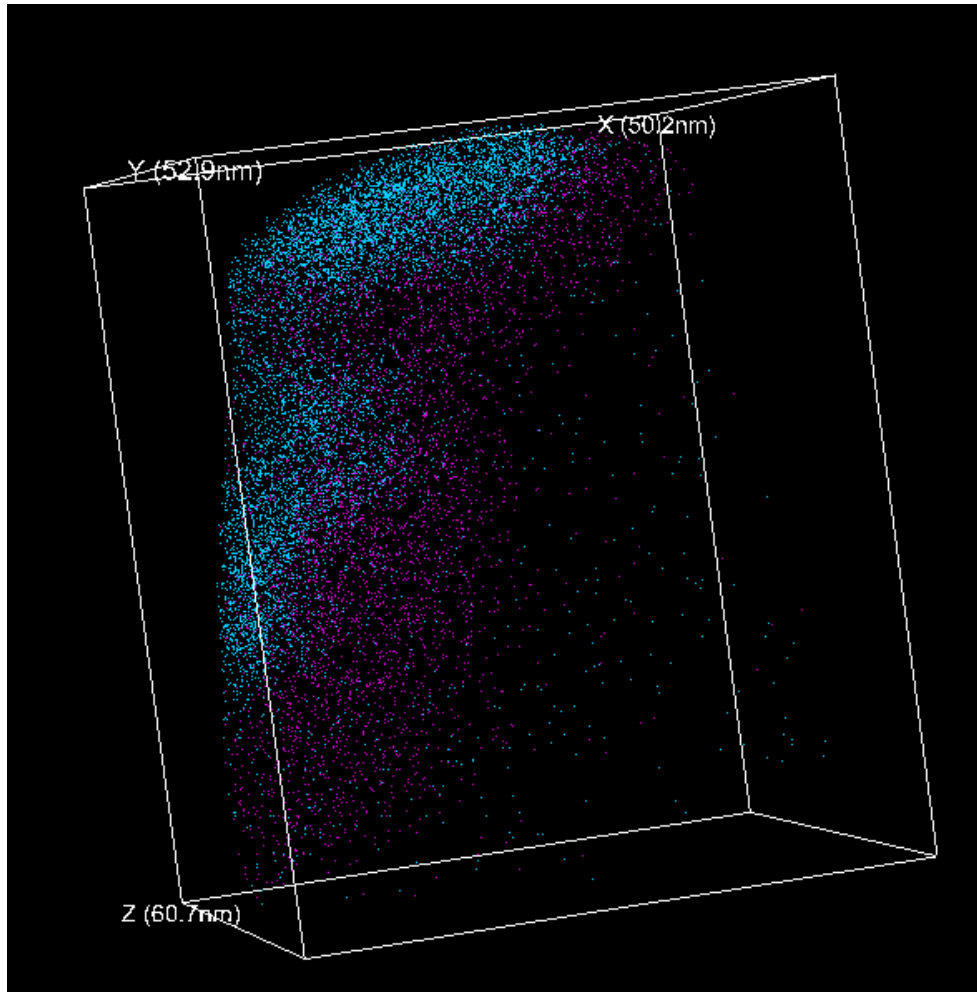


(a) 低真空で成膜したもの (SiC、SiO 多)

(a) 低真空で成膜したもの (SiC、SiO 少)

III-2-I- (1)図 6-2-3-7 イオンビーム法によるシリコン膜の 3DAP 評価結果

以上のように除膜の方法、アモルファスシリコン保護膜の成膜方法などを多くの予備実験により決定し、最終的な実デバイスへの適用を行った。その結果の一例を III-2-I- (1)図-2-3-8 に示した。これは NMOS のソース・ドレイン領域の一部であり、図では表示していないシリコン以外には酸素、ヒ素が検出することができた。



III-2-I- (1)図 6-2-3-8 除膜方式で測定した NMOS の 3DAP 評価結果

以上、直接加工方式と除膜方式を用いた 3DAP 用試料作製方法を開発した。両者ともに半導体デバイス構造の評価を可能とし、両者を使い分けることで目的とする領域の 3DAP 評価を可能とする技術を開発した。

(2) 外部擾乱依存の特性ばらつきの物理的理解とモデリング技術の開発（耐外部擾乱デバイス技術開発）

1) 中性子線入射による電荷発生に起因する回路誤動作の物理的理解とモデリング技術の開発

1)-1 概要

本サブテーマでは、中性子線入射によるソフトエラーの中でも特に SET (Single Event Transient) 型のソフトエラーに関する検討を行った。SET 型のソフトエラーとは、LSI の論理回路部分に中性子線が発生させる二次イオンが入射してトランジスタ内に電荷が発生することにより、論理回路の出力状態が一時的に反転し、それがパルスとなって論理回路中を伝播して行き、フリップフロップでラッチされたときにソフトエラーとして確定するものである。2002 年の論文[-2- - (2)-文献 1)-1]では、hp65nm(45nm ノード)世代では SET によるソフトエラー率が SRAM のソフトエラー率を上回るという予測がなされている。本サブテーマではこの予測の検証を行ない、更に予測をより微細な世代にまで伸張すると共に、SET 起因のソフトエラー率を 1~10FIT 以下に抑えるための対策を立案することを目標とした。

ソフトエラー率の導出に関しては、(a)トランジスタレベルでの電荷収集電流波形データベースの構築、(b)各種ロジックセルにおける SET パルス発生率評価ツール[-2- - (2)-文献 1)-2]を用いたプリミティブセルレベルのパルス発生率データベースの生成、(c)チップ内のロジック回路構成に応じたソフトエラー率の算出、という評価手順により、hp130nm(90nm ノード)におけるチップレベルのソフトエラー率評価が可能であることを既に確認している[-2- - (2)-文献 1)-3]。この手法の妥当性を確認するため、中性子線照射試験による SET パルス幅分布測定を実施し、実測と上記計算手法とでほぼ同じ分布形が得られることを確認した。上記計算手法では、(a)のフェーズで実施される TCAD 計算、(b)のフェーズで実施される SPICE 計算において、デバイススケールや回路特性の効果が自動的に反映されるが、このことは、逆に、どのようなデバイス特性、回路特性がソフトエラー率の増減に寄与しているか掴みづらいという問題も生む。そこで、hp78nm(55nm ノード)世代での電荷収集電流波形データベースの構築を行うとともに、デバイス構造要因によって生まれる、hp130nm 世代の電荷収集電流波形との違いについて要因分析を行った。また、回路的な要因が SET パルス幅に与える影響を明確にし、将来世代における SET パルス幅評価を容易にするために、SPICE を用いずに、より少ないパラメータで簡便にパルス幅を推定できるモデルを開発した。このモデルを用いてパルス幅分布を算出する枠組を整え、ロジック回路誤動作率のトレンド予測を実施した。その結果、仮に、寄生バイポーラ効果によって SET パルス幅が広がり、誤動作率が大きく増大してしまう状況となっても、フィルタ回路を用いることにより、誤動作率を 1~10FIT 以下に抑えることが可能であることが示された。

1)-2 SET パルス幅測定回路の設計

本サブテーマのソフトエラー率算出の過程において、多くの SET はパルス幅 100ps 以下であることを予測していた。従って 100ps 付近の SET パルスを確実に測定することを目的として測定回路の設計を行った。以下に SET パルス幅測定における要請事項と、従来例の問題点を述べ、新規 SET パルス測定回路の構成と利点を説明する。

SET パルス幅は小さいため、基本的にはパルスを直接チップ外部へ出力して測定することはできない。またそもそも中性子線照射試験では高精度の信号測定機器は使用できない。従って測定結果をデジタル信号で出力可能なパルス幅測定回路を設計し、SET 測定対象回路と同一 TEG チップ上に搭載する必要がある。

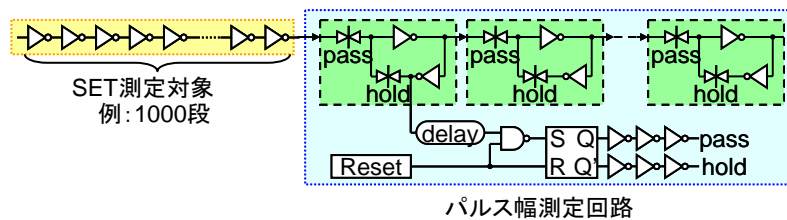
一般にソフトエラー率測定では、結果の統計的信頼性を高めるために、なるべく多く(少なくとも 100 回)のソフトエラー現象を観測することが望ましいとされている。そのためには試験する時間とデバイス個数の積を大きくする必要があり、通常は試験時間にも測定チップ個数にも制約が生じるため、一つの

TEG チップ上になるべく多くの SET 測定対象回路を搭載する必要が出てくる。典型的な中性子線照射試験の場合、SET 測定対象の論理ゲートセルは 100 万個前後の規模で必要となってくる。

従来例[2- 2- (2)-文献 1)-4~6]では、SET 測定対象回路としてインバータチェーン構成が利用されている。インバータチェーンをあまり長くすると、SET パルスが最終段の出力まで伝播する途中でパルス幅が変化したりパルスが消失したりすることが避けられず、知りたい結果が得られなくなる。従ってインバータチェーンの長さは実際の論理回路のゲート段数(典型的には数十段前後)程度に留めることが望ましい。

インバータチェーンの長さを 20 段とすると、100 万セル達成するためには、5 万本のチェーンが必要となる。

従来例のパルス幅測定回路は、パルスが多数のラッチ回路チェーンを通過する際、パルス自身がトリガーとなって一斉にキャプチャし、状態が通常と異なるラッチを数えるという構成となっている(III-2- I -③-(2)-図 1)-2-1)。このパルス幅測定回路は、ある程度の回路規模(数百から数千ゲート)が必要な上に、パルス幅データ読み出し動作が複雑になることから、一つの TEG チップに数百個を超えるような測定回路を搭載することは困難である。仮に 500 個の測定回路で 5 万本のインバータチェーンを測定しようとするならば 100 本のインバータチェーンを OR 論理で束ねることになり、OR 論理を構成する論理ゲートの影響(通過するパルス幅の変化と、そこでの SET 発生)によって期待した結果が得られなくなる。



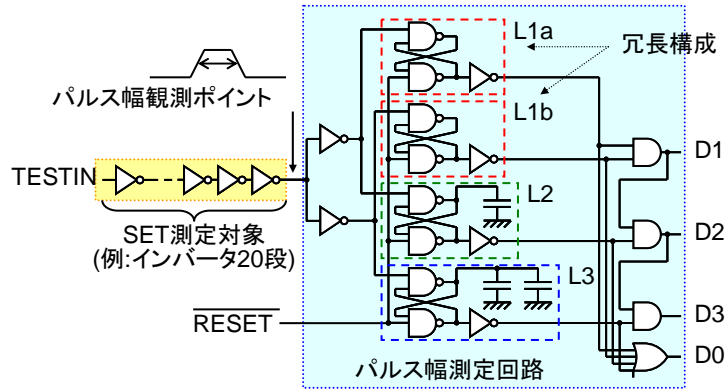
III-2- I -③-(2)-図 1)-2-1: 従来の SET パルス幅測定回路の例

以上の要請事項及び問題点を踏まえて開発した新規 SET パルス幅測定回路[2- 2- (2)-文献 1)-7]の構成をIII-2- I -③-(2)-図 1)-2-2 に示す。伝播中のパルス幅の変化を最小とするために、長さ 20 段程度に抑えた SET 測定対象回路とパルス幅測定回路を 1 対 1 接続し、そのペアを多数配置する方針とした。またパルス幅測定回路の大きさを極力コンパクトに抑えるよう注意しつつ回路構成を決めた。

極力短いパルスを検出する基本構造として、NAND ゲート 2 個による RS ラッチを採用することとした。負荷容量を接続してフィードバック時間を変え、最小検出パルス幅(検出感度)を変えた複数の RS ラッチ(L1a, L2, L3)を組み合わせることによって、検出されたパルスがどのパルス幅区間に属するかを知ることができる。組み合わせるRSラッチの数は任意である。ただしSET測定対象回路から見た負荷容量の大きさやパルス幅測定回路の大きさを考慮すると、4 個が適当と考えられる。パルス幅分解能(パルス幅区間)は、例えば 20ps 間隔など、追加する負荷容量によってある程度自由に設定できる。予測したパルス幅分布をほぼカバーできるように設定すればよい。hp130nm の例では、負荷容量なしの最小パルス検出感度は約 63ps であり、パルス幅分解能を約 23ps 間隔に設定した。

なお、RSラッチの最小パルス検出感度付近より幅の小さいSETパルスは、実際の論理回路においてもフリップフロップにラッチされて誤った値として確定することができない。いずれのラッチ構造も反転論理 2 段のフィードバックループであるため、ラッチできる最小パルス幅はほぼ同程度となる。従って RS ラッチの最小パルス検出感度は十分であると言える。

中性子線照射環境下では RS ラッチ自身の反転(SEU:Single Event Upset)は避けられない。これを除外するため、正しく SET を検出したときは必ず 2 個以上の RS ラッチがセットされるよう、最小の検出感度の RS ラッチ二個(L1a、L1b)を冗長構成とした。L1a と L1b が隣り合わないようレイアウトすることにより、一度の中性子線入射で同時に反転する確率を下げるができる。また SET 測定対象回路からの分岐を工夫することにより、パルス幅測定回路入力段で発生する SET も除外できる。検出された現象は RS ラッチの出力に設けられた論理ゲートにより判定され、出力状態から容易に判別できる(Ⅲ-2- I -③-(2)-表 1)-2-1)。



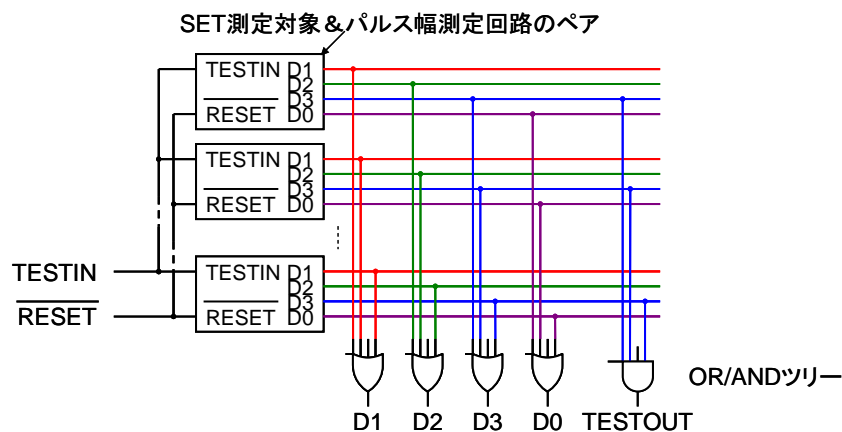
Ⅲ-2- I -③-(2)-図 1)-2-2: 新規 SET パルス幅測定回路

Ⅲ-2- I -③-(2)-表 1)-2-1: 新規 SET パルス幅測定回路の出力と判定の対応

D1	D2	D3	D0	判定	
0	0	0	0	発生なし	
1	0	0	1	SET	パルス幅小
1	1	0	1	SET	パルス幅中
1	1	1	1	SET	パルス幅大
0	0	0	1	RS ラッチ SEU(反転)または測定回路入力段の SET	

この SET 測定対象回路とパルス幅測定回路のペアを多数配置するときの接続をⅢ-2- I -③-(2)-図 1)-2-3 に示す。同じ SET 測定対象とパルス幅測定回路のコピーについては、個々を区別する必要はない。従って SET 検出結果を確認する周期に注意し、一周期に同時に複数の SET が発生する確率を十分低くできるならば、全てのパルス幅測定回路のコピーの同じ出力信号を OR 論理で 1 本に束ねても問題ない。こうすることで回路設計も SET 検出結果の読み出しも非常に簡単になる。

TEG チップが正しく製造されていることを確認するため、SET 測定対象回路の入力(TESTIN)からは信号を入力できるようにする。このとき全ての SET 測定対象回路に一括して信号を入力し、全ての RS ラッチの出力の OR が 0 になること、AND が 1 になることを確認すれば、全ての RS ラッチのコピーが動作するとわかる。L1a、L1b、L2、L3 の OR 信号 D0 はこのために設けてある。また AND は D3 を用いて確認する。



III-2-I-③-(2)-図 1)-2-3: 新規 SET パルス幅測定回路を多数配置する構成

hp130nm 及び hp56nm の TEG に搭載した SET 測定対象回路の種類を III-2-I-③-(2)-表 1)-2-2 に示す。hp130nm の TEG で実績を積んだ後、新規 SET パルス幅測定回路のみを搭載した hp56nm の TEG では測定対象の種類を増やした。いずれも基本的にスタンダードセルライブラリに含まれるセルを使用している。Fan Out は負荷容量の大きさを表し、インバータチェーンを構成するセル一つ一つに Fan Out の数が示す個数のセルを接続していることを表す。基本は 1 であるが 2 以上の場合はダミーセルが接続されている。チェーン段数は特に表記がないものは 20 段を基本とし、パルス減衰効果の比較のため 40 段、80 段を用意した。

III-2-I-③-(2)-表 1)-2-2: SET 測定対象回路一覧

表記	セルタイプ	駆動能力	Fan Out	その他	チェーン段数	hp130nm	hp56nm
INV x1	インバータ	x1	1		20	○	○
INV x1 (40stages)	インバータ	x1	1		40	○	○
INV x1 (80stages)	インバータ	x1	1		80	○	○
INV x1 (FO=2)	インバータ	x1	2		20	—	○
INV x1 (FO=3)	インバータ	x1	3		20	—	○
INV x0.5	インバータ	x0.5	1		20	○	○
INV x2	インバータ	x2	1		20	○	○
INV x1 (NDx4)	インバータ	x1	1	N+拡散層 面積 4 倍	20	—	○
INV x1 (PDx4)	インバータ	x1	1	P+拡散層 面積 4 倍	20	—	○
NAND2 x1	2 入力 NAND	x1	1		20	○	○

1)-3 SET パルス幅分布の測定

hp130nm 及び hp56nm の TEG に前述の新規 SET パルス幅測定回路を搭載し、中性子線照射試験を行った。以下に代表的な結果を示しその考察を述べる。

中性子線照射試験はカナダの国立研究所の TRIUMF にて白色中性子線を使用した。エネルギースペクトル形状は最大 400MeV 付近まで自然界の中性子線とよく似ており、中性子線量の比例換算によってほぼ実際のソフトエラー率を推測できるとされている。

hp130nm の代表的な中性子線照射試験結果をⅢ-2-I-③-(2)-図 1)-3-1 に示す。このプロットでは SET 測定対象回路の種類ごとにグループにまとめてあり、一つ一つが発生率分布を示している。縦軸は単位ゲートセルあたりの発生率を表す。

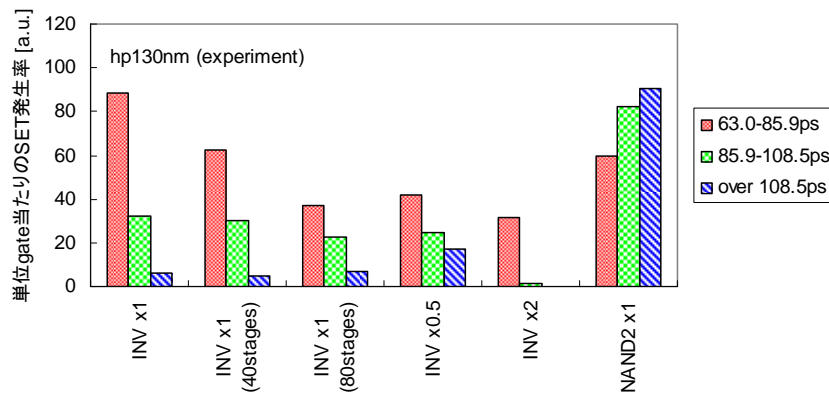
基本の x1 インバータについてチェーン段数の違いを見ると、段数が長いほどパルス幅の短い側で減衰が見られる。このことから、従来例の 1000 段のように長いチェーンを測定対象回路にした場合、パルス幅の短い SET が少ないように見えていたが、実際にはほとんど減衰して観測できなかつたと考えられる。このことはまた、実際の論理回路のゲート段数に近い測定対象回路を使用することの重要性を示している。

インバータの駆動能力の違いを見ると、x0.5 セルよりも x2 セルよりも x1 セルの SET 発生率が高い。x0.5セルに関しては、拡散層面積が x1 セルの約半分であるため、中性子線による二次イオンの入射断面積が小さいこと、更に透過する長さが短いため収集電荷量が減ることの二つの効果によって SET 発生率が下がったと説明できる。一方 x2 セルに関しては x1 セルと同じ幅のトランジスタ 2 個を、共通の拡散層をドレインとしてレイアウトしてあるために、拡散層面積が x1 セルと大きく変わらない。その一方で SET の電位変動を食い止める電流駆動能力が大きいため、x1 セルに対して SET 発生率が低いと説明できる。

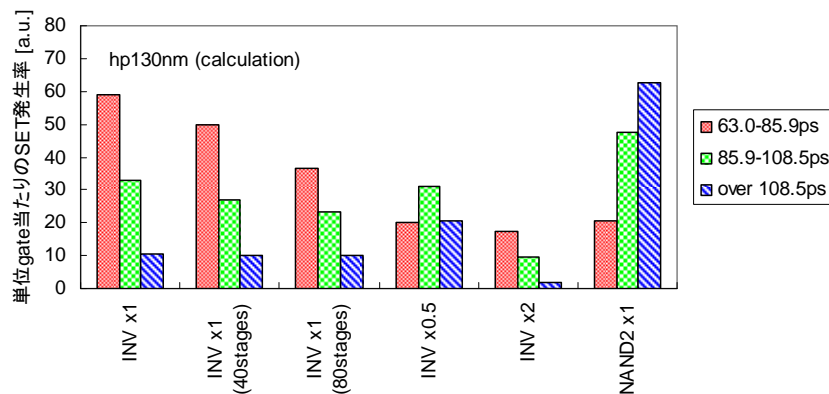
また駆動能力が小さいほどパルス幅分布形状は長い側へシフトしている。これは電流駆動能力の違いが、同じ発生電荷量に対して電位変動を復元させる速さの違いとなって表れていると説明できる。

更に、インバータと NAND を比較すると、NAND の方が全体の SET 発生率が高く、パルス幅分布形状も長い側へシフトしている。これは二つの理由が考えられる。まずこの NAND ではインバータと同じ幅のトランジスタが 2 個ずつ使用されている。セルの出力が High 状態のときは、N+拡散層が影響を受ける。NAND では NMOS トランジスタ 2 個が直列になっているため、影響を受ける N+拡散層が二箇所を増えている。そのため入射断面積も収集電荷量も大きくなり、SET 発生率が高くなると説明できる。一方セルの出力が Low 状態のときは、P+拡散層が影響を受ける。NAND では PMOS トランジスタ 2 個を共通の拡散層をドレインとしてレイアウトしてあるため、影響を受ける P+拡散層面積はインバータと大きく変わらない。しかし SET の電位変動を復元させる NMOS トランジスタが 2 個直列のために、電流駆動能力がインバータよりも小さく、パルス幅が長くなる傾向にあると説明できる。

SET 計算手順によって hp130nm の TEG 測定結果を計算したものをⅢ-2-I-③-(2)-図 1)-3-2 に示す。全体的にパルス幅分布形状や測定対象回路の種類による違いをよく再現している。SET 発生率も測定結果の 0.7 倍以内であり、実用可能なレベルの計算精度が得られていると考える。



III-2- I -③-(2)-図 1)-3-1: hp130nm 測定結果



III-2- I -③-(2)-図 1)-3-2: hp130nm 計算結果

hp56nm の代表的な中性子線照射試験結果をIII-2- I -③-(2)-図 1)-3-3 に示す。

hp56nm の TEG では初期の予測結果を元にパルス幅測定範囲を広げるため、二種類のパルス幅測定回路を搭載し、検出パルス幅区間を 6 区間とした。しかし測定の結果では、パルス幅が 150ps を超える SET の発生率は非常に低いことが明らかとなった。

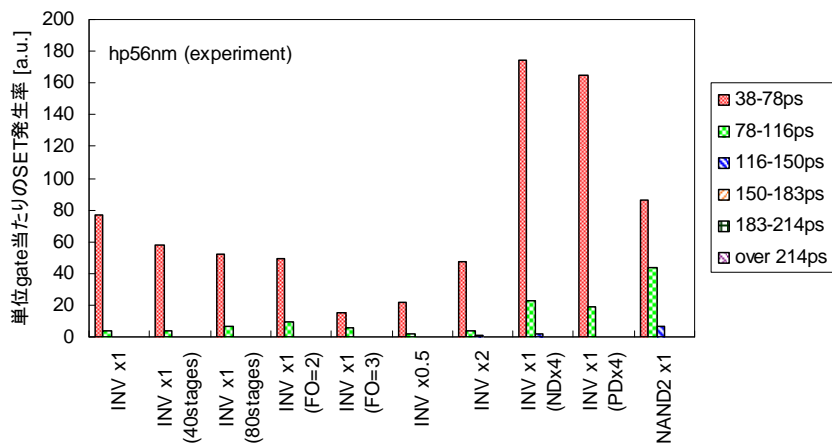
SET 測定対象回路間の比較に関しては、hp130nm と同じ種類のものは同様の傾向にあることがわかる。

その他、負荷容量(Fan Out)が異なるものを比較すると、負荷容量が大きいほど、特にパルス幅の短い区間の SET 発生率が低くなっている。出力ノードに蓄えられている電荷が大きくなると、ある程度の発生電荷に対しては電位が変動しないと考えられる。一方、発生電荷の方が大きい場合、一旦変動した電位が復元する(負荷容量を再充電する)までに時間がかかるため、パルス幅の長い SET の発生率は下がらず、むしろパルス幅が長い方へシフトすると考えられる。

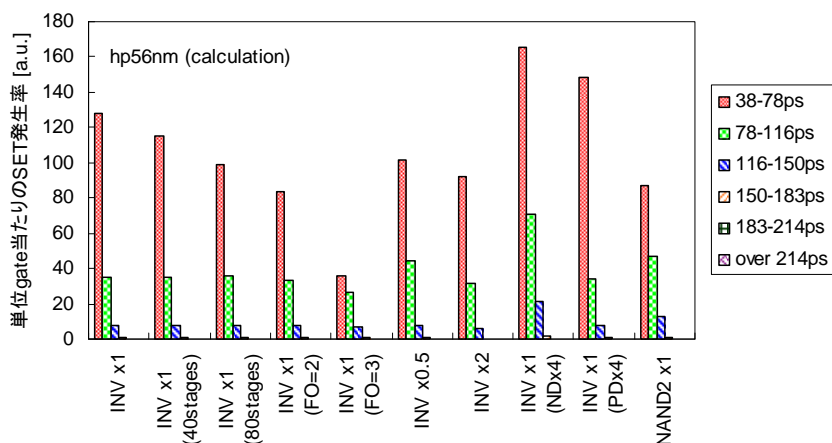
拡散層面積を大きくしたセルでは、SET 発生率が増えている。入射断面積及び収集電荷量が大きくなる効果が表れていると言える。興味深い点は、N+拡散層を大きくしたセル、P+拡散層を大きくしたセル共に SET 発生率がほぼ同等に増えていることである。元の拡散層面積は NMOS、PMOS のトランジスタ幅に比例しており、P+拡散層面積の方がやや大きい。従って SET への寄与としては N+拡散層の方が大きい、その差はさほど大きくない。

SET 計算手順によって hp56nm の TEG 測定結果を計算したものをIII-2- I -③-(2)-図 1)-3-4 に示す。hp130nm と同様、全体的な傾向は概ね再現されている。ただし SET 発生率、パルス幅分布ともに計算結果の方がやや大きめに出ている。これは計算に比べて、実際の寄生バイポーラ効果の方が小さか

ったことを示していると考えられる。

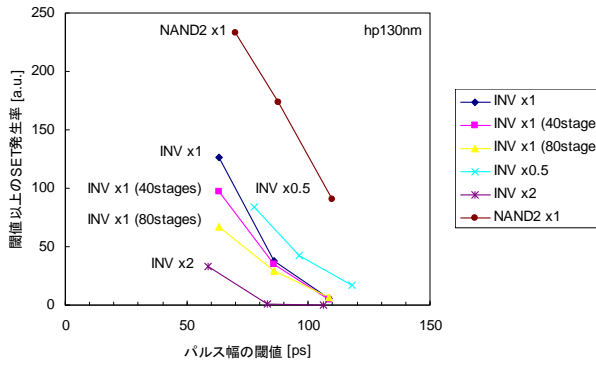


III-2-I-③-(2)-図 1)-3-3: hp56nm 測定結果

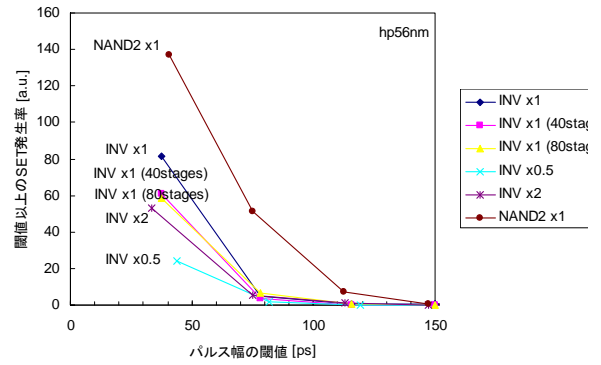


III-2-I-③-(2)-図 1)-3-4: hp56nm 計算結果

hp130nmとhp56nmの測定結果ではパルス幅検出区間が同じではないため、前述のプロットのままで比較が難しい。比較しやすくするために、パルス幅のしきい値に対しそのしきい値以上の幅のSET発生率をプロットしたものをIII-2-I-③-(2)-図 1)-3-5 から 1)-3-8 に示す。hp130nmに比べてhp56nmでは、単位gate当たりのSET発生率は全体的に下がっていることがわかる。またパルス幅もやや短い方へシフトしているようである。

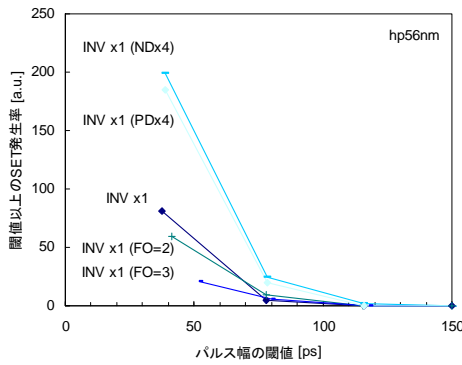


III-2-I-③-(2)-図 1)-3-5: hp130nm 測定結果

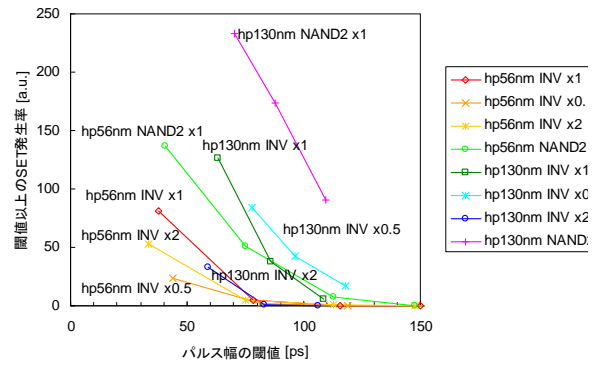


III-2-I-③-(2)-図 1)-3-6: hp56nm 測定結果

(1)



III-2-I-③-(2)-図 1)-3-7: hp56nm 測定結果(2)



III-2-I-③-(2)-図 1)-3-8: hp56nm・130nm 測定結果比較

1)-4 hp78nm 世代の電荷収集電流波形データベースの構築と精度検証

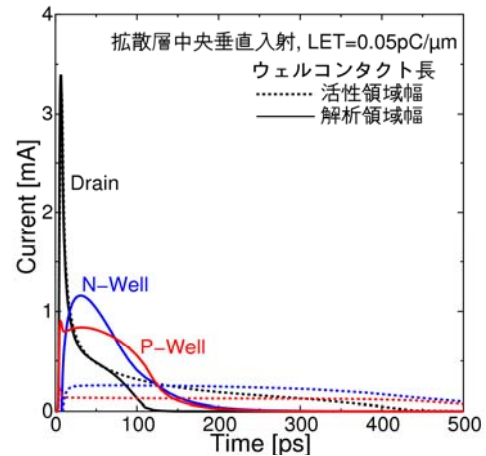
前節で見たように、プリミティブセルの SET パルス発生率評価ツール(TFIT[2- (2)-文献 1)-2])により、hp130nm における INV セル等のパルス発生率分布の実測の傾向を良好に再現することができる。このツールは TCAD 計算により求めた電荷収集電流波形のデータベースを用いており、同様のデータベースを先の世代においても問題なく構築できるか確認するために、hp78nm(55nm ノード)で同じ手法の適用を試みた。

電荷収集電流波形を求める TCAD 解析においては、III-2-I-③-(2)-図 1)-4-1 に示すような構造を原則として用いる。トランジスタは解析領域内の左寄りに配置し、イオンが垂直入射するものとして、拡散層中央や、拡散層の右側の STI 領域に入射した場合の電流波形を、LET(イオントラックに沿ってイオンが発生させる単位長さ当たりの電荷量)と電荷収集端子(ドレイン)電圧を変えて計算する。nMOS の場合であれば、p ウェル層とともに、隣接する n ウェル層も形成し、各ウェルコンタクトを解析領域の端から端まで長くとり、計算当初は、ウェルコンタクトを活性領域近くに活性領域幅の長さで設けていたが、III-2-I-③-(2)-図 1)-4-2 に示すように電荷収集電流(ドレイン電流)にコンタクト長依存性が見られることが分かり、実際のロジックセル構造に合わせてコンタクトを長くとる構造とした。ウェルコンタクトが短い場合には、III-2-I-③-(2)-図 1)-4-2 の黒点線のように電荷収集電流が長い裾を引くが、これはウェルコンタクトからの正孔排出力が弱いためチャネル部分に正孔が溜って電位が浮き、ソースから電子が流入する寄生バイポーラ効果によるものである。コンタクトを長くすると、p ウェルの端子電流が増えて正孔が速やかに排出され、ドレイン電流も早く減衰する。なお、前節の hp130nm の SET パルス幅実測との比較に用いた計算においては、コンタクトを長くとした構造で再構築した電流波形データベースを使っている。

寄生バイポーラ効果が顕著である構造の場合、幅 $4\mu\text{m}$ 奥行き $3\mu\text{m}$ の解析領域では不十分(解析領域サイズ依存性が見える)ことも分かっている。四方に $5\mu\text{m}$ 程度領域を拡張し、幅 $14\mu\text{m}$ 奥行き $13\mu\text{m}$ 程度とすれば、ほぼ問題ない。このとき、nMOS の場合であれば、トランジスタを含む帯状の p ウェル領域の手前と奥に隣接の n ウェル領域を配置し、それぞれ解析領域の一番手前/一番奥まで n ウェル領域が続く構造としている。つまり、p ウェルと n ウェルとを交互に配置することはしていない。後述する、パルス幅推定モデルの開発以降の計算においては、拡張した解析領域で算出した電流波形データベースを用いている。



Ⅲ-2-I-③-(2)-図 1)-4-1: TCAD 解析における標準トランジスタ構造。幅 $4\mu\text{m}$, 奥行き $3\mu\text{m}$, Si 領域深さ $5\mu\text{m}$ 。

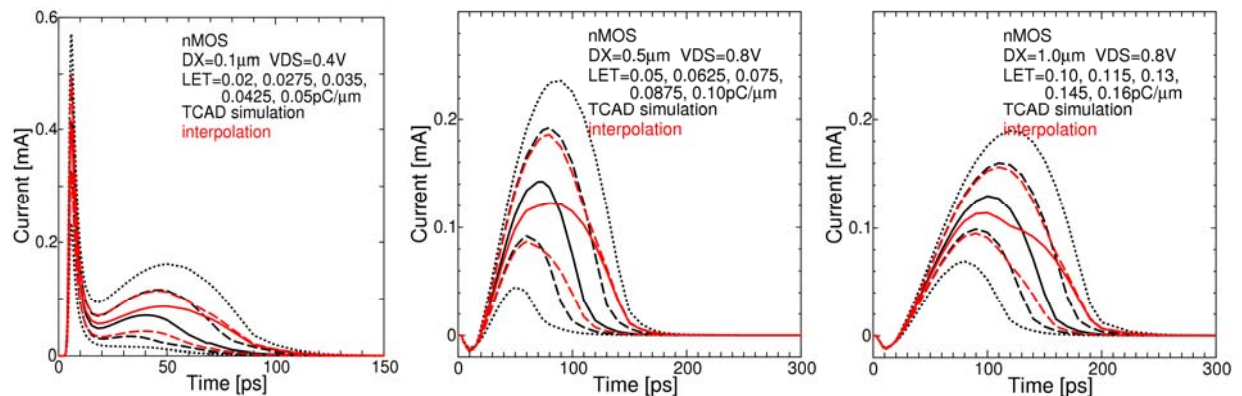


Ⅲ-2-I-③-(2)-図 1)-4-2: nMOS 拡散層にイオン入射した場合における端子電流波形のウェルコンタクト長依存性。

既に述べた通り、電流波形データベース構築時には、イオン入射位置、ドレイン電圧、LET を振って TCAD 計算を実施している。hp130nm の電流波形データベース構築時には、入射位置(パラメタ DX)に関して 0.0 から $1.5\mu\text{m}$ まで 6 水準、ドレイン電圧に関して -0.6 から 1.8V まで 7 水準、LET に関して 0.005 から $0.16\text{pC}/\mu\text{m}$ まで 5 水準の条件振りを行っていた。ここで、DX は拡散層の端から内部に 50nm 入った位置からイオン入射位置までの距離を表すパラメタで、例えば、 $\text{DX}=1.0\mu\text{m}$ の場合、拡散層の端から 950nm 離れた位置に入射させたことを示す。但し、 $\text{DX}=0.0\mu\text{m}$ は特別で、拡散層中央への入射を表す。パルス発生率の評価ツールの内部では、作成されたデータベースを用いて、所望の条件の電流波形を補間操作によって得ている。

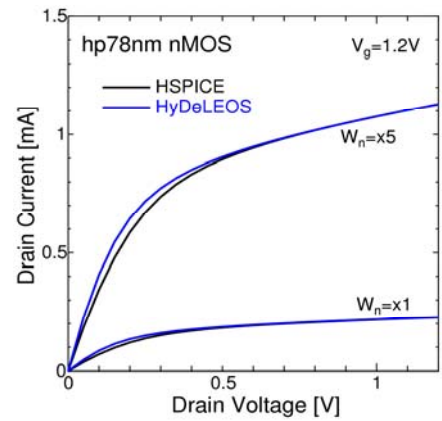
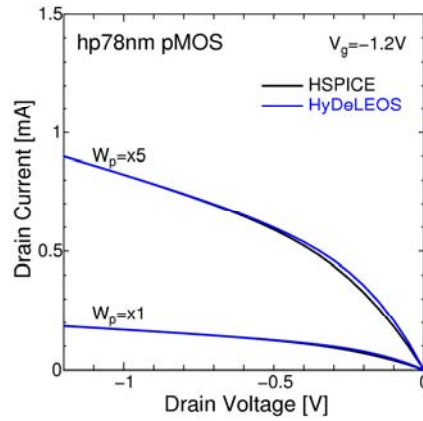
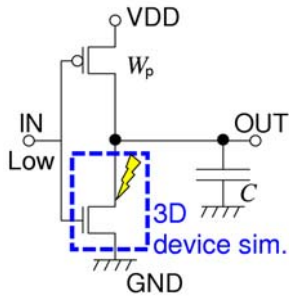
今回、hp78nm において同様の水準で TCAD 計算を行い、中間的な条件において補間操作で得られる波形と、その条件で TCAD 計算した場合の電流波形を比べると、DX とドレイン電圧に関する補間波形はほぼ TCAD 計算と一致したが、LET については nMOS 入射条件において差が見られた。Ⅲ-2-I-③-(2)-図 1)-4-3 において、LET の 3 つの区間 $[0.02, 0.05]$, $[0.05, 0.10]$, $[0.10, 0.16]$ の区間端および中間値で TCAD 計算により求めた波形を黒線で示している。区間端の波形は点線で示されており、それらの LET 条件はデータベース構築に用いている水準に含まれている。赤の実線は、区間端の 2 本の点線波形から中央の LET 条件の波形を補間操作で求めたもので、これに対して、黒の実線が同じ条件で TCAD 計算したものである。波形の裾に大きな差が生じていることが分かる。黒の実線の LET 条件をデータベース構築時の水準に加えた場合に、中間的な LET 条件での波形を補間操作で求めたときの波形が赤の破線、TCAD 計算したものが黒の破線で示されている。まだ裾の部分の差は残っているが、かなり改善される。裾の部分では、寄生バイポーラ効果によって時間軸方向に波形が伸びており、原理的には時間軸方向の補間を行えば精度が向上すると予想されるが、今回は、nMOS 入射条件に関して、中間の LET 条件 ($0.035, 0.075, 0.13\text{pC}/\mu\text{m}$) を水準に追加して電流波形データベースを構築することに

した。構築された電流波形データベースとSETパルス発生率評価ツールTFITを用いれば、プリミティブセルにおけるパルス発生率を算出可能であり、ここでは、インバータ(INV)セルにおける特定入射条件でのSETパルス幅をTFIT計算とTCAD計算(mixed-mode解析)とで比較検証する。mixed-mode解析は、nMOS入射の場合、Ⅲ-2-I-③-(2)-図1)-4-4に示すように、出力ノードに接続されたドレイン拡散層への電荷収集解析を3Dデバイスシミュレーションで行い、pMOSトランジスタと負荷容量は回路モデルで計算する。解析はデバイスシミュレータHyDeLEOSを用いて行った。トランジスタモデルパラメタは、SPICE用のパラメタセットを流用するが、HyDeLEOSのモデルパラメタ記述ではビニングに対応していない等の制約があるため、HyDeLEOS用のパラメタ記述に変換して取り込む。Ⅲ-2-I-③-(2)-図1)-4-5は二種類のチャンネル幅について、HyDeLEOSのトランジスタモデルで計算された I_d - V_d 特性をHSPICEで得られた特性と比較したものである。トランジスタモデルが完全に互換ではないため、若干のズレがあるが、ほぼ特性は一致している。



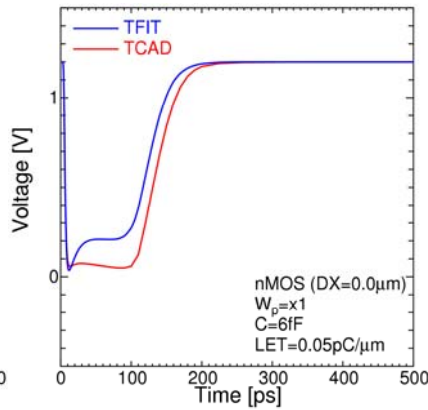
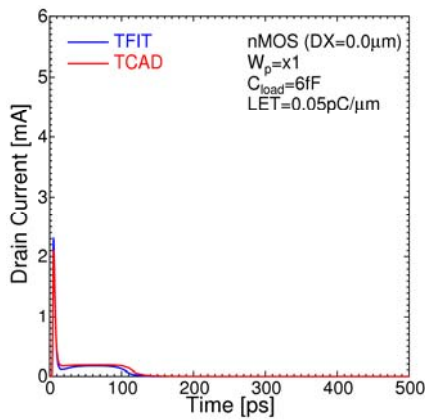
Ⅲ-2-I-③-(2)-図1)-4-3: LETに関して補間操作を行った電流波形(赤線)とTCAD計算による電流波形(黒線)の比較。

Ⅲ-2-I-③-(2)-図1)-4-6からⅢ-2-I-③-(2)-図1)-4-9までは、拡散層中央にイオンが垂直入射した場合の電流電圧波形をTFIT計算(青線)とmixed-mode TCAD解析(赤線)とで比較したものである。TFITでは、電流波形データベースを元にして、左側の図に示すようなインバータ状態での電荷収集電流波形を合成し、その波形を電流源として与えた時の電圧波形をSPICEで求める。mixed-mode TCAD解析の電流電圧波形がTFIT計算でほぼ再現できていることが分かる。Ⅲ-2-I-③-(2)-図1)-4-10は、両者の電圧波形から求まるパルス幅(電位変動が $V_{dd}/2$ 以上になっている時間幅と定義)を条件振りをして比較したものである。nMOS入射の場合にTFIT計算値がやや過小評価の傾向が見られるが、10%程度の差にとどまっている。従って、hp78nm世代においても、hp130nm世代における評価手法を踏襲することでチップレベルのソフトエラー率見積りをほぼ問題なく実施できるものと考えられる。

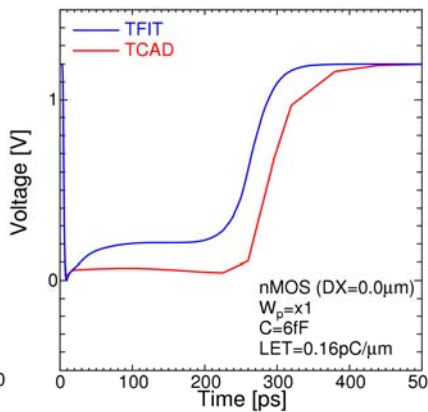
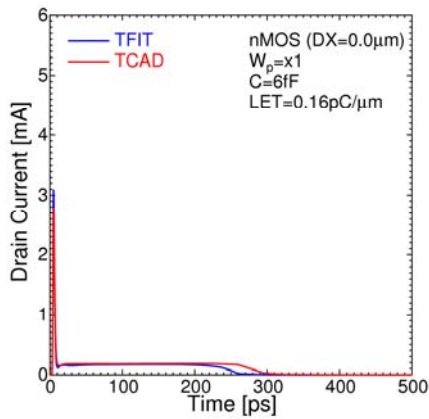


Ⅲ-2-I-③-(2)-図 1)-4-4: mixed-mode TCAD 解析概念図。

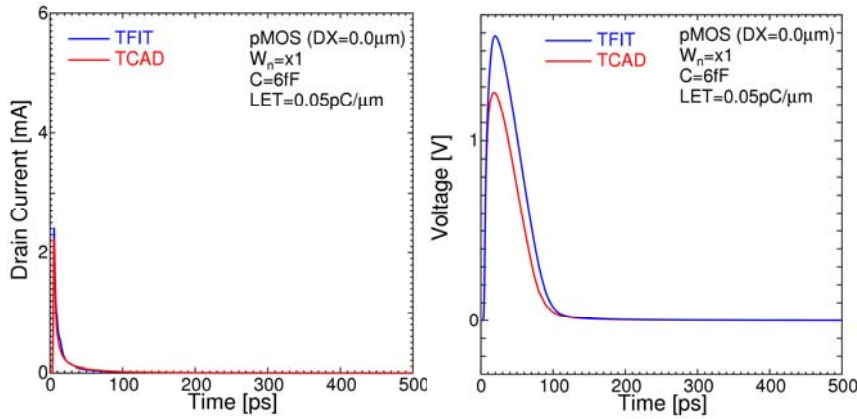
Ⅲ-2-I-③-(2)-図 1)-4-5: デバイスシミュレータ(HyDeLEOS)のトランジスタモデルによるId-Vd 特性の検証。チャンネル幅はx1(標準INVセルにおけるチャンネル幅)とx5(標準幅の5倍)の2種類で計算。



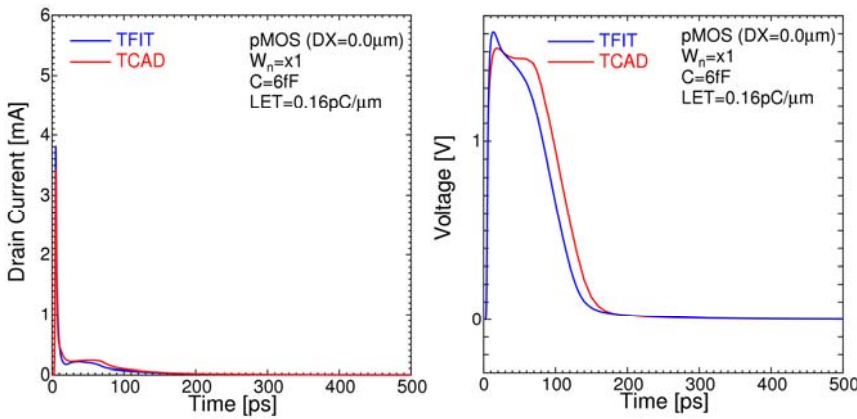
Ⅲ-2-I-③-(2)-図 1)-4-6: nMOS 拡散層中央垂直入射時の電流電圧波形。Wp=x1, C=6fF, LET=0.05pC/μm。



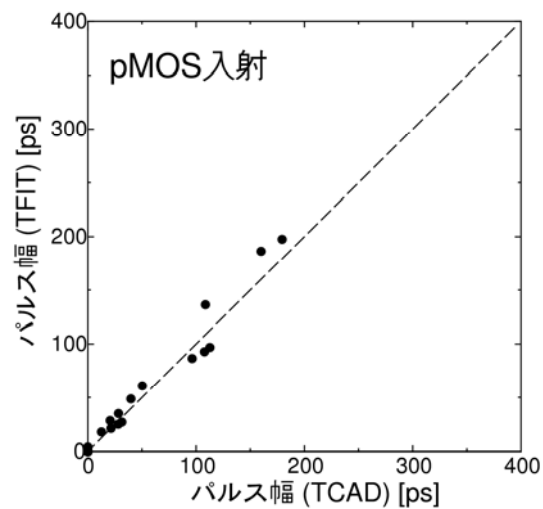
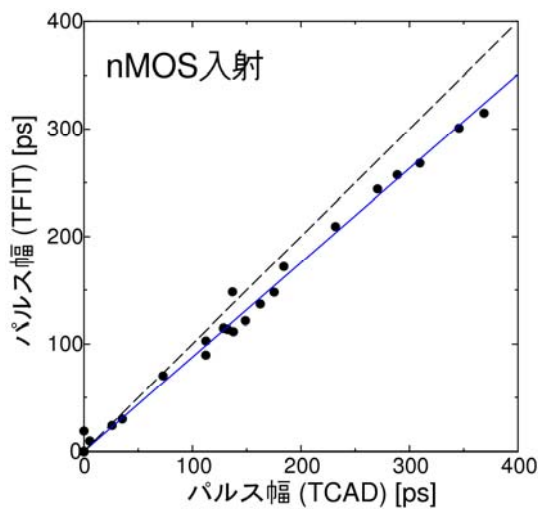
Ⅲ-2-I-③-(2)-図 1)-4-7: nMOS 拡散層中央垂直入射時の電流電圧波形。Wp=x1, C=6fF, LET=0.16pC/μm。



III -2- I - ③ -(2)- 図 1)-4-8: pMOS 拡散層中央垂直入射時の電流電圧波形。 $W_p=x1$, $C=6fF$, $LET=0.05pC/\mu m$ 。



III -2- I - ③ -(2)- 図 1)-4-9: pMOS 拡散層中央垂直入射時の電流電圧波形。 $W_p=x1$, $C=6fF$, $LET=0.16pC/\mu m$ 。



III-2-I-③-(2)-図 1)-4-10: INVセルの nMOS 入射の場合(左図)および pMOS 入射の場合(右図)における SET パルス幅の TFIT 計算値と mixed-mode TCAD 計算値との比較。イオンが拡散層中央に垂直入射した場合。イオンが入射しない側のトランジスタのチャンネル幅は $x1$ (標準幅)と $x5$ (標準幅の5倍)、負荷容量 C は $6fF$ と $30fF$ 、 LET は $0.028\sim 0.16pC/\mu m$ 。入射位置(DX)に関する条件振りをしていないのは、TFIT で波形出力可能なのが拡散層中央垂直入射条件のみのため。

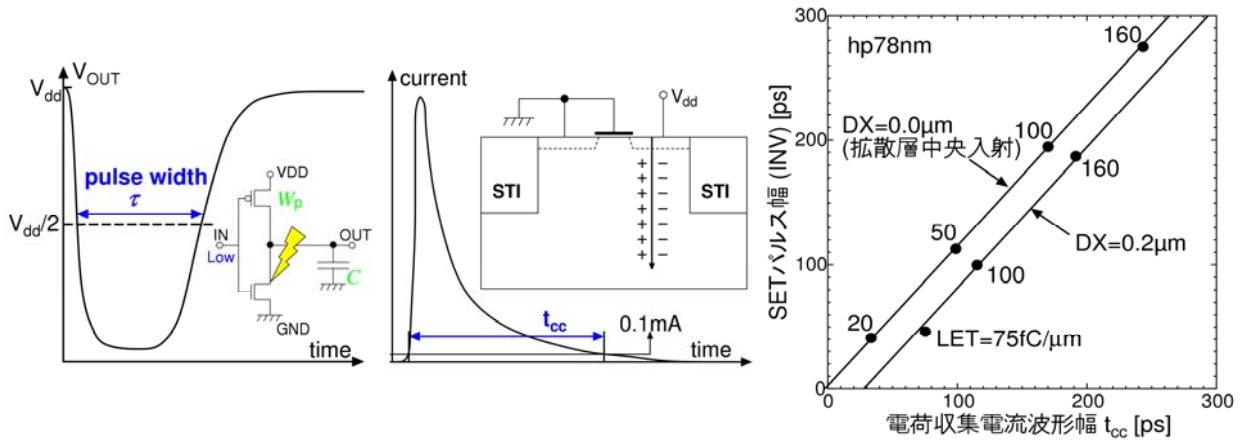
1)-5 デバイススケールリングが SET パルス幅に与える影響の分析

hp130nm および hp78nm 世代での電荷収集過程の TCAD 解析が可能となったので、両者のデバイス構造の違いが SET パルス幅にどのように影響するかを検討することができる。本来は、例えば INV セルにおける SET パルス幅(Ⅲ-2- I -③-(2)-図 1)-5-1 左図)の変化を見るべきであるが、ここでは、端子電位固定のトランジスタ構造における電荷収集電流波形の波形幅(tccと表記する)の変動について検討する。tcc で評価する方が、計算量が少なく済み、また、Ⅲ-2- I -③-(2)-図 1)-5-2 に示すように SET パルス幅と tcc(電荷収集電流が 0.1mA 以上である時間幅と定義)とは強い相関があり、tcc は SET パルス幅の良い指標となるからである。

今回は、典型的なイオン入射条件として、nMOS 拡散層垂直入射で LET が $50\text{fC}/\mu\text{m}$ のケースを選んで解析を行った。Ⅲ-2- I -③-(2)-図 1)-5-3 は拡散層に収集される電流波形を hp130nm と hp78nm とで比較したものである。hp78nm の方は電流波形の裾が長く、電流波形幅 tcc の顕著な増加が見られる。hp130nm の tcc の倍以上になっていて、hp78nm の tcc 値を 100%とした時の増加割合は 56%である。tcc のこの大きな違いは、hp78nm では寄生バイポーラ効果が強くなっていることに起因する。以下では、デバイス構造のどのような違いが tcc 増大に寄与しているかについて分析した結果[Ⅲ-2- I -③-(2)-文献 1)-8]について述べる。

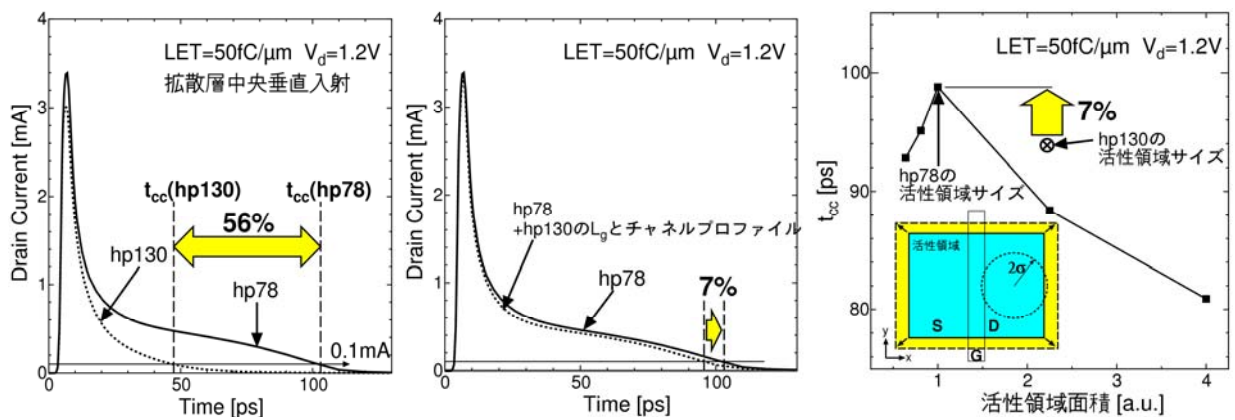
hp78nm ではゲート長が短くなるため、寄生バイポーラ素子のベース長が短く、それだけバイポーラ動作が助長されることになる。hp78nm のトランジスタ構造をベースにして、ゲート長を hp130nm でのゲート長まで広げ、チャンネルプロファイルも hp130nm のものに差し替えた構造における電荷収集電流波形をⅢ-2- I -③-(2)-図 1)-5-4 に点線で示す。元の hp78nm の構造の場合との tcc の差は約 7%で、ゲート長などに起因する tcc 増加効果は意外に小さいことが分かる。

Ⅲ-2- I -③-(2)-図 1)-5-5 は、hp78nm のトランジスタ構造を元に活性領域のサイズを変えた場合の tcc の変化を示したものである。活性領域サイズが小さくなると、チャンネルに滞留して寄生バイポーラ効果を引き起こす正孔が基板に逃げにくくなるため、tcc は次第に増加する。hp78nm での活性領域サイズより小さくなると一転して減少傾向となるが、これは、拡散層の中央に垂直に走っているイオントラックの周囲に、ガウス型の関数(標準偏差 σ)の分布形で発生させている電荷の中で、発生位置が STI 領域に入ってしまった無視される割合が増加するためと推測している。全体的には tcc の活性領域サイズ依存性はそれほど強くはなく、hp130nm における活性領域サイズの場合との tcc 差は 7%程度である。



III-2-I-③-(2)-図 1)-5-1: SET パルス幅(左図)および電荷収集電流波形幅 t_{cc} (右図)。

III-2-I-③-(2)-図 1)-5-2: INV セルにおける SET パルス幅と t_{cc} との相関関係。



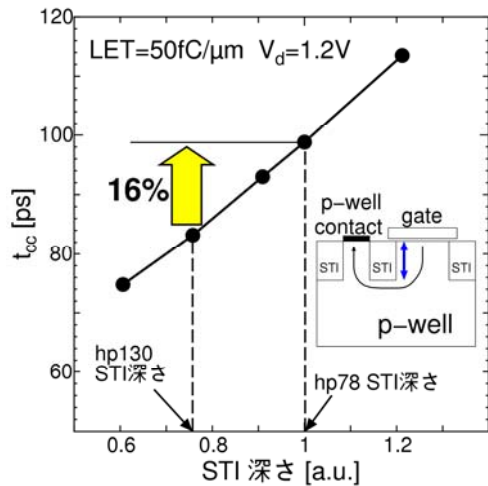
III-2-I-③-(2)-図 1)-5-3: hp130nm 世代と hp78nm 世代における電荷収集電流波形の比較。nMOS 拡散層中央垂直入射条件。

III-2-I-③-(2)-図 1)-5-4: hp78nm nMOS 構造において、hp130nm におけるゲート長とチャネルプロファイルを用いた場合の電流波形変化。

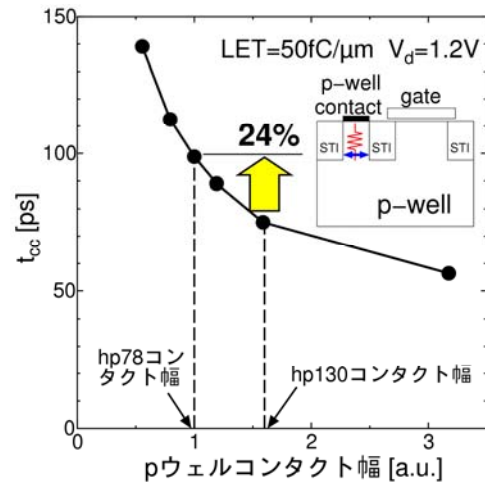
III-2-I-③-(2)-図 1)-5-5: hp78nm nMOS 構造における、 t_{cc} の活性領域サイズ依存性。

より強い影響があったのは STI 深さの違いで、III-2-I-③-(2)-図 1)-5-6 に示すように t_{cc} 差は 16% であった。STI が深くなると、正孔がチャネルからウェルコンタクトへ抜けるパスが長くなって抵抗が増大し、寄生バイポーラ効果が強まっているものと考えられる。今回解析に用いた構造では hp78nm の構造の方が深い STI になっているが、一般的には世代が進むと次第に浅くなるものと考えられ、寄生バイポーラ効果を抑制する要因として働くことになる。

最後に、 t_{cc} の p ウェルコンタクト幅に対する依存性の評価結果を III-2-I-③-(2)-図 1)-5-7 に示す。hp130nm におけるコンタクト幅の場合との t_{cc} 差は 24% で、今回の構造においてはコンタクト幅の影響が最も大きかった。コンタクト下部の抵抗が変調されて寄生バイポーラ効果が増大しているものと考えられる。

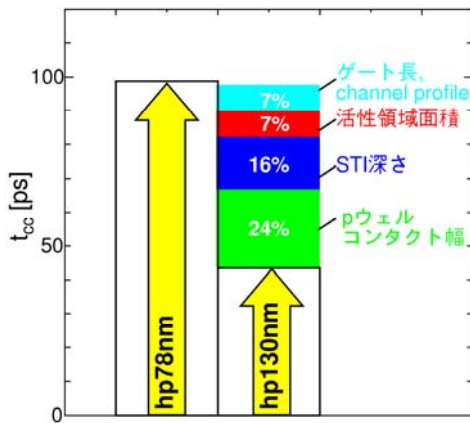


Ⅲ-2-I-③-(2)-図 1)-5-6: hp78nm nMOS 構造における、 t_{cc} の STI 深さ依存性。

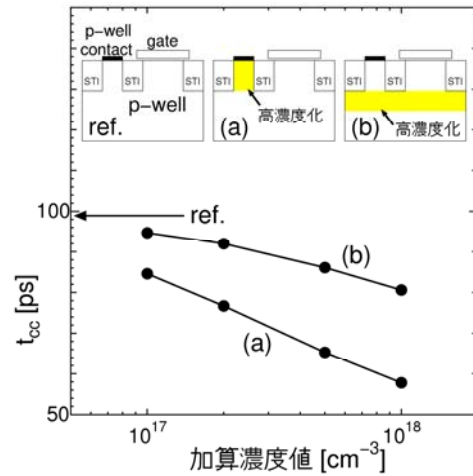


Ⅲ-2-I-③-(2)-図 1)-5-7: hp78nm nMOS 構造における、 t_{cc} の p ウェルコンタクト幅依

Ⅲ-2-I-③-(2)-図 1)-5-8 に示すように、hp130nm と hp78nm での t_{cc} の差は、ここまで検討してきた要因によってほぼ説明できる。今回の構造では正孔の排出能力に影響する構造パラメタの影響度が高いことから、ウェルコンタクトまでの抵抗を下げることで t_{cc} の増加を抑制できるものと予想される。Ⅲ-2-I-③-(2)-図 1)-5-9 は、(a)ウェルコンタクト下、および、(b)STI 下の領域の不純物濃度を上げていった場合の t_{cc} の低減効果を示したもので、ウェルコンタクト幅の影響度が強い今回の構造においては、コンタクト下を高濃度化の方がより効果的という結果であった。



Ⅲ-2-I-③-(2)-図 1)-5-8: hp130nm 世代 と hp78nm 世代における t_{cc} 差の要因。



Ⅲ-2-I-③-(2)-図 1)-5-9: p ウェルおよびコンタクト近傍を高濃度化した場合の t_{cc} 変化。

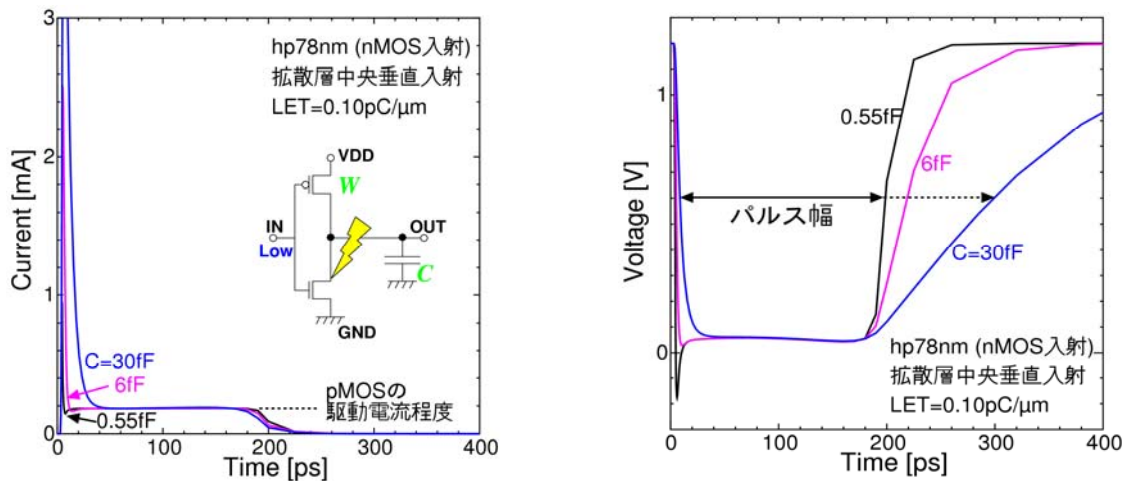
本節の解析の TCAD 計算は、幅 $4\mu\text{m}$ 奥行き $3\mu\text{m}$ の解析領域で実施されたもので、hp78nm における寄生バイポーラ効果が少し過大評価されている。しかし、将来の世代において寄生バイポーラ効果が顕在化した場合に、デバイス寸法や不純物プロファイルの見直しによって正孔排出効率を向上させ、SET パルス幅を削減できる可能性があることは示唆されている。

1)-6 SPICE を用いない SET パルス幅推定モデルの開発

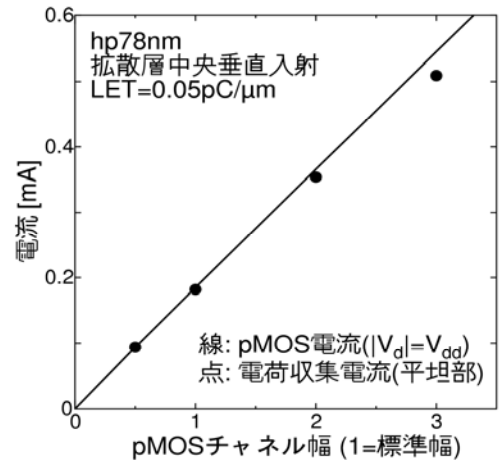
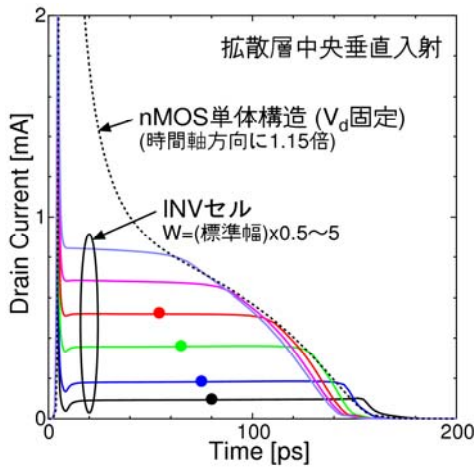
TCAD で算出した電荷収集電流波形データベースを使って、INV セル等のプリミティブセルにおける SET パルス幅やパルス発生率を評価するために、TFIT をこれまで用いてきた。このツールではパルス幅

算出のために内部でSPICEを呼び出すため、SPICEのセルライブラリが必要になる。セルライブラリが完備されている世代においては各種セルにおけるパルス発生率を評価できる強力なツールであるが、将来世代のSET見積りを行う場合には、SPICEライブラリを要する点が障害となる。仮想的なセルライブラリを構築することは可能であろうが、ライブラリの不備によって将来トレンドを見誤る懸念もあるため、今回はSPICEを用いずにSETパルス幅の推定を行い、将来世代におけるパルス幅分布や回路誤動作率の予測につなげることとした。ここでは、INVセルにおいて発生するSETパルス幅を、単純化したモデルで、少数のパラメタ使って推定する手法[-2- - (2)-文献 1)-9]について述べる。

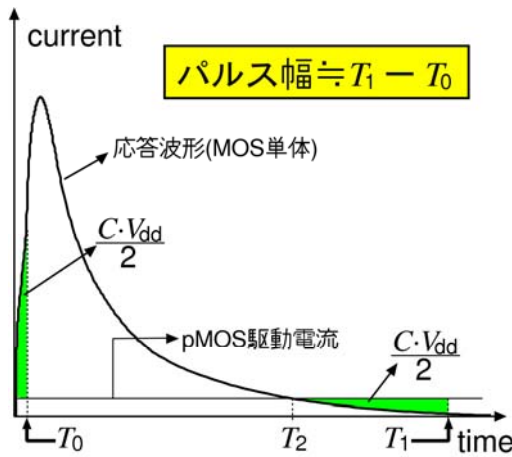
III-2-I-③-(2)-図 1)-6-1 に、INVセルのnMOS拡散層の中央にイオンが垂直入射した場合の電荷収集電流波形と出力電圧波形をmixed-mode TCAD解析で求めた例を示す。電流波形は、初期のピークの後にはほぼ一定の電流値をしばらく保っている。この間、出力電位もほぼ0Vを保っているので、電荷収集電流はpMOSからの供給電流(ほぼ駆動電流 $=I_{on} \cdot W$ に等しい)とつり合っている。そして、電荷収集電流がそこから減衰しはじめると、出力電位が回復し始める。III-2-I-③-(2)-図 1)-6-2 左図に示されているように、pMOSのチャンネル幅 W を変えて供給電流を変化させると、それに応じて電流波形の平坦部分の電流レベルが増減する。その電流レベルは、pMOSの駆動電流にほぼ一致している(右図)。また、左図において、平坦部から電流波形が減衰してゆく部分の波形は、単体nMOS構造において、電位固定条件で計算された電荷収集電流波形に近くなっている。このような特徴があるため、nMOS単体構造で計算された電荷収集電流がpMOSの駆動電流を上回っている時間幅がSETパルス幅の良い指標になると指摘されている[-2- - (2)-文献 1)-10]。III-2-I-③-(2)-図 1)-6-1 右図の電圧波形に示したように、負荷容量 C が小さい条件ではそれでほぼ問題はないが、容量が大きい場合にはそれに見合った電位回復時間が必要になっている。以下に述べるパルス幅推定モデルは、電荷収集電流がpMOSの駆動電流を上回っている時間幅をベースにして、上記のような点について精緻化を図ったモデルとなっている。



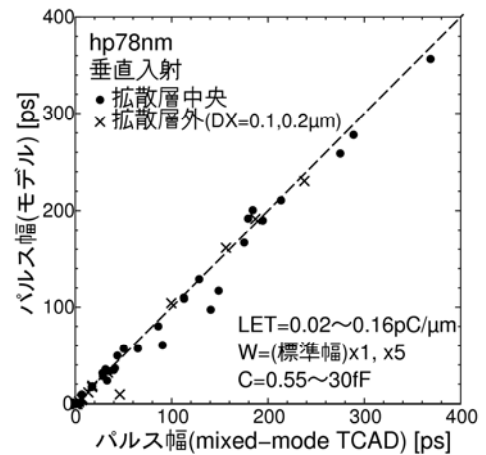
III-2-I-③-(2)-図 1)-6-1:典型的な電荷収集電流波形(左図)と電圧パルス波形(右図)。



III-2-I-③-(2)-図 1)-6-2: INVセルにおける電荷収集電流波形(実線)とnMOS 単体トランジスタ構造における電流波形(点線)との比較 (左図)、および、平坦部の電荷収集電流値(点)と SPICE モデルによる pMOS 駆動電流値(実線)との比較(右図)。



III-2-I-③-(2)-図 1)-6-3: パルス幅推定モデルの概要。



III-2-I-③-(2)-図 1)-6-4: パルス幅推定モデルおよび TCAD によって求めたパルス幅の比

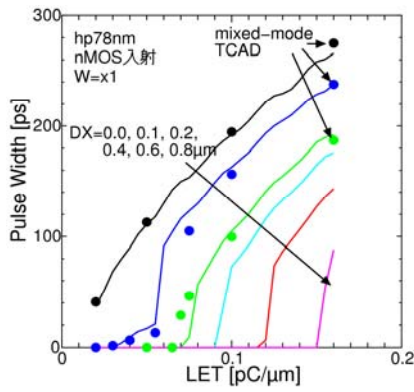
III-2-I-③-(2)-図 1)-6-3 は、単体 MOS 構造で求めた電荷収集電流波形を元にパルス幅を求める手順の概略を示したものである。まず、単体 MOS 構造における電荷収集電流波形が pMOS の駆動電流にまで減衰する時刻 T_2 を求める。この時刻から出力電位が回復するものとするが、回復時間は負荷容量 C に依存する。そこで、この時刻以降しばらくは pMOS からの供給電流はほぼ駆動電流を保つものと仮定して、これと収集電流との差分による電荷量が $C \cdot V_{dd}/2$ に達する時刻 T_1 を SET パルスの終端時刻とする。パルスの開始時刻は、イオンが拡散層を通過するような条件ではイオン入射時刻としてもあまり問題はない。しかし、イオンが拡散層から離れた位置に入射して電荷が徐々に収集されるような条件においては、電圧が $V_{dd}/2$ だけ降下するまでの時間が無視できなくなる。ここでは、あまり正確な見積りとは言えないが、収集電流と pMOS 駆動電流との差分による電荷量が $C \cdot V_{dd}/2$ に達する時刻 T_0 をパルスの開始時刻としている。このようにして、パルス幅の推定値 $T_1 - T_0$ を求める。

細かい補正として、まず、先の説明では、単体 MOS 構造での収集電流波形の裾が INV セルでの波形と同じという前提だが、実際には、III-2-I-③-(2)-図 1)-6-2 左図のように、単体 MOS 構造での収集電流波形を少し時間軸方向に引き延ばした方が良く合う。これは、インバータの状態では、出力電位の低下によって電子の収集が抑制されており、拡散層近傍に残った電子の一部が遅れて収集される効果があるためと推測される。そこで、今回は、 T_2 および T_1 の算出において、電流波形を時間軸方向に

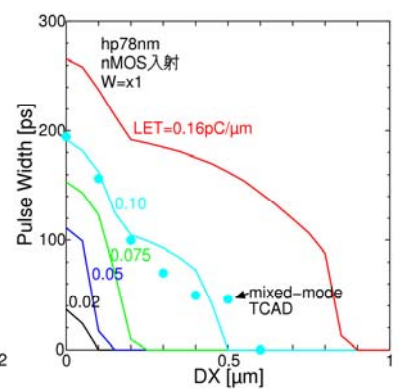
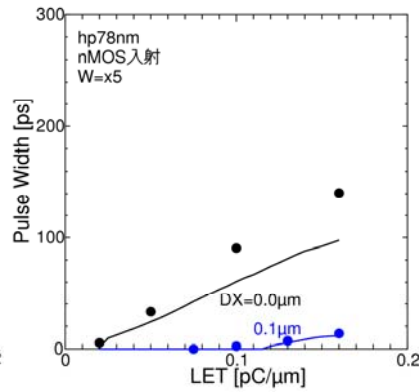
1.15 倍している。また、T0 から T2 までの電荷収集電流波形から pMOS 駆動電流を差し引いた部分の電荷量が $C \cdot V_{dd}/2$ に満たない場合は、出力電位が 0V 近くまで下がらないという想定で、パルス幅の推定値を縮小する方向の補正を行っている。

Ⅲ-2-I-③-(2)-図 1)-6-4 は、hp78nm の INV セルにおいて、パルス幅の推定モデルによって計算されたパルス幅と TCAD 解析で得られたパルス幅とを比較したものである。LET、イオンが入射したのと反対極性 MOS のチャンネル幅 W、負荷容量 C、イオンの垂直入射位置を変えたものをまとめて示している。また、pMOS 拡散層入射の場合の計算結果も含めている。一部、パルス幅推定モデルで求めたパルス幅が過小評価気味になる条件があるが、概ね TCAD 計算によるパルス幅と良く合っていることが分かる。パルス幅推定モデルによる推定精度が劣化する要因は主に二つある。一つは、電位変動が $V_{dd}/2$ 近辺となる条件では、T0 の導出方法が不正確などの理由により推定精度が悪くなりやすいことが挙げられる。また、W が大きい条件では電位を回復させる電流レベルが高いが、電位回復中にこの電流レベルが低下するために推定精度が落ちる場合があることが分かっている。

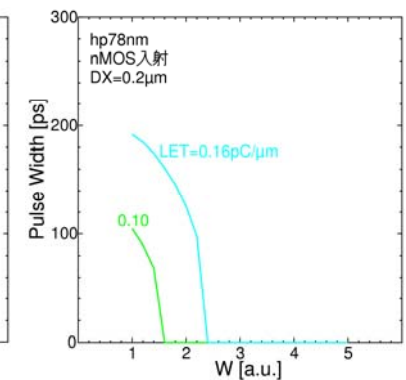
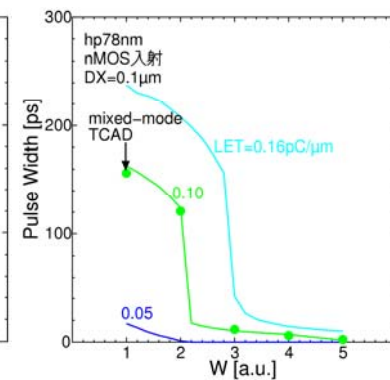
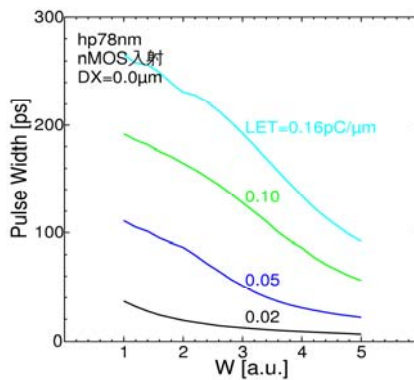
Ⅲ-2-I-③-(2)-図 1)-6-5 からⅢ-2-I-③-(2)-図 1)-6-8 までは、hp78nm の INV セルの nMOS 側にイオンが垂直入射した場合における、SET パルス幅の各種パラメタ依存性を示したものである。実線がパルス幅推定モデルを用いた計算結果で、点は mixed-mode TCAD による解析結果を表している。Ⅲ-2-I-③-(2)-図 1)-6-5 左図は W が標準幅の場合の LET 依存性を、いくつかのイオン入射位置について示しており、TCAD 解析をほぼ再現できている。W が大きい場合(右図)では、先に述べたような理由で少し過小評価の傾向が見える。Ⅲ-2-I-③-(2)-図 1)-6-6 は DX 依存性を示している。LET が $0.10\text{pC}/\mu\text{m}$ 以上ではかなり離れた位置にイオンが入射したケースでもパルスが観測されるようになるが、これは寄生バイポーラ効果によるものである。Ⅲ-2-I-③-(2)-図 1)-6-7 に示す W 依存性では、W が増加して駆動電流レベルが増加するに従って電位回復の開始時間が早くなってパルス幅が減少する。左の拡散層中央入射条件では、パルス幅算出の元になる電流波形が初期のピークを有しており、パルス幅の減少は徐々に進行するが、拡散層から離れた位置に入射する場合には、初期の電流ピークが細い、もしくは消失しているため、ある駆動電流レベルに達すると急激にパルス幅が短くなる。Ⅲ-2-I-③-(2)-図 1)-6-8 に示すように、負荷容量依存性は、ここで計算した容量値の範囲では小さい。負荷容量が増えると電位回復に要する時間が増加するためパルス幅は増加傾向であるが、イオンが拡散層から離れた位置に入射する右図のようなケースでは、電荷収集電流が時間的に徐々に増加するような波形であるために、電位が $V_{dd}/2$ だけ降下するために要する時間の容量依存性が表れてきて、やや減少傾向を示す。電位が $V_{dd}/2$ だけ変動することができなくなるとパルス幅は 0 になるが、パルス幅推定モデルでは、その近辺でのパルス幅減少が TCAD 解析よりも急峻である。先に述べた通り、このあたりの条件での推定精度が高くないことが表れている。



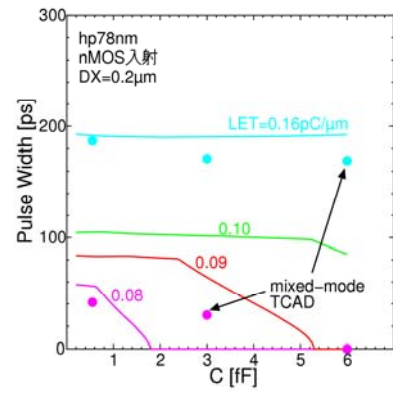
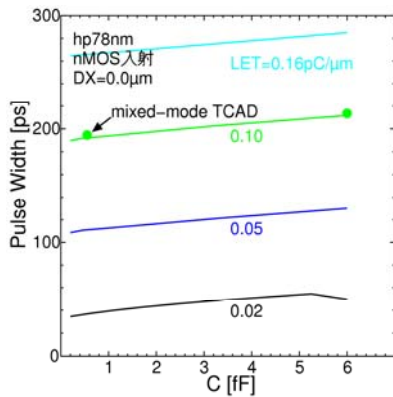
III-2-I-③-(2)-図 1)-6-5: SET パルス幅の LET 依存性。W が標準幅の場合(左図)および標準幅の 5 倍の場合(右図)。



III-2-I-③-(2)-図 1)-6-6: SET パルス幅の DX(入射位置)依存性。



III-2-I-③-(2)-図 1)-6-7: SET パルス幅の W 依存性。DX=0.0(左図), 0.1(中央図), 0.2 μ m(右図)の場合。W=1 は INV セルでの標準幅を表す。



III-2-I-③-(2)-図 1)-6-8: SET パルス幅の C(負荷容量)依存性。DX=0.0(左), 0.2 μ m(右)の場合。

このように、条件によっては推定精度が落ちる部分もあるが、概ね TCAD 計算によるパラメタ依存性の特徴を再現できていると言える。この手法は、TFIT と同様に、単体 MOS 構造における電荷収集電流波形を出発点としている。TFIT では、その波形(データベース)を元に、インバータ等のセルの状態での電流波形を合成し、SPICE を用いてパルス幅を算出しているが、今回の推定手法は、波形合成を省略し、 $V_d=V_{dd}$ の電荷収集電流波形から直接パルス幅を計算する簡易手法になっている。このため、TFIT で用いる電流波形データベース構築に必要な、 V_d に関する条件振りが不要となり、事前に実施する TCAD 解析の負担が少ないという利点がある。

1)-7 パルス幅推定モデルを用いた SET パルス幅分布計算手法

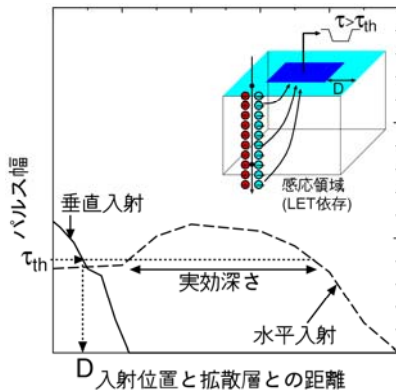
前節では、イオンの入射位置や LET などの条件を与えてパルス幅を算出するモデルについて説明したが、ロジックセルにおける誤動作率を評価するためには、イオンの発生・入射確率を加味して、パルス幅の発生率分布を求める必要がある。TFIT において、この部分の処理方式に関する情報は開示されていないが、ほぼ、ここで説明するものと同じ計算方式を採用しているものと考えている。具体的には、イオンが入射することにより、あるしきい幅 τ_{th} 以上の幅のパルスが発生する領域(感応領域)を考え、感応領域内を通過するイオンの発生率を見積もることでパルスの発生率を算出する。感応領域の大きさは LET に依存するため、LET を区間分割し、それぞれの区間で感応領域サイズを求めてパルス発生率(イオン入射確率)を見積り、各区間のイオン発生率で重み付けして積算することによって最終的なパルス発生率を導出する。ここで求まる発生率は、しきいパルス幅 τ_{th} 以上の幅のパルス発生率で、 τ_{th} をずらしながら同様の計算を行うことにより、パルス幅の発生率分布を知ることができる。

まず、感応領域の見積りにおいては、感応領域を矩形領域として導出する。矩形領域の横幅に関しては、III-2-I-③-(2)-図 1)-7-1 の実線に示すような、垂直入射条件における入射位置と発生パルス幅との関係を、パルス幅推定手法を使って求めた後、しきいパルス幅 τ_{th} の幅のパルスが観測される位置(拡散層からの距離 D とする)を求める。D は、拡散層からの方向によって本来は異なるはずであるが、ここでは STI 領域方向で求めた値のみを用い、拡散層サイズを四方に D だけ拡張した領域を xy 面内の感応領域サイズとする。

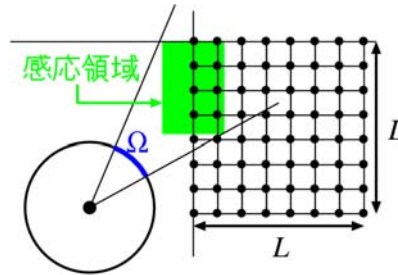
感応領域の深さに関しても、水平入射条件について同様のことを行えば良いが、水平入射条件ではパルス幅が拡散層からの距離に対して単調減少とならず、図に破線で示したように最大値を持つような分布となる場合がある。これは、イオン入射深さが STI 深さよりも浅いケースでは電荷発生領域が活性領域内に限定され、発生電荷量が深い入射条件よりも小さくなることによる。そのような場合には、パルス幅が τ_{th} 以上となる区間の幅を感応領域の実効的な深さとして用いる。水平入射条件においても、入射方向によって本来深さが変わってくるが、今回はゲート長方向の入射条件で算出される値を用いた。

パルス幅の入射位置依存性を求めるためには、垂直および水平のイオン入射条件において、単体 MOS 構造における電荷収集電流波形を、LET と入射位置を振って予め TCAD 計算してデータベース化しておく。そして、必要な LET および入射位置での収集電流波形を補間操作によって求め、パルス幅の推定モデルを適用する。

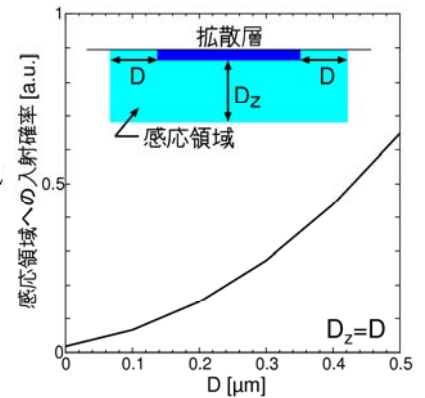
感応領域サイズが分かれば、その領域内に二次イオンが入射する確率を算出できる。ここでは、簡単のため、二次イオンは基板内から等方的に飛び出てくるものと仮定し、入射確率はイオン発生点から見た感応領域の平均的な立体角に比例するものとして見積もった。平均的な立体角は、一辺 L(ここでは $2\mu\text{m}$ とする)の立方体内部の直交格子点位置にイオン発生点をとって算出した(III-2-I-③-(2)-図 1)-7-2)。感応領域サイズが拡散層サイズに対して横方向にも深さ方向にも同じだけ広いと仮定した場合のイオン入射確率計算例を III-2-I-③-(2)-図 1)-7-3)に示す。



III-2-I-③-(2)-図 1)-7-1: パルス幅の入射位置依存性からの感応領域サイズの推定。



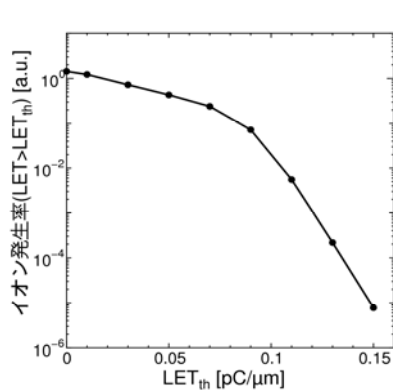
III-2-I-③-(2)-図 1)-7-2: 感応領域を見込む平均立体角算出の概念図。



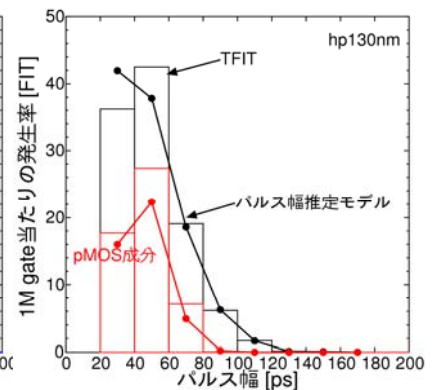
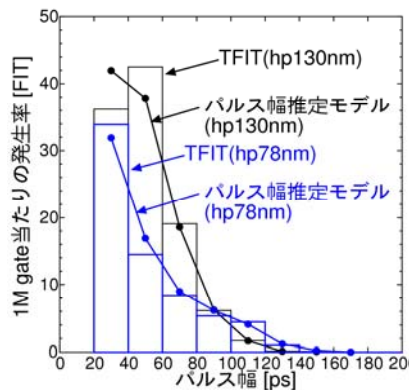
III-2-I-③-(2)-図 1)-7-3: 感応領域へのイオン入射確率計算例。

各 LET 区間毎にイオンの感応領域への入射確率が判れば、これに、対応する LET 区間のイオン発生率を加味することで τ_{th} 以上の幅のパルス発生率を求めることができる。イオンの発生率は、宇宙線中性子と基板原子との核反応現象を解析することによって得られる。例えば、PHITS[-2- - (2)-文献1)-11]コードなどを利用して算出できるが、ここでは、III-2-I-③-(2)-図 1)-7-4 に示したようなイオン発生率分布を用いた。

III-2-I-③-(2)-図 1)-7-5 は、 τ_{th} 以上のパルス発生率を 20ps 刻みで算出し、その差分から各パルス幅区間でのパルス発生率をプロットしたものである。左図に示すように、hp130nm, hp78nm のいずれにおいても、TFIT により求めた発生率分布をほぼ再現できている。また、右図に示した hp130nm の pMOS 起因のパルス成分についても分布傾向をよく再現できていることが分かる。



III-2-I-③-(2)-図 1)-7-4: 平均 LET がしきい値(LET_{th})以上のイオン発生率分布例。



III-2-I-③-(2)-図 1)-7-5: パルス幅推定モデルを用いて算出されたパルス幅分布(折線)と TFIT 計算値(棒)との比較。左図は hp130nm および hp78nm の INV セルにおけるパルス発生率分布。右図は hp130nm において pMOS 起因成分(赤)も併せて示したものの。

1)-8 SET 起因の誤動作率のトレンド予測とフィルタ回路による誤動作率低減効果の検討

前節に示したパルス幅の発生率分布の導出手順により、hp22nm までの発生率分布の導出と、SET 起因の誤動作率のトレンド予測を試みた。hp22nm では非バルク構造への移行が予想されるが、ここではバルク構造を前提とした見積りを行っている。hp56nm までは、実際のプロセスレシピとレイアウトに沿

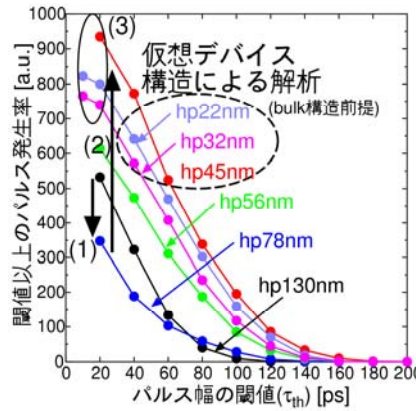
ってデバイス構造を構築し、hp45nm 以降は hp78nm で用いたデバイス構造をベースに寸法を縮小した仮想デバイス構造を用いた。仮想デバイス構造における寸法スケールリングは、hp130nmからhp56nmまでの実デバイスの寸法縮小を参考に、Ⅲ-2-I-③-(2)-表 1)-8-1 に示すように決めた。不純物分布に関しては、オフリーク電流が同程度に抑えられる程度にチャンネルを高濃度化し、S/D 接合深さは寸法縮小と同じ比率で縮小した。電源電圧は ITRS のトレンドに沿って低電圧化し、オン状態の駆動電流値を決めるために必要な飽和電流も ITRS のトレンドに沿って変わるものと仮定した。これらの条件下でデバイス構造を構築し、TCADによる単体MOS構造における電荷収集電流波形データベースの構築、パルス幅推定モデルに基づくSETパルス発生率分布の算出を行った。

Ⅲ-2-I-③-(2)-図 1)-8-1 に INV セルにおける hp22nm までの SET パルス発生率分布を示す。以降では、パルス発生率分布として、横軸にパルス幅の閾値をとり、その閾値以上の幅のパルス発生率を縦軸としたプロットを示す。パルスの発生率を右側から積算した累積の発生率となるので、左肩上がりのラインとなる。パルス幅分布のおおまかな変化傾向は以下のようにまとめられる。

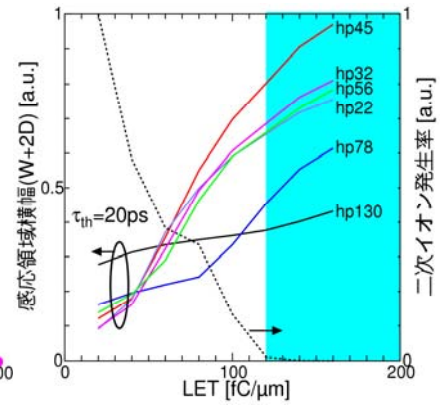
- (1) まず、hp130nm から hp78nm では、特に幅の短いパルスの発生率が下がる。その状況を詳しく調べるために、nMOS 入射の場合に 20ps 以上のパルスを発生させる感応領域のサイズ(横幅)をⅢ-2-I-③-(2)-図 1)-8-2 に示す。LET が大きい領域では hp78nm の方の感応領域サイズが大きくなるものの、この領域では二次イオンの発生率が小さいために寄与が小さい。LET が低い場合は hp78nm の方が、感応領域サイズが小さくなっており、これは拡散層の面積縮小によるところが大きい。このため、hp78nm の方が、イオン入射確率が低下してパルス発生率が下がっている。
- (2) hp78nm から hp45nm にかけては全体的にパルス発生率が増加してゆく。これは、寄生バイポーラ効果が顕著になって電荷収集電流波形の裾が延びるためである。その結果、Ⅲ-2-I-③-(2)-図 1)-8-2 に示すように、感応領域サイズが増加傾向を辿り、パルス発生率が増大する。
- (3) hp45nm 以降はパルス発生率分布があまり大きくは変わらなくなる。これは、寄生バイポーラ効果が際限なく強くなるものではないことを示している。Ⅲ-2-I-③-(2)-図 1)-8-3 にソースからの正孔排出量の推移を赤線で、正孔がソースに抜ける際の電位障壁高さ(ソース電極での正孔電流が比較的大きい $t=30ps$ での値)の推移を黒線で示す。世代が進んで寄生バイポーラ効果が強くなると、電位障壁が下がるためにソースから正孔が排出されるようになる。これによって寄生バイポーラ効果が頭打ちになっていると考えられる。INV セル状態では電荷収集ノード(ドレイン)電位が低下するため、正孔がドレイン側へも抜ける可能性がある(そうなると、パルス幅を縮小させる効果がある)が、mixed-mode 解析においてドレイン電圧はほとんどの時間帯で 50mV 以上を保っているため、ドレインでの正孔収集は少ないことが分かっている。

III-2-I-③-(2)-表 1)-8-1: hp45nm 世代以降の寸法スケールング。

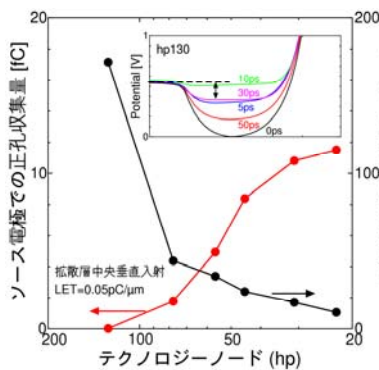
	縮小率
テクノロジーノード	k
ゲート長	k
チャネル幅	$k^{0.8}$
拡散層幅	$k^{0.8}$
ウェルコンタクト幅	k
STI 深さ	$k^{1/3}$



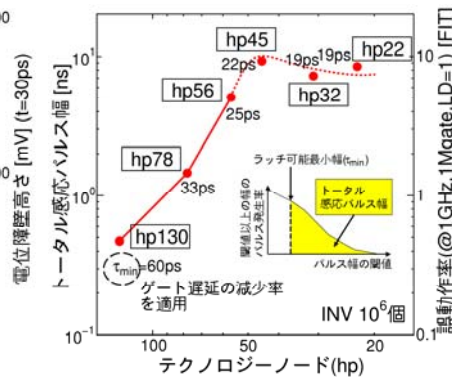
III-2-I-③-(2)-図 1)-8-1: 仮想デバイス構造を用いて計算された SET パルス発生率分布。



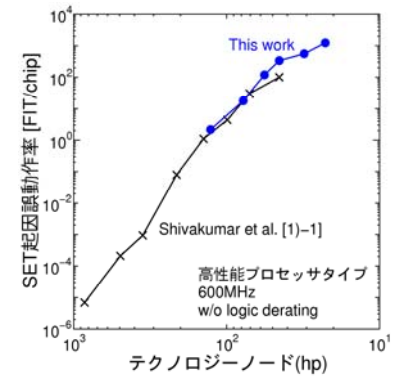
III-2-I-③-(2)-図 1)-8-2: nMOS 入射の場合の感応領域サイズの世代による変化。



III-2-I-③-(2)-図 1)-8-3: ソースからの正孔排出量と電位障壁高さの世代による変化。



III-2-I-③-(2)-図 1)-8-4: トータル感応パルス幅の世代変化トレンド。



III-2-I-③-(2)-図 1)-8-5: 高性能プロセッサを例題とした誤動作率のトレンド。

さて、どの程度の幅のパルスがどのくらい発生するかがわかれば、そのセルに関する SET 起因の誤動作率は、下に示す式でだいたい推定できる。

$$(\text{誤動作率}) = \sum (\text{パルス発生率}) \cdot \frac{(\text{パルス幅}) - \tau_{\min}}{(\text{クロック周期})} \cdot LD$$

3 つの項を掛け合わせたものを合算する形になっているが、この 2 番目の項は、SET パルスが到達した flip-flop 等でラッチされる確率を表していて、time derating と呼ばれる項である。より単純には(パルス幅)/(クロック周期)となるが(但し最大値 1)、クロック信号が入ることで flip-flop が誤った入力信号をラッチしてしまう時間幅(いわゆる、window of vulnerability)は必ずしもパルス幅全域ではない。ここでは、flip-flop でラッチ可能な最小のパルス幅(τ_{\min})だけ差し引いて評価する(但し、最小値 0)こととした。実際には、ある程度長いパルス幅になると window of vulnerability がほぼパルス幅に等しくなるため、より精密なトレンド予測を行うために評価方法を改善する余地はある。3 番目の項(LD)は、SET パルスが flip-flop まで到達する確率を表していて、logic derating と呼ばれる。flip-flop までの伝播経路上の論理ゲートにおいて、他の入力信号の状態によってはパルスがマスクされる効果を考慮するためのものである。SET パルスが発生したセルと flip-flop との接続状況によって変わってしまうが、ここでは、平均的な到達確率を想定して固定値として扱う。パルス伝播時の波形鈍りなども本来は考慮すべき事項であるが、今

回は上に示した単純な式で誤動作率を見積もることとする。

上式において、クロック周期と LD を固定値と考えると、セルレベルで評価可能な、SET 起因の誤動作危険度の指標値として、1 番目の項と 2 番目の項の分子の積を合算した量を用いることができる。この量は、ある時間内において、クロック信号が入ることで誤動作を起こす状態にあるトータル時間を表すもので、トータル感応パルス幅と呼ぶことにする。この量を評価しておけば、動作周波数、搭載ゲート数、LD 値を決めることでチップレベルの誤動作率に換算可能である。

トータル感応パルス幅は、III-2-I-③-(2)-図 1)-8-4 の挿入図に示したように、累積のパルス発生率分布の τ_{\min} 以上の区間の面積として求めることができる。III-2-I-③-(2)-図 1)-8-4 は hp130nm から hp22nm までのトータル感応パルス幅の推移を示したものである。この図では、 $1e9$ 時間(11.4 万年)内に誤動作を起こす状態にあるトータル時間を示している。従って、動作周波数が 1GHz であれば、縦軸を 1ns で割ったものが FIT 単位の誤動作率となる。なお、トータル感応パルス幅の算出に必要な τ_{\min} に関しては、hp130nm において SPICE 計算で求めた、flip-flop における概算値(60ps)を元に、以降の世代では ITRS で予想されているゲート遅延の減少割合に比例して減少させている。hp45nm まではトータル感応パルス幅は増加の一途を辿るが、それ以降は、寄生バイポーラ効果が飽和してパルス発生率が増えなくなることで、 τ_{\min} の減少率が低下することによって、ほぼ横ばいという結果になった。

チップレベルの SET 起因の誤動作率のトレンド予測としては、2002 年に Shivakumar らが高性能プロセッサを題材に行った例があるが[III-2-I-③-(2)-文献 1)-1]、これにならって誤動作率の見積りを行った結果を III-2-I-③-(2)-図 1)-8-5 に青線で示す。SET パルス幅の発生率分布はセルによって多少異なるが、ここでは全て INV セルで代表されるものと仮定して評価した。hp130nm から hp78nm では、ほぼ Shivakumar らのトレンドに近い変化であるが、hp45nm までの増加トレンドが急になっている。これは、寄生バイポーラ効果による電流波形変化が TCAD 計算によって取り込まれていることが効いている。hp45nm 以降は、トータル感応パルス幅は横ばいであるが、寸法縮小に伴って搭載ゲート数が増加するという想定であるため、その分だけ誤動作率が増加している。

より現実的な前提条件における誤動作率トレンドを導出するためには、チップに搭載されるロジックゲート数と動作周波数についての見積もりが必要になる。ここでは、独立行政法人 新エネルギー・産業技術総合開発機構(NEDO)によって策定されている技術戦略マップ[III-2-I-③-(2)-文献 1)-12]で示されているロードマップを参考にして、下に示す近似式で見積もることにした。

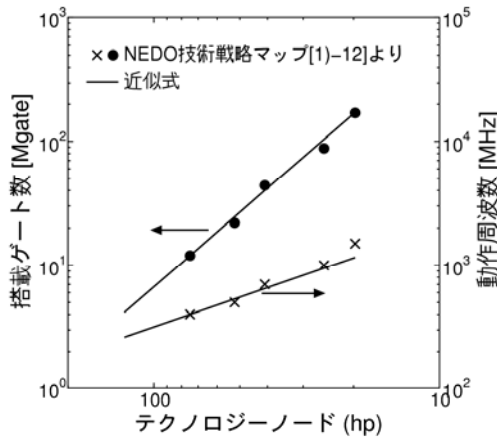
$$\text{搭載ゲート数: } 12\text{Mgate} \cdot \left(\frac{75}{\text{node}(\text{hp})} \right)^2$$

$$\text{動作周波数: } 400\text{MHz} \cdot \left(\frac{75}{\text{node}(\text{hp})} \right)^{0.8}$$

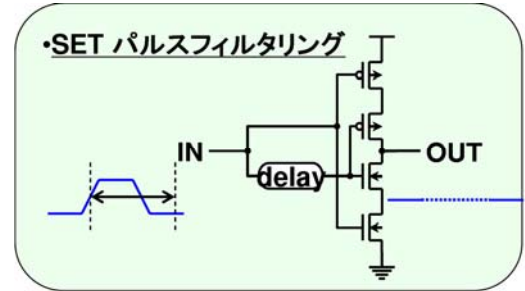
参考までに、ロードマップに示された値と上式によるトレンドラインを III-2-I-③-(2)-図 1)-8-6 に示す。このトレンドを用いた誤動作率の解析とともに、SET パルスのフィルタリングの効果についても検討を行った。フィルタ回路は III-2-I-③-(2)-図 1)-8-7 に示すようなものを想定し、これにより、ある幅以下のパルスを除去することができる。パルス発生率分布から分かるように、SET パルス幅は高々 100ps 強であるので、こうしたフィルタ回路を flip-flop の直前に追加することで誤動作率を効果的に低減できるものと期待できる。

III-2-I-③-(2)-図 1)-8-8 に、パルスのフィルタリングによってトータル感応パルス幅がどのように変化するかを示す。世代が進むにつれて幅の長いパルスの発生率が次第に増加する傾向であるために、フィルタリングの効果が小さくなっていくが、hp56nm 世代以降においても、150ps 前後以下のパルスを除去することにより、トータル感応パルス幅を 1~2 桁低減できることが分かる。

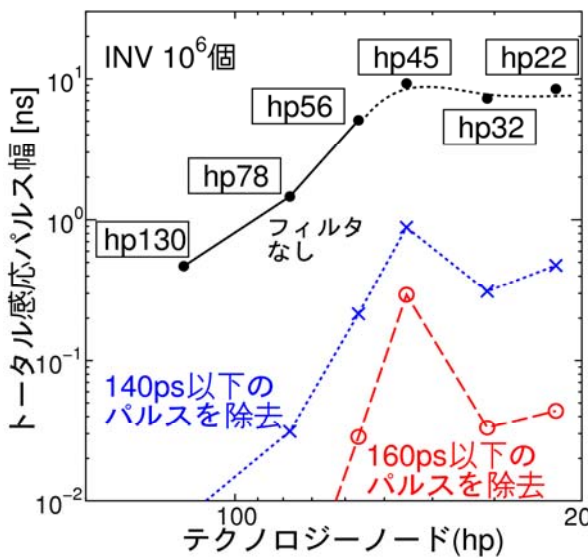
III-2-I-③-(2)-図 1)-8-9 は、トータル感応パルス幅と、搭載ゲート数・動作周波数のトレンドから計算された、チップ当たりの SET 起因の誤動作率トレンドである。logic derating は 0.1 と仮定した。また、パルス幅分布は INV セルのもので代表させている。フィルタ回路を用いない場合には、hp22nm 世代での誤動作率が 100FIT に達する。フィルタリングを行うことによって、誤動作率を 1~10FIT/chip 以下に抑えられることが分かる。ここで、最も想定動作周波数の高い hp22nm 世代でも周波数は約 1GHz(クロック周期 1ns)であるので、100ps 強の遅延であれば許容しうる範囲と考えられる。



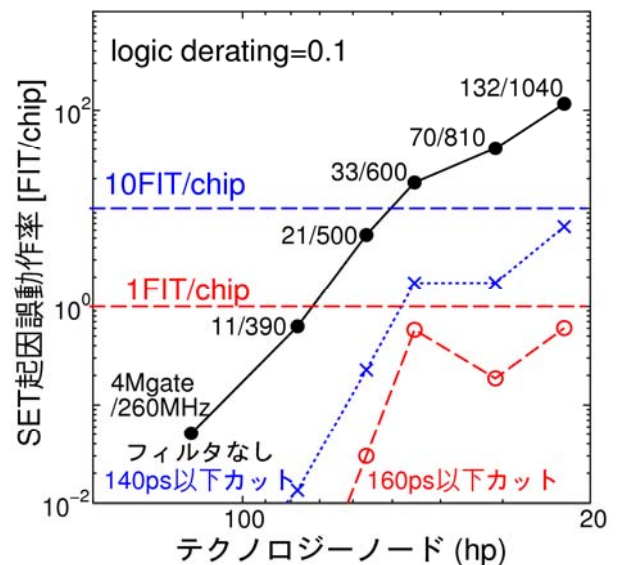
III-2-I-③-(2)-図 1)-8-6: SoC 搭載ゲート数と動作周波数のトレンド。



III-2-I-③-(2)-図 1)-8-7: SET パルスのフィルタリング回路。



III-2-I-③-(2)-図 1)-8-8: パルスフィルタリングがトータル感応パルス幅に与える影響。

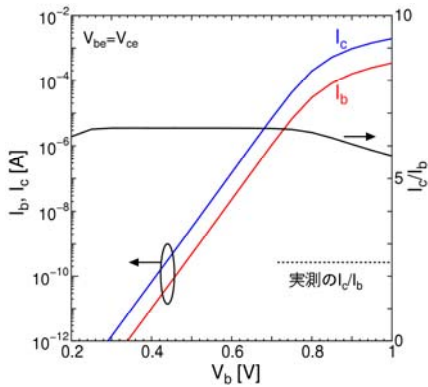


III-2-I-③-(2)-図 1)-8-9: SoC チップにおける SET 起因の誤動作率トレンド。

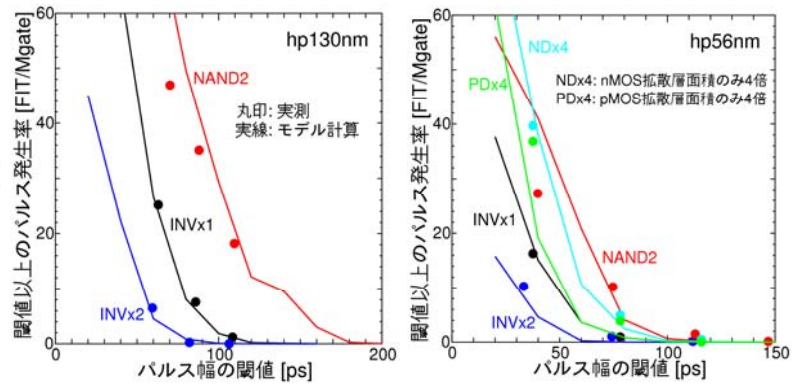
ここまで示した誤動作率のトレンド予測は hp56nm のパルス幅実測前に実施されたもので、寄生バイポーラ効果が顕在化するという TCAD 解析結果を反映したものとなっている。しかしながら、hp56nm の実測結果によれば、温度依存性が小さいこと、pMOS 起因の成分が nMOS 起因成分と同等程度あることから、寄生バイポーラ効果は弱いと推測される。III-2-I-③-(2)-図 1)-8-10 は hp56nm 世代の npn バイポーラトランジスタ(n+拡散層-p ウェル-deep n ウェル)のエミッタ接地電流増幅率を TCAD 解析したものであるが、実測の増幅率よりも大きい。このことは、p ウェル濃度が過小、ないしは n+濃度が過大といった事由により、TCAD 解析において寄生バイポーラ効果が過大評価となっている可能性を示唆する。

そこで、寄生バイポーラ効果が無視できる場合の誤動作率予測を試みた。寄生バイポーラ効果が弱

ければ、拡散層外にイオンが入射した条件での電荷収集はキャリアの拡散によって起きるため、収集電流は拡散層サイズに依存すると予想される。ここでは、簡単のために拡散層中央入射の場合も含めて、電荷収集電流波形の電流値を拡散層寸法に比例して減少させることで仮想的な電荷収集電流波形データベースを作成し、誤動作率の評価に使用することとした。元の電流波形は hp130nm のものを用いる。この世代では、Ⅲ-2- I -③-(2)-図 1)-8-2 に示すように、寄生バイポーラ効果による感応領域サイズの顕著な増大が見えておらず、寄生バイポーラ効果がほぼ無いものと考えられる。元となる hp130nm の電流波形データベース、および hp56nm 向けに上述の手順で構築した仮想電流波形データベースを用いて計算されるパルス発生率分布を実測値と比較したものがⅢ-2- I -③-(2)-図 1)-8-11 である。分布形をある程度再現できていることが分かる。

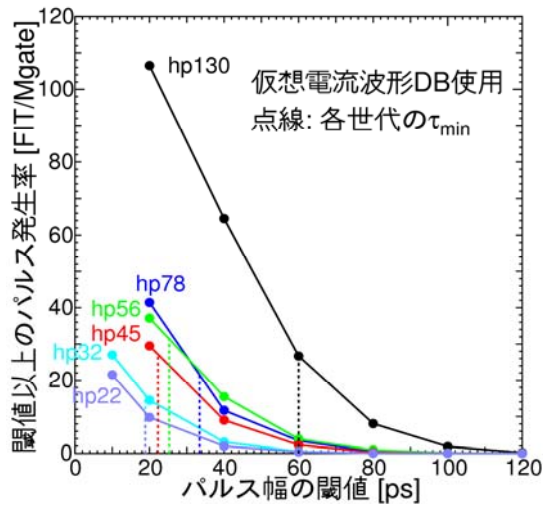


Ⅲ-2- I -③-(2)-図 1)-8-10: npn バイポーラトランジスタ構造の電流増幅率の評価。

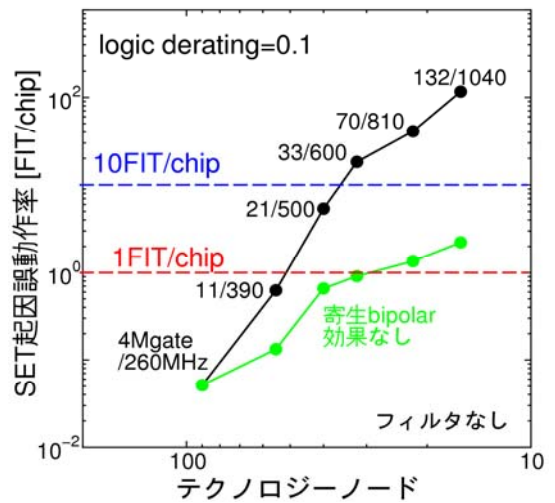


Ⅲ-2- I -③-(2)-図 1)-8-11: hp130nm(左)および hp56nm(右)におけるパルス発生率分布の実測とパルス幅推定モデルによる計算との比較。hp56nm の方は、仮想電流波形データベースを用いた場合。

hp22nm 世代までの仮想電流波形データベースを構築して導出されたパルス発生率分布をⅢ-2- I -③-(2)-図 1)-8-12 に示す。この場合は、世代が進むにつれてパルス発生率がほぼ一貫して減少してゆく。Ⅲ-2- I -③-(2)-図 1)-8-13 に緑線で示すように、チップ当たりの誤動作率の増加は緩やかとなり、hp22nm 世代においても数 FIT/chip である。この世代ではⅢ-2- I -③-(2)-図 1)-8-12 に見られるようにパルス発生率が減少しているので、40ps 程度以下のパルスをフィルタ回路で除去すれば 1FIT/chip 以下の誤動作率を実現できる。



III-2-I-③-(2)-図 1)-8-12: 仮想電流波形データベースを用いた場合のパルス発生率



III-2-I-③-(2)-図 1)-8-13: 仮想電流波形データベースを用いた場合の SET 起因の誤動作率トレンド(緑線)。

将来世代において、寄生バイポーラ効果が抑えられるようなトランジスタ設計が可能であれば、ここに示したように SET 起因の誤動作率の増加はかなり抑えられる。仮に、寄生バイポーラ効果が顕在化した場合においても、150ps 前後以下のパルスをフィルタ回路で除去することで 1~10FIT/chip 以下の誤動作率を達成できる見込みである。

1)-9 まとめ

100ps 以下のパルス検知が可能な新規パルス検出回路を用いて、高エネルギー中性子照射試験による、hp130nm および hp56nm における SET パルス幅分布測定を実施し、パルス幅分布の形は概ね SPICE ベースの評価ツールによる予測と一致することが示された。但し、hp56nm においては、温度依存性や拡散層サイズ依存性から寄生バイポーラ効果が事前予測に反して弱いことが推察された。この実測により、SET 起因のパルス幅は高々 100ps 強であることが実証され、フィルタ回路による対策が効果的であることが示された。

SPICE ベースの評価ツールを利用した、セルレベルのパルス発生率評価が hp78nm 世代においても有効に機能するかを検証するために、この世代における電荷収集電流波形データベースの構築を行った。これを用いたパルス幅の推定精度は実用上ほぼ問題ないことを確認した。また、デバイススケールが SET パルス幅に与える影響についても分析し、寄生バイポーラ効果が顕在化してくると、パルス幅が大きく増加することが示された。ウェルコンタクトまでの抵抗に関するデバイス寸法(STI 深さやウェルコンタクト幅)がパルス幅に強く影響するので、これらの寸法やウェル濃度の最適化によって抵抗を下げ、パルス幅を低減できる可能性があることを示した。

SPICE ベースの評価ツールは SPICE ライブラリが完備された世代においては強力なツールであるが、将来トレンド予測には必ずしも適していないため、SET 起因の誤動作率のトレンド予測に向けて、SPICE を用いない SET パルス幅推定モデルを開発した。仮想デバイス構造を構築し、TCAD 解析によって電荷収集電流波形データベースを作成して、これをベースにパルス幅推定モデルを適用して hp22nm までの誤動作率トレンド予測を行った。寄生バイポーラ効果が飽和することと、flip-flop のパルス感応速度の飽和により、hp45nm 世代以降では固定動作周波数、単位ゲート数での誤動作率(トータル感応パルス幅)は横ばい傾向となる。チップ当たりの誤動作率は hp22nm 世代で 100FIT に達すると予想された。しかし、パルス幅分布実測においては、hp56nm 世代において寄生バイポーラ効果が顕在化しないという

結果であったため、寄生バイポーラ効果が無視できる想定の下で構築した仮想電流波形データベースを用いて誤動作率トレンドの試算を行い、この場合は hp22nm 世代での誤動作率は数 FIT/chip にとどまると予想された。

将来世代において、仮に寄生バイポーラ効果が顕在化する状況となっても、SET パルスのフィルタリングによって 150ps 前後以下のパルスを除去することにより、MIRAI 成果目標である、1～10FIT/chip 以下の誤動作率を実現可能であることを示した。

参考文献

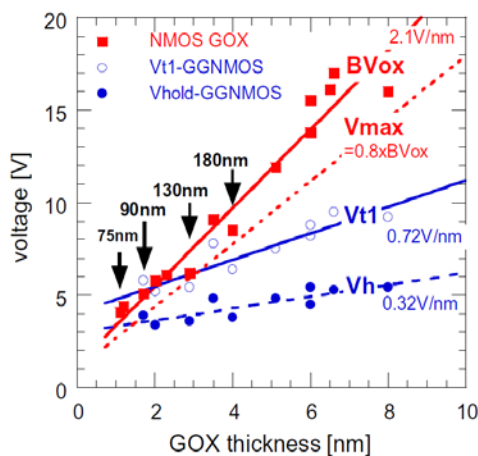
- [Ⅲ-2-I-③-(1)-文献 1)-1] P. Shivakumar et al., “Modeling the Effect of Technology Trends on the Soft Error Rate of Combinational Logic”, Int. Conf. Dependable Systems and Networks, pp.389–398, 2002.
- [Ⅲ-2-I-③-(1)-文献 1)-2] http://www.iroctech.com/sol_edu_121.html
- [Ⅲ-2-I-③-(1)-文献 1)-3] M. Hane et al., “Synthetic Soft Error Rate Simulation Considering Neutron-Induced Single Event Transient from Transistor to LSI-chip Level”, SISPAD 2008, pp.365-368, 2008.
- [Ⅲ-2-I-③-(1)-文献 1)-4] B. Narasimham et al., “On-chip characterization of single-event transient pulsewidths”, IEEE Transactions on Device and Materials Reliability, Vol.6, pp.542-549, 2006.
- [Ⅲ-2-I-③-(2)-文献 1)-5] T. Makino et al., “LET dependence of single event transient pulse-widths in SOI logic cell”, IEEE Trans. Nucl. Sci., Vol.56, pp.202-207, 2009.
- [Ⅲ-2-I-③-(2)-文献 1)-6] B. Narasimham et al., “Neutron and alpha particle-induced transients in 90nm technology”, 46th Annual International Reliability Physics Symposium, pp.478-481, 2008.
- [Ⅲ-2-I-③-(2)-文献 1)-7] H. Nakamura et al., “Measurement of Neutron-Induced Single Event Transient Pulse Width Narrower Than 100ps”, IRPS 2010, pp.694-697, 2010.
- [Ⅲ-2-I-③-(2)-文献 1)-8] K. Tanaka et al., “Study on Influence of Device Structure Dimensions and Profiles on Charge Collection Current Causing SET Pulse Leading to Soft Errors in Logic Circuits”, SISPAD 2009, pp.210-213, 2009.
- [Ⅲ-2-I-③-(2)-文献 1)-9] 田中 他, “インバータセルにおける Single-Event-Transient パルス発生 のモデリング”, 応用物理学会シリコンテクノロジー分科会, No.128, pp.44-49, 2010.
- [Ⅲ-2-I-③-(2)-文献 1)-10] V. F.-Cavrois et al., “Statistical Analysis of the Charge Collected in SOI and Bulk Devices under Heavy Ion and Proton Irradiation-Implications for Digital SETs”, IEEE Trans. Nucl. Sci., Vol.53, No.6, pp.3242-3252, 2006.
- [Ⅲ-2-I-③-(2)-文献 1)-11] <http://phits.jaea.go.jp/indexj.html>
- [Ⅲ-2-I-③-(2)-文献 1)-12] <http://www.nedo.go.jp/roadmap/>

2)トランジスタノイズに起因する回路誤動作モデリング技術の開発

2)-1 耐 ESD 技術開発

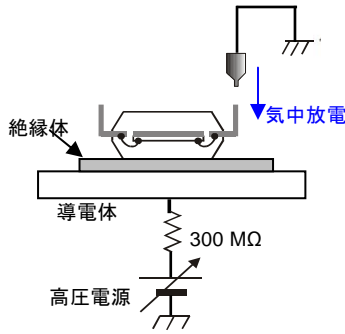
2)-1-1 開発の背景と目的

半導体デバイスの微細化とともに、静電気保護(ESD 保護)のオンチップ設計が急激に難しくなった。オンチップ素子の構成要素(PN 接合、ゲート酸化膜、メタル配線 etc.)が、各々微細化されることにより、取り扱うことができる電流、電圧、電界レベルが急激に減少したためである。Ⅲ-2- I -③-(2)-図 2)-1-1-1 は、デバイスの微細化が及ぼす ESD 保護設計に対する影響を示している。図中の BV_{ox} は内部コア MOS トランジスタのゲート酸化膜耐圧を表し、図中 V_{t1} は一般的な NMOS 保護素子のターンオン電圧を表している。テクノロジーノード 90nm (hp130nm)において、 BV_{ox} と V_{t1} がクロスしており、 V_{t1} が BV_{ox} よりも高くなることは、90nm 世代以降、通常の NMOS 保護では内部コア MOS トランジスタのゲート酸化膜を保護できないことを意味する。このような状況下において、LSI ベンダー各社は、 V_{t1} の低減など様々な工夫を凝らした保護回路の開発を求められている。

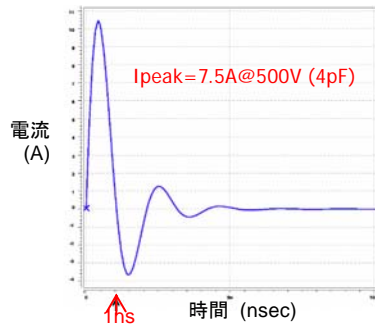


Ⅲ-2- I -③-(2)-図 2)-1-1-1
デバイス微細化の ESD 保護設計への影響
[Ⅲ-2- I -③-(2)-文献 2)-1-1-1]

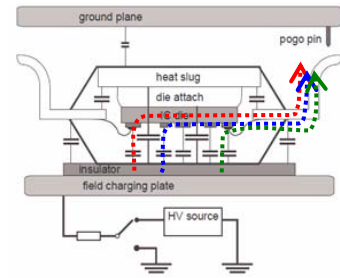
LSI 製品が市場で静電気破壊を起さないように、LSI ベンダー各社は、一般的に 3 種類の静電気試験(ESD 試験)を実施している。その試験とは、HBM(Human Body Model)試験、MM(Machine Model)試験、CDM(Charged Device Model)試験であるが、現在のところ、CDM 試験に対する設計対策が最も難しい。Ⅲ-2- I -③-(2)-図 2)-1-1-2 は、JEDEC で定義されている CDM 試験方法の概略を示している。導電体の上に絶縁体(FR-4)を介して LSI サンプルをセットし、高圧電源により 300M Ω の抵抗を介して、LSI サンプル自身を誘導帯電させた後、接地電位の放電プローブを LSI の被試験端子に一定速度で近づけることで、LSI 全体に帯電した電荷を被試験端子から一気に流出させる。LSI の全端子が試験対象となるが、試験は 1 端子ずつ順次行われる。放電時の電流波形は、LSI サンプルのパッケージ容量(LSI サンプルの全寄生容量)と放電プローブのインピーダンスで決まる時定数に依存するが、通常のパッケージ容量は数 pF~数十 pF の低容量であり、放電プローブは数 Ω ~数十 Ω の低抵抗であるため、電流波形は急峻で高いピーク値を持つ。Ⅲ-2- I -③-(2)-図 2)-1-1-3 は、パッケージ容量: 4pF、充電電圧: 500V で試験したときの電流波形を示している(ピーク電流~4A、パルス幅~1ns)。このように、放電波形が急峻で高ピーク電流値となる点が、他の ESD 試験(HBM/MM)とは異なる特徴の 1 つである。もう一つの特徴は、1 端子から放電現象となる点である。HBM/MM 試験では、被試験端子と接地端子の 2 端子間の放電現象であるため、放電経路を予測して対策することは比較的容易であるが、CDM 試験では、パッケージ、チップ、ボンディングワイヤー等を含む LSI 全体に充電された電荷を、1 つの端子から一気に流出させるため、その放電経路は多種多様であり、チップ設計段階で対策するのは、極めて困難である(Ⅲ-2- I -③-(2)-図 2)-1-1-4)。



Ⅲ-2- I -③-(2)-図 2)-1-1-2
CDM 試験の概略

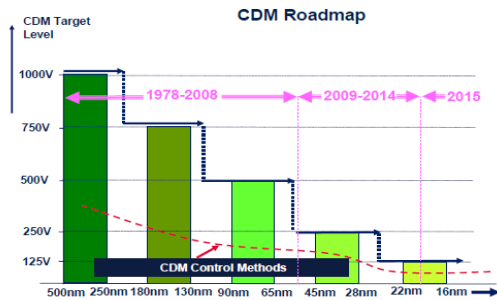


Ⅲ-2- I -③-(2)-図 2)-1-1-3
CDM 放電波形の例



Ⅲ-2- I -③-(2)-図 2)-1-1-4
CDM 電流経路のイメージ

前述のとおり、デバイス微細化に伴う問題と、CDM 型 ESD 現象の取り扱いが難しいことに端を発して、欧米 LSI ベンダーを中心に、業界全体で CDM 耐圧レベルを下げることをロードマップ化して提案されている(Ⅲ-2- I -③-(2)-図 2)-1-1-5)。現在のところ、LSI ユーザーからの CDM 耐圧の要求レベルは ClassⅢが一般的であるが、欧米の提案に従えば、段階的に ClassⅡ～Ⅰの品質にデグレードすることになる。そこで本活動は、近年の ESD 耐圧低下傾向に歯止めをかけるために、CDM にフォーカスし、CDM 型 ESD 現象のメカニズムの解明と、CDM 耐圧を決定づける保護回路、被保護回路のキーファクターを導出することを目的とした。最終的な成果目標は、ClassⅣの CDM 耐圧を満足するソリューションを提供することである。



Ⅲ-2- I -③-(2)-図 2)-1-1-5
CDM 耐圧レベルのロードマップ
[Ⅲ-2- I -③-(2)-文献 2)-1-1-2]

Class	JEDEC	ESD Association
I	< 200V	< 125V
II	200 to < 500V	125 to < 250V
III	500 to 1000V	250 to < 500V
IV	> 1000V	500 to < 1000V

Ⅲ-2- I -③-(2)-表 2)-1-1-1
CDM 耐圧レベルのクラス分け
[Ⅲ-2- I -③-(2)-文献 2)-1-1-3, -4]

2)-1-2 測定環境の立ち上げ

本活動を行うために、Selete 相模原分室に新規設備をリースで導入した。導入した設備の一覧をⅢ-2- I -③-(2)-表 2)-1-2-1 に示す。

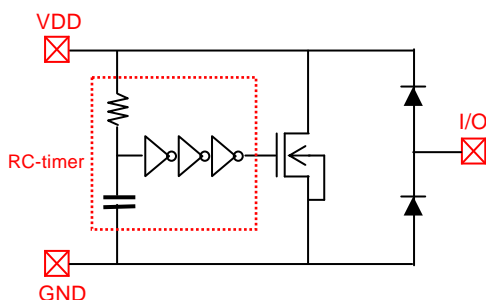
Ⅲ-2- I -③-(2)-表 2)-1-2-1: Selete 相模原分室への新規導入設備

設備名	型名	製造元	性能など
VF-TLP システム	Model 4012TLP	Barth Electronics Inc.	パルス幅: 1ns/2ns/5ns/10ns
ウェアプロバ	Model VX-3000SV	ベクターセミコン(株)	300mm ウェハ対応
CDM テスター	CDM-550DFQM	東京電子交易(株)	JEDEC/ESDA/JEITA 対応
オシロスコープ	Infimium DSO91304A	Agilent Technologies Inc.	帯域幅: ~13GHz

ESD 保護素子の挙動を分析するための測定手法としては、TLP (Transmission Line Pulsing) が広く普及している。TLP は ESD 現象と同等の矩形波パルスを使って、デバイスの I-V 特性をモニタするものであるが、通常の TLP では、HBM 試験に相当する $\sim 100\text{ns}$ パルスを用いるため、CDM 型 ESD 現象($\sim 1\text{ns}$)の分析には不向きである。そこで、 $\sim 1\text{ns}$ 矩形パルスでの測定を可能にする VF-TLP (Very Fast Transmission Line Pulsing) システムを導入していただいた。ウェハプローバは、VF-TLP システムと接続してオンウェハ測定を行うことで、短時間でデータ収集を可能にする。CDM テスターは、各種規格に準拠した CDM 試験(サンプルへの充放電)を実施し、付属の DC パラメトリックテスターで ESD ストレス後の Pass/Fail を判定することで CDM 耐圧を計測する。オシロスコープは、CDM 試験時の放電波形を観測し、CDM 型 ESD 現象の詳細分析に使用する。次項 2)-1-3 で説明する各種 TEG サンプルを用いて、VF-TLP 特性、CDM 耐圧、CDM 放電波形を収集し、データ分析することで、CDM 型 ESD 現象のメカニズムの解明と、CDM 耐圧を決定づける保護回路、被保護回路のキーファクターの導出を目指した。

2)-1-3 TEG 仕様

本サブテーマの参加メンバーでディスカッションし、本研究用に作成する TEG チップの仕様を以下のように決定した。基本保護回路については、製造プロセス差の影響を受け難い構成とするために、I/O 部には Dual-Diode 保護、電源部には RC-timer 型 NMOS 保護を採用することにした。本保護回路は、欧米で広く普及している保護回路であり、関連する技術論文も多数出版されているので、詳細な説明は省略する。

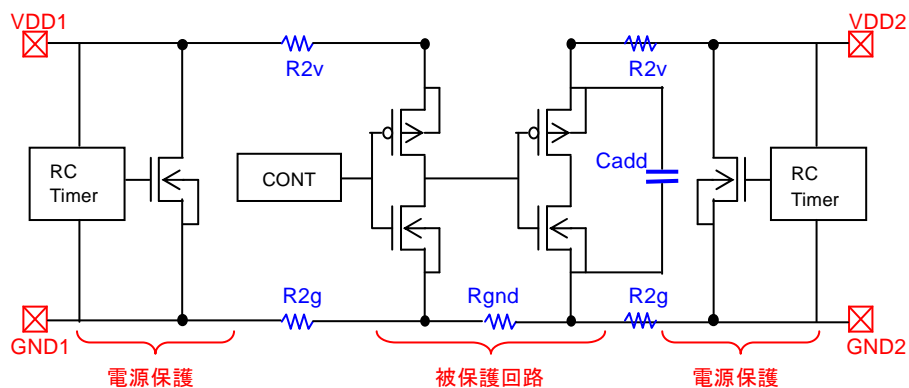


Ⅲ-2-I-③-(2)-図 2)-1-3-1

本研究で採用する基本保護回路

(I/O 部は Dual-Diode 保護を適用し、VDD-GND 間は RC-timer 型 NMOS 保護を適用する)

本 TEG での検討課題は、昨今の先端 CMOS LSI における CDM 破壊の事例を踏まえて、a)電源ドメイン境界回路における内部ゲート酸化膜破壊、b)入力回路のゲート酸化膜破壊、c)出力回路のドレイン接合破壊の3つに絞ることにした。各々の検討課題に対して、保護回路と被保護回路を組み合わせた基本ブロックを作成し、基本ブロックから、キーファクターとなり得る回路定数を変更した各種ブロックを作成した。Ⅲ-2-I-③-(2)-図 2)-1-3-2 に、電源ドメイン境界回路の基本ブロック等価回路図を示す。VDD1/GND1 は比較的大規模のデジタル回路を想定しており、VDD2/GND2 は小規模アナログ回路を想定している。本等価回路において、GND1 \sim GND2 間の寄生配線抵抗(R_{gnd})、VDD2/GND2 間の被保護回路と並列化した追加容量素子(C_{add})をキーファクターとなり得る設計パラメータとして取り上げた。NMOS 電源保護ドレイン \sim 被保護回路 VDD ノード間の寄生配線抵抗(R_{2v})、NMOS 電源保護ソース \sim 被保護回路 GND ノード間の寄生配線抵抗(R_{2g})については、可能な限り低抵抗化することが CDM 耐圧の観点で望ましいと考えられるが、実際の LSI 設計を考慮した上で、実用可能な最小値($0.5\ \Omega$)で固定して設計した。Ⅲ-2-I-③-(2)-表 2)-1-3-1 に電源ドメイン境界回路の主な設計パラメータを示す。



Ⅲ-2-Ⅰ-③-(2)-図 2)-1-3-2
電源ドメイン境界回路 基本ブロックの等価回路

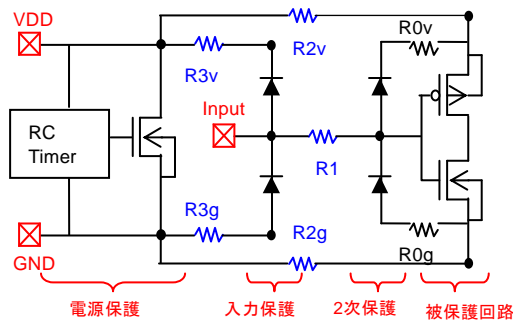
Ⅲ-2-Ⅰ-③-(2)-表 2)-1-3-1: 電源ドメイン境界回路の設計パラメータ

設計パラメータ	内容	設計値
RC-timer	電源保護用 RC-timer 回路の時定数	C=5pF, R=100kΩ 時定数: 500ns
NMOS 保護	電源保護用 NMOS の L/W	L=0.1um, W=2000um
Rgnd	GND1～GND2 間の寄生配線抵抗	0.1～0.5Ω で変化
R2v, R2g	NMOS 電源保護～被保護回路間の寄生配線抵抗	0.5Ω で固定
Cadd	受け側ゲートと並列化する容量素子の容量値	無、および 40pF～1500pF で変化

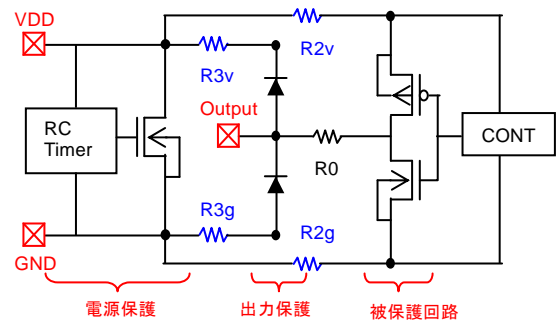
Ⅲ-2-Ⅰ-③-(2)-図 2)-1-3-3 に、入力回路の基本ブロック等価回路図を示す。本等価回路において、2次保護の有無、入力保護～2次保護間の抵抗素子(R1)、入力保護～NMOS 電源保護間の寄生配線抵抗(R3v,R3g)をキーファクターとなり得る設計パラメータとして取り上げた。NMOS 電源保護ドレイン～被保護回路 VDD ノード間の寄生配線抵抗(R2v)、NMOS 保護ソース～被保護回路 GND ノード間の寄生配線抵抗(R2g)については、電源ドメイン境界回路と同様に、可能な限り低抵抗化することが CDM 耐圧の観点で望ましいと考えられるが、実際の LSI 設計を考慮した上で、実用可能な最小値(0.5Ω)で固定して設計した。2次保護～被保護回路 VDD ノード間の寄生配線抵抗(R0v)、2次保護～被保護回路 GND ノードの寄生配線抵抗(R0g)についても、可能な限り低抵抗化することが CDM 耐圧の観点で有効であり、小型の2次保護については、被保護回路の直近に配置可能と考えて、実用可能な最小値(0.1Ω)で固定して設計した。Ⅲ-2-Ⅰ-③-(2)-表 2)-1-3-2 に入力回路の主な設計パラメータを示す。

Ⅲ-2-Ⅰ-③-(2)-図 2)-1-3-4 に、出力回路の基本ブロック等価回路図を示す。本等価回路においては、被保護回路の MOS トランジスタのゲート長、出力保護～NMOS 電源保護間の寄生配線抵抗(R3v,R3g)をキーファクターとなり得る設計パラメータとして取り上げた。NMOS 電源保護ドレイン～被保護回路 VDD ノード間の寄生配線抵抗(R2v)、NMOS 保護ソース～被保護回路 GND ノード間の寄生配線抵抗(R2g)については、入力回路と同様に、実際の LSI 設計を考慮した上で、実用可能な最小値(0.5Ω)で固定して設計した。出力保護～被保護回路間の抵抗(R0)については、被保護回路の CDM

破壊を避けるためには、可能な限り高抵抗化することが望ましいが、数百 MHz 以上の高速インターフェイスを想定し、実用可能な最小値(0.1Ω)で固定して設計した。Ⅲ-2-I-③-(2)-表 2)-1-3-3 に出力回路の主な設計パラメータを示す。



Ⅲ-2-I-③-(2)-図 2)-1-3-3
入力回路 基本ブロックの等価回路



Ⅲ-2-I-③-(2)-図 2)-1-3-4
出力回路 基本ブロックの等価回路

Ⅲ-2-I-③-(2)-表 2)-1-3-2: 入力回路の設計パラメータ

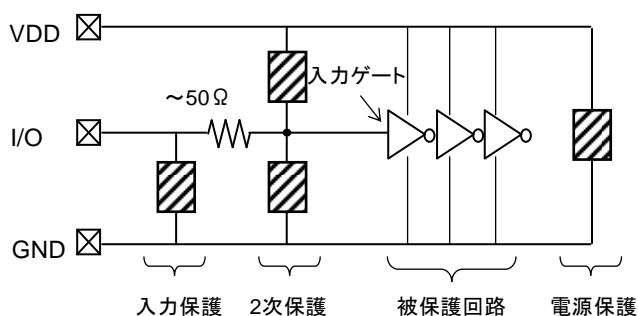
設計パラメータ	内容	採用値
RC-timer	電源保護用 RC-timer 回路の時定数	C=5pF, R=100kΩ 時定数:500ns
NMOS 保護	電源保護用 NMOS の L/W	L=0.1um, W=2000um
入力保護	Diode 素子サイズ	アノード拡散層:10um×1um×6 本 トータル寄生容量:約 0.8pF
2次保護	Diode 素子サイズ	アノード拡散層:10um×1um×1 本 トータル寄生容量:約 60fF
R0v, R0g	2次保護～被保護回路間の寄生配線抵抗	0.1Ωで固定
R1	入力保護～2次保護間の抵抗素子の抵抗値	20～100Ωで変化
R2v, R2g	NMOS 電源保護～被保護回路間の寄生配線抵抗	0.5Ωで固定
R3v, R3g	入力保護～NMOS 電源保護間の寄生配線抵抗	0.5～2Ωで変化

Ⅲ-2-I-③-(2)-表 2)-1-3-3: 出力回路の設計パラメータ

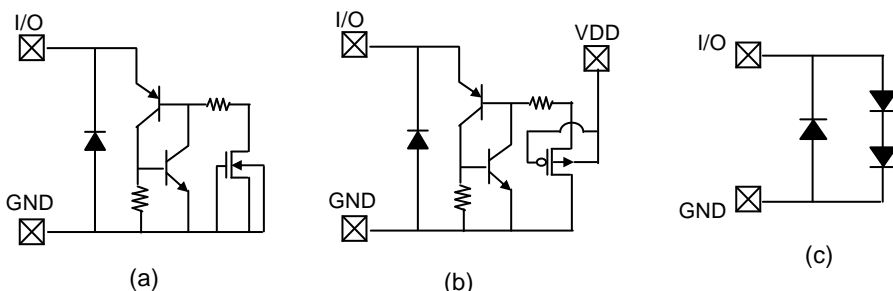
設計パラメータ	内容	採用値
RC-timer	電源保護用 RC-timer 回路の時定数	C=5pF, R=100kΩ 時定数:500ns
NMOS 保護	電源保護用 NMOS の L/W	L=0.1um, W=2000um
出力保護	Diode 素子サイズ	アノード拡散層:10um×1um×6 本 トータル寄生容量:約 0.8pF
R0	出力保護～被保護回路間の寄生配線抵抗	0.1Ωで固定
R2v, R2g	NMOS 電源保護～被保護回路間の寄生配線抵抗	0.5Ωで固定
R3v, R3g	出力保護～NMOS 電源保護間の寄生配線抵抗	0.5～2Ωで変化

2)-1-4 VF-TLP 特性分析

CDM-ESD 現象を回路シミュレーションするには、個々の素子をモデル化する必要がある。ESD 現象は、MOS トランジスタの SPICE モデルでカバーしている通常動作範囲を超える電圧、電流領域となるため、専用モデル化が必要となり、そのためには、ESD イベント時のデバイス挙動(I-V 特性)を把握しなければならない。実際の ESD イベントの放電波形は、減衰波や振動波となるが、このような波形では I-V 特性をモニタすることが困難であるため、ESD イベント相当の矩形パルスによる測定手法(TLP; Transmission Line Pulsing)が使われる。しかしながら、これまでに国内半導体ベンダーで使用されてきた TLP システムは、HBM 型 ESD を想定した 100ns 程度のパルス幅であり、CDM 型 ESD 現象の解析には向かない。そこで、2)-1-2 で言及したように、本研究を遂行するため、VF-TLP(Very Fast TLP)を Selete 相模原分室にリースで導入し、保護デバイスの挙動を分析することにした。VF-TLP については、欧米でも研究が進んでおらず、I-V 特性の解釈に関する知見が不充分であったため、既存の TEG サンプルを用いて、VF-TLP 特性と CDM 耐圧の相関調査を行った。既存 TEG は、旧 NEC エレクトロニクス社(現ルネサスエレクトロニクス社)の 40nm CMOS プロセスで製造したものである。III-2- I -③-(2)-図 2)-1-4-1 は、本調査で用いた回路ブロック図である。入力保護、2 次保護、電源保護、被保護回路で構成される。入力保護は、III-2- I -③-(2)-図 2)-1-4-2 で示す 3 種類を調査対象とした。2 次保護については、取り外した場合の影響についても調査した。



III-2- I -③-(2)-図 2)-1-4-1
VF-TLP 特性調査用回路ブロック



[III-2- I -③-(2)-文献 2)-1-4-1]

[III-2- I -③-(2)-文献 2)-1-4-2]

III-2- I -③-(2)-図 2)-1-4-2

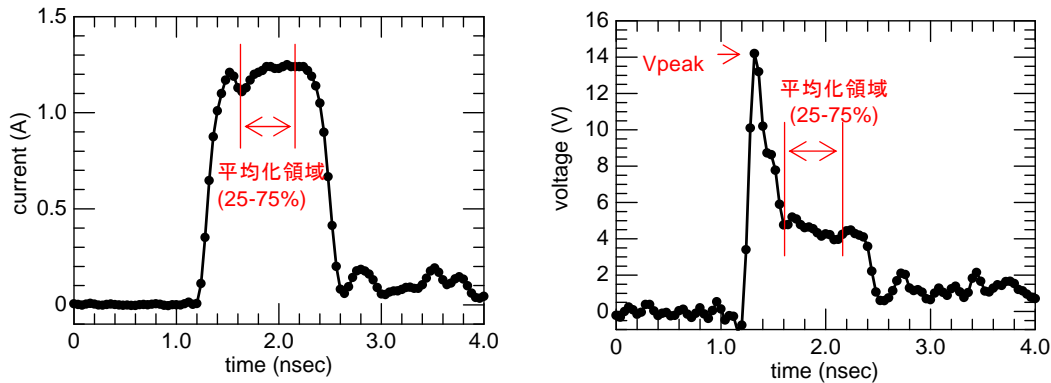
VF-TLP 特性分析で使用した入力保護のバリエーション

(a) NMOS トリガ SCR, (b) PMOS トリガ SCR, (c) Diode スタック

注) (a)NMOS トリガ SCR, (b)PMOS トリガ SCR は、ルネサスエレクトロニクス(旧 NEC エレクトロニクス)が過去に単独で学会発表したものであり、(c)Diode スタックを含めて、MIRAI-Selete の成果物ではない。

III-2- I -③-(2)-図 2)-1-4-3 は、パルス幅 1ns 時の VF-TLP 電流、電圧波形の例を示している。パルスの波高値をステップ的に増加させながら、各パルス中央部における 25~75%の領域を平均化することで、I-V 特性を描くことができる。今回導入した VF-TLP では、パルス幅(Td)の他、パルス立ち上がり

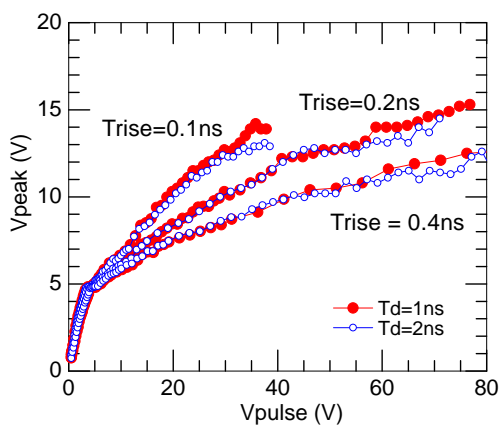
時間(Trise)も変更可能である (Trise=0.1ns/0.2ns/0.4ns)。これらのパラメータを変化させた場合に、どのように特性に影響するのか詳細に調べた。また CDM 設計対策する上では、ピーク電圧(右図の Vpeak)も重要なパラメータとなり得るため、こちらについても詳細に調べた。



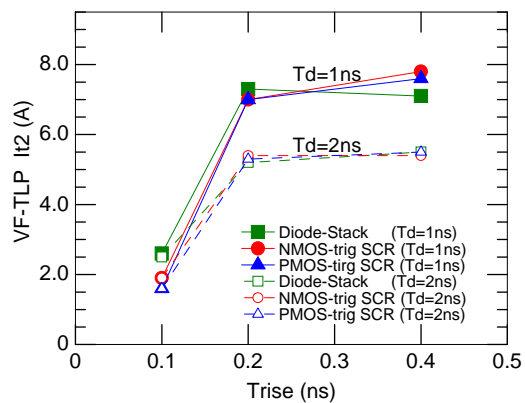
Ⅲ-2-I-③-(2)-図 2)-1-4-3
VF-TLP 電流波形(左)・電圧波形(右)の測定例

Ⅲ-2-I-③-(2)-図 2)-1-4-4 に、NMOSトリガ SCR の Vpeak と Trise の関係を示す (グラフ横軸の Vpulse は、パルス発生源の充電電圧である)。この図より、同じ Vpulse であれば、Trise が小さいときの方が、Vpeak が高くなっている。言い換えれば、パルス立ち上がり時間が速いほど、保護素子の応答が遅くなり、端子に印加される過渡的なピーク電圧(Vpeak)が高くなることを意味する。

Ⅲ-2-I-③-(2)-図 2)-1-4-5 は、各々の入力保護と 2 次保護を組み合わせる場合で、VF-TLP 破壊電流(It2)と Trise との関係性を調査した結果である。Trise=0.2ns、0.4ns においては、パルス幅 Td=2ns のときの方が、Td=1ns のときに比べて破壊電流(It2)が小さくなっている。これは、パルス幅が長くなることによって、発熱の影響で It2 が低下したことを示している。一方、パルス立ち上がり時間が速くなり、Trise=0.1ns になると、It2 がパルス幅(Td)に依存せず、同レベルに近づいている。これは、Trise が速くなると、ピーク電圧が高くなり、被保護回路のゲート酸化膜が断熱破壊することを示している。



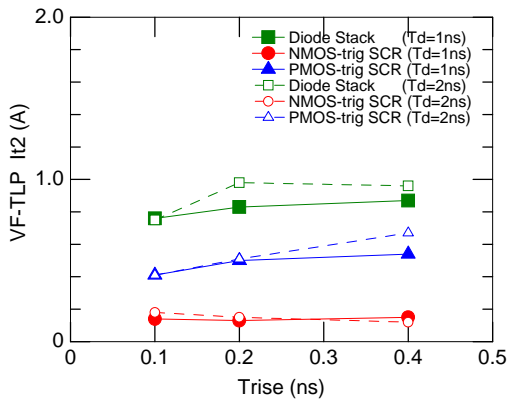
Ⅲ-2-I-③-(2)-図 2)-1-4-4
Vpeak の Trise 依存性
(NMOSトリガ SCR)



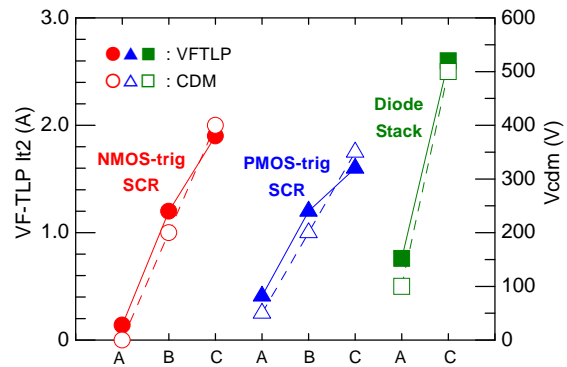
Ⅲ-2-I-③-(2)-図 2)-1-4-5
It2 の Trise 依存性
(2 次保護あり)

Ⅲ-2- I -③-(2)-図 2)-1-4-6 は、2 次保護を外した場合の It2 の Trise 依存性を示している。いずれの入力保護においても、Td=1ns、2ns で顕著な差は見られず、全ての場合において、被保護回路のゲート酸化膜の断熱破壊が発生している。入力保護の性能差(応答スピードの差)に応じて、It2 に差が見られているが、いずれの入力保護に対しても、被保護回路のゲート酸化膜破壊を防ぐには、2 次保護の配置が極めて有効であると言える。

Ⅲ-2- I -③-(2)-図 2)-1-4-7 に、VF-TLP の It2 (Trise=1ns) と CDM 耐圧の実測値との相関を示す。(CDM 放電波形は JEDEC 規格に準拠、リレー放電方式を使用、試験方法の詳細は次項を参照) VF-TLP による断熱破壊時の It2 と CDM 耐圧との間に、強い相関が見られることが確認できた。



Ⅲ-2- I -③-(2)-図 2)-1-4-6
It2 の Trise 依存性
(2 次保護なし)



Ⅲ-2- I -③-(2)-図 2)-1-4-7
Vcdm と It2 との相関
A は 2 次保護なし、B は diode3 段の 2 次保護を使用、C:Diode2 段の 2 次保護を使用

以上の実験結果から、CDM 型 ESD 現象を解析し、デバイス特性を把握してモデル化する上で、VF-TLP 測定の有効性が実証された。本件は、2009 EOS/ESD Symposium にて学会発表しており、詳細については、そちらを参照されたい。[Ⅲ-2- I -③-(2)-文献 2)-1-4-3]

TLP 測定の活用手法として、TLP 特性データを基に、パワークランプ素子の設計指針を検討した学会発表も行っている。[Ⅲ-2- I -③-(2)-文献 2)-1-4-4]

2)-1-5 CDM 試験法

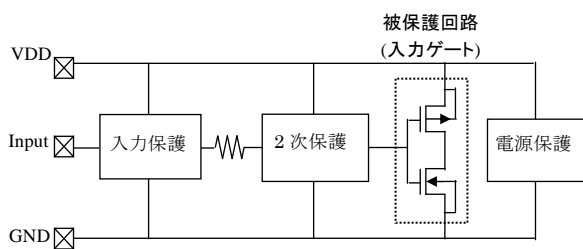
CDM 試験は、Ⅲ-2- I -③-(2)-表 2)-1-5-1 に示すように、4 つの標準規格が存在する。JEDEC 規格が最も一般的であるが、気中放電方式(Air)を採用しているために、放電波形のばらつきが大きい点が古くから指摘されていた。そこで、気中放電方式(Air)とリレー放電方式(Relay)の違いについて、詳細に調査分析を行った。JEDEC 規格では、リレー放電方式を許可していないが、今回の調査では、放電波形は JEDEC 準拠とし、試験器の放電方式のみを、気中放電/リレー放電に切り替えて実験を行った。

Ⅲ-2-Ⅰ-③-(2)-表 2)-1-5-1: CDM 試験の標準規格

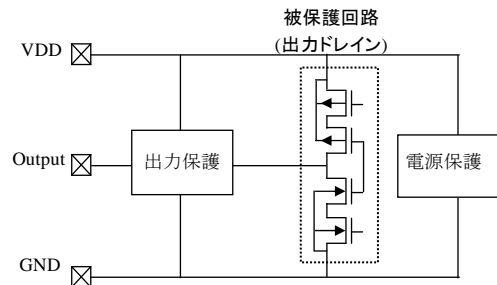
Organization	Standard	Charging Method	Discharging Method
JEDEC	JESD22-C101E	Field-induced	Air
ESDA	ANSI/ESD S5.3.1-2009	Field-induced or Direct	Air
AEC	AEC-Q100-011 Rev-B	Field-induced or Direct	Air or Relay
JEITA	EIAJ ED-4701/300-2	Direct or Field-induced	Relay or Air

Ⅲ-2-Ⅰ-③-(2)-図 2)-1-5-1、Ⅲ-2-Ⅰ-③-(2)-図 2)-1-5-2 は、本調査で使用した回路ブロックである。入力回路ブロックでは、2 次保護に入力ゲートが接続されており、CDM 試験によって、被保護回路のゲート酸化膜が最も破壊しやすい。出力回路ブロックでは、出力保護に出力ドレインが接続されており、CDM 試験によって、被保護回路のドレイン接合が最も破壊しやすい。

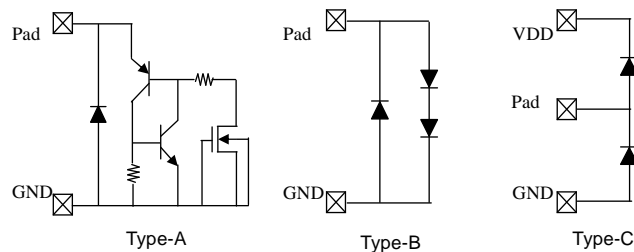
Ⅲ-2-Ⅰ-③-(2)-図 2)-1-5-3 は、入力保護・出力保護として使用した保護素子のバリエーションであり、保護素子の構造差が、CDM 試験規格の差によって、どのような影響を受けるか詳細に調査した。



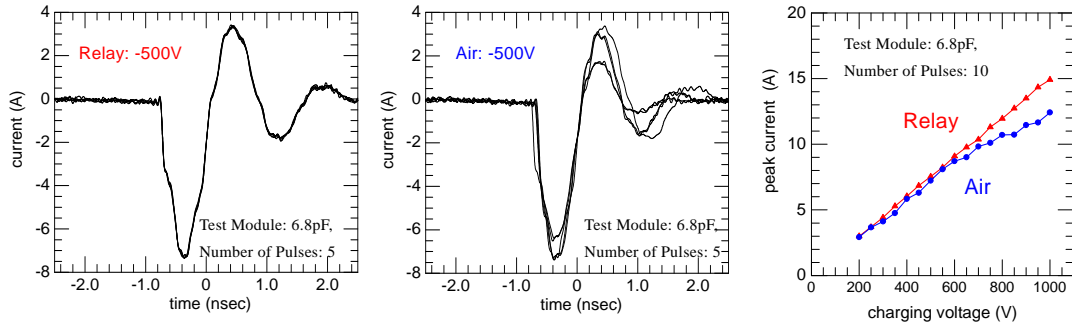
Ⅲ-2-Ⅰ-③-(2)-図 2)-1-5-1
CDM 試験調査用 入力回路ブロック



Ⅲ-2-Ⅰ-③-(2)-図 2)-1-5-2
CDM 試験調査用 出力回路ブロック



Ⅲ-2-Ⅰ-③-(2)-図 2)-1-5-3
CDM 試験調査で使用した入力保護/出力保護のバリエーション
Type-A: NMOSトリガ SCR, Type-B: Diode スタック, Type-C: Dual-Diode
注) Type-A: NMOSトリガ SCRは、ルネサスエレクトロニクス(旧 NEC エレクトロニクス)が過去に単独で学会発表したものであり、Type-B, Type-C 含めて、MIRAI-Selete の成果物ではない。



Ⅲ-2-Ⅰ-③-(2)-図 2)-1-5-4

CDM 試験時の放電波形

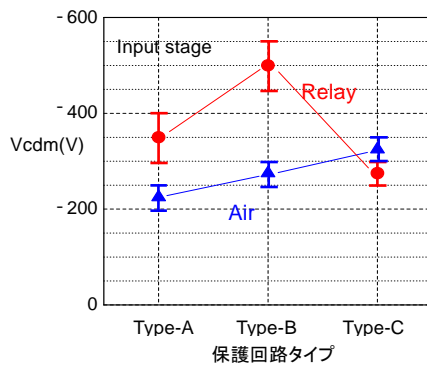
リレー放電方式(左), 気中放電方式(右)

Ⅲ-2-Ⅰ-③-(2)-図 2)-1-5-5

CDM 試験時のピーク電流

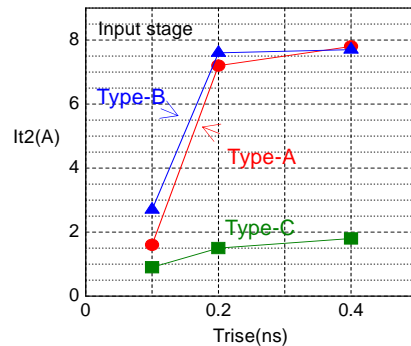
テスター校正用モジュール(6.8pF)を用いて、放電波形を調査した結果をⅢ-2-Ⅰ-③-(2)-図 2)-1-5-4、およびⅢ-2-Ⅰ-③-(2)-図 2)-1-5-5 に示す。気中放電方式の方が、ばらつき量が大きくなったが、放電波形そのものは、等価であることが分かる。Ⅲ-2-Ⅰ-③-(2)-図 2)-1-5-5 は、ピーク電流値のリニアリティを調査した結果である。充電電圧が高くなると(～600V 以上)、気中放電方式では、ピーク電流が出なくなり、直線性から外れている。これは、充電電圧が高くなると、放電ギャップ長が長くなり、放電経路の抵抗成分が高くなることに起因している。気中放電方式の方が、実世界における CDM 型 ESD 現象をリアルに再現していると言えるが、ESD 試験方法としての、再現性、直線性の観点では、リレー放電方式の方が優れており、扱い易い試験結果が得られると言える。

Ⅲ-2-Ⅰ-③-(2)-図 2)-1-5-6 は、各種入力回路の CDM 耐圧を気中放電/リレー放電方式で比較した結果を示している。Type-A、Type-B では、リレー放電方式の方が、CDM 耐圧が高くなったのに対して、Type-C では、気中放電/リレー放電方式でほぼ同等の CDM 耐圧となった。Ⅲ-2-Ⅰ-③-(2)-図 2)-1-5-7 の VF-TLP 特性を踏まえると、Trise の影響を受け易い Type-A、Type-B では、リレー放電/気中放電の差が出現し、Trise に対する感度が低い Type-C では、リレー放電/気中放電の差が出なかったと考えられる。言い換えれば、気中放電方式の方が、リレー放電方式に比べて、放電経路のインダクタンスが低いことに起因して Trise が速くなり、Type-A、Type-B では、その影響を受けたと考えられる。



Ⅲ-2-Ⅰ-③-(2)-図 2)-1-5-6

入力回路ブロック CDM 耐圧

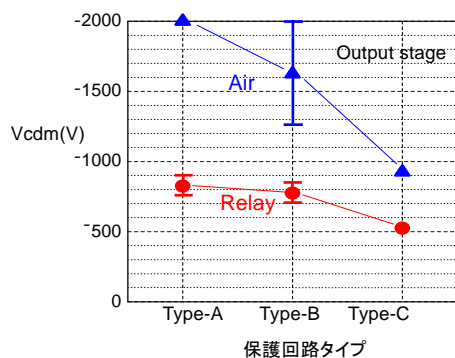


Ⅲ-2-Ⅰ-③-(2)-図 2)-1-5-7

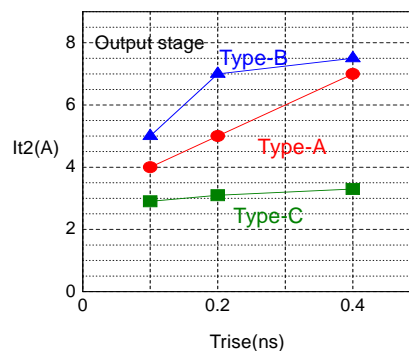
入力回路ブロック VF-TLP 破壊電流

Ⅲ-2- I -③-(2)-図 2)-1-5-8 は、各種出力回路の CDM 耐圧を気中放電/リレー放電方式で比較した結果を示している。入力回路と傾向が異なり、全てのタイプで気中放電方式の方が、CDM 耐圧が高くなった。入力回路の VF-TLP 特性では、Trise が速くなると、保護素子の応答性が悪い Type-A/Type-B では、内部ゲート酸化膜の断熱破壊が発生し、Trise に依存して、VF-TLP の破壊電流(It2)が急低下したが、出力回路では、出力保護のノードにゲート酸化膜が直接接続されていないため、Trise が速くなっても断熱モード破壊は見られない。気中放電方式で試験電圧が高くなると、ピーク電流が下がる効果(Ⅲ-2- I -③-(2)-図 2)-1-5-5)に起因して、出力回路では、気中放電方式の方が、CDM 耐圧が高くなったと考えられる。

CDM 試験を行う際には、以上のような放電方式の違いも考慮した上で、採用する試験規格を選定するとともに、試験結果の取り扱いには注意を要する。以降の実験では、CDM 耐圧測定は、JEDEC 規格(気中放電方式)を採用し、放電波形のばらつきを考慮して、CDM 試験時の充放電回数は 3 回以上、測定サンプル数は 5 個以上で実験を行っている。尚、CDM 試験の放電方式の差異による影響については、2010 EOS/ESD Symposium にて学会発表しており、詳細はそちらを参照されたい。[Ⅲ-2- I -③-(2)-文献 2)-1-5-1]



Ⅲ-2- I -③-(2)-図 2)-1-5-8
出力回路ブロック CDM 耐圧

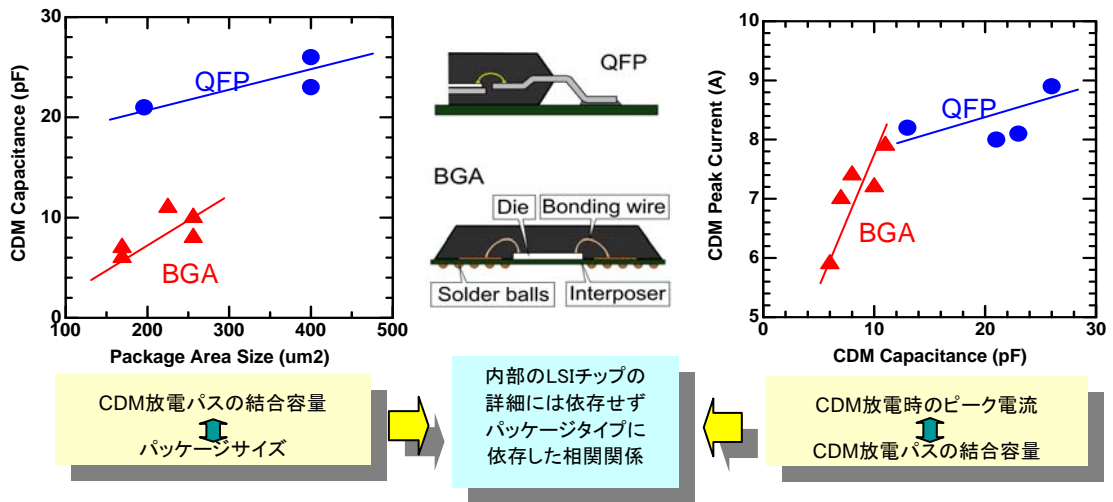


Ⅲ-2- I -③-(2)-図 2)-1-5-9
出力回路ブロック VF-TLP 破壊電流

2)-1-6 モデル化

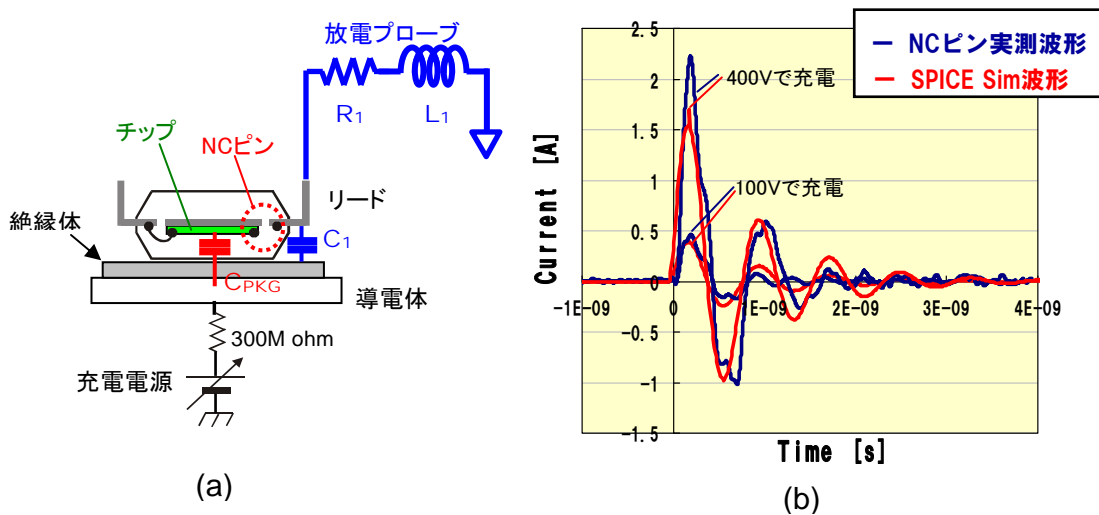
2)-1-6-1 パッケージのモデル化

QFP、BGA の各種サンプルについて、放電波形を調査した結果をⅢ-2- I -③-(2)-図 2)-1-6-1-1 に示す。この図からわかる様に、CDM 放電時のピーク電流値は、内部の LSI チップの詳細には依存せず、ほぼパッケージのタイプとサイズによって決定されている。このことは、LSI チップとパッケージは分離して考えることができ、CDM 放電時の等価放電源をパッケージ毎にモデル化できることを示唆している。この知見に基づいて、208pin QFP パッケージを等価放電源としてモデル化した結果がⅢ-2- I -③-(2)-図 2)-1-6-1-2 である。NC (Non-Connect) ピンを介した CDM 放電波形に、SPICE シミュレーション特性を合わせ込むことにより、パッケージのリードから CDM 試験器の放電プローブを含めた放電経路を LCR 等価回路でモデリングしている。CDM 型 ESD 現象の充電電荷量を支配する C_{PKG} については、チップサイズ、パッケージサイズ、パッケージ厚、樹脂の材質で決定される。



III-2-I-③-(2)-図 2)-1-6-1-1

CDM 型 ESD 放電波形のパッケージ依存性

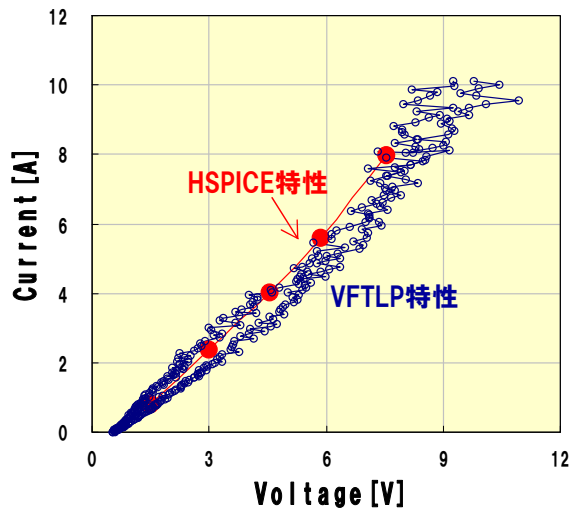


III-2-I-③-(2)-図 2)-1-6-1-2

208pinQFP の CDM 等価放電源モデル(a), 放電波形の実測とシミュレーション比較(b)

2)-1-6-2 RC-timer 方式 NMOS 保護のモデル化

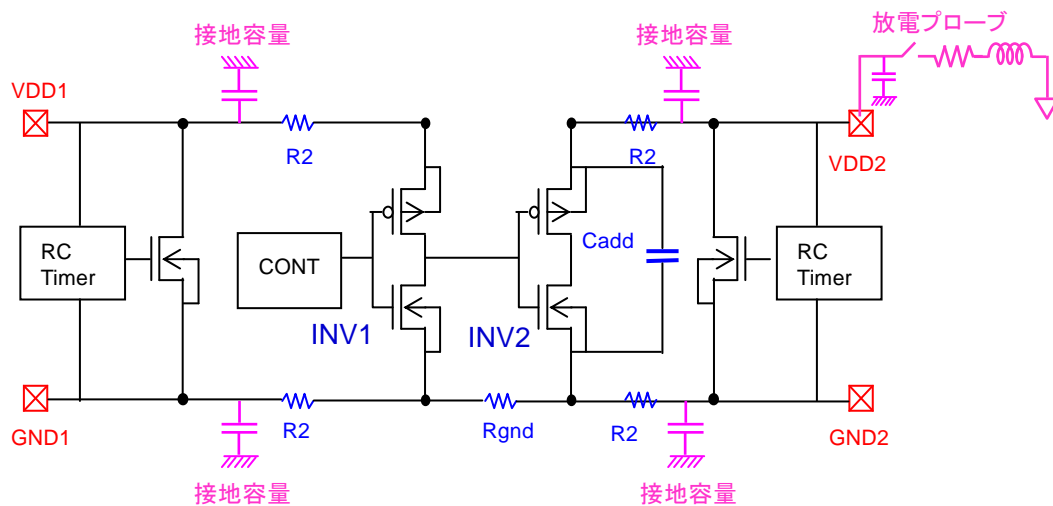
各参加メンバー会社が成果物を容易に享受できるように、本研究では、ファブ間の製造プロセス差異の影響を受け難い RC-timer 型 NMOS 保護を採用して検討を行った。RC-timer 方式の ESD 保護については、VF-TLP 特性($T_d=1\text{ns}$, $T_{rise}=0.1\text{ns}$)と SPICE シミュレーション特性をフィッティングすることでモデル化を行った。III-2-I-③-(2)-図 2)-1-6-2-1 は、そのフィッティング結果を示している。



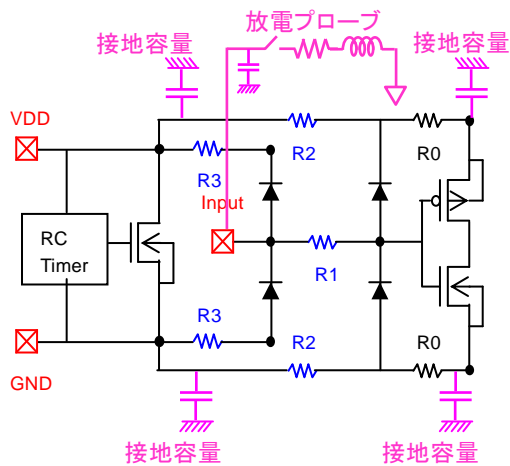
Ⅲ-2-I-③-(2)-図 2)-1-6-2-1
RC-timer 型 NMOS 保護の VF-TLP 特性
と SPICE シミュレーション比較

2)-1-7 シミュレーション用の等価回路作成

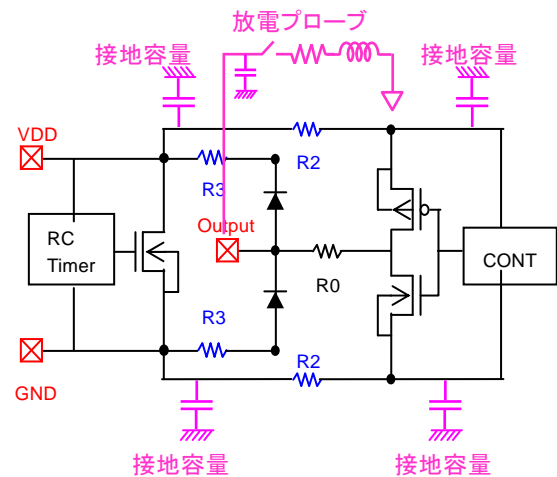
Ⅲ-2-I-③-(2)-図 2)-1-7-1 は、電源ドメイン分離回路において VDD2 から放電させる場合のシミュレーション等価回路図である。次項で説明するが、電源ドメイン分離回路においては、VDD2 側から放電する場合はワーストケースとなる。レイアウトデータから抽出した回路図ネットに接地容量を付加する。接地容量は、前述 2)-1-6-1 で説明したパッケージ容量(C_{PKG})を、各 VDD 配線、GND 配線の主要幹線のレイアウト面積に応じて分配する。放電プローブ部の等価回路についても、前述 2)-1-6-1 で抽出したものを使用する。



Ⅲ-2-I-③-(2)-図 2)-1-7-1
電源ドメイン分離回路の CDM-ESD シミュレーション等価回路図



Ⅲ-2-I-③-(2)-図 2)-1-7-2
入力回路の CDM-ESD シミュレーション
等価回路図

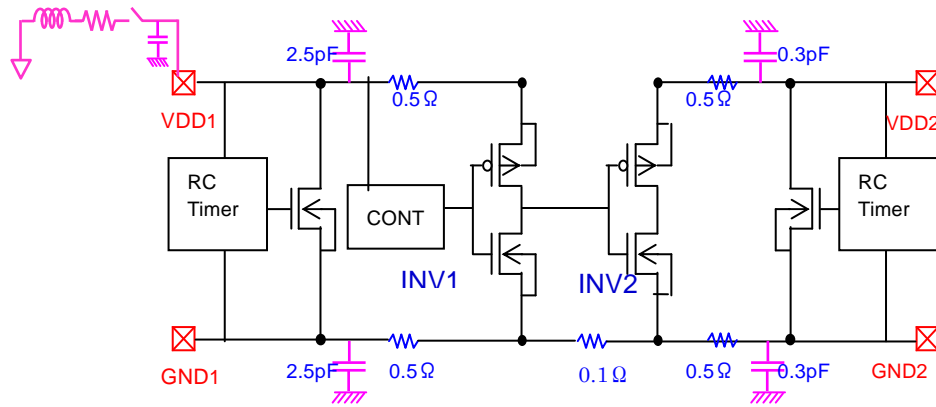


Ⅲ-2-I-③-(2)-図 2)-1-7-3
出力回路の CDM-ESD シミュレーション
等価回路図

Ⅲ-2-I-③-(2)-図 2)-1-7-2、Ⅲ-2-I-③-(2)-図 2)-1-7-3 は、入力回路、出力回路のシミュレーション等価回路図である。電源ドメイン境界回路と同様に、レイアウトデータから抽出した回路図ネットに、パッケージ容量(C_{PKG})を VDD、GND 配線に分配する。今回の TEG パターンでは、IO 保護部 (Diode 素子)と被保護回路で VDD/GND 配線の主要幹線が分かれていたため、レイアウトに合わせて分配している。入力回路、出力回路においては、入力パッド(Input)、出力パッド(Output)から放電する場合がワーストケースとなるため、放電プローブは入力パッド、出力パッドに接続している。尚、今回のシミュレーションについては、絶対値の精度は追求せずに、定性的な挙動分析とメカニズム解明を優先した。シミュレーション精度を上げるには、接地容量を更に細かく分割し、VDD/GND ラインを LCR 分布定数回路で、より忠実に表現することが求められる。また、ESD 現象を想定した高電流、高電圧範囲までフィッティングした高精度の内部回路モデルが求められる。今回の活動では、RC-timer 型 NMOS 保護部のみを VF-TLP 特性をベースにモデル化したが、被保護回路については、特に ESD 考慮したモデル化を行っていない。被保護回路についても、VF-TLP 特性に合わせた高精度モデルを組み込むことができれば、シミュレーション精度の向上が期待できる。

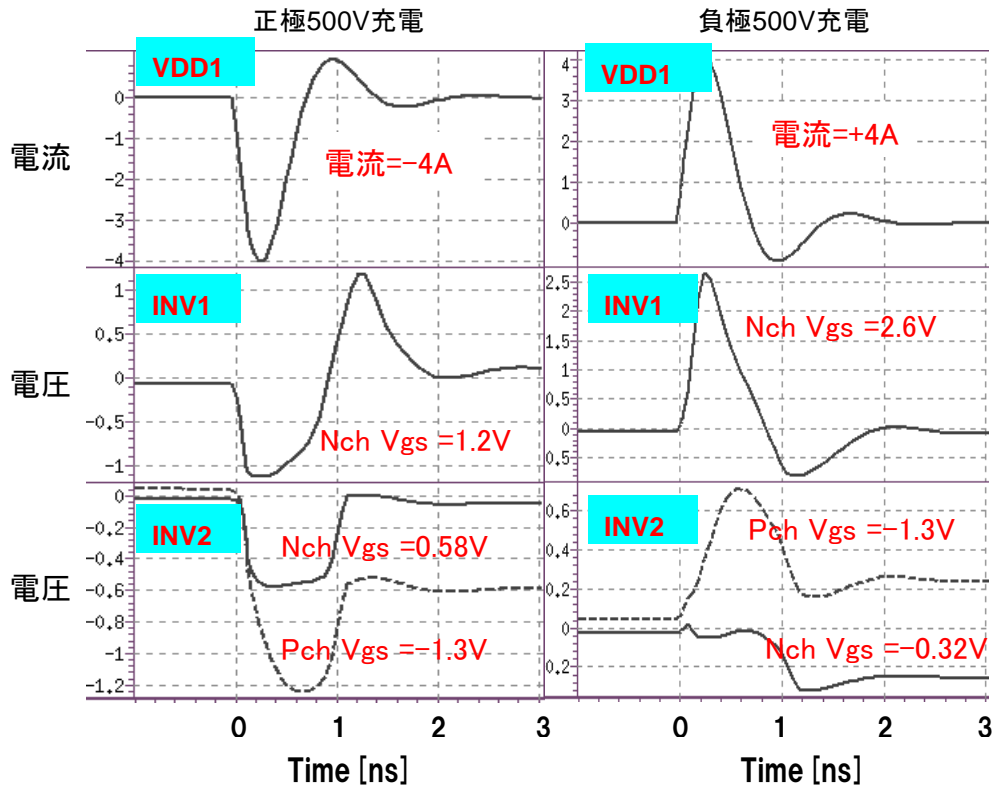
2)-1-8 シミュレーション分析結果と CDM 型 ESD 現象のメカニズム解明

Ⅲ-2-I-③-(2)-図 2)-1-8-1 は、電源ドメイン境界回路において、VDD1 側から放電するシミュレーション等価回路である。シミュレーションで使用した主な回路定数を回路図内に表記した。VDD1 側は大規模デジタル回路を想定しており、VDD2 側は小規模アナログ回路を想定している。VDD1、GND1 の接地容量 2.5pF に対して、VDD2、GND2 の接地容量が 0.3pF と小さいのは、内部回路規模の差に依存するものである。VDD1 側からの放電について、正極充電の場合と負極充電の場合で比較した。

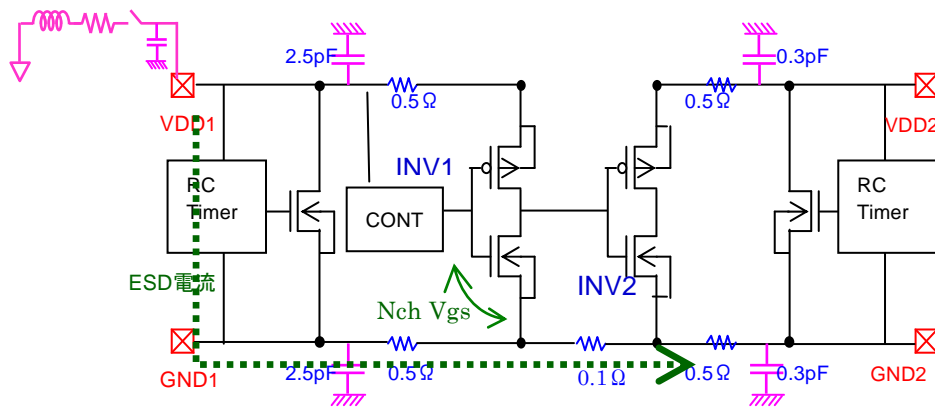


Ⅲ-2-I-③-(2)-図 2)-1-8-1
 電源ドメイン境界回路のシミュレーション分析
 VDD1 からの放電シミュレーションの回路定数

Ⅲ-2-I-③-(2)-図 2)-1-8-2 にシミュレーション結果を示す。正極充電と負極充電で、VDD1 からの放電電流の向きは変わるが、絶対値は同レベルである。被保護回路で発生する電位差をモニタしており、この電位差が高いほど、内部回路破壊の危険度も高くなる。シミュレーション結果は、ワーストケースが、負極充電時であることを示しており、そのとき INV1 Nch Vgs の電位差が最大になる。この場合の電流経路をⅢ-2-I-③-(2)-図 2)-1-8-3 に示す。VDD1 放電時において、正極充電の場合には、電流経路が逆向きになり、Nch 保護素子のドレイン・バックゲート接合が順方向 Diode として働くため、保護素子の性能が有利になる。負極充電の方がワーストケースとなるのは NMOS 保護素子が MOS(または NPN)として機能し、性能的には順方向 Diode よりも劣るためである。INV1 Nch Vgs で電位差が発生するのは、シミュレーション回路では、CONT 回路を VDD に接続して H レベルにクランプしていることに起因する。ESD 電流が NMOS 保護ソースノードと INV1 Nch ソースノード間の 0.5Ω を経由することで、IR ドロップ分の電位差が Vgs として発生する。 0.5Ω の抵抗値を低減させれば、発生する電位差を抑えることは可能であるが、シミュレーション値の Nch Vgs=2.6V であれば、40nmCMOS プロセスであれば、許容レベルである。

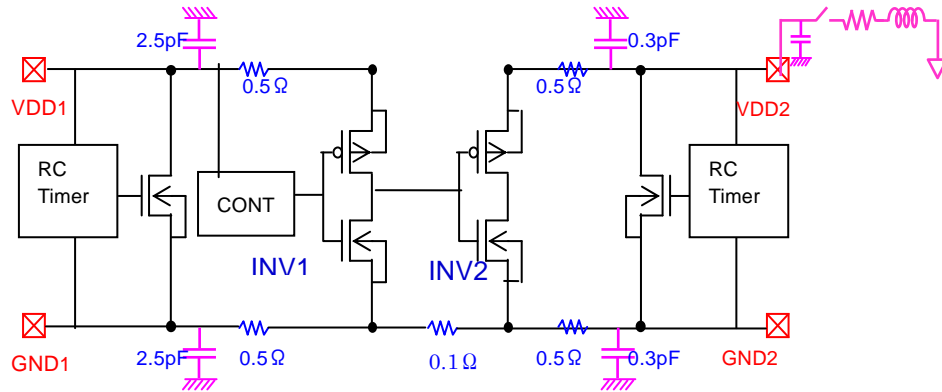


Ⅲ-2-I-③-(2)-図 2)-1-8-2
 電源ドメイン境界回路のシミュレーション分析
 VDD1からの放電シミュレーション特性



Ⅲ-2-I-③-(2)-図 2)-1-8-3
 電源ドメイン境界回路のシミュレーション分析
 負極充電 VDD1 放電時の ESD 電流経路とワースト電位差の発生箇所

負極充電の方が不利であることは判明したので、次に負極充電し、VDD2 から放電させる場合をシミュレーション解析した。そのときの回路定数をⅢ-2-I-③-(2)-図 2)-1-8-4 に示す。

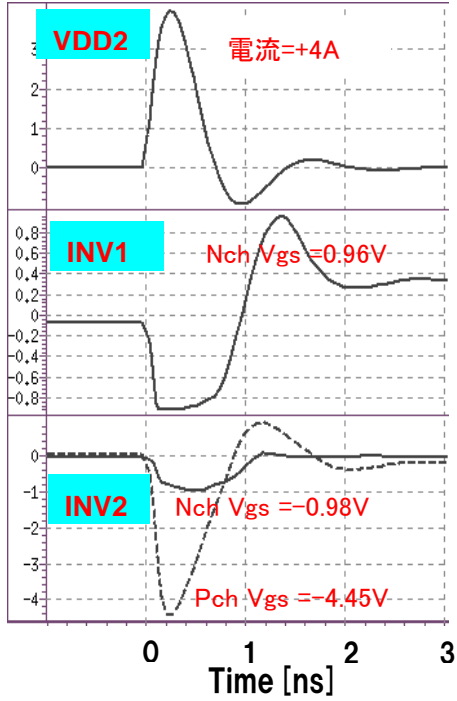


Ⅲ-2-I-③-(2)-図 2)-1-8-4
 電源ドメイン境界回路のシミュレーション分析
 VDD2 放電シミュレーションの回路定数

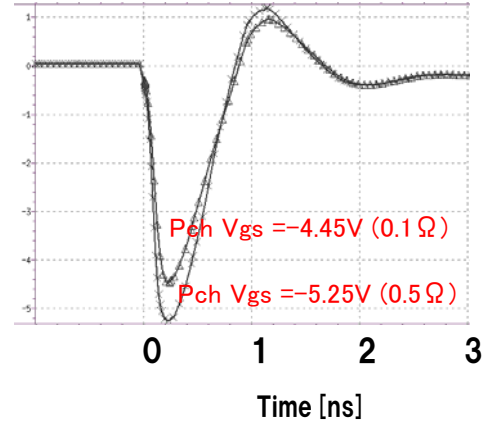
Ⅲ-2-I-③-(2)-図 2)-1-8-5 にシミュレーション結果を示す。VDD2 からの放電については、INV2 側の Pch Vgs の電位差が最も高くなった。このときの ESD 電流経路をⅢ-2-I-③-(2)-図 2)-1-8-7 に示す。VDD2 側の接地容量が小さいために、VDD2 側の電荷が先に抜けてしまい、接地容量の大きい VDD1 側の電荷が抜け切るまでの間に、境界回路の Pch に Vgs の電位差が発生する。INV1-GND、INV2-GND 間の抵抗値 (0.1Ω) の影響を調査した結果、0.1Ω が 0.5Ω になると、Pch Vgs は、更に高くなることが分かった(Ⅲ-2-I-③-(2)-図 2)-1-8-6)。設計対策として、VDD2~VDD1 間の ESD 電流経路を低抵抗化することが有効であるが、特に INV1、INV2 の GND 間抵抗を抑えることが重要となる。

INV2 Pch Vgs と現れる電位差は、VDD2ドメイン、VDD1ドメインの接地容量差にも依存すると考えて、VDD1、VDD2 の接地容量の大きさを合わせることで、どの程度改善するかを調べた結果をⅢ-2-I-③-(2)-表 2)-1-8-1 に示す。この結果より、各ドメインの接地容量を均等にするだけで、発生する電位差(Vgs)を低減できることが分かる。また VDD2・GND2 間に容量素子を追加しても、Pch Vgs の電位差発生を軽減できる。以上の分析結果から、電源ドメイン境界回路については、GND 間の抵抗値を下げる、各ドメインの接地容量を極力そろえる、信号受け側ゲートが存在するドメインには、VDD-GND 間に容量素子を追加することが、有効な設計対策であることを導いた。

負極500V充電



負極500V充電

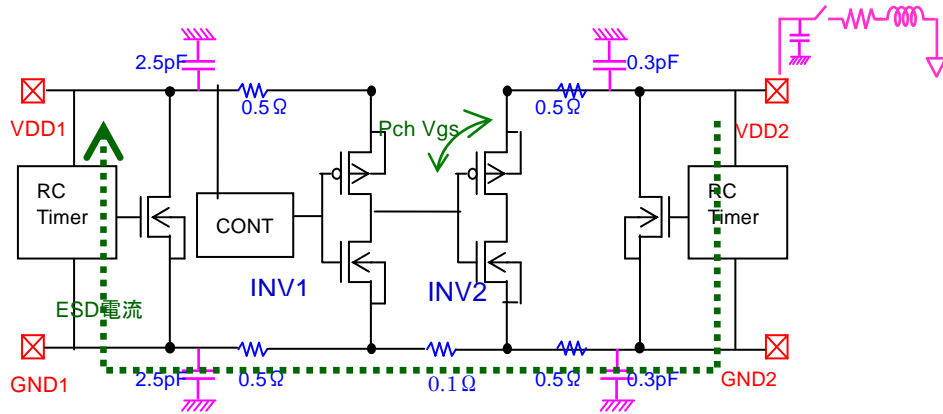


Ⅲ-2-I-③-(2)-図 2)-1-8-6

電源ドメイン境界回路のシミュレーション分析
VDD2 からの放電シミュレーション特性
(GND 間の抵抗値依存)

Ⅲ-2-I-③-(2)-図 2)-1-8-5

電源ドメイン境界回路のシミュレーション分析
VDD2 からの放電シミュレーション特性



Ⅲ-2-I-③-(2)-図 2)-1-8-7

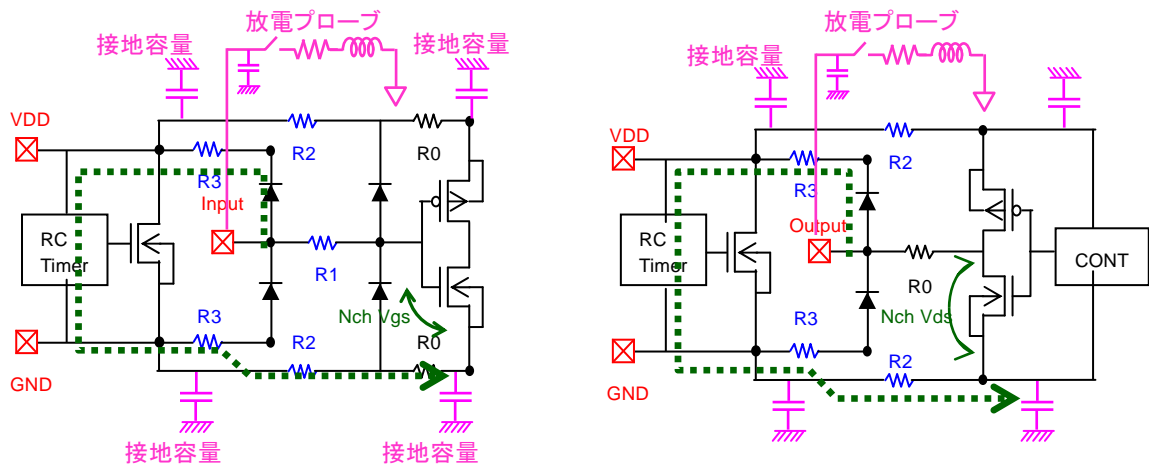
電源ドメイン境界回路のシミュレーション分析
負極充電 VDD2 放電時の ESD 電流経路とワースト電位差の発生箇所

III-2-I-③-(2)-表 2)-1-8-2

電源ドメイン境界回路のシミュレーション分析
負極充電 VDD2 放電時の ESD 電流経路とワースト電位差

Case	接地容量(pF)		Cadd (pF)	Vgs (V)
	VDD1 側	VDD2 側		
A	2.5	0.3	0	-4.45
B	↓	↓	100	-4.2
C	↓	↓	400	-3.2
D	1.4	1.4	0	-3.71
E	↓	↓	100	-3.49
F	↓	↓	400	-2.65

次に、入力回路、出力回路の分析結果とメカニズムについて説明する。入力端子(Input)、出力端子(Output)から放電する場合で、端子からVDD側のDiode素子、RC-timer NMOS保護ドレイン/ソースを経由して、GNDへESD電流が流れるケースが最も厳しいCDM試験となる。通常のCMOSプロセスでは、ゲート酸化膜耐圧、ドレイン/ソース間耐圧とも、PMOSよりもNMOSの方が低く、被保護回路のNMOSにストレスがかかる放電経路がワーストケースとなるためである。CDM試験では、入力端子、出力端子が接地電位となった後、接地容量に蓄えられた電荷が一気に放電することになるが、この接地容量に充電された電荷を素早く引き抜くこと(保護素子の応答速度を上げる、放電経路のインピーダンスを下げる etc.)、放電電流で電位差を発生させないこと(放電経路の寄生抵抗によるIRドロップを抑えること)が設計時のポイントとなる。今回採用したDual-Diode型IO保護、RC-timer型NMOS電源保護については、IO保護(Diode素子)と電源保護(NMOS素子)間の寄生抵抗を低くする(R3を低くする)、電源保護と被保護回路間の寄生抵抗を低くする(R2を低くする)ことが有効な対策であることが、シミュレーション分析を通して解明された。



III-2-I-③-(2)-図 2)-1-8-8

入力回路、出力回路のシミュレーション分析
負極充電 Input、Output 放電時の ESD 電流経路とワースト電位差の発生箇所

また入力回路については、被保護ゲート酸化膜の直近に 2nd 保護を配置する、出力回路に対しては、出力トランジスタのゲート幅(W)を大きくする(電流耐性を上げる)、ゲート長(L)を太くする(出力トランジスタのオン抵抗を高くして、電流流入を防ぐ)、といった対策も有効であることが、シミュレーションで確認できた。以上のシミュレーション手法は 2010 RCJ 信頼性シンポジウムにて学会発表しており、そちらも参照されたい。[Ⅲ-2-I-③-(2)-文献 2)-1-8-1]

2)-1-9 TEG による CDM 耐圧評価結果

以降に 40nmCMOS プロセスで試作評価した TEG 評価結果を示す。いずれも JEDEC 準拠の気中放電方式の CDM 試験を採用した。TEG チップは、208pin QFP パッケージで組立している。試験は 50V ステップで行い、CDM 耐圧の欄には、Pass した電圧値を表に記載している。試験したサンプル数は、各条件で 5 個以上である。

Ⅲ-2-I-③-(2)-表 2)-1-9-1 は、電源ドメイン境界回路の評価結果(1)である。本結果は、正極充電よりも負極充電の方が耐圧が低いこと、GND 抵抗 0.5Ω の場合(1-C)は、0.1Ω の場合(1-A)よりも、耐圧が低いこと、VDD2 追加容量を設けた場合(1-B)は、Cadd なし(1-A)の場合よりも耐圧が向上することを示しており、いずれも前項で説明したシミュレーション結果を支持する結果となった。

Ⅲ-2-I-③-(2)-表 2)-1-9-1
電源ドメイン境界回路 CDM 耐圧評価結果(1)

回路タイプ	VDD2 追加容量 (Cadd)	GND 間抵抗 (Rgnd)	CDM 耐圧 (負極充電)	CDM 耐圧 (正極充電)
1-A	なし	0.1Ω	-400V	>+1000V
1-B	40pF	0.1Ω	-850V	>+1000V
1-C	なし	0.5Ω	-350V	+750V

Ⅲ-2-I-③-(2)-表 2)-1-9-2 は、電源ドメイン境界回路の評価結果(2)であり、GND 間抵抗を 0.1Ω に固定し、Cadd の容量値を更に増加した場合の結果である。Cadd の容量値の増加に伴って、CDM 耐圧も向上した。特に 2-D の回路タイプでは、本研究の成果目標とした ClassIV(1000V 以上)を達成した。

Ⅲ-2-I-③-(2)-表 2)-1-9-2
電源ドメイン境界回路 CDM 耐圧評価結果(2)

回路タイプ	VDD2 追加容量 (Cadd)	GND 間抵抗 (Rgnd)	CDM 耐圧 (負極充電)
2-A	なし	0.1Ω	-550V
2-B	40pF	0.1Ω	-750V
2-C	500pF	0.1Ω	-900V
2-D	1500pF	0.1Ω	-1100V

Ⅲ-2-I-③-(2)-表 2)-1-9-3 は、入力回路の評価結果である。本入力回路は、40nmCMOS の薄膜 MOS トランジスタ(1.0V-Tr)で構成している。入力保護(Diode 素子)と電源保護(NMOS)間の寄生抵抗 R3 が大きくなると CDM 耐圧が低下する傾向が見えている。2nd 保護を設けて、入力端子と 2nd 保護間の抵抗素子 R1 を大きくすることにより、CDM 耐圧が向上した。本傾向も、シミュレーションにより導いたメカニズムと一致している。入力回路においては、3-F の回路タイプで成果目標の ClassIV の耐圧レ

ベルを達成した。

Ⅲ-2- I -③-(2)-表 2)-1-9-3
入力回路 CDM 耐圧評価結果

回路タイプ	2nd 保護	R1	R2	R3	CDM 耐圧 (負極充電)	CDM 耐圧 (正極充電)
3-A	なし	0.5 Ω	0.5 Ω	0.5 Ω	-200V	+200V
3-B	なし	0.5 Ω	0.5 Ω	1.0 Ω	-200V	+200V
3-C	なし	0.5 Ω	0.5 Ω	2.0 Ω	-150V	+150V
3-D	あり	20 Ω	0.5 Ω	0.5 Ω	-300V	+300V
3-E	あり	40 Ω	0.5 Ω	0.5 Ω	-350V	+350V
3-F	あり	100 Ω	0.5 Ω	0.5 Ω	<-1000V	>+1000V

Ⅲ-2- I -③-(2)-表 2)-1-9-4 は、出力回路の評価結果である。本出力回路は、40nmCMOS の薄膜 MOS トランジスタ(1.0V-Tr)で構成している。入力回路と同様に、出力保護(Diode 素子)と電源保護 (NMOS)間の寄生抵抗 R3 が大きくなると CDM 耐圧が低下する傾向が見えている。また、出力トランジスタのゲート長を太くすることによって、CDM 耐圧が向上する現象も確認できた。いずれもシミュレーションでの分析結果とよく一致している。出力回路において、回路タイプ 4-D で ClassIVの耐圧レベルを達成した。

Ⅲ-2- I -③-(2)-表 2)-1-9-4
出力回路 CDM 耐圧評価結果

回路タイプ	出力 Tr	R2	R3	CDM 耐圧 (負極充電)	CDM 耐圧 (正極充電)
4-A	L=0.05um	0.5 Ω	0.5 Ω	-800V	>+1000V
4-B	L=0.05um	0.5 Ω	1.0 Ω	-800V	>+1000V
4-C	L=0.05um	0.5 Ω	2.0 Ω	-550V	>+1000V
4-D	L=0.1um	0.5 Ω	0.5 Ω	<-1000V	>+1000V
4-E	L=0.1um	0.5 Ω	1.0 Ω	-900V	>+1000V
4-F	L=0.1um	0.5 Ω	2.0 Ω	-650V	>+1000V

2)-1-10 CDM 耐圧クラスIVを達成するための解決策

以下に、CDM 耐圧クラスIVを達成するための設計指針を提供する。

・電源ドメイン境界回路に向けた設計指針

大規模デジタル回路と小規模アナログ回路との間で信号を受け渡す場合、小規模アナログ回路の入力ゲートで破壊が発生し易い。設計指針は、

- デジタル/アナログ各々の回路規模を同等にすること
- デジタル GND とアナログ GND 間の寄生抵抗(Rgnd)を可能な限り小さくすること
- アナログ VDD/GND 間に容量素子(Cadd)を追加すること

本活動で試作した 40nmCMOS TEG チップでは、Rgnd:0.1 Ω、Cadd:1500pF で CDM 耐圧 ClassIVを達成した。

・入力回路に向けた設計指針

被保護回路の入力ゲートで破壊が発生し易い。特に薄膜ゲート酸化膜の場合は要注意である。設計指針は、

- IO 保護(Diode 素子)と電源保護(RC-timer 型 NMOS)間の寄生抵抗(R3)を極力小さくすること
- 電源保護と被保護回路間の寄生抵抗(R2)を極力小さくすること
- 被保護回路の入力ゲート直近に 2nd 保護(Diode 素子)を設けること
- IO 保護と 2nd 保護間に抵抗素子(R1)を設けること

本活動で試作した 40nmCMOS TEG チップでは、R3:0.5Ω、R2:0.5Ω、R1:100Ωで、CDM 耐圧 Class IVを達成した。

・出力回路に向けた設計指針

被保護回路の出力トランジスタ(ドレイン)で破壊が発生し易い。設計指針は、

- IO 保護(Diode 素子)と電源保護(RC-timer 型 NMOS)間の寄生抵抗(R3)を極力小さくすること
- 電源保護と被保護回路間の寄生抵抗(R2)を極力小さくすること
- 出力トランジスタへの電流流れ込みを抑制するために、出力トランジスタのゲート長(L)を太くするか、出力トランジスタのドレインに抵抗を入れる
- 出力トランジスタの電流耐性を上げるために、出力トランジスタのゲート幅(W)を大きくする

本活動で試作した 40nmCMOS TEG チップでは、R3:0.5Ω、R2:0.5Ω、出力トランジスタサイズ L/W=0.1μm/90μm で CDM 耐圧 ClassIVを達成した。

尚、本設計指針の数値は、あくまでも目安であり、テクノロジー、保護回路、被保護回路の構成によっては、設計指針の数値は変わり得る。しかしながら、本設計指針の概念は、テクノロジーに依らず、応用できる。

2)-1-11 まとめ

1ns 以下の高速パルス現象あり、1 端子放電のために経路予測が困難な CDM 型 ESD 現象に対して、メカニズムの解明と、CDM 耐圧を決定づける保護回路、被保護回路のキーファクターを導出することを目的に本活動を行い、以下の成果を得た。

- (1) VF-TLP 測定環境を立ち上げ、VF-TLP 特性と CDM 耐圧との相関関係を検証し、解析手法としての有効性を実証した。
- (2) CDM 試験における放電方式の差異(気中放電/リレー放電)が試験結果に及ぼす影響を調査し、現状の CDM 試験方法の問題点を明らかにした。
- (3) CDM 型 ESD 現象のシミュレーション解析手法を構築し、TEG による実測結果と同現象を定性的に表現できることを示した。
- (4) シミュレーション解析と TEG 実測結果を基に、CDM 耐圧を決定づけるキーファクターを定義し、CDM 耐圧 ClassIVを実現するための解決策を提供した。

参考文献

[Ⅲ-2- I -③-(2)-文献 2)-1-1-1] Markus Mergens, et al., “Active-Source-Pump (ASP) Technique for ESD Design Window Expansion and Ultra-Thin Gate Oxide Protection in Sub-90nm Technologies”,

CICC Proc. , pp.251-254, 2004.

[Ⅲ-2- I -③-(2)-文献 2)-1-1-2] White Paper 2, “A Case for Lowering Component Level CDM ESD Specifications and Requirements”, Industry Council on ESD Target Levels, 2009.

[Ⅲ-2- I -③-(2)-文献 2)-1-1-3] JESD22-C101D, “Field-Induced Charged-Device Model Test Method for Electrostatic-Discharge-Withstand Thresholds of Microelectronic Components”, JEDEC Solid State Technology Association, 2008.

[Ⅲ-2- I -③-(2)-文献 2)-1-1-4] ANSI/ESD S5.3.1, “Charged Device Model (CDM) - Component Level”, ESD Association Standard, 2009.

[Ⅲ-2- I -③-(2)-文献 2)-1-4-1] Yasuyuki Morishita, et al., “New ESD Protection Circuits Based on PNP Triggering SCR for Advanced CMOS Device Applications”, EOS/ESD Symposium Proc., pp.6-9, 2002.

[Ⅲ-2- I -③-(2)-文献 2)-1-4-2] Yasuyuki Morishita, et al., “A Low-Leakage SCR Design Using Trigger-PMOS Modulations for ESD Protection”, EOS/ESD Symposium Proc., pp. 376-384, 2007.

[Ⅲ-2- I -③-(2)-文献 2)-1-4-3] Yasuyuki Morishita, et al., ”An Investigation of Input Protection for CDM Robustness in 40nm CMOS Technology”, EOS/ESD Symposium Proc. , pp.119-124, 2009.

[Ⅲ-2- I -③-(2)-文献 2)-1-4-4] 石塚 裕康他, “ディープサブミクロンデバイスにおけるパワークランブ素子の設計指針検討”, RCJ 信頼性シンポジウム. , 2009.

[Ⅲ-2- I -③-(2)-文献 2)-1-5-1] Yasuyuki Morishita, et al., ”Impact of Difference between Discharging Methods on CDM Testing”, EOS/ESD Symposium Proc. , pp.353-357, 2010.

[Ⅲ-2- I -③-(2)-文献 2)-1-8-1] 大塚 容子他, “先端 CMOS 技術の電源分離回路における CDM-ESD 保護設計”, RCJ 信頼性シンポジウム. , 2010.

[Ⅲ-2- I -③-(2)-文献 2)-1-12-1] Robert Given, et al., “CDM2 - A New CDM Test Method for Improved Test Reliability and Reproducibility”, EOS/ESD Symposium Proc., pp.359-367, 2010.

2)-2 アナログ回路における耐ノイズ技術開発

ここでは、開発期間の開発成果に関して下記の項目にて記載する。

2)-2-1 概要

2)-2-2 アナログ基本回路における「ばらつきとノイズ感度」のその場評価技術

2)-2-3 アナログ基本回路における「ばらつきとノイズ感度」の測定と解析

2)-2-4 アナログ基本回路におけるノイズ応答のチップレベル解析技術

2)-2-5 アナログ基本回路における「ばらつきとノイズ感度」の高効率測定手法

2)-2-6 まとめ

2)-2-1 概要

開発の背景

情報家電や車載エレクトロニクスの高性能・高機能化を担うミックスドシグナルSoCの内部では、アナログ-デジタルやデジタル-アナログの信号変換器(ADC/DAC)、クロック信号発生回路、高速インタフェース、無線通信、など、さまざまな基本機能がアナログ集積回路で実現されている。これらのアナログ性能、すなわち精度、周波数純度、スピード、感度、などは、チップ内の外部擾乱:とくにSoCの内部ノイズの影響を受けやすいことが知られており、その対策手法が求められている。しかしながら、ノイズとアナログ回路性能の関係についての理解はまだ十分でなく、卓越した技術創出の余地が十分にある。他方、ミックスドシグナルSoC開発において、アナログ回路の面積や消費電力がデジタル回路に比べて相対的にきわめて大きくなり、低コスト化の阻害要因となることが知られている。最先端デバイスを積極的に活用したアナログ回路IPの小面積化・省電力化は、電源ノイズ耐性の向上による性能の保証とともに高付加価値化・差別化の最重要課題である。

開発の目的

このような技術背景のもと、本開発は、デバイスばらつきと外部擾乱を同時に考慮することで、高い外部擾乱耐性と、および小面積と省電力を同時に満たす画期的なアナログ回路構築技術の創出を目指す。具体的には、アナログ回路の外部擾乱に対する感度発生メカニズムを明らかにするために、アナログ回路における「ばらつきとノイズ感度」をその場評価する実験技術およびその物理的な関係を見出す解析手法を確立し、それを用いてSoCにおけるノイズ問題の解決に向けた設計指針の導出につなぐこととする。

本開発では、アナログ回路におけるノイズ感度の発生メカニズムを明らかにする。一般的なアナログ回路の感度発生モデルとして、次に示す2つの素過程を仮定できる。

- (1) デバイス・プロセスに起因したデバイスの静的ばらつきにより差動対のマッチング特性が劣化し、この結果アナログ回路の同相ノイズ除去性能が低下することで差動信号にノイズが漏れ込み、アナログ動作性能が劣化する。
- (2) ノイズの空間分布における強度傾斜によりデバイスの特性ばらつきがエンハンスされ、この結果、アナログ回路のマッチング特性が動的に変動して、アナログ動作性能が劣化する。

実際のミックスドシグナルSoC環境におかれたアナログ回路では、これらの素過程がコンカレントに発生するものと考えられる。さらに実チップでは、デバイスの寄生容量などの寄生インピーダンスを経由した外部擾乱の直接洩れ込みも無視できない。これらの各現象を分離し、定量的に解析・予測する手段は現在のところ存在しない。そこで本開発では、「ばらつきとノイズ感度」のその場評価システムによりアナログ回路のノイズ応答を評価し、上述のモデルを仮定してアナログ回路におけるノイズ感度の発生メカニズムを明らかにする。

また、アナログ回路設計においては、「ばらつきとノイズ感度」がどのように性能にマッピングされる

か、を把握する必要がある。理想的な回路では入力信号以外の雑音成分は熱雑音や $1/f$ 雑音に過ぎないが、回路の「ばらつきとノイズ感度」により歪が生じ、不要な信号成分が現れる。

本開発では、アナログ基本回路における「ばらつきとノイズ感度」の解析手法を応用し、アナログ回路設計における回路シミュレーションにより外部擾乱のインパクトを予測する手段と、素子サイズの最適化およびレイアウト技法によりその影響を低減化する手法を与える。具体的には、ノイズ耐性に優れたアナログ回路設計指針として、ノイズマージン過大を避ける素子サイズ決定方法および高マッチングと低ノイズ感度のためのレイアウト方法の導出を試みる。また、開発成果により「ばらつきとノイズ感度」と回路の素子サイズ(面積)やバイアス電流(消費電力)のトレードオフ評価が、最先端デバイスによるアナログ回路設計に向けて有用な設計指針を与えると考えている。

開発の目標

本開発では、平成22年度の最終目標として、「ばらつき」と「ノイズ」のコンカレント・インパクトを考慮した設計のための回路シミュレーション方法を提供することを見据え、平成20年度～平成22年度の開発目標を以下のように設定した。

平成20年度

- ① 以下の回路IPを搭載したhp130nm CMOSテストチップの設計を完了する。
 - アナログ基本回路における「ばらつきとノイズ感度」特性を評価する回路IP
 - アナログ基本回路を構成するデバイス特性を評価する回路IP
- ② 「ばらつきとノイズ感度」のその場評価のための測定システムを開発する。

平成21年度

- ③ アナログ基本回路の評価回路IPをアレイ化したテストチップを開発し、「ばらつきとノイズ感度」のその場評価システムを開発する。
- ④ 「ばらつき」と「ノイズ」がアナログ回路に及ぼす影響について実測データの収集および解析を行う。
- ⑤ 「ばらつき」と「ノイズ」の評価技術の普遍性検証のためのテストチップを開発する。

平成22年度

- ⑥ 「ばらつき」と「ノイズ」がアナログ回路に及ぼす影響に関して、回路シミュレーションによる解析性を向上するため、デバイス等価回路モデルによる「ばらつきとノイズ感度」の表現手法を開発する。
- ⑦ 「ばらつきとノイズ感度」の主たる支配要因である基板結合感度を考慮して、デバイスサイズ選択とレイアウト構造を決定する指針を導出する。

本章では、これらの開発目標に対する開発成果をまとめている。上記の①②③⑤については2)-2-2、④⑥⑦については2)-2-3 にそれぞれまとめている。加えて、⑥に関してチップ設計で実務的に利用できるようにチップレベル基板ノイズ解析をフロー化した成果について2)-2-4に述べ、また③に関してデバイス特性ばらつきと回路のAC基板応答を多数個体に対し高効率に測定するためのその場評価システムの拡張について2)-2-5に述べる。最後に、全体のまとめを2)-2-6に述べる。

2)-2-2 アナログ基本回路における「ばらつきとノイズ感度」のその場評価技術

本開発では、アナログ回路の実動作環境において、トランジスタの静的デバイス特性と回路の動的性能およびノイズ感度をその場で測定評価する手段を開発した。以下に、測定環境とテストチップの構成について詳述する。

2)-2-2-1 その場評価システムの構成

概要

アナログ基本回路における「ばらつきとノイズ感度」のその場評価技術として、動作状態にある差動増幅回路の信号利得および基板感度を実測評価する測定システムを提案した。Ⅲ-2-I-③-(2)-図 2)-2-2-1-1 に構成イメージと、Ⅲ-2-I-③-(2)-図 2)-2-2-1-2 に本開発により確立した測定系の概要を示している。

アナログ基本回路における「ばらつきとノイズ感度」のその場評価系の回路図をⅢ-2-I-③-(2)-図 2)-2-2-1-3 に示す。この評価系は、対象となるアナログ差動増幅回路を多数配置し、それらの入出力をスイッチで切り替えることにより増幅回路の AC 応答がマトリクス評価可能となっている。また、増幅回路 1 つまたは 2 つに対してそれぞれノイズ注入用の基板タップがあり、プロービング等により外部の信号発生器(SG)から評価対象の増幅回路近傍のシリコン基板に正弦波ノイズを直接導入している。この差動増幅回路内の主要な端子対はオンチップモニタと接続され、増幅回路が動作状態にある時の各端子の電圧波形を取得可能である。さらに、増幅回路の主たる構成要素である差動対トランジスタについて、しきい電圧(V_{th})を回路内部のその場で測定することも可能にしている。

本開発では、前述のように差動構成のアナログ増幅回路を主たる評価対象としているが、後述のテストチップにおいては、単相構成のアナログ増幅回路についても同様の評価を実施できるように設計した。

増幅回路の構成とレイアウト

被評価対象である差動増幅回路の回路図をⅢ-2-I-③-(2)-図 2)-2-2-1-4 に示す。差動対(M1, M2)、負荷トランジスタ(M3, M4)、テール電流源(M5, M6) から構成した。n型トランジスタ(M1, M2)は、最小ゲート長である $0.1 \mu\text{m}$ を用い、p型シリコンの上に形成されている。評価対象のテストチップには多数の構造の増幅回路が搭載されているが、入力トランジスタ(M1, M2)の構造が異なるだけでテール電流源(M5, M6)、負荷トランジスタ(M3, M4)などは全て同じ構造である。サイズの大きいトランジスタM7 はDC 測定モードの時に差動対のソースノードをグラウンドに接地するためのスイッチとして働く。

増幅回路アレイはトランジスタばらつきの評価のために同じトランジスタ構造を持っている。一方でミスマッチに対して性能のセンシティブリティを評価するために、増幅回路を構成するトランジスタはチャネル面積やそのレイアウトを何種類か用意している。増幅回路アレイの中で、唯一選択された増幅回路について入力信号端子が外部測定器に接続され、その他の増幅回路の入力端子はグラウンドに接地される。

負荷MOS、バイアス回路、テール電流源、選択スイッチは高電圧I/Oトランジスタにより設計することにより、対象トランジスタ以外のばらつきを抑制し、またディープN ウェルで覆うことにより基板ノイズの影響を除いている。設計の都合上、差動増幅回路の電源電圧は 3.3 V であるが、入力トランジスタなどの低電圧デバイスへは 1.0 V を超える電圧がかからないように設計されている。

Ⅲ-2-I-③-(2)-図 2)-2-2-1-5 は評価対象の差動増幅回路、オンチップモニタの基板観測点、GSGパッドからの基板ノイズ注入ブロックのレイアウトである。外部信号源からプロービングにより導入されたノイズは、増幅回路から $56 \mu\text{m}$ 離れたp+拡散よりシリコン基板に注入される。基板注入点と増幅回路の間には基板ノイズ観測点があり、後述するオンチップモニタによりこの点の基板の電圧振幅が取得される。このノイズ注入手法の場合、シリコン基板のインピーダンスによって基板ノイズ注入点での電圧振幅が変化してしまうが、オンチップモニタを用いて基板観測点での電圧振幅が観測可能であるため、この基板感度での電圧振幅を用いて基板ノイズを評価することが可能である。また、Ⅲ-2-I-③-(2)-図 2)-2-2-1-6 に示すように、高周波信号が注入可能なGSGプロービングは複数

のアンプ間で共有している。

オンチップモニタの構成とレイアウト

増幅回路の対象ノードを捕捉し、連続時間波形検出を実現するオンチップモニタ回路をⅢ-2- I -③-(2)-図2)-2-2-1-7 に示す。このモニタ回路は2 つの入力チャンネルを持っており、モニタの入力負荷によるミスマッチがないように回路的にもレイアウト的にも対称に設計され、選択信号のSEL1とSEL2により入力チャンネルの一つが活性化すると、もう一方は完全にカットオフする。このモニタ回路は3.3 V の高電圧I/O トランジスタが使用されており、評価電圧範囲を隙間なく測定できるようになっている。

Ⅲ-2- I -③-(2)-図2)-2-2-1-8 に示すようにアレイ上に配置された複数のモニタ回路が単一のカレントミラー回路と出力パッドを共有する。入力フロントエンドのソースフォロアは対象ノードの電圧変動を検出し、電圧のレベルシフトを行う。ソースフォロアの出力電圧は電圧電流変換回路により電流に変換されカレントミラーを通してオフチップに出力され、終端抵抗上の電圧をオシロスコープにより検出される。アンペアレイ毎にオンチップモニタ回路は機能的に共有されている。

オンチップモニタ回路による評価対象ノードは増幅回路の、入力信号、出力信号、差動対のソース電位、電源、グラウンド、基板である。各ノードで電圧レベルが異なるため、評価する電圧レベルに合わせて、次のようなオンチップモニタを準備している。ここで、検出フロントエンドであるソースフォロアの出力レベルを合わせることで、後段のソース接地増幅段と出力バッファであるカレントミラーを共通化することができる。

(入力・出力信号検出用オンチップモニタ)

増幅回路の入出力信号の中心電圧は0.8 Vであり、オンチップモニタのフロントエンドはPch のソースフォロアをNch のソースフォロアの2 段構成使用する。また、差動対の対称性を壊さないため、オンチップモニタの入力負荷を等しくしなければならない。そのため入力チャンネルが2 つあり、対称に設計、レイアウトされている。

(グラウンド電圧検出用オンチップモニタ)

増幅回路のグラウンドや基板の中心電圧は0.0 Vであり、オンチップモニタのフロントエンドは2 段のPch ソースフォロアを使用し、電圧レベルをシフトアップさせる。

(Va 電位検出用オンチップモニタ)

入力差動対のソース電位(Va) の中心電位は0.3 Vであり、オンチップモニタのフロントエンドはグラウンド電圧検出用オンチップモニタと同様、2 段のPch のソースフォロアを使用するが、出力電圧を他のオンチップモニタと同じレベルにするため、バイアス回路のサイズやバイアス電圧は異なる。

(電源電圧用オンチップモニタ)

増幅回路の電源電位の中心電圧は3.3 Vであり、オンチップモニタのフロントエンドは2 段のNch ソースフォロアにより、電圧レベルをシフトダウンさせる。

増幅回路とオンチップモニタの詳細な接続はⅢ-2- I -③-(2)-図2)-2-2-1-4 のとおりである。差動増幅回路の電源(Vdd)、グラウンド(Vss)、基板 (Vpsub)、およびいくつかの中間電圧レベル(出力、入力、入力トランジスタのソース電位(V_s)、等)に観測点が設けてある。このオンチップモニタの入力

電圧範囲は中心電圧±200 mV であるため、対象とする電圧帯に応じて複数種類のオンチップモニタを使用している。また増幅回路の入出力の観測点はスイッチマトリクスの内側にあり、スイッチや配線などの寄生インピーダンスを含まない増幅回路の素の特性が評価可能である。

ノイズ注入系

基板ノイズを発生させる方法として、デジタルノイズ源を動作させる方法、基板コンタクトを持つ配線にチップ外部から I/O を通してノイズを導入する方法など様々な方法が考えられるが、アナログ回路の基板ノイズ感度の周波数応答を評価する場合は正弦波の基板ノイズを発生させる必要がある。そこで本開発では、チップ内に設けた GSG パッドにプロービングを行い、チップ外部の信号源から GSG パッドと基板コンタクトを介してノイズを直接注入する方法と、信号源から GSG パッドを通して導入したノイズを、バッファアンプを介して評価対象の回路へ分配する方法の 2 つを用いた。ここで、GSG パッドからの直接注入はⅢ-2- I -③-(2)-図 2)-2-2-1-5 のとおりである。

他方、バッファアンプからの分配注入はⅢ-2- I -③-(2)-図 2)-2-5-1-1 のとおりであり、2)-2-5-1 章を参照されたい。

測定システムのテストモード

Ⅲ-2- I -③-(2)-図2)-2-2-1-3の測定システムは3つの動作モードを持っており、マトリクス上の各増幅回路は状態レジスタにより適切かつ機械的に設定することができる。

(DC測定モード)

Ⅲ-2- I -③-(2)-図2)-2-2-1-9のDC測定モードでは、差動対のI-V 特性を測定でき、それぞれのトランジスタのI-V 特性により V_{th} が導出される。増幅回路の入力ノードとそれに対応した出力ノードの一つ、すなわち、M1かM2トランジスタのどちらかのゲートやドレイン電極は、それぞれ半導体パラメータアナライザ(4155C) のソースメジャーユニット(SMU) にそれぞれ接続されている。ショートスイッチM7は差動対のソースノードをグラウンドに深くバイアスしている。M3, M4, M5とM6はバイアス回路により完全にカットオフしている。オンチップモニタは選択された対象のトランジスタのゲート、ドレイン、ソース電圧を検出することができる。同図ではM1トランジスタ評価時の評価システムの設定と外部測定器との接続について示す。スイッチのオン抵抗を抵抗素子で表している。

(AC測定モード:信号利得の測定)

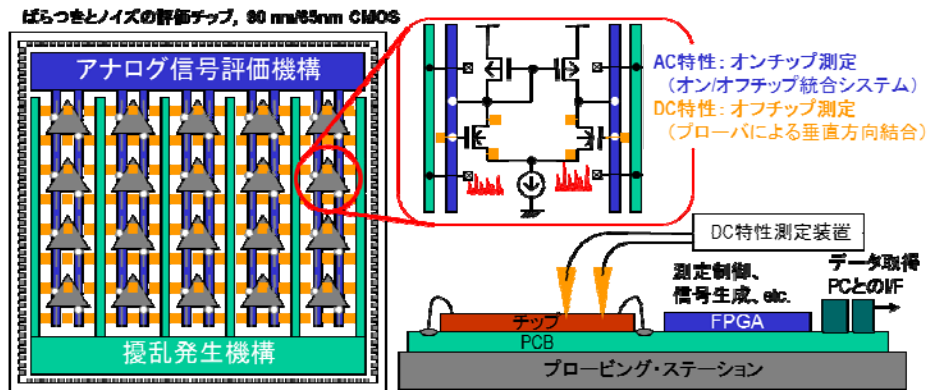
Ⅲ-2- I -③-(2)-図2)-2-2-1-10に、差動増幅回路のAC測定評価時の測定システムの構成と外部測定器との接続について示す。AC 測定モードでは増幅回路のAC 特性を測定することができる。増幅回路の入力は外部測定器(AWG)に接続され、差動信号が入力される。入出力ノードにおける信号波形はオンチップモニタにより検出される。この時、スイッチM7はカットオフ状態である。

ここで、増幅回路の出力はオンチップモニタで検出せず、外部へ直接出力させることも可能としている(Output モード)。

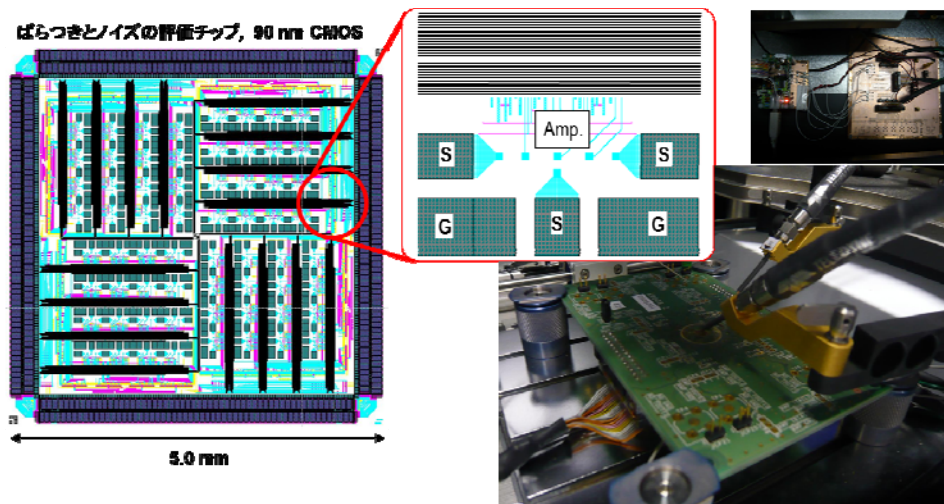
(AC測定モード:基板感度の測定)

Ⅲ-2- I -③-(2)-図2)-2-2-1-11に、基板に信号を注入しその信号に対する差動増幅回路の応答を測定する構成を示す。スイッチやモニタ回路のセットアップは前項の信号利得評価時と似ているが、信号発生器(AWG) から入力されたサイン波はP+拡散からシリコン基板へ注入され、オンチップモニタにより近傍の基板の電位変動および、差動増幅回路の出力波形を取得する。

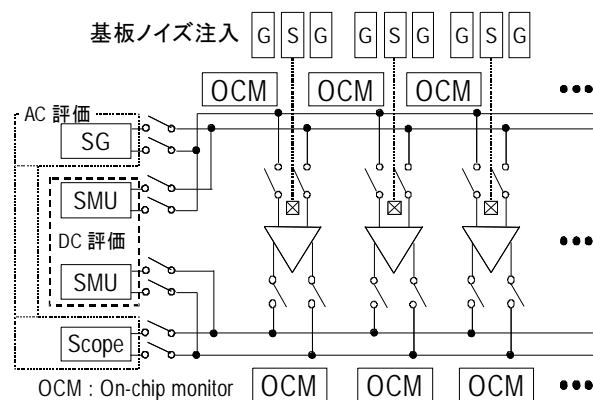
DC 測定モードにおける V_{th} とAC 測定モードにおけるAC 特性に加えて、バイアス電圧や入出力ノードのオフセット電圧、電源電圧やグラウンド電圧のIRドロップなどの増幅回路の動作状況は評価信頼性のために絶えずチェックされている。



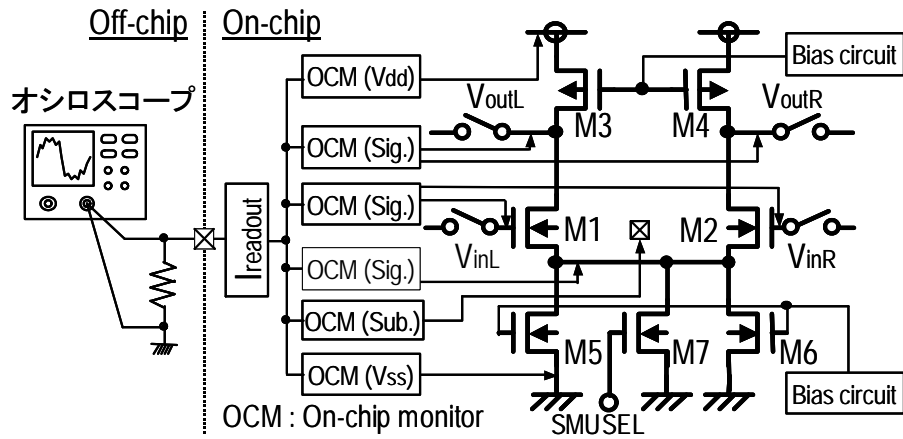
III-2-I-③-(2)-図2)-2-2-1-1: アナログ回路における「ばらつきとノイズ感度」のその場評価システムの構成イメージ。



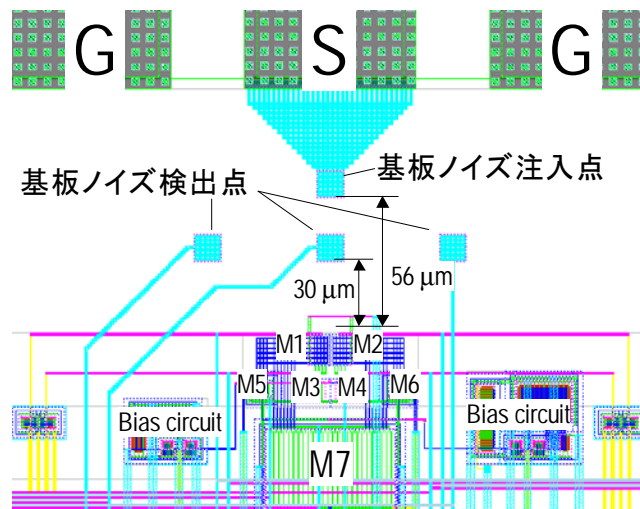
III-2-I-③-(2)-図2)-2-2-1-2: アナログ回路における「ばらつきとノイズ感度」のその場評価を実現する測定システムの外観とテストチップの構成例。



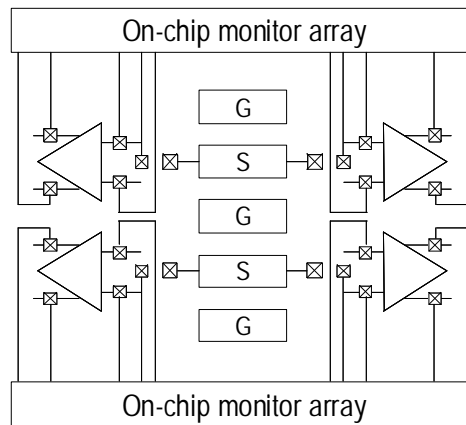
III-2-I-③-(2)-図2)-2-2-1-3: 増幅回路マトリクス及びDC成分・AC成分のその場評価システムの構成。



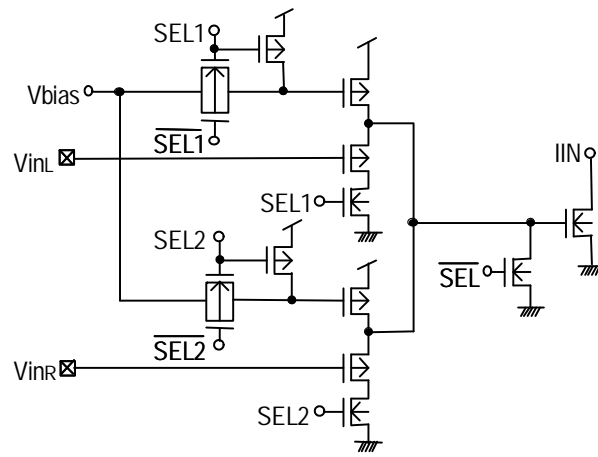
III-2-I-③-(2)-図2)-2-2-1-4: 差動増幅回路のオンチップモニタと外部測定器との接続。



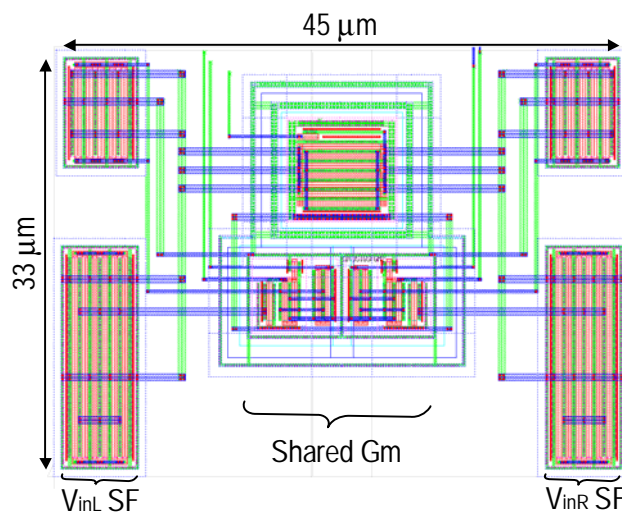
III-2-I-③-(2)-図2)-2-2-1-5: 差動増幅回路のレイアウト図。



III-2-I-③-(2)-図2)-2-2-1-6: モニタ回路とプローブ配線を含めた信号注入パッドを共有したアンプアレイの配置イメージ図。

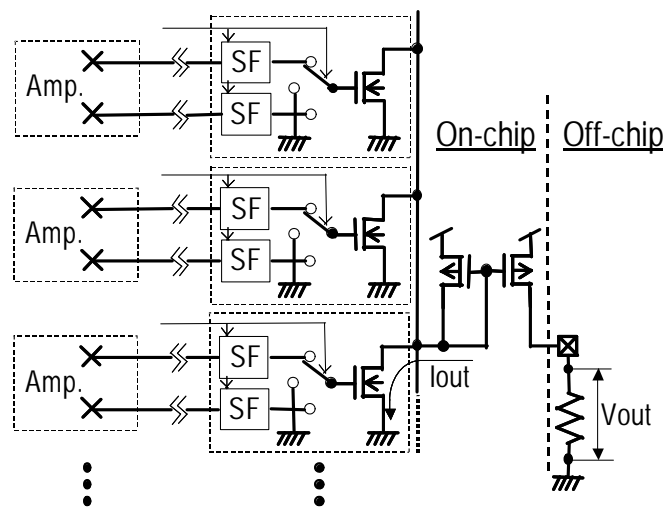


(a)

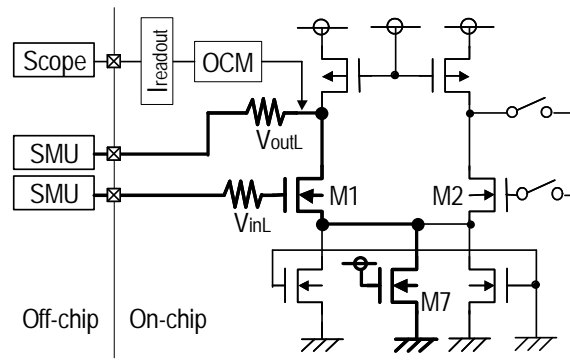


(b)

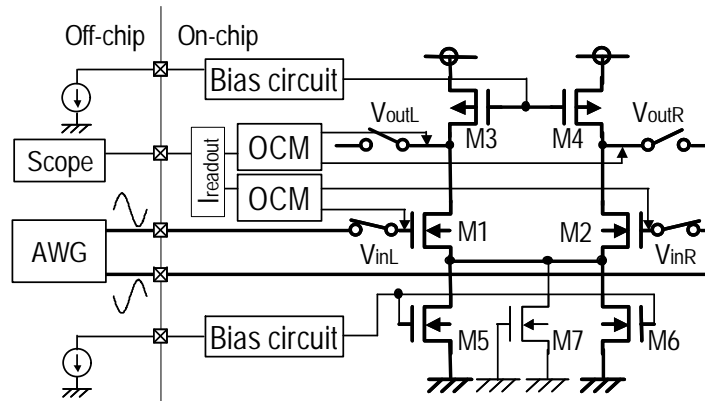
Ⅲ-2-I-③-(2)-図2)-2-2-1-7: 2チャンネルオンチップモニタ回路, (a) 回路図(b)レイアウト図。



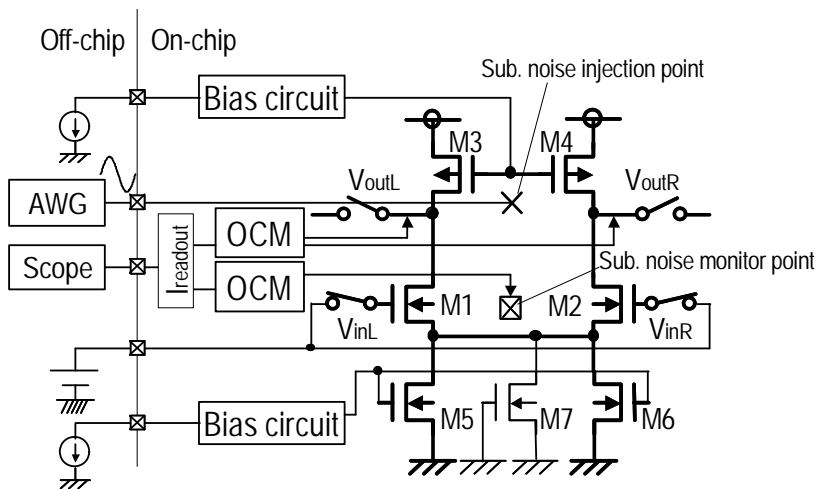
Ⅲ-2-I-③-(2)-図2)-2-2-1-8: オンチップモニタ回路の多チャンネル化。



Ⅲ-2-I-③-(2)-図2)-2-2-1-9: 差動対トランジスタのDC測定評価系。



Ⅲ-2-I-③-(2)-図2)-2-2-1-10: 差動増幅回路の信号利得評価系。



Ⅲ-2-I-③-(2)-図2)-2-2-1-11: 差動増幅回路の基板感度評価系。

2)-2-2-2 増幅回路のその場評価チップ設計

このテストシステムを評価するため、増幅回路マトリクスとオンチップモニタを実装したhp130nm (90nmノード) 及びhp90nm (65nmノード) CMOSテストチップを、合計3品種開発した。いずれのテストチップも、連続時間オンチップモニタ回路と評価対象である増幅回路群から構成されており、オンチップモニタ回路は3.3 V I/O デバイスを使用し、増幅回路の差動対とテール電流源は1.0 V コアデバイスを使用し、それ以外の負荷トランジスタやバイアス回路には3.3 Vデバイスを使用した。

hp130nm (90nmノード) CMOS技術によるテストチップ(Chip #1、Chip #3)

基板ノイズ感度の被評価対象を差動及び単相の増幅回路とし、そのトランジスタサイズやレイアウト構造の異なる増幅回路をアレイ状に搭載したテストチップを、hp130nm(90nm ノード) CMOS テクノロジーを用いて設計・試作した。これらのテストチップの概要をⅢ-2-I-③-(2)-表 2)-2-2-2-1 にまとめており、それぞれのテストチップは Chip #1 と Chip #3 と表記することとする。また、2 つのテストチップをⅢ-2-I-③-(2)-図 2)-2-2-2-1 とⅢ-2-I-③-(2)-図 2)-2-2-2-2 にそれぞれ示す。

いずれのチップも 5.0 mm 角の大きさで、その 1/4 面相当の評価領域に 4×4 の評価ブロックがあり、1 ブロック当たりそれぞれ構造の異なる 16 種類の増幅回路を評価できるアレイ構造とした。オンチップモニタはこの評価領域と I/O リングとの間に配置され、増幅回路の端子を観測するための配線はノイズ感度評価に影響が出ないよう慎重に配線されている。この 2 つのテストチップの詳細な仕様を次に示す。

Ⅲ-2-I-③-(2)-表 2)-2-2-2-1: hp130nm(90nm ノード) CMOS テストチップの概要

	Chip #1	Chip #3
テクノロジー	hp130nm(90nm ノード) CMOS	hp130nm(90nm ノード) CMOS
ウェル	トリプルウェル	トリプルウェル
チップサイズ	5.0 mm×5.0 mm	5.0 mm×5.0 mm
搭載増幅回路数	50 種類 64 回路 (校正用ダミー等含む)	32 種類 73 回路 (校正用ダミー等含む)
増幅回路ブロック構成	4 回路で 1 ブロック	16 回路で 1 ブロック (制御は 4 回路単位)
拡散付ダミーゲート	無	有
標準しきい値ばらつき	4.3 mV	10 mV - 15 mV
ノイズ注入方式	GSG パッドからの直接注入	バッファアンプを用いた分配注入 (上半面)、 GSG パッドからの直接注入 (下半面)
注入点の共有	無	有
対向グラウンドパッド	無	有
ガードバンド構造	I-I 字型	U 字型
ボンディング	4:1 ボンディング	全ピンボンディング (外周 IO のみ使用)

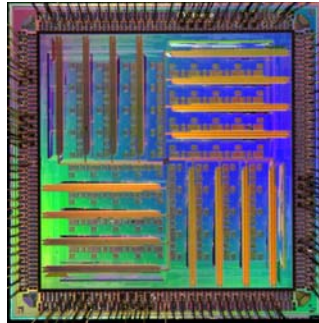
hp90nm(65nmノード) CMOS技術によるテストチップ(Chip #2)

本開発で確立している「ばらつきとノイズ感度」のその場評価技術の普遍性を検証し、またアナログ基本回路における基板ノイズ感度の理解を深めることを目的に、被評価対象を差動及び単相の増幅回路とし、そのトランジスタサイズやレイアウト構造の異なる増幅回路をアレイ状に搭載したテストチップを、hp90nm(65nm ノード) CMOS テクノロジーを用いて設計・試作した。これらのテストチップの概要をⅢ-2-I-③-(2)-表 2)-2-2-2-2 にまとめており、このテストチップは Chip #2 と表記することとする。また、テストチップをⅢ-2-I-③-(2)-図 2)-2-2-2-3 に示す。

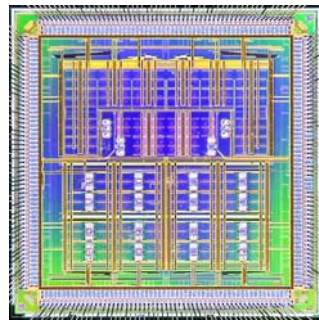
本チップは 4.2 mm 角の大きさで、その 1/4 面相当の評価領域に 4×4 の評価ブロックがあり、1 ブロック当たりそれぞれ構造の異なる 16 種類の増幅回路を評価できるアレイ構造とした。オンチップモニタはこの評価領域と I/O リングとの間に配置され、増幅回路の端子を観測するための配線はノイズ感度評価に影響が出ないよう慎重に配線されている。この 2 つのテストチップの詳細な仕様を次に示す。

Ⅲ-2- I -③-(2)-表 2)-2-2-2-2: hp90nm (65nm ノード) CMOS テストチップの概要

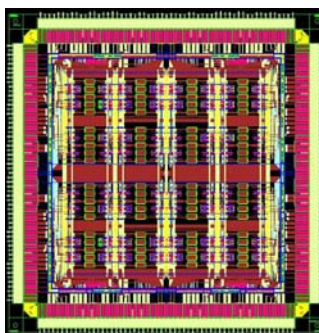
	Chip #2
テクノロジー	hp90nm (65nm ノード) CMOS
ウェル	トリプルウェル
チップサイズ	4.2 mm×4.2 mm
搭載増幅回路数	48 種類 64 回路 (校正用ダミー等含む)
増幅回路ブロック構成	4 回路で 1 ブロック
拡散付ダミーゲート	有
標準しきい値ばらつき	4.3 mV
ノイズ注入方式	GSG パッドからの直接注入
注入点の共有	有
対向グラウンドパッド	有
ガードバンド構造	U 字型
ボンディング	全ピンボンディング



Ⅲ-2- I -③-(2)-図 2)-2-2-2-1: テストチップ写真(Chip #1)



Ⅲ-2- I -③-(2)-図 2)-2-2-2-2: テストチップ写真(Chip #3)



Ⅲ-2- I -③-(2)-図 2)-2-2-2-3: テストチップ写真(Chip #2)

2)-2-2-3 測定評価結果

本節では、アナログ基本回路における「ばらつきとノイズ感度」のその場評価技術に関して、hp130nm(90nmノード) CMOS技術によるテストチップ(Chip #1)の実験結果について述べる。この他のテストチップについては、基板ノイズ感度の解析や、ノイズ耐性に関する考察とあわせて、後章にて論じる。

オンチップモニタ

Ⅲ-2-I-③-(2)-図2)-2-2-3-1に、入出力信号用オンチップモニタ回路のDC特性の実測結果を示す。入力電圧範囲はアナログコモンモード電圧の0.8 Vを中心に± 200 mVをカバーしている。またⅢ-2-I-③-(2)-図2)-2-2-3-1には実測波形の測定例も示している。各モニタチャンネルは外部入力からモニタ回路に直接与えられた正弦波による実測結果により個別にキャリブレーションされる。

Ⅲ-2-I-③-(2)-図2)-2-2-3-2に、100 MHz の正弦波を入力した時の周波数スペクトラムを示す。SFDRは54.7dB あり、対象増幅回路を評価するのに十分なダイナミックレンジを有している。このオンチップモニタ回路の設計帯域はおよそ0.8 GHzである。

差動増幅回路

Ⅲ-2-I-③-(2)-図2)-2-2-3-3に、差動対個々のトランジスタにおけるI-V特性の測定結果を示す。異なるドレイン電圧Vdsを与え、ゲート電圧Vgsのスweepをさせた時のドレイン電流Idsの測定結果を示している。しきい値電圧Vthは単位チャンネル面積当たりには流れるある一定の電流値をもとにプロットされている。

オンチップモニタは増幅回路を構成する差動対のVgsやVdsの電位変動を評価することで、I-V特性の測定信頼性を向上させている。ドレイン電流が大きい時、スイッチトランジスタのオン抵抗、配線やケーブルの寄生抵抗によりドレイン電圧やソース電圧を大幅にドロップさせている。

Ⅲ-2-I-③-(2)-図2)-2-2-3-4に、Ids-Vds特性測定時のドレイン-ソース電圧の検出波形を示す。ゲート電圧が高くなるにつれてVdsが抑えられているのが分かる。一方でM7によりソースノードはグラウンドに深くバイアスされているためVgsは期待値からそれほど外れてはいない。同図におけるVdsは、オンチップモニタ回路の測定結果にもとづいて計算された実効的なVdsである。

同じ増幅回路のAC特性をⅢ-2-I-③-(2)-図2)-2-2-3-5に示す。これは外部測定器から入力された信号の周波数に対する増幅回路のゲインをプロットしている。増幅回路の出力を直接出力するのに対してオンチップでモニタすることは周波数制限を大幅に軽減している。入力信号と出力信号の両方を外部で測定した場合は、出力経路に寄生するRC成分により実効的な周波数帯域は大幅に小さくなる一方で入出力をオンチップモニタで観測する場合は、数百MHzまでの周波数において適切に測定できている。

Ⅲ-2-I-③-(2)-図2)-2-2-3-6にシリコン基板に信号を注入したときの基板で捕捉された信号振幅と出力のAC 応答を示す。シリコン基板の入力インピーダンスと信号源の出力インピーダンスの大幅な乖離により、基板信号注入の実効帯域は大幅に制限される。基板注入した時の不要な共振により、安定した基板感度(Gsub) 測定が妨げられている。しかし、10 MHz 以下の低周波付近におけるGsub のAC 応答はフラットであり、適切に差動増幅器を動作させた時の差動対トランジスタのその場基板応答を正しく評価可能である。ここで対象とした増幅回路の基板感度はおよそ-12 dBであり、10 MHz程度までは容量結合の影響を受けずにほぼ一定の感度であることがわかる。本開発で以

降示す実測結果は、シリコン基板へのノイズ注入は約10 MHzまでを対象としたが、基板ノイズを注入し観測するこの評価系全体は、100 MHzを超える周波数での評価も可能である。

チャンネル幅の異なるトランジスタを用いた増幅回路におけるトランジスタ個々の V_{th} と増幅回路のAC特性の関係をⅢ-2-I-③-(2)-図2)-2-2-3-7に示す。差動対トランジスタ間の V_{th} はよくマッチングが取れており、またそれと同時に各増幅回路における左右のゲイン差もほとんどないことが分かる。

意図的に非対称な差動増幅回路

差動増幅回路の動作に対するトランジスタミスマッチの影響を評価するために意図的に非対称性を持たせた差動増幅回路を併せてテストチップに実装した。Ⅲ-2-I-③-(2)-図2)-2-2-1-2におけるM1を左、M2を右のトランジスタとし、Ⅲ-2-I-③-(2)-図2)-2-2-3-8のイメージ図やレイアウト図に示すように、左右で異なるチャンネル長やウェル構造の回路を設計した。測定した特性は基準として設計された対称的な差動増幅回路と比較した。

これらの増幅回路は、Ⅲ-2-I-③-(2)-表2)-2-2-3-1に示した#1および#17～#21である。表の中で対称性を持った標準アンプは#1に示したアンプである。もう一つの対称な増幅回路である#18は差動対であるNチャンネルトランジスタをトリプルウェルで覆っている。一方で、#17の非対称増幅回路は右(M2)のトランジスタだけトリプルウェルで覆われている。他の非対称アンプである#19, 20, 21に関しては左トランジスタより右トランジスタを意図的に大きなチャンネル長で構成している。

差動対左右のトランジスタ間の V_{th} の差をⅢ-2-I-③-(2)-図2)-2-2-3-9に示す。#1, 17, 18はトランジスタサイズが同じで対称的に設計されているため、差動対の左右でほとんど差はない。一方、意図的に非対称の#19, 20, 21はトランジスタサイズが大きくなるにつれて V_{th} の差も大きくなっている。

Ⅲ-2-I-③-(2)-図2)-2-2-3-9には、増幅回路のACゲインの実測結果も示している。左トランジスタのゲイン G_{left} はアンプ間でほとんど差はないことが分かる。一方で、左右のチャンネルのゲイン差であるコモンモードゲイン G_{cm} はトランジスタのミスマッチに対して非常にセンシティブであり、非対称アンプにおいて非常に劣化しているのが分かる。マッチングの取れた増幅回路の G_{cm} は-24dB以下であることが期待される。反対にミスマッチのある増幅回路は G_{cm} の値が大きくなっており、左右の差動対に異なるサイズを用いた増幅回路の G_{cm} がゲイン応答で重要であり、大きなミスマッチを持つ。

意図的なミスマッチはⅢ-2-I-③-(2)-図2)-2-2-3-10に示すように、基板感度 G_{sub} にも影響を与えている。右チャンネルの G_{sub} は最大サイズのトランジスタにおいて最大を取っており、ほぼ線形に大きくなっている。一方で、ディープNウェルで覆われている入力チャンネルは容量分離されているため、低周波域における基板雑音に対する感度はほとんど無い。

Ⅲ-2-I-③-(2)-図2)-2-2-3-10には、 G_{sig} と G_{sub} の関係も示している。これを見て明らかのように、信号利得が高ければ基板感度も高いという相関があることが分かる。基本的な関係を次式のように表すことができる。

$$G_{sub} \approx -g_{mb} \cdot R_{out} \approx -\frac{\gamma}{2} \sqrt{\frac{1}{2\Phi + V_{bs}}} \cdot G_{sig}$$

ここで観測された G_{cm} や G_{sub} はまだトライアルではあるが、DC測定での V_{th} とAC測定でのゲイン応答及び基板感度のその場評価システムがアナログ回路の動作に対するミスマッチの影響評価において明らかに有効であることを示した。

増幅回路

hp130nm(90nmノード) CMOS技術によるテストチップ(Chip #1)に搭載した増幅回路は、全差動の増幅回路と、単相の増幅回路の大きく分類して2種類である。それぞれの増幅回路はトランジスタばらつきの評価のために同じトランジスタ構造を持っており、一方で前述のようにミスマッチや基板感度に対してデバイス応答、回路応答を評価するために、増幅回路を構成するトランジスタはチャンネル面積やそのレイアウトを何種類か用意している。また、基板雑音の伝播に対する応答を評価するために、基板ガードバンドを差動対の両端に用意し、フローティング可能な様にした。

Ⅲ-2-I-③-(2)-表2)-2-2-3-1に実装した差動増幅回路の評価回路リストを示す。#1 から#16 は左右対称な全差動の増幅回路である。#17 は差動対右側のトランジスタのみトリプルウェル構造であり、#18 は差動対両側のトランジスタがトリプルウェル構造である。#31 と#32 は差動対の距離が離れており#31 は50 μm 、#32 は100 μm 離れている。

また、差動増幅回路だけでなく、単相増幅回路も同時に実装した。Ⅲ-2-I-③-(2)-表2)-2-2-3-2に実装した単相増幅回路の評価回路リストを示す。

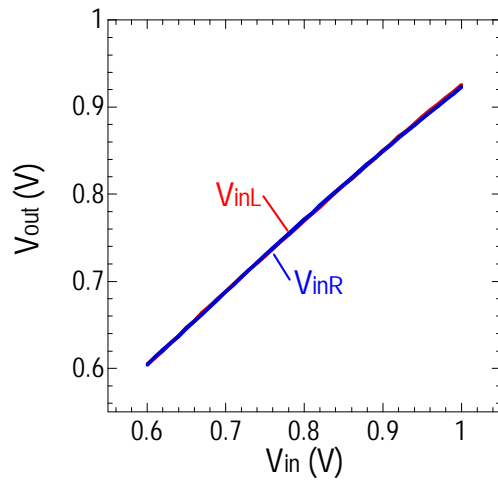
Ⅲ-2-I-③-(2)-表2)-2-2-3-1: 差動増幅回路の差動対トランジスタのサイズ。

Amp. ID	チャンネル長 (・m)	チャンネル幅 (・m)	フィンガー数	特徴
#1	0.10	11.45	8	
#2	0.10	11.45	16	
#3	0.10	11.45	4	
#4	0.10	11.45	2	
#5	0.10	11.45	1	
#6	0.10	5.58	1	
#7	0.10	5.58	16	
#8	0.10	2.66	32	
#9	0.10	1.33	64	
#10	0.10	0.63	128	
#11	0.10	0.27	256	
#12	0.11	16.56	8	
#13	0.12	20.91	8	
#14	0.15	24.68	10	
#15	0.20	26.86	14	
#16	0.40	28.83	28	
#17	0.10	11.45	8	意図的 非対称 設計 (4.4.3)に 記載
#18	0.10	11.45	8	
#19	0.10/0.11	11.45	8	
#20	0.10/0.12	11.45	8	
#21	0.10/0.15	11.45	8	
#22	0.10/0.11	11.45/16.56	8	
#23	0.10/0.12	11.45/20.91	8	

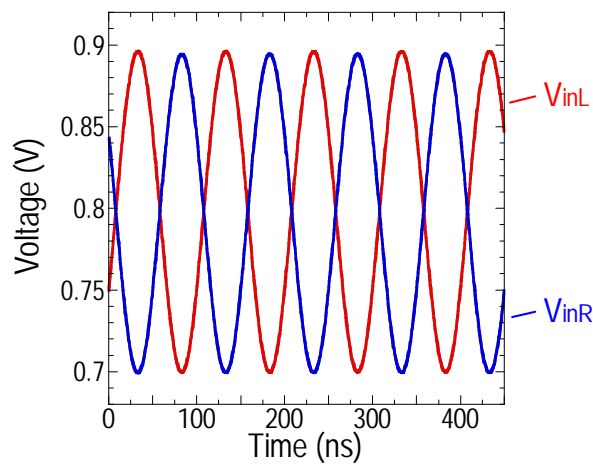
#24	0.10/0.15	11.45/24.68	8/10	
#25	0.10	11.45	8	テール電流 源がツインウ ェル構造
#26	0.10	11.45	16	
#27	0.10	11.45	4	
#28	0.10	11.45	2	
#29	0.10	11.45	1	
#30	0.10	5.58	1	
#31	0.10	11.45	8	本文に 記載
#32	0.10	11.45	8	

Ⅲ-2-I-③-(2)-表2)-2-2-3-2: 単相増幅回路の入カトランジスタのサイズ。

Amp. ID	チャンネル長 (・m)	チャンネル幅 (・m)	フィンガー数
#1	0.10	2.77	8
#2	0.10	2.77	16
#3	0.10	2.77	4
#4	0.10	2.77	2
#5	0.10	2.77	1
#6	0.10	1.44	1
#7	0.10	1.44	16
#8	0.10	0.76	32
#9	0.10	0.4	64
#10	0.10	0.26	96
#11	0.10	0.15	128
#12	0.11	3.59	8
#13	0.12	4.22	8
#14	0.15	5.84	8
#15	0.20	8.43	8
#16	0.40	18.76	8

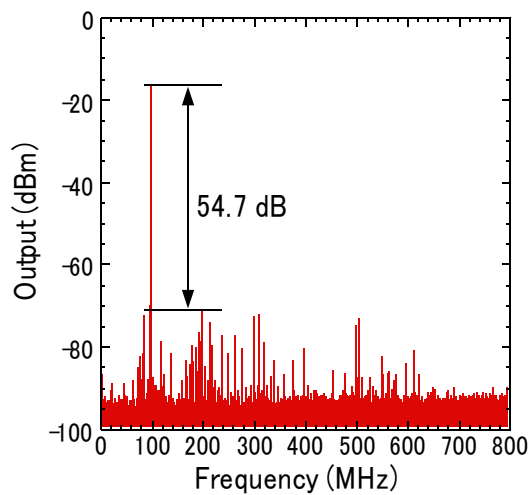


(a)

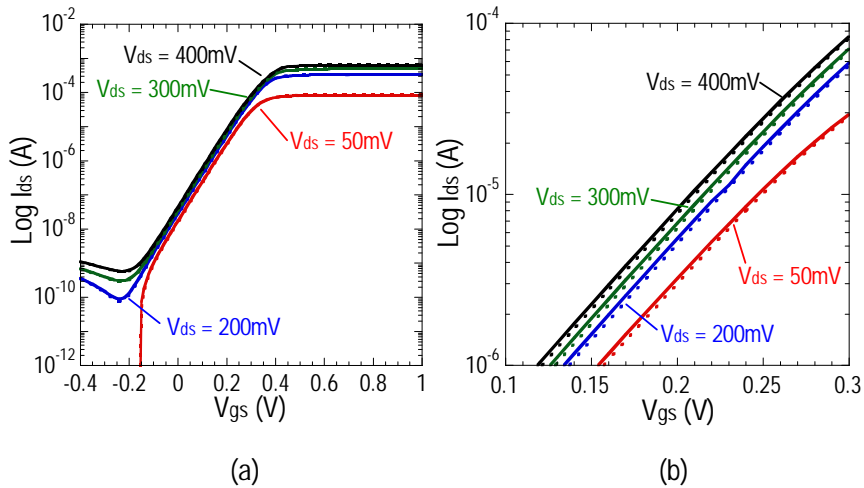


(b)

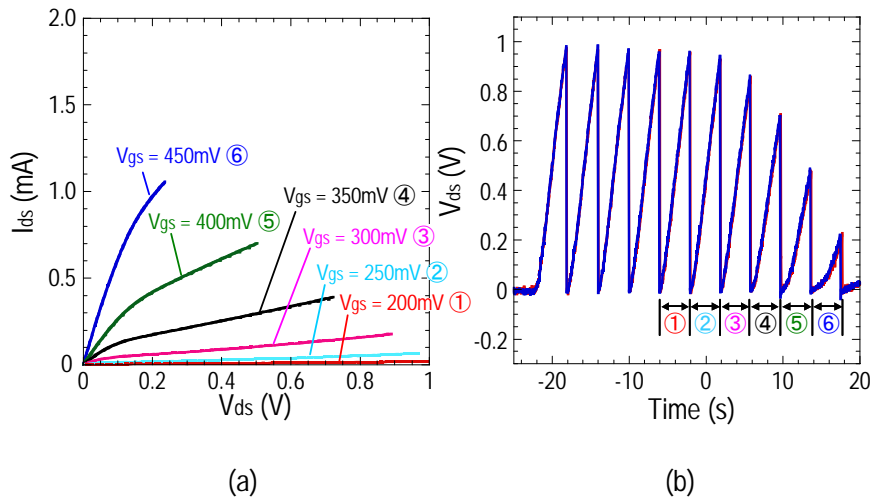
Ⅲ-2-I-③-(2)-図2)-2-2-3-1: オンチップモニタ回路の実測結果(a) DC特性(b) 実測波形。



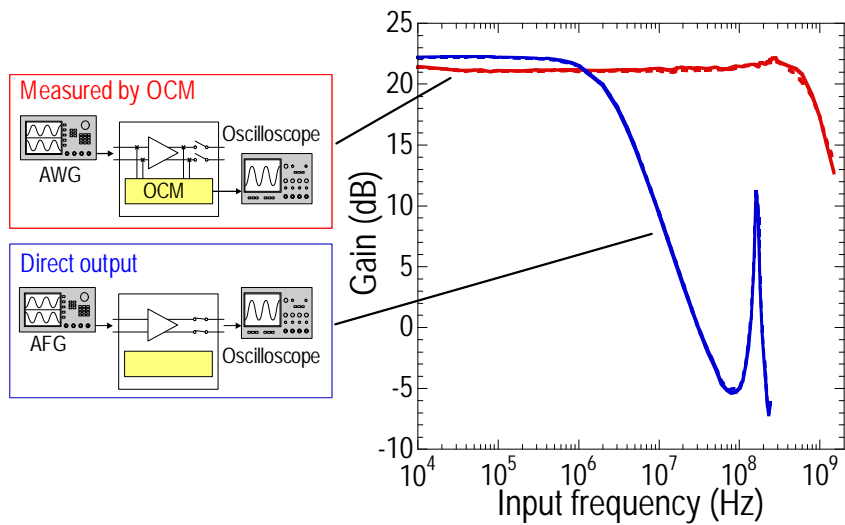
Ⅲ-2-I-③-(2)-図2)-2-2-3-2: オンチップモニタ回路の周波数スペクトラム。



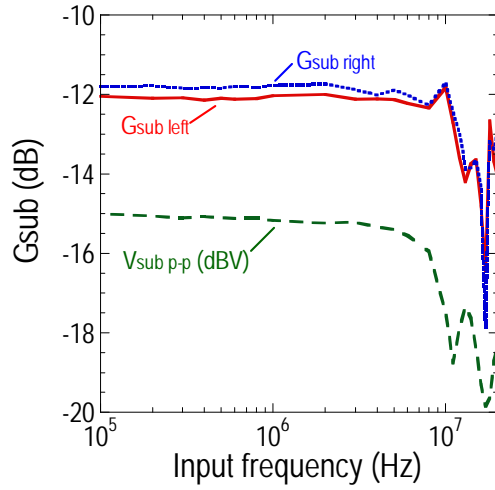
III-2-I-③-(2)-図2)-2-2-3-3: 差動対の I_{ds} - V_{gs} 特性評価、(a) I_{ds} - V_{gs} 特性、(b) V_{th} 付近の拡大図。



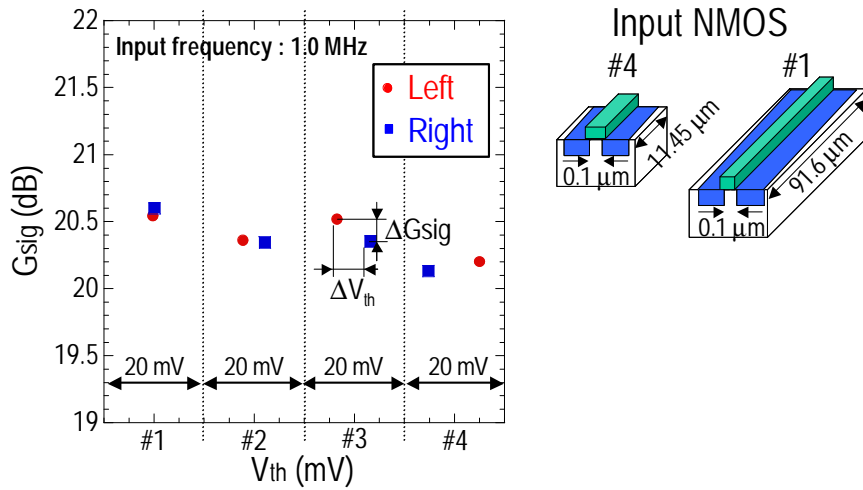
III-2-I-③-(2)-図2)-2-2-3-4: (a) I_{ds} - V_{ds} 特性、(b) V_{ds} をスイープさせたときの実効的なドレイン電圧の観測波形。



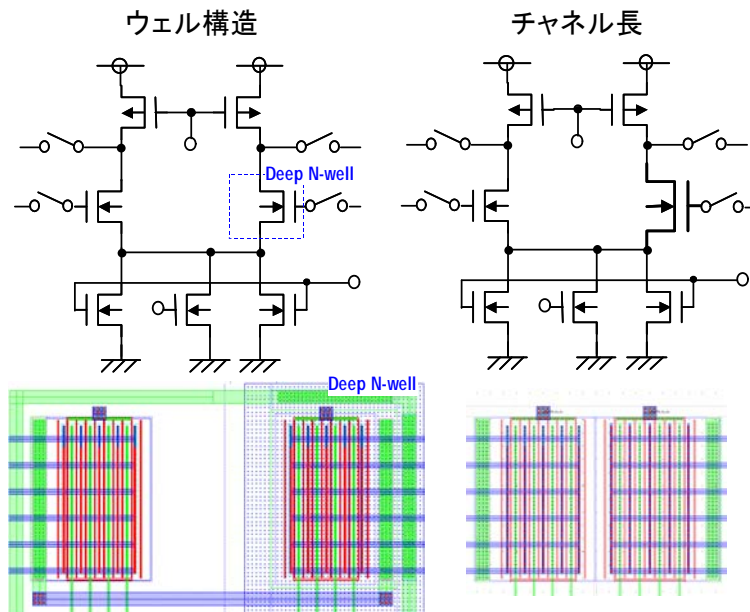
III-2-I-③-(2)-図2)-2-2-3-5: 差動増幅回路のAC応答評価。



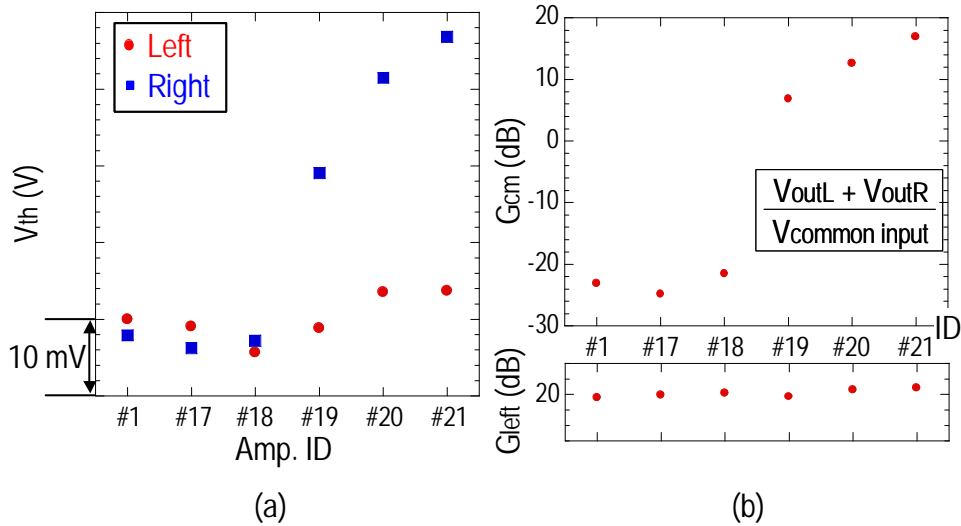
III-2-I-③-(2)-図2)-2-2-3-6: 基板へAC信号注入時の基板振幅と差動増幅回路の基板感度。



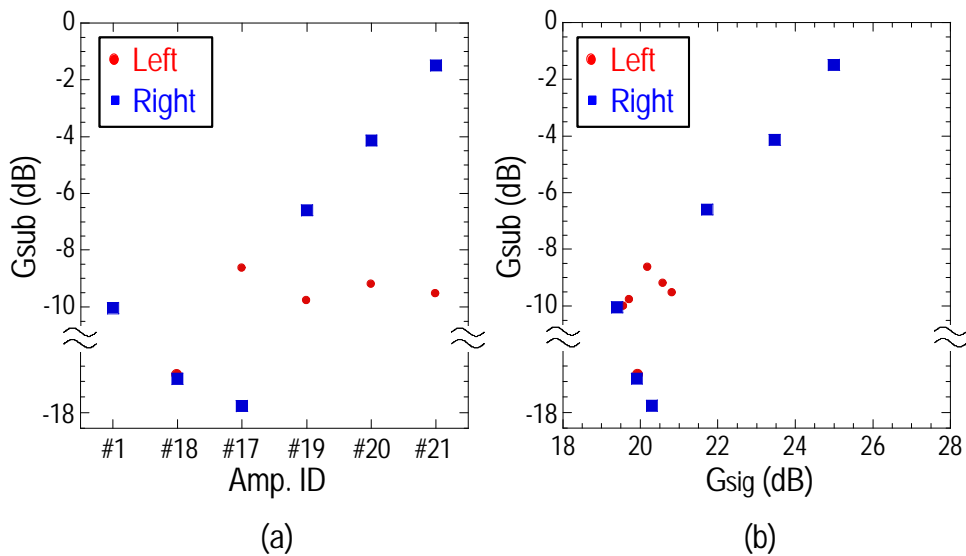
III-2-I-③-(2)-図2)-2-2-3-7: 異なるチャネル幅を持つ差動増幅回路の V_{th} とAC利得の関係。



III-2-I-③-(2)-図2)-2-2-3-8: 差動対トランジスタに意図的の非対称性を持たせた差動増幅回路。



III-2-I-③-(2)-図2)-2-2-3-9: 意図的非対称性を差動対に持たせた差動増幅回路の評価結果、(a) V_{th} 、(b) AC 利得



III-2-I-③-(2)-図2)-2-2-3-10: 実測した(a) 各増幅器の基板感度(G_{sub})、(b) 信号利得(G_{sig})と基板感度の相関。

2)-2-2-4 まとめ

差動対個々のトランジスタのDC特性と増幅回路のAC応答及び基板電位変動を連続時間型オンチップモニタ回路を活用することによって評価可能なその場評価システムを構築した。この評価システムが実装されたhp130nm (90nmノード) CMOSテクノロジーのテストチップを開発し、プローバを用いて基板に直接信号を注入可能な評価環境を構築した。増幅回路における V_{th} とAC利得、基板感度の相関性を評価し、差動対のミスマッチ量と同相信号除去効果の劣化を実験的に評価した。また、テストチップの異なる点に同じ回路構造、レイアウトの増幅回路を実装し、評価することによって、チップレベルの基板結合の差が基板感度に大きく影響することが判明した。

提案する技術はサブ100 nm テクノロジーでのマイクロテストストラクチャにおけるアナログ回路のAC応答などの性能に対する、デバイスミスマッチの影響とダイナミックな環境擾乱を統計的に評価する

ことに有効であることを示した。

2)-2-3 アナログ基本回路における「ばらつきとノイズ感度」の測定と解析

2)-2-3-1 アナログ回路の基板ノイズ感度

基板ノイズ感度

本開発はアナログ回路の基板ノイズ感度、とりわけ差動増幅回路などのアナログ基本回路を対象とし、回路近傍で観測される基板ノイズの特定の周波数成分と回路の出力端で観測される同一成分の比率、すなわち伝搬係数を基板感度と呼ぶ。

Ⅲ-2-I-③-(2)-図 2)-2-3-1-1 に示すように、シリコン基板上に設けた観測点 p_2 でのノイズの電圧振幅 $V_{\text{sub}}(p_2)$ に対する回路出力端子 p_1 での電圧振幅 $V_{\text{out}}(p_1)$ を、以下のように基板感度 G_{sub} と定義する。ここで、トランジスタレベルの基板ノイズ感度に関して、ボディ電位による感度と容量結合による感度とを分離するため、本開発は低周波数域の基板ノイズ成分に着目することとし、前者について議論する。

$$G_{\text{sub}}(p_1, p_2) = 20 \log \left(\frac{V_{\text{out}}(p_1)}{V_{\text{sub}}(p_2)} \right) \quad [\text{dB}]$$

Ⅲ-2-I-③-(2)-図 2)-2-3-1-2 は、一般的な差動増幅回路の回路図である。ここでは、差動対を構成している M1 の基板感度について考察する。

シリコン基板を伝播する基板ノイズは、シリコン基板の抵抗によって電圧降下が発生する。そのため、アナログ回路を構成するトランジスタの応答を評価する場合、ノイズの発生点から対象とするトランジスタ真裏のボディまでの基板ノイズの減衰と、ボディの電圧変化に対するトランジスタ応答とを切り分ける必要がある。そこで、基板ノイズの発生点から評価対象のトランジスタ真裏までの伝達係数を α_{prpg} 、ボディの電圧変動に対するトランジスタの感度を β_{body} と定義した場合、基板感度 (G_{sub}) は、以下のように定義できる。

$$G_{\text{sub}}(p_1, p_2) = \alpha_{\text{prpg}}(p_2) \beta_{\text{body}}(p_1)$$

Ⅲ-2-I-③-(2)-図 2)-2-3-1-3(a) は伝播による基板ノイズの減衰を表したもので、この場合の α_{prpg} は抵抗分圧となり次式で表される。

$$\alpha_{\text{prpg}}(p_2) = \frac{R_{\text{sub3}}}{R_{\text{sub2}} + R_{\text{sub1}}}$$

またⅢ-2-I-③-(2)-図 2)-2-3-1-3(b) はボディ電圧の変化に対するトランジスタの応答を小信号モデルで表したものであり、簡単のために r_o と R_s を無視すると、 β_{body} は次のように定義できる。

$$\beta_{\text{body}} = -g_{\text{mb}} R_{\text{out}}$$

ここでは、増幅回路の入力はコモンモードの DC 電圧値に固定した。また β_{body} は、基板とソースやドレインとの接合容量、またゲート容量を介しての結合により周波数依存性が含まれることが予想されるが、本開発では 10 MHz 以下の周波数の基板応答を対象としているため、これらの容量性結合は考慮していない。ここで g_{mb} はバックゲート電圧に対するドレイン電流の変化であるから、次のように表される。

$$g_{\text{mb}} = \frac{\partial I_D}{\partial V_{\text{BS}}}$$

また一般に、アナログ増幅回路を構成するトランジスタは飽和領域で動作することから、飽和領域でのドレイン電流 I_D 、基板バイアス効果、トランスコンダクタンス g_m を表す式を用いて g_{mb} は以下ように変形できる。

$$g_{mb} = \frac{\gamma}{2\sqrt{2\Phi_B + V_{SB}}} \cdot g_m$$

ここで、 V_{SB} はソース-バックゲート間電圧、 $\gamma = \frac{\sqrt{2q\epsilon_{si}N_{sub}}}{C_{ox}}$ は基板バイアス係数、

$$\Phi_B = \frac{kT}{q} \ln\left(\frac{N_{sub}}{n_i}\right) \text{ はフェルミ準位である。}$$

これより、基板感度 β_{body} は次式で表され、回路のジオメトリによらず、増幅回路の信号利得

$$(G_{sig} = 20\log\left(\frac{V_{out}}{V_{in}}\right) \text{ [dB]}) \text{ と線形の関係にあることがわかる。}$$

$$\beta_{body} = \frac{\gamma}{2\sqrt{2\Phi_B + V_{SB}}} \cdot G_{sig}$$

Ⅲ-2-I-③-(2)-図 2)-2-3-1-4 は、複数の差動増幅回路におけるボディの電圧変動に対する感度 (β_{body}) と、信号利得 (G_{sig}) との関係を解析したものである。 G_{sig} の変化に対する β_{body} の変化量がおおよそ 1:1 であることから、 β_{body} は G_{sig} の定数倍であることが確認できる。なおこの解析は、ジオメトリが異なるがバイアス状態は全て同じ差動増幅回路を用いている。

本節で扱った基板感度は、Ⅲ-2-I-③-(2)-図 2)-2-3-1-2 において M_1 に対するもの、つまり差動対の片チャネルの基板感度である。基板ノイズは同相で差動対に影響するため、理想的な差動増幅回路においては同相のノイズは打ち消され、増幅回路の出力には影響しないことが期待されるが、差動対に異なる量の基板ノイズが影響した場合や、差動対を構成するトランジスタの特性が左右でばらつき、基板感度が異なる場合などは、左右の基板応答差がこの差動増幅回路の出力に重畳する。トランジスタ特性のばらつきは、回路の入出力応答のばらつきだけでなく、基板感度のばらつきにも影響を与える。

動作点と基板感度

アナログ回路は、入出力の電圧範囲が前後の回路の入出力特性により制限されるが、回路を構成するデバイス特性のばらつきや温度変化などの環境擾乱が原因で、実際には設計値とずれてしまうことがある。これを解消するために、一般にはⅢ-2-I-③-(2)-図 2)-2-3-1-5 に示すようにコモンモードフィードバック(CMFB)が組み入れ、入力などのバイアス回路を制御することにより、回路の出力コモンモードが設計値となるよう制御されている。ここで示す差動増幅回路の場合、負荷トランジスタのバイアス電圧にフィードバックする場合、入力のコモンモード電圧にフィードバックする場合、テール電流の電流値にフィードバックする場合が考えられる。しかし、どこにフィードバックを行うかによって入力トランジスタのバイアス状態が変化し、基板感度が増減する可能性がある。

Ⅲ-2-I-③-(2)-図 2)-2-3-1-6 は出力コモンモードが設計値とずれている増幅回路に対して 2 種類のコモンモードフィードバックを行い、入力トランジスタのバイアス状態をソース電位 V_a を指標と

して比較したものである(実測および解析の詳細については後章)。丸印でプロットされたグループは、出力コモンモードのずれを入力コモンモードにフィードバックすることで調整したもの、四角でプロットされているグループは、出力コモンモードのずれを負荷トランジスタのバイアス電圧にフィードバックすることで調整したものである。なお、対象とした増幅回路#1 から#9 は、入力差動対のトランジスタサイズのみが異なるレイアウトである。各増幅回路におけるトランジスタのバイアス状態は、グループ内ではほぼ同じであるが、コモンモードフィードバックの違いによってグループ間で V_a の値がおおよそ 200 mV 違うことが確認できる。

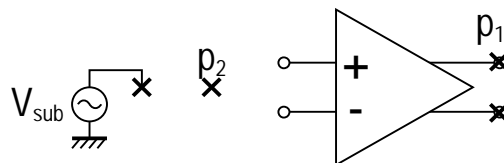
この 2 つのバイアス状態での増幅回路の信号利得 G_{sig} と、基板感度 G_{sub} を評価したものが III-2-I-③-(2)-図 2)-2-3-1-7 および III-2-I-③-(2)-図 2)-2-3-1-8 である。基板感度は前節で示したように信号利得の定数倍で決まるため、 V_a の低いグループと V_a の高いグループの間で信号利得の差と基板感度の差が同じであることが期待される。しかし、信号利得の差が約 2 dB であるのに対して、基板感度の差が約 6 dB となっており、基板感度を決定している要因が信号利得だけでなく V_a にもあることを示している。

III-2-I-③-(2)-図 2)-2-3-1-9 は全ての増幅回路に共通して使われているテール電流源の $I_D - V_D$ 特性を解析した結果である。ここでは $V_D = V_a$ である。 V_a の電圧が高い場合、テール電流源は飽和領域で動作するため出力抵抗 r_o が高く、ボディの電圧変動により発生した電流が左右で打ち消し合う差動増幅回路のコモンモード除去効果が働くため基板感度は低くなる。また V_a の電圧が低い場合、テール電流源は線形領域で動作するため出力抵抗 r_o が低いためコモンモード除去効果が低く、ボディの電圧変動により発生した電流が出力抵抗に流れるために基板感度が高くなることが予想される。

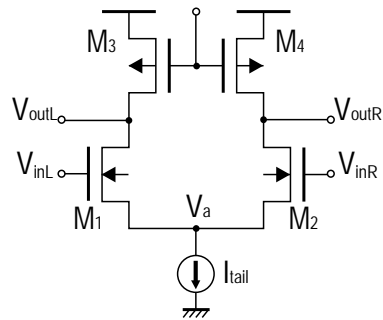
III-2-I-③-(2)-図 2)-2-3-1-10 にテール電流源の出力抵抗値と#1 の増幅回路での基板感度の関係を解析した結果を示す。基板感度はテール電流源の出力抵抗値によって大きく変化し、出力抵抗値が 100 k Ω を超える場合の基板感度は非常に小さいが、線形領域で動作する場合など 10 k Ω 程度となる場合は、基板感度が無視できない大きさとなることがわかる。先端の低電圧プロセスにおいては、回路の入出力範囲を広く取るためや、帯域を広くとるため、またデバイスしきい値のばらつきを吸収するために出力抵抗値を下げることもあるが、このような場合に基板感度が増大することとなる。一方、テール電流源の出力抵抗値が一定となるよう設計されている回路の場合、前節で示したように基板感度は信号利得の大きさに決定される。

トランジスタへのストレス効果

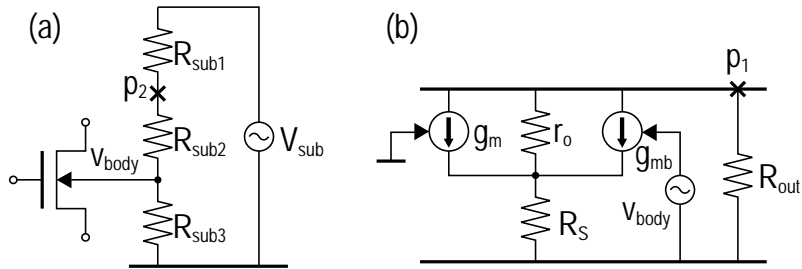
前述のように、トランジスタのバイアス状態が基板感度に大きな影響を与えることがわかった。バイアス状態が本来の期待値である設計値からずれる要因は、しきい値のばらつき等様々な要因があるが、その 1 つに STI ストレス効果が挙げられる。解析時に使用するトランジスタモデルに、このストレス効果を表すストレスパラメタが含まれていないと、実際の回路動作が設計値と大きくずれる要因となる。ストレスパラメタは殆どの EDA ツールにおいてサポートされているが、使用するルールファイルによってはストレスパラメタの計算が含まれていないものがあるため注意が必要である。



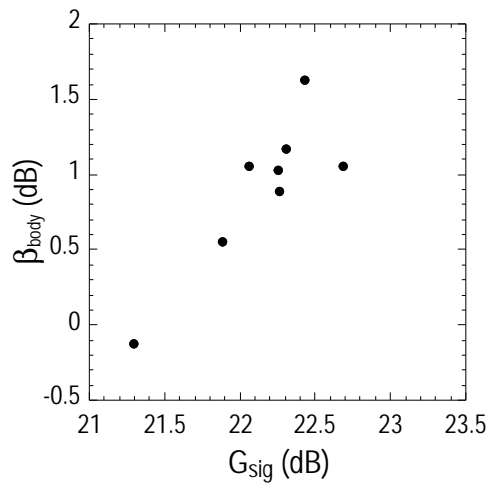
III-2-I-③-(2)-図 2)-2-3-1-1: 基板感度(G_{sub})の定義。



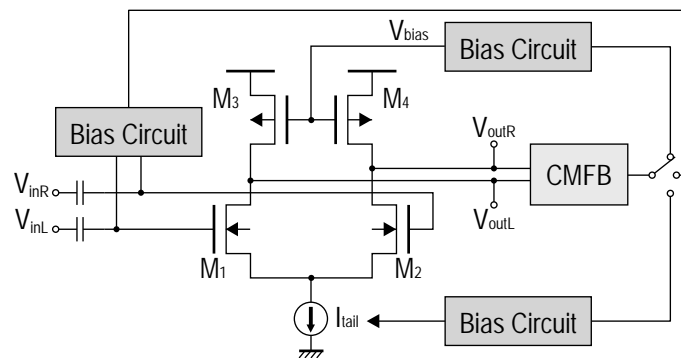
Ⅲ-2-I-③-(2)-図 2)-2-3-1-2: 差動対トランジスタを含む一般的な増幅回路。



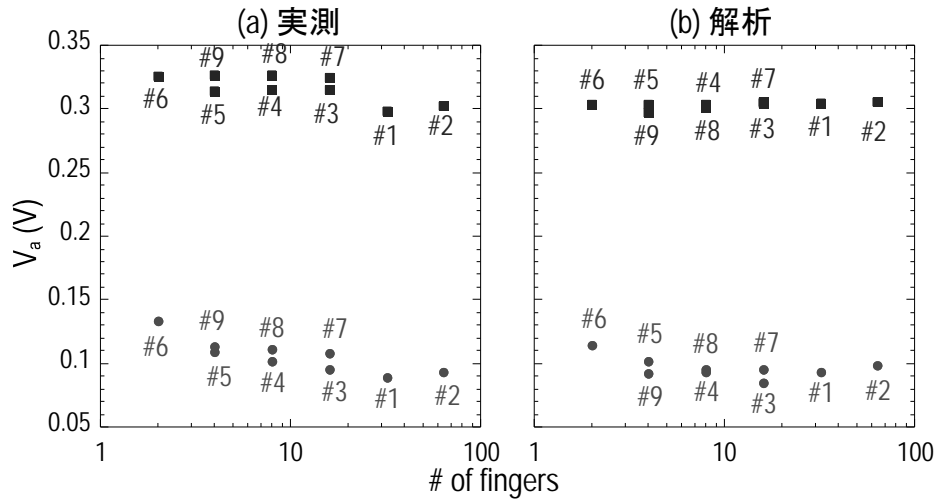
Ⅲ-2-I-③-(2)-図 2)-2-3-1-3: 基板ノイズの(a)伝搬減衰と(b)小信号応答。



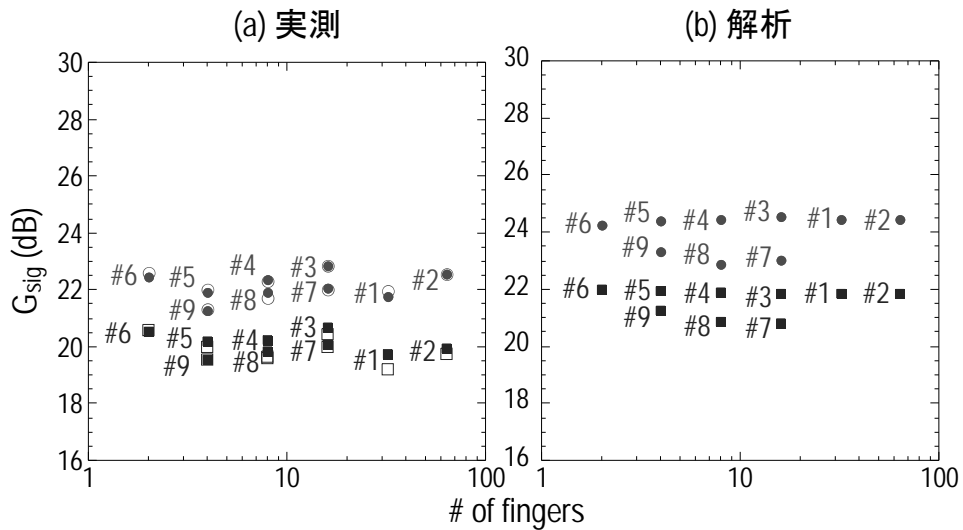
Ⅲ-2-I-③-(2)-図 2)-2-3-1-4: 差動対トランジスタにおける AC 信号利得とボディ電圧変動感度 (β_{body})。



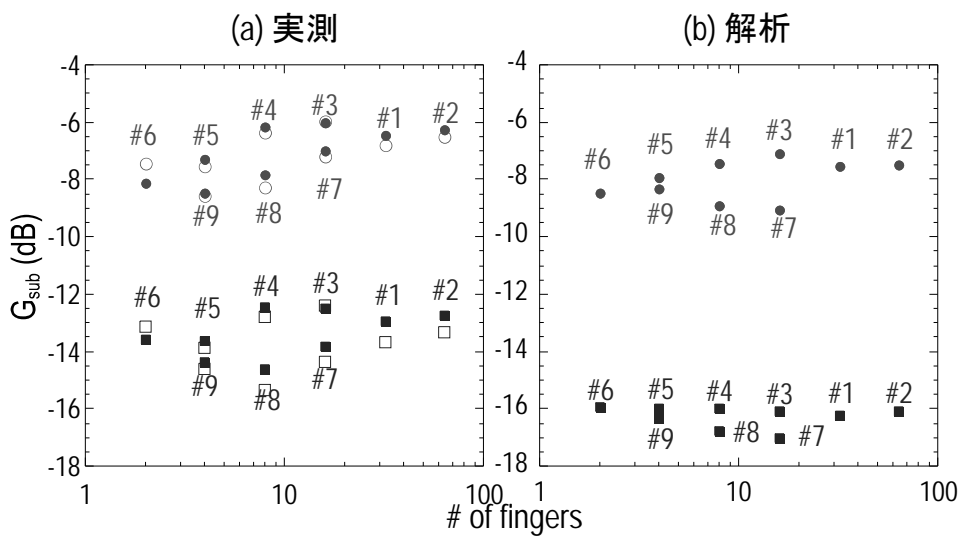
Ⅲ-2-I-③-(2)-図 2)-2-3-1-5: コモンモードフィードバック (CMFB)機能を有する一般的な差動増幅回路。



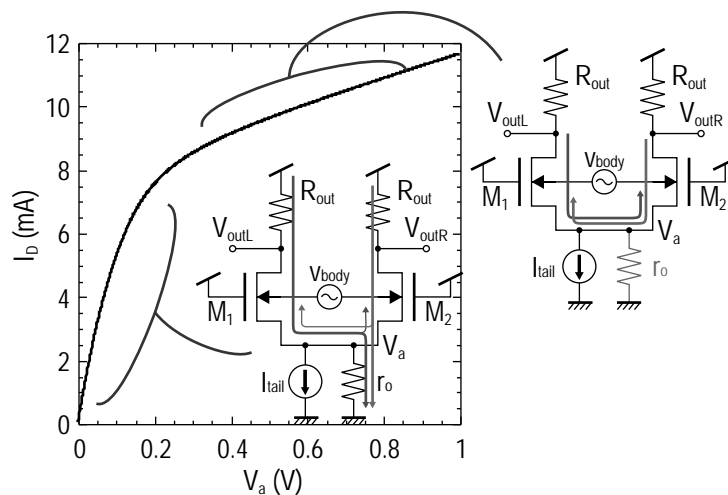
III-2-I-③-(2)-図 2)-2-3-1-6: 出力コモンモードずれを CMFB により矯正したときのバイアス点の変化。バイアス点を内部ノード(V_a)の電圧で評価。



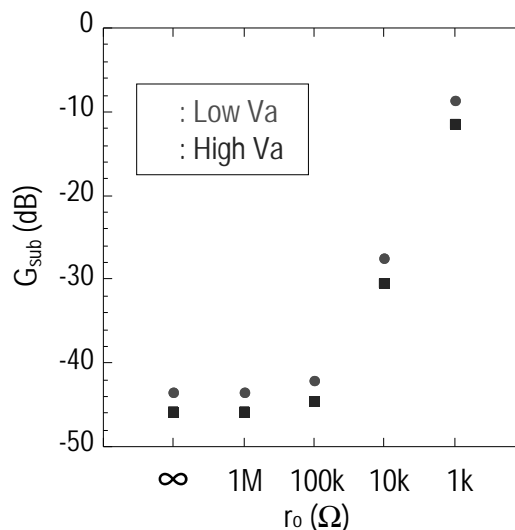
III-2-I-③-(2)-図 2)-2-3-1-7: AC 信号利得とバイアス点。



III-2-I-③-(2)-図 2)-2-3-1-8: 基板感度とバイアス点。



Ⅲ-2-I-③-(2)-図 2)-2-3-1-9: バイアス点と定電流源の電流特性。



Ⅲ-2-I-③-(2)-図 2)-2-3-1-10: 定電流源の出力抵抗と基板感度。

2)-2-3-2 局所基板モデルを用いた基板ノイズ応答の解析

CMOS アナログ回路における基板ノイズ応答の解析法について述べる。解析には局所基板モデルを用いるため、その概要と、ガードバンド構造によるモデルの最適化や折り返し構造を含む場合のモデルについて述べ、解析結果と実測結果の比較を行う。

局所基板モデル

チップ内を基板ノイズが伝播する様子や、デジタル回路で発生した基板ノイズに対するアナログ回路の応答を解析する際には、Ⅲ-2-I-③-(2)-図 2)-2-3-2-1 に示すような基板メッシュモデルが用いられる。この基板メッシュモデルは、チップをあるサイズのメッシュで縦、横、深さ方向に区切り、それぞれのメッシュを抵抗で接続した抵抗マトリクスである。

メッシュサイズを細かくすると解析精度の向上が期待できるが、Ⅲ-2-I-③-(2)-表 2)-2-3-2-1 の例に示すように演算量や使用メモリ、解析時間などの解析コストの面から、メッシュサイズは $10 \mu\text{m}$ から $5 \mu\text{m}$ と設定されるのが一般的である。

Ⅲ-2- I -③-(2)-表 2)-2-3-2-1: 局所基板モデルのメッシュサイズと解析コスト

メッシュサイズ	CPU 時間	使用メモリ	DB サイズ
1 μm	-	overflow	-
2 μm	12 h 28 m 16 s	5 GB	1,600 MB
5 μm	2 h 23 m 45 s	2.7 GB	543 MB
10 μm	1 h 23 m 18 s	2.2 GB	332 MB

しかし、チップ全体の面積制約や低消費電力化への要求の高まりに合わせて、アナログ回路を構成するデバイスもデジタル回路と同じ低電圧デバイスが用いられることが多くなり、アナログ回路のレイアウト面積も数 μm 角から数十 μm 角と非常に小さくなっている。

Ⅲ-2- I -③-(2)-図 2)-2-3-2-2 はアナログ差動増幅回路のレイアウトの一例である。アナログ回路のレイアウトにおいては、諸特性を改善するためにこのようなマルチフィンガのレイアウトがよく用いられる。このような低電圧デバイスによってレイアウトされたアナログ回路を、一般に用いられる基板モデルのメッシュサイズと比較すると、デバイスサイズはメッシュ 1 つの中に収まってしまふ大きさであり、メッシュの交点も回路全体で高々数点しか無いことがわかる。また、アナログ回路はデバイス 1 個または回路ブロック単位でガードバンドやガードリングが設けられ、P ウェルの電位固定や基板ノイズの吸収などの役割を果たしている。Ⅲ-2- I -③-(2)-図 2)-2-3-2-2 のレイアウトにおいて基板ノイズの電流(I_{sub})は、図中の矢印で示すように中央付近から外側のガードリングへ向かって流れることが予想される。このノイズ電流はガードリングに吸収される前に、基板抵抗値による電圧降下を発生させながらデバイス M1 および M2 を横切る。

基板メッシュモデルを用いてアナログ回路のノイズ応答を解析する際には、Ⅲ-2- I -③-(2)-図 2)-2-3-2-3 に示すようにデバイスのバックゲート端子を近傍のメッシュ交点に接続することが考えられる。しかしこの場合、Ⅲ-2- I -③-(2)-図 2)-2-3-2-2 のレイアウトのようなデバイス裏面のシリコン基板で発生する電圧降下が正確に表現されず、解析精度に影響を与えることが予想される。

前節で示した基板感度を表す式を用いてこの例に当てはめた場合、基板伝播を表す α_{prpg} がフィンガ単位で正確に再現できない。この式は、デバイスのノイズ感度をフィンガ単位で考慮する必要がある場合に次のように修正される。

$$G_{\text{sub}}(p_1, p_2) = \sum_i \alpha_{\text{prpg}}(m_i, p_2) \beta_{\text{body}}(m_i, p_1)$$

ここで、 m_i は対象のデバイスのフィンガ 1 本に相当する。 β_{body} はデバイス特性によって決定されるため概ね一定であるが、ガードリングの構造で値が変化し得る α_{prpg} はフィンガ単位で解析する必要がある。

そこで本開発では、フィンガ毎に基板抵抗を分割してバックゲートに接続する局所基板モデルを提案する。

Chip #1 のレイアウト(Ⅲ-2- I -③-(2)-図 2)-2-3-2-5(a))のように、デバイスの左右両側にガードバンドを持つ構造の場合、デバイスの中心からガードバンドに向かってフィンガの間隔に合わせた抵抗列を生成し、バックゲートに接続する(Ⅲ-2- I -③-(2)-図 2)-2-3-2-4(a))。

ここで、抵抗列を構成する R_{in} は、F 行列演算によって生成した基板モデルのメッシュ抵抗より、次のように求めた。

$$R_{\text{fin}} = \frac{L_{\text{pitch}}}{L_{\text{mesh}}} \cdot R_{\text{mesh}}$$

Ⅲ-2-I-③-(2)-図 2)-2-3-2-4(b)はこのモデルを用いて基板伝播係数(α_{prpg})を解析したものである。ガードバンドから遠いデバイスの中央付近のフィンガはノイズ量が多く、ガードバンドに近いフィンガはノイズ量が小さいこと、またフィンガの本数が多いレイアウトの場合、デバイス中央付近のノイズ量が大きくなることが確認できる。

ガードバンド構造による局所基板モデルの最適化

前項では、デバイスの左右両側にガードバンドを持つ構造における局所基板モデルを提案した。しかし、デバイスのアスペクト比や周囲の構造によってガードバンドは様々な形状が考えられる。本項では、Chip #3 (Ⅲ-2-I-③-(2)-図 2)-2-3-2-5(b))のようにデバイスをU字型に囲んだガードバンドを持つデバイスについて、局所基板モデルを提案する。

デバイスをU字型に囲んだガードバンドを持つデバイスの場合、ガードバンドからデバイスのフィンガまでの距離はフィンガの位置や本数によらず一定である。

また、デバイスの裏面を通過するノイズ電流(I_{sub})も、Chip #1 の構造ではフィンガを横切るように流れるのに対し、Chip #3 の構造ではフィンガに対してほぼ垂直に流れることが期待される(Ⅲ-2-I-③-(2)-図 2)-2-3-2-6)。よって、デバイス裏面でのノイズ量はフィンガの位置によらずほぼ一定であり、全てのフィンガの裏面は等電位と見なすことができる。よってU字型のガードバンドを持つデバイスにおける局所基板モデルは、Ⅲ-2-I-③-(2)-図 2)-2-3-2-6(b)に示すようなノイズ源からフィンガ、フィンガからガードバンドまでの縦の抵抗列で表現することができる。

折り返し構造を含むトランジスタの局所基板モデル

デバイスのサイズによっては、フィンガの数が多くアスペクト比が大きくなる場合に、Ⅲ-2-I-③-(2)-図 2)-2-3-2-7(b))のようにある一定のフィンガ本数で折り返すレイアウトにすることがある。このレイアウトは、本開発で用いているテストチップでは Chip #1 のフィンガ数の多い一部のアンプに該当する。このようなレイアウトの場合、ノイズ源に近い列はノイズ量が多く、ノイズ源から遠い列はノイズ量が少なくなるため、前述の横方向の抵抗分割だけでなく縦方向にも抵抗を追加して解析精度を向上させる。

解析結果の実測結果との比較

以上の局所基板モデルを適用し、テストチップに搭載された差動増幅回路の基板ノイズ感度を解析した結果を示す。搭載回路のうち、解析対象とした増幅回路のトランジスタサイズをⅢ-2-I-③-(2)-表 2)-2-3-2-2 (Chip #1)とⅢ-2-I-③-(2)-表 2)-2-3-2-3 (Chip #3)に示す。また B02 はフィンガ本数に対して L_{fin} が非常に長いこと、解析精度を向上させるために L_{fin} を縦に2分割し、折り返し構造と同じ局所基板モデルを適用した。

Ⅲ-2-I-③-(2)-図 2)-2-3-2-8 は Chip #1 に搭載されている差動増幅回路の基板感度の実測結果と解析結果を比較したものである。Chip #1 の増幅回路のレイアウトは、トランジスタの両側にガードバンドを持つ構造であるため、フィンガ数が多く、ガードバンド間の距離が離れている増幅回路ほど基板ノイズ感度が高くなっている。全ての増幅回路において、実測結果と解析結果との差が 3 dB 以下と精度良く解析できているほか、フィンガ数の増加に伴い基板感度が増大する傾向、また約 20 dB の感度幅も再現できており、提案モデルが正確に基板のノイズ量を再現できていることが確認

できる。

また同じ差動増幅回路に対して、回路の動作点と基板感度の関係を確認するために、テール電流源の出力抵抗を変化させた場合(V_a 不定)と、テール電流源の出力抵抗を一定に保った場合(V_a 一定)について解析を行った(III-2-I-③-(2)-図 2)-2-3-2-9)。テール電流源の出力抵抗を一定に保った場合に比べ、テール電流源の出力抵抗を変化させた場合は増幅回路の動作点が大きく変化しているため、入力トランジスタのソース電位(V_a)が大きく変化しており、この変化に合わせて基板感度も増減していることが確認できる。

次に、Chip #3 の差動増幅回路セットに対して同様の解析を行った結果が、III-2-I-③-(2)-図 2)-2-3-2-10 である。Chip #3 は実測および解析に際して入力トランジスタのソース電位(V_a)が低い動作点と、高い動作点の 2 つを設定して比較している。

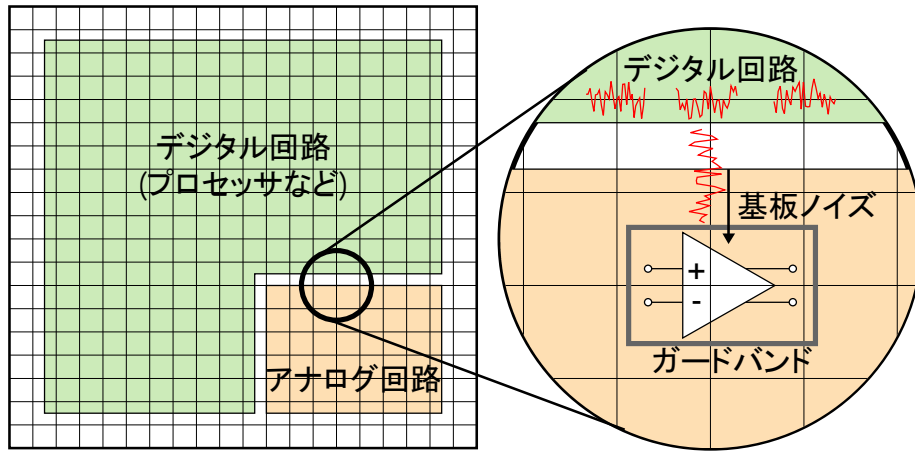
この 2 つの動作点における入力トランジスタのソース電位(V_a)を比較したものが III-2-I-③-(2)-図 2)-2-3-1-6 である。Chip #3 の増幅回路は、トランジスタを U 字型に囲むようにガードバンドが設けられているため、フィンガ数が多い増幅回路でも基板ノイズ感度は高くなりにくい。この増幅回路のセットにおいても実測結果と解析結果の差は 3 dB 以下と、提案モデルを用いた解析の精度が高いことがわかる。

III-2-I-③-(2)-表 2)-2-3-2-2: Transistor sizes of differential transistor pairs with guard bands on both sides (Chip #1).

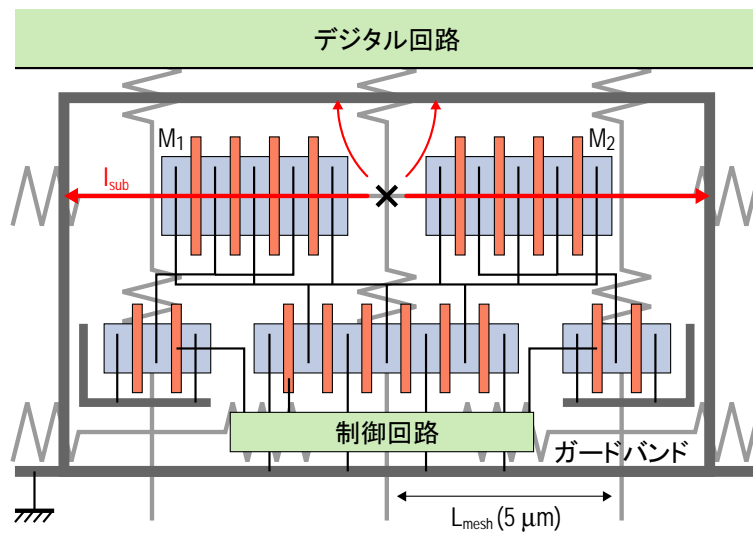
ID	$L(\mu m)$	$L_{fin}(\mu m)$	finger	$W_{total}(\mu m)$	folding
B01	0.1	11.45	8	91.6	single
B02	0.1	11.45	16	183.2	single
B03	0.1	11.45	4	45.8	single
B04	0.1	11.45	2	22.9	single
B05	0.1	11.45	1	11.45	single
B06	0.1	5.58	1	5.58	single
B07	0.1	5.58	16	89.28	single
B08	0.1	2.66	32	85.12	single
B09	0.1	1.33	64	85.12	multi
B10	0.1	0.63	128	80.64	multi
B11	0.1	0.27	256	69.12	multi

III-2-I-③-(2)-表 2)-2-3-2-3: Transistor sizes of differential transistor pairs with U-shaped guard bands (Chip #3).

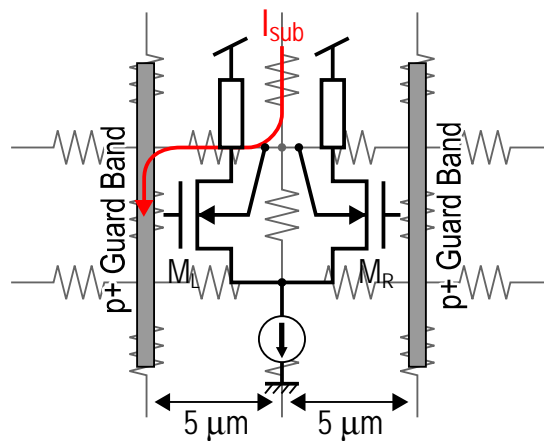
ID	$L(\mu m)$	$L_{fin}(\mu m)$	finger	$W_{total}(\mu m)$	folding
U01	0.1	1.02	32	32.64	single
U02	0.1	1.02	64	65.28	single
U03	0.1	1.02	16	16.32	single
U04	0.1	1.02	8	8.16	single
U05	0.1	1.02	4	4.08	single
U06	0.1	1.02	2	2.04	single
U07	0.1	2.04	16	32.64	single
U08	0.1	4.08	8	32.64	single
U09	0.1	8.16	4	32.64	single



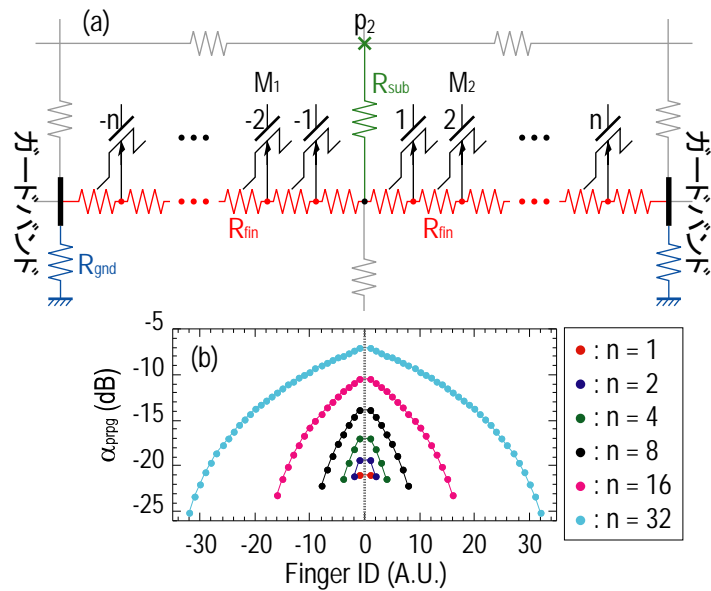
Ⅲ-2-I-③-(2)-図 2)-2-3-2-1: ミックスシグナル VLSI チップにおける基板結合解析のためのメッシュ分割



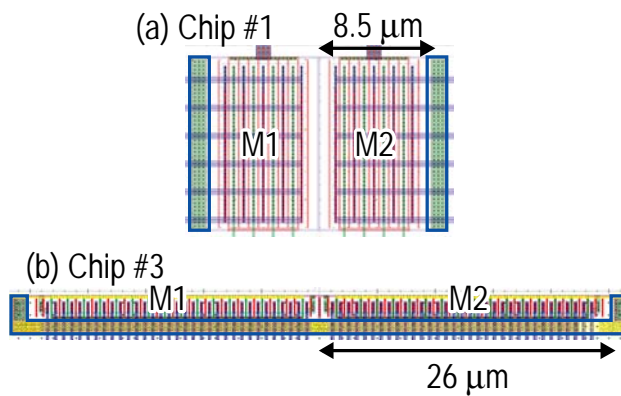
Ⅲ-2-I-③-(2)-図 2)-2-3-2-2: アナログ回路におけるトランジスタのレイアウト例。ガードバンドを含んでいる。



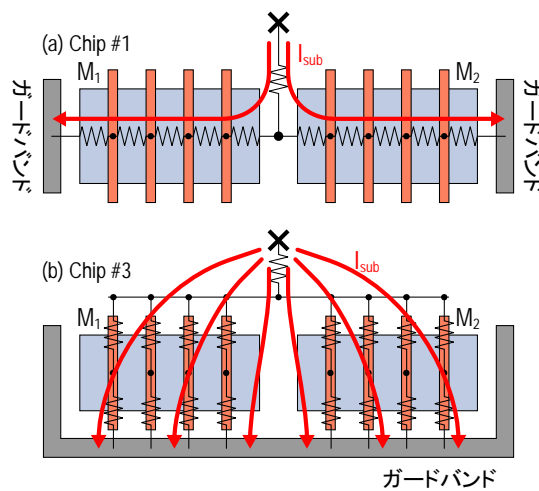
Ⅲ-2-I-③-(2)-図 2)-2-3-2-3: 従来法におけるメッシュ分割。



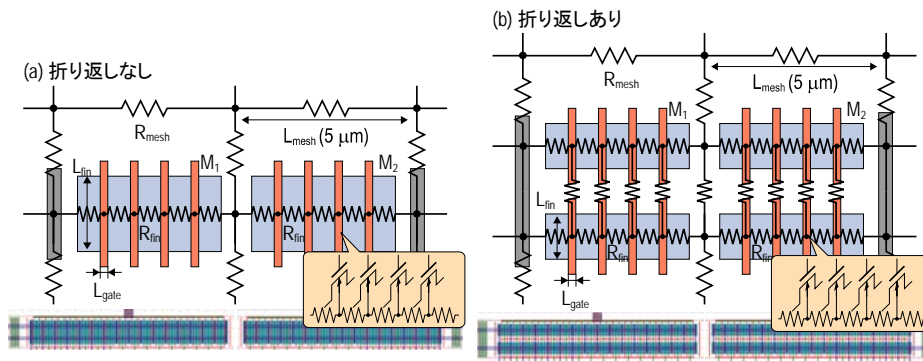
III-2-I-③-(2)-図 2-2-3-2-4: マルチフィンガ構成の差動対トランジスタにおける基板感度。(a) 基板結合によるフィンガトランジスタ間の抵抗分割、(b)フィンガトランジスタ裏面のボディ電圧振幅分布。



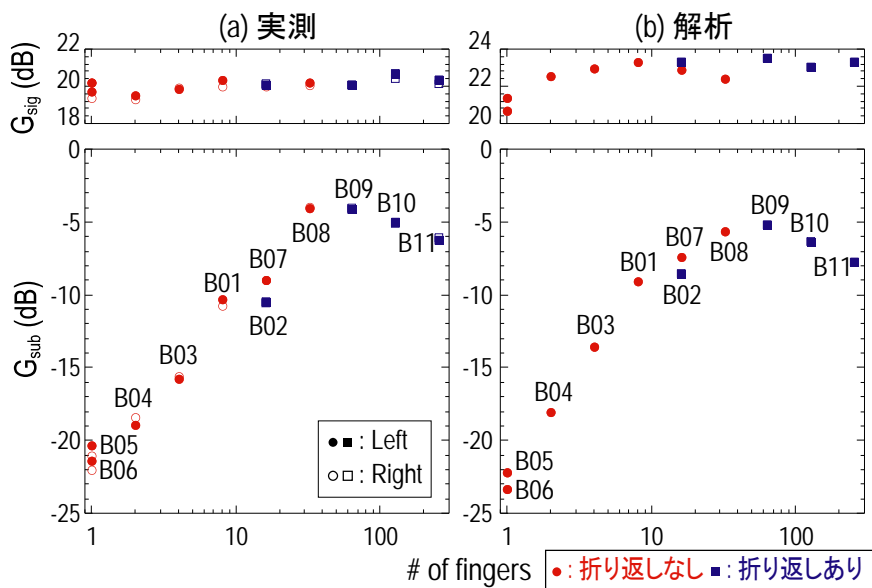
III-2-I-③-(2)-図 2-2-3-2-5: 差動対トランジスタの物理レイアウト例。(a)両端にガードバンドを配置 (I-I 字型ガードバンド)、(b)U 字型にガードバンドを配置。



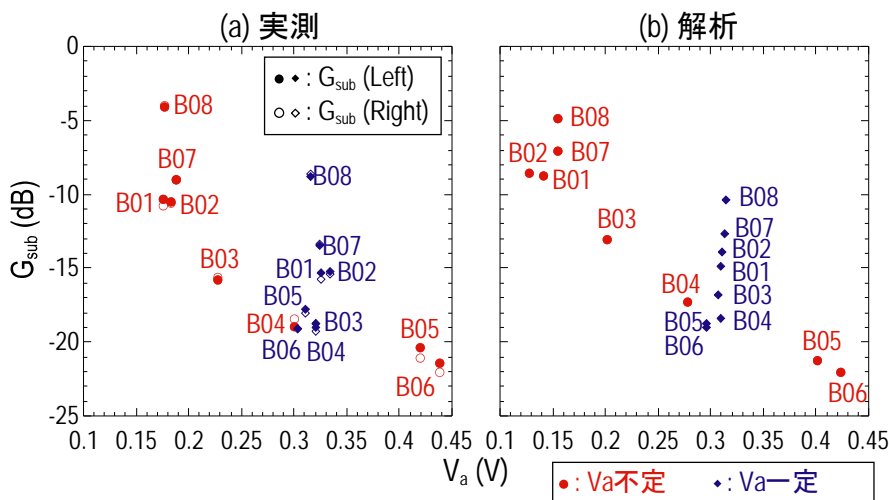
III-2-I-③-(2)-図 2-2-3-2-6: 差動対トランジスタの物理レイアウト構造に依存した基板電流経路のイメージ図。(a)I-I 字型ガードバンド、(b)U 字型ガードバンド。



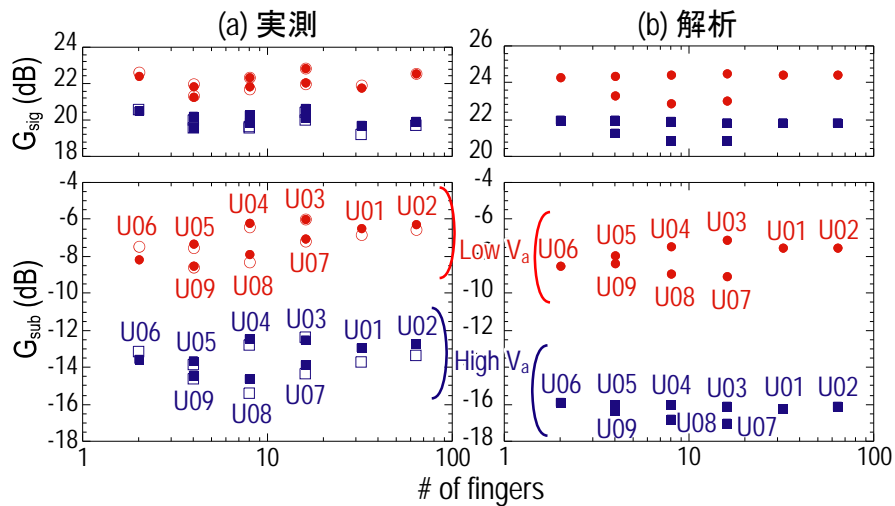
III-2-I-③-(2)-図 2)-2-3-2-7: マルチフィンガ構成のトランジスタのための局所基板結合モデル。
(a)折り返しの無い場合、(b)折り返しのある場合。



III-2-I-③-(2)-図 2)-2-3-2-8: 差動増幅回路の基板感度。I-I字型のガードバンドを有するマルチフィンガ構成のトランジスタについて、折り返し構造の有無も比較している。(a)実測結果と(b)解析結果。



III-2-I-③-(2)-図 2)-2-3-2-9: 差動増幅回路の基板感度と動作点の関係(シミュレーション)。



Ⅲ-2-Ⅰ-③-(2)-図 2)-2-3-2-10: 差動増幅回路の基板感度。U 字型のガードバンドを有するマルチフィンガ構成のトランジスタについて、異なるバイアス点を比較している。(a)実測結果と(b)解析結果。

2)-2-3-3 高い基板ノイズ耐性に向けたデバイスサイズ選択とレイアウト構造の指針
基板ノイズ感度とデバイス特性ばらつき

トランジスタサイズおよびレイアウト構造の等しい差動増幅回路(Ⅲ-2-Ⅰ-③-(2)-表 2)-2-3-3-1 の#01)をテストチップ(hp130nm(90nm ノード) CMOS 技術、Chip #1、Ⅲ-2-Ⅰ-③-(2)-図 2)-2-3-2-1)上に複数個実装し、これらの増幅回路のデバイス特性ばらつきと AC 性能および AC 基板感度について評価した。テストチップ上で差動増幅回路を実装した位置をⅢ-2-Ⅰ-③-(2)-図 2)-2-3-3-1 に示している。ここで被評価差動増幅回路は#A から#E の 5 個であり、Die #1 と Die #2 の 2 つのダイについて測定した。

差動増幅回路としての動作条件を合わせて特性ばらつきを評価するため、バイアス電流および入力 DC 電圧を一定のもと、負荷 MOS のバイアス電流にフィードバックをかけることにより、出力 DC 電圧を調整した。

Ⅲ-2-Ⅰ-③-(2)-図 2)-2-3-3-2 は、増幅回路動作時の差動対トランジスタのゲート電圧(V_{in})、ドレイン電圧(V_{out})、ソース電圧(V_a)の値を示している。入力電圧 V_{in} は設定で合わせているため、全て同電位になっている。また、出力電圧 V_{out} は 800 mV を中心に最大で ± 30 mV 程度の差しかなく、差動対トランジスタのソース電位 V_a も 180mV を中心に ± 10 mV 程度のばらつきであり、動作条件は揃っているといえる。

Ⅲ-2-Ⅰ-③-(2)-図 2)-2-3-3-3 は、テール電流源のバイアス電流値と負荷 MOS のバイアス電流値を示している。テール電流源は 2.1 mA で統一しており、また出力 DC 電位を調整するための負荷 MOS のバイアス電流値は 1.75 mA を中心に ± 0.15 mA 程度のばらつきがある。

Ⅲ-2-Ⅰ-③-(2)-図 2)-2-3-3-4 の左図に、増幅回路を構成する差動対トランジスタの DC 特性の評価結果を示す。しきい電圧(V_{th})は最大で 25 mV ほどの差であり、これは回路性能にあまり大きな影響を与えるものではないと考えられる。実際、Ⅲ-2-Ⅰ-③-(2)-図 2)-2-3-3-4 の中図に示した信号利得 G_{sig} の評価結果が示す通り、 G_{sig} は 20dB を中心にほとんどばらついていない。

他方、基板感度はそれらとは異なる結果を示している。Ⅲ-2-Ⅰ-③-(2)-図 2)-2-3-3-4 の右図に基板感度の測定結果を示しており、動作条件は信号利得評価時と同様である。 V_{th} 差や G_{sig} 差以上の基板感度差が存在しており、その基板感度 G_{sub} は最大で 4dB 以上のばらつきがある。また、

#Aと#Bが-10dB付近、#C,D,Eが-13dB付近と大きく二つに分かれており、2つのダイ間でも同様の結果であることから、ランダムなばらつきではないことがわかる。すなわち、回路設計が等価な増幅回路における基板ノイズ感度のばらつきは、デバイスのしきい電圧バラつきに代表されるランダムなDC特性ばらつきよりも、チップ上の配置に依存したシステムティックなばらつきに強く依存することがわかる。

基板ノイズ感度ばらつきのシステムティック成分は、増幅回路の単体レイアウトは完全に同等であるから、回路からI/Oまでの給電経路の寄生インピーダンス、および回路周囲のデバイスや構造物の配置に起因した基板結合インピーダンス、に依ると考えられる。このことをVLSIチップ設計において正確に解析することは、チップレベルの配線インピーダンスや基板結合の抽出のみならず、チップを搭載するボードの電源・グラウンドインピーダンスの見積もりも必要であり、容易ではない。従って、基板ノイズ耐性の高いアナログ回路に向けて、増幅回路やコンパレータのアレイ構造のレイアウトでは、とくに電源配線・グラウンド配線およびガードバンド配線をできるだけ低インピーダンスに抑えることが、スタティックな基板感度ばらつきによるダイナミックな基板ノイズ応答の構成要素ばらつきの抑制に効果があり、有利なレイアウトと考えることができる。

基板ノイズ感度とガードバンドの形状

CMOSアナログ集積回路の周囲には、p型の低抵抗拡散によるガードバンドを配置することが一般的である。本開発では、とくに増幅回路の差動利得を実現する差動対トランジスタに着目し、その周囲にガードバンドを配置した。ガードバンドの形状はⅢ-2-I-③-(2)-図2-2-3-2-5に示した通り、I-I字型とU字型とし、またⅢ-2-I-③-(2)-図2-2-3-2-6に示したように、その形状に適切な基板抵抗ネットワークを構成することで、基板結合解析においてガードバンド効果を含む基板ノイズを精度よく見積もれることを述べた。

他方、ガードバンドの導入や形状は、レイアウト設計の段階でアナログ回路に割り当てられたシリコン面積コストの制約を受けることが多く、ガードバンドの効果を予測せずにレイアウトが完了し、後から追加することは極めて難しくなることが一般的と考えられる。ガードバンドの形状と効果について定性的な指針を持つておくことはレイアウト設計の担当者にとって有益である。

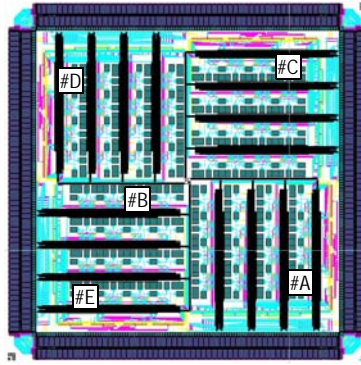
Ⅲ-2-I-③-(2)-図2-2-3-3-5に、I-I字型ガードバンドの接地効果を示している。ここで、ガードバンドの外部接地端子(AMP_VSUBピン)を非接地(フローティング)とした場合と、接地した場合を比較している。ガードバンドを接地することにより、差動対トランジスタ近傍の基板電流がガードバンド及びその接地配線を経て低インピーダンスに排出されるため、基板ノイズ感度が低減されることがわかる。他方、非接地状態でも、アナログ回路周辺(差動対トランジスタからは遠方に位置する)基板コンタクトにより基板のDC電位は固定されるので、回路動作には影響しない。ガードバンドの効果の差は接地抵抗の違いによるものであり、これは前述のとおり基板結合ネットワークにおいて等価回路表現できる。

さらに、Ⅲ-2-I-③-(2)-図2-2-3-3-5におけるI-I字型ガードバンド接地・非接地を比較すると、ガードバンドによる基板感度の低減効果は、フィンガ数の小さいトランジスタで大きく、他方、フィンガ数の大きいトランジスタ(とくにⅢ-2-I-③-(2)-図2-2-3-2-7のように折り返し構造を有するトランジスタ)において小さいことがわかる。これは、I-I字型ガードバンドでは、フィンガ数が大きくなると中心付近のトランジスタからガードバンドまでの距離が大きくなり、基板電流の低減効果が見られなくなるためである。

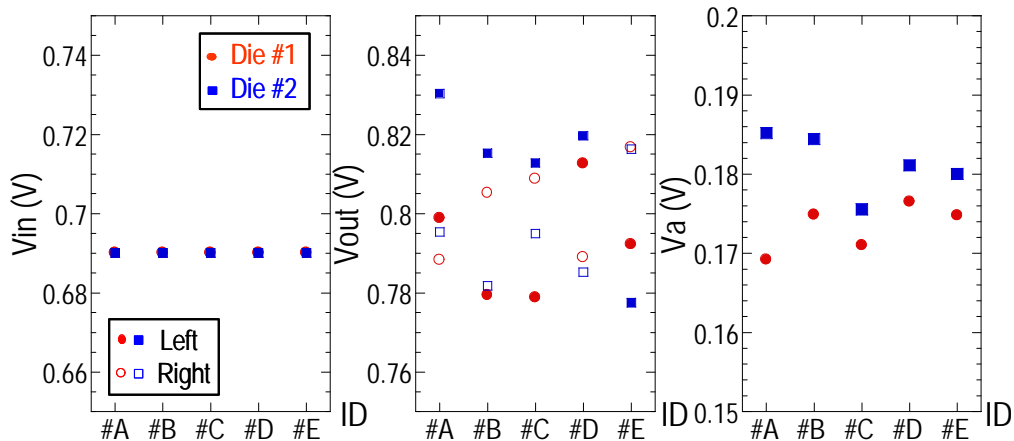
Ⅲ-2-I-③-(2)-図2-2-3-3-6には、U字型ガードバンドにおけるガードバンドの接地・非接地を比較している。この構造ではすべてのフィンガトランジスタに対して近傍にガードバンドが位置する

ため、ガードバンドによる基板感度の低減効果はフィンガ数あるいは折り返し構造の有無に依らず維持されていることがわかる。

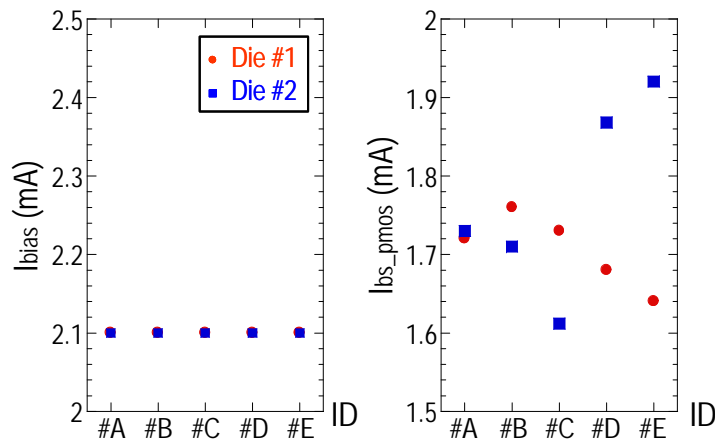
Ⅲ-2-I-③-(2)-図 2)-2-3-3-5とⅢ-2-I-③-(2)-図 2)-2-3-3-6、およびⅢ-2-I-③-(2)-図 2)-2-3-2-8とⅢ-2-I-③-(2)-図 2)-2-3-2-10 より、I-I 字型に比べてU字型のガードバンド形状を選択することが、レイアウト段階で基板ノイズ低減効果を見込む上で有利であることがわかる。



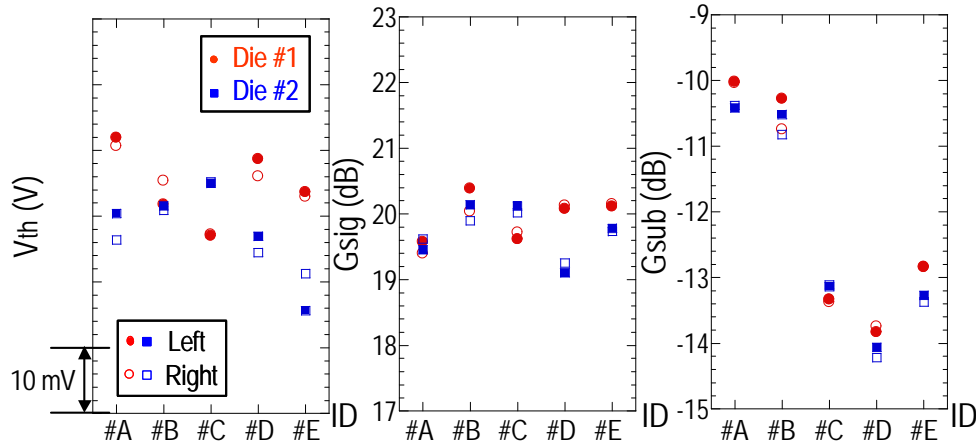
Ⅲ-2-I-③-(2)-図 2)-2-3-3-1: テストチップ (hp130nm (90nm ノード) , Chip #1) における被評価増幅回路の配置。



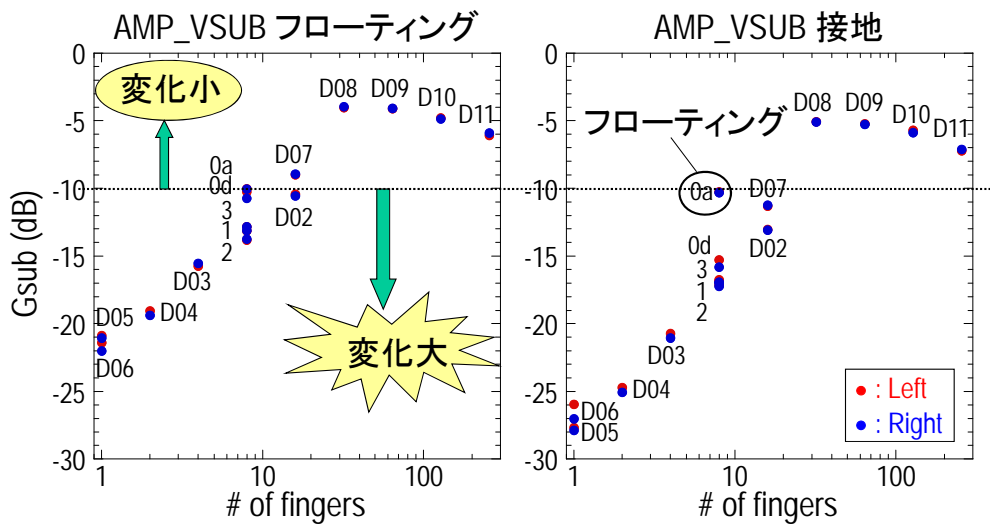
Ⅲ-2-I-③-(2)-図 2)-2-3-3-2: 増幅回路動作時における差動对各ノードの DC 電位。



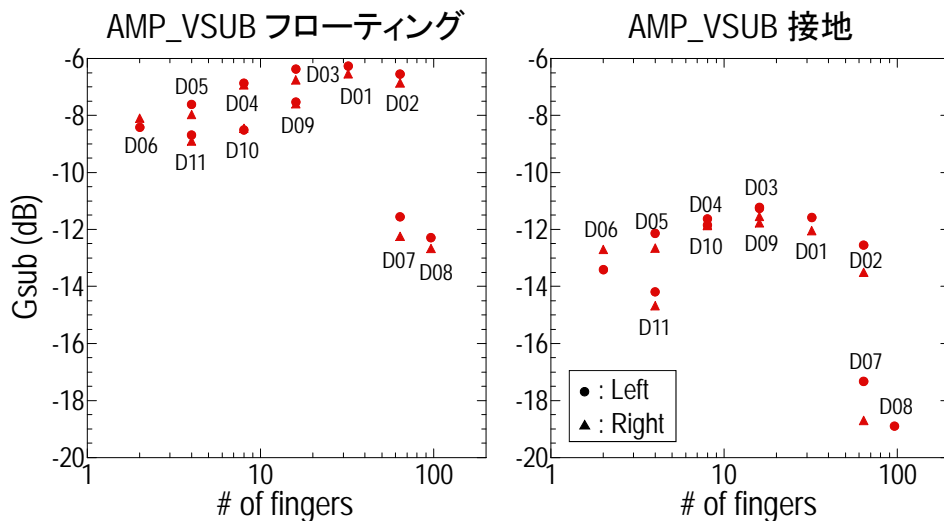
Ⅲ-2-I-③-(2)-図 2)-2-3-3-3: 増幅回路動作時におけるテール電流源と負荷 MOS のバイアス電流値。



III-2-I-③-(2)-図 2)-2-3-3-4: 差動増幅回路の評価結果 (V_{th} , G_{sig} , G_{sub})。



III-2-I-③-(2)-図 2)-2-3-3-5: I-I 字型ガードバンドの接地効果。



III-2-I-③-(2)-図 2)-2-3-3-6: U 字型ガードバンドの接地効果。

2)-2-4 アナログ基本回路におけるノイズ応答のチップレベル解析技術

本章では、前章で議論した局所基板モデルをチップレベルの基板伝播解析ツールと結合し、ノイ

ズの発生源から対象のアナログ回路までの基板伝播とアナログ回路の基板ノイズ応答を統合的に解析する手法について述べる。

2)-2-4-1 チップレベル解析と局所解析の統合アルゴリズム

基板ノイズ感度統合解析

基板ノイズ感度統合解析の概略フローをⅢ-2- I -③-(2)-図 2)-2-4-1-1 に示す。基板ノイズ感度統合解析は、次の 2 つのステップに分けることができる。

1. チップレベル基板伝播解析ツールを用いた、ノイズ源から接続点までの基板伝播解析
2. デバイスと接続した局所基板モデルを用いた、接続点からのデバイスの基板感度解析

チップレベル基板モデルと局所基板モデルとは接続点を介して接続され、結合解析の際にこの接続点を任意に 1 点または複数点決定することとする。各ステップにおけるこの接続点の持つ意味は、チップレベル基板伝播解析ツールにおいては、対象回路の裏面または近傍の P ウェル表面の点であり、局所基板モデルにおいてはノイズの発生源である。チップレベル基板モデルによって接続点での電圧波形または電圧振幅を取得し、この電圧波形または電圧振幅を入力として局所基板モデルを用いた基板ノイズ応答解析を行う。ただし、統合解析において振幅値のみを解析対象とする場合は 2 つの解析を平行して実行し、両者の結果を掛け合わせることで基板ノイズ感度を算出することも可能である。

また、これらの基板モデルの接地インピーダンスは、チップレベル基板伝播解析ツールで抽出したもの、または他の LPE 抽出ツールを用いて抽出したものを使用する。

局所基板モデルの一般化

前章で示した局所基板モデルは、ガードバンドの形状によってユーザが最適なモデルを選択し、該当のモデルを生成する必要があった。しかし実際のアナログ回路のレイアウトにおいては、様々な形状のガードバンドが考えられ、統合解析を行う際はこの局所基板モデルを自動生成ことが望ましい。そこで、局所基板モデルをⅢ-2- I -③-(2)-図 2)-2-4-1-2 に示すように一般化して扱う。このモデルは、接続点からフィンガのバックゲートまでの抵抗 R_{sub} と、フィンガのバックゲートからガードバンドまでの抵抗 R_{gb} の 2 つの抵抗を、角フィンガ毎に取り付けたものである。 R_{sub} は、Ⅲ-2- I -③-(2)-図 2)-2-4-1-3 に示すように接続点からフィンガ中央までの距離から計算できる。またフィンガからガードバンドまでの抵抗 R_{gb} の計算は、Ⅲ-2- I -③-(2)-図 2)-2-4-1-4 に示すようにフィンガの中央から上下左右方向に探索を行い、見つかったガードバンドとの間に抵抗を貼り付ける。 R_{gb} の抵抗値は、 R_{sub} と同じく距離より計算される。

R_{gb} および R_{sub} の算出は以下の式が適用される。

$$R_{sub} = \rho Lm/tW$$

ここで、 ρ [Ωm] は基板抵抗率、 L は 2 点間の距離、 t は伝播経路の厚さ、 W は伝播経路の幅である。また m は並列接続される抵抗の本数つまりフィンガの本数であり、この係数を掛けることで接続点から各フィンガ、ガードバンドまでの電圧ドロップを正規化している。

以上のように局所基板モデルを組み立て直すことで、ガードバンド形状に合わせて自動でモデル生成が可能となる。

チップレベル基板伝播解析

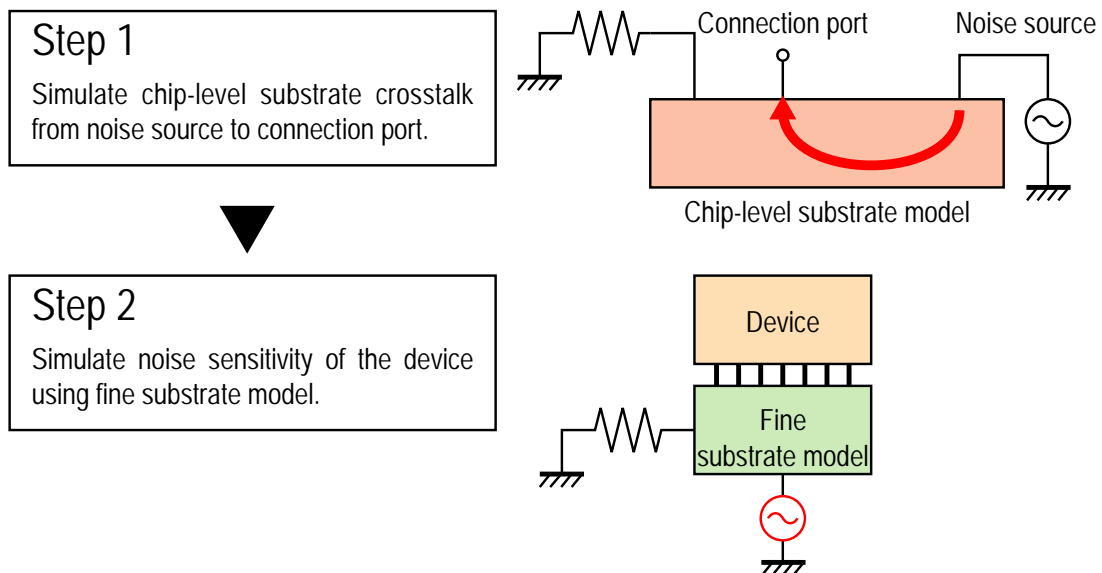
チップレベル基板伝播解析ツールは、Ⅲ-2-I-③-(2)-図 2)-2-4-1-5(a) のようにノイズ発生量の多いデジタル回路などからチップ内に伝播するノイズの量を解析するために用いられる。

本開発では、デバイスの基板ノイズ感度を解析対象としているためⅢ-2-I-③-(2)-図 2)-2-4-1-5(b)に示すようにチップ内の AC 信号源から、解析対象のアナログ回路までの基板伝播を解析するために用いる。

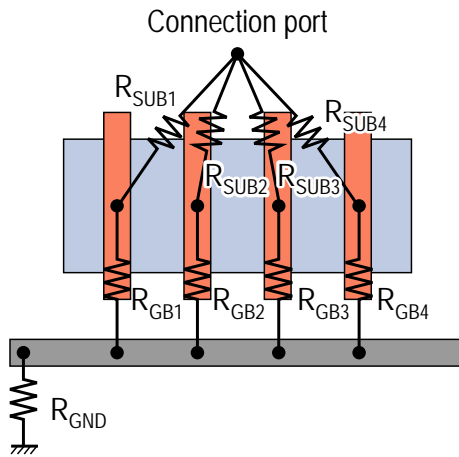
統合解析フロー

チップレベル基板伝播解析とデバイスレベル基板感度解析の統合解析フローをⅢ-2-I-③-(2)-図 2)-2-4-1-6 に示す。チップレベル基板伝播解析では、GDS II とノイズ源の動作等を記述したテストベンチを入力として基板伝播解析を実行し、接続点でのノイズ電圧波形を出力する。本開発では基板ノイズ感度を評価するため、得られた電圧波形の振幅値を計算し、基板伝播係数を最終出力とする。デバイスレベル基板感度解析では、GDS II より解析対象のアナログ回路のフィンガ毎の座標やガードバンドの位置情報、接地抵抗を抽出し、これらの情報から局所基板モデルを生成して基板感度の解析を実行する。基板ノイズ感度を解析する場合は、AC 解析を実行して基板感度を最終出力とする。そして得られた基板伝播係数と基板感度の積を求め、基板ノイズ感度 G_{sub} を求める。またノイズの電圧波形を解析する場合は、チップレベル基板伝播解析で得られたノイズ波形を入力とし、デバイスレベル基板感度解析で過渡解析を行う。

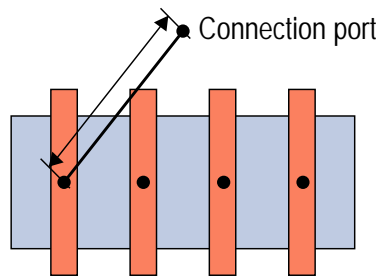
デバイスレベル基板感度解析フロー中の局所基板モデルを生成部の詳細はⅢ-2-I-③-(2)-図 2)-2-4-1-7 に示す。この部分では接地抵抗とフィンガ毎の基板抵抗を生成する。接地抵抗は抽出により得られた値を使用する。接続点から各フィンガまでの基板抵抗は、接続点座標とフィンガ座標の間の距離より計算し、書き出される。各フィンガからガードバンドまでの基板抵抗の生成は、まずフィンガからガードバンドまでの最短経路探索を行って距離を計算し、得られた距離から抵抗値を計算して書き出す。



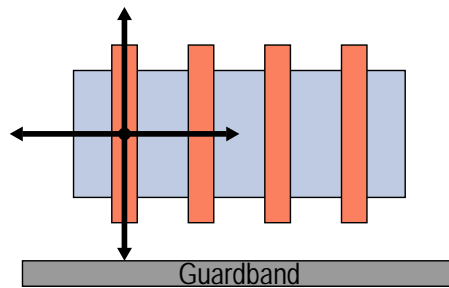
Ⅲ-2-I-③-(2)-図 2)-2-4-1-1: 基板ノイズ感度統合解析の概略フロー。



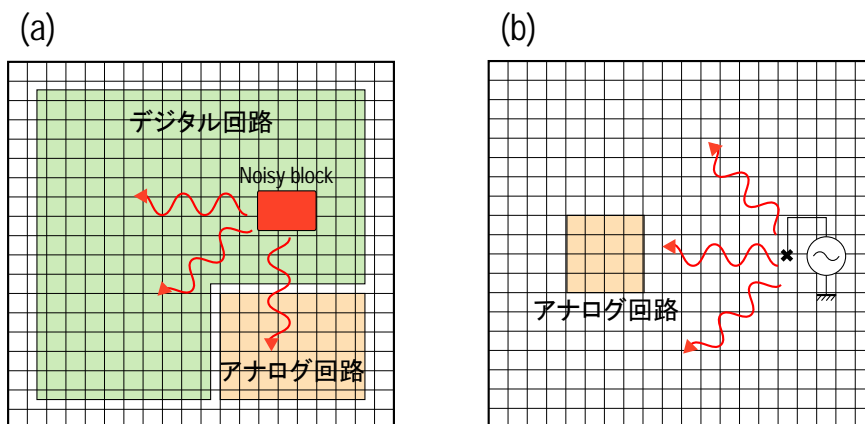
Ⅲ-2-I-③-(2)-図 2)-2-4-1-2: 基板結合解析のための局所基板モデル。



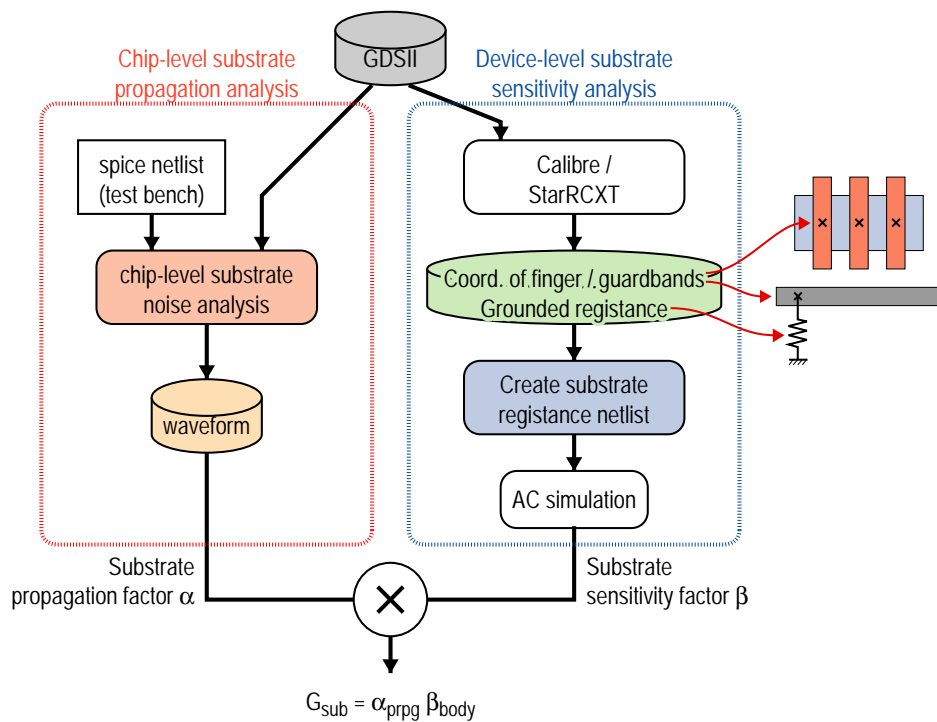
Ⅲ-2-I-③-(2)-図 2)-2-4-1-3: 接続点からフィンガのバックゲートまでの抵抗 R_{sub} の算出モデル。



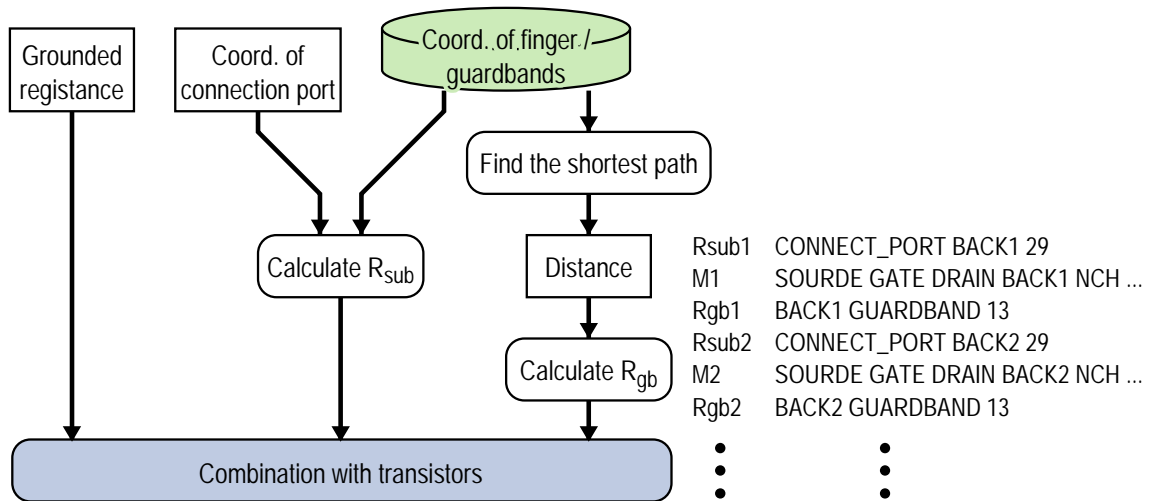
Ⅲ-2-I-③-(2)-図 2)-2-4-1-4: フィンガからガードバンドまでの抵抗 R_{sgb} の算出モデル。



Ⅲ-2-I-③-(2)-図 2)-2-4-1-5: チップレベル基板伝搬解析ツールの利用。(a)デジタル回路の雑音発生と伝搬(一般)、(b)チップ内の AC 信号源からの伝搬(本開発)。



III-2-I-③-(2)-図 2)-2-4-1-6: チップレベル基板伝播解析とデバイスレベル基板感度解析の統合解析フロー。



III-2-I-③-(2)-図 2)-2-4-1-7: 統合解析フローにおける局所基板モデルの生成フロー。

2)-2-4-2 チップレベル基板結合解析フローのプロトタイプ実装

本開発では、F 行列演算によって基板モデルを用いた解析と、Apache Totem-MMX による基板伝播解析の 2 種類のチップレベル基板伝播解析との結合を試みた。

F行列演算基板モデルによる基板伝播解析

F 行列演算基板モデルは、チップ内の特定領域をある大きさのメッシュで分割して抵抗メッシュを作成し、F 行列演算を用いてノード数を削減したものである。本開発では、テストチップのおよそ 1/4 の面積に相当する、増幅回路 16 個分の領域に対して生成した F 行列演算基板モデルを用いた。

III-2-I-③-(2)-図 2)-2-4-2-1 は、Chip #1 における基板ノイズ注入点から各増幅回路までの

基板伝播係数を解析したものである。F 行列演算による基板モデルは、メッシュサイズは設定値である $5 \mu\text{m}$ 以下にはならないため、接続点やガードバンドの点は各増幅回路の種類によらず近傍のメッシュ交点に接続されてしまう。そのため、解析対象とした増幅回路はそれぞれガードバンド間の距離などが異なるレイアウトであるが、基板伝播係数はほぼ同じ値に解析されている。

Totem-MMXによる基板伝播解析

Apache Design Solutions 社製の電源系ノイズ解析ツールである Totem-MMX を用いて、Chip #1 における基板ノイズ注入点から各増幅回路までの基板伝播係数をチップレベルで解析した結果を III-2-I-③-(2)-図 2)-2-4-2-2 に示す。

チップレベルの基板伝播解析には、チップ全面におけるチップ内電源配線、およびオフチップの電源配線寄生インピーダンスなどを含む必要である。III-2-I-③-(2)-図 2)-2-4-2-2 に示した解析において、Totem-MMX によりチップ内の電源配線等を抽出した結果を III-2-I-③-(2)-図 2)-2-4-2-3 に示す。評価対象としている増幅回路の電源系配線と、ノイズ源の電源配線が全て抽出できていることが確認できる。また、本開発で局所基板モデルとの接続に用いる接続点をはじめとする解析点へのノイズ伝播は、ノイズ電圧波形として取得される。本開発では基板伝播係数を取り扱うため、取得されたノイズ電圧波形からピーク電圧を計算し、ノイズ源での値との比を取って評価した。

Totem-MMX が、被評価増幅回路の近傍における基板伝播係数をメッシュ状に解析している様子を III-2-I-③-(2)-図 2)-2-4-2-4 に示す。この図において左側に位置するノイズ源から基板ノイズが拡散している様子、また増幅回路内のガードバンドによって基板ノイズが吸収されている様子が解析できていることがわかる。解析は $5 \mu\text{m}$ メッシュで実行しているため回路周辺の基板ノイズ量の分布がよくわかるが、デバイス 1 つあたりに高々数点しかメッシュ交点がないため、局所基板モデルが必要であることも再確認できる。

Totem-MMX による増幅回路毎の基板伝播係数の解析結果 (III-2-I-③-(2)-図 2)-2-4-2-2) を見ると、差動増幅回路の種類によってガードバンド間の距離などが異なるため、特に接続点までの基板伝播係数が増幅回路によって大きく異なっていることが確認できる。Totem-MMX は解析時に設定したメッシュサイズに関わらず、レイアウト構造によって適宜メッシュサイズを変更して解析が実行されている。そのため、ガードバンドのレイアウト構造による基板伝播係数の差が表現されやすくなっている。

統合解析の試行結果

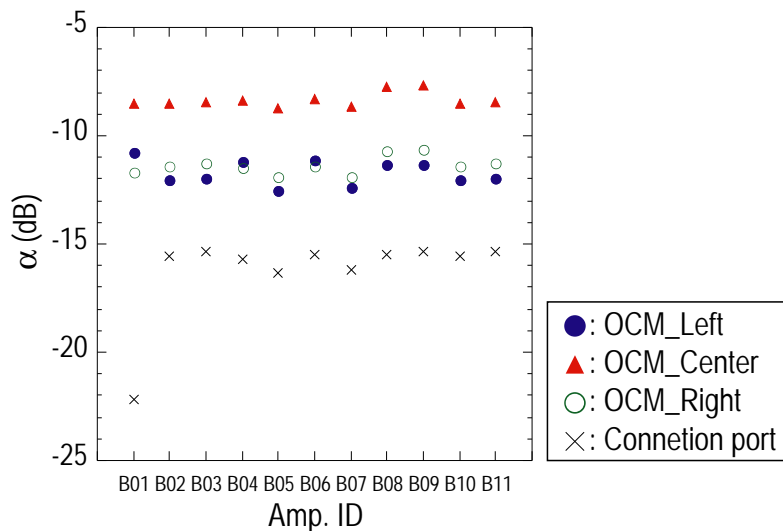
チップレベル基板伝播解析とデバイスレベル基板感度解析の統合解析結果を III-2-I-③-(2)-図 2)-2-4-2-5 に示す。この基板感度の算出にあたって、基板伝播係数は Apache Totem-MMX を用いて解析した数値を使用した。また(a) は接続点を差動増幅回路の差動対の中央に設定した場合の解析結果で、(b) は接続点を(a) の点から $10 \mu\text{m}$ だけノイズ源に近づけた場合の解析結果である。同図(a)の場合、デバイス真裏の基板ノイズ量分布が正確に再現され、デバイスサイズによって基板感度に差が生じる傾向が再現されている。一方、ある一定以下のサイズのデバイスはメッシュサイズがデバイスサイズより小さくなってしまったため、基板ノイズ量の分布が正確に解析されず、基板感度が過大評価されている。同図(b) の場合、接続点を離れたことで小サイズのデバイスでも基板感度が減少していく傾向が解析されているが、全体の傾きが緩やかとなり、接続点でのノイズ量が正確に解析できていない。

これらの結果から、基板結合のチップレベル統合解析において重要な事項を以下のようにまとめ

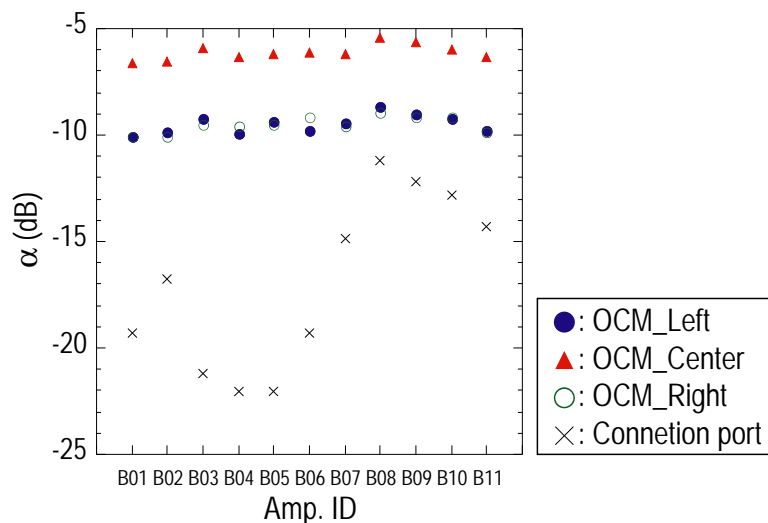
る。すなわち、

- ① チップレベル基板伝搬解析は被評価アナログ回路を構成する各トランジスタの中心近傍を結合点として、ノイズ源からこの結合点までの伝搬係数を求めること。
- ② デバイスレベル基板結合解析はトランジスタ及びその周辺のガードバンドを含む詳細な局所基板結合モデルにより①の結合点から各トランジスタ要素までの伝搬係数を求めること。
- ③ アナログ回路がトランジスタレベルのネットリストで表現され、これと局所基板結合の等価回路モデルをネットリスト結合することで、トランジスタのバイアス状態における基板感度を回路シミュレーションできること。

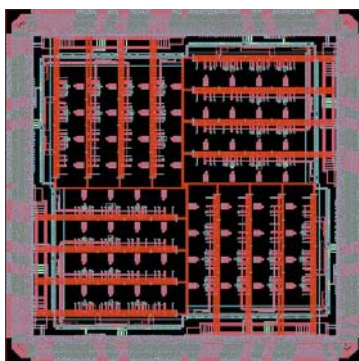
である。hp130nm(90nm ノード) CMOS 技術によるテストチップ Chip #1 を例題としたⅢ-2-I-③-(2)-図 2)-2-4-2-5 の結果は、これらの必要事項を満たした統合解析の結果である。



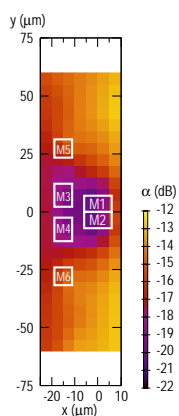
Ⅲ-2-I-③-(2)-図 2)-2-4-2-1: F 行列演算基板モデルにより導出した、テストチップ(Chip #1, hp130nm(90nm ノード) CMOS)における基板ノイズ注入点から増幅回路までの基板伝播係数。



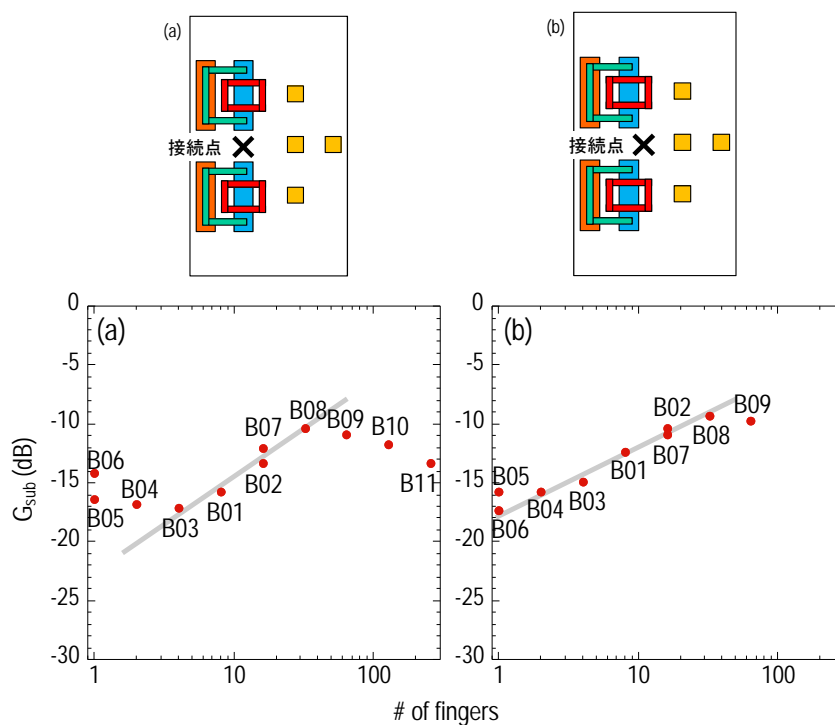
Ⅲ-2-I-③-(2)-図 2)-2-4-2-2: Totem-MMX により導出した、テストチップ(Chip #1, hp130nm(90nm ノード) CMOS)における基板ノイズ注入点から増幅回路までの基板伝播係数。



III-2-I-③-(2)-図 2)-2-4-2-3: Totem-MMX により抽出した、テストチップ(Chip #1, hp130nm (90nm ノード) CMOS)におけるチップレベル電源配線。



III-2-I-③-(2)-図 2)-2-4-2-4: Totem-MMX により解析した、被評価増幅回路の近傍における基板伝播係数の解析の様子。



III-2-I-③-(2)-図 2)-2-4-2-5: Totem-MMX により解析した、被評価増幅回路の近傍における基板伝播係数の解析の様子、(a)接続点を差動対トランジスタの midpoint に設定した場合、(b)接続点を差動対の中心点から $10 \mu\text{m}$ だけノイズ源に近づけた場合。

2)-2-5 アナログ基本回路における「ばらつきとノイズ感度」の高効率測定手法

アナログ基本回路における「ばらつきとノイズ感度」の評価には、環境ノイズに対する回路レベルのAC応答を非常に多数の個体に対して測定する必要がある。一般に、回路のAC応答評価には、チップ単位の給電やアナログ・デジタル各種信号に関わる多数のインタフェースピンの接続が必須であることから、プローバによるウェハレベル試験手法は適さない。この点が、デバイスレベルのDC測定によるばらつきの評価との違いになる。

本開発では、前章に示したテストチップを評価ボード上に実装し、外部電源や信号源、オシロスコープなどの外部機器と接続した状態で、プロービングにより環境ノイズを導入した。また、回路のAC応答をオンチップモニタにより測定した。この手法により確度の高いノイズ応答の測定が可能であるが、他方、フルオートプローバを適用できないため、個体ばらつきを評価に対して測定のスループットが非常に低いことが課題となった。

このような課題を解決するためには、オンチップで複数の個体に対して環境ノイズを分配する、あるいはオンチップで環境ノイズを発生する機構が有効であり、このための技術開発を行った。

2)-2-5-1 バッファアンプによる分配ノイズ注入

基板ノイズを発生させる方法として、デジタルノイズ源を動作させる方法、基板コンタクトを持つ配線にチップ外部からI/Oを通してノイズを導入する方法など様々な方法が考えられるが、アナログ回路の基板ノイズ感度の周波数応答を評価する場合は正弦波の基板ノイズを発生させる必要がある。

外部信号源からプロービングにより導入されたノイズを、バッファアンプを用いて対象の増幅回路に分配して評価する手法をⅢ-2-I-③-(2)-図 2)-2-5-1-1(a)に示す。スイッチングによりノイズを導入する増幅回路を切り替えることができるため、複数の増幅回路を評価する際にプロービングが1回で済み、評価スループットの向上が期待できるほか、GSGパッドが1つで済むために同じ面積で評価可能な増幅回路が多くなるという利点がある。また、各基板ノイズ注入点から見て増幅回路の反対側にはグラウンドにつながる基板タップを設けることで、反射等を軽減し、注入した基板ノイズが増幅回路に確実に向かうようになっている。また、バッファアンプから各スイッチまでの経路は、インピーダンスが 50Ω となるよう設計されている。この伝送路は、Ⅲ-2-I-③-(2)-図 2)-2-5-1-1(b)に示すようにパッドメタルを信号線、メタル5をシールド線にしたマイクロストリップラインである。

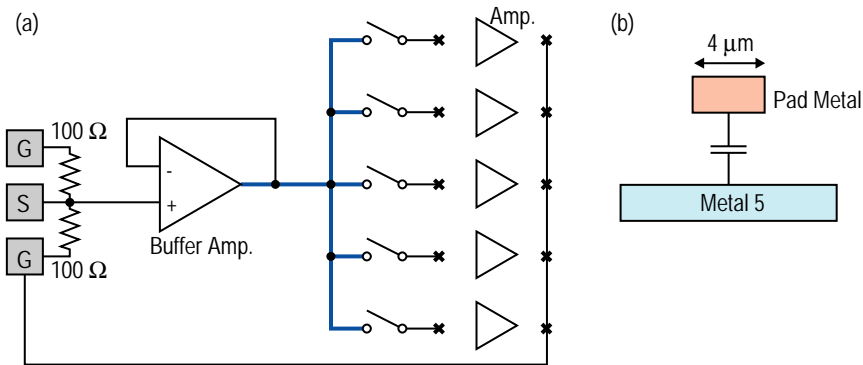
このバッファアンプの回路図をⅢ-2-I-③-(2)-図 2)-2-5-1-2に示す。基板にノイズを注入するため、0V中心のAC信号を0V中心で出力する必要があるため、3.3Vの高耐圧デバイスを使用し、 $\pm 1.65\text{V}$ の電源電圧を用いている。しかし、チップへの給電は3.3V系が標準であるため、 $\pm 1.65\text{V}$ 系の給電にはメタルスルーI/Oを使用しているほか、Ⅲ-2-I-③-(2)-図 2)-2-5-1-3に示すようにESD対策のための保護ダイオードを設置してある。制御信号も他の回路ブロックと共通化するために3.3V系の信号を使用しており、 $\pm 1.65\text{V}$ 系の電源電圧で駆動するバッファアンプの動作/非動作の切り替えスイッチと、ノイズの分配先を切り替えるスイッチを制御するため、3.3V系から $\pm 1.65\text{V}$ 系へのレベルシフタも配置した(Ⅲ-2-I-③-(2)-図 2)-2-5-1-4)。

このバッファアンプとその周辺回路のレイアウトをⅢ-2-I-③-(2)-図 2)-2-5-1-5に示す。バッファアンプ本体のレイアウトサイズは $32\mu\text{m} \times 36\mu\text{m}$ である。

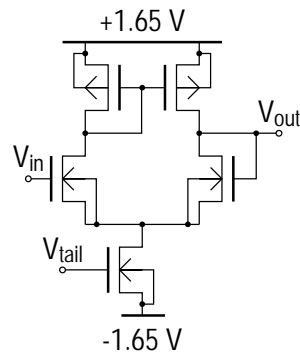
Ⅲ-2-I-③-(2)-図 2)-2-5-1-6はバッファアンプのDC特性とAC特性を解析したものである。注入する基板ノイズ振幅は最大で 1Vpp 、また1GHzまでの周波数を想定しているため、この特性で十分な評価が可能である。

Ⅲ-2-I-③-(2)-図 2)-2-5-1-7は評価対象の差動増幅回路、オンチップモニタの基板観測点、伝送路からの基板ノイズ注入ブロックのレイアウトである。バッファアンプからスイッチを通して分配さ

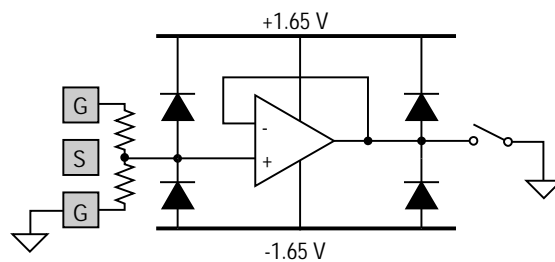
れたノイズは、増幅回路から $30 \mu\text{m}$ 程度離れた p+拡散よりシリコン基板に注入される。基板注入点と増幅回路の間には基板ノイズ観測点があり、オンチップモニタによりこの点の基板の電圧振幅が取得される。また、バッファアンプを用いたノイズ注入手法ではアンプ毎に GSG パッドを設ける必要がないため、Ⅲ-2-I-③-(2)-図2)-2-5-1-7のように1つの基板ノイズ注入点を複数の評価対象の差動増幅回路で共有することができ、より高密度なレイアウトが可能となっている。



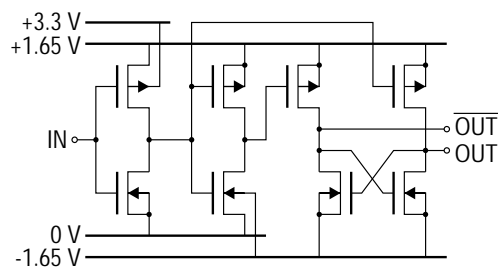
Ⅲ-2-I-③-(2)-図2)-2-5-1-1: オンチップ・バッファアンプによる基板への高周波ノイズ注入における(a)回路構成と(b)伝送路としての信号配線構造。



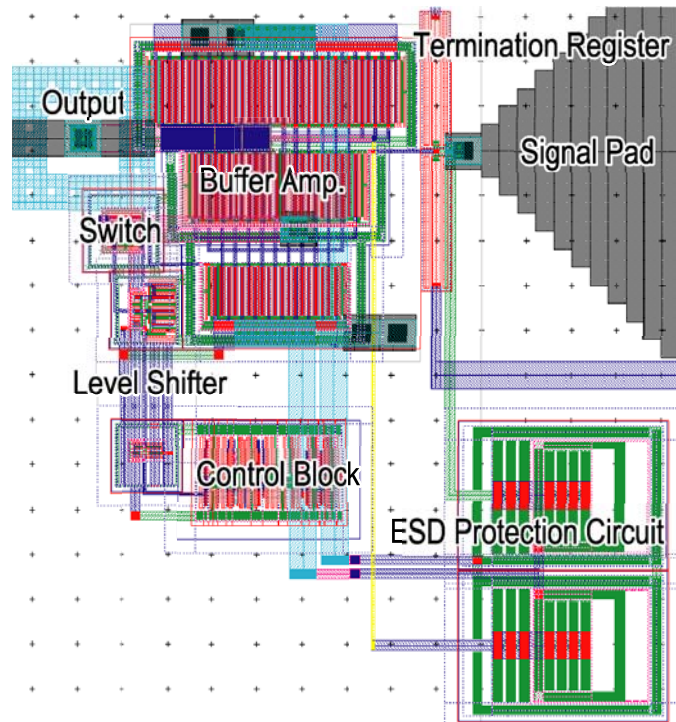
Ⅲ-2-I-③-(2)-図2)-2-5-1-2: バッファアンプの回路構成。



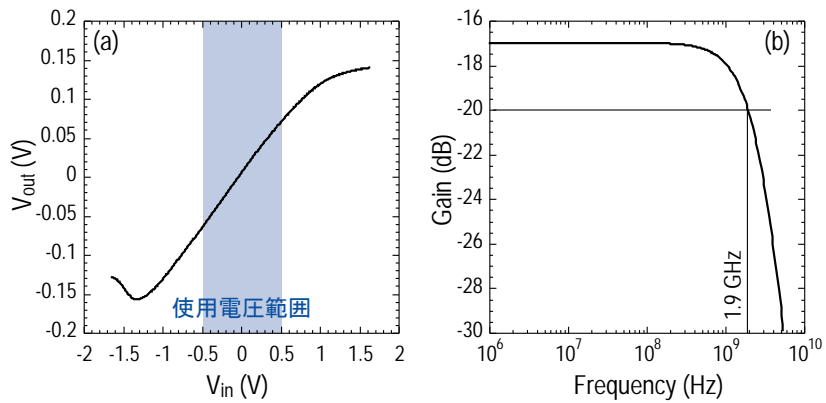
Ⅲ-2-I-③-(2)-図2)-2-5-1-3: ESD対策のための保護ダイオード。



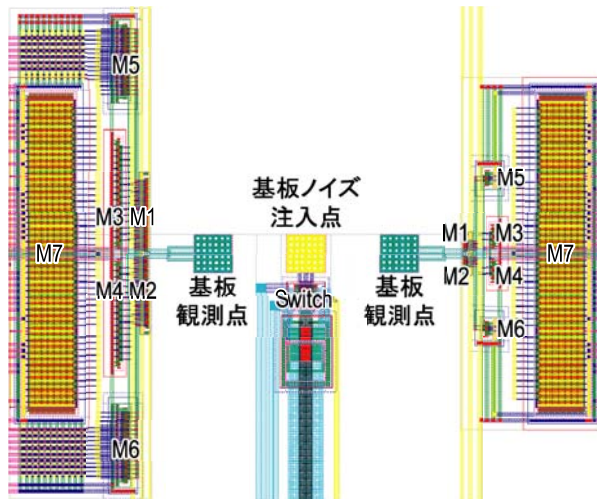
Ⅲ-2-I-③-(2)-図2)-2-5-1-4: レベルシフト回路。



III-2-I-③-(2)-図2-2-5-1-5: バッファアンプ及び周辺回路の物理レイアウト。



III-2-I-③-(2)-図2-2-5-1-6: バッファアンプのDC及びAC入力応答の解析結果。



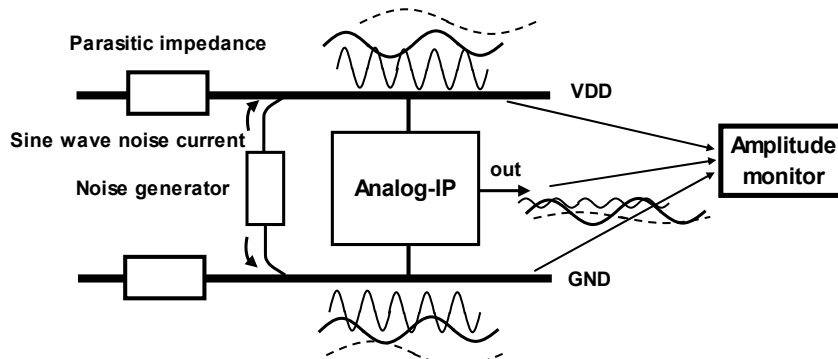
III-2-I-③-(2)-図2-2-5-1-7: 被評価増幅回路とその周辺のレイアウト構造。

2)-2-5-2 オンチップ正弦波ノイズ発生回路

2)-2-5-2-1 正弦波ノイズ発生のおんチップ化

アナログ回路のノイズ応答特性を評価するために、前述のように外部から正弦波信号を注入した。本開発では、この評価をさらに高効率化するため、比較的簡易な回路で数百 MHz の正弦波ノイズをオンチップ発生できる正弦波ノイズ発生回路についても開発した。

この回路では、矩形波を組み合わせて高調波除去波形を合成し、簡易なフィルタを通して高い Spurious Free Dynamic Range (SFDR)を持つ正弦波が発生可能である。また、この正弦波ノイズ発生回路をアナログ IP と共に集積し、周波数領域におけるアナログ IP のノイズ耐性評価を行った。Ⅲ-2-I-③-(2)-図 2)-2-5-2-1 に開発を行なった TEG のコンセプトを示す。正弦波ノイズ発生回路は正弦波ノイズ電流を出力し、それをアナログ IP のアナログ電源・グラウンドに注入する。ノイズ電流は、ボンディングワイヤのインダクタンス等で生じる電源インピーダンスにより電源ノイズに変換される。アナログ IP の電源、信号端子に見られるノイズの振幅を観測することで、ノイズに対する応答評価を観測する。この正弦波ノイズ回路は SOC で発生する数百 MHz 帯での電源ノイズを比較的シンプルな回路で構成し、さらに、1MHz 単位でノイズ周波数を設定することが可能である。この回路により周波数領域でのアナログ回路のノイズ応答特性が実現可能となる。



Ⅲ-2-I-③-(2)-図 2)-2-5-2-1: 正弦波ノイズ発生回路によるアナログ回路ノイズ耐性評価コンセプト。

2)-2-5-2-2 高調波除去波形による正弦波発生原理

100MHz~200MHz 付近の高速正弦波を比較的簡易な回路で発生させるため、本開発では矩形波から合成した高調波除去波形を用いた。Ⅲ-2-I-③-(2)-図 2)-2-5-2-2 に基本コンセプトを示す。まず、初めに矩形波から考える。矩形波は図に示されるように基本波(f_0)とその多数の高調波から構成される。その矩形波に処理を行なうことによりⅢ-2-I-③-(2)-図 2)-2-5-2-2 の真ん中の図のように低域成分の高調波が除去された波形を合成することが可能である。そのため、この高調波除去波形では基本波成分と、より周波数が高い高調波成分のみ残っている。次にフィルタにこの高調波除去波形を通す。高調波除去波形では、基本波周波数と高調波成分の周波数差が大きいため、フィルタのカットオフ周波数を基本波周波数のわずかに高いところに設定するだけで、基本波成分はそのまま通り、高調波成分は大きく抑圧されることになる。すなわち高い SFDR 特性を持つ正弦波が得られることになる。このようなコンセプトにより正弦波ノイズを発生させる。次に高調波除去波形の合成方法について述べる。

まず、初めに、既存の 3 次/5 次高調波除去波形について説明する。この波形は RF の高調波除去ミキサ等ではしばしば使われるものである。この波形はⅢ-2-I-③-(2)-図 2)-2-5-2-3 のよう

に、3つの矩形波を基本波成分の45度毎にシフトし重ね合わせたものである。特に2番目の波形は1番目と3番目の波形に対し $\sqrt{2}$ 倍されていることを特徴とする。これらの波形の組み合わせにより3次/5次高調波が除去されるが、この現象はフェーザを用いることで容易に理解することが出来る。まず、基本波成分の45度は3次高調波に関して $45 \times 3 = 135$ 度と等価である。そのため、Ⅲ-2-I-③-(2)-図2)-2-5-2-4(a)に示すように第1の波形のベクトルに対し第2の波形ベクトルは135度回転した位置にある。さらに第3の波形ベクトルは第1の波形ベクトルから $135 \times 2 = 270$ 度回転した位置に来る。この場合、第1と第3の波形ベクトルの和ベクトルと第2の波形ベクトルはⅢ-2-I-③-(2)-図2)-2-5-2-4(a)に示すように反対方向となる。そのため、和ベクトルと第2の波形ベクトルの大きさを等しくすること、すなわち、第2の波形ベクトルの大きさを第1、第3の波形ベクトルの $\sqrt{2}$ 倍することで、3次高調波に関する3つの波形ベクトルの和は0となり、3次高調波が消滅する。この現象は5次高調波にも同じようなことが当てはまる。基本波成分の45度は5次高調波に関して $45 \times 5 = 225$ 度に相当する。Ⅲ-2-I-③-(2)-図2)-2-5-2-4(a)と同じように、5次高調波に関してフェーザをⅢ-2-I-③-(2)-図2)-2-5-2-4(b)に示す。5次高調波に関し、第2の波形ベクトルは第1の波形ベクトルに対し225度回転した位置に来る。また、第3の波形ベクトルは $225 \times 2 = 450$ 度回転するため、結果として第1の波形ベクトルから90度回転した位置に来る。この場合、第1と第3の波形ベクトルの和ベクトルと第2の波形ベクトルが反対方向となる。また、第2の波形ベクトルは $\sqrt{2}$ 倍されているため、5次高調波に関する3つの波形ベクトルの和は0となり、5次高調波は消滅する。このようにⅢ-2-I-③-(2)-図2)-2-5-2-3のような3つの矩形波の組み合わせで3次/5次高調波除去波形が矩形波より生成されることが判る。

Ⅲ-2-I-③-(2)-図2)-2-5-2-5にⅢ-2-I-③-(2)-図2)-2-5-2-3から合成された波形を示す。階段状の波形になるが、0を横切る場合の変化が大きくなる特徴を持つ。Ⅲ-2-I-③-(2)-図2)-2-5-2-6にⅢ-2-I-③-(2)-図2)-2-5-2-5の波形のフーリエ変換で求めた周波数成分を示す。このグラフより3次、5次高調波は除去されていることが判る。さらに、この波形は11次、13次の高調波に関しても除去されている。これは、3次、5次高調波の場合と同じで3つの高調波ベクトルの和が0となるためである。しかしながら、この波形は7次、9次高調波に関して、それぞれ、基本波成分に関し14%、11%の成分が残っている。本開発では、それらの7次、9次高調波を除去することが目的となる。

7次及び9次の高調波除去を行なうため、Ⅲ-2-I-③-(2)-図2)-2-5-2-7のように3つの参照波形に関し22.5度ずつ位相をずらした場合を考える。22.5度は360度を16分割した値である。まず、7次高調波に関して同様にフェーザを用いて考える。基本波において22.5度は7次高調波に関して $22.5 \times 7 = 157.5$ 度に相当する。そのため、Ⅲ-2-I-③-(2)-図2)-2-5-2-8(a)に示すように、7次の高調波に関する第1の波形ベクトルに対し第2の波形ベクトルは157.5度回転した位置にある。次に第3の波形ベクトルに関しては $157.5 \times 2 = 315$ 度、第1の波形ベクトルから回転した位置にある。この場合、第1と第3の波形ベクトルの和は $(315 + 360) / 2 = 337.5$ 度の位置にある。これはちょうど第2の波形ベクトルと反対方向のベクトルになる。そのため、第1と第3の波形ベクトルの和と第2の波形ベクトルの大きさを等しくすることで、3つの参照波形に関する7次高調波のベクトル和は0となり、すなわち、7次高調波成分が消滅することになる。この大きさを等しくする値 H_{mag} は次式で表されることになる。

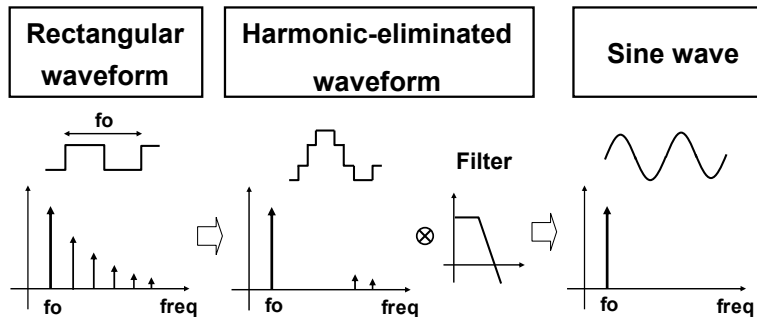
$$H_{mag} = \sqrt{2 + 2 \cos(\pi/4)}$$

9次高調波成分に関しても同様な考え方が適用出来る。基本波の22.5度は9次高調波に関して $22.5 \times 9 = 202.5$ 度に相当する。次に第3の波形ベクトルに関しては $202.5 \times 2 = 405$ 度回転した位置

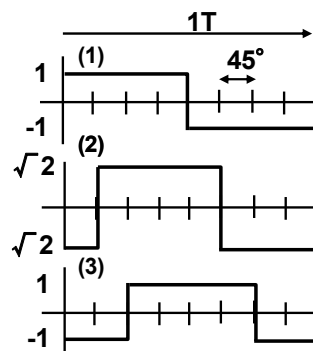
にある。この場合もⅢ-2-I-③-(2)-図2)-2-5-2-8 (b)の様に第1と第3の波形ベクトルの和と第2の波形ベクトルが反対方向にあり、且つ大きさも式(5-1)で定義されているため9次高調波に関しても総和が0となり、高調波は消滅する。

このように、同一の形状をした3つの参照波形について22.5度ずらし、且つ第2の波形の振幅を前式で定義した値にすることで、7次及び9次高調波を抑圧することが可能である。ここで、参照波形に前述の3次/5次高調波除去波形を用いることで13次までの高調波が抑圧された波形を合成することが可能となる。Ⅲ-2-I-③-(2)-図2)-2-5-2-9にⅢ-2-I-③-(2)-図2)-2-5-2-7の合成波形を示す。階段上の波形となっているが、変化の割合は一定ではなく、波形の重み付けに従って変化した波形となる。Ⅲ-2-I-③-(2)-図2)-2-5-2-10にⅢ-2-I-③-(2)-図2)-2-5-2-9の周波数成分を示す。図が示すように、3次から13次までの高調波成分が抑圧されていることが判る。(波形は左右対称なので偶数高調波成分は存在しない。)

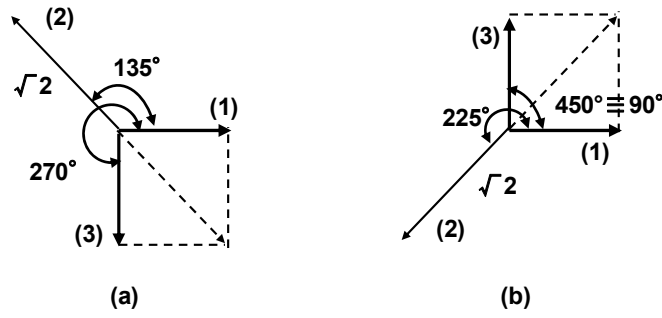
次に、提案の13次までの高調波除去波形を用いた場合の利点について述べる。高調波除去波形をフィルタに入力することにより、高調波成分が抑圧されSFDRの高い正弦波が得られることになるが、高調波成分の分布によりSFDRが異なってくる。Ⅲ-2-I-③-(2)-図2)-2-5-2-11は横軸にフィルタの次数、縦軸にSFDRの値を示した図である。フィルタはバタワース型を想定しており、カットオフ周波数は基本波成分の2倍の周波数とした。ここでは、3つの波形タイプ(矩形波、3次/5次高調波除去波形、提案波形)においてフィルタを通した後の基本波に対するもっとも大きい高調波成分の割合をSFDRとして示している。提案の高調波除去波形を用いた場合、より少ない次数のフィルタで所望のSFDR特性を得られることが判る。例えば、SFDR特性が60dBの波形を得たい場合、矩形波では10次の次数を持つフィルタが必要である。次に従来の3次/5次高調波除去波形では4次のフィルタが必要である。しかしながら、提案波形では、わずか2次のフィルタで60dBのSFDR特性が可能となる。このように、提案波形を用いることで、少ない次数のフィルタで所望のSFDRを得ることが出来るため、正弦波発生回路のサイズを小さくすることが可能である。



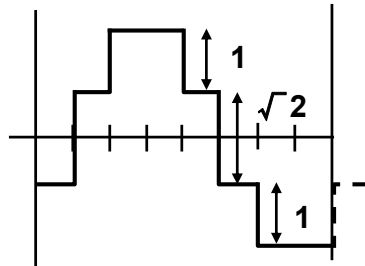
Ⅲ-2-I-③-(2)-図2)-2-5-2-2: 高調波除去波形による正弦波発生。



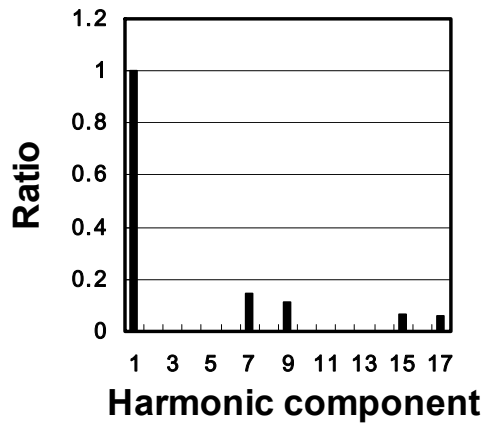
Ⅲ-2-I-③-(2)-図2)-2-5-2-3: 3次/5次高調波除去波形作成のための矩形波。



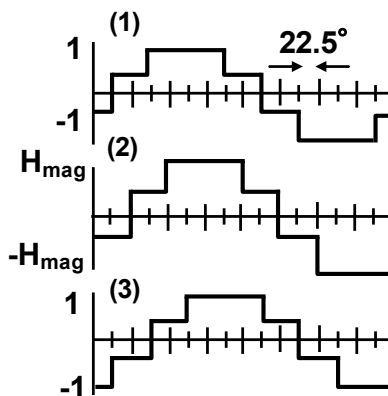
Ⅲ-2-I-③-(2)-図 2-2-5-2-4: 3次、5次高調波成分に関するフェーザー、
(a) 3次高調波成分、(b) 5次高調波成分。



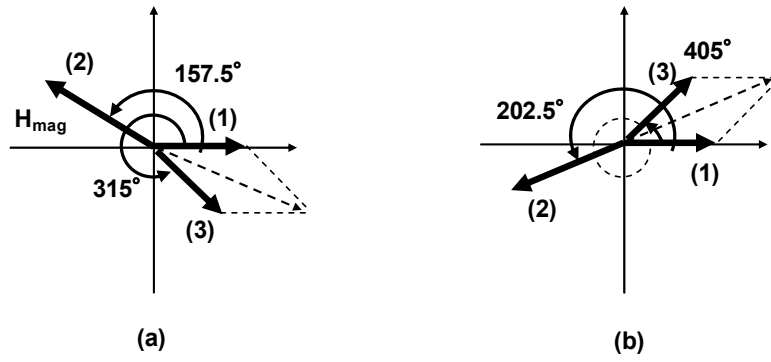
Ⅲ-2-I-③-(2)-図 2-2-5-2-5: 合成された3次/5次高調波除去波形。



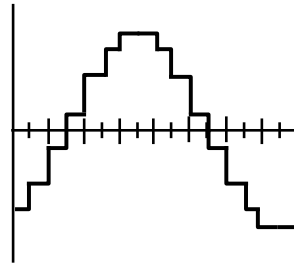
Ⅲ-2-I-③-(2)-図 2-2-5-2-6: 3次/5次高調波除去波形周波数成分。



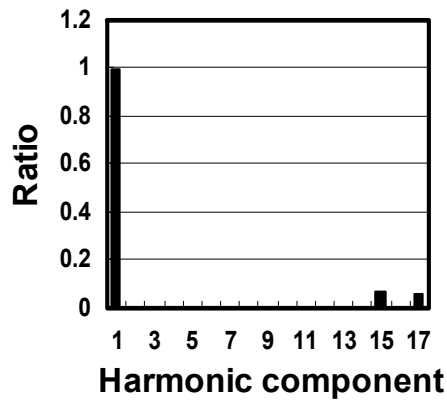
Ⅲ-2-I-③-(2)-図 2-2-5-2-7: 22.5度位相をずらした参照波形。



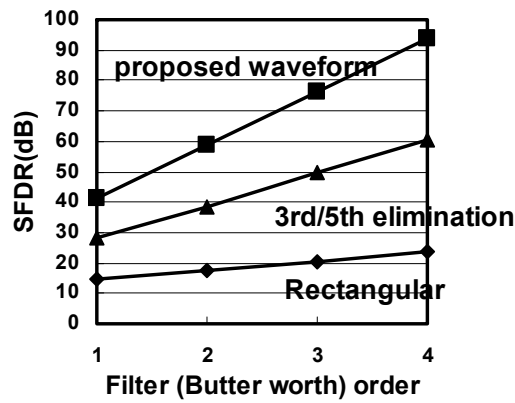
Ⅲ-2-I-③-(2)-図 2)-2-5-2-8: 7次、9次高調波に関するフェーザー、
(a) 7次高調波、(b) 9次高調波。



Ⅲ-2-I-③-(2)-図 2)-2-5-2-9: 13次までの高調波除去波形。



Ⅲ-2-I-③-(2)-図 2)-2-5-2-10: 提案波形周波数成分。



Ⅲ-2-I-③-(2)-図 2)-2-5-2-11: フィルタ次数 Vs SFDR 特性。

2)-2-5-2-3 正弦波ノイズ発生回路

高調波除去波形の原理を用いて正弦波ノイズ発生回路を設計した。Ⅲ-2-I-③-(2)-図 2)-2-5-2-12 に全体ブロック図を示す。この回路は、ノイズ電流発生回路、ノイズ電流出力回路、ノイズ周波数制御回路から構成される。ノイズ電流発生回路は7つの矩形波から前節で述べた高調波除去波形を合成する。その後、フィルタを通して正弦波で変化するノイズ電流を出力する。ノイズ電流出力回路は、ノイズ電流発生回路出力のノイズ電流を入力し、カレントミラー比を変えてノイズ電流量を変化させる。ノイズ電流発生回路は 0~20mA までノイズ電流量を変化することが出来る。この値は、例えばボンディングワイヤによるインダクタンスが 5nH の場合、100MHz のノイズ周波数で 100mVp-p 以上のノイズが発生できることを考慮してこの値にした。このノイズ電流を DUT の VDD/GND ラインに注入するが、VDD 側への注入は、ノイズ電流出力回路の NMOS で構成されたカレントミラー回路から行われる。逆に、GND 側に対してはノイズ電流出力回路の PMOS で構成されたカレントミラー回路からノイズ電流注入が行なわれる。このノイズ電流は DUT の VDD/GND ラインに接続されているボンディングワイヤのインダクタンス等によるインピーダンスで電圧ノイズに変換される。ノイズ周波数制御回路では、ノイズ周波数が所望の値になるようにノイズ電流発生回路の制御を行う。ここで、DUT のノイズ周波数応答特性を観測する場合、応答特性がノイズ周波数に対して急激に変化する可能性は小さいと思われる。そのため、精密に周波数を制御する必要はなく 1MHz の解像度程度で十分と考えられる。ノイズ周波数制御回路ではノイズ設定を 1MHz 単位で行い、ノイズ発生回路の周波数はノイズ設定の 1MHz 内に位置するような制御を行なった。

次に、前節で提案した高調波除去波形を合成するために、高調波除去波形を矩形波に分解する作業を行なう。Ⅲ-2-I-③-(2)-図 2)-2-5-2-13 に概念図を示す。提案高調波除去波形は 3 次/5 次高調波除去波形をベースとして、それらの波形を 22.5 度ずらした 3 つの波形から構成される。さらにそれぞれの 3 次/5 次高調波除去波形は 3 つの矩形波から構成される。それらの矩形波を位相毎に並べる。これらの矩形波の位相はⅢ-2-I-③-(2)-図 2)-2-5-2-13 に示されるように C1 から C7 の 7 つの矩形波に分解される。また、2 番目の 3 次/5 次高調波除去波形は振幅が Hmag だけ大きい。それらに留意して、各位相の矩形波の振幅の総和を計算するとⅢ-2-I-③-(2)-表 2)-2-5-2-1 の ideal の列となる。表より、矩形波の振幅に関して 5 つのパターンが存在することが判る。しかしながら、この ideal の値には $\sqrt{2}$ 、Hmag のような無理数を含んでおり、このままでは実際の回路として実現することが出来ない。そこで、今回は、各々の矩形波位相振幅に関して、少数第一位までの近似を行なった。それが、Ⅲ-2-I-③-(2)-表 2)-2-5-2-1 の右端の列となる。この近似により、当然、高調波抑圧度は低くなる。計算を行なった結果、3 次高調波の抑圧度はこの近似により $-\infty$ から-57dB に下がることになる。しかしながら、電源インピーダンスの変化は周波数により数十 dB も変化せず、例え、少々、DUT に注入されるノイズ電流に 3 次高調波が残っていたとしても、電源インピーダンスにより極端に 3 次高調波が大きくなることはないと考えられる。そのため、電源ノイズ測定用の正弦波としての使用にはこの近似で問題ないとした。この表の値を振幅を持つ 7 つの異なる位相を持つ矩形波を加算することで提案高調波除去波形が合成される。この振幅設定には、カレントソースのサイズ比を利用した電流設定が値を自由に設定できるという点で適している。次に、実現回路について説明する。

Ⅲ-2-I-③-(2)-図 2)-2-5-2-14 にノイズ電流発生回路の回路図を示す。この回路はリングオシレータ部、電流スイッチ部、フィルタ部から構成される。22.5 度(360 度の 1/16)の間隔を持ったクロックを発生させるために、8 段のリングオシレータを用いた。リングオシレータを構成するインバータは擬似差動構成を持っており、8 段目のインバータ出力を反転させて 1 段目のインバータにフィ

ードバックさせる。そのため、偶数段のインバータでも発振可能である。各インバータにはカレントソースが接続されており、このカレントソースの電流値を変えることでインバータの遅延時間が変化し、結果として発振周波数が変化する。差動出力に弱いラッチ回路を構成することで、差動出力に相関が生まれ擬似差動動作を行うことになる。8段のインバータ出力の内、7つの連続するインバータから出力を取り出し、電流スイッチ回路のスイッチングを行う。

これらの7つのクロックにより7つの重み付け電流源のスイッチングを行なう。電流源はⅢ-2-I-③-(2)-図 2)-2-5-2-14 に示すように、スイッチングの際の電圧変動に対して電流変動が小さくなるようにカスコード構成の電流源とし、それぞれの電流源はⅢ-2-I-③-(2)-表 2)-2-5-2-1 の値に従って重み付けがなされている。各電流源の電流は各クロックでスイッチングされた後、加算され、これにより提案高調波除去波形が合成される。

次に高調波除去波形成分を持った電流はカレントミラーに入力される。このカレントミラー回路は1次のローパスフィルタとしての役割を持っており、ここで、基本波以外の高調波成分が抑圧される。カレントミラー回路を構成するトランジスタのゲート・ソース間に容量を付加しており、この容量とカレントミラーを構成するトランジスタの gm 値でフィルタのカットオフ周波数が決まる。今回、ノイズ周波数が 200MHz 程度変わるため、ノイズ周波数値に応じて3段階に変えられるように、複数の容量のスイッチングを行なう。

次に、ノイズ周波数制御回路について説明する。アナログ回路の電源ノイズ応答特性は周波数変化に対してそれ程急峻に変化しないものと考えられる。そのため、ノイズ周波数を厳密に合わせる必要はなく、せいぜい 1MHz 範囲で変えることが出来れば、電源の共振特性も十分観測できると考えた。この仮定により、電源ノイズ周波数制御のために PLL のような複雑なアナログ回路を使用せず、全デジタル回路での制御回路の設計を行なった。Ⅲ-2-I-③-(2)-図 2)-2-5-2-15 にブロック図を示す。初めに、参照クロックとして入力した 16MHz のクロックを 16 分周し 1MHz のマスタークロックを作成する。また、ノイズ電流発生回路内のリングオシレータ出力を取り出し、周波数制御回路内のカウンタに入力する。このカウンタは 1MHz のマスタークロックによりカウント動作を繰り返し、カウンタ値をレジスタに格納する。次に、このレジスタ値と 1MHz を単位とする周波数設定ワードとの比較を行なう。比較回路ではカウンタの値と周波数設定ワードとの大小の比較が行なわれ、カウンタ値が周波数設定ワードの値以下であれば、Down を示す '0' が出力され、カウンタ値が周波数設定ワード値より大きければ Up を示す '1' が出力される。比較回路の次段に接続されるアップダウンカウンタは比較回路の出力に応じて内部レジスタの値を増減する。比較回路の出力が '0' の場合、内部レジスタの値から 1 を減算し、比較回路の出力が '1' の場合、内部レジスタの値を 1 つ増やす。アップダウンカウンタの出力はノイズ電流発生回路内リングオシレータ電流設定部に接続され、アップダウンカウンタの値によりリングオシレータ電流が変化し、それに応じてノイズ周波数が変化する。また、比較回路の出力は評価回路にも入力され、比較回路の比較結果が変わった時、すなわち、'0' → '1' 若しくは '1' → '0' への変化を検出し、アップダウンカウンタの動作をストップさせる。このような動作を行なうことでリングオシレータの発振周波数が周波数設定ワードに 1MHz の範囲内で決定されるようになる。

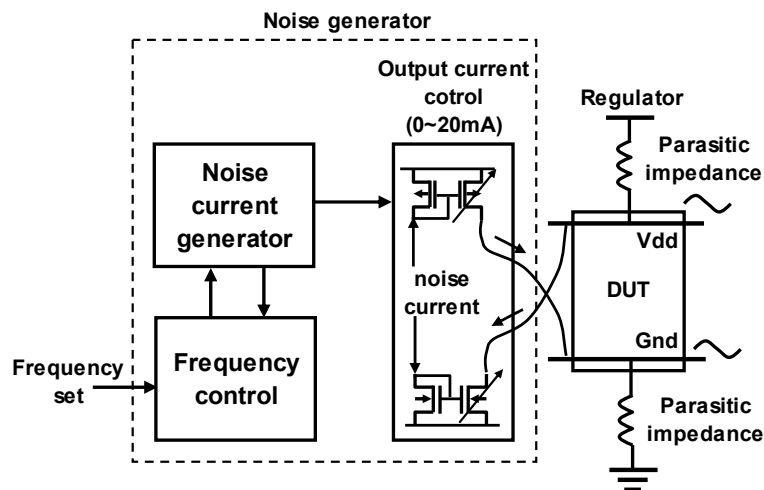
Ⅲ-2-I-③-(2)-図 2)-2-5-2-16 にシミュレーション波形を示す。下段の波形はリングオシレータで生成された 7つのクロックを示しており、それぞれ 22.5° 間隔で出力されている。中段の波形は重み付けカレントソースをクロックでスイッチングした後の合成電流波形(差動信号)を示しており、提案高調波除去波形が合成されている。図のように階段状に電流が変化しており、各段は重み付けに応じた変化量となっている。上段の波形はカレントミラーフィルタと電流出力回路を通した出力電流波形(シングル出力)となっている。フィルタや寄生容量によって中段で示した高調波除去波

形の高調波成分が抑圧され正弦波に近い波形が得られている。Ⅲ-2-I-③-(2)-図2)-2-5-2-17はⅢ-2-I-③-(2)-図2)-2-5-2-16で示した波形のFFT結果を示している。Ⅲ-2-I-③-(2)-図2)-2-5-2-17の上段の波形はⅢ-2-I-③-(2)-図2)-2-5-2-16の中段で示した高調波除去波形の周波数成分を示しており、基本周波数成分のパワーが最も大きく、次に15次、17次の周波数成分の波形が次に大きい。この傾向はⅢ-2-I-③-(2)-図2)-2-5-2-10で示した提案高調波除去波形の理論的予測と一致している。また、この波形では3次高調波が基本周波数より50dB低いところで現れている。これは、カレントソースの重み付けを近似して設計した結果であり、近似値を理想値にさらに近づけることで、この値はさらに小さくなる。Ⅲ-2-I-③-(2)-図2)-2-5-2-17の下段の波形はⅢ-2-I-③-(2)-図2)-2-5-2-16の上段の波形のFFT結果である。こちらの波形ではⅢ-2-I-③-(2)-図2)-2-5-2-17の上段に比べ2次高調波等の偶高調波が発生している。これは、カレントミラーフィルタ等をシングル動作させているためであり、カレントミラー回路の非線形性の影響が見えている。結果的に、基本波の次に2次高調波が2番目に高くみえ、SFDRは24dBとなる。しかしながら、DUTの電源インピーダンスがこれらの周波数範囲で20dB以上急激に変化することは考えにくく、電源ノイズ発生電流の値としては十分な値であると考えられる。この問題に関しては、フィルタを差動化することでSFDR値を改善することが予想される。

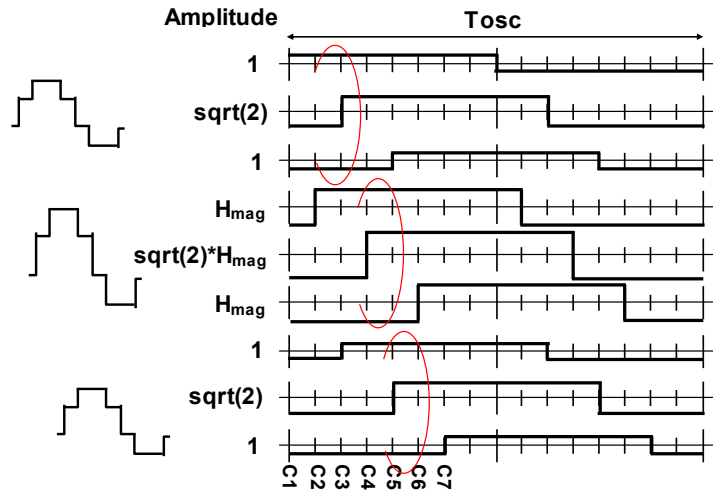
Ⅲ-2-I-③-(2)-図2)-2-5-2-18にレイアウトを示す。本回路はhp130nm(90nmノード)プロセスを用いて設計を行なった。また、レイアウト面積は175um x 260umとコンパクトに出来た。また、電源電圧は1Vで動作し、電流出力回路を除いた回路電流は100MHz発振時に1.4mAである。このように本回路はサイズ及び電流も小さいことから、アナログIPのTEGに負担なく本回路をテスト回路の一部として入れることが可能である。

Ⅲ-2-I-③-(2)-表2)-2-5-2-1: 各位相における矩形波の振幅。

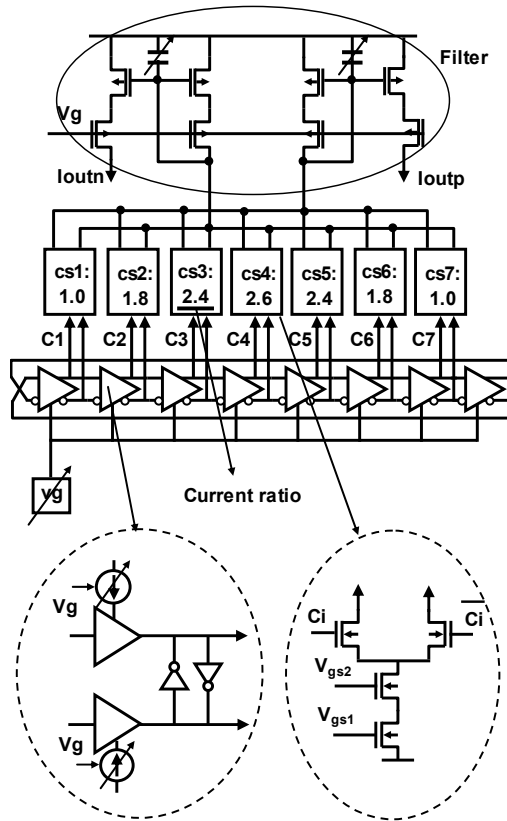
Clk	ideal	cir.
C1	1	1.0
C2	H_{mag}	1.8
C3	$\sqrt{2+1}$	2.4
C4	$\sqrt{2} \cdot H_{mag}$	2.6
C5	$\sqrt{2+1}$	2.4
C6	H_{mag}	1.8
C7	1	1.0



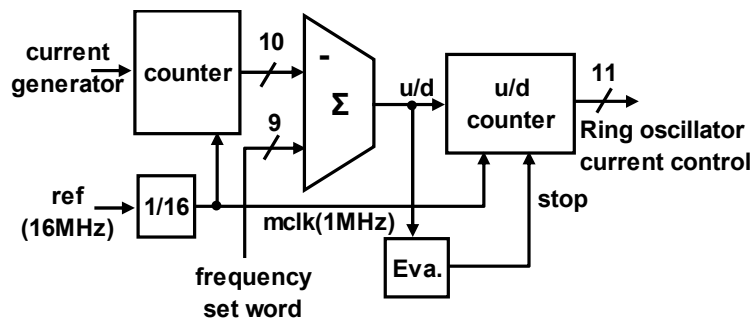
Ⅲ-2-I-③-(2)-図2)-2-5-2-12: 正弦波ノイズ発生回路ブロック図。



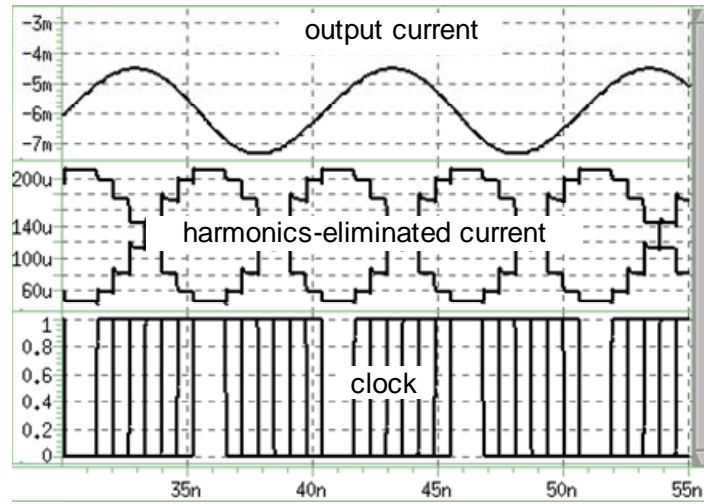
III-2-I-③-(2)-図 2)-2-5-2-13: 提案高調波除去波形の矩形波への分解。



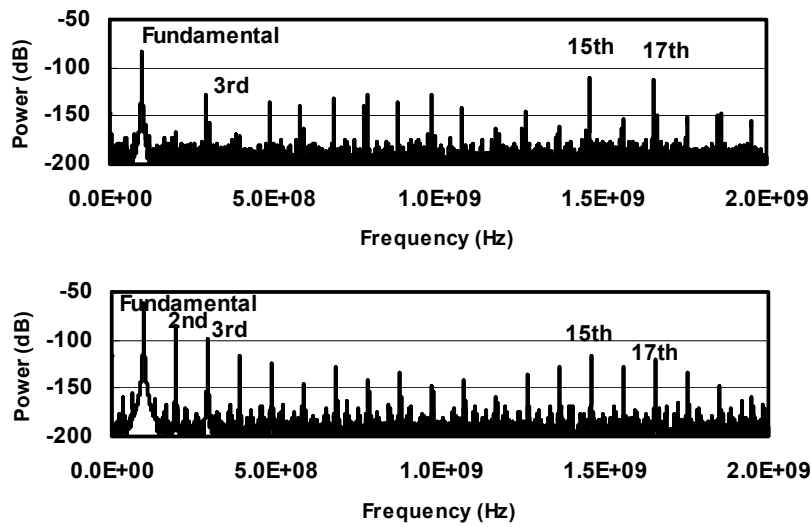
III-2-I-③-(2)-図 2)-2-5-2-14: ノイズ電流発生回路。



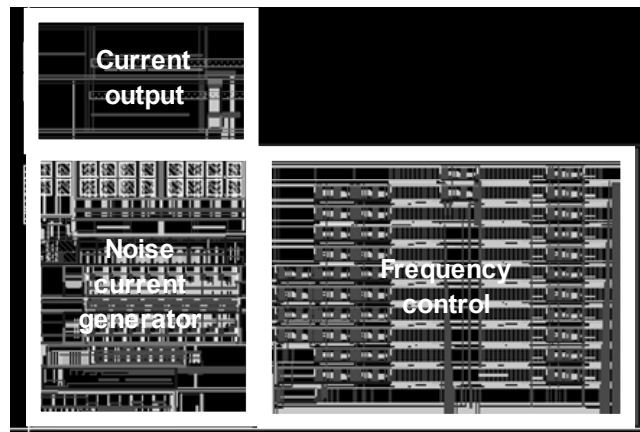
III-2-I-③-(2)-図 2)-2-5-2-15: ノイズ周波数制御回路ブロック図。



III-2- I -③-(2)-図 2)-2-5-2-16: シミュレーション波形。



III-2- I -③-(2)-図 2)-2-5-2-17: シミュレーション波形の FFT 結果、
 (上段)高調波除去電流波形(差動)、(下段)フィルタ出力波形(シングル)。



III-2- I -③-(2)-図 2)-2-5-2-18: 正弦波ノイズ発生回路レイアウト図。

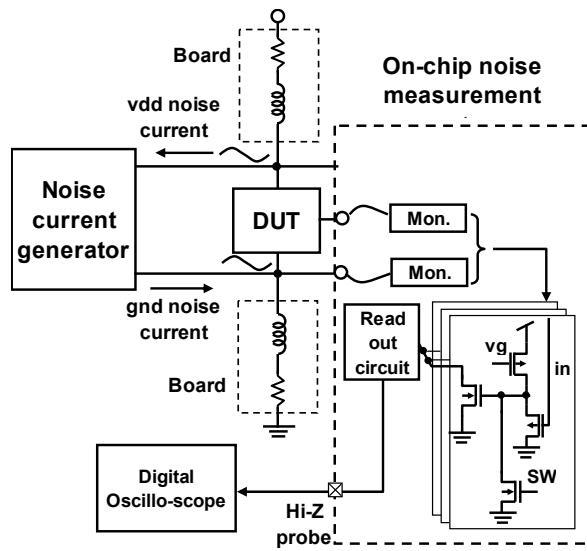
2)-2-5-2-4 テストチップによる評価結果

チップ内部で生じている電源ノイズをチップ外で直接観測することは困難である。そのため、オンチップモニタシステムを用いた。Ⅲ-2-I-③-(2)-図 2)-2-5-2-19 に測定系を示す。まず、チップ内部の電圧はソースフォロワとトランスコンダクタンスアンプにより電流信号に変換される。また、モニタスイッチがこのシステムに内蔵されており、多数のモニタから1つを選択し、チップ外に電流を取り出すことが出来る。チップの外には電圧変換用の外付け抵抗がボードに実装されており、この抵抗により出力電流が電圧に変換され、オシロスコープ等の測定器で波形の評価を行う。このモニタ回路は1GHzの帯域と±200mVの線形応答領域を持っており、今回のノイズ波形の評価に十分な特性を持つ。本チップではこのようなオンチップモニタシステムを用い DUT の電源ノード及び出力端子の波形観測を行なった。正弦波ノイズ発生回路からのノイズ電流は、ボード上の11Ωの寄生抵抗、ボンディングワイヤによるインダクタンス及び寄生容量により形成される電源インピーダンスにより、電圧ノイズに変換される。

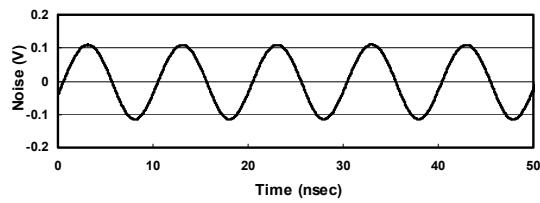
Ⅲ-2-I-③-(2)-図2)-2-5-2-20に、オンチップモニタシステムで観測した、ノイズ周波数100MHzでのグラウンドに生じたノイズ波形を示す。210mV_{p-p}の振幅を持つ正弦波ノイズがグラウンドに生じていることが観測された。また、出力電流制御回路の値を変化させることで、モニタの線形出力範囲内で振幅が制御回路の値に比例して変換することも観測出来た。Ⅲ-2-I-③-(2)-図2)-2-5-2-21にⅢ-2-I-③-(2)-図2)-2-5-2-20で得られた波形のFFT解析結果を示す。回路のシングル動作を反映して、第2高調波が基本波の次に大きく見えているが、40dBのSFDRを観測することが出来た。

Ⅲ-2-I-③-(2)-図2)-2-5-2-22に、ノイズ周波数設定ナンバーに対するノイズ周波数値を示したグラフを示す。本ノイズ発生回路は20MHzから220MHzの周波数範囲内のノイズを発生することが出来る。この周波数範囲はリングオシレータの発振範囲で決まっている。また、各ノイズ周波数においてノイズ周波数設定ナンバーに対し、1MHzの範囲内でノイズが発生していることを確認した。また、図に示すように低周波数領域及び高周波数領域でも正弦波に近いノイズが得られていることを確認した。Ⅲ-2-I-③-(2)-図2)-2-5-2-23は各ノイズ周波数におけるSFDR特性を示す。各周波数において、Ⅲ-2-I-③-(2)-図2)-2-5-2-21に示した100MHz時の時と同様に2次高調波が最も大きな高調波となり、そこで、SFDR特性が決定される。さらに、3次高調波はいずれにおいても2次高調波より10dB以上低い値を示していた。SFDR特性が最も良い領域は100MHz近辺で、低域側になってくるとSFDR特性が劣化する。これは、搭載できる容量サイズの関係でカレントミラーフィルタのカットオフ周波数が65MHzとノイズ周波数に対し高めに設定されていることが原因と考えられる。また、高域でのリングオシレータ発振境界領域ではノイズ波形振幅が不安定であり、これもまた、高域周波数でのSFDRを劣化される原因となっている。

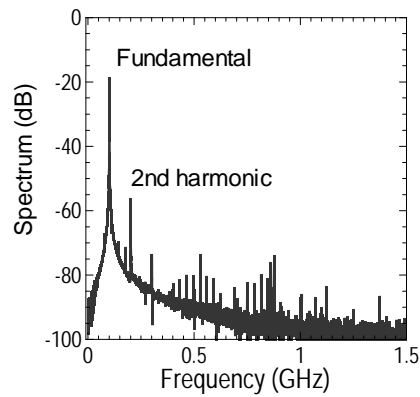
本ノイズ発生回路を用いて、回路のノイズ応答特性の周波数領域での評価が可能となる。そこで、テスト回路における電源ノイズ除去比(PSRR)特性を評価した。Ⅲ-2-I-③-(2)-図2)-2-5-2-24にテスト回路の回路図を示す。ノイズ電流がグラウンド線に注入されグラウンド線の寄生インピーダンスにより電源ノイズに変換される。また、この電源ノイズが回路のPSRR特性により出力端子に現れる。そこで、ノイズモニタ回路をグラウンド線とテスト回路の出力端子に接続し、各端子に現れるノイズの振幅を評価して割合を求めることでPSRR特性を求めた。Ⅲ-2-I-③-(2)-図2)-2-5-2-25にシミュレーションと評価でのPSRR特性の比較を示す。評価結果はシミュレーションにより求めたPSRR特性と良く一致しておりオンチップでの周波数特性評価の妥当性が確認された。



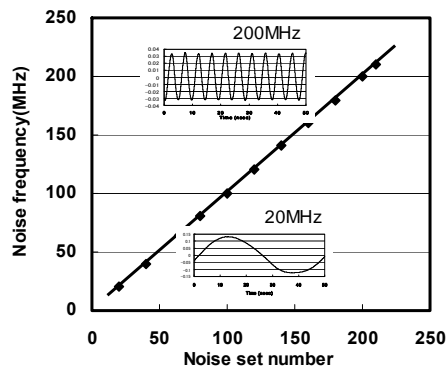
III-2-I-③-(2)-図 2)-2-5-2-19: オンチップノイズ測定系。



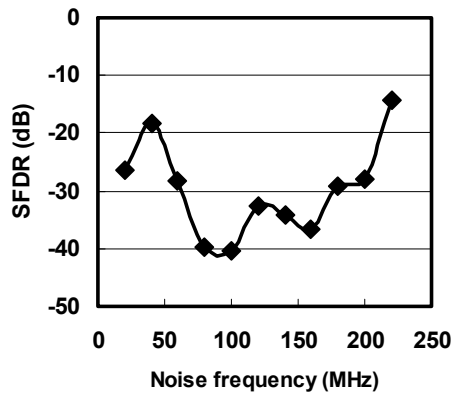
III-2-I-③-(2)-図 2)-2-5-2-20: 100MHz 時のグラウンドノイズ波形。



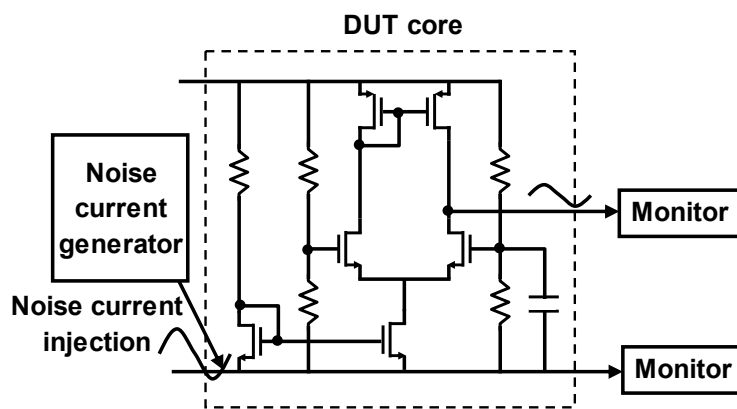
III-2-I-③-(2)-図 2)-2-5-2-21: グラウンドノイズ波形の FFT 解析結果。



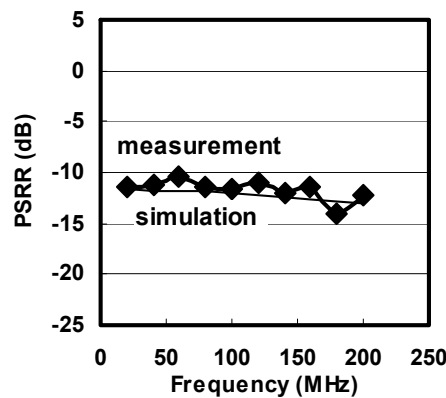
III-2-I-③-(2)-図 2)-2-5-2-22: ノイズ周波数設定ナンバーVs ノイズ周波数。



III-2-I-③-(2)-図 2)-2-5-2-23: 各ノイズ周波数における SFDR。



III-2-I-③-(2)-図 2)-2-5-2-24: PSRR 測定のためのテスト回路。



III-2-I-③-(2)-図 2)-2-5-2-25: ノイズ発生回路による PSRR 測定結果。

2)-2-5-2-5 まとめ

高調波除去波形を用いた正弦波ノイズ発生回路を提案し、それによりアナログ回路の電源ノイズ耐性を周波数領域でオンチップ評価可能なテスト回路を実現した。高調波除去波形作成に関して、従来波形より高域の高調波が除去された 13 次までの高調波除去波形の作成方法の指針を与えた。また、その波形を利用して、比較的簡素な回路で構成される正弦波発生回路を実現した。評価の結果、20MHz から 220MHz までの正弦波ノイズ発生が得られ、良好な SFDR 特性を得るこ

とが出来た。さらに、正弦波ノイズ発生回路を用いることで、オンチップでテスト回路の PSRR 特性が評価できることを示した。本回路のノイズ発生範囲は内蔵リングオシレータ特性で決まっており、リングオシレータ回路を改良することで、さらに高域の正弦波ノイズ発生も可能である。このようなオンチップ正弦波回路を用いることにより評価効率が向上するとともに、回路自体は信号発生回路として今後、他分野での応用展開も可能である。

2)-2-6 まとめ

本開発では、アナログ基本回路における「ばらつきとノイズ感度」に関して集中的な開発を行った。アナログ基本回路の評価回路 IP をアレイ化したテストチップを開発し、また「ばらつきとノイズ感度」のその場評価システムを確立した。また、「ばらつき」と「ノイズ」がアナログ回路に及ぼす影響に関して、回路シミュレーションによる解析性を向上するため、デバイス等価回路モデルによる「ばらつきとノイズ感度」の表現手法を開発した。さらに、「ばらつきとノイズ感度」の主たる支配要因である基板結合感度を考慮して、デバイスサイズ選択とレイアウト構造を決定する指針を導出した。

アナログ・デジタル混載 VLSI における基板ノイズの解析には、デジタル回路によるノイズの発生、シリコン基板中のノイズの伝搬、アナログ回路のノイズ感度、の三要素を精度良く表現する手段が欠かせない。一般に、従来の研究開発で前二者については広く研究開発がなされており、チップレベル基板伝播解析ツールとして商用化・実用化がなされている。他方、アナログ回路のノイズ感度はこれまで課題として残されており、本開発を通して実験的かつ解析的な理解を進めることが出来、最終的にチップレベル伝搬解析とトランジスタレベル感度解析を結合した、基板ノイズの統合的解析技術を構築することが出来た。

2. 研究開発項目毎の成果

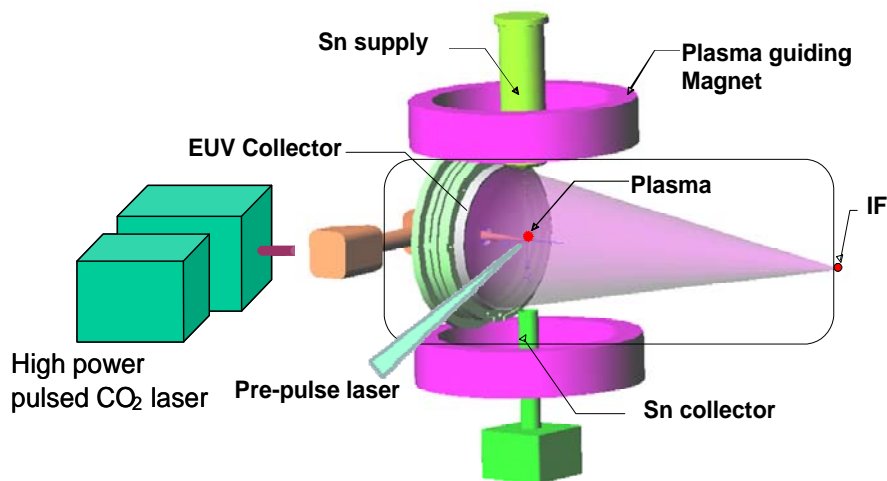
(1) LPP 光源

EUVA 平塚研究室においては、レーザ生成プラズマ(LPP: Laser Produced Plasma)方式による EUV 光源高信頼化技術の開発 NEDO 委託研究(MIRAI)と拡張性を有する高出力 EUV 光源の開発(EUVA 自主研究)を実施している。ここでは MIRAI 委託研究の光源高信頼化技術を中心にして述べる。ここでは、III-2-II-⑤-(1)-図 1(a)に示すような高出力炭酸ガス(CO₂)レーザと錫(Sn)ドロップレットターゲットおよび磁場プラズマ制御を用いた EUV 光源の開発を進めた[1]。

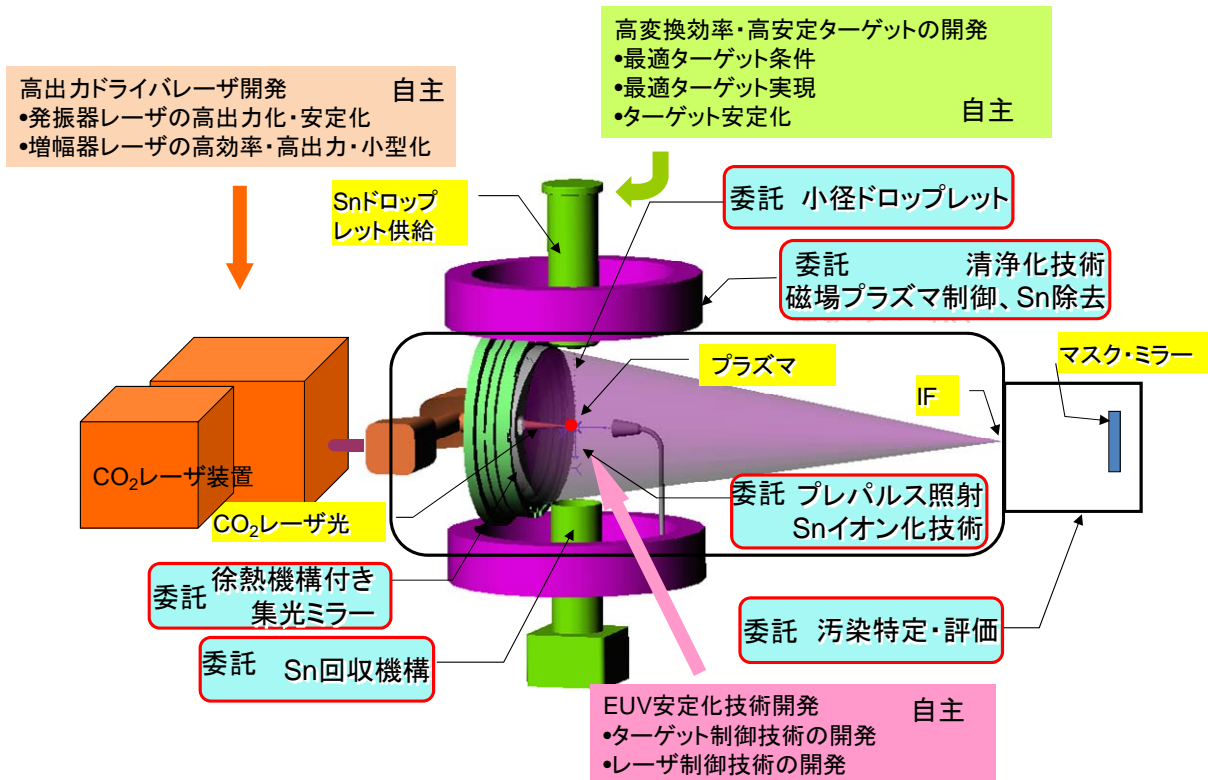
LPP 光源においては、大出力のパルスレーザ光をターゲット上に集光照射することにより、EUV 光を効率良く放射する高温高密度のプラズマを生成する。この LPP 光源の最大の特徴は、出力の拡張性である。基本的には、ドライブレーザの出力を増加させることによって、EUV 光源の高出力化を実現することができる。また、プラズマが比較的小さいため、発生した EUV 光を効率的に利用できるという特徴がある。さらに、プラズマと他の構造物との距離が長く取れ、プラズマがフリースタンディングであるために、熱の処理が比較的容易である。以上の特徴から LPP は量産用 EUV 光源となり得る可能性が高いと考えられる。一方、実用 EUV 光源として中間集光点で 115 W を得るためには、レーザ出力として 10 kW 以上の大きな出力が必要と試算され、装置構成も大型となる。このため、装置構成が複雑なために研究から実用化に時間を要すると共に、装置コストが比較的高くなるという課題がある。レーザの発振効率の改善と共に、レーザから EUV への変換効率(CE; Conversion Efficiency:)の向上が、LPP 光源の実用化への重要な技術課題である。

これらの課題を解決するために、高出力 CO₂レーザと Sn ドロップレットターゲットを用いた LPP 方式 EUV 光源を開発している(III-2-II-⑤-(1)-図 1(a))。従来、プラズマ生成のドライブレーザとしては、YAG レーザが用いられてきたが、CO₂レーザを用いることにより、変換効率の向上や、デブリの低減で利点があることが本プロジェクトにおいて判明した。技術的に完成度の高い CO₂レーザ技術を元に、高出力パルス増幅器 CO₂レーザシステムを開発している[2]。ターゲット材質として、Snを用いた場合には、比較的高い EUV 変換効率を得られる利点がある。一方で、Snデブリ(飛散粒子)の発生は、高価な EUV 集光ミラーの長寿命化の観点で問題となる。これに対しては、磁場によるイオン制御を用いた集光ミラーの保護技術の開発を進めている。

NEDO 委託研究(MIRAI)と EUVA 自主研究の研究テーマの概要を III-2-II-⑤-(1)-図 1(b)に示す。以下に、NEDO 委託研究(MIRAI)で実施の「EUV 光源高信頼化技術開発」と、EUVA 自主研究で実施の「拡張性を有する高出力 EUV 光源の開発」に関する、EUVA 平塚研究室の研究成果を報告する。



III-2-II-⑤-(1)-図 1(a) LPP 方式 EUV 光源装置の構成



III-2-II-⑤-(1)-図 1(b) NEDO 委託研究(MIRAI)と EUVA 自主研究の研究テーマ

参考文献

[1] H. Mizoguchi et al.: Proc. SPIE, Vol. 7636 (2010) ,763608
 [2] T.Ohta et al.: EUVL Symposium 2010 SO-P03

1) LPP 光源における「光源起因マスク・ミラーの汚染評価技術の開発」

LPP 光源側より発生する燃料デブリの流入計測技術として、LIF(Laser Induced Fluorescence; レーザ誘起蛍光法)を用いた Sn 計測技術の開発を進めた。平成 20~21 年度は、開発した LIF 計測装置を用いて、レーザーアブレーションにより生成した Sn 原子の IF 点での計測可能性を検証した。この結果、反射率低下が 10% 以下となる Sn 汚染量に相当する Sn 原子密度 2×10^6 個/cm³ の測定感度を達成した。

平成 22 年度は、さらに高感度を目指して、フォトンカウンティングを用いた超高感度 LIF 錫計測技術の開発を実施した。

2) LPP 光源における「集光光学系の清浄光源モジュールの開発」

平成 20 年度より、Sn イオンに対する磁場による制御技術、及び、Sn 中性粒子の影響低減のための技術の開発を進めた。平成 21 年度は、磁場とミラーの組み合わせによる、清浄化のための要素技術を総合的に実証するための設備を整備した。一方、中性 Sn による集光ミラー汚染対策として、Sn 原子の発生低減とイオン化技術の開発を行った。Sn 原子の発生低減技術として、小径 Sn ドロップレット・ターゲットの開発とプレパルス照射技術の開発を行った。また、Sn 原子のイオン化に関しては、レーザー共鳴吸収によるイオン化の基礎実験と実用化検討を実施した。更に、集光コレクタ表面に堆積した Sn の除去技術として、エッチングガスを用いたクリーニング技術のLPP用直入射コレクタへの適用検討と基礎実験を実施した。この結果、エッチングガスが磁場イオン回収に影響を与えないことを確認した。

平成 22 年度は、量産レベルでの清浄化技術の総合試験を実施するために、平成 21 年度に実施した小径

Snドロップレット・ターゲットとプレパルス照射技術開発の最適化と改良を進めた。この結果、 $<20\ \mu\text{m}\ \phi$ の小径化ドロップレットの安定生成が可能となった。また、小径化ドロップレットへのプレパルス照射により、デブリの消失することを確認した。コレクタ表面に堆積したSnの除去技術に関しては、平成21年度の成果をもとに、大面積・均一Sn除去技術を開発した。

3) LPP 光源における「高出力対応熱管理技術の開発」

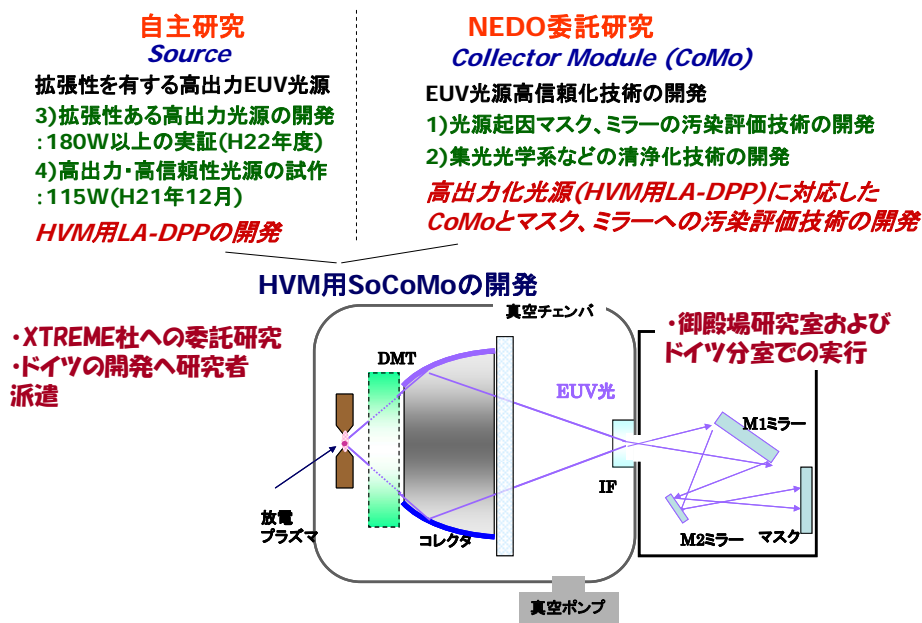
平成 20 年度は、計測データに基づいて高出力動作時のコレクタへの入熱量を算出し、これによるコレクタの熱応力変形と IF 位置での EUV 集光像への影響をシミュレーションにより評価した。シミュレーションの結果、適切な冷却機構によりこの入熱量に対して IF 位置での EUV 集光像を保持できる見込みを得た。平成 21 年度は、平成 20 年度の開発結果を基に冷却機構を備えた直入射コレクタを試作した。さらに、EUV 反射率 $>50\%$ という要求仕様を満たす、直径 300mm の直入射コレクタを製作した。平成 22 年度は、21 年度の実績をもとに、EUV 反射率 $>50\%$ 、直径 400mm の実用レベルの大口径の直入射コレクタを製作した。

(2)DPP 光源

EUVA 御殿場研究室では、NEDO 委託研究と自主研究において、III-2-II-⑤-(2)-図 1 に示す様に、EUV 光源高信頼化(NEDO 委託研究(MIRAI))と高出力化技術開発(自主研究)において DPP(Discharge Produced Plasma)の開発を行っている。実用化に向け開発している DPP のタイプは、高出力化、長寿命化、高信頼化、低コスト化、などの観点で優位な回転電極 LA-DPP (Laser Assisted DPP:レーザ融合型 DPP)である。NEDO 委託研究(MIRAI)では御殿場研究室のドイツ分室をドイツ XTREME 社に設け、また、自主研究においては、XTREME 社に委託研究を行い、また、研究者を派遣して、開発を進めた。

委託研究においては、LA-DPP の 180W 出力想定時の高信頼化に取り組んだ。光源起因マスク・ミラーの汚染評価では高精度反射率測定 of 可能な汚染評価装置を開発、また清浄化技術の開発では、中性デブリおよび高速イオンデブリの発生低減(Sn 塗布膜薄膜化、アドバンストリガーレーザ)と高デブリ捕獲可能な DMT (Debris Mitigation Tool)を開発した。また高出力熱管理技術として、HVM レベルの DeCo (Debris Mitigation Tool-Collector Module)を一体化した温度-構造-光学連携シミュレーション、発光点での放射成分(輻射、非輻射成分)の計測、そして Sn 循環装置の開発を行った。その結果、180W レベルの高信頼化の基盤技術を確立した。

自主研究は、独 XTREME 社(ウシオ子会社)への委託と御殿場研究員の派遣により、高出力化の検討を行った。180W 出力実証のため、発光点出力 $1.7\text{kW}/2\ \pi\ \text{sr}$ を目標とした。要素技術として電極回転数(7.5Hz)と放電高繰り返し化(20kHz)を検討し、Sn 塗布膜薄膜化、ドライバレーザの高繰り返し化などにより達成した。現状の発光点出力は $1.5\text{kW}/2\ \pi\ \text{sr}$ であり、更に $1.7\text{kW}/2\ \pi\ \text{sr}$ に向けて開発中である。



III-2-II-⑤-(2)-図1 DPP光源の「EUV光源高信頼化・高出力化技術開発プロジェクト」

1) DPP光源における「光源起因マスク・ミラーの汚染評価技術の開発」

平成 20～21 年度にかけて、マスク・ミラー汚染損傷評価装置を開発、その基本性能評価実験を行った。本装置に搭載された XPS により、光源から流入する光源起因のコンタミネーションの特定を行うことができた。反射率測定系の測定精度は、1%を目標とし、測定精度の改善に注力し、0.8%以下の測定精度を実現した。汚染評価技術の目的は、3,000 時間における 10%反射率低下を評価できる技術を確立することにあるが、3,000 時間という長時間での評価測定は困難であるため、加速試験を検討し、シミュレーションなどにより加速試験の正当性を検討した。また、レーザ融合型 DPP(LA-DPP: Laser assisted DPP)のプラズマヘッドを製作し、汚染評価に使用した。

平成 22 年度は汚染評価装置をドイツに移送し、XTREME 社(独)の LA-DPP の実機に搭載した EUV 光のもとでの光源起因の露光光学系マスク・ミラーの汚染評価実験(総合評価実験)を実施した。汚染評価装置の反射率測定精度は±0.2%(目標とする 3,000 時間の寿命測定誤差±6 時間)まで向上できている。また、この汚染評価装置には、XPS を具備しており、微少な汚染物質を特定できる。総合評価実験の目標は 180WEUV 光下における 3,000 時間でのミラー反射率 10%低下の測定を可能とする評価技術の確立である。しかし、現時点では、180W 光源での 3,000 時間という長時間での評価測定は困難であるため、シミュレーションなどでの検討による加速試験を行った。その結果、IF 以降への Sn の流入が無く、また C,O 汚染による反射率低下は、評価ミラーが IF から離れた方が大きい傾向があることがわかった。反射率低下の大きいミラーから、コレクタ反射率低下は 2.1%@3,000 時間と見積もられた。

2) DPP光源における「集光光学系の清浄光源モジュールの開発」

平成 20 年度は、可動式フォイルトラップ、バッファガス・差動排気、及びガスカーテン機構の基礎性能を評価した。平成 21 年度は、この評価結果を基に、更なるデブリの発生低減と高効率捕獲を実現する技術の開発を進め、ドイツ分室で装置の開発を進めた。デブリの発生の低減のためには、LA-DPP の回転電極の Sn 塗布厚を高精度均一化することにより、中性デブリの発生を抑止する技術と、トリガーレーザの照射に関する新方式により、高速イオンデブリの発生を大幅に低減することが可能となった。デブリの高効率捕獲のために、高速デブリ及び LA-DPP に特有の粒子状デブリのほとんどが捕獲可能な新たな DMT (Debris mitigation tool) の開発を行った。

平成 22 年度は中性デブリおよび高速イオンデブリ発生の低減技術開発とデブリの高捕獲率 DMT(Debris Mitigation Tool)の開発を更に進めた。中性デブリは、回転電極への Sn 塗布厚の均一化と薄膜化(従来の 1/10 の 10 μ m)により、粒径で平均して 1/3 に低減することができた。また、高速イオンデブリは上記のアドバンスドレーザトリガーの適用によりそれまでの 1/5 に減らすことができた。デブリ防御のため、高デブリ捕獲率 DMT(Debris mitigation tool)を開発した。その結果、コレクタへの Sn の堆積は動作ショット数によらず 0.1nm 程度で、一方で、2nm/Gs 程度の Ru 反射面のスパッタが見られた。しかし、Ru の表面状態の変化はなく、反射率の低下は測定されなかった。以上により、1年以上のコレクタ長寿命化の基盤技術が確立した。

3) DPP 光源における「高出力対応熱管理技術の開発」

DPP 用斜入射コレクタの熱管理技術について、平成 20 年度は、熱-構造シミュレーションによる熱変形評価を行ったが、平成 21 年度では、更に、熱-構造-光線複合シミュレーションを開発し、熱変形による IF での光学特性変化の解析を進めた。また、同時に、ドイツ分室において、 β 機用 LA-DPP にコレクタを搭載し、実機におけるコレクタの温度上昇を実測した。その結果をシミュレーションに反映させ、シミュレーションの精度を上げることができた。これにより、コレクタの熱変形と IF 変動の高精度シミュレーション技術を構築した。

平成 22 年度は HVM レベルの DeCo (Debris Mitigation Tool - Collector Module)を一体化した温度-構造-光学連携シミュレーション技術の開発、発光点(プラズマ)からの放射成分(輻射、非輻射成分)の計測、および HVM レベル大型コレクタの温度上昇の実測により、DeCo の熱管理技術を確立した。DeCo の一体化シミュレーションは、DMT の構造体(サポート、熱シールド、等)の影響で、コレクタへの熱負荷が減少するので、不可欠である。DeCo のシミュレーションにおいては、高精緻化するため、新手法(光線追跡で、DeCo への熱負荷を局所的に見積もる手法)を考案した。また、輻射、非無輻射成分を実測してシミュレーションと比較した。シミュレーションは実測した温度上昇を再現している。更に LA-DPP においては、回転電極の温度上昇が出力安定性に影響する。そこで、回転電極温度を一定にするため、Sn 循環装置の熱管理技術の開発を行った。

4) DPP 光源における「IF 変動防止技術の開発」

平成 20 年度より IF 変動防止のための高速自動アライメント技術の開発を行い、平成 21 年度、ほぼ完了した。ファジー推論と学習効果機能を適用したアルゴリズムを開発し、アライメント時間を 1s まで短縮することができた。更に、IF 変動ライブラリを併用することにより、この時間を 0.5s にまで短縮できた。また、光源側で IF 特性をモニタする方法を開発し、IF 透過後の角度分布と同等な特性をモニタできることを光線追跡シミュレーションにより確認し、このモニタを製作することにより、実験においても有効性を確認した。このように、光源側だけで、IF 変動防止できる有用な技術を開発できた。

(3) 自主研究「拡張性を有する高出力 EUV 光源の開発」

技術研究組合 極端紫外線露光システム技術開発機構(EUVA)では MIRAI プロジェクト「EUV 光源高信頼化技術の開発」と並行して自主研究「拡張性を有する高出力 EUV 光源の開発」を進めてきた。その主な結果を簡単に述べる。

3.1) LPP 光源における自主研究「拡張性を有する高出力 EUV 光源の開発」

平成 20~21 年度は試作光源(ETS; Engineering Test Stand)を用いて、高出力化を検討し、発光点出力 131W を観測した。発光条件は CO₂レーザ出力 5.6kW、Duty20%、Sn ドロプレット径 60 μ m ϕ である。これは IF 換算出力 69W に相当する。

平成 22 年度はこの ETS 試作光源を用いて、EUV 高出力化を実施し、IF 出力 104W 相当を観測した。発光条件は CO₂レーザ出力 7.9kW、Duty20%、Sn ドロプレット径 60 μ m ϕ である。このときの CE (Conversion

Efficiency: EUV 変換効率)は、プリパルス手法により 2.5%に向上した。また高信頼性に関して、Sn ドロプレットの位置安定性向上をはかり、 $\pm 20 \mu\text{m}$ の位置安定性を達成した。これらの成果を元に、EUV 出力 $>180\text{W}$ の拡張性の検証を目的として、プロト機的设计・製作とシステム試験を行った。

3.2) DPP 光源における自主研究「拡張性を有する高出力 EUV 光源の開発」

平成 20～21 年度は β 機用 SoCoMo (Source Collector Module)を用いて EUV 光源の長期安定性、および高出力化を検討した。発光点 420W、IF 点出力 14W (3 シェル)、Duty100%の EUV 出力を実測した。これは 9 シェルコレクタで 34Wに相当する。また、4週間以上に亘って 60%以上の稼働率を実現した。更に、電源の高繰返し化を図った結果、発光点出力 1kW、Duty10%を達成した。これは IF 点出力 100Wに相当する。

平成 22 年度は、出力 180W@IF の実証のため、LA-DPP (Laser Assisted DPP)における発光点出力 1.7kW/ $2\pi\text{sr}$ を目標とする高出力化開発を行った (XTREME 社(独)への研究委託と御殿場研究室員のドイツ分室派遣)。高出力化のためには高 CE (Conversion Efficiency)での高繰返し動作が必要である。御殿場研究室の独自技術であるアドバンスドレーザートリガーは CE 向上に有効で、既に 35W レベル(繰返し 7.5kHz)の LA-DPP に適用されている。そこで、180W の実証を目指し、アドバンスドレーザートリガーの 20kHz 程度の高繰返し動作が実現する回転電極の高速回転化とトリガーレーザーの高繰返し化の開発を行った。その結果、発光点出力 1.5kW 出力を達成した (IF 出力 150W (Raw) 相当; パルス出力 4J、繰返し 18kHz、CE2%、Duty20%、Burst 時間 200ms)。

IV 実用化・事業化の見通しについて

1. 実用化・事業化の見通しについて

I. 次世代半導体材料・プロセス基盤技術開発

① 新構造極限CMOSトランジスタ関連技術開発 [U-CMOS]

- (1) ソース・ドレイン材料・構造の制御によりCMOSの駆動力を高める技術の開発
- (2) キャリア輸送特性を向上してCMOSの駆動力を高める技術の開発
- (3) 微細な低消費電力・高電流駆動力トランジスタによる実証
- (4) 計測・モデリング技術の開発

上記(1)～(4)の各開発項目は、実用化にあたっては相互に関連するため、まとめて説明を行う。

1) 事業規模

本研究開発の適用される事業分野は、主としてロジックLSI、あるいはこれらをアナログ回路やSRAMやDRAMメモリー等と集積化したSoC (System-on-Chip)などの集積回路デバイスである。WSTS (WORLD SEMICONDUCTOR TRADE STATISTICS:世界半導体市場統計)の2010年秋季市場予測会議によると、hp32世代が実用化される2012年の半導体全製品の世界市場の予測値3315億ドルに対し、その48%に上る1597億ドルが上記集積回路デバイスの市場となることが予測されている。

2) 開発した技術の適用範囲

本研究開発で開発された技術は、上記ロジックLSIやSoCデバイスを構成するCMOSトランジスタを作製するためのプロセス技術、あるいは、材料技術、計測評価技術、さらには設計時に必要となるモデリング技術として実用化に貢献する。たとえば、2009年のITRSロードマップにおいて、2012年に実用化予定のhp32世代に対応するLSTP(Low Standby Power)テクノロジーにおいて、オン電流スペックを満たすための移動度増大率(1.8倍)を得るための技術はまだ最適化されていないことになっている。また、より配線間隔の狭い、2013年に実用化予定のhp27世代以降の世代においては、必要な移動度増大率を得るための解が存在しないことになっている。これは、現状技術による移動度増大が、ストレスライナーなど、トランジスタ外部からひずみを加えることにより得られていることに起因する。すなわち、トランジスタ同士の間隔が狭くなる微細世代においては、十分なストレスの体積を確保できず、したがって必要な大きさのひずみをSiチャンネルに印加することが困難であるためである。

このような課題に対し、本研究開発でデバイス試作を行ったひずみSOIやひずみSGOIチャンネルトランジスタにおいては、チャンネルのひずみは外部から印加されるのではなく、チャンネル自身が基板の状態から内包していたものであり、本質的にトランジスタ間隔に対する影響は受けにくい。特に、SGOIにおいては、Ge組成の増大に伴いひずみSiの限界を超える移動度増大が得られるため、オン電流スペックの達成において、ゲート絶縁膜のEOTや、電源電圧に余裕が生じる。これらの効果により、従来から享受してきたCMOSスケーリングによる単位機能あたりの消費電力の低減というメリットをhp32以細の世代においても引き続き享受することが出来る。ところで、このようなSiGeチャンネルトランジスタ、あるいは、その究極としてのGeトランジスタに対しては、従来のSiに対するコンタクト技術やゲートスタック技術をそのまま用いることは出来ない。本研究開発で得られたSiGeやGeに対するメタルソースドレイン技術や、high-k/メタルゲートスタック材料・プロセス技術といった要素技術群は、これらSiGe/Geトランジスタの基本的なコンタクト技術、およびゲートスタック技術等として、それぞれ適用されるものである。

これら高移動度チャンネル技術や、メタルソースドレイン技術、high-k/メタルゲートスタック材料・プロセス技術は、最先端の微細トランジスタのみに有効な技術ではなく、よりサイズの大きいトランジスタに対しても性能向上、あるいは低消費電力化といった付加価値を与えうるものである。したがって、たとえば現行のリソグラフィー技術で作製できるサイズのCMOSトランジスタに適用して高性能化、低消費電力化を図るといった応用も可能である。

一方、LSIの設計においては、トランジスタ特性を簡略なモデル化して取り込んだTCADによるシミュレーションが欠かせない。しかしながら、微細なトランジスタにおいて顕在化してくる準バリスティック電子輸送を考慮したTCADシミュレータは存在しない。本研究開発で得られたバリスティックトランジスタの輸送特性予測技術を既存のTCADソフトと融合させることにより、上記シミュレータを実現することが可能となる。このようなTCADシミュレータの実用化により、hp32世代以降の極微細CMOSTランジスタを用いた回路設計の精度向上が期待できる。

3) 実用化における課題

本研究開発で開発した技術を実用化して前節のような効果を得るためには、解決すべき技術課題が残存している。また、技術的な課題が解決されたとしても、コストなどの実用化の課題もクリアする必要がある。開発した技術ごとに、現在顕在化している課題を表IV-1-I-①-3)にまとめる。

表IV-1-I-①-3) 技術課題と実用化における課題

技術項目	開発した技術	残存する技術課題	実用化における課題	
メタルソースドレイン技術	NiGe/n-Ge:P,S 接合(nMOS) NiGeSi/SiGe接合 (pMOS) ショットキーバリア高さの制御に関する知見	信頼性検討(オフリーク)特性ばらつき更なる抑制 歩留まりの更なる向上	CMOS化プロセス開発	
ひずみによるキャリア移動度向上技術	ひずみSOIの立体チャネル形成プロセス(nMOS) SiGeストレッチャーソースドレインによるGeチャネルへの引張りひずみ印加プロセス(nMOS) 酸化濃縮法による、ひずみSGOI立体チャネル形成プロセス(pMOS)	微細素子分離によるひずみ緩和 ひずみばらつき検討、歩留まりの更なる向上 Ge組成均一性の向上	ひずみSOI基板の供給	量産プロセスとの整合性 コスト・歩留まり検討
高移動度ゲートスタック形成技術	High-k/SrGe/Ge界面層技術(Ge-CMOS) High-k/Siキャップ/Ge技術(Ge-pMOS) 酸素終端による高品質high-k/Si界面形成技術と結晶化HfO ₂ /Si直接接合技術	nMOS特性の更なる向上 Siキャップエピの面方位依存性 BTI、TDDDBなどの長期信頼性実証	SrGe形成の低コスト化 Ge-on-Si基板の供給 長期信頼性の実証	
微細トランジスタ作製プロセス技術	微細ひずみSOI立体チャネルトランジスタの電流駆動力向上(nMOS) 微細ひずみSGOI立体チャネルトランジスタの電流駆動力向上(pMOS) 微細FD-SOIトランジスタの電流駆動力向上(nMOS)	ソース・ドレイン長の短縮による寄生抵抗の低減 ソース・ドレイン長の短縮による寄生抵抗の低減 SS (Subthreshold-Slope)の低減 高歩留まりのショットキ接合形成技術	ひずみSOI基板の供給 CMOS化プロセス開発 SOI基板コスト CMOS化プロセス開発 低コストプロセス	量産プロセスとの整合性 コスト・歩留まり検討
計測・モデリング技術	準バリスティック輸送特性抽出技術 メタルソース・ドレインショットキー障壁プロファイル計測技術 顕微ラマン分光による応力の方向・種類の情報を含む定量的な解析 量子モンテカルロ法によるバリスティックトランジスタの輸送特性予測技術	SiGe、Geなどの非Si系チャネルの理想的ソース端注入速度の数値解析 IV特性をポテンシャルに変換するためのSimulation技術高精度化 TATのさらなる改善。 実デバイスの実験結果との比較検討	TCAD用パラメータ抽出 TCADへの組み込み(HyEnexssへの導入を検討中) 製造ラインの評価装置への組み込みの実現 TCADへの組み込み	

4) 産総研および東芝における取り組み

Si系チャネルに関する成果では、Siの最表面の結合を酸素原子で終端化する高品質 high-k/Si 界面形成技術、および非平衡熱伝導状態を利用した非晶質 HfO₂ 薄膜の結晶化技術から構成される高駆動力ゲートスタック技術を開発した。また、熱耐性に優れた NiSi₂ を用い、バリスティック効率向上に必要なバンドエッジまでのショットキーバリア

アハイトの制御に成功した。これらの知見について、産総研内での技術の展開を図るとともに、共同委託先を含む技術移転先の拡大を目指す。

Ge系チャネルに関する成果では、SiGeエピ技術やSiGe/Ge用high-kメタルゲート技術など、SiGeトランジスタのデバイスプロセス要素技術と、Ge組成やひずみがこれらのトランジスタの高電流駆動力化に与える影響に関する種々の知見が得られた。SiGeエピ成長に関する知見については、東芝の先端ロジックプロセスにおけるSiGeソースドレイン形成プロセスに有効活用する。また、本プロジェクトを通じて取得されたSiGe関連の一連の特許に関して、製品搭載含め将来活用を図る。一方、high-k絶縁膜技術については、先端ロジック製品のみならず、メモリー製品などへの知見の有効活用を図る。さらに、準バルスティックトランジスタの輸送特性予測技術については、TCADへの取り込みを図り、先端ロジック製品の設計への有効活用を検討していく。

ラマン分光法を用いたSiデバイス構造の応力分布計測技術については、計測装置メーカーに技術移転を行った。また、STMを用いたポテンシャル分布計測技術については、デバイスメーカーへ技術の普及を継続して行う。さらに、本プロジェクトにおいて開発した、歪み分布・不純物分布の測定・解析のためのシミュレーション技術は、Seleteが開発したTCAD(HyENEXSS)に移植すべく取り組みを開始している。

② 新探究配線技術開発 [NSI]

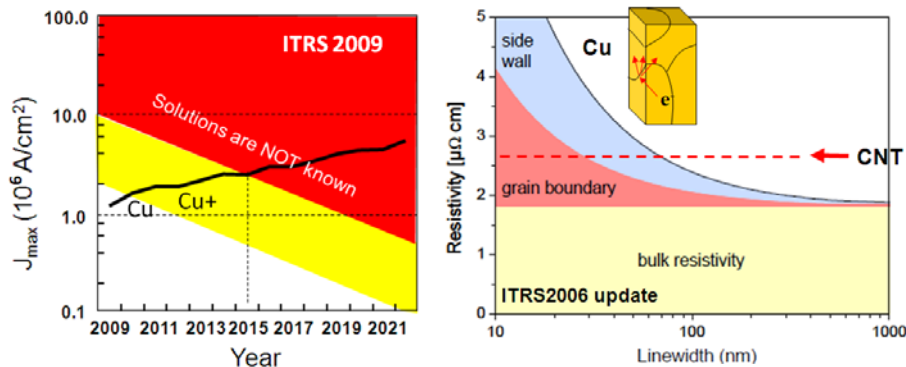
(1) 極限低抵抗・高電流密度配線技術の開発 (カーボン配線技術開発)

カーボン配線技術が現在の Cu 金属配線の主要課題である低抵抗化、高電流密度耐性化に対して、何世代にも適用可能なほぼ唯一の抜本的な解であることは、世界的にも広く認識されている。従って、世界に目を向ければ、本事業で開発された技術を実用化する可能性のある企業は、我々以外にも世界中に存在していると言える。例えば、欧米、アジア各国の半導体企業、コンソーシア、公的研究機関、大学などからの委員で構成される国際半導体技術ロードマップ(International Technology Roadmap, ITRS)でも述べられているように、配線の高電流密度による信頼性劣化は、(一時期、クロック周波数の伸び鈍化を反映してこの問題が大幅に軽減されるとの予測もあったが、配線幅依存を導入すべきことを見出され、現在の予測では再び) 2015 年頃から緊急を要する課題であり、我々としては本事業の成果の実用化の可能性は非常に高いと考えている(Ⅲ-2-I-②-(1)-図 20)。一方、配線抵抗についても、2005 年以降 Cu 配線抵抗率のサイズ効果に関する多くのモデルが提案され(配線幅のみならず配線膜厚依存も存在する)、抵抗率上昇の正確な予測と対策の検討が必要とされており(Ⅲ-2-I-②-(1)-図 20)、ここでも本事業の成果の実用化の可能性は非常に高いと考えている。ITRS では MIRAI 成果を中心に、欧州の VIACARBON プロジェクト(CEA LETI, ケンブリッジ大、Intel アイルランドなどがメンバー)、IMEC、米国の配線技術のフォーカスリサーチセンター(ジョージア工科大学設置)、カリフォルニア大学などからの研究が多く引用されている。

Ⅲ-2-I-②-(1)-図 20 は、最新の ITRS に載せられた、配線の最大電流密度 J_{max} のトレンドと Cu 配線の配線抵抗の配線幅依存性のモデルを示している。世代の進行、すなわち配線幅の微細化に伴って、同じ電流密度でもエレクトロマイグレーション(EM)が劣化すること(EM 限界電流が年とともに下がること)や、Cu やその改良技術(Cu+)では 2015 年頃に解決できなくなることが示されている。また配線抵抗についても、サイズ効果による抵抗率上昇が顕著となり、カーボン配線が逆転優位になることが示されている。

実用化の想定時期は、このようにロードマップなどでコンセンサスはあるが、我々としては、本事業で全ての技術を達成したわけではなく、基盤となる技術はほぼ達成したので、今後はプロジェクト外で、それぞれ適用先の製品に合わせた残り課題の開発を行うことになる。たとえば残る課題としては、以下のものなどが挙げられる:

- (i)カーボン配線設計技術 (ii) カーボン配線マスク技術
- (iii)コンタクト構造・物性制御 (iv) 信頼性メカニズム解明
- (v)横配線に関する極微細配線描画・加工プロセス技術
- (vi) アスペクト比(AR)の高いビア穴加工プロセス技術、 など



Ⅲ-2-I-②-(1)-図20 ITRSに掲載されている配線技術課題のトレンド(2009年版、2006年版updateより)

② 新探究配線技術開発 [NSI]

(2) 新コンセプトグローバル配線技術の開発 (LSI チップ光配線技術開発)

近年、筐体外インターコネクタとして、主にデータセンターやハイエンドサーバーにおける筐体間接続に利用されているアクティブオプティカルケーブル(AOC: Active Optical Cable)が急速に注目されるようになってきた。AOC のインターフェイスはこれまでの電気と同様のものであるが、ケーブルヘッド部分に光電気変換デバイスを組み込んだ光ファイバーケーブルが用いられている。この AOC は、ここ 1~2 年で短距離ネットワークや屋内配線の中で市場規模を拡大してきた。これは、モジュールとして 1Gbps 当りの価格が\$10 を切り、市場規模拡大に拍車がかかっていることに基づいており、今後の更なる小型、低コスト化により筐体内への導入を近い将来のターゲットとしてその開発が加速されている。この領域において更なる小型化、低コスト化、高速化を行うには本テーマで取り組んだ光配線技術の導入が重要な役割を担っている。米国の Intel 社は、主に筐体内/外を接続する大容量/低消費電力インターコネクタに狙いを定めて製品発表を行ったが、従来の光配線技術を活用するだけでは低コスト化が厳しいとの見方がある。そのため、2015 年以降の実現を視野に入れて Si フォトニクス技術の光配線技術の開発が進められている。そこでこの開発においては、小型・高速化に伴う光電気変換部分のデジタル-アナログ接続性や実装も含めたコストが大きな課題とされている。更に、米国においては、2020 年に向けて LSI チップへの光配線導入も視野に入れた DARPA のプロジェクトで Sun Microsystems 社、Luxtera 社、Kotura 社などが共同で研究開発を継続的に進めている。

本開発技術については、参加企業が独自の実用化を計画している。

特性ばらつきに対し耐性の高いデバイス・プロセス技術開発

(1) 構造依存の特性ばらつきの物理的理解とモデリング技術の開発

本技術開発では、MIRAI プロジェクト第三期の目標に則し、デバイス構造に依存した特性ばらつきの物理的理解とモデリング技術の開発を実施した。開発した技術は、特定の製品や特定の世代に直接的に寄与する性格ではないが、微細化されたLSI製品はもとより、得られた知見は広く、世代をまたがって様々な製品開発に活用される。基本的には hp45nm 以細をターゲットに開発された技術ではあるが、汎用性のある開発技術に関しては、参加企業の必要に応じて、密接に連携することで技術移管を進め、早期に技術の実用化に努めた。

以下、「構造依存の特性ばらつきの物理的理解とモデリング技術の開発」において進めた、具体的な実用化・事業化について述べる。本技術開発の前期には、

- ・静的な電氣的特性ばらつき評価に有効な標準テスト・エレメント・グループ (TEG)
- ・TEG 計測用に開発した新しいシステム
- ・データの解析結果から得られた知見
- ・特性ばらつきのモデル化手法
- ・特性ばらつき解析のための標準化手法
- ・物理解析技術とその知見

などの開発技術を参加各社に技術移管した。「特性ばらつき解析のための標準化手法」として開発した Takeuchi プロットは、デバイス特性ばらつきを理解する手法として広く、業界内で浸透しており、例えば下記に示すように、半導体デバイスの主要学会である VLSI シンポジウムや、IEEE の TED 誌にてばらつき定量手法として用いられている。

- ・ G. Tsutsui, "Reduction of Vth Variation by Work Function Optimization for 45-nm Node SRAM Cell", 2008 Symposium on VLSI Technology Digest of Technical Papers, p.158
- ・ *Masumi Saitoh, "Low Voltage (Vdd~0.6 V) SRAM Operation Achieved by Reduced Threshold Voltage Variability in SOTB (Silicon on Thin BOX)", 2009 Symposium on VLSI Technology Digest of Technical Papers, p.150
- ・ Endo. K, "Variation analysis of TiN FinFETs", Semiconductor Device Research Symposium, 2009. ISDRS '09. International , p.1 - 2
- ・ Xiaobin Yuan, "Transistor Mismatch Properties in Deep-Submicrometer CMOS Technologies", IEEE Transactions on Electron Devices, Volume:58, Issue:2, p.335-342

2008 年度より、MIRAI プロジェクト第三期後半の目標に則し進めた開発では、開発項目 1)-3)、および 5)-6)に関しては、MIRAI プロジェクト第三期前半に開発したデバイス特性ばらつき解析のための標準 TEG をベースとして新しい標準 TEG の設計を行い、その計測のために超高速でデバイス特性評価が可能な新しい評価システムを開発した。開発項目 4)に関しては、リバースプロファイリングに基づくコンパクトトランジスタモデル開発やレイアウトパターン依存性モデル開発を実施した。また、開発技術の適用範囲を広げるために、

- ・経時変化を含めたデバイス特性ばらつきを評価する標準 TEG とその計測手法
- ・1G ビット級のデバイス特性ばらつき評価が高速で評価可能な DMA-TEG と評価手法
- ・SRAM などの回路特性ばらつきを評価する TEG

などを開発した。2008 年度からの開発進捗としては、新しいマスクセットを用いて新規試作を実施し、平行して上記 TEG の計測手法に関しても開発を進めた。試作したテストウエハを用いて、設計した TEG、ならびに測定システムの有効性を検証し、しきい値(V_{th})だけでなく、MOSトランジスタのオン電流ばらつきや経時変化ばらつきの解析、モデル化を実施した。さらに、開発した Takeuchi プロットによるばらつき解析技術を hp45nm 以細に用いられる新しい材料である高誘電率ゲート絶縁膜/メタルゲート・デバイスへの適用を可能とした。一方、ばらつきの原因解明のための物理解析技術においては、局所的な不純物の 3 次元分布が原子レベルで検出可能であるアトムプローブ技術に関して、 V_{th} ばらつきの主要原因である微細 MOS トランジスタチャネルの解析への適用をすすめ、実際に 1M の DMA-TEG で計測した、 $\pm 5\sigma$ でばらついた MOS トランジスタに対して 3 次元不純物解析を行い、有用性を確認した。また、特性ばらつきを再現する 3 次元デバイス・プロセスシミュレーターを開発した。また、デバイス電気特性のリバースプロファイリングに基づくコンパクトトランジスタモデル開発では、HiSIM-RP の機能拡張と精度向上を行い、ばらつき要因分析への適用を行った。ストレス起因のレイアウトパターン依存性モデル開発では複雑なレイアウトパターンに対応するための機能拡張と精度検証を実施した。

上記の成果については、IV-1-I- (1)-図4-1に示す通り、開発技術は参加各社に技術移管した。デバイス特性ばらつきの評価手法としては、静的、ならびに動的なデバイス特性ばらつきを評価するための TEG を設計し、Phase-1/2 マスクに実装してデバックした標準 TEG 技術・高速測定技術を、本プロジェクトに参加したメンバー会社に技術移転した。また、高速測定技術に関しては、共同研究先である、アジレントテクノロジー・ジャパンにも必要事項を技術移転した。また、デバイス特性ばらつきを評価する場合、大量のデータを解析する必要があり、このデータを取り扱うデータ処理技術に関しては本プロジェクトで開発し、汎用性を持たせたシステムを上記参加メンバー会社に技術移管している。物理解析技術に関しては、アトミックラフネス評価技術、一貫解析評価技術はその手法、ならびに本開発から得られた知見を参加メンバー各社に技術移管した。また特にアトムプローブによる 3 次元不純物解析技術に関しては、その評価用試料の作成、高感度計測技術を共同研究先である東芝ナノアナリシス株式会社、ならびに株式会社東レリサーチセンターへ必要項目を技術移管している。3 次元デバイス・プロセスシミュレーション技術に関しては、得られた知見を参加メンバー会社に技術移管している。また、SRAM 特性シミュレーション技術に関しては、本開発の前期に参加したジーダット社が、2006～2007 年度で基礎検討を完了し、2008 年度以降製品化を行った。HiSIM-RP 技術、コンパクトストレスモデル技術は、そのプロトタイプを参加メンバー会社に技術移管した。

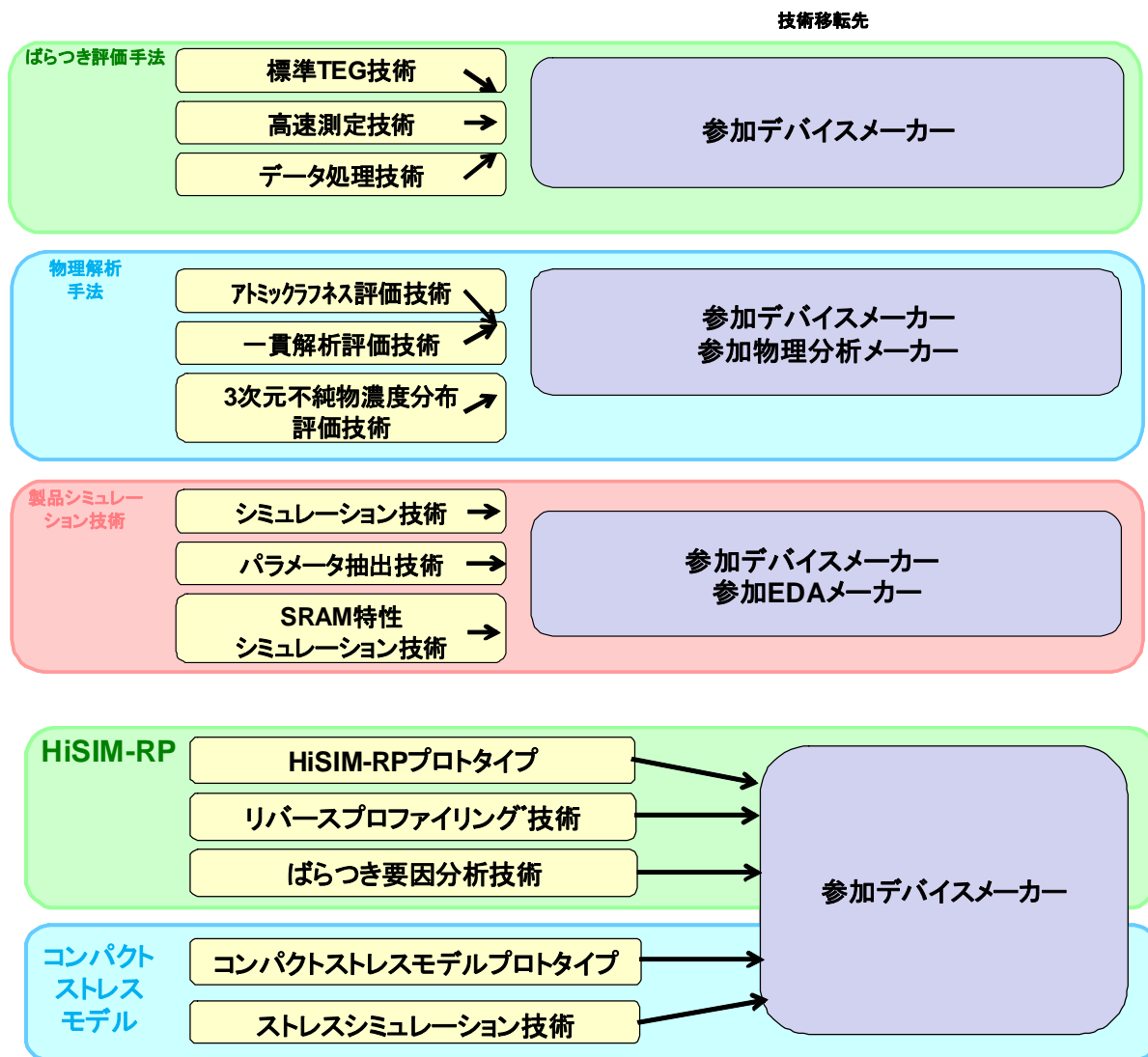
本開発で得られた成果および移管技術は、本開発に参加したメンバー会社において、一部実用化が開始され、あるいは、実用化に向けた取り組みが今後行われる状況である。

具体的に実用化された例について、以下説明する。

IV-1-I- (1)-図 4-4 は、(株)ジーダットが製品化した超高速 SRAM シミュレーターを(株)ジーダット社のフェアにて発表した際のパンフレットの一部分である。本機能は、ジーダット社の「新世代・統合回路設計ツール C3(circuit-Cube)」のオプションとして製品化された。

また、IV-1-I- (1)-図 4-5 は実施項目 4)-2 で開発したコンパクトストレスモデルのプロトタイプを、旧 NEC エレクトロニクス(現、ルネサスエレクトロニクス)が 40nm 以降の SPICE モデル開発手法として実用化し、実際の LSI のマクロセルの遅延解析に適用したことを示したものである。

IV-1-I- (1)-図 4-6、ならびに IV-1-I- (1)-図 4-7 は、東芝ナノアナリシス株式会社、ならびに株式会社東レリサーチセンターにて、共同研究で開発した 3 次元アトムプローブ技術を用いて、分析技術のサービスを紹介したホームページ、ならびに株式会社東レリサーチセンターのポスターセッションの説明資料である。



IV-1-I- (1)-図 4-1 主たる成果と開発技術移転先

タイムテーブル		セミナー会場 A	セミナー会場 B
11:00 ▼ 13:30			
13:30 ▼ 13:40	S1	ご挨拶 (株)ジーダット 代表取締役社長 石橋 真一	
13:40 ▼ 14:20	S2	基調講演 「難しい」アナログ設計への挑戦 ～STARCが変えるアナログ設計～ 株式会社半導体理工学研究所センター 執行役員 開発課2部長 岡村 芳雄 様	
休憩			
14:30 ▼ 15:10	A1	JEDAT製品ロードマップと最新トピックスのご紹介 ～最新情報と今後の方向性について～ (株)ジーダット 営業技術本部 本部長 小野 信任	B1
15:10 ▼ 15:50	A2	α-SXによるトータルソリューション ～制約ドリップ手法による回路とレイアウトの協調設計～ (株)ジーダット システム部 次長 三浦 一広	B2
休憩			
16:30 ▼ 17:10	A3	カスタムレイアウト設計の課題解決事例 ～効率化阻害要因の特定とケース別解決事例のご紹介～ (株)ジーダット 営業技術本部 EDA技術一部 部長 森田 俊一	B3
17:10 ▼ 17:50	A4	ドライバ回路とLCDパネル協調検証環境のご紹介 ～光学シミュレーションとSpiceの統合によるダイナミックCo-Sim環境～ (株)ジーダット 営業技術本部 EDA技術一部 エキスパートエンジニア 三宅 基夫	B4
		18:00 ▶ 19:00 懇親会	
		11:00 ▶ 17:50 展示会場 常設展示	

※セミナーの実施時間は多少前後することがございます。セミナー会場にてご案内いたします。
 ※セミナー／デモの内容、講師は変更になる場合がございます。あらかじめご了承ください。



NEW

B1 世界最高クラス性能のSRAM特性ばらつき解析技術のご提案

～従来比600倍の高速化を実現～

(株)ジーダット 営業技術本部 EDA技術一部 部長 佐々木 則之

NEDO技術開発機構が開発した高速メモリ(SRAM)回路動作の高精度シミュレーション技術成果を元にジーダットが世界最高クラス性能のSRAM特性ばらつき解析技術の開発に成功しました。今回開発した高速化手法は、SRAMが良品か否かが不明な領域(グレーゾーン)を非常に小さく絞り込む事で試行回数を劇的に削減する手法です。

また、Legend社が提供するSRAM検証ツールについて、最新情報をご紹介します。

セミナー会場 A

S1 挨拶
(株)ジーダット 代表取締役社長 石橋 真一

S2 基調講演 「難しい」アナログ設計への挑戦
～STARCが変えるアナログ設計～
株式会社半導体理工学研究所センター 執行役員 岡村 芳雄 様

A1 JEDAT製品ロードマップと最新トピックスのご紹介
～最新情報と今後の方向性について～
(株)ジーダット 営業技術本部 本部長 小野 信任

A2 α-SXによるトータルソリューション
～制約ドリップ手法による回路とレイアウトの協調設計～
(株)ジーダット システム部 次長 三浦 一広

A3 カスタムレイアウト設計の課題解決事例
～効率化阻害要因の特定とケース別解決事例のご紹介～
(株)ジーダット 営業技術本部 EDA技術一部 部長 森田 俊一

A4 ドライバ回路とLCDパネル協調検証環境のご紹介
～光学シミュレーションとSpiceの統合によるダイナミックCo-Sim環境～
(株)ジーダット 営業技術本部 EDA技術一部 エキスパートエンジニア 三宅 基夫

セミナー会場 B

B1 世界最高クラス性能のSRAM特性ばらつき解析技術のご提案
～従来比600倍の高速化を実現～
(株)ジーダット 営業技術本部 EDA技術一部 部長 佐々木 則之

B2 FPD向け最新ツール群のご紹介
～FPD分野で圧倒的シェアを誇るオリジナル製品群のご紹介～
(株)ジーダット 営業技術本部 EDA技術一部 プロジェクトマネージャー 高木 真

B3 動作モデル生成によるD/A混成SoCの動作検証手法
～従来比100～1000倍の高速化を実現～
Orcast Chairman & CTO
Dr. Richard Shi

B4 JEDATが提供するDFMツール最新情報
～超高速DFMブラウザの新機能とツール統合事例～
(株)ジーダット DFM技術部 部長 井上 賢

IV-1-I- (1)-図 4-4 開発技術移転先例((株)ジーダットが製品化した超高速 SRAM シミュレーター)
 出典: ジーダット社の 2009 年開催セミナー用パンフレット

NECエレが40nm以降向けSPICEモデル開発手法を確立、MIRAIの成果を取り込む

2008/09/05 22:18

小島 郁太郎=編集委員

NECエレクトロニクスは、40nm世代以降のプロセスに向けたSPICEモデル開発手法を確立した(ニュースリリース)。MIRAIプロジェクト(ホームページ)の成果である「SPICEモデルの補正技術」を取り込むことなどで、精度の高いSPICEモデルの開発を可能にした。これで従来のSPICEモデルを使う場合に比べて設計マージンが削減できるようになり、LSIの性能を最大で20%程度高めることが可能になるといふ。

プロセスが微細化するにつれて、周辺にあるマスク・レイアウトのパターン形状によってトランジスタの特性が変わってしまう現象が顕在化してきた。この現象はトランジスタ特性のシステムティック・バラつきとか、トランジスタ特性の周辺レイアウト依存性などと呼ばれている(以下、レイアウト依存性)。

先端プロセスを使う半導体メーカーでは、このレイアウト依存性を考慮したSPICEモデルの開発手法(フロー)の整備を進めており、Tech-On!では、富士通/富士通マイクロエレクトロニクス(Tech-On!関連記事1)や東芝(同2)の取り組みを紹介した。今回のNECエレの発表も、こうした取り組みの一つである。

3種の依存性を考慮

NECエレによれば、今回のSPICEモデル開発フローでは、(1)ウエル近接効果、(2)STI(shallow trench isolation)ストレス、(3)ゲート・ピッチの変化による特性の変動を考慮している(図1)。このうち、(1)と(2)の一部(ゲート端～拡散層エッジまでの距離による依存性)はもともとSPICEモデルに組み込まれている。(2)の一部の「隣接した拡散領域間の距離」による依存性の考慮にはMIRAIプロジェクトの成果の技術を、(3)の依存性の考慮にはNECエレ独自の技術を使う(図2)。

同社によると、これまで発表されたレイアウト依存性を考慮のSPICEモデルの開発手法に比べて、今回の手法は次の二つの特徴などを備えている。第1に高精度で処理時間が短いこと、第2に既存の設計フローとの親和性が高いことである。それぞれの特徴には複数の技術や手法が関係するといふ。

任意形状に対応

例えば、第1の特徴に関しては、MIRAIプロジェクトの成果の技術が大きく寄与したとする。同プロジェクトでは、任意の周辺マス

なお、同社は、9月5日に東京・品川で開催した「EDA Tech Forum 2008」(ホームページ)で、今回の手法に関して講演している(セッション番号TE-5)。



図1・今回考慮したレイアウト依存性 NECエレのデータ。
[クリックすると拡大した画像が開きます]

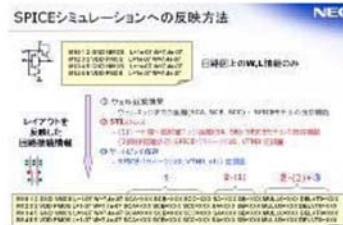


図2・SPICEモデルへの依存性の反映方法 NECエレのデータ。
[クリックすると拡大した画像が開きます]

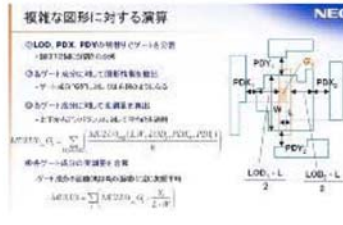


図3・STI(shallow trench isolation)ストレスの依存性を考慮するための演算法 NECエレのデータ。
[クリックすると拡大した画像が開きます]

IV-1-I- (1)-図 4-5 開発した SPICE モデルを採用した旧 NEC エレクトロニクス(現ルネサステクノロジー)の紹介をした日経 BP 社の記事。

出典: 日経 BP 社サイト「Tech-On!」2008/09/05、「NEC エレが 40nm 以降向け SPICE モデル開発手法を確立。MIRAI の成果を取り込む」

東芝ナノアナリシス株式会社

- 事業案内 解析依頼 トピックス 会社概要

解析依頼

- 解析依頼の流れ
- FAQ

依頼書ダウンロード

- 事業案内
- ナノ構造解析
 - 表面元素分析
 - 薄膜物性評価
 - 故障解析
 - 製品解析
 - 製品の信頼性評価
 - 極微量成分分析
 - 環境負荷低減・環境管理分析
 - 無機成分分析
 - 有機成分分析

クリーンルームの清浄度管理
分析サービス

- ケミカル汚染評価
- メタル汚染評価

実装基板・パッケージ評価・解
析サービス

半導体パッケージや実装な
どのできばえ調査や不良解
析をサポートします

グリーン調達支援サービス
RoHS, REACH

製品解体からスクリーニ
ング、精密化学分析まで対応
しております。

依頼に関するお問い合わせは

support@nanoanalysis.co.jp
TEL : (045) 770-3471
FAX : (045) 770-3479
受付時間 / 9:00~17:00
(土日祝日除く)

→ オンライン依頼問い合わせ

Home > 事業案内 > 3次元アトムプローブ(3DAP)

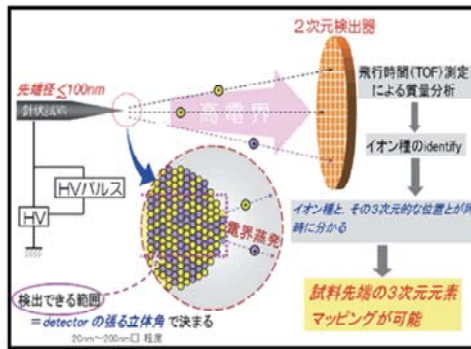
事業案内

3次元アトムプローブ(3DAP)
Three dimensional Atom Probe

3次元アトムプローブは試料中の構成元素を原子レベルの空間分解能で3次元マップとして解析する究極の分析ツールです。近年、パルスレーザを用いたレーザ支援型のアトムプローブの開発が進み、半導体への適用が可能になりました。

原理

先端径100nm程度の先鋭な針状試料に10keV程度の正電圧をかけると試料最先端で高電界となり電界蒸発(試料表面の中性原子が+イオン化し表面から脱離する)現象が発生します。電界蒸発したイオンは2次元検出器により原子配列が特定され、検出器に到達するまでの飛行時間からイオン種が同定されます。さらに、深さ方向に連続的にイオンを検出し、再構築することにより、3次元の原子Mapが得られます。



特徴

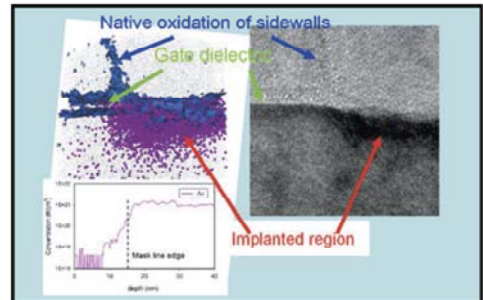
試料の化学情報と3次元構造を原子レベルで解析できる究極の解析手法でTEM並みの空間分解能とSIMS並みの感度を持つ3D解析手法です。

	Atom-Probe	SIMS	TEM
3次元イメージ	可	限定的	限定的
画像分解能	0.2nm	NA	0.1nm
空間分解能	x, y: 0.5nm z: 0.2nm	x, y: 1μm~ z: 0.3nm	x, y: 0.2nm z: 0.2nm
質量同定・感度	20ppm ($1 \times 10^{18} \text{cm}^{-3}$)	1ppb~ ($5 \times 10^{13} \text{cm}^{-3}$)	1000ppm ($5 \times 10^{19} \text{cm}^{-3}$)

※アトムプローブ装置メーカー資料より転記(一部加筆修正)
弊社所有の分析装置の仕様とは一部異なります。

用途

金属および半導体材料の極微小領域における三次元元素分布評価
界面ラフネス評価ならびにラフネスの影響を補正した真の界面濃度プロファイル評価
結晶界面等における不純物偏析の観察



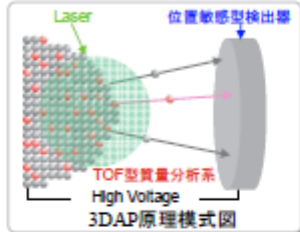
Copy From Moore et al Ultramicroscopy 2008

IV-1-I- (1)-図 4-6 開発技術移転先例((株)東芝ナノアナリシスが活用している3次元アトムプローブ技術)
出典: 東芝ナノアナリシス(株)の事業案内 WEB
http://www.nanoanalysis.co.jp/business/device_01.html

三次元アトムプローブによる 半導体実デバイスの観察

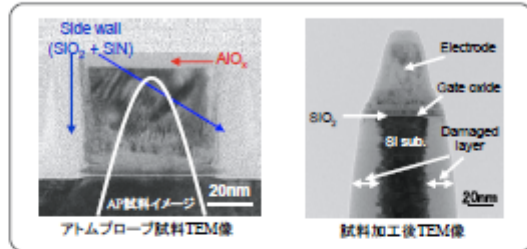
三次元アトムプローブとは

三次元アトムプローブ(3DAP)は、先鋭な針状の試料に電界をかけ個々の原子を試料表面からイオン化し、その飛行時間と飛行方向から元素種の同定と位置決定を行う手法であり、原子レベルの分解能で三次元の元素分析が可能である。試料に電界を印加する手法であるためこれまで金属材料分析にのみ利用されてきたが、近年レーザー補助型装置の登場により半導体や絶縁物の分析が可能となり、半導体デバイスへの適用が期待されている。

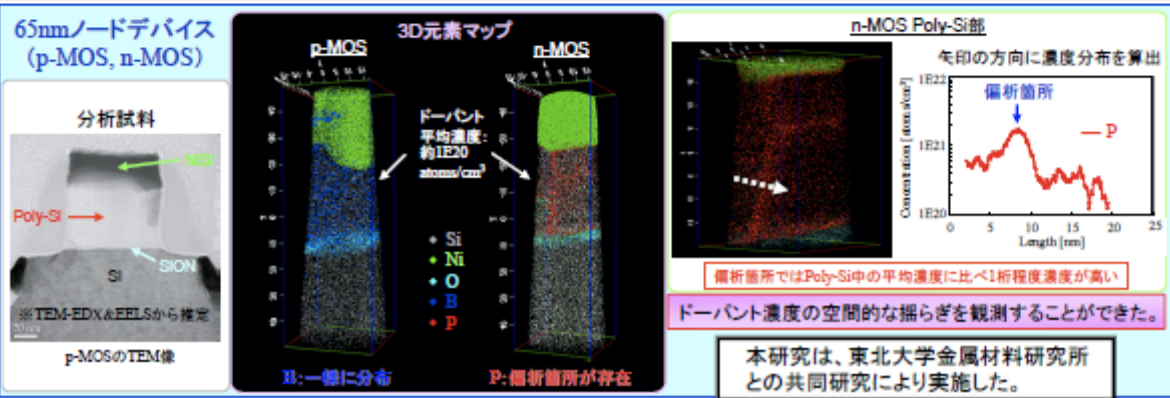
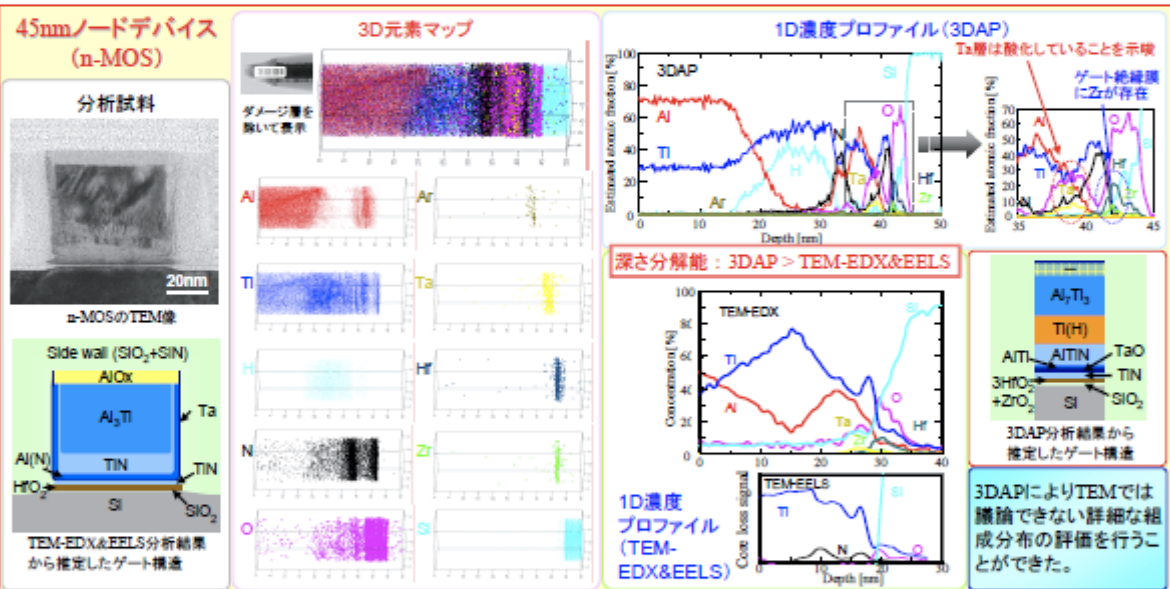


試料加工によるデバイス分析の試み

レーザー補助により半導体・絶縁体試料の測定が可能になったものの、絶縁性の高い材料の分析は容易ではない。本研究では、MOSゲートに注目するために周辺の絶縁膜を含まないよう試料を加工することにより分析を試みた。



半導体実デバイス分析結果



株式会社 東レリサーチセンター

2010年7月TRCポスターセッション2010

IV-1-I- (1)-図 4-7 開発技術移転先例((株)東レリサーチが活用している3次元アトムプローブ技術)
出典: (株)東レリサーチセンター開催のセミナー用ポスター

③ 特性ばらつきに対し耐性の高いデバイス・プロセス技術開発

(2) 外部擾乱依存の特性ばらつきの物理的理解とモデリング技術の開発

本技術開発では、MIRAIプロジェクト第三期の目標に則し、外部擾乱に依存した特性ばらつきの物理的理解とモデリング技術の開発を実施した。開発した技術は、基本的には hp45nm 以細をターゲットに開発された技術ではあるが、対象製品や対象プロセス世代を限定すること無く、広範囲に適用可能なものである。本技術開発は、プロジェクト開始当初から実用化を視野に入れ、技術課題の解決策としては、汎用的で低コストかつ容易に実現可能な手段を選択することを常に念頭におきながら開発を進めて来た。それに加え、今回の技術開発では、複雑な外部擾乱現象の根源を物理的に理解してモデル化することも常に心がけつつ技術開発を進めたため、単なるスナップショット的なモデル化にとどまらない、汎用的で可用性に富む成果を得ることが出来た。さらに、本技術開発においては、技術的な課題を、技術やデバイス構造を踏まえた上で、設計技術を用いることで解決することを目指した。その結果、本開発技術は、LSI 製造を外部委託する場合にも、有効に適用可能なものとなっている。本開発技術の将来世代への実用化展開を考えた場合の課題は、将来の微細デバイス構造に対応した本開発技術の最適化が、今後必要となる点である。

本技術開発では、新たに開発したシミュレーション技術の実行手順書や、今回の成果を実際に LSI 設計に適用する際の設計ガイドラインなどに加え、研究開発過程で得られた知見として、定例技術検討会ならびに技術委員会の資料を、成果物として参加メンバー会社に技術移管した。本テーマの主たる成果物とその移転先をまとめたものをIV-1-I-③-(2)-図1に示す。以下、各開発項目の成果の実用化の見通しについて述べる。

1) 中性子線入射による電荷発生に起因する回路誤動作の物理的理解とモデリング技術の開発

本テーマでは、SET 一貫シミュレーション技術を使用するための実行手順書を参加メンバー会社に技術移管した。更に、耐 SET 技術開発の過程で得られた各種知見に関しては、定例技術検討会ならびに技術委員会の資料を通じて、順次定期的に参加メンバー会社に技術移管しており、資料総数は49件、総頁数は756頁である。これら知見の中には、例えば、SET 起因のソフトウェア抑制技術などが含まれている。

これらの成果により、従来は、設計・検証手法が不明であったため hp65nm 以細では製品化の見通しが立っていなかった、ソフトウェアレート 1~10FIT の高信頼性 LSI の製品化実現への道筋をつけることが出来る様になった。これにより、従来から日本の強みである高信頼性 LSI の分野において、製品化の面で世界の競合に対してリードし続けることが期待できる。

2) トランジスタノイズに起因する回路誤動作モデリング技術の開発

2)-1 耐 ESD 技術開発

本テーマでは、先端 CMOS CDM-ESD 対策設計ガイドラインを最終成果物として参加メンバー会社に技術移管した。更に、耐 ESD 技術開発の過程で得られた各種知見に関しては、定例技術検討会ならびに技術委員会の資料を通じて、順次定期的に参加メンバー会社に技術移管しており、資料総数は38件、総頁数は403頁である。これら知見の中には、例えば、SPICE による CDM-ESD シミュレーション技術などが含まれている。

これらの成果により、従来は設計手法が不明であったため、hp65nm 以細では見通しの立っていなかった、CDM 型 ESD 耐圧クラス4(500~1,000V)を満たす高信頼性 LSI の製品化が可能になった。これまでは薄膜トランジスタのゲート酸化膜を保護するために電圧クランプ素子を設ける手法が主流であったが、プロセス微細化によるゲート酸化膜の絶縁耐圧の低下によって電圧クランプ素子の実

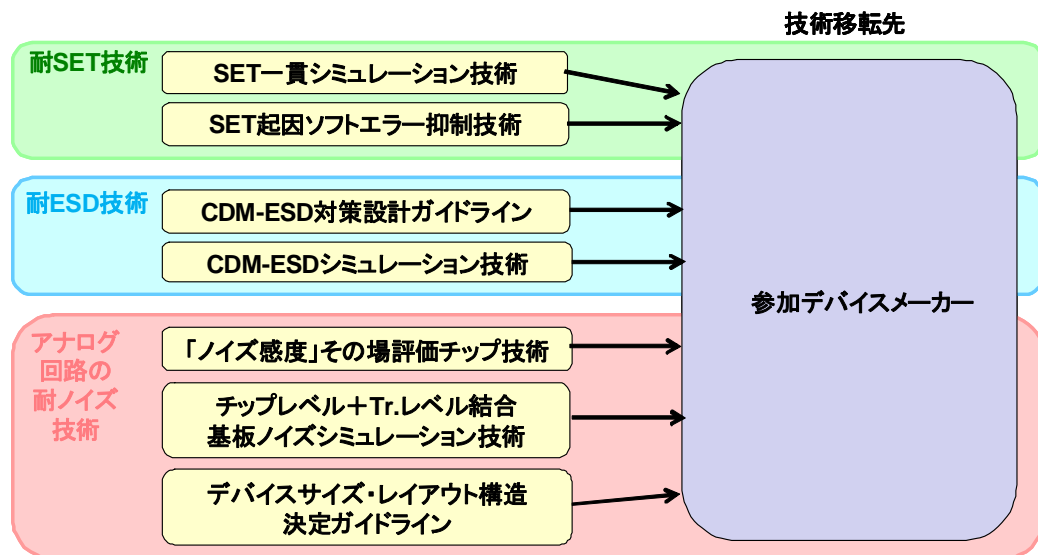
現は困難を極めており、欧米の LSI メーカーはこぞって CDM 型 ESD 耐圧の標準値をクラス 2 (250V 以下) に引き上げる様、業界団体を通じて LSI ユーザーへの働きかけを強めている。今回の成果により、日本の LSI メーカーは CDM 型 ESD 耐圧を逆にクラス 4 に引き上げることが出来、世界の競合に対して大きくリードを広げることが期待できる。

2)-2 アナログ回路における耐ノイズ技術開発

本テーマでは、「ばらつきとノイズ感度」その場評価チップの説明書、チップレベル基板ノイズ伝播解析とデバイスレベル基板ノイズ感度解析を組み合わせたシミュレーションの実行手順書、デバイスサイズ選択とレイアウト構造決定のガイドラインを最終成果物として参加メンバー会社に技術移管した。さらに、耐ノイズ技術開発の過程で得られた各種知見に関しては、定例技術検討会ならびに技術委員会の資料を通じて、順次定期的に参加メンバー会社に技術移管しており、資料総数は45件、総頁数は2,072頁である。これら知見の中には、例えば、「ばらつきとノイズ感度」その場評価チップの測定技術などが含まれている。

これ迄は、例えば、アナログ回路のばらつきを抑えることのみに注力して、ガードリングの設定が不完全なままトランジスタのフィンガー数を増やして逆に基板ノイズの被害を受けるというトラブルや、あるいはチップレベルの基板ノイズ伝播解析ツールの結果をそのまま信じたため、基板ノイズに対する対策が不完全になる、というトラブルが LSI 設計の現場で発生していた。今回の成果により、ばらつきと基板ノイズの影響をコンカレントかつ高精度に考慮した最適設計を行うことが可能になり、設計効率の向上と失敗コストの低減が期待できる。

本開発で得られた成果および移管技術は、本開発に参加したメンバー会社において、一部実用化が開始され、あるいは、実用化に向けた取り組みが今後行われる状況である。



IV-1-I-③-(2)-図1 技術開発の主たる成果とその移転先

IV. 実用化、事業化の見通しについて

⑤EUV光源高信頼化技術

半導体は多くの産業において製品やサービスの高機能化や生産性向上を実現するキーテクノロジーであり、日本の産業ために不可欠な製品である。半導体産業の特徴の1つとして微細化による絶え間ない技術革新があり、微細化によって消費エネルギーの低減、1チップ辺りのコストの低減、高機能化など様々なメリットが生み出される。微細化を実現する技術の中でも露光技術は中心的な技術であり、その中で EUV 露光技術は液浸 ArF 露光技術に代わる hp22nm 以降の最有力候補である。

ここでは、EUV 露光の光源を中心とした実用化、および事業見通しおよび本プログラムで開発された技術や商品から期待される技術的・経済的波及効果について述べる。

(1) LPP光源技術開発

1.1) 実用化計画

MIRAI 委託研究である⑤光源高信頼化技術開発の成果を引き継ぎ、量産機用 LPP 方式 EUV 光源の実用化へ向け、「集光光学系の清浄光源モジュール」の開発を促進する。後述の事業化計画に示した光源高出力化ロードマップに基づき、平成 24 年までに高出力・高清浄 LPP 光源の確立を目指す。

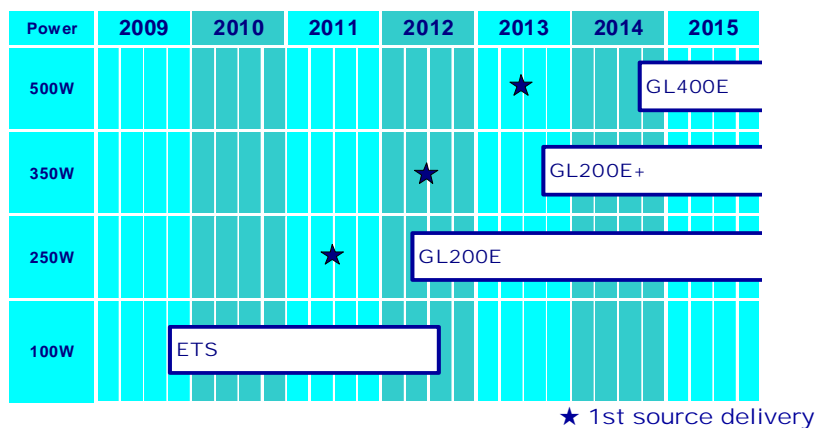
1.2) 事業化計画

本プロジェクト終了後の LPP 光源の事業化について、以下のように計画している。

LPP 光源の工場設備としては、現在 EUVA 平塚研究室が設備の一部を使用している、コマツの湘南工場内の T 棟を用いる予定である(IV-1-II-⑤-(1)-図 1)。



IV-1-II-⑤-(1)-図 1 LPP 光源の工場予定のコマツ湘南工場内 T 棟



IV-1-II-⑤-(1)-図 2 LPP 光源ロードマップ(ギガフォトン)

ギガフォトンにおける LPP 光源の製品化のロードマップを IV-1-II-⑤-(1)-図 2 に示す。250W 光源の GL200E を 2012 年に、350W の GL200E+を 2013 年に、500W の GL400E を 2014 年に順次出力を向上させて製品化する計画である。各々、1 年前に最初の光源を露光装置メーカーに出荷する。

試験研究機である ETS の次に、GL200E のシステム検証機として GL200E プロトを開発している。GL200E プロトの主仕様を IV-1-II-⑤-(1)-図 3 に示す。EUV 出力>100W、集光ミラー寿命>200B パルスであり、露光装置との結合が可能になっている。

		1 st generation	2 nd generation	
EUV model		ETS	GL200E proto	GL200E
Power	W	100	>100	>250
Pulse energy	mJ	1	>1	>2.5
Max rep rate	kHz	100	100	100
Max Duty Cycle	%	75	>75	>75
Sub systems				
Target Material and Shape		Sn droplet	Sn droplet	Sn droplet
Droplet Diameter	micro meter	60	10	10
Debris Mitigation		Magnet and cleaning	Magnet and cleaning	Magnet and cleaning
Collector Mirror Lifetime	Bpls	11	>200	>1250
Tool Interface		No	Yes	Yes

IV-1-II-⑤-(1)-図 3 GL200E プロトの主仕様

(2) DPP光源技術開発

2.1) 実用化計画

MIRAI 委託研究である⑤光源高信頼化技術開発の成果を引き継ぎ、量産機用 LA-DPP 方式 EUV 光源の実用化へ向け、「DPP 光源の高信頼化技術の深耕」を促進する。後述の事業化計画に示した光源高出力化ロードマップに基づき、平成 24 年までに高出力・高清浄 DPP 光源の確立を目指す。

2.2) 事業化計画

DPPの事業化はウシオ電機(株)の100%子会社であるXTREME technologies GmbH (独、以下、XTREME社)で行っている。XTRTEMEは、ウシオ電機(株)の主導により、同じくDPP光源の実用化開発を行っていたPhilips-EUV社(独)から、H21年7月に、技術の移転と事業譲渡を受けた。これによりDPPの事業化はXTREME社

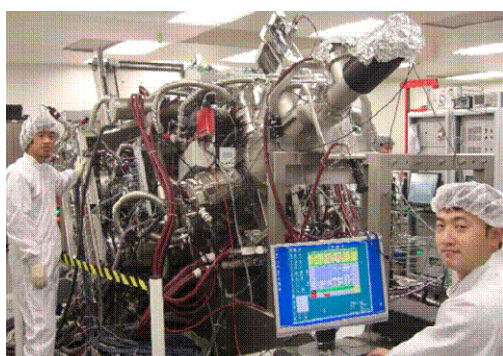
一つに統合された。XTREME社の本社と開発研究施設はドイツ・アーヘンにあり、従業員は約80名である。H22年12月には、製造工場を、アーヘン郊外のアルスドルフに設けた。IV-1-II-⑤-(2)-図1には製造工場の写真を示す。



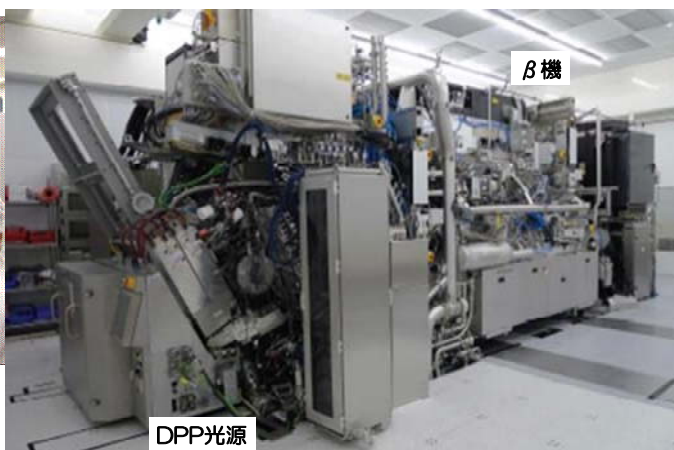
IV-1-II-⑤-(2)-図1 XTREME社のDPP光源製造工場

XTREME社のIV-1-II-⑤-(2)-図2に示すβ機用DPP光源は、IV-1-II-⑤-(2)-図3の写真のように、既に、露光機メーカー(ASML(蘭))のβ機へ搭載されており、露光実験に成功している。

また、H23年2月に、XTREME社DPP光源搭載のASMLβ機がLSI技術研究機関であるIMEC(蘭)へ納入された。



IV-1-II-⑤-(2)-図2 β機用DPP光源



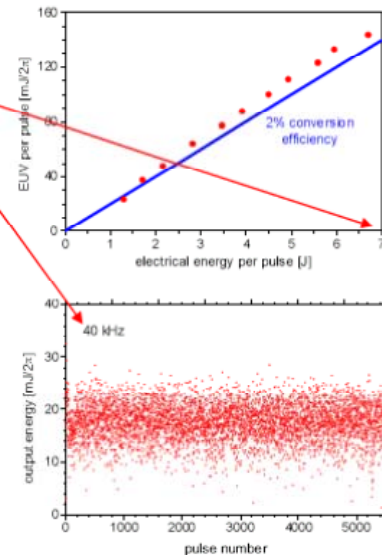
IV-1-II-⑤-(2)-図3 DPP光源搭載β露光装置

XTREME社の当面のβ機用DPP光源の事業化ロードマップをIV-1-II-⑤-(2)-表1に示す。それ以降は、HVM用DPP光源として、ツールメーカーの計画(ASMLNXE3300)に対応して、2012年には250W機、2013年には350W機の事業化を計画しており、それに500W機が続く。IV-1-II-⑤-(2)-図4には250Wから500Wまでの動作条件を示す。図に示す実測結果のグラフのように、500W実現の可能性が実証されている。

IV-1-II-⑤-(2)-表 1 β機用 DPP の開発ロードマップ

		Timing	Q4 '10	Q1 '11	Q2 '11
Source Module	electrical energy per pulse	J	4	4	4
	frequency	kHz	7.5	12	19
	electrical power	kW	30	48	76
	conversion efficiency	%	2.3	2.3	2.3
	étendue match (6 mm Ø)	%	50	50	50
	collectable in-band power	W	345	552	874
Coll. Module	foil trap transmission	%	60	60	60
	gas transmission	%	90	90	90
	collector transmission (fraction of 2π sr)	%	20.9	23.5	24.0
	alignment performance	%	90	95	95
	DeCo transmission	%	10.2	12.0	12.3
Power@IFW		W	35	66	107

		Type	3300		
Source Module	electrical energy per pulse	J	5	6	7
	repetition rate	kHz	28	32	37
	electrical input power	kW	141	191	262
	conversion efficiency	%	2.4	2.4	2.4
	étendue match	%	55	55	55
	collectable in-band power	kW	1.86	2.52	3.46
Coll. Module	FT transmission	%	62	62	64
	gas transmission	%	90	90	90
	collector transmission ($R^2/2\pi$)	%	25	26	26
	alignment performance	%	96	97	97
	DeCo transmission	%	13.5	13.9	14.5
Peak	power after IF	W	250	350	500

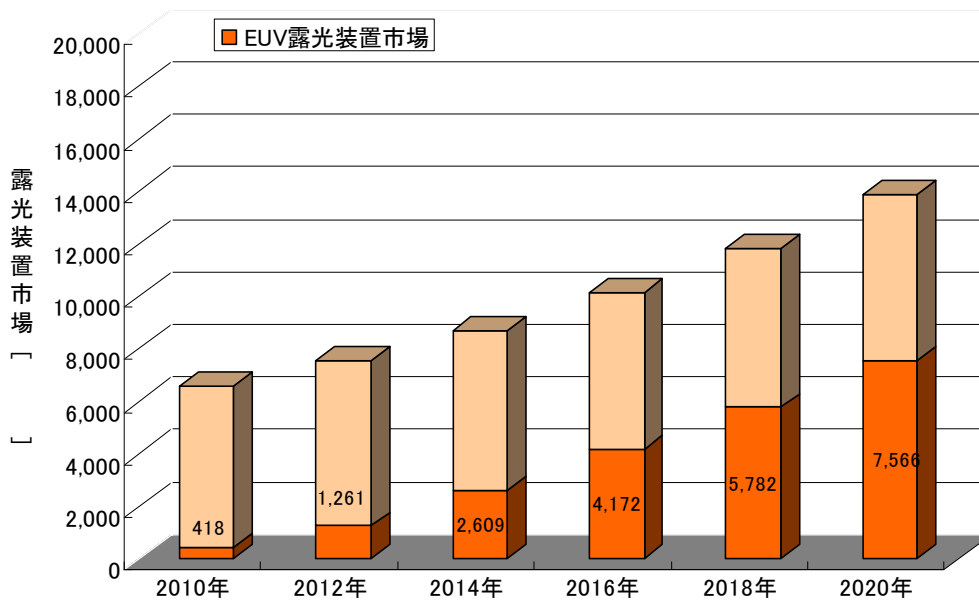


IV-1-II-⑤-(2)-図 4 250W から 500W の開発ロードマップと実現可能性実証実験結

(3) EUV露光システムの市場・波及効果(みずほ情報総研の調査を元に記述)

3.1) 露光装置市場及び EUV 露光装置市場予測

露光装置市場全体の市場予測と、EUV露光装置の市場の予測をIV-1-II-⑤-(3)-図1に示す。EUV露光装置は2016年には4,172億円、2020年には7,566億円になると予測される。



IV-1-II-⑤-(3)-図1 EUV 露光装置の市場予測
(出典)MHIR 作成

装置1台の価格を2012年には100億円とし、量産効果で2016年には80億円、2020年には60億円になるとした場合の装置の出荷予測台数をIV-1-II-⑤-(3)-表1に示す。

IV-1-II-⑤-(3)-表1 EUV 露光装置市場予測と受注予測台数(単位:億円)

	2010年	2012年	2014年	2016年	2018年	2020年
半導体市場	254,462	292,028	337,425	392,517	458,187	536,819
露光装置市場	6,580	7,552	8,726	10,150	11,849	13,882
EUV露光装置市場	418	1,261	2,609	4,172	5,782	7,566
装置1の予想価格	100	100	100	80	80	60
受注予測数()	4	13	26	52	72	126

(出典)MHIR 作成

3.2) EUV 露光の波及効果

EUV 露光技術と光源の研究開発から得られた技術からの他の産業、事業分野への波及効果を述べる。

3.2.1) ナノ加工技術としての EUV 露光の応用・波及効果

EUV 露光はナノサイズの形状を作成する加工技術であり。他の分野でも以下のようなナノサイズ加工の基盤技術として波及効果が期待できる。

a) 太陽電池

太陽電池では変換効率の向上は重要な要素である、次々世代の太陽電池に向けて、さまざまなタイプの太陽電池の開発が進められており、基板上に細いワイヤ状の Si(Si ナノワイヤ)を並べた、Si ナノワイヤ太陽電池もその1つである。Si を微細化加工しナノワイヤ化することで量子効果が発現し従来では達成出来なかった高変換効率が期待されている。ベルギーIMEC は EUV 露光を用いて太陽電池に適した Si ナノワイヤの開発を進めている。

(出典) IMEC の IMEC Executive Seminar Japan(2009/11/9) Jef Poortmans 氏発表データより

b) ナノインプリント

微細形状を作成するナノインプリント技術においても金型作成プロセスとして EUV 露光による加工が利用できる。スイス Eulitha AG はシンクロトロン(同期式円形加速器)で生成した軟 X 線を利用しているが EUV 露光で使う 13.5nm の同じ波長を用いてナノインプリント用の金型を作成している。

(参考) Eulitha社のHP URL:<http://www.eulitha.com/index.php?page=products>

3.2.2) 短波長光としての EUV 光源の応用・波及効果

EUV 露光には EUV 光源の開発が重要であり、実現される光源から得られる EUV 光は可視光より波長が1桁以上小さい特徴を生かした以下のような他産業への波及効果が可能である。

a) 極端紫外線(X線)顕微鏡(生体細胞の観察)

生体試料の観察には、10-100nm の分解能が必要であるが、光学顕微鏡では分解能が不足し、電子顕微鏡では、生理的状态での観察が困難である。極端紫外線(X線)顕微鏡はこの領域を埋めることが期待されている。生体を構成する元素である C、N、O、Ca、S、P が極端紫外領域に吸収端をもつため、高い分解能で細胞内の微細構造までの観察が可能となる。現在その実現のための課題は、強度の強い光源を得ることである。

b) 極端紫外線によるガラスの加工

ガラスは可視光を透過するが EUV 波長領域では吸収率が高まり直接加工が可能となる。そのため極微量化学分析デバイス、極微量化学合成デバイスなどを作製する加工法として期待できる。例えば、EUV でガラスに加工を行いナノインプリントの原理で実験用の神経細胞ネットワークを作成に適用できるものと考えられる。これにより、バイオテクノロジー、化学の分野に貢献することが期待できる。

3.2.3) EUV 露光装置の投影光学系ミラー技術の応用・波及効果

EUV 露光装置の投影光学系ミラーには高い精度の鏡面加工技術が必要とされる。この鏡面加工技術は他の光学系で鏡を使う装置等に利用できる。

a) X線望遠鏡

X線望遠鏡のミラーの研磨に EUV 露光装置のミラーの研磨技術が応用できる。EUV 露光装置で使用される高精度光学部品メーカーであるイタリア Media Lario 社はヨーロッパ宇宙機関 (ESA)の X線天文衛星 XMM-Newton の光学系を提供している。

(参考 URL:<http://www.media-lario.com/index.html> (Media Lario 社の HP))

b) 研磨技術

EUV 露光装置の投影光学系ミラーの鏡面加工には非常に高い精度が要求される。EUV 露光装置の加工技術として開発の進められている「EEM(Elastic Emission Machining)」は微粒子と加工物表面の微細な化学反応を利用した加工であり、通常の研磨技術と違い、加工物に機械的な力が加わらないため、表面に歪みが残らない特徴があり、他分野での高精度研磨技術として応用が期待される。

3.2.4) その他の技術の波及効果

以上に上げた技術以外にも EUV 光を発生する光源で利用するプラズマを診断する技術は他分野への波

及効果が期待できる。

3.2.5) 科学技術・社会への波及効果

環境問題は持続可能な社会を達成するための重要な課題である。経済産業省の推計によると、2006 年度における IT 機器の消費電力量は約 500 億 Kwh(CO2 換算で 2,600 万トン)で、国内の総電力消費量の約 5% にあたり、2025 年には約 5 倍の国内総電力量の約 20%になると推計されている。EUV 露光技術で半導体を微細化することで複数の CPU コアを 1 チップ上に集積化することができると考えられる。Intel 社は 2009 年 12 月に 48 個の CPU コアを 1 チップ上に集積したプロセッサ「Single-chip Cloud Computer(SCC)」を開発したと発表した。これらはクラウド・コンピューティングで利用するようなサーバー機群を大幅に小型化し、増加するデータセンターの消費電力の削減を実現することができる。

さらに、社会インフラとなったインターネットは、経済産業省の推計によると動画の送配信や各種 IT サービスなどが普及し、2006 年の情報流通量の 637Gbps(推計値)から、2025 年に 121Tbps(テラビット/秒)とおおよそ 190 倍になると見込まれ、流通量が爆発的に増加する。これらの膨大な情報処理の要求にこたえるための高速プロセッサ・大容量メモリの実現には EUV 露光による半導体の微細化が不可欠である。

また、EUV 露光を利用することで「量子情報素子」「大容量記憶素子」などナノテクノロジー製品を実現することができる。このようなナノエレクトロニクスはナノテクノロジー関連製品で市場規模が最も大きくなると見込まれている。これらのナノテク製品を実現化することによって大きな市場創生効果が期待される。

特許論文リスト

I. 次世代半導体材料・プロセス基盤技術開発

① 新構造極限CMOSトランジスタ関連技術開発 [U-CMOS]

特許リスト(東芝)

番号	出願者	出願番号	国内 外国 PCT	出願日	状態	名 称	発明者
1	(株) 東 芝	P2008-235514	日本	2008/09/12	公開	半導体装置およびそ の製造方法	鎌田善己他
2	(株) 東 芝	P2008-306570	日本	2008/12/01	公開	相補型半導体装置と その製造方法	入沢寿史他
3	(株) 東 芝	P2009-014541	日本	2009/01/26	公開	電界効果トランジス タ	手塚 勉
4	(株) 東 芝	P2009-018492	日本	2009/01/29	公開	半導体装置およびそ の製造方法	守山佳彦他
5	(株) 東 芝	P2009-042465	日本	2009/02/25	公開	半導体装置	鎌田善己他
6	(株) 東 芝	P2009-052371	日本	2009/03/05	公開	半導体素子及び半導 体装置	小野瑞城
7	(株) 東 芝	P2009-055267	日本	2009/03/09	取下 (優 先権)	半導体装置およびそ の製造方法	小池正浩他
8	(株) 東 芝	12/482,054	US	2009/06/01	公開	半導体装置およびそ の製造方法	鎌田善己他
9	(株) 東 芝	JP/2009/002970	PCT	2009/06/26	公開	半導体装置の製造方 法	池田圭司
10	(株) 東 芝	JP/2009/66162	PCT	2009/09/16	公開	半導体装置及びその 製造方法	池田圭司他
11	(株) 東 芝	JP/2009/67423	PCT	2009/10/06	公開	半導体装置およびそ の製造方法	小池正浩他
12	(株) 東 芝	12/636,090	US	2009/12/11	公開	半導体素子及び半導 体装置	小野瑞城
13	(株) 東 芝	P2010-012528	日本	2010/01/22	出願	半導体装置及びその 製造方法	池田圭司他
14	(株) 東 芝	12/694,592	US	2010/01/27	公開	半導体装置およびそ の製造方法	守山佳彦他
15	(株) 東 芝	12/706,319	US	2010/02/16	公開	半導体装置	鎌田善己他
16	(株) 東	P2010-042942	日本	2010/02/26	出願	半導体装置の製造方	池田圭司他

	芝					法	
17	(株) 東芝	JP/2010/55937	PCT	2010/3/31	出願	半導体装置の製造方法	小田 穰他
18	(株) 東芝	201010283375.5	CN	2010/09/15	出願	半導体装置の製造方法	池田圭司他
19	(株) 東芝	12/888,674	US	2010/09/23	出願	半導体装置及びその製造方法	池田圭司他
20	(株) 東芝	12/888,805	US	2010/09/23	出願	半導体装置およびその製造方法	池田圭司他
21	(株) 東芝	099132392	台湾	2010/09/24	出願	半導体装置及びその製造方法	池田圭司他
22	(株) 東芝	P2010-217196	日本	2010/09/28	出願	半導体装置の製造方法	上牟田雄一他
23	(株) 東芝	P2011-000812	日本	2011/1/5	出願	半導体装置およびその製造方法	白田宏治他
24	(株) 東芝	P2011-067655	日本	2011/3/25	出願	電界効果トランジスタ	池田圭司他
25	(株) 東芝	P2011-068465	日本	2011/3/25	出願	電界効果トランジスタ及びその製造方法	手塚 勉

論文リスト(東芝)

番号	発表者	所属	タイトル	発表誌名、ページ番号	査読	発表年 (FY)
1	鎌田 善己,高島章,手塚 勉	東芝	Ge MOS デバイスの熱安定性 - Ge oxygen [GeO(g)]脱ガスにおける Ge monoxide [GeO(II)] の役割 -	電子情報通信学会技術研究報告 信学技報	有	2009
2	鎌田 善己,高島章,手塚 勉	東芝	Material Properties, Thermal Stabilities and Electrical Characteristics of Ge MOS Devices, Depending on Oxidation States of Ge Oxide: Monoxide [GeO(II)] and Dioxide [GeO2(IV)]	2009 MRS Spring Meeting Symposium C proceedings	有	2009
3	鎌田 善己,手塚 勉	東芝	次々世代トランジスタへの道を開く SrGex 界面層 High-k/Ge MISFET	東芝レビュー	有	2009
4	鎌田 善己	東芝	High-k/Ge MISFET 向け新規界面層形成技術	東芝レビュー	有	2009

5	手塚 勉、 鎌田 善己、池田圭司、上牟田雄一、守山佳彦	東芝	Non-Planar Transistors with High-Mobility SiGe/Ge Channels for CMOS Applications	ECS Trans. 33(3), 357-366	有	2010
6	守山 佳彦、池田圭司、上牟田雄一、手塚 勉	東芝	Formation of High Aspect-ratio Ge-fin Structures with {110} Facets by Anisotropic Wet Etching	ECS Trans. 33(6),419-424	有	2010
7	小野瑞城、手塚勉	東芝	Comprehensive Study of Electron Mobility and Band Gap in Tensile-Strained Bulk Ge	Japanese Journal of Applied Physics, vol. 49 (2010) pp.04DC20-1-7	有	2010
8	守山 佳彦、上牟田雄一、池田圭司、手塚 勉	東芝	Introduction of local tensile strain on Ge substrates by SiGe stressors selectively grown on wet chemically recessed regions for strained Ge- <i>n</i> MOSFETs	Solid-State Electronics, DOI:10.1016/j.sse.2011.01.024	有	2010
9	池田 圭司、小田穰、上牟田雄一、守山佳彦、手塚勉	東芝	Hole-Mobility and Drive-Current Enhancement in Ge-Rich Strained Silicon–Germanium Wire Tri-Gate Metal–Oxide–Semiconductor Field-Effect Transistors with Nickel-Germanosilicide Metal Source and Drain	Applied Physics Express 3, 124201 (2010).	有	2010
10	小池正浩、上牟田雄一、手塚 勉	東芝	Modulation of NiGe/Ge Contact Resistance by S and P Co-introduction	Appl. Phys. Express 4, 021301 (2011).	有	2010

国際学会発表(東芝)

番号	発表者	所属	タイトル	学会名	査読	発表年 (FY)
1	鎌田 善己	東芝	Material Properties, Thermal Stabilities and Electrical Characteristics of Ge MIS Devices, Depending on Oxidation States of Ge Oxide; Monoxide [GeO(II)] and	2009 MRS Spring Meeting	有[招待]	2009

			Dioxide [GeO ₂ (IV)]			
2	白田宏治、入沢寿史、 守山佳彦、手塚 勉	東芝	Suppression of strain relaxation of sub-um sized strained silicon-on-insulator (SSOI) mesa structures by SiGe capping layers	ICSI-6: 6th International Conference on Silicon Epitaxy and Heterostructures	有 (オ ーラ ル)	2009
3	鎌田 善己、高島 章、上牟田 雄一、 手塚 勉	東芝	New Approach to Form EOT-Scalable Gate Stack with Strontium Germanide Interlayer for High-k/Ge MISFETs	2009 Symposium on VLSI Technology	有 (オ ーラ ル)	2009
4	鎌田 善己、高島 章、上牟田 雄一、 手塚 勉	東芝	High-k gate stack on Ge	NSC-JST Nano Device Workshop 2009	有[招 待]	2009
5	小池 正浩、辰村 光介	東芝	Suppression of n-type impurity diffusion in germanium by p-type impurities for ultra-shallow and highly doped n+/p junction formation	Solid State Devices and Materials Meeting	有 (オ ーラ ル)	2009
6	小野 瑞城、手塚 勉	東芝	Comprehensive Study on Electron Mobility and Band Gap in Tensile Strained Bulk Ge	Solid State Devices and Materials Meeting	有 (オ ーラ ル)	2009
7	鎌田 善己、上牟田 雄一、手塚 勉	東芝	Strontium Germanide Interlayer for High-k/Ge MISFETs	2010 MRS Spring	有[招 待]	2010
8	小池正浩、上牟田雄 一、手塚勉	東芝	Origin of low contact resistances of NiGe on highly P-doped nGe	5th Int. SiGe Technology and Device Meeting	有 (オ ーラ ル)	2010
9	白田宏治、守山佳彦、 Vladimir Poborchii、 多田 哲也、手塚 勉	東芝／産総 研	Observation of Strain Retention by Effect of Stress-Retainer on Source/Drain Regions of SSOI Islands with High-Lateral-Resolution UV Raman Measurement	5th Int. SiGe Technology and Device Meeting	有 (オ ーラ ル)	2010
10	守山佳彦、上牟田雄 一、池田圭司、手塚 勉	東芝	Introduction of local tensile strain on Ge substrates by SiGe stressors selectively grown on wet chemically recessed regions for strained Ge-nMOSFETs	5th Int. SiGe Technology and Device Meeting	有 (オ ーラ ル)	2010
11	鎌田 善己、上牟田 雄一、手塚 勉	東芝	Interfacial Strontium Germanide Layer for High-k/Ge Gate Stack	E-MRS 2010 Spring	有[招 待]	2010
12	池田 圭司、上牟田	東芝	Precise thickness control of	2010 Silicon	有 (オ	2010

	雄一、守山 佳彦、 小田 穰、手塚 勉		NiSi by nitrogen ion-implantation for multi-gate strained Si channel metal S/D MOSFETs	Nanoelectronics Workshop	ーラ ル)	
13	鎌田 善己、池田 圭司、上牟田 雄一、 手塚 勉	東芝	High-k/Ge p- & n-MISFETs with Strontium Germanide (SrGeX) Interlayer for EOT Scalable CMIS Application	VLSI Technology Symp.	有 (オ ーラ ル)	2010
14	小池正浩、上牟田雄 一	東芝	Hole generation in B-implanted Ge without annealing: Formatio n of B12 cluster acting as a dou ble acceptor	Solid State Devices and Materials Meeting	有 (オ ーラ ル)	2010
15	小田 穰、守山佳彦、 池田圭司、上牟田雄 一、手塚 勉	東芝	Fabrication of defect-free and relaxed Ge-rich SGOI-wire structures for CMOS applications	Solid State Devices and Materials Meeting	有 (オ ーラ ル)	2010
16	手塚 勉、鎌田善己、 池田圭司、上牟田雄 一、守山佳彦、小池 正浩、小田 穰、入 沢寿史	東芝	Non-planar transistors with high-mobility SiGe/Ge channels for CMOS applications	218th ECS Meeting	有 [招 待]	2010
17	守山佳彦、池田圭司、 上牟田雄一、手塚 勉	東芝	Formation of High Aspect-ratio Ge-fin Structures with {110} Facets by Anisotropic Wet Etching	218th ECS Meeting	有 (オ ーラ ル)	2010
18	手塚 勉	東芝	Non-planar SiGe-on-insulator MOSFETs	シリコン材料の科 学と技術フォーラ ム 2010	無 [招 待]	2010
19	鎌田 善己、上牟田 雄一、手塚 勉	東芝	Improvement of EOT Scalability in Metal-Gate/High-k/SrGeX/Ge p-MISFETs with La-related Higher-k Gate Dielectrics	Semiconductor Interface Specialist Conference (SISC)	有 (オ ーラ ル)	2010

国内学会・研究会発表リスト(東芝)

番 号	発表者	所属	タイトル	学会名	査読	発表年 (FY)
1	鎌田 善己	東芝	Ge 酸化物の酸化数が Ge MOS 構造の熱安定性および電氣的	ゲートスタック研 究会 ー材料・プ	有 (オ ーラ	2008

			特性に与える影響	ロセス・評価の物理—	ル)	
2	鎌田善己、高島章、手塚勉	東芝	Ge MOS デバイスの熱安定性 - Ge oxygen [GeO(g)]脱ガスにおける Ge monoxide [GeO(II)] の役割 -	応用物理学会シリコンテクノロジー分科会第 113 回研究会 ゲートスタック研究の進展— Ge 系材料を中心に	有[招待]	2009
3	臼田 宏治, 入沢寿史, 守山 佳彦, 手塚 勉	東芝	Global ひずみ基板上に mesa 形成した sub- μm サイズ ひずみ層のひずみ緩和抑制構造の検討	2009 年秋季 第 70 回応用物理学会学術講演会	無	2009
4	鎌田 善己, 高島章, 上牟田 雄一, 手塚 勉	東芝	High-k/Ge 界面への SrGeX 層挿入によるゲートリーク電流低減と正孔移動度向上	2009 年秋季 第 70 回応用物理学会学術講演会	無	2009
5	鎌田善己、高島章、上牟田雄一、手塚勉	東芝	High-k/Ge MISFET での SrGeX 界面層の効果	ゲートスタック研究会(第 15 回)	有(オーラル)	2009
6	小池正浩、辰村光介	東芝	n 型と p 型不純物の co-doping による極浅かつ高濃度の n+Ge 層形成	2010 年春季 第 57 回 応用物理学関係連合講演会	無	2009
7	小野瑞城、手塚勉	東芝	引張りひずみ Ge 中の電子移動度とバンドギャップとの系統的検討	2010 年春季 第 57 回 応用物理学関係連合講演会	無	2009
8	鎌田 善己、上牟田雄一、手塚 勉	東芝	High-k/Ge CMISFETs 用 SrGeX 界面層技術	「シリコンナノデバイス集積化技術調査専門委員会」、 「グリーン IT における化合物半導体電子デバイス」合同委員会	有[招待]	2010
9	臼田宏治、守山佳彦、Vladimir Poborchii、多田 哲也、手塚 勉	東芝/産総研	Global ひずみ基板のひずみ緩和を抑制する stress-retainer 技術の開発	2010 年秋季 第 71 回 応用物理学学術講演会	無	2010
10	池田 圭司、上牟田雄一、守山 佳彦、小田 穰、手塚 勉	東芝	歪みシリコンチャンネル Multi-gate Metal S/D MOSFET への窒素イオン注入による NiSi 形成制御の適用	2010 年秋季 第 71 回 応用物理学学術講演会	無	2010
11	鎌田 善己、池田圭司、上牟田 雄一、手塚 勉	東芝	SrGeX 界面層を用いた High-k/Ge p- & n-MISFETs	2010 年秋季 第 71 回 応用物理学学術講演会	無	2010

12	小池正浩、上牟田雄一、手塚勉	東芝	P 導入した NiGe/Ge における電気特性と不純物プロファイルの関係	2010 年秋季 第 7 回 応用物理学術講演会	無	2010
13	上牟田雄一、池田圭司、鎌田善己、手塚勉	東芝	high-k/(Si)/Ge-MIS 構造におけるメタルゲート電極形成後の熱処理がフラットバンド電圧に与える影響	ゲートスタック研究会(第 16 回)	有(オーラル)	2010
14	池田 圭司、小田 穰、上牟田 雄一、守山 佳彦、手塚 勉	東芝	高 Ge 濃度 歪み SiGe ワイヤチャンネル Tri-gate Metal S/D MOSFET のホール移動度と電流駆動力の向上	2011 年春季 第 58 回 応用物理学関係連合講演会	無	2010
15	小池正浩、上牟田雄一	東芝	B イオン注入した熱処理無し Ge におけるホール層生成: Ge 中 B12 クラスタ形成の可能性	2011 年春季 第 58 回 応用物理学関係連合講演会	無	2010
16	小野瑞城、入沢寿史、手塚勉	東芝	引っ張りひずみの印加に依る FinFET に於ける電子速度の向上	2011 年春季 第 58 回 応用物理学関係連合講演会	無	2010

受賞実績(東芝)

番号	表彰制度名称	主催者	受賞名称
1	MIRAI 賞	半導体 MIRAI プロジェクト	平成 21 年度 MIRAI 賞 優秀賞「Ge-MISFET 用ストロンチウムジャーマナイド界面層技術の開発」

成果普及の努力(東芝)

新聞・雑誌等掲載

番号	新聞等名称	掲載年月日	記事の表題
1	日経産業ほか 5 誌	2009/06/16	16 ナノ LSI 技術、ほか
2	日経新聞	2010/12/8	低消費電力 LSI 向けひずみシリコンゲルマニウムトランジスタ開発

プレス発表

番号	件名	発表年月日	事業者名	発表者
1	16nm 世代以降の LSI に適用可能なトランジスタ絶縁膜積層技術を開発	2009/06/15	株式会社 東芝	広報室 広報担当

その他 PR に該当するもの

番号	年月日	タイトル
1	2010/12	「従来比約 40% の消費電力削減が可能なトランジスタを開発」 東芝研究開発センター HP 掲載 (最新技術情報)

特許リスト(産総研)

番号	出願者	出願番号	国内外 国 PCT	出願日	状態	名 称	発明者
1	産業技術総合研究所	特願 2003-320425	国内	2003/9/11	登録 (2008/04/11)	表面電位分布測定方法及び装置	L. Bolotov 他
2	産業技術総合研究所	PCT/JP2004/012840	PCT	H16.9.3	登録 (2008/08/05)	光学測定方法および装置	V.ポボロッチ他
3	産業技術総合研究所	特願 2003-378992	国内	H15.11.7	登録 (2008/02/29)	シリコン基板の表面処理方法	西澤正泰他
4	産業技術総合研究所	特願 2005-083314	国内	H17.3.23	登録 (2010/04/02)	半導体不純物原子検出方法及び半導体不純物原子検出装置	西澤正泰他
5	産業技術総合研究所	特願 2005-093191	国内	H17.3.28	登録 (2009/06/19)	探針製造方法及び探針製造装置	西澤正泰他
6	産業技術総合研究所	特願 2005-513678	国内	H16/09/03	登録 (2009/07/03)	光学測定方法および装置	V.ポボロッチ他
7	(独)産業技術総合研究所	特願 2010-168792	国内	2010/7/28	出願	ゲートスタック形成方法	森田行則他
8	産業技術総合研究所	特願 2010-168824	国内	2010/7/22	出願	半導体装置およびその製造方法	右田 真司
9	(独)産業技術総合研究所	特願 2011-050911	国内		出願	半導体装置とその製造方法	水林 亘
10	(独)産業技術総合研究所	特願 2011-050907	国内		出願	半導体装置とその製造方法	水林 亘
11	(独)産業技術総合研究所		国内	出願予定	手続き中	ゲート絶縁膜の形成方法及び半導体装置の製造方法	森田行則

12	産業技術総合研究所		国内	出願予定	手続き中	半導体装置およびその製造方法	右田 真司
13	産業技術総合研究所	特願 2011-068308	国内	2011/3/25	出願	シリコン酸化膜湿式エッチング溶液	西澤正泰他
14	産業技術総合研究所	特願 2011-067482	国内	2011/3/25	出願	顕微分光計測シミュレーション法	多田哲也他
15	産業技術総合研究所	特願 2011-074439	国内	2011/3/30	出願	半導体装置の製造方法と特性向上方法	太田 裕之

論文リスト(産総研)

番号	発表者	所属	タイトル	発表誌名、ページ番号	査読	発表年(FY)
1	田岡 紀之,水林 亘,森田 行則,右田 真司,太田 裕之,高木 信一	独立行政法人 産業技術総合研究所	Nature of Interface Traps in Ge Metal-Insulator-Semiconductor Structures with GeO ₂ Interfacial Layers	JOURNAL OF APPLIED PHYSICS,2011 (Accept)	有	2011
2	田岡 紀之,水林 亘,森田 行則,右田 真司,太田 裕之,高木 信一	独立行政法人 産業技術総合研究所	Physical Origins of Mobility Enhancement of Ge p-channel Metal-Insulator-Semiconductor Field Effect Transistors with Si Passivation Layers	JOURNAL OF APPLIED PHYSICS, vol 109, No. 10, 104511 - 104511-7,	有	2010
3	V. ポボロッチ、多田哲也、金山敏彦	産業技術総合研究所	Observation of the forbidden doublet optical phonon in Raman spectra of strained Si for stress analysis	Applied Physics Letters, vol.97, 041915-3	有	2010
4	多田哲也、V. ポボロッチ、金山敏彦	産業技術総合研究所	Study of stress distribution in a cleaved Si shallow trench isolation structure using confocal micro-Raman system	Journal of Applied Physics, vol.107, pp. 113539_1-5	有	2010
5	右田 真司, 渡邊 幸宗, 太田 裕之, 生田 目 俊秀, 鳥海明	独立行政法人 産業技術総合研究所	Structural Metastability and Size Scalability of Phase-Controlled HfO ₂ Formed through Cap-PDA	The ECS Transaction, vol. 19, Issue 2, pp563-575.	有	2009

6	V. ボボロッチ ¹ 、多田哲也 ¹ 、金山敏彦 ¹ 、P.ゲシェフ ²	¹ 産業技術総合研究所, ² ロシア熱物理学研究所	Optimization of Tip Material and Shape for Near-UV TERS in Si Structures	Journal of Raman Spectroscopy(UK) vol. 40, pp. 1377-1385,	有	2009
7	金山敏彦、西澤正泰、L.ボロトフ	産業技術総合研究所	Dopant and Carrier Concentration Profiling with Atomic Resolution by Scanning Tunneling Microscopy	ECS Trans., vol. 19, pp. 117-126	有	2009
8	田岡 紀之,水林 亘,森田 行則,右田 真司,太田 裕之,高木 信一	独立行政法人 産業技術総合研究所	Impact of Minority Carrier Response on Characterization of Ge MIS Interface Traps	ECS Transactions	有	2008
9	太田 裕之,平野 晃人,渡邊 幸宗,安田直樹、岩本 邦、岡田 健治、右田 真司、生田目 俊秀、鳥海明	独立行政法人 産業技術総合研究所	Inversion Layer Mobility in High-k Dielectric MOSFETs - Intrinsic Mobility Degradation by Electric Dipoles at High-k/SiO2 Interface -	The ECS Transaction, Physics and Technology of High-K Gate Dielectrics 6 pp.67-75.	有	2008
10	金山敏彦、西澤正泰、L.ボロトフ	産業技術総合研究所	走査トンネル顕微鏡を用いた2次元不純物分布計測	応用物理 , vol. 77, pp.1103-1107	有	2008
11	L. Bolotov , M. Nishizawa , Y. Miura, and T. Kanayama	産業技術総合研究所	Carrier concentration profiling on oxidized surfaces of Si device cross sections by resonant electron tunneling scanning probe spectroscopy	J. Vac. Sci. & Technol. B, vol. 26, pp. 415-419.	有	2008

国際学会発表リスト(産総研)

番号	発表者	所属	タイトル	学会名	査読	発表年(FY)
1	森田 行則,右田 真司,水林 亘,太田 裕之	独立行政法人 産業技術総合研究所	Direct-contact higher-k HfO ₂ gate stacks by oxygen-controlled cap-PDA technique	IWDTF2010 (東京工業大学) [一般]	有(オーラル)	2010
2	右田 真司,森田 行則,水林 亘,太田 裕之	独立行政法人 産業技術総合研究所	Preparation of Epitaxial HfO ₂ Film (EOT=0.5 nm) on Si Substrate Using Atomic-Layer Deposition of Amorphous Film and Rapid Thermal Crystallization	IEDM (サンフランシスコ) [一般]	有(オーラル)	2010

			(RTC) in Abrupt Temperature Gradient			
3	右田 真司, Pobortchi Vladimir, 多田 哲也, 森田 行則, 水林 亘, 太田 裕之	独立行政法人 産業技術総合研究所	Raman Spectroscopy Measurement of Silicidation Induced Stress in Si and its Impact on Performances of Metal Source/Drain MOSFETs	2010 International Conference on Solid State Devices and Materials (東京) [一般]	有(オーラル)	2010
4	田岡 紀之, 水林 亘, 森田 行則, 右田 真司, 太田 裕之, 高木 信一	独立行政法人 産業技術総合研究所	Nature of Interface Traps in Ge MIS Structures with GeO ₂ Interfacial Layers	2010 International Conference on Solid State Device and Materials (Tokyo) [一般]	有(オーラル)	2010
5	森田 行則, 右田 真司, 水林 亘, 田岡 紀之, 太田 裕之	独立行政法人 産業技術総合研究所	Sub-nm-EOT Direct Contact HfO ₂ /Si Gate Stack on Si surface Chemically Controlled by Oxygen Termination Technique	ALD2010 (ソウル) [一般]	有(オーラル)	2010
6	田岡 紀之, 水林 亘, 森田 行則, 右田 真司, 太田 裕之, 高木 信一	独立行政法人 産業技術総合研究所	Effects of MIS Interfacial Layers on Interface Trap Density near Conduction Band Edge in Ge MIS Structures	2009 International Conference on Solid State Devices and Materials (SSDM 2009) (Sendai, Miyagi(Japan)) [一般]	有(オーラル)	2009
7	森田 行則, 右田 真司, 田岡 紀之, 水林 亘, 太田 裕之	独立行政法人 産業技術総合研究所	Oxygen-terminated Si surface for atomic layer deposition and its impact on interfacial electrical quality of sub-nm-EOT high-k gate stacks	2009 INTERNATIONAL CONFERENCE on SOLID STATE DEVICE and MATERIALS (SSDM2009) (仙台市) [一般]	有(オーラル)	2009
8	右田 真司, 森田 行則, 田岡 紀之, 水林 亘, 太田 裕之	独立行政法人 産業技術総合研究所	Concentration of Active Dopants at NiSi/Si Interface Segregated by "Snowplow" Effect for Schottky Barrier Height Tuning	Solid State Devices and Materials 2009 (仙台) [一般]	有(オーラル)	2009
9	田岡 紀之, 水林 亘, 森田 行則, 右田 真	独立行政法人 産業技	Physical origins of Mobility Enhancement of Ge	2009 VLSI symposia on VLSI technology	有(オーラル)	2009

	司,太田 裕之,高木 信一	術 総 合 研 究 所	pMISFETs with Si passivation Layers at High Effective Fields	and circuit (京都) [一般]	ル)	
10	森田 行則,右田 真司,田岡 紀之,水林 亘,太田 裕之	独 立 行 政 法 人 産 業 技 術 総 合 研 究 所	Direct Si channel etching and successive surface preparation for ultra-thin-channel high-k gate stacks by using low pressure active/passive oxidation	2009 Silicon nanoelectronics workshop (京都) [一般]	有(オ ーラ ル)	2009
11	右田 真司,渡邊 幸宗,太田 裕之,生田目 俊秀,鳥海 明	独 立 行 政 法 人 産 業 技 術 総 合 研 究 所	Structural Metastability and Size Scalability of Phase-Controlled HfO ₂ Formed through Cap-PDA	215 t h Meeting of TheElectrochemical Society (サンフラン シスコ、米国) [招待(学協会)]	有(オ ーラ ル)	2009
12	田岡 紀之,水林 亘, 森田 行則,右田 真司,太田 裕之,高木 信一	独 立 行 政 法 人 産 業 技 術 総 合 研 究 所	Impact of Minority Carrier Response on Characterization of Ge MIS Interface Traps	Electrochemical Society (米国) [一般]	有(オ ーラ ル)	2009
13	右田 真司,渡邊 幸宗,太田 裕之,生田目 俊秀,鳥海 明	独 立 行 政 法 人 産 業 技 術 総 合 研 究 所	Thermal Stability and Size Scalability of Metastable Cubic Phase HfO ₂ with k=50	2008 International Workshop on Dielectric Thin Films for Future ULSI Devices: Science and Technology (Tokyo) [一般]	有(オ ーラ ル)	2008
14	太田 裕之,平野 晃人,渡邊 幸宗,安田 直樹,岩本 邦彦,岡田 健治,右田 真司,生田 目 俊秀,鳥海 明	独 立 行 政 法 人 産 業 技 術 総 合 研 究 所	Inversion Layer Mobility in High-k Dielectric MOSFETs - Intrinsic Mobility Degradation by Electric Dipoles at High-k/SiO ₂ Interface -	214th Meeting of ECS(International Symposium: High k Dielectric Constant Materials and Gate Stacks) (Hawaii(US)) [招待(学協会)]	有(オ ーラ ル)	2008
15	森田 行則,右田 真司,太田 裕之	独 立 行 政 法 人 産 業 技 術 総 合 研 究 所	Optimization of the first reaction in ALD and its impact to electrical film quality of high-k/Si direct-contact gate stacks	2008 International Conference on Solid State Devices and Materials (SSDM 2008) (つくば市) [一般]	有(ポ スタ ー)	2008
16	多田 哲也 ¹ , ウラジ ミール ポボロッチ ¹ , 佐藤 章 ^{1,2} , 佐藤	産 業 技 術 総 合 研 究 所、富 士 通 マ イ ク	紫外線ラマン散乱法による Si MOS トランジスタ構造の応力測定	2010年春季 第57回 応用物理学関係連合 講演会、東海大学、	無 [招 待]	2010

	成生 ² , 有本 宏 ^{1,2} , 松木 武雄 ³ , 由上 二郎 ³ , 金山 敏彦 ¹	ロエレクト ロニクス ² , Selete ³ ,		神奈川県		
17	多田哲也、V. ポボロ ッチ、金山敏彦	産業技術総 合研究所	ラマン分光法による歪み Si 基板の 2 軸応力解析	2010 年秋季 第 71 回 応用物理学会学術講 演会、長崎大学、長 崎県	無	2010
18	西澤 正泰, 右田真 司, Leonid Bolotov, 多田哲也, 金山 敏彦	産業技術総 合研究所	NiSi ₂ /Si 接合界面近傍の STM ポテンシャル分布測 定	2010 年秋季 第 71 回 応用物理学会学術講 演会、長崎大学、長 崎県	無	2010
19	西澤正泰, Leonid Bolotov, 金山敏彦	産業技術総 合研究所	STM を用いた原子分解能 ドーパント分布計測	デバイス計測シンポ ジウム、つくば市	無 [招 待]	2010
20	右田 真司	独立行政法 人 産業技 術 総 合 研 究 所	Metastable Phase Transformed HfO ₂ Crystallize Films for Future High-k MOSFETs	The 2nd NSC-JST Nano Device Workshop, 2009, [招 待(学協会)]	無(オ ーラ ル)	2009
21	西澤正泰, Leonid Bolotov, 金山敏彦	産業技術総 合研究所	<i>p-n</i> 接合の STM で計測した 高さプロファイルシミュレ ーション	第 56 回応用物理学 関係連合講演会, 筑 波大学, 茨城県つく ば	無	2009
22	西澤正泰, Leonid Bolotov, 金山敏彦	産業技術総 合研究所	ドーパント計測技術の最前 線	応用物理学会 シリ コンテクノロジー分 科会 接合技術研究 会、東京	無[招 待]	2009
23	西澤正泰, Leonid Bolotov, 金山敏彦	産業技術総 合研究所	STM によるドーパント分 布計測技術の進展と将来展 望	第 70 回応用物理学 会学術講演会, 富山 大学, 富山県富山市	無 [招 待]	2009
24	多田哲也 ¹ , V. ポボロ ッチ ¹ , 金山敏彦 ¹ , 松 木武雄 ² , 由上二郎 ²	¹ 産業技術総 合研究所、 ² Selete	UV ラマン分光法を用いた W/TiN メタルゲート MOSFET の応力解析	2009 年秋季 第 70 回 応用物理学会学術講 演会、富山大学、富 山県	無	2009
25	西澤正泰, L. Bolotov, 金山敏彦	産業技術総 合研究所	STM により測定した半導 体局所仕事関数のドーピン グ濃度依存性	第 69 回応用物理学 会学術講演会, 名古 屋	無	2008
26	西澤正泰, L. Bolotov, 金山敏彦	産業技術総 合研究所	探針誘起バンドベンディ ングを考慮した半導体計測用 STM シミュレーターの開 発	第 69 回応用物理学 会学術講演会, 名古 屋	無	2008

27	多田哲也、V. ポボロッチ、金山敏彦	産業技術総合研究所	UV ラマン分光測定による STI 構造の応力に対する断面効果の解析	第 69 回応用物理学会学術講演会、名古屋	無	2008
28	多田哲也、V. ポボロッチ、金山敏彦	産業技術総合研究所	UV ラマン測定による STI 構造の応力計測と断面効果	半導体計測・評価技術ネットワーク 第 3 回シンポジウム、つくば市	無 [招待]	2008

国内学会・研究会発表リスト(産総研)

番号	発表者	所属	タイトル	学会名	査読	発表年(FY)
1	右田 真司、森田行則、水林 亘、太田 裕之	独立行政法人 産業技術総合研究所	急熱結晶化法による Si 基板上エピタキシャル HfO ₂ 膜の成長と 0.5 nm EOT の実現	2011 年(平成 23 年) 春季第 58 回応用物理学関係連合講演会(於; 神奈川工科大学)	無	2010
2	多田 哲也 ¹ 、ウラジミール ポボロッチ ¹ 、白田 宏治 ² 、金山 敏彦 ¹	独立行政法人 産業技術総合研究所 2、東芝 2	ストライプ加工したひずみ Si 層のラマン計測による軸分解応力解析	2011 年(平成 23 年) 春季第 58 回応用物理学関係連合講演会(於; 神奈川工科大学)	無	2010
3	福田浩一 ¹ 、西澤正泰 ¹ 、多田哲也 ¹ 、鈴木腕 ² 、佐藤成生 ² 、有本宏 ¹ 、金山敏彦 ¹	独立行政法人 産業技術総合研究所、富士マイクロエレクトロニクス	電荷保存を考慮した STM キャリア分布計測シミュレーション	2011 年(平成 23 年) 春季第 58 回応用物理学関係連合講演会(於; 神奈川工科大学)	無	2010
4	森田 行則、右田 真司、水林 亘、太田 裕之	独立行政法人 産業技術総合研究所	Direct-contact high-k HfO ₂ gate stack technology toward EOT=0.5 nm	nano tech 2011 革新的ナノエレクトロニクスおよびシステムに関する国際シンポジウム	無 (ポスター)	2010
5	森田 行則、右田 真司、水林 亘、太田 裕之	独立行政法人 産業技術総合研究所	酸素制御 cap-PDA 法を用いたサブ 0.5 nm EOT higher-k HfO ₂ ゲートスタックの形成	「ゲートスタック研究会 —材料・プロセス・評価の物理—」(第 16 回研究会) [一般]	有 (オーラル)	2010

6	右田 真司, Pobortchi Vladimir, 多田 哲也, 森田 行則, 水林 亘, 太田 裕之	独立行政法人 産業技術総合研究所	シリサイド形成によって発生する応力がメタルソース・ドレイン SOI FET の電気特性に及ぼす影響	第 71 回応用物理学会学術講演会 [一般]	無 (オーラル)	2010
7	森田 行則 右田 真司, 水林 亘, 太田 裕之	独立行政法人 産業技術総合研究所	ALD 法による High-k ゲート絶縁膜の作製とその特性への基板親水性の影響	日本真空協会 2010 年 6 月研究例会「真空を利用した材料プロセスの新展開—CVD から ALD へ」 [依頼(学協会)]	有 (オーラル)	2010
8	水林 亘, 右田 真司, 森田 行則, 田岡 紀之, 太田 裕之	独立行政法人 産業技術総合研究所	SOI 基板中の NiSi ₂ 横方向エピタキシャル成長を利用した接合制御	第 57 回応用物理学会関係連合講演会 [一般]	無 (オーラル)	2009
9	右田 真司, 水林 亘, 森田 行則, 田岡 紀之, 太田 裕之	独立行政法人 産業技術総合研究所	NiSi/Si 界面に偏析した As 原子の深さ分析	第 57 回応用物理学会関係連合講演会 [一般]	無 (オーラル)	2009
10	森田 行則, 右田 真司, 田岡 紀之, 水林 亘, 太田 裕之	独立行政法人 産業技術総合研究所	酸素終端 Si 表面を用いた ALD-HfO ₂ /Si 直接接合ゲートスタック形成	2010 年春季 第 57 回応用物理学関係連合講演会 [一般]	無 (ポスター)	2009
11	右田 真司, 森田 行則, 水林 亘, 田岡 紀之, 太田 裕之	独立行政法人 産業技術総合研究所	HfO ₂ 結晶薄膜のアニール技術の検討	ゲートスタック研究会 —材料・プロセス・評価の物理— [一般]	有 (オーラル)	2009
12	田岡 紀之, 水林 亘, 森田 行則, 右田 真司, 太田 裕之, 高木 信一	独立行政法人 産業技術総合研究所	Ge MIS 構造における伝導帯端近傍の界面準位密度への界面層の効果	ゲートスタック研究会 —材料・プロセス・評価の物理— [一般]	有 (オーラル)	2009
13	太田 裕之, 右田 真司, 森田 行則, 水林 亘, 田岡 紀之	独立行政法人 産業技術総合研究所	新材料・新構造 CMOS デバイス技術	平成 21 年度“出前シンポジウム” [依頼(学協会以外)]	無 (オーラル)	2009
14	森田 行則, 右田 真司, 田岡 紀之, 水林 亘, 太田 裕之	独立行政法人 産業技術総合研究所	酸素エッチングを用いた SOI 直接薄膜化	応用物理学会学術講演会 [一般]	無 (オーラル)	2009
15	右田 真司, 森田 行則, 田岡 紀之, 水林 亘, 太田 裕之	独立行政法人 産業技術総合研究所	立方晶 HfO ₂ 結晶膜のマルテンサイト変態によって引き起こされる誘電率の低下	第 70 回応用物理学会学術講演会 [一般]	無 (オーラル)	2008

		所			ル)	
16	田岡 紀之, 水林 亘, 森田 行則, 右田 真司, 太田 裕之, 高木 信一	独立行政法人 産業技術総合研究所	少数キャリアを考慮したコンダクタンス法による Ge MIS 界面欠陥の電氣的性質	表面・界面・シリコン材料研究委員会 [依頼(学協会)]	有 (オーラル)	2008
17	森田 行則, 右田 真司, 田岡 紀之, 水林 亘, 太田 裕之	独立行政法人 産業技術総合研究所	親水化表面に形成した極薄 Al ₂ O ₃ 界面層による直接接合 HfO ₂ ゲートスタックの特性制御	2009 年春季第 56 回 応用物理学関係連合講演会 [一般]	無 (オーラル)	2008
18	田岡 紀之, 水林 亘, 森田 行則, 右田 真司, 太田 裕之, 高木 信一	独立行政法人 産業技術総合研究所	少数キャリアを考慮したコンダクタンス法による Ge MIS 界面欠陥の電氣的性質	春季応用物理学会 [一般]	無 (オーラル)	2008
19	太田 裕之	独立行政法人 産業技術総合研究所	High-k ゲートスタックのしきい値決定機構及び移動度劣化機構	産総研出前シンポジウム [依頼(学協会以外)]	無 (オーラル)	2008

受賞実績(産総研)

番号	表彰制度名称	主催者	受賞名称
1	MIRAI 賞	半導体 MIRAI プロジェクト	平成 22 年度 MIRAI 賞 優秀賞 「極薄高駆動力ゲートスタック技術の開発」

成果普及の努力 (産総研)

新聞・雑誌等掲載

番号	新聞等名称	掲載年月日	記事の表題
1	日刊工業新聞他1件	2010/12/09	高誘電率膜で 0.5nm 産総研 低消費電力 LSI 実現へ

プレス発表

番号	件名	発表年月日	事業者名	発表者
1	0.5 nm の非常に薄い高誘電率ゲート絶縁膜を開発-より低消費電力の集積回路が製造可能に-	2010/12/08	独立行政法人 産業技術総合研究所	広報室

再委託研究成果発表状況(神戸大学)

特許リスト なし

論文発表リスト

番号	発表者	所属	タイトル	発表誌名、ページ番号	査読	発表年(FY)
1	H. Tsuchiya, H. Ando, S. Sawamoto, T. Maegawa, T. Hara, H. Yao, M. Ogawa	神戸大学	Comparisons of Performance Potentials of Silicon Nanowire and Graphene Nanoribbon MOSFETs Considering First-Principles Bandstructure Effects	IEEE Trans. on Electron Devices, Vol. 57, No. 2, pp. 406-414.	有	2010
2	H. Tsuchiya, A. Maenaka, T. Mori, Y. Azuma	神戸大学	Role of Carrier Transport in Source and Drain Electrodes of High-Mobility MOSFETs	IEEE Electron Device Letters, Vol. 31, No. 4, pp. 365-367.	有	2010
3	S. Koba, R. Aoyagi, H. Tsuchiya	神戸大学	Quantum Transport Simulation of Nanoscale Semiconductor Devices Based on Wigner Monte Carlo Approach	J. Appl. Phys., Vol. 108, No. 6, 064504.	有	2010
4	T. Maegawa, T. Yamauchi, T. Hara, H. Tsuchiya, M. Ogawa	神戸大学	Strain Effects on Electronic Bandstructures in Nanoscaled Silicon: From Bulk to Nanowire	IEEE Trans. on Electron Devices, Vol. 56, No. 4, pp. 553-559.	有	2009
5	Y. Yamada, H. Tsuchiya, M. Ogawa	神戸大学	A First Principles Study on Tunneling Current Through Si/SiO ₂ /Si Structures	" J. Appl. Phys., Vol. 105, No. 8, 083702.	有	2009
6	W. Wang, H. Tsuchiya, M. Ogawa	神戸大学	Enhancement of Ballistic Efficiency due to Source to Channel Heterojunction Barrier in Si Metal Oxide Semiconductor Field Effect	J. Appl. Phys., Vol. 106, No. 2, 024515.	有	2009

			Transistors			
7	T. Hara, Y. Yamada, T. Maegawa, H. Tsuchiya	神戸大学	Atomistic Study on Electronic Properties of Nanoscale SOI Channels	J. Physics: Conference Series, Vol. 109, 012012.	有	2008
8	Y. Azuma, T. Mori, H. Tsuchiya	神戸大学	Drive Current of Ultrathin Ge-on-Insulator n-Channel MOSFETs	Phys. Stat. Sol. (c), Vol. 5, No. 9, pp. 3153-3155.	有	2008
9	H. Tsuchiya, S. Takagi	神戸大学	Influence of Elastic and Inelastic Phonon Scattering on the Drive Current of Quasi-Ballistic MOSFETs	IEEE Trans. on Electron Devices, Vol. 55, No. 9, pp. 2397-2402.	有	2008

国際学会発表 なし

国内学会・研究会

番号	発表者	所属	タイトル	学会名、開催日など	査読	発表年(FY)
1	山田吉宏, 土屋英昭, 小川真人	神戸大学	原子論的アプローチによる Si ナノワイヤのフォノン散乱移動度モデリング	第58回応用物理学関係連合講演会, 2011年3月24日, 神奈川工科大学.	無	2010
2	木場隼介, 土屋英昭, 小川真人	神戸大学	ウィグナーモンテカルロ法による MOSFET の散逸的量子輸送解析	第58回応用物理学関係連合講演会, 2011年3月24日, 神奈川工科大学.	無	2010
3	青柳良, 木場隼介, 土屋英昭, 小川真人	神戸大学	ショットキー障壁 MOSFET のソース端電子輸送に及ぼす不純物偏析の影響	第58回応用物理学関係連合講演会, 2011年3月26日, 神奈川工科大学.	無	2010
4	土屋英昭	神戸大学	高移動度チャンネル MOSFET の極限性能	SEMI FORUM JAPAN 2010 プロセスインテグレーションセミナー, 2010年6月1日, グランキューブ大阪.	無	2010
5	木場隼介, 青柳良, 前中	神戸大学	ナノスケールデバイスのウィグナーモンテカルロシミュレーション	第57回応用物理学関係連合講演会, 2010年3月17日, 東海大学.	無	2009

	章宏, 王威, 土屋英昭, 小川真人					
6	澤本俊, 前川忠史, 原孟史, 土屋英昭, 小川真人	神戸大学	第一原理バリスティックシミュレーションによるSiナノワイヤトランジスタの性能予測	第70回応用物理学会学術講演会, 2009年9月11日, 富山大学.	無	2009
7	安藤晴気, 澤本俊, 前川忠史, 土屋英昭, 小川真人	神戸大学	第一原理バリスティックシミュレーションによるグラフェントランジスタの性能予測	第70回応用物理学会学術講演会, 2009年9月11日, 富山大学.	無	2009
8	前中章宏, 松浦慎一郎, 土屋英昭, 小川真人	神戸大学	高移動度チャンネルMOSFETの電流駆動力シミュレーション	第56回応用物理学関係連合講演会, 2009年3月, 筑波大学.	無	2008
9	王威, 土屋英昭, 小川真人	神戸大学	ショットキーS/D MOSFETの高バリスティック輸送効率	第56回応用物理学関係連合講演会, 2009年3月, 筑波大学.	無	2008
10	山田吉宏, 土屋英昭, 小川真人	神戸大学	バリスティック輸送がSi-MOSFETのオフ電流に与える影響	第56回応用物理学関係連合講演会, 2009年3月, 筑波大学.	無	2008
11	土屋英昭, 前中章宏, 森隆志, 東祐介	神戸大学	高移動度チャンネルMOSトランジスタの性能予測シミュレーション	応用物理学会ゲートスタック研究会—材料・プロセス・評価の物理—, 2009年1月, 東レ総合研修センター(静岡県三島市).	無	2008
12	前川忠史, 山内恒毅, 原孟史, 土屋英昭, 小川真人	神戸大学	第一原理計算によるひずみシリコンナノ構造チャンネルの電子状態解析	応用物理学会分科会シリコンテクノロジー, No. 105, pp. 82-87, 2008年11月, 機械振興会館.	無	2008

13	山田吉宏, 土屋英昭, 小川真人	神戸大学	シリコンナノワイヤトランジスタの三次元量子輸送シミュレーション	応用物理学会分科会シリコンテクノロジー, No. 105, pp. 76-81, 2008年11月, 機械振興会館.	無	2008
14	土屋英昭, 王威, 高木信一	神戸大学	バリスティック効率向上のためのソース端ポテンシャルエンジニアリング	第69回応用物理学会学術講演会, 2008年9月, 中部大学.	無	2008

② 新探究配線技術開発

(1) 極限低抵抗・高電流密度配線技術の開発

研究発表・講演、文献、特許等の状況

(1) 研究発表・講演

No.	題目	学会名	発表者	発表年
1	カーボンナノチューブ低音成長における触媒活性	第 69 回応用物理学会学術講演会	野末竜弘	2008
2	低温プロセスを用いたカーボンナノチューブ配線ビアとその高電流密度耐性	第 13 回 LSI 配線における原子輸送・応用問題研究会	川端章夫	2008
3	Control the wall number of low temperature grown multi-walled carbon nanotubes by changing the carrier gases	第 35 回記念フラーレン・ナノチューブ総合シンポジウム	横山大輔	2008
4	ナノ金属微粒子を触媒としたカーボンナノチューブ配線の上部及び下部電極コンタクト構造の解明	Spring-8 触媒評価研究会 (第 14 回)	近藤大雄	2008
5	その場 FTIR 測定と数値計算によるカーボンナノチューブ成長中の原料ガス分解量の解析	第 35 回フラーレン・ナノチューブ総合シンポジウム	佐藤信太郎	2008
6	カーボンナノチューブと SOD の複合材料のための CMP 技術	2008 年秋季 第 69 回応用物理学会学術講演会	百島孝	2008
7	硬 X 線光電子分光によるカーボンナノチューブビア配線の上部及び下部電極コンタクト構造の解明	第 5 回 Spring-8 産業利用報告会	近藤大雄	2008
8	グラファイトアンテナを用いた先端放電型リモートプラズマ CVD 法による垂直配向カーボンナノチューブの合成	第 22 回ダイヤモンドシンポジウム	横山大輔	2008
9	先端放電型リモートプラズマ CVD によるサブミクロンサイズビアからの多層 CNT 低温成長	第 22 回ダイヤモンドシンポジウム	飯塚正知	2008
10	カーボン配線技術の現状と展望	Advanced Metallization Conference 2008, 18th Asian Session, Workshop	二瓶瑞久	2008

No.	題目	学会名	発表者	発表年
11	カーボンナノチューブ (CNT) と SOD 複合材料の CMP 加工に関する報告	2008 年度 精密工学会 福岡地方講演会	百島孝	2008
12	Electric characterization of CNTs grown in nanosized via interconnects at low temperatures by remote plasma CVD	36 回フラーレンナノチューブ総合シンポジウム	飯塚正知	2009
13	先端放電型リモートプラズマ低温 CVD 成長によるサブミクロンサイズ CNT ビアの電気特性評価	2009 年春季第 5 6 回応用物理学学会学術講演会	飯塚正知	2009
14	カーボンナノチューブと SOD 複合材料のための CMP 技術	2009 年春季 第 56 回 応用物理学関係連合講演会	百島孝	2009
15	カーボンナノチューブ配線ビアの高電流密度耐性：CMP の効果	2009 年春季 第 56 回 応用物理学関係連合講演会	佐藤元伸	2009
16	カーボンナノチューブ (CNT) と SOD 複合材料の CMP 加工に関する基礎検討	2008 年度 精密工学会 春季大会	百島孝	2009
17	多段階プラズマ CVD による超高密度 CNT 成長	2009 年秋季 第 70 回応用物理学学会学術講演会	山崎雄一	2009
18	カーボンナノチューブの稠密成長	2009 年秋季 第 70 回応用物理学学会学術講演会	川端章夫	2009
19	カーボンナノチューブと SOD 複合材料のための CMP 技術	2009 年秋季 第 70 回 応用物理学関係連合講演会	百島孝	2009
20	断面 TEM-EELS 法によるカーボンナノチューブ成長触媒分析	2010 春季 第 57 回応用物理学学会学術講演会	川端章夫	2010
21	カーボンナノチューブ成長におけるプラズマ前処理の効果	第 57 回応用物理学関係連合講演会	中野美尚	2010
22	カーボンナノチューブビアの電流密度耐性：故障メカニズム	2010 年春季 第 57 回 応用物理学関係連合講演会	佐藤元伸	2010
23	カーボンナノチューブの半導体配線への適用【国内招待】	Electronic Journal 第 184 回 Technical Seminar	二瓶瑞久	2008
24	LSI 応用に向けたカーボン配線技術【国内招待】	SEMI FORUM JAPAN 2008	二瓶瑞久	2008

No.	題目	学会名	発表者	発表年
25	ナノ粒子触媒を利用したカーボンナノチューブの成長と LSI 配線への応用【国内招待】	第 25 回エアロゾル科学・技術研究討論会	佐藤信太郎	2008
26	LSI デバイスの微細化と多層配線の将来展望 –カーボンナノチューブ/SOD 複合材料に適用した平坦化 CMP【国内招待】	2008 年度 精密工学会秋季大会術講演会	百島孝	2008
27	次世代 LSI に向けたカーボン配線技術【国内招待】	SEMI テクノロジーシンポジウム (STS)2008	二瓶瑞久	2008
28	カーボンナノチューブによる半導体用配線への適用【国内招待】	Electronic Journal 第 344 回 Technical Seminar	二瓶瑞久	2009
29	CNT の LSI 配線応用と低温高密度成長【国内招待】	ニューダイヤモンドフォーラム平成 21 年度第 2 回研究会	酒井忠司	2010
30	カーボンナノチューブの配線技術【国内招待】	日本セラミックス協会 2010 年年会	粟野祐二	2010
31	カーボンナノチューブの LSI 配線応用と低温高密度成長【国内招待】	ADMETA2010 Tutorial	酒井忠司	2010
32	Low temperature growth of carbon nanotubes by remote plasma CVD for future ULSI interconnects	Ninth International Conference on the Science and Application of Nanotubes (Nanotube08)	横山大輔	2008
33	Robustness of CNT Interconnect Fabricated by LSI-compatible Processes over a High-Density Current	NT08: Ninth International Conference on the Science and Application of Nanotubes	佐藤信太郎	2008
34	Direct observation of catalyst activity during CNT growth by in-situ FTIR measurements	NT08: Ninth International Conference on the Science and Application of Nanotubes	野末竜弘	2008
35	Robustness of CNT Via Interconnect Fabricated by LSI-compatible Processes over a High Density Current	The IUMRS International Conference in Asia 2008 (IUMRS-ICA 2008)	佐藤信太郎	2008

No.	題目	学会名	発表者	発表年
36	Low-temperature growth of high-quality carbon nanotubes by remote plasma-enhanced chemical vapor deposition	8th International Symposium on Advanced Fluid Information and Transdisciplinary Fluid Integration (AFI/TFI 2008)	山崎雄一	2008
37	Fabrication of 70-nm-diameter Carbon Nanotube Via Interconnects by Remote Plasma-Enhanced Chemical Vapor Deposition and Their Electrical Properties	2009 IEEE International Interconnect Technology Conference	片桐雅之	2009
38	High Current Reliability of Carbon Nanotube Via Interconnects	2009 International Conference on Solid State Devices and Materials(SSDM 2009)	佐藤元伸	2009
39	Electric characterization of carbon nanotubes grown at low temperature by remote plasma chemical vapor deposition for LSI interconnects	2009 International Conference on Solid State Devices and Materials	飯塚正知	2009
40	Synthesis of a closely packed CNT forest by a multi-step plasma CVD growth method	2009 MRS fall meeting	山崎雄一	2009
41	Electric characterization of carbon nanotubes grown at low temperature by remote plasma chemical vapor deposition for LSI interconnects	2009 MRS fall meeting	飯塚正知	2009
42	CMP technique for CNT/SOD composite using ceria slurry.	International Conference on Planarization/CMP Technology 2009	百島 孝	2009
43	TEM-EELS analysis of catalyst metals for high-density carbon nanotube growth	Nanotube 2010	川端 章夫	2010
44	Extremely high-density carbon nanotube growth for interconnect application	DIAMOND2010	山崎雄一	2010

No.	題目	学会名	発表者	発表年
45	Improvement in Electrical Properties of Carbon Nanotube Via Interconnects	ADMETA2010	片桐雅之	2010
46	Carbon nanotube via interconnects with large current carrying capacity 【国際招待】	The 9th International Conference on Solid-State and Integrated-Circuit Technology	二瓶瑞久	2008
47	Integration of carbon nanotubes for LSI via interconnects 【国際招待】	2009 MATERIALS FOR ADVANCED METALLIZATION CONFERENCE (MAM2009)	二瓶瑞久	2009
48	High density carbon nanotubes and their applications for VLSI via interconnects 【国際招待】	XXIVth International Winterschool on Electronic Properties of Novel Materials	栗野祐二	2010
49	Fabrication of Carbon Nanotube via Interconnects and their Reliability for a High Current Density 【国際招待】	2010 MRS Spring Meeting	佐藤信太郎	2010
50	Application of Carbon Nanomaterials to Interconnects and Transistors for Low Power-Consumption Large-Scale Integrated Circuits 【国際招待】	2010 MRS Fall Meeting	佐藤信太郎	2010

(2) 文献

NO.	題目	学会名	発表者	発表年
1	Low-Temperature Growth of Multiwalled Carbon Nanotubes by Surface-Wave Plasma-Enhanced Chemical Vapor Deposition Using Catalyst Nanoparticles	Japanese Journal of Applied Physics,	片桐雅之	2008
2	Electrical Properties of Carbon Nanotubes Grown at a Low Temperature for Use as Interconnects	Japanese Journal of Applied Physics	横山大輔	2008
3	Fabrication of carbon nanotube via interconnect at low temperature and its robustness over a high density current	Sensors and Materials	佐藤信太郎	2009
4	Low-Temperature Growth of Multiwalled Carbon Nanotubes by Surface-Wave Plasma-Enhanced Chemical Vapor Deposition Using Catalyst Nanoparticles	Japanese Journal of Applied Physics	片桐雅之	2009
5	Carbon nanotube interconnect technologies for future LSIs	Solid State Circuits Technologies	二瓶瑞久	2009
6	Low-temperature synthesis of multiwalled carbon nanotubes by graphite antenna CVD in a hydrogen-free atmosphere	Carbon	横山大輔	2010
7	Synthesis of a Closely Packed Carbon Nanotube Forest by a Multi-Step Growth Method Using Plasma-Based Chemical Vapor Deposition	Applied Physics Express	山崎雄一	2010
8	High-Current Reliability of Carbon Nanotube Via Interconnects	Japanese Journal of Applied Physics	佐藤元伸	2010
9	Carbon Nanotubes for VLSI: Interconnect and Transistor Applications 【招待】	Proceedings of the IEEE	栗野 祐二	2010
10	LSI やメモリの高集積化を目指す ナノカーボン配線技術	東芝レビュー	酒井忠司	2011

(3) 特許等

・出願分

番号	国内外	出願番号	出願日	出願者	名 称
1	US	12/062,112	2008/4/3	東芝	配線、電子装置及び電子装置の製造方法
2	US	12/098,724	2008/4/7	富士通	基板構造及びその製造方法
3	国内	2008-154330	2008/6/12	富士通	カーボンナノチューブ系材料の先端部形成方法
4	国内	2008-171578	2008/6/30	東芝	カーボンナノチューブ作製装置、カーボンナノチューブ作製方法、および、ラジカル作製装置
5	PCT (US)	PCT/JP2008/65 128	2008/8/25	東芝	構造体、電子装置及び構造体の形成方法
6	国内	2008-311257	2008/12/5	富士通マイクロ	配線構造及びその形成方法、並びに半導体装置
7	国内	2009-008437	2009/1/19	東芝、富士通マイクロ	カーボンナノチューブ成長方法とカーボンナノチューブ束形成基板
8	国内	2009-017687	2009/1/29	東芝	カーボンナノチューブ及びその製造方法
9	国内	2009-104864	2009/4/23	富士通マイクロ、アルバック	線状構造体の成長方法及び成長装置
10	US	12/495,004	2009/6/30	東芝	カーボンナノチューブ作製装置、カーボンナノチューブ作製方法、および、ラジカル作製装置
11	国内	2009-209527	2009/9/10	東芝	カーボンナノチューブ配線及びその製造方法
12	国内	2009-233694	2009/10/7	富士通マイクロ	半導体装置の製造方法
13	国内	2009-233641	2009/10/7	富士通マイクロ	カーボンナノチューブデバイスの製造方法
14	国内	2009-244493	2009/10/23	富士通マイクロ	電子回路素子の製造方法
15	US	12/689,515	2010/1/19	東芝単独	カーボンナノチューブ成長方法とカーボンナノチューブ束形成基板
16	国内	2010-68430	2010/3/24	東芝	半導体装置及びその製造方法
17	国内	2010-115518	2010/5/19	パナソニック	フィルタの製造方法
18	国内	2010-122871	2010/5/28	アルバック	カーボンナノチューブの形成方法及びカーボンナノチューブの形成装置
19	KR	10-2010- 0057016	2010/6/16	富士通セミコン	(分割出願)カーボンナノチューブを用いた配線構造およびその製造方法
20	国内	2010-188836	2010/8/25	東芝	半導体基板の製造方法
21	国内	2010-188662	2010/8/25	東芝	カーボンナノチューブ配線の製造方法
22	US	12/876669	2010/9/7	東芝	カーボンナノチューブ配線及びその製造方法
23	国内	2010-200549	2010/9/8	アルバック	ガス分散用装置、真空処理装置、基板の処理方法及びカーボンナノチューブの形成方法
24	KR	10-2010- 0091537	2010/9/17	富士通セミコン	電子デバイス及びその製造方法

・登録分

No.	国内 外	登録番号	登録日 (出願日)	出願者	名称
1	CN	200810090316.9/ 【登録】 200810090316.9 (CN)	2010/3/24 (2008/3/28)	富士通セミ コン	電子デバイス及びその製造 方法
2	国内	2007-099549 【登録】 P4352080	2009/7/31 (2007/4/5)	東芝	配線、電子装置及び電子装 置の製造方法
3	国内	2007-099542 【登録】 P4364253	2009/8/28 (2007/4/5)	東芝	配線、電子装置及び電子装 置の製造方法
4	KR	10-2008- 0016719(*) 【登録】 10-0979162 (KR)	2010/8/25 (2008/2/25)	富士通セミ コン	配線構造及びその形成方法 カーボンナノチューブを用 いた配線構造およびその製 造方法

(4) その他の公表 (プレス発表等)

No	発表年月日	掲載紙名	題目
1	2008.6.5	日刊工業新聞	縦穴配線に CNT
2	2008.10.7	2008 年秋季 ULVAC 研究発表会	カーボンナノチューブ微細ビア配線の 開発
3	2008.12	SPring-8 利用報告書	硬 X 線光電子分光によるカーボンナ ノチューブ配線低抵抗化に向けた電極構 造の最適化
4	2008.11.20	東芝研究開発センター 社内 展示会	カーボンナノチューブ配線技術
5	2009.3.3	2009 年春季 ULVAC 研究発表会	カーボンナノチューブ微細ビア配線の 開発
6	2009.3.31	早稲田大学ナノテクノロジー 研究所	カーボンナノエレクトロニクスのため の微細配線ビア構造作製・評価技術
7	2009.5	Semiconductor International	2009IEEE/IITC の注目発表 (事前プレス)
8	2009.6	日経マイクロデバイス	カーボン材料を使ったエレクトロニク ス
9	2009.9	応用物理学会の国際会議 SSDM 2009 の Web サイト	2009 SSDM の注目発表 (事前プレス)

② 新探究配線技術開発 [NSI]

(2) 新コンセプトグローバル配線技術の開発 (LSI チップ光配線技術開発)

(1) 研究発表・講演

No.	題目	学会名	発表者	発表年
1	Demonstration of LSI On-Chip Optical Clock Distribution with Bonded Chip Structures	Int Nanotechnology Conf and Communication Cooperation (INC4)	西研一他	2008
2	On-Chip Optical Interconnect Structure Using Micro Plating Bumps and Its Application to Optical Clock Distribution	IEEE Int Conf Electronics Packaging (ICEP 2008)	清水隆徳他	2008
3	ナノセラミックスの光デバイス応用	ナノテクビジネスワークショップ	中田正文	2008
4	MIRAI光配線PGにおける強誘電体変調器の開発	電子情報技術産業協会シリコンフォトンクス技術分科会	中田正文	2008
5	Silicon Photonics and Plasmonics for Electronics (invited)	Int Symp on the Physics of Semiconductor and Application	大橋啓之	2008
6	AD 法による EO/MO 材料を用いた小型高速光素子	電子情報通信学会研究会	中田正文他	2008
7	Waveguide-Integrated Si Nano-Photodiode with Surface-Plasmon Antenna and its Application to On-Chip Optical Clock Signal Distribution (invited)	5th Int Conf on Group IV Photonics (GFP 2008)	藤方潤一他	2008
8	透明機能性薄膜による超小型高速光素子	日本セラミック協会秋季シンポジウム	中田正文他	2008
9	チップレベル光配線の動向	ADMETA 2008	大橋啓之	2008
10	On-Chip Optical Interconnect Structure Assembled by Flip-Chip bonding Technology (invited)	ECS 2008 Fall Meeting	清水隆徳他	2008
11	Transparent Ceramic Film Formation by Aerosol Deposition and Its Application to Optical Devices (invited)	ECS 2008 Fall Meeting	明渡純	2008
12	LSI グローバル配線の光化技術	エレクトロニクス実装学会 2008 ワークショップ	木下雅夫	2008
13	AD 法の光デバイス応用	第 3 回つくば国際コーティングシンポジウム	中田正文他	2008
14	Plasmon Photodiode for On-Chip Optical Interconnect (invited)	MRS 2008 fall meeting	大橋啓之他	2008

15	オンチップ光配線開発の動向	信学会光エレクトロニクス研究会	大橋啓之	2008
15	LSI チップ光配線	応物関西支部講演会	大橋啓之	2009
17	Silicon Photonics and Plasmonics for On-Chip Interconnection (invited)	Int Seminar on Advanced Semiconductor Mater & Devices (2009 RCIQE)	大橋啓之	2009
18	光配線:チップ間からチップ上、チップ内へ	電子情報通信学会総合大会エレクトロニクスソサイエティ依頼シンポジウム:シリコンフォトニクス	大橋啓之	2009
19	SiON オンチップ光波長フィルターの動作解析	春期第 56 回応用物理学関係連合講演会	牛田淳他	2009
20	表面プラズモンアンテナを用いた導波路結合 Si ナノフォトダイオードとオンチップ波長多重信号伝送への応用	春期第 56 回応用物理学関係連合講演会	藤方潤一他	2009
21	オンチップ光配線に向けた 850nm 帯用 Si ₃ N ₄ 導波路の伝搬特性	春期第 56 回応用物理学関係連合講演会	渡辺俊文他	2009
22	LSI チップ光配線技術	低温接合における 3D 集積化研究会	中田正文	2009
23	オンチップ光配線のためのシリコンフォトニクス/プラズモニクス	微小光学研究会	大橋啓之	2009
24	エアロゾルデポジション法による LSI 光配線用小型 PLZT 変調器	強誘電体応用会議(FMA)	中田正文他	2009
25	Electro-Optical Ceramic Film for On-Chip Optical Interconnect (invited)	Pacific Rim Conf Ceramic and Glass Technol (PACRIM 8)	大橋啓之他	2009
26	Waveguide-Integrated Si Nano-Photodiode and its Application to On-Chip WDM Signal Transport (invited)	Silicon Nanoelectronics Workshop (SNW 2009)	藤方潤一他	2009
27	Surface Plasmon Antenna for Photo Detection (invited)	Applied Plasmonics Workshop, 4th Int Conf Surface Plasmon Photonic (SPP4)	大橋啓之他	2009
28	垂直入出射型グレーティングカップラ の設計解析	2009 年秋季応用物理学会学術講演会	野澤道直他	2009
29	光配線はどこまでエレクトロニクスに入り込めるか	2009 年秋季応用物理学会学術講演会フォトニック ICT 研究会企画:フォトニック ICT を取り巻く課題と技術	大橋啓之	2009
30	エアロゾルデポジション法により作	2009 年電子情報通信学会ソサ	清水隆徳他	2009

	製されたマツハツエンダー型 PLZT 変調器の GHz 変調動作	イエティ大会		
31	光配線によるエレクトロニクスのグリーン化	2009 年電子情報通信学会ソサイエティ大会、通信ソサイエティ特別企画:フォトニック技術によるグリーン IT 実現に向けて	大橋啓之	2009
32	Bonded Photonic Structure Incorporated into a Chip	35th European Conf Optical Communication (ECOC 2009)	大橋啓之他	2009
33	光のときめきが半導体設計に革新を起こす!	NMS セミナー	大橋啓之	2009
34	表面プラズモンアンテナを用いたフォトダイオード	平成 21 年度日本光学会関西講演会、応用光学懇談会	藤方潤一他	2010
35	LSI チップ上プラズモンフォトダイオード	日本学術振興会第 151 委員会	大橋啓之他	2010
36	LSI と光配線の融合	電子情報通信学会 知識ベース	大橋啓之	2010
37	半導体 MIRAI プロジェクト:LSI オンチップ光配線	光産業技術振興協会 第3回シリコンフォトニクス技術フォーラム	大橋啓之他	2010
38	オンチップ光配線に向けた 850nm 帯用波長合分波器 -1-	電子情報通信学会 総合大会	土澤泰他	2010
39	オンチップ光配線に向けた 850nm 帯用波長合分波器 -2-	電子情報通信学会 総合大会	渡辺俊文他	2010
40	垂直入出射型グレーティングカプラの動作特性評価	応用物理学会学術講演会	野澤道直他	2010
41	Si ベース光デバイスとオンチップ光配線への応用	日本学術振興会第 154 委員会	藤方潤一他	2010
42	On-chip optical interconnect to replace global electric interconnect	OptoElectronics and Communications Conference (OECC 2010)	大橋啓之他	2010
43	MIRAI における Si フォトニクス研究開発について	日本学術振興会第 145 委員会	大橋啓之他	2010
44	10-GHz Operation of a PLZT Electro-Optic Modulator with a Ring Resonator Formed on a Silicon Substrate	International Conference on Solid State Devices and Materials (SSDM 2010)	清水隆徳他	2010
45	LSI チップ光配線開発の現状と課題	デザインガイア 2010 電子情報通信学会研究会	大橋啓之他	2010

(2)論文発表の状況

No.	題目	掲載雑誌名	発行者	執筆者	掲載年
1	Optical Properties of Pb(Zr,Ti)O ₃ Films prepared by aerosol deposition	IEEE Trans. UFFC	IEEE	津田弘樹 他	2008
2	Low-loss Silicon Oxynitride Waveguides and Branches for 850nm-wavelength Region	Japanese Journal of Applied Physics	応用物理学会	土澤泰他	2008
3	透明機能性薄膜による超小型高速光素子	セラミックス	日本セラミックス協会	中田正文 他	2008
4	LSIオンチップ光配線	光配線実装技術ハンドブック	エレクトロニクス実装学会	大橋啓之	2008
5	On-Chip Optical Interconnect	Proceedings of the IEEE	IEEE	大橋啓之 他	2009
6	チップ内応用への課題と展望(LSIチップ光配線)	エレクトロニクス実装学会誌	エレクトロニクス実装学会	木下雅夫 他	2009
7	Lanthanum-Modified Lead Zirconate Titanate Electro-Optic Modulators Fabricated Using Aerosol Deposition for LSI Interconnects	Japanese Journal of Applied Physics	応用物理学会	中田正文 他	2009
8	Gigahertz Rate Optical Modulation on Mach-Zehnder PLZT Modulators on Si substrates Using Aerosol Deposition	IEICE Electronics Express	電子情報通信学会	清水隆徳 他	2009
9	表面プラズモンアンテナとシリコンナノフォトダイオード	O plus E	アドコム・メディア	大橋啓之	2010
10	オンチップ光配線導入の課題検討	電子情報通信学会誌	電子情報通信学会	大橋啓之 他	2010
11	表面プラズモンアンテナを利用したSiナノフォトダイオード	光学	日本光学会	藤方潤一 他	2011
12	Vertical-coupling Optical Interface for On-chip Optical Interconnection	Optics Express	Optical Society of America	山田博仁 他	2011

(3) 特許等

番号	国内 外国 PCT	出願番号	出願日	出願者	名 称
1	JP	2008-195960	2008/07/30	NEC	光信号変調方式および光信号変調器
2	PCT	PCT/JP2008/064371	2008/08/04	NEC、ソニー	光データベース及びこれを用いた光データ伝送システム
3	JP	2008-258683	2008/10/03	ソニー、NEC	半導体装置
4	JP	2009-120901	2009/05/19	NEC	光配線システム
5	JP	2009-138364	2009/06/09	NEC	光信号処理回路、光信号処理回路付半導体装置および光信号処理回路の製造方法
6	PCT	PCT/JP2009/061172	2009/06/19	NEC	光配線構造
7	US	12/598162	2009/10/29	NEC 日本電信電話	導波路結合型フォトダイオード
8	JP	2009-513019	2009/10/30	NEC 日本電信電話	導波路結合型フォトダイオード
9	JP	2010-033262	2010/02/18	NEC	光デバイス、光集積デバイス、及び光デバイスの製造方法
10	JP	2010-035214	2010/02/19	産業技術総合研究所	成膜装置及び成膜室
11	JP	2010-046822	2010/03/03	産業技術総合研究所	成膜装置及び成膜室
12	JP	2010-049334	2010/03/05	東芝、NEC	アサーマル光導波素子
13	JP	2010-077086	2010/03/30	産業技術総合研究所	成膜装置
14	JP	2010-077087	2010/03/30	産業技術総合研究所	成膜装置
15	JP	2009-541167	2010/5/17	NEC 日本電信電話	光導波路
16	JP	2009-546194	2010/6/8	NEC	導波路型光デバイス
17	US	12/747953	2010/6/14 (提出日)	NEC	導波路型光デバイス
18	JP	2010-165919	2010/07/23	NEC	光接続構造
19	JP	2010-188175	2010/08/25	NEC、東北大学	光結合構造
20	JP	2010-187892	2010/08/25	NEC、東北大学	光結合構造、光回路、および光結合方法
21	JP	2020-187909	2010/08/25	NEC、東北大学	多層光配線用光入出力構造
22	JP	2010-500757	2010/8/25	NEC	光集積回路チップ
23	JP	2010-500748	2010/8/25	NEC	半導体装置
24	US	12/919546	2010/8/26	NEC	半導体装置

25	JP	2010-505427	2010/8/29	NEC	半導体光配線装置及び半導体光配線方法
26	US	12/919461	2010/8/30	NEC	半導体光配線装置及び半導体光配線方法
27	JP	2010-502795	2010/8/30	NEC、東芝	光デバイス、その製造方法とそれを用いた光集積デバイス
28	US	12/920449	2010/8/31	NEC、東芝	光デバイス、その製造方法とそれを用いた光集積デバイス

(4)その他の公表

成果普及の努力(プレス発表等)

No.	発表年月日	掲載紙名	見出し	コメント
1	2009.2.18	ナノテク展示会出展	IT/NW インフラ低電力化に向けた光電集積技術を実現するシリコンフォトニクス	一般展示
2	2009.6.1	日経マイクロデバイス	光配線特集	MIRAI 成果として、Si ナノフォトダイオード、光配線層実装方式等が掲載

③ 特性ばらつきに対し耐性の高いデバイス・プロセス技術開発

(1) 構造依存の特性ばらつきの物理的理解とモデリング技術の開発

:

(1) 研究発表・講演(口頭発表も含む)

表 1. 口頭発表の状況(国際学会等)

No.	題 目	学 会 名	発表者	発表日
1	Measuring and Understanding Device Variability	ESSDER/ESSIRC Variability Workshop	T.Hiramoto	2008 年
2	Analyses of V_{th} Fluctuation at High Temperature Using Takeuchi Plot	2008 International Conference on Solid State Devices and Materials	T.Tsunomura	2008 年
3	Characterization of CMOS Variability Utilizing 1M-DMA and Takeuchi Plot	Workshop on Test Structure Design for Variability Characterization	T.Hiramoto	2008 年
4	A Surface Potential Model for Bulk MOSFET which Accurately Reflects Channel Doping Profile Expelling Fitting Parameters	SISPAD 2008	H. Sakamoto	2008 年
5	Impact of Vertical and Lateral Channel Structure on V_T Fluctuation	2009 Symposia on VLSI Technology and Circuits	T.Tsunomura	2009 年
6	Analyses of Random Threshold Voltage Fluctuations in MOS Devices	9th International Workshop on Junction Technology	K.Takeuchi	2009 年
7	Random Fluctuations in Scaled MOS Devices	2009 Int. Conf. on Simulation of Semiconductor Processes & Devices (SISPAD 2009)	K.Takeuchi	2009 年
8	A New Methodology for Estimating Random Dopant Fluctuation (RDF) Depth Profile on V_T variability in Experimental B, Sb, P, and As	2009 Symposia on VLSI Technology and Circuits	Arifin.T.Putra	2009 年
9	V_{th} Dependence of V_{th} Variability in Intrinsic Channel SOI MOSFETs with Ultra-Thin BOX	International Conference on Solid State Devices and Materials	C.Lee	2009 年
10	Process Condition Dependence of Random V_T Variability in NFETs and PFETs	International Conference on Solid State Devices and Materials	T.Tsunomura	2009 年
11	A Surface Potential Model for Bulk MOSFET which Accurately Reflects Channel Doping Profile Expelling Fitting Parameters	IWCM 2009	S. Kumashiro	2009 年
12	A Discrete Surface Potential Model which Accurately Reflects Channel Doping Profile and its Application to Ultra-Fast Analysis of Random Dopant Fluctuation	SISPAD 2009	H. Sakamoto	2009 年
13	Anomalous back-bias dependence of threshold voltage variability in NMOSFETs due to high concentration regions near source and drain	International Semiconductor Device Research Symposium, 2009(ISDRS '09)	I.Yamato	2009 年
14	Statistically accurate analysis of line width roughness based on discrete power spectrum	SPIE Advanced Lithography 2010 (Proc. SPIE, Vol. 7638, 76380N (2010))	A.Hiraiwa	2010 年
15	MOSFET-Array for Extracting Parameters Expressing SPICE-Parameter Variation	IEEE Conference on Microelectronic Test Structures, March 2010.	K.Terada	2010 年
16	Analysis and Prospect of Local Variability of Drain Current in Scaled MOSFETs by a New	Symposium on VLSI Technology 2010	T.Tsunomura	2010 年

	Decomposition Method			
17	Variation; Key issue of the Advanced CMOS & LSI's	International Symposium on VLSI Technology, Systems and Applications (2010 VLSI-TSA)	S.Kamohara	2010 年
18	Direct Measurements, Analysis, and Post-Fabrication Improvement of Noise Margins in SRAM Cells Utilizing DMA SRAM TEG	Symposium on VLSI Technology 2010	M.Suzuki	2010 年
19	Variability Research: Accomplishments and Future Directions – a Japanese Perspective	DATE Workshop "The Fruits of Variability Research in Europe"	T.Hiramoto	2010 年
20	Perspective of CMOS Technology and Future Requirements	Photomask Japan 2010	T.Mogami	2010 年
21	Origin of "Current-Onset Voltage" Variability in Scaled MOSFETs	Silicon Nanoelectronics Workshop 2010	A.Kumar	2010 年
22	Statistic Characteristics of "Current-Onset Voltage" in Scaled MOSFETs Analyzed by 8k DMA TEG	Silicon Nanoelectronics Workshop 2010	T.Mizutani	2010 年
23	Dopant Distributions in MOSFET Structures by Atom Probe Tomography	IMC17(17th International Microscopy Congress)	K.Inoue	2010 年
24	3D Atom Probe Field Ion Microscopy and Positron Annihilation Complementary Use for Materials Research	12th International Workshop on Slow Positron Beam Techniques	Y.Nagai	2010 年
25	Dopant distribution analysis in boron and carbon-implanted silicon studied by laser-assisted atom probe tomography	2010 MRS Fall Meeting	Y.Shimizu	2010 年
26	Three dimensional dopant distribution in patterned MOSFETs studied by laser-assisted atom probe	2010 MRS Fall Meeting	H.Takamizawa	2010 年
27	Impact of Drain Induced Barrier Lowering on SRAM Static Noise Margin Analyzed by DMA SRAM TEG	2010 International Electron Devices Meeting	X.Song	2010 年
28	NANO-CMOS	IEEE International Conference on Nanotechnology (IEEE NANO)	T.Hiramoto	2010 年
29	Suppression of DIBL and Current-Onset Voltage Variability in Intrinsic Channel Fully Depleted SOI MOSFETs	IEEE International SOI Conference	T.Hiramoto	2010 年
30	Effect of the Channel Dopant Non-Uniformity on VTH-Variation	IEEE/ACM Workshop on Variability Modeling and Characterization	K.Terada	2010 年
31	Measurements and Post-Fabrication Self-Improvement of SRAM Cell Stability	ICCAD WORKSHOP: Workshop on Variability Modeling and Characterization	T.Hiramoto	2010 年
32	Random Variability in Transistors and SRAM: Measurement, Analysis, and Improvement	Synopsys Engineering Seminar Series (Synopsys 社の社内セミナー)	T.Hiramoto	2010 年
33	Variability in Transistors and SRAM: Measurement, Analysis, and Improvement	Solid State Technology and Devices Seminar	T.Hiramoto	2010 年
34	Statistical-noise effect on power spectrum of line-edge and line-width roughness with long-range correlation	SPIE Advanced Lithography 2011	A.Hiraiwa	2011 年

35	Electrical Estimation of Channel Dopant Uniformity Using Test MOSFET Array	International Conference on Microelectronic Test Structures 2011	K.Terada	2011 年
36	Measurement of MOSFET C-V Curve Variation Using Test Structure for Charge-Based Capacitance Measurement	International Conference on Microelectronic Test Structures 2011	K.Tsuji	2011 年
37	Study on the Causes for MOSFET Transconductance Fluctuation	2011 International Symposium on VLSI technology, systems and Applications (2011 VLSI-TSA)	K.Terada	2011 年
38	Variability and Device/Circuit Co-Design with Planar Bulk MOSFETs	16th Asia and South Pacific Design Automation Conference	T.Hiramoto	2011 年
39	Atomic-scale analysis for boron and carbon atoms co-implanted into silicon studied by laser-assisted atom probe tomography	微細トランジスタの特性ばらつきに関する国際シンポジウム	Y.Shimizu	2011 年
40	Variation Mechanism Analysis and Robust Designed Transistor Technology	微細トランジスタの特性ばらつきに関する国際シンポジウム	A.Nishida	2011 年
41	Structure Analysis of nMOSFETs with Different gm by Three-Dimensional STEM	微細トランジスタの特性ばらつきに関する国際シンポジウム	F.Yano	2011 年
42	VT and Drain Current Variabilities of Scaled FETs at High Temperature	微細トランジスタの特性ばらつきに関する国際シンポジウム	T.Tsunomura	2011 年
43	Variability: Measurement Study	微細トランジスタの特性ばらつきに関する国際シンポジウム	T.Tsunomura	2011 年
44	Atom probe technology for variability study	微細トランジスタの特性ばらつきに関する国際シンポジウム	Y.Nagai	2011 年
45	Three-dimensional dopant distributions in patterned MOSFETs studied by laser-assisted atom probe tomography	微細トランジスタの特性ばらつきに関する国際シンポジウム	H.Takamizawa	2011 年
46	Normalization of Random Threshold Voltage Fluctuation	微細トランジスタの特性ばらつきに関する国際シンポジウム	K.Takeuchi	2011 年
47	Proposal of a Consistent Model for Increased NFET Fluctuation	2011 Symposium on VLSI Technology	K.Takeuchi	2011 年
48	Effect of the Channel Dopant Non-Uniformity on VTH-Variation	微細トランジスタの特性ばらつきに関する国際シンポジウム	K. Terada	2011 年
49	Development of Test Circuit by Charge-Based Capacitance Measurement for Capacitance-Voltage Curve Variation of MOSFETs	微細トランジスタの特性ばらつきに関する国際シンポジウム	K.Tsuji	2011 年
50	A New Extrapolation Method for Threshold Voltage Extraction in Saturation Region	微細トランジスタの特性ばらつきに関する国際シンポジウム	M.Matsudaira	2011 年
51	Effect of Parasitic Series Resistance on MOSFET gm Variability	2011 Symposium on VLSI Technology	K.Terada	2011 年
52	Reduction of DIBL Variability and "Current-Onset Voltage" Variability in Intrinsic Channel Fully Depleted SOI MOSFETs	微細トランジスタの特性ばらつきに関する国際シンポジウム	A.Kumar	2011 年
53	Cause Analysis of Newly Found "Current-Onset Voltage" Variability in Scaled MOSFETs by 3D Device Simulation	微細トランジスタの特性ばらつきに関する国際シンポジウム	A.Kumar	2011 年
54	Degradation of SRAM Stability by DIBL Variability Analyzed by SRAM DMA TEG	微細トランジスタの特性ばらつきに関する国際シンポジウム	X.Song	2011 年
55	Direct Measurements of Static Noise Margin and	微細トランジスタの特性ばらつき	X.Song	2011 年

	Individual Cell Transistors Utilizing SRAM DMA TEG	に関する国際シンポジウム		
56	Statistical Characteristics of “Current-Onset Voltage” Variability in Scaled MOSFETs Analyzed by DMA TEG	微細トランジスタの特性ばらつきに関する国際シンポジウム	T.Mizutani	2011 年

表 1. 口頭発表の状況(国内学会等)

No.	題 目	学 会 名	発表者	発表日
1	10nm 世代に向けた MOS トランジスタの特性ばらつき克服に向けて	日本学術振興会シリコン超集積化システム第 165 委員会研究会	平本俊郎	2008 年
2	微細トランジスタの特性ばらつき: 原因究明と対策	VDEC デザイナーズフォーラム 特別講演 ～デバイス技術者から回路設計者へのメッセージ～	平本俊郎	2008 年
3	微細 MOSFET の特性ばらつきに関する最近の動向について	第72回半導体・集積回路技術シンポジウム	平本俊郎	2008 年
4	微細トランジスタにおける特性ばらつきの現状と将来動向	電子情報通信学会 シリコンデバイス・材料研究会	平本俊郎	2008 年
5	65nm MOSFET における 5 σ しきい値ばらつきの竹内プロットを用いた解析	2008 年応用物理学会シリコンテクノロジー分科会 第 104 回研究集会「VLSI シンポジウム特集(先端 CMOS デバイス・プロセス技術)」	角村貴昭	2008 年
6	シリコンナノエレクトロニクス of 将来展望	東北大学大学院工学研究科夏季集中講義「極限表面制御工学特論」	平本俊郎	2008 年
7		NGL2008	最上徹	2008 年
8	Takeuchi プロットを用いた VT ばらつきのゲート長依存性解析	2008 年秋期 第 69 回応用物理学関係連合講演会	角村貴昭	2008 年
9	一貫物理解析と Takeuchi プロットによる VT ばらつき原因解析	2008 年秋期 第 69 回応用物理学関係連合講演会	角村貴昭	2008 年
10	3 次元アトムプローブによる n-type と p-type MOS の不純物原子分布の比較	2008 年秋期 第 69 回応用物理学関係連合講演会	井上耕治	2008 年
11	ポリ Si ゲート中の不純物原子の粒界偏析の 3 次元観察	日本物理学会	井上耕治	2008 年
12	特性ばらつきの新規格化法による原因解析	第 19 回低消費電力・高速 LSI 技術懇談会	竹内潔	2008 年
13	シリコンナノエレクトロニクス of 将来展望	第 18 回 RCJ 信頼性シンポジウム (電子デバイスの信頼性シンポジウム、EOS/ESD/EMC シンポジウム)	平本俊郎	2008 年
14	Variation; Key issue of the Advanced CMOS & LSI's	SEMI テクノロジーシンポジウム 2008	蒲原史朗	2008 年
15	最先端統計から見た 32nm デバイス特性ばらつき	システム・デザイン・フォーラム 2009	平本俊郎	2009 年
16	MOS トランジスタの特性ばらつきの定量とその解析	「ゲートスタック研究会 —材料・プロセス・評価の物理—」 (第 14 回研究会)	西田彰男	2009 年
17	しきい値電圧ばらつきに対するハロー構造の影響	電子情報通信学会 2009 年 総合大会	寺田和夫	2009 年

18	高温におけるトランジスタ特性ばらつきの Takeuchi プロットによる解析	2009 年春季第 56 回応用物理学関係連合講演会	角村貴昭	2009 年
19	深さプロファイルを考慮した離散不純物による VT ばらつきの新評価手法の提案	2009 年春季第 56 回応用物理学関係連合講演会	Arifin Tamsir Putra	2009 年
20	レーザ3次元アトムプローブによる MOSFET 構造 Poly-Si ゲート中のドーパント分布解析	2009 年春季第 56 回応用物理学関係連合講演会	井上耕治	2009 年
21	Takeuchi 係数を用いたしきい値電圧ばらつきの基板バイアス依存性の解析	2009 年春季第 56 回応用物理学関係連合講演会	俣竜矢	2009 年
22	微細 MOSFET における Halo 注入がしきい値電圧ばらつきに与える影響	2009 年春季第 56 回応用物理学関係連合講演会	山戸一郎	2009 年
23	MOS トランジスタの特性ばらつきの定量とその解析	(株)東レリサーチ 第6回半導体デバイス評価セミナー	西田彰男	2009 年
24	3次元アトムプローブによる MOSFET 中のドーパント分布解析	JEITA-STRJ-故障解析 TF 第 36 回会合	井上耕治	2009 年
25	LSI 低電圧化に向けた CMOS の特性バラつきの克服	日経マイクロデバイス「0.5V 駆動 LSI への挑戦～LSI 低電圧化の技術シナリオ～」セミナー	平本俊郎	2009 年
26	竹内プロットを用いた NMOS しきい値ばらつき増大原因の解析	応用物理学学会シリコンテクノロジー分科会 第 115 回研究集会 VLSI シンポジウム特集(先端 CMOS デバイス・プロセス技術)	角村貴昭	2009 年
27	SRAM セル歩留まり解析時間短縮に向けたモンテカルロ高速化手法の提案	DA シンポジウム 2009	佐藤修平	2009 年
28	しきい値電圧ばらつきに対するチャネル不均一性の影響	2009 年秋季 第 70 回応用物理学学会学術講演会	寺田和夫	2009 年
29	しきい値ばらつきの NMOS/PMOS 差の解析	2009 年秋季 第 70 回応用物理学学会学術講演会	角村貴昭	2009 年
30	トランジスタ特性ばらつき解析へのナノプロービングの応用	2009 年秋季 第 70 回応用物理学学会学術講演会	福井宗利	2009 年
31	レーザ3次元アトムプローブによる MOSFET 構造チャネル中のドーパント濃度分布解析	2009 年秋季 第 70 回応用物理学学会学術講演会	高見澤悠	2009 年
32	微細 MOSFET における横方向濃度差がしきい値電圧ばらつきに与える影響	2009 年秋季 第 70 回応用物理学学会学術講演会	山戸一郎	2009 年
33	極薄 BOX を有する SOI MOSFET におけるしきい値電圧ばらつきのしきい値電圧依存性	2009 年秋季 第 70 回応用物理学学会学術講演会	イ チホ	2009 年
34	微細トランジスタにおける特性ばらつきの現状と将来展望	2009 年秋季 第 70 回応用物理学学会学術講演会	平本俊郎	2009 年
35	微細 MOS トランジスタにおける不純物の深さ方向分布を考慮した特性ばらつきの新正規化手法	2009 年秋季 第 70 回応用物理学学会学術講演会	平本俊郎	2009 年
36	電流測定データにおけるはずれ値除去の自動化	平成 21 年度 電気・情報関連学会中国支部第 60 回連合大会	讃井和彦	2009 年
37	トランジスタ特性ばらつき解析へのナノプロービングの応用	第 29 回 LSI テスティングシンポジウム	福井宗利	2009 年
38	3次元アトムプローブによる MOS トランジスタ中のドーパント分布解析	第 29 回 LSI テスティングシンポジウム	高見澤悠	2009 年
39	微細 MOS デバイスにおけるランダムばらつき	電子情報通信学会・SDM 研究会 応用物理学学会・Si テクノロジー分科会研究集会	竹内潔	2009 年
40	半導体デバイスの将来像	第 4 回 ITS 推進フォーラム・ITS 総合シンポジウム	平本俊郎	2009 年

41	STI ストレスによる MOSFET 特性変動のコンパクトモデル	2009 年春季第 56 回応用物理学関係連合講演会	山田健太	2009 年
42	チャンネル不純物分布を正確に反映した離散化表面ポテンシャルとその超高速不純物濃度ばらつき解析への応用	電子情報通信学会・SDM 研究会	坂本浩則	2009 年
43	プロセス条件依存性によるしきい値ばらつき原因解析	2010 年春季 第 57 回応用物理学関係連合講演会	角村貴昭	2010 年
44	しきい値電圧ばらつきに対するチャンネル濃度不均一性の影響	電子情報通信学会 2010 年 総合大会	寺田和夫	2010 年
45	電流の測定データにおけるはずれ値除去の自動化	電子情報通信学会 2010 年 総合大会	讃井和彦	2010 年
46	トランジスタ特性ばらつきの現状と要請	応用物理学学会シリコンテクノロジー分科会第 117 会 接合技術研究集会「不純物ドーピングの挑戦と将来展望－不純物ドーピングは使えるか？」	平本俊郎	2010 年
47	レーザー3次元アトムプローブによるゲートパターンを有する MOS 構造のドーパント分布解析	2010 年春季 第 57 回応用物理学関係連合講演会	高見澤悠	2010 年
48	S/D 端の高濃度領域による V_{th} ばらつきの異常基板バイアス依存性	2009 年春季 第 57 回応用物理学関係連合講演会	山戸一郎	2010 年
49	設計者目線でのバラツキ理解	厳選 LSI 設計技術@EDSF 2010 --超微細化時代の LSI 設計と検証--	竹内潔	2010 年
50	3次元アトムプローブによる MOSFET 中のドーパント分布解析	応用物理学学会シリコンテクノロジー分科会 第 121 回研究集会 表面・界面・シリコン材料研究委員会 「半導体シリコン単結晶ウェーハを特徴づける評価技術」	井上耕治	2010 年
51	低速陽電子ビームと 3 次元アトムプローブによる MOS 構造ゲート中ドーパントと欠陥の分布解析	第 47 回 アイソトープ・放射線研究発表会	高見澤悠	2010 年
52	ばらつき可視化によるロバストデバイス設計への挑戦	電子情報通信学会 北陸支部講演会	最上徹	2010 年
53	シリコン MOSFET のアトムプローブ解析の現状	電子情報通信学会 北陸支部講演会	西田彰男	2010 年
54	レーザー3次元アトムプローブを用いたトランジスタの特性ばらつき原因となるドーパント分布の検討	応用物理学学会シリコンテクノロジー分科会 第 124 回研究集会 接合研究集会「Lab から Fab へ ～今使える最先端ドーピング・接合技術」	井上耕治	2010 年
55	微細トランジスタにおける電流ばらつきの原因	2010 年秋季 第 71 回応用物理学関係連合講演会	角村貴昭	2010 年
56	飽和電流モデルによるしきい値電圧の抽出	2010 年秋季 第 71 回応用物理学関係連合講演会	松平将治	2010 年
57	レーザー3次元アトムプローブによるゲートパターンを有する MOS 構造のドーパント分布解析②	2010 年秋季 第 71 回応用物理学関係連合講演会	高見澤悠	2010 年
58	レーザーアトムプローブによるリン・ホウ素を同時注入した多結晶シリコンにおけるドーパント拡散の 3 次元解析	2010 年秋季 第 71 回応用物理学関係連合講演会	高見澤悠	2010 年
59	ホウ素と炭素を注入したシリコン中のレーザ3次元アトムプローブによるドーパント分布解析	2010 年秋季 第 71 回応用物理学関係連合講演会	清水康雄	2010 年

60	3D-STEM を用いた特性差を有するデバイスの構造解析	2010年秋季 第71回応用物理学関係連合講演会	矢野史子	2010年
61	MOSFET アレイを用いたばらつきパラメータの抽出	2010年秋季 第71回応用物理学関係連合講演会	寺田和夫	2010年
62	微細 MOS トランジスタにおける“電流立上り電圧”の統計的性質	2010年秋季 第71回応用物理学関係連合講演会	水谷朋子	2010年
63	微細 MOS トランジスタにおける“電流立上り電圧”ばらつきの原因	2010年秋季 第71回応用物理学関係連合講演会	Anil Kumar	2010年
64	DMA TEG を用いた SRAM におけるスタティックノイズマージンばらつきの直接測定	2010年秋季 第71回応用物理学関係連合講演会	鈴木誠	2010年
65	3次元アトムプローブと陽電子消滅法によるイオン注入不純物の拡散挙動解析	日本物理学会 2010年秋季大会	永井康介	2010年
66	TCAD を用いたトランジスタのばらつき解析	日本学術振興会 半導体界面制御技術第154委員会 第73回研究会	竹内潔	2010年
67	シリコンナノエレクトロニクスの将来展望	東北大学大学院工学研究科夏季集中講義「極限知能デバイス工学特論」	平本俊郎	2010年
68	「電流立上り電圧」ばらつきに起因する微細 MOS トランジスタのランダム電流ばらつきの解析	電子情報通信学会 シリコンデバイス・材料研究会	水谷朋子	2010年
69	DMA TEG による SRAM のスタティックノイズマージンの直接測定と解析	電子情報通信学会 シリコンデバイス・材料研究会	平本俊郎	2010年
70	トランジスタ特性ばらつきについて	日本半導体ロードマップ委員会 (STRJ) FEP-WG 会議	平本俊郎	2010年
71	3DAP 法による炭素を共注入したシリコン基板中ホウ素分布の解析	第30回 LSI テスティングシンポジウム	清水康雄	2010年
72	電気特性の異なる MOS デバイスの 3次元 STEM 観察	第30回 LSI テスティングシンポジウム	小野志亜之	2010年
73	3次元アトムプローブ: その原理と応用 - MOSFET 不純物分布解析を例に -	第15回結晶工学セミナー 物理・化学分析の最先端技術を基礎から理解する	永井康介	2010年
74	MOS トランジスタの特性ばらつきの定量とその原因解析	産業技術総合研究所 デバイス計測コンソーシアム TSC(つくば半導体コンソーシアム)主催「デバイス計測シンポジウム」	西田彰男	2010年
75	微細 MOS デバイスのばらつき	電子情報通信学会・集積回路研究会 (ICD)	竹内潔	2010年
76	オン電流特性の異なる MOS デバイスの 3次元 STEM 観察	2011年春季 第58回 応用物理学関係連合講演会	山根未有希	2011年
77	レーザー3次元アトムプローブによる MOS 構造中のドーパント分布解析	2011年春季 第58回 応用物理学関係連合講演会	井上耕治	2011年
78	3次元アトムプローブによる実デバイスの不純物分布観察	2011年春季 第58回 応用物理学関係連合講演会	高見澤悠	2011年
79	Takeuchi プロットを用いた High-k/Metal-Gate MOSFET のばらつき評価	2011年春季 第58回 応用物理学関係連合講演会	水谷朋子	2011年
80	高温における微細トランジスタのドレイン電流ばらつき解析	2011年春季 第58回 応用物理学関係連合講演会	角村貴昭	2011年
81	ランダムしきい値ばらつきの N/P 差原因の考察	2011年春季 第58回 応用物理学関係連合講演会	竹内潔	2011年
82	オン電流ばらつき成分のチャンネル長依存性検討	2011年春季 第58回 応用物理学関係連合講演会	松平将治	2011年

83	微細 MOS トランジスタにおける DIBL および電流立上り電圧ばらつきの統計解析	2011 年春季 第 58 回 応用物理学関係連合講演会	Anil Kumar	2011 年
84	完全空乏型 SOI MOSFET における DIBL および“電流立上り電圧”ばらつきの抑制	2011 年春季 第 58 回 応用物理学関係連合講演会	水谷朋子	2011 年
85	SRAM のスタティックノイズマージンにおける DIBL ばらつきの影響	2011 年春季 第 58 回 応用物理学関係連合講演会	宋驍崑	2011 年
86	DMA SRAM TEG により解析した SRAM のスタティックノイズマージンにおける DIBL ばらつきの影響	応用物理学学会シリコンテクノロジー分科会第 131 回研究集会 (電子情報通信学会シリコンデバイス・材料研究会 1 月研究会)	宋驍崑	2011 年

表 2. 論文発表の状況

No.	題 目	学 会 名	発 表 者	発 表 年
1	Random Threshold Voltage Variability Induced by Gate-Edge Fluctuations in Nanoscale Metal-Oxide-Semiconductor Field-Effect Transistors	Applied Physics Express (APEX) 2(2009)024501	Arifin.T.P	2008 年
2	Three dimensional characterization of dopant distribution in polycrystalline silicon by atom probe microscopy	Applied Physics Letters 93(2008)133507	K.Inoue	2008 年
3	Study on channel depletion in metal-oxide-semiconductor field effect transistor using top-view imaging through scanning capacitance microscopy	Surface and Interface Analysis, 2008,40,0	Y.Naitou	2008 年
4	Layout-aware compact model of MOSFET characteristics variations induced by STI stress	IEICE Trans. Electron, E91-C (2008), 1142	K. Yamada	2008 年
5	増大する微細 MOS トランジスタの特性ばらつき: 現状と対策	電気学会 C 部門論文誌 2008 年、巻:128 号:6 頁:820-824	平本俊郎	2008 年
6	Measurement of the MOSFET Drain Current Variation Under High Gate Voltage	Solid-State Electronics Volume 53, Issue 3, March 2009, Pages 314-319	K.Terada,	2009 年
7	Consideration of Random Dopant Fluctuation Models for Accurate Prediction of Threshold Voltage Variation of Metal-Oxide-Semiconductor Field-Effect-Transistors in 45 nm Technology and Beyond	Japanese Journal of Applied Physics 48(2009)044502	Arifin.T.P	2009 年
8	Impact of Oxide Thickness Fluctuation and Local Gate Depletion on Threshold Voltage Variation in Metal-Oxide-Semiconductor Field-Effect-Transistors	Japanese Journal of Applied Physics 48 (2009) 064504 (5 pages)	Arifin.T.P	2009 年
9	Analysis of tip-sample capacitance in scanning capacitance microscopy of dielectric films through high-frequency electromagnetic field simulations	Journal of Applied Physics 105,044311(2009)	Y.Naitou	2009 年
10	Analysis of NMOS and PMOS Difference in V_T Variation with Large-Scale DMA-TEG	IEEE TRANSACTION OF ELECTRON DEVICES, Vol.56, No.9(2009), 2073	T.Tsunomura	2009 年
11	MOS トランジスタのスケーリングに伴う特性ばらつき	電子情報通信学会会誌、2009 年、巻:92 号:6 頁:416-426	平本俊郎	2009 年
12	Dopant distributions in n-MOSFET structure observed by three dimensional atom probe microscopy	Ultramicroscopy109(2009)1479-1484	K.Inoue	2009 年

13	Dopant distribution in gate electrode of n- and p-type metal-oxide-semiconductor field effect transistor by laser-assisted atom probe	APPLIED PHYSICS LETTERS 95, 043502 2009	K.Inoue	2009 年
14	Discrete power spectrum of line width roughness	JOURNAL OF APPLIED PHYSICS 106, 074905 2009	A.Hiraiwa	2009 年
15	Verification of Variation Properties in Transistors Threshold Voltage with Ultra Large-Scale Device Matrix Array Test Element Group	Japanese Journal of Applied Physics. 48 (2009) 124505	T.Tsunomura	2009 年
16	LSI 低電圧化に向けた CMOS の特性バラツキの克服	日経マイクロデバイス 別冊:半導体技術年鑑 2010<デバイス/プロセス編>	平本俊郎	2009 年
17	Possible Origins of Extra Threshold Voltage Variability in N-Type Field-Effect Transistors by Intentionally Changing Process Conditions and Using Takeuchi Plot	Japanese Journal of Applied Physics 49 (2010) 074104	T.Tsunomura	2010 年
18	Spectral analysis of line-edge and line-width roughness with long-range correlation	JOURNAL OF APPLIED PHYSICS 108, 034908 2010	A.Hiraiwa	2010 年
19	Statistical-noise and image-noise effects on experimental spectrum of line-edge and line-width roughness	Journal of Micro/Nanolithography, MEMS 9, 041210 (2010)	A.Hiraiwa	2010 年
20	Statistical-noise effect on autocorrelation function of line-edge and line-width roughness	J. Vac. Sci. Technol. B 28(6), Nov/Dec (2010), p1242	A.Hiraiwa	2010 年
21	Investigation of the Origins of MOSFET Random Threshold Voltage Fluctuation by Analyzing Electrical Data from Multiple Fabs and Technologies	IEEE Transaction on Electron Devices	K.Takeuchi	2010 年
22	LSI の微細化を阻むランダムバラつき問題の現状	日経エレクトロニクス NIKKEI ELECTRONICS 2010.4.19	竹内潔	2010 年
23	Statistical-noise effect on discrete power spectrum of line-edge and line-width roughness	J. Vac. Sci. Technol. B 28(6), Nov/Dec, pp.1132-1137 (2010)	A.Hiraiwa	2010 年
24	Feasibility Study on the Evaluation of Threshold Voltage Variability in Field-Effect Transistors by the Nano-Probing Technique	Applied Physics Express (APEX)	T.Tsunomura	2010 年
25	Proposal of Integrated Physical Analysis for Investigating the Physical Origin of Anomalous Characteristics in Field Effect Transistor	Applied Physics Express (APEX)	T.Tsunomura	2010 年
26	Randomness evaluation of channel dopant in n- and p-MOSFETs by laser-assisted atom probe tomography	APL	H.Takamizawa	2010 年
27	Measurement of the actual-chip-scale Vth local variations with 256M device matrix array	IEICE Electronics Express (ELEX)	S.Kamohara	2010 年
28	Image-Noise Effect on Discrete Power Spectrum of Line-Edge and Line-Width Roughness	Japanese Journal of Applied Physics 50 (2011) 016602	A.Hiraiwa	2010 年
29	Origin of Larger Drain Current Variability in N-Type Field-Effect Transistors Analyzed by Variability Decomposition Method	Applied Physics Express 3 (2010) 114201 (3 pages)	T.Tsunomura	2010 年
30	Origin of Large Drain Current Variability in N-Type Field-Effect Transistor Analyzed by Variability Decomposition Method	Appl. Phys. Express 3 (2010) 114201	T.Tsunomura	2010 年
31	Impact of local Vth variations on offset voltages of operational amplifiers	IEICE Electronics Express (ELEX)	A.Nishida	2010 年
32	Power spectrum of smoothed line-edge and	J. Vac. Sci. Technol. B	A.Hiraiwa	2010 年

	line-width roughness			
33	Direct measurement of the correlation between SRAM noise margin and individual cell transistors variability by using a device-matrix-array	IEEE Transaction on Electron Devices	T.Hiramoto	2010 年
34	Impact of carbon co-implantation on boron diffusion in silicon substrates by atom probe tomography and secondary ion mass spectrometry	Applied Physics Letters	Y. Shimizu	2010 年
35	Statistical Model of Line-Edge and Line-Width Roughness for Device Variability Analysis	IEEE Trans. Electron Devices	A.Hiraiwa	2010 年
36	Effect of Channel Dopant Profile on Difference in Threshold Voltage Variability between NFETs and PFETs	IEEE Transaction on Electron Devices, 58 (2011), 364	T.Tsunomura	2011 年

(2)特許等

番号	国内外	出願番号	出願日	出願者	発明名称
1	JP	2008-002028	2008/01/09	ルネサス	半導体装置の評価方法および半導体ウエハ
2	JP	2008-004140	2008/01/11	ルネサス	半導体装置
3	JP	2008-159701	2008/06/18	NEC エレ	半導体装置の解析及び設計装置、及び半導体装置の解析及び設計方法
4	JP	2008-159702	2008/06/18	NEC エレ	半導体装置の解析及び設計装置、及び半導体装置の解析及び設計方法
5	JP	2008-285309	2008/11/06	ルネサス	半導体評価システム
6	JP	2008-328419	2008/12/24	ルネサス	半導体装置の製造方法
7	JP	2009-138262	2009/06/09	NEC エレ	半導体装置の解析方法、設計方法、設計支援プログラム、及び設計支援装置
8	US	12/457,374	2009/06/09	NEC エレ	半導体装置の解析及び設計装置、及び半導体装置の解析及び設計方法
9	US	12/482,016	2009/06/10	NEC エレ	半導体装置の解析及び設計装置、及び半導体装置の解析及び設計方法
10	JP	2009-150444	2009/06/25	日立ハイテク	寸法計測装置およびこれを用いた半導体装置の製造方法
11	JP	2009-235271	2009/10/09	ルネサス	半導体装置およびその製造方法
12	JP	2009-235657	2009/10/09	ルネサス	半導体装置およびその製造方法
13	JP	2010-012525	2010/01/22	NEC エレ	回路シミュレーション装置、回路シミュレーション方法
14	JP	2010-031521	2010/02/16	NEC エレ	デバイスシミュレーション装置、デバイスシミュレーション方法及びプログラム
15	JP	2010-028371	2010/02/12	日立ハイテク	寸法計測装置およびこれを用いた半導体装置の製造方法
16	US	12/791535	2010/06/01	ルネサスエレ	半導体装置の解析方法、設計方法、設計支援プログラム、及び設計支援装置
17	JP	2010-138439	2010/06/17	ルネサスエレ	半導体装置およびその製造方法
18	JP	2010-138857	2010/06/18	ルネサスエレ	半導体装置の製造方法

19	JP	2010-236478	2010/10/21	ルネサスエレ	ばらつき解析装置、ばらつき解析方法およびプログラム
----	----	-------------	------------	--------	---------------------------

(3)受賞実績

No.	発表月日	表彰	題目(見出し)
1	2009年	第12回エレクトロニクスソサイエティ賞	微細MOSトランジスタの特性ばらつきの研究
2	2009年	IEEE EDS Japan Chapter Student Award	A New Methodology for Evaluating VT Variability Considering Dopant Depth Profile" (2009 Symp. on VLSI Technology)
3	2010年	第4回(2010年)日本物理学会若手奨励賞	レーザー3次元アトムプローブによるMOS構造中ドーパントの不均一分布の解明
4	2010年9月13日	第28回(2010年春季)応用物理学会講演奨励賞	プロセス条件依存性によるしきい値ばらつき原因解析
5	2010年9月13日	2010年度応用物理学会論文賞	Verification of Threshold Voltage Variation of Scaled Transistors with Ultralarge-Scale Device Matrix Array Test Element Group (Jpn. J. Appl. Phys. 48 (2009) 124505)
6	2011年12月20日	第2回応用物理学会シリコンテクノロジー分科会論文賞	Dopant distributions in n-MOSFET structure observed by atom tomography, K. Inoue, F.Yano, A.Nishida, H.Takamizawa, T.Tsunomura, Y.Nagai, and M.Hasegawa, Ultramicroscopy vol. 109, pp. 1479-1484 (2009).

3.その他特記事項

(1)成果普及の努力(プレス発表等)

表4. 新聞発表等の状況(プレス発表・取材記事)

No.	発表月日	掲載紙名	題目(見出し)
1	2008年4月23日	日刊工業新聞	半導体の特性変動予測 半導体先端テクノロジーズ モデル確立 LSI性能20%向上
2	2008年12月26日	日経新聞	トランジスタ特性ばらつきの新しい規格化手法の開発
3	2009年1月27日	日経マイクロデバイス	ロバスト構造デバイス
4	2009年2月4日	日経産業、電波新聞他	回路の高精度・高速シミュレーション機能の開発
5	2009年6月10日	日刊工業新聞	微細なトランジスタのしきい値ばらつき一因の解明に成功、N型トランジスタにチャネル注入したホウ素の不均一分布が原因
6	2010年6月9日	日刊工業新聞	トランジスタのオン電流ばらつきの解明に成功

③特性ばらつきに対し耐性の高いデバイス・プロセス技術開発

(2) 外部擾乱依存の特性ばらつきの物理的理解とモデリング技術の開発

(1) 研究発表・講演

番号	発表者	タイトル	発表誌名、ページ番号	発表年
1	羽根 正巳	Synthetic Soft Error Rate Simulation Considering Neutron-induced Single Event Transient from Transistor to LSI-	SISPAD 2008, pp.365-368	2008
2	坂東 要志	Performance Variability of On-Chip Noise Monitor Circuits	Workshop on Test Structure Design for Variability	2008
3	坂東 要志	ばらつきを含めたオンチップモニタ回路の性能評価	LSIとシステムのワークショップ 2009	2009
4	熊代 成孝	MIRAI-Selete 耐外部擾乱デバイスプログラムにおける耐SET/耐ESD技術開発	応用物理学会・シリコンテクノロジー分科会	2009
5	森下 泰之	An Investigation of Input Protection for CDM Robustness in 40nm CMOS Technology	2009 EOS/ESD Symposium, pp.119-124	2009
6	田中 克彦	Study on Influence of Device Structure Dimension and Profile on Charge Collection Current Causing SET Pulse Leading to Soft Errors in Logic Circuits	SISPAD 2009, pp.210-213	2009
7	石塚 裕康	ディーブサブミクロンデバイスにおけるパワークランプ素子の設計指針検討	第19回RCJ信頼性シンポジウム	2009
8	田中 克彦	2009 SISPADレビュー	電子情報通信学会・SDM研究会	2009
9	坂東 要志	An On-Chip Continuous Time Power Supply Noise Monitoring Technique	ASSCC 2009, pp.97-100	2009
10	高谷 聡	CMOSアナログ回路における基板ノイズ応答の解析	電子情報通信学会・ICD研究会	2009
11	坂東 要志	On-chip In-situ Measurements of Vth and AC Gain of Differential Pair Transistors	ICMTS 2010, pp.232-235	2010
12	中村 英之	Measurement of Neutron-induced Single Event Transient Pulse Width Narrower than 100ps	IRPS 2010, pp.694-697	2010
13	森下 泰之	Impact of Difference between Discharge Method on CDM ESD Testing	IEW 2010	2010
14	石塚 裕康	Consideration of design window for ESD Power-Clamp in next generation devices	IEW 2010	2010
15	高谷 聡	差動増幅回路におけるVthとAC応答のその場評価技術	LSIとシステムのワークショップ	2010
16	高谷 聡	90nm CMOS差動対トランジスタのVthとAC応答のその場評価	電子情報通信学会・ICD研究会	2010
17	森下 泰之	Impact of Difference between Discharging Methods on CDM Testing	2010 EOS/ESD Symposium	2010
18	大塚 容子	先端CMOS技術の電源分離回路におけるCDM-ESD保護設計	RCJシンポジウム 2010	2010
19	早田 征明	On-chip Sine-wave Noise generator for Analog IP Noise Tolerance Measurement	ASSCC 2010	2010
20	高谷 聡	On-chip In-situ Measurements of Vth, Signal Gain, and Substrate Sensitivity of Differential Pair Transistors	Workshop on Variability Modeling and Characterization	2010
21	田中 克彦	インバータセルにおけるSingle-Event-Transientパルス発生へのモデリング	電子情報通信学会・SDM研究会	2010
22	高谷 聡	アナログ基本回路の基板雑音感度に関する考察	電子情報通信学会・ICD研究会	2010
23	高谷 聡	Accurate Analysis of Substrate Sensitivity of Active Transistors in an	ISQED 2011, to be published	2011
24	坂東 要志	差動対トランジスタにおける基板ノイズ応答のオンチップ評価と解析	電子情報通信学会総合大会, to be published	2011
25	熊代 成孝	CMOSの超低電圧化の阻害要因とデバイス物理	2011年春季第58回応用物理学関係連合講演会, to be published	2011

(2) 発表論文

番号	発表者	タイトル	発表誌名、ページ番号	発表年
1	山田 健太	Exhaustive and Systematic Accuracy Verification and Enhancement of STI Stress Compact Model for General Realistic Layout Patterns	IEICE Trans Electron, Vol.E93-C, No.8, pp.1349-1358	2010
2	坂東 要志	A Continuous-Time Waveform Monitoring Technique for On-Chip Power Noise Measurements in VLS Circuits	IEICE Trans Electron, Vol.E94-C, No.4, to be published	2011
3	早田 征明	On-chip Sine wave Noise Generator for Analog IP Noise Tolerance Measurement	IEICE Trans Electron, Vol.E94-C, No.6, to be published	2011

(3) 特許等

番号	国内外	出願番号	出願日	出願者	発明名称
1	JP	2009-202544	2009/09/02	NEC エレ	半導体装置
2	JP	2009-180318	2009/08/03	NEC エレ	パルス幅検出装置
3	JP	2010-157657	2010/07/12	ルネサスエレ	正弦波発生回路
4	JP	2010-185270	2010/08/20	ルネサスエレ	半導体装置
5	JP	2010-228476	2010/10/08	ルネサスエレ	エラー信号パルス幅の計算方法及び 計算装置及び計算プログラム

(4)その他の公表

1)成果普及の努力(プレス発表等)

No.	発表年月日	掲載紙名	題目
1	2010年5月7日	日刊工業新聞	ソフトエラー対策技術 セリート 中性子によるパルス検出
2	2010年10月22日	日刊工業新聞	静電気放電破壊を防止 セリート 半導体実装で新技術

Ⅲ-1-Ⅱ-④-表1 特許出願件数

	出願日	出願番号	発明等の名称	出願人
1	2009/5/19	2009-120529	マスクブランクスの欠陥検査装置及び欠陥検査方法ならびに半導体装置の製造方法	ルネサステクノロジ
2	2009/6/12	2009-141476	反射型マスクおよびその製造方法	大日本印刷
3	2009/7/23	2009-172367	反射型露光用マスクおよび半導体装置の製造方法	東芝 ルネサステクノロジ
4	2009/8/18	2009-189250	マスク欠陥の形状測定方法及びマスク良否判定方法	東芝 ルネサステクノロジ
5	2009/10/16	2009-239296	半導体装置の製造方法及び製造装置	NEC エレクトロニクス、富士通マイクロデバイス、東芝
6	2009/11/13	2009-259583	EUVマスクの欠陥検査方法、EUVマスクの製造方法、および、半導体の製造方法	ルネサステクノロジ
7	2009/11/13	2009-259797	EUVマスクの欠陥検査方法、EUVマスクの製造方法、EUVマスク検査装置、および、半導体装置の製造方法	ルネサステクノロジ
8	2009/11/19	2009-264177	反射型露光用マスク、反射型露光用マスクの製造方法、および、半導体装置の製造方法	ルネサステクノロジ
9	2009/12/21	2009-289633	反射型露光用マスク、反射型露光用マスクの製造方法、反射型露光用マスクの検査方法、及び、反射型露光用マスクの洗浄方法	東芝

10	2010/2/24	2010-039148	反射型マスクおよびその製造方法体装置の製造方法	大日本印刷
11	2010/5/11	2010-109606	反射型マスクの製造方法および反射型マスク	大日本印刷
12	2010/5/11	2010-109607	反射型マスクの製造方法	大日本印刷
13	2010/8/31	2010-194578	マスクブランク検査装置およびその光学調整方法	ルネサスエレクトロニクス、東芝
14	2010/9/10	2010-202728	マスクブランクの検査方法およびマスクの製造方法	ルネサスエレクトロニクス
15	2010/9/13	2010-204743	マスクの欠陥検査方法及び欠陥検査装置	東芝、ルネサステクノロジ
16	2010/9/16	2010-208018	EUVL 用マスクの製造方法および半導体装置の製造方法	ルネサスエレクトロニクス
17	2010/9/24	2010-214235	投影露光装置の検査方法	ルネサスエレクトロニクス、東芝
18	2010/10/1	2010-223709	マスクケースおよびマスクの洗浄方法	凸版印刷
19	2010/10/1	2010-223708	EUVマスク白欠陥修正方法	凸版印刷
20	2010/10/15	2010-232851	EUVL 用マスクの製造方法および半導体装置の製造方法	ルネサスエレクトロニクス
21	2010/12/9	2010-274797	反射型マスクおよびその製造方法	大日本印刷
22	2010/12/9	2010-274798	反射型マスク、反射型マスクの製造方法、および反射型マスク欠陥修正装置	大日本印刷

23	2011/1/7	2011-001590	クリーニング方法およびクリーニング装置	ルネサスエレクトロニクス、富士通セミコンダクター
24	2009/8/7	2009-184401	異物除去装置、露光装置及びデバイス製造方法	キヤノン
25	2009/8/7	2009-184571	露光装置及びデバイス製造方法	キヤノン
26	2009/8/7	2009-184809	露光装置及びデバイス製造方法	キヤノン
27	2010/2/4	2010-022810	捕獲器、真空容器、処理装置、及びデバイス製造方法	キヤノン
28	2010/3/15	2010-057933	静電吸着方法、露光方法、静電吸着装置、露光装置及びデバイス製造方法	ニコン

Ⅲ-1-Ⅱ-④-表 2 学会・論文発表件数

	発表年月日	発表媒体	発表タイトル	発表者(筆頭)
1	2009/4/1	2009年春季 第56回応用物理学関係連合講演会	EUV マスク面形状測定ツールの絶対値較正	太田和哉
2	2009/4/1	2009年春季 第56回応用物理学関係連合講演会	断面観察と反射率計測によるEUVマスクプロセスダメージの評価	西山泰史
3	2009/4/1	2009年春季 第56回応用物理学関係連合講演会	Ga FIB による EUV マスクパターン修正時の界面ミキシング	西山泰史

4	2009/4/1	2009 年春季 第 56 回応用物理学関係連合講演会	EUV マスク検査・計測技術	寺澤恒男
5	2009/4/9	Photomask Japan 2009	Evaluation of EUVL mask pattern defect inspection using 199-nm inspection tool with super-resolution method	茂村弘之
6	2009/4/9	Photomask Japan 2009	Actinic EUVL mask blank inspection and phase defect characterization	山根 武
7	2009/4/9	Photomask Japan 2009	FIB mask repair technology for EUV mask	天野 剛
8	2009/6/1	International Conference on Electron,Ion,and Photon Beam Technology and Nanofabrication (EIPBN 2009)	Characterization of EUV-deposited carboneous contamination	穴澤俊久
9	2009/7/10	NGL Workshop 2009	Selete における露光装置の基本性能評価状況	俵山和雄
10	2009/9/10	2009 年秋季 第 70 回応用物理学学会学術講演会	EUV マスクブランクス検査における欠陥検出安定性	山根 武
11	2009/9/10	2009 年秋季 第 70 回応用物理学学会学術講演会	EU フルフィールド露光装置を用いた 35nm ビアホールパターン形成	田中雄介
12	2009/9/10	2009 年度精密工学会秋季大会シンポジウム	次世代の半導体露光装置 (EUV)における形状測定のエーズ	太田和哉
13	2009/9/16	SPIE Photomask Techonology (BACUS) 2009	Thin absorber EUVL mask with light-shield border for full-field scanner	加茂 隆

14	2009/9/16	SPIE Photomask Technology (BACUS) 2009	Actinic EUVL mask blank inspection capability with time delay integration mode	山根 武
15	2009/9/16	SPIE Photomask Technology (BACUS) 2009	Study of EUVL mask defect inspection using 199-nm inspection tool with super resolution method	茂村弘之
16	2009/10/20	2009 International EUVL Symposium	Observation of carbon contaminant growth on SFET-exposed mask, and its modeling	西山岩男
17	2009/10/20	2009 International EUVL Symposium	Dynamic scan operation of actinic EUVL mask blank inspection system with TDI mode	寺澤恒男
18	2009/10/20	2009 International EUVL Symposium	Defect printability of thin absorber mask in EUV lithography with refined LER resist	加茂 隆
19	2009/10/20	2009 International EUVL Symposium	Evaluation Results of new EUV Reticle pod based on SEMI E152-0709	太田和哉
20	2009/10/20	2009 International EUVL Symposium	199-nm 検査光学系を使用し た EUV マスクパターン欠陥検 査	天野 剛
21	2009/10/20	2009 International EUVL Symposium	EUV 小領域露光装置 (SFET)の性能向上	白井精一 郎
22	2009/10/20	2009 International EUVL Symposium	Actinic phase defect detection for EUV mask with absorber patterns	寺澤恒男
23	2010/1/18	European Mask and Lithography Conference 2010	Actinic EUVL mask blank inspection and phase defect characterization	山根 武

24	2010/2/23	SPIE Advance Lithography 2010	Impact of EUV mask absorber defect with pattern-roughness on lithographic images	加茂 隆
25	2010/2/23	SPIE Advance Lithography 2010	Actinic phase defect detection and printability analysis for patterned EUVL mask	寺澤恒男
26	2010/2/23	SPIE Advance Lithography 2010	Evaluation Results of a New EUV Reticle pod based on SEMI E152	太田和哉
27	2010/2/23	SPIE Advance Lithography 2010	Improvement of EUV-mask defect printability evaluation	高木紀明
28	2010/2/23	SPIE Advance Lithography 2010	Evaluations of EUV resist outgassing by gas chromatography mass spectrometry (GC-MS)	老泉博昭
29	2010/3/17	2010 年春季第 57 回応用物理学関係連合講演会 シンポジウム	EUV 露光における複数ショット寸法計測手法によるマスク欠陥転写評価	加茂 隆
30	2010/3/17	2010 年春季第 57 回応用物理学関係連合講演会	EUV リソグラフィマスクへの付着異物の計数技術:計数誤差の検討	雨宮光陽
31	2010/3/17	2010 年春季第 57 回応用物理学関係連合講演会	EUV マスクブランクス検査における欠陥検出性能の向上	山根 武
32	2010/3/17	2010 年春季第 57 回応用物理学関係連合講演会	EUV リソグラフィにおける検査計測の課題	寺澤恒男
33	2010/3/17	2010 年春季第 57 回応用物理学関係連合講演会	EUV 小領域露光装置 (SFET) における Xe 流量最適化の検討	白井精一郎

34	2010/4/13	Photomask Japan 2010	Study of counting error of particle Inspection	雨宮光陽
35	2010/4/13	Photomask Japan 2010	Evaluation of transfer of particles on the Dual-Pod base-plate to EUV mask	米川雅見
36	2010/4/13	Photomask Japan 2010	Thin absorber EUV mask with light-shield border of etched multilayer and its lithographic performance	加茂 隆
37	2010/4/13	Photomask Japan 2010	Actinic EUVL mask blank inspection capability with time delay integration mode	山根 武
38	2010/4/13	Photomask Japan 2010	FIB-CVD 技術を利用した EUV マスク修正	天野 剛
39	2010/6/4	International Conference on Electron,Ion,and Photon Beam Technology and Nanofabrication (EIPBN 2010)	Novel ozone-based contamination cleaning for EUV optics	穴澤俊久
40	2010/6/4	International Conference on Electron,Ion,and Photon Beam Technology and Nanofabrication (EIPBN 2010)	Observation and modeling of asymmetric carbon contamination growth on SFET exposed mask	西山岩男
41	2010/7/8	第 74 回半導体・集積回路シンポジウム	EUV マスク技術の開発状況	須賀 治
42	2010/7/13	NGL Workshop 2010	Development Status of EUVL Mask Pattern Defect Inspection Technology at Selete	茂村弘之

43	2010/7/13	NGL Workshop 2010	Selete における露光装置の性能評価状況	俵山和雄
44	2010/9/10	2010 年秋季 第 71 回応用物理学会 学術講演会	EUV 小領域露光装置 (SFET) による 16nm L/S パターン形成	田中雄介
45	2010/9/15	SPIE Photomask Technology (BACUS) 2010	Improvement of actinic blank inspection and phase defect analysis	山根 武
46	2010/9/15	SPIE Photomask Technology (BACUS) 2010	FIB 法を用いた EUV マスク修正研究	天野 剛
47	2010/9/15	SPIE Photomask Technology (BACUS) 2010	Evaluation of the contamination removal capability and Multilayer degradation in various cleaning methods	高木紀明
48	2010/9/15	SPIE Photomask Technology (BACUS) 2010	Printability of EUVL mask defect detected by actinic blank inspection tool and 199-nm pattern inspection tool	加茂 隆
49	2010/10/18	2010 International EUVL Symposium	Cleaning of Silicon-Containing Carbon Contamination	穴澤俊久
50	2010/10/18	2010 International EUVL Symposium	Actinic dark-field mask blank inspection and defect printability analysis for detecting critical phase defects	寺澤恒男
51	2010/10/18	2010 International EUVL Symposium	Overlay accuracy of EUV1 using compensation method for nonflatness of mask 2010 International Symposium on EUV lithography	田中雄介

52	2010/10/18	2010 International EUVL Symposium	Resolution capability of SFET with slit and dipole illumination 2010 International Symposium on EUV lithography	田中雄介
53	2010/10/18	2010 International EUVL Symposium	Evaluation Results of a new EUV Reticle Pod having Reticle Grounding Paths	太田和哉
54	2010/10/18	2010 International EUVL Symposium	Improvement in actinic blank inspection and characterization of phase defects	山根 武
55	2010/10/18	2010 International EUVL Symposium	Reflective multi-layer etching for repairing clear defect on EUV masks using FIB	天野 剛
56	2010/10/18	2010 International EUVL Symposium	Resist outgassing evaluation by gas chromatography mass spectrometry (GC-MS), quadropole mass spectrometry (QMS) and pressure-rise	老泉博昭
57	2011/2/28	SPIE Advance Lithography 2011	Evaluation of EUV mask defect using blank inspection, patterned mask inspection, and wafer inspection	加茂 隆
58	2011/2/28	SPIE Advance Lithography 2011	Phase defect printability and actinic dark-field inspection capability analyses	寺澤恒男
59	2011/2/28	SPIE Advance Lithography 2011	Evaluation Results of a new EUV Reticle Pod having Reticle Grounding Paths	太田和哉
60	2011/2/28	SPIE Advance Lithography 2011	Resolution capability of SFET with slit and dipole illumination	田中雄介

61	2011/2/28	SPIE Advanced Lithography 2011	Overlay accuracy of EUV1 using compensation method for nonflatness of mask	田中雄介
62	2011/2/28	SPIE Advanced Lithography 2011	Relationships between EUV resist outgassing and contamination deposition at Selete	老泉博昭
63	2011/2/28	SPIE Advanced Lithography 2011	Experimental and theoretical study on asymmetric carbon contamination coverage observed on SFET-exposed mask	西山岩男
64	2011/2/28	SPIE Advanced Lithography 2011	Cleaning of Carbon Contamination on EUV Masks and Optics	穴澤俊久

研究の成果(特許、学会発表、論文投稿)

◆ 平成 20 年度

1) LPP光源開発(平塚研究室)

1.1) 委託研究成果

・国内出願特許

番号	出願日	出願番号	名称	出願人
1	平成19年4月7日	特願2008-99406	極端紫外光源装置	(株)小松製作所
2	平成19年4月14日	特願2008-104280	極端紫外光源装置	(株)小松製作所、 ギガフォトン(株)、 大阪大学
3	平成19年4月16日	特願2008-106907	EUV光発生装置におけるイオン回収装置及び方法	(株)小松製作所、 ギガフォトン(株)
4	平成20年9月16日	特願2008-236624	極端紫外光源装置	ギガフォトン(株)
5	平成20年12月22日	特願2008-325773	極端紫外光源装置	(株)小松製作所、 ギガフォトン(株)
6	平成20年12月26日	特願2008-333987	極端紫外光光源装置	(株)小松製作所、 ギガフォトン(株)
7	平成21年2月12日	特願2009-30238	極端紫外光光源装置	(株)小松製作所、 ギガフォトン(株)
8	平成21年3月2日	特願2009-47768	レーザシステム	(株)小松製作所、 ギガフォトン(株)

・外国出願特許

番号	出願日	出願番号	名称	出願人
1	平成18年11月5日	米国出願 11/979,513	COLLECTOR MIRROR EXCHANGING APPARATUS AND METHOD FOR EXTREME ULTRAVIOLET LIGHT SOURCE APPARATUS	(株)小松製作所
2	平成19年2月19日	米国出願 12/071,250	Extreme Ultra Violet Light Source Apparatus	(株)小松製作所
3	平成19年2月20日	米国出願 12/071,352	Extreme Ultra Violet Light Source Apparatus	(株)小松製作所 ギガフォトン(株)
4	平成19年2月28日	米国出願 12/073,001	Extreme Ultra Violet Light Source Apparatus	(株)小松製作所
5	平成20年4月24日	米国出願 12/148,969	METHOD FOR CLEANING OPTICAL ELEMENT OF EUV LIGHT SOURCE DEVICE, AND OPTICAL ELEMENT CLEANING DEVICE	(株)小松製作所
6	平成20年4月24日	米国出願	OPTICAL ELEMENT	(株)小松製作所

		12/150,077	CONTAMINATION PREVENTING METHOD AND OPTICAL ELEMENT CONTAMINATION PREVENTING DEVICE OF EXTREMEULTRAVIOLET LIGHT SOURCE APPARATUS	
7	平成20年10月16日	米国出願 12/252,704	Laser Device	(株)小松製作所
8	平成21年1月13日	米国出願 12/352,694	Extreme Ultra Violet Light Source Apparatus	(株)小松製作所 ギガフォトン(株)
9	平成21年2月18日	米国出願 12/372,958	Extreme Ultra Violet Light Source Apparatus	(株)小松製作所 ギガフォトン(株)
10	平成21年3月9日	米国出願 12/382,109	laser system	(株)小松製作所 ギガフォトン(株)
11	平成21年3月6日	ドイツ出願 102009012106.4	laser system	(株)小松製作所 ギガフォトン(株)
12	平成21年3月18日	米国出願 12/406,388	APPARATUS FOR AND METHOD OF WITHDRAWING IONS IN EUV LIGHT PRODUCTION APPARATUS	(株)小松製作所 ギガフォトン(株)

・発表

番号	発表年月日	発表先	題名	発表者
1	平成20年4月24日	エクストリームフォトニクス セミナー	高平均出力レーザー励起 EUV 光源技術	住谷 明
2	平成20年5月12日	光エレクトロニクス第 130 委員会	EUV リソグラフィの最新動向-光源 技術を中心として	遠藤 彰
3	平成20年5月12日	Source Workshop	Laser Produced Plasma EUV Light Source Gigaphoton Update	Georg Soumagne
4	平成20年5月13日	Litho Forum	CO2 laser-produced Sn-plasma source for high-volume manufacturing EUV lithography	Georg Soumagne
5	平成20年6月10日 ～12日	2008 International Workshop on EUV Lithography	CO2 laser-produced Sn-plasma source for high-volume manufacturing EUV lithography	遠藤 彰
6	平成20年6月10日 ～12日	2008 International Workshop on EUV Lithography	Beaming of CO2 laser-produced Sn plasma along B-field for efficient exhaustion	遠藤 彰、他
7	平成20年6月10日 ～12日	2008 International Workshop on EUV	20kw short pulse CO2 laser system for LPP Sn EUV source	遠藤 彰、他

		Lithography		
8	平成20年7月25日	ワークショップ° NGL2008	量産用 LPP-EUV 光源の開発	柿崎弘司
9	平成20年9月3日	第69回応用物理学学会学術講演会	リソグラフィ用高出力レーザー生成プラズマ EUV 光源	小森 浩
10	平成20年9月6日	The International Interdisciplinary-Symposium on Gaseous and Liquid Plasmas(ISGLP)2008	Beaming of CO2 laser-produced metal plasma along B-field	植野能史、他
11	平成20年9月11日	International Congress on Plasma Physics 2008	ECR heating of laser produced Sn plasma for drift control in B field	菅沼 崇
12	平成20年9月30日	2008 International Symposium on Extreme Ultraviolet Lithography(EUVL)	CO2 laser-produced Sn plasma source for EUV lithography	遠藤 彰
13	平成20年9月30日	2008 International Symposium on Extreme Ultraviolet Lithography(EUVL)	Present status of laser-produced plasma EUV light source	小森 浩

・論文

番号	発表年月日	発表先	題名	発表者
1	平成20年5月30日	APPLIED PHYSICS LETTERS	Reduction of debris of a CO2 laser-produced Sn plasma extreme ultraviolet source using a magnetic field	植野能史、他
2	平成20年11月	レーザー研究 第36巻 11号	極端紫外リソグラフィ用レーザー生成プラズマ光源の開発	住谷 明

1.2) 自主研究成果

・国内出願特許

番号	出願日	出願番号	名称	出願人
1	平成19年6月20日	特願2008-161556	極端紫外光源装置及び極端紫外光の生成方法	(株)小松製作所
2	平成19年8月4日	特願2008-201263	極端紫外光源装置	(株)小松製作所
3	平成19年9月19日	特願2008-240915	極端紫外光源装置、極端紫外光源装置用レーザー光源装置及び極端紫外光源装置用レーザー光源の調整方法	(株)小松製作所、ギガフオン(株)
4	平成20年9月26日	特願2008-249186	極端紫外光源装置、極端紫外光源装置用レーザー光源装置及	(株)小松製作所、ギガフオン(株)

			び極端紫外光源装置で使用される可飽和吸収体の制御方法	
5	平成20年9月29日	特願2008-250311	極端紫外光源装置	ギガフオン(株)
6	平成20年9月29日	特願2008-250744	極端紫外光光源装置	(株)小松製作所、ギガフオン(株)
7	平成20年10月16日	特願2008-267519	レーザ装置及び極端紫外光光源装置	ギガフオン(株)
8	平成20年10月17日	特願2008-269050	極端紫外光源装置のターゲット供給装置	(株)小松製作所、ギガフオン(株)
9	平成20年10月16日	特願2008-267122	極端紫外光源装置及び極端紫外光の生成方法	(株)小松製作所、ギガフオン(株)
10	平成20年10月23日	特願2008-273504	極端紫外光光源装置	ギガフオン(株)
11	平成20年12月16日	特願2008-309161	極端紫外光源装置	(株)小松製作所、ギガフオン(株)
12	平成20年12月19日	特願2008-324497	ターゲット供給装置	(株)小松製作所、ギガフオン(株)
13	平成20年12月26日	特願2008-334007	レーザ装置および極端紫外光光源装置	(株)小松製作所、ギガフオン(株)
14	平成21年1月14日	特願2009-5771	レーザ増幅器およびドライバレーザ装置	(株)小松製作所、ギガフオン(株)
15	平成21年1月16日	特願2009-8001	極端紫外光源装置、極端紫外光源装置用レーザ光源装置及び極端紫外光源装置用レーザ光源の調整方法	(株)小松製作所、ギガフオン(株)
16	平成21年1月29日	特願2009-18668	極端紫外光源装置	(株)小松製作所
17	平成21年2月6日	特願2009-25645	極端紫外光源装置	(株)小松製作所、ギガフオン(株)
18	平成21年2月10日	特願2009-29011	レーザ装置	(株)小松製作所、ギガフオン(株)
19	平成21年2月27日	特願2009-47290	レーザ装置および極端紫外光源装置	(株)小松製作所、ギガフオン(株)

・発表

番号	発表年月日	発表先	題名	発表者
1	平成20年10月21日	次世代リソグラフィ技術委員会 第1回定例会	CO2 laser-produced Sn plasma source for EUV lithography	小森 浩
2	平成20年11月4日	Lithography Asia-Taiwan	Present status of laser-produced plasma EUV light source	住谷 明
3	平成20年11月5日	Lithography Asia-Taiwan	CO2 laser-produced Sn plasma source for EUV lithography	Georg Soumagne
4	平成20年11月10日	第4回ナノテクセンター	EUV 光源の展望	遠藤 彰

		研究会		
5	平成20年12月11日	第20回レーザー励起X線 光源とその応用研究会	リソグラフィ用 EUV 光源の特性評価	菅沼 崇
6	平成20年11月17日	原子分子データ応用フ ォーラムセミナー	レーザー生成 Sn プラズマ EUV 光 源の展望	柳田達哉
7	平成21年1月21日	The second international symposium on laser-driven relativistic plasmas applied to science, industry and medicine	Characterization of laser produced Tin ion beam in uniform magnetic field	植野能史、他
8	平成21年2月22日 ～2月27日	SPIE Advanced Lithography	Evaluation at the intermediate focus for EUV Light Source	菅沼 崇
9	平成21年2月24日	Advanced Lithography 2009	Laser diagnostics of laser ablated tin particles from droplet targets	菅沼 崇
10	平成21年2月24日	Advanced Lithography 2009	Laser-produced plasma source development for EUV lithography	遠藤 彰
11	平成21年3月30日	2009年春季 第56回応 用物理学関係連合講演 会	静磁場中におけるレーザー生成 Sn イ オンビーム特性	植野能史、他

・論文

番号	発表年月日	発表先	題名	発表者
1	平成20年11月	レーザー研究第 36 巻 11 号	高繰り返し高平均出力 EUV 光源 用レーザー	小森 浩

2) DPP光源開発(御殿場研究室)

2.1) 委託研究分

・国内出願特許

番号	出願日	出願番号	名称	出願人
1	平成20年9月25日	特願2008-245645	極端紫外光源装置用ホイルトラ ップ	ウシオ電機(株)
2	平成20年12月17日	特願2008-32067	極端紫外光光源装置および極 端紫外光光源装置の保守方法	ウシオ電機(株)

・発表

番号	発表年月日	発表先	題名	発表者
1	平成20年7月25日	NGLワークショップ2008	量産機用EUV光源DPPの実現 に向け	堀田 和明
2	平成20年12月10日	MIRAI成果報告会		堀田 和明

3	平成21年2月26日	SPIE Advanced Lithography Symposium 2009	Development of evaluation technologies of contaminating materials from Sn-DPP SoCoMo	藪田 泰伸
---	------------	--	--	-------

・発表(イリノイ大学)

番号	発表年月日	発表先	題名	発表者
1	平成21年2月26日	SPIE Advanced Lithography Symposium 2009	Remote plasma cleaning of Sn from an EUV collector mirror	H. Shin

・論文

番号	発表年月日	発表先	題名	発表者
1	平成20年8月6日	電気学会誌(10月号)	特集:極端紫外線リソグラフィの最前線:極端紫外線の発生(放電方式)	堀田 和明

2.2) 自主研究分

・国内出願特許

番号	出願日	出願番号	名称	出願人
1	平成20年9月29日	特願2008-249574	極端紫外光光源装置および極端紫外光発生方法	ウシオ電機(株)
2	平成20年12月9日	特願2008-313103	極端紫外光光源装置	ウシオ電機(株)
3	平成20年12月18日	特願2008-322127	極端紫外光光源装置	ウシオ電機(株)
4	平成20年12月25日	特願2008-329570	極端紫外光光源装置	ウシオ電機(株)
5	平成21年1月21日	特願2009-10691	極端紫外光光源装置	ウシオ電機(株)
6	平成21年3月5日	特願2009-51968	プラズマ発生方法およびこのプラズマ発生方法を用いた極端紫外光光源装置	ウシオ電機(株)、 東京工業大学
7	平成21年3月30日	特願2009-81484	極端紫外光光源装置	ウシオ電機(株)

・発表

番号	発表年月日	発表先	題名	発表者
1	平成20年5月12日	EUV Source Workshop	Research and Development Program for DPP source-Collector Module	寺本 雄介
2	平成20年9月29日	2008 International Symposium on Extreme Ultraviolet Lithography	Dependence on Laser Parameter on Conversion Efficiency in High-Repetition-Rate Laser-Ablation-Discharge EUV source	横山 拓馬
3	平成20年10月10日	レーザー学会「レーザーによるXUV～X線の発生とそ	International Symposium on Extreme Ultraviolet Lithography	寺本 雄介

		の応用」専門委員会	2008 参加報告	
4	平成20年11月5日	SPIE Lithography Asia-Taiwan	Research on Laser-Ablation-Discharge EUV source for HVM	寺本 雄介
5	平成21年2月26日	SPIE Advanced Lithography	Dependence of Laser Parameter on Conversion Efficiency in High-Repetition-Rate Laser-Ablation-Discharge EUV Source	

・論文

番号	発表年月日	発表先	題名	発表者
1	平成20年5月30日	Journal of Applied Physics	High brightness extreme ultra violet(EUV at 13.5 nm) emiss ion from time-of-flight contro lled discharges with coaxial f uel injection	細貝 知直

◆ 平成 21 年度

1) LPP光源開発(平塚研究室)

1.1) 委託研究成果

・国内出願特許

番号	出願日	出願番号	名称	出願人
1	平成21年6月19日	特願2009-146253	極端紫外光源装置	(株)小松製作所 、ギガフオン(株)
2	平成21年9月14日	特願2009-211684	極端紫外光源装置	(株)小松製作所 、ギガフオン(株)
3	平成21年9月14日	特願2009-211312	極端紫外光源装置	(株)小松製作所 、ギガフオン(株)
4	平成21年9月15日	特願2009-212884	極端紫外光源装置および極端紫 外光生成方法	(株)小松製作所 、ギガフオン(株)
5	平成21年9月24日	特願2009-219547	極端紫外光源装置	ギガフオン(株)
6	平成21年10月16 日	特願2009-239090	極端紫外光源装置のターゲット 供給装置及びその製造方法	(株)小松製作所 、ギガフオン(株)
7	平成21年10月21 日	特願2009-242868	極端紫外光光源装置	ギガフオン(株)
8	平成21年11月2日	特願2009-251632	極端紫外光源装置、極端紫外光 源装置の制御方法	(株)小松製作所 、ギガフオン(株)

9	平成21年12月15日	特願2009-284539	極端紫外光源装置	(株)小松製作所、ギガフオン(株)
10	平成21年12月21日	特願2009-289775	極端紫外光光源装置	(株)小松製作所、ギガフオン(株)

・外国出願特許

番号	出願日	出願番号	名称	出願人
1	平成21年4月28日	US12/453,058	Extreme ultra violet light source apparatus	(株)小松製作所、ギガフオン(株)
2	平成21年4月24日	US12/385,955	EXTREME ULTRA VIOLET LIGHT SOURCE APPARATUS AND NOZZLE PROTECTION DEVICE	(株)小松製作所、ギガフオン(株)
3	平成21年9月15日	US12/559,977	EXTREME ULTRA VIOLET LIGHT SOURCE APPARATUS	ギガフオン(株)
4	平成21年9月24日	US12/566,170	EXTREME ULTRAVIOLET LIGHT SOURCE APPARATUS	ギガフオン(株)
5	平成21年10月19日	US12/581,461	TARGET SUPPLY UNIT OF EXTREME ULTRAVIOLET LIGHT SOURCE APPARATUS AND METHOD OF MANUFACTURING THE SAME	ギガフオン(株)
6	平成21年4月2日	US12/385,245	EXTREME ULTRA VIOLET LIGHT SOURCE APPARATUS	(株)小松製作所
7	平成21年4月13日	US12/385,569	EXTREME ULTRA VIOLET LIGHT SOURCE APPARATUS	(株)小松製作所、ギガフオン(株)、大阪大学
8	平成21年10月23日	12/605,113	EXTREME ULTRAVIOLET LIGHT SOURCE APPARATUS	ギガフオン(株)
9	平成21年11月5日	US12/612,861	EXTREME ULTRAVIOLET LIGHT SOURCE DEVICE AND CONTROL METHOD FOR EXTREME ULTRAVIOLET LIGHT SOURCE DEVICE	ギガフオン(株)
10	平成21年11月5日	DE102009044426.2	EXTREME ULTRAVIOLET LIGHT SOURCE DEVICE AND CONTROL METHOD FOR EXTREME ULTRAVIOLET LIGHT SOURCE DEVICE	ギガフオン(株)

・ 発表

番号	発表年月日	発表先	題名	発表者
1	平成21年7月9日	次世代リソグラフィワーク ショップ°(NGL2009)	量産用 LPP EUV 光源の開発	住谷 明
2	平成 21 年 10 月 8 日	2009 International Symposium on Extreme Ultraviolet Lithography	Present status of laser-produced plasma EUV light source	住谷 明
3	平成 21 年 10 月 18 日	2009 International Symposium on Extreme Ultraviolet Lithography	Laser-produced plasma source for EUV lithography	溝口 計
4	平成 22 年 2 月 21 日	Advanced Lithography	Present status of laser-produced plasma EUV light source	柿崎弘司
5	平成 22 年 2 月 21 日	Advanced Lithography	Laser-produced plasma source development for EUV lithography	溝口 計

・ 受賞実績

番号	受賞年月日	授与者	題名	受賞者
1	平成21年3月24日	半導体 MIRAI プロ ジェクト	LIF(レーザ誘起蛍光法)を用い た Sn 計測技術の開発	柳田 達哉

1.2) 自主研究成果

・国内出願特許

番号	出願日	出願番号	名称	出願人
1	平成 21 年 5 月 25 日	特願 2009-125155	極端紫外光源装置	ギガフoton(株)
2	平成 21 年 7 月 30 日	特願 2009-177822	極端紫外光源装置	(株)小松製作所、 ギガフoton(株)
3	平成 21 年 9 月 3 日	特願 2009-204129	イオン化レーザ装置および極端紫 外光光源装置	(株)小松製作所、 ギガフoton(株)
4	平成 21 年 9 月 14 日	特願 2009-212003	極端紫外光源装置、極端紫外光源 装置用レーザ光源装置及び極端紫 外光源装置用レーザ光源の調整方 法	(株)小松製作所、 ギガフoton(株)
5	平成 21 年 9 月 17 日	特願 2009-216203	極端紫外光源装置、極端紫外光源 装置用レーザ光源装置及び極端紫	(株)小松製作所、 ギガフoton(株)

			外光源装置で使用される可飽和吸収体の制御方法	
6	平成 21 年 12 月 16 日	特願 2009-285787	ターゲット供給装置	(株)小松製作所、ギガフオン(株)

・外国出願特許

番号	出願日	出願番号	名称	出願人
1	平成 21 年 8 月 4 日	米国出願 US12/535,014	EXTREME ULTRA VIOLET LIGHT SOURCE DEVICE	(株)小松製作所、ギガフオン(株)
2	平成 21 年 9 月 18 日	米国出願 US12/560,864	Extreme ultraviolet light source device, laser light source device for extreme ultraviolet light source device and method for adjusting laser light source for extreme ultraviolet light source device	ギガフオン(株)
3	平成 21 年 9 月 18 日	ドイツ出願 DE102009029605.0	Extreme ultraviolet light source device, laser light source device for extreme ultraviolet light source device and method for adjusting laser light source for extreme ultraviolet light source device	ギガフオン(株)
4	平成 21 年 9 月 25 日	米 国 出 願 US12/566,865	Extreme ultraviolet light source device, laser light source device for extreme ultraviolet light source device and method for controlling saturable absorber used in extreme ultraviolet light source device	ギガフオン(株)
5	平成 21 年 6 月 11 日	米国出願 US12/482,824	SLAB TYPE LASER APPARATUS	(株)小松製作所、ギガフオン(株)
6	平成 21 年 6 月 9 日	ドイツ出願 DE102009024360.7	SLAB TYPE LASER APPARATUS	(株)小松製作所、ギガフオン(株)
7	平成 21 年 12 月 18 日	米国出願 US12/642,308	TARGET GENERATOR APPARATUS	ギガフオン(株)

・発表

番号	発表年月日	発表先	題名	発表者
1	平成21年6月29日	The 5th International Congress on Laser Advanced Materials processing	Laser-produced plasma source development for EUV lithography	小森 浩
2	平成 21 年 6 月 29 日	The2009Lithography	Laser-produced plasma source	住谷 明

	日	Workshop	for EUV lithography	
3	平成 21 年 9 月 8 日	2009 年秋季第 70 回応用物理学会学術講演会	EUV リソグラフィ用レーザー生成プラズマ光源の開発	住谷 明
4	平成 21 年 10 月 8 日	2009 International Symposium on Extreme Ultraviolet Lithography	Present status of laser-produced plasma EUV light source	住谷 明
5	平成 21 年 10 月 18 日	2009 International Symposium on Extreme Ultraviolet Lithography	Laser-produced plasma source for EUV lithography	溝口 計
6	平成 22 年 2 月 21 日	SPIE Advanced Lithography	Present status of laser-produced plasma EUV light source	柿崎弘司
7	平成 22 年 2 月 21 日	SPIE Advanced Lithography	Laser-produced plasma source development for EUV lithography	溝口 計

・ プレス発表

番号	発表年月日	発表先	題名	発表者
1	平成21年2月22日	SPIE Advanced Lithography 会場にて ギガフォトンとしてプレス発表 (Solid State Technology 他)	EUV 光源の開発状況他	榎波 龍雄

2) DPP光源開発(御殿場研究室)

2.1) 委託研究分

・国内出願特許

番号	出願日	出願番号	名称	出願人
1	平成22年3月11日	特願2010-54302	集光鏡アッセンブリおよびこの集光鏡アッセンブリを用いた極端紫外光光源装置	ウシオ電機(株)
2	平成22年3月19日	特願2010-64022	極端紫外光光源装置の集光光学手段位置調整方法	ウシオ電機(株)
3	平成22年3月19日	特願2010-64016	極端紫外光光源装置および集光光学手段位置調整方法	ウシオ電機(株)
4	平成22年3月19日	特願2010-64069	極端紫外光光源装置	ウシオ電機(株) 東京工業大学

・外国出願特許

番号	出願日	出願番号	名称	出願人
1	平成21年3月3日	米国出願	CONNECTION DEVICE	ウシオ電機(株)

		12/396674		
2	平成21年11月6日	米国出願 12/613716	EXTREME ULTRAVIOLET LI GHT SOURCE DEVICE	ウシオ電機(株)
3	平成21年11月18日	オランダ出願 2003819	EXTREME ULTRAVIOLET LI GHT SOURCE DEVICE	ウシオ電機(株)

・発表

番号	発表年月日	発表先	題名	発表者
1	平成21年10月18～21日	2009 International Symposium on Extreme Ultraviolet Lithography	Evaluation tool development for mirrors-mask degradation of EUV exposure tool optics by contaminations from SoCoMo	藪田 泰伸、井上 隆博、他
2	平成21年10月18～21日	2009 International Symposium on Extreme Ultraviolet Lithography	Stabilization of IF characteristics by automatic alignment system for collector module	山谷 大樹、他
3	平成21年12月16日	2009年半導体MIRAIプロジェクト成果報告会	EUV光源高信頼化技術(DPP光源)	堀田 和明
4	平成22年2月21～26日	SPIE Advanced Lithography Symposium 2010	Stability improvement of EUV source by advanced alignment system for collector module	山谷 大樹、他

・受賞実績

番号	受賞年月日	授与者	題名	受賞者
1	平成21年3月24日	半導体 MIRAI プロジェクト	IF 変動防止技術の開発	山谷 大樹 佐藤 弘人

2.2) 自主研究分

・外国出願特許

番号	出願日	出願番号	名称	出願人
1	平成21年12月21日	ドイツ、オランダ 09015807.2	EXTREME ULTRAVIOLET LI GHT SOURCE DEVICE	ウシオ電機(株)
2	平成22年1月18日	ドイツ、オランダ 10000408.4	EXTREME ULTRAVIOLET LI GHT SOURCE DEVICE	ウシオ電機(株)

・発表

番号	発表年月日	発表先	題名	発表者
1	平成22年2月21日～26日	SPIE Advanced Lithography	Tin DPP Source Collector Module (SoCoMo): Status of Beta products and HVM	Masaki Yoshioka, Yusuke Teramoto,

			developments	Peter Zink, Guido Schriever, Gota Niimi, Marc Corthout and Teams
2	平成22年3月12日	兵庫県立大学高度産業科学技術研究所先端リソグラフィフォーラム	EUVL用DPP光源の開発	堀田 和明

◆ 平成 22 年度

1) LPP 光源開発(平塚研究室)

1.1) 委託研究成果

・国内出願特許

番号	出願日	出願番号	名称	出願人
1	平成 22 年 1 月 28 日	特願 2010-016659	極端紫外光源装置及び極端紫外光源装置用ターゲット供給装置	ギガフoton(株)
2	平成 21 年 10 月 16 日	特願 2009-239090	極端紫外光源装置のターゲット供給装置及びその製造方法	(株)小松製作所、ギガフoton(株)
3	平成 22 年 1 月 12 日	特願 2010-004105	極端紫外光源装置	(株)小松製作所、ギガフoton(株)
4	平成 22 年 1 月 19 日	特願 2010-009170	極端紫外光源装置及びクリーニング方法	(株)小松製作所、ギガフoton(株)
5	平成 22 年 3 月 18 日	特願 2010-062380	極端紫外光源装置、極端紫外光源装置の制御方法及びターゲット供給装置	(株)小松製作所、ギガフoton(株)
6	平成 22 年 2 月 10 日	特願 2010-028192	極端紫外光光源装置	(株)小松製作所、ギガフoton(株)
7	平成 22 年 2 月 19 日	特願 2010-034889	極端紫外光源装置及び極端紫外光の発生方法	(株)小松製作所、ギガフoton(株)
8	平成 22 年 2 月 22 日	特願 2010-036042	極端紫外光光源装置および露光装置	(株)小松製作所
9	平成 22 年 2 月 22 日	特願 2010-036046	極端紫外光光源装置	(株)小松製作所、ギガフoton(株)
10	平成 22 年 3 月 18 日	特願 2010-063358	極端紫外光光源装置	(株)小松製作所、ギガフoton(株)
11	平成 22 年 3 月 26 日	特願 2010-071436	ミラー装置	(株)小松製作所、ギガフoton(株)
12	平成 22 年 3 月 29 日	特願 2010-076254	極端紫外光光源装置	(株)小松製作所、ギガフoton(株)

13	平成 22 年 6 月 17 日	特願 2010-138303	極端紫外光源装置	(株)小松製作所、ギガフオン(株)
14	平成 22 年 11 月 29 日	特願 2010-265789	極端紫外光源装置及び極端紫外光の発生方法	(株)小松製作所、ギガフオン(株)
15	平成 22 年 12 月 24 日	特願 2010-288901	チャンバ装置および極端紫外光生成装置	(株)小松製作所、ギガフオン(株)
16	平成 22 年 12 月 28 日	特願 2010-294239	極端紫外光生成装置	(株)小松製作所、ギガフオン(株)
17	平成 22 年 1 月 6 日	特願 2011-001508	チャンバ装置、および極端紫外光生成装置	(株)小松製作所

・外国出願特許

番号	出願日	出願番号	名称	出願人
1	平成 21 年 3 月 9 日	US12/382,109	LASERSYSTEM	(株)小松製作所、ギガフオン(株)
2	平成 22 年 5 月 26 日	PCT/JP2010/05892 9	ターゲット出力装置及び極端紫外光源装置	ギガフオン(株)
3	平成 22 年 6 月 21 日	PCT/JP2010/06037 6	極端紫外光源装置	ギガフオン(株)

・発表

番号	発表年月日	発表先	題名	発表者
1	平成22年7月9日	NGL 2010	応用物理学会	住谷 明
2	平成 22 年 7 月 9 日	2010 International Symposium on Extreme Ultraviolet Lithography	Investigation on high conversion efficiency and Tin debris mitigation for laser produced plasma EUV light source	堀 司
3	平成 22 年 7 月 9 日	2010 International Symposium on Extreme Ultraviolet Lithography	1st generation Laser-Produced Plasma 100W source system for HVM EUV lithography	溝口 計
4	平成22年8月25日	Advanced Lithography 2011	Characterization and optimization of tin particle mitigation and EUV conversion efficiency in a laser produced plasma EUV light source	柳田 達哉
5	平成22年8月26日	Advanced Lithography 2011	100W 1st generation Laser-Produced Plasma source system for HVM EUV lithography	溝口 計

1.2) 自主研究成果

・国内出願特許

番号	出願日	出願番号	名称	出願人
1	平成 21 年 9 月 11 日	特願 2009-211072	レーザ装置および極端紫外光光源装置	ギガフoton(株)
2	平成 22 年 2 月 23 日	特願 2010-037108	レーザ装置および極端紫外光光源装置	(株)小松製作所 ギガフoton(株)
3	平成 22 年 3 月 11 日	特願 2010-055153	極端紫外光光源装置	(株)小松製作所 ギガフoton(株)
4	平成 22 年 6 月 16 日	特願 2010-137359	スペクトル純度フィルタ及びそれを用いた極端紫外光光源装置	(株)小松製作所 ギガフoton(株)
5	平成 22 年 11 月 29 日	特願 2010-265787	ビームクオリティ制御装置および極端紫外光生成装置	(株)小松製作所 ギガフoton(株)

・発表

番号	発表年月日	発表先	題名	発表者
1	平成22年6月28日	2010 秋季第 71 回応用物理学会学術講演会	EUV リソグラフィ用レーザ生成プラズマ光源の開発 Development of Laser Produced Plasma Source for Extreme Ultraviolet Lithography	長野 仁
2	平成22年7月9日	2010 International Symposium on Extreme Ultraviolet Lithography	Improving efficiency of pulsed CO2 Laser system for LPP EUV light source	太田 毅
3	平成22年7月22日	Advanced Lithography 2011	Development of the reliable 20kW class pulsed carbon dioxide laser system for LPP EUV light source	藤本 准一

・発表(大阪大学)

1	平成22年7月22日	2010 International Symposium on Extreme Ultraviolet Lithography	Radiation Hydrodynamic Simulation of Laser-produced Tin Plasmas	砂原 淳
---	------------	---	---	------

2) DPP光源開発(御殿場研究室)

2.1) 委託研究分

・国内出願

番号	出願日	出願番号	名称	出願人
1	平成22年11月10日	特願2010-251626	極端紫外光光源装置における照度分布検出方法および極端	ウシオ電機(株)

			紫外光光源装置	
--	--	--	---------	--

・発表

番号	発表年月日	発表先	題名	発表者
1	平成22年7月12日	NGL2010	量産機対応DPP光源の開発	堀田 和明
2	平成22年10月17～22日	2010 International Symposium on Extreme Ultraviolet Lithography	Development of debris-mitigation tool for HVM DPP source	藪田 泰伸、他
3	平成22年10月17～22日	2010 International Symposium on Extreme Ultraviolet Lithography	Sn film and ignition control for performance enhancement of laser-triggered DPP source	寺本 雄介、他
4	平成22年10月17～22日	2010 International Symposium on Extreme Ultraviolet Lithography	Development of evaluation tool and method for mirrors-mask degradation of EUV exposure tool optics by contaminations from SoCoMo	毛利 真輔、他
5	平成22年12月16日	2009年半導体MIRAIプロジェクト成果報告会	EUV光源高信頼化技術(DPP光源)	堀田 和明
6	平成23年2月27～3月4日	SPIE Advanced Lithography Symposium 2011	Development of debris-mitigation tool for HVM DPP source	藪田 泰伸、他
7	平成23年2月27～3月4日	SPIE Advanced Lithography Symposium 2011	Sn film and ignition control for performance enhancement of laser-triggered DPP source	寺本 雄介、他

2.2) 自主研究分

・発表

番号	発表年月日	発表先	題名	発表者
1	平成22年10月17～22日	2010 International Symposium on Extreme Ultraviolet Lithography	First Tin beta SoCoMo ready for wafer exposure	Marc Corthout, Yusuke Teramoto, Masaki Yoshioka and the whole XTREME and EUVA Gotemba team
2	平成22年12月7日	(社)レーザー学会専門委員会「レーザー励起XUV～X線の産業応用」	DPP-EUVリソグラフィ用光源開発の現状と展望	堀田 和明

3	平成23年2月27～3月4日	SPIE Advanced Lithography Symposium 2011	Tin DPP Source Collector Module(SoCoMo) ready for integration into Beta scanner	堀田 和明
---	----------------	--	---	-------

ITイノベーションプログラム基本計画

1. 目的

我が国が目指す高度情報通信ネットワーク社会の構築に向け、経済成長戦略大綱、IT新改革戦略、科学技術基本計画及び技術戦略マップ等に基づき、情報化の進展に伴うエネルギー消費量の増大等の課題にも考慮しつつ、その基盤となる情報通信機器・デバイス等の情報通信技術を開発し、実社会への利用を促進する。また、情報システム・ソフトウェアについて品質、信頼性及び生産性の向上を推進し、組込みソフトウェア産業強化、オープンソースソフトウェアを安心して活用するための環境整備、独創的な人材の発掘等、我が国産業競争力強化のための必要な基盤整備を実施することによって、ITの利活用の深化・拡大を図り、より豊かな国民生活を実現するとともに、我が国の経済活力の向上を図ることを目的とする。

2. 政策的位置付け

「経済成長戦略大綱」(2006年7月財政・経済一体改革会議。2007年6月改訂、経済財政諮問会議報告)

IT革新による競争力強化、IT革新を支える産業・基盤の強化に必要な研究開発の推進に対応

「第3期科学技術基本計画」(2006年3月閣議決定)

国家的・社会的課題に対応した研究開発の重点推進4分野である情報通信分野、分野別推進戦略(2006年3月総合科学技術会議)における重点分野である情報通信分野に位置づけられるもの。

「IT新改革戦略」(2006年1月高度情報通信ネットワーク社会推進戦略本部)
次世代のIT社会の基盤となる研究開発の推進等に対応。

3. 達成目標

(1) 情報経済社会を形成する上で必要不可欠な基盤技術である情報通信機器・デバイス等に関しては、「革新的な技術の確立」と「その開発成果の普及促進」を図る。

【目標】

- ・情報通信機器・デバイス産業の付加価値額を、2020年度において、2007年度比で、約50%増加させる。
- ・半導体の微細化に係る革新的基盤技術の開発(テクノロジーノード45nm以細)
- ・情報家電の音声認識のタスク率(95%以上の達成)
- ・革新的な大型ディスプレイ技術の開発(消費電力を現状機器と比較して約50%以下)
- ・革新的なネットワーク機器技術の開発(消費電力を現状機器と比較して60%以下)

- (2) 経済社会システムの信頼性確保に大きく寄与する情報システム・ソフトウェアに関しては、品質、信頼性及び生産性の向上や産学官の開発リソースの連携強化により、「人材育成」と「ソフトウェア工学の開発」等を積極的に推進する。

【目標】

- ・情報サービス・ソフトウェア産業の付加価値額を、2015年度において、2004年度比で、約25%増加させる。
- ・組み込みシステム等の不具合発生率(2011年度までに2006年度比50%減)

4. 研究開発内容

[プロジェクト]

- ・ITコア技術の革新

[i] 世界最先端デバイスの先導開発

(1) 次世代半導体材料・プロセス基盤プロジェクト(MIRAIT)(運営費交付金)

概要

テクノロジーノード45nm以下のデバイスの実現に必要な極限微細化技術や、新構造CMOSの研究開発などの既存技術のブレークスルーが期待される先端的基盤技術研究を行う。また、国際半導体ロードマップにおいてエマージングテクノロジーと呼ばれる萌芽的な先端基盤技術の開発に取り組み、技術の見極め・絞り込みを行う。

技術目標及び達成時期

2010年度までに半導体の微細化に関してテクノロジーノード45nm以下のデバイス実現に必要な革新的基盤技術を、産業界において自ら実用化に向けた展開を図る際の判断ができる水準まで技術開発を行い、技術選択肢として提示する。

研究開発期間

2001年度～2010年度

(2) 次世代低消費電力半導体基盤技術開発(MIRAIT)(運営費交付金)(再掲)

概要

エネルギー需給構造の高度化を図る観点から行うものであり、IT化の進展、IT利活用の高度化を支え、あらゆる機器に組み込まれている半導体の低消費電力化を図るため、テクノロジーノード(微細化レベル)45nm以下の次世代低消費電力半導体の実現を目指し、微細加工の基盤技術やマスク(半導体素子製造過程で用いる原板)の低コスト化・製造時間短縮に必要な基盤技術開発を行う。

技術目標及び達成時期

2010年度までに、マスク設計・描画・検査の各工程に共通的なマスクデータ処理技術、繰り返しパターンやパターン重要度を利用した描画・検査高速化技術等の基本的な開発及びEUVLマスク基盤技術として、許容欠陥の指標明確化、プランクの位相欠陥検査技術の確立等を完了する。

研究開発期間

2004年度～2010年度

エネルギーイノベーションプログラム基本計画

1. 目的

資源に乏しい我が国が、将来にわたり持続的発展を達成するためには、革新的なエネルギー技術の開発、導入・普及によって、各国に先んじて次世代型のエネルギー利用社会の構築に取り組んでいくことが不可欠である。他方、エネルギー技術開発は、長期間を要するとともに大規模投資を伴う一方で将来の不確実性が大きいことから、民間企業が持続的な取組を行うことは必ずしも容易ではない。このため、政府が長期を見据えた将来の技術進展の方向性を示し、官民双方がこの方向性を共有することで、将来の不確実性に対する懸念が緩和され、官民において長期にわたり軸のぶれない取組の実施が可能となる。以下に 5 つの政策の柱毎に目的を示す。

1 - . 総合エネルギー効率の向上

1970年代以来、官民をあげて省エネルギーに取り組み、産業構造の転換や新たな製造技術の導入、民生機器の効率改善等により世界最高水準の省エネルギーを達成している。今後、「新・国家エネルギー戦略」に掲げる、2030年までにGDPあたりのエネルギー利用効率を約30%向上を実現していくためには、産業部門はもとより、全部門において、総合エネルギー効率の向上に資する技術開発とその成果の導入を促進する。

1 - . 運輸部門の燃料多様化

ほぼ100%を石油に依存する運輸部門は、我が国エネルギー需給構造上、最も脆弱性が高く、その需給構造の次世代化は、将来に向けた早急な対策が不可欠な課題となっている。

「新・国家エネルギー戦略」に掲げる目標（2030年に向け、運輸部門の石油依存度が80%程度となることを目指す）の実現のためにも、官民が中長期的な展望・方向性を共有しつつ、技術開発と関連施策を推進する。

1 - . 新エネルギー等の開発・導入促進

太陽光、風力、バイオマスなどの新エネルギーは、エネルギー源の多様化や地球温暖化対策の観点から重要である。しかし、現時点では経済性や出力安定性といった普及へ向けての課題が存在する。

そのため、これらの課題解決に向けた技術開発の推進及び新エネルギーの導入促進のための関連施策の実施により、更なる新エネルギーの普及を推進する。

1 - . 原子力等利用の推進とその大前提となる安全の確保

原子力発電は供給安定性に優れ、運用時にCO₂を排出しないクリーンなエネルギー源である。安全確保を大前提に核燃料サイクルを含む原子力発電を着実に推進する。

1 - . 化石燃料の安定供給確保と有効かつクリーンな利用

化石燃料資源の大宗を輸入に依存する我が国にとって、その安定供給の確保は国家安全保障に直結する課題である。このため、石油・天然ガス等の安定供給確保を目指し、我が国企業による資源国における資源開発等に対する支援等の施策を進めるとともに、その有効かつクリーンな利用を図る。

2. 政策的位置付け

エネルギー基本計画（2007年3月閣議決定）

重点的に研究開発のための施策を講ずべきエネルギーに関する技術及びその施策として、

1. 総合エネルギー効率の向上に資する技術
2. 原子力利用の推進とその大前提となる安全の確保に資する技術
3. 運輸部門のエネルギー多様化に資する技術
4. 新エネルギーに関する技術
5. 化石燃料の安定供給確保と有効かつクリーンな利用に資する技術

以上が位置づけられている。

新・国家エネルギー戦略（2006年5月）

世界最先端のエネルギー需給構造の実現を図るため

1. 省エネルギーフロントランナー計画
2. 運輸エネルギーの次世代化計画
3. 新エネルギーイノベーション計画
4. 原子力立国計画

以上の計画が位置づけられている。また、資源外交、エネルギー環境協力の総合的な強化を図るため、「総合資源確保戦略」が位置づけられている。

第3期科学技術基本計画（2006年3月閣議決定）

国の存立にとって基盤的であり国として取り組むことが不可欠な研究開発課題を重視して研究開発を推進する「推進4分野」であるエネルギー分野、分野別推進戦略（2006年3月総合科学技術会議）における「推進4分野」であるエネルギー分野に位置付けられている。

経済成長戦略大綱（2006年7月財政・経済一体改革会議）

資源・エネルギー政策の戦略的展開として

1. 省エネルギーフロントランナー計画
2. 次世代自動車・燃料イニシアティブ等による運輸エネルギー次世代化
3. 新エネルギーイノベーション計画
4. 原子力立国計画
5. 資源外交、環境・エネルギー協力等の総合的な強化

以上が位置づけられている。

京都議定書目標達成計画（2005年4月閣議決定）

「京都議定書の約束を達成するとともに、更に「脱温暖化社会」に向けて長期的・継続的な排出削減を進めるには、究極的には化石燃料への依存を減らすことが必要である。環境と経済の両立を図りつつ、これらの目標を達成するため、省エネルギー、未利用エネルギーの利用等の技術革新を加速し、効率的な機器や先進的なシステムの普及を図り、世界をリードする環境立国を目指す。」とされている。

3. 達成目標

3-1. 総合エネルギー効率の向上

転換部門における「エネルギー転換効率向上」、産業部門における「製造プロセス向上」、民生・運輸部門における「省エネルギー」などにより、エネルギー消費効率を2030年度までに少なくとも30%改善することを目指す。

3-2. 運輸部門の燃料多様化

バイオマス由来燃料、GTL、BTL、CTLなどの新燃料、電気自動車や燃料電池自動車などの導入により、現在ほぼ100%の運輸部門の石油依存度を2030年までに80%程度とすることを目指す。

3-3. 新エネルギー等の開発・導入促進

太陽光、風力、バイオマスなどの新エネルギーの技術開発や燃料電池など革新的なエネルギー高度利用を促進することにより、新エネルギー等の自立的な普及を目指すことで、エネルギー源の多様化及び地球温暖化対策に貢献する。

3-4. 原子力等利用の推進とその大前提となる安全の確保

2030年以降においても、発電電力量に占める比率を30～40%程度以上とすることを目指すため、高速増殖炉サイクルの早期実用化、既設軽水炉代替へ対応する次世代軽水炉の開発、軽水炉技術を前提とした核燃料サイクルの確立、放射性廃棄物対策などの技術開発を推進する。

3-5. 化石燃料の安定供給確保と有効かつクリーンな利用

石油・天然ガスの化石燃料の安定供給確保を目指し、資源獲得能力の強化に資する先端的な技術開発を推進するとともに、環境負荷低減のために化石燃料の効率的かつクリーンな利用を促進するための技術開発・導入を目指す。

これを突破するため、大学あるいは研究所を拠点に材料メーカー、デバイスメーカー、装置メーカー等が相互連携して、窒化物半導体の結晶欠陥低減技術やナノ構造作製技術等の革新を図り、これらデバイスの飛躍的な性能向上と消費電力削減の実現を図る。

技術目標及び達成時期

2011年度までに、次世代窒化物系半導体デバイスを実現する以下結晶作製技術を開発する。

- ・ 基板技術（GaN、AlNバルク結晶作製技術）
 - 口径2～4インチで高品質エピ成膜を可能とする低コストの単結晶基板作製技術の確立。
- ・ エピ技術（エピタキシャル成膜及び計測評価技術）
 - 低欠陥高品質エピ層を実現する成膜技術及び膜成長過程を計測評価する技術の確立。
 - 高出力かつ高安定動作可能なエピ層の実現
 - 高耐圧超高速な新しいデバイス構造の開発

研究開発期間

2007年度～2011年度

(3) 次世代低消費電力半導体基盤技術開発(MIRAI)(運営費交付金)

概要

エネルギー需給構造の高度化を図る観点から行うものであり、IT化の進展、IT利活用の高度化を支え、あらゆる機器に組み込まれている半導体の低消費電力化を図るため、テクノロジーノード(微細化レベル)45nm以細の次世代低消費電力半導体を実現するため、微細加工の基盤技術やマスク(半導体素子製造過程で用いる原板)の低コスト化・製造時間短縮に必要な基盤技術の開発等を行う。

技術目標及び達成時期

2010年度までに、マスク設計・描画・検査の各工程に共通的なマスクデータ処理技術、繰り返しパターンやパターン重要度を利用した描画・検査高速化技術等の基本的な開発及びEUVLマスク基盤技術として、許容欠陥の指標明確化、ブランクスの位相欠陥検査技術の確立等を完了する。

研究開発期間

2001年度～2010年度

(4) 半導体アプリケーションチッププロジェクト(運営費交付金)

概要

エネルギー需給構造の高度化を図る観点から行うものであり、IT化の進展、IT利活用の高度化を支え、あらゆる機器に組み込まれている半導体の低消費電力化を図るため、情報通信機器、特に、情報家電の低消費電力化を実現できる半導体アプリケーションチップ技術の開発を行う。

技術目標及び達成時期

2009年度までに、情報家電の低消費電力化を実現できるアプリケーション

(IT イノベーションプログラム・エネルギーイノベーションプログラム)
「次世代半導体材料・プロセス基盤(MIRAI)プロジェクト」基本計画

電子・情報技術開発部

1. 研究開発の目的・目標・内容

(1) 研究開発の目的

情報技術がめざましく発展している今日の社会では、情報・知識を、時間や場所の制約を受けず誰もが自由自在かつ安全に活用できる情報通信環境の実現が望まれている。また、平成 19 年 6 月に改定された経済成長戦略大綱において、我が国の国際競争力強化のために注力すべき分野として、情報家電、ロボットなどが挙げられている。このような応用システムの基幹となる半導体 LSI には、一層の高機能化、低消費電力化が求められている。本プロジェクトは、我が国の半導体関連産業(デバイス、装置及び材料)の国際競争力強化のため、高機能 LSI の実現に不可欠な半導体構造の微細化に対応できる半導体デバイス・プロセス基盤技術を平成 22 年度までに確立することを目的として IT イノベーションプログラム及びエネルギーイノベーションプログラムの一環として実施する。

半導体LSIの回路を構成するトランジスタと配線の微細化は、これまで3年で4倍の集積度を実現するピッチで進展し、2007 年には、技術世代hp65nm⁽¹⁾の製品が量産され始めた。情報家電やロボットなどのシステムに求められる高集積化と低コスト化を同時に実現するためには、トランジスタや配線の微細化が引き続き重要な技術課題である。近年、hp45nmを超える次世代半導体開発のために、海外では産学官連携の下で、国際半導体技術ロードマップ(ITRS)⁽²⁾で示されている技術課題の解決に向け、精力的な取り組みがなされ、まさにグローバルな開発競争が行われている。また、独立行政法人新エネルギー・産業技術総合開発機構(以下、「NEDO」という)が編纂したNEDO技術ロードマップ(平成19年版)の中には、我が国にとって重要な超低消費電力のシステムLSIの実現のために必要な技術開発が示されている。

ITRS 及び NEDO 技術ロードマップに拠れば、LSI の性能向上には、単なる微細化のみならず、革新的技術の導入が不可欠である。また、微細化およびそれに伴う加工精度向上の要請は、原子数個のレベルでの寸法制御を必要とし、微細化に伴う素子特性のばらつきが集積化の大きな障害となりつつある。これらの問題を解決するためには、トランジスタや配線を構成する材料、それら材料の成膜・成長・加工のための物理・化学反応、デバイス・回路動作等の原理に立ち戻って科学的知見を活用した開発を行い、産業技術へ繋げていくことが必要である。このため、サイエンスとエンジニアリングを融合させた新しいコンセプトに基づく、産学官が連携した LSI 開発プロジェクトが必要である。本プロジェクトでは、これらの要請を具現化するとともに、産業界における実用化プロセスインテグレーション技術開発の時期を考慮したタイムリーな技術開発を行う。産業界は、本プロジェクトの成果を受け継ぐ実用化開発を進め、その技術を活用した競争力ある製品により半導体産業の国際競争力を強化することが重要である。

一方、これまで微細化を推進してきた光リソグラフィについても、hp32nm 以細の技術領域では、従来の

(1) 最新技術で製造された LSI の配線層のピッチで最小のもの 1/2 をハーフピッチ(hp)と呼び、2007 年 ITRS によれば DRAM の第一層金属配線(ビット線)のピッチの 1/2 で示している。ここでは半導体 LSI 技術レベルの指標として当該 hp を用いる。

(2) 最新の ITRS は 2007 年版。

微細化手法が限界に達すると予測されており、これに代わる新たなリソグラフィ技術の開発が求められている。波長 13.5nm の極端紫外光(EUV: Extreme Ultra Violet)を用いる EUV リソグラフィ(EUVL)は、マスクパターンの光学的縮小投影方式であり、従来の半導体製造プロセスとの親和性が高いこと、解像度に十分な余裕があり、hp32nm 以細の技術領域に適用可能であること等から、次世代リソグラフィの最有力候補と位置づけられている。現在、国内外でコンソーシアム、企業、大学の連携による強力な取り組みが進められており、その結果、EUV 光源や光学系等の要素技術の開発は大きく進展している。しかしながら、量産用露光装置の実現に向けては、高出力 EUV 光源における信頼性向上などの課題がある上、マスク技術、レジスト材料、および各要素技術を統合したリソグラフィシステムにおける露光プロセス等に関しても、まだ解決すべき課題が多く残されている。特に、EUVL の実用化のためには、高精度・低欠陥マスクの実現が不可欠であるが、EUVL 用のマスクは従来のフォトマスクとは異なる多層膜構造の反射型マスクであり、難易度の高い技術開発が必要である。また、個別技術の開発だけでは完結せず、リソグラフィシステムとしての総合的な取り組みが必要である。このため、産学官連携のもと NEDO の委託事業としての研究開発が必要である。

本プロジェクトでは、平成 13 年度から平成 17 年度までに、hp65nm～hp45nm のデバイスに必要な高誘電率ゲート絶縁膜材料・計測・解析技術、及び低誘電率層間絶縁膜材料・計測・解析技術を中心として、将来のデバイス・プロセス技術に必要なトランジスタ形成に必要な技術、ウェハ・マスク関連計測技術、及びデバイス回路構成技術等の開発を行ってきた。その成果の内、実用化開発に移行できるものは、平成 17 年度末に関連コンソーシアムを含めた産業界に移転され、実用化に向けた開発が展開されている。

平成 18 年度からは、半導体の微細化に関しては、hp45nm を超えるデバイス実現に必要な革新的基盤技術を、産業界において自ら実用化に向けた展開を図る際の判断ができる水準まで技術開発を行い、技術選択肢として提示することを目的として、新構造極限 CMOS トランジスタ関連技術、新探究配線技術、及び特性ばらつきに対し耐性の高いデバイス・プロセス技術の開発を行ってきた。

新構造極限 CMOS トランジスタ関連技術については、新構造トランジスタと極限 EOT (Equivalent Oxide Thickness) ゲートスタックの技術についてのサイエンスの深堀と実証が一定の段階に達したことから、平成 19 年度末に関連コンソーシアムを含めた産業界に成果を移転して開発を終了するとともに、平成 20 年度から新たに、hp32nm を越える技術領域で顕在化するキャリアのバリスティック輸送現象の総合的な最適化を図るバリスティック CMOS 技術開発に取り組む。新探究配線技術は hp32nm 以細の技術領域で、また、特性ばらつきに対し耐性の高いデバイス・プロセス技術は hp45nm を超える技術領域で消費電力や信頼性の課題を解決する革新的技術であることが示され、また産業界においてプロジェクト終了時に自ら実用化に向けた展開を図る期待が大きい技術であると判断されることから、平成 22 年度までの具体的な成果達成目標を設定して技術開発を行う。

また、EUVL に関しては、hp32nm 以細に適用できる高精度・低欠陥 EUVL 用マスクの技術基盤確立を目的とする。具体的には EUVL 用マスクの解析・評価技術、コンタミネーション制御技術、欠陥検査技術、欠陥修正技術、及びペリクルレスハンドリング技術等の開発を行う。平成 20 年度からは、hp32nm 以細に適用できる EUV 光源の高信頼化技術の開発を行う。具体的には、光源起因マスク、ミラーの汚染評価技術、集光光学系などの清浄化技術を開発する。

本技術の確立により、情報通信機器、情報家電、ロボットなどの高機能化、低消費電力化、高信頼性化

の要求を満たすシステムLSI実現など、将来幅広い産業分野で利用される共通基盤技術の形成が見込まれる。これにより、電子情報通信分野での新規産業創出に資するのみならず、広範な分野で利用される共通基盤技術の形成に資する。

当該研究開発事業は、次の条件のもとで実施する。

- ・ 技術的革新性により競争力を強化できること。
- ・ 研究開発成果を新たな製品・サービスに結びつける目途があること。
- ・ 比較的短期間で新たな市場が想定され、大きな成長と経済波及効果が期待できること。
- ・ 産業界も資金等の負担を行うことにより、市場化に向けた産業界の具体的な取り組みが示されていること。

なお、適切な時期に、実用化・市場化状況等について検証することとする

(2) 研究開発の目標

第1期(平成13年度から平成15年度)：hp65nmの技術課題の解決。

第2期(平成16年度から平成17年度)：hp45nmの技術課題の解決。

第3期(平成18年度から平成22年度)：hp45nmを超える技術課題の解決。

- I. hp45nmを超える技術領域の課題を解決する革新技術としての新構造極限 CMOS トランジスタ技術、新探究配線技術、特性ばらつきに対し耐性の高いデバイス・プロセス技術を、産業界における実用化に向けた展開につなげることを目指して開発する。
 - II. EUV マスク基盤技術および EUV 光源高信頼化技術を開発し、EUV マスク基盤技術については平成20年度にhp45nm、平成22年度にhp32nmに対応する技術を確立し、平成20年度より開始する EUV 光源高信頼化技術については平成22年度にhp32nmに対応する技術を確立する。
- なお、目標の詳細については、別紙の研究開発計画を参照のこと。

プロジェクトを通して得られた基礎データ等の共通基盤となる知見は、プロジェクト実施期間中にデータを体系的に整理し、我が国半導体技術の強化に努める。

(3) 研究開発内容

上記目標を達成するために、以下の研究開発項目について、別紙の研究開発計画に基づき研究開発を実施する。

[委託事業]

I. 次世代半導体材料・プロセス基盤技術開発

① 新構造極限 CMOS トランジスタ関連技術開発

hp32nmを越える技術世代に対応するバリスティックCMOS技術の開発を行う。チャネル領域で準バリスティックなキャリア輸送が起こるシリコン MOS トランジスタの微細化において、デバイスの性能を最大限に発揮させるための原理とその実現に必要な材料・構造を明らかにし、低消費電力・高信頼性を実現するための技術を確立する。

② 新探究配線技術開発

銅とLow-k材料を用いた多層配線構造においてhp32nm以細の微細化に伴って抵抗が上昇し、信頼性が低下する等の課題を解決するため、カーボン材料を用いた低い抵抗値と高い許容電流密度を持つ配線構造技術を確立する。また、高速・低消費電力でデータ信号伝達を実現する新しいグローバル配線として10GHz以上の波長多重によるオンチップ光配線技術を実証する。

なお、研究開発項目②「新探求配線技術開発」については、産業技術政策動向等を勘案して

見直しを行った結果、当該研究開発は平成 21 年度をもって終了することとした。

③ 特性ばらつきに対し耐性の高いデバイス・プロセス技術開発

hp45nm を越える微細化に伴うばらつきに起因する製造、設計歩留まりの向上や特性の経時劣化に対処する技術として、構造依存ばらつきとその経時変化の解析技術を確立し、ばらつきの物理的理解とモデリング技術を開発する。さらに特性ばらつきに耐性の高いトランジスタ構造を提案する。また、LSI 回路の正常な動作を妨げる外部擾乱に対し、トランジスタや回路の誤動作や故障が発生するメカニズムを明確にし、その解決策と耐性の高い回路の設計指針を確立する。

なお、本研究開発項目中「ストレス起因のレイアウトパターン依存モデル」については、目標を達成したため、当該研究は平成 21 年度をもって終了する。

II. 次世代半導体露光プロセス基盤技術開発

④ 次世代マスク基盤技術開発

hp32nm 以細の EUV リソグラフィに用いられる EUV マスクについて、高精度・低欠陥のマスクおよびブランクス技術、マスクパターンの欠陥検査・修正技術、マスクのハンドリング技術の開発を行い、EUV マスクの総合的技術を確立する。

⑤ EUV 光源高信頼化技術開発

hp32nm 以細の EUV リソグラフィに用いられる EUV 光源について、マスク、ミラーへの光源に起因する汚染に対する評価技術、汚染に対する清浄化技術の開発を行い、EUV 光源の高信頼化技術を確立する。

2. 研究開発の実施方式

(1) 研究開発の実施体制

第1期、第2期の研究開発は、NEDOが選定した技術研究組合超先端電子技術開発機構と独立行政法人産業技術総合研究所(以下、産総研と呼ぶ)を委託先とし、両者が共同研究契約を締結し研究体を形成して実施した。第3期(前半:平成 18、19 年度)の研究開発は、研究開発内容が大幅に見直されたことから、NEDOが新たに公募を行い選定した技術研究組合超先端電子技術開発機構と産総研の共同研究体と、株式会社半導体先端テクノロジーが実施している。

第3期後半の平成 20-22 年度は、研究開発内容の目標が大幅に見直される技術開発内容について、NEDOが新たに公募を行い、民間企業、独立行政法人、大学等から委託先を選定するものとする。委託先の応募資格は、これまでの運営方針を継承したものとする。共同研究開発に参加する各研究開発グループの有する研究開発ポテンシャルの最大限の活用により、効率的な研究開発の推進を図る観点から、原則として、研究体にはNEDOが委託先決定後に指名する研究開発責任者(プロジェクトリーダー)を置き、その下に研究者を可能な限り結集して効果的な研究開発を実施する。

(2) 研究開発の運営管理

研究開発全体の管理・執行に責任と決定権を有するNEDOは、経済産業省及びプロジェクトリーダーと密接な関係を維持しつつ、プログラムの目的及び目標、並びに本研究開発の目的及び目標に照らして適切な運営管理を実施する。また、必要に応じて、外部有識者の意見を運営管理に反映させる。

3. 研究開発の実施期間

本研究開発の期間は、平成 13 年度から平成 22 年度までの 10 年間とする。ただし全期間を3期に分け、第1期は平成 13 年度から平成 15 年度、第2期は平成 16 年度から平成 17 年度、第3期は平成 18 年度から平成 22 年度の期間とする。

4. 評価に関する事項

NEDOは、技術的及び産業技術政策的観点から見た研究開発の意義、目標達成度、成果の技術的意義ならびに将来の産業への波及効果等の観点から、外部有識者による研究開発の中間評価をおこなう。1 回目の中間評価は平成 15 年度、2 回目の中間評価は平成 18 年度、さらに、研究開発項目①～③について平成 19 年度末に行った。さらに、研究開発項目④について平成 20 年度に中間評価を行う。中間評価結果を踏まえ必要に応じプロジェクトの加速・縮小・中止等見直しを迅速に行う。また、事後評価を平成 23 年度に実施する。

5. その他の重要事項

(1) 研究開発成果の取扱い

① 成果の普及

得られた研究開発成果のうち共通基盤技術に係るものについては、プロジェクト内で速やかに共有した後で、NEDO及び実施者が協力して普及に努めるものとする。

② 知的基盤整備又は標準化等との連携

得られた研究開発の成果については、知的基盤整備又は標準化等との連携を図るため、データベースへのデータの提供、標準情報 (TR) 制度への提案等を積極的に行うと共に、必要な標準化を実施する。

③ 知的所有権の帰属

委託研究開発の成果に関わる知的所有権については、「独立行政法人新エネルギー・産業技術総合開発機構 新エネルギー・産業技術業務方法書」第 25 条の規定等に基づき、原則として、すべて受託先に帰属させることとする。

(2) 基本計画の変更

NEDOは、研究開発内容の妥当性を確保するため、社会・経済的状況、国内外の研究開発動向、産業技術政策動向、プログラム基本計画の変更、第三者の視点からの評価結果、研究開発費の確保状況、当該研究開発の進捗状況等を総合的に勘案し、達成目標、実施期間、研究開発体制等、基本計画の見直しを弾力的に行うものとする。

(3) 根拠法

本プロジェクトは、独立行政法人新エネルギー・産業技術総合開発機構法(平成 14 年法律第 145 号)第 15 条第1項第1号ハ及び第2号に基づき実施する。

(4) その他

産業界が実施する研究開発との間で共同研究を行う等、密接な連携を図ることにより、研究開発を加速

し、円滑な技術移転を促進する。

6. 基本計画の改訂履歴

- (1) 平成13年3月、新エネルギー・産業技術総合開発機構によって制定。
- (2) 平成14年3月、根拠法を「その他の重要事項」へ明記する改訂。
- (3) 平成15年2月、「経済活性化のための研究開発プロジェクト(フォーカス 21)」として位置づけられたことによる改訂。
- (4) 平成15年12月、第2期の研究開発計画内容見直しによる改訂。
- (5) 平成17年12月、第3期の研究開発計画策定による改訂。
- (6) 平成19年3月、研究開発計画内容見直しによる改訂。
- (7) 平成20年3月、研究開発内容と目標の見直しによる改訂。
- (8) 平成20年6月、標準化に関する見直しによる改訂。
- (9) 平成20年7月、イノベーションプログラム基本計画の制定により、「(1) 研究開発の目的」の記載を改訂。
- (10) 平成22年3月、「(3) 研究開発内容」、「(別紙) 研究開発計画、研究開発項目①「新構造極限 CMOS トランジスタ関連技術開発」、研究開発項目②「新探究配線技術開発」、研究開発項目③「特性ばらつきに対し耐性の高いデバイス・プロセス技術開発」」の記載を改訂。

(別紙) 研究開発計画

研究開発項目①「新構造極限 CMOS トランジスタ関連技術開発」

1. 研究開発の必要性

hp32nm を越える技術領域では、微細化を進めることにより CMOS の電流駆動力が低下するため、革新的新技術の導入が必須である。具体的には、MIRAI 第3期前半までに既に開発済みの高移動度チャネル材料技術やひずみ導入による高移動度化技術の利用に加えて、「バリスティック効率」を向上することが求められている。また、微細化に伴う素子構造の縮小化により不純物分布のばらつきが信頼性の点で課題とされているが、不純物への衝突散乱が少ないバリスティック効率の向上は、ばらつきの低減を行うことが可能となり、最終的にはトランジスタ動作の信頼性向上に結びつけることが期待できる。このためにはシリコン MOS トランジスタのソース・ドレインの材料・構造、チャネル材料・構造を制御してバリスティック効率を向上させオン電流を増大させることが強く求められている。

2. 研究開発の具体的内容

hp32nmを越える技術領域における低消費電力・低待機電力CMOSに適した、高電流駆動力・低リーク電流シリコン-ゲルマニウム系CMOS技術の実現に求められるバリスティック効率向上技術を産業界の実用化に向けた取り組みと一体的に開発する。

(1) ソース・ドレイン材料・構造の制御によりCMOSの駆動力を高める技術の開発

① ソース・チャネル界面の電子状態を制御し、キャリア注入速度・キャリア濃度を改善する材料・形成方法・構造を開発する。

② ドレイン・チャネル界面での電子状態を制御しキャリア反射を抑える材料・形成方法・構造を開発する。

(2) キャリア輸送特性を向上してCMOSの駆動力を高める技術の開発

① NMOSとPMOSそれぞれに最適化したチャネルの歪みを制御してキャリア速度を向上するための材料・形成方法・構造を開発する。

② NMOSとPMOSそれぞれに最適化したチャネルの表面・界面ラフネスを改善しキャリア散乱を抑制するための材料・形成方法・構造を開発する。

③ NMOSとPMOSそれぞれに最適化したチャネルとソース・ドレインとの界面付近の不純物分布を最適化しバリスティック効率を向上するための材料・形成方法・構造を開発する。

(3) 微細な低消費電力・高電流駆動力トランジスタによる実証

(1)・(2)で開発した技術を総合的に組み合わせた上で、微細化に伴う短チャネル効果を抑え、低オフリーク電流を実現するために、ゲートの静電支配力の高い構造を持つ超低消費電力トランジスタを作製し低消費電力・高電流駆動力性能実証を行う。

(4) 計測・モデリング技術の開発

① バリスティック効率向上技術関連の計測技術を開発する。

② (3)で開発する低消費電力・高電流駆動力トランジスタのモデリング技術を開発する。

3. 達成目標

最終目標として、平成 22 年度末までに以下の目標を達成する。

新しい材料・構造・プロセスを用いた、hp32nm 以細の技術領域の微細化に耐えうる高性能の LSI 回路を実現するシリコン-ゲルマニウム系 CMOS 技術を提案する。

(1) ソース・ドレイン材料・構造の制御によりCMOSの駆動力を高める技術の開発

ソース・ドレインの材料・構造を制御して、キャリア注入速度・キャリア濃度を向上し、キャリア反射を抑制する科学的な理解に裏付けられた材料・構造・プロセスの設計指針を提案し実証する。

(2) キャリア輸送特性を向上してCMOSの駆動力を高める技術の開発

チャンネルの歪み、表面・界面ラフネス、ソース・ドレインとの界面付近の不純物分布を制御してバリスティック効率を向上する科学的な理解に裏付けられた材料・構造・プロセスの設計指針を提案し実証する。

(3) 微細な低消費電力・高電流駆動力トランジスタによる実証

バリスティック輸送現象が発現する微細ゲート長のシリコン-ゲルマニウム系 MOS トランジスタを作製し、電流のゲート長依存性などからバリスティック効率を導出する。本テーマの開発成果を用いていないトランジスタとの比較で、OFF 電流を揃えた条件で ON 電流が 1.15 倍以上となること、ならびに ON 電流をそろえた条件での消費電力が 80%以下となることを示す。また、開発されたトランジスタ素子特性が、高い再現性で得られることを実用化の観点から示す。

(4) 計測・モデリング技術の開発

トランジスタのバリスティック効率の向上メカニズムを解明できる評価・解析法を確立し、モデル化技術を確立する。

研究開発項目②「新探究配線技術開発」

1. 研究開発の必要性

hp32nm 以細の技術領域においては、従来の低誘電率層間絶縁(Low-k)膜と銅(Cu)配線の多層配線では信号遅延・電磁干渉・消費電力・電流密度などの課題が顕在化し実現が困難となる。微細化に伴う配線表面や結晶粒界における電子散乱により Cu の抵抗率が増大するだけでなく、微細化に伴い Cu ビアに流れる電流密度が限界に達する。これらの問題に対し、従来技術の延長線上には抜本的な解決策が見あたらない。従来技術とは異なる発想に基づく新探究配線技術の研究開発に取り組み、実用化開発に向けての指針を提示することが求められている。

2. 研究開発の具体的内容

hp32nm 以細の技術領域の集積回路に適した配線基盤技術を、産業界の実用化に向けた取り組みと一体的に開発する。

(1) 極限低抵抗・高電流密度配線技術の開発

Cu 配線による微細化の課題である配線およびビア・プラグにおける比抵抗上昇、エレクトロマイグレーションによる信頼性低下を解決し、低消費電力 LSI を実現するため、カーボン材料を使った極限低抵抗・高電流密度配線技術の開発を行う。

- ①LSI 製造プロセスで許容される温度条件でカーボンナノチューブ(CNT)の高密度成長技術を開発する。
- ②LSI 製造プロセスで許容される温度条件で CNT の高速成長技術を開発する。
- ③hp32nm 以細の 300mm ウェハの配線構造へ適用可能性を示すため Low-k 材料を用いた配線プロセスを開発し、抵抗・信頼性・電流密度などの特性が、その世代の Cu 配線材料に対し優位性があることを実証する。
- ④カーボン材料を用いた横配線技術を開発する。

(2) 新コンセプトグローバル配線技術の開発

グローバル配線における高周波数信号の信号遅延、クロックスキュー、シグナルインテグリティー(SI)の問題を解決し、超低消費電力を確立する新コンセプト配線技術である光配線技術を開発する。

- ①低消費電力の電気と光信号を変換するオンチップ電気光変調器および導波路結合型受光器を開発する。
- ②波長多重光回路のための導波路、合分波器、受光、および変調素子の多チャンネル集積形成技術を開発する。必要に応じて光配線内高速信号伝送の評価解析技術を開発する。
- ③外部に置かれた多波長光源とオンチップ光回路の集積技術を開発する。
- ④光クロック・バスの低消費電力動作を確認し、システム性能を実証する。

3. 達成目標

最終目標として、平成 22 年度末までに以下の目標を達成する。

(1) 極限低抵抗・高電流密度配線技術の開発

新材料ビアとして CNT を用いた LSI に適用可能な成長技術を開発し、hp32nm 以細の技術領域で配線構造に求められる金属層の特性を満たし、Cu 材料に対する優位性を実証する。

- ①CNT の成長密度 3×10^{12} 本/cm² 以上を達成する。
- ②ウェハ1枚あたりの CNT ビア・プラグ成長時間 5 分以下を達成する。

③hp32nm の技術領域のプラグ構造に求められる直径 50nm、高さ 200nm において抵抗 $14\ \Omega$ (バリアメタル成分を含んでおり Cu では $15\ \Omega$ と計算される) を実証する。また、ビア構造において電流密度 $1 \times 10^7\ \text{A}/\text{cm}^2$ (ITRS2006 では $8.1 \times 10^5\ \text{A}/\text{cm}^2$ が要求されている) を実現する。

④横方向配線要素技術のための横方向制御、高密度成長 (電気抵抗率 $5\ \mu\ \Omega \cdot \text{cm}$ 以下)、縦横配線の接合技術を確立する。

(2) 新コンセプトグローバル配線技術の開発

光を媒体にした信号伝達・クロック伝達技術を開発する。

①10GHz 以上の周波数において電力遅延積 $4\ \text{pJ}$ 以下の光変調器を開発する。

②小型導波路・合分波器を含む波長多重化のための光回路の過剰損を 10dB 以下に低減する技術を開発する。

③外部光源とオンチップ光回路の集積に用いる結合器技術を開発する。

④①～③の技術を統合して光信号によるデータバス・クロック配信の基本動作を確認する。

光変調器、光検出器、導波路を組み合わせ、10mm 長のグローバル配線を想定した光配線を構成し、データの入出力を実証し、光配線の電力遅延積が $7\ \text{pJ}$ 以下となることを示す。これにより hp32nm 世代の Cu 配線において予想されている電力遅延積 (10mm の配線長のグローバル配線で $3\ \text{pJ}$) よりも光配線の電力遅延積を小さくするための課題を明確にする。

なお、研究開発項目②「新探求配線技術開発」については、産業技術政策動向等を勘案して見直しを行った結果、当該研究開発は平成 21 年度をもって終了することとした。

研究開発項目③「特性ばらつきに対し耐性の高いデバイス・プロセス技術開発」

1. 研究開発の必要性

半導体 LSI では、微細化と共にデバイス特性のばらつきが顕著になってきた。hp45nm を越える技術領域に向けて、特性ばらつきが正常な回路動作の大きな障害になると予想される。この問題に対処するには、半導体材料・プロセスからシステム設計に至る多面的なアプローチが必要である。その中でも、デバイス特性ばらつきの解析・物理的理解・モデリングは製造・設計歩留まりの向上を実現できる共通基盤技術として不可欠なものである。さらに、これらの知見に基づき、半導体材料・プロセス・デバイス面から特性ばらつきに対処する基盤技術開発が求められる。

2. 研究開発の具体的内容

hp45nm を超える技術領域の集積回路の特性ばらつきに対処する技術を、産業界の実用化に向けた取り組みと一体的に開発する。

(1) 構造依存の特性ばらつきの物理的理解とモデリング技術の開発

hp45nm を超える技術領域の LSI の微細化に伴うばらつきに起因する回路誤動作に対処し、製造・設計歩留まりの向上を図る技術として、構造依存の特性ばらつきの物理的理解とモデリング技術の開発を行う。さらに特性ばらつきに耐性の高いトランジスタ構造を提案する。

① デバイス特性ばらつきの評価

経時劣化を含めた特性ばらつき評価に有効な標準 TEG (Test Element Group) を作製し、その TEG を用いて作製したデバイスの電気特性測定により、デバイス特性ばらつきを解析する。

② ばらつきの物理原因解明

①で解析したデバイスの物理計測を行い、特性ばらつきの物理原因を解明する。

③ 特性ばらつきモデリング技術の開発

②で明らかにした特性ばらつきの物理原因を組み込んだデバイス・製造プロセスモデリング技術を開発し、素子・回路・プロセス設計に有効なものとする。

④ 構造依存ばらつきのモデリング技術

③のデバイス・製造プロセスモデリング技術により得られる素子ばらつき特性を近似した高速かつ汎用性の高いデバイスモデル・回路シミュレーション手法を開発し、材料・プロセス・デバイス面から特性ばらつきに起因する回路動作上の課題に対処できるようにする。この際必要になる、

④-1 デバイス電気特性のリバースプロファイリングに基づくコンパクトトランジスタモデル、

④-2 ストレス起因のレイアウトパターン依存性モデル

についても、併せて開発する。

⑤ 特性ばらつきに対して耐性の高いデバイス基盤技術の開発

特性ばらつきに対して耐性の高いデバイスを提案・実証する。

⑥ 計測解析技術の開発

高精度・高速な電気特性測定によるデバイス特性ばらつき解析技術を開発する。また、ばらつき物理原因の計測解析技術を開発する。

(2) 外部擾乱依存の特性ばらつきの物理的理解とモデリング技術の開発

① 中性子線入射による電荷発生に起因する回路誤動作の物理的理解とモデリング技術の開発

中性子線入射による電荷発生によって生じるトランジスタおよび回路の異常動作を解析し、中

性子線入射に対して耐性の高いデバイス・プロセス・回路の設計に有効なモデリング技術を開発する。

②トランジスタノイズに起因する回路誤動作モデリング技術の開発

静電気放電現象(ESD)などの外部ノイズや電源などの内部ノイズによって生じるトランジスタ及び回路動作の異常解析し、それらの擾乱に対して耐性の高いデバイス・プロセス・回路設計に有効なモデリング技術を開発する。

3. 達成目標

最終目標として、平成 22 年度末までに以下の目標を達成する。

(1) 構造依存の特性ばらつきの物理的理解とモデリング技術の開発

①デバイス特性ばらつきの評価

hp65nm 標準 TEG の電気特性測定によりデバイス特性ばらつきと経時変化のデバイスパラメータ(ゲート長、ゲート幅等)および材料・プロセス(hp45nm でのゲート電極材料と high-k 絶縁膜を含む)への依存性を定量的に明らかにする。

②ばらつきの物理原因解明

①で解析したTEG中のデバイスについて、デバイスサイズ・形状・構造・組成・不純物分布・ラフネス・欠陥準位密度等、および、電圧ストレス等に依存する経時変化の解析を行うことにより、ばらつきとその経時変化の物理原因を定量的に明らかにする。

③特性ばらつきモデリング技術の開発

②で定量的に明らかにしたばらつきとその経時変化の物理原因を組み込んだデバイス・製造プロセスモデリング技術(TCAD)を開発し、材料・プロセス・デバイスパラメータを変化させて作製したTEG解析によるデバイス特性とその経時変化のばらつき実測データを±10%の精度で再現できるようにする。またこれを用いて、不純物以外のばらつき要因を明確にし、それらによるばらつきを20%以上低減する指針を得る。さらに、この技術を用いて hp32nm のシリコン CMOS のばらつき予測を示す。

④構造依存ばらつきのモデリング技術

③のデバイス・製造プロセスモデリング技術により得られる素子ばらつき特性を近似した高速かつ汎用性の高いデバイスモデル・回路シミュレーション手法を開発し、材料・プロセス・デバイス面から特性ばらつきを考慮した回路設計を可能とする。

④-1 トランジスタ電気特性からのリバースプロファイリングに基づいた、非物理的なフィッティングパラメータを含まないコンパクトトランジスタモデルを開発し、TCAD に対してしきい値電圧 V_{th} が±20mV、オン電流 I_{on} が±5%の精度で予測可能なことを示す。

④-2 ストレス起因のレイアウトパターン依存性モデリングを提案し、その I_{on} の変動予測を±5%、 V_{th} の変動予測を±20mV の精度で行うことが可能なモデルを開発する。

なお、「④-2 ストレス起因のレイアウトパターン依存モデル」については、目標を達成したため、当該研究は平成 21 年度をもって終了する。

⑤特性ばらつきに対して耐性の高いデバイス基盤技術の開発

特性ばらつきに対して耐性の高いデバイス構造を提案し、その基本特性と課題を明確化することにより、微細化に伴う特性ばらつきの増大に対応できる hp32nm 以細の技術領域のトランジスタ技術基盤を開発する。

⑥計測解析技術の開発

①、②の計測・解析に必要な技術を確立する。

(2) 外部擾乱依存の特性ばらつきの物理的理解とモデリング技術の開発

① 中性子線入射による電荷発生に起因する回路誤動作の物理的理解とモデリング技術の開発

回路・チップレベルでのエラーレートの評価技術を開発し、その発生メカニズムを明確にした上で物理モデルを構築する。また、hp32nm 以細でのシリコン CMOS における影響予測を示す。さらに、エラーレートが 1~10 FIT 以下となる設計指針を確立する。

② トランジスタノイズに起因する回路誤動作モデリング技術の開発

ESD の外部擾乱依存の特性ばらつきに対してメカニズムを明確にした上で物理モデルを提案し設計指針を確立し、破壊現象のメカニズム解明と静電耐圧の規格 (JEDEC におけるクラス 4:1000V) を満たす解決策を提示しその有用性を示す。

研究開発項目④「次世代マスク基盤技術開発」

1. 研究開発の必要性

hp32nm 以細のリソグラフィは、EUV 光源を用いる EUV リソグラフィ(EUVL)技術が最有力候補であり、反射型の光学系、EUVL マスクが必要になるが、EUVL マスク関連の総合的技術開発は行われていない。

EUVL 用マスクは、低熱膨張率基板上に、異なる2種類の材料を1層あたり1/4波長の厚さで交互に数10層積層した多層膜からなるブランクスと、その上に形成された吸収体パターンによって構成される反射型マスクである。即ち、従来のフォトマスクとは異なる構造および原理によるものであり、従って、EUVL マスク専用の技術開発が必要である。

本プロジェクトでは、EUVL マスクの製作工程から露光工程に至る基盤技術の開発を行う。即ち、マスクブランクス欠陥解析・評価技術、コンタミネーション抑制技術、マスクパターンの欠陥検査・修正技術、EUVL マスクの搬送・保管技術を開発する。

2. 研究開発の具体的内容

(1) 高精度・低欠陥 EUVL マスクおよびブランクス技術の開発

① EUV 光を用いたマスクおよびブランクス検査・解析技術の開発

6インチブランクス全域にわたり、EUV 光によって位相欠陥を検出する技術、およびマスク上のパターン形状、位相欠陥、プロセス誘起欠陥、コンタミネーション起因欠陥等を EUV 光により解析・評価する技術を開発する。

② EUVL マスクおよびブランクス高品位化技術の開発

ブランクス位相欠陥検査、および高性能 EUV 露光装置によるマスク転写性評価を通じ、ブランクスやマスクの材料・構造・作製プロセスを最適化することによって、高品位マスク技術を確立する。

③ EUVL マスクコンタミネーション制御技術の開発

真空中に残存する水分や hidrocarbon に起因するコンタミネーションによって引き起こされる反射率低下を抑制する技術を開発する。また、コンタミネーションの除去技術を開発する。

(2) EUVL マスクパターン欠陥検査技術および欠陥修正技術の開発

① EUVL マスクパターン欠陥検査技術の開発

従来のフォトマスク欠陥検査技術を改変・高度化することにより、hp45nm 微細加工技術に対応する EUVL マスク欠陥検査技術を開発する。hp32nm 微細加工技術に対しては、前記 hp45nm に対応する開発技術の高度化、あるいは電子ビーム技術等、新たな技術の開発により対応することを検討する。

② EUVL マスクパターン欠陥修正技術の開発

多層膜へのダメージ抑制と修正精度の二つの視点から、集束イオンビーム方式、電子ビーム方式、メカニカル方式など複数の候補技術を比較・検討し、最適な方式を見極めて、hp45nm～hp32nm 微細加工技術に対応できる欠陥修正技術を開発する。

(3) ペリクルレス EUVL マスクハンドリング技術の開発

① EUVL マスクの異物フリー搬送・保管技術の開発

マスクを格納・保持するキャリア、露光装置内でのキャリア搬送、キャリアからのマスクの着脱、キャリア洗浄などについて評価・解析を行い、最適な搬送・保管方式を見極め、異物フリー搬送・保管技

術を確立する。

② ウェハファブ内 EUVL マスク異物検査技術およびクリーニング技術の開発

ウェハファブ内でマスク上の異物を検査する技術、および検出された異物をクリーニングする技術を開発する。

3. 達成目標

中間目標として、平成 20 年度末までに以下の目標を達成する。

- (1) hp45nm 微細加工技術に対応する EUVL マスクの許容欠陥の指標、およびブランクスの位相欠陥検査技術を確立する。
- (2) EUVL マスクパターン欠陥検査技術については、hp45nm の EUVL マスクに必要な欠陥検出感度を、Die-to-Die 検査方式において達成する。EUVL マスクパターン欠陥修正技術については、hp45nm 微細加工技術に対応する EUVL マスクに対して最適な方式の絞込みを行う。
- (3) hp45nm 微細加工技術において要求されるレベルに対して最適な EUVL マスク搬送・保管方式を明らかにする。

最終目標として、平成 22 年度末までに以下の目標を達成する。

- (1) hp32nm 微細加工技術に対応する EUVL マスクの許容欠陥の指標、および EUVL マスクブランクス位相欠陥検査技術を確立する。
- (2) EUVL マスクパターン欠陥検査技術については、hp45nm 微細加工技術に対応する EUVL マスクに必要な欠陥検出感度を Die-to-Database 検査方式において実現すると共に、hp32nm 微細加工技術への要求感度達成に目処をつける。EUVL マスクパターン欠陥修正技術については、hp45nm の EUVL マスクに必要な修正精度を達成する。また、hp32nm 微細加工技術への要求精度達成への目処をつける。
- (3) hp32nm 微細加工技術において要求されるレベルの EUVL マスク搬送・保管技術およびファブ内検査・クリーニング技術を確立する。

研究開発項目⑤「EUV 光源高信頼化技術開発」

1. 研究開発の必要性

hp32nm 以細のリソグラフィは、EUV 光源を用いる EUV リソグラフィ(EUVL)技術が最有力候補であり、反射型の光学系、EUVL マスクおよび信頼性の高い高出力 EUV 光源が必要になる。量産機用光源としては中間集光点で 180W 以上が求められており、このため、EUV 光源に起因する物質の露光光学系側への伝搬、拡散によるマスク、ミラーの汚染や損傷などを抑制する光源の信頼性確保が EUV 光源の高出力化に伴う新たな技術課題となっている。従って、EUV 光源起因物質によるマスク、ミラー汚染評価技術、発光点よりマスク位置までの光路上の構成部材の清浄化技術等の光源高信頼化技術の開発が必要である。

本プロジェクトでは、EUV 光源起因の汚染物質に対するマスク、ミラーへの影響評価技術の開発を行い、併せて、集光光学系などにおける汚染物質の拡散・流出防止技術等の清浄化技術、マスク、ミラー汚染低減技術を開発する。

2. 研究開発の具体的内容

(1) 光源起因マスク、ミラーの汚染評価技術の開発

光源側より発生する燃料デブリや除去用ガス等による露光光学系側のマスク、ミラーへの影響を評価する技術について、ミラー反射率測定や各種の表面分析手法等を駆使して開発し、評価を行う。

(2) 集光光学系などの清浄化技術の開発

マスク、ミラーへの汚染抑制対策としての汚染源となる燃料デブリ等の拡散・流出防止技術、燃料回収技術とともに、集光系構成部材等の熱管理技術の開発を行う。

3. 達成目標

EUV光源に関しては、平成21年度までに、中間集光点で100W以上の出力を持つレーザー励起プラズマ(LPP)と放電励起プラズマ(DPP)の2方式のEUV光源に対する高信頼化技術の適用性能を比較、評価し、マスク、ミラー汚染に対して最も有効な光源方式を見極めたうえで、選択と集中を行う。

また、最終目標として、平成22年度末までに以下の目標を達成する。

(1) 中間集光点で 180W の出力光源を1年間動作させた場合においても、マスクあるいはミラーの最大反射率低下が 10%以下となる汚染量を明示できる評価技術を開発し、その有効性を示す。

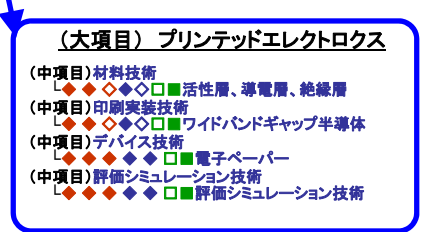
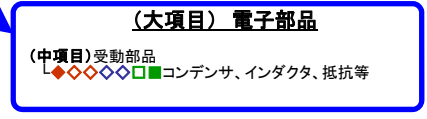
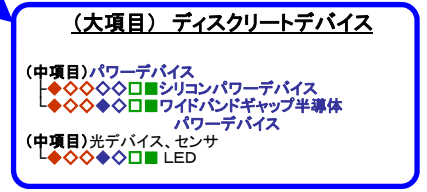
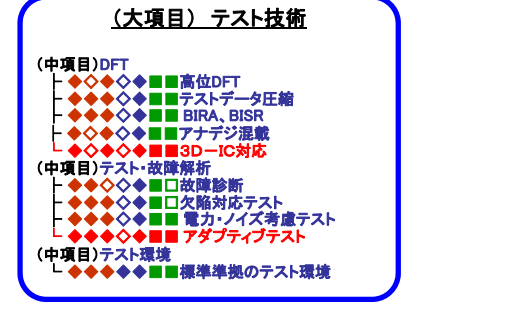
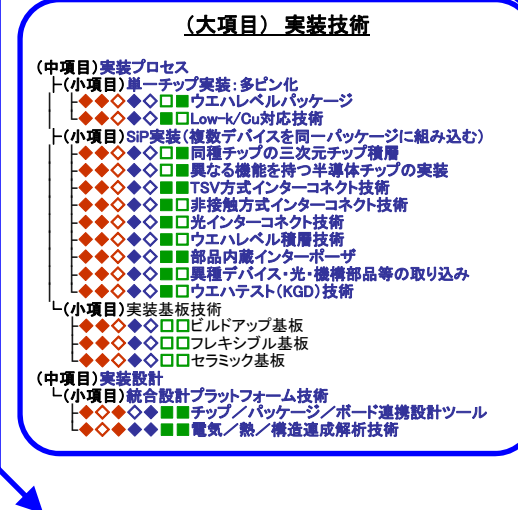
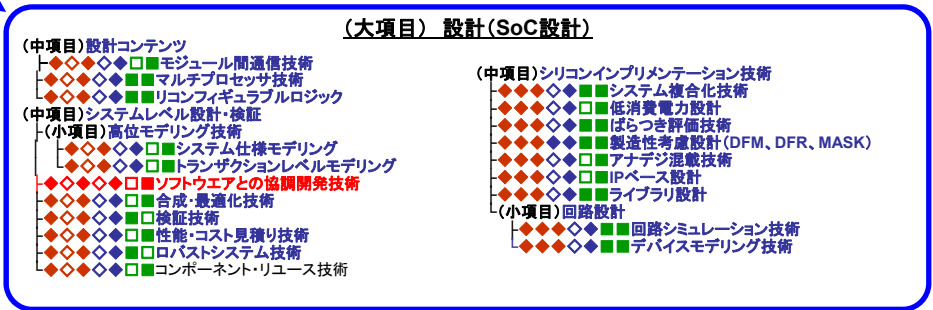
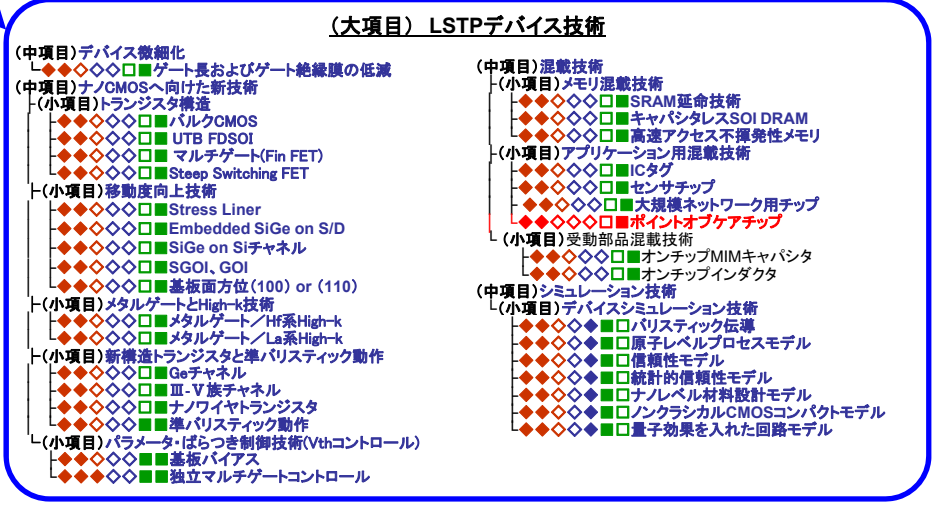
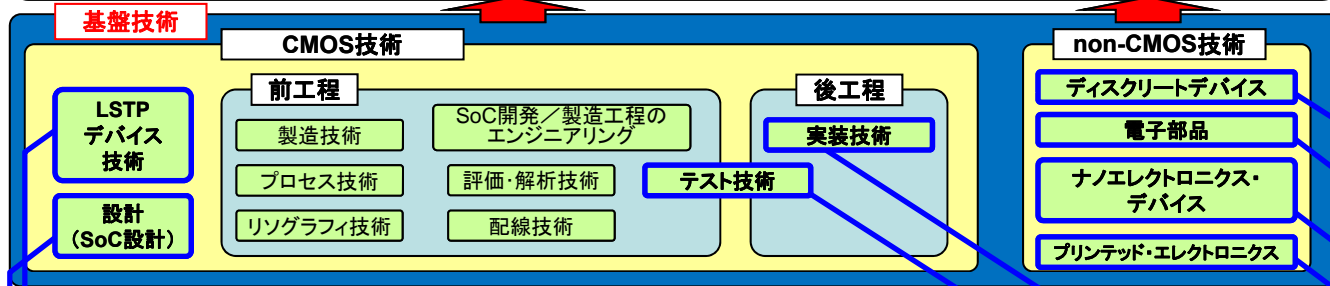
(2) 中間集光点で 180W の出力光源に対して、(1)に示すような汚染量抑制を実現できる高信頼化技術を開発する。

半導体分野の技術マップ (1/2)

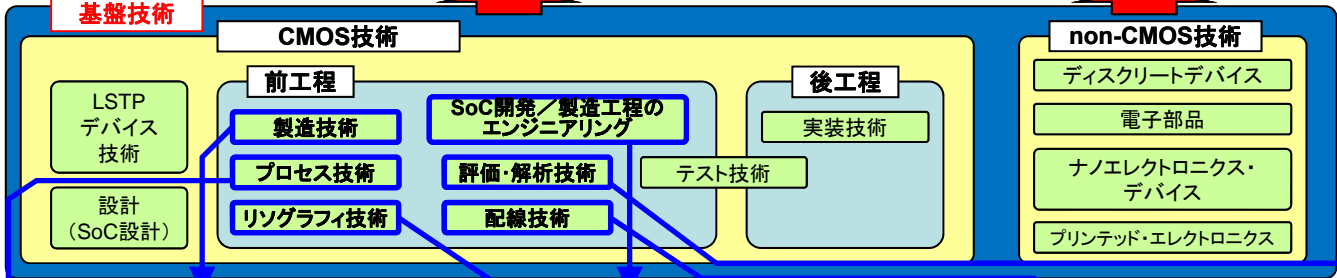


記号の説明						
IDM	ファブドリ メーカ	ファブレス メーカ	装置・材 料メーカ	ソフトベン ダ	半導体の 安全・信 頼性に係 わる技術	省エネに 係わる技 術
◆	◆	◆	◆	◆	■	■

※ 該当しないものを「白抜き」で示す。
 ※ ロードマップに記載する技術を「青字」で示す。
 ※ 「半導体の安全・信頼性に係わる技術」は、半導体製造における安全技術、半導体の信頼性を高める技術、歩留りを高める技術。
 ※ 「省エネに係わる技術」は、半導体の微細化技術、高集積化技術、半導体製造の高効率化技術。

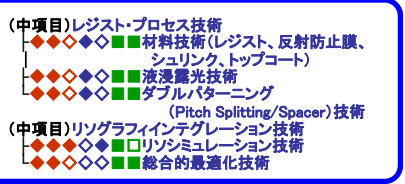
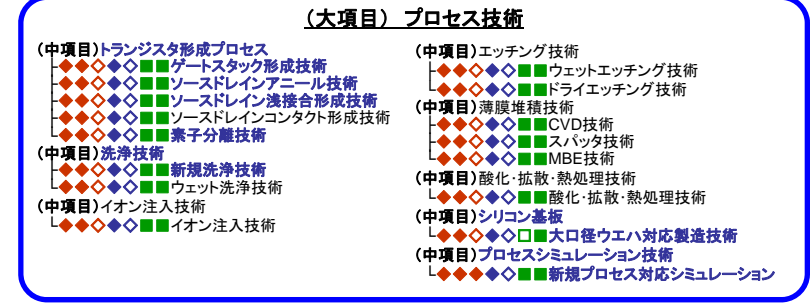
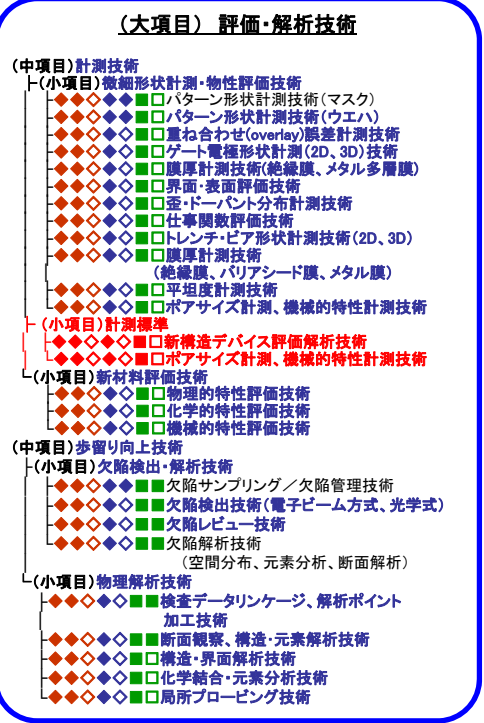
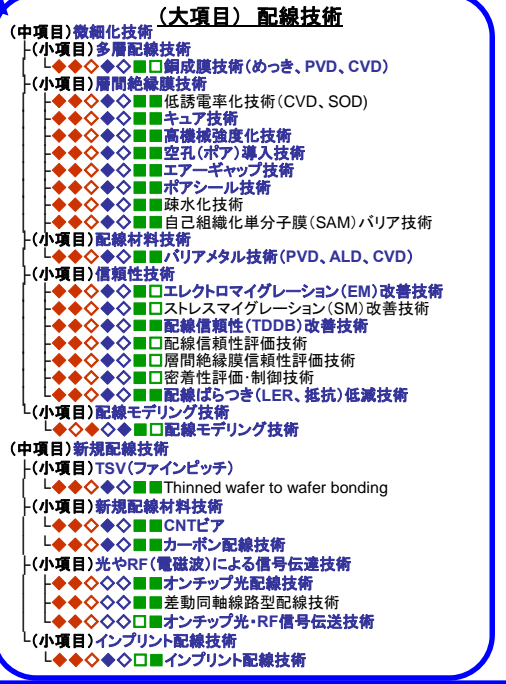
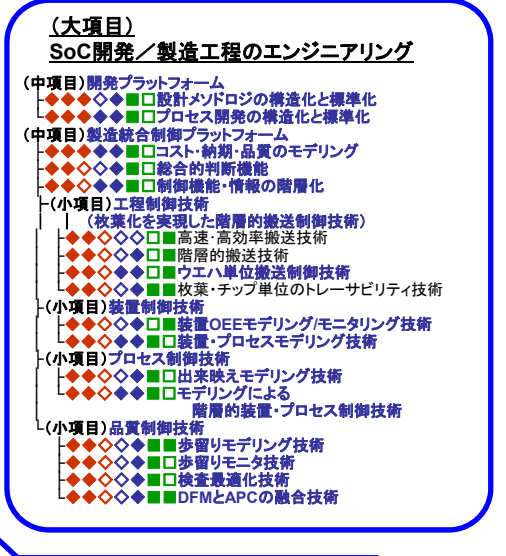
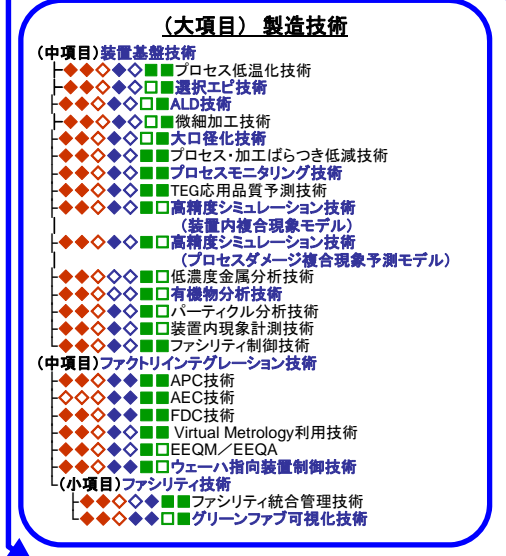


半導体分野の技術マップ (2/2)



記号の説明						
IDM	ファブドリ メーカ	ファブレス メーカ	装置・材 料メーカ	ソフトベン ダ	半導体の 安全・信 頼性に係 わる技術	省エネに 係わる技 術
◆	◆	◆	◆	◆	■	■

※ 該当しないものを「白抜き」で示す。
 ※ ロードマップに記載する技術を「青字」で示す。
 ※ 「半導体の安全・信頼性に係わる技術」は、半導体製造における安全技術、半導体の信頼性を高める技術、歩留りを高める技術。
 ※ 「省エネに係わる技術」は、半導体の微細化技術、高集積化技術、半導体製造の高効率化技術。



2. 分科会における説明資料

次ページより、プロジェクト推進・実施者が、分科会においてプロジェクトを説明する際に使用した資料を示す。

次世代半導体材料・プロセス基盤技術開発 (MIRAI)プロジェクト事後評価分科会

プロジェクトの概要説明資料(公開)

プロジェクト第1～3期全体概要(公開)

(プロジェクト期間 平成13年度～平成22年度、10年間)

平成23年4月14日

新エネルギー・産業技術総合開発機構(NEDO)
電子・材料・ナノテクノロジー部

事業の背景・目的

公開

情報通信産業の重要性

- ◆情報通信産業の発展 → 豊かで活力ある社会の構築
→ 日本経済の持続的発展
- ◆国家的重点分野
第2期科学技術基本計画(2001年3月閣議決定)
→ 高度情報通信社会の構築と情報・ハイテク産業の拡大
分野別推進戦略(2001年3月総合科学技術会議)

情報通信機器のニーズ

- ◆パーソナル化、モバイル化、ユビキタス化
→ 小型化、低消費電力化、高機能化、高性能化

半導体産業の課題

- ◆技術的障壁の克服 ← デバイスの機能・性能高度化のニーズ
- ◆国際競争力の向上

国内半導体産業10年の動向

- ◆合従連衡、ファブライタ化などが進むも、半導体、SoC市場は増大
- ◆デバイス微細化技術の追求は、依然としてビジネス上の重要課題

- ◆半導体デバイスの機能・性能の向上
- ◆国家資金による次世代半導体技術開発

NEDOが関与することの意義

公開



半導体産業の特徴

- ◆3年で2倍の高集積化 → 基礎研究から量産化・製品開発段階までの同時並行的な技術開発が必要
- ◆技術課題の難度と所要開発資源が増大
- ◆技術課題の難度増大 → 科学的知見の活用とそれを産業技術へ繋げるサイエンスとエンジニアリングの融合一体の取り組みが必要

半導体および関連産業の国際競争力強化

- ◆最先端半導体材料・プロセス技術 → 高機能システムLSI等
- ◆関連産業技術(半導体製造装置・材料等)の高度化促進

新規産業創出への波及

- ◆広範な産業分野(家電、自動車、モバイル等)で、高付加価値新製品開発
- ◆新興成長分野(バイオ、MEMS、NEMS、ナノテク等)の技術的原動力

- ◆民間企業のみでは十分な対応が困難
- ◆産学官の英知の結集が必要
- ◆産業政策・情報政策上の重要課題

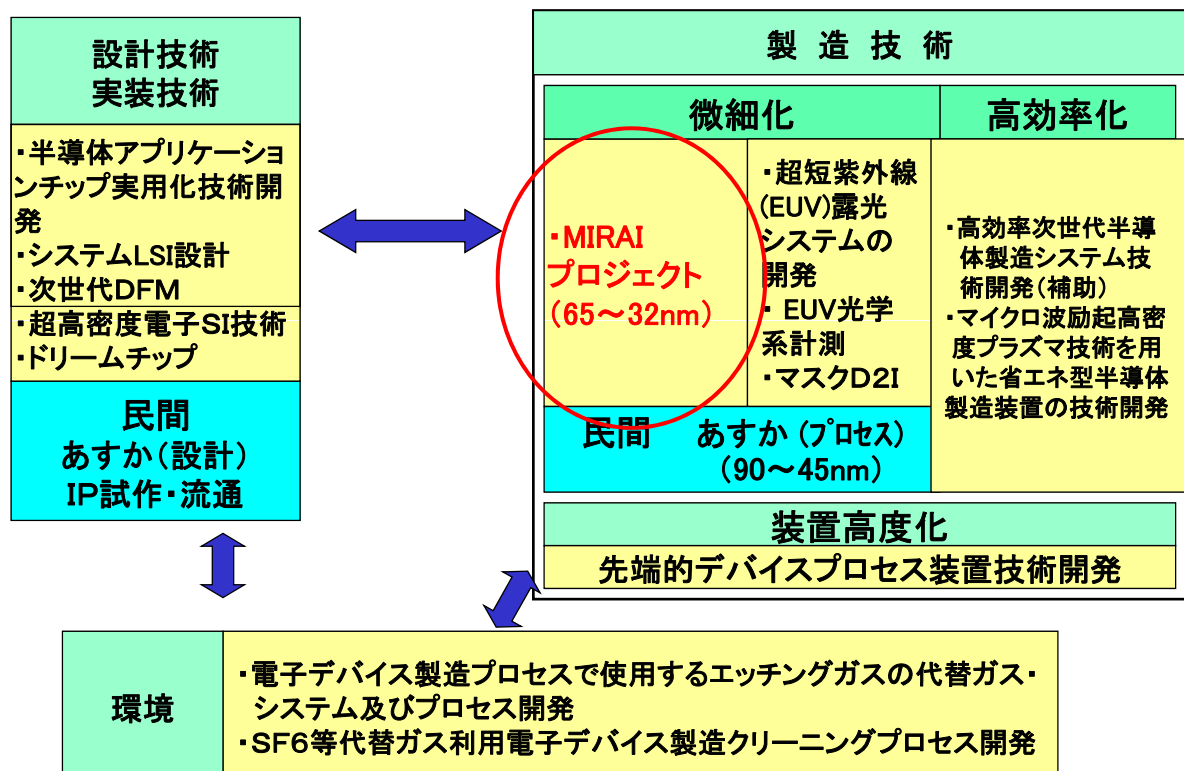
3

事業の位置付け-関連NEDOプロジェクト

公開



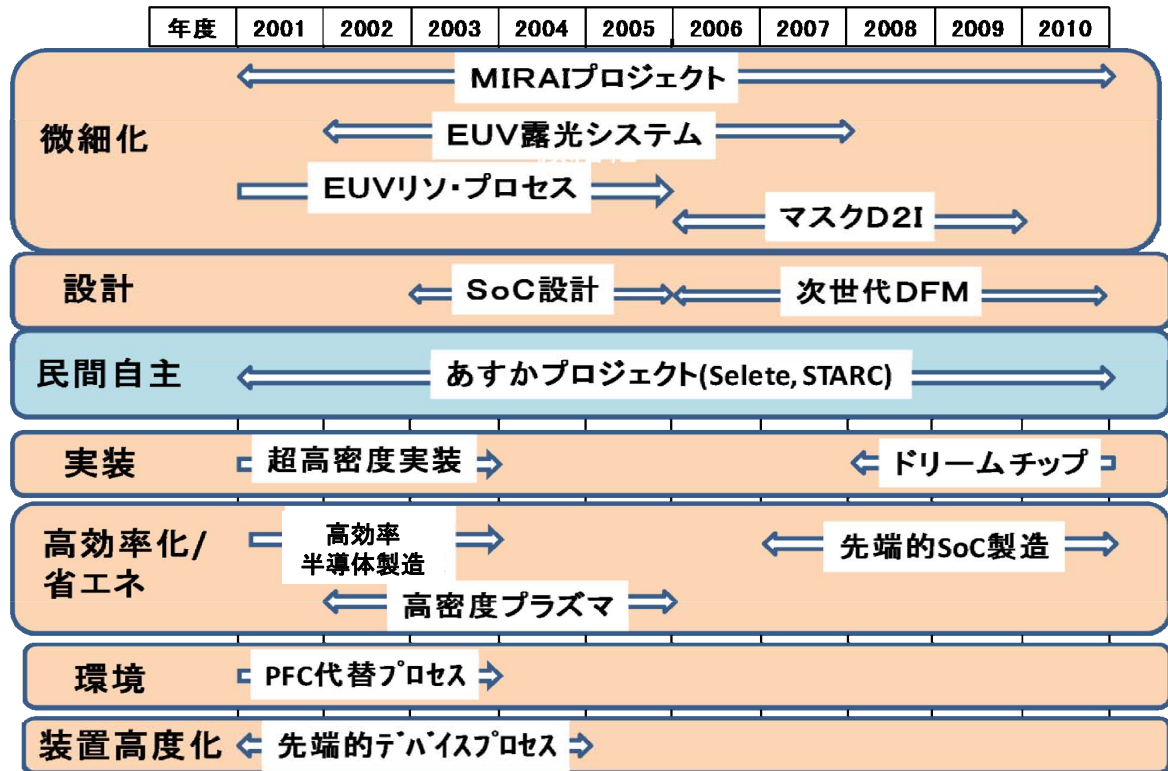
半導体関係技術開発の構成



4

事業の位置付け-関連NEDOプロジェクト

公開



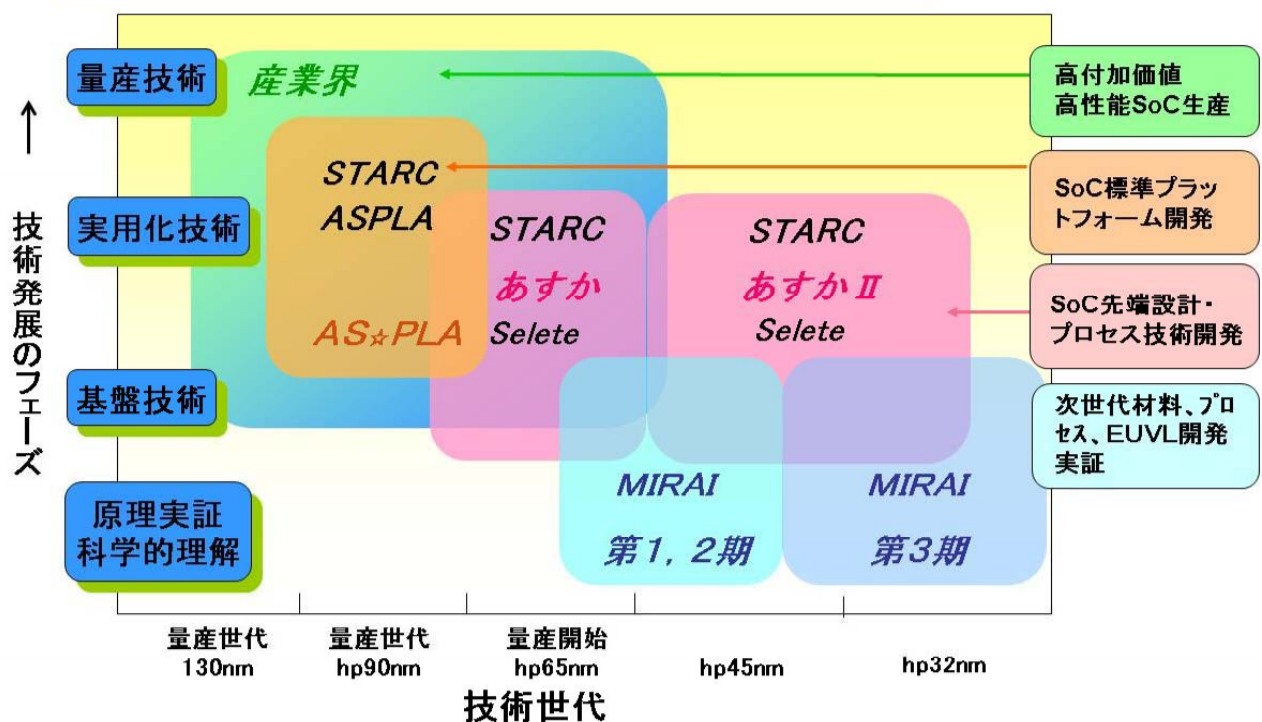
5

事業の位置付け-産業界との仕分け

公開



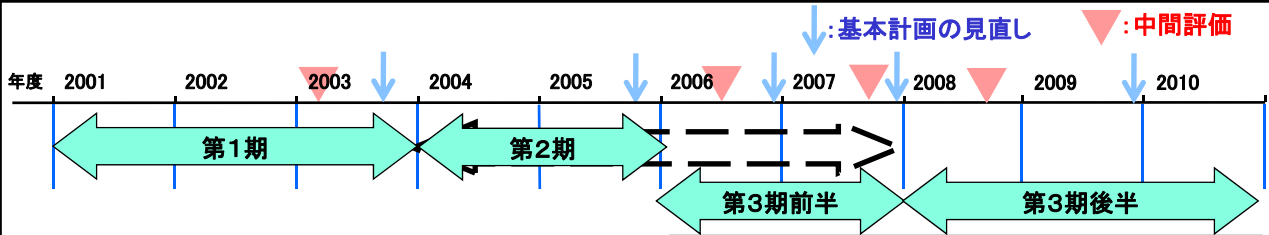
MIRAI(1~3期)とSoC技術開発産官プロジェクトのマッピング



6

MIRAI第1, 2, 3期の全体概要

公開



第1期基本計画 (2001.3)

2003年度に70nm、2007年度に50nm以細の技術課題を解決。

第2期基本計画 (2003.12)

2007年度にまでに45nm以細の技術課題を解決。関連するコンソーシアム、参加企業の協力を得てインテグレーション課題の抽出とその解決を図ることにより、産業界への速やかな技術移転。

第3期 基本計画 (2005.12)

- I. 次世代半導体材料・プロセス基盤技術開発
hp45nmを超える技術領域の課題を解決する基盤技術を開発し、デバイス・プロセス技術選択肢を提示。
- II. 次世代半導体露光プロセス基盤技術開発
EUVマスク基盤技術を開発し、2008年度にhp45nm、2010年度にhp32nmに対応する技術を確立。2008年度より、EUV光源高信頼化技術開発を追加。

プロジェクトリーダー 廣瀬全孝(産総研)

第1期、第2期の研究開発項目

- ①高誘電率(high-k)ゲート絶縁膜材料
- ②低誘電率(low-k)層間絶縁膜材料
- ③将来のデバイスプロセス基盤技術
 - (1) 新構造トランジスタ技術
 - (2) リソ・マスク計測技術
 - (3) 回路構成技術

プロジェクトリーダー 渡辺久恒(Selete)

第3期の研究開発項目

- ①新構造極限CMOS関連技術開発
- ②新探究配線技術開発
- ③特性ばらつきに対し耐性の高いデバイス・プロセス技術開発
- ④次世代マスク基盤技術開発
- ⑤EUV光源高信頼化技術開発(第3期後半)

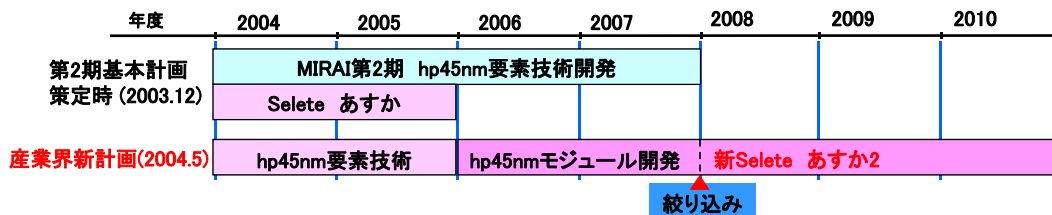
第2期の繰り上げ終了と第3期の新設

公開



プロジェクトを取り巻く状況の変化

◆ 産業界の共同コンソーシアム活動計画 (第2次SNCC報告2004.5)



産業界で hp45nmの材料・プロセス技術の選定が行われる2007年までに、MIRAIで開発した要素技術をFEP及びBEPモジュールまで仕上げる必要がある。一方で、極限微細化技術は引き続き重要な課題。

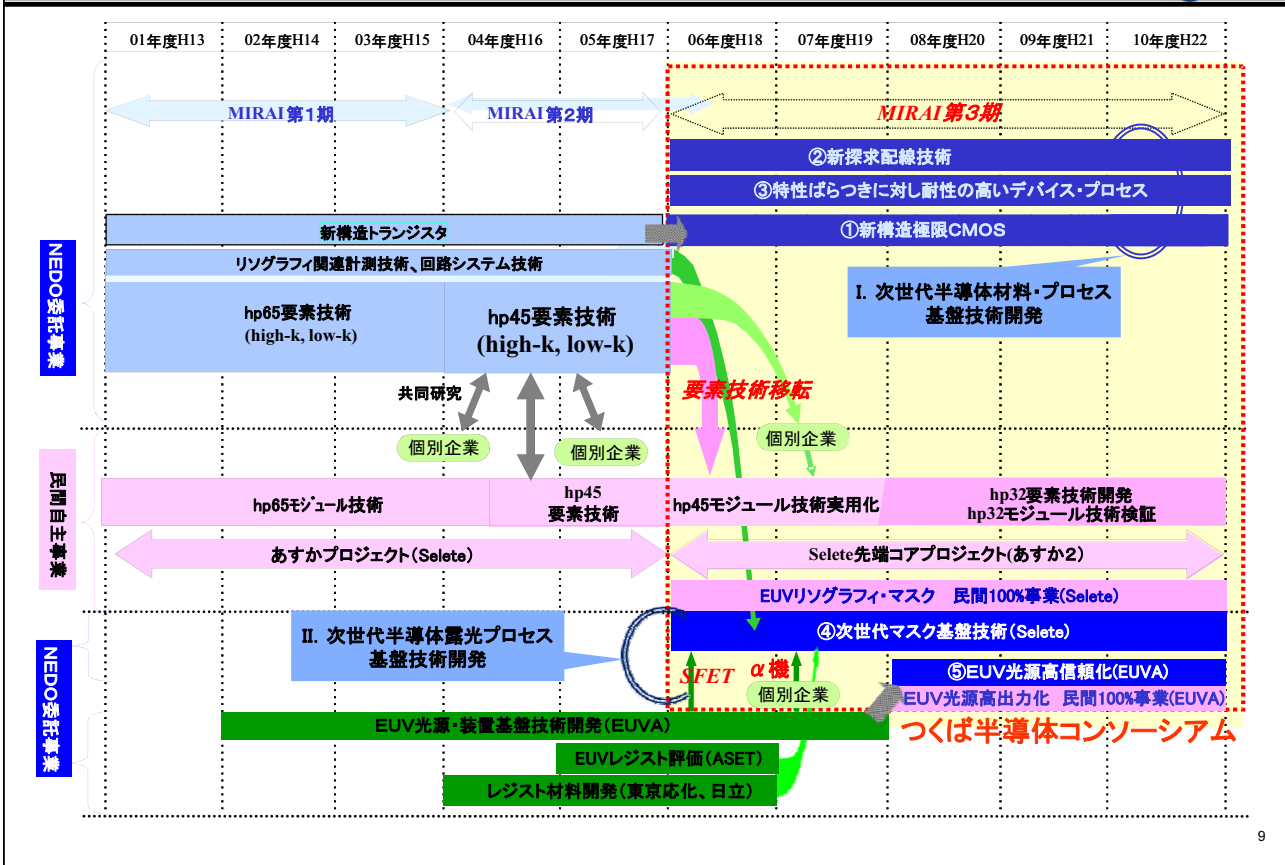
対処方針

- (1) MIRAIプロジェクトのhp45nm関連の要素技術の成果を、2005年度末にSelete等に移転し、モジュール開発を一元的に実施する。
- (2) 2006年度以降、極限微細化技術や新構造CMOS開発などの先端的基盤技術開発を中心に行う。
- (3) hp45nm以細での実用化を図るために、EUVリソ・マスク関連の技術開発を、早期に立ち上げる。
(EUV光源、光学系などは、NEDOの別プロジェクトで実施)

- ◆ MIRAI第2期は2005年度に繰り上げ終了する。
- ◆ 2006年度以降の研究開発課題を検討し、MIRAI第3期基本計画を策定する。

開発テーマ相関図

公開

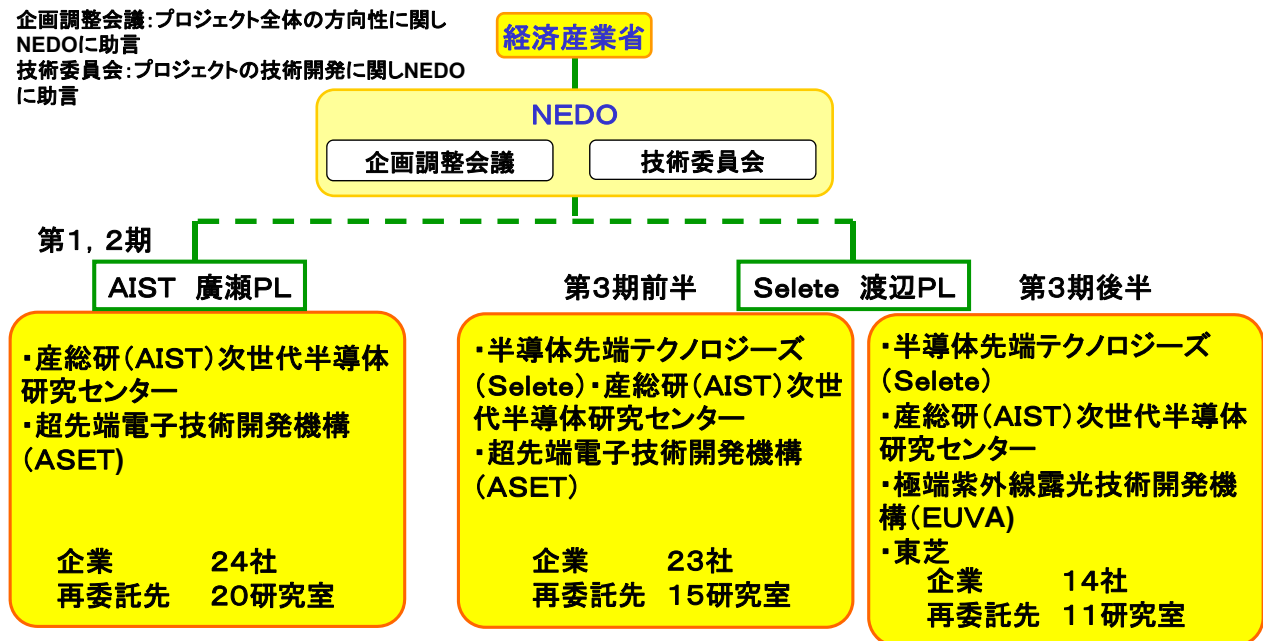


研究開発体制と予算推移

公開



企画調整会議:プロジェクト全体の方向性に関し
NEDOに助言
技術委員会:プロジェクトの技術開発に関しNEDO
に助言

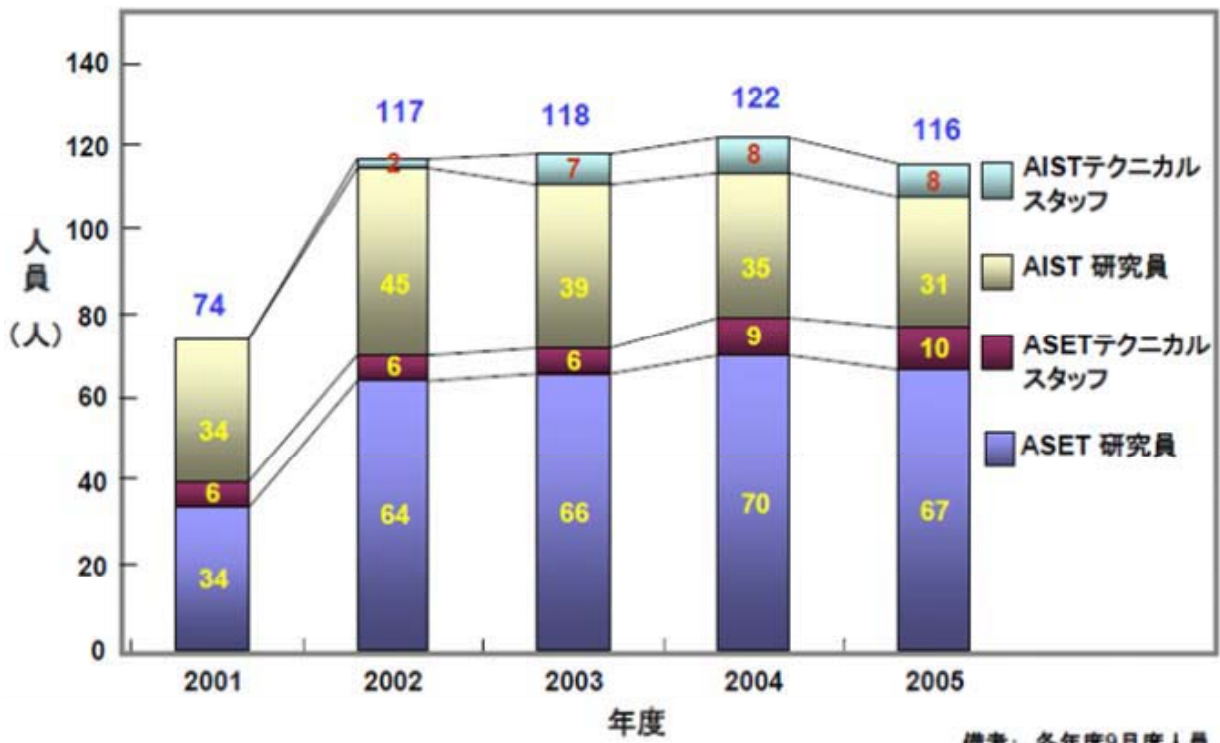


予算推移 (百万円)

年度	2001	2002	2003	2004	2005	2006	2007	2008	2009	2010	総額
総予算額	3,442	6,023	4,317	4,314	4,335	6,331	5,035	4,753	4,340	2,625	46,515
	13,782		8,649		11,366		11,718				

第1, 2期研究者、スタッフ人数

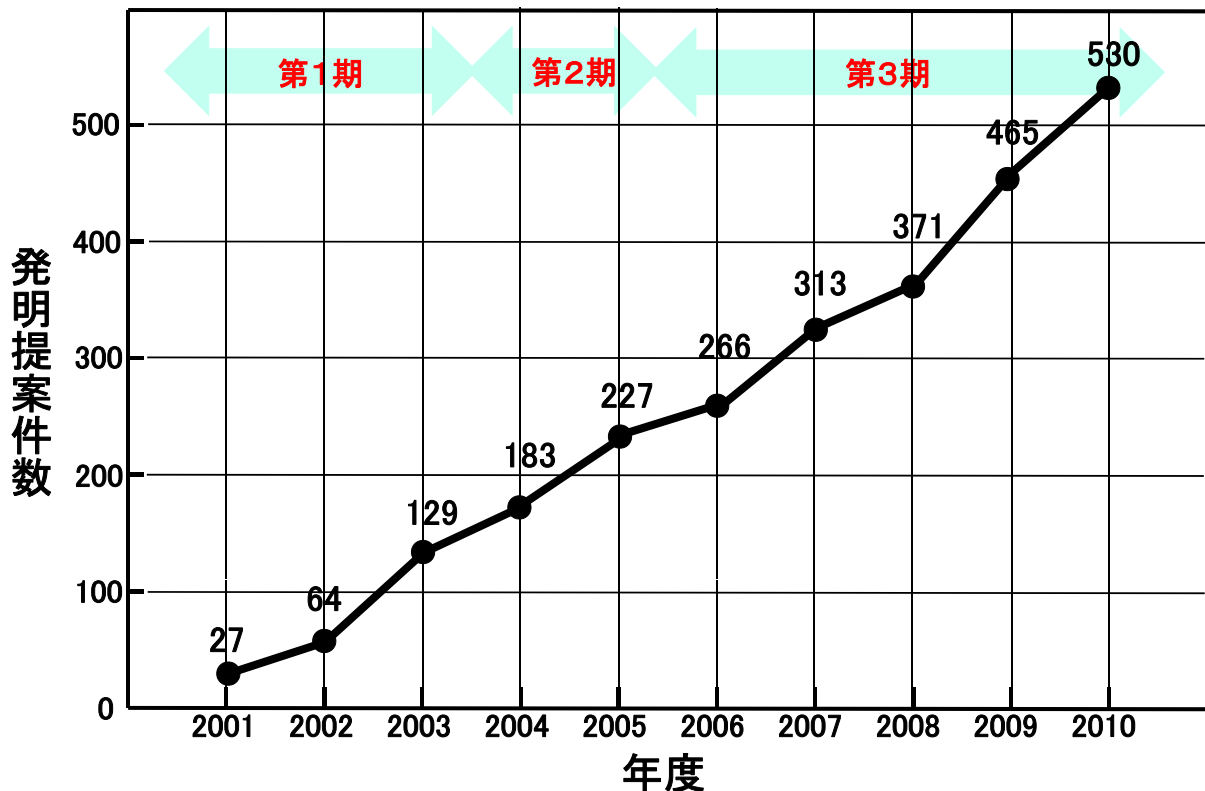
公開



備考: 各年度9月度人員

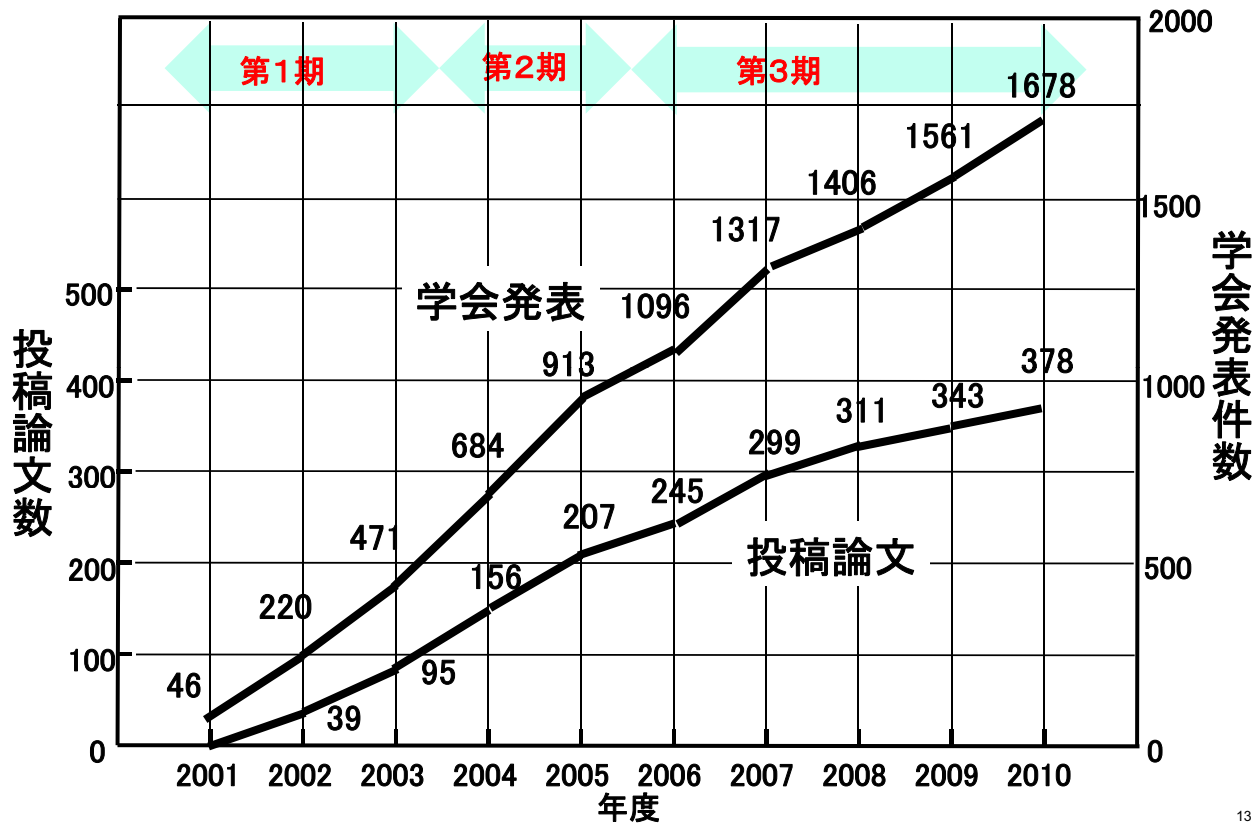
第1-3期発明提案推移

公開



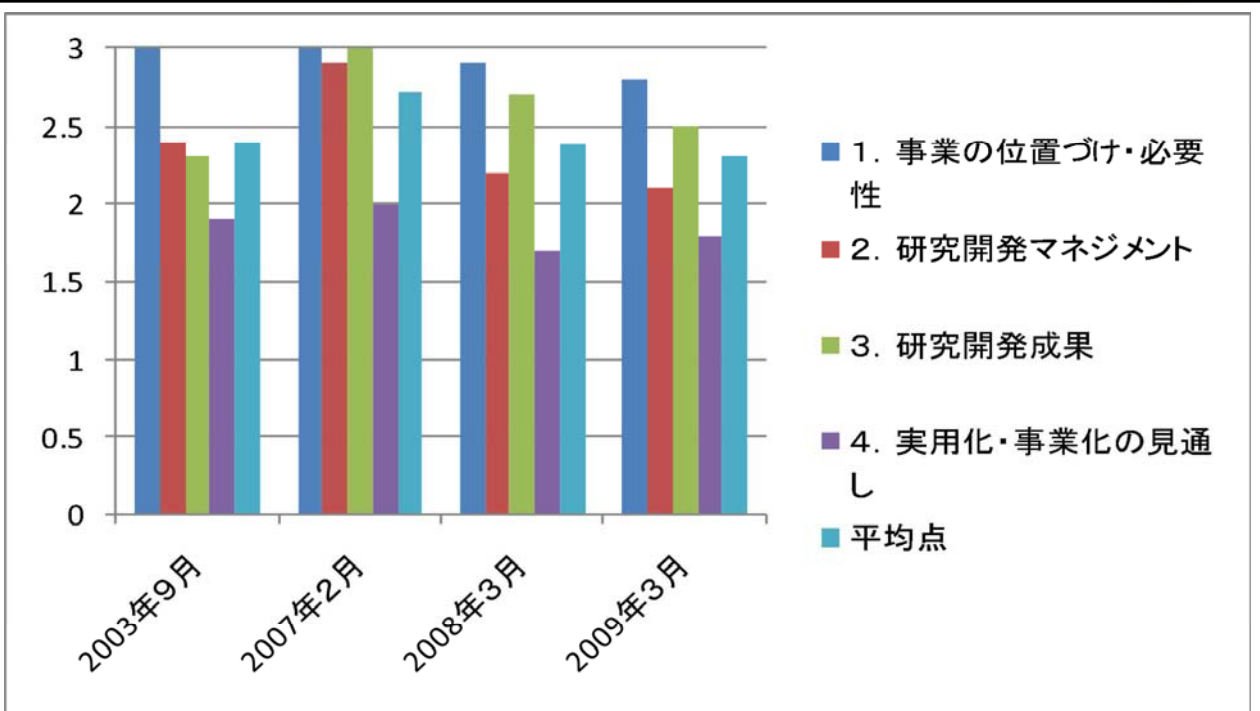
第1-3期学会発表・投稿論文推移

公開



これまでの中間評価結果

公開



注1 2003年9月:第1期、2007年2月:第2期、2008年3月:第3期前半①極限CMOS, ②配線、③特性ばらつき、2009年3月:第3期前半④EUVマスク

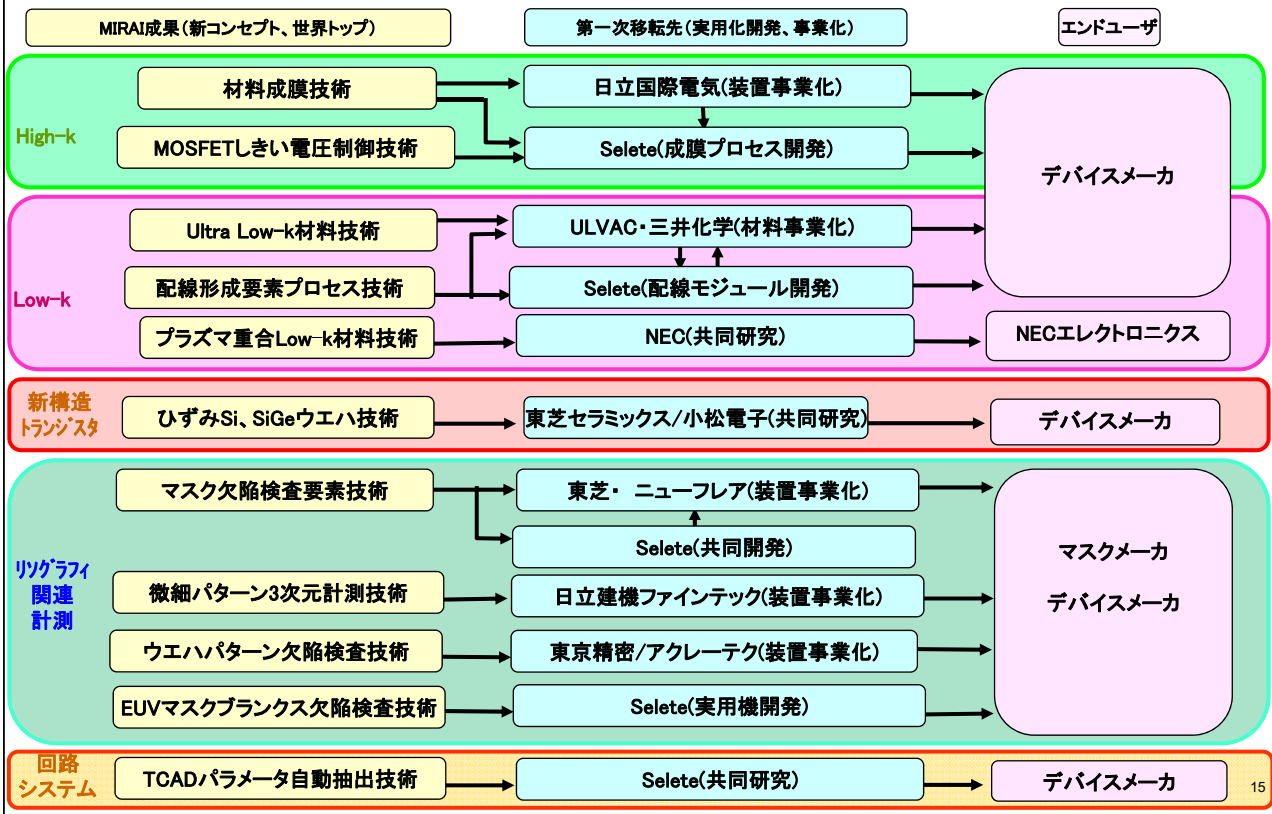
注2 平均点1.5が合格最低ライン

第1, 2期開発成果の産業界への技術移転

公開



● 業界トップを走るデバイスメーカーの開発実用化スケジュールに合わせた研究開発



次世代半導体材料・プロセス基盤 (MIRAI)プロジェクト(事後評価)

プロジェクト第3期の概要(公開)

- I. 事業の位置付け・必要性
- II. 研究開発マネジメント

平成23年4月14日(木)

新エネルギー・産業技術総合開発機構(NEDO)
電子・材料・ナノテクノロジー部

16

I. 事業の位置付け・必要性

公開

政策上の位置付け

事業原簿p I-1

経済産業省 研究開発プログラム「ITイノベーションプログラム」、
「エネルギーイノベーションプログラム」の1テーマとして実施

政策
全体
目標

第3期科学技術
基本計画

- 継続的イノベーションを具現化するための科学技術の研究開発基盤の実現
- 革新的IT技術による産業の持続的な発展の実現
- すべての国民がITの恩恵を実感できる社会の実現

IT新改革戦略

- いつでも、どこでも、誰でもITの恩恵を実感できる社会の実現

ITイノベーション
プログラム

エネルギーイノベーション
プログラム

- 目的
- ・情報通信機器・デバイス等の情報通信技術を開発し、実社会への利用を促進する。
 - ・ITの利活用の進化・拡大を図り、より豊かな国民生活を実現するとともに、我が国の経済活力の向上を図る。

- 目的
- ・革新的なエネルギー技術の開発、導入・普及によって、各国に先んじて次世代型のエネルギー利用社会の構築に取り組む。
 - ・政府が長期を見据えた将来の技術進展の方向性を示し、官民双方がこの方向性を共有することで、官民において長期にわたり軸のぶれない取組を実施する。

[プロジェクト]

- I. ITコア技術の革新
 - [i] 世界最先端デバイスの先導開発
 - (1) 次世代半導体材料・プロセス基盤プロジェクト(MIRAI)
 - (2) 次世代低消費電力半導体基盤技術開発(MIRAI)
 - (3) ドリームチップ開発プロジェクト
 - (4) 次世代プロセスフレンドリー設計技術開発
 -

[プロジェクト]

- I. 総合エネルギー効率の向上
 - [vi] 次世代省エネデバイス技術
 - (1) パワーエレクトロニクスインバータ基盤技術開発
 - (2) ナノエレクトロニクス半導体新材料・新構造技術開発
 - (3) 次世代低消費電力半導体基盤技術開発(MIRAI)
 - (4) 半導体アプリケーションチッププロジェクト
 -

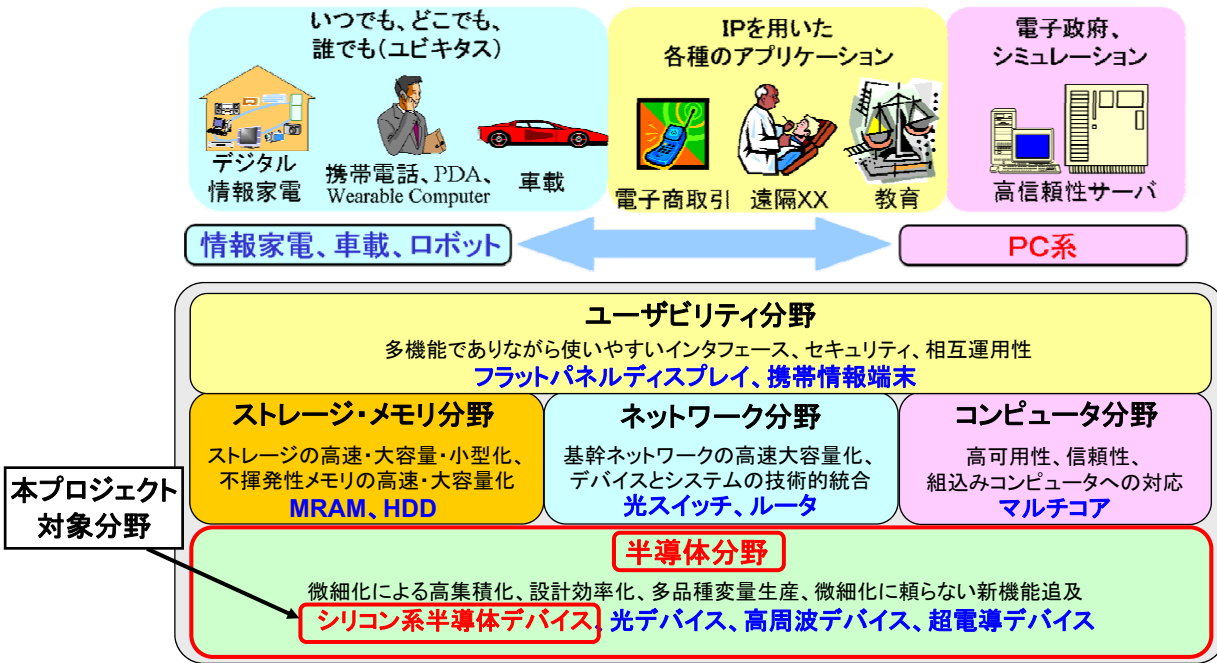
実行
プログラム
(経済産業省)

17

NEDO中期目標における位置付け

「高度情報通信社会の実現」、「IT産業の国際競争力の強化」のため、
情報通信分野の半導体における技術開発の一環として実施

●高度情報通信社会とそれを支える技術分野



プロジェクトの概要

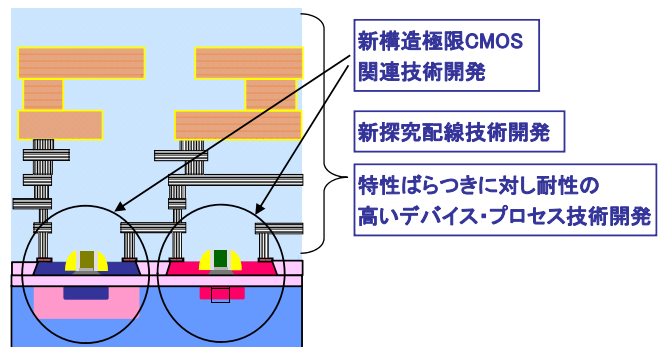
①新構造極限CMOSTランジスタ関連技術開発

目的: hp32nmを越える技術世代に対応するバリスティックCMOS技術の開発

②新探究配線技術開発

目的: hp32nm以細の集積回路に適した配線基盤技術の開発

- ・カーボン配線技術の開発
- ・LSIチップ光配線技術の開発



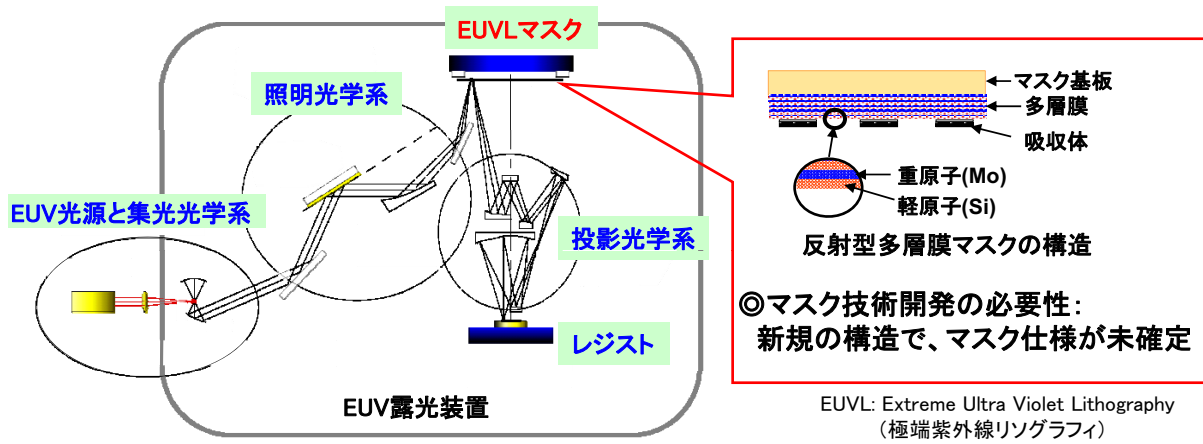
③特性ばらつきに対し耐性の高いデバイス・プロセス技術開発

目的: hp45nmを超える技術領域の集積回路の特性ばらつきに対処する技術の開発

プロジェクトの概要

④次世代マスク基盤技術開発

目的: hp32nm以細に適用できる高精度・低欠陥EUVLマスクの技術基盤の確立

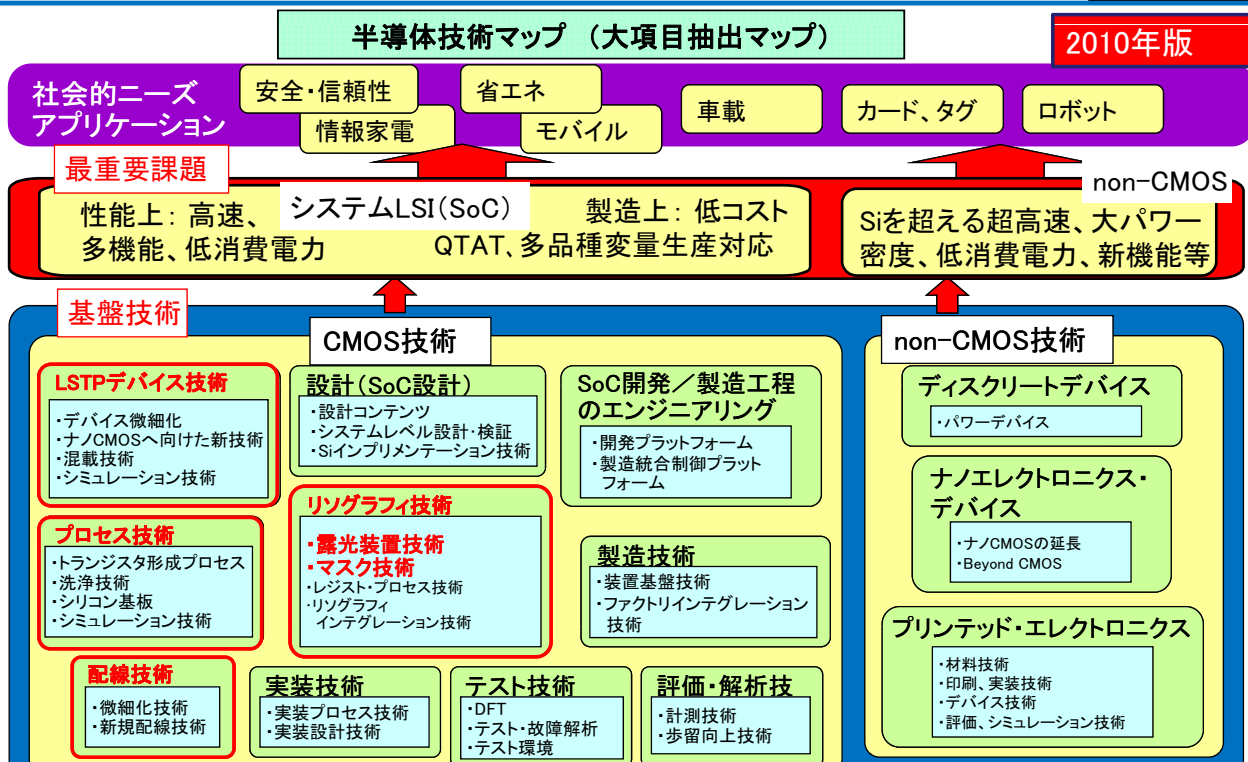


⑤EUV光源高信頼化技術開発

目的: hp32nm以細に適用可能なEUV露光システム技術の基盤確立

- ・光源起因マスク、ミラーの汚染評価技術の開発
- ・集光光学系などの清浄化技術の開発

NEDO半導体分野の技術マップにおける位置付け



技術戦略マップ2010(抜粋)

SoC = System on a Chip
 QTAT = Quick Turn Around Time
 LSTP = Low Standby Power
 DFT = Design For Testability

MIRAIプロジェクトの必要性

事業原簿p I-1~7

●NEDO関与の必要性

半導体技術は情報通信機器の高機能化、省エネ化に直結

情報通信技術開発、省エネ技術開発は国家的重点課題

微細化が物理限界に近づき、技術課題の難度が上昇

産学官の英知の結集が必要

研究開発費の増大

民間企業単独での開発は困難

企業、研究機関等の枠組みを超えた体制での半導体技術開発のためのプロジェクトが必要

●半導体微細化技術開発の必要性

我が国の半導体関連産業(デバイス、装置及び材料)の国際競争力強化のためには高機能LSIの実現が必要

- 微細化に対応可能なトランジスタや配線の性能向上が課題。
- 原子数個のレベルでの寸法制御が必要、微細化に伴う素子特性のばらつきが集積化の大きな障害。
- 従来の微細化手法が限界に達すると予測されており、これに代わる新たなリソグラフィ技術の開発が必要。

半導体微細化技術としてMIRAIプロジェクトが必要

プロジェクト実施の効果

事業原簿p I-2~3

MIRAIプロジェクト第三期の総事業費 : 230.8億円

経済効果

半導体市場予測: 2016年に40兆円
(2010年以降、年5.1%成長を仮定)
→ 内MIRAI成果活用市場予測 13兆円

省エネ効果

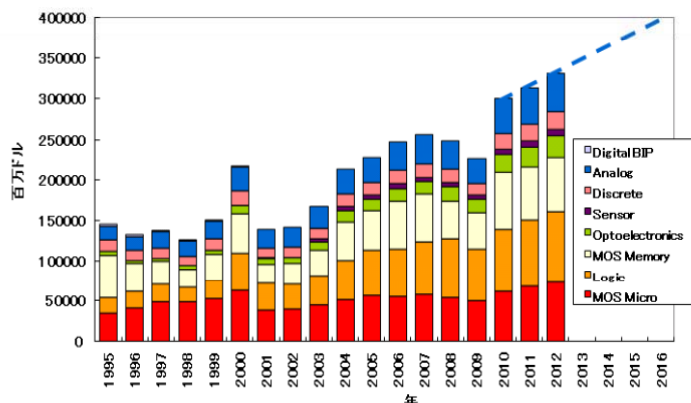
本事業により半導体デバイスのhp32nm以細への微細化が促進されることによる省エネ効果

2020年に 11.6TWh
2030年に 22TWh



274万kl
519万kl

半導体世界市場(出典:WSTS)



省エネ効果の試算

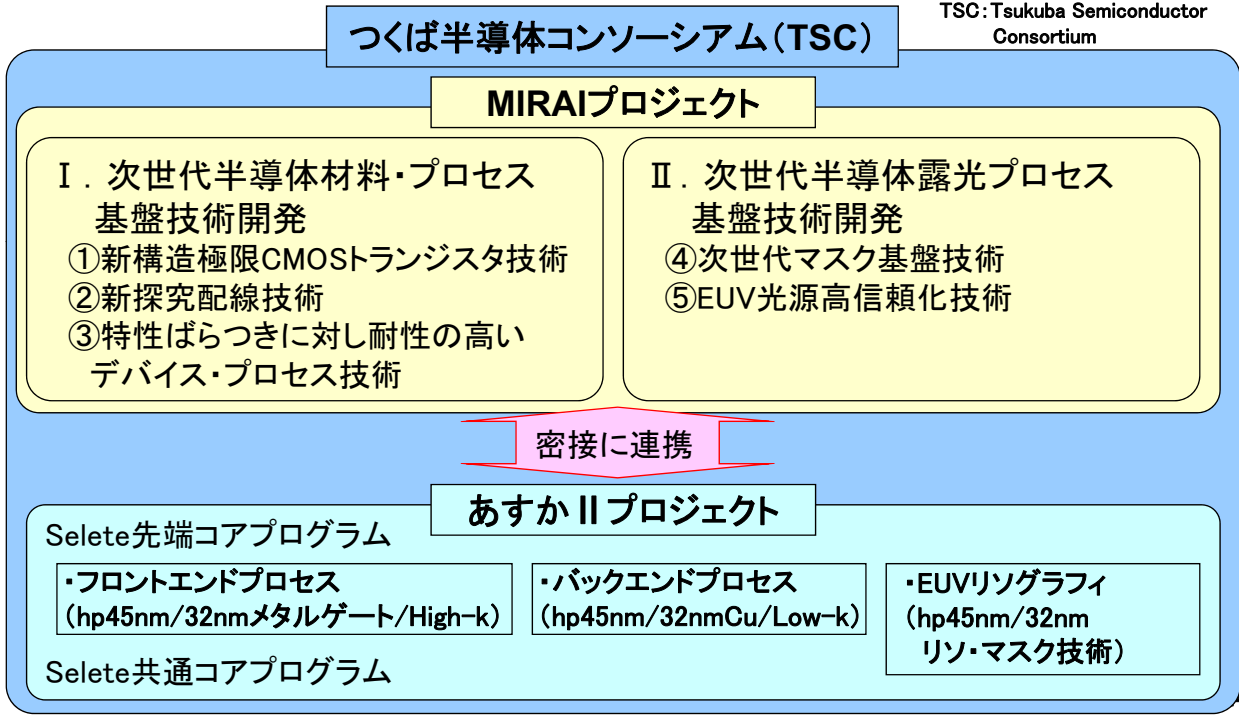
消費電力削減量 = (本事業が実施されない時のLSIの消費電力量) - (本事業が実施された時のLSIの消費電力量)

- ・処理すべき情報は同じと仮定
- ・2020年に上市されている最先端LSI世代を、本事業が行われた場合はhp22nm、行われなかった場合はhp32nm、2030年はそれぞれhp8nm、hp11nmと仮定

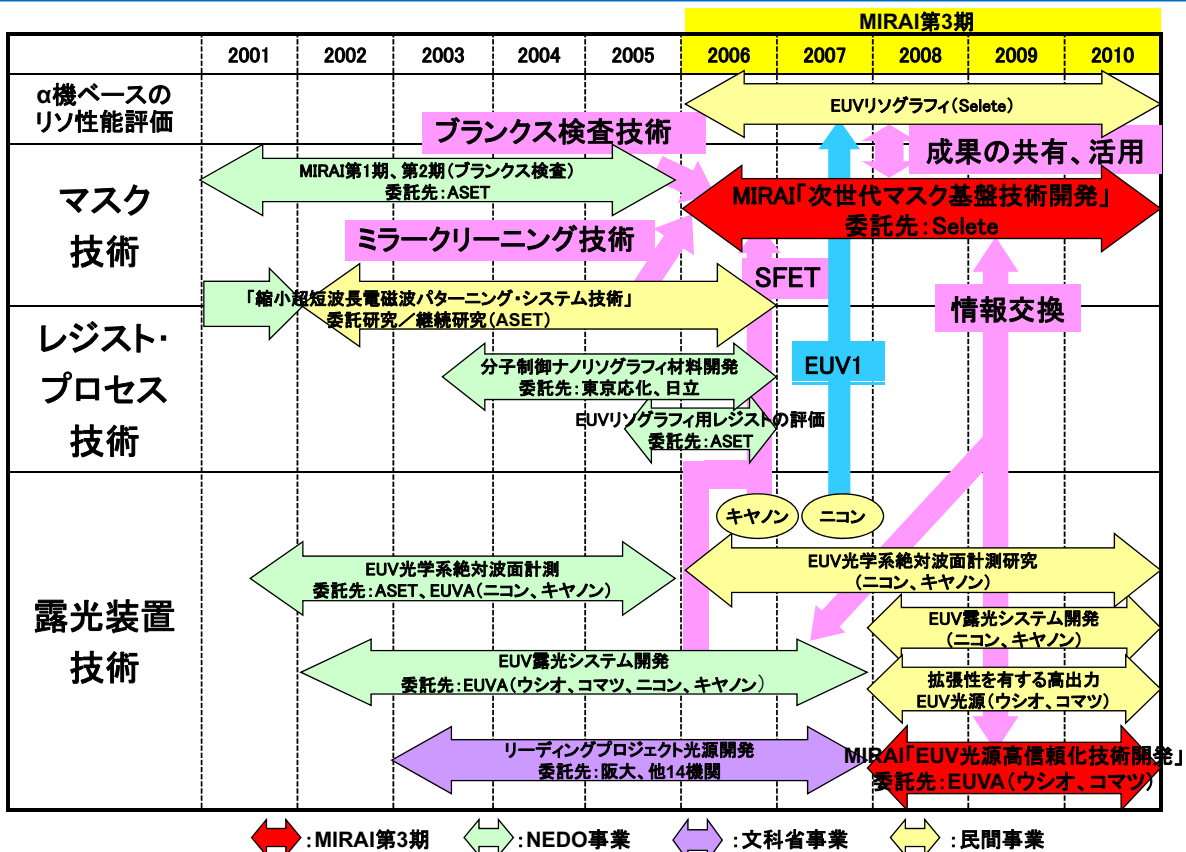
MIRAIと民間事業との分担・連携

- ・MIRAIは、つくば半導体コンソーシアムの一環として、hp45nmを超えるデバイス実現に向けた、技術課題に注力
- ・民間自主事業と密に連携し推進

TSC: Tsukuba Semiconductor Consortium

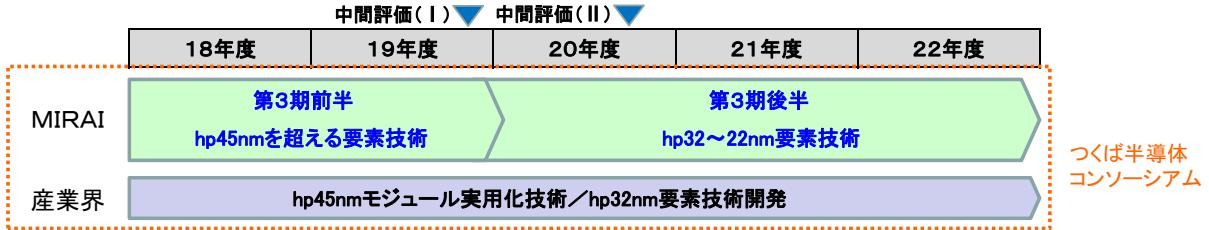


EUVL: 国内関連プロジェクト・民間事業との分担・連携



第3期の研究開発計画

事業原簿p II-15~16



第3期前半 基本計画
 I. hp45nmを超える技術領域の課題を解決する革新的基盤技術を開発し、半導体LSI実現に向けてのデバイス・プロセス技術選択肢を提示する。平成19年度末に中間評価を実施し、研究開発計画の見直しを行うこととする。
 II. EUVマスク基盤技術を開発し、平成20年度にhp45nm、平成22年度にhp32nmに対応する技術を確立する。

第3期後半 基本計画
 I. hp45nmを超える技術領域の課題を解決する革新技術としての新構造極限CMOSTランジスタ技術、新探究配線技術、特性ばらつきに対し耐性の高いデバイス・プロセス技術を、産業界における実用化に向けた展開につなげることを目指して開発する。
 II. EUVマスク基盤技術およびEUV光源高信頼化技術を開発し、EUVマスク基盤技術については平成20年度にhp45nm、平成22年度にhp32nmに対応する技術を確立し、平成20年度より開始するEUV光源高信頼化技術については平成22年度にhp32nmに対応する技術を確立する。

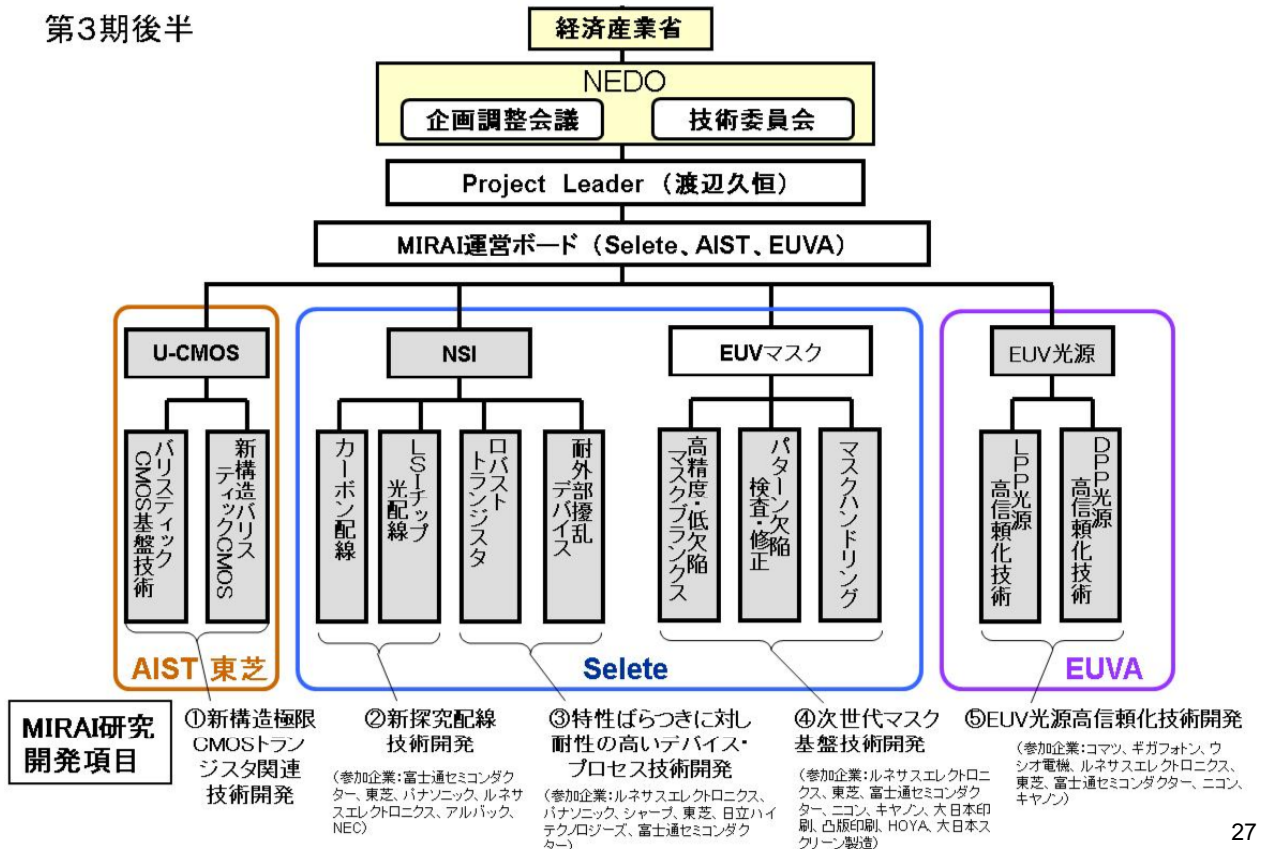
中間評価(Ⅰ)の結果も踏まえた基本計画の見直し方針

- ①新構造極限CMOSTランジスタ関連技術
 - ・新構造トランジスタと極限EOTゲートスタックの技術についてのサイエンスの深掘と実証が一定の段階に達したことから、平成19年度末に関連コンソーシアムを含めた産業界に成果を移転して開発を終了する。
 - ・平成20年度から新たに、hp32nmを越える技術領域で顕在化するキャリアのバリスティック輸送現象の総合的な最適化を図るバリスティックCMOS技術開発に取り組む。
- ②新探究配線技術、③特性ばらつきに対し耐性の高いデバイス・プロセス技術
 - ・平成22年度までの具体的な成果達成目標を設定して技術開発を行う。
- ④次世代マスク基盤技術
 - ・hp32nm以細に適用できる高精度・低欠陥EUVL用マスクの技術基盤確立を目的とする。
- ⑤ EUV光源高信頼化技術
 - ・平成20年度からは、hp32nm以細に適用できるEUV光源の高信頼化技術の開発を行う。

研究開発体制

事業原簿p II-5~8

第3期後半



MIRAI研究開発項目

- ①新構造極限CMOSTランジスタ関連技術開発
 (参加企業:富士通セミコンダクター、東芝、パナソニック、ルネサスエレクトロニクス、アルパック、NEC)
- ②新探究配線技術開発
 (参加企業:富士通セミコンダクター、東芝、パナソニック、ルネサスエレクトロニクス、アルパック、NEC)
- ③特性ばらつきに対し耐性の高いデバイス・プロセス技術開発
 (参加企業:ルネサスエレクトロニクス、パナソニック、シャープ、東芝、日立ハイテクノロジーズ、富士通セミコンダクター)
- ④次世代マスク基盤技術開発
 (参加企業:ルネサスエレクトロニクス、東芝、富士通セミコンダクター、ニコン、キヤノン、大日本印刷、凸版印刷、HOYA、大日本スクリーン製造)
- ⑤EUV光源高信頼化技術開発
 (参加企業:コマン、ギガフォトン、ウシオ電機、ルネサスエレクトロニクス、東芝、富士通セミコンダクター、ニコン、キヤノン)

研究開発目標と根拠(Ⅰ)

事業原簿p11-1~2, 基本計画-7~13

I. 次世代半導体材料・プロセス基盤技術開発

研究開発項目	基本計画目標	根拠
①新構造極限CMOSトランジスタ関連技術開発	・hp32nmを越える技術世代に対応するパリスティックCMOS技術を開発する。	hp32nmを越える技術領域では、微細化を進めることによりCMOSの電流駆動力が低下するため、革新的新技術の導入が必須である。このため、パリスティック効率を向上させオン電流を増大させることが求められている。
②新探究配線技術開発	・カーボン材料を用いた配線構造技術を確立する。 ・新しいグローバル配線としてオンチップ光配線技術を実証する。	hp32nm以細の技術領域においては、従来のLow-k膜とCu配線の多層配線では信号遅延・電磁干渉・消費電力・電流密度などの課題が顕在化する。このため、従来技術とは異なる発想に基づく新探究配線技術の研究開発が求められている。
③特性ばらつきに対し耐性の高いデバイス・プロセス技術開発	・特性ばらつきの解析技術を確立し、ばらつきの物理的理解とモデリング技術を開発する。また特性ばらつき耐性の高いトランジスタ構造を提案する。 ・外部擾乱に対しトランジスタや回路の誤動作が発生するメカニズムを明確にし、その解決策と耐性の高い回路の設計指針を確立する。	hp45nmを越える技術領域に向けて、特性ばらつきが正常な回路動作の大きな妨げになると予想される。このため、デバイス特性ばらつきの解析・物理的理解・モデリングは製造・設計歩留まりの向上を実現できる共通基盤技術として不可欠なものである。さらに、これらの知見に基づき、特性ばらつきに対処する基盤技術開発が求められている。

研究開発目標と根拠(Ⅱ)

事業原簿p11-1~2, 基本計画-14~15

II. 次世代半導体露光プロセス基盤技術開発

研究開発項目	基本計画目標	根拠
④次世代マスク基盤技術開発	hp32nm微細加工技術に対応する ・EUVLマスクの許容欠陥の指標、および位相欠陥検査技術を確立する。 ・EUVLマスクパターン欠陥検査技術について要求感度達成に目処をつける。EUVLマスクパターン欠陥修正技術について要求精度達成への目処をつける。 ・EUVLマスク搬送・保管技術およびファブ内検査・クリーニング技術を確立する。	・hp32nm以細の技術領域では、従来の微細化手法が限界に達すると予測されており、これに代わる新たなリソグラフィ技術の開発が求められている。 ・EUVL用マスクは反射型マスクであり、従来のフォトマスクとは異なる構造および原理によるものであるため、EUVLマスク専用の技術開発が必要である。
⑤EUV光源高信頼化技術開発	・中間集光点で180Wの出力光源を1年間動作させた場合においても、マスクあるいはミラーの最大反射率低下が10%以下となる汚染量を明示できる評価技術を開発し、その有効性を示す。 ・中間集光点で180Wの出力光源に対して、上述の汚染量抑制を実現できる高信頼化技術を開発する。	・量産機用EUV光源としては中間集光点で180W以上が求められており、このため、EUV光源に起因する物質の露光光学系側への伝搬、拡散によるマスク、ミラーの汚染や損傷などを抑制する光源の信頼性確保がEUV光源の高出力化に伴う新たな技術課題となっている。

開発項目・内容・事業額

事業原簿pII-2,9

研究開発項目	研究開発内容	事業費
①新構造極限CMOSトランジスタ関連技術開発	(1)ソース・ドレイン材料・構造の制御によりCMOSの駆動力を高める技術の開発 (2)キャリア輸送特性を向上してCMOSの駆動力を高める技術の開発 (3)微細な低消費電力・高電流駆動カトランジスタによる実証 (4)計測・モデリング技術の開発	42.1億円
②新探究配線技術開発	(1)極限低抵抗・高電流密度配線技術の開発(カーボン配線) (2)新概念グローバル配線技術の開発(LSIチップ光配線)	19.9億円
③特性ばらつきに対し耐性の高いデバイス・プロセス技術開発	(1)構造依存の特性ばらつきの物理的理解とモデリング技術の開発 (2)外部擾乱依存の特性ばらつきの物理的理解とモデリング技術の開発	26.3億円
④次世代マスク基盤技術開発	(1)高精度・低欠陥EUVLマスクおよびブランク技術の開発 (2)EUVLマスクパターン欠陥検査技術および欠陥修正技術の開発 (3)ペリクルレスEUVLマスクハンドリング技術の開発	108.1億円
⑤EUV光源高信頼化技術開発 (平成20～22年)	(1)光源起因マスク、ミラーの汚染評価技術の開発 (2)集光光学系などの清浄化技術の開発	31.4億円

30

情勢変化への対応：電材部におけるプロジェクトマネジメント

事業原簿 PII9～PII13

電子・材料・ナノテクノロジー部におけるプロジェクトマネジメント

- (1) 実施者からの定期的なヒアリング（年2回 春、秋）
 - ・研究開発進捗状況の確認
 - ・世界の研究開発に対するベンチマーク
 - ・実用化見込みを検討
- (2) 企画調整会議、技術委員会の開催
 - ・プロジェクトに関し外部有識者からの提言を得る
- (3) EUVL総合戦略検討委員会の開催
 - ・EUVLに関するNEDO、大学、民間のプロジェクト推進者による委員会
 - ・プロジェクト間の連携、成果の共有化により開発の効率化を図る
- (4) 主要企業個別ヒアリング
 - ・各社の開発計画とプロジェクトの整合が取れているかどうか確認
 - ・プロジェクト開発成果の活用状況を調査
- (5) 研究開発動向の把握
 - ・主要国際学会(VLSI、IEDM、SPIE、EUVLシンポ等)への参加

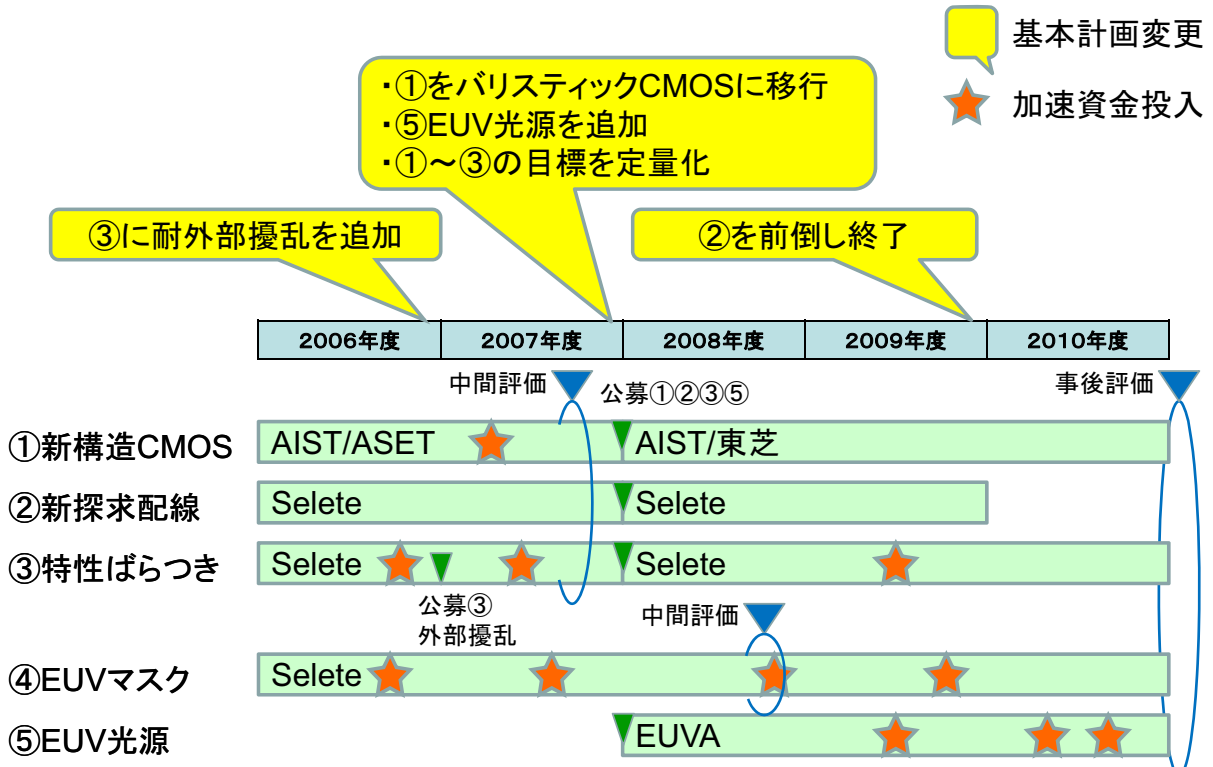
具体的な取組み

- (1) 研究開発内容の追加と前倒し終了
- (2) 研究を加速する機動的な資金の投入

31

第3期の基本計画変更と加速資金投入

事業原簿p II-14~21

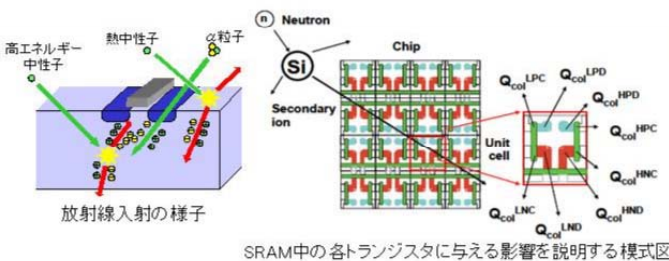


情勢変化への対応—(1) 研究開発内容の追加と前倒し終了

事業原簿 P II 9~P II 10

◆微細化・低電源電圧化等に伴い、放射線や静電気などの外部擾乱による特性ばらつきに起因する回路エラーの根本的対応が求められており、基本計画に新たな内容として「外部擾乱依存特性ばらつき」を追加。

図表1: 外部擾乱(放射線ソフトエラー)



図表2: 課題対応表

具体的対策	素子構造依存特性ばらつき ハードエラー		外部擾乱依存特性ばらつき ソフトエラー
	ランダム	システムティック	
設計	統計的STA	CMP考慮 DFM	熱分布考慮
	欠陥考慮	リングラフィー考慮 ストレス対策	
	統計SPICEモデル	大規模TEGによるばらつき評価	耐ノイズ 耐ESD 耐SER 回路動作中の信頼性に影響
デバイス	耐ばらつきデバイス構造	各種ばらつき原因の科学的究明	今回の拡充部分

◆開発予算(一般会計)の大幅削減を受けて研究開発項目①~③の進捗状況を精査し、②新探求配線技術開発(カーボン配線、LSIチップ光配線)については、目的とする要素技術開発が一定の水準に達したことから、平成21年度末で前倒し終了した。

情勢変化への対応一(2) 研究を加速する機動的な資金の投入

◆ 第3期における資金投入の実績(加速資金)

	2006年度	2007年度
① 新構造CMOS ③ 特性ばらつき ④ 次世代マスク ⑤ EUV光源	③大規模デバイス試作による特性ばらつき解析:400百万円(11月) ④マスクパターン欠陥検査・修正装置等:742百万円(10月)	①一軸ひずみ微細構造トランジスタにおける高性能化:75百万円(6月) ③NMOS特性ばらつきのメカニズムと対応策検討:120百万円(9月) ④高精度マスク欠陥計測及びシミュレータ等:532百万円(11月)
2008年度	2009年度	2010年度
④露光精度向上のためのSFET光源機能増強等:169百万円(1月)	③High-k/メタルゲート構造の特性ばらつき解析技術:100百万円(9月) ④マスクパターン欠陥検査・修正装置機能向上:285百万円(12月) ⑤DPPコレクタ長寿命化:452百万円(9月)	⑤DPPコレクタ熱管理技術:332百万円(6月)、LPPコレクタクリーニング:150百万円(10月)

中間評価結果への対応

「I. 次世代半導体材料・プロセス基盤技術開発」中間評価(平成19年末) 研究開発項目①②③

総合評価

- ・日本におけるULSI技術研究開発の最前線として、産官学の英知を結集して実施している意義は大変大きい。
- ・数多くの世界最高レベル・世界初の研究成果が得られており、質・量ともに高く評価できる。
- ・今後の半導体技術力強化のため、本プロジェクトを継続実施することが望ましい。

今後に対する提言

- ・第3期終了時の目標や実用化への道筋を明瞭にすること。
- ・hp32nmやそれ以細への成果活用、新たなテーマの必要性などを検討すること。

評価結果への対応

- ・第3期前半で絞り込んだ技術選択肢をベースとして実用化に向けて目標を明確化した。
- ・「①新構造極限CMOS関連技術」の一部テーマについて平成19年度末に成果を産業界に移転して開発を終了、平成20年度からhp32nm以細に対応するパステイックCMOS技術開発を新たに開始した。

「II. 次世代半導体露光プロセス基盤技術開発」中間評価(平成20年末) 研究開発項目④

総合評価

- ・マスクに焦点を当てた本プロジェクトは、国際競争力を高め、緊急性を要する研究開発を加速する意味でNEDOの事業として妥当である。
- ・中間目標であるhp45nmに対応する技術は目標を達成できる見通しであると判断する。

今後に対する提言

- ・リソースを集中すべき研究開発項目を今一度精査すべきである。
- ・EUV露光技術の出番はhp22nm以細になると思われることから、必要なものについては加速資金等の投入も積極的に行うべきと考える。

評価結果への対応

- ・マスクパターン検査、修正技術について、加速資金の投入を含めて注力した。
- ・hp22nm対応を見据えた要素技術開発、マスク検査装置性能検証を進めた。

次世代半導体材料・プロセス基盤 (MIRAI)プロジェクト(事後評価)

プロジェクト第三期の概要(公開)

Ⅲ. 研究開発成果について

Ⅳ. 実用化の見通し

平成23年4月14日(木)

(株)半導体先端テクノロジーズ(Selete)
(独)産業総合技術研究所(AIST)
極端紫外線露光システム技術開発機構(EUVA)
(株)東芝

Ⅲ. 研究開発成果について

- 1) 新構造極限トランジスタ(UCMOS)
- 2) 新探求配線(CNT配線、光配線)
- 3) 構造依存ばらつき(ロバストトランジスタ)
- 4) 外部擾乱ばらつき(耐外部擾乱デバイス)
- 5) EUVマスク
- 6) EUV光源高信頼化

研究開発目標と成果達成度 (UCMOS)

I. 次世代半導体材料・プロセス基盤技術開発

事業原簿pIII-1-1-①-(0)-P1~P4

1) 新構造極限CMOSトランジスタ関連技術開発

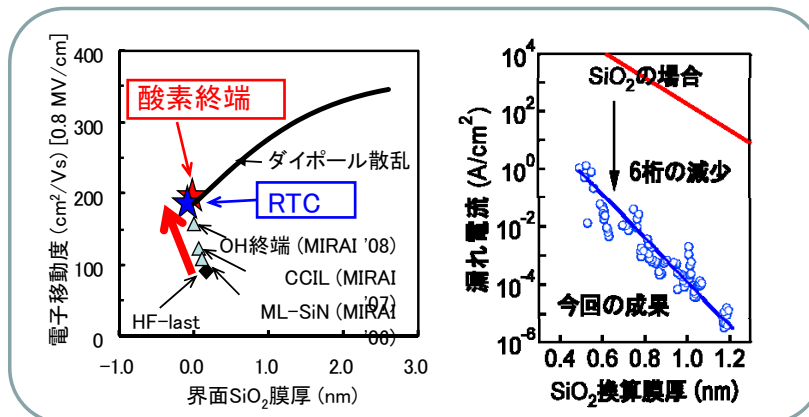
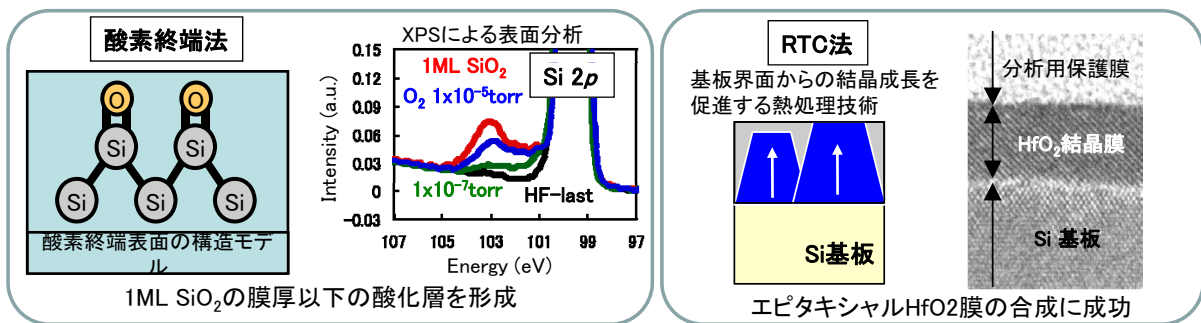
・hp32nmを越える技術世代に対応するバリスティックCMOS技術を開発する。

研究開発項目	基本計画目標	全体成果	達成/未達成
①ソース・ドレイン材料・構造制御によるCMOS高駆動力化	<ul style="list-style-type: none"> 高移動度チャネルS/D電極材料開発 原子層制御S/D形成とSBH制御 	<ul style="list-style-type: none"> SiGe, Geチャネル用S/D電極としてNiSiGeおよびNiGeを用い$V_L = 26\text{nm}^2$ハイス動作で有効性実証 Ge-nMOS用不純物偏析SB(P/S界面ドーブ)により、NiGe/GeダイオードのON抵抗を半減し10mV以下のSBHを確認。 	達成
②キャリア輸送特性制御によるCMOSの駆動力化	<ul style="list-style-type: none"> ひずみ制御による高移動度化 界面制御によるキャリア散乱低減 高駆動力ゲートスタック形成技術開発 	<ul style="list-style-type: none"> 二段階酸化濃縮法でP-SiGeチャネルに一軸圧縮歪(2.6%)を印加し至Siチャネルを上回る正孔移動度を実現。N-Geチャネル両端にSiGeエピシ軸引張り歪(1%)の印加を確認。 Geチャネル上のhigh-k(LaAlO)/SrGe絶縁膜により、Si正孔移動度の約2倍化達成。SrGe界面制御でEOT<1nm達成。 酸素終端法(Si表面を酸素で終端)で界面ラフネス散乱低減。 RTC法でHfO₂膜を結晶化させエピタキシャルHfO₂を形成。界面層形成を抑制することでEOT 0.5 nmを実現。 	達成
③低消費電力・高電流駆動カトランジスタによる実証	高いゲート静電支配力を有する短チャネルトランジスタの試作	SiGe及びSiチャネルについて、hp32nm相当の微細ゲート長トランジスタの試作した。1.15倍以上の電流駆動力の向上と20%以下の消費電力の削減効果を実証	達成
④計測・モデリング技術の開発	バリスティック特性計測解析技術開発	微細デバイスの電気特性評価法を開発し、バリスティック輸送効率など求めるとともに、走査トンネル顕微鏡 (STM) によるポテンシャルプロファイル計測技術、ラマンを用いた局所応力分析を開発し、バリスティック効率の向上メカニズムを解明できる評価・解析法を確立	達成

UCMOS : CMOS高駆動力化技術

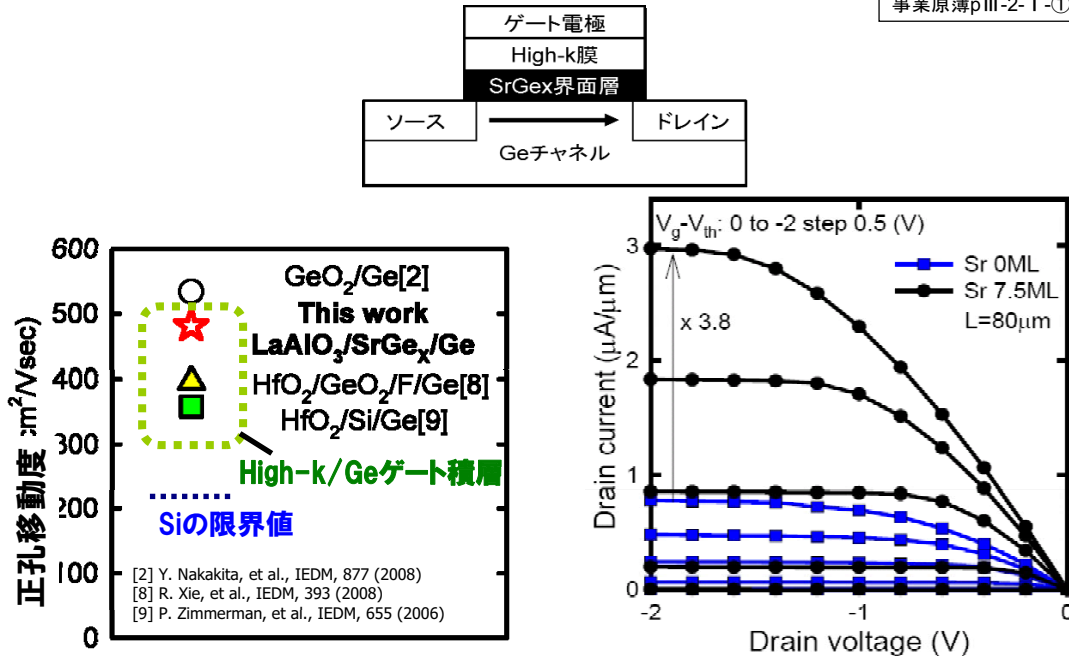
事業原簿pIII-2-1-①-(2)-P14~P17

酸素終端法とRTC(高速結晶化)法により移動度の改善ならびに漏れ電流の低減



UCMOS : SrGe_x層を有するGe-pMISFETの正孔移動度増大

事業原簿pIII-2-I-①-(2)-P9~P11

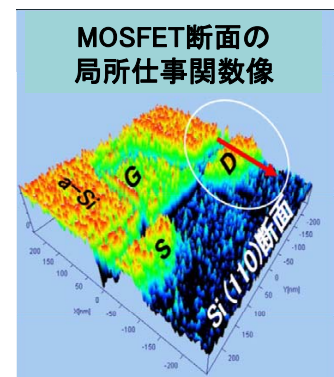


UCMOS : 計測・解析技術

事業原簿pIII-2-I-①-(4)-P5~P8

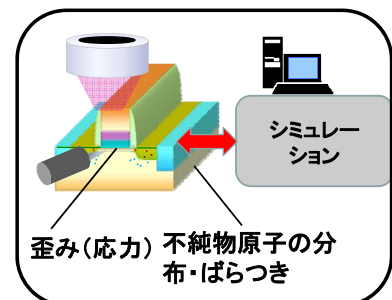
◇走査トンネル顕微鏡 (STM) によるポテンシャル分布計測

- STM測定と開発したSTMシミュレーションとの比較により、微細MOSFETのポテンシャル分布を定量的に評価。
- NiSi₂/Si界面付近の伝導帯端/価電子帯端のバンドプロファイルを測定・解析



◇ラマン散乱法による局所応力分布計測技術

- 偏光制御ラマン散乱法により、応力の方向と大きさを定量的に解析する技術を開発。電磁場シミュレーションの援用により、50nm程度の空間分解能での応力分布解析を達成。
- 偏光制御ラマン計測により応力シミュレータの較正を行い、チャネル部分の応力解析の高精度化を実証。



研究開発目標と成果達成度(CNT配線)

事業原簿pIII-1-1-(2)-(1)-P1

I. 次世代半導体材料・プロセス基盤技術開発

2) 新探求配線技術開発

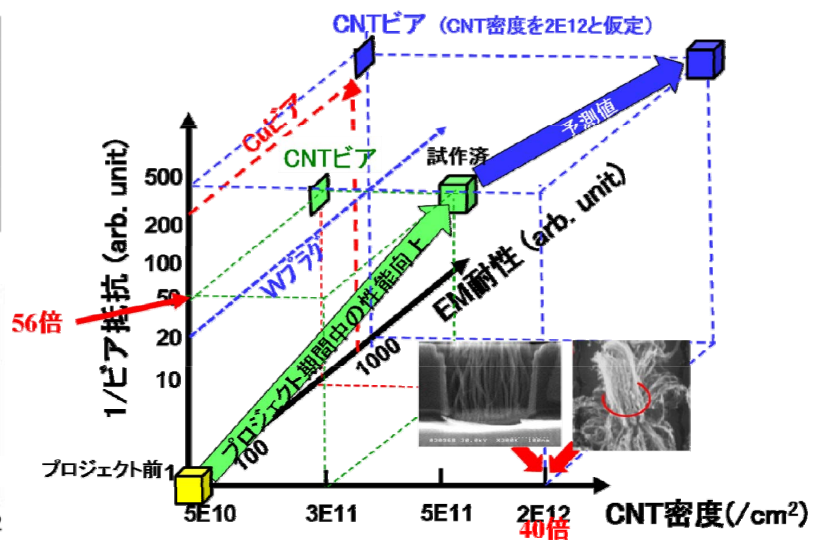
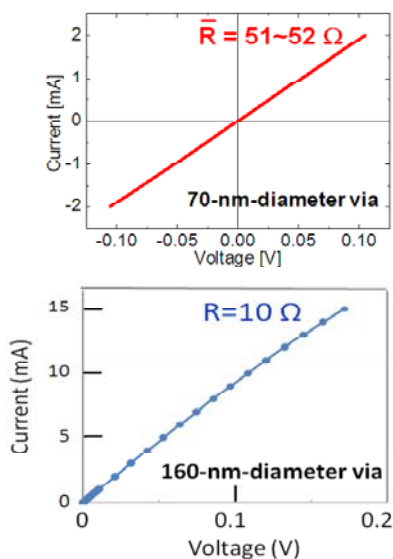
・カーボン材料を用いた配線構造技術を確立する。

研究開発項目	基本計画目標	全体成果	達成/未達成
①低温・高密度成長	LSI製造プロセスに適合する温度条件で高密度($3 \times 10^{12}/\text{cm}^2$)成長	・多段プラズマCVD(450-400°C)でCNT密度 $2 \times 10^{12}/\text{cm}^2$ の高密度成長を達成 ・2元系微粒子触媒を用いる熱CVD(400-365°C)で $1 \times 10^{12}/\text{cm}^2$ 達成	ほぼ達成
②高速成長	LSI製造プロセスに適合する温度条件で高速(5分以下)成長	・密度 $1 \times 10^{12}/\text{cm}^2$ で70nm/分(成長時間5分以下)を実現	達成
③Cuより優れたビア特性	hp32nm以細でCu配線より低抵抗性(15Ω)および高EM耐性で優位性があること	・シングルダマシン法で直径70nmビアアレーで抵抗51Ω、160nmビアで10Ωを確認 ・CNTコンタ外のEM破壊メカニズムの解明。EM耐性は $4 \times 10^7 \text{A}/\text{cm}^2$ で1000時間以上の耐性確認(目標以上)	ほぼ達成
④横配線の実現	ビアと接続する横配線を実現	・縦方向における高密度・低抵抗CNT成長技術を確認し、その手法で横配線化も可能であると推論した(研究機関1年圧縮により実証行わず)	ほぼ達成

CNT配線：ビア埋め込み

事業原簿pIII-2-1-(2)-(1)-P14

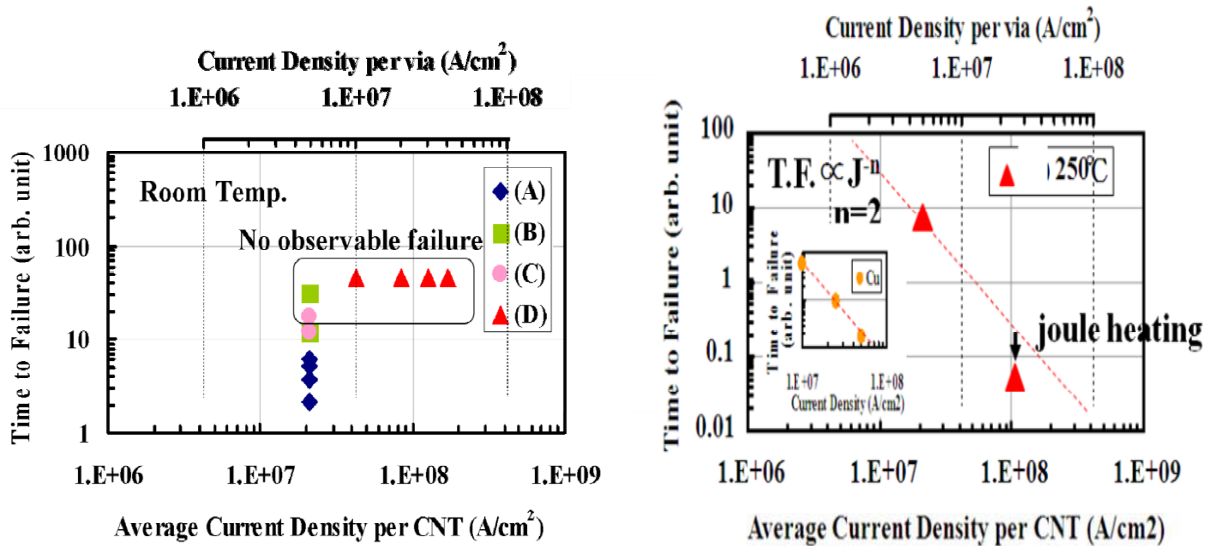
- 微細CNTビア/Cu配線での電気特性評価:
ビア抵抗直径70nmビアで51Ω、160nmビアで10Ω
(直径50nm、高さ200nmに換算:76Ω)
- プロジェクト開始時の1/50以下に改善。目標と同桁(約1/5)を達成。



CNT配線：電流耐性の向上

事業原簿pⅢ-2-1-②-(1)-P12~P13

- 微細ビア/Cu配線による電流密度耐性評価
- 電流密度 $4E7A/cm^2$ で1000時間(室温)の電流密度耐性を確認
- 250℃の電流密度耐性試験から、故障モードはCuビア配線構造と同様の傾向を確認



研究開発目標と成果達成度(光配線)

事業原簿pⅢ-1-1-②-(2)-P1~P2

2) 新探求配線技術開発

- ・新コンセプトグローバル配線技術(LSIチップ光配線技術)を開発

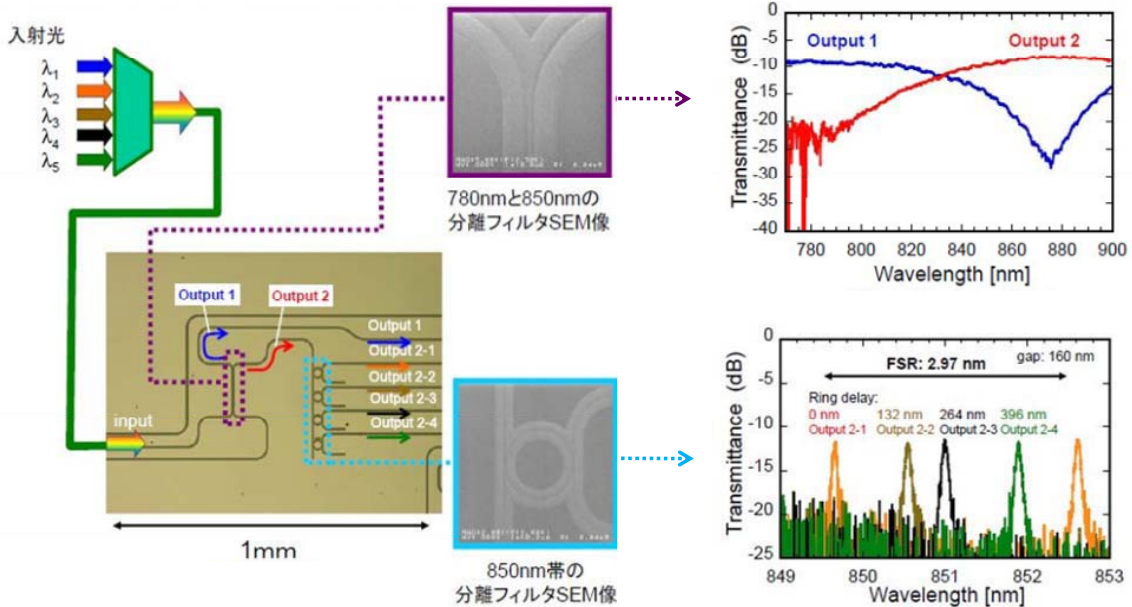
研究開発項目	基本計画目標	全体成果	達成/未達成
①低消費電力電気光変調器および導波路結合型受光器	10 GHz以上で電力遅延積4 pJ以下の変調器を開発	・リング型PLZT変調器により、消費電力設計値0.35 pJ、3.5mWの変調器の10 GHz動作を確認	達成
②波長多重光回路の導波路、合分波器、受光、および変調素子の集積形成技術	・4波以上の光信号の合分波を行う1mm ² 以下の合分波器、および波長多重光伝送回路を試作 ・光回路内における過剰損失を10dB以下	・5波の合分波を行う0.5mm ² のSiN光導波路製の合分波器を試作し、光回路内における過剰損失4dB、チャンネル間クロストーク-15dB以下を確認	達成
③多波長光源とオンチップ光回路の集積技術	・外部光源とオンチップ光回路の集積に用いる光源・導波路結合器技術を開発	・グレーティングと反射膜を組み合わせた垂直光入射結合器を開発	達成
④光クロック・バスの低消費電力動作確認とシステム性能実証	・光変調器、検出器、導波路を組合せ、10mm長配線を想定した光配線を構成し、データの入出力を実証 ・光配線の電力遅延積が7pJ以下	・SiN合分波器とSiナノフォトダイオードを組合せた波長多重回路をLSIにフリップチップ接続し、同一光配線を用いて5GHzと3GHzの2周波数クロック動作を確認 ・設計上トータルで2pJ以下となる変調、受光器を開発	ほぼ達成

光配線 : 波長多重光回路

事業原簿pIII-2-1-(2)-(2)-P13~P15

波長多重光回路のための導波路、合分波器、受光、及び変調素子の多チャンネル集積形成技術開発

- 帯域が2領域に分かれた**5波長の合分波器を0.5 mm²以内で実現**
- クロストーク-13dB以下を確認



光配線 : 光クロック・バスの低消費電力動作

事業原簿pIII-2-1-(2)-(2)-P8

設計値3.5 mW @10Gbpsのリング共振型PLZT電気光変調器で10 GHz動作確認

構造	消費電力 設計値	光信号出力
マツハ・ツェンダー型 	80 pJ/bit 800 mW @10Gbps	2 GHz
リング共振型 R = 75µm 	0.35 pJ/bit 3.5 mW @10Gbps	10 GHz
R = 50µm 	0.2 pJ/bit 2 mW @10Gbps	2 GHz
R = 25µm 	0.14 pJ/bit 1.4 mW @10Gbps	2 GHz

研究開発目標と成果達成度(構造依存ばらつき)

3) 特性ばらつきに対し耐性の高いデバイス・プロセス技術開発

事業原簿pIII-1-I-③-(1)-P1~P3

・構造依存の特性ばらつきの物理的理解とモデリング技術の開発

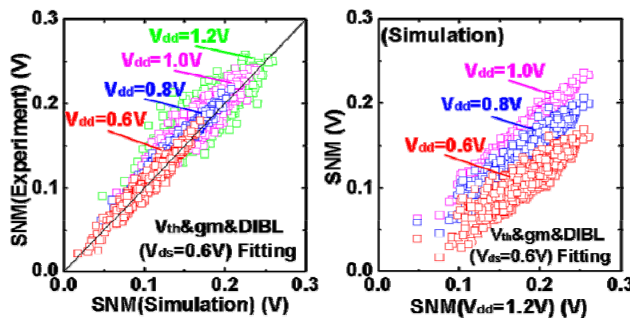
研究開発項目	基本計画目標	全体成果	達成/未達成
①デバイス特性ばらつきの評価と原因追求	・hp65nm標準TEGを用いたばらつきと経時変化のデバイスパラメータおよび材料依存性解明	・新規独自TEGと高速計測技術を開発し、 $\pm 3-6\sigma$ の範囲のばらつきと経時変化を評価できる手法を開発 ・新規のばらつきの定量的表現(Takeuchi plot)を提唱 ・3D-STEM法でシリサイド膜形状の違いを観察 ・アトムプローブ法でチャネル不純物と V_{th} の相関を物理的に観察	達成
②デバイスばらつきモデリング技術	・ばらつきを表現する精度10%のモデリング技術(TCAD)を開発 ・ばらつきを20%以上低減する指針を立てる。	・NMOSの V_{th} ばらつきを10%以内の精度で再現、ホウ素増速拡散が原因であることを明確化 ・チャネルホウ素の増速拡散を抑制する炭素共注入技術を開発し、NMOSの離散不純物以外の原因を約25%低減。 ・離散不純物、LER、拡散モンテカルロモデル等を組み込んだ3D-TCAD技術を開発	達成
③構造依存ばらつきのモデリング技術	・リバースプロファイリングに基づくコンパクトトランジスタモデルを開発し、 V_{th} が $\pm 20mV$ 、 I_{on} が $\pm 5\%$ の精度で予測可能にする	・非物理的フィッティングパラメータを含まないHiSIM-RPを開発し、TCADに対して V_{th} は $\pm 20mV$ 、 I_{on} は $\pm 5\%$ の精度予測を可能にした。	達成
④ばらつきに耐性あるデバイス構造	ばらつき耐性の高いデバイス構造を提案しhp32nm以細のトランジスタ基盤技術を開発	・3次元デバイスプロセスシミュレーターを用いて、各種構造の計算を実施し、チャネルドーパントを低減した構造で、 V_{th} 、 I_{on} ばらつきが低減可能であり、FD-SOIやマルチゲート構造を提案し、ばらつき抑制効果を示した。	達成
⑤ばらつき計測解析技術の開発	多数のトランジスタを超高速度で測定し、ばらつきペアデバイの違いを評価できる技術を開発	・経時変化を含むデバイス特性ばらつきを、回復効果を最小限に抑えられる1ミリ秒以下で測定可能とした。 ・実デバイス(50nmφのMOSチャネル)を観察できる、3次元アトムプローブ技術を開発	達成

48

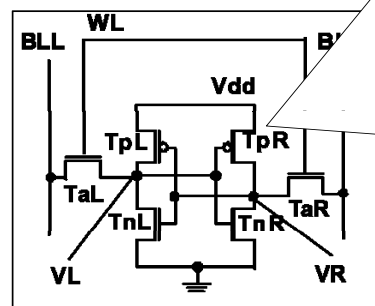
構造依存ばらつき : 特性ばらつきモデリング技術

完全分離型DMA-TEGにノード取り出しのできるSRAMセルを組み込んだTEGを設計し、トランジスタ単体とSNMの相関の評価可能な手法を開発した。

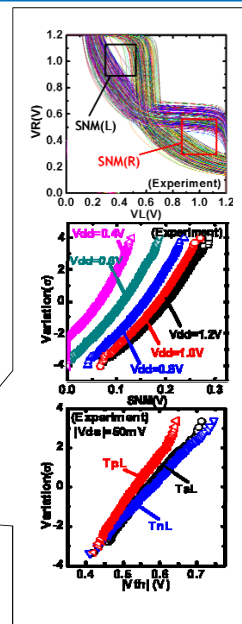
- ・SNMや構成するトランジスタの特性を実測し、トランジスタの V_{th} ばらつきは正規分布するが、セルのSNMは非正規分布することを明らかにした。
- ・SNMは、トランジスタの V_{th} ばらつきのみでは決まらず、DIBL、 G_m ばらつきを取り込むことで、初めて再現可能であることを実験的に実証し、SRAMの主原因を明確化した。



実測とシミュレーションのSNMの相関と、
実測 V_{th} 、DIBL、 G_m を用いたシミュレーション



開発したSNMを計測するDMA-TEGの回路図。
回路図から得られた(a)SNM特性、(b)SNMのVdd依存性、(c)トランジスタの V_{th} 分布を示した。

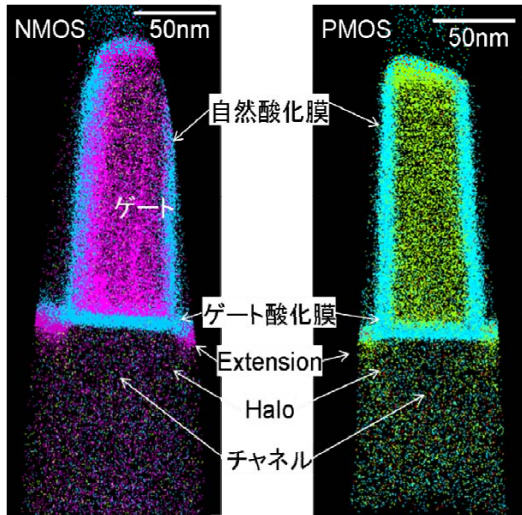


49

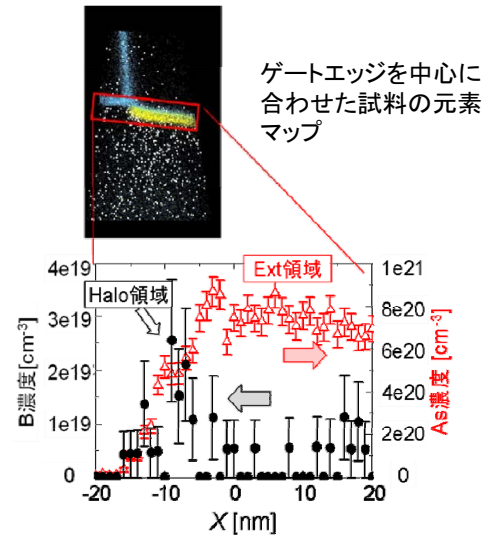
構造依存ばらつき :ばらつきの物理原因説明

NMOS・PMOSばらつき差が、チャンネル不純物分布の変調(ランダム分布からのずれ)が原因であることを電気特性が示唆。このため、デバイス形成プロセスが、チャンネル不純物分布へ与える影響を3DAPを用いて評価。

→NMOSのExtension注入後に、チャンネルB分布が乱されることを実験的に検出。



ゲート両側のExtension/Halo領域が入ったNMOS、PMOSの元素マップ



チャンネル方向の不純物分布

研究開発目標と成果達成度(外部擾乱デバイス)

3) 特性ばらつきに対し耐性の高いデバイス・プロセス技術開発 ・外部擾乱依存の特性ばらつきの物理的理解とモデリング技術の開発

研究開発項目	基本計画目標	全体成果	達成/未達成
耐SET技術	中性子線入射による電荷発生を理解とモデリング技術の開発を通してSET起因ソフトエラー率を1~10FITに抑制する	・中性子照射実験により、世界で始めて100ps以下のSETパルスが大部分を占めることを示し、電荷収集予測モデルを構築し、hp32nmまでのソフトエラー率を予測できるようにした。 ・新たにSETパルスフィルタリングを採用することによってエラー率を1~10FITに抑えることを達成	達成
耐ESD技術	ESDによる外部擾乱メカニズムの理解とモデリング技術の開発を通してCDM型ESD耐圧クラス4(500~1,000V)を実現	・回路ドメインごとの放電時間の差がドメイン境界トランジスタを破壊しESD耐圧を決めていることを明らかにした。このモデルに基づき、対地容量の同値化(追加容量付加)、寄生容量低減、GND配線抵抗低減などの対策でCDM型ESD耐圧1,000Vを達成	達成
アナログ回路の耐ノイズ技術	ばらつきとノイズを同時考慮した設計用回路シミュレーション手法を開発	・チップレベルノイズの基板ノイズ伝播特性解析とトランジスタレベルの基板ノイズ感度モデルを組み合わせた回路シミュレーション手法を開発実証した。	達成

耐外部擾乱デバイス：耐SET技術

事業原簿pIII-2-I-③-(2)-P1)-P1~P28

従来の実験結果ではSETパルス幅が100ps~1nsに分布 → クロックが1GHz程度になるとSET対策が困難に

SET発生率 vs SETパルス幅

SET測定対象 例:1000段

パルス幅測定回路

MIRAI-Selete考案回路により世界で初めてSETパルス幅は100ps以下が大部分と判明 → 1GHz程度のクロックでもSETパルスフィルタリング適用の可能性

SET発生率 vs SETパルス幅

パルス幅観測ポイント

TESTIN

SET測定対象 (例:インバータ20段)

RESET

パルス幅測定回路

冗長構成

L1a

L1b

L2

L3

D1

D2

D3

D0

SETパルスフィルタリングによるソフトウェア率1~10FITの達成

logic derating=0.1

10FIT/chip

1FIT/chip

4Mgate / 260MHz

フィルタなし

90psカット

120psカット

hp22 (132/1040)

hp32 (70/810)

hp45 (33/600)

hp56 (21/500)

hp78 (11/390)

hp130

テクノロジーノード (hp)

フリップフロップの入力端子にフィルター回路を挿入

耐外部擾乱デバイス：耐ESD技術

事業原簿pIII-2-I-③-(2)-P2)-1-P1~P23

TEG1 評価データ

回路タイプ	VDD2 追加容量 (Cadd)	GND間抵抗 (Rgnd)	CDM 耐圧 (-)	CDM 耐圧 (+)
1-A	なし	0.1 Ω	-400V	>1000V
1-B	40pF	0.1 Ω	-850V	>1000V
1-C	なし	0.5 Ω	-350V	750V

TEG3 評価データ

回路タイプ	VDD2 追加容量 (Cadd)	GND間抵抗 (Rgnd)	CDM 耐圧 (-)
2-A	なし	0.1 Ω	-550V
2-B	40pF	↓	-750V
2-C	500pF	↓	-900V
2-D	1500pF	↓	-1100V

成果目標達成水準

SPICE sim.

Nch, Vgs = -0.98v

Pch, Vgs = -4.45V

INV2

対地容量の異なる異電源ドメイン間で電位差が発生し、境界Tr.のゲート絶縁膜が破壊

大規模回路ブロック (対地容量大)

小規模回路ブロック (対地容量小)

放電系モデル

VDD1

VDD2

VSS1

VSS2

ESD保護

Rgnd

Cadd

対策	設計容易性	プロセス非依存
Infineon 薄膜Tr.用電圧クランプ素子挿入	×	×
MIRAI-Selete 容量追加+GND低抵抗化	○	○

研究開発目標と成果達成度(EUVマスク)

事業原簿pIII-1-II-④-(0)-P4

1) 次世代マスク基盤技術開発

・hp32以下のEUVLマスクの位相欠陥・パターン欠陥の検査、修正およびマスクハンドリング技術の開発

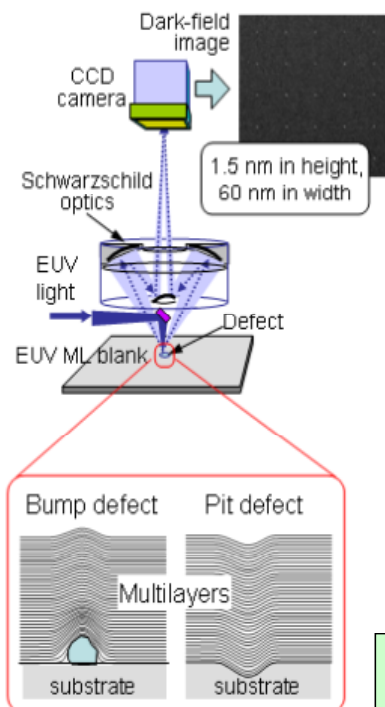
研究開発項目	基本計画目標	全体成果	達成/未達成
①高精度・低欠陥EUVLマスクおよびブランクス技術開発	<ul style="list-style-type: none"> ・hp32nm対応EUVLブランクス位相欠陥検査技術の確立 ・EUVLマスク高品位化開発 <ul style="list-style-type: none"> - マスク構造最適化開発 - 許容欠陥指標構築 (hp32nm) ・カーボンタネーション制御技術の開発 <ul style="list-style-type: none"> - コンタ膜の特性評価 - クリーニング技術開発 - レジスタアウトガス解析評価技術開発 	<ul style="list-style-type: none"> ・ブランク全域検査可能なEUV光を用いた位相欠陥検査装置を開発し、高さ1.2nm、幅40nmの位相欠陥を検出確率95%で検出。検査時間は4.8時間。自然欠陥評価でActinic方式の有用性を実証。 ・薄膜吸収体、遮光枠プロセスを実証してファクトスタンダード化。 ・複数露光ショット積算による寸法平均化手法を開発、許容欠陥指標を構築。 ・カーボンタネの膜特性、転写性を明確化。成長モデル構築。 ・酸化系および還元系のクリーニング技術開発。 ・レジスタアウトガス評価手法(圧力上昇法、QMS、GC-MS)開発 	達成
②EUVLマスクパターン欠陥検査技術開発	<ul style="list-style-type: none"> ・hp32nm対応欠陥検出感度の達成 	<ul style="list-style-type: none"> ・検査装置の高度化(*)と低反射率吸収膜の適用によって、199nm光によるマスクパターン欠陥検査技術がhp22nmに対して適用可能を実証。(*)偏光照明、低ノイズCCD、センサー画像非線形補正、新規アルゴリズム等。 	達成
③EUVLマスクパターン欠陥修正技術開発	<ul style="list-style-type: none"> ・hp32nm対応修正精度の達成の目処 	<ul style="list-style-type: none"> ・高精度化・低ダメージ化が可能なGas Field Ion SourceによるH₂+ビームを用いた欠陥修正技術のhp22nm以下へのフィジビリティを検証。 	達成
④ベリカルレスEUVLマスクハンドリング技術開発	<ul style="list-style-type: none"> EUVLマスク搬送・保管技術およびファブ内検査・クリーニング技術の確立 (hp32nm) 	<ul style="list-style-type: none"> 異物フリーマスクハンドリング技術の評価する世界最高性能の評価環境を構築。 二重ボットの有効性を実証。防塵性能は0.004個/回以下。SEMI標準化に貢献。 	達成

54

EUVマスク: 多層膜マスクブランク位相欠陥検査技術

事業原簿pIII-1-II-④-(0)-P1~2

位相欠陥検出原理



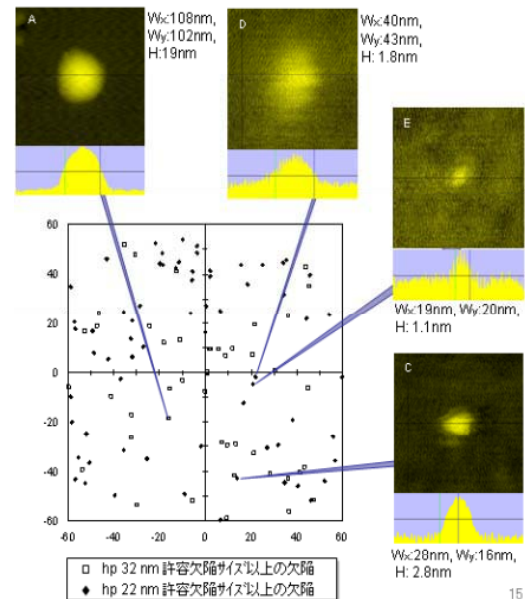
試作装置の外観



試作装置の目標仕様

フルフィールド対応装置の目標仕様	
検査対象	6インチ EUVマスクブランク
検査感度	40 nm 幅 (FWHM), < 1.5 nm 高さ
処理能力	2時間 / ブランク

6インチブランク全面検査結果



15

- 6インチブランク全域を検査できる位相欠陥装置を設計・製作。
- 6インチブランク全域の検査を初めて実施し、現状のブランクの欠陥レベルを確認。
- 高さ1.1nm、幅20nmという微小欠陥の検出に成功。

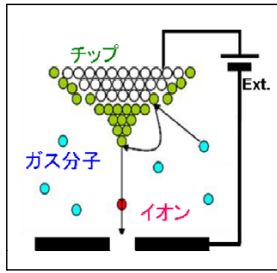
55

EUVマスク：GFISによるマスクパターン欠陥修正技術

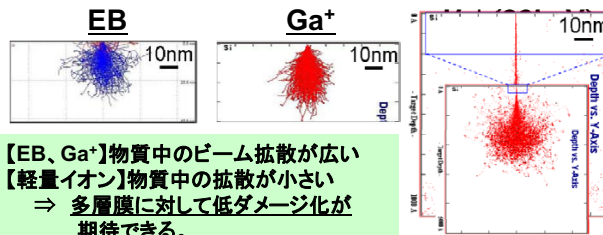
事業原簿pIII-1-II-(4)-(0)-P2-3

➢ hp 22 nm世代対応欠陥修正技術としてGFIS(Gas Field Ion Source)を用いた欠陥修正基盤技術を構築

GFISイオン源

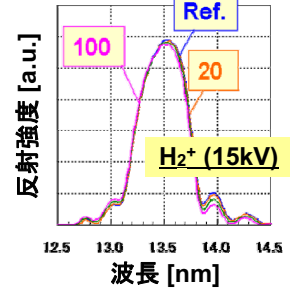


各ビームの軌道比較

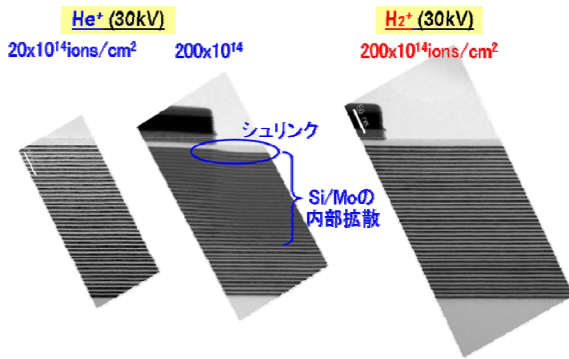


【EB、Ga⁺】物質中のビーム拡散が広い
【軽量イオン】物質中の拡散が小さい
⇒ 多層膜に対して低ダメージ化が期待できる。

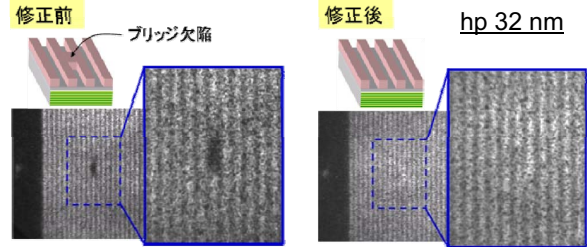
反射強度の変化



照射ダメージ: 断面TEM観察評価



欠陥修正箇所のEUV顕微鏡観察結果



➢ H₂⁺ビームにより、ブリッジ欠陥部の除去成功。
➢ 多層膜ダメージがないことをEUV顕微鏡により確認。

研究開発目標と成果達成度(EUV光源高信頼化)

事業原簿pIII-1-II-(5)-P2-4

2) EUV光源高信頼化技術

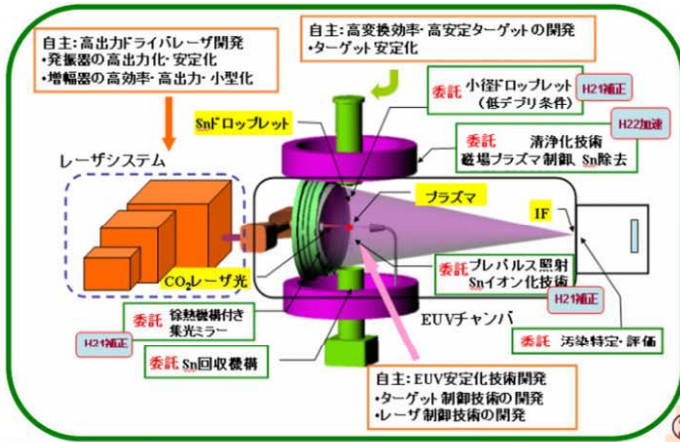
・中間集光点で180Wの出力光源を1年間稼働させミラー反射率低下10%以下となる汚染量を明示できる評価技術を開発すると同時に汚染抑制を実現できる高信頼化技術を開発

研究開発項目	基本計画目標	全体成果 (LPP)	全体成果 (DPP)	達成/未達成
①光源起因マスク、ミラーの汚染評価技術の開発	観測感度: 反射率低下<10% 3000hrs)	・LIFによる中性Sn原子の測定法確立 (必要感度、Sn原子密度1E7個/cm ³ に対して2E6個/cm ³ の測定感を達成)	・汚染評価装置(反射率/XPS)開発とβ光源実機で評価。 ・IF以降へSn流入が無いことを確認、C,O汚染による反射率低下の見積もりは2.1%@3000hrs)	達成
②集光光学系などの清浄化技術の開発	コレクタ寿命: 反射率10%低下で定義) >3000時間@115W出力	・清浄化コンセプト ①磁場印加、 ②小径ドロプレット ③フリバルス ④ガスクリーニング	・清浄化手法β光源適用 ①回転電極Sn薄膜化、 ②アドバンスドレーザトリガ ③DMT、④DMT/コレクタ熱管理 (コレクタ寿命>1年を検証)	達成
高出力対応熱管理技術の開発	115W安定稼働で熱歪に起因する反射率、光量などの変動無し IF変動防止技術の開発	コレクタ熱シミュレーションに基づき、大口径コレクタ製作 ---	・DeCo(DMT-コレクタ)温度-構造-光学シミュレーション β機実機での温度評価および輻射-非輻射成分計測 180W対応の熱管理に目処 ・ファジー理論による補正アルゴリズム(高速(0.5秒)アライメント	達成

光源高出力化 (自主研究)	拡張性を有する高出力EUV光源の開発 (115W試作光源製作、180W拡張性検討)	ETS発光実験実施、プロト機開発中(ETSでの発光点出力197W達成-IF出力104W(Raw)相当、また7hrs稼働試験実施@40W@IF(Raw)	β機SoCoMo稼働評価&高出力化(発光点出力1.5kW出力達成(IF出力150W(Raw)相当;Full SoCoMoで発光点出力640WをDuty100%で達成。IF点出力65W相当)	
------------------	--	---	--	--

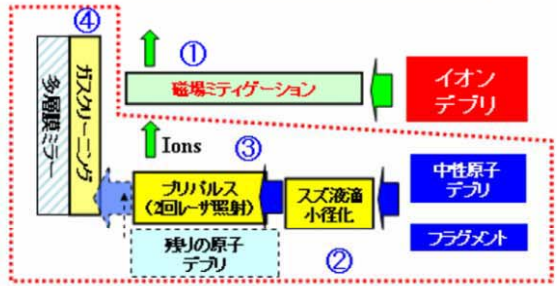
EUV光源高信頼化:LPP光源

事業原簿pIII-2-II-(5)-P2-3

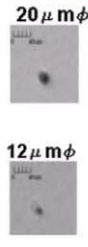
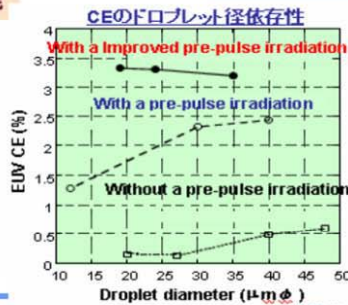
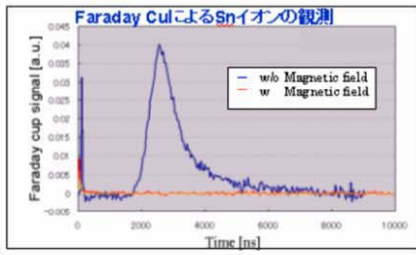


LPP光源清浄化コンセプト

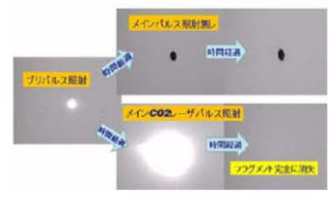
清浄化方針を決定し要素技術を確立
プロト光源で総合実証予定



① 磁場印加: Snイオンは磁場により除去可能



③ プリパルス最適化によるフラグメント除去

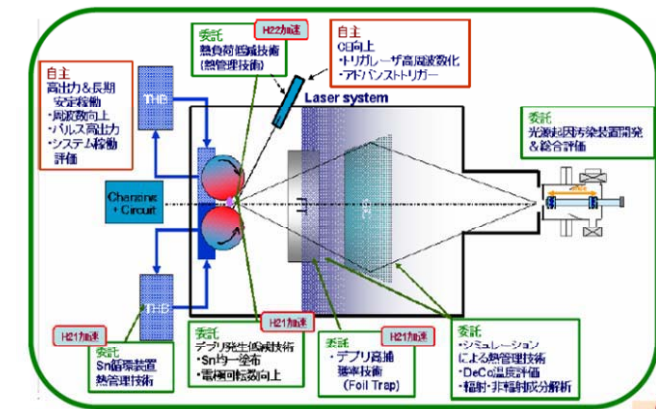


② Sn小径ドロpletと高CEの両立(CE>3%@20μmφ)

次世代半導体材料・プロセス基盤技術開発(MIRAI)プロジェクト

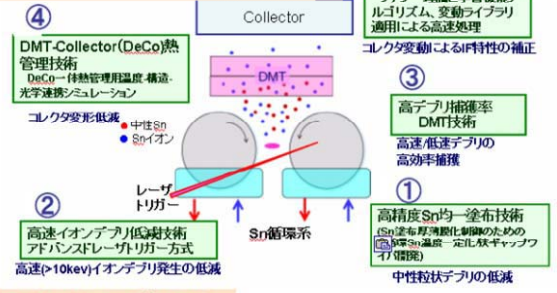
EUV光源高信頼化:DPP光源

事業原簿pIII-2-II-(5)-P3-4



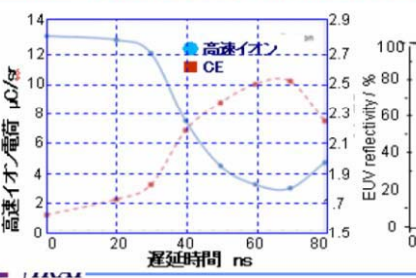
DPP光源清浄化コンセプト

清浄化手法の有効性をβ光源で実証
(コレクタ寿命>1年)



② アドバンストレーザトリガ

・高CE化と高速イオン低減が同時に実現

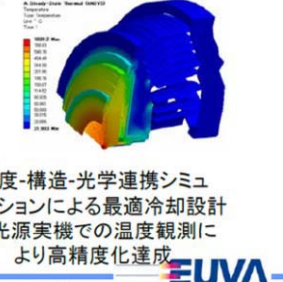


コレクタ表面; Ruスパッタ; 2nm/Gs、Sn堆積; 0.1nm(一定) →Ru膜厚1μmで、コレクタ寿命~500Gs(>1年)

③ フォイルトラップによる高速~低速デブリの捕獲



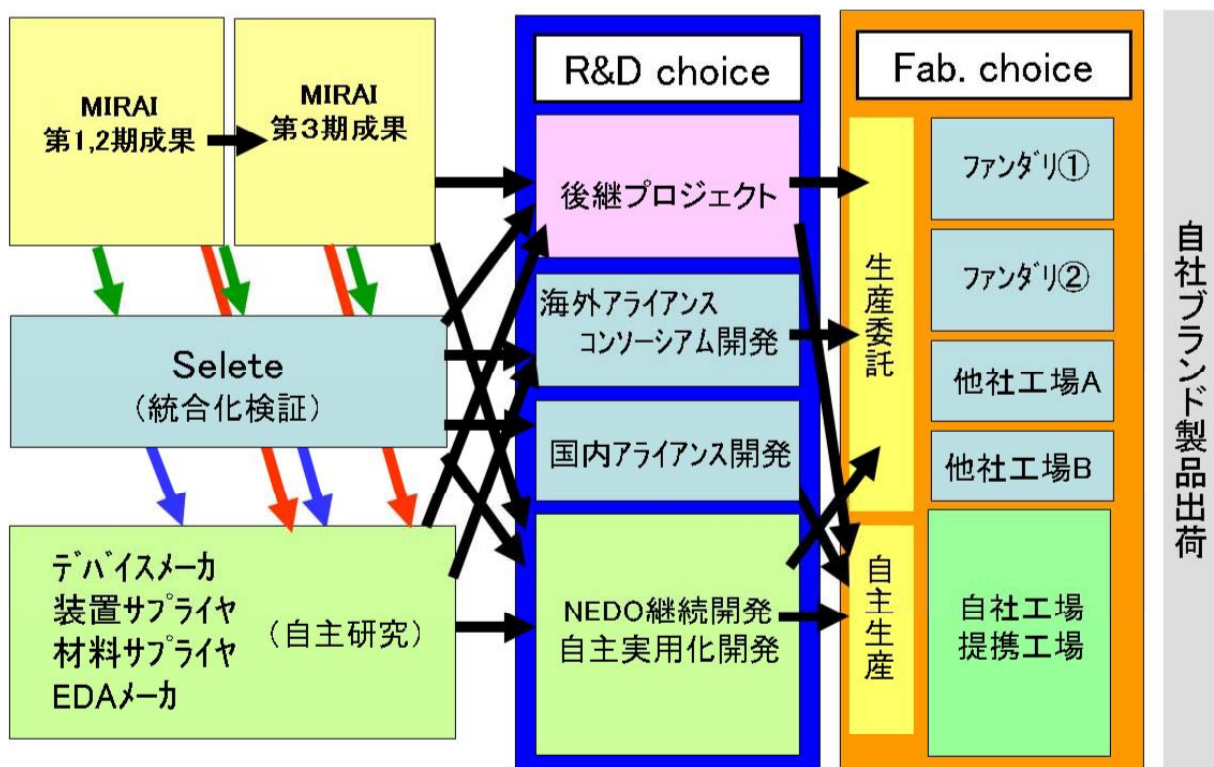
④ DMT-コレクタ熱管理



IV. 実用化の見通し

- 1) 新構造極限トランジスタ(UCMOS)
- 2) 新探求配線(CNT配線、光配線)
- 3) 構造依存ばらつき(ロバストトランジスタ)
- 4) 外部擾乱ばらつき(耐外部擾乱デバイス)
- 5) EUVマスク
- 6) EUV光源高信頼化

実用化までの開発パターン



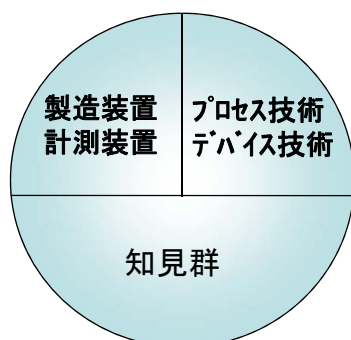
実用化の内容と量産化への課題

プロジェクトの成果の種類

- 1) 材料・物性・特性・モデル化に関する幅広い知見
- 2) 材料プロセス技術
- 3) デバイス構造技術
- 4) 製造装置化技術
- 5) 評価分析装置化技術

実用化に向けた追加開発・課題解決

- 1) 新規追加開発
 - ・未着手課題
 - ・市場性変更追従
- 2) 量産化課題の解決
 - ・高信頼性検証
 - ・技術整合性検証
 - ・量産コスト検証



4-Validations (事業化妥当性)

- ・ Market validation
- ・ Timing validation
- ・ Technology validation
- ・ Strategy validation

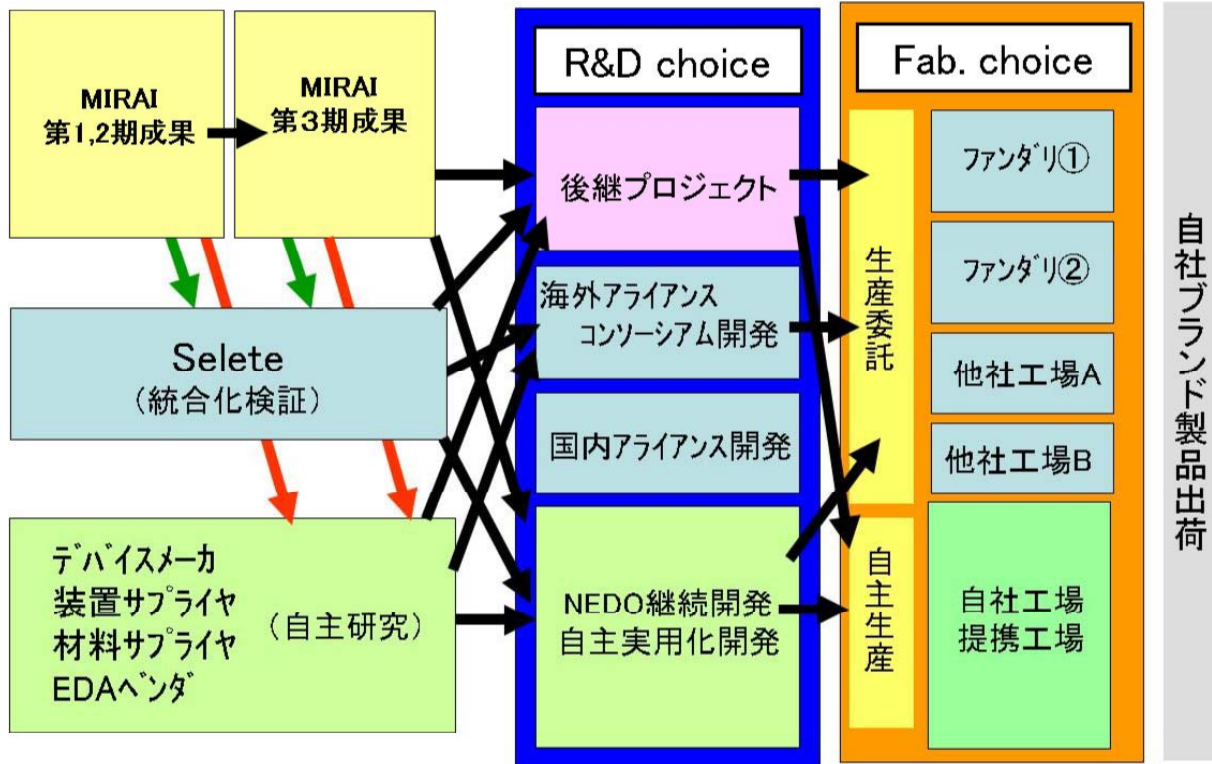
実用化の見通し : UCMOS

事業原簿pIV-1-①-(0)-P1-3

- ① Si系チャネルに関する成果では、酸素終端・RTC法の高品質high-k/Si界面形成技術、高駆動力ゲートスタック技術の特性が世界的にトップレベルにあり、Higher-k時代に採用される可能性がある。
- ② 熱耐性に優れたNiSi₂を用いたハリスティック効率向上のためのS/Dショットキーバリアハイト制御技術においても、S/Dコンタ外抵抗の低減を狙って前倒しに採用したいという動きがある。
- ③ Ge系チャネルは最近大幅に高品質化され、ゲート長微細化に頼らず高移動度材料への切り替えが世界的な動向となりつつある中で、早期実用化への活動が急速に高まっている。
- ④ 準ハリスティック輸送特性制御については、TCADへの取り込みを図り、比較的近い将来(Lg20nmレベル)へのデバイス開発に活用される可能性が高く、TCADの普及とともに知見活用型で国内数社で製品設計で活用されると思われる。

- ・ 第3期UCMOSをロードマップどおりにhp22nmあるいは10nm台に適用されるとすると、量産リソグラフィの整備を筆頭に、インテグレーションプロセスの構築とマニファクチャビリティの検証に時間がかかり実現は2020年以降となると思われる。
- ・ 一方、国内企業はロジック製品への微細化先端デバイスに関しては生産委託の方針を鮮明化させており、このためこれらの成果はいったん海外アライアンスでの量産化開発を経て実用化したいとの動きがある。
- ・ 一方、本成果を新型メモリやナノエレクトロクスデバイスへ応用し、新市場を開拓しようと模索する動きもでていますがまだそのメリットやシナリオは議論中である。

実用化までの開発パターン: UCMOS



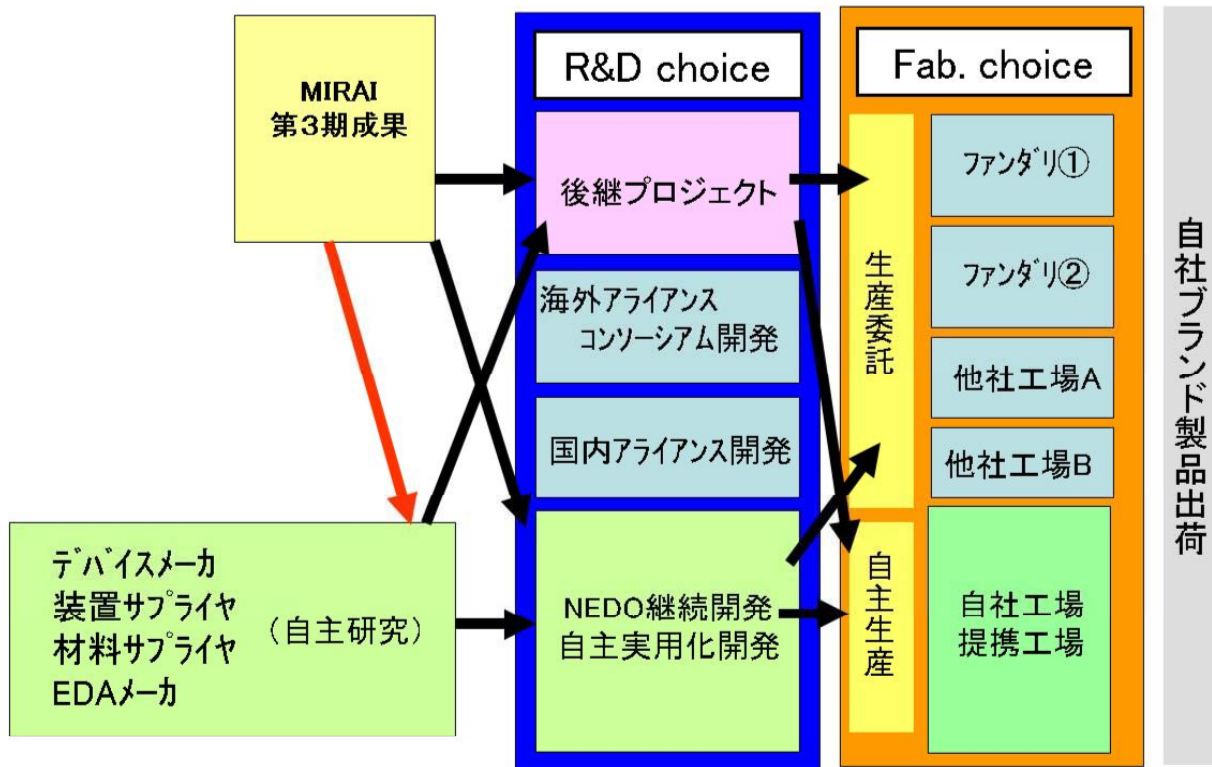
実用化の見通し: CNT配線

事業原簿pIV-1-I-2-(1)-P1

- ①カーボン配線技術が現在のCu金属配線の課題である低抵抗化、高電流密度耐性化に対して、何世代にも適用可能なほぼ唯一の抜本的な解であることは、世界的にも広く認識されている。本成果を国際会議で発表すると量産に関する質問が増えており、本事業で提唱する概念を実用化したいと考えている企業は少なくないと想定される。
- ②配線の高電流密度による信頼性劣化は、クロック周波数の伸び鈍化を反映してこの問題が大幅に軽減されるとの予測もあったが、配線幅依存を導入すべきことが見出され、現在の予測では再び 2015年頃から緊急を要する課題であり、実用化への期待は高まっている。
- ③一方、CNTの持つ低抵抗性やEM耐性以外に、熱伝導性の高さから様々な実装材料としての応用に関心が増えている。実際、当プロジェクトに参画した企業ではその応用開発を進めており近い将来(3-5年以内)実用化したいと考えている。

- ・実用化の想定時期は、上記のような様々な応用が幅広く検討されているが、実装応用が先に実用化される動きがある。
- ・一方、当初からのLSI内部配線への適用にはまだいくつか基本的課題が残っており、基礎に立ち返って統合的な特性のモデリングや内部構造・物性の詳細な解析が必要になっている。このため、各種の次期プロジェクト(FIRSTやLEAPなど)で残る課題を解決するべく活動が始まっている。

実用化までの開発パターン: CNT配線

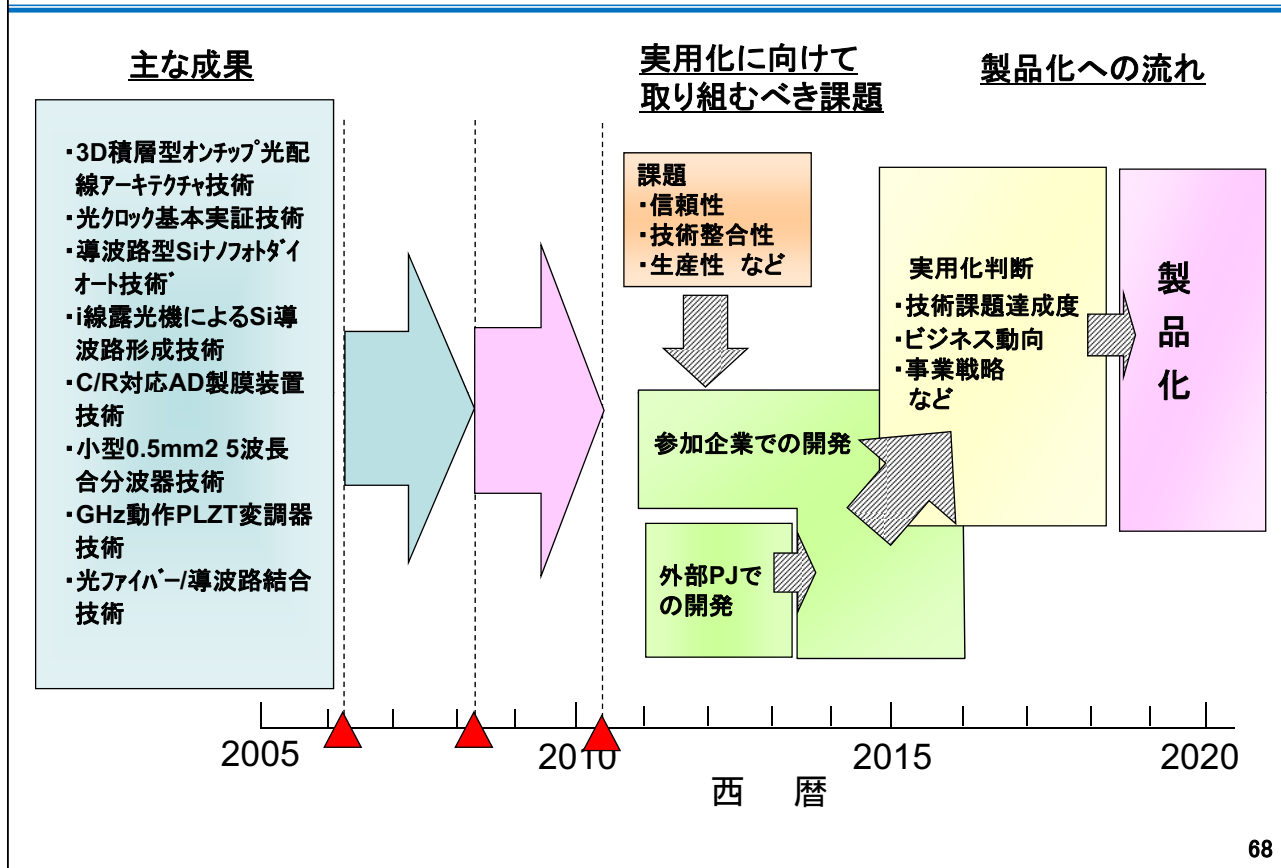


実用化の見通し: 光配線

事業原簿pIV-1-1-(2)-(2)-P1

- ①近年、筐体外インターコネク特として、主にデータセンターやハイエンドサーバーにおける筐体間接続に利用されているアクティブオプティカルケーブル(AOC: Active Optical Cable)が急速に注目されるようになってきた。AOCは、ここ1~2年で短距離ネットワークや屋内配線の中で市場規模を拡大してきた。モジュールとして1Gbps当りの価格が\$10を切り、今後の更なる小型、低コスト化により筐体内への導入努力が加速されている。
 - ②更なる小型化、低コスト化、高速化には本プロジェクトで開発した光多重伝送技術の活用が有望と思われる。実際Intel社は、主に筐体内/外を接続する大容量/低消費電力インターコネク特の製品発表を行ったが、低コスト化が厳しいとの見方があり、そのため、2015年以降の実現を視野に入れてSiフォトニクス技術の採用で実用化しようとする動きが出ている。
 - ③小型・高速化に伴う光電気変換部分のデジタルーアナログ接続性や実装も含めたコストが大きな課題とされ2020年に向けてLSIチップへの光配線導入も視野に入れたDARPAのプロジェクトが始まっておりSun Microsystems社、Luxtera社、Kotura社などが共同で研究開発を進めている。
- ・このように現在実用化機運は海外が先行しているが、本プロジェクトで開発した低コスト・超小型光部品をLSIから通信システムまでシームレスに光化するメリットを真剣に検討している国内企業がある。
 - ・しかしながら、さらなる小型化、低消費電力化、低コスト化への要請は強い一方で、材料選択やシステムアーキテクチャの見直しなど基礎的開発も必要となり、国内企業では後継プロジェクト(FIRSTなど)に参画することで実用化課題を解決する努力が始まっている。

実用化までの開発パターン: 光配線

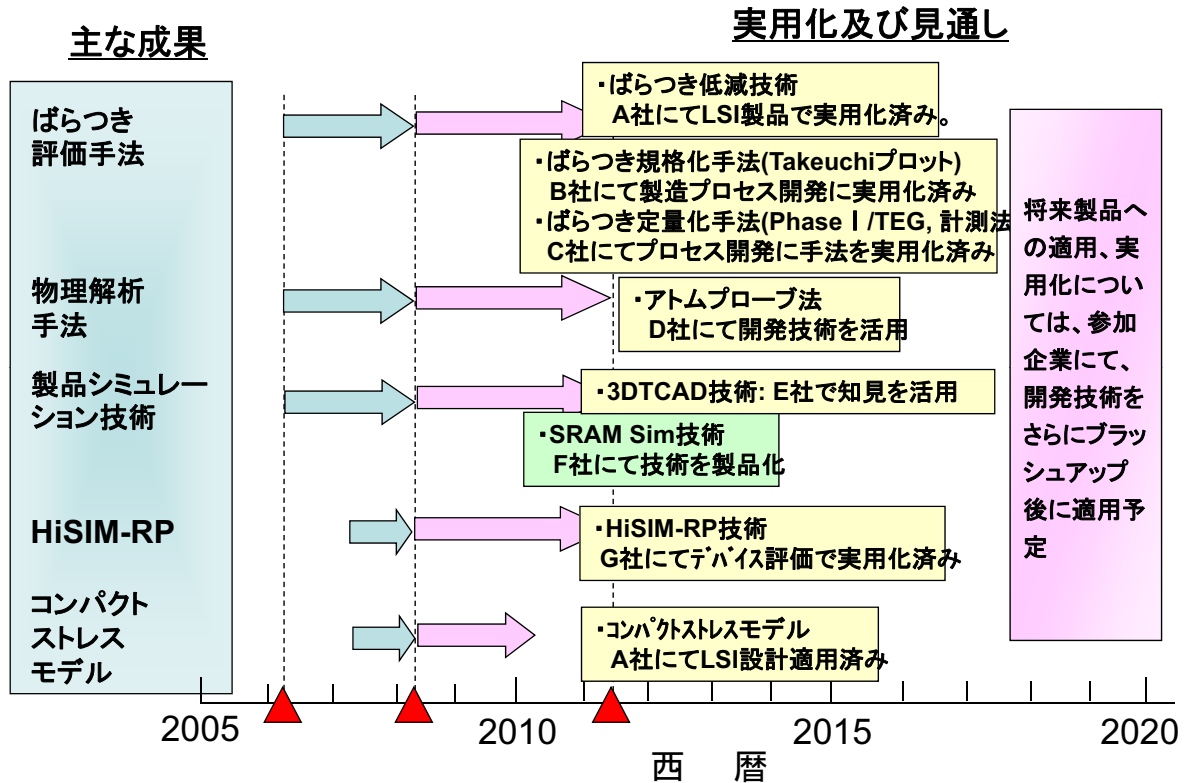


実用化の見通し: ばらつきの理解と制御

事業原簿pIV-1- I -③-(1)-P1~P7

- ①本プロジェクトで提唱したばらつきの規格化手法であるTakeuchiプロットは、参加企業のみならず、自社でのばらつきの評価やベンチマークのためにすでに2,3年前より企業で活用されている。
- ②本プロジェクトで開発した大容量TEGを用いるばらつき定量化手法は参画企業の最先端デバイス(45/32nm) CMOSデバイス開発に活用されている。
- ③ばらつき評価のための3次元TCADは国内企業が自社ツールとして活用中である。
- ④アトムプローブにより得られた知見を自社製品の設計、プロセスデバイス設計に活用し始めている企業がある。また複数の共同研究先にて、開発した分析評価技術をサービス事業として活用する準備を始めている。
- ⑤HiSIM-RPで抽出した不純物分布情報をBSIMパラメータ抽出に活用済みの企業がある。それをばらつきの電源電圧依存性評価に使用中である。2年後をめどに最先端ロジック製品の設計で実用化を目指している企業がある。
- ⑥コンパクトストレスモデルは40nmLSIに全面適用済であり、過剰な設計マージンを排除した高性能LSI設計が可能になった企業が複数社あり、近く導入する予定の企業もある。

実用化までの開発パターン: 構造依存ばらつき



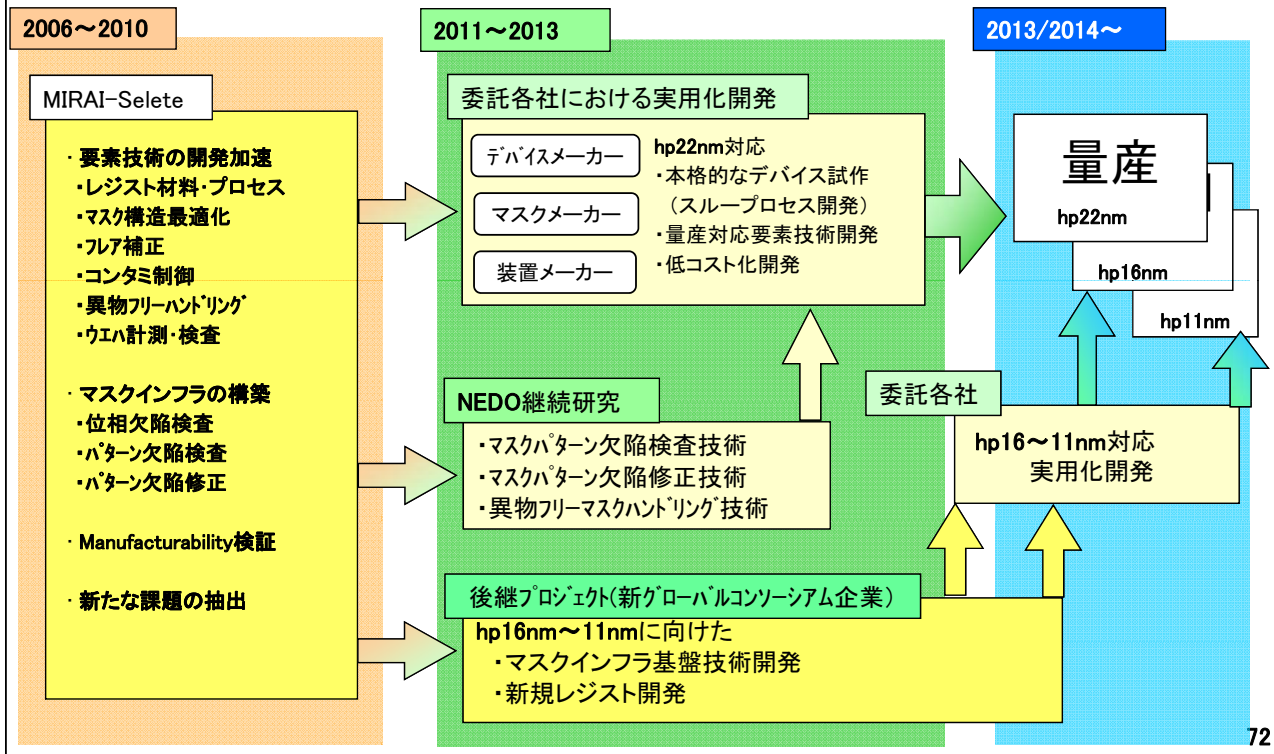
実用化の見通し: 耐外部擾乱デバイス

事業原簿pIV-1-1-③-(2)-P1~P2

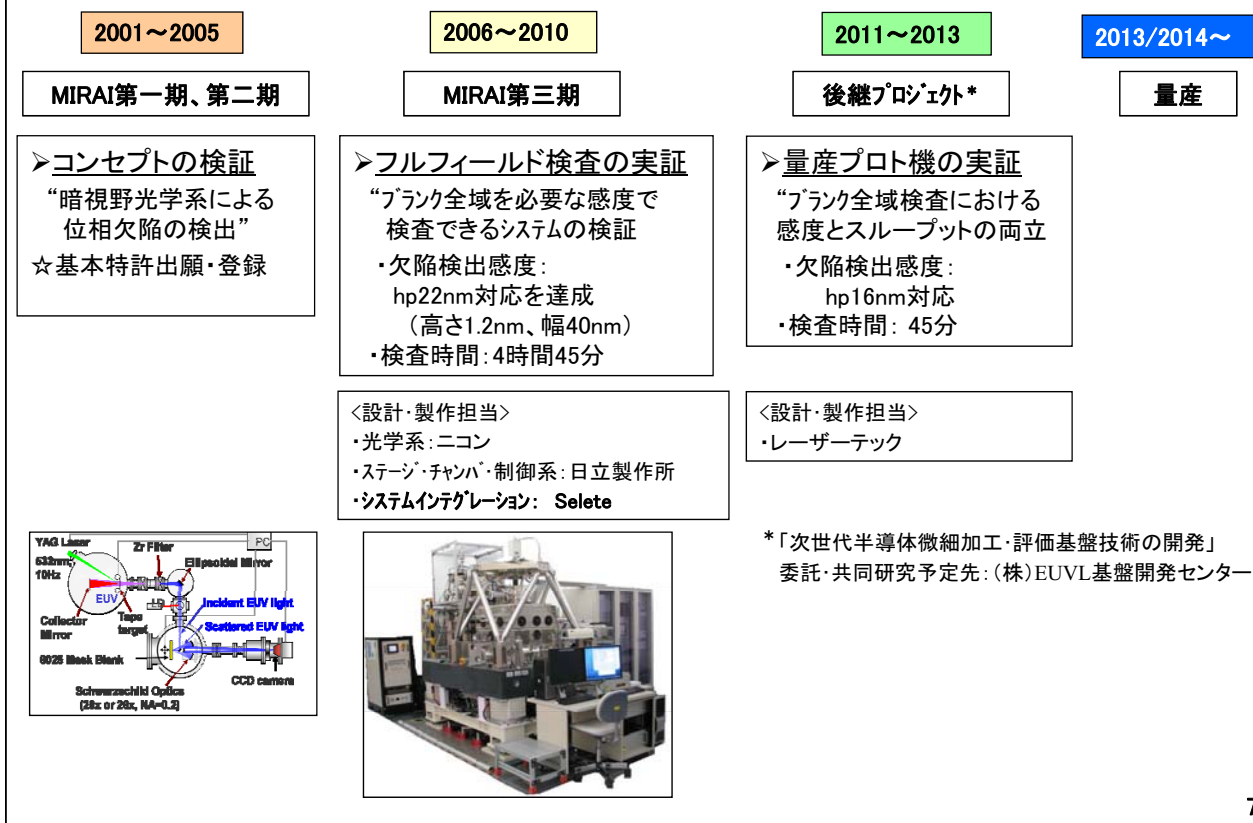
- ①耐SET技術は、製品基本設計において組合せ回路起因のソフトウェア対策要否判断に実用化済の企業がある。40nm以降の高信頼性LSI設計でSET一貫シミュレーション技術とソフトウェア抑制技術を適用。コストと性能オーバーヘッドを最小に抑えながら目標信頼性を達成した企業がある。
- ②耐ESD技術は、90nm製品から、ESD保護設計ガイド、シミュレーション解析に成果を反映して適用中の企業がある。
 - ・知見・結果をESD保護設計ガイド及び90nm世代以降の製品の一部に適用、活用を実施済の企業がある。
- ③アナログ回路の耐ノイズ技術は、アナログIP設計でガイドラインとして適用をまもなく始める企業がある。また、知見を40nm世代実験設計回路とアナログ設計ガイドで活用することを検討中の企業がある。2年後を目標にアナログ製品の設計で実用化する意向を示している企業がある。

実用化までの開発パターン: EUVマスク

EUVマスク技術は、近くβ機を導入し本プロジェクトの成果を活用して量産技術へブラッシュアップする企業、NEDO継続開発で自主資金で実用化を目指す企業、後継プロジェクトで次世代を含めた形で世界連携を想定して開発する企業などがある。



実用化までの流れ: Actinic位相欠陥検査技術



実用化の見通し: LPP光源

事業原簿pIV-1-II-(5)-P1~2

LPP光源実用化・コマツギガフオンで推進

NEDO継続自主研究で開発促進

ETS光源で基礎評価中、プロト光源で総合実証・高出力化を実施予定

ETSによる・発光点出力197W/2πsr→42W@IF相当
稼働試験・20W@IF出力 (Duty~5%)で7時間の稼働

	SPIE 2010 (Feb.2010)	EUV Symposium (Oct.2010)	Latest Data (Feb.2011)
EUV power (@ IF)	69 W	104 W	42 W
EUV power (clean @ IF)	33 W	50 W	20 W
Duty cycle	20 %	20 %	5%
Max. non stop op. time	>1 hr	<1 hr	>7 hr
Average CE	2.3 %	2.5 %	2.1%
Dose stability :simulation	(+/- 0.15%)		-
Droplet diameter	60μm	60μm	30μm
CO ₂ laser power	5.6 kW	7.9 kW	3.6kW



GL200E
プロト機

量産光源仕様

EUV model		ETS	GL200E 2012	GL200E+ 2013	GL400E 2014
Drive laser power	kW	10	23	33	40
Conversion efficiency	%	3.0	5.0	5.0	6.0
C1 mirror collector angle	sr	5.5	5.5	5.5	5.5
efficiency*	%	74	74	74	74
C1 mirror reflectivity	%	(50)	57	57	57
Optical transmission	%	95	95	95	95
SPF (IR, DUUV)	%	N/A**	62	62	62
Total EUV power (after SPF)	W	100	250	350	500

量産光源 (100→350W@IF) ;
CO2レーザ出力増大 (X3.3) と
プリパルスによるCE向上 (X1.6)
により仕様実現



コマツ/ギガフオン
平塚、四之宮 開発・生産拠点開設

次世代半導体材料・プロセス基盤技術開発 (MIRAI) プロジェクト

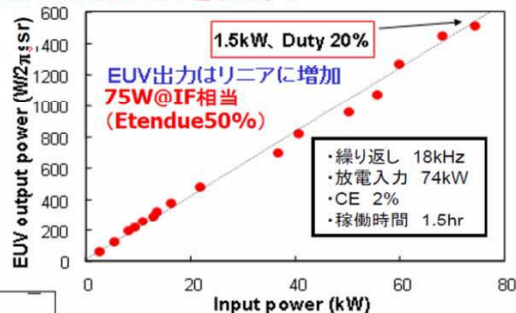
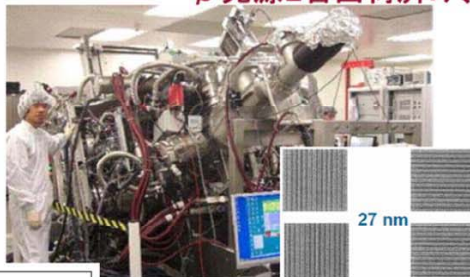
実用化の見通し: DPP光源

事業原簿pIV-1-II-(5)-P2~4

DPP光源実用化; ウシオ/XTREMEで推進

NEDO継続自主研究で開発促進

β光源1台出荷済み、100W安定出力を検討中



量産光源仕様

		Type	β	HVM		
LightGen	electrical energy per pulse	J	4	5	6	7
	repetition rate	kHz	19	28	32	37
	electrical input power	kW	76	141	191	262
	conversion efficiency	%	2.3	2.4	2.4	2.4
	étendue match	%	50	55	55	55
DeCo	collectable in-band power	kW	0.87	1.86	2.52	3.46
	FT transmission	%	60	62	62	64
	gas transmission	%	90	90	90	90
	collector transmission (R ² /2π)	%	24	25	26	26
	alignment performance	%	95	96	97	97
	DeCo transmission	%	12.3	13.5	13.9	14.5
	power after IF	W	107	250	360	500

量産光源 (100→350W@IF) ;
繰り返し周波数増加 (X2) と
入力電力増大 (X1.5) より実現予定



ウシオ/XTREME
独、アルスドルフ工場開設

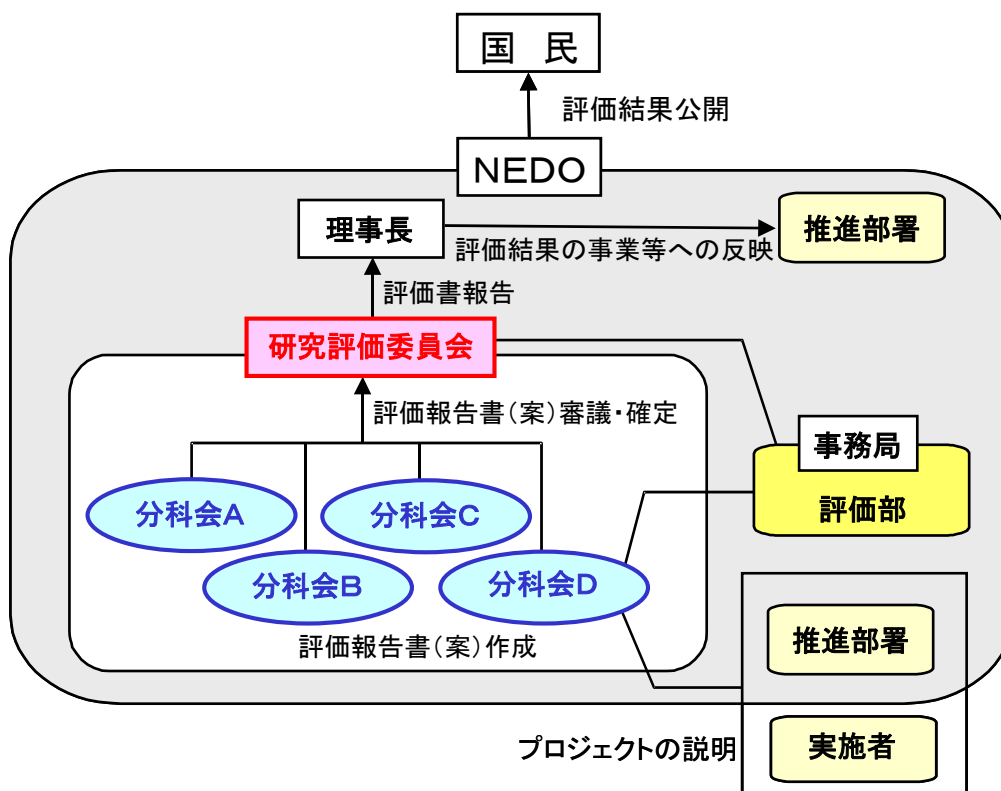
ご清聴ありがとうございました。

参考資料 1 評価の実施方法

本評価は、「技術評価実施規程」（平成 15 年 10 月制定）に基づいて研究評価を実施する。

独立行政法人新エネルギー・産業技術総合開発機構（NEDO）における研究評価の手順は、以下のように被評価プロジェクトごとに分科会を設置し、同分科会にて研究評価を行い、評価報告書（案）を策定の上、研究評価委員会において確定している。

- 「NEDO 技術委員・技術委員会等規程」に基づき研究評価委員会を設置
- 研究評価委員会はその下に分科会を設置



1. 評価の目的

評価の目的は「技術評価実施規程」において。

- 業務の高度化等の自己改革を促進する
- 社会に対する説明責任を履行するとともに、
経済・社会ニーズを取り込む
- 評価結果を資源配分に反映させ、資源の重点化及び業務の効率化を
促進する

としている。

本評価においては、この趣旨を踏まえ、本事業の意義、研究開発目標・計画の妥当性、計画を比較した達成度、成果の意義、成果の実用化の可能性等について検討・評価した。

2. 評価者

技術評価実施規程に基づき、事業の目的や態様に即した外部の専門家、有識者からなる委員会方式により評価を行う。分科会委員選定に当たっては以下の事項に配慮して行う。

- 科学技術全般に知見のある専門家、有識者
- 当該研究開発の分野の知見を有する専門家
- 研究開発マネジメントの専門家、経済学、環境問題、国際標準、その他社会的ニーズ関連の専門家、有識者
- 産業界の専門家、有識者
- ジャーナリスト

また、評価に対する中立性確保の観点から事業の推進側関係者を選任対象から除外し、また、事前評価の妥当性を判断するとの側面にかんがみ、事前評価に関与していない者を主体とする。

これらに基づき、分科会委員名簿にある11名を選任した。

なお、本分科会の事務局については、独立行政法人新エネルギー・産業技術総合開発機構評価部が担当した。

3. 評価対象

平成18年度に開始された「次世代半導体材料・プロセス基盤(MIRAI)プロジェクト(第Ⅲ期)」を評価対象とした。

なお、分科会においては、当該事業の推進部署から提出された事業原簿、プ

プロジェクトの内容、成果に関する資料をもって評価した。

4. 評価方法

分科会においては、当該事業の推進部署及び研究実施者からのヒアリングと、それを踏まえた分科会委員による評価コメント作成、評点法による評価及び実施者側等との議論等により評価作業を進めた。

なお、評価の透明性確保の観点から、知的財産保護の上で支障が生じると認められる場合等を除き、原則として分科会は公開とし、研究実施者と意見を交換する形で審議を行うこととした。

5. 評価項目・評価基準

分科会においては、次に掲げる「評価項目・評価基準」で評価を行った。これは、研究評価委員会による『各分科会における評価項目・評価基準は、被評価プロジェクトの性格、中間・事後評価の別等に応じて、各分科会において判断すべきものである。』との考え方に従い、第1回分科会において、事務局が、研究評価委員会により示された「標準的評価項目・評価基準」（参考資料1-7頁参照）をもとに改定案を提示し、承認されたものである。

プロジェクト全体に係わる評価においては、主に事業の目的、計画、運営、達成度、成果の意義や実用化への見通し等について評価した。各個別テーマに係る評価については、主にその目標に対する達成度等について評価した。

評価項目・評価基準

1. 事業の位置付け・必要性について

(1)NEDOの事業としての妥当性

- ・ 「IT イノベーションプログラム」、および「エネルギーイノベーションプログラム」の下で、当該施策・制度の目標達成のために寄与しているか。
- ・ 民間活動のみでは改善できないものであること、又は公共性が高いことにより、NEDOの関与が必要とされる事業か。
- ・ 当該事業を実施することによりもたらされる効果が、投じた予算との比較において十分であるか。

(2)事業目的の妥当性

- ・ 内外の技術開発動向、国際競争力の状況、エネルギー需給動向、市場動向、政策動向、国際貢献の可能性等から見て、事業の目的は妥当か。

2. 研究開発マネジメントについて

(1)研究開発目標の妥当性

- ・ 内外の技術動向、市場動向等を踏まえて、戦略的な目標が設定されているか。
- ・ 具体的かつ明確な開発目標を可能な限り定量的に設定しているか。
- ・ 目標達成度を測定・判断するための適切な指標が設定されているか。

(2)研究開発計画の妥当性

- ・ 目標達成のために妥当なスケジュール、予算（各個別研究テーマ毎の配分を含む）となっているか。
- ・ 目標達成に必要な要素技術を取り上げているか。
- ・ 研究開発フローにおける要素技術間の関係、順序は適切か。
- ・ 継続プロジェクトや長期プロジェクトの場合、技術蓄積を、実用化の観点から絞り込んだうえで活用が図られているか。

(3)研究開発実施の事業体制の妥当性

- ・ 適切な研究開発チーム構成での実施体制になっているか。
- ・ 真に技術力と事業化能力を有する企業を実施者として選定しているか。
- ・ 全体を統括するプロジェクトリーダー等が選任され、十分に活躍できる環

境が整備されているか。

- ・ 目標達成及び効率的実施のために必要な実施者間の連携または競争が十分に行われる体制となっているか。
- ・ 実用化シナリオに基づき、成果の受け取り手（ユーザー、活用・実用化の想定者等）に対して、関与を求める体制を整えているか。

(4) 研究開発成果の実用化、事業化に向けたマネジメントの妥当性

- ・ 成果の実用化、事業化につなげる戦略が明確になっているか。
- ・ 成果の実用化、事業化につなげる知財マネジメントの方針が明確に示され、かつ妥当なものか。

(5) 情勢変化への対応等

- ・ 進捗状況を常に把握し、社会・経済の情勢の変化及び政策・技術動向に機敏かつ適切に対応しているか。
- ・ 計画見直しの方針は一貫しているか（中途半端な計画見直しが研究方針の揺らぎとなっていないか）。計画見直しを適切に実施しているか。

3. 研究開発成果について

(1) 目標の達成度

- ・ 成果は目標値をクリアしているか。
- ・ 全体としての目標達成はどの程度か。
- ・ 目標未達成の場合、目標達成までの課題を把握し、課題解決の方針が明確になっているか。

(2) 成果の意義

- ・ 成果は市場の拡大或いは市場の創造につながる事が期待できるか。
- ・ 成果は、世界初あるいは世界最高水準か。
- ・ 成果は、新たな技術領域を開拓することが期待できるか。
- ・ 成果は汎用性があるか。
- ・ 投入された予算に見合った成果が得られているか。
- ・ 成果は、他の競合技術と比較して優位性があるか。

(3) 知的財産権等の取得及び標準化の取組

- ・ 知的財産権等の取扱（特許や意匠登録出願、著作権や回路配置利用権の登録、品種登録出願、営業機密の管理等）は事業戦略、または実用化計画に

沿って国内外に適切に行われているか。

- ・ 得られた研究開発の成果に基づく国際標準化に向けた提案等の取組が適切に行われているか。

(4)成果の普及

- ・ 論文の発表は、研究内容を踏まえ適切に行われているか。
- ・ 成果の受取手（ユーザー、活用・実用化の想定者等）に対して、適切に成果を普及しているか。また、普及の見通しは立っているか。
- ・ 一般に向けて広く情報発信をしているか。

4. 実用化、事業化の見通しについて

(1)成果の実用化可能性

- ・ 産業技術としての見極め（適用可能性の明確化）ができているか。
- ・ 実用化に向けて課題が明確になっているか。課題解決の方針が明確になっているか。
- ・ 国際規格化等、標準整備に向けた見通しが得られているか。

(2)事業化までのシナリオ

- ・ NEDO後継プロジェクト、NEDO実用化助成、企業内研究等、プロジェクト終了後の事業化までの道筋は明確か。
- ・ 市場の規模や成長性、コストダウン、競合技術との比較、導入普及、事業化までの期間、事業化とそれに伴う経済効果等の見通しは立っているか。

(3)波及効果

- ・ 成果は関連分野への波及効果（技術的・経済的・社会的）を期待できるものか。
- ・ プロジェクトの実施自体が当該分野の研究開発や人材育成等を促進するなどの波及効果を生じているか。

標準的評価項目・評価基準（事後評価）

2010. 3. 26

【事後評価 標準的評価項目・評価基準の位置付け（基本的考え方）】

標準的評価項目・評価基準は、第25回研究評価委員会（平成22年3月26日付）において以下のとおり定められている。（本文中の記載例による1…、2…、3…、4…が標準的評価項目、それぞれの項目中の(1)…、(2)…が標準的評価基準、それぞれの基準中の…が視点）

ただし、これらの標準的評価項目・評価基準は、研究開発プロジェクトの事後評価における標準的な評価の視点であり、各分科会における評価項目・評価基準は、被評価プロジェクトの性格等に応じて、各分科会において判断すべきものである。

1. 事業の位置付け・必要性について

(1) NEDOの事業としての妥当性

- ・ 特定の施策（プログラム）、制度の下で実施する事業の場合、当該施策・制度の目標達成のために寄与しているか。
- ・ 民間活動のみでは改善できないものであること、又は公共性が高いことにより、NEDOの関与が必要とされる事業か。
- ・ 当該事業を実施することによりもたらされる効果が、投じた予算との比較において十分であるか。

(2) 事業目的の妥当性

- ・ 内外の技術開発動向、国際競争力の状況、エネルギー需給動向、市場動向、政策動向、国際貢献の可能性等から見て、事業の目的は妥当か。

2. 研究開発マネジメントについて

(1) 研究開発目標の妥当性

- ・ 内外の技術動向、市場動向等を踏まえて、戦略的な目標が設定されているか。
- ・ 具体的かつ明確な開発目標を可能な限り定量的に設定しているか。
- ・ 目標達成度を測定・判断するための適切な指標が設定されているか。

(2)研究開発計画の妥当性

- ・ 目標達成のために妥当なスケジュール、予算（各個別研究テーマ毎の配分を含む）となっているか。
- ・ 目標達成に必要な要素技術を取り上げているか。
- ・ 研究開発フローにおける要素技術間の関係、順序は適切か。
- ・ 継続プロジェクトや長期プロジェクトの場合、技術蓄積を、実用化の観点から絞り込んだうえで活用が図られているか。

(3)研究開発実施の事業体制の妥当性

- ・ 適切な研究開発チーム構成での実施体制になっているか。
- ・ 真に技術力と事業化能力を有する企業を実施者として選定しているか。
- ・ 研究管理法を介する場合、研究管理法が真に必要な役割を担っているか。
- ・ 全体を統括するプロジェクトリーダー等が選任され、十分に活躍できる環境が整備されているか。
- ・ 目標達成及び効率的実施のために必要な実施者間の連携 and/or 競争が十分に行われる体制となっているか。
- ・ 実用化シナリオに基づき、成果の受け取り手（ユーザー、活用・実用化の想定者等）に対して、関与を求める体制を整えているか。

(4) 研究開発成果の実用化、事業化に向けたマネジメントの妥当性

- ・ 成果の実用化、事業化につなげる戦略が明確になっているか。
- ・ 成果の実用化、事業化につなげる知財マネジメントの方針が明確に示され、かつ妥当なものか。

(5)情勢変化への対応等

- ・ 進捗状況を常に把握し、社会・経済の情勢の変化及び政策・技術動向に機敏かつ適切に対応しているか。
- ・ 計画見直しの方針は一貫しているか（中途半端な計画見直しが研究方針の揺らぎとなっていないか）。計画見直しを適切に実施しているか。

3. 研究開発成果について

(1)目標の達成度

- ・ 成果は目標値をクリアしているか。(※)

(※事後評価前倒し実施の場合は、「成果は目標値をクリアする見込みか。」)

- ・ 全体としての目標達成はどの程度か。
- ・ 目標未達成の場合、目標達成までの課題を把握し、課題解決の方針が明確になっているか。

(2)成果の意義

- ・ 成果は市場の拡大或いは市場の創造につながる事が期待できるか。
- ・ 成果は、世界初あるいは世界最高水準か。
- ・ 成果は、新たな技術領域を開拓することが期待できるか。
- ・ 成果は汎用性があるか。
- ・ 投入された予算に見合った成果が得られているか。
- ・ 成果は、他の競合技術と比較して優位性があるか。

(3)知的財産権等の取得及び標準化の取組

- ・ 知的財産権等の取扱（特許や意匠登録出願、著作権や回路配置利用権の登録、品種登録出願、営業機密の管理等）は事業戦略、または実用化計画に沿って国内外に適切に行われているか。
- ・ 国際標準化に関する事項が計画されている場合、得られた研究開発の成果に基づく国際標準化に向けた提案等の取組が適切に行われているか。

(4)成果の普及

- ・ 論文の発表は、研究内容を踏まえ適切に行われているか。
- ・ 成果の受取手（ユーザー、活用・実用化の想定者等）に対して、適切に成果を普及しているか。また、普及の見通しは立っているか。
- ・ 一般に向けて広く情報発信をしているか。

4. 実用化、事業化の見通しについて

(1)成果の実用化可能性

- ・ 産業技術としての見極め（適用可能性の明確化）ができているか。
- ・ 実用化に向けて課題が明確になっているか。課題解決の方針が明確になっているか。
- ・ 国際標準化に関する事項が計画されている場合、国際規格化等、標準整備に向けた見通しが得られているか。

(2)事業化までのシナリオ

- ・ NEDO後継プロジェクト、NEDO実用化助成、企業内研究等、プロジェクト終了後の事業化までの道筋は明確か。
- ・ 市場の規模や成長性、コストダウン、競合技術との比較、導入普及、事業化までの期間、事業化とそれに伴う経済効果等の見通しは立っているか。

(3)波及効果

- ・ 成果は関連分野への波及効果（技術的・経済的・社会的）を期待できるものか。
- ・ プロジェクトの実施自体が当該分野の研究開発や人材育成等を促進するなどの波及効果を生じているか。

※基礎的・基盤的研究及び知的基盤・標準整備等の研究開発の場合は、以下の項目・基準による。

*基礎的・基盤的研究開発の場合

2. 研究開発マネジメントについて

(1)研究開発目標の妥当性

- ・ 内外の技術動向、市場動向等を踏まえて、戦略的な目標が設定されているか。
- ・ 具体的かつ明確な開発目標を可能な限り定量的に設定しているか。
- ・ 目標達成度を測定・判断するための適切な指標が設定されているか。

(2)研究開発計画の妥当性

- ・ 目標達成のために妥当なスケジュール、予算（各個別研究テーマ毎の配分を含む）となっているか。
- ・ 目標達成に必要な要素技術を取り上げているか。
- ・ 研究開発フローにおける要素技術間の関係、順序は適切か。
- ・ 継続プロジェクトや長期プロジェクトの場合、技術蓄積を、実用化の観点から絞り込んだうえで活用が図られているか。

(3)研究開発実施の事業体制の妥当性

- ・ 適切な研究開発チーム構成での実施体制になっているか。
- ・ 真に技術力と事業化能力を有する企業を実施者として選定しているか。
- ・ 研究管理法人を経由する場合、研究管理法人が真に必要な役割を担っているか。
- ・ 全体を統括するプロジェクトリーダー等が選任され、十分に活躍できる環境が整備されているか。
- ・ 目標達成及び効率的実施のために必要な実施者間の連携 and/or 競争が十分に行われる体制となっているか。
- ・ 実用化シナリオに基づき、成果の受け取り手（ユーザー、活用・実用化の想定者等）に対して、関与を求める体制を整えているか。

(4) 研究開発成果の実用化に向けたマネジメントの妥当性

- ・ 成果の実用化につなげる戦略が明確になっているか。
- ・ 成果の実用化につなげる知財マネジメントの方針が明確に示され、かつ妥当なものか。

(5)情勢変化への対応等

- ・ 進捗状況を常に把握し、社会・経済の情勢の変化及び政策・技術動向に機敏かつ適切に対応しているか。
- ・ 計画見直しの方針は一貫しているか（中途半端な計画見直しが研究方針の揺らぎとなっていないか）。計画見直しを適切に実施しているか。

3. 研究開発成果について

(1)目標の達成度

- ・ 成果は目標値をクリアしているか。（※）
（※事後評価前倒し実施の場合は、「成果は目標値をクリアする見込みか。」）
- ・ 全体としての目標達成はどの程度か。
- ・ 目標未達成の場合、目標達成までの課題を把握し、課題解決の方針が明確になっているか。

(2)成果の意義

- ・ 成果は市場の拡大或いは市場の創造につながることを期待できるか。
- ・ 成果は、世界初あるいは世界最高水準か。
- ・ 成果は、新たな技術領域を開拓することが期待できるか。
- ・ 成果は汎用性があるか。
- ・ 投入された予算に見合った成果が得られているか。
- ・ 成果は、他の競合技術と比較して優位性があるか。

(3)知的財産権等の取得及び標準化の取組

- ・ 知的財産権等の取扱（特許や意匠登録出願、著作権や回路配置利用権の登録、品種登録出願、営業機密の管理等）は事業戦略、または実用化計画に沿って国内外に適切に行われているか。
- ・ 国際標準化に関する事項が計画されている場合、得られた研究開発の成果に基づく国際標準化に向けた提案等の取組が適切に行われているか。

(4)成果の普及

- ・ 論文の発表は、研究内容を踏まえ適切に行われているか。
- ・ 成果の受取手（ユーザー、活用・実用化の想定者等）に対して、適切に成果を普及しているか。また、普及の見通しは立っているか。
- ・ 一般に向けて広く情報発信をしているか。

4. 実用化の見通しについて

(1)成果の実用化可能性

- ・ 実用化イメージ・出口イメージが明確になっているか。
- ・ 実用化イメージ・出口イメージに基づき、開発の各段階でマイルストーンを明確にしているか。それを踏まえ、引き続き研究開発が行われる見通しは立っているか。
- ・ 国際標準化に関する事項が計画されている場合、国際規格化等、標準整備に向けた見通しが得られているか。

(2)波及効果

- ・ 成果は関連分野への波及効果（技術的・経済的・社会的）を期待できるものか。
- ・ プロジェクトの実施自体が当該分野の研究開発や人材育成等を促進するなどの波及効果を生じているか。

* 知的基盤・標準整備等の研究開発の場合

2. 研究開発マネジメントについて

(1)研究開発目標の妥当性

- ・ 内外の技術動向、市場動向等を踏まえて、戦略的な目標が設定されているか。
- ・ 具体的かつ明確な開発目標を可能な限り定量的に設定しているか。
- ・ 目標達成度を測定・判断するための適切な指標が設定されているか。

(2)研究開発計画の妥当性

- ・ 目標達成のために妥当なスケジュール、予算（各個別研究テーマ毎の配分を含む）となっているか。
- ・ 目標達成に必要な要素技術を取り上げているか。
- ・ 研究開発フローにおける要素技術間の関係、順序は適切か。
- ・ 継続プロジェクトや長期プロジェクトの場合、技術蓄積を、実用化の観点から絞り込んだうえで活用が図られているか。

(3)研究開発実施の事業体制の妥当性

- ・ 適切な研究開発チーム構成での実施体制になっているか。
- ・ 真に技術力と事業化能力を有する企業を実施者として選定しているか。
- ・ 研究管理法人を経由する場合、研究管理法人が真に必要な役割を担っているか。

るか。

- ・ 全体を統括するプロジェクトリーダー等が選任され、十分に活躍できる環境が整備されているか。
- ・ 目標達成及び効率的実施のために必要な実施者間の連携 and/or 競争が十分に行われる体制となっているか。
- ・ 実用化シナリオに基づき、成果の受け取り手（ユーザー、活用・実用化の想定者等）に対して、関与を求める体制を整えているか。

(4) 研究開発成果の実用化に向けたマネジメントの妥当性

- ・ 成果の実用化につなげる戦略が明確になっているか。
- ・ 成果の実用化につなげる知財マネジメントの方針が明確に示され、かつ妥当なものか。

(5) 情勢変化への対応等

- ・ 進捗状況を常に把握し、社会・経済の情勢の変化及び政策・技術動向に機敏かつ適切に対応しているか。
- ・ 計画見直しの方針は一貫しているか（中途半端な計画見直しが研究方針の揺らぎとなっていないか）。計画見直しを適切に実施しているか。

3. 研究開発成果について

(1) 目標の達成度

- ・ 成果は目標値をクリアしているか。（※）
（※事後評価前倒し実施の場合は、「成果は目標値をクリアする見込みか。」）
- ・ 全体としての目標達成はどの程度か。
- ・ 目標未達成の場合、目標達成までの課題を把握し、課題解決の方針が明確になっているか。

(2) 成果の意義

- ・ 成果は市場の拡大或いは市場の創造につながることが期待できるか。
- ・ 成果は、世界初あるいは世界最高水準か。
- ・ 成果は、新たな技術領域を開拓することが期待できるか。
- ・ 成果は汎用性があるか。
- ・ 投入された予算に見合った成果が得られているか。
- ・ 成果は公開性が確保されているか。

(3)知的財産権等の取得及び標準化の取組

- ・ 研究内容に新規性がある場合、知的財産権等の取扱（特許や意匠登録出願、著作権や回路配置利用権の登録、品種登録出願、営業機密の管理等）は事業戦略、または実用化計画に沿って国内外に適切に行われているか。
- ・ 国際標準化に関する事項が計画されている場合、得られた研究開発の成果に基づく国際標準化に向けた提案等の取組が適切に行われているか。

(4)成果の普及

- ・ 論文の発表は、研究内容を踏まえ適切に行われているか。
- ・ 成果の受取手（ユーザー、活用・実用化の想定者等）に対して、適切に成果を普及しているか。また、普及の見通しは立っているか。
- ・ 一般に向けて広く情報発信をしているか。

4. 実用化の見通しについて

(1)成果の実用化可能性

- ・ 整備した知的基盤についての利用は実際にあるか、その見通しが得られているか。
- ・ 公共財として知的基盤を供給、維持するための体制は整備されているか、その見込みはあるか。
- ・ 国際標準化に関する事項が計画されている場合、国際規格化等、標準整備に向けた見通しが得られているか。
- ・ J I S化、標準整備に向けた見通しが得られているか。注）国内標準に限る
- ・ 一般向け広報は積極的になされているか。

(2)波及効果

- ・ 成果は関連分野への波及効果（技術的・経済的・社会的）を期待できるものか。
- ・ プロジェクトの実施自体が当該分野の研究開発や人材育成等を促進するなどの波及効果を生じているか。

参考資料 2 評価に係る被評価者意見

研究評価委員会（分科会）は、評価結果を確定するにあたり、あらかじめ当該実施者に対して評価結果を示し、その内容が、事実関係から正確性を欠くなどの意見がある場合に、補足説明、反論などの意見を求めた。研究評価委員会（分科会）では、意見があったものに対し、必要に応じて評価結果を修正の上、最終的な評価結果を確定した。

評価結果に対する被評価者意見は全て反映された。

本研究評価委員会報告は、独立行政法人新エネルギー・産業技術総合開発機構（NEDO）評価部が委員会の事務局として編集しています。

平成23年10月

NEDO 評価部

部長 竹下 満

主幹 三上 強

担当 室井 和幸

* 研究評価委員会に関する情報は NEDO のホームページに掲載しています。

(http://www.nedo.go.jp/introducing/iinkai/kenkyuu_index.html)

〒212-8554 神奈川県川崎市幸区大宮町1310番地

ミュージアム川崎セントラルタワー20F

TEL 044-520-5161 FAX 044-520-5162