

## 「スピントロニクス不揮発性機能技術」(事後評価)

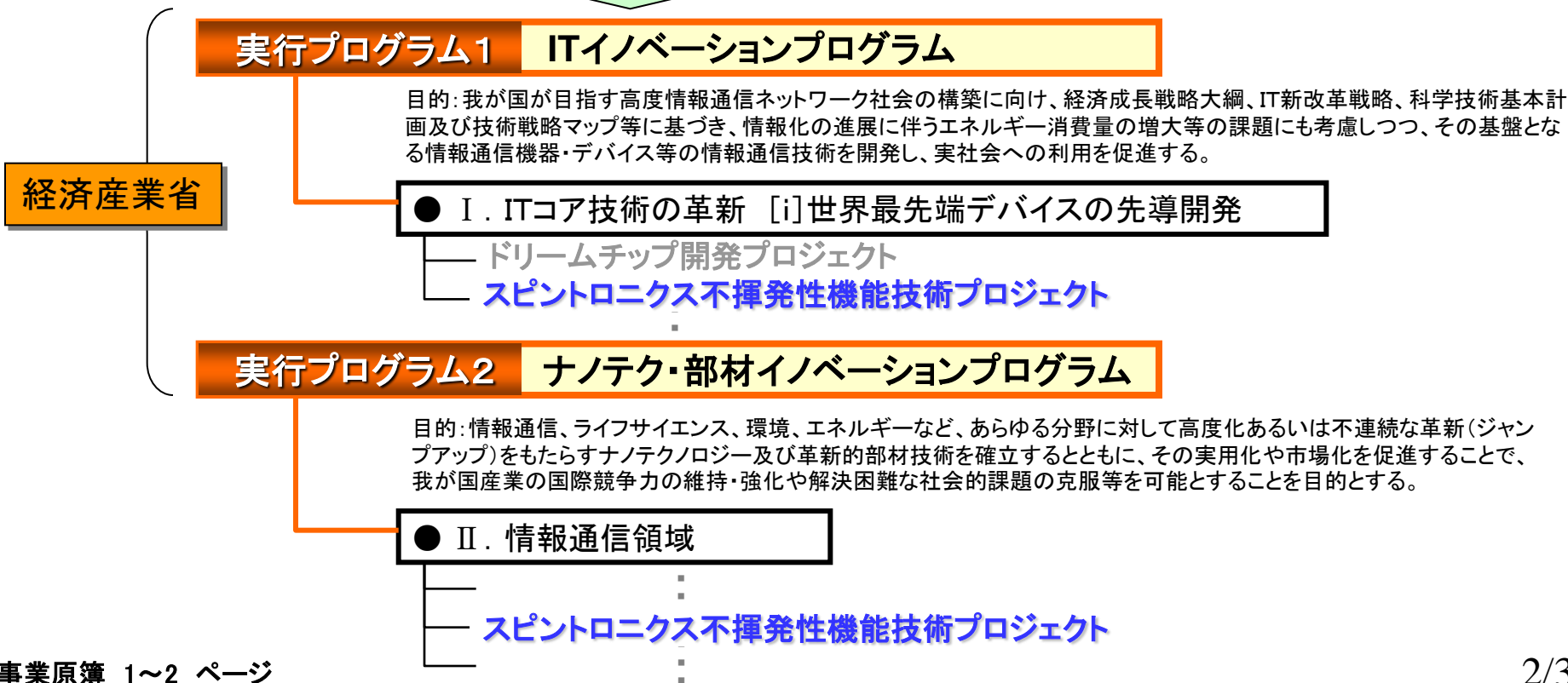
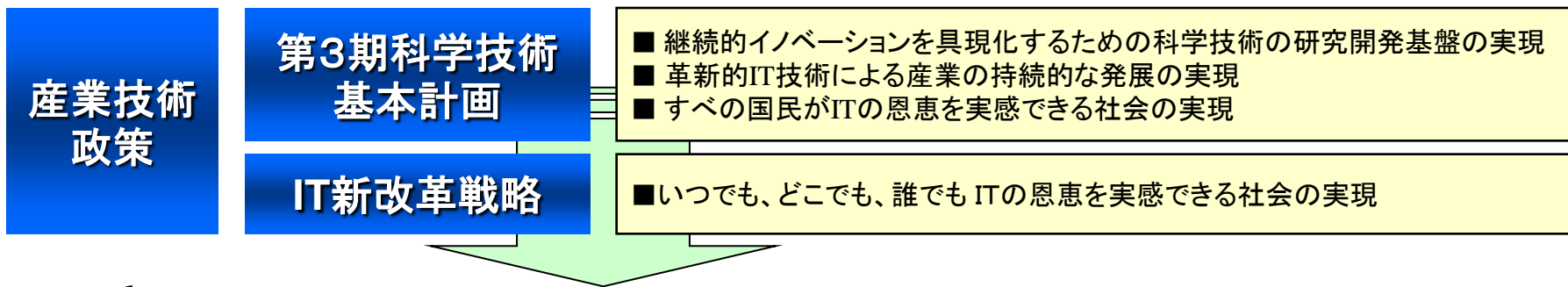
(2006年度～2010年度 5年間)

### 4. プロジェクトの概要説明資料

- 4. 1 事業の位置づけ・必要性及び研究開発マネジメント(NEDO 中山、宮田)
- 4. 2 研究開発成果及び実用化の見通し(PL 安藤)

# 政策上の位置付け

## 経済産業省 研究開発プログラム「ITイノベーションプログラム」および「ナノテク・部材イノベーションプログラム」の1テーマとして実施



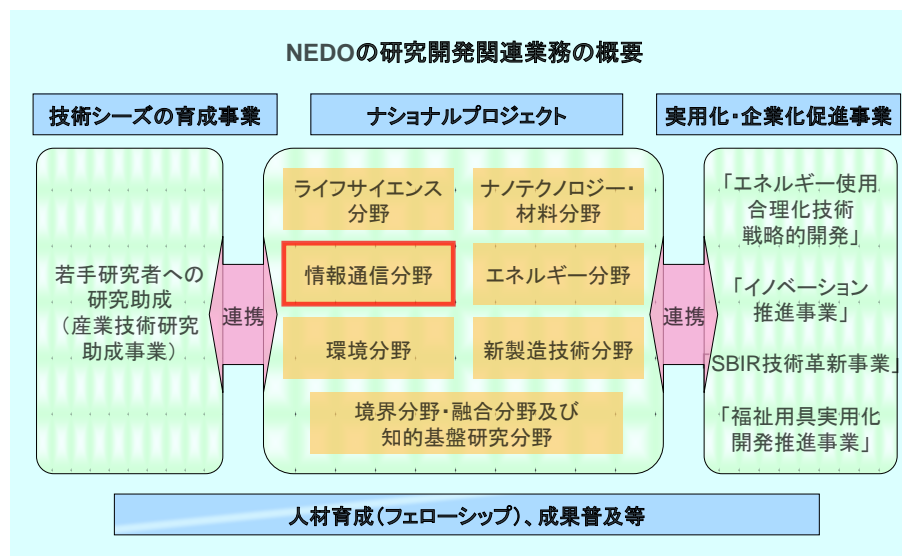
# NEDO中期目標における位置付け

**NEDO中期目標に掲げる「高度な情報通信社会の実現」のため、電子・情報技術開発分野のストレージ・メモリ技術の一環として実施。**

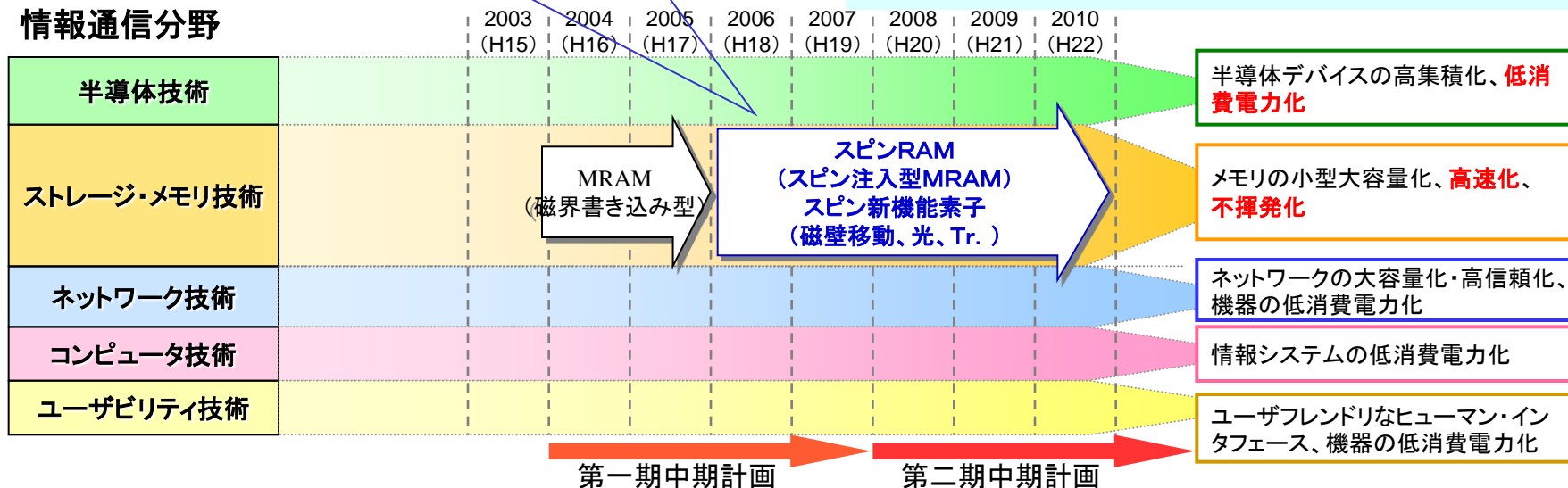
## NEDO 中期目標

- 誰もが自由な情報の発信・共有を通じて、個々の能力を創造的かつ最大限に発揮することが可能となる高度な情報通信(IT)社会の実現
- 我が国経済の牽引役としての産業発展の促進

本プロジェクト  
「スピントロニクス不揮発性機能技術プロジェクト」



### 情報通信分野



# 開発背景と事業目的

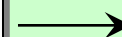
事業目的: スピントロニクス技術を用い、不揮発性機能を活用した革新的素子を開発する。

不揮発性機能は情報通信機器の画期的な低消費電力化を実現する

- ・スピンRAM
- ・不揮発性能動素子



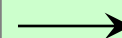
- ・インスタント・オン・コンピュータ
- ・ノーマリ・オフ・コンピュータ



スピントロニクス技術は省エネルギー、地球温暖化対策に貢献する技術

日本発のTMR素子が国際的なスピントロニクス技術開発を先導

- ・TMR効果実証(東北大学)
- ・MgO障壁TMR素子開発(産総研・アネルバ)



日本の技術優位性により産業競争力強化に繋がる技術

高度な技術開発を必要とし民間企業単独で行うにはリスクが大きい



産学官共同研究体制が適する

米国、韓国の開発状況



イコールフットイング



NEDO技術開発機構が関与すべき事業

## スピンRAMと他技術の特長比較

- ・書き換え時間、書き換え回数で勝る
- ・フラッシュメモリ、DRAMの課題を克服する最有力候補

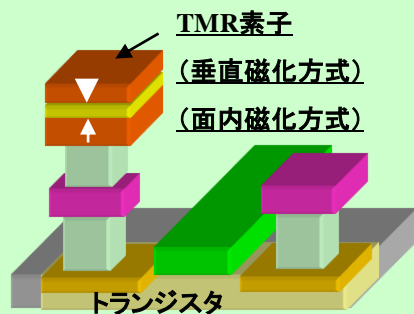
日本が存在感を回復しつつある半導体分野で、次世代の優位性を確実にするために必要な技術開発

|             | スピンRAM            | ReRAM            | PRAM              | Flash           | DRAM              |
|-------------|-------------------|------------------|-------------------|-----------------|-------------------|
| サイズ         | 6F <sup>2</sup>   | 4F <sup>2</sup>  | 5F <sup>2</sup>   | 7F <sup>2</sup> | 6F <sup>2</sup>   |
| 読み出し時間 (ns) | 5                 | 10               | 10                | 70              | 10                |
| 書き換え時間 (ns) | 5                 | 30               | 50                | 10 <sup>4</sup> | 10                |
| 書き換え回数      | >10 <sup>15</sup> | >10 <sup>6</sup> | >10 <sup>12</sup> | 10 <sup>5</sup> | >10 <sup>15</sup> |

# 戦略的な目的設定

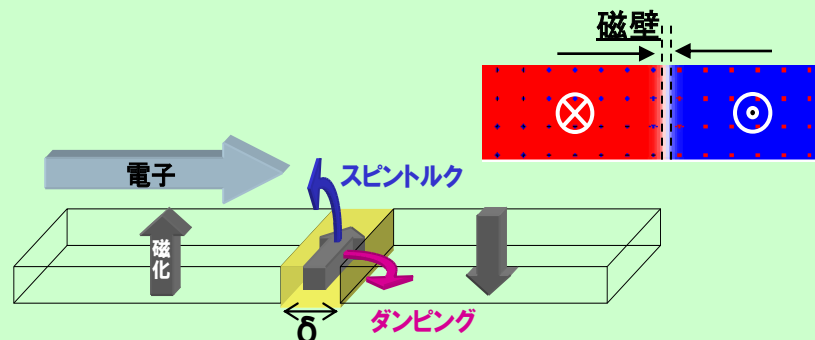
- ▶ スピントロニクス技術による不揮発性機能素子の可能性を広く実証する。
- ▶ 材料は実用化の優位性の観点から、強磁性金属に限定。
- ▶ 技術開発レベルに応じたメリハリをつけて開発を実施。

① スピンRAM基盤技術：  
実用化を目指す



Gbit級MRAMの単位記憶セルの斜視図

② スピン新機能素子設計技術：  
先進的次世代素子の可能性実証



磁壁移動メモリ斜視図

NEDO予算：約38億円(内加速分8億円)

NEDO予算と別に内閣府総合科学技術会議による革新的技術推進費 3.3億円(H21)

| 評価基準       | 研究開発項目   |
|------------|--|
| 標準的研究開発    | ① スピンRAM   |
| 基礎・基盤的研究開発 | ②-1 磁壁メモリ、磁壁ストレージ(前期で終了)<br>②-2 光素子(前期で終了)<br>②-3 能動素子 |

# 開発課題と解決技術

・**実用化に向けた基盤技術の確立**を推進すると共に、21世紀エレクトロニクス分野における**中核的・革新的技術**となりうる**研究開発テーマ**についても取り組む。

| 指針  | 研究開発項目   | 内 容  | 目 的   |
|---|--|--|---|
| <b>実用化に向けた基盤技術の確立</b>                             | ① スピンRAM ( <b>ギガビット級スピンRAM</b> の可能性実証)           | ・ 高TMR比発生機構及びスピン磁化反転機構の解明による高性能TMR素子の開発                              | ・ 高TMR比、最適素子抵抗値、高速・低電力スピン注入磁化反転、安定動作、スケラビリティーを実現し、 <b>ギガビット級スピンRAMの動作実証</b> |
| <b>新原理によるデバイスの機能実証</b><br><br>(従来技術の延長では実現不可能なもの) | ②-1 磁壁メモリ (スピン偏極電流による <b>磁壁移動技術</b> )            | ・ 強磁性金属ナノ構造中の磁壁をスピン偏極電流で移動させる技術の開発                                   | ・ スピン偏極電流による磁壁移動現象のダイナミックスの解明<br>・ 新メモリデバイス構造の提案およびデバイス試作                   |
|   | ②-1 磁壁ストレージ (スピン偏極電流による磁壁移動技術)<br>- 前期で終了 -      | ・ 強磁性金属ナノ構造中の磁壁をスピン偏極電流で移動させる技術の開発                                   | ・ スピン偏極電流による磁壁移動現象のダイナミックスの解明   |
|   | ②-2 光機能素子(光によるスピン情報の制御・利用) -前期で終了-               | ・ 導波路光を用いてスピン情報を制御・利用する技術の開発   | ・ 光・スピン相互作用による情報読み書き技術の実現可能性の確認   |
|   | ②-3 能動素子 ( <b>不揮発性</b> 機能を有する <b>トランジスタ</b> の提案) | ・ スピン偏極注入電流により発生するスピントルクを利用した電力増幅技術<br>・ ハーフメタル電極の高スピン偏極度を利用した電流スイッチ | ・ 不揮発性情報記憶機能と増幅・スイッチング機能を併せ持つ三端子磁性金属構造の提案                                   |

## 予算額と期待される効果の比較

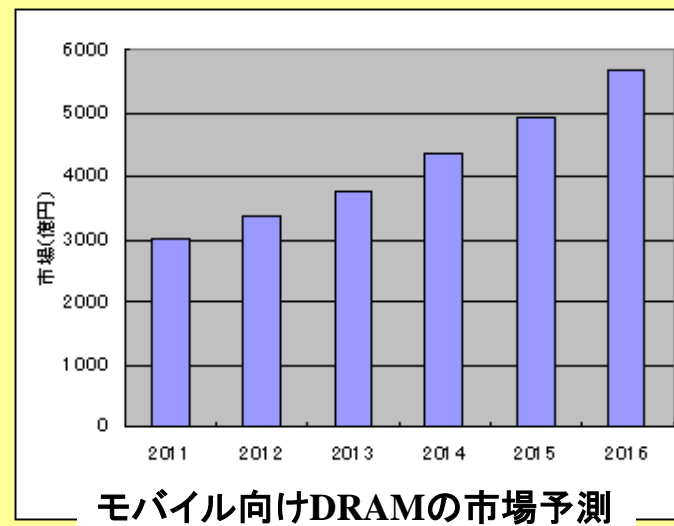
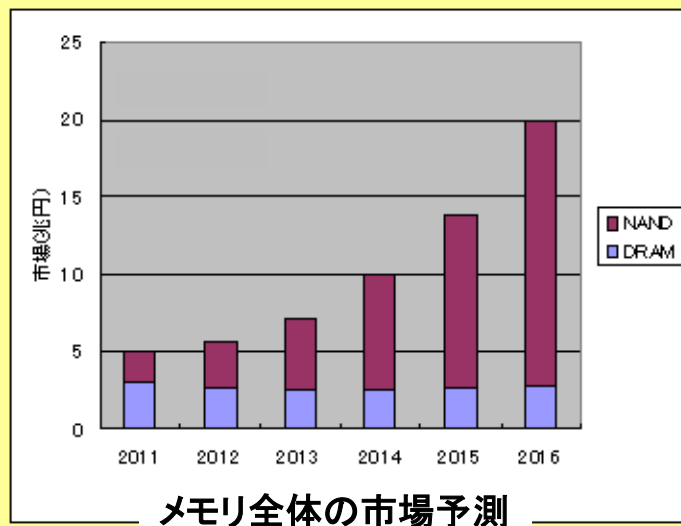
### 「スピンRAM基盤技術」 主にモバイル用DRAMの不揮発化

予算額25億円に対し、2022年で約9000億円の市場規模  
(モバイル・PC向けDRAM市場)

**事業予算** 25億円(スピンRAM基盤技術予算) (プロジェクト全体予算は38億円)

**携帯電話用メモリの市場(予測)**

2022年; 約9000億円(50%が置換)(モバイルDRAMで4000億円、PC向けDRAMで5000億円)



## 基本計画における研究開発目標と根拠

| 研究開発項目  | 研究開発目標(最終目標)   | 根拠  |
|---|--|---|
| ①「スピンRAM基盤技術」<br>(1)低電力磁化反転TMR素子技術                            | <ul style="list-style-type: none"> <li>・<math>5 \times 10^5 \text{A/cm}^2</math>での磁化反転技術</li> <li>・200%のTMR比</li> <li>・<math>0.005 \mu\text{m}^2</math>のTMR素子によるスピンRAM</li> </ul>  | <ul style="list-style-type: none"> <li>・60-70nm世代のCMOSで駆動可能な磁化反転電流(<math>25 \mu\text{A}</math>)と素子面積(<math>50\text{nm} \times 100\text{nm}</math>)を想定し、磁化反転電流密度の目標値を設定。</li> <li>・メガビット級のMRAM(TMR比30%)からギガビット級のスピンRAM動作に必要なTMR比を推定(200%)。さらに大容量メモリでは不可避免の特性ばらつきのマージンを考慮して目標値を設定。</li> </ul> |
| ②「スピン新機能素子設計技術」(1)新ストレージ・メモリデバイス設計技術<br>※新ストレージデバイスは、H20年度で終了 | <p>(新メモリデバイス)</p> <ul style="list-style-type: none"> <li>・SRAMと同程度のセルサイズで駆動可能な電流で<math>100\text{m/s}</math>の磁壁移動速度</li> </ul> <p>(新ストレージデバイス)</p> <ul style="list-style-type: none"> <li>・複数磁壁で<math>50\text{m/s}</math>の磁壁移動速度</li> </ul> | <p>(新メモリデバイス)</p> <ul style="list-style-type: none"> <li>・SoC混載メモリ(<math>200\text{Mz}</math>動作)を想定して磁壁移動速度の目標値を設定。</li> </ul> <p>(新ストレージデバイス)</p> <ul style="list-style-type: none"> <li>・<math>100\text{MB/s}</math>の高速データ書き込み、読取が可能なストレージデバイスを想定し磁壁移動速度の目標値を設定。</li> </ul>                |
| ②「スピン新機能素子設計技術」(2)不揮発性スピン光機能素子設計技術<br>※H20年度で終了               | <ul style="list-style-type: none"> <li>・基本動作を確認し課題を明らかにする。<br/>(※上記中間目標を最終目標に変更した)</li> </ul>  | <ul style="list-style-type: none"> <li>・全くの新規技術であるため、光・スピン相互作用による情報読み出しおよび書き込み技術の実現可能性の確認を行うこととした。</li> </ul>   |
| ②「スピン新機能素子設計技術」(3)スピン能動素子設計技術                                 | <ul style="list-style-type: none"> <li>・2以上のファンアウト 等</li> </ul>  | <ul style="list-style-type: none"> <li>・スピン能動素子による演算回路の可能性を実証するために設定。</li> </ul>  |



# 研究開発計画

初年度に資金を重点配分

(最上段は予算額:百万円)

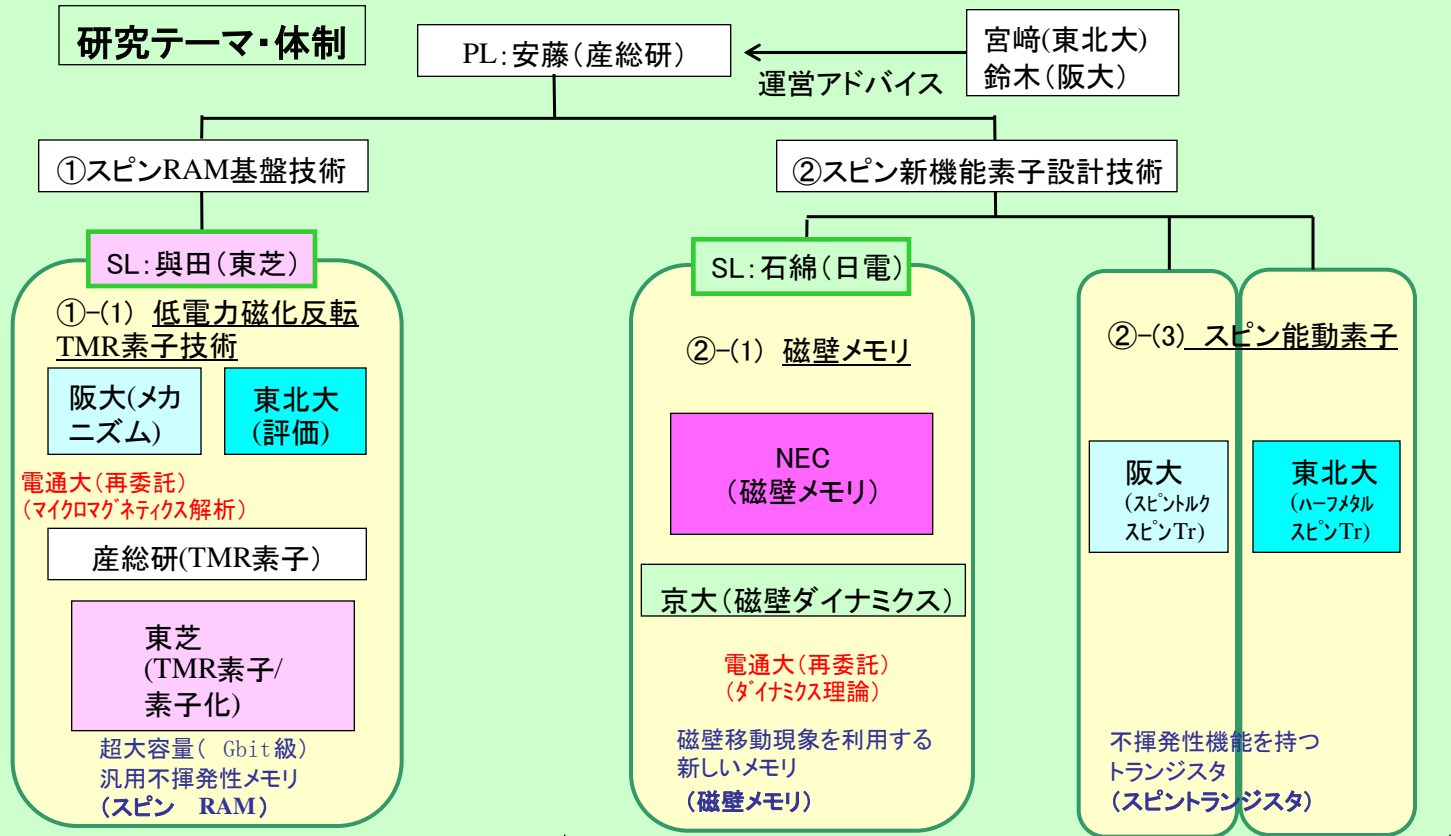
|  | 平成18年度  | 平成19年度                                      | 平成20年度                                    | 平成21年度   | 平成22年度                        |
|--|---|---|---|--|-------------------------------|
| <b>① スピンRAM基盤技術</b><br>(1) 低電力磁化反転<br>TMR素子技術<br>予算配分比率 65%<br>5年間通して資金を重点的に配分 | 510    160(加速)<br>低書き込み電流用材料開発<br>高TMR比素子開発<br>減衰定数評価<br>スピントルク現象解明 | 314    127(加速)<br>TMR素子信頼性向上<br>TMR素子ばらつき解析 | 258    32(加速)<br>磁性材料最適化<br>ばらつき低減技術      | 510    300(補正)    255<br>TMR素子微細化<br>TMR素子アレイ化                                   | 「最終目標」<br>「微細CMOSとの集積化」       |
| <b>② スピン新機能素子設計技術</b><br>(1) 新ストレージ・メモリデバイス設計技術<br>予算配分比率 メモリ 20%<br>ストレージ 3%  | 197    193(加速)<br>磁壁移動素子サブミクロン細線化<br>磁気力顕微鏡による磁壁解析                  | 172<br>磁壁移動ダイナミクス<br>磁壁移動素子化                | 151    20(加速)<br>磁壁移動ダイナミクス<br>磁壁移動素子動作実証 | 132<br>磁壁移動メモリ集積化<br>※新ストレージデバイスについては、平成20年度をもって終了。<br>※光機能素子については、平成20年度をもって終了。 | 24<br>「最終目標」<br>「素子レベルでの動作実証」 |
| (2) 不揮発性スピン光機能素子設計技術<br>予算配分比率 2%  | 28<br>素子作成技術  | 38<br>読み出し技術                                | 28<br>書き込み技術                              |  |                               |
| (3) スピン能動素子設計技術<br>予算配分比率 9%   | 87<br>材料開発<br>素子作成技術  | 78<br>新素子構造提案、素子化                           | 72<br>基本原理実証                              | 71<br>能動素子開発   |                               |

中間目標 「低電力磁化反転技術」

中間目標 「実現可能性の見極め」

# 研究開発実施の事業体制

安藤PLが取りまとめ、東北大学の宮崎教授と大阪大学の鈴木教授が運営のアドバイスをを行う。  
毎月の定例打合せ



**スピンドRAM実用化に向けた基盤技術確立**

主体: 企業 支援: 産総研・大学

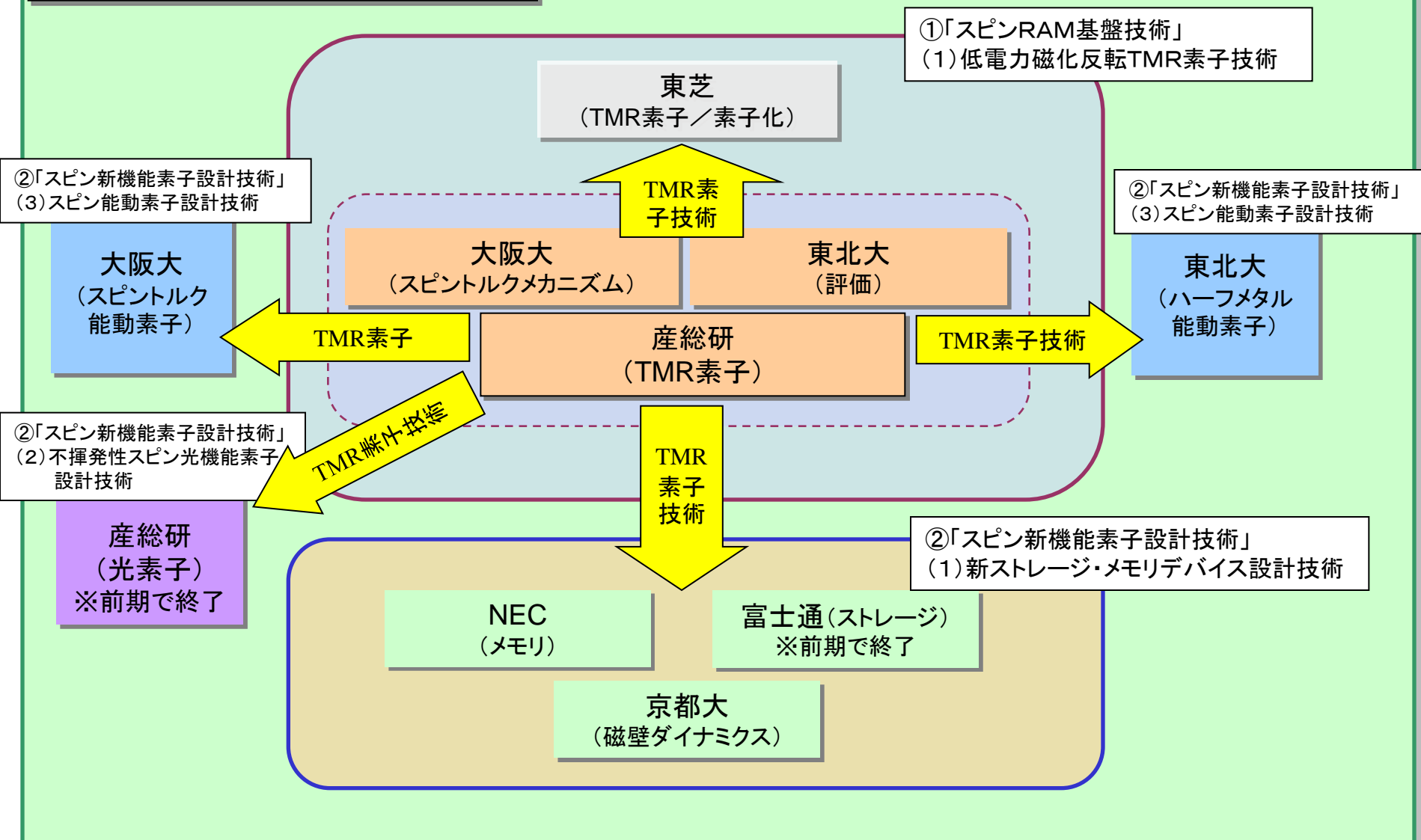
**新原理デバイスの機能実証**

主体: 企業・大学

**※基礎的・基盤的研究開発**

# 研究開発における相互連携

TMR素子の基盤技術を通じた相互連携



## 情勢変化への対応(1)

## 定期的なヒアリング

原則年2回、実施者から定期的なヒアリングを実施。

- 研究開発進捗状況の確認
- 実用化見込みの検討
- ベンチマークの検討
- 加速資金投入の検討

## 機動的な加速資金の投入

状況の変化などに対し、必要な加速資金を適切に投入し研究開発を加速。

- ◇加速4要件
- (i) 目覚しい成果を上げ、国際競争上の優位性確立が期待できる。
  - (ii) 新たな発見や研究動向への対応、「手遅れ」防止、
  - (iii) 基本特許の取得、国際標準の確立が有望
  - (iv) 社会的要請、研究環境の変化への対応

## 適時、適切な計画変更

必要に応じて、柔軟に適切な計画変更を行い、研究開発を推進。

- 新たな研究開発項目の追加等、必要に応じて基本計画の見直しを実行。

# 情勢変化への対応(2)

## 情勢変化に対応した機動的な加速資金の投入

(1) Freescale(米)が磁界書き込み型MRAMの量産を開始。「究極のメモリー」として注目され、スピントロニクス技術開発が活性化。(2006/07)

・GRANDIS(米)、IBMが本格的にスピンRAM開発を開始。(2007/05、2007/07)  
 ・Samsung、Hynix(韓)がスピンRAMの共同開発を開始(2008/01)

### (1) 平成18年度下期(前倒し加速)

内容: 平成19年度に導入予定の評価装置、加工装置を1年前倒しで導入。素子試作、特性評価の効率を向上。  
 成果: (1) TMR素子用磁性材料の特性改善。  
 (2) 磁壁デバイスにおいてサブミクロン幅の細線化を実現。

### (2) 平成19~21年度(加速)

内容: 米、韓の2012年実用化を目標とするスピンRAM開発計画に対して、実用化時期でも先行するため、ばらつき低減技術開発を追加し推進。  
 成果: (1) TMR素子の特性ばらつきの主因を把握。  
 (2) 特性ばらつきを低減する成膜技術を確立し、1Gbレベルでの信頼性確保を達成。  
 (3) 300mm対応技術の見極めを前倒しで完了できた。

|  | 平成18年度                            | 平成19年度                                     | 平成20年度   | 平成21年度                        |
|--|-----------------------------------|--|--|-------------------------------|
| ①スピンRAM基盤技術<br>(1)低電力磁化反転TMR素子技術       | 159.9百万円<br>内容: 評価装置、熱処理装置等 導入    | 126.8百万円<br>内容: 評価装置、熱処理装置等 導入<br>成膜装置等 導入 | 32.0百万円<br>内容: ばらつき検討ロット試作<br>成膜装置等 導入<br>ばらつき低減技術開発 | 300.3百万円<br>内容: 成膜装置モジュール等 導入 |
| ②スピン新機能素子設計技術<br>(1)新ストレージ・メモリデバイス設計技術 | 193.4百万円<br>内容: 細線用露光装置、磁気力顕微鏡 導入 | 内容: 素子作成、評価解析効率向上、素子における細線構造実現<br>磁性材料特性改善 | 20.0百万円<br>内容: 中間評価に対応した措置<br>磁壁移動メモリ素子アレイ試作         | 磁壁移動メモリ素子アレイの動作実証             |

## 中間評価結果への対応

「概ね現行通り実施して良い。」との評価。下記は、主な指摘事項に対する対応。

|   | 指摘   | 対応  |
|---|--|---|
| 1 | <p>「スピンRAM 基盤技術」については、めざましい成果を挙げているが、米国や韓国など外国勢の激しい追い上げが始まっているので、資金を追加するなど十分な手当を行い、思い切った研究開発の加速を図るべきである。</p> | <p><b>スピンRAM基盤技術開発</b>では、世界最高性能のメモリ素子開発に成功し実用化に最も近い位置にある。このため、<b>積極的な資金配分を考慮しつつ研究開発を継続する</b>。(平成20年度 本予算2億58百万円、加速資金32百万円、平成21年度 本予算5億10百万円、補正予算3億円、平成22年度 本予算2億55百万円)</p> <p>《スピンRAM予算／全体予算》<br/>H20年度 51%、H21年度 79%、H22年度 84%</p>   |
| 2 | <p>磁壁応用デバイスに関しては、不揮発デバイスとしての基本特性(データ保持特性、書き換え回数等)の評価を充実させ、評価結果にしたがって研究開発方針を柔軟に見直すべきである。</p>                  | <p><b>新メモリデバイス</b>については、基本動作の確認を完了し、基礎的な磁壁移動現象の解明を行う研究フェーズから<b>実用化を目指した研究開発フェーズへ移行</b>する。</p> <p><b>新ストレージデバイス</b>については、中間評価後、富士通(株)から、平成21年度以降の委託業務を遂行できない旨の報告を受け、再公募を検討した結果、当該研究開発は<b>平成20年度をもって終了</b>することとした。(検討内容)</p> <p>基盤技術の開発は完了する一方で、ストレージデバイスとしてトラック当たりの磁壁数の増大、それら複数磁壁の時間的な安定性等、検討すべき課題が明確になってきた。これら課題の解決には、一旦基礎に立ち戻った検討が必要であり、プロジェクトとして実用化を目指した研究開発フェーズに移行する段階において、公募により新たに委託先を加え、その後の2年間を使ってこれら課題に取り組むことはリソースの効率的運用の観点から適当でないと判断。</p> |
| 3 | <p>光機能素子は基礎研究段階にとどまっており、このままでは十分な成果が期待できないので、今後の進め方についての検討が必要である。</p>  | <p><b>不揮発性スピン光機能素子</b>は、最終目標に定めた「10ps幅の単一光パルス」による安定な書き込み動作が困難と予想される。これは、この短パルスで得られるスピン偏極電流量で安定に書き込み動作を実現するには、ナノ構造体界面を通して磁性体に効率的に電流を注入する必要があり、現時点ではこの注入効率が低いためである。この課題を解決するには、より基礎的なナノ構造体界面制御技術の開発が不可欠である。不揮発性スピン光機能素子テーマの技術開発フェーズ、および実用化を見通した研究開発の優先度を考慮し、<b>平成20年度末で中止</b>とした。</p>   |

## 「スピントロニクス不揮発性機能技術」(事後評価)

(2006年度～2010年度 5年間)

### 4. プロジェクトの概要説明資料

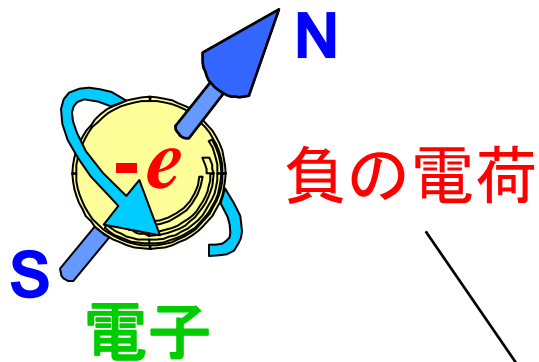
- 4. 1 事業の位置づけ・必要性及び研究開発マネジメント(NEDO 中山、宮田)
- 4. 2 研究開発成果及び実用化の見通し(PL 安藤)

# プロジェクトの背景と実施体制



# スピントロニクス (シーズ)

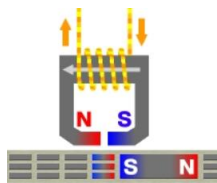
電子スピン  
(小さな磁石)



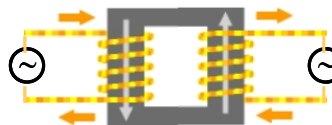
磁気工学



磁石



磁気記録



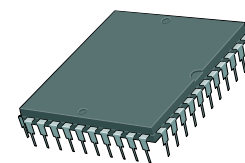
トランス

結合

電子工学



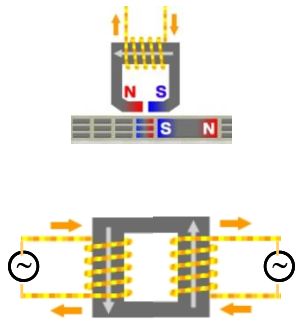
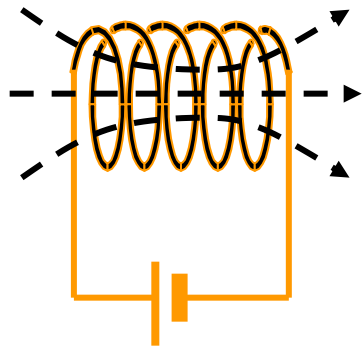
レーザー



LSI

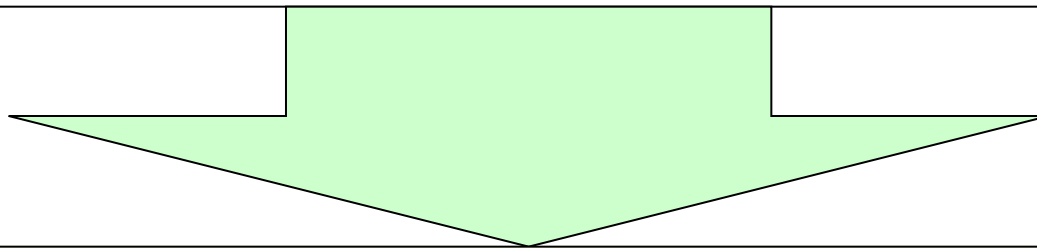
磁気工学 と 半導体工学 の結合で、新しい機能を実現！

# なぜ今、スピントロニクスなのか？



従来の磁気工学

スピンと電荷の結合には、コイルで  
磁場を発生する電磁誘導を利用  
(極めて低効率)



スピントロニクス

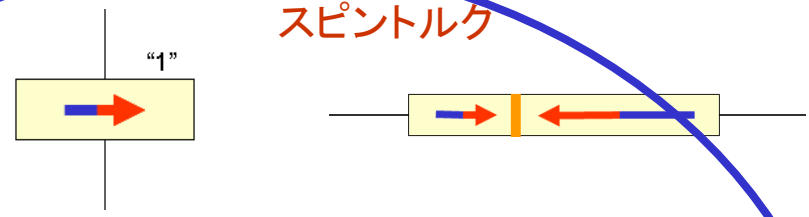
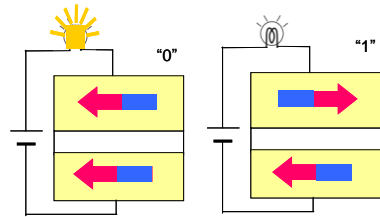
量子力学を用いて

スピンと電荷の直接的結合が可能に  
(極めて高効率)

# スピントロニクス：急展開する新エレクトロニクス技術

コイルフリーのスピンの電荷情報変換  
(実用化レベル)

コイルフリーのスピンの電荷情報変換  
(未成熟レベル)



1986

GMR効果

Gruenberg  
Fert

1994

室温  
TMR効果

宮崎

2004

MgO系  
TMR効果

湯浅

2000

スピン注入  
磁化反転

2004

電流駆動  
磁壁移動

スピンRAM

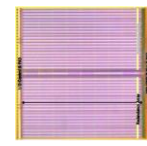


HDD

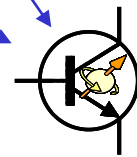


MRAM

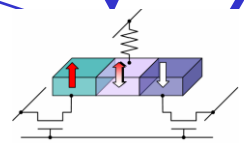
(100Mビットが限界)



スピンRAM  
(メインメモリ)



能動素子  
(不揮発性トランジスタ)



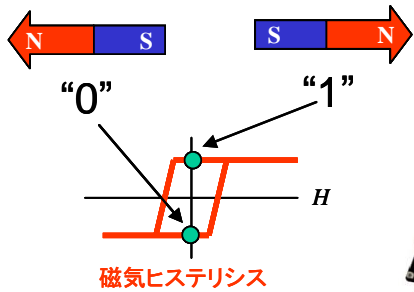
磁壁メモリ  
(埋込用途)

CoFeB/MgO-MTJは市場の標準

スピントロニクス不揮発性機能技術Pj

- ◆ スピンと電荷の双方向情報変換技術の開発
- ◆ スピントロニクス+不揮発性機能の全面展開

# 不揮発性機能 (ニーズ)



磁気テープ

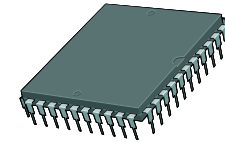


ハードディスク

電気を切っても  
情報が消えない！

**不揮発性**

電気を切ると  
情報が消える！

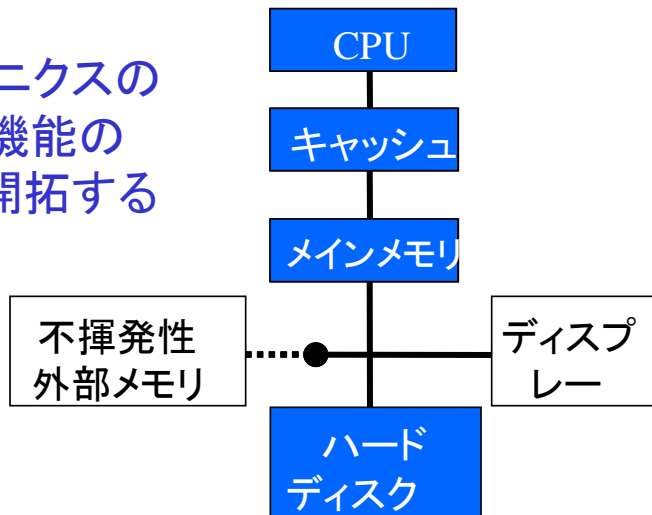


半導体LSI

+

半導体技術に  
不揮発性機能を付加！

スピントロニクス  
の不揮発性機能の  
可能性を開拓する



- ▶ 低消費電力化
- ▶ 高速起動

スピントロニクス不揮発性機能技術プロジェクト

# 国際競争

## NEDOスピントロニクス不揮発性機能プロジェクト（2006年6月～2011年2月）

スピンRAMおよび次世代スピントロニクス素子の開発

スピンの不揮発性機能に注目した世界でもユニークな国家プロジェクト

### ① スピンRAM

米国DARPAプロジェクト（2008年～現在） Grandis

韓国STT-RAMプロジェクト(2008年～現在) サムスン、ハイニクス

米IBM・日TDK共同開発（2007年～現在）

米Qualcomm・台TSMC共同開発（2007年？～現在）

仏Crocus・露Rusnano(政府ファンド)共同開発（2011年報道）

### ②-1 磁壁メモリ

IBM, ITRIがストレージ応用のための磁壁移動デバイス(MRTM)を開発中  
メモリー応用素子は、本Pjのみ

### ②-3 能動素子

半導体を用いた極低温におけるスピン能動素子の研究のみで、  
室温強磁性金属系の研究は本Pjのみ

世界が本プロジェクトのコンセプトと成果を追いかけている！

省エネ志向の政策動向を先取り

目標設定は最適だった

# 世界トップレベルのメンバー構成

H21登録人員65名

## ① スピンRAM (35名): 東芝、産総研、東北大、阪大、電通大

東芝: 16Mb-MRAM開発実績をベースに、ギガビット級スピンRAMの実用化を狙う  
世界有数のメモリーメーカー

産総研: MgO-TMR素子の開発(世界初)。スピントルク機構解明の世界トップ。

東北大: 室温TMR素子の開発(世界初)。摩擦係数評価能力は世界トップ。

阪大: スピントルク機構とダイナミクス解明で世界トップ(産総研を指導)

電通大: スピントルクシミュレーションで世界トップ。

ドリーム  
チーム!

## ②-1 磁壁メモリ (11名): 日電、京大、電通大

日電: 2Tr-1MTJ高速メモリ開発実績をベースに、磁壁移動で高速磁壁メモリを開発

京大: 磁壁移動現象の実証(世界初)。現象解明で世界トップ。

電通大: 磁壁移動シミュレーションで世界トップ。

## ②-3 能動素子 (16名): 阪大、産総研、東北大

阪大: スピントルク機能の解明における世界的優位性をベースに、利得のあるスピン能動素子を狙う。

産総研: MgO-TMR素子技術を用いて、阪大のための薄膜を作製

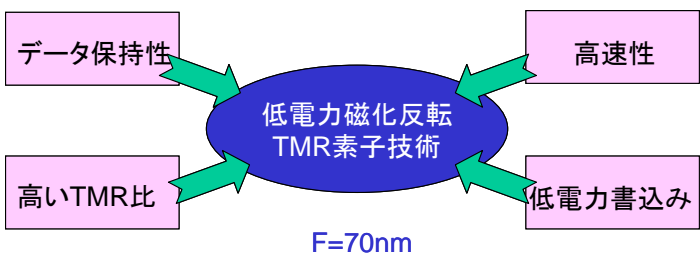
東北大: ハーフメタル電極材料開発(世界トップ)の実績をベースに、ゲート機能を三端子素子を狙う。

## ③ 調査 (3名): 素子協

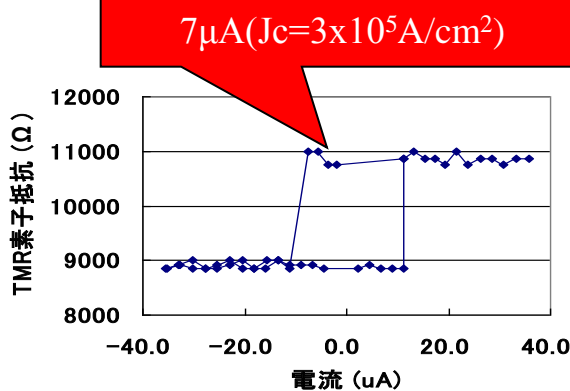
企業会員ベースの組織の特性を活かして、動向調査と将来の応用分野を調査し、PLを補佐する。

## (5. 3) 研究開発成果

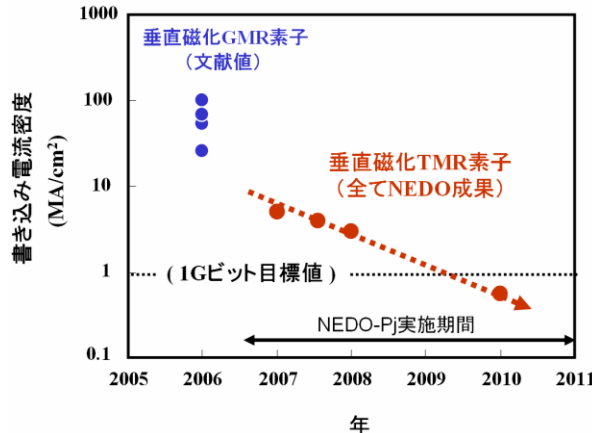
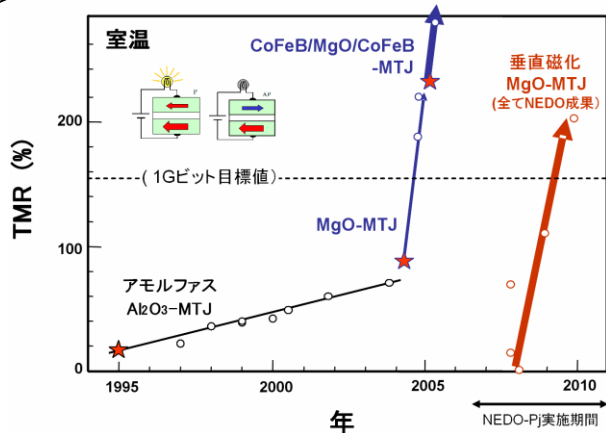
# 成果例：① スピンRAM基盤技術



垂直磁化方式スピンRAMの提唱  
⇒世界初の開発に成功

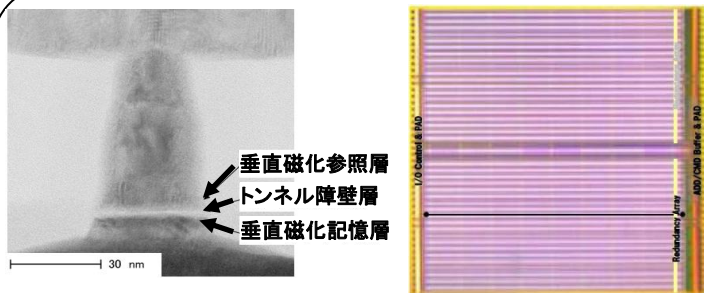


➢ Gbitレベル達成  
目標値:  $5 \times 10^5$  A/cm<sup>2</sup>  
(世界最小値)



不可能と言われていた、  
垂直磁化TMR素子で、  
高信号強度と低書込み  
電流密度を達成

(世界初)



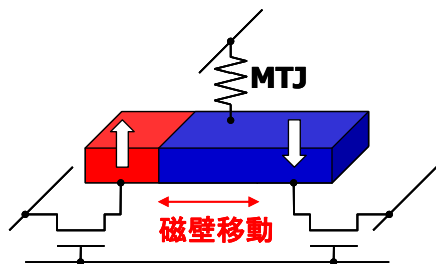
目標を大幅に超える、  
30nm微細素子と、  
64Mbitの垂直磁化  
スピンRAM集積実証  
(世界初)

本Pj成果の公表で、  
世界中のスピン  
RAM開発は垂直  
磁化方式に移行

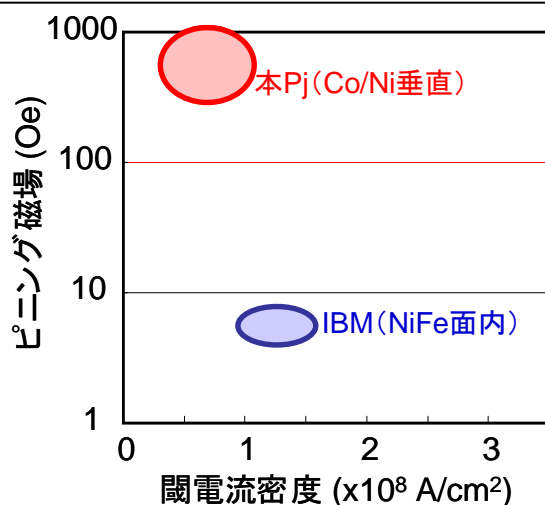
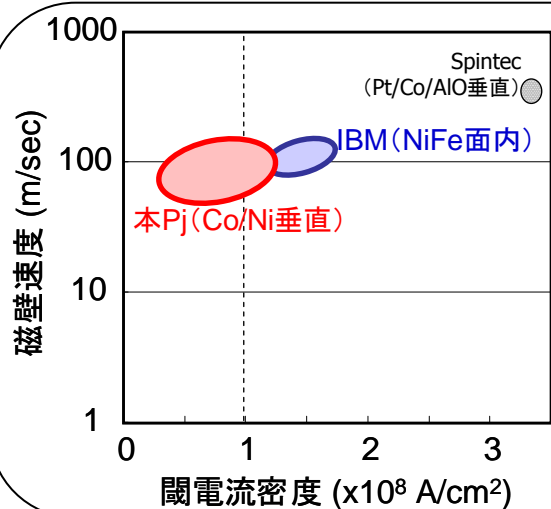


# 成果例： ②-1 磁壁移動メモリデバイス設計技術

【スピントルクによる磁壁移動効果を使って高速メモリの可能性の実証を目指す】

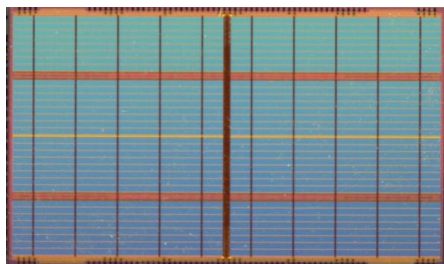


- 安定にかつ、低電流で磁壁移動ができるか？
- 高速動作が可能か？



Co/Ni垂直磁化膜の採用で、低電流密度、高速磁壁速度、安定動作(ピンニング磁場)を実現

(世界初)



垂直磁化16メガビット  
アレイチップを試作し  
回路動作を確認

(世界初)

スピントルク磁壁移動現象が、  
高速埋め込みメモリとして  
有用なことを実証した。

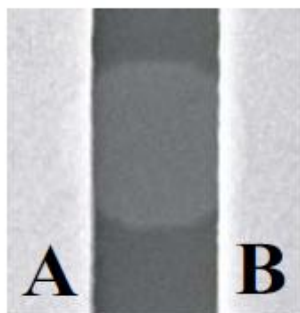
(世界初)

# 成果例： ②-3 スピン能動素子設計技術

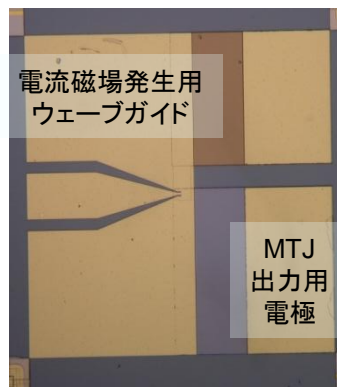
## スピントルク方式スピントランジスタ設計技術

【新スピントロニクス素子の可能性の実証を目指す】

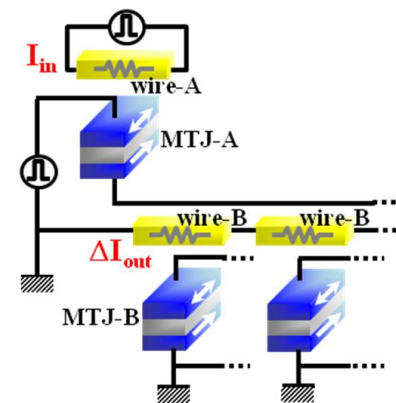
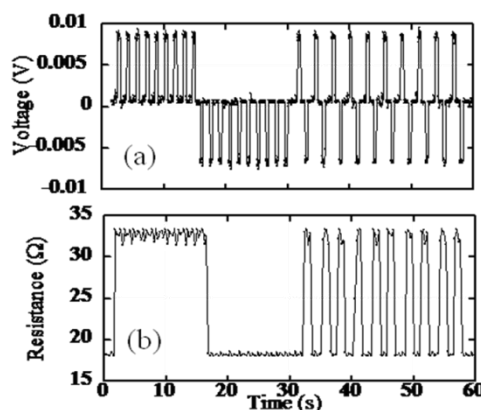
- スピントルクでアクティブ機能が出せるか？
- 三端子構造に発展可能か？



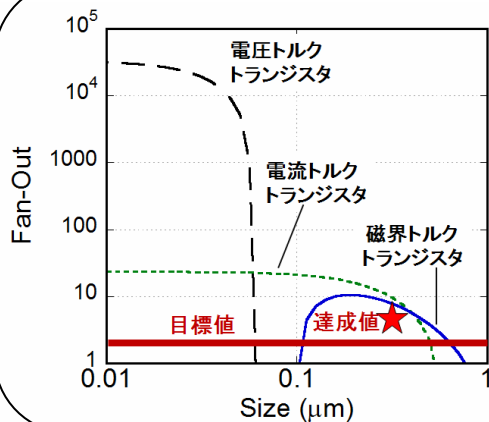
電流トルク型スピントランジスタの増幅機構を解明・設計可能とした



磁界トルク型スピントランジスタでファンアウト5を達成



不揮発論理回路の構成を可能にした



室温でファンアウト5、電力増幅度130を実証！

3方式を提案・検討

強磁性金属ベースのため高い実用性！

ヘッド、MRAM、スピンRAMに続く、新スピントロニクス素子として、スピントランジスタの可能性を実証した。(世界初)

# 最終目標達成度 : 完全達成

## ① スピンRAM

- 200%以上のTMR比の垂直磁化TMR素子 ⇒ **達成** (202%)
- DRAM並みの高速読み書きを安定して行うことができるTMR素子技術 ⇒ **達成** (30ns、20 $\mu$ A動作)
- CMOS回路との整合をとった0.005 $\mu$ m<sup>2</sup>微細(70nm)TMR素子集積アレイ ⇒ **達成** (30nm微細素子と64Mbit集積化)

垂直磁化スピンRAMの提案・実証に世界で初めて成功(ダントツ)。  
世界の全ライバルが、垂直磁化系にシフトし、追いかけて始めた!

## ②-1 磁壁メモリ

- 安定な磁壁移動 ⇒ **達成** (垂直磁化膜の導入)
- 情報書込・読取動作 ⇒ **達成**
- 100m/sの高速磁壁移動速度 ⇒ **達成** (2nsで200nm移動)
- 低駆動電流 ⇒ **達成** ( $1 \times 10^7$  A/cm<sup>2</sup>台)
- 集積アレイによる動作実証 ⇒ **達成** (4kb、16Mb試作評価)

磁壁移動メモリ(本Pjオリジナル提案)の実現可能性を実証できた

## ②-3 能動素子

- スピントルクダイオードによる増幅素子 ⇒ **達成** (増幅度1.2@RT)
- スピントルクトランジスタのファンアウト>2 ⇒ **達成** (5@RT)
- 1000%TMRハーフメタル新材料 ⇒ **達成** (1275%@2K)
- ハーフメタルトランジスタで電流On/Off比>1000@2K ⇒ **達成** (2920@6K)

強磁性金属スピントランジスタ(本Pjオリジナル提案)の実証に成功

# 特許・論文・招待講演

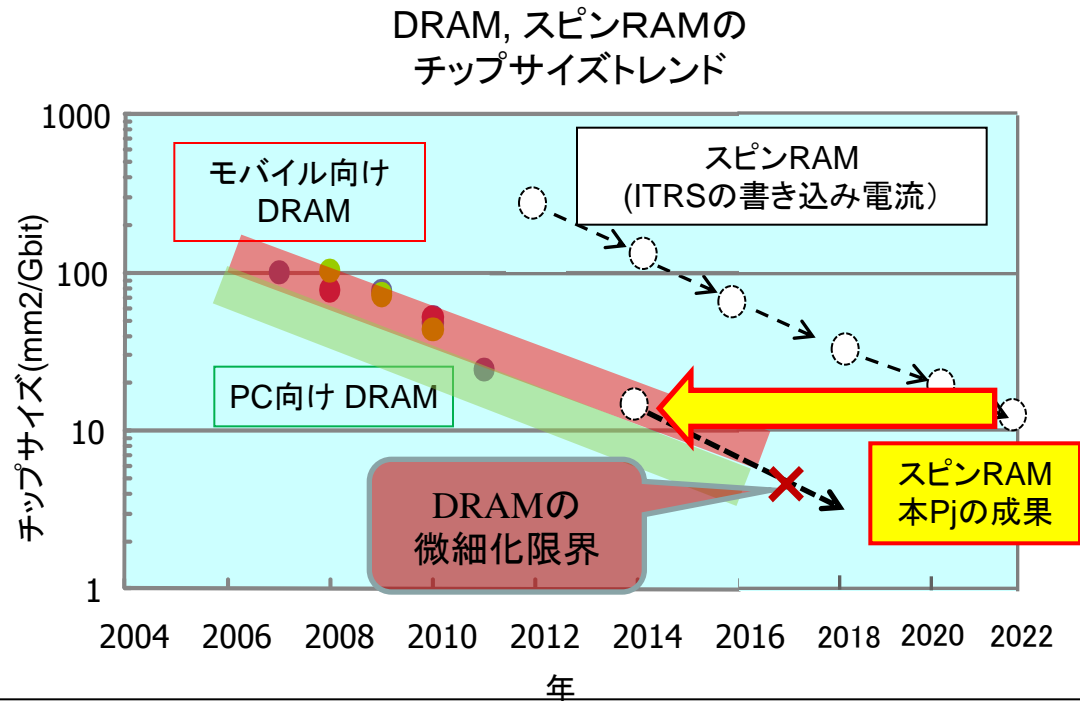
|             | 特許(内国際) | 論文 | 招待講演 |
|-------------|---------|----|------|
| ① スピンRAM    | 128(63) | 37 | 83   |
| ②-1 磁壁メモリ   | 60(60)  | 23 | 32   |
| ②-1 磁壁ストレージ | 5(0)    | 0  | 0    |
| ②-2 光素子     | 4(2)    | 4  | 7    |
| ②-3 能動素子    | 5(0)    | 21 | 17   |

## (5. 4) 実用化、事業化の見通し

# 実用化可能性と事業化シナリオ

## ① スピンRAM

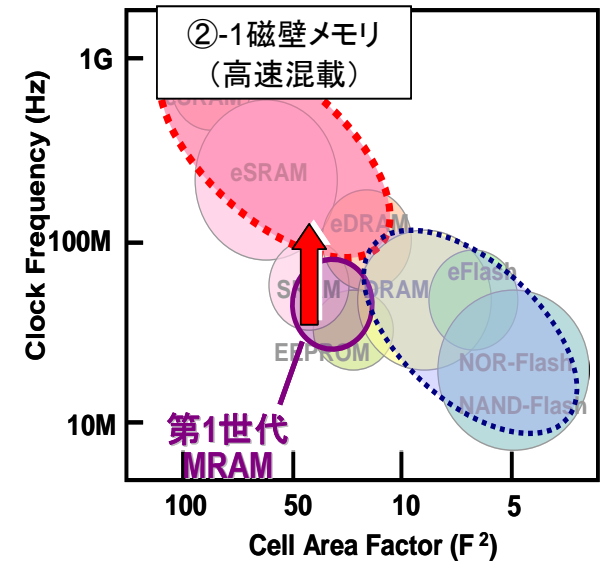
- 最難関であるDRAM置き換えも可能性あり。



# 実用化の見通し

## ②-1 磁壁メモリ

- 不揮発な高速混載RAM(eSRAM、eDRAM)への応用
- 200MHz(5ns)以上の動作、SRAM並セル面積(<0.7mA)
- 特許網の構築
- ルネサスエレクトロニクス(株)への技術移管(2010)
  - NEDOスピンPj参加のNECメンバー数名が移籍
  - 300mm用磁性スパッタ装置の導入
  - 300mmプロセスでの試作評価の開始
  - 狙いはSoC混載メモリ(不揮発RAM)

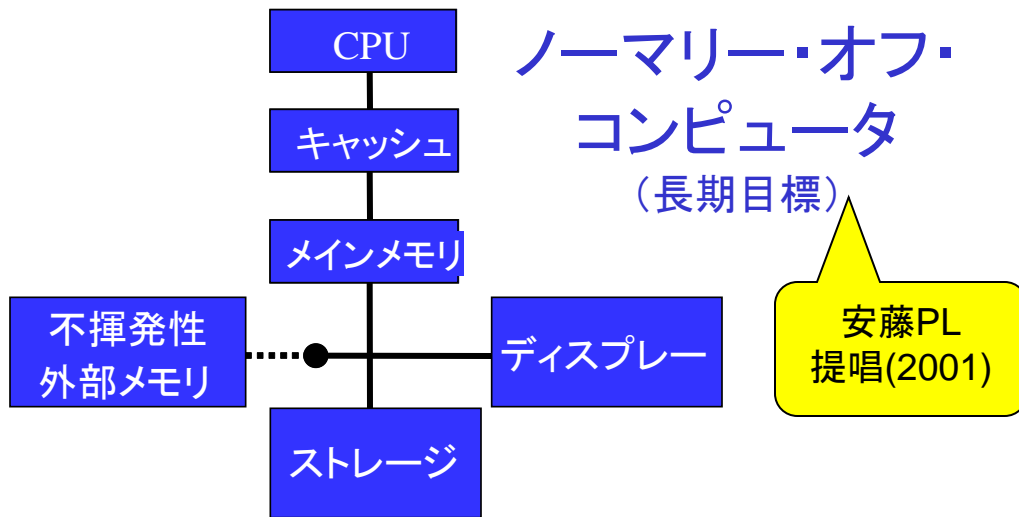


## ②-3 能動素子

- 不揮発性機能と増幅機能・スイッチ機能を併せ持つ三端子素子
- 高いファンアウト、電力増幅度、電流On・Off比の実証で、  
実用化イメージ・出口イメージが明確になった。
- 企業も能動素子に関心を持ち始めている。

# 波及効果

## 全部不揮発化



電源OFFを前提に、  
必要なとき(<1ms)だけ電源ON

何の役に立つのか？

- ▶ 劇的な低消費電力化
- ▶ モバイル機器の長時間動作
- ▶ 新しい応用(1年24時間動作)
- ▶ インフラ崩壊環境下の高性能PC  
災害現場の通信  
低開発国の人材育成

技術的・経済的・社会的な  
波及効果は巨大

## スピントロニクス不揮発性機能技術プロジェクト

- ▶ NEDOノーマリー・オフ・コンピューティングPj(システム中心)に発展した
- ▶ 磁壁移動技術は最先端PGによる不揮発性論理回路開発へと展開
- ▶ ドリームチーム内の密接な相互作用 → 次世代の人材育成による日本の優位性確保
- ▶ 世界のスピントロニクス研究に方向性を提示