

# 次世代半導体材料・プロセス基盤 (MIRAI)プロジェクト(事後評価)

## プロジェクト第三期の概要(公開)

Ⅲ. 研究開発成果について

Ⅳ. 実用化の見通し

平成23年4月14日(木)

(株)半導体先端テクノロジーズ(Selete)  
(独)産業総合技術研究所(AIST)  
極端紫外線露光システム技術開発機構(EUVA)  
(株)東芝

## Ⅲ. 研究開発成果について

- 1) 新構造極限トランジスタ(UCMOS)
- 2) 新探求配線(CNT配線、光配線)
- 3) 構造依存ばらつき(ロバストトランジスタ)
- 4) 外部擾乱ばらつき(耐外部擾乱デバイス)
- 5) EUVマスク
- 6) EUV光源高信頼化

## 研究開発目標と成果達成度 (UCMOS)

### I. 次世代半導体材料・プロセス基盤技術開発

事業原簿pIII-1-1-①-(0)-P1~P4

#### 1) 新構造極限CMOSトランジスタ関連技術開発

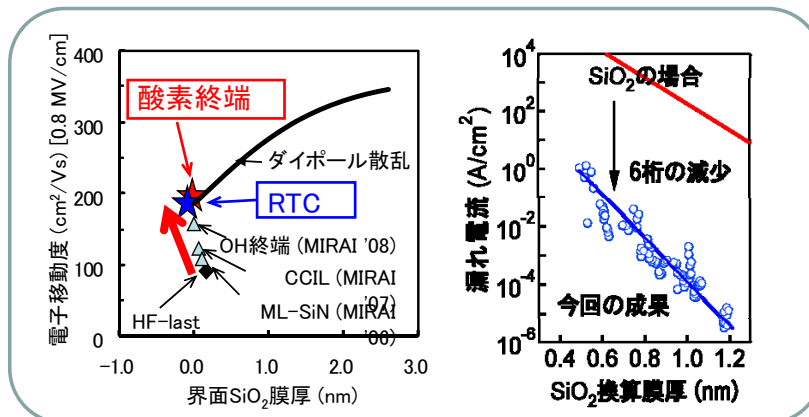
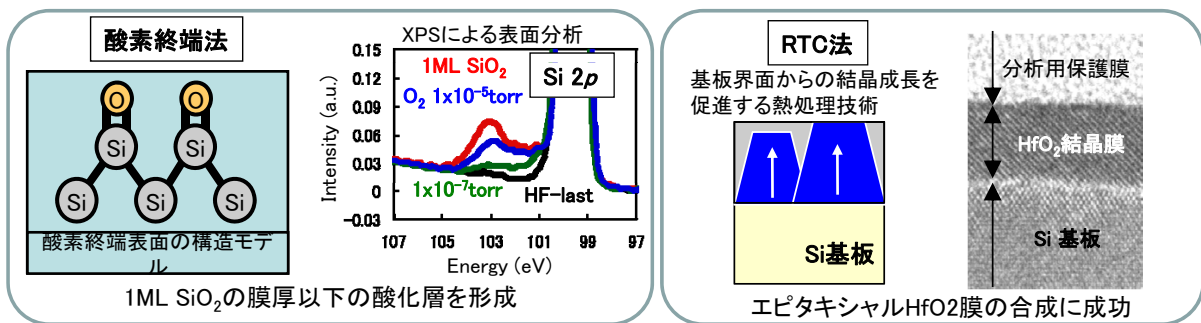
・hp32nmを越える技術世代に対応するバリスティックCMOS技術を開発する。

研究開発項目	基本計画目標	全体成果	達成/未達成
①ソース・ドレイン材料・構造制御によるCMOS高駆動力化	<ul style="list-style-type: none"> <li>高移動度チャネルS/D電極材料開発</li> <li>原子層制御S/D形成とSBH制御</li> </ul>	<ul style="list-style-type: none"> <li>SiGe, Geチャネル用S/D電極としてNiSiGeおよびNiGeを用い<math>V_L=26\text{nm}^2</math>ハイス動作で有効性実証</li> <li>Ge-nMOS用不純物偏析SB(P/S界面ドーブ)により、NiGe/GeダイオードのON抵抗を半減し10mV以下のSBHを確認。</li> </ul>	達成
②キャリア輸送特性制御によるCMOSの駆動力化	<ul style="list-style-type: none"> <li>ひずみ制御による高移動度化</li> <li>界面制御によるキャリア散乱低減</li> <li>高駆動力ゲートスタック形成技術開発</li> </ul>	<ul style="list-style-type: none"> <li>二段階酸化濃縮法でP-SiGeチャネルに一軸圧縮歪(2.6%)を印加し至Siチャネルを上回る正孔移動度を実現。N-Geチャネル両端にSiGeエピシ軸引張り歪(1%)の印加を確認。</li> <li>Geチャネル上のhigh-k(LaAlO)/SrGe絶縁膜により、Si正孔移動度の約2倍化達成。SrGe界面制御でEOT&lt;1nm達成。</li> <li>酸素終端法(Si表面を酸素で終端)で界面ラフネス散乱低減。</li> <li>RTC法でHfO<sub>2</sub>膜を結晶化させエピタキシャルHfO<sub>2</sub>を形成。界面層形成を抑制することでEOT 0.5 nmを実現。</li> </ul>	達成
③低消費電力・高電流駆動カトランジスタによる実証	高いゲート静電支配力を有する短チャネルトランジスタの試作	SiGe及びSiチャネルについて、hp32nm相当の微細ゲート長トランジスタの試作した。1.15倍以上の電流駆動力の向上と20%以下の消費電力の削減効果を実証	達成
④計測・モデリング技術の開発	バリスティック特性計測解析技術開発	微細デバイスの電気特性評価法を開発し、バリスティック輸送効率など求めるとともに、走査トンネル顕微鏡 (STM) によるポテンシャルプロファイル計測技術、ラマンを用いた局所応力分析を開発し、バリスティック効率の向上メカニズムを解明できる評価・解析法を確立	達成

## UCMOS : CMOS高駆動力化技術

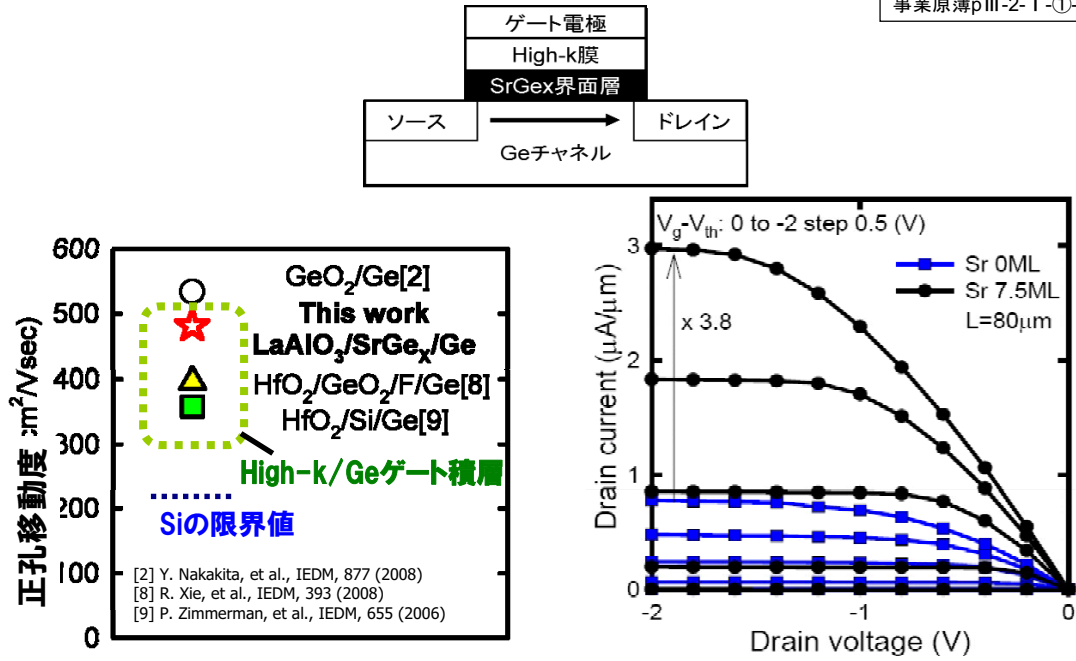
事業原簿pIII-2-1-①-(2)-P14~P17

酸素終端法とRTC(高速結晶化)法により移動度の改善ならびに漏れ電流の低減



# UCMOS : SrGe<sub>x</sub>層を有するGe-pMISFETの正孔移動度増大

事業原簿pIII-2-I-①-(2)-P9~P11



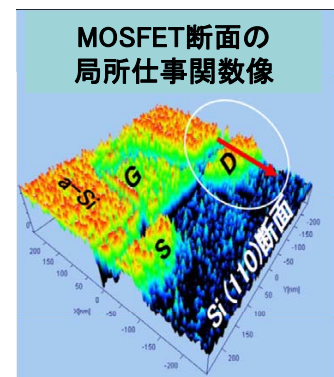
- ・ ピーク値 481 cm<sup>2</sup>/Vsec = **世界最高正孔移動度** (high-kゲートGeチャネル)
- ・ SrGe膜挿入により、電流値3.8倍⇒移動度向上効果

# UCMOS : 計測・解析技術

事業原簿pIII-2-I-①-(4)-P5~P8

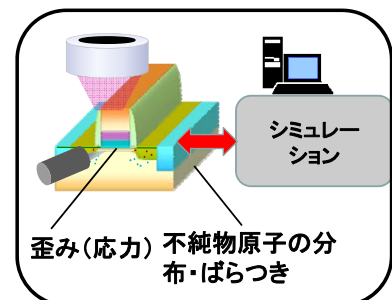
◇走査トンネル顕微鏡 (STM) によるポテンシャル分布計測

- ・ STM測定と開発したSTMシミュレーションとの比較により、微細MOSFETのポテンシャル分布を定量的に評価。
- ・ NiSi<sub>2</sub>/Si界面付近の伝導帯端/価電子帯端のバンドプロファイルを測定・解析



◇ラマン散乱法による局所応力分布計測技術

- ・ 偏光制御ラマン散乱法により、応力の方向と大きさを定量的に解析する技術を開発。電磁場シミュレーションの援用により、50nm程度の空間分解能での応力分布解析を達成。
- ・ 偏光制御ラマン計測により応力シミュレータの較正を行い、チャネル部分の応力解析の高精度化を実証。



## 研究開発目標と成果達成度(CNT配線)

事業原簿pIII-1-1-(2)-(1)-P1

### I. 次世代半導体材料・プロセス基盤技術開発

#### 2) 新探求配線技術開発

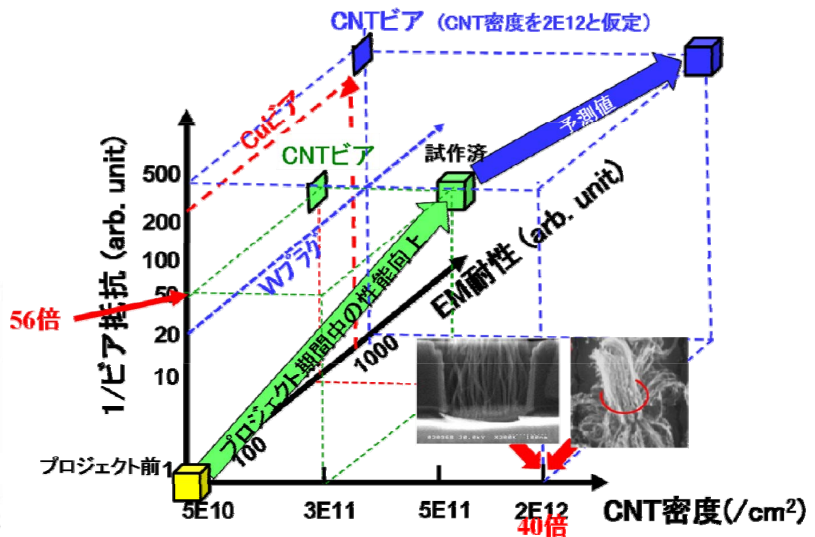
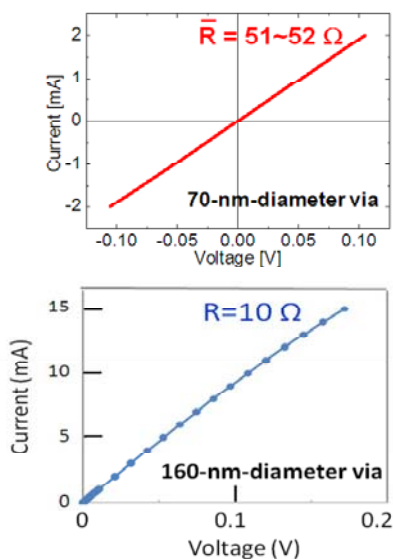
・カーボン材料を用いた配線構造技術を確立する。

研究開発項目	基本計画目標	全体成果	達成/未達成
①低温・高密度成長	LSI製造プロセスに適合する温度条件で高密度( $3 \times 10^{12}/\text{cm}^2$ )成長	・多段プラズマCVD(450-400°C)でCNT密度 $2 \times 10^{12}/\text{cm}^2$ の高密度成長を達成 ・2元系微粒子触媒を用いる熱CVD(400-365°C)で $1 \times 10^{12}/\text{cm}^2$ 達成	ほぼ達成
②高速成長	LSI製造プロセスに適合する温度条件で高速(5分以下)成長	・密度 $1 \times 10^{12}/\text{cm}^2$ で70nm/分(成長時間5分以下)を実現	達成
③Cuより優れたビア特性	hp32nm以細でCu配線より低抵抗性(15Ω)および高EM耐性で優位性があること	・シングルダマシン法で直径70nmビアアレーで抵抗51Ω、160nmビアで10Ωを確認 ・CNTコンタ外のEM破壊メカニズムの解明。EM耐性は $4 \times 10^7 \text{A}/\text{cm}^2$ で1000時間以上の耐性確認(目標以上)	ほぼ達成
④横配線の実現	ビアと接続する横配線を実現	・縦方向における高密度・低抵抗CNT成長技術を確認し、その手法で横配線化も可能であると推論した(研究機関1年圧縮により実証行わず)	ほぼ達成

## CNT配線：ビア埋め込み

事業原簿pIII-2-1-(2)-(1)-P14

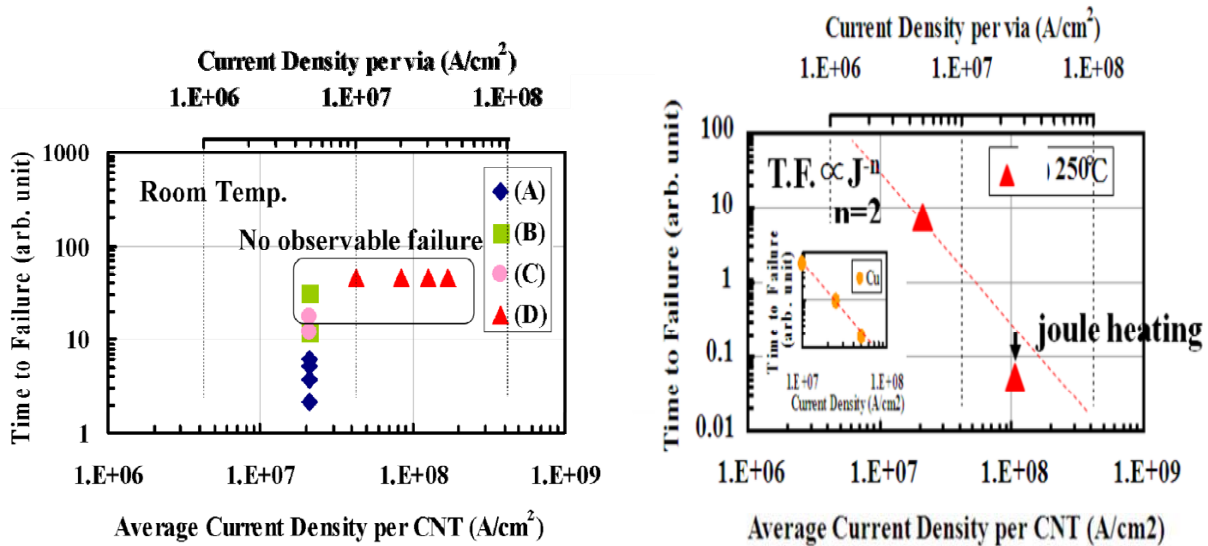
- 微細CNTビア/Cu配線での電気特性評価：  
ビア抵抗直径70nmビアで51Ω、160nmビアで10Ω  
(直径50nm、高さ200nmに換算：76Ω)
- プロジェクト開始時の1/50以下に改善。目標と同桁(約1/5)を達成。



### CNT配線：電流耐性の向上

事業原簿pⅢ-2-1-②-(1)-P12~P13

- 微細ビア/Cu配線による電流密度耐性評価
- 電流密度 $4E7A/cm^2$ で1000時間(室温)の電流密度耐性を確認
- 250℃の電流密度耐性試験から、故障モードはCuビア配線構造と同様の傾向を確認



### 研究開発目標と成果達成度(光配線)

事業原簿pⅢ-1-1-②-(2)-P1~P2

#### 2) 新探求配線技術開発

- ・新コンセプトグローバル配線技術(LSIチップ光配線技術)を開発

研究開発項目	基本計画目標	全体成果	達成/未達成
①低消費電力電気光変調器および導波路結合型受光器	10 GHz以上で電力遅延積4 pJ以下の変調器を開発	・リング型PLZT変調器により、消費電力設計値0.35 pJ、3.5mWの変調器の10 GHz動作を確認	達成
②波長多重光回路の導波路、合分波器、受光、および変調素子の集積形成技術	・4波以上の光信号の合分波を行う1mm <sup>2</sup> 以下の合分波器、および波長多重光伝送回路を試作 ・光回路内における過剰損失を10dB以下	・5波の合分波を行う0.5mm <sup>2</sup> のSiN光導波路製の合分波器を試作し、光回路内における過剰損失4dB、チャンネル間クロストーク-15dB以下を確認	達成
③多波長光源とオンチップ光回路の集積技術	・外部光源とオンチップ光回路の集積に用いる光源・導波路結合器技術を開発	・グレーティングと反射膜を組み合わせた垂直光入射結合器を開発	達成
④光クロック・バスの低消費電力動作確認とシステム性能実証	・光変調器、検出器、導波路を組合せ、10mm長配線を想定した光配線を構成し、データの入出力を実証 ・光配線の電力遅延積が7pJ以下	・SiN合分波器とSiナノフォトダイオードを組合せた波長多重回路をLSIにフリップチップ接続し、同一光配線を用いて5GHzと3GHzの2周波数クロック動作を確認 ・設計上トータルで2pJ以下となる変調、受光器を開発	ほぼ達成

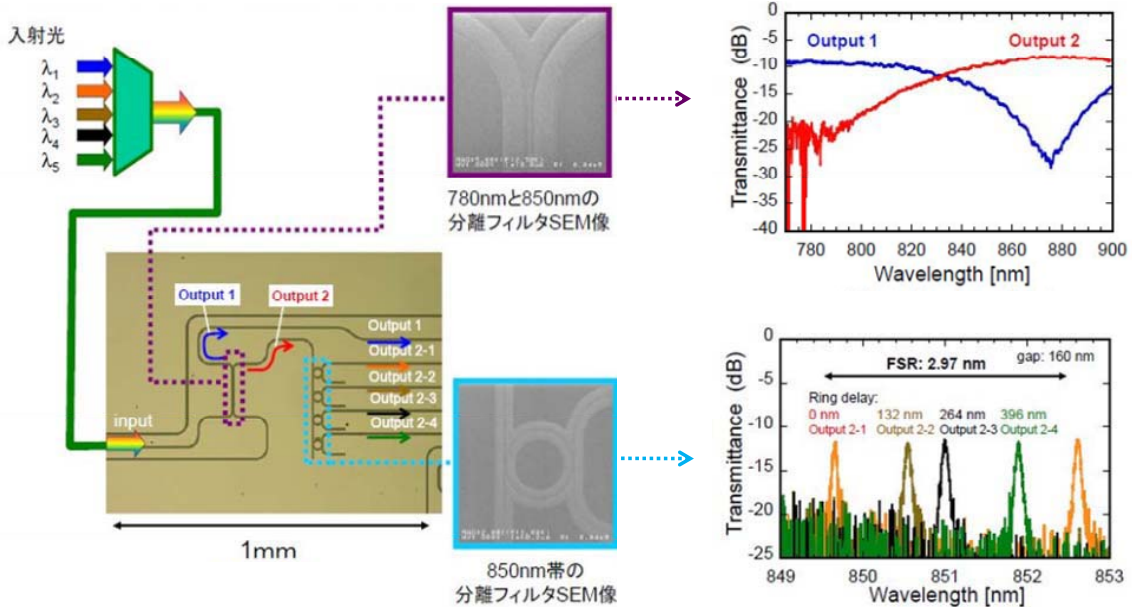


### 光配線 : 波長多重光回路

事業原簿pIII-2-1-(2)-(2)-P13~P15

波長多重光回路のための導波路、合分波器、受光、及び変調素子の多チャンネル集積形成技術開発

- 帯域が2領域に分かれた**5波長の合分波器を0.5 mm<sup>2</sup>以内で実現**
- クロストーク-13dB以下を確認



### 光配線 : 光クロック・バスの低消費電力動作

事業原簿pIII-2-1-(2)-(2)-P8

設計値3.5 mW @10Gbpsのリング共振型PLZT電気光変調器で10 GHz動作確認

構造	消費電力 設計値	光信号出力
マツハ・ツェンダー型 	80 pJ/bit 800 mW @10Gbps	2 GHz
リング共振型 R=75µm 	0.35 pJ/bit 3.5 mW @10Gbps	10 GHz
R=50µm 	0.2 pJ/bit 2 mW @10Gbps	2 GHz
R=25µm 	0.14 pJ/bit 1.4 mW @10Gbps	2 GHz

## 研究開発目標と成果達成度(構造依存ばらつき)

### 3) 特性ばらつきに対し耐性の高いデバイス・プロセス技術開発

事業原簿pIII-1-I-③-(1)-P1~P3

#### ・構造依存の特性ばらつきの物理的理解とモデリング技術の開発

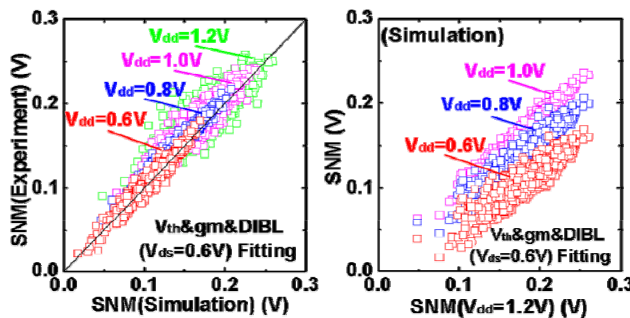
研究開発項目	基本計画目標	全体成果	達成/未達成
①デバイス特性ばらつきの評価と原因追求	・hp65nm標準TEGを用いたばらつきと経時変化のデバイスパラメータおよび材料依存性解明	・新規独自TEGと高速計測技術を開発し、 $\pm 3-6\sigma$ の範囲のばらつきと経時変化を評価できる手法を開発 ・新規のばらつきの定量的表現(Takeuchi plot)を提唱 ・3D-STEM法でシリサイド膜形状の違いを観察 ・アトムプローブ法でチャネル不純物と $V_{th}$ の相関を物理的に観察	達成
②デバイスばらつきモデリング技術	・ばらつきを表現する精度10%のモデリング技術(TCAD)を開発 ・ばらつきを20%以上低減する指針を立てる。	・NMOSの $V_{th}$ ばらつきを10%以内の精度で再現、ホウ素増速拡散が原因であることを明確化 ・チャネルホウ素の増速拡散を抑制する炭素共注入技術を開発し、NMOSの離散不純物以外の原因を約25%低減。 ・離散不純物、LER、拡散モンテカルロモデル等を組み込んだ3D-TCAD技術を開発	達成
③構造依存ばらつきのモデリング技術	・リバースプロファイリングに基づくコンパクトトランジスタモデルを開発し、 $V_{th}$ が $\pm 20mV$ 、 $I_{on}$ が $\pm 5\%$ の精度で予測可能にする	・非物理的フィッティングパラメータを含まないHiSIM-RPを開発し、TCADに対して $V_{th}$ は $\pm 20mV$ 、 $I_{on}$ は $\pm 5\%$ の精度予測を可能にした。	達成
④ばらつきに耐性あるデバイス構造	ばらつき耐性の高いデバイス構造を提案しhp32nm以細のトランジスタ基盤技術を開発	・3次元デバイスプロセスシミュレーターを用いて、各種構造の計算を実施し、チャネルドーパントを低減した構造で、 $V_{th}$ 、 $I_{on}$ ばらつきが低減可能であり、FD-SOIやマルチゲート構造を提案し、ばらつき抑制効果を示した。	達成
⑤ばらつき計測解析技術の開発	多数のトランジスタを超高速度で測定し、ばらつきペアデバイの違いを評価できる技術を開発	・経時変化を含むデバイス特性ばらつきを、回復効果を最小限に抑えられる1ミリ秒以下で測定可能とした。 ・実デバイス(50nmφのMOSチャネル)を観察できる、3次元アトムプローブ技術を開発	達成

48

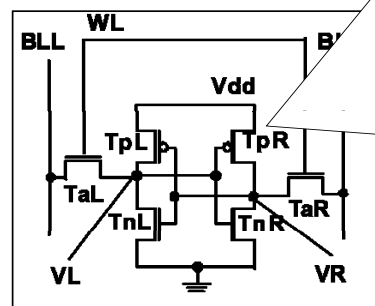
## 構造依存ばらつき :特性ばらつきモデリング技術

完全分離型DMA-TEGにノード取り出しのできるSRAMセルを組み込んだTEGを設計し、トランジスタ単体とSNMの相関の評価可能な手法を開発した。

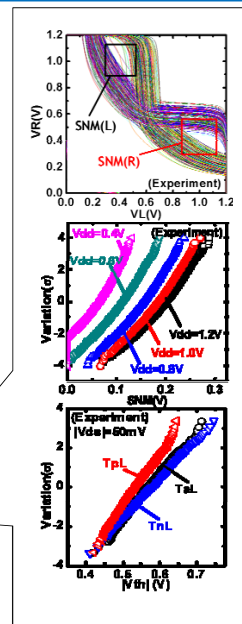
- ・SNMや構成するトランジスタの特性を実測し、トランジスタの $V_{th}$ ばらつきは正規分布するが、セルのSNMは非正規分布することを明らかにした。
- ・SNMは、トランジスタの $V_{th}$ ばらつきのみでは決まらず、DIBL、 $G_m$ ばらつきを取り込むことで、初めて再現可能であることを実験的に実証し、SRAMの主原因を明確化した。



実測とシミュレーションのSNMの相関と、  
実測 $V_{th}$ 、DIBL、 $G_m$ を用いたシミュレーション



開発したSNMを計測するDMA-TEGの回路図。  
回路図から得られた(a)SNM特性、(b)SNMのVdd依存性、(c)トランジスタの $V_{th}$ 分布を示した。

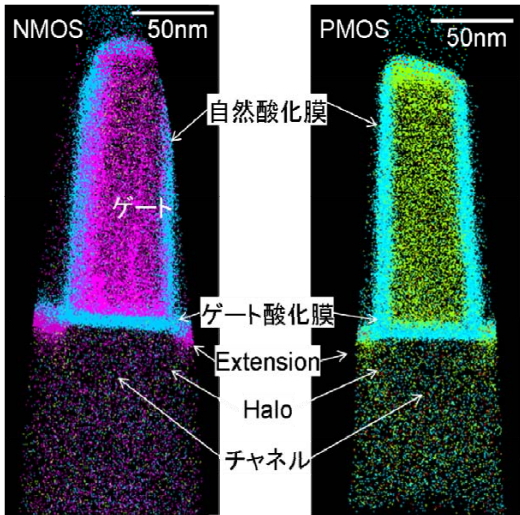


49

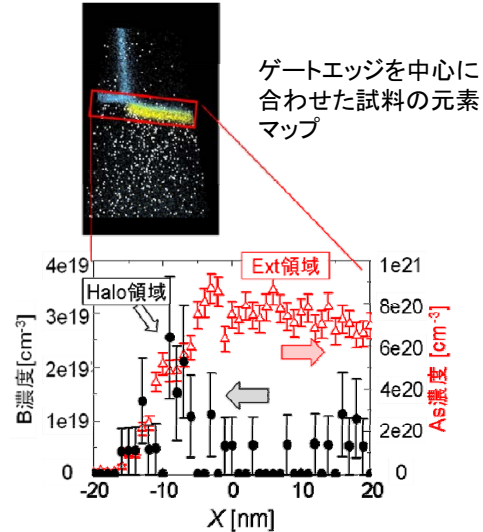
### 構造依存ばらつき :ばらつきの物理原因説明

NMOS・PMOSばらつき差が、チャンネル不純物分布の変調(ランダム分布からのずれ)が原因であることを電気特性が示唆。このため、デバイス形成プロセスが、チャンネル不純物分布へ与える影響を3DAPを用いて評価。

→NMOSのExtension注入後に、チャンネルB分布が乱されることを実験的に検出。



ゲート両側のExtension/Halo領域が入ったNMOS、PMOSの元素マップ



チャンネル方向の不純物分布

### 研究開発目標と成果達成度(外部擾乱デバイス)

- 3) 特性ばらつきに対し耐性の高いデバイス・プロセス技術開発  
 ・外部擾乱依存の特性ばらつきの物理的理解とモデリング技術の開発

研究開発項目	基本計画目標	全体成果	達成/未達成
耐SET技術	中性子線入射による電荷発生を理解とモデリング技術の開発を通してSET起因ソフトエラー率を1~10FITに抑制する	・中性子照射実験により、世界で始めて100ps以下のSETパルスが大部分を占めることを示し、電荷収集予測モデルを構築し、hp32nmまでのソフトエラー率を予測できるようにした。 ・新たにSETパルスフィルタリングを採用することによってエラーレートを1~10FITに抑えることを達成	達成
耐ESD技術	ESDによる外部擾乱メカニズムの理解とモデリング技術の開発を通してCDM型ESD耐圧クラス4(500~1,000V)を実現	・回路ドメインごとの放電時間の差がドメイン境界トランジスタを破壊しESD耐圧を決めていることを明らかにした。このモデルに基づき、対地容量の同値化(追加容量付加)、寄生容量低減、GND配線抵抗低減などの対策でCDM型ESD耐圧1,000Vを達成	達成
アナログ回路の耐ノイズ技術	ばらつきとノイズを同時考慮した設計用回路シミュレーション手法を開発	・チップレベルノイズの基板ノイズ伝播特性解析とトランジスタレベルの基板ノイズ感度モデルを組み合わせた回路シミュレーション手法を開発実証した。	達成



### 耐外部擾乱デバイス：耐SET技術

事業原簿pIII-2-I-③-(2)-P1)-P1~P28

従来の実験結果ではSETパルス幅が100ps~1nsに分布 → クロックが1GHz程度になるとSET対策が困難に

SET発生率 vs SETパルス幅

SET測定対象 例:1000段

パルス幅測定回路

MIRAI-Selete考案回路により世界で初めてSETパルス幅は100ps以下が大部分と判明 → 1GHz程度のクロックでもSETパルスフィルタリング適用の可能性

SET発生率 vs SETパルス幅

パルス幅観測ポイント

TESTIN

SET測定対象 (例:インバータ20段)

RESET

パルス幅測定回路

冗長構成

L1a

L1b

L2

L3

D1

D2

D3

D0

SETパルスフィルタリングによるソフトウェア率1~10FITの達成

logic derating=0.1

10FIT/chip

1FIT/chip

4Mgate / 260MHz

フィルタなし

90psカット

120psカット

hp22: 132/1040

hp32: 70/810

hp45: 33/600

hp56: 21/500

hp78: 11/390

hp130: 4/260

テクノロジーノード (hp)

フリップフロップの入力端子にフィルター回路を挿入

### 耐外部擾乱デバイス：耐ESD技術

事業原簿pIII-2-I-③-(2)-P2)-1-P1~P23

TEG1 評価データ

回路タイプ	VDD2 追加容量 (Cadd)	GND間抵抗 (Rgnd)	CDM 耐圧 (-)	CDM 耐圧 (+)
1-A	なし	0.1 Ω	-400V	>1000V
1-B	40pF	0.1 Ω	-850V	>1000V
1-C	なし	0.5 Ω	-350V	750V

TEG3 評価データ

回路タイプ	VDD2 追加容量 (Cadd)	GND間抵抗 (Rgnd)	CDM 耐圧 (-)
2-A	なし	0.1 Ω	-550V
2-B	40pF	↓	-750V
2-C	500pF	↓	-900V
2-D	1500pF	↓	-1100V

成果目標達成水準

SPICE sim.

Nch, Vgs = -0.98v

Pch, Vgs = -4.45V

INV2

対地容量の異なる異電源ドメイン間で電位差が発生し、境界Tr.のゲート絶縁膜が破壊

大規模回路ブロック (対地容量大)

小規模回路ブロック (対地容量小)

放電系モデル

VDD1

VDD2

VSS1

VSS2

ESD保護

Rgnd

Cadd

対策	設計容易性	プロセス非依存
Infineon 薄膜Tr.用電圧クランプ素子挿入	×	×
MIRAI-Selete 容量追加+GND低抵抗化	○	○

## 研究開発目標と成果達成度(EUVマスク)

事業原簿pIII-1-II-④-(0)-P4

### 1) 次世代マスク基盤技術開発

#### ・hp32以下のEUVLマスクの位相欠陥・パターン欠陥の検査、修正およびマスクハンドリング技術の開発

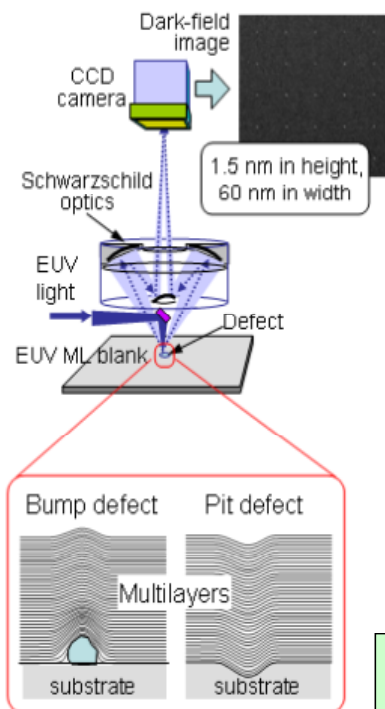
研究開発項目	基本計画目標	全体成果	達成/未達成
①高精度・低欠陥EUVLマスクおよびブランクス技術開発	<ul style="list-style-type: none"> <li>・hp32nm対応EUVLブランクス位相欠陥検査技術の確立</li> <li>・EUVLマスク高品位化開発                             <ul style="list-style-type: none"> <li>- マスク構造最適化開発</li> <li>- 許容欠陥指標構築 (hp32nm)</li> </ul> </li> <li>・カーボンタネーション制御技術の開発                             <ul style="list-style-type: none"> <li>- コンタ膜の特性評価</li> <li>- クリーニング技術開発</li> <li>- レジスタアウトガス解析評価技術開発</li> </ul> </li> </ul>	<ul style="list-style-type: none"> <li>・ブランク全域検査可能なEUV光を用いた位相欠陥検査装置を開発し、高さ1.2nm、幅40nmの位相欠陥を検出確率95%で検出。検査時間は4.8時間。自然欠陥評価でActinic方式の有用性を実証。</li> <li>・薄膜吸収体、遮光枠プロセスを実証してファクトスタンダード化。</li> <li>・複数露光ショット積算による寸法平均化手法を開発、許容欠陥指標を構築。</li> <li>・カーボンタネの膜特性、転写性を明確化。成長モデル構築。</li> <li>・酸化系および還元系のクリーニング技術開発。</li> <li>・レジスタアウトガス評価手法(圧力上昇法、QMS、GC-MS)開発</li> </ul>	達成
②EUVLマスクパターン欠陥検査技術開発	<ul style="list-style-type: none"> <li>・hp32nm対応欠陥検出感度の達成</li> </ul>	<ul style="list-style-type: none"> <li>・検査装置の高度化(*)と低反射率吸収膜の適用によって、199nm光によるマスクパターン欠陥検査技術がhp22nmに対して適用可能を実証。(*)偏光照明、低ノイズCCD、センサー画像非線形補正、新規アルゴリズム等。</li> </ul>	達成
③EUVLマスクパターン欠陥修正技術開発	<ul style="list-style-type: none"> <li>・hp32nm対応修正精度の達成の目処</li> </ul>	<ul style="list-style-type: none"> <li>・高精度化・低ダメージ化が可能なGas Field Ion SourceによるH<sub>2</sub>+ビームを用いた欠陥修正技術のhp22nm以下へのフィジビリティを検証。</li> </ul>	達成
④ベリカルスEUVLマスクハンドリング技術開発	<ul style="list-style-type: none"> <li>EUVLマスク搬送・保管技術およびファブ内検査・クリーニング技術の確立 (hp32nm)</li> </ul>	<ul style="list-style-type: none"> <li>異物フリーマスクハンドリング技術の評価する世界最高性能の評価環境を構築。</li> <li>二重ボットの有効性を実証。防塵性能は0.004個/回以下。SEMI標準化に貢献。</li> </ul>	達成

54

## EUVマスク: 多層膜マスクブランク位相欠陥検査技術

事業原簿pIII-1-II-④-(0)-P1~2

### 位相欠陥検出原理



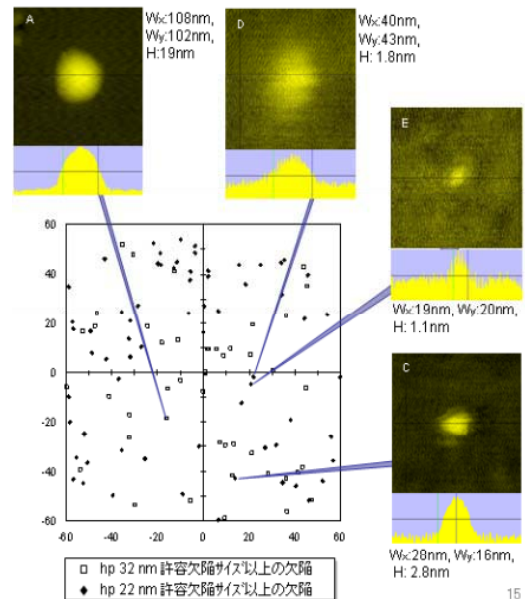
### 試作装置の外観



### 試作装置の目標仕様

フルフィールド対応装置の目標仕様	
検査対象	6インチ EUVマスクブランク
検査感度	40 nm 幅 (FWHM), < 1.5 nm 高さ
処理能力	2時間 / ブランク

### 6インチブランク全面検査結果



15

- 6インチブランク全域を検査できる位相欠陥装置を設計・製作。
- 6インチブランク全域の検査を初めて実施し、現状のブランクの欠陥レベルを確認。
- 高さ1.1nm、幅20nmという微小欠陥の検出に成功。

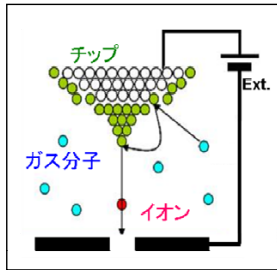
55

# EUVマスク：GFISによるマスクパターン欠陥修正技術

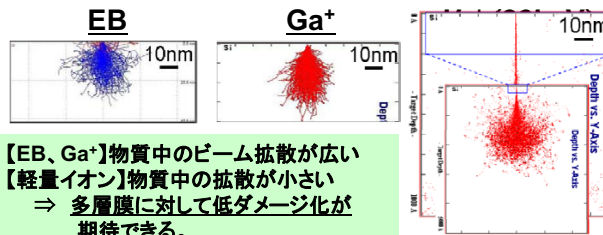
事業原簿pIII-1-II-(4)-(0)-P2-3

➢ hp 22 nm世代対応欠陥修正技術としてGFIS (Gas Field Ion Source)を用いた欠陥修正基盤技術を構築

## GFISイオン源

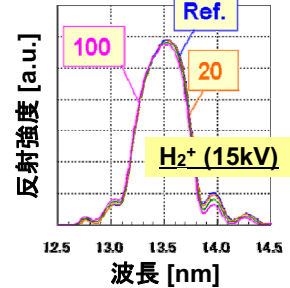


## 各ビームの軌道比較

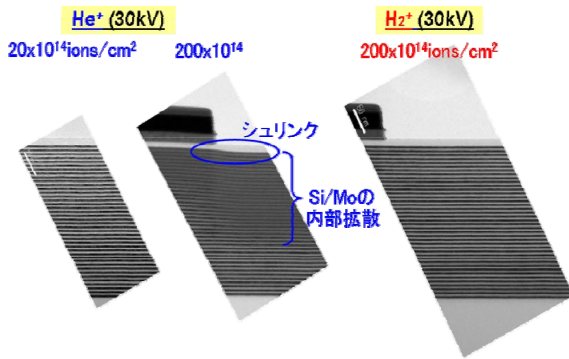


【EB、Ga<sup>+</sup>】物質中のビーム拡散が広い  
【軽量イオン】物質中の拡散が小さい  
⇒ 多層膜に対して低ダメージ化が期待できる。

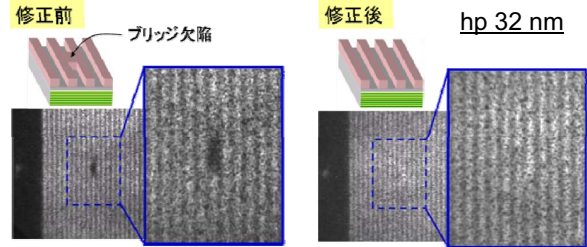
## 反射強度の変化



## 照射ダメージ: 断面TEM観察評価



## 欠陥修正箇所のEUV顕微鏡観察結果



➢ H<sub>2</sub><sup>+</sup>ビームにより、ブリッジ欠陥部の除去成功。  
➢ 多層膜ダメージがないことをEUV顕微鏡により確認。

# 研究開発目標と成果達成度 (EUV光源高信頼化)

事業原簿pIII-1-II-(5)-P2-4

## 2) EUV光源高信頼化技術

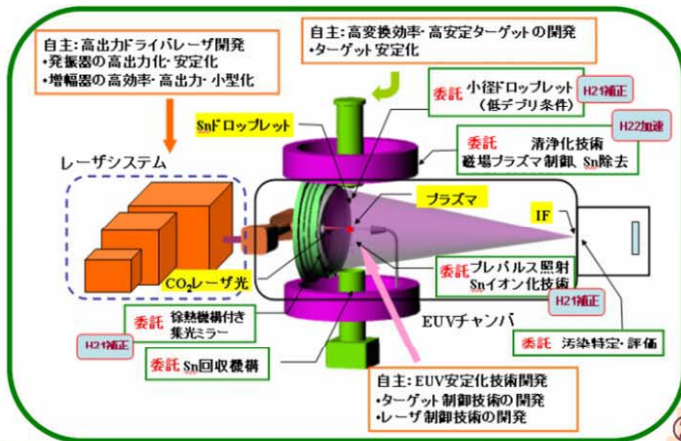
・中間集光点で180Wの出力光源を1年間稼働させミラー反射率低下10%以下となる汚染量を明示できる評価技術を開発すると同時に汚染抑制を実現できる高信頼化技術を開発

研究開発項目	基本計画目標	全体成果 (LPP)	全体成果 (DPP)	達成/未達成
①光源起因マスク、ミラーの汚染評価技術の開発	観測感度: 反射率低下<10% 3000hrs)	・LIFによる中性Sn原子の測定法確立 (必要感度、Sn原子密度1E7個/cm <sup>3</sup> に対して2E6個/cm <sup>3</sup> の測定感を達成)	・汚染評価装置(反射率/XPS)開発とβ光源実機で評価。 ・IF以降へSn流入が無いことを確認、C,O汚染による反射率低下の見積もりは2.1%@3000hrs)	達成
②集光光学系などの清浄化技術の開発	コレクタ寿命: 反射率10%低下で定義) >3000時間@115W出力	・清浄化コンセプト ①磁場印加、 ②小径ドロプレット ③フリバルス ④ガスクリーニング	・清浄化手法β光源適用 ①回転電極Sn薄膜化、 ②アドバンスドレーザトリガ ③DMT、④DMT/コレクタ熱管理 (コレクタ寿命>1年を検証)	達成
高出力対応熱管理技術の開発	115W安定稼働で熱歪に起因する反射率、光量などの変動無し IF変動防止技術の開発	コレクタ熱シミュレーションに基づき、大口径コレクタ製作 ---	・DeCo(DMT-コレクタ)温度-構造-光学シミュレーション β機実機での温度評価および輻射-非輻射成分計測 180W対応の熱管理に目処 ・ファジー理論による補正アルゴリズム(高速(0.5秒)アライメント	達成
光源高出力化 (自主研究)	拡張性を有する高出力EUV光源の開発 (115W試作光源製作、180W拡張性検討)	ETS発光実験実施、プロト機開発中(ETSでの発光点出力197W達成-IF出力104W(Raw)相当、また7hrs稼働試験実施@40W@IF(Raw)	β機SoCoMo稼働評価&高出力化(発光点出力1.5kW出力達成(IF出力150W(Raw)相当;Full SoCoMoで発光点出力640WをDuty100%で達成。IF点出力65W相当)	



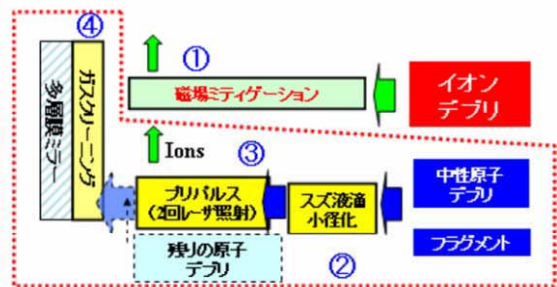
# EUV光源高信頼化:LPP光源

事業原簿pIII-2-II-(5)-P2-3

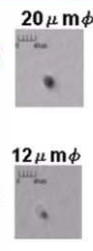
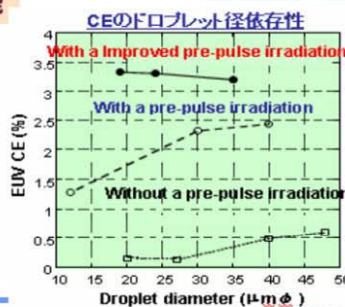
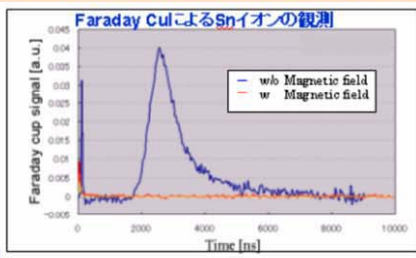


## LPP光源清浄化コンセプト

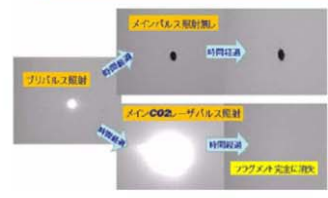
清浄化方針を決定し要素技術を確立  
プロト光源で総合実証予定



### ① 磁場印加: Snイオンは磁場により除去可能



### ③ プリパルス最適化によるフラグメント除去

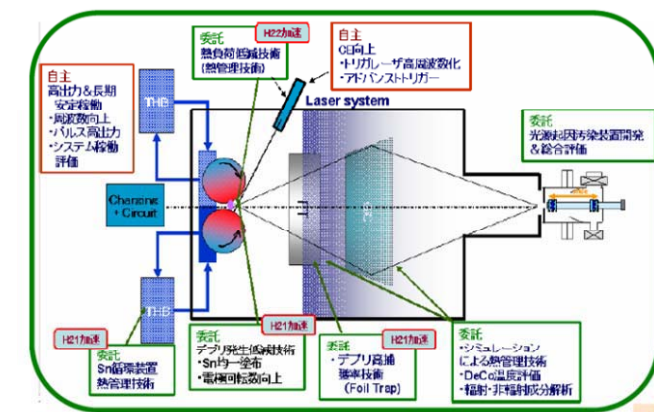


次世代半導体材料・プロセス基盤技術開発(MIRAI)プロジェクト



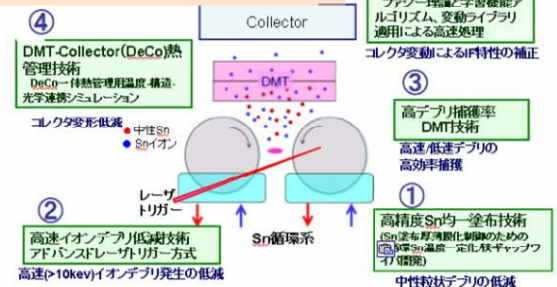
# EUV光源高信頼化:DPP光源

事業原簿pIII-2-II-(5)-P3-4



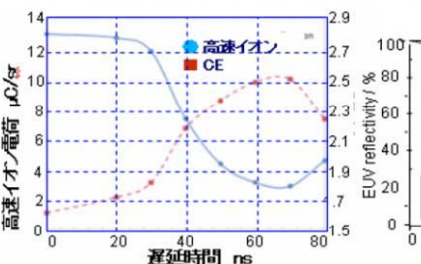
## DPP光源清浄化コンセプト

清浄化手法の有効性をβ光源で実証  
(コレクタ寿命>1年)

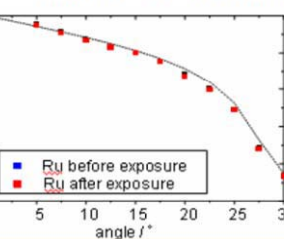


### ② アドバンスドレーザートリガ

・高CE化と高速イオン低減が同時に実現

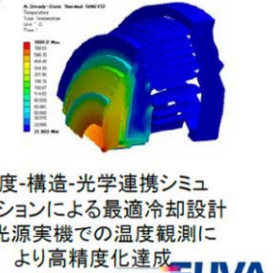


コレクタ表面; Ruスパッタ; 2nm/Gs、Sn堆積; 0.1nm(一定)  
→Ru膜厚1μmで、コレクタ寿命~500Gs(>1年)



フォイルトラップ

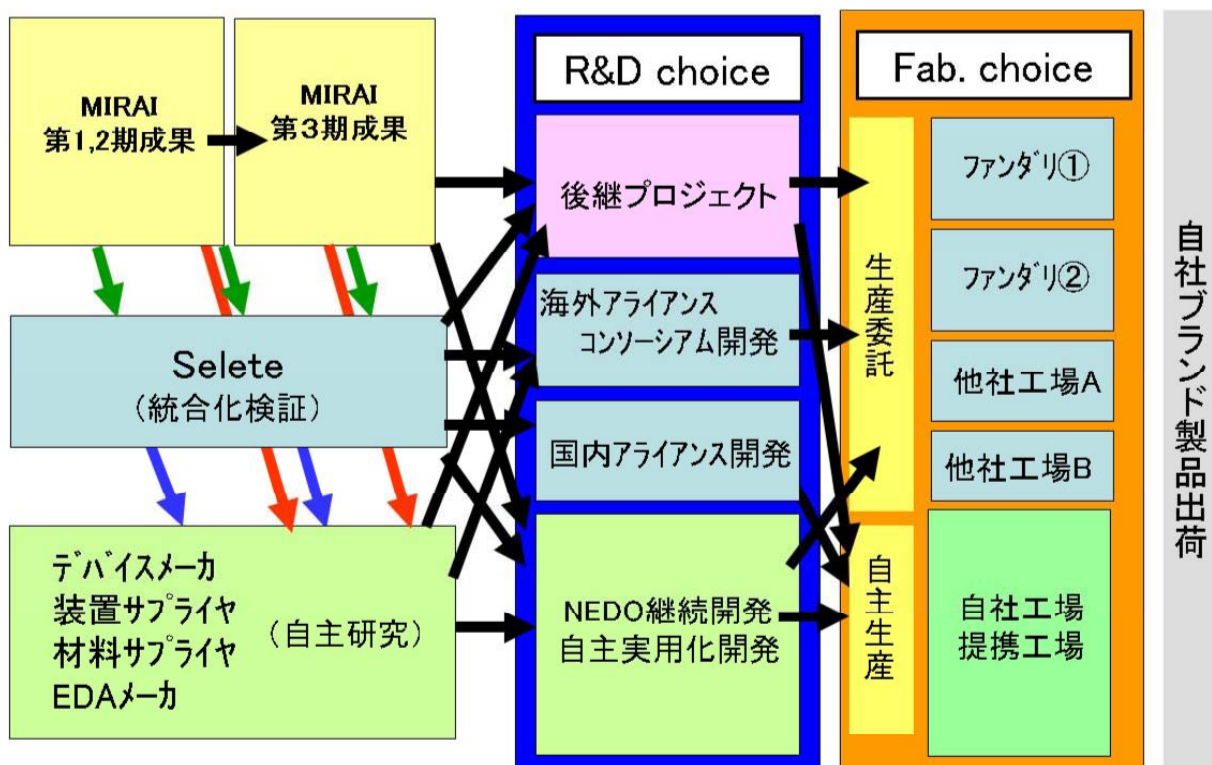
### ④ DMT-コレクタ熱管理



## IV. 実用化の見通し

- 1) 新構造極限トランジスタ(UCMOS)
- 2) 新探求配線(CNT配線、光配線)
- 3) 構造依存ばらつき(ロバストトランジスタ)
- 4) 外部擾乱ばらつき(耐外部擾乱デバイス)
- 5) EUVマスク
- 6) EUV光源高信頼化

### 実用化までの開発パターン





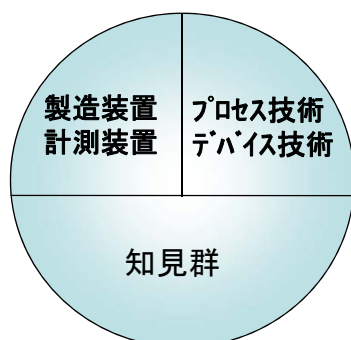
## 実用化の内容と量産化への課題

## プロジェクトの成果の種類

- 1) 材料・物性・特性・モデル化に関する幅広い知見
- 2) 材料プロセス技術
- 3) デバイス構造技術
- 4) 製造装置化技術
- 5) 評価分析装置化技術

## 実用化に向けた追加開発・課題解決

- 1) 新規追加開発
  - ・未着手課題
  - ・市場性変更追従
- 2) 量産化課題の解決
  - ・高信頼性検証
  - ・技術整合性検証
  - ・量産コスト検証



## 4-Validations (事業化妥当性)

- ・ Market validation
- ・ Timing validation
- ・ Technology validation
- ・ Strategy validation

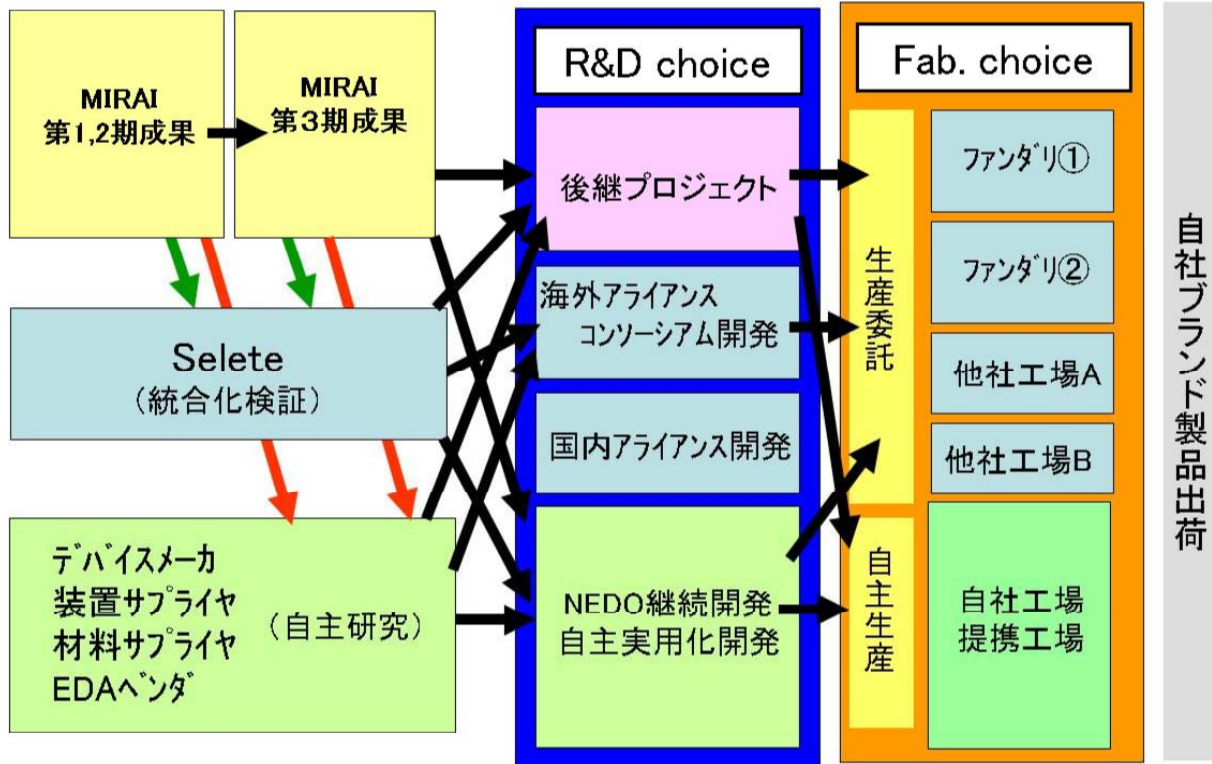
## 実用化の見通し : UCMOS

事業原簿pIV-1-①-(0)-P1-3

- ① Si系チャネルに関する成果では、酸素終端・RTC法の高品質high-k/Si界面形成技術、高駆動力ゲートスタック技術の特性が世界的にトップレベルにあり、Higher-k時代に採用される可能性がある。
- ② 熱耐性に優れたNiSi<sub>2</sub>を用いたハリスティック効率向上のためのS/Dショットキーバリアハイト制御技術においても、S/Dコンタ外抵抗の低減を狙って前倒しに採用したいという動きがある。
- ③ Ge系チャネルは最近大幅に高品質化され、ゲート長微細化に頼らず高移動度材料への切り替えが世界的な動向となりつつある中で、早期実用化への活動が急速に高まっている。
- ④ 準ハリスティック輸送特性制御については、TCADへの取り込みを図り、比較的近い将来(Lg20nmレベル)へのデバイス開発に活用される可能性が高く、TCADの普及とともに知見活用型で国内数社で製品設計で活用されると思われる。

- ・ 第3期UCMOSをロードマップどおりにhp22nmあるいは10nm台に適用されるとすると、量産リソグラフィの整備を筆頭に、インテグレーションプロセスの構築とマニファクチャビリティの検証に時間がかかり実現は2020年以降となると思われる。
- ・ 一方、国内企業はロジック製品への微細化先端デバイスに関しては生産委託の方針を鮮明化させており、このためこれらの成果はいったん海外アライアンスでの量産化開発を経て実用化したいとの動きがある。
- ・ 一方、本成果を新型メモリやナノエレクトロクスデバイスへ応用し、新市場を開拓しようと模索する動きもでていますがまだそのメリットやシナリオは議論中である。

## 実用化までの開発パターン: UCMOS



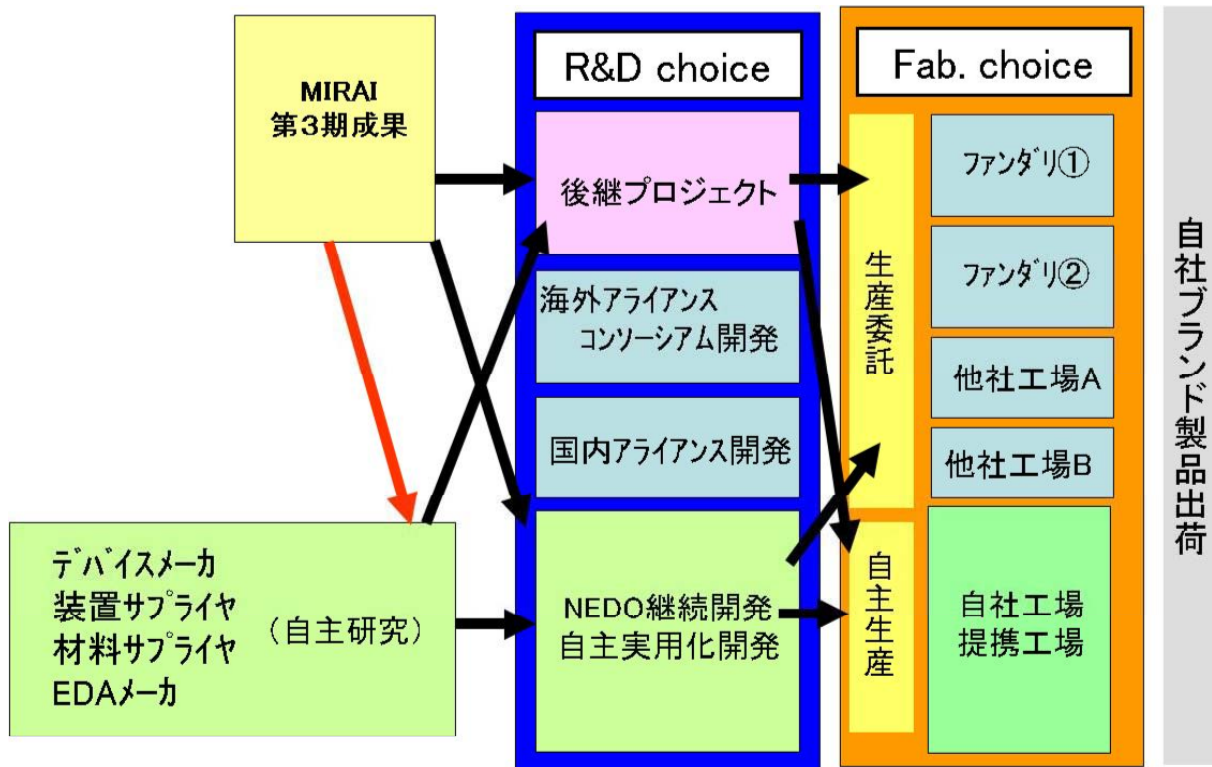
## 実用化の見通し: CNT配線

事業原簿pIV-1-I-2-(1)-P1

- ①カーボン配線技術が現在のCu金属配線の課題である低抵抗化、高電流密度耐性化に対して、何世代にも適用可能なほぼ唯一の抜本的な解であることは、世界的にも広く認識されている。本成果を国際会議で発表すると量産に関する質問が増えており、本事業で提唱する概念を実用化したいと考えている企業は少なくないと想定される。
- ②配線の高電流密度による信頼性劣化は、クロック周波数の伸び鈍化を反映してこの問題が大幅に軽減されるとの予測もあったが、配線幅依存を導入すべきことが見出され、現在の予測では再び 2015年頃から緊急を要する課題であり、実用化への期待は高まっている。
- ③一方、CNTの持つ低抵抗性やEM耐性以外に、熱伝導性の高さから様々な実装材料としての応用に関心が増えている。実際、当プロジェクトに参画した企業ではその応用開発を進めており近い将来(3-5年以内)実用化したいと考えている。

- ・実用化の想定時期は、上記のような様々な応用が幅広く検討されているが、実装応用が先に実用化される動きがある。
- ・一方、当初からのLSI内部配線への適用にはまだいくつか基本的課題が残っており、基礎に立ち返って統合的な特性のモデリングや内部構造・物性の詳細な解析が必要になっている。このため、各種の次期プロジェクト(FIRSTやLEAPなど)で残る課題を解決するべく活動が始まっている。

## 実用化までの開発パターン: CNT配線

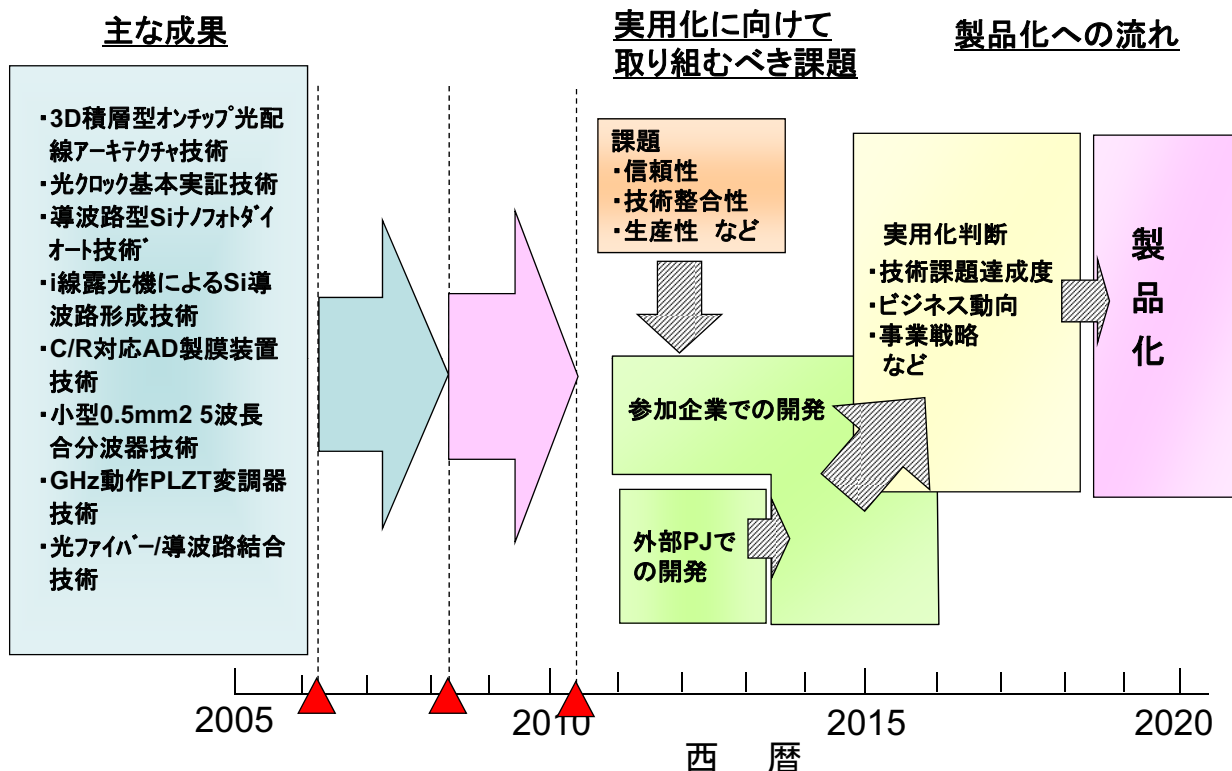


## 実用化の見通し: 光配線

事業原簿pIV-1-1-(2)-(2)-P1

- ①近年、筐体外インターコネクトとして、主にデータセンターやハイエンドサーバーにおける筐体間接続に利用されているアクティブオプティカルケーブル(AOC: Active Optical Cable)が急速に注目されるようになってきた。AOCは、ここ1~2年で短距離ネットワークや屋内配線の中で市場規模を拡大してきた。モジュールとして1Gbps当りの価格が\$10を切り、今後の更なる小型、低コスト化により筐体内への導入努力が加速されている。
  - ②更なる小型化、低コスト化、高速化には本プロジェクトで開発した光多重伝送技術の活用が有望と思われる。実際Intel社は、主に筐体内/外を接続する大容量/低消費電力インターコネクトの製品発表を行ったが、低コスト化が厳しいとの見方があり、そのため、2015年以降の実現を視野に入れてSiフォトニクス技術の採用で実用化しようとする動きが出ている。
  - ③小型・高速化に伴う光電気変換部分のデジタルーアナログ接続性や実装も含めたコストが大きな課題とされ2020年に向けてLSIチップへの光配線導入も視野に入れたDARPAのプロジェクトが始まっておりSun Microsystems社、Luxtera社、Kotura社などが共同で研究開発を進めている。
- ・このように現在は実用化機運は海外が先行しているが、本プロジェクトで開発した低コスト・超小型光部品をLSIから通信システムまでシームレスに光化するメリットを真剣に検討している国内企業がある。
  - ・しかしながら、さらなる小型化、低消費電力化、低コスト化への要請は強い一方で、材料選択やシステムアーキテクチャの見直しなど基礎的開発も必要となり、国内企業では後継プロジェクト(FIRSTなど)に参画することで実用化課題を解決する努力が始まっている。

## 実用化までの開発パターン: 光配線



68

## 実用化の見通し: ばらつきの理解と制御

事業原簿pIV-1- I -③-(1)-P1~P7

- ①本プロジェクトで提唱したばらつきの規格化手法であるTakeuchiプロットは、参加企業のみならず、自社でのばらつきの評価やベンチマークのためにすでに2,3年前より企業で活用されている。
- ②本プロジェクトで開発した大容量TEGを用いるばらつき定量化手法は参画企業の最先端デバイス(45/32nm) CMOSデバイス開発に活用されている。
- ③ばらつき評価のための3次元TCADは国内企業が自社ツールとして活用中である。
- ④アトムプローブにより得られた知見を自社製品の設計、プロセスデバイス設計に活用し始めている企業がある。また複数の共同研究先にて、開発した分析評価技術をサービス事業として活用する準備を始めている。
- ⑤HiSIM-RPで抽出した不純物分布情報をBSIMパラメータ抽出に活用済みの企業がある。それをばらつきの電源電圧依存性評価に使用中である。2年後をめどに最先端ロジック製品の設計で実用化を目指している企業がある。
- ⑥コンパクトストレスモデルは40nmLSIに全面適用済であり、過剰な設計マージンを排除した高性能LSI設計が可能になった企業が複数社あり、近く導入する予定の企業もある。

69

## 実用化までの開発パターン: 構造依存ばらつき

## 主な成果

ばらつき  
評価手法

物理解析  
手法

製品シミュレ  
ーション技術

HiSIM-RP

コンパクト  
ストレス  
モデル

## 実用化及び見通し

・ばらつき低減技術  
A社にてLSI製品で実用化済み。

・ばらつき規格化手法(Takeuchiプロット)  
B社にて製造プロセス開発に実用化済み  
・ばらつき定量化手法(Phase I /TEG, 計測法)  
C社にてプロセス開発に手法を実用化済み

・アトムプローブ法  
D社にて開発技術を活用

・3DTCAD技術: E社で知見を活用

・SRAM Sim技術  
F社にて技術を製品化

・HiSIM-RP技術  
G社にてデバイス評価で実用化済み

・コンパクトストレスモデル  
A社にてLSI設計適用済み

将来製品への適用、実用化については、参加企業にて、開発技術をさらにブラッシュアップ後に適用予定

2005

2010

2015

2020

西 暦

## 実用化の見通し: 耐外部擾乱デバイス

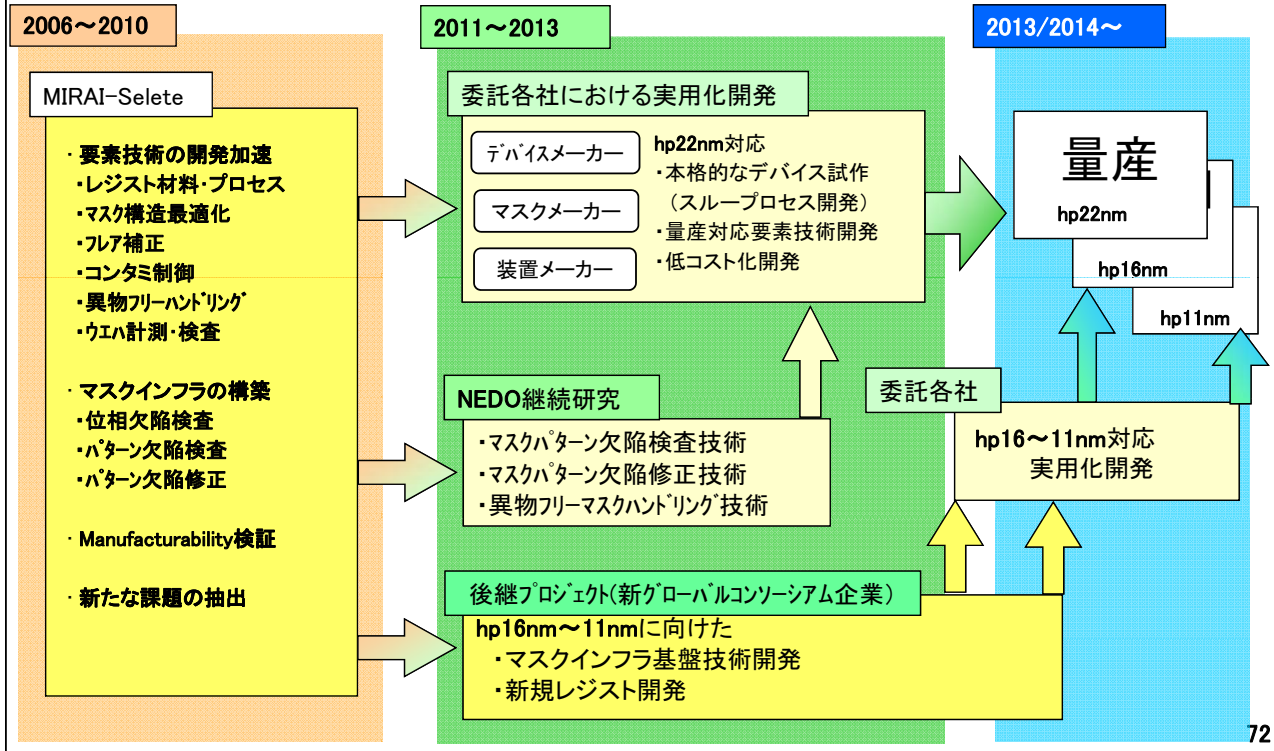
事業原簿pIV-1- I -③-(2)-P1~P2

- ①耐SET技術は、製品基本設計において組合せ回路起因のソフトウェア対策要否判断に実用化済の企業がある。40nm以降の高信頼性LSI設計でSET一貫シミュレーション技術とソフトウェア抑制技術を適用。コストと性能オーバーヘッドを最小に抑えながら目標信頼性を達成した企業がある。
- ②耐ESD技術は、90nm製品から、ESD保護設計ガイド、シミュレーション解析に成果を反映して適用中の企業がある。
  - ・知見・結果をESD保護設計ガイド及び90nm世代以降の製品の一部に適用、活用を実施済の企業がある。
- ③アナログ回路の耐ノイズ技術は、アナログIP設計でガイドラインとして適用をまもなく始める企業がある。また、知見を40nm世代実験設計回路とアナログ設計ガイドで活用することを検討中の企業がある。2年後を目標にアナログ製品の設計で実用化する意向を示している企業がある。

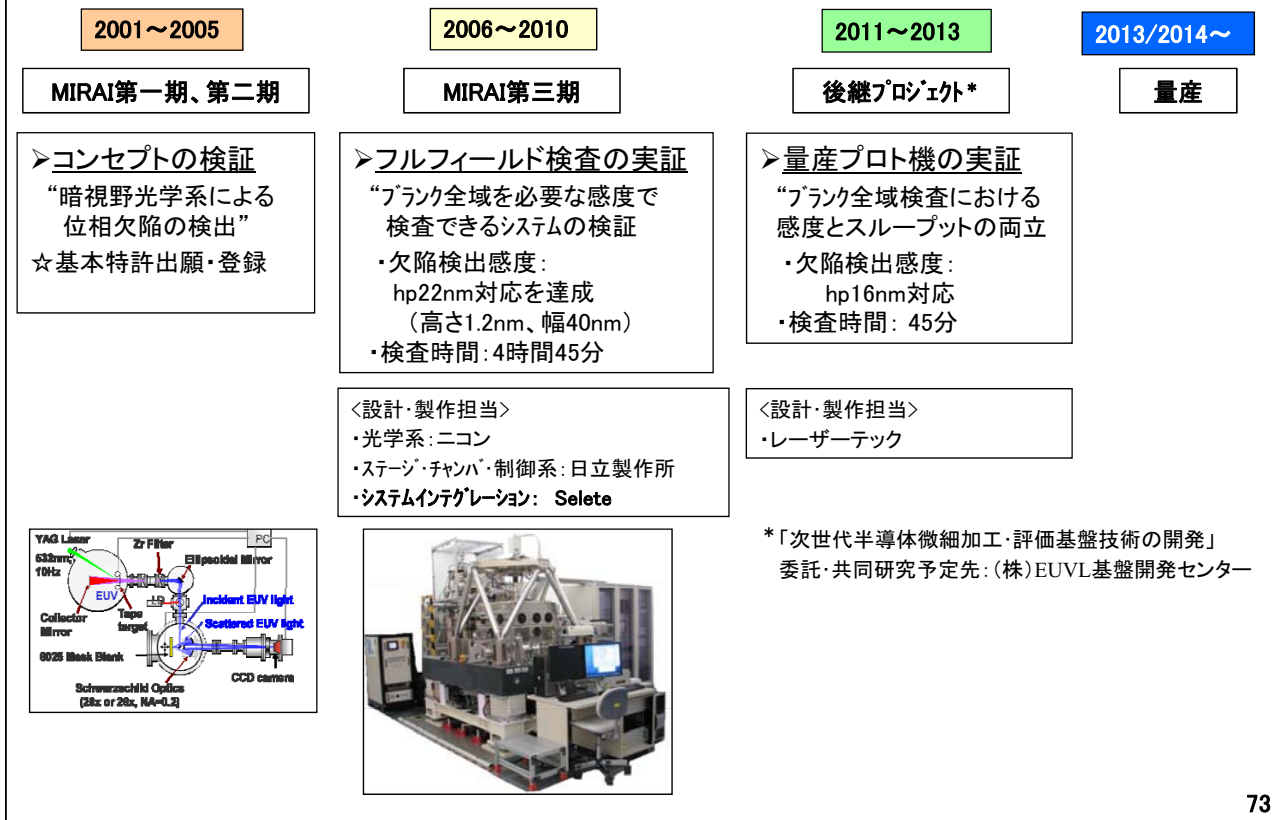


## 実用化までの開発パターン: EUVマスク

EUVマスク技術は、近くβ機を導入し本プロジェクトの成果を活用して量産技術へブラッシュアップする企業、NEDO継続開発で自主資金で実用化を目指す企業、後継プロジェクトで次世代を含めた形で世界連携を想定して開発する企業などがある。



## 実用化までの流れ: Actinic位相欠陥検査技術



\*「次世代半導体微細加工・評価基盤技術の開発」委託・共同研究予定先: (株) EUVL基盤開発センター

## 実用化の見通し: LPP光源

事業原簿pIV-1-II-(5)-P1~2

### LPP光源実用化・コマツギガフオンで推進

NEDO継続自主研究で開発促進

ETS光源で基礎評価中、プロト光源で総合実証・高出力化を実施予定

ETSによる・発光点出力197W/2πsr→42W@IF相当  
稼働試験・20W@IF出力 (Duty~5%)で7時間の稼働

	SPIE 2010 (Feb.2010)	EUV Symposium (Oct.2010)	Latest Data (Feb.2011)
EUV power (@ IF)	69 W	104 W	42 W
EUV power (clean @ IF)	33 W	50 W	20 W
Duty cycle	20 %	20 %	5%
Max. non stop op. time	>1 hr	<1 hr	>7 hr
Average CE	2.3 %	2.5 %	2.1%
Dose stability :simulation	(+/- 0.15%)		-
Droplet diameter	60μm	60μm	30μm
CO <sub>2</sub> laser power	5.6 kW	7.9 kW	3.6kW



GL200E  
プロト機

量産光源仕様

EUV model		Year	ETS	GL200E 2012	GL200E+ 2013	GL400E 2014
Drive laser power	kW		10	23	33	40
Conversion efficiency	%		3.0	5.0	5.0	6.0
C1 mirror collector angle	sr		5.5	5.5	5.5	5.5
efficiency*	%		74	74	74	74
C1 mirror reflectivity	%		(50)	57	57	57
Optical transmission	%		95	95	95	95
SPF (IR, DUUV)	%		N/A**	62	62	62
Total EUV power (after SPF)	W		100	250	350	500

量産光源 (100→350W@IF) ;  
CO2レーザ出力増大 (X3.3) と  
プリパルスによるCE向上 (X1.6)  
により仕様実現



平塚、四之宮 開発・生産拠点開設

次世代半導体材料・プロセス基盤技術開発 (MIRAI) プロジェクト

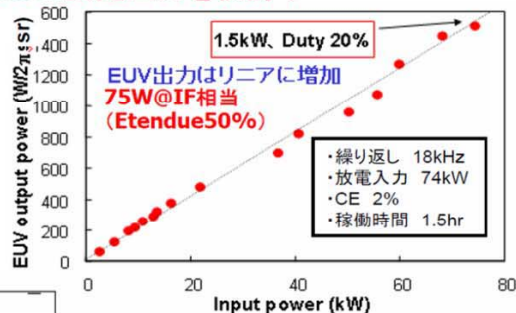
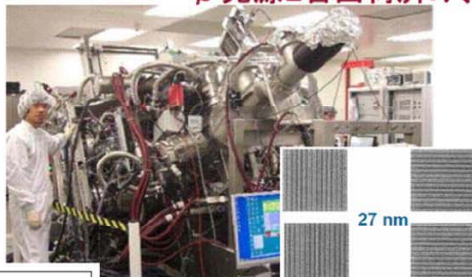
## 実用化の見通し: DPP光源

事業原簿pIV-1-II-(5)-P2~4

### DPP光源実用化; ウシオ/XTREMEで推進

NEDO継続自主研究で開発促進

β光源1台出荷済み、100W安定出力を検討中



量産光源仕様

		Type	β	HVM		
LightGen	electrical energy per pulse	J	4	5	6	7
	repetition rate	kHz	19	28	32	37
	electrical input power	kW	76	141	191	262
	conversion efficiency	%	2.3	2.4	2.4	2.4
DeCo	étendue match	%	50	55	55	55
	collectable in-band power	kW	0.87	1.86	2.52	3.46
	FT transmission	%	60	62	62	64
	gas transmission	%	90	90	90	90
	collector transmission (R <sup>2</sup> /2π)	%	24	25	26	26
	alignment performance	%	95	96	97	97
	DeCo transmission	%	12.3	13.5	13.9	14.5
power after IF	W		107	250	360	500

量産光源 (100→350W@IF) ;  
繰り返し周波数増加 (X2) と  
入力電力増大 (X1.5) より実現予定



ウシオ/XTREME  
独、アルスドルフ工場開設

ご清聴ありがとうございました。