

② 新探究配線技術開発 [NSI]

(2) 新コンセプトグローバル配線技術の開発 (LSI チップ光配線技術開発)

近年、筐体外インターコネクタとして、主にデータセンターやハイエンドサーバーにおける筐体間接続に利用されているアクティブオプティカルケーブル(AOC: Active Optical Cable)が急速に注目されるようになってきた。AOC のインターフェイスはこれまでの電気と同様のものであるが、ケーブルヘッド部分に光電気変換デバイスを組み込んだ光ファイバーケーブルが用いられている。この AOC は、ここ 1~2 年で短距離ネットワークや屋内配線の中で市場規模を拡大してきた。これは、モジュールとして 1Gbps 当りの価格が\$10 を切り、市場規模拡大に拍車がかかっていることに基づいており、今後の更なる小型、低コスト化により筐体内への導入を近い将来のターゲットとしてその開発が加速されている。この領域において更なる小型化、低コスト化、高速化を行うには本テーマで取り組んだ光配線技術の導入が重要な役割を担っている。米国の Intel 社は、主に筐体内/外を接続する大容量/低消費電力インターコネクタに狙いを定めて製品発表を行ったが、従来の光配線技術を活用するだけでは低コスト化が厳しいとの見方がある。そのため、2015 年以降の実現を視野に入れて Si フォトニクス技術の光配線技術の開発が進められている。そこでの開発においては、小型・高速化に伴う光電気変換部分のデジタル-アナログ接続性や実装も含めたコストが大きな課題とされている。更に、米国においては、2020 年に向けて LSI チップへの光配線導入も視野に入れた DARPA のプロジェクトで Sun Microsystems 社、Luxtera 社、Kotura 社などが共同で研究開発を継続的に進めている。

本開発技術については、参加企業が独自の実用化を計画している。

特性ばらつきに対し耐性の高いデバイス・プロセス技術開発

(1) 構造依存の特性ばらつきの物理的理解とモデリング技術の開発

本技術開発では、MIRAI プロジェクト第三期の目標に則し、デバイス構造に依存した特性ばらつきの物理的理解とモデリング技術の開発を実施した。開発した技術は、特定の製品や特定の世代に直接的に寄与する性格ではないが、微細化されたLSI製品はもとより、得られた知見は広く、世代をまたがって様々な製品開発に活用される。基本的には hp45nm 以細をターゲットに開発された技術ではあるが、汎用性のある開発技術に関しては、参加企業の必要に応じて、密接に連携することで技術移管を進め、早期に技術の実用化に努めた。

以下、「構造依存の特性ばらつきの物理的理解とモデリング技術の開発」において進めた、具体的な実用化・事業化について述べる。本技術開発の前期には、

- ・静的な電氣的特性ばらつき評価に有効な標準テスト・エレメント・グループ (TEG)
- ・TEG 計測用に開発した新しいシステム
- ・データの解析結果から得られた知見
- ・特性ばらつきのモデル化手法
- ・特性ばらつき解析のための標準化手法
- ・物理解析技術とその知見

などの開発技術を参加各社に技術移管した。「特性ばらつき解析のための標準化手法」として開発した Takeuchi プロットは、デバイス特性ばらつきを理解する手法として広く、業界内で浸透しており、例えば下記に示すように、半導体デバイスの主要学会である VLSI シンポジウムや、IEEE の TED 誌にてばらつき定量手法として用いられている。

- ・ G. Tsutsui, "Reduction of Vth Variation by Work Function Optimization for 45-nm Node SRAM Cell", 2008 Symposium on VLSI Technology Digest of Technical Papers, p.158
- ・ *Masumi Saitoh, "Low Voltage (Vdd~0.6 V) SRAM Operation Achieved by Reduced Threshold Voltage Variability in SOTB (Silicon on Thin BOX)", 2009 Symposium on VLSI Technology Digest of Technical Papers, p.150
- ・ Endo. K, "Variation analysis of TiN FinFETs", Semiconductor Device Research Symposium, 2009. ISDRS '09. International , p.1 - 2
- ・ Xiaobin Yuan, "Transistor Mismatch Properties in Deep-Submicrometer CMOS Technologies", IEEE Transactions on Electron Devices, Volume:58, Issue:2, p.335-342

2008 年度より、MIRAI プロジェクト第三期後半の目標に則し進めた開発では、開発項目 1)-3)、および 5)-6)に関しては、MIRAI プロジェクト第三期前半に開発したデバイス特性ばらつき解析のための標準 TEG をベースとして新しい標準 TEG の設計を行い、その計測のために超高速でデバイス特性評価が可能な新しい評価システムを開発した。開発項目 4)に関しては、リバースプロファイリングに基づくコンパクトトランジスタモデル開発やレイアウトパターン依存性モデル開発を実施した。また、開発技術の適用範囲を広げるために、

- ・経時変化を含めたデバイス特性ばらつきを評価する標準 TEG とその計測手法
- ・1G ビット級のデバイス特性ばらつき評価が高速で評価可能な DMA-TEG と評価手法
- ・SRAM などの回路特性ばらつきを評価する TEG

などを開発した。2008 年度からの開発進捗としては、新しいマスクセットを用いて新規試作を実施し、平行して上記 TEG の計測手法に関しても開発を進めた。試作したテストウエハを用いて、設計した TEG、ならびに測定システムの有効性を検証し、しきい値(V_{th})だけでなく、MOSトランジスタのオン電流ばらつきや経時変化ばらつきの解析、モデル化を実施した。さらに、開発した Takeuchi プロットによるばらつき解析技術を hp45nm 以細に用いられる新しい材料である高誘電率ゲート絶縁膜/メタルゲート・デバイスへの適用を可能とした。一方、ばらつきの原因解明のための物理解析技術においては、局所的な不純物の 3 次元分布が原子レベルで検出可能であるアトムプローブ技術に関して、 V_{th} ばらつきの主要原因である微細 MOS トランジスタチャネルの解析への適用をすすめ、実際に 1M の DMA-TEG で計測した、 $\pm 5\sigma$ でばらついた MOS トランジスタに対して 3 次元不純物解析を行い、有用性を確認した。また、特性ばらつきを再現する 3 次元デバイス・プロセスシミュレーターを開発した。また、デバイス電気特性のリバースプロファイリングに基づくコンパクトトランジスタモデル開発では、HiSIM-RP の機能拡張と精度向上を行い、ばらつき要因分析への適用を行った。ストレス起因のレイアウトパターン依存性モデル開発では複雑なレイアウトパターンに対応するための機能拡張と精度検証を実施した。

上記の成果については、IV-1-I- (1)-図4-1に示す通り、開発技術は参加各社に技術移管した。デバイス特性ばらつきの評価手法としては、静的、ならびに動的なデバイス特性ばらつきを評価するための TEG を設計し、Phase-1/2 マスクに実装してデバックした標準 TEG 技術・高速測定技術を、本プロジェクトに参加したメンバー会社に技術移転した。また、高速測定技術に関しては、共同研究先である、アジレントテクノロジー・ジャパンにも必要事項を技術移転した。また、デバイス特性ばらつきを評価する場合、大量のデータを解析する必要があり、このデータを取り扱うデータ処理技術に関しては本プロジェクトで開発し、汎用性を持たせたシステムを上記参加メンバー会社に技術移管している。物理解析技術に関しては、アトミックラフネス評価技術、一貫解析評価技術はその手法、ならびに本開発から得られた知見を参加メンバー各社に技術移管した。また特にアトムプローブによる 3 次元不純物解析技術に関しては、その評価用試料の作成、高感度計測技術を共同研究先である東芝ナノアナリシス株式会社、ならびに株式会社東レリサーチセンターへ必要項目を技術移管している。3 次元デバイス・プロセスシミュレーション技術に関しては、得られた知見を参加メンバー会社に技術移管している。また、SRAM 特性シミュレーション技術に関しては、本開発の前期に参加したジーダット社が、2006～2007 年度で基礎検討を完了し、2008 年度以降製品化を行った。HiSIM-RP 技術、コンパクトストレスモデル技術は、そのプロトタイプを参加メンバー会社に技術移管した。

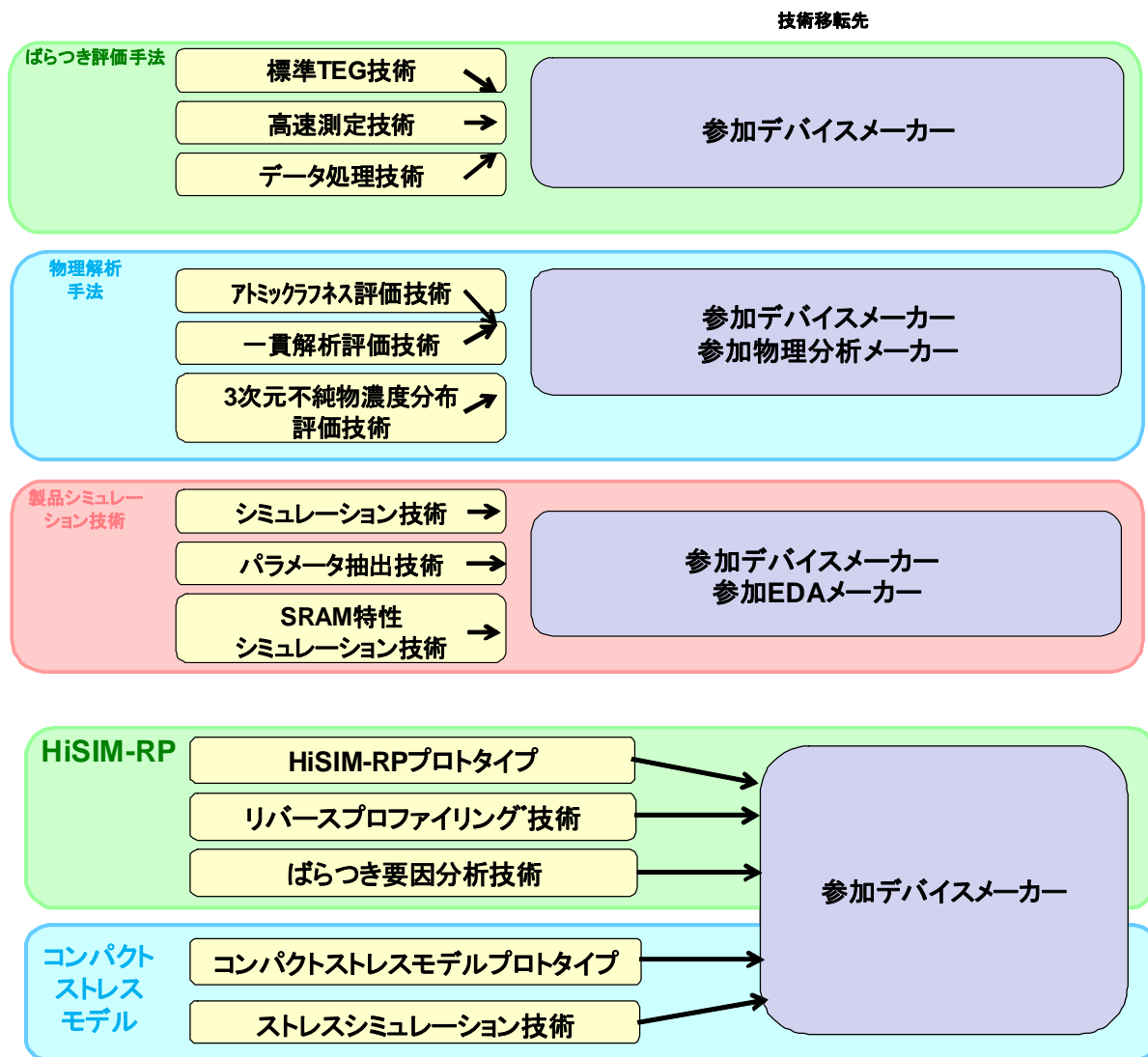
本開発で得られた成果および移管技術は、本開発に参加したメンバー会社において、一部実用化が開始され、あるいは、実用化に向けた取り組みが今後行われる状況である。

具体的に実用化された例について、以下説明する。

IV-1-I- (1)-図 4-4 は、(株)ジーダットが製品化した超高速 SRAM シミュレーターを(株)ジーダット社のフェアにて発表した際のパンフレットの一部分である。本機能は、ジーダット社の「新世代・統合回路設計ツール C3(circuit-Cube)」のオプションとして製品化された。

また、IV-1-I- (1)-図 4-5 は実施項目 4)-2 で開発したコンパクトストレスモデルのプロトタイプを、旧 NEC エレクトロニクス(現、ルネサスエレクトロニクス)が 40nm 以降の SPICE モデル開発手法として実用化し、実際の LSI のマクロセルの遅延解析に適用したことを示したものである。

IV-1-I- (1)-図 4-6、ならびに IV-1-I- (1)-図 4-7 は、東芝ナノアナリシス株式会社、ならびに株式会社東レリサーチセンターにて、共同研究で開発した 3 次元アトムプローブ技術を用いて、分析技術のサービスを紹介したホームページ、ならびに株式会社東レリサーチセンターのポスターセッションの説明資料である。



IV-1-I- (1)-図 4-1 主たる成果と開発技術移転先

タイムテーブル		セミナー会場 A	セミナー会場 B
11:00 ▼ 13:30			
13:30 ▼ 13:40	S1	ご挨拶 (株)ジーダット 代表取締役社長 石橋 真一	
13:40 ▼ 14:20	S2	基調講演 「難しい」アナログ設計への挑戦 ～STARCが変えるアナログ設計～ 株式会社半導体理工学研究所センター 執行役員 開発課2部長 岡村 芳雄 様	
休憩			
14:30 ▼ 15:10	A1	JEDAT製品ロードマップと最新トピックスのご紹介 ～最新情報と今後の方向性について～ (株)ジーダット 営業技術本部 本部長 小野 信任	B1
15:10 ▼ 15:50	A2	α-SXによるトータルソリューション ～制約ドリップ手法による回路とレイアウトの協調設計～ (株)ジーダット システム部 次長 三浦 一広	B2
休憩			
16:30 ▼ 17:10	A3	カスタムレイアウト設計の課題解決事例 ～効率化阻害要因の特定とケース別解決事例のご紹介～ (株)ジーダット 営業技術本部 EDA技術一部 部長 森田 俊一	B3
17:10 ▼ 17:50	A4	ドライバ回路とLCDパネル協調検証環境のご紹介 ～光学シミュレーションとSpiceの統合によるダイナミックCo-Sim環境～ (株)ジーダット 営業技術本部 EDA技術一部 エキスパートエンジニア 三宅 基夫	B4
		18:00 ▶ 19:00 懇親会	
		11:00 ▶ 17:50 展示会場 常設展示	

※セミナーの実施時間は多少前後することがございます。セミナー会場にてご案内いたします。
 ※セミナー／デモの内容、講師は変更になる場合がございます。あらかじめご了承ください。

JEDAT ジーダットが開催するプライベートショウ
EDA Fair 2009
 大阪 10/21 wed 大阪新阪急ホテル
 東京 10/23 fri 東京ステーションコンファレンス
 事前登録手続きはホームページで ▶▶▶ <http://www.jedat.co.jp/eda>

セミナー会場 A	NEW	セミナー会場 B
S1 ご挨拶 (株)ジーダット 代表取締役社長 石橋 真一	B1 世界最高クラス性能のSRAM特性ばらつき解析技術のご提案 ～従来比600倍の高速化を実現～ (株)ジーダット 営業技術本部 EDA技術一部 部長 佐々木 則之 NEDO技術開発機構が開発した高速メモリ(SRAM)回路動作の高精度シミュレーション技術成果を元にジーダットが世界最高クラス性能のSRAM特性ばらつき解析技術の開発に成功しました。今回開発した高速化手法は、SRAMが良品か否かが不明な領域(グレーゾーン)を非常に小さく絞り込む事で試行回数を劇的に削減する手法です。 また、Legend社が提供するSRAM検証ツールについて、最新情報をご紹介します。	B2 FPD向け最新ツール群のご紹介 ～FPD分野で圧倒的シェアを誇るオリジナル製品群のご紹介～ (株)ジーダット 営業技術本部 EDA技術一部 プロジェクトマネージャー 高木 真 FPDの回路設計がレイアウト検証およびトータル設計までのトータルな設計環境になって、最新機能と特長についてデモをお見せいたします。特に、最新機能の紙設計・重量抽出機能やデータ作成支援機能を用いて、FPD設計検証の更なる効率化と品質向上についてご提案いたします。
S2 基調講演 「難しい」アナログ設計への挑戦 ～STARCが変えるアナログ設計～ 株式会社半導体理工学研究所センター 執行役員 岡村 芳雄 様	A3 カスタムレイアウト設計の課題解決事例 ～効率化阻害要因の特定とケース別解決事例のご紹介～ (株)ジーダット 営業技術本部 EDA技術一部 部長 森田 俊一 カスタムデザインのレイアウト工程において、設計効率化や生産性向上を図る要因は何か。ジーダットの豊富な経験の中からケース別に課題を整理して、その解決に向けた具体例を事例を交えてご紹介いたします。	B3 動作モデル生成によるD/A混成SoCの動作検証手法 ～従来比100～1000倍の高速化を実現～ Orotec Chairman & CTO Dr. Richard Shi Orotec社のD/A混成SoCの動作検証手法をご紹介します。近年のSoC設計では、アナログ機能の集積によりシステム動作検証が大きな負担となっています。Orotec社は、トランジスタレベルのネットリストから動作モデルを自動生成し、検証シミュレーション時間を100倍～1000倍に向上させます。また、「analog assertions」機能により設計不良、動作不良の検出の支援を行うなど、確立されているデジタルSoC検証フローと互換性のあるD/A混成SoC検証フローをご紹介します。
A1 JEDAT製品ロードマップと最新トピックスのご紹介 ～最新情報と今後の方向性について～ (株)ジーダット 営業技術本部 本部長 小野 信任	A4 ドライバ回路とLCDパネル協調検証環境のご紹介 ～光学シミュレーションとSpiceの統合によるダイナミックCo-Sim環境～ (株)ジーダット 営業技術本部 EDA技術一部 エキスパートエンジニア 三宅 基夫	B4 JEDATが提供するDFMツール最新情報 ～超高速DFMブラウザの新機能とツール統合事例～ (株)ジーダット DFM技術部 部長 井上 賢 DFMブラウザHOTSCOPEの最新バージョンV7.5.1で機能拡張する専業位流産機能関係の最新情報、ネット務・回路図および論理回路対応など、今後のロードマップに関してもご紹介いたします。さらに、COMPシミュレーションツールCOMP-Designerとの統合環境や、COMP-Designerの最新情報についてもご紹介いたします。

IV-1-I- (1)-図 4-4 開発技術移転先例((株)ジーダットが製品化した超高速 SRAM シミュレーター)
 出典: ジーダット社の 2009 年開催セミナー用パンフレット

NECエレが40nm以降向けSPICEモデル開発手法を確立、MIRAIの成果を取り込む

2008/09/05 22:18

小島 郁太郎=編集委員

NECエレクトロニクスは、40nm世代以降のプロセスに向けたSPICEモデル開発手法を確立した(ニュースリリース)。MIRAIプロジェクト(ホームページ)の成果である「SPICEモデルの補正技術」を取り込むことなどで、精度の高いSPICEモデルの開発を可能にした。これで従来のSPICEモデルを使う場合に比べて設計マージンが削減できるようになり、LSIの性能を最大で20%程度高めることが可能になるといふ。

プロセスが微細化するにつれて、周辺にあるマスク・レイアウトのパターン形状によってトランジスタの特性が変わってしまう現象が顕在化してきた。この現象はトランジスタ特性のシステムティック・バラつきとか、トランジスタ特性の周辺レイアウト依存性などと呼ばれている(以下、レイアウト依存性)。

先端プロセスを使う半導体メーカーでは、このレイアウト依存性を考慮したSPICEモデルの開発手法(フロー)の整備を進めており、Tech-On!では、富士通/富士通マイクロエレクトロニクス(Tech-On!関連記事1)や東芝(同2)の取り組みを紹介した。今回のNECエレの発表も、こうした取り組みの一つである。

3種の依存性を考慮

NECエレによれば、今回のSPICEモデル開発フローでは、(1)ウエル近接効果、(2)STI(shallow trench isolation)ストレス、(3)ゲート・ピッチの変化による特性の変動を考慮している(図1)。このうち、(1)と(2)の一部(ゲート端~拡散層エッジまでの距離による依存性)はもともとSPICEモデルに組み込まれている。(2)の一部の「隣接した拡散領域間の距離」による依存性の考慮にはMIRAIプロジェクトの成果の技術を、(3)の依存性の考慮にはNECエレ独自の技術を使う(図2)。

同社によると、これまで発表されたレイアウト依存性を考慮のSPICEモデルの開発手法に比べて、今回の手法は次の二つの特徴などを備えている。第1に高精度で処理時間が短いこと、第2に既存の設計フローとの親和性が高いことである。それぞれの特徴には複数の技術や手法が関係するといふ。

任意形状に対応

例えば、第1の特徴に関しては、MIRAIプロジェクトの成果の技術が大きく寄与したとする。同プロジェクトでは、任意の周辺マス

なお、同社は、9月5日に東京・品川で開催した「EDA Tech Forum 2008」(ホームページ)で、今回の手法に関して講演している(セッション番号TE-5)。



図1・今回考慮したレイアウト依存性 NECエレのデータ。
[クリックすると拡大した画像が開きます]

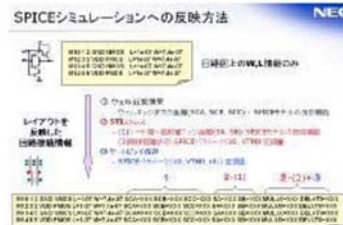


図2・SPICEモデルへの依存性の反映方法 NECエレのデータ。
[クリックすると拡大した画像が開きます]

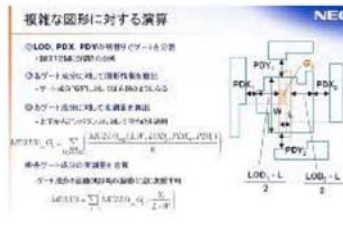


図3・STI(shallow trench isolation)ストレスの依存性を考慮するための演算法 NECエレのデータ。
[クリックすると拡大した画像が開きます]

IV-1-I- (1)-図 4-5 開発した SPICE モデルを採用した旧 NEC エレクトロニクス(現ルネサステクノロジ)の紹介をした日経 BP 社の記事。

出典: 日経 BP 社サイト「Tech-On!」2008/09/05、「NEC エレが 40nm 以降向け SPICE モデル開発手法を確立。MIRAI の成果を取り込む」

東芝ナノアナリシス株式会社

事業案内 解析依頼 トピックス 会社概要

解析依頼

- 解析依頼の流れ
- FAQ

依頼書ダウンロード

- 事業案内
- ナノ構造解析
 - 表面元素分析
 - 薄膜物性評価
 - 故障解析
 - 製品解析
 - 製品の信頼性評価
 - 極微量成分分析
 - 環境負荷低減・環境管理分析
 - 無機成分分析
 - 有機成分分析

クリーンルームの清浄度管理
分析サービス

- ケミカル汚染評価
- メタル汚染評価

実装基板・パッケージ評価・解
析サービス

半導体パッケージや実装な
どのでまぼえ調査や不良解
析をサポートします

グリーン調達支援サービス
RoHS, REACH

製品解体からスクリーニ
ング、精密化学分析まで対応
しております。

依頼に関するお問い合わせは

support@nanoanalysis.co.jp
TEL : (045) 770-3471
FAX : (045) 770-3479
受付時間 / 9:00~17:00
(土日祝日除く)

オンライン依頼問い合わせ

Home > 事業案内 > 3次元アトムプローブ(3DAP)

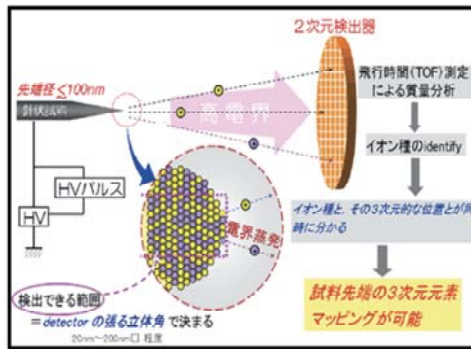
事業案内

3次元アトムプローブ(3DAP)
Three dimensional Atom Probe

3次元アトムプローブは試料中の構成元素を原子レベルの空間分解能で3次元マップとして解析する究極の分析ツールです。近年、パルスレーザを用いたレーザ支援型のアトムプローブの開発が進み、半導体への適用が可能になりました。

原理

先端径100nm程度の鋭な針状試料に10keV程度の正電圧をかけると試料最先端で高電界となり電界蒸発(試料表面の中性原子が+イオン化し表面から脱離する)現象が発生します。電界蒸発したイオンは2次元検出器により原子配列が特定され、検出器に到達するまでの飛行時間からイオン種が特定されます。さらに、深さ方向に連続的にイオンを検出し、再構築することにより、3次元の原子Mapが得られます。



特徴

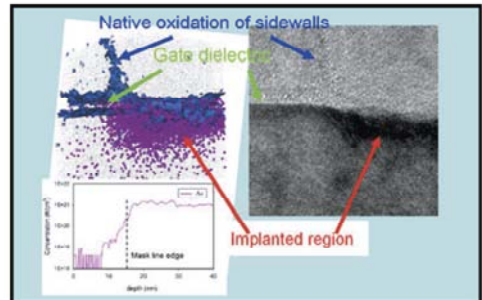
試料の化学情報と3次元構造を原子レベルで解析できる究極の解析手法でTEM並みの空間分解能とSIMS並みの感度を持つ3D解析手法です。

	Atom-Probe	SIMS	TEM
3次元イメージ	可	限定的	限定的
画像分解能	0.2nm	NA	0.1nm
空間分解能	x, y: 0.5nm z: 0.2nm	x, y: 1 μm ~ z: 0.3nm	x, y: 0.2nm z: 0.2nm
質量同定・感度	20ppm ($1 \times 10^{18}\text{cm}^{-3}$)	1ppb ~ ($5 \times 10^{13}\text{cm}^{-3}$)	1000ppm ($5 \times 10^{19}\text{cm}^{-3}$)

※アトムプローブ装置メーカー資料より転記(一部加筆修正)
弊社所有の分析装置の仕様とは一部異なります。

用途

金属および半導体材料の極微小領域における三次元元素分布評価
界面ラフネス評価ならびにラフネスの影響を補正した真の界面濃度プロファイル評価
結晶界面等における不純物偏析の観察



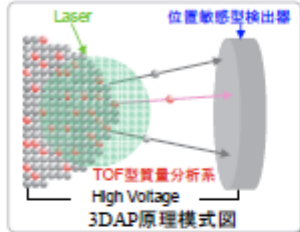
Copy From Moore et al Ultramicroscopy 2008

IV-1-I- (1)-図 4-6 開発技術移転先例((株)東芝ナノアナリシスが活用している 3 次元アトムプローブ技術)
出典: 東芝ナノアナリシス(株)の事業案内 WEB
http://www.nanoanalysis.co.jp/business/device_01.html

三次元アトムプローブによる 半導体実デバイスの観察

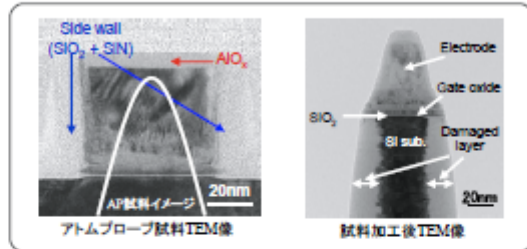
三次元アトムプローブとは

三次元アトムプローブ(3DAP)は、先鋭な針状の試料に電界をかけ個々の原子を試料表面からイオン化し、その飛行時間と飛行方向から元素種の同定と位置決定を行う手法であり、原子レベルの分解能で三次元の元素分析が可能である。試料に電界を印加する手法であるためこれまで金属材料分析にのみ利用されてきたが、近年レーザー補助型装置の登場により半導体や絶縁物の分析が可能となり、半導体デバイスへの適用が期待されている。

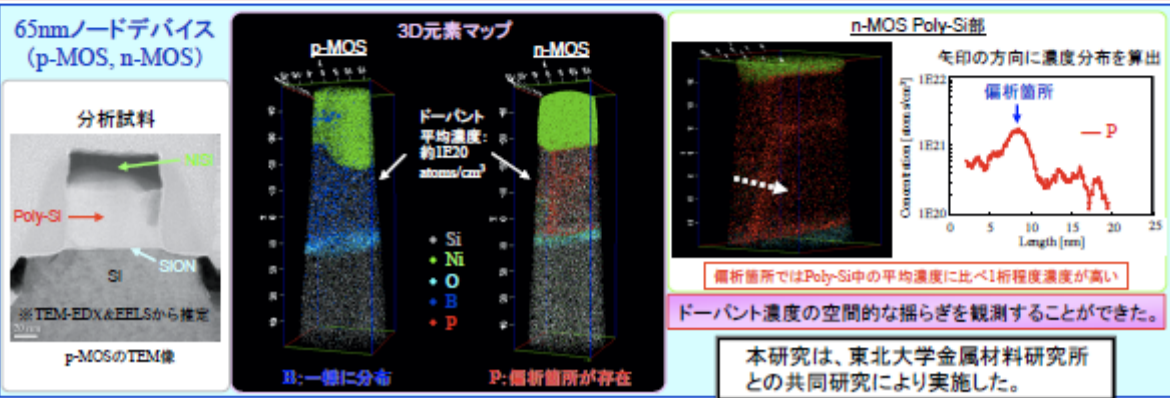
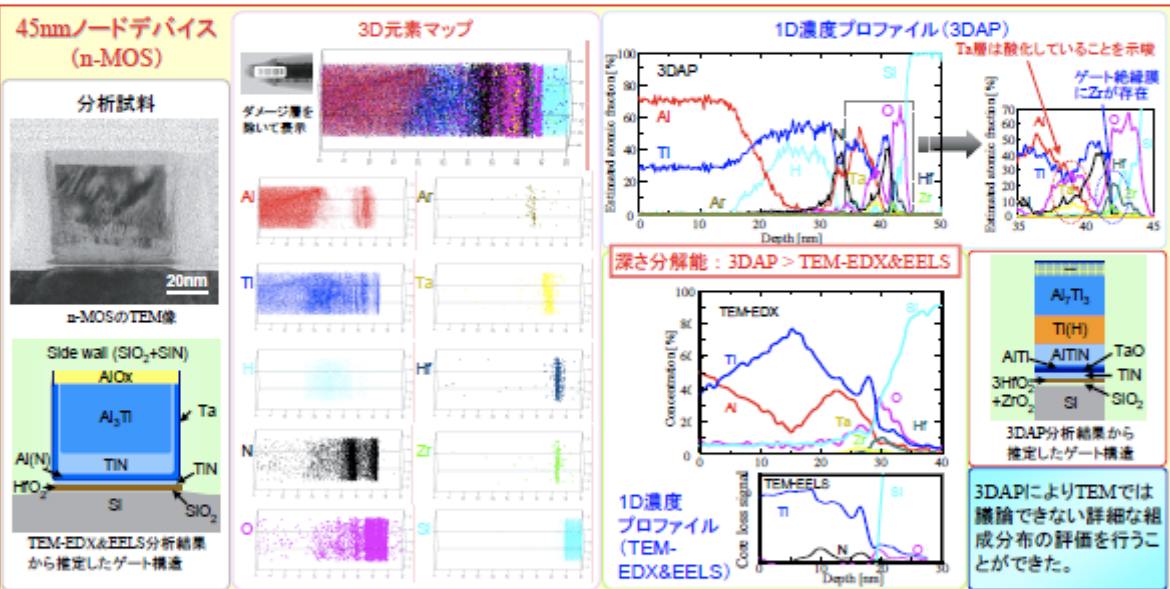


試料加工によるデバイス分析の試み

レーザー補助により半導体・絶縁体試料の測定が可能になったものの、絶縁性の高い材料の分析は容易ではない。本研究では、MOSゲートに注目するために周辺の絶縁膜を含まないよう試料を加工することにより分析を試みた。



半導体実デバイス分析結果



株式会社 東レリサーチセンター

2010年7月TRCポスターセッション2010

IV-1-I- (1)-図 4-7 開発技術移転先例((株)東レリサーチが活用している3次元アトムプローブ技術)
出典: (株)東レリサーチセンター開催のセミナー用ポスター

③ 特性ばらつきに対し耐性の高いデバイス・プロセス技術開発

(2) 外部擾乱依存の特性ばらつきの物理的理解とモデリング技術の開発

本技術開発では、MIRAIプロジェクト第三期の目標に則し、外部擾乱に依存した特性ばらつきの物理的理解とモデリング技術の開発を実施した。開発した技術は、基本的には hp45nm 以細をターゲットに開発された技術ではあるが、対象製品や対象プロセス世代を限定すること無く、広範囲に適用可能なものである。本技術開発は、プロジェクト開始当初から実用化を視野に入れ、技術課題の解決策としては、汎用的で低コストかつ容易に実現可能な手段を選択することを常に念頭におきながら開発を進めて来た。それに加え、今回の技術開発では、複雑な外部擾乱現象の根源を物理的に理解してモデル化することも常に心がけつつ技術開発を進めたため、単なるスナップショット的なモデル化にとどまらない、汎用的で可用性に富む成果を得ることが出来た。さらに、本技術開発においては、技術的な課題を、技術やデバイス構造を踏まえた上で、設計技術を用いることで解決することを目指した。その結果、本開発技術は、LSI 製造を外部委託する場合にも、有効に適用可能なものとなっている。本開発技術の将来世代への実用化展開を考えた場合の課題は、将来の微細デバイス構造に対応した本開発技術の最適化が、今後必要となる点である。

本技術開発では、新たに開発したシミュレーション技術の実行手順書や、今回の成果を実際に LSI 設計に適用する際の設計ガイドラインなどに加え、研究開発過程で得られた知見として、定例技術検討会ならびに技術委員会の資料を、成果物として参加メンバー会社に技術移管した。本テーマの主たる成果物とその移転先をまとめたものをIV-1-I-③-(2)-図1に示す。以下、各開発項目の成果の実用化の見通しについて述べる。

1) 中性子線入射による電荷発生に起因する回路誤動作の物理的理解とモデリング技術の開発

本テーマでは、SET 一貫シミュレーション技術を使用するための実行手順書を参加メンバー会社に技術移管した。更に、耐 SET 技術開発の過程で得られた各種知見に関しては、定例技術検討会ならびに技術委員会の資料を通じて、順次定期的に参加メンバー会社に技術移管しており、資料総数は49件、総頁数は756頁である。これら知見の中には、例えば、SET 起因のソフトウェア抑制技術などが含まれている。

これらの成果により、従来は、設計・検証手法が不明であったため hp65nm 以細では製品化の見通しが立っていなかった、ソフトウェアレート 1~10FIT の高信頼性 LSI の製品化実現への道筋をつけることが出来る様になった。これにより、従来から日本の強みである高信頼性 LSI の分野において、製品化の面で世界の競合に対してリードし続けることが期待できる。

2) トランジスタノイズに起因する回路誤動作モデリング技術の開発

2)-1 耐 ESD 技術開発

本テーマでは、先端 CMOS CDM-ESD 対策設計ガイドラインを最終成果物として参加メンバー会社に技術移管した。更に、耐 ESD 技術開発の過程で得られた各種知見に関しては、定例技術検討会ならびに技術委員会の資料を通じて、順次定期的に参加メンバー会社に技術移管しており、資料総数は38件、総頁数は403頁である。これら知見の中には、例えば、SPICE による CDM-ESD シミュレーション技術などが含まれている。

これらの成果により、従来は設計手法が不明であったため、hp65nm 以細では見通しの立っていなかった、CDM 型 ESD 耐圧クラス4(500~1,000V)を満たす高信頼性 LSI の製品化が可能になった。これまでは薄膜トランジスタのゲート酸化膜を保護するために電圧クランプ素子を設ける手法が主流であったが、プロセス微細化によるゲート酸化膜の絶縁耐圧の低下によって電圧クランプ素子の実

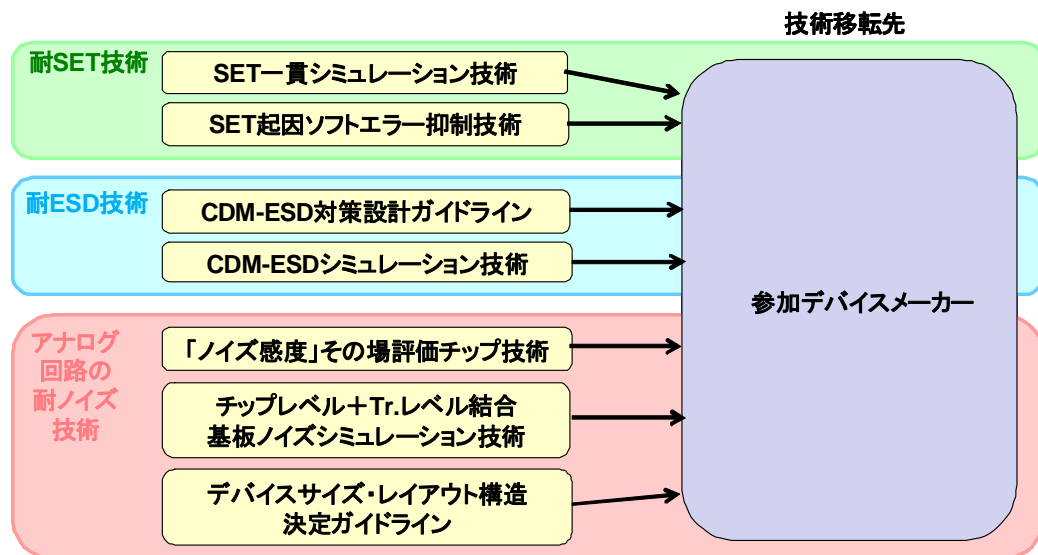
現は困難を極めており、欧米の LSI メーカーはこぞって CDM 型 ESD 耐圧の標準値をクラス 2 (250V 以下) に引き上げる様、業界団体を通じて LSI ユーザーへの働きかけを強めている。今回の成果により、日本の LSI メーカーは CDM 型 ESD 耐圧を逆にクラス 4 に引き上げることが出来、世界の競合に対して大きくリードを広げることが期待できる。

2)-2 アナログ回路における耐ノイズ技術開発

本テーマでは、「ばらつきとノイズ感度」その場評価チップの説明書、チップレベル基板ノイズ伝播解析とデバイスレベル基板ノイズ感度解析を組み合わせたシミュレーションの実行手順書、デバイスサイズ選択とレイアウト構造決定のガイドラインを最終成果物として参加メンバー会社に技術移管した。さらに、耐ノイズ技術開発の過程で得られた各種知見に関しては、定例技術検討会ならびに技術委員会の資料を通じて、順次定期的に参加メンバー会社に技術移管しており、資料総数は45件、総頁数は2,072頁である。これら知見の中には、例えば、「ばらつきとノイズ感度」その場評価チップの測定技術などが含まれている。

これ迄は、例えば、アナログ回路のばらつきを抑えることのみに注力して、ガードリングの設定が不完全なままトランジスタのフィンガー数を増やして逆に基板ノイズの被害を受けるというトラブルや、あるいはチップレベルの基板ノイズ伝播解析ツールの結果をそのまま信じたため、基板ノイズに対する対策が不完全になる、というトラブルが LSI 設計の現場で発生していた。今回の成果により、ばらつきと基板ノイズの影響をコンカレントかつ高精度に考慮した最適設計を行うことが可能になり、設計効率の向上と失敗コストの低減が期待できる。

本開発で得られた成果および移管技術は、本開発に参加したメンバー会社において、一部実用化が開始され、あるいは、実用化に向けた取り組みが今後行われる状況である。



IV-1-I-③-(2)-図1 技術開発の主たる成果とその移転先

IV. 実用化、事業化の見通しについて

⑤EUV光源高信頼化技術

半導体は多くの産業において製品やサービスの高機能化や生産性向上を実現するキーテクノロジーであり、日本の産業ために不可欠な製品である。半導体産業の特徴の1つとして微細化による絶え間ない技術革新があり、微細化によって消費エネルギーの低減、1チップ辺りのコストの低減、高機能化など様々なメリットが生み出される。微細化を実現する技術の中でも露光技術は中心的な技術であり、その中で EUV 露光技術は液浸 ArF 露光技術に代わる hp22nm 以降の最有力候補である。

ここでは、EUV 露光の光源を中心とした実用化、および事業見通しおよび本プログラムで開発された技術や商品から期待される技術的・経済的波及効果について述べる。

(1) LPP光源技術開発

1.1) 実用化計画

MIRAI 委託研究である⑤光源高信頼化技術開発の成果を引き継ぎ、量産機用 LPP 方式 EUV 光源の実用化へ向け、「集光光学系の清浄光源モジュール」の開発を促進する。後述の事業化計画に示した光源高出力化ロードマップに基づき、平成 24 年までに高出力・高清浄 LPP 光源の確立を目指す。

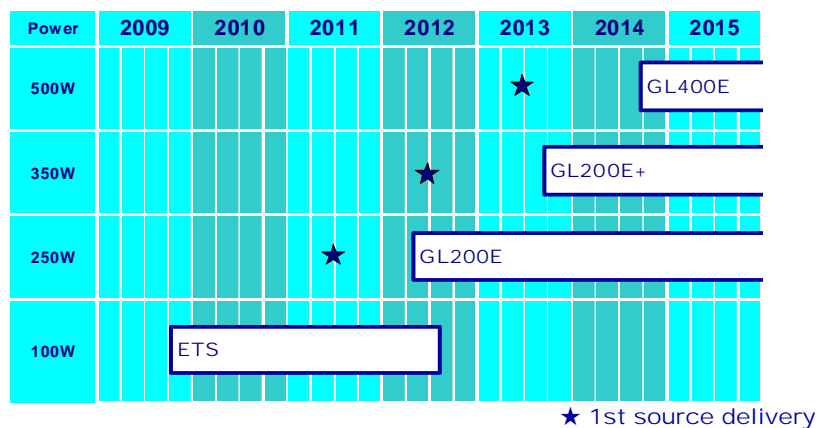
1.2) 事業化計画

本プロジェクト終了後の LPP 光源の事業化について、以下のように計画している。

LPP 光源の工場設備としては、現在 EUVA 平塚研究室が設備の一部を使用している、コマツの湘南工場内の T 棟を用いる予定である(IV-1-II-⑤-(1)-図 1)。



IV-1-II-⑤-(1)-図 1 LPP 光源の工場予定のコマツ湘南工場内 T 棟



IV-1-II-⑤-(1)-図 2 LPP 光源ロードマップ(ギガフォトン)

ギガフォトンにおける LPP 光源の製品化のロードマップを IV-1-II-⑤-(1)-図 2 に示す。250W 光源の GL200E を 2012 年に、350W の GL200E+を 2013 年に、500W の GL400E を 2014 年に順次出力を向上させて製品化する計画である。各々、1 年前に最初の光源を露光装置メーカーに出荷する。

試験研究機である ETS の次に、GL200E のシステム検証機として GL200E プロトを開発している。GL200E プロトの主仕様を IV-1-II-⑤-(1)-図 3 に示す。EUV 出力>100W、集光ミラー寿命>200B パルスであり、露光装置との結合が可能になっている。

		1 st generation	2 nd generation	
EUV model		ETS	GL200E proto	GL200E
Power	W	100	>100	>250
Pulse energy	mJ	1	>1	>2.5
Max rep rate	kHz	100	100	100
Max Duty Cycle	%	75	>75	>75
Sub systems				
Target Material and Shape		Sn droplet	Sn droplet	Sn droplet
Droplet Diameter	micro meter	60	10	10
Debris Mitigation		Magnet and cleaning	Magnet and cleaning	Magnet and cleaning
Collector Mirror Lifetime	Bpls	11	>200	>1250
Tool Interface		No	Yes	Yes

IV-1-II-⑤-(1)-図 3 GL200E プロトの主仕様

(2) DPP光源技術開発

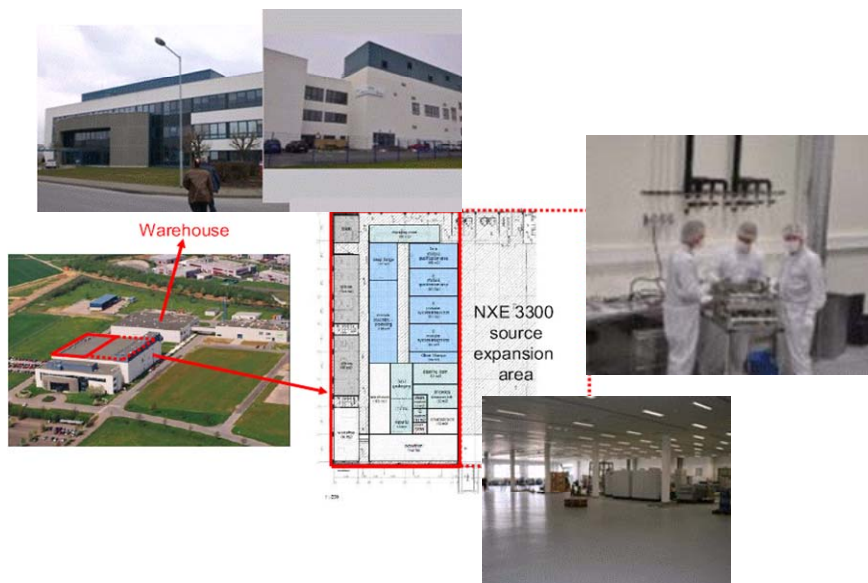
2.1) 実用化計画

MIRAI 委託研究である⑤光源高信頼化技術開発の成果を引き継ぎ、量産機用 LA-DPP 方式 EUV 光源の実用化へ向け、「DPP 光源の高信頼化技術の深耕」を促進する。後述の事業化計画に示した光源高出力化ロードマップに基づき、平成 24 年までに高出力・高清浄 DPP 光源の確立を目指す。

2.2) 事業化計画

DPPの事業化はウシオ電機(株)の100%子会社であるXTREME technologies GmbH (独、以下、XTREME社)で行っている。XTRTEMEは、ウシオ電機(株)の主導により、同じくDPP光源の実用化開発を行っていたPhilips-EUV社(独)から、H21年7月に、技術の移転と事業譲渡を受けた。これによりDPPの事業化はXTREME社

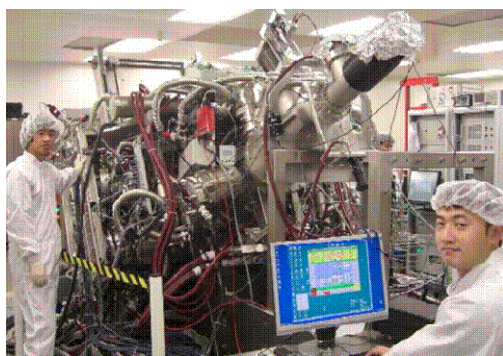
一つに統合された。XTREME社の本社と開発研究施設はドイツ・アーヘンにあり、従業員は約80名である。H22年12月には、製造工場を、アーヘン郊外のアルスドルフに設けた。IV-1-II-⑤-(2)-図1には製造工場の写真を示す。



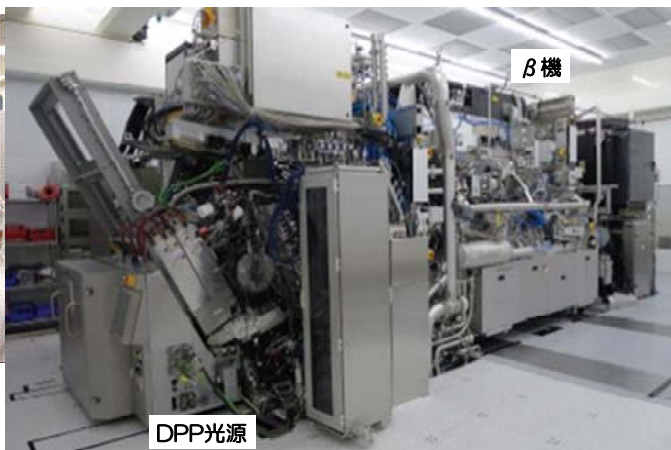
IV-1-II-⑤-(2)-図1 XTREME社のDPP光源製造工場

XTREME社のIV-1-II-⑤-(2)-図2に示すβ機用DPP光源は、IV-1-II-⑤-(2)-図3の写真のように、既に、露光機メーカー(ASML(蘭))のβ機へ搭載されており、露光実験に成功している。

また、H23年2月に、XTREME社DPP光源搭載のASMLβ機がLSI技術研究機関であるIMEC(蘭)へ納入された。



IV-1-II-⑤-(2)-図2 β機用DPP光源



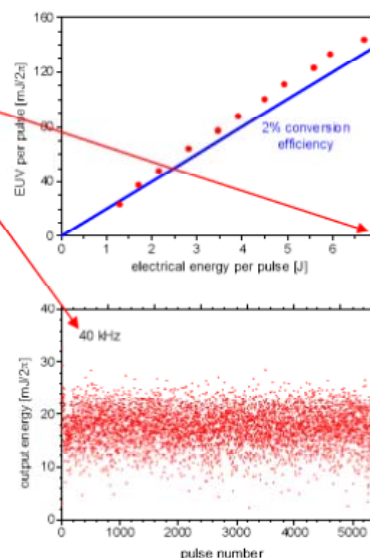
IV-1-II-⑤-(2)-図3 DPP光源搭載β露光装置

XTREME社の当面のβ機用DPP光源の事業化ロードマップをIV-1-II-⑤-(2)-表1に示す。それ以降は、HVM用DPP光源として、ツールメーカーの計画(ASMLNXE3300)に対応して、2012年には250W機、2013年には350W機の事業化を計画しており、それに500W機が続く。IV-1-II-⑤-(2)-図4には250Wから500Wまでの動作条件を示す。図に示す実測結果のグラフのように、500W実現の可能性が実証されている。

IV-1-II-⑤-(2)-表 1 β機用 DPP の開発ロードマップ

		Timing	Q4 '10	Q1 '11	Q2 '11
Source Module	electrical energy per pulse	J	4	4	4
	frequency	kHz	7.5	12	19
	electrical power	kW	30	48	76
	conversion efficiency	%	2.3	2.3	2.3
	étendue match (6 mm Ø)	%	50	50	50
	collectable in-band power	W	345	552	874
Coll. Module	foil trap transmission	%	60	60	60
	gas transmission	%	90	90	90
	collector transmission (fraction of 2π sr)	%	20.9	23.5	24.0
	alignment performance	%	90	95	95
	DeCo transmission	%	10.2	12.0	12.3
Power@IFW		W	35	66	107

		Type	3300		
Source Module	electrical energy per pulse	J	5	6	7
	repetition rate	kHz	28	32	37
	electrical input power	kW	141	191	262
	conversion efficiency	%	2.4	2.4	2.4
	étendue match	%	55	55	55
	collectable in-band power	kW	1.86	2.52	3.46
Coll. Module	FT transmission	%	62	62	64
	gas transmission	%	90	90	90
	collector transmission ($R^2/2\pi$)	%	25	26	26
	alignment performance	%	96	97	97
	DeCo transmission	%	13.5	13.9	14.5
Peak	power after IF	W	250	350	500

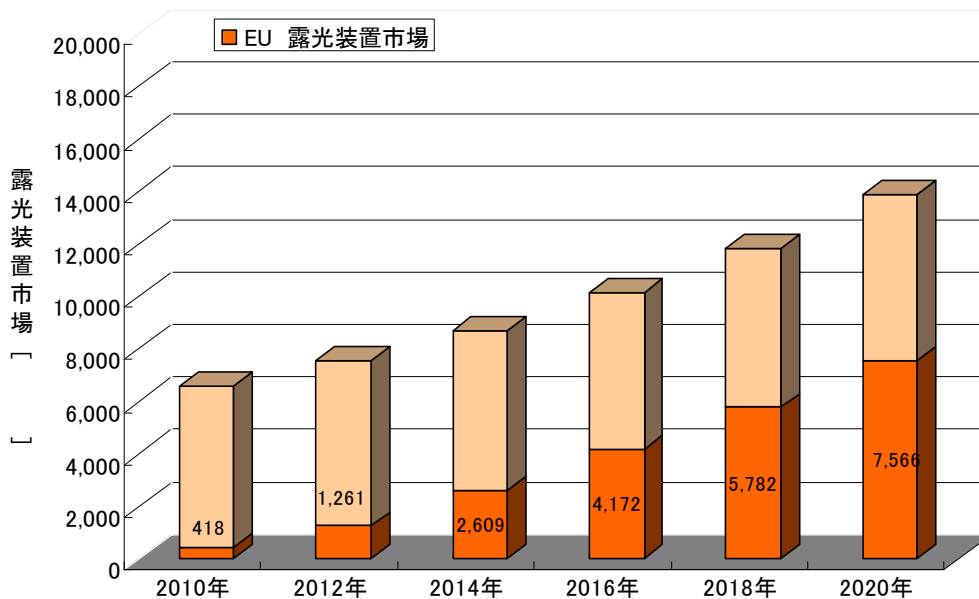


IV-1-II-⑤-(2)-図 4 250W から 500W の開発ロードマップと実現可能性実証実験結

(3) EUV露光システムの市場・波及効果(みずほ情報総研の調査を元に記述)

3.1) 露光装置市場及び EUV 露光装置市場予測

露光装置市場全体の市場予測と、EUV露光装置の市場の予測をIV-1-II-⑤-(3)-図1に示す。EUV露光装置は2016年には4,172億円、2020年には7,566億円になると予測される。



IV-1-II-⑤-(3)-図1 EUV 露光装置の市場予測
(出典)MHIR 作成

装置1台の価格を2012年には100億円とし、量産効果で2016年には80億円、2020年には60億円になるとした場合の装置の出荷予測台数をIV-1-II-⑤-(3)-表1に示す。

IV-1-II-⑤-(3)-表1 EUV 露光装置市場予測と受注予測台数(単位: 億円)

	2010年	2012年	2014年	2016年	2018年	2020年
半導体市場	254,462	292,028	337,425	392,517	458,187	536,819
露光装置市場	6,580	7,552	8,726	10,150	11,849	13,882
EU 露光装置市場	418	1,261	2,609	4,172	5,782	7,566
装置1の予価格	100	100	100	80	80	60
注予測数()	4	13	26	52	72	126

(出典)MHIR 作成

3.2) EUV 露光の波及効果

EUV 露光技術と光源の研究開発から得られた技術からの他の産業、事業分野への波及効果を述べる。

3.2.1) ナノ加工技術としての EUV 露光の応用・波及効果

EUV 露光はナノサイズの形状を作成する加工技術であり、他の分野でも以下のようなナノサイズ加工の基盤技術として波及効果が期待できる。

a) 太陽電池

太陽電池では変換効率の向上は重要な要素である、次々世代の太陽電池に向けて、さまざまなタイプの太陽電池の開発が進められており、基板上に細いワイヤ状の Si(Si ナノワイヤ)を並べた、Si ナノワイヤ太陽電池もその1つである。Si を微細化加工しナノワイヤ化することで量子効果が発現し従来では達成出来なかった高変換効率が期待されている。ベルギーIMEC は EUV 露光を用いて太陽電池に適した Si ナノワイヤの開発を進めている。

(出典) IMEC の IMEC Executive Seminar Japan(2009/11/9) Jef Poortmans 氏発表データより

b) ナノインプリント

微細形状を作成するナノインプリント技術においても金型作成プロセスとして EUV 露光による加工が利用できる。スイス Eulitha AG はシンクロトロン(同期式円形加速器)で生成した軟 X 線を利用しているが EUV 露光で使う 13.5nm の同じ波長を用いてナノインプリント用の金型を作成している。

(参考) Eulitha社のHP URL:<http://www.eulitha.com/index.php?page=products>

3.2.2) 短波長光としての EUV 光源の応用・波及効果

EUV 露光には EUV 光源の開発が重要であり、実現される光源から得られる EUV 光は可視光より波長が1桁以上小さい特徴を生かした以下のような他産業への波及効果が可能である。

a) 極端紫外線(X線)顕微鏡(生体細胞の観察)

生体試料の観察には、10-100nm の分解能が必要であるが、光学顕微鏡では分解能が不足し、電子顕微鏡では、生理的状态での観察が困難である。極端紫外線(X線)顕微鏡はこの領域を埋めることが期待されている。生体を構成する元素である C、N、O、Ca、S、P が極端紫外領域に吸収端をもつため、高い分解能で細胞内の微細構造までの観察が可能となる。現在その実現のための課題は、強度の強い光源を得ることである。

b) 極端紫外線によるガラスの加工

ガラスは可視光を透過するが EUV 波長領域では吸収率が高まり直接加工が可能となる。そのため極微量化学分析デバイス、極微量化学合成デバイスなどを作製する加工法として期待できる。例えば、EUV でガラスに加工を行いナノインプリントの原理で実験用の神経細胞ネットワークを作成に適用できるものと考えられる。これにより、バイオテクノロジー、化学の分野に貢献することが期待できる。

3.2.3) EUV 露光装置の投影光学系ミラー技術の応用・波及効果

EUV 露光装置の投影光学系ミラーには高い精度の鏡面加工技術が必要とされる。この鏡面加工技術は他の光学系で鏡を使う装置等に利用できる。

a) X線望遠鏡

X線望遠鏡のミラーの研磨に EUV 露光装置のミラーの研磨技術が応用できる。EUV 露光装置で使用される高精度光学部品メーカーであるイタリア Media Lario 社はヨーロッパ宇宙機関 (ESA)の X線天文衛星 XMM-Newton の光学系を提供している。

(参考 URL:<http://www.media-lario.com/index.html> (Media Lario 社の HP))

b) 研磨技術

EUV 露光装置の投影光学系ミラーの鏡面加工には非常に高い精度が要求される。EUV 露光装置の加工技術として開発の進められている「EEM(Elastic Emission Machining)」は微粒子と加工物表面の微細な化学反応を利用した加工であり、通常の研磨技術と違い、加工物に機械的な力が加わらないため、表面に歪みが残らない特徴があり、他分野での高精度研磨技術として応用が期待される。

3.2.4) その他の技術の波及効果

以上に上げた技術以外にも EUV 光を発生する光源で利用するプラズマを診断する技術は他分野への波

及効果が期待できる。

3.2.5) 科学技術・社会への波及効果

環境問題は持続可能な社会を達成するための重要な課題である。経済産業省の推計によると、2006 年度における IT 機器の消費電力量は約 500 億 Kwh(CO2 換算で 2,600 万トン)で、国内の総電力消費量の約 5% にあたり、2025 年には約 5 倍の国内総電力量の約 20%になると推計されている。EUV 露光技術で半導体を微細化することで複数の CPU コアを 1 チップ上に集積化することができると考えられる。Intel 社は 2009 年 12 月に 48 個の CPU コアを 1 チップ上に集積したプロセッサ「Single-chip Cloud Computer(SCC)」を開発したと発表した。これらはクラウド・コンピューティングで利用するようなサーバー機群を大幅に小型化し、増加するデータセンターの消費電力の削減を実現することができる。

さらに、社会インフラとなったインターネットは、経済産業省の推計によると動画の送配信や各種 IT サービスなどが普及し、2006 年の情報流通量の 637Gbps(推計値)から、2025 年に 121Tbps(テラビット/秒)とおおよそ 190 倍になると見込まれ、流通量が爆発的に増加する。これらの膨大な情報処理の要求にこたえるための高速プロセッサ・大容量メモリの実現には EUV 露光による半導体の微細化が不可欠である。

また、EUV 露光を利用することで「量子情報素子」「大容量記憶素子」などナノテクノロジー製品を実現することができる。このようなナノエレクトロニクスはナノテクノロジー関連製品で市場規模が最も大きくなると見込まれている。これらのナノテク製品を実現化することによって大きな市場創生効果が期待される。

特許論文リスト

I. 次世代半導体材料・プロセス基盤技術開発

① 新構造極限CMOSトランジスタ関連技術開発 [U-CMOS]

特許リスト(東芝)

番号	出願者	出願番号	国内 外国 PCT	出願日	状態	名 称	発明者
1	(株) 東 芝	P2008-235514	日本	2008/09/12	公開	半導体装置およびそ の製造方法	鎌田善己他
2	(株) 東 芝	P2008-306570	日本	2008/12/01	公開	相補型半導体装置と その製造方法	入沢寿史他
3	(株) 東 芝	P2009-014541	日本	2009/01/26	公開	電界効果トランジス タ	手塚 勉
4	(株) 東 芝	P2009-018492	日本	2009/01/29	公開	半導体装置およびそ の製造方法	守山佳彦他
5	(株) 東 芝	P2009-042465	日本	2009/02/25	公開	半導体装置	鎌田善己他
6	(株) 東 芝	P2009-052371	日本	2009/03/05	公開	半導体素子及び半導 体装置	小野瑞城
7	(株) 東 芝	P2009-055267	日本	2009/03/09	取下 (優 先権)	半導体装置およびそ の製造方法	小池正浩他
8	(株) 東 芝	12/482,054	US	2009/06/01	公開	半導体装置およびそ の製造方法	鎌田善己他
9	(株) 東 芝	JP/2009/002970	PCT	2009/06/26	公開	半導体装置の製造方 法	池田圭司
10	(株) 東 芝	JP/2009/66162	PCT	2009/09/16	公開	半導体装置及びその 製造方法	池田圭司他
11	(株) 東 芝	JP/2009/67423	PCT	2009/10/06	公開	半導体装置およびそ の製造方法	小池正浩他
12	(株) 東 芝	12/636,090	US	2009/12/11	公開	半導体素子及び半導 体装置	小野瑞城
13	(株) 東 芝	P2010-012528	日本	2010/01/22	出願	半導体装置及びその 製造方法	池田圭司他
14	(株) 東 芝	12/694,592	US	2010/01/27	公開	半導体装置およびそ の製造方法	守山佳彦他
15	(株) 東 芝	12/706,319	US	2010/02/16	公開	半導体装置	鎌田善己他
16	(株) 東	P2010-042942	日本	2010/02/26	出願	半導体装置の製造方	池田圭司他

	芝					法	
17	(株) 東芝	JP/2010/55937	PCT	2010/3/31	出願	半導体装置の製造方法	小田 穰他
18	(株) 東芝	201010283375.5	CN	2010/09/15	出願	半導体装置の製造方法	池田圭司他
19	(株) 東芝	12/888,674	US	2010/09/23	出願	半導体装置及びその製造方法	池田圭司他
20	(株) 東芝	12/888,805	US	2010/09/23	出願	半導体装置およびその製造方法	池田圭司他
21	(株) 東芝	099132392	台湾	2010/09/24	出願	半導体装置及びその製造方法	池田圭司他
22	(株) 東芝	P2010-217196	日本	2010/09/28	出願	半導体装置の製造方法	上牟田雄一他
23	(株) 東芝	P2011-000812	日本	2011/1/5	出願	半導体装置およびその製造方法	臼田宏治他
24	(株) 東芝	P2011-067655	日本	2011/3/25	出願	電界効果トランジスタ	池田圭司他
25	(株) 東芝	P2011-068465	日本	2011/3/25	出願	電界効果トランジスタ及びその製造方法	手塚 勉

論文リスト(東芝)

番号	発表者	所属	タイトル	発表誌名、ページ番号	査読	発表年 (FY)
1	鎌田 善己,高島章,手塚 勉	東芝	Ge MOS デバイスの熱安定性 - Ge oxygen [GeO(g)]脱ガスにおける Ge monoxide [GeO(II)] の役割 -	電子情報通信学会技術研究報告 信学技報	有	2009
2	鎌田 善己,高島章,手塚 勉	東芝	Material Properties, Thermal Stabilities and Electrical Characteristics of Ge MOS Devices, Depending on Oxidation States of Ge Oxide: Monoxide [GeO(II)] and Dioxide [GeO2(IV)]	2009 MRS Spring Meeting Symposium C proceedings	有	2009
3	鎌田 善己,手塚 勉	東芝	次々世代トランジスタへの道を開く SrGex 界面層 High-k/Ge MISFET	東芝レビュー	有	2009
4	鎌田 善己	東芝	High-k/Ge MISFET 向け新規界面層形成技術	東芝レビュー	有	2009

5	手塚 勉、 鎌田 善 己、池田圭 司、上牟田 雄一、守山 佳彦	東芝	Non-Planar Transistors with High-Mobility SiGe/Ge Channels for CMOS Applications	ECS Trans. 33(3), 357-366	有	2010
6	守山 佳 彦、池田 圭司、上牟 田 雄一、 手塚 勉	東芝	Formation of High Aspect-ratio Ge-fin Structures with {110} Facets by Anisotropic Wet Etching	ECS Trans. 33(6),419-424	有	2010
7	小野瑞城、 手塚勉	東芝	Comprehensive Study of Electron Mobility and Band Gap in Tensile-Strained Bulk Ge	Japanese Journal of Applied Physics, vol. 49 (2010) pp.04DC20-1-7	有	2010
8	守山 佳 彦、上牟田 雄一、池田 圭司、手塚 勉	東芝	Introduction of local tensile strain on Ge substrates by SiGe stressors selectively grown on wet chemically recessed regions for strained Ge- <i>n</i> MOSFETs	Solid-State Electronics, DOI:10.1016/j.sse.2011.01.024	有	2010
9	池田 圭司、 小田穰、上 牟田雄一、 守山佳彦、 手塚勉	東芝	Hole-Mobility and Drive-Current Enhancement in Ge-Rich Strained Silicon–Germanium Wire Tri-Gate Metal–Oxide–Semiconductor Field-Effect Transistors with Nickel-Germanosilicide Metal Source and Drain	Applied Physics Express 3, 124201 (2010).	有	2010
10	小池正浩、 上牟田雄 一、手塚 勉	東芝	Modulation of NiGe/Ge Contact Resistance by S and P Co-introduction	Appl. Phys. Express 4, 021301 (2011).	有	2010

国際学会発表(東芝)

番号	発表者	所属	タイトル	学会名	査読	発表年 (FY)
1	鎌田 善己	東芝	Material Properties, Thermal Stabilities and Electrical Characteristics of Ge MIS Devices, Depending on Oxidation States of Ge Oxide; Monoxide [GeO(II)] and	2009 MRS Spring Meeting	有[招 待]	2009

			Dioxide [GeO ₂ (IV)]			
2	白田宏治、入沢寿史、 守山佳彦、手塚 勉	東芝	Suppression of strain relaxation of sub-um sized strained silicon-on-insulator (SSOI) mesa structures by SiGe capping layers	ICSI-6: 6th International Conference on Silicon Epitaxy and Heterostructures	有 (オ ーラ ル)	2009
3	鎌田 善己、高島 章、上牟田 雄一、 手塚 勉	東芝	New Approach to Form EOT-Scalable Gate Stack with Strontium Germanide Interlayer for High-k/Ge MISFETs	2009 Symposium on VLSI Technology	有 (オ ーラ ル)	2009
4	鎌田 善己、高島 章、上牟田 雄一、 手塚 勉	東芝	High-k gate stack on Ge	NSC-JST Nano Device Workshop 2009	有[招 待]	2009
5	小池 正浩、辰村 光介	東芝	Suppression of n-type impurity diffusion in germanium by p-type impurities for ultra-shallow and highly doped n+/p junction formation	Solid State Devices and Materials Meeting	有 (オ ーラ ル)	2009
6	小野 瑞城、手塚 勉	東芝	Comprehensive Study on Electron Mobility and Band Gap in Tensile Strained Bulk Ge	Solid State Devices and Materials Meeting	有 (オ ーラ ル)	2009
7	鎌田 善己、上牟田 雄一、手塚 勉	東芝	Strontium Germanide Interlayer for High-k/Ge MISFETs	2010 MRS Spring	有[招 待]	2010
8	小池正浩、上牟田雄 一、手塚勉	東芝	Origin of low contact resistances of NiGe on highly P-doped nGe	5th Int. SiGe Technology and Device Meeting	有 (オ ーラ ル)	2010
9	白田宏治、守山佳彦、 Vladimir Poborchii、 多田 哲也、手塚 勉	東芝／産総 研	Observation of Strain Retention by Effect of Stress-Retainer on Source/Drain Regions of SSOI Islands with High-Lateral-Resolution UV Raman Measurement	5th Int. SiGe Technology and Device Meeting	有 (オ ーラ ル)	2010
10	守山佳彦、上牟田雄 一、池田圭司、手塚 勉	東芝	Introduction of local tensile strain on Ge substrates by SiGe stressors selectively grown on wet chemically recessed regions for strained Ge-nMOSFETs	5th Int. SiGe Technology and Device Meeting	有 (オ ーラ ル)	2010
11	鎌田 善己、上牟田 雄一、手塚 勉	東芝	Interfacial Strontium Germanide Layer for High-k/Ge Gate Stack	E-MRS 2010 Spring	有[招 待]	2010
12	池田 圭司、上牟田	東芝	Precise thickness control of	2010 Silicon	有 (オ	2010

	雄一、守山 佳彦、 小田 穰、手塚 勉		NiSi by nitrogen ion-implantation for multi-gate strained Si channel metal S/D MOSFETs	Nanoelectronics Workshop	ーラ ル)	
13	鎌田 善己、池田 圭司、上牟田 雄一、 手塚 勉	東芝	High-k/Ge p- & n-MISFETs with Strontium Germanide (SrGeX) Interlayer for EOT Scalable CMIS Application	VLSI Technology Symp.	有 (オ ーラ ル)	2010
14	小池正浩、上牟田雄 一	東芝	Hole generation in B-implanted Ge without annealing: Formatio n of B12 cluster acting as a dou ble acceptor	Solid State Devices and Materials Meeting	有 (オ ーラ ル)	2010
15	小田 穰、守山佳彦、 池田圭司、上牟田雄 一、手塚 勉	東芝	Fabrication of defect-free and relaxed Ge-rich SGOI-wire structures for CMOS applications	Solid State Devices and Materials Meeting	有 (オ ーラ ル)	2010
16	手塚 勉、鎌田善己、 池田圭司、上牟田雄 一、守山佳彦、小池 正浩、小田 穰、入 沢寿史	東芝	Non-planar transistors with high-mobility SiGe/Ge channels for CMOS applications	218th ECS Meeting	有 [招 待]	2010
17	守山佳彦、池田圭司、 上牟田雄一、手塚 勉	東芝	Formation of High Aspect-ratio Ge-fin Structures with {110} Facets by Anisotropic Wet Etching	218th ECS Meeting	有 (オ ーラ ル)	2010
18	手塚 勉	東芝	Non-planar SiGe-on-insulator MOSFETs	シリコン材料の科 学と技術フォーラ ム 2010	無 [招 待]	2010
19	鎌田 善己、上牟田 雄一、手塚 勉	東芝	Improvement of EOT Scalability in Metal-Gate/High-k/SrGeX/Ge p-MISFETs with La-related Higher-k Gate Dielectrics	Semiconductor Interface Specialist Conference (SISC)	有 (オ ーラ ル)	2010

国内学会・研究会発表リスト(東芝)

番 号	発表者	所属	タイトル	学会名	査読	発表年 (FY)
1	鎌田 善己	東芝	Ge 酸化物の酸化数が Ge MOS 構造の熱安定性および電氣的	ゲートスタック研 究会 ー材料・プ	有 (オ ーラ	2008

			特性に与える影響	ロセス・評価の物理—	ル)	
2	鎌田善己、高島章、手塚勉	東芝	Ge MOS デバイスの熱安定性 - Ge oxygen [GeO(g)]脱ガスにおける Ge monoxide [GeO(II)] の役割 -	応用物理学会シリコンテクノロジー分科会第 113 回研究会 ゲートスタック研究の進展— Ge 系材料を中心に	有[招待]	2009
3	臼田 宏治, 入沢寿史, 守山 佳彦, 手塚 勉	東芝	Global ひずみ基板上に mesa 形成した sub- μm サイズ ひずみ層のひずみ緩和抑制構造の検討	2009 年秋季 第 70 回応用物理学会学術講演会	無	2009
4	鎌田 善己, 高島章, 上牟田 雄一, 手塚 勉	東芝	High-k/Ge 界面への SrGeX 層挿入によるゲートリーク電流低減と正孔移動度向上	2009 年秋季 第 70 回応用物理学会学術講演会	無	2009
5	鎌田善己、高島章、上牟田雄一、手塚勉	東芝	High-k/Ge MISFET での SrGeX 界面層の効果	ゲートスタック研究会(第 15 回)	有(オーラル)	2009
6	小池正浩、辰村光介	東芝	n 型と p 型不純物の co-doping による極浅かつ高濃度の n+Ge 層形成	2010 年春季 第 57 回 応用物理学関係連合講演会	無	2009
7	小野瑞城、手塚勉	東芝	引張りひずみ Ge 中の電子移動度とバンドギャップとの系統的検討	2010 年春季 第 57 回 応用物理学関係連合講演会	無	2009
8	鎌田 善己、上牟田雄一、手塚 勉	東芝	High-k/Ge CMISFETs 用 SrGeX 界面層技術	「シリコンナノデバイス集積化技術調査専門委員会」、 「グリーン IT における化合物半導体電子デバイス」合同委員会	有[招待]	2010
9	臼田宏治、守山佳彦、Vladimir Poborchii、多田 哲也、手塚 勉	東芝/産総研	Global ひずみ基板のひずみ緩和を抑制する stress-retainer 技術の開発	2010 年秋季 第 71 回 応用物理学学術講演会	無	2010
10	池田 圭司、上牟田雄一、守山 佳彦、小田 穰、手塚 勉	東芝	歪みシリコンチャンネル Multi-gate Metal S/D MOSFET への窒素イオン注入による NiSi 形成制御の適用	2010 年秋季 第 71 回 応用物理学学術講演会	無	2010
11	鎌田 善己、池田圭司、上牟田 雄一、手塚 勉	東芝	SrGeX 界面層を用いた High-k/Ge p- & n-MISFETs	2010 年秋季 第 71 回 応用物理学学術講演会	無	2010

12	小池正浩、上牟田雄一、手塚勉	東芝	P 導入した NiGe/Ge における電気特性と不純物プロファイルの関係	2010 年秋季 第 7 回 応用物理学術講演会	無	2010
13	上牟田雄一、池田圭司、鎌田善己、手塚勉	東芝	high-k/(Si)/Ge-MIS 構造におけるメタルゲート電極形成後の熱処理がフラットバンド電圧に与える影響	ゲートスタック研究会(第 16 回)	有(オーラル)	2010
14	池田 圭司、小田 穰、上牟田 雄一、守山 佳彦、手塚 勉	東芝	高 Ge 濃度 歪み SiGe ワイヤチャンネル Tri-gate Metal S/D MOSFET のホール移動度と電流駆動力の向上	2011 年春季 第 58 回 応用物理学関係連合講演会	無	2010
15	小池正浩、上牟田雄一	東芝	B イオン注入した熱処理無し Ge におけるホール層生成: Ge 中 B12 クラスタ形成の可能性	2011 年春季 第 58 回 応用物理学関係連合講演会	無	2010
16	小野瑞城、入沢寿史、手塚勉	東芝	引っ張りひずみの印加に依る FinFET に於ける電子速度の向上	2011 年春季 第 58 回 応用物理学関係連合講演会	無	2010

受賞実績(東芝)

番号	表彰制度名称	主催者	受賞名称
1	MIRAI 賞	半導体 MIRAI プロジェクト	平成 21 年度 MIRAI 賞 優秀賞 「Ge-MISFET 用ストロンチウムジャーマナイド界面層技術の開発」

成果普及の努力(東芝)

新聞・雑誌等掲載

番号	新聞等名称	掲載年月日	記事の表題
1	日経産業ほか 5 誌	2009/06/16	16 ナノ LSI 技術、ほか
2	日経新聞	2010/12/8	低消費電力 LSI 向けひずみシリコンゲルマニウムトランジスタ開発

プレス発表

番号	件名	発表年月日	事業者名	発表者
1	16nm 世代以降の LSI に適用可能なトランジスタ絶縁膜積層技術を開発	2009/06/15	株式会社 東芝	広報室 広報担当

その他 PR に該当するもの

番号	年月日	タイトル
1	2010/12	「従来比約 40% の消費電力削減が可能なトランジスタを開発」 東芝研究開発センター HP 掲載 (最新技術情報)

特許リスト(産総研)

番号	出願者	出願番号	国内外 国 PCT	出願日	状態	名 称	発明者
1	産業技術総合研究所	特願 2003-320425	国内	2003/9/11	登 録 (2008/04/11)	表面電位分布測定方法及び装置	L. Bolotov 他
2	産業技術総合研究所	PCT/JP2004/012840	PCT	H16.9.3	登 録 (2008/08/05)	光学測定方法および装置	V.ポボロツ チ他
3	産業技術総合研究所	特願 2003-378992	国内	H15.11.7	登 録 (2008/02/29)	シリコン基板の表面 処理方法	西澤正泰他
4	産業技術総合研究所	特願 2005-083314	国内	H17.3.23	登 録 (2010/04/02)	半導体不純物原子検 出方法及び半導体不 純物原子検出装置	西澤正泰他
5	産業技術総合研究所	特願 2005-093191	国内	H17.3.28	登 録 (2009/06/19)	探針製造方法及び探 針製造装置	西澤正泰他
6	産業技術総合研究所	特願 2005-513678	国内	H16/09/03	登 録 (2009/07/03)	光学測定方法および 装置	V.ポボロツ チ他
7	(独)産業技術総合研究所	特願 2010-168792	国内	2010/7/28	出願	ゲートスタック形成 方法	森田行則他
8	産業技術総合研究所	特願 2010-168824	国内	2010/7/22	出願	半導体装置およびそ の製造方法	右田 真司
9	(独)産業技術総合研究所	特願 2011-050911	国内		出願	半導体装置とその製 造方法	水林 亘
10	(独)産業技術総合研究所	特願 2011-050907	国内		出願	半導体装置とその製 造方法	水林 亘
11	(独)産業技術総合研究所		国内	出願予定	手続き中	ゲート絶縁膜の形成 方法及び半導体装置 の製造方法	森田行則

12	産業技術総合研究所		国内	出願予定	手続き中	半導体装置およびその製造方法	右田 真司
13	産業技術総合研究所	特願 2011-068308	国内	2011/3/25	出願	シリコン酸化膜湿式エッチング溶液	西澤正泰他
14	産業技術総合研究所	特願 2011-067482	国内	2011/3/25	出願	顕微分光計測シミュレーション法	多田哲也他
15	産業技術総合研究所	特願 2011-074439	国内	2011/3/30	出願	半導体装置の製造方法と特性向上方法	太田 裕之

論文リスト(産総研)

番号	発表者	所属	タイトル	発表誌名、ページ番号	査読	発表年 (FY)
1	田岡 紀之,水林 亘, 森田 行則,右田 真司,太田 裕之,高木 信一	独立行政法人 産業技術総合研究所	Nature of Interface Traps in Ge Metal-Insulator-Semiconductor Structures with GeO ₂ Interfacial Layers	JOURNAL OF APPLIED PHYSICS,2011 (Accept)	有	2011
2	田岡 紀之,水林 亘, 森田 行則,右田 真司,太田 裕之,高木 信一	独立行政法人 産業技術総合研究所	Physical Origins of Mobility Enhancement of Ge p-channel Metal-Insulator-Semiconductor Field Effect Transistors with Si Passivation Layers	JOURNAL OF APPLIED PHYSICS, vol 109, No. 10, 104511 - 104511-7,	有	2010
3	V. ポボロッチ、多田哲也、金山敏彦	産業技術総合研究所	Observation of the forbidden doublet optical phonon in Raman spectra of strained Si for stress analysis	Applied Physics Letters, vol.97, 041915-3	有	2010
4	多田哲也、V. ポボロッチ、金山敏彦	産業技術総合研究所	Study of stress distribution in a cleaved Si shallow trench isolation structure using confocal micro-Raman system	Journal of Applied Physics, vol.107, pp. 113539_1-5	有	2010
5	右田 真司, 渡邊 幸宗, 太田 裕之,生田 目 俊秀, 鳥海明	独立行政法人 産業技術総合研究所	Structurural Metastability and Size Scalability of Phase-Controlled HfO ₂ Formed through Cap-PDA	The ECS Transaction, vol. 19, Issue 2, pp563-575.	有	2009

6	V. ボボロッチ ¹ 、多田哲也 ¹ 、金山敏彦 ¹ 、P.ゲシェフ ²	¹ 産業技術総合研究所, ² ロシア熱物理学研究所	Optimization of Tip Material and Shape for Near-UV TERS in Si Structures	Journal of Raman Spectroscopy(UK) vol. 40, pp. 1377-1385,	有	2009
7	金山敏彦、西澤正泰、L.ボロトフ	産業技術総合研究所	Dopant and Carrier Concentration Profiling with Atomic Resolution by Scanning Tunneling Microscopy	ECS Trans., vol. 19, pp. 117-126	有	2009
8	田岡 紀之,水林 亘,森田 行則,右田 真司,太田 裕之,高木 信一	独立行政法人 産業技術総合研究所	Impact of Minority Carrier Response on Characterization of Ge MIS Interface Traps	ECS Transactions	有	2008
9	太田 裕之,平野 晃人,渡邊 幸宗,安田直樹、岩本 邦、岡田 健治、右田 真司、生田目 俊秀、鳥海明	独立行政法人 産業技術総合研究所	Inversion Layer Mobility in High-k Dielectric MOSFETs - Intrinsic Mobility Degradation by Electric Dipoles at High-k/SiO2 Interface -	The ECS Transaction, Physics and Technology of High-K Gate Dielectrics 6 pp.67-75.	有	2008
10	金山敏彦、西澤正泰、L.ボロトフ	産業技術総合研究所	走査トンネル顕微鏡を用いた2次元不純物分布計測	応用物理 , vol. 77, pp.1103-1107	有	2008
11	L. Bolotov , M. Nishizawa , Y. Miura, and T. Kanayama	産業技術総合研究所	Carrier concentration profiling on oxidized surfaces of Si device cross sections by resonant electron tunneling scanning probe spectroscopy	J. Vac. Sci. & Technol. B, vol. 26, pp. 415-419.	有	2008

国際学会発表リスト(産総研)

番号	発表者	所属	タイトル	学会名	査読	発表年(FY)
1	森田 行則,右田 真司,水林 亘,太田 裕之	独立行政法人 産業技術総合研究所	Direct-contact higher-k HfO ₂ gate stacks by oxygen-controlled cap-PDA technique	IWDTF2010 (東京工業大学) [一般]	有(オーラル)	2010
2	右田 真司,森田 行則,水林 亘,太田 裕之	独立行政法人 産業技術総合研究所	Preparation of Epitaxial HfO ₂ Film (EOT=0.5 nm) on Si Substrate Using Atomic-Layer Deposition of Amorphous Film and Rapid Thermal Crystallization	IEDM (サンフランシスコ) [一般]	有(オーラル)	2010

			(RTC) in Abrupt Temperature Gradient			
3	右田 真司, Pobortchi Vladimir, 多田 哲也, 森田 行則, 水林 亘, 太田 裕之	独立行政法人 産業技術総合研究所	Raman Spectroscopy Measurement of Silicidation Induced Stress in Si and its Impact on Performances of Metal Source/Drain MOSFETs	2010 International Conference on Solid State Devices and Materials (東京) [一般]	有(オーラル)	2010
4	田岡 紀之,水林 亘, 森田 行則,右田 真司,太田 裕之,高木 信一	独立行政法人 産業技術総合研究所	Nature of Interface Traps in Ge MIS Structures with GeO ₂ Interfacial Layers	2010 International Conference on Solid State Device and Materials (Tokyo) [一般]	有(オーラル)	2010
5	森田 行則,右田 真司,水林 亘,田岡 紀之,太田 裕之	独立行政法人 産業技術総合研究所	Sub-nm-EOT Direct Contact HfO ₂ /Si Gate Stack on Si surface Chemically Controlled by Oxygen Termination Technique	ALD2010(ソウル) [一般]	有(オーラル)	2010
6	田岡 紀之,水林 亘, 森田 行則,右田 真司,太田 裕之,高木 信一	独立行政法人 産業技術総合研究所	Effects of MIS Interfacial Layers on Interface Trap Density near Conduction Band Edge in Ge MIS Structures	2009 International Conference on Solid State Devices and Materials (SSDM 2009) (Sendai, Miyagi(Japan)) [一般]	有(オーラル)	2009
7	森田 行則,右田 真司,田岡 紀之,水林 亘,太田 裕之	独立行政法人 産業技術総合研究所	Oxygen-terminated Si surface for atomic layer deposition and its impact on interfacial electrical quality of sub-nm-EOT high-k gate stacks	2009 INTERNATIONAL CONFERENCE on SOLID STATE DEVICE and MATERIALS (SSDM2009) (仙台市) [一般]	有(オーラル)	2009
8	右田 真司,森田 行則,田岡 紀之,水林 亘,太田 裕之	独立行政法人 産業技術総合研究所	Concentration of Active Dopants at NiSi/Si Interface Segregated by "Snowplow" Effect for Schottky Barrier Height Tuning	Solid State Devices and Materials 2009 (仙台) [一般]	有(オーラル)	2009
9	田岡 紀之,水林 亘, 森田 行則,右田 真	独立行政法人 産業技	Physical origins of Mobility Enhancement of Ge	2009 VLSI symposia on VLSI technology	有(オーラル)	2009

	司,太田 裕之,高木 信一	術総合研究所	pMISFETs with Si passivation Layers at High Effective Fields	and circuit (京都) [一般]	有(オーラル)	
10	森田 行則,右田 真司,田岡 紀之,水林 亘,太田 裕之	独立行政法人 産業技術総合研究所	Direct Si channel etching and successive surface preparation for ultra-thin-channel high-k gate stacks by using low pressure active/passive oxidation	2009 Silicon nanoelectronics workshop (京都) [一般]	有(オーラル)	2009
11	右田 真司,渡邊 幸宗,太田 裕之,生田目 俊秀,鳥海 明	独立行政法人 産業技術総合研究所	Structural Metastability and Size Scalability of Phase-Controlled HfO ₂ Formed through Cap-PDA	215th Meeting of The Electrochemical Society (サンフランシスコ、米国) [招待(学協会)]	有(オーラル)	2009
12	田岡 紀之,水林 亘,森田 行則,右田 真司,太田 裕之,高木 信一	独立行政法人 産業技術総合研究所	Impact of Minority Carrier Response on Characterization of Ge MIS Interface Traps	Electrochemical Society (米国) [一般]	有(オーラル)	2009
13	右田 真司,渡邊 幸宗,太田 裕之,生田目 俊秀,鳥海 明	独立行政法人 産業技術総合研究所	Thermal Stability and Size Scalability of Metastable Cubic Phase HfO ₂ with k=50	2008 International Workshop on Dielectric Thin Films for Future ULSI Devices: Science and Technology (Tokyo) [一般]	有(オーラル)	2008
14	太田 裕之,平野 晃人,渡邊 幸宗,安田 直樹,岩本 邦彦,岡田 健治,右田 真司,生田目 俊秀,鳥海 明	独立行政法人 産業技術総合研究所	Inversion Layer Mobility in High-k Dielectric MOSFETs - Intrinsic Mobility Degradation by Electric Dipoles at High-k/SiO ₂ Interface -	214th Meeting of ECS(International Symposium: High k Dielectric Constant Materials and Gate Stacks) (Hawaii(US)) [招待(学協会)]	有(オーラル)	2008
15	森田 行則,右田 真司,太田 裕之	独立行政法人 産業技術総合研究所	Optimization of the first reaction in ALD and its impact to electrical film quality of high-k/Si direct-contact gate stacks	2008 International Conference on Solid State Devices and Materials (SSDM 2008) (つくば市) [一般]	有(ポスター)	2008
16	多田 哲也 ¹ , ウラジミール ポボロッチ ¹ , 佐藤 章 ^{1,2} , 佐藤	産業技術総合研究所、富士通マイク	紫外線ラマン散乱法による Si MOS トランジスタ構造の応力測定	2010年春季 第57回 応用物理学関係連合講演会、東海大学、	無 [招待]	2010

	成生 ² , 有本 宏 ^{1,2} , 松木 武雄 ³ , 由上 二郎 ³ , 金山 敏彦 ¹	ロエレクト ロニクス ² , Selete ³ ,		神奈川県		
17	多田哲也、V. ポポロ ッチ、金山敏彦	産業技術総 合研究所	ラマン分光法による歪み Si 基板の 2 軸応力解析	2010 年秋季 第 71 回 応用物理学会学術講 演会、長崎大学、長 崎県	無	2010
18	西澤 正泰, 右田真 司, Leonid Bolotov, 多田哲也, 金山 敏彦	産業技術総 合研究所	NiSi ₂ /Si 接合界面近傍の STM ポテンシャル分布測 定	2010 年秋季 第 71 回 応用物理学会学術講 演会、長崎大学、長 崎県	無	2010
19	西澤正泰, Leonid Bolotov, 金山敏彦	産業技術総 合研究所	STM を用いた原子分解能 ドーパント分布計測	デバイス計測シンポ ジウム、つくば市	無 [招 待]	2010
20	右田 真司	独立行政法 人 産業技 術 総 合 研 究 所	Metastable Phase Transformed HfO ₂ Crystallize Films for Future High-k MOSFETs	The 2nd NSC-JST Nano Device Workshop, 2009, [招 待(学協会)]	無(オ ーラ ル)	2009
21	西澤正泰, Leonid Bolotov, 金山敏彦	産業技術総 合研究所	<i>p-n</i> 接合の STM で計測した 高さプロファイルシミュレ ーション	第 56 回応用物理学 関係連合講演会, 筑 波大学, 茨城県つく ば	無	2009
22	西澤正泰, Leonid Bolotov, 金山敏彦	産業技術総 合研究所	ドーパント計測技術の最前 線	応用物理学会 シリ コンテクノロジー分 科会 接合技術研究 会、東京	無[招 待]	2009
23	西澤正泰, Leonid Bolotov, 金山敏彦	産業技術総 合研究所	STM によるドーパント分 布計測技術の進展と将来展 望	第 70 回応用物理学 会学術講演会, 富山 大学, 富山県富山市	無 [招 待]	2009
24	多田哲也 ¹ , V. ポポロ ッチ ¹ , 金山敏彦 ¹ , 松 木武雄 ² , 由上二郎 ²	¹ 産業技術総 合研究所、 ² Selete	UV ラマン分光法を用いた W/TiN メタルゲート MOSFET の応力解析	2009 年秋季 第 70 回 応用物理学会学術講 演会、富山大学、富 山県	無	2009
25	西澤正泰, L. Bolotov, 金山敏彦	産業技術総 合研究所	STM により測定した半導 体局所仕事関数のドーピン グ濃度依存性	第 69 回応用物理学 会学術講演会, 名古 屋	無	2008
26	西澤正泰, L. Bolotov, 金山敏彦	産業技術総 合研究所	探針誘起バンドベンディン グを考慮した半導体計測用 STM シミュレーターの開 発	第 69 回応用物理学 会学術講演会, 名古 屋	無	2008

27	多田哲也、V. ポボロッチ、金山敏彦	産業技術総合研究所	UV ラマン分光測定による STI 構造の応力に対する断面効果の解析	第 69 回応用物理学会学術講演会、名古屋	無	2008
28	多田哲也、V. ポボロッチ、金山敏彦	産業技術総合研究所	UV ラマン測定による STI 構造の応力計測と断面効果	半導体計測・評価技術ネットワーク 第 3 回シンポジウム、つくば市	無 [招待]	2008

国内学会・研究会発表リスト(産総研)

番号	発表者	所属	タイトル	学会名	査読	発表年(FY)
1	右田 真司、森田行則、水林 亘、太田 裕之	独立行政法人 産業技術総合研究所	急熱結晶化法による Si 基板上エピタキシャル HfO ₂ 膜の成長と 0.5 nm EOT の実現	2011 年(平成 23 年) 春季第 58 回応用物理学関係連合講演会 (於; 神奈川工科大学)	無	2010
2	多田 哲也 ¹ 、ウラジミール ポボロッチ ¹ 、白田 宏治 ² 、金山 敏彦 ¹	独立行政法人 産業技術総合研究所 2、東芝 2	ストライプ加工したひずみ Si 層のラマン計測による軸分解応力解析	2011 年(平成 23 年) 春季第 58 回応用物理学関係連合講演会 (於; 神奈川工科大学)	無	2010
3	福田浩一 ¹ 、西澤正泰 ¹ 、多田哲也 ¹ 、鈴木腕 ² 、佐藤成生 ² 、有本宏 ¹ 、金山敏彦 ¹	独立行政法人 産業技術総合研究所、富士通マイクロエレクトロニクス	電荷保存を考慮した STM キャリア分布計測シミュレーション	2011 年(平成 23 年) 春季第 58 回応用物理学関係連合講演会 (於; 神奈川工科大学)	無	2010
4	森田 行則、右田 真司、水林 亘、太田 裕之	独立行政法人 産業技術総合研究所	Direct-contact high-k HfO ₂ gate stack technology toward EOT=0.5 nm	nano tech 2011 革新的ナノエレクトロニクスおよびシステムに関する国際シンポジウム	無 (ポスター)	2010
5	森田 行則、右田 真司、水林 亘、太田 裕之	独立行政法人 産業技術総合研究所	酸素制御 cap-PDA 法を用いたサブ 0.5 nm EOT higher-k HfO ₂ ゲートスタックの形成	「ゲートスタック研究会 —材料・プロセス・評価の物理—」(第 16 回研究会) [一般]	有 (オーラル)	2010

6	右田 真司, Pobortchi Vladimir, 多田 哲也, 森田 行則, 水林 亘, 太田 裕之	独立行政法人 産業技術総合研究所	シリサイド形成によって発生する応力がメタルソース・ドレイン SOI FET の電気特性に及ぼす影響	第 71 回応用物理学会学術講演会 [一般]	無 (オーラル)	2010
7	森田 行則 右田 真司, 水林 亘, 太田 裕之	独立行政法人 産業技術総合研究所	ALD 法による High-k ゲート絶縁膜の作製とその特性への基板親水性の影響	日本真空協会 2010 年 6 月研究例会「真空を利用した材料プロセスの新展開—CVD から ALD へ」 [依頼(学協会)]	有 (オーラル)	2010
8	水林 亘, 右田 真司, 森田 行則, 田岡 紀之, 太田 裕之	独立行政法人 産業技術総合研究所	SOI 基板中の NiSi ₂ 横方向エピタキシャル成長を利用した接合制御	第 57 回応用物理学会関係連合講演会 [一般]	無 (オーラル)	2009
9	右田 真司, 水林 亘, 森田 行則, 田岡 紀之, 太田 裕之	独立行政法人 産業技術総合研究所	NiSi/Si 界面に偏析した As 原子の深さ分析	第 57 回応用物理学会関係連合講演会 [一般]	無 (オーラル)	2009
10	森田 行則, 右田 真司, 田岡 紀之, 水林 亘, 太田 裕之	独立行政法人 産業技術総合研究所	酸素終端 Si 表面を用いた ALD-HfO ₂ /Si 直接接合ゲートスタック形成	2010 年春季 第 57 回応用物理学関係連合講演会 [一般]	無 (ポスター)	2009
11	右田 真司, 森田 行則, 水林 亘, 田岡 紀之, 太田 裕之	独立行政法人 産業技術総合研究所	HfO ₂ 結晶薄膜のアニール技術の検討	ゲートスタック研究会 —材料・プロセス・評価の物理— [一般]	有 (オーラル)	2009
12	田岡 紀之, 水林 亘, 森田 行則, 右田 真司, 太田 裕之, 高木 信一	独立行政法人 産業技術総合研究所	Ge MIS 構造における伝導帯端近傍の界面準位密度への界面層の効果	ゲートスタック研究会 —材料・プロセス・評価の物理— [一般]	有 (オーラル)	2009
13	太田 裕之, 右田 真司, 森田 行則, 水林 亘, 田岡 紀之	独立行政法人 産業技術総合研究所	新材料・新構造 CMOS デバイス技術	平成 21 年度“出前シンポジウム” [依頼(学協会以外)]	無 (オーラル)	2009
14	森田 行則, 右田 真司, 田岡 紀之, 水林 亘, 太田 裕之	独立行政法人 産業技術総合研究所	酸素エッチングを用いた SOI 直接薄膜化	応用物理学会学術講演会 [一般]	無 (オーラル)	2009
15	右田 真司, 森田 行則, 田岡 紀之, 水林 亘, 太田 裕之	独立行政法人 産業技術総合研究所	立方晶 HfO ₂ 結晶膜のマルテンサイト変態によって引き起こされる誘電率の低下	第 70 回応用物理学会学術講演会 [一般]	無 (オーラル)	2008

		所			ル)	
16	田岡 紀之, 水林 亘, 森田 行則, 右田 真司, 太田 裕之, 高木 信一	独立行政法人 産業技術総合研究所	少数キャリアを考慮したコンダクタンス法による Ge MIS 界面欠陥の電氣的性質	表面・界面・シリコン材料研究委員会 [依頼(学協会)]	有 (オーラル)	2008
17	森田 行則, 右田 真司, 田岡 紀之, 水林 亘, 太田 裕之	独立行政法人 産業技術総合研究所	親水化表面に形成した極薄 Al ₂ O ₃ 界面層による直接接合 HfO ₂ ゲートスタックの特性制御	2009 年春季第 56 回 応用物理学関係連合講演会 [一般]	無 (オーラル)	2008
18	田岡 紀之, 水林 亘, 森田 行則, 右田 真司, 太田 裕之, 高木 信一	独立行政法人 産業技術総合研究所	少数キャリアを考慮したコンダクタンス法による Ge MIS 界面欠陥の電氣的性質	春季応用物理学会 [一般]	無 (オーラル)	2008
19	太田 裕之	独立行政法人 産業技術総合研究所	High-k ゲートスタックのしきい値決定機構及び移動度劣化機構	産総研出前シンポジウム [依頼(学協会以外)]	無 (オーラル)	2008

受賞実績(産総研)

番号	表彰制度名称	主催者	受賞名称
1	MIRAI 賞	半導体 MIRAI プロジェクト	平成 22 年度 MIRAI 賞 優秀賞 「極薄高駆動力ゲートスタック技術の開発」

成果普及の努力 (産総研)

新聞・雑誌等掲載

番号	新聞等名称	掲載年月日	記事の表題
1	日刊工業新聞他1件	2010/12/09	高誘電率膜で 0.5nm 産総研 低消費電力 LSI 実現へ

プレス発表

番号	件名	発表年月日	事業者名	発表者
1	0.5 nm の非常に薄い高誘電率ゲート絶縁膜を開発-より低消費電力の集積回路が製造可能に-	2010/12/08	独立行政法人 産業技術総合研究所	広報室

再委託研究成果発表状況(神戸大学)

特許リスト なし

論文発表リスト

番号	発表者	所属	タイトル	発表誌名、ページ番号	査読	発表年(FY)
1	H. Tsuchiya, H. Ando, S. Sawamoto, T. Maegawa, T. Hara, H. Yao, M. Ogawa	神戸大学	Comparisons of Performance Potentials of Silicon Nanowire and Graphene Nanoribbon MOSFETs Considering First-Principles Bandstructure Effects	IEEE Trans. on Electron Devices, Vol. 57, No. 2, pp. 406-414.	有	2010
2	H. Tsuchiya, A. Maenaka, T. Mori, Y. Azuma	神戸大学	Role of Carrier Transport in Source and Drain Electrodes of High-Mobility MOSFETs	IEEE Electron Device Letters, Vol. 31, No. 4, pp. 365-367.	有	2010
3	S. Koba, R. Aoyagi, H. Tsuchiya	神戸大学	Quantum Transport Simulation of Nanoscale Semiconductor Devices Based on Wigner Monte Carlo Approach	J. Appl. Phys., Vol. 108, No. 6, 064504.	有	2010
4	T. Maegawa, T. Yamauchi, T. Hara, H. Tsuchiya, M. Ogawa	神戸大学	Strain Effects on Electronic Bandstructures in Nanoscaled Silicon: From Bulk to Nanowire	IEEE Trans. on Electron Devices, Vol. 56, No. 4, pp. 553-559.	有	2009
5	Y. Yamada, H. Tsuchiya, M. Ogawa	神戸大学	A First Principles Study on Tunneling Current Through Si/SiO ₂ /Si Structures	" J. Appl. Phys., Vol. 105, No. 8, 083702.	有	2009
6	W. Wang, H. Tsuchiya, M. Ogawa	神戸大学	Enhancement of Ballistic Efficiency due to Source to Channel Heterojunction Barrier in Si Metal Oxide Semiconductor Field Effect	J. Appl. Phys., Vol. 106, No. 2, 024515.	有	2009

			Transistors			
7	T. Hara, Y. Yamada, T. Maegawa, H. Tsuchiya	神戸大学	Atomistic Study on Electronic Properties of Nanoscale SOI Channels	J. Physics: Conference Series, Vol. 109, 012012.	有	2008
8	Y. Azuma, T. Mori, H. Tsuchiya	神戸大学	Drive Current of Ultrathin Ge-on-Insulator n-Channel MOSFETs	Phys. Stat. Sol. (c), Vol. 5, No. 9, pp. 3153-3155.	有	2008
9	H. Tsuchiya, S. Takagi	神戸大学	Influence of Elastic and Inelastic Phonon Scattering on the Drive Current of Quasi-Ballistic MOSFETs	IEEE Trans. on Electron Devices, Vol. 55, No. 9, pp. 2397-2402.	有	2008

国際学会発表 なし

国内学会・研究会

番号	発表者	所属	タイトル	学会名、開催日など	査読	発表年(FY)
1	山田吉宏, 土屋英昭, 小川真人	神戸大学	原子論的アプローチによる Si ナノワイヤのフォノン散乱移動度モデリング	第58回応用物理学関係連合講演会, 2011年3月24日, 神奈川工科大学.	無	2010
2	木場隼介, 土屋英昭, 小川真人	神戸大学	ウィグナーモンテカルロ法による MOSFET の散逸的量子輸送解析	第58回応用物理学関係連合講演会, 2011年3月24日, 神奈川工科大学.	無	2010
3	青柳良, 木場隼介, 土屋英昭, 小川真人	神戸大学	ショットキー障壁 MOSFET のソース端電子輸送に及ぼす不純物偏析の影響	第58回応用物理学関係連合講演会, 2011年3月26日, 神奈川工科大学.	無	2010
4	土屋英昭	神戸大学	高移動度チャネル MOSFET の極限性能	SEMI FORUM JAPAN 2010 プロセスインテグレーションセミナー, 2010年6月1日, グランキューブ大阪.	無	2010
5	木場隼介, 青柳良, 前中	神戸大学	ナノスケールデバイスのウィグナーモンテカルロシミュレーション	第57回応用物理学関係連合講演会, 2010年3月17日, 東海大学.	無	2009

	章宏, 王威, 土屋英昭, 小川真人					
6	澤本俊, 前川忠史, 原孟史, 土屋英昭, 小川真人	神戸大学	第一原理バリスティックシミュレーションによるSiナノワイヤトランジスタの性能予測	第70回応用物理学会学術講演会, 2009年9月11日, 富山大学.	無	2009
7	安藤晴気, 澤本俊, 前川忠史, 土屋英昭, 小川真人	神戸大学	第一原理バリスティックシミュレーションによるグラフェントランジスタの性能予測	第70回応用物理学会学術講演会, 2009年9月11日, 富山大学.	無	2009
8	前中章宏, 松浦慎一郎, 土屋英昭, 小川真人	神戸大学	高移動度チャンネルMOSFETの電流駆動力シミュレーション	第56回応用物理学関係連合講演会, 2009年3月, 筑波大学.	無	2008
9	王威, 土屋英昭, 小川真人	神戸大学	ショットキーS/D MOSFETの高バリスティック輸送効率	第56回応用物理学関係連合講演会, 2009年3月, 筑波大学.	無	2008
10	山田吉宏, 土屋英昭, 小川真人	神戸大学	バリスティック輸送がSi-MOSFETのオフ電流に与える影響	第56回応用物理学関係連合講演会, 2009年3月, 筑波大学.	無	2008
11	土屋英昭, 前中章宏, 森隆志, 東祐介	神戸大学	高移動度チャンネルMOSトランジスタの性能予測シミュレーション	応用物理学会ゲートスタック研究会—材料・プロセス・評価の物理—, 2009年1月, 東レ総合研修センター(静岡県三島市).	無	2008
12	前川忠史, 山内恒毅, 原孟史, 土屋英昭, 小川真人	神戸大学	第一原理計算によるひずみシリコンナノ構造チャンネルの電子状態解析	応用物理学会分科会シリコンテクノロジー, No. 105, pp. 82-87, 2008年11月, 機械振興会館.	無	2008

13	山田吉宏, 土屋英昭, 小川真人	神戸大学	シリコンナノワイヤトランジスタの三次元量子輸送シミュレーション	応用物理学会分科会シリコンテクノロジー, No. 105, pp. 76-81, 2008年11月, 機械振興会館.	無	2008
14	土屋英昭, 王威, 高木信一	神戸大学	バリスティック効率向上のためのソース端ポテンシャルエンジニアリング	第69回応用物理学会学術講演会, 2008年9月, 中部大学.	無	2008

② 新探究配線技術開発

(1) 極限低抵抗・高電流密度配線技術の開発

研究発表・講演、文献、特許等の状況

(1) 研究発表・講演

No.	題目	学会名	発表者	発表年
1	カーボンナノチューブ低音成長における触媒活性	第 69 回応用物理学会学術講演会	野末竜弘	2008
2	低温プロセスを用いたカーボンナノチューブ配線ビアとその高電流密度耐性	第 13 回 LSI 配線における原子輸送・応用問題研究会	川端章夫	2008
3	Control the wall number of low temperature grown multi-walled carbon nanotubes by changing the carrier gases	第 35 回記念フラーレン・ナノチューブ総合シンポジウム	横山大輔	2008
4	ナノ金属微粒子を触媒としたカーボンナノチューブ配線の上部及び下部電極コンタクト構造の解明	Spring-8 触媒評価研究会 (第 14 回)	近藤大雄	2008
5	その場 FTIR 測定と数値計算によるカーボンナノチューブ成長中の原料ガス分解量の解析	第 35 回フラーレン・ナノチューブ総合シンポジウム	佐藤信太郎	2008
6	カーボンナノチューブと SOD の複合材料のための CMP 技術	2008 年秋季 第 69 回応用物理学会学術講演会	百島孝	2008
7	硬 X 線光電子分光によるカーボンナノチューブビア配線の上部及び下部電極コンタクト構造の解明	第 5 回 Spring-8 産業利用報告会	近藤大雄	2008
8	グラファイトアンテナを用いた先端放電型リモートプラズマ CVD 法による垂直配向カーボンナノチューブの合成	第 22 回ダイヤモンドシンポジウム	横山大輔	2008
9	先端放電型リモートプラズマ CVD によるサブミクロンサイズビアからの多層 CNT 低温成長	第 22 回ダイヤモンドシンポジウム	飯塚正知	2008
10	カーボン配線技術の現状と展望	Advanced Metallization Conference 2008, 18th Asian Session, Workshop	二瓶瑞久	2008

No.	題目	学会名	発表者	発表年
11	カーボンナノチューブ (CNT) と SOD 複合材料の CMP 加工に関する報告	2008 年度 精密工学会 福岡地方講演会	百島孝	2008
12	Electric characterization of CNTs grown in nanosized via interconnects at low temperatures by remote plasma CVD	36 回フラーレンナノチューブ総合シンポジウム	飯塚正知	2009
13	先端放電型リモートプラズマ低温 CVD 成長によるサブミクロンサイズ CNT ビアの電気特性評価	2009 年春季第 5 6 回応用物理学学会学術講演会	飯塚正知	2009
14	カーボンナノチューブと SOD 複合材料のための CMP 技術	2009 年春季 第 56 回 応用物理学関係連合講演会	百島孝	2009
15	カーボンナノチューブ配線ビアの高電流密度耐性：CMP の効果	2009 年春季 第 56 回 応用物理学関係連合講演会	佐藤元伸	2009
16	カーボンナノチューブ (CNT) と SOD 複合材料の CMP 加工に関する基礎検討	2008 年度 精密工学会 春季大会	百島孝	2009
17	多段階プラズマ CVD による超高密度 CNT 成長	2009 年秋季 第 70 回応用物理学学会学術講演会	山崎雄一	2009
18	カーボンナノチューブの稠密成長	2009 年秋季 第 70 回応用物理学学会学術講演会	川端章夫	2009
19	カーボンナノチューブと SOD 複合材料のための CMP 技術	2009 年秋季 第 70 回 応用物理学関係連合講演会	百島孝	2009
20	断面 TEM-EELS 法によるカーボンナノチューブ成長触媒分析	2010 春季 第 57 回応用物理学学会学術講演会	川端章夫	2010
21	カーボンナノチューブ成長におけるプラズマ前処理の効果	第 57 回応用物理学関係連合講演会	中野美尚	2010
22	カーボンナノチューブビアの電流密度耐性：故障メカニズム	2010 年春季 第 57 回 応用物理学関係連合講演会	佐藤元伸	2010
23	カーボンナノチューブの半導体配線への適用【国内招待】	Electronic Journal 第 184 回 Technical Seminar	二瓶瑞久	2008
24	LSI 応用に向けたカーボン配線技術【国内招待】	SEMI FORUM JAPAN 2008	二瓶瑞久	2008

No.	題目	学会名	発表者	発表年
25	ナノ粒子触媒を利用したカーボンナノチューブの成長と LSI 配線への応用【国内招待】	第 25 回エアロゾル科学・技術研究討論会	佐藤信太郎	2008
26	LSI デバイスの微細化と多層配線の将来展望 –カーボンナノチューブ/SOD 複合材料に適用した平坦化 CMP 【国内招待】	2008 年度 精密工学会秋季大会術講演会	百島孝	2008
27	次世代 LSI に向けたカーボン配線技術【国内招待】	SEMI テクノロジーシンポジウム (STS)2008	二瓶瑞久	2008
28	カーボンナノチューブによる半導体用配線への適用【国内招待】	Electronic Journal 第 344 回 Technical Seminar	二瓶瑞久	2009
29	CNT の LSI 配線応用と低温高密度成長【国内招待】	ニューダイヤモンドフォーラム平成 21 年度第 2 回研究会	酒井忠司	2010
30	カーボンナノチューブの配線技術【国内招待】	日本セラミックス協会 2010 年年会	粟野祐二	2010
31	カーボンナノチューブの LSI 配線応用と低温高密度成長【国内招待】	ADMETA2010 Tutorial	酒井忠司	2010
32	Low temperature growth of carbon nanotubes by remote plasma CVD for future ULSI interconnects	Ninth International Conference on the Science and Application of Nanotubes (Nanotube08)	横山大輔	2008
33	Robustness of CNT Interconnect Fabricated by LSI-compatible Processes over a High-Density Current	NT08: Ninth International Conference on the Science and Application of Nanotubes	佐藤信太郎	2008
34	Direct observation of catalyst activity during CNT growth by in-situ FTIR measurements	NT08: Ninth International Conference on the Science and Application of Nanotubes	野末竜弘	2008
35	Robustness of CNT Via Interconnect Fabricated by LSI-compatible Processes over a High Density Current	The IUMRS International Conference in Asia 2008 (IUMRS-ICA 2008)	佐藤信太郎	2008

No.	題目	学会名	発表者	発表年
36	Low-temperature growth of high-quality carbon nanotubes by remote plasma-enhanced chemical vapor deposition	8th International Symposium on Advanced Fluid Information and Transdisciplinary Fluid Integration (AFI/TFI 2008)	山崎雄一	2008
37	Fabrication of 70-nm-diameter Carbon Nanotube Via Interconnects by Remote Plasma-Enhanced Chemical Vapor Deposition and Their Electrical Properties	2009 IEEE International Interconnect Technology Conference	片桐雅之	2009
38	High Current Reliability of Carbon Nanotube Via Interconnects	2009 International Conference on Solid State Devices and Materials(SSDM 2009)	佐藤元伸	2009
39	Electric characterization of carbon nanotubes grown at low temperature by remote plasma chemical vapor deposition for LSI interconnects	2009 International Conference on Solid State Devices and Materials	飯塚正知	2009
40	Synthesis of a closely packed CNT forest by a multi-step plasma CVD growth method	2009 MRS fall meeting	山崎雄一	2009
41	Electric characterization of carbon nanotubes grown at low temperature by remote plasma chemical vapor deposition for LSI interconnects	2009 MRS fall meeting	飯塚正知	2009
42	CMP technique for CNT/SOD composite using ceria slurry.	International Conference on Planarization/CMP Technology 2009	百島 孝	2009
43	TEM-EELS analysis of catalyst metals for high-density carbon nanotube growth	Nanotube 2010	川端 章夫	2010
44	Extremely high-density carbon nanotube growth for interconnect application	DIAMOND2010	山崎雄一	2010

No.	題目	学会名	発表者	発表年
45	Improvement in Electrical Properties of Carbon Nanotube Via Interconnects	ADMETA2010	片桐雅之	2010
46	Carbon nanotube via interconnects with large current carrying capacity 【国際招待】	The 9th International Conference on Solid-State and Integrated-Circuit Technology	二瓶瑞久	2008
47	Integration of carbon nanotubes for LSI via interconnects 【国際招待】	2009 MATERIALS FOR ADVANCED METALLIZATION CONFERENCE (MAM2009)	二瓶瑞久	2009
48	High density carbon nanotubes and their applications for VLSI via interconnects 【国際招待】	XXIVth International Winterschool on Electronic Properties of Novel Materials	栗野祐二	2010
49	Fabrication of Carbon Nanotube via Interconnects and their Reliability for a High Current Density 【国際招待】	2010 MRS Spring Meeting	佐藤信太郎	2010
50	Application of Carbon Nanomaterials to Interconnects and Transistors for Low Power-Consumption Large-Scale Integrated Circuits 【国際招待】	2010 MRS Fall Meeting	佐藤信太郎	2010

(2) 文献

NO.	題目	学会名	発表者	発表年
1	Low-Temperature Growth of Multiwalled Carbon Nanotubes by Surface-Wave Plasma-Enhanced Chemical Vapor Deposition Using Catalyst Nanoparticles	Japanese Journal of Applied Physics,	片桐雅之	2008
2	Electrical Properties of Carbon Nanotubes Grown at a Low Temperature for Use as Interconnects	Japanese Journal of Applied Physics	横山大輔	2008
3	Fabrication of carbon nanotube via interconnect at low temperature and its robustness over a high density current	Sensors and Materials	佐藤信太郎	2009
4	Low-Temperature Growth of Multiwalled Carbon Nanotubes by Surface-Wave Plasma-Enhanced Chemical Vapor Deposition Using Catalyst Nanoparticles	Japanese Journal of Applied Physics	片桐雅之	2009
5	Carbon nanotube interconnect technologies for future LSIs	Solid State Circuits Technologies	二瓶瑞久	2009
6	Low-temperature synthesis of multiwalled carbon nanotubes by graphite antenna CVD in a hydrogen-free atmosphere	Carbon	横山大輔	2010
7	Synthesis of a Closely Packed Carbon Nanotube Forest by a Multi-Step Growth Method Using Plasma-Based Chemical Vapor Deposition	Applied Physics Express	山崎雄一	2010
8	High-Current Reliability of Carbon Nanotube Via Interconnects	Japanese Journal of Applied Physics	佐藤元伸	2010
9	Carbon Nanotubes for VLSI: Interconnect and Transistor Applications 【招待】	Proceedings of the IEEE	栗野 祐二	2010
10	LSI やメモリの高集積化を目指す ナノカーボン配線技術	東芝レビュー	酒井忠司	2011

(3) 特許等

・出願分

番号	国内外	出願番号	出願日	出願者	名 称
1	US	12/062,112	2008/4/3	東芝	配線、電子装置及び電子装置の製造方法
2	US	12/098,724	2008/4/7	富士通	基板構造及びその製造方法
3	国内	2008-154330	2008/6/12	富士通	カーボンナノチューブ系材料の先端部形成方法
4	国内	2008-171578	2008/6/30	東芝	カーボンナノチューブ作製装置、カーボンナノチューブ作製方法、および、ラジカル作製装置
5	PCT (US)	PCT/JP2008/65 128	2008/8/25	東芝	構造体、電子装置及び構造体の形成方法
6	国内	2008-311257	2008/12/5	富士通マイクロ	配線構造及びその形成方法、並びに半導体装置
7	国内	2009-008437	2009/1/19	東芝、富士通マイクロ	カーボンナノチューブ成長方法とカーボンナノチューブ束形成基板
8	国内	2009-017687	2009/1/29	東芝	カーボンナノチューブ及びその製造方法
9	国内	2009-104864	2009/4/23	富士通マイクロ、アルバック	線状構造体の成長方法及び成長装置
10	US	12/495,004	2009/6/30	東芝	カーボンナノチューブ作製装置、カーボンナノチューブ作製方法、および、ラジカル作製装置
11	国内	2009-209527	2009/9/10	東芝	カーボンナノチューブ配線及びその製造方法
12	国内	2009-233694	2009/10/7	富士通マイクロ	半導体装置の製造方法
13	国内	2009-233641	2009/10/7	富士通マイクロ	カーボンナノチューブデバイスの製造方法
14	国内	2009-244493	2009/10/23	富士通マイクロ	電子回路素子の製造方法
15	US	12/689,515	2010/1/19	東芝単独	カーボンナノチューブ成長方法とカーボンナノチューブ束形成基板
16	国内	2010-68430	2010/3/24	東芝	半導体装置及びその製造方法
17	国内	2010-115518	2010/5/19	パナソニック	フィルタの製造方法
18	国内	2010-122871	2010/5/28	アルバック	カーボンナノチューブの形成方法及びカーボンナノチューブの形成装置
19	KR	10-2010- 0057016	2010/6/16	富士通セミコン	(分割出願)カーボンナノチューブを用いた配線構造およびその製造方法
20	国内	2010-188836	2010/8/25	東芝	半導体基板の製造方法
21	国内	2010-188662	2010/8/25	東芝	カーボンナノチューブ配線の製造方法
22	US	12/876669	2010/9/7	東芝	カーボンナノチューブ配線及びその製造方法
23	国内	2010-200549	2010/9/8	アルバック	ガス分散用装置、真空処理装置、基板の処理方法及びカーボンナノチューブの形成方法
24	KR	10-2010- 0091537	2010/9/17	富士通セミコン	電子デバイス及びその製造方法

・登録分

No.	国内 外	登録番号	登録日 (出願日)	出願者	名称
1	CN	200810090316.9/ 【登録】 200810090316.9 (CN)	2010/3/24 (2008/3/28)	富士通セミ コン	電子デバイス及びその製造 方法
2	国内	2007-099549 【登録】 P4352080	2009/7/31 (2007/4/5)	東芝	配線、電子装置及び電子装 置の製造方法
3	国内	2007-099542 【登録】 P4364253	2009/8/28 (2007/4/5)	東芝	配線、電子装置及び電子装 置の製造方法
4	KR	10-2008- 0016719(*) 【登録】 10-0979162 (KR)	2010/8/25 (2008/2/25)	富士通セミ コン	配線構造及びその形成方法 カーボンナノチューブを用 いた配線構造およびその製 造方法

(4) その他の公表 (プレス発表等)

No	発表年月日	掲載紙名	題目
1	2008.6.5	日刊工業新聞	縦穴配線に CNT
2	2008.10.7	2008 年秋季 ULVAC 研究発表会	カーボンナノチューブ微細ビア配線の 開発
3	2008.12	SPring-8 利用報告書	硬 X 線光電子分光によるカーボンナ ノチューブ配線低抵抗化に向けた電極構 造の最適化
4	2008.11.20	東芝研究開発センター 社内 展示会	カーボンナノチューブ配線技術
5	2009.3.3	2009 年春季 ULVAC 研究発表会	カーボンナノチューブ微細ビア配線の 開発
6	2009.3.31	早稲田大学ナノテクノロジー 研究所	カーボンナノエレクトロニクスのため の微細配線ビア構造作製・評価技術
7	2009.5	Semiconductor International	2009IEEE/IITC の注目発表 (事前プレス)
8	2009.6	日経マイクロデバイス	カーボン材料を使ったエレクトロニク ス
9	2009.9	応用物理学会の国際会議 SSDM 2009 の Web サイト	2009 SSDM の注目発表 (事前プレス)

② 新探究配線技術開発 [NSI]

(2) 新コンセプトグローバル配線技術の開発 (LSI チップ光配線技術開発)

(1) 研究発表・講演

No.	題目	学会名	発表者	発表年
1	Demonstration of LSI On-Chip Optical Clock Distribution with Bonded Chip Structures	Int Nanotechnology Conf and Communication Cooperation (INC4)	西研一他	2008
2	On-Chip Optical Interconnect Structure Using Micro Plating Bumps and Its Application to Optical Clock Distribution	IEEE Int Conf Electronics Packaging (ICEP 2008)	清水隆徳他	2008
3	ナノセラミックスの光デバイス応用	ナノテクビジネスワークショップ	中田正文	2008
4	MIRAI光配線PGにおける強誘電体変調器の開発	電子情報技術産業協会シリコンフォトンクス技術分科会	中田正文	2008
5	Silicon Photonics and Plasmonics for Electronics (invited)	Int Symp on the Physics of Semiconductor and Application	大橋啓之	2008
6	AD 法による EO/MO 材料を用いた小型高速光素子	電子情報通信学会研究会	中田正文他	2008
7	Waveguide-Integrated Si Nano-Photodiode with Surface-Plasmon Antenna and its Application to On-Chip Optical Clock Signal Distribution (invited)	5th Int Conf on Group IV Photonics (GFP 2008)	藤方潤一他	2008
8	透明機能性薄膜による超小型高速光素子	日本セラミック協会秋季シンポジウム	中田正文他	2008
9	チップレベル光配線の動向	ADMETA 2008	大橋啓之	2008
10	On-Chip Optical Interconnect Structure Assembled by Flip-Chip bonding Technology (invited)	ECS 2008 Fall Meeting	清水隆徳他	2008
11	Transparent Ceramic Film Formation by Aerosol Deposition and Its Application to Optical Devices (invited)	ECS 2008 Fall Meeting	明渡純	2008
12	LSI グローバル配線の光化技術	エレクトロニクス実装学会 2008 ワークショップ	木下雅夫	2008
13	AD 法の光デバイス応用	第 3 回つくば国際コーティングシンポジウム	中田正文他	2008
14	Plasmon Photodiode for On-Chip Optical Interconnect (invited)	MRS 2008 fall meeting	大橋啓之他	2008

15	オンチップ光配線開発の動向	信学会光エレクトロニクス研究会	大橋啓之	2008
15	LSI チップ光配線	応物関西支部講演会	大橋啓之	2009
17	Silicon Photonics and Plasmonics for On-Chip Interconnection (invited)	Int Seminar on Advanced Semiconductor Mater & Devices (2009 RCIQE)	大橋啓之	2009
18	光配線:チップ間からチップ上、チップ内へ	電子情報通信学会総合大会エレクトロニクスソサイエティ依頼シンポジウム:シリコンフォトニクス	大橋啓之	2009
19	SiON オンチップ光波長フィルターの動作解析	春期第 56 回応用物理学関係連合講演会	牛田淳他	2009
20	表面プラズモンアンテナを用いた導波路結合 Si ナノフォトダイオードとオンチップ波長多重信号伝送への応用	春期第 56 回応用物理学関係連合講演会	藤方潤一他	2009
21	オンチップ光配線に向けた 850nm 帯用 Si ₃ N ₄ 導波路の伝搬特性	春期第 56 回応用物理学関係連合講演会	渡辺俊文他	2009
22	LSI チップ光配線技術	低温接合における 3D 集積化研究会	中田正文	2009
23	オンチップ光配線のためのシリコンフォトニクス/プラズモニクス	微小光学研究会	大橋啓之	2009
24	エアロゾルデポジション法による LSI 光配線用小型 PLZT 変調器	強誘電体応用会議(FMA)	中田正文他	2009
25	Electro-Optical Ceramic Film for On-Chip Optical Interconnect (invited)	Pacific Rim Conf Ceramic and Glass Technol (PACRIM 8)	大橋啓之他	2009
26	Waveguide-Integrated Si Nano-Photodiode and its Application to On-Chip WDM Signal Transport (invited)	Silicon Nanoelectronics Workshop (SNW 2009)	藤方潤一他	2009
27	Surface Plasmon Antenna for Photo Detection (invited)	Applied Plasmonics Workshop, 4th Int Conf Surface Plasmon Photonic (SPP4)	大橋啓之他	2009
28	垂直入出射型グレーティングカップラ の設計解析	2009 年秋季応用物理学会学術講演会	野澤道直他	2009
29	光配線はどこまでエレクトロニクスに 入り込めるか	2009 年秋季応用物理学会学術講演会 フォトニック ICT 研究会企画: フォトニック ICT を取り巻く 課題と技術	大橋啓之	2009
30	エアロゾルデポジション法により作	2009 年電子情報通信学会ソサ	清水隆徳他	2009

	製されたマツハツエンダー型 PLZT 変調器の GHz 変調動作	イエティ大会		
31	光配線によるエレクトロニクスのグリーン化	2009 年電子情報通信学会ソサイエティ大会、通信ソサイエティ特別企画:フォトニック技術によるグリーン IT 実現に向けて	大橋啓之	2009
32	Bonded Photonic Structure Incorporated into a Chip	35th European Conf Optical Communication (ECOC 2009)	大橋啓之他	2009
33	光のときめきが半導体設計に革新を起こす!	NMS セミナー	大橋啓之	2009
34	表面プラズモンアンテナを用いたフォトダイオード	平成 21 年度日本光学会関西講演会、応用光学懇談会	藤方潤一他	2010
35	LSI チップ上プラズモンフォトダイオード	日本学術振興会第 151 委員会	大橋啓之他	2010
36	LSI と光配線の融合	電子情報通信学会 知識ベース	大橋啓之	2010
37	半導体 MIRAI プロジェクト:LSI オンチップ光配線	光産業技術振興協会 第3回シリコンフォトニクス技術フォーラム	大橋啓之他	2010
38	オンチップ光配線に向けた 850nm 帯用波長合分波器 -1-	電子情報通信学会 総合大会	土澤泰他	2010
39	オンチップ光配線に向けた 850nm 帯用波長合分波器 -2-	電子情報通信学会 総合大会	渡辺俊文他	2010
40	垂直入出射型グレーティングカプラの動作特性評価	応用物理学会学術講演会	野澤道直他	2010
41	Si ベース光デバイスとオンチップ光配線への応用	日本学術振興会第 154 委員会	藤方潤一他	2010
42	On-chip optical interconnect to replace global electric interconnect	OptoElectronics and Communications Conference (OECC 2010)	大橋啓之他	2010
43	MIRAI における Si フォトニクス研究開発について	日本学術振興会第 145 委員会	大橋啓之他	2010
44	10-GHz Operation of a PLZT Electro-Optic Modulator with a Ring Resonator Formed on a Silicon Substrate	International Conference on Solid State Devices and Materials (SSDM 2010)	清水隆徳他	2010
45	LSI チップ光配線開発の現状と課題	デザインガイア 2010 電子情報通信学会研究会	大橋啓之他	2010

(2)論文発表の状況

No.	題目	掲載雑誌名	発行者	執筆者	掲載年
1	Optical Properties of Pb(Zr,Ti)O ₃ Films prepared by aerosol deposition	IEEE Trans. UFFC	IEEE	津田弘樹 他	2008
2	Low-loss Silicon Oxynitride Waveguides and Branches for 850nm-wavelength Region	Japanese Journal of Applied Physics	応用物理学会	土澤泰他	2008
3	透明機能性薄膜による超小型高速光素子	セラミックス	日本セラミックス協会	中田正文 他	2008
4	LSIオンチップ光配線	光配線実装技術ハンドブック	エレクトロニクス実装学会	大橋啓之	2008
5	On-Chip Optical Interconnect	Proceedings of the IEEE	IEEE	大橋啓之 他	2009
6	チップ内応用への課題と展望(LSIチップ光配線)	エレクトロニクス実装学会誌	エレクトロニクス実装学会	木下雅夫 他	2009
7	Lanthanum-Modified Lead Zirconate Titanate Electro-Optic Modulators Fabricated Using Aerosol Deposition for LSI Interconnects	Japanese Journal of Applied Physics	応用物理学会	中田正文 他	2009
8	Gigahertz Rate Optical Modulation on Mach-Zehnder PLZT Modulators on Si substrates Using Aerosol Deposition	IEICE Electronics Express	電子情報通信学会	清水隆徳 他	2009
9	表面プラズモンアンテナとシリコンナノフォトダイオード	O plus E	アドコム・メディア	大橋啓之	2010
10	オンチップ光配線導入の課題検討	電子情報通信学会誌	電子情報通信学会	大橋啓之 他	2010
11	表面プラズモンアンテナを利用した Si ナノフォトダイオード	光学	日本光学会	藤方潤一 他	2011
12	Vertical-coupling Optical Interface for On-chip Optical Interconnection	Optics Express	Optical Society of America	山田博仁 他	2011

(3) 特許等

番号	国内 外国 PCT	出願番号	出願日	出願者	名 称
1	JP	2008-195960	2008/07/30	NEC	光信号変調方式および光信号変調器
2	PCT	PCT/JP2008/064371	2008/08/04	NEC、ソニー	光データベース及びこれを用いた光データ伝送システム
3	JP	2008-258683	2008/10/03	ソニー、NEC	半導体装置
4	JP	2009-120901	2009/05/19	NEC	光配線システム
5	JP	2009-138364	2009/06/09	NEC	光信号処理回路、光信号処理回路付半導体装置および光信号処理回路の製造方法
6	PCT	PCT/JP2009/061172	2009/06/19	NEC	光配線構造
7	US	12/598162	2009/10/29	NEC 日本電信電話	導波路結合型フォトダイオード
8	JP	2009-513019	2009/10/30	NEC 日本電信電話	導波路結合型フォトダイオード
9	JP	2010-033262	2010/02/18	NEC	光デバイス、光集積デバイス、及び光デバイスの製造方法
10	JP	2010-035214	2010/02/19	産業技術総合研究所	成膜装置及び成膜室
11	JP	2010-046822	2010/03/03	産業技術総合研究所	成膜装置及び成膜室
12	JP	2010-049334	2010/03/05	東芝、NEC	アサーマル光導波素子
13	JP	2010-077086	2010/03/30	産業技術総合研究所	成膜装置
14	JP	2010-077087	2010/03/30	産業技術総合研究所	成膜装置
15	JP	2009-541167	2010/5/17	NEC 日本電信電話	光導波路
16	JP	2009-546194	2010/6/8	NEC	導波路型光デバイス
17	US	12/747953	2010/6/14 (提出日)	NEC	導波路型光デバイス
18	JP	2010-165919	2010/07/23	NEC	光接続構造
19	JP	2010-188175	2010/08/25	NEC、東北大学	光結合構造
20	JP	2010-187892	2010/08/25	NEC、東北大学	光結合構造、光回路、および光結合方法
21	JP	2020-187909	2010/08/25	NEC、東北大学	多層光配線用光入出力構造
22	JP	2010-500757	2010/8/25	NEC	光集積回路チップ
23	JP	2010-500748	2010/8/25	NEC	半導体装置
24	US	12/919546	2010/8/26	NEC	半導体装置

25	JP	2010-505427	2010/8/29	NEC	半導体光配線装置及び半導体光配線方法
26	US	12/919461	2010/8/30	NEC	半導体光配線装置及び半導体光配線方法
27	JP	2010-502795	2010/8/30	NEC、東芝	光デバイス、その製造方法とそれを用いた光集積デバイス
28	US	12/920449	2010/8/31	NEC、東芝	光デバイス、その製造方法とそれを用いた光集積デバイス

(4)その他の公表

成果普及の努力(プレス発表等)

No.	発表年月日	掲載紙名	見出し	コメント
1	2009.2.18	ナノテク展示会出展	IT/NW インフラ低電力化に向けた光電集積技術を実現するシリコンフォトニクス	一般展示
2	2009.6.1	日経マイクロデバイス	光配線特集	MIRAI 成果として、Si ナノフォトダイオード、光配線層実装方式等が掲載

③ 特性ばらつきに対し耐性の高いデバイス・プロセス技術開発

(1) 構造依存の特性ばらつきの物理的理解とモデリング技術の開発

:

(1) 研究発表・講演(口頭発表も含む)

表 1. 口頭発表の状況(国際学会等)

No.	題 目	学 会 名	発表者	発表日
1	Measuring and Understanding Device Variability	ESSDER/ESSIRC Variability Workshop	T.Hiramoto	2008 年
2	Analyses of V_{th} Fluctuation at High Temperature Using Takeuchi Plot	2008 International Conference on Solid State Devices and Materials	T.Tsunomura	2008 年
3	Characterization of CMOS Variability Utilizing 1M-DMA and Takeuchi Plot	Workshop on Test Structure Design for Variability Characterization	T.Hiramoto	2008 年
4	A Surface Potential Model for Bulk MOSFET which Accurately Reflects Channel Doping Profile Expelling Fitting Parameters	SISPAD 2008	H. Sakamoto	2008 年
5	Impact of Vertical and Lateral Channel Structure on V_T Fluctuation	2009 Symposia on VLSI Technology and Circuits	T.Tsunomura	2009 年
6	Analyses of Random Threshold Voltage Fluctuations in MOS Devices	9th International Workshop on Junction Technology	K.Takeuchi	2009 年
7	Random Fluctuations in Scaled MOS Devices	2009 Int. Conf. on Simulation of Semiconductor Processes & Devices (SISPAD 2009)	K.Takeuchi	2009 年
8	A New Methodology for Estimating Random Dopant Fluctuation (RDF) Depth Profile on V_T variability in Experimental B, Sb, P, and As	2009 Symposia on VLSI Technology and Circuits	Arifin.T.Putra	2009 年
9	V_{th} Dependence of V_{th} Variability in Intrinsic Channel SOI MOSFETs with Ultra-Thin BOX	International Conference on Solid State Devices and Materials	C.Lee	2009 年
10	Process Condition Dependence of Random V_T Variability in NFETs and PFETs	International Conference on Solid State Devices and Materials	T.Tsunomura	2009 年
11	A Surface Potential Model for Bulk MOSFET which Accurately Reflects Channel Doping Profile Expelling Fitting Parameters	IWCM 2009	S. Kumashiro	2009 年
12	A Discrete Surface Potential Model which Accurately Reflects Channel Doping Profile and its Application to Ultra-Fast Analysis of Random Dopant Fluctuation	SISPAD 2009	H. Sakamoto	2009 年
13	Anomalous back-bias dependence of threshold voltage variability in NMOSFETs due to high concentration regions near source and drain	International Semiconductor Device Research Symposium, 2009(ISDRS '09)	I.Yamato	2009 年
14	Statistically accurate analysis of line width roughness based on discrete power spectrum	SPIE Advanced Lithography 2010 (Proc. SPIE, Vol. 7638, 76380N (2010))	A.Hiraiwa	2010 年
15	MOSFET-Array for Extracting Parameters Expressing SPICE-Parameter Variation	IEEE Conference on Microelectronic Test Structures, March 2010.	K.Terada	2010 年
16	Analysis and Prospect of Local Variability of Drain Current in Scaled MOSFETs by a New	Symposium on VLSI Technology 2010	T.Tsunomura	2010 年

	Decomposition Method			
17	Variation; Key issue of the Advanced CMOS & LSI's	International Symposium on VLSI Technology, Systems and Applications (2010 VLSI-TSA)	S.Kamohara	2010 年
18	Direct Measurements, Analysis, and Post-Fabrication Improvement of Noise Margins in SRAM Cells Utilizing DMA SRAM TEG	Symposium on VLSI Technology 2010	M.Suzuki	2010 年
19	Variability Research: Accomplishments and Future Directions – a Japanese Perspective	DATE Workshop "The Fruits of Variability Research in Europe"	T.Hiramoto	2010 年
20	Perspective of CMOS Technology and Future Requirments	Photomask Japan 2010	T.Mogami	2010 年
21	Origin of "Current-Onset Voltage" Variability in Scaled MOSFETs	Silicon Nanoelectronics Workshop 2010	A.Kumar	2010 年
22	Statistic Characteristics of "Current-Onset Voltage" in Scaled MOSFETs Analyzed by 8k DMA TEG	Silicon Nanoelectronics Workshop 2010	T.Mizutani	2010 年
23	Dopant Distributions in MOSFET Structures by Atom Probe Tomography	IMC17(17th International Microscopy Congress)	K.Inoue	2010 年
24	3D Atom Probe Field Ion Microscopy and Positron Annihilation Complementary Use for Materials Research	12th International Workshop on Slow Positron Beam Techniques	Y.Nagai	2010 年
25	Dopant distribution analysis in boron and carbon-implanted silicon studied by laser-assisted atom probe tomography	2010 MRS Fall Meeting	Y.Shimizu	2010 年
26	Three dimensional dopant distribution in patterned MOSFETs studied by laser-assisted atom probe	2010 MRS Fall Meeting	H.Takamizawa	2010 年
27	Impact of Drain Induced Barrier Lowering on SRAM Static Noise Margin Analyzed by DMA SRAM TEG	2010 International Electron Devices Meeting	X.Song	2010 年
28	NANO-CMOS	IEEE International Conference on Nanotechnology (IEEE NANO)	T.Hiramoto	2010 年
29	Suppression of DIBL and Current-Onset Voltage Variability in Intrinsic Channel Fully Depleted SOI MOSFETs	IEEE International SOI Conference	T.Hiramoto	2010 年
30	Effect of the Channel Dopant Non-Uniformity on VTH-Variation	IEEE/ACM Workshop on Variability Modeling and Characterization	K.Terada	2010 年
31	Measurements and Post-Fabrication Self-Improvement of SRAM Cell Stability	ICCAD WORKSHOP: Workshop on Variability Modeling and Characterization	T.Hiramoto	2010 年
32	Random Variability in Transistors and SRAM: Measurement, Analysis, and Improvement	Synopsys Engineering Seminar Series (Synopsys 社の社内セミナー)	T.Hiramoto	2010 年
33	Variability in Transistors and SRAM: Measurement, Analysis, and Improvement	Solid State Technology and Devices Seminar	T.Hiramoto	2010 年
34	Statistical-noise effect on power spectrum of line-edge and line-width roughness with long-range correlation	SPIE Advanced Lithography 2011	A.Hiraiwa	2011 年

35	Electrical Estimation of Channel Dopant Uniformity Using Test MOSFET Array	International Conference on Microelectronic Test Structures 2011	K.Terada	2011 年
36	Measurement of MOSFET C-V Curve Variation Using Test Structure for Charge-Based Capacitance Measurement	International Conference on Microelectronic Test Structures 2011	K.Tsuji	2011 年
37	Study on the Causes for MOSFET Transconductance Fluctuation	2011 International Symposium on VLSI technology, systems and Applications (2011 VLSI-TSA)	K.Terada	2011 年
38	Variability and Device/Circuit Co-Design with Planar Bulk MOSFETs	16th Asia and South Pacific Design Automation Conference	T.Hiramoto	2011 年
39	Atomic-scale analysis for boron and carbon atoms co-implanted into silicon studied by laser-assisted atom probe tomography	微細トランジスタの特性ばらつきに関する国際シンポジウム	Y.Shimizu	2011 年
40	Variation Mechanism Analysis and Robust Designed Transistor Technology	微細トランジスタの特性ばらつきに関する国際シンポジウム	A.Nishida	2011 年
41	Structure Analysis of nMOSFETs with Different gm by Three-Dimensional STEM	微細トランジスタの特性ばらつきに関する国際シンポジウム	F.Yano	2011 年
42	VT and Drain Current Variabilities of Scaled FETs at High Temperature	微細トランジスタの特性ばらつきに関する国際シンポジウム	T.Tsunomura	2011 年
43	Variability: Measurement Study	微細トランジスタの特性ばらつきに関する国際シンポジウム	T.Tsunomura	2011 年
44	Atom probe technology for variability study	微細トランジスタの特性ばらつきに関する国際シンポジウム	Y.Nagai	2011 年
45	Three-dimensional dopant distributions in patterned MOSFETs studied by laser-assisted atom probe tomography	微細トランジスタの特性ばらつきに関する国際シンポジウム	H.Takamizawa	2011 年
46	Normalization of Random Threshold Voltage Fluctuation	微細トランジスタの特性ばらつきに関する国際シンポジウム	K.Takeuchi	2011 年
47	Proposal of a Consistent Model for Increased NFET Fluctuation	2011 Symposium on VLSI Technology	K.Takeuchi	2011 年
48	Effect of the Channel Dopant Non-Uniformity on VTH-Variation	微細トランジスタの特性ばらつきに関する国際シンポジウム	K. Terada	2011 年
49	Development of Test Circuit by Charge-Based Capacitance Measurement for Capacitance-Voltage Curve Variation of MOSFETs	微細トランジスタの特性ばらつきに関する国際シンポジウム	K.Tsuji	2011 年
50	A New Extrapolation Method for Threshold Voltage Extraction in Saturation Region	微細トランジスタの特性ばらつきに関する国際シンポジウム	M.Matsudaira	2011 年
51	Effect of Parasitic Series Resistance on MOSFET gm Variability	2011 Symposium on VLSI Technology	K.Terada	2011 年
52	Reduction of DIBL Variability and "Current-Onset Voltage" Variability in Intrinsic Channel Fully Depleted SOI MOSFETs	微細トランジスタの特性ばらつきに関する国際シンポジウム	A.Kumar	2011 年
53	Cause Analysis of Newly Found "Current-Onset Voltage" Variability in Scaled MOSFETs by 3D Device Simulation	微細トランジスタの特性ばらつきに関する国際シンポジウム	A.Kumar	2011 年
54	Degradation of SRAM Stability by DIBL Variability Analyzed by SRAM DMA TEG	微細トランジスタの特性ばらつきに関する国際シンポジウム	X.Song	2011 年
55	Direct Measurements of Static Noise Margin and	微細トランジスタの特性ばらつき	X.Song	2011 年

	Individual Cell Transistors Utilizing SRAM DMA TEG	に関する国際シンポジウム		
56	Statistical Characteristics of “Current-Onset Voltage” Variability in Scaled MOSFETs Analyzed by DMA TEG	微細トランジスタの特性ばらつきに関する国際シンポジウム	T.Mizutani	2011 年

表 1. 口頭発表の状況(国内学会等)

No.	題 目	学 会 名	発 表 者	発 表 日
1	10nm 世代に向けた MOS トランジスタの特性ばらつき克服に向けて	日本学術振興会シリコン超集積化システム第 165 委員会研究会	平本俊郎	2008 年
2	微細トランジスタの特性ばらつき: 原因究明と対策	VDEC デザイナーズフォーラム 特別講演 ～デバイス技術者から回路設計者へのメッセージ～	平本俊郎	2008 年
3	微細 MOSFET の特性ばらつきに関する最近の動向について	第 72 回半導体・集積回路技術シンポジウム	平本俊郎	2008 年
4	微細トランジスタにおける特性ばらつきの現状と将来動向	電子情報通信学会 シリコンデバイス・材料研究会	平本俊郎	2008 年
5	65nm MOSFET における 5 σ しきい値ばらつきの竹内プロットを用いた解析	2008 年応用物理学会シリコンテクノロジー分科会 第 104 回研究集会「VLSI シンポジウム特集(先端 CMOS デバイス・プロセス技術)」	角村貴昭	2008 年
6	シリコンナノエレクトロニクス of 将来展望	東北大学大学院工学研究科夏季集中講義「極限表面制御工学特論」	平本俊郎	2008 年
7		NGL2008	最上徹	2008 年
8	Takeuchi プロットを用いた VT ばらつきのゲート長依存性解析	2008 年秋期 第 69 回応用物理学関係連合講演会	角村貴昭	2008 年
9	一貫物理解析と Takeuchi プロットによる VT ばらつき原因解析	2008 年秋期 第 69 回応用物理学関係連合講演会	角村貴昭	2008 年
10	3 次元アトムプローブによる n-type と p-type MOS の不純物原子分布の比較	2008 年秋期 第 69 回応用物理学関係連合講演会	井上耕治	2008 年
11	ポリ Si ゲート中の不純物原子の粒界偏析の 3 次元観察	日本物理学会	井上耕治	2008 年
12	特性ばらつきの新規格化法による原因解析	第 19 回低消費電力・高速 LSI 技術懇談会	竹内潔	2008 年
13	シリコンナノエレクトロニクス of 将来展望	第 18 回 RCJ 信頼性シンポジウム (電子デバイスの信頼性シンポジウム、EOS/ESD/EMC シンポジウム)	平本俊郎	2008 年
14	Variation; Key issue of the Advanced CMOS & LSI's	SEMI テクノロジーシンポジウム 2008	蒲原史朗	2008 年
15	最先端統計から見た 32nm デバイス特性ばらつき	システム・デザイン・フォーラム 2009	平本俊郎	2009 年
16	MOS トランジスタの特性ばらつきの定量とその解析	「ゲートスタック研究会 —材料・プロセス・評価の物理—」 (第 14 回研究会)	西田彰男	2009 年
17	しきい値電圧ばらつきに対するハロー構造の影響	電子情報通信学会 2009 年 総合大会	寺田和夫	2009 年

18	高温におけるトランジスタ特性ばらつきの Takeuchi プロットによる解析	2009 年春季第 56 回応用物理学関係連合講演会	角村貴昭	2009 年
19	深さプロファイルを考慮した離散不純物による VT ばらつきの新評価手法の提案	2009 年春季第 56 回応用物理学関係連合講演会	Arifin Tamsir Putra	2009 年
20	レーザ3次元アトムプローブによる MOSFET 構造 Poly-Si ゲート中のドーパント分布解析	2009 年春季第 56 回応用物理学関係連合講演会	井上耕治	2009 年
21	Takeuchi 係数を用いたしきい値電圧ばらつきの基板バイアス依存性の解析	2009 年春季第 56 回応用物理学関係連合講演会	俣竜矢	2009 年
22	微細 MOSFET における Halo 注入がしきい値電圧ばらつきに与える影響	2009 年春季第 56 回応用物理学関係連合講演会	山戸一郎	2009 年
23	MOS トランジスタの特性ばらつきの定量とその解析	(株)東レリサーチ 第6回半導体デバイス評価セミナー	西田彰男	2009 年
24	3次元アトムプローブによる MOSFET 中のドーパント分布解析	JEITA-STRJ-故障解析 TF 第36 回会合	井上耕治	2009 年
25	LSI 低電圧化に向けた CMOS の特性バラつきの克服	日経マイクロデバイス「0.5V 駆動 LSI への挑戦～LSI 低電圧化の技術シナリオ～」セミナー	平本俊郎	2009 年
26	竹内プロットを用いた NMOS しきい値ばらつき増大原因の解析	応用物理学学会シリコンテクノロジー分科会 第 115 回研究集会 VLSI シンポジウム特集(先端 CMOS デバイス・プロセス技術)	角村貴昭	2009 年
27	SRAM セル歩留まり解析時間短縮に向けたモンテカルロ高速化手法の提案	DA シンポジウム 2009	佐藤修平	2009 年
28	しきい値電圧ばらつきに対するチャネル不均一性の影響	2009 年秋季 第 70 回応用物理学学会学術講演会	寺田和夫	2009 年
29	しきい値ばらつきの NMOS/PMOS 差の解析	2009 年秋季 第 70 回応用物理学学会学術講演会	角村貴昭	2009 年
30	トランジスタ特性ばらつき解析へのナノプロービングの応用	2009 年秋季 第 70 回応用物理学学会学術講演会	福井宗利	2009 年
31	レーザ3次元アトムプローブによる MOSFET 構造チャネル中のドーパント濃度分布解析	2009 年秋季 第 70 回応用物理学学会学術講演会	高見澤悠	2009 年
32	微細 MOSFET における横方向濃度差がしきい値電圧ばらつきに与える影響	2009 年秋季 第 70 回応用物理学学会学術講演会	山戸一郎	2009 年
33	極薄 BOX を有する SOI MOSFET におけるしきい値電圧ばらつきのしきい値電圧依存性	2009 年秋季 第 70 回応用物理学学会学術講演会	イ チホ	2009 年
34	微細トランジスタにおける特性ばらつきの現状と将来展望	2009 年秋季 第 70 回応用物理学学会学術講演会	平本俊郎	2009 年
35	微細 MOS トランジスタにおける不純物の深さ方向分布を考慮した特性ばらつきの新正規化手法	2009 年秋季 第 70 回応用物理学学会学術講演会	平本俊郎	2009 年
36	電流測定データにおけるはずれ値除去の自動化	平成 21 年度 電気・情報関連学会中国支部第 60 回連合大会	讃井和彦	2009 年
37	トランジスタ特性ばらつき解析へのナノプロービングの応用	第 29 回 LSI テスティングシンポジウム	福井宗利	2009 年
38	3次元アトムプローブによる MOS トランジスタ中のドーパント分布解析	第 29 回 LSI テスティングシンポジウム	高見澤悠	2009 年
39	微細 MOS デバイスにおけるランダムばらつき	電子情報通信学会・SDM 研究会 応用物理学学会・Si テクノロジー分科会研究集会	竹内潔	2009 年
40	半導体デバイスの将来像	第 4 回 ITS 推進フォーラム・ITS 総合シンポジウム	平本俊郎	2009 年

41	STI ストレスによる MOSFET 特性変動のコンパクトモデル	2009 年春季第 56 回応用物理学関係連合講演会	山田健太	2009 年
42	チャンネル不純物分布を正確に反映した離散化表面ポテンシャルとその超高速不純物濃度ばらつき解析への応用	電子情報通信学会・SDM 研究会	坂本浩則	2009 年
43	プロセス条件依存性によるしきい値ばらつき原因解析	2010 年春季 第 57 回応用物理学関係連合講演会	角村貴昭	2010 年
44	しきい値電圧ばらつきに対するチャンネル濃度不均一性の影響	電子情報通信学会 2010 年 総合大会	寺田和夫	2010 年
45	電流の測定データにおけるはずれ値除去の自動化	電子情報通信学会 2010 年 総合大会	讃井和彦	2010 年
46	トランジスタ特性ばらつきの現状と要請	応用物理学学会シリコンテクノロジー分科会第 117 会 接合技術研究集会「不純物ドーピングの挑戦と将来展望－不純物ドーピングは使えるか？」	平本俊郎	2010 年
47	レーザー3次元アトムプローブによるゲートパターンを有する MOS 構造のドーパント分布解析	2010 年春季 第 57 回応用物理学関係連合講演会	高見澤悠	2010 年
48	S/D 端の高濃度領域による V_{th} ばらつきの異常基板バイアス依存性	2009 年春季 第 57 回応用物理学関係連合講演会	山戸一郎	2010 年
49	設計者目線でのバラツキ理解	厳選 LSI 設計技術@EDSF 2010 --超微細化時代の LSI 設計と検証--	竹内潔	2010 年
50	3次元アトムプローブによる MOSFET 中のドーパント分布解析	応用物理学学会シリコンテクノロジー分科会 第 121 回研究集会 表面・界面・シリコン材料研究委員会 「半導体シリコン単結晶ウェーハを特徴づける評価技術」	井上耕治	2010 年
51	低速陽電子ビームと 3 次元アトムプローブによる MOS 構造ゲート中ドーパントと欠陥の分布解析	第 47 回 アイソトープ・放射線研究発表会	高見澤悠	2010 年
52	ばらつき可視化によるロバストデバイス設計への挑戦	電子情報通信学会 北陸支部講演会	最上徹	2010 年
53	シリコン MOSFET のアトムプローブ解析の現状	電子情報通信学会 北陸支部講演会	西田彰男	2010 年
54	レーザー3次元アトムプローブを用いたトランジスタの特性ばらつき原因となるドーパント分布の検討	応用物理学学会シリコンテクノロジー分科会 第 124 回研究集会 接合研究集会「Lab から Fab へ ～今使える最先端ドーピング・接合技術」	井上耕治	2010 年
55	微細トランジスタにおける電流ばらつきの原因	2010 年秋季 第 71 回応用物理学関係連合講演会	角村貴昭	2010 年
56	飽和電流モデルによるしきい値電圧の抽出	2010 年秋季 第 71 回応用物理学関係連合講演会	松平将治	2010 年
57	レーザー3次元アトムプローブによるゲートパターンを有する MOS 構造のドーパント分布解析②	2010 年秋季 第 71 回応用物理学関係連合講演会	高見澤悠	2010 年
58	レーザーアトムプローブによるリン・ホウ素を同時注入した多結晶シリコンにおけるドーパント拡散の 3 次元解析	2010 年秋季 第 71 回応用物理学関係連合講演会	高見澤悠	2010 年
59	ホウ素と炭素を注入したシリコン中のレーザ3次元アトムプローブによるドーパント分布解析	2010 年秋季 第 71 回応用物理学関係連合講演会	清水康雄	2010 年

60	3D-STEM を用いた特性差を有するデバイスの構造解析	2010 年秋季 第 71 回応用物理学関係連合講演会	矢野史子	2010 年
61	MOSFET アレイを用いたばらつきパラメータの抽出	2010 年秋季 第 71 回応用物理学関係連合講演会	寺田和夫	2010 年
62	微細 MOS トランジスタにおける“電流立上り電圧”の統計的性質	2010 年秋季 第 71 回応用物理学関係連合講演会	水谷朋子	2010 年
63	微細 MOS トランジスタにおける“電流立上り電圧”ばらつきの原因	2010 年秋季 第 71 回応用物理学関係連合講演会	Anil Kumar	2010 年
64	DMA TEG を用いた SRAM におけるスタティックノイズマージンばらつきの直接測定	2010 年秋季 第 71 回応用物理学関係連合講演会	鈴木誠	2010 年
65	3次元アトムプローブと陽電子消滅法によるイオン注入不純物の拡散挙動解析	日本物理学会 2010 年秋季大会	永井康介	2010 年
66	TCAD を用いたトランジスタのばらつき解析	日本学術振興会 半導体界面制御技術第 154 委員会 第 73 回研究会	竹内潔	2010 年
67	シリコンナノエレクトロニクス of 将来展望	東北大学大学院工学研究科夏季集中講義「極限知能デバイス工学特論」	平本俊郎	2010 年
68	「電流立上り電圧」ばらつきに起因する微細 MOS トランジスタのランダム電流ばらつきの解析	電子情報通信学会 シリコンデバイス・材料研究会	水谷朋子	2010 年
69	DMA TEG による SRAM のスタティックノイズマージンの直接測定と解析	電子情報通信学会 シリコンデバイス・材料研究会	平本俊郎	2010 年
70	トランジスタ特性ばらつきについて	日本半導体ロードマップ委員会 (STRJ) FEP-WG 会議	平本俊郎	2010 年
71	3DAP 法による炭素を共注入したシリコン基板中ホウ素分布の解析	第 30 回 LSI テスティングシンポジウム	清水康雄	2010 年
72	電気特性の異なる MOS デバイスの 3 次元 STEM 観察	第 30 回 LSI テスティングシンポジウム	小野志亜之	2010 年
73	3次元アトムプローブ: その原理と応用 - MOSFET 不純物分布解析を例に -	第 15 回結晶工学セミナー 物理・化学分析の最先端技術を基礎から理解する	永井康介	2010 年
74	MOS トランジスタの特性ばらつきの定量とその原因解析	産業技術総合研究所 デバイス計測コンソーシアム TSC(つくば半導体コンソーシアム)主催「デバイス計測シンポジウム」	西田彰男	2010 年
75	微細 MOS デバイスのばらつき	電子情報通信学会・集積回路研究会 (ICD)	竹内潔	2010 年
76	オン電流特性の異なる MOS デバイスの 3 次元 STEM 観察	2011 年春季 第 58 回 応用物理学関係連合講演会	山根未有希	2011 年
77	レーザー 3次元アトムプローブによる MOS 構造中のドーパント分布解析	2011 年春季 第 58 回 応用物理学関係連合講演会	井上耕治	2011 年
78	3次元アトムプローブによる実デバイスの不純物分布観察	2011 年春季 第 58 回 応用物理学関係連合講演会	高見澤悠	2011 年
79	Takeuchi プロットを用いた High-k/Metal-Gate MOSFET のばらつき評価	2011 年春季 第 58 回 応用物理学関係連合講演会	水谷朋子	2011 年
80	高温における微細トランジスタのドレイン電流ばらつき解析	2011 年春季 第 58 回 応用物理学関係連合講演会	角村貴昭	2011 年
81	ランダムしきい値ばらつきの N/P 差原因の考察	2011 年春季 第 58 回 応用物理学関係連合講演会	竹内潔	2011 年
82	オン電流ばらつき成分のチャネル長依存性検討	2011 年春季 第 58 回 応用物理学関係連合講演会	松平将治	2011 年

83	微細 MOSトランジスタにおける DIBL および電流立上り電圧ばらつきの統計解析	2011 年春季 第 58 回 応用物理学関係連合講演会	Anil Kumar	2011 年
84	完全空乏型 SOI MOSFET における DIBL および“電流立上り電圧”ばらつきの抑制	2011 年春季 第 58 回 応用物理学関係連合講演会	水谷朋子	2011 年
85	SRAM のスタティックノイズマージンにおける DIBL ばらつきの影響	2011 年春季 第 58 回 応用物理学関係連合講演会	宋驍崑	2011 年
86	DMA SRAM TEG により解析した SRAM のスタティックノイズマージンにおける DIBL ばらつきの影響	応用物理学会シリコンテクノロジー分科会第 131 回研究集会 (電子情報通信学会シリコンデバイス・材料研究会 1 月研究会)	宋驍崑	2011 年

表 2. 論文発表の状況

No.	題 目	学 会 名	発 表 者	発 表 年
1	Random Threshold Voltage Variability Induced by Gate-Edge Fluctuations in Nanoscale Metal-Oxide-Semiconductor Field-Effect Transistors	Applied Physics Express (APEX) 2(2009)024501	Arifin.T.P	2008 年
2	Three dimensional characterization of dopant distribution in polycrystalline silicon by atom probe microscopy	Applied Physics Letters 93(2008)133507	K.Inoue	2008 年
3	Study on channel depletion in metal-oxide-semiconductor field effect transistor using top-view imaging through scanning capacitance microscopy	Surface and Interface Analysis, 2008,40,0	Y.Naitou	2008 年
4	Layout-aware compact model of MOSFET characteristics variations induced by STI stress	IEICE Trans. Electron, E91-C (2008), 1142	K. Yamada	2008 年
5	増大する微細 MOSトランジスタの特性ばらつき: 現状と対策	電気学会 C 部門論文誌 2008 年、巻:128 号:6 頁:820-824	平本俊郎	2008 年
6	Measurement of the MOSFET Drain Current Variation Under High Gate Voltage	Solid-State Electronics Volume 53, Issue 3, March 2009, Pages 314-319	K.Terada,	2009 年
7	Consideration of Random Dopant Fluctuation Models for Accurate Prediction of Threshold Voltage Variation of Metal-Oxide-Semiconductor Field-Effect-Transistors in 45 nm Technology and Beyond	Japanese Journal of Applied Physics 48(2009)044502	Arifin.T.P	2009 年
8	Impact of Oxide Thickness Fluctuation and Local Gate Depletion on Threshold Voltage Variation in Metal-Oxide-Semiconductor Field-Effect-Transistors	Japanese Journal of Applied Physics 48 (2009) 064504 (5 pages)	Arifin.T.P	2009 年
9	Analysis of tip-sample capacitance in scanning capacitance microscopy of dielectric films through high-frequency electromagnetic field simulations	Journal of Applied Physics 105.044311(2009)	Y.Naitou	2009 年
10	Analysis of NMOS and PMOS Difference in VT Variation with Large-Scale DMA-TEG	IEEE TRANSACTION OF ELECTRON DEVICES, Vol.56, No.9(2009), 2073	T.Tsunomura	2009 年
11	MOSトランジスタのスケーリングに伴う特性ばらつき	電子情報通信学会会誌、2009 年、巻:92 号:6 頁:416-426	平本俊郎	2009 年
12	Dopant distributions in n-MOSFET structure observed by three dimensional atom probe microscopy	Ultramicroscopy109(2009)1479-1484	K.Inoue	2009 年

13	Dopant distribution in gate electrode of n- and p-type metal-oxide-semiconductor field effect transistor by laser-assisted atom probe	APPLIED PHYSICS LETTERS 95, 043502 2009	K.Inoue	2009 年
14	Discrete power spectrum of line width roughness	JOURNAL OF APPLIED PHYSICS 106, 074905 2009	A.Hiraiwa	2009 年
15	Verification of Variation Properties in Transistors Threshold Voltage with Ultra Large-Scale Device Matrix Array Test Element Group	Japanese Journal of Applied Physics. 48 (2009) 124505	T.Tsunomura	2009 年
16	LSI 低電圧化に向けた CMOS の特性バラツキの克服	日経マイクロデバイス 別冊:半導体技術年鑑 2010<デバイス/プロセス編>	平本俊郎	2009 年
17	Possible Origins of Extra Threshold Voltage Variability in N-Type Field-Effect Transistors by Intentionally Changing Process Conditions and Using Takeuchi Plot	Japanese Journal of Applied Physics 49 (2010) 074104	T.Tsunomura	2010 年
18	Spectral analysis of line-edge and line-width roughness with long-range correlation	JOURNAL OF APPLIED PHYSICS 108, 034908 2010	A.Hiraiwa	2010 年
19	Statistical-noise and image-noise effects on experimental spectrum of line-edge and line-width roughness	Journal of Micro/Nanolithography, MEMS 9, 041210 (2010)	A.Hiraiwa	2010 年
20	Statistical-noise effect on autocorrelation function of line-edge and line-width roughness	J. Vac. Sci. Technol. B 28(6), Nov/Dec (2010), p1242	A.Hiraiwa	2010 年
21	Investigation of the Origins of MOSFET Random Threshold Voltage Fluctuation by Analyzing Electrical Data from Multiple Fabs and Technologies	IEEE Transaction on Electron Devices	K.Takeuchi	2010 年
22	LSI の微細化を阻むランダムバラつき問題の現状	日経エレクトロニクス NIKKEI ELECTRONICS 2010.4.19	竹内潔	2010 年
23	Statistical-noise effect on discrete power spectrum of line-edge and line-width roughness	J. Vac. Sci. Technol. B 28(6), Nov/Dec, pp.1132-1137 (2010)	A.Hiraiwa	2010 年
24	Feasibility Study on the Evaluation of Threshold Voltage Variability in Field-Effect Transistors by the Nano-Probing Technique	Applied Physics Express (APEX)	T.Tsunomura	2010 年
25	Proposal of Integrated Physical Analysis for Investigating the Physical Origin of Anomalous Characteristics in Field Effect Transistor	Applied Physics Express (APEX)	T.Tsunomura	2010 年
26	Randomness evaluation of channel dopant in n- and p-MOSFETs by laser-assisted atom probe tomography	APL	H.Takamizawa	2010 年
27	Measurement of the actual-chip-scale Vth local variations with 256M device matrix array	IEICE Electronics Express (ELEX)	S.Kamohara	2010 年
28	Image-Noise Effect on Discrete Power Spectrum of Line-Edge and Line-Width Roughness	Japanese Journal of Applied Physics 50 (2011) 016602	A.Hiraiwa	2010 年
29	Origin of Larger Drain Current Variability in N-Type Field-Effect Transistors Analyzed by Variability Decomposition Method	Applied Physics Express 3 (2010) 114201 (3 pages)	T.Tsunomura	2010 年
30	Origin of Large Drain Current Variability in N-Type Field-Effect Transistor Analyzed by Variability Decomposition Method	Appl. Phys. Express 3 (2010) 114201	T.Tsunomura	2010 年
31	Impact of local Vth variations on offset voltages of operational amplifiers	IEICE Electronics Express (ELEX)	A.Nishida	2010 年
32	Power spectrum of smoothed line-edge and	J. Vac. Sci. Technol. B	A.Hiraiwa	2010 年

	line-width roughness			
33	Direct measurement of the correlation between SRAM noise margin and individual cell transistors variability by using a device-matrix-array	IEEE Transaction on Electron Devices	T.Hiramoto	2010 年
34	Impact of carbon co-implantation on boron diffusion in silicon substrates by atom probe tomography and secondary ion mass spectrometry	Applied Physics Letters	Y. Shimizu	2010 年
35	Statistical Model of Line-Edge and Line-Width Roughness for Device Variability Analysis	IEEE Trans. Electron Devices	A.Hiraiwa	2010 年
36	Effect of Channel Dopant Profile on Difference in Threshold Voltage Variability between NFETs and PFETs	IEEE Transaction on Electron Devices, 58 (2011), 364	T.Tsunomura	2011 年

(2)特許等

番号.	国内外	出願番号	出願日	出願者	発明名称
1	JP	2008-002028	2008/01/09	ルネサス	半導体装置の評価方法および半導体ウエハ
2	JP	2008-004140	2008/01/11	ルネサス	半導体装置
3	JP	2008-159701	2008/06/18	NEC エレ	半導体装置の解析及び設計装置、及び半導体装置の解析及び設計方法
4	JP	2008-159702	2008/06/18	NEC エレ	半導体装置の解析及び設計装置、及び半導体装置の解析及び設計方法
5	JP	2008-285309	2008/11/06	ルネサス	半導体評価システム
6	JP	2008-328419	2008/12/24	ルネサス	半導体装置の製造方法
7	JP	2009-138262	2009/06/09	NEC エレ	半導体装置の解析方法、設計方法、設計支援プログラム、及び設計支援装置
8	US	12/457,374	2009/06/09	NEC エレ	半導体装置の解析及び設計装置、及び半導体装置の解析及び設計方法
9	US	12/482,016	2009/06/10	NEC エレ	半導体装置の解析及び設計装置、及び半導体装置の解析及び設計方法
10	JP	2009-150444	2009/06/25	日立ハイテク	寸法計測装置およびこれを用いた半導体装置の製造方法
11	JP	2009-235271	2009/10/09	ルネサス	半導体装置およびその製造方法
12	JP	2009-235657	2009/10/09	ルネサス	半導体装置およびその製造方法
13	JP	2010-012525	2010/01/22	NEC エレ	回路シミュレーション装置、回路シミュレーション方法
14	JP	2010-031521	2010/02/16	NEC エレ	デバイスシミュレーション装置、デバイスシミュレーション方法及びプログラム
15	JP	2010-028371	2010/02/12	日立ハイテク	寸法計測装置およびこれを用いた半導体装置の製造方法
16	US	12/791535	2010/06/01	ルネサスエレ	半導体装置の解析方法、設計方法、設計支援プログラム、及び設計支援装置
17	JP	2010-138439	2010/06/17	ルネサスエレ	半導体装置およびその製造方法
18	JP	2010-138857	2010/06/18	ルネサスエレ	半導体装置の製造方法

19	JP	2010-236478	2010/10/21	ルネサスエレ	ばらつき解析装置、ばらつき解析方法およびプログラム
----	----	-------------	------------	--------	---------------------------

(3)受賞実績

No.	発表月日	表彰	題目(見出し)
1	2009年	第12回エレクトロニクスソサイエティ賞	微細MOSトランジスタの特性ばらつきの研究
2	2009年	IEEE EDS Japan Chapter Student Award	A New Methodology for Evaluating VT Variability Considering Dopant Depth Profile" (2009 Symp. on VLSI Technology)
3	2010年	第4回(2010年)日本物理学会若手奨励賞	レーザー3次元アトムプローブによるMOS構造中ドーパントの不均一分布の解明
4	2010年9月13日	第28回(2010年春季)応用物理学会講演奨励賞	プロセス条件依存性によるしきい値ばらつき原因解析
5	2010年9月13日	2010年度応用物理学会論文賞	Verification of Threshold Voltage Variation of Scaled Transistors with Ultralarge-Scale Device Matrix Array Test Element Group (Jpn. J. Appl. Phys. 48 (2009) 124505)
6	2011年12月20日	第2回応用物理学会シリコンテクノロジー分科会論文賞	Dopant distributions in n-MOSFET structure observed by atom tomography, K. Inoue, F.Yano, A.Nishida, H.Takamizawa, T.Tsunomura, Y.Nagai, and M.Hasegawa, Ultramicroscopy vol. 109, pp. 1479-1484 (2009).

3.その他特記事項

(1)成果普及の努力(プレス発表等)

表4. 新聞発表等の状況(プレス発表・取材記事)

No.	発表月日	掲載紙名	題目(見出し)
1	2008年4月23日	日刊工業新聞	半導体の特性変動予測 半導体先端テクノロジーズ モデル確立 LSI性能20%向上
2	2008年12月26日	日経新聞	トランジスタ特性ばらつきの新しい規格化手法の開発
3	2009年1月27日	日経マイクロデバイス	ロバスト構造デバイス
4	2009年2月4日	日経産業、電波新聞他	回路の高精度・高速シミュレーション機能の開発
5	2009年6月10日	日刊工業新聞	微細なトランジスタのしきい値ばらつき一因の解明に成功、N型トランジスタにチャネル注入したホウ素の不均一分布が原因
6	2010年6月9日	日刊工業新聞	トランジスタのオン電流ばらつきの解明に成功

③特性ばらつきに対し耐性の高いデバイス・プロセス技術開発

(2) 外部擾乱依存の特性ばらつきの物理的理解とモデリング技術の開発

(1) 研究発表・講演

番号	発表者	タイトル	発表誌名、ページ番号	発表年
1	羽根 正巳	Synthetic Soft Error Rate Simulation Considering Neutron-induced Single Event Transient from Transistor to LSI-	SISPAD 2008, pp.365-368	2008
2	坂東 要志	Performance Variability of On-Chip Noise Monitor Circuits	Workshop on Test Structure Design for Variability	2008
3	坂東 要志	ばらつきを含めたオンチップモニタ回路の性能評価	LSIとシステムのワークショップ 2009	2009
4	熊代 成孝	MIRAI-Selete 耐外部擾乱デバイスプログラムにおける耐SET/耐ESD技術開発	応用物理学会・シリコンテクノロジー分科会	2009
5	森下 泰之	An Investigation of Input Protection for CDM Robustness in 40nm CMOS Technology	2009 EOS/ESD Symposium, pp.119-124	2009
6	田中 克彦	Study on Influence of Device Structure Dimension and Profile on Charge Collection Current Causing SET Pulse Leading to Soft Errors in Logic Circuits	SISPAD 2009, pp.210-213	2009
7	石塚 裕康	ディーブサブミクロンデバイスにおけるパワークランプ素子の設計指針検討	第19回RCJ信頼性シンポジウム	2009
8	田中 克彦	2009 SISPADレビュー	電子情報通信学会・SDM研究会	2009
9	坂東 要志	An On-Chip Continuous Time Power Supply Noise Monitoring Technique	ASSCC 2009, pp.97-100	2009
10	高谷 聡	CMOSアナログ回路における基板ノイズ応答の解析	電子情報通信学会・ICD研究会	2009
11	坂東 要志	On-chip In-situ Measurements of Vth and AC Gain of Differential Pair Transistors	ICMTS 2010, pp.232-235	2010
12	中村 英之	Measurement of Neutron-induced Single Event Transient Pulse Width Narrower than 100ps	IRPS 2010, pp.694-697	2010
13	森下 泰之	Impact of Difference between Discharge Method on CDM ESD Testing	IEW 2010	2010
14	石塚 裕康	Consideration of design window for ESD Power-Clamp in next generation devices	IEW 2010	2010
15	高谷 聡	差動増幅回路におけるVthとAC応答のその場評価技術	LSIとシステムのワークショップ	2010
16	高谷 聡	90nm CMOS差動対トランジスタのVthとAC応答のその場評価	電子情報通信学会・ICD研究会	2010
17	森下 泰之	Impact of Difference between Discharging Methods on CDM Testing	2010 EOS/ESD Symposium	2010
18	大塚 容子	先端CMOS技術の電源分離回路におけるCDM-ESD保護設計	RCJシンポジウム 2010	2010
19	早田 征明	On-chip Sine-wave Noise generator for Analog IP Noise Tolerance Measurement	ASSCC 2010	2010
20	高谷 聡	On-chip In-situ Measurements of Vth, Signal Gain, and Substrate Sensitivity of Differential Pair Transistors	Workshop on Variability Modeling and Characterization	2010
21	田中 克彦	インバータセルにおけるSingle-Event-Transientパルス発生のモデリング	電子情報通信学会・SDM研究会	2010
22	高谷 聡	アナログ基本回路の基板雑音感度に関する考察	電子情報通信学会・ICD研究会	2010
23	高谷 聡	Accurate Analysis of Substrate Sensitivity of Active Transistors in an	ISQED 2011, to be published	2011
24	坂東 要志	差動対トランジスタにおける基板ノイズ応答のオンチップ評価と解析	電子情報通信学会総合大会, to be published	2011
25	熊代 成孝	CMOSの超低電圧化の阻害要因とデバイス物理	2011年春季第58回応用物理学関係連合講演会, to be published	2011

(2) 発表論文

番号	発表者	タイトル	発表誌名、ページ番号	発表年
1	山田 健太	Exhaustive and Systematic Accuracy Verification and Enhancement of STI Stress Compact Model for General Realistic Layout Patterns	IEICE Trans Electron, Vol.E93-C, No.8, pp.1349-1358	2010
2	坂東 要志	A Continuous-Time Waveform Monitoring Technique for On-Chip Power Noise Measurements in VLS Circuits	IEICE Trans Electron, Vol.E94-C, No.4, to be published	2011
3	早田 征明	On-chip Sine wave Noise Generator for Analog IP Noise Tolerance Measurement	IEICE Trans Electron, Vol.E94-C, No.6, to be published	2011

(3) 特許等

番号.	国内外	出願番号	出願日	出願者	発明名称
1	JP	2009-202544	2009/09/02	NEC エレ	半導体装置
2	JP	2009-180318	2009/08/03	NEC エレ	パルス幅検出装置
3	JP	2010-157657	2010/07/12	ルネサスエレ	正弦波発生回路
4	JP	2010-185270	2010/08/20	ルネサスエレ	半導体装置
5	JP	2010-228476	2010/10/08	ルネサスエレ	エラー信号パルス幅の計算方法及び 計算装置及び計算プログラム

(4)その他の公表

1)成果普及の努力(プレス発表等)

No.	発表年月日	掲載紙名	題目
1	2010年5月7日	日刊工業新聞	ソフトエラー対策技術 セリート 中性子によるパルス検出
2	2010年10月22日	日刊工業新聞	静電気放電破壊を防止 セリート 半導体実装で新技術

Ⅲ-1-Ⅱ-④-表1 特許出願件数

	出願日	出願番号	発明等の名称	出願人
1	2009/5/19	2009-120529	マスクブランクスの欠陥検査装置及び欠陥検査方法ならびに半導体装置の製造方法	ルネサステクノロジ
2	2009/6/12	2009-141476	反射型マスクおよびその製造方法	大日本印刷
3	2009/7/23	2009-172367	反射型露光用マスクおよび半導体装置の製造方法	東芝 ルネサステクノロジ
4	2009/8/18	2009-189250	マスク欠陥の形状測定方法及びマスク良否判定方法	東芝 ルネサステクノロジ
5	2009/10/16	2009-239296	半導体装置の製造方法及び製造装置	NEC エレクトロニクス、富士通マイクロデバイス、東芝
6	2009/11/13	2009-259583	EUVマスクの欠陥検査方法、EUVマスクの製造方法、および、半導体の製造方法	ルネサステクノロジ
7	2009/11/13	2009-259797	EUVマスクの欠陥検査方法、EUVマスクの製造方法、EUVマスク検査装置、および、半導体装置の製造方法	ルネサステクノロジ
8	2009/11/19	2009-264177	反射型露光用マスク、反射型露光用マスクの製造方法、および、半導体装置の製造方法	ルネサステクノロジ
9	2009/12/21	2009-289633	反射型露光用マスク、反射型露光用マスクの製造方法、反射型露光用マスクの検査方法、及び、反射型露光用マスクの洗浄方法	東芝

10	2010/2/24	2010-039148	反射型マスクおよびその製造方法体装置の製造方法	大日本印刷
11	2010/5/11	2010-109606	反射型マスクの製造方法および反射型マスク	大日本印刷
12	2010/5/11	2010-109607	反射型マスクの製造方法	大日本印刷
13	2010/8/31	2010-194578	マスクブランク検査装置およびその光学調整方法	ルネサスエレクトロニクス、東芝
14	2010/9/10	2010-202728	マスクブランクの検査方法およびマスクの製造方法	ルネサスエレクトロニクス
15	2010/9/13	2010-204743	マスクの欠陥検査方法及び欠陥検査装置	東芝、ルネサステクノロジ
16	2010/9/16	2010-208018	EUVL 用マスクの製造方法および半導体装置の製造方法	ルネサスエレクトロニクス
17	2010/9/24	2010-214235	投影露光装置の検査方法	ルネサスエレクトロニクス、東芝
18	2010/10/1	2010-223709	マスクケースおよびマスクの洗浄方法	凸版印刷
19	2010/10/1	2010-223708	EUVマスク白欠陥修正方法	凸版印刷
20	2010/10/15	2010-232851	EUVL 用マスクの製造方法および半導体装置の製造方法	ルネサスエレクトロニクス
21	2010/12/9	2010-274797	反射型マスクおよびその製造方法	大日本印刷
22	2010/12/9	2010-274798	反射型マスク、反射型マスクの製造方法、および反射型マスク欠陥修正装置	大日本印刷

23	2011/1/7	2011-001590	クリーニング方法およびクリーニング装置	ルネサスエレクトロニクス、富士通セミコンダクター
24	2009/8/7	2009-184401	異物除去装置、露光装置及びデバイス製造方法	キヤノン
25	2009/8/7	2009-184571	露光装置及びデバイス製造方法	キヤノン
26	2009/8/7	2009-184809	露光装置及びデバイス製造方法	キヤノン
27	2010/2/4	2010-022810	捕獲器、真空容器、処理装置、及びデバイス製造方法	キヤノン
28	2010/3/15	2010-057933	静電吸着方法、露光方法、静電吸着装置、露光装置及びデバイス製造方法	ニコン

Ⅲ-1-Ⅱ-④-表 2 学会・論文発表件数

	発表年月日	発表媒体	発表タイトル	発表者(筆頭)
1	2009/4/1	2009年春季 第56回応用物理学関係連合講演会	EUV マスク面形状測定ツールの絶対値較正	太田和哉
2	2009/4/1	2009年春季 第56回応用物理学関係連合講演会	断面観察と反射率計測によるEUVマスクプロセスダメージの評価	西山泰史
3	2009/4/1	2009年春季 第56回応用物理学関係連合講演会	Ga FIB による EUV マスクパターン修正時の界面ミキシング	西山泰史

4	2009/4/1	2009 年春季 第 56 回応用物理学関係連合講演会	EUV マスク検査・計測技術	寺澤恒男
5	2009/4/9	Photomask Japan 2009	Evaluation of EUVL mask pattern defect inspection using 199-nm inspection tool with super-resolution method	茂村弘之
6	2009/4/9	Photomask Japan 2009	Actinic EUVL mask blank inspection and phase defect characterization	山根 武
7	2009/4/9	Photomask Japan 2009	FIB mask repair technology for EUV mask	天野 剛
8	2009/6/1	International Conference on Electron,Ion,and Photon Beam Technology and Nanofabrication (EIPBN 2009)	Characterization of EUV-deposited carboneous contamination	穴澤俊久
9	2009/7/10	NGL Workshop 2009	Selete における露光装置の基本性能評価状況	俵山和雄
10	2009/9/10	2009 年秋季 第 70 回応用物理学学会学術講演会	EUV マスクブランクス検査における欠陥検出安定性	山根 武
11	2009/9/10	2009 年秋季 第 70 回応用物理学学会学術講演会	EU フルフィールド露光装置を用いた 35nm ビアホールパターン形成	田中雄介
12	2009/9/10	2009 年度精密工学会秋季大会シンポジウム	次世代の半導体露光装置 (EUV)における形状測定のエーズ	太田和哉
13	2009/9/16	SPIE Photomask Techonology (BACUS) 2009	Thin absorber EUVL mask with light-shield border for full-field scanner	加茂 隆

14	2009/9/16	SPIE Photomask Technology (BACUS) 2009	Actinic EUVL mask blank inspection capability with time delay integration mode	山根 武
15	2009/9/16	SPIE Photomask Technology (BACUS) 2009	Study of EUVL mask defect inspection using 199-nm inspection tool with super resolution method	茂村弘之
16	2009/10/20	2009 International EUVL Symposium	Observation of carbon contaminant growth on SFET-exposed mask, and its modeling	西山岩男
17	2009/10/20	2009 International EUVL Symposium	Dynamic scan operation of actinic EUVL mask blank inspection system with TDI mode	寺澤恒男
18	2009/10/20	2009 International EUVL Symposium	Defect printability of thin absorber mask in EUV lithography with refined LER resist	加茂 隆
19	2009/10/20	2009 International EUVL Symposium	Evaluation Results of new EUV Reticle pod based on SEMI E152-0709	太田和哉
20	2009/10/20	2009 International EUVL Symposium	199-nm 検査光学系を使用し た EUV マスクパターン欠陥検 査	天野 剛
21	2009/10/20	2009 International EUVL Symposium	EUV 小領域露光装置 (SFET)の性能向上	白井精一 郎
22	2009/10/20	2009 International EUVL Symposium	Actinic phase defect detection for EUV mask with absorber patterns	寺澤恒男
23	2010/1/18	European Mask and Lithography Conference 2010	Actinic EUVL mask blank inspection and phase defect characterization	山根 武

24	2010/2/23	SPIE Advance Lithography 2010	Impact of EUV mask absorber defect with pattern-roughness on lithographic images	加茂 隆
25	2010/2/23	SPIE Advance Lithography 2010	Actinic phase defect detection and printability analysis for patterned EUVL mask	寺澤恒男
26	2010/2/23	SPIE Advance Lithography 2010	Evaluation Results of a New EUV Reticle pod based on SEMI E152	太田和哉
27	2010/2/23	SPIE Advance Lithography 2010	Improvement of EUV-mask defect printability evaluation	高木紀明
28	2010/2/23	SPIE Advance Lithography 2010	Evaluations of EUV resist outgassing by gas chromatography mass spectrometry (GC-MS)	老泉博昭
29	2010/3/17	2010 年春季第 57 回応 用物理学関係連合講演 会 シンポジウム	EUV 露光における複数ショッ ト寸法計測手法によるマスク 欠陥転写評価	加茂 隆
30	2010/3/17	2010 年春季第 57 回応 用物理学関係連合講演 会	EUV リソグラフィマスクへの付 着異物の計数技術:計数誤 差の検討	雨宮光陽
31	2010/3/17	2010 年春季第 57 回応 用物理学関係連合講演 会	EUV マスクブランクス検査に おける欠陥検出性能の向上	山根 武
32	2010/3/17	2010 年春季第 57 回応 用物理学関係連合講演 会	EUV リソグラフィにおける検査 計測の課題	寺澤恒男
33	2010/3/17	2010 年春季第 57 回応 用物理学関係連合講演 会	EUV 小領域露光装置 (SFET)におけるXe 流量最適 化の検討	白井精一 郎

34	2010/4/13	Photomask Japan 2010	Study of counting error of particle Inspection	雨宮光陽
35	2010/4/13	Photomask Japan 2010	Evaluation of transfer of particles on the Dual-Pod base-plate to EUV mask	米川雅見
36	2010/4/13	Photomask Japan 2010	Thin absorber EUV mask with light-shield border of etched multilayer and its lithographic performance	加茂 隆
37	2010/4/13	Photomask Japan 2010	Actinic EUVL mask blank inspection capability with time delay integration mode	山根 武
38	2010/4/13	Photomask Japan 2010	FIB-CVD 技術を利用した EUV マスク修正	天野 剛
39	2010/6/4	International Conference on Electron,Ion,and Photon Beam Technology and Nanofabrication (EIPBN 2010)	Novel ozone-based contamination cleaning for EUV optics	穴澤俊久
40	2010/6/4	International Conference on Electron,Ion,and Photon Beam Technology and Nanofabrication (EIPBN 2010)	Observation and modeling of asymmetric carbon contamination growth on SFET exposed mask	西山岩男
41	2010/7/8	第 74 回半導体・集積回路シンポジウム	EUV マスク技術の開発状況	須賀 治
42	2010/7/13	NGL Workshop 2010	Development Status of EUVL Mask Pattern Defect Inspection Technology at Selete	茂村弘之

43	2010/7/13	NGL Workshop 2010	Selete における露光装置の性能評価状況	俵山和雄
44	2010/9/10	2010 年秋季 第 71 回応用物理学会 学術講演会	EUV 小領域露光装置 (SFET) による 16nm L/S パターン形成	田中雄介
45	2010/9/15	SPIE Photomask Technology (BACUS) 2010	Improvement of actinic blank inspection and phase defect analysis	山根 武
46	2010/9/15	SPIE Photomask Technology (BACUS) 2010	FIB 法を用いた EUV マスク修正研究	天野 剛
47	2010/9/15	SPIE Photomask Technology (BACUS) 2010	Evaluation of the contamination removal capability and Multilayer degradation in various cleaning methods	高木紀明
48	2010/9/15	SPIE Photomask Technology (BACUS) 2010	Printability of EUVL mask defect detected by actinic blank inspection tool and 199-nm pattern inspection tool	加茂 隆
49	2010/10/18	2010 International EUVL Symposium	Cleaning of Silicon-Containing Carbon Contamination	穴澤俊久
50	2010/10/18	2010 International EUVL Symposium	Actinic dark-field mask blank inspection and defect printability analysis for detecting critical phase defects	寺澤恒男
51	2010/10/18	2010 International EUVL Symposium	Overlay accuracy of EUV1 using compensation method for nonflatness of mask 2010 International Symposium on EUV lithography	田中雄介

52	2010/10/18	2010 International EUVL Symposium	Resolution capability of SFET with slit and dipole illumination 2010 International Symposium on EUV lithography	田中雄介
53	2010/10/18	2010 International EUVL Symposium	Evaluation Results of a new EUV Reticle Pod having Reticle Grounding Paths	太田和哉
54	2010/10/18	2010 International EUVL Symposium	Improvement in actinic blank inspection and characterization of phase defects	山根 武
55	2010/10/18	2010 International EUVL Symposium	Reflective multi-layer etching for repairing clear defect on EUV masks using FIB	天野 剛
56	2010/10/18	2010 International EUVL Symposium	Resist outgassing evaluation by gas chromatography mass spectrometry (GC-MS), quadropole mass spectrometry (QMS) and pressure-rise	老泉博昭
57	2011/2/28	SPIE Advance Lithography 2011	Evaluation of EUV mask defect using blank inspection, patterned mask inspection, and wafer inspection	加茂 隆
58	2011/2/28	SPIE Advance Lithography 2011	Phase defect printability and actinic dark-field inspection capability analyses	寺澤恒男
59	2011/2/28	SPIE Advance Lithography 2011	Evaluation Results of a new EUV Reticle Pod having Reticle Grounding Paths	太田和哉
60	2011/2/28	SPIE Advance Lithography 2011	Resolution capability of SFET with slit and dipole illumination	田中雄介

61	2011/2/28	SPIE Advanced Lithography 2011	Overlay accuracy of EUV1 using compensation method for nonflatness of mask	田中雄介
62	2011/2/28	SPIE Advanced Lithography 2011	Relationships between EUV resist outgassing and contamination deposition at Selete	老泉博昭
63	2011/2/28	SPIE Advanced Lithography 2011	Experimental and theoretical study on asymmetric carbon contamination coverage observed on SFET-exposed mask	西山岩男
64	2011/2/28	SPIE Advanced Lithography 2011	Cleaning of Carbon Contamination on EUV Masks and Optics	穴澤俊久

研究の成果(特許、学会発表、論文投稿)

◆ 平成 20 年度

1) LPP光源開発(平塚研究室)

1.1) 委託研究成果

・国内出願特許

番号	出願日	出願番号	名称	出願人
1	平成19年4月7日	特願2008-99406	極端紫外光源装置	(株)小松製作所
2	平成19年4月14日	特願2008-104280	極端紫外光源装置	(株)小松製作所、 ギガフォトン(株)、 大阪大学
3	平成19年4月16日	特願2008-106907	EUV光発生装置におけるイオン回収装置及び方法	(株)小松製作所、 ギガフォトン(株)
4	平成20年9月16日	特願2008-236624	極端紫外光源装置	ギガフォトン(株)
5	平成20年12月22日	特願2008-325773	極端紫外光源装置	(株)小松製作所、 ギガフォトン(株)
6	平成20年12月26日	特願2008-333987	極端紫外光光源装置	(株)小松製作所、 ギガフォトン(株)
7	平成21年2月12日	特願2009-30238	極端紫外光光源装置	(株)小松製作所、 ギガフォトン(株)
8	平成21年3月2日	特願2009-47768	レーザシステム	(株)小松製作所、 ギガフォトン(株)

・外国出願特許

番号	出願日	出願番号	名称	出願人
1	平成18年11月5日	米国出願 11/979,513	COLLECTOR MIRROR EXCHANGING APPARATUS AND METHOD FOR EXTREME ULTRAVIOLET LIGHT SOURCE APPARATUS	(株)小松製作所
2	平成19年2月19日	米国出願 12/071,250	Extreme Ultra Violet Light Source Apparatus	(株)小松製作所
3	平成19年2月20日	米国出願 12/071,352	Extreme Ultra Violet Light Source Apparatus	(株)小松製作所 ギガフォトン(株)
4	平成19年2月28日	米国出願 12/073,001	Extreme Ultra Violet Light Source Apparatus	(株)小松製作所
5	平成20年4月24日	米国出願 12/148,969	METHOD FOR CLEANING OPTICAL ELEMENT OF EUV LIGHT SOURCE DEVICE, AND OPTICAL ELEMENT CLEANING DEVICE	(株)小松製作所
6	平成20年4月24日	米国出願	OPTICAL ELEMENT	(株)小松製作所

		12/150,077	CONTAMINATION PREVENTING METHOD AND OPTICAL ELEMENT CONTAMINATION PREVENTING DEVICE OF EXTREMEULTRAVIOLET LIGHT SOURCE APPARATUS	
7	平成20年10月16日	米国出願 12/252,704	Laser Device	(株)小松製作所
8	平成21年1月13日	米国出願 12/352,694	Extreme Ultra Violet Light Source Apparatus	(株)小松製作所 ギガフォトン(株)
9	平成21年2月18日	米国出願 12/372,958	Extreme Ultra Violet Light Source Apparatus	(株)小松製作所 ギガフォトン(株)
10	平成21年3月9日	米国出願 12/382,109	laser system	(株)小松製作所 ギガフォトン(株)
11	平成21年3月6日	ドイツ出願 102009012106.4	laser system	(株)小松製作所 ギガフォトン(株)
12	平成21年3月18日	米国出願 12/406,388	APPARATUS FOR AND METHOD OF WITHDRAWING IONS IN EUV LIGHT PRODUCTION APPARATUS	(株)小松製作所 ギガフォトン(株)

・発表

番号	発表年月日	発表先	題名	発表者
1	平成20年4月24日	エクストリームフォトニクス セミナー	高平均出力レーザー励起 EUV 光源技術	住谷 明
2	平成20年5月12日	光エレクトロニクス第 130 委員会	EUV リソグラフィの最新動向-光源 技術を中心として	遠藤 彰
3	平成20年5月12日	Source Workshop	Laser Produced Plasma EUV Light Source Gigaphoton Update	Georg Soumagne
4	平成20年5月13日	Litho Forum	CO2 laser-produced Sn-plasma source for high-volume manufacturing EUV lithography	Georg Soumagne
5	平成20年6月10日 ～12日	2008 International Workshop on EUV Lithography	CO2 laser-produced Sn-plasma source for high-volume manufacturing EUV lithography	遠藤 彰
6	平成20年6月10日 ～12日	2008 International Workshop on EUV Lithography	Beaming of CO2 laser-produced Sn plasma along B-field for efficient exhaustion	遠藤 彰、他
7	平成20年6月10日 ～12日	2008 International Workshop on EUV	20kw short pulse CO2 laser system for LPP Sn EUV source	遠藤 彰、他

		Lithography		
8	平成20年7月25日	ワークショップ° NGL2008	量産用 LPP-EUV 光源の開発	柿崎弘司
9	平成20年9月3日	第69回応用物理学学会学術講演会	リソグラフィ用高出力レーザー生成プラズマ EUV 光源	小森 浩
10	平成20年9月6日	The International Interdisciplinary-Symposium on Gaseous and Liquid Plasmas(ISGLP)2008	Beaming of CO2 laser-produced metal plasma along B-field	植野能史、他
11	平成20年9月11日	International Congress on Plasma Physics 2008	ECR heating of laser produced Sn plasma for drift control in B field	菅沼 崇
12	平成20年9月30日	2008 International Symposium on Extreme Ultraviolet Lithography(EUVL)	CO2 laser-produced Sn plasma source for EUV lithography	遠藤 彰
13	平成20年9月30日	2008 International Symposium on Extreme Ultraviolet Lithography(EUVL)	Present status of laser-produced plasma EUV light source	小森 浩

・論文

番号	発表年月日	発表先	題名	発表者
1	平成20年5月30日	APPLIED PHYSICS LETTERS	Reduction of debris of a CO2 laser-produced Sn plasma extreme ultraviolet source using a magnetic field	植野能史、他
2	平成20年11月	レーザー研究 第36巻 11号	極端紫外リソグラフィ用レーザー生成プラズマ光源の開発	住谷 明

1.2) 自主研究成果

・国内出願特許

番号	出願日	出願番号	名称	出願人
1	平成19年6月20日	特願2008-161556	極端紫外光源装置及び極端紫外光の生成方法	(株)小松製作所
2	平成19年8月4日	特願2008-201263	極端紫外光源装置	(株)小松製作所
3	平成19年9月19日	特願2008-240915	極端紫外光源装置、極端紫外光源装置用レーザー光源装置及び極端紫外光源装置用レーザー光源の調整方法	(株)小松製作所、ギガフオン(株)
4	平成20年9月26日	特願2008-249186	極端紫外光源装置、極端紫外光源装置用レーザー光源装置及	(株)小松製作所、ギガフオン(株)

			び極端紫外光源装置で使用される可飽和吸収体の制御方法	
5	平成20年9月29日	特願2008-250311	極端紫外光源装置	ギガフオン(株)
6	平成20年9月29日	特願2008-250744	極端紫外光光源装置	(株)小松製作所、ギガフオン(株)
7	平成20年10月16日	特願2008-267519	レーザ装置及び極端紫外光光源装置	ギガフオン(株)
8	平成20年10月17日	特願2008-269050	極端紫外光源装置のターゲット供給装置	(株)小松製作所、ギガフオン(株)
9	平成20年10月16日	特願2008-267122	極端紫外光源装置及び極端紫外光の生成方法	(株)小松製作所、ギガフオン(株)
10	平成20年10月23日	特願2008-273504	極端紫外光光源装置	ギガフオン(株)
11	平成20年12月16日	特願2008-309161	極端紫外光源装置	(株)小松製作所、ギガフオン(株)
12	平成20年12月19日	特願2008-324497	ターゲット供給装置	(株)小松製作所、ギガフオン(株)
13	平成20年12月26日	特願2008-334007	レーザ装置および極端紫外光光源装置	(株)小松製作所、ギガフオン(株)
14	平成21年1月14日	特願2009-5771	レーザ増幅器およびドライバレーザ装置	(株)小松製作所、ギガフオン(株)
15	平成21年1月16日	特願2009-8001	極端紫外光源装置、極端紫外光源装置用レーザ光源装置及び極端紫外光源装置用レーザ光源の調整方法	(株)小松製作所、ギガフオン(株)
16	平成21年1月29日	特願2009-18668	極端紫外光源装置	(株)小松製作所
17	平成21年2月6日	特願2009-25645	極端紫外光源装置	(株)小松製作所、ギガフオン(株)
18	平成21年2月10日	特願2009-29011	レーザ装置	(株)小松製作所、ギガフオン(株)
19	平成21年2月27日	特願2009-47290	レーザ装置および極端紫外光源装置	(株)小松製作所、ギガフオン(株)

・発表

番号	発表年月日	発表先	題名	発表者
1	平成20年10月21日	次世代リソグラフィ技術委員会 第1回定例会	CO2 laser-produced Sn plasma source for EUV lithography	小森 浩
2	平成20年11月4日	Lithography Asia-Taiwan	Present status of laser-produced plasma EUV light source	住谷 明
3	平成20年11月5日	Lithography Asia-Taiwan	CO2 laser-produced Sn plasma source for EUV lithography	Georg Soumagne
4	平成20年11月10日	第4回ナノテクセンター	EUV 光源の展望	遠藤 彰

		研究会		
5	平成20年12月11日	第20回レーザー励起X線 源とその応用研究会	リソグラフィ用 EUV 光源の特性評価	菅沼 崇
6	平成20年11月17日	原子分子データ応用フ ォーラムセミナー	レーザー生成 Sn プラズマ EUV 光 源の展望	柳田達哉
7	平成21年1月21日	The second international symposium on laser-driven relativistic plasmas applied to science, industry and medicine	Characterization of laser produced Tin ion beam in uniform magnetic field	植野能史、他
8	平成21年2月22日 ～2月27日	SPIE Advanced Lithography	Evaluation at the intermediate focus for EUV Light Source	菅沼 崇
9	平成21年2月24日	Advanced Lithography 2009	Laser diagnostics of laser ablated tin particles from droplet targets	菅沼 崇
10	平成21年2月24日	Advanced Lithography 2009	Laser-produced plasma source development for EUV lithography	遠藤 彰
11	平成21年3月30日	2009年春季 第56回応 用物理学関係連合講演 会	静磁場中におけるレーザー生成 Sn イ オンビーム特性	植野能史、他

・論文

番号	発表年月日	発表先	題名	発表者
1	平成20年11月	レーザー研究第 36 巻 11 号	高繰り返し高平均出力 EUV 光源 用レーザー	小森 浩

2) DPP光源開発(御殿場研究室)

2.1) 委託研究分

・国内出願特許

番号	出願日	出願番号	名称	出願人
1	平成20年9月25日	特願2008-245645	極端紫外光源装置用ホイルトラ ップ	ウシオ電機(株)
2	平成20年12月17日	特願2008-32067	極端紫外光光源装置および極 端紫外光光源装置の保守方法	ウシオ電機(株)

・発表

番号	発表年月日	発表先	題名	発表者
1	平成20年7月25日	NGLワークショップ2008	量産機用EUV光源DPPの実現 に向け	堀田 和明
2	平成20年12月10日	MIRAI成果報告会		堀田 和明

3	平成21年2月26日	SPIE Advanced Lithography Symposium 2009	Development of evaluation technologies of contaminating materials from Sn-DPP SoCoMo	藪田 泰伸
---	------------	------------------------------------------	--------------------------------------------------------------------------------------	-------

・発表(イリノイ大学)

番号	発表年月日	発表先	題名	発表者
1	平成21年2月26日	SPIE Advanced Lithography Symposium 2009	Remote plasma cleaning of Sn from an EUV collector mirror	H. Shin

・論文

番号	発表年月日	発表先	題名	発表者
1	平成20年8月6日	電気学会誌(10月号)	特集:極端紫外線リソグラフィの最前線:極端紫外線の発生(放電方式)	堀田 和明

2.2) 自主研究分

・国内出願特許

番号	出願日	出願番号	名称	出願人
1	平成20年9月29日	特願2008-249574	極端紫外光光源装置および極端紫外光発生方法	ウシオ電機(株)
2	平成20年12月9日	特願2008-313103	極端紫外光光源装置	ウシオ電機(株)
3	平成20年12月18日	特願2008-322127	極端紫外光光源装置	ウシオ電機(株)
4	平成20年12月25日	特願2008-329570	極端紫外光光源装置	ウシオ電機(株)
5	平成21年1月21日	特願2009-10691	極端紫外光光源装置	ウシオ電機(株)
6	平成21年3月5日	特願2009-51968	プラズマ発生方法およびこのプラズマ発生方法を用いた極端紫外光光源装置	ウシオ電機(株)、 東京工業大学
7	平成21年3月30日	特願2009-81484	極端紫外光光源装置	ウシオ電機(株)

・発表

番号	発表年月日	発表先	題名	発表者
1	平成20年5月12日	EUV Source Workshop	Research and Development Program for DPP source-Collector Module	寺本 雄介
2	平成20年9月29日	2008 International Symposium on Extreme Ultraviolet Lithography	Dependence on Laser Parameter on Conversion Efficiency in High-Repetition-Rate Laser-Ablation-Discharge EUV source	横山 拓馬
3	平成20年10月10日	レーザー学会「レーザーによるXUV～X線の発生とそ	International Symposium on Extreme Ultraviolet Lithography	寺本 雄介

		の応用」専門委員会	2008 参加報告	
4	平成20年11月5日	SPIE Lithography Asia-Taiwan	Research on Laser-Ablation-Discharge EUV source for HVM	寺本 雄介
5	平成21年2月26日	SPIE Advanced Lithography	Dependence of Laser Parameter on Conversion Efficiency in High-Repetition-Rate Laser-Ablation-Discharge EUV Source	

・論文

番号	発表年月日	発表先	題名	発表者
1	平成20年5月30日	Journal of Applied Physics	High brightness extreme ultra violet(EUV at 13.5 nm) emiss ion from time-of-flight contro lled discharges with coaxial f uel injection	細貝 知直

◆ 平成 21 年度

1) LPP光源開発(平塚研究室)

1.1) 委託研究成果

・国内出願特許

番号	出願日	出願番号	名称	出願人
1	平成21年6月19日	特願2009-146253	極端紫外光源装置	(株)小松製作所 、ギガフオン(株)
2	平成21年9月14日	特願2009-211684	極端紫外光源装置	(株)小松製作所 、ギガフオン(株)
3	平成21年9月14日	特願2009-211312	極端紫外光源装置	(株)小松製作所 、ギガフオン(株)
4	平成21年9月15日	特願2009-212884	極端紫外光源装置および極端紫 外光生成方法	(株)小松製作所 、ギガフオン(株)
5	平成21年9月24日	特願2009-219547	極端紫外光源装置	ギガフオン(株)
6	平成21年10月16 日	特願2009-239090	極端紫外光源装置のターゲット 供給装置及びその製造方法	(株)小松製作所 、ギガフオン(株)
7	平成21年10月21 日	特願2009-242868	極端紫外光光源装置	ギガフオン(株)
8	平成21年11月2日	特願2009-251632	極端紫外光源装置、極端紫外光 源装置の制御方法	(株)小松製作所 、ギガフオン(株)

9	平成21年12月15日	特願2009-284539	極端紫外光源装置	(株)小松製作所、ギガフオン(株)
10	平成21年12月21日	特願2009-289775	極端紫外光光源装置	(株)小松製作所、ギガフオン(株)

・外国出願特許

番号	出願日	出願番号	名称	出願人
1	平成21年4月28日	US12/453,058	Extreme ultra violet light source apparatus	(株)小松製作所、ギガフオン(株)
2	平成21年4月24日	US12/385,955	EXTREME ULTRA VIOLET LIGHT SOURCE APPARATUS AND NOZZLE PROTECTION DEVICE	(株)小松製作所、ギガフオン(株)
3	平成21年9月15日	US12/559,977	EXTREME ULTRA VIOLET LIGHT SOURCE APPARATUS	ギガフオン(株)
4	平成21年9月24日	US12/566,170	EXTREME ULTRAVIOLET LIGHT SOURCE APPARATUS	ギガフオン(株)
5	平成21年10月19日	US12/581,461	TARGET SUPPLY UNIT OF EXTREME ULTRAVIOLET LIGHT SOURCE APPARATUS AND METHOD OF MANUFACTURING THE SAME	ギガフオン(株)
6	平成21年4月2日	US12/385,245	EXTREME ULTRA VIOLET LIGHT SOURCE APPARATUS	(株)小松製作所
7	平成21年4月13日	US12/385,569	EXTREME ULTRA VIOLET LIGHT SOURCE APPARATUS	(株)小松製作所、ギガフオン(株)、大阪大学
8	平成21年10月23日	12/605,113	EXTREME ULTRAVIOLET LIGHT SOURCE APPARATUS	ギガフオン(株)
9	平成21年11月5日	US12/612,861	EXTREME ULTRAVIOLET LIGHT SOURCE DEVICE AND CONTROL METHOD FOR EXTREME ULTRAVIOLET LIGHT SOURCE DEVICE	ギガフオン(株)
10	平成21年11月5日	DE102009044426.2	EXTREME ULTRAVIOLET LIGHT SOURCE DEVICE AND CONTROL METHOD FOR EXTREME ULTRAVIOLET LIGHT SOURCE DEVICE	ギガフオン(株)

・ 発表

番号	発表年月日	発表先	題名	発表者
1	平成21年7月9日	次世代リソグラフィワーク ショップ°(NGL2009)	量産用 LPP EUV 光源の開発	住谷 明
2	平成 21 年 10 月 8 日	2009 International Symposium on Extreme Ultraviolet Lithography	Present status of laser-produced plasma EUV light source	住谷 明
3	平成 21 年 10 月 18 日	2009 International Symposium on Extreme Ultraviolet Lithography	Laser-produced plasma source for EUV lithography	溝口 計
4	平成 22 年 2 月 21 日	Advanced Lithography	Present status of laser-produced plasma EUV light source	柿崎弘司
5	平成 22 年 2 月 21 日	Advanced Lithography	Laser-produced plasma source development for EUV lithography	溝口 計

・ 受賞実績

番号	受賞年月日	授与者	題名	受賞者
1	平成21年3月24日	半導体 MIRAI プロ ジェクト	LIF(レーザ誘起蛍光法)を用い た Sn 計測技術の開発	柳田 達哉

1.2) 自主研究成果

・国内出願特許

番号	出願日	出願番号	名称	出願人
1	平成 21 年 5 月 25 日	特願 2009-125155	極端紫外光源装置	ギガフoton(株)
2	平成 21 年 7 月 30 日	特願 2009-177822	極端紫外光源装置	(株)小松製作所、 ギガフoton(株)
3	平成 21 年 9 月 3 日	特願 2009-204129	イオン化レーザ装置および極端紫 外光光源装置	(株)小松製作所、 ギガフoton(株)
4	平成 21 年 9 月 14 日	特願 2009-212003	極端紫外光源装置、極端紫外光源 装置用レーザ光源装置及び極端紫 外光源装置用レーザ光源の調整方 法	(株)小松製作所、 ギガフoton(株)
5	平成 21 年 9 月 17 日	特願 2009-216203	極端紫外光源装置、極端紫外光源 装置用レーザ光源装置及び極端紫	(株)小松製作所、 ギガフoton(株)

			外光源装置で使用される可飽和吸収体の制御方法	
6	平成 21 年 12 月 16 日	特願 2009-285787	ターゲット供給装置	(株)小松製作所、ギガフオン(株)

・外国出願特許

番号	出願日	出願番号	名称	出願人
1	平成 21 年 8 月 4 日	米国出願 US12/535,014	EXTREME ULTRA VIOLET LIGHT SOURCE DEVICE	(株)小松製作所、ギガフオン(株)
2	平成 21 年 9 月 18 日	米国出願 US12/560,864	Extreme ultraviolet light source device, laser light source device for extreme ultraviolet light source device and method for adjusting laser light source for extreme ultraviolet light source device	ギガフオン(株)
3	平成 21 年 9 月 18 日	ドイツ出願 DE102009029605.0	Extreme ultraviolet light source device, laser light source device for extreme ultraviolet light source device and method for adjusting laser light source for extreme ultraviolet light source device	ギガフオン(株)
4	平成 21 年 9 月 25 日	米 国 出 願 US12/566,865	Extreme ultraviolet light source device, laser light source device for extreme ultraviolet light source device and method for controlling saturable absorber used in extreme ultraviolet light source device	ギガフオン(株)
5	平成 21 年 6 月 11 日	米国出願 US12/482,824	SLAB TYPE LASER APPARATUS	(株)小松製作所、ギガフオン(株)
6	平成 21 年 6 月 9 日	ドイツ出願 DE102009024360.7	SLAB TYPE LASER APPARATUS	(株)小松製作所、ギガフオン(株)
7	平成 21 年 12 月 18 日	米国出願 US12/642,308	TARGET GENERATOR APPARATUS	ギガフオン(株)

・ 発表

番号	発表年月日	発表先	題名	発表者
1	平成21年6月29日	The 5th International Congress on Laser Advanced Materials processing	Laser-produced plasma source development for EUV lithography	小森 浩
2	平成 21 年 6 月 29 日	The2009Lithography	Laser-produced plasma source	住谷 明

	日	Workshop	for EUV lithography	
3	平成 21 年 9 月 8 日	2009 年秋季第 70 回応用物理学会学術講演会	EUV リソグラフィ用レーザー生成プラズマ光源の開発	住谷 明
4	平成 21 年 10 月 8 日	2009 International Symposium on Extreme Ultraviolet Lithography	Present status of laser-produced plasma EUV light source	住谷 明
5	平成 21 年 10 月 18 日	2009 International Symposium on Extreme Ultraviolet Lithography	Laser-produced plasma source for EUV lithography	溝口 計
6	平成 22 年 2 月 21 日	SPIE Advanced Lithography	Present status of laser-produced plasma EUV light source	柿崎弘司
7	平成 22 年 2 月 21 日	SPIE Advanced Lithography	Laser-produced plasma source development for EUV lithography	溝口 計

・ プレス発表

番号	発表年月日	発表先	題名	発表者
1	平成21年2月22日	SPIE Advanced Lithography 会場にて ギガフォトンとしてプレス発表 (Solid State Technology 他)	EUV 光源の開発状況他	榎波 龍雄

2) DPP光源開発(御殿場研究室)

2.1) 委託研究分

・国内出願特許

番号	出願日	出願番号	名称	出願人
1	平成22年3月11日	特願2010-54302	集光鏡アッセンブリおよびこの集光鏡アッセンブリを用いた極端紫外光光源装置	ウシオ電機(株)
2	平成22年3月19日	特願2010-64022	極端紫外光光源装置の集光光学手段位置調整方法	ウシオ電機(株)
3	平成22年3月19日	特願2010-64016	極端紫外光光源装置および集光光学手段位置調整方法	ウシオ電機(株)
4	平成22年3月19日	特願2010-64069	極端紫外光光源装置	ウシオ電機(株) 東京工業大学

・外国出願特許

番号	出願日	出願番号	名称	出願人
1	平成21年3月3日	米国出願	CONNECTION DEVICE	ウシオ電機(株)

		12/396674		
2	平成21年11月6日	米国出願 12/613716	EXTREME ULTRAVIOLET LI GHT SOURCE DEVICE	ウシオ電機(株)
3	平成21年11月18日	オランダ出願 2003819	EXTREME ULTRAVIOLET LI GHT SOURCE DEVICE	ウシオ電機(株)

・発表

番号	発表年月日	発表先	題名	発表者
1	平成21年10月18～21日	2009 International Symposium on Extreme Ultraviolet Lithography	Evaluation tool development for mirrors-mask degradation of EUV exposure tool optics by contaminations from SoCoMo	藪田 泰伸、井上 隆博、他
2	平成21年10月18～21日	2009 International Symposium on Extreme Ultraviolet Lithography	Stabilization of IF characteristics by automatic alignment system for collector module	山谷 大樹、他
3	平成21年12月16日	2009年半導体MIRAIプロジェクト成果報告会	EUV光源高信頼化技術(DPP光源)	堀田 和明
4	平成22年2月21～26日	SPIE Advanced Lithography Symposium 2010	Stability improvement of EUV source by advanced alignment system for collector module	山谷 大樹、他

・受賞実績

番号	受賞年月日	授与者	題名	受賞者
1	平成21年3月24日	半導体 MIRAI プロジェクト	IF 変動防止技術の開発	山谷 大樹 佐藤 弘人

2.2) 自主研究分

・外国出願特許

番号	出願日	出願番号	名称	出願人
1	平成21年12月21日	ドイツ、オランダ 09015807.2	EXTREME ULTRAVIOLET LI GHT SOURCE DEVICE	ウシオ電機(株)
2	平成22年1月18日	ドイツ、オランダ 10000408.4	EXTREME ULTRAVIOLET LI GHT SOURCE DEVICE	ウシオ電機(株)

・発表

番号	発表年月日	発表先	題名	発表者
1	平成22年2月21日～26日	SPIE Advanced Lithography	Tin DPP Source Collector Module (SoCoMo): Status of Beta products and HVM	Masaki Yoshioka, Yusuke Teramoto,

			developments	Peter Zink, Guido Schrie ver, Gota N iimi, Marc C orthout and Teams
2	平成22年3月12日	兵庫県立大学高度産業科 学技術研究所先端リソグラ フィフォーラム	EUVL用DPP光源の開発	堀田 和明

◆ 平成 22 年度

1) LPP 光源開発(平塚研究室)

1.1) 委託研究成果

・国内出願特許

番号	出願日	出願番号	名称	出願人
1	平成 22 年 1 月 28 日	特願 2010-016659	極端紫外光源装置及び極端紫外光 源装置用ターゲット供給装置	ギガフoton(株)
2	平成 21 年 10 月 16 日	特願 2009-239090	極端紫外光源装置のターゲット供給 装置及びその製造方法	(株)小松製作所、 ギガフoton(株)
3	平成 22 年 1 月 12 日	特願 2010-004105	極端紫外光源装置	(株)小松製作所、 ギガフoton(株)
4	平成 22 年 1 月 19 日	特願 2010-009170	極端紫外光源装置及びクリーニング 方法	(株)小松製作所、 ギガフoton(株)
5	平成 22 年 3 月 18 日	特願 2010-062380	極端紫外光源装置、極端紫外光源 装置の制御方法及びターゲット供給 装置	(株)小松製作所、 ギガフoton(株)
6	平成 22 年 2 月 10 日	特願 2010-028192	極端紫外光光源装置	(株)小松製作所、 ギガフoton(株)
7	平成 22 年 2 月 19 日	特願 2010-034889	極端紫外光源装置及び極端紫外光 の発生方法	(株)小松製作所、 ギガフoton(株)
8	平成 22 年 2 月 22 日	特願 2010-036042	極端紫外光光源装置および露光装 置	(株)小松製作所
9	平成 22 年 2 月 22 日	特願 2010-036046	極端紫外光光源装置	(株)小松製作所、 ギガフoton(株)
10	平成 22 年 3 月 18 日	特願 2010-063358	極端紫外光光源装置	(株)小松製作所、 ギガフoton(株)
11	平成 22 年 3 月 26 日	特願 2010-071436	ミラー装置	(株)小松製作所、 ギガフoton(株)
12	平成 22 年 3 月 29 日	特願 2010-076254	極端紫外光光源装置	(株)小松製作所、 ギガフoton(株)

13	平成 22 年 6 月 17 日	特願 2010-138303	極端紫外光源装置	(株)小松製作所、ギガフオン(株)
14	平成 22 年 11 月 29 日	特願 2010-265789	極端紫外光源装置及び極端紫外光の発生方法	(株)小松製作所、ギガフオン(株)
15	平成 22 年 12 月 24 日	特願 2010-288901	チャンバ装置および極端紫外光生成装置	(株)小松製作所、ギガフオン(株)
16	平成 22 年 12 月 28 日	特願 2010-294239	極端紫外光生成装置	(株)小松製作所、ギガフオン(株)
17	平成 22 年 1 月 6 日	特願 2011-001508	チャンバ装置、および極端紫外光生成装置	(株)小松製作所

・外国出願特許

番号	出願日	出願番号	名称	出願人
1	平成 21 年 3 月 9 日	US12/382,109	LASERSYSTEM	(株)小松製作所、ギガフオン(株)
2	平成 22 年 5 月 26 日	PCT/JP2010/05892 9	ターゲット出力装置及び極端紫外光源装置	ギガフオン(株)
3	平成 22 年 6 月 21 日	PCT/JP2010/06037 6	極端紫外光源装置	ギガフオン(株)

・発表

番号	発表年月日	発表先	題名	発表者
1	平成22年7月9日	NGL 2010	応用物理学会	住谷 明
2	平成 22 年 7 月 9 日	2010 International Symposium on Extreme Ultraviolet Lithography	Investigation on high conversion efficiency and Tin debris mitigation for laser produced plasma EUV light source	堀 司
3	平成 22 年 7 月 9 日	2010 International Symposium on Extreme Ultraviolet Lithography	1st generation Laser-Produced Plasma 100W source system for HVM EUV lithography	溝口 計
4	平成22年8月25日	Advanced Lithography 2011	Characterization and optimization of tin particle mitigation and EUV conversion efficiency in a laser produced plasma EUV light source	柳田 達哉
5	平成22年8月26日	Advanced Lithography 2011	100W 1st generation Laser-Produced Plasma source system for HVM EUV lithography	溝口 計

1.2) 自主研究成果

・国内出願特許

番号	出願日	出願番号	名称	出願人
1	平成 21 年 9 月 11 日	特願 2009-211072	レーザ装置および極端紫外光光源装置	ギガフoton(株)
2	平成 22 年 2 月 23 日	特願 2010-037108	レーザ装置および極端紫外光光源装置	(株)小松製作所 ギガフoton(株)
3	平成 22 年 3 月 11 日	特願 2010-055153	極端紫外光光源装置	(株)小松製作所 ギガフoton(株)
4	平成 22 年 6 月 16 日	特願 2010-137359	スペクトル純度フィルタ及びそれを用いた極端紫外光光源装置	(株)小松製作所 ギガフoton(株)
5	平成 22 年 11 月 29 日	特願 2010-265787	ビームクオリティ制御装置および極端紫外光生成装置	(株)小松製作所 ギガフoton(株)

・発表

番号	発表年月日	発表先	題名	発表者
1	平成22年6月28日	2010 秋季第 71 回応用物理学学会学術講演会	EUV リソグラフィ用レーザ生成プラズマ光源の開発 Development of Laser Produced Plasma Source for Extreme Ultraviolet Lithography	長野 仁
2	平成22年7月9日	2010 International Symposium on Extreme Ultraviolet Lithography	Improving efficiency of pulsed CO2 Laser system for LPP EUV light source	太田 毅
3	平成22年7月22日	Advanced Lithography 2011	Development of the reliable 20kW class pulsed carbon dioxide laser system for LPP EUV light source	藤本 准一

・発表(大阪大学)

1	平成22年7月22日	2010 International Symposium on Extreme Ultraviolet Lithography	Radiation Hydrodynamic Simulation of Laser-produced Tin Plasmas	砂原 淳
---	------------	-----------------------------------------------------------------	-----------------------------------------------------------------	------

2) DPP光源開発(御殿場研究室)

2.1) 委託研究分

・国内出願

番号	出願日	出願番号	名称	出願人
1	平成22年11月10日	特願2010-251626	極端紫外光光源装置における照度分布検出方法および極端	ウシオ電機(株)

			紫外光光源装置	
--	--	--	---------	--

・発表

番号	発表年月日	発表先	題名	発表者
1	平成22年7月12日	NGL2010	量産機対応DPP光源の開発	堀田 和明
2	平成22年10月17～22日	2010 International Symposium on Extreme Ultraviolet Lithography	Development of debris-mitigation tool for HVM DPP source	藪田 泰伸、他
3	平成22年10月17～22日	2010 International Symposium on Extreme Ultraviolet Lithography	Sn film and ignition control for performance enhancement of laser-triggered DPP source	寺本 雄介、他
4	平成22年10月17～22日	2010 International Symposium on Extreme Ultraviolet Lithography	Development of evaluation tool and method for mirrors-mask degradation of EUV exposure tool optics by contaminations from SoCoMo	毛利 真輔、他
5	平成22年12月16日	2009年半導体MIRAIプロジェクト成果報告会	EUV光源高信頼化技術(DPP光源)	堀田 和明
6	平成23年2月27～3月4日	SPIE Advanced Lithography Symposium 2011	Development of debris-mitigation tool for HVM DPP source	藪田 泰伸、他
7	平成23年2月27～3月4日	SPIE Advanced Lithography Symposium 2011	Sn film and ignition control for performance enhancement of laser-triggered DPP source	寺本 雄介、他

2.2) 自主研究分

・発表

番号	発表年月日	発表先	題名	発表者
1	平成22年10月17～22日	2010 International Symposium on Extreme Ultraviolet Lithography	First Tin beta SoCoMo ready for wafer exposure	Marc Corthout, Yusuke Teramoto, Masaki Yoshioka and the whole XTREME and EUVA Gotemba team
2	平成22年12月7日	(社)レーザー学会専門委員会「レーザー励起XUV～X線の産業応用」	DPP-EUVリソグラフィ用光源開発の現状と展望	堀田 和明

3	平成23年2月27～3月4日	SPIE Advanced Lithography Symposium 2011	Tin DPP Source Collector Module(SoCoMo) ready for integration into Beta scanner	堀田 和明
---	----------------	------------------------------------------	---------------------------------------------------------------------------------	-------

ITイノベーションプログラム基本計画

1. 目的

我が国が目指す高度情報通信ネットワーク社会の構築に向け、経済成長戦略大綱、IT新改革戦略、科学技術基本計画及び技術戦略マップ等に基づき、情報化の進展に伴うエネルギー消費量の増大等の課題にも考慮しつつ、その基盤となる情報通信機器・デバイス等の情報通信技術を開発し、実社会への利用を促進する。また、情報システム・ソフトウェアについて品質、信頼性及び生産性の向上を推進し、組込みソフトウェア産業強化、オープンソースソフトウェアを安心して活用するための環境整備、独創的な人材の発掘等、我が国産業競争力強化のための必要な基盤整備を実施することによって、ITの利活用の深化・拡大を図り、より豊かな国民生活を実現するとともに、我が国の経済活力の向上を図ることを目的とする。

2. 政策的位置付け

「経済成長戦略大綱」(2006年7月財政・経済一体改革会議。2007年6月改訂、経済財政諮問会議報告)

IT革新による競争力強化、IT革新を支える産業・基盤の強化に必要な研究開発の推進に対応

「第3期科学技術基本計画」(2006年3月閣議決定)

国家的・社会的課題に対応した研究開発の重点推進4分野である情報通信分野、分野別推進戦略(2006年3月総合科学技術会議)における重点分野である情報通信分野に位置づけられるもの。

「IT新改革戦略」(2006年1月高度情報通信ネットワーク社会推進戦略本部)
次世代のIT社会の基盤となる研究開発の推進等に対応。

3. 達成目標

(1) 情報経済社会を形成する上で必要不可欠な基盤技術である情報通信機器・デバイス等に関しては、「革新的な技術の確立」と「その開発成果の普及促進」を図る。

【目標】

- ・情報通信機器・デバイス産業の付加価値額を、2020年度において、2007年度比で、約50%増加させる。
- ・半導体の微細化に係る革新的基盤技術の開発(テクノロジーノード45nm以下)
- ・情報家電の音声認識のタスク率(95%以上の達成)
- ・革新的な大型ディスプレイ技術の開発(消費電力を現状機器と比較して約50%以下)
- ・革新的なネットワーク機器技術の開発(消費電力を現状機器と比較して60%以下)

- (2) 経済社会システムの信頼性確保に大きく寄与する情報システム・ソフトウェアに関しては、品質、信頼性及び生産性の向上や産学官の開発リソースの連携強化により、「人材育成」と「ソフトウェア工学の開発」等を積極的に推進する。

【目標】

- ・情報サービス・ソフトウェア産業の付加価値額を、2015年度において、2004年度比で、約25%増加させる。
- ・組み込みシステム等の不具合発生率(2011年度までに2006年度比50%減)

4. 研究開発内容

[プロジェクト]

- ・ITコア技術の革新

[i] 世界最先端デバイスの先導開発

(1) 次世代半導体材料・プロセス基盤プロジェクト(MIRAIT)(運営費交付金)

概要

テクノロジーノード45nm以下のデバイスの実現に必要な極限微細化技術や、新構造CMOSの研究開発などの既存技術のブレークスルーが期待される先端的基盤技術研究を行う。また、国際半導体ロードマップにおいてエマージングテクノロジーと呼ばれる萌芽的な先端基盤技術の開発に取り組み、技術の見極め・絞り込みを行う。

技術目標及び達成時期

2010年度までに半導体の微細化に関してテクノロジーノード45nm以下のデバイス実現に必要な革新的基盤技術を、産業界において自ら実用化に向けた展開を図る際の判断ができる水準まで技術開発を行い、技術選択肢として提示する。

研究開発期間

2001年度～2010年度

(2) 次世代低消費電力半導体基盤技術開発(MIRAIT)(運営費交付金)(再掲)

概要

エネルギー需給構造の高度化を図る観点から行うものであり、IT化の進展、IT利活用の高度化を支え、あらゆる機器に組み込まれている半導体の低消費電力化を図るため、テクノロジーノード(微細化レベル)45nm以下の次世代低消費電力半導体の実現を目指し、微細加工の基盤技術やマスク(半導体素子製造過程で用いる原板)の低コスト化・製造時間短縮に必要な基盤技術開発を行う。

技術目標及び達成時期

2010年度までに、マスク設計・描画・検査の各工程に共通的なマスクデータ処理技術、繰り返しパターンやパターン重要度を利用した描画・検査高速化技術等の基本的な開発及びEUVLマスク基盤技術として、許容欠陥の指標明確化、プランクの位相欠陥検査技術の確立等を完了する。

研究開発期間

2004年度～2010年度

エネルギーイノベーションプログラム基本計画

1. 目的

資源に乏しい我が国が、将来にわたり持続的発展を達成するためには、革新的なエネルギー技術の開発、導入・普及によって、各国に先んじて次世代型のエネルギー利用社会の構築に取り組んでいくことが不可欠である。他方、エネルギー技術開発は、長期間を要するとともに大規模投資を伴う一方で将来の不確実性が大きいことから、民間企業が持続的な取組を行うことは必ずしも容易ではない。このため、政府が長期を見据えた将来の技術進展の方向性を示し、官民双方がこの方向性を共有することで、将来の不確実性に対する懸念が緩和され、官民において長期にわたり軸のぶれない取組の実施が可能となる。以下に 5 つの政策の柱毎に目的を示す。

1 - . 総合エネルギー効率の向上

1970年代以来、官民をあげて省エネルギーに取り組み、産業構造の転換や新たな製造技術の導入、民生機器の効率改善等により世界最高水準の省エネルギーを達成している。今後、「新・国家エネルギー戦略」に掲げる、2030年までにGDPあたりのエネルギー利用効率を約30%向上を実現していくためには、産業部門はもとより、全部門において、総合エネルギー効率の向上に資する技術開発とその成果の導入を促進する。

1 - . 運輸部門の燃料多様化

ほぼ100%を石油に依存する運輸部門は、我が国エネルギー需給構造上、最も脆弱性が高く、その需給構造の次世代化は、将来に向けた早急な対策が不可欠な課題となっている。

「新・国家エネルギー戦略」に掲げる目標（2030年に向け、運輸部門の石油依存度が80%程度となることを目指す）の実現のためにも、官民が中長期的な展望・方向性を共有しつつ、技術開発と関連施策を推進する。

1 - . 新エネルギー等の開発・導入促進

太陽光、風力、バイオマスなどの新エネルギーは、エネルギー源の多様化や地球温暖化対策の観点から重要である。しかし、現時点では経済性や出力安定性といった普及へ向けての課題が存在する。

そのため、これらの課題解決に向けた技術開発の推進及び新エネルギーの導入促進のための関連施策の実施により、更なる新エネルギーの普及を推進する。

1 - . 原子力等利用の推進とその大前提となる安全の確保

原子力発電は供給安定性に優れ、運用時にCO₂を排出しないクリーンなエネルギー源である。安全確保を大前提に核燃料サイクルを含む原子力発電を着実に推進する。

1 - . 化石燃料の安定供給確保と有効かつクリーンな利用

化石燃料資源の大宗を輸入に依存する我が国にとって、その安定供給の確保は国家安全保障に直結する課題である。このため、石油・天然ガス等の安定供給確保を目指し、我が国企業による資源国における資源開発等に対する支援等の施策を進めるとともに、その有効かつクリーンな利用を図る。

2. 政策的位置付け

エネルギー基本計画（2007年3月閣議決定）

重点的に研究開発のための施策を講ずべきエネルギーに関する技術及びその施策として、

1. 総合エネルギー効率の向上に資する技術
2. 原子力利用の推進とその大前提となる安全の確保に資する技術
3. 運輸部門のエネルギー多様化に資する技術
4. 新エネルギーに関する技術
5. 化石燃料の安定供給確保と有効かつクリーンな利用に資する技術

以上が位置づけられている。

新・国家エネルギー戦略（2006年5月）

世界最先端のエネルギー需給構造の実現を図るため

1. 省エネルギーフロントランナー計画
2. 運輸エネルギーの次世代化計画
3. 新エネルギーイノベーション計画
4. 原子力立国計画

以上の計画が位置づけられている。また、資源外交、エネルギー環境協力の総合的な強化を図るため、「総合資源確保戦略」が位置づけられている。

第3期科学技術基本計画（2006年3月閣議決定）

国の存立にとって基盤的であり国として取り組むことが不可欠な研究開発課題を重視して研究開発を推進する「推進4分野」であるエネルギー分野、分野別推進戦略（2006年3月総合科学技術会議）における「推進4分野」であるエネルギー分野に位置付けられている。

経済成長戦略大綱（2006年7月財政・経済一体改革会議）

資源・エネルギー政策の戦略的展開として

1. 省エネルギーフロントランナー計画
2. 次世代自動車・燃料イニシアティブ等による運輸エネルギー次世代化
3. 新エネルギーイノベーション計画
4. 原子力立国計画
5. 資源外交、環境・エネルギー協力等の総合的な強化

以上が位置づけられている。

京都議定書目標達成計画（2005年4月閣議決定）

「京都議定書の約束を達成するとともに、更に「脱温暖化社会」に向けて長期的・継続的な排出削減を進めるには、究極的には化石燃料への依存を減らすことが必要である。環境と経済の両立を図りつつ、これらの目標を達成するため、省エネルギー、未利用エネルギーの利用等の技術革新を加速し、効率的な機器や先進的なシステムの普及を図り、世界をリードする環境立国を目指す。」とされている。

3. 達成目標

3-1. 総合エネルギー効率の向上

転換部門における「エネルギー転換効率向上」、産業部門における「製造プロセス向上」、民生・運輸部門における「省エネルギー」などにより、エネルギー消費効率を2030年度までに少なくとも30%改善することを目指す。

3-2. 運輸部門の燃料多様化

バイオマス由来燃料、GTL、BTL、CTLなどの新燃料、電気自動車や燃料電池自動車などの導入により、現在ほぼ100%の運輸部門の石油依存度を2030年までに80%程度とすることを目指す。

3-3. 新エネルギー等の開発・導入促進

太陽光、風力、バイオマスなどの新エネルギーの技術開発や燃料電池など革新的なエネルギー高度利用を促進することにより、新エネルギー等の自立的な普及を目指すことで、エネルギー源の多様化及び地球温暖化対策に貢献する。

3-4. 原子力等利用の推進とその大前提となる安全の確保

2030年以降においても、発電電力量に占める比率を30～40%程度以上とすることを目指すため、高速増殖炉サイクルの早期実用化、既設軽水炉代替へ対応する次世代軽水炉の開発、軽水炉技術を前提とした核燃料サイクルの確立、放射性廃棄物対策などの技術開発を推進する。

3-5. 化石燃料の安定供給確保と有効かつクリーンな利用

石油・天然ガスの化石燃料の安定供給確保を目指し、資源獲得能力の強化に資する先端的な技術開発を推進するとともに、環境負荷低減のために化石燃料の効率的かつクリーンな利用を促進するための技術開発・導入を目指す。

これを突破するため、大学あるいは研究所を拠点に材料メーカー、デバイスメーカー、装置メーカー等が相互連携して、窒化物半導体の結晶欠陥低減技術やナノ構造作製技術等の革新を図り、これらデバイスの飛躍的な性能向上と消費電力削減の実現を図る。

技術目標及び達成時期

2011年度までに、次世代窒化物系半導体デバイスを実現する以下結晶作製技術を開発する。

- ・ 基板技術（GaN、AlNバルク結晶作製技術）
 - 口径2～4インチで高品質エピ成膜を可能とする低コストの単結晶基板作製技術の確立。
- ・ エピ技術（エピタキシャル成膜及び計測評価技術）
 - 低欠陥高品質エピ層を実現する成膜技術及び膜成長過程を計測評価する技術の確立。
 - 高出力かつ高安定動作可能なエピ層の実現
 - 高耐圧超高速な新しいデバイス構造の開発

研究開発期間

2007年度～2011年度

(3) 次世代低消費電力半導体基盤技術開発(MIRAI)(運営費交付金)

概要

エネルギー需給構造の高度化を図る観点から行うものであり、IT化の進展、IT利活用の高度化を支え、あらゆる機器に組み込まれている半導体の低消費電力化を図るため、テクノロジーノード(微細化レベル)45nm以細の次世代低消費電力半導体を実現するため、微細加工の基盤技術やマスク(半導体素子製造過程で用いる原板)の低コスト化・製造時間短縮に必要な基盤技術の開発等を行う。

技術目標及び達成時期

2010年度までに、マスク設計・描画・検査の各工程に共通的なマスクデータ処理技術、繰り返しパターンやパターン重要度を利用した描画・検査高速化技術等の基本的な開発及びEUVLマスク基盤技術として、許容欠陥の指標明確化、ブランクスの位相欠陥検査技術の確立等を完了する。

研究開発期間

2001年度～2010年度

(4) 半導体アプリケーションチッププロジェクト(運営費交付金)

概要

エネルギー需給構造の高度化を図る観点から行うものであり、IT化の進展、IT利活用の高度化を支え、あらゆる機器に組み込まれている半導体の低消費電力化を図るため、情報通信機器、特に、情報家電の低消費電力化を実現できる半導体アプリケーションチップ技術の開発を行う。

技術目標及び達成時期

2009年度までに、情報家電の低消費電力化を実現できるアプリケーション

(IT イノベーションプログラム・エネルギーイノベーションプログラム)
「次世代半導体材料・プロセス基盤(MIRAI)プロジェクト」基本計画

電子・情報技術開発部

1. 研究開発の目的・目標・内容

(1) 研究開発の目的

情報技術がめざましく発展している今日の社会では、情報・知識を、時間や場所の制約を受けず誰もが自由自在かつ安全に活用できる情報通信環境の実現が望まれている。また、平成 19 年 6 月に改定された経済成長戦略大綱において、我が国の国際競争力強化のために注力すべき分野として、情報家電、ロボットなどが挙げられている。このような応用システムの基幹となる半導体 LSI には、一層の高機能化、低消費電力化が求められている。本プロジェクトは、我が国の半導体関連産業(デバイス、装置及び材料)の国際競争力強化のため、高機能 LSI の実現に不可欠な半導体構造の微細化に対応できる半導体デバイス・プロセス基盤技術を平成 22 年度までに確立することを目的として IT イノベーションプログラム及びエネルギーイノベーションプログラムの一環として実施する。

半導体 LSI の回路を構成するトランジスタと配線の微細化は、これまで 3 年で 4 倍の集積度を実現するピッチで進展し、2007 年には、技術世代 hp65nm⁽¹⁾ の製品が量産され始めた。情報家電やロボットなどのシステムに求められる高集積化と低コスト化を同時に実現するためには、トランジスタや配線の微細化が引き続き重要な技術課題である。近年、hp45nm を超える次世代半導体開発のために、海外では産学官連携の下で、国際半導体技術ロードマップ (ITRS)⁽²⁾ で示されている技術課題の解決に向け、精力的な取り組みがなされ、まさにグローバルな開発競争が行われている。また、独立行政法人新エネルギー・産業技術総合開発機構(以下、「NEDO」という)が編纂した NEDO 技術ロードマップ(平成 19 年版)の中には、我が国にとって重要な超低消費電力のシステム LSI の実現のために必要な技術開発が示されている。

ITRS 及び NEDO 技術ロードマップに拠れば、LSI の性能向上には、単なる微細化のみならず、革新的技術の導入が不可欠である。また、微細化およびそれに伴う加工精度向上の要請は、原子数個のレベルでの寸法制御を必要とし、微細化に伴う素子特性のばらつきが集積化の大きな障害となりつつある。これらの問題を解決するためには、トランジスタや配線を構成する材料、それら材料の成膜・成長・加工のための物理・化学反応、デバイス・回路動作等の原理に立ち戻って科学的知見を活用した開発を行い、産業技術へ繋げていくことが必要である。このため、サイエンスとエンジニアリングを融合させた新しいコンセプトに基づく、産学官が連携した LSI 開発プロジェクトが必要である。本プロジェクトでは、これらの要請を具現化するとともに、産業界における実用化プロセスインテグレーション技術開発の時期を考慮したタイムリーな技術開発を行う。産業界は、本プロジェクトの成果を受け継ぐ実用化開発を進め、その技術を活用した競争力ある製品により半導体産業の国際競争力を強化することが重要である。

一方、これまで微細化を推進してきた光リソグラフィについても、hp32nm 以細の技術領域では、従来の

(1) 最新技術で製造された LSI の配線層のピッチで最小のもの 1/2 をハーフピッチ (hp) と呼び、2007 年 ITRS によれば DRAM の第一層金属配線(ビット線)のピッチの 1/2 で示している。ここでは半導体 LSI 技術レベルの指標として当該 hp を用いる。

(2) 最新の ITRS は 2007 年版。

微細化手法が限界に達すると予測されており、これに代わる新たなリソグラフィ技術の開発が求められている。波長 13.5nm の極端紫外光(EUV: Extreme Ultra Violet)を用いる EUV リソグラフィ(EUVL)は、マスクパターンの光学的縮小投影方式であり、従来の半導体製造プロセスとの親和性が高いこと、解像度に十分な余裕があり、hp32nm 以細の技術領域に適用可能であること等から、次世代リソグラフィの最有力候補と位置づけられている。現在、国内外でコンソーシアム、企業、大学の連携による強力な取り組みが進められており、その結果、EUV 光源や光学系等の要素技術の開発は大きく進展している。しかしながら、量産用露光装置の実現に向けては、高出力 EUV 光源における信頼性向上などの課題がある上、マスク技術、レジスト材料、および各要素技術を統合したリソグラフィシステムにおける露光プロセス等に関しても、まだ解決すべき課題が多く残されている。特に、EUVL の実用化のためには、高精度・低欠陥マスクの実現が不可欠であるが、EUVL 用のマスクは従来のフォトマスクとは異なる多層膜構造の反射型マスクであり、難易度の高い技術開発が必要である。また、個別技術の開発だけでは完結せず、リソグラフィシステムとしての総合的な取り組みが必要である。このため、産学官連携のもと NEDO の委託事業としての研究開発が必要である。

本プロジェクトでは、平成 13 年度から平成 17 年度までに、hp65nm～hp45nm のデバイスに必要な高誘電率ゲート絶縁膜材料・計測・解析技術、及び低誘電率層間絶縁膜材料・計測・解析技術を中心として、将来のデバイス・プロセス技術に必要となるトランジスタ形成に必要な技術、ウェハ・マスク関連計測技術、及びデバイス回路構成技術等の開発を行ってきた。その成果の内、実用化開発に移行できるものは、平成 17 年度末に関連コンソーシアムを含めた産業界に移転され、実用化に向けた開発が展開されている。

平成 18 年度からは、半導体の微細化に関しては、hp45nm を超えるデバイス実現に必要な革新的基盤技術を、産業界において自ら実用化に向けた展開を図る際の判断ができる水準まで技術開発を行い、技術選択肢として提示することを目的として、新構造極限 CMOS トランジスタ関連技術、新探究配線技術、及び特性ばらつきに対し耐性の高いデバイス・プロセス技術の開発を行ってきた。

新構造極限 CMOS トランジスタ関連技術については、新構造トランジスタと極限 EOT (Equivalent Oxide Thickness) ゲートスタックの技術についてのサイエンスの深堀と実証が一定の段階に達したことから、平成 19 年度末に関連コンソーシアムを含めた産業界に成果を移転して開発を終了するとともに、平成 20 年度から新たに、hp32nm を越える技術領域で顕在化するキャリアのバリスティック輸送現象の総合的な最適化を図るバリスティック CMOS 技術開発に取り組む。新探究配線技術は hp32nm 以細の技術領域で、また、特性ばらつきに対し耐性の高いデバイス・プロセス技術は hp45nm を超える技術領域で消費電力や信頼性の課題を解決する革新的技術であることが示され、また産業界においてプロジェクト終了時に自ら実用化に向けた展開を図る期待が大きい技術であると判断されることから、平成 22 年度までの具体的な成果達成目標を設定して技術開発を行う。

また、EUVL に関しては、hp32nm 以細に適用できる高精度・低欠陥 EUVL 用マスクの技術基盤確立を目的とする。具体的には EUVL 用マスクの解析・評価技術、コンタミネーション制御技術、欠陥検査技術、欠陥修正技術、及びペリクルレスハンドリング技術等の開発を行う。平成 20 年度からは、hp32nm 以細に適用できる EUV 光源の高信頼化技術の開発を行う。具体的には、光源起因マスク、ミラーの汚染評価技術、集光光学系などの清浄化技術を開発する。

本技術の確立により、情報通信機器、情報家電、ロボットなどの高機能化、低消費電力化、高信頼性化

の要求を満たすシステムLSI実現など、将来幅広い産業分野で利用される共通基盤技術の形成が見込まれる。これにより、電子情報通信分野での新規産業創出に資するのみならず、広範な分野で利用される共通基盤技術の形成に資する。

当該研究開発事業は、次の条件のもとで実施する。

- ・ 技術的革新性により競争力を強化できること。
- ・ 研究開発成果を新たな製品・サービスに結びつける目途があること。
- ・ 比較的短期間で新たな市場が想定され、大きな成長と経済波及効果が期待できること。
- ・ 産業界も資金等の負担を行うことにより、市場化に向けた産業界の具体的な取り組みが示されていること。

なお、適切な時期に、実用化・市場化状況等について検証することとする

(2) 研究開発の目標

第1期(平成13年度から平成15年度)：hp65nmの技術課題の解決。

第2期(平成16年度から平成17年度)：hp45nmの技術課題の解決。

第3期(平成18年度から平成22年度)：hp45nmを超える技術課題の解決。

- I. hp45nmを超える技術領域の課題を解決する革新技術としての新構造極限 CMOS トランジスタ技術、新探究配線技術、特性ばらつきに対し耐性の高いデバイス・プロセス技術を、産業界における実用化に向けた展開につなげることを目指して開発する。
- II. EUV マスク基盤技術および EUV 光源高信頼化技術を開発し、EUV マスク基盤技術については平成20年度にhp45nm、平成22年度にhp32nmに対応する技術を確立し、平成20年度より開始する EUV 光源高信頼化技術については平成22年度にhp32nmに対応する技術を確立する。
なお、目標の詳細については、別紙の研究開発計画を参照のこと。

プロジェクトを通して得られた基礎データ等の共通基盤となる知見は、プロジェクト実施期間中にデータを体系的に整理し、我が国半導体技術の強化に努める。

(3) 研究開発内容

上記目標を達成するために、以下の研究開発項目について、別紙の研究開発計画に基づき研究開発を実施する。

[委託事業]

I. 次世代半導体材料・プロセス基盤技術開発

① 新構造極限 CMOS トランジスタ関連技術開発

hp32nmを越える技術世代に対応するバリスティックCMOS技術の開発を行う。チャンネル領域で準バリスティックなキャリア輸送が起こるシリコン MOS トランジスタの微細化において、デバイスの性能を最大限に発揮させるための原理とその実現に必要な材料・構造を明らかにし、低消費電力・高信頼性を実現するための技術を確立する。

② 新探究配線技術開発

銅とLow-k材料を用いた多層配線構造においてhp32nm以細の微細化に伴って抵抗が上昇し、信頼性が低下する等の課題を解決するため、カーボン材料を用いた低い抵抗値と高い許容電流密度を持つ配線構造技術を確立する。また、高速・低消費電力でデータ信号伝達を実現する新しいグローバル配線として10GHz以上の波長多重によるオンチップ光配線技術を実証する。

なお、研究開発項目②「新探求配線技術開発」については、産業技術政策動向等を勘案して

見直しを行った結果、当該研究開発は平成 21 年度をもって終了することとした。

③ 特性ばらつきに対し耐性の高いデバイス・プロセス技術開発

hp45nm を越える微細化に伴うばらつきに起因する製造、設計歩留まりの向上や特性の経時劣化に対処する技術として、構造依存ばらつきとその経時変化の解析技術を確立し、ばらつきの物理的理解とモデリング技術を開発する。さらに特性ばらつきに耐性の高いトランジスタ構造を提案する。また、LSI 回路の正常な動作を妨げる外部擾乱に対し、トランジスタや回路の誤動作や故障が発生するメカニズムを明確にし、その解決策と耐性の高い回路の設計指針を確立する。

なお、本研究開発項目中「ストレス起因のレイアウトパターン依存モデル」については、目標を達成したため、当該研究は平成 21 年度をもって終了する。

II. 次世代半導体露光プロセス基盤技術開発

④ 次世代マスク基盤技術開発

hp32nm 以細の EUV リソグラフィに用いられる EUV マスクについて、高精度・低欠陥のマスクおよびブランクス技術、マスクパターンの欠陥検査・修正技術、マスクのハンドリング技術の開発を行い、EUV マスクの総合的技術を確立する。

⑤ EUV 光源高信頼化技術開発

hp32nm 以細の EUV リソグラフィに用いられる EUV 光源について、マスク、ミラーへの光源に起因する汚染に対する評価技術、汚染に対する清浄化技術の開発を行い、EUV 光源の高信頼化技術を確立する。

2. 研究開発の実施方式

(1) 研究開発の実施体制

第1期、第2期の研究開発は、NEDOが選定した技術研究組合超先端電子技術開発機構と独立行政法人産業技術総合研究所(以下、産総研と呼ぶ)を委託先とし、両者が共同研究契約を締結し研究体を形成して実施した。第3期(前半:平成 18、19 年度)の研究開発は、研究開発内容が大幅に見直されたことから、NEDOが新たに公募を行い選定した技術研究組合超先端電子技術開発機構と産総研の共同研究体と、株式会社半導体先端テクノロジーが実施している。

第3期後半の平成 20-22 年度は、研究開発内容の目標が大幅に見直される技術開発内容について、NEDOが新たに公募を行い、民間企業、独立行政法人、大学等から委託先を選定するものとする。委託先の応募資格は、これまでの運営方針を継承したものとする。共同研究開発に参加する各研究開発グループの有する研究開発ポテンシャルの最大限の活用により、効率的な研究開発の推進を図る観点から、原則として、研究体にはNEDOが委託先決定後に指名する研究開発責任者(プロジェクトリーダー)を置き、その下に研究者を可能な限り結集して効果的な研究開発を実施する。

(2) 研究開発の運営管理

研究開発全体の管理・執行に責任と決定権を有するNEDOは、経済産業省及びプロジェクトリーダーと密接な関係を維持しつつ、プログラムの目的及び目標、並びに本研究開発の目的及び目標に照らして適切な運営管理を実施する。また、必要に応じて、外部有識者の意見を運営管理に反映させる。

3. 研究開発の実施期間

本研究開発の期間は、平成 13 年度から平成 22 年度までの 10 年間とする。ただし全期間を3期に分け、第1期は平成 13 年度から平成 15 年度、第2期は平成 16 年度から平成 17 年度、第3期は平成 18 年度から平成 22 年度の期間とする。

4. 評価に関する事項

NEDOは、技術的及び産業技術政策的観点から見た研究開発の意義、目標達成度、成果の技術的意義ならびに将来の産業への波及効果等の観点から、外部有識者による研究開発の中間評価をおこなう。1 回目の中間評価は平成 15 年度、2 回目の中間評価は平成 18 年度、さらに、研究開発項目①～③について平成 19 年度末に行った。さらに、研究開発項目④について平成 20 年度に中間評価を行う。中間評価結果を踏まえ必要に応じプロジェクトの加速・縮小・中止等見直しを迅速に行う。また、事後評価を平成 23 年度に実施する。

5. その他の重要事項

(1) 研究開発成果の取扱い

① 成果の普及

得られた研究開発成果のうち共通基盤技術に係るものについては、プロジェクト内で速やかに共有した後で、NEDO及び実施者が協力して普及に努めるものとする。

② 知的基盤整備又は標準化等との連携

得られた研究開発の成果については、知的基盤整備又は標準化等との連携を図るため、データベースへのデータの提供、標準情報 (TR) 制度への提案等を積極的に行うと共に、必要な標準化を実施する。

③ 知的所有権の帰属

委託研究開発の成果に関わる知的所有権については、「独立行政法人新エネルギー・産業技術総合開発機構 新エネルギー・産業技術業務方法書」第 25 条の規定等に基づき、原則として、すべて受託先に帰属させることとする。

(2) 基本計画の変更

NEDOは、研究開発内容の妥当性を確保するため、社会・経済的状況、国内外の研究開発動向、産業技術政策動向、プログラム基本計画の変更、第三者の視点からの評価結果、研究開発費の確保状況、当該研究開発の進捗状況等を総合的に勘案し、達成目標、実施期間、研究開発体制等、基本計画の見直しを弾力的に行うものとする。

(3) 根拠法

本プロジェクトは、独立行政法人新エネルギー・産業技術総合開発機構法(平成 14 年法律第 145 号)第 15 条第1項第1号ハ及び第2号に基づき実施する。

(4) その他

産業界が実施する研究開発との間で共同研究を行う等、密接な連携を図ることにより、研究開発を加速

し、円滑な技術移転を促進する。

6. 基本計画の改訂履歴

- (1) 平成13年3月、新エネルギー・産業技術総合開発機構によって制定。
- (2) 平成14年3月、根拠法を「その他の重要事項」へ明記する改訂。
- (3) 平成15年2月、「経済活性化のための研究開発プロジェクト(フォーカス 21)」として位置づけられたことによる改訂。
- (4) 平成15年12月、第2期の研究開発計画内容見直しによる改訂。
- (5) 平成17年12月、第3期の研究開発計画策定による改訂。
- (6) 平成19年3月、研究開発計画内容見直しによる改訂。
- (7) 平成20年3月、研究開発内容と目標の見直しによる改訂。
- (8) 平成20年6月、標準化に関する見直しによる改訂。
- (9) 平成20年7月、イノベーションプログラム基本計画の制定により、「(1) 研究開発の目的」の記載を改訂。
- (10) 平成22年3月、「(3) 研究開発内容」、「(別紙) 研究開発計画、研究開発項目①「新構造極限 CMOS トランジスタ関連技術開発」、研究開発項目②「新探究配線技術開発」、研究開発項目③「特性ばらつきに対し耐性の高いデバイス・プロセス技術開発」」の記載を改訂。

(別紙) 研究開発計画

研究開発項目①「新構造極限 CMOS トランジスタ関連技術開発」

1. 研究開発の必要性

hp32nm を越える技術領域では、微細化を進めることにより CMOS の電流駆動力が低下するため、革新的新技術の導入が必須である。具体的には、MIRAI 第3期前半までに既に開発済みの高移動度チャンネル材料技術やひずみ導入による高移動度化技術の利用に加えて、「バリスティック効率」を向上することが求められている。また、微細化に伴う素子構造の縮小化により不純物分布のばらつきが信頼性の点で課題とされているが、不純物への衝突散乱が少ないバリスティック効率の向上は、ばらつきの低減を行うことが可能となり、最終的にはトランジスタ動作の信頼性向上に結びつけることが期待できる。このためにはシリコン MOS トランジスタのソース・ドレインの材料・構造、チャンネル材料・構造を制御してバリスティック効率を向上させオン電流を増大させることが強く求められている。

2. 研究開発の具体的内容

hp32nm を越える技術領域における低消費電力・低待機電力 CMOS に適した、高電流駆動力・低リーク電流シリコン-ゲルマニウム系 CMOS 技術の実現に求められるバリスティック効率向上技術を産業界の実用化に向けた取り組みと一体的に開発する。

(1) ソース・ドレイン材料・構造の制御により CMOS の駆動力を高める技術の開発

- ① ソース・チャンネル界面の電子状態を制御し、キャリア注入速度・キャリア濃度を改善する材料・形成方法・構造を開発する。
- ② ドレイン・チャンネル界面での電子状態を制御しキャリア反射を抑える材料・形成方法・構造を開発する。

(2) キャリア輸送特性を向上して CMOS の駆動力を高める技術の開発

- ① NMOS と PMOS それぞれに最適化したチャンネルの歪みを制御してキャリア速度を向上するための材料・形成方法・構造を開発する。
- ② NMOS と PMOS それぞれに最適化したチャンネルの表面・界面ラフネスを改善しキャリア散乱を抑制するための材料・形成方法・構造を開発する。
- ③ NMOS と PMOS それぞれに最適化したチャンネルとソース・ドレインとの界面付近の不純物分布を最適化しバリスティック効率を向上するための材料・形成方法・構造を開発する。

(3) 微細な低消費電力・高電流駆動力トランジスタによる実証

- (1)・(2) で開発した技術を総合的に組み合わせた上で、微細化に伴う短チャンネル効果を抑え、低オフリーク電流を実現するために、ゲートの静電支配力の高い構造を持つ超低消費電力トランジスタを作製し低消費電力・高電流駆動力性能実証を行う。

(4) 計測・モデリング技術の開発

- ① バリスティック効率向上技術関連の計測技術を開発する。
- ② (3) で開発する低消費電力・高電流駆動力トランジスタのモデリング技術を開発する。

3. 達成目標

最終目標として、平成 22 年度末までに以下の目標を達成する。

新しい材料・構造・プロセスを用いた、hp32nm 以細の技術領域の微細化に耐えうる高性能の LSI 回路を実現するシリコン-ゲルマニウム系 CMOS 技術を提案する。

(1) ソース・ドレイン材料・構造の制御により CMOS の駆動力を高める技術の開発

ソース・ドレインの材料・構造を制御して、キャリア注入速度・キャリア濃度を向上し、キャリア反射を抑制する科学的な理解に裏付けられた材料・構造・プロセスの設計指針を提案し実証する。

(2) キャリア輸送特性を向上してCMOSの駆動力を高める技術の開発

チャンネルの歪み、表面・界面ラフネス、ソース・ドレインとの界面付近の不純物分布を制御してバリスティック効率を向上する科学的な理解に裏付けられた材料・構造・プロセスの設計指針を提案し実証する。

(3) 微細な低消費電力・高電流駆動力トランジスタによる実証

バリスティック輸送現象が発現する微細ゲート長のシリコン-ゲルマニウム系 MOS トランジスタを作製し、電流のゲート長依存性などからバリスティック効率を導出する。本テーマの開発成果を用いていないトランジスタとの比較で、OFF 電流を揃えた条件で ON 電流が 1.15 倍以上となること、ならびに ON 電流をそろえた条件での消費電力が 80%以下となることを示す。また、開発されたトランジスタ素子特性が、高い再現性で得られることを実用化の観点から示す。

(4) 計測・モデリング技術の開発

トランジスタのバリスティック効率の向上メカニズムを解明できる評価・解析法を確立し、モデル化技術を確立する。

研究開発項目②「新探究配線技術開発」

1. 研究開発の必要性

hp32nm 以細の技術領域においては、従来の低誘電率層間絶縁(Low-k)膜と銅(Cu)配線の多層配線では信号遅延・電磁干渉・消費電力・電流密度などの課題が顕在化し実現が困難となる。微細化に伴う配線表面や結晶粒界における電子散乱により Cu の抵抗率が増大するだけでなく、微細化に伴い Cu ビアに流れる電流密度が限界に達する。これらの問題に対し、従来技術の延長線上には抜本的な解決策が見あたらない。従来技術とは異なる発想に基づく新探究配線技術の研究開発に取り組み、実用化開発に向けての指針を提示することが求められている。

2. 研究開発の具体的内容

hp32nm 以細の技術領域の集積回路に適した配線基盤技術を、産業界の実用化に向けた取り組みと一体的に開発する。

(1) 極限低抵抗・高電流密度配線技術の開発

Cu 配線による微細化の課題である配線およびビア・プラグにおける比抵抗上昇、エレクトロマイグレーションによる信頼性低下を解決し、低消費電力 LSI を実現するため、カーボン材料を使った極限低抵抗・高電流密度配線技術の開発を行う。

- ①LSI 製造プロセスで許容される温度条件でカーボンナノチューブ(CNT)の高密度成長技術を開発する。
- ②LSI 製造プロセスで許容される温度条件で CNT の高速成長技術を開発する。
- ③hp32nm 以細の 300mm ウェハの配線構造へ適用可能性を示すため Low-k 材料を用いた配線プロセスを開発し、抵抗・信頼性・電流密度などの特性が、その世代の Cu 配線材料に対し優位性があることを実証する。
- ④カーボン材料を用いた横配線技術を開発する。

(2) 新コンセプトグローバル配線技術の開発

グローバル配線における高周波数信号の信号遅延、クロックスキュー、シグナルインテグリティー(SI)の問題を解決し、超低消費電力を確立する新コンセプト配線技術である光配線技術を開発する。

- ①低消費電力の電気と光信号を変換するオンチップ電気光変調器および導波路結合型受光器を開発する。
- ②波長多重光回路のための導波路、合分波器、受光、および変調素子の多チャンネル集積形成技術を開発する。必要に応じて光配線内高速信号伝送の評価解析技術を開発する。
- ③外部に置かれた多波長光源とオンチップ光回路の集積技術を開発する。
- ④光クロック・バスの低消費電力動作を確認し、システム性能を実証する。

3. 達成目標

最終目標として、平成 22 年度末までに以下の目標を達成する。

(1) 極限低抵抗・高電流密度配線技術の開発

新材料ビアとして CNT を用いた LSI に適用可能な成長技術を開発し、hp32nm 以細の技術領域で配線構造に求められる金属層の特性を満たし、Cu 材料に対する優位性を実証する。

- ①CNT の成長密度 3×10^{12} 本/cm² 以上を達成する。
- ②ウェハ1枚あたりの CNT ビア・プラグ成長時間 5 分以下を達成する。

③hp32nm の技術領域のプラグ構造に求められる直径 50nm、高さ 200nm において抵抗 $14\ \Omega$ (バリアメタル成分を含んでおり Cu では $15\ \Omega$ と計算される) を実証する。また、ビア構造において電流密度 $1 \times 10^7\ \text{A}/\text{cm}^2$ (ITRS2006 では $8.1 \times 10^5\ \text{A}/\text{cm}^2$ が要求されている) を実現する。

④横方向配線要素技術のための横方向制御、高密度成長 (電気抵抗率 $5\ \mu\ \Omega \cdot \text{cm}$ 以下)、縦横配線の接合技術を確立する。

(2) 新コンセプトグローバル配線技術の開発

光を媒体にした信号伝達・クロック伝達技術を開発する。

①10GHz 以上の周波数において電力遅延積 $4\ \text{pJ}$ 以下の光変調器を開発する。

②小型導波路・合分波器を含む波長多重化のための光回路の過剰損を 10dB 以下に低減する技術を開発する。

③外部光源とオンチップ光回路の集積に用いる結合器技術を開発する。

④①～③の技術を統合して光信号によるデータバス・クロック配信の基本動作を確認する。

光変調器、光検出器、導波路を組み合わせることで 10mm 長のグローバル配線を想定した光配線を構成し、データの入出力を実証し、光配線の電力遅延積が $7\ \text{pJ}$ 以下となることを示す。これにより hp32nm 世代の Cu 配線において予想されている電力遅延積 (10mm の配線長のグローバル配線で $3\ \text{pJ}$) よりも光配線の電力遅延積を小さくするための課題を明確にする。

なお、研究開発項目②「新探求配線技術開発」については、産業技術政策動向等を勘案して見直しを行った結果、当該研究開発は平成 21 年度をもって終了することとした。

研究開発項目③「特性ばらつきに対し耐性の高いデバイス・プロセス技術開発」

1. 研究開発の必要性

半導体 LSI では、微細化と共にデバイス特性のばらつきが顕著になってきた。hp45nm を越える技術領域に向けて、特性ばらつきが正常な回路動作の大きな障害になると予想される。この問題に対処するには、半導体材料・プロセスからシステム設計に至る多面的なアプローチが必要である。その中でも、デバイス特性ばらつきの解析・物理的理解・モデリングは製造・設計歩留まりの向上を実現できる共通基盤技術として不可欠なものである。さらに、これらの知見に基づき、半導体材料・プロセス・デバイス面から特性ばらつきに対処する基盤技術開発が求められる。

2. 研究開発の具体的内容

hp45nm を超える技術領域の集積回路の特性ばらつきに対処する技術を、産業界の実用化に向けた取り組みと一体的に開発する。

(1) 構造依存の特性ばらつきの物理的理解とモデリング技術の開発

hp45nm を超える技術領域の LSI の微細化に伴うばらつきに起因する回路誤動作に対処し、製造・設計歩留まりの向上を図る技術として、構造依存の特性ばらつきの物理的理解とモデリング技術の開発を行う。さらに特性ばらつきに耐性の高いトランジスタ構造を提案する。

① デバイス特性ばらつきの評価

経時劣化を含めた特性ばらつき評価に有効な標準 TEG (Test Element Group) を作製し、その TEG を用いて作製したデバイスの電気特性測定により、デバイス特性ばらつきを解析する。

② ばらつきの物理原因解明

①で解析したデバイスの物理計測を行い、特性ばらつきの物理原因を解明する。

③ 特性ばらつきモデリング技術の開発

②で明らかにした特性ばらつきの物理原因を組み込んだデバイス・製造プロセスモデリング技術を開発し、素子・回路・プロセス設計に有効なものとする。

④ 構造依存ばらつきのモデリング技術

③のデバイス・製造プロセスモデリング技術により得られる素子ばらつき特性を近似した高速かつ汎用性の高いデバイスモデル・回路シミュレーション手法を開発し、材料・プロセス・デバイス面から特性ばらつきに起因する回路動作上の課題に対処できるようにする。この際必要になる、

④-1 デバイス電気特性のリバースプロファイリングに基づくコンパクトトランジスタモデル、

④-2 ストレス起因のレイアウトパターン依存性モデル

についても、併せて開発する。

⑤ 特性ばらつきに対して耐性の高いデバイス基盤技術の開発

特性ばらつきに対して耐性の高いデバイスを提案・実証する。

⑥ 計測解析技術の開発

高精度・高速な電気特性測定によるデバイス特性ばらつき解析技術を開発する。また、ばらつき物理原因の計測解析技術を開発する。

(2) 外部擾乱依存の特性ばらつきの物理的理解とモデリング技術の開発

① 中性子線入射による電荷発生に起因する回路誤動作の物理的理解とモデリング技術の開発

中性子線入射による電荷発生によって生じるトランジスタおよび回路の異常動作を解析し、中

性子線入射に対して耐性の高いデバイス・プロセス・回路の設計に有効なモデリング技術を開発する。

②トランジスタノイズに起因する回路誤動作モデリング技術の開発

静電気放電現象(ESD)などの外部ノイズや電源などの内部ノイズによって生じるトランジスタ及び回路動作の異常解析し、それらの擾乱に対して耐性の高いデバイス・プロセス・回路設計に有効なモデリング技術を開発する。

3. 達成目標

最終目標として、平成 22 年度末までに以下の目標を達成する。

(1) 構造依存の特性ばらつきの物理的理解とモデリング技術の開発

① デバイス特性ばらつきの評価

hp65nm 標準 TEG の電気特性測定によりデバイス特性ばらつきと経時変化のデバイスパラメータ(ゲート長、ゲート幅等)および材料・プロセス(hp45nm でのゲート電極材料と high-k 絶縁膜を含む)への依存性を定量的に明らかにする。

② ばらつきの物理原因解明

①で解析したTEG中のデバイスについて、デバイスサイズ・形状・構造・組成・不純物分布・ラフネス・欠陥準位密度等、および、電圧ストレス等に依存する経時変化の解析を行うことにより、ばらつきとその経時変化の物理原因を定量的に明らかにする。

③ 特性ばらつきモデリング技術の開発

②で定量的に明らかにしたばらつきとその経時変化の物理原因を組み込んだデバイス・製造プロセスモデリング技術(TCAD)を開発し、材料・プロセス・デバイスパラメータを変化させて作製したTEG解析によるデバイス特性とその経時変化のばらつき実測データを±10%の精度で再現できるようにする。またこれを用いて、不純物以外のばらつき要因を明確にし、それらによるばらつきを20%以上低減する指針を得る。さらに、この技術を用いて hp32nm のシリコン CMOS のばらつき予測を示す。

④ 構造依存ばらつきのモデリング技術

③のデバイス・製造プロセスモデリング技術により得られる素子ばらつき特性を近似した高速かつ汎用性の高いデバイスモデル・回路シミュレーション手法を開発し、材料・プロセス・デバイス面から特性ばらつきを考慮した回路設計を可能とする。

④-1 トランジスタ電気特性からのリバースプロファイリングに基づいた、非物理的なフィッティングパラメータを含まないコンパクトトランジスタモデルを開発し、TCAD に対してしきい値電圧 V_{th} が±20mV、オン電流 I_{on} が±5%の精度で予測可能なことを示す。

④-2 ストレス起因のレイアウトパターン依存性モデリングを提案し、その I_{on} の変動予測を±5%、 V_{th} の変動予測を±20mV の精度で行うことが可能なモデルを開発する。

なお、「④-2 ストレス起因のレイアウトパターン依存モデル」については、目標を達成したため、当該研究は平成 21 年度をもって終了する。

⑤ 特性ばらつきに対して耐性の高いデバイス基盤技術の開発

特性ばらつきに対して耐性の高いデバイス構造を提案し、その基本特性と課題を明確化することにより、微細化に伴う特性ばらつきの増大に対応できる hp32nm 以細の技術領域のトランジスタ技術基盤を開発する。

⑥計測解析技術の開発

①、②の計測・解析に必要な技術を確立する。

(2) 外部擾乱依存の特性ばらつきの物理的理解とモデリング技術の開発

① 中性子線入射による電荷発生に起因する回路誤動作の物理的理解とモデリング技術の開発

回路・チップレベルでのエラーレートの評価技術を開発し、その発生メカニズムを明確にした上で物理モデルを構築する。また、hp32nm 以細でのシリコン CMOS における影響予測を示す。さらに、エラーレートが 1~10 FIT 以下となる設計指針を確立する。

② トランジスタノイズに起因する回路誤動作モデリング技術の開発

ESD の外部擾乱依存の特性ばらつきに対してメカニズムを明確にした上で物理モデルを提案し設計指針を確立し、破壊現象のメカニズム解明と静電耐圧の規格 (JEDEC におけるクラス 4:1000V) を満たす解決策を提示しその有用性を示す。

研究開発項目④「次世代マスク基盤技術開発」

1. 研究開発の必要性

hp32nm 以細のリソグラフィは、EUV 光源を用いる EUV リソグラフィ(EUVL)技術が最有力候補であり、反射型の光学系、EUVL マスクが必要になるが、EUVL マスク関連の総合的技術開発は行われていない。

EUVL 用マスクは、低熱膨張率基板上に、異なる2種類の材料を1層あたり1/4波長の厚さで交互に数10層積層した多層膜からなるブランクスと、その上に形成された吸収体パターンによって構成される反射型マスクである。即ち、従来のフォトマスクとは異なる構造および原理によるものであり、従って、EUVL マスク専用の技術開発が必要である。

本プロジェクトでは、EUVL マスクの製作工程から露光工程に至る基盤技術の開発を行う。即ち、マスクブランクス欠陥解析・評価技術、コンタミネーション抑制技術、マスクパターンの欠陥検査・修正技術、EUVL マスクの搬送・保管技術を開発する。

2. 研究開発の具体的内容

(1) 高精度・低欠陥 EUVL マスクおよびブランクス技術の開発

① EUV 光を用いたマスクおよびブランクス検査・解析技術の開発

6インチブランクス全域にわたり、EUV 光によって位相欠陥を検出する技術、およびマスク上のパターン形状、位相欠陥、プロセス誘起欠陥、コンタミネーション起因欠陥等を EUV 光により解析・評価する技術を開発する。

② EUVL マスクおよびブランクス高品位化技術の開発

ブランクス位相欠陥検査、および高性能 EUV 露光装置によるマスクの転写性評価を通じ、ブランクスやマスクの材料・構造・作製プロセスを最適化することによって、高品位マスク技術を確立する。

③ EUVL マスクコンタミネーション制御技術の開発

真空中に残存する水分や hidrocarbon に起因するコンタミネーションによって引き起こされる反射率低下を抑制する技術を開発する。また、コンタミネーションの除去技術を開発する。

(2) EUVL マスクパターン欠陥検査技術および欠陥修正技術の開発

① EUVL マスクパターン欠陥検査技術の開発

従来のフォトマスク欠陥検査技術を改変・高度化することにより、hp45nm 微細加工技術に対応する EUVL マスク欠陥検査技術を開発する。hp32nm 微細加工技術に対しては、前記 hp45nm に対応する開発技術の高度化、あるいは電子ビーム技術等、新たな技術の開発により対応することを検討する。

② EUVL マスクパターン欠陥修正技術の開発

多層膜へのダメージ抑制と修正精度の二つの視点から、集束イオンビーム方式、電子ビーム方式、メカニカル方式など複数の候補技術を比較・検討し、最適な方式を見極めて、hp45nm～hp32nm 微細加工技術に対応できる欠陥修正技術を開発する。

(3) ペリクルレス EUVL マスクハンドリング技術の開発

① EUVL マスクの異物フリー搬送・保管技術の開発

マスクを格納・保持するキャリア、露光装置内でのキャリア搬送、キャリアからのマスクの着脱、キャリア洗浄などについて評価・解析を行い、最適な搬送・保管方式を見極め、異物フリー搬送・保管技

術を確立する。

② ウェハファブ内 EUVL マスク異物検査技術およびクリーニング技術の開発

ウェハファブ内でマスク上の異物を検査する技術、および検出された異物をクリーニングする技術を開発する。

3. 達成目標

中間目標として、平成 20 年度末までに以下の目標を達成する。

- (1) hp45nm 微細加工技術に対応する EUVL マスクの許容欠陥の指標、およびブランクスの位相欠陥検査技術を確立する。
- (2) EUVL マスクパターン欠陥検査技術については、hp45nm の EUVL マスクに必要な欠陥検出感度を、Die-to-Die 検査方式において達成する。EUVL マスクパターン欠陥修正技術については、hp45nm 微細加工技術に対応する EUVL マスクに対して最適な方式の絞込みを行う。
- (3) hp45nm 微細加工技術において要求されるレベルに対して最適な EUVL マスク搬送・保管方式を明らかにする。

最終目標として、平成 22 年度末までに以下の目標を達成する。

- (1) hp32nm 微細加工技術に対応する EUVL マスクの許容欠陥の指標、および EUVL マスクブランクス位相欠陥検査技術を確立する。
- (2) EUVL マスクパターン欠陥検査技術については、hp45nm 微細加工技術に対応する EUVL マスクに必要な欠陥検出感度を Die-to-Database 検査方式において実現すると共に、hp32nm 微細加工技術への要求感度達成に目処をつける。EUVL マスクパターン欠陥修正技術については、hp45nm の EUVL マスクに必要な修正精度を達成する。また、hp32nm 微細加工技術への要求精度達成への目処をつける。
- (3) hp32nm 微細加工技術において要求されるレベルの EUVL マスク搬送・保管技術およびファブ内検査・クリーニング技術を確立する。

研究開発項目⑤「EUV 光源高信頼化技術開発」

1. 研究開発の必要性

hp32nm 以細のリソグラフィは、EUV 光源を用いる EUV リソグラフィ(EUVL)技術が最有力候補であり、反射型の光学系、EUVL マスクおよび信頼性の高い高出力 EUV 光源が必要になる。量産機用光源としては中間集光点で 180W 以上が求められており、このため、EUV 光源に起因する物質の露光光学系側への伝搬、拡散によるマスク、ミラーの汚染や損傷などを抑制する光源の信頼性確保が EUV 光源の高出力化に伴う新たな技術課題となっている。従って、EUV 光源起因物質によるマスク、ミラー汚染評価技術、発光点よりマスク位置までの光路上の構成部材の清浄化技術等の光源高信頼化技術の開発が必要である。

本プロジェクトでは、EUV 光源起因の汚染物質に対するマスク、ミラーへの影響評価技術の開発を行い、併せて、集光光学系などにおける汚染物質の拡散・流出防止技術等の清浄化技術、マスク、ミラー汚染低減技術を開発する。

2. 研究開発の具体的内容

(1) 光源起因マスク、ミラーの汚染評価技術の開発

光源側より発生する燃料デブリや除去用ガス等による露光光学系側のマスク、ミラーへの影響を評価する技術について、ミラー反射率測定や各種の表面分析手法等を駆使して開発し、評価を行う。

(2) 集光光学系などの清浄化技術の開発

マスク、ミラーへの汚染抑制対策としての汚染源となる燃料デブリ等の拡散・流出防止技術、燃料回収技術とともに、集光系構成部材等の熱管理技術の開発を行う。

3. 達成目標

EUV光源に関しては、平成21年度までに、中間集光点で100W以上の出力を持つレーザー励起プラズマ(LPP)と放電励起プラズマ(DPP)の2方式のEUV光源に対する高信頼化技術の適用性能を比較、評価し、マスク、ミラー汚染に対して最も有効な光源方式を見極めたうえで、選択と集中を行う。

また、最終目標として、平成22年度末までに以下の目標を達成する。

(1) 中間集光点で 180W の出力光源を1年間動作させた場合においても、マスクあるいはミラーの最大反射率低下が 10%以下となる汚染量を明示できる評価技術を開発し、その有効性を示す。

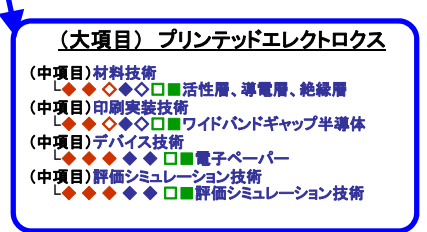
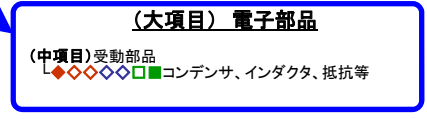
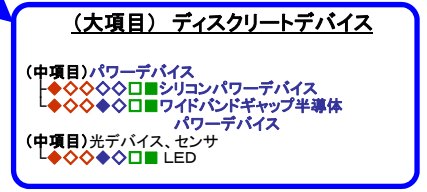
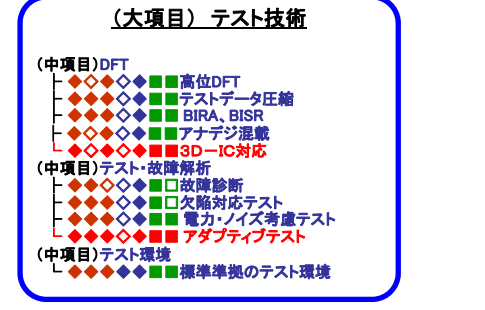
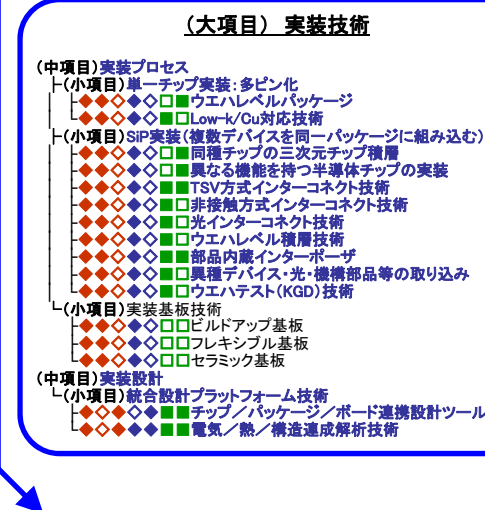
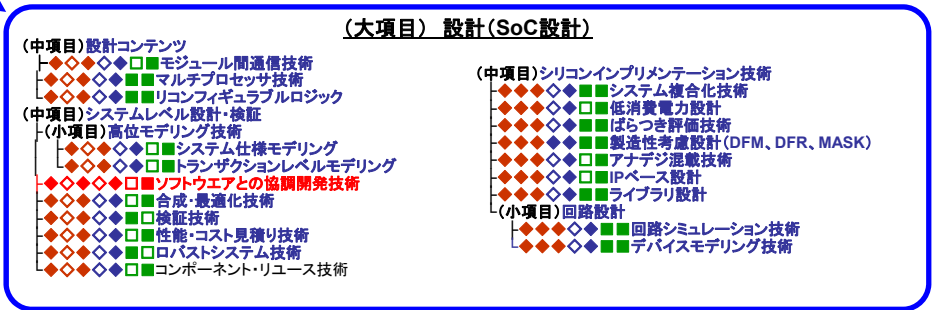
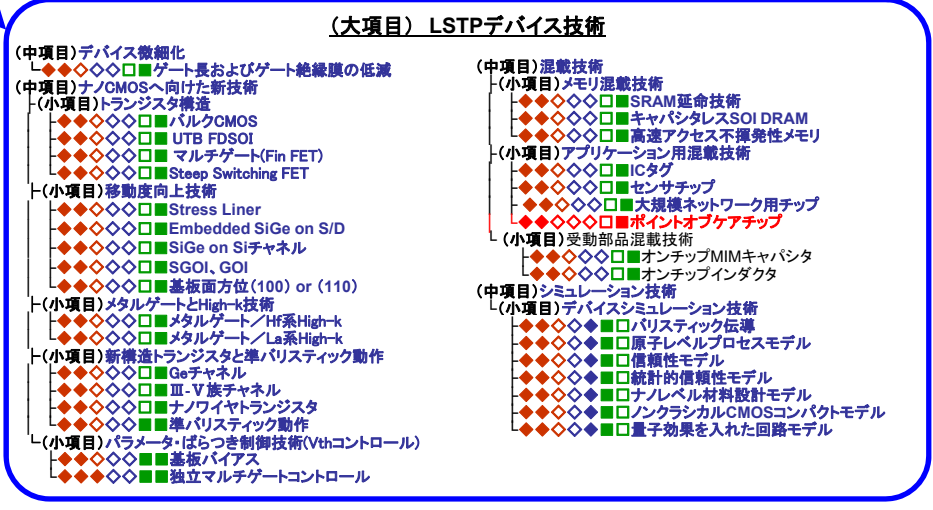
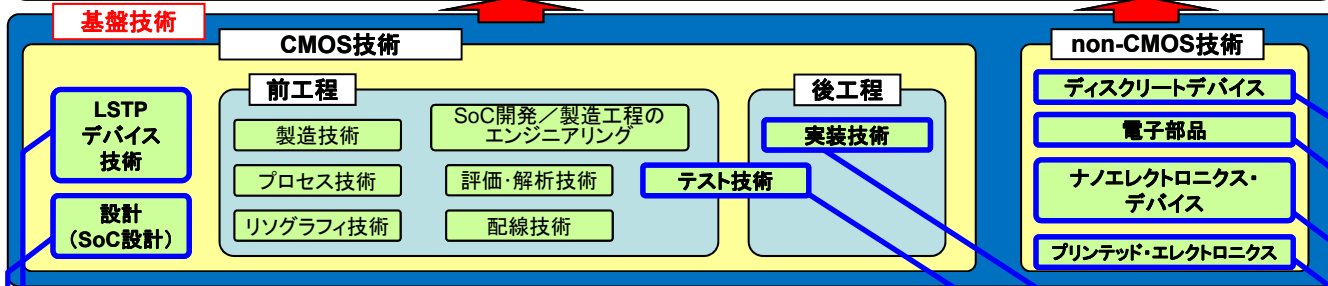
(2) 中間集光点で 180W の出力光源に対して、(1)に示すような汚染量抑制を実現できる高信頼化技術を開発する。

半導体分野の技術マップ (1/2)

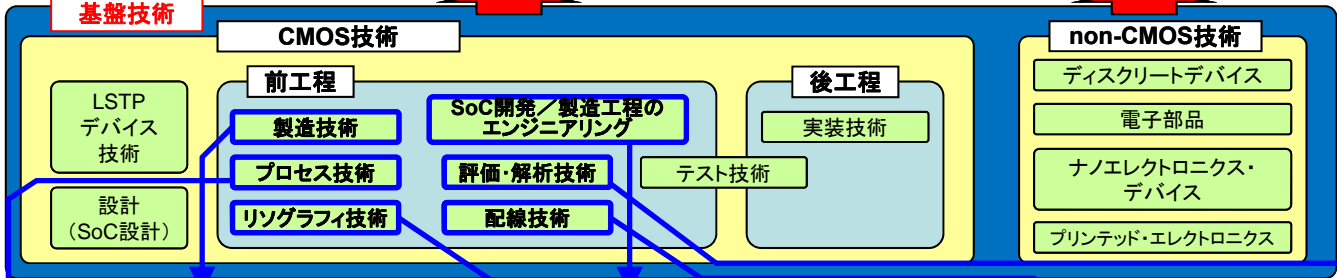


記号の説明						
IDM	ファブリティメーカー	ファブレスメーカー	装置・材料メーカー	ソフトベンダ	半導体の安全・信頼性に係る技術	省エネに係わる技術
◆	◆	◆	◆	◆	■	■

※ 該当しないものを「白抜き」で示す。
 ※ ロードマップに記載する技術を「青字」で示す。
 ※ 「半導体の安全・信頼性に係る技術」は、半導体製造における安全技術、半導体の信頼性を高める技術、歩留りを高める技術。
 ※ 「省エネに係わる技術」は、半導体の微細化技術、高集積化技術、半導体製造の高効率化技術。



半導体分野の技術マップ (2/2)



記号の説明						
IDM	ファンドリ メーカ	ファブレス メーカ	装置・材 料メーカ	ソフトベン ダ	半導体の 安全・信 頼性に係 わる技術	省エネに 係わる技 術
◆	◆	◆	◆	◆	■	■

※ 該当しないものを「白抜き」で示す。
 ※ ロードマップに記載する技術を「青字」で示す。
 ※ 「半導体の安全・信頼性に係わる技術」は、半導体製造における安全技術、半導体の信頼性を高める技術、歩留りを高める技術。
 ※ 「省エネに係わる技術」は、半導体の微細化技術、高集積化技術、半導体製造の高効率化技術。

