

4)-1 デバイス電気特性のリバースプロファイリングに基づくコンパクトトランジスタモデル

4)-1-1 開発の目的

本開発は、TEG の実測データを元にコンパクトトランジスタモデル HiSIM-RP を使用してトランジスタのリバースプロファイリングを行い、その結果から不純物濃度揺らぎに起因するランダムばらつき成分の推定や、不純物濃度揺らぎに起因したばらつき成分を除去した後の各種ばらつき成分の推定、ならびに製造プロセスが変更された場合の、ばらつきも含めた特性変動の予測を行うものである。また、本コンパクトトランジスタモデルを回路技術との境界領域における耐ばらつき基盤技術として展開し、トランジスタのばらつきに関する情報を、統計的 SPICE モデル等を媒介として、回路技術側に受け渡すための道筋をつけることも視野に入れている。

この目的を実現するために、既に MIRAI プロジェクト第三期前半において、HiSIM-RP の基本モデルの開発を実施している。この HiSIM-RP の基本モデルは、リバースプロファイリングに使用することを前提として、実際のデバイス構造や不純物プロファイルのみを入力としており、非物理的なフィッティングパラメータを一切使用していない、同一の不純物プロファイルに対して TCAD 比 $\pm 20\text{mV}$ の精度、かつ TCAD 比 1000 倍強の速度で V_{th} を計算することが可能、という特長を有している。この HiSIM-RP の基本モデルを使用してトランジスタの V_{th} - L - V_{bs} - V_{ds} 特性への合わせ込みを行なうことにより、トランジスタのチャネル不純物プロファイルを、深さ方向には任意の関数で近似し、チャネル方向には Box 近似で平均化したプロファイルとしてリバースプロファイリングが可能である。

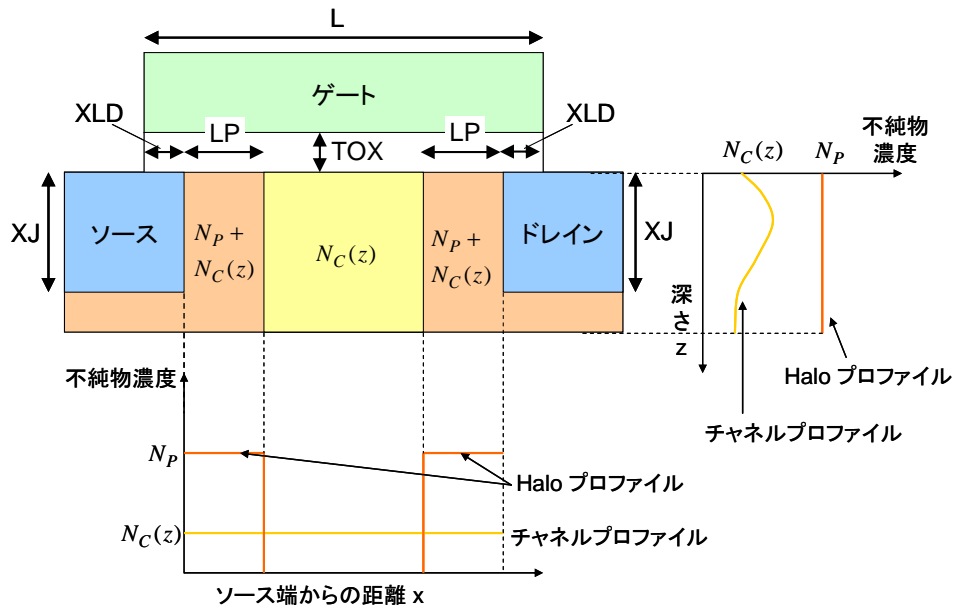
これらの成果を踏まえ、MIRAI プロジェクト第三期後半では、HiSIM-RP の基本モデルを更に発展させて、 V_{th} のみならず I-V 特性の計算も可能にし、非物理的なフィッティングパラメータを一切使用しないコンパクトトランジスタモデルとして完成させる、リバースプロファイリングの結果に基づいたばらつき解析用のアプリケーション技術を開発し、小変更プロセスに対する高速なばらつき予測を可能にすると共に、更にばらつき成分の分離や統計 SPICE モデル作成のための基礎情報を提供する手段を提供することを開発の目的とした。

最終目標として、標準的な hp32nm~hp350nm のバルク CMOS プロセスに対して、HiSIM-RP での V_{th} の予測精度 $\pm 20\text{mV}$ 、 I_{on} の予測精度 $\pm 5\%$ を実現することとした。

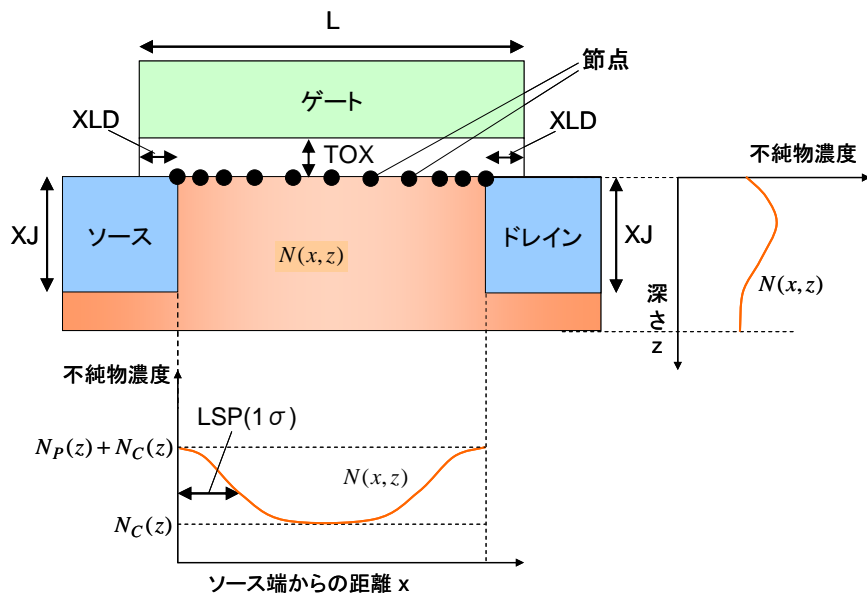
4)-1-2 HiSIM-RP の概要

トランジスタの電気特性から内部の不純物濃度プロファイルを高速・高精度に抽出するためのリバースプロファイリング専用コンパクトトランジスタモデル HiSIM-RP を完成させた。

MIRAI プロジェクト第三期前半において開発した HiSIM-RP [Ⅲ-2- I -③-(1)-文献 4)-1-1] (以下、旧版 HiSIM-RP と呼称)ではサブスレッショルド領域におけるドレイン電流計算機能のみであったが、完成した HiSIM-RP ではリバースプロファイリングを行なったチャネル不純物濃度プロファイルを元に全バイアス領域において I-V 計算を行うことが可能となっている。全バイアス領域において I-V 計算を行うためには、より正確な表面ポテンシャルを計算することが必要となったため、旧版 HiSIM-RP では Ⅲ-2- I -③-(1)-図 4)-1-2-1 の様にチャネルを3分割して表面ポテンシャルを計算するモデルであったものを、完成した HiSIM-RP ではチャネル表面を離散化して数十点の節点をチャネル長に応じて適切な間隔で発生させ(Ⅲ-2- I -③-(1)-図 4)-1-2-2)、各節点の表面ポテンシャルを隣接する節点との相互作用を考慮して求めるモデルに改良した。また、この改良により抽出するチャネル不純物濃度プロファイルの形状についても、実際のトランジスタ内のチャネル不純物濃度プロファイルにより近いものが得られるようになった。



Ⅲ-2-Ⅰ-③-(1)-図 4)-1-2-1. 旧版 HiSIM-RP のトランジスタ構造と不純物濃度プロフィール



Ⅲ-2-Ⅰ-③-(1)-図 4)-1-2-2. 完成した HiSIM-RP のトランジスタ構造と不純物濃度プロフィール

ただし、離散化するのはチャンネル表面のソース・ドレイン間のみであり一次元であることから解くべきマトリックスは非常にコンパクトであり、二次元 三次元に離散化を行う TCAD シミュレータに比べて 1,000~10,000 倍高速に計算を行うことが可能であり、リアルタイムでリバースプロファイリングを行うに十分な能力を有している。

また、完成した HiSIM-RP においても、不純物濃度プロフィールを表すモデルパラメータとトランジスタ形状を表すパラメータを基本とし非物理的なフィッティングパラメータを含まないという特徴も引き続き維持している。そのため、リバースプロファイリングやプロセス変動による特性変動の予測、不純物ばらつきによる特性変動の予測を行うことが可能である。さらに、完成した HiSIM-RP はモンテカルロ計算機能を有し、リバースプロファイリングを行なったチャンネル不純物濃度プロフィールに応じたランダ

ムな不純物ばらつきやチャンネル長ばらつきなどのプロセスばらつきを発生させ、しきい値電圧やドレイン電流などの電気特性のばらつきを計算することが可能である。

これらの機能は、UCB の回路シミュレータの spice3、Silvaco 社の市販の回路シミュレータ smartspice やパラメータ抽出ソフト UTMOST-4、および MIRAI プロジェクト第三期後半において新たに開発した Microsoft Excel 上で動作するアプリケーション「Excel 版 HiSIM-RP」で使用可能となっている。これらのソフトウェアを使用してプロセス・デバイス・回路技術者が、リバースプロファイリングやプロセス変動による特性変動の予測、不純物ばらつきによる特性変動の予測を行うことが可能である。

また、上記の HiSIM-RP の特徴を BSIM4 などのコンパクトモデルや TCAD を比較した結果を III-2-I-③-(1)-表 4)-1-2-1 に示す。

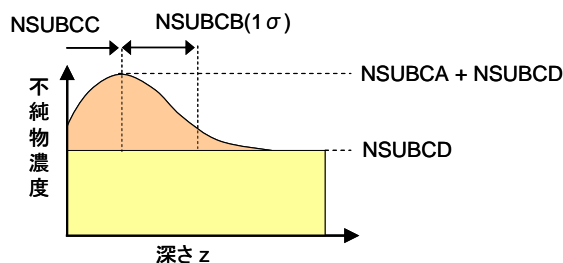
III-2-I-③-(1)-表 4)-1-2-1. コンパクトモデル、TCAD と HiSIM-RP の比較

	コンパクトモデル	TCAD	HiSIM-RP
フィッティングパラメータ	有	無	無
計算速度	非常に高速 (10)	非常に遅い (<0.001)	高速 (1)
適用可能な回路サイズ	大規模回路	数個の素子	小規模回路
プロセス変動による特性変動の予測	×	○	○
不純物ばらつきによる特性変動の予測	×	○	○
不純物濃度のリバースプロファイリングへの適用	×	×	○

今回開発した HiSIM-RP の基本モデルの内容は、プロセスデバイスシミュレーションに関する国際学会 SISPAD にて発表済みである[III-2-I-③-(1)-文献 4)-1-2]。

4)-1-3 チャンネル不純物濃度プロファイルのモデリングと I-V 計算 深さ方向チャンネル不純物濃度プロファイルのモデル化

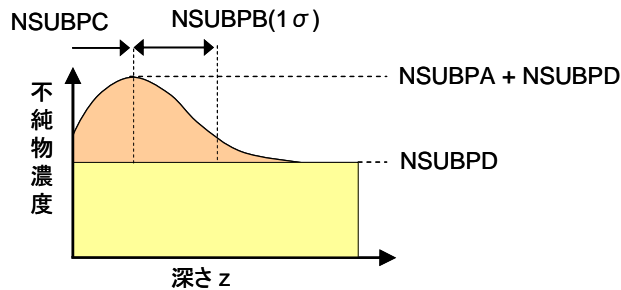
チャンネル不純物の深さ方向不純物濃度プロファイルについては、MIRAI プロジェクト第三期前半に開発したモデルを引き続き採用している。一例として、ガウス分布を想定した場合の深さ方向不純物濃度プロファイルのモデルパラメータを III-2-I-③-(1)-図 4)-1-3-1 に示す。



$$N_C(z) = NSUBCA \cdot \exp\left(-\frac{1}{2}\left(\frac{z - NSUBCB}{NSUBCC}\right)^2\right) + NSUBCD$$

III-2-I-③-(1)-図 4)-1-3-1. HiSIM-RP の深さ方向チャンネル不純物濃度プロファイル

Halo 注入に対しても、Ⅲ-2-I-③-(1)-図 4)-1-3-2 に示す同様のモデルパラメータが用意されており、次に述べる横方向チャンネル不純物濃度プロファイルのモデルパラメータにより、重み付けされて各節点の不純物濃度プロファイルが与えられる。



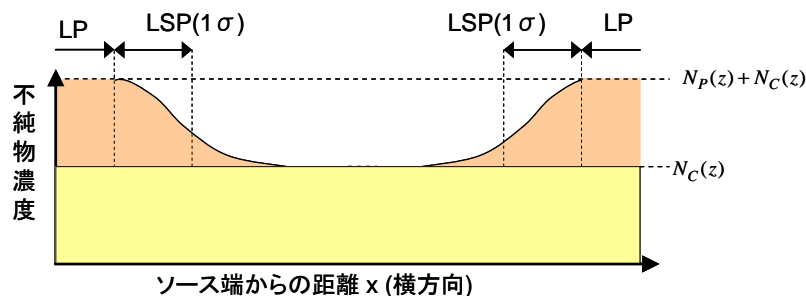
$$N_p(z) = \text{NSUBPA} \cdot \exp\left(-\frac{1}{2}\left(\frac{z - \text{NSUBBPB}}{\text{NSUBPC}}\right)^2\right) + \text{NSUBPD}$$

Ⅲ-2-I-③-(1)-図 4)-1-3-2. Halo 注入に対する深さ方向チャンネル不純物濃度プロファイル

横方向チャンネル不純物濃度プロファイルのモデル化

Halo 注入を含む横方向チャンネル不純物濃度プロファイルのモデルに関しては、全面的に改良を行った。MIRAI プロジェクト第三期前半に開発したモデルではチャンネルをソースおよびドレイン近傍の Halo 領域と中央部の領域に3分割していたが、実際のトランジスタではチャンネル内の不純物濃度は連続して変化しており、行き過ぎた簡略化となっていた。改良された HISIM-RP では、チャンネル表面に数十点の節点をチャンネル長に応じて適切な間隔で発生させ各節点に深さ方向の不純物濃度プロファイルを設定することとした。これにより、チャンネル内の不純物濃度は連続して変化するようになり実際のトランジスタ内のチャンネル不純物濃度プロファイルにより近いものとなった。ただし、TCAD のように各節点に独立した不純物濃度プロファイルを与えると系の自由度が大きくなり過ぎて不純物濃度プロファイルの決定が困難になる。そのため、横方向プロファイルを表現するためのモデルパラメータは 1～3 個程度とした。

Ⅲ-2-I-③-(1)-図 4)-1-3-3 は横方向プロファイルとしてガウス分布を仮定した場合のモデルパラメータである。LP は前期の HiSIM-RP との互換用のパラメータであり、典型的には標準偏差 LSP のみをモデルパラメータとして使用する。



$$N(x, z) = N_P(z) + r_{ps}(x) \cdot N_P(z) + r_{pd}(x) \cdot N_P(z)$$

$N_C(z)$: チャンネル全面の深さ方向不純物プロファイル

$N_P(z)$: Halo 注入の深さ方向不純物プロファイル

$r_{ps}(x)$: ソース側 Halo 注入の横方向分布(重み付け)

$r_{pd}(x)$: ドレイン側 Halo 注入横方向分布(重み付け)

$x < LP$:

$$r_{ps}(x) = 1$$

$x \geq LP$:

$$r_{ps}(x) = \exp\left(-\frac{1}{2}\left(\frac{x-LP}{LSP}\right)^2\right)$$

$L_{eff} - x < LP$:

$$r_{pd}(x) = 1$$

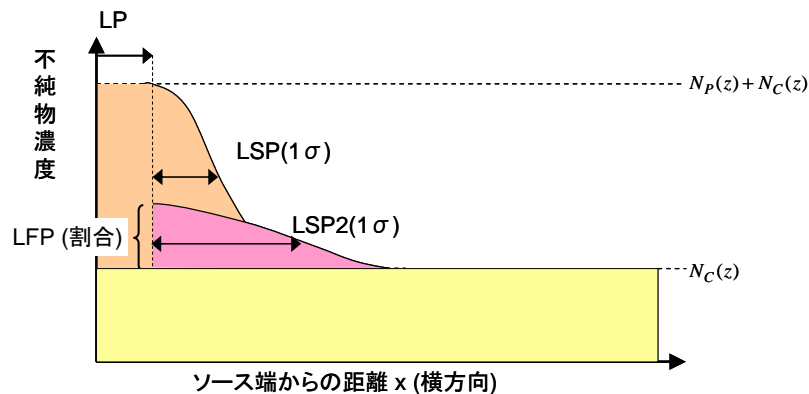
$L_{eff} - x \geq LP$:

$$r_{pd}(x) = \exp\left(-\frac{1}{2}\left(\frac{L_{eff}-x-LP}{LSP}\right)^2\right)$$

$$L_{eff} = L - 2 \times XLD$$

III-2-I-③-(1)-図 4)-1-3-3. HiSIM-RP の横方向チャンネル不純物濃度プロファイル

また、Halo 注入時に一部の不純物がチャンネル内部までテールを引く現象が観測されている。この現象に対応するために、テール部分の割合を表すモデルパラメータ LFP、およびテール部分の標準偏差を表すモデルパラメータ LSP2 も使用可能とした。この場合は、III-2-I-③-(1)-図 4)-1-3-4 の様になり、横方向不純物濃度プロファイルのためのモデルパラメータの数は 3 個となる。



$x < \text{LP} :$

$$r_{ps}(x) = 1$$

$x \geq \text{LP} :$

$$r_{ps}(x) = (1 - \text{LFP}) \cdot \exp\left(-\frac{1}{2}\left(\frac{x - \text{LP}}{\text{LSP}}\right)^2\right) + \text{LFP} \cdot \exp\left(-\frac{1}{2}\left(\frac{x - \text{LP}}{\text{LSP2}}\right)^2\right)$$

$L_{\text{eff}} - x < \text{LP} :$

$$r_{pd}(x) = 1$$

$L_{\text{eff}} - x \geq \text{LP} :$

$$r_{pd}(x) = (1 - \text{LFP}) \cdot \exp\left(-\frac{1}{2}\left(\frac{L_{\text{eff}} - x - \text{LP}}{\text{LSP}}\right)^2\right) + \text{LFP} \cdot \exp\left(-\frac{1}{2}\left(\frac{L_{\text{eff}} - x - \text{LP}}{\text{LSP2}}\right)^2\right)$$

Ⅲ-2-I-③-(1)-図 4)-1-3-4. Halo のテールを考慮した場合の
横方向チャネル不純物濃度プロファイル

擬二次元ポアソン方程式

HiSIM-RP では、元となった HiSIM2 [Ⅲ-2-I-③-(1)-文献 4)-1-3] と同様に表面ポテンシャルを基本物理量としてトランジスタの電気特性を計算する。HiSIM2 ではソース端とドレイン端の二点のみの表面ポテンシャルから電気特性の計算を行うが、HiSIM-RP ではチャネル表面に発生させた各節点の表面ポテンシャルを求めて電気特性を計算することでより正確に電気特性を計算可能になった。ただし、TCAD の様に二次元や三次元の相互作用を含むポテンシャルの値を一度に解こうとすると解くべきマトリックスが非常に大きくなり計算時間が多大になってしまう。そのため、HiSIM-RP では二つのステップで表面ポテンシャルを計算することとし、TCAD と比較して計算時間を劇的に減少させることに成功した。

以下に、その二つのステップについて説明する。

まず、一番目のステップでは、MIRAI プロジェクト第三期前半に開発された技術を用いて、各節点に設定された深さ方向の不純物濃度プロファイルを元に、反復法を用いて数値的に各節点の深さ方向一次元ポアソン方程式 Ⅲ-2-I-③-(1)-式 4)-1-3-1 を解く。

$$C_{ox} \cdot (V_G - V_{FB} - \phi_{s0}) = C \sqrt{\frac{N_{sub}}{N_{sub0}}} \cdot (\beta \cdot (\phi_{s0} - V_B) - 1 + \exp(-\beta \cdot (\phi_{s0} - V_B))) + \exp(\beta \cdot (\phi_{s0} - 2\Phi_B))$$

…Ⅲ-2-I-③-(1)-式4)-1-3-1

$$C = \sqrt{\frac{2\epsilon_{si}q \cdot N_{sub0}}{\beta}}$$

$$\Phi_B = \frac{1}{\beta} \log\left(\frac{N_{sub0}}{n_i}\right)$$

$$\beta = \frac{q}{k_B T}$$

ここで、 C_{ox} はゲート容量、 V_G はゲート電圧、 V_{FB} はフラットバンド電圧、 V_B は基板電圧、 q は要素電荷、 ϵ_{si} はシリコンの誘電率、 β は Boltzman 因子であり、 N_{sub0} は表面での不純物濃度である。

表面ポテンシャル ϕ_{s0} と実効不純物濃度 N_{sub} は空乏層幅 W_{dep} の関数として不純物濃度プロファイル $N(x, z)$ を深さ方向に積分した形でⅢ-2-I-③-(1)-式4)-1-3-2, Ⅲ-2-I-③-(1)-式4)-1-3-3と定義されている。

$$\phi_{s0} = \frac{q}{\epsilon_{Si}} \int_0^{W_{dep}} z \cdot N(x, z) dz + V_B + \frac{1}{\beta} \quad \dots \text{Ⅲ-2-I-③-(1)-式4)-1-3-2}$$

$$N_{sub} = \frac{\left(\int_0^{W_{dep}} N(x, z) dz \right)^2}{2 \int_0^{W_{dep}} z \cdot N(x, z) dz} \quad \dots \text{Ⅲ-2-I-③-(1)-式4)-1-3-3}$$

空乏層幅 W_{dep} を変数として深さ方向一次元ポアソン方程式 Ⅲ-2-I-③-(1)-式4)-1-3-1 を解くことにより、各節点の表面ポテンシャル ϕ_{s0} と実効不純物濃度 N_{sub} が求まる。その結果、各節点の深さ方向の不純物濃度プロファイルの情報は各節点の実効不純物濃度 N_{sub} として表現される。

次に、二番目のステップで、反復法を用いて数値的に擬二次元ポアソン方程式 Ⅲ-2-I-③-(1)-式4)-1-3-4 を解く。

$$Q_g - Q_i + E = \sqrt{C^2 \frac{N_{sub}}{N_{sub0}} \cdot (\beta \cdot (\phi_s - V_B) - 1 + \exp(-\beta \cdot (\phi_s - V_B))) + E \cdot Q_{b0}} \quad \dots \text{Ⅲ-2-I-③-(1)-式4)-1-3-4}$$

ゲート電荷:

$$Q_g = C_{ox} \cdot (V_G - V_{FB} - \phi_s)$$

キャリア電荷:

$$Q_i = Q_g - \sqrt{Q_g^2 - C^2 \exp(\beta \cdot (\phi_s - \phi_f - 2\Phi_B))}$$

空乏層内の基板電荷の初期値:

$$Q_{b0} = C \sqrt{\frac{N_{sub}}{N_{sub0}} \cdot (\beta \cdot (\phi_{s0} - V_B) - 1 + \exp(-\beta \cdot (\phi_{s0} - V_B)))}$$

横方向電界による電荷の減少分:

$$E = \epsilon_{Si} \cdot W_{dep} \frac{d^2(\phi_s - \Phi_B)}{dx^2} + \Delta E(X_j)$$

擬二次元ポアソン方程式は各節点で設定されるが、 E により隣接する節点との相互作用が導入される。各節点の擬二次元ポアソン方程式は、最初のステップで求めた表面ポテンシャル ϕ_{s0} を初期値として、各節点の表面ポテンシャル ϕ_s と擬フェルミ準位 ϕ_f を変数として、各節点間のドレイン電流 I_D が同じになるように電流連続式と連立させて解かれる。ドレイン電流 I_D は、Ⅲ-2-I-③-(1)-式4)-1-3-5 に従って各節点のキャリア電荷量 Q_i およびキャリアの実効移動度 μ_{eff} 、擬フェルミ準位 ϕ_f の傾きから計算される。

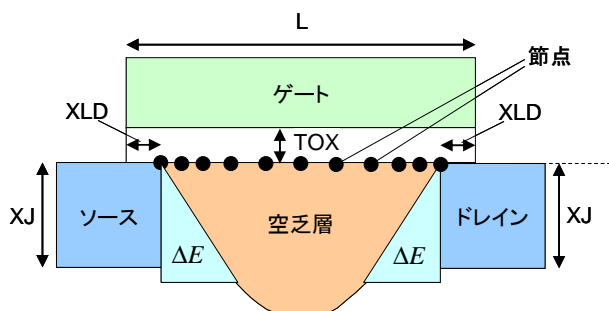
$$I_D = W_{eff} \mu_{eff} Q_i \frac{d\phi_f}{dx} \quad \dots \text{Ⅲ-2-I-③-(1)-式4)-1-3-5}$$

ここで、 W_{eff} は実効ゲート幅である。キャリア電荷量 Q_i は表面ポテンシャルと擬フェルミ準位から計算される。キャリアの実効移動度 μ_{eff} は速度飽和を考慮したキャリアの移動度である。移動度モデルは TCAD と同じモデル [Ⅲ-2-I-③-(1)-文献4)-1-4], [Ⅲ-2-I-③-(1)-文献4)-1-5] を使用しており、不純物濃度やキャリア濃度、実効垂直電界に対してユニバーサルなモデルとなっている。反復法が収束した時点で、各節点の表面ポテンシャル ϕ_s と擬フェルミ準位 ϕ_f が求まり、同時にドレイン電流の値 I_D が求まる。

ポアソン方程式と電流連続式を連立させてポテンシャルを求める方法は、TCAD と同様であり、

HiSIM-RP は TCAD と同様正確にポテンシャルを求めることが可能である。一方で、深さ方向の情報を表面の各節点の実効不純物濃度 N_{sub} として表現することにより、解くべきマトリックスが非常にコンパクトになっており、TCAD に比べて 1,000~10,000 倍高速に計算を行うことが可能となっている。

また、擬二次元ポアソン方程式 III-2-I-③-(1)-式 4)-1-3-4 の中で、 E は横方向電界による基板電荷の減少分を表している。 E の中で、短チャネル効果を精度良く取り入れるためソースおよびドレインの接合深さ X_j に依存する補正項 $\Delta E(X_j)$ を適切にモデル化することが重要であり、HiSIM-RP ではチャージシェアリングモデルに基づきソースおよびドレイン端では III-2-I-③-(1)-図 4)-1-3-5 の三角形の部分の電荷が減少していると考え、フィッティングパラメータ無しに接合深さ依存性を再現することに成功している。



III-2-I-③-(1)-図 4)-1-3-5 チャージシェアリングモデルによる基板電荷の減少の表現

その他の物理モデル

以上が、HiSIM-RP の基本モデルであるが、実際の先端デバイスへの適用を考慮して、より正確にトランジスタの電気特性やそのばらつきが計算可能となるように、以下に述べるような種々の物理モデルを導入した。

① ソース・ドレインの寄生抵抗モデル

ゲート長が短くなりドレイン電流値が高くなるとソース・ドレインの寄生抵抗の影響による電圧降下が無視できない。そのため、HiSIM-RP では III-2-I-③-(1)-式 4)-1-3-6 のように、ソース・ドレインの寄生抵抗 R_S , R_D をトランジスタのソース・ドレインと外部電圧源(V_S , V_D)間に接続してソース・ドレインにかかる電圧が $V_{S,eff}$, $V_{D,eff}$ となるモデルを導入した。ここで、ドレイン電流 I_D は $V_{S,eff}$, $V_{D,eff}$ の関数になるため、この式も反復法によって数値的に解かれる。

$$\begin{aligned} V_{S,eff} &= V_S + R_S I_D \\ V_{D,eff} &= V_D - R_D I_D \end{aligned} \quad \dots \text{III-2-I-③-(1)-式 4)-1-3-6}$$

② STI ストレス依存性モデル

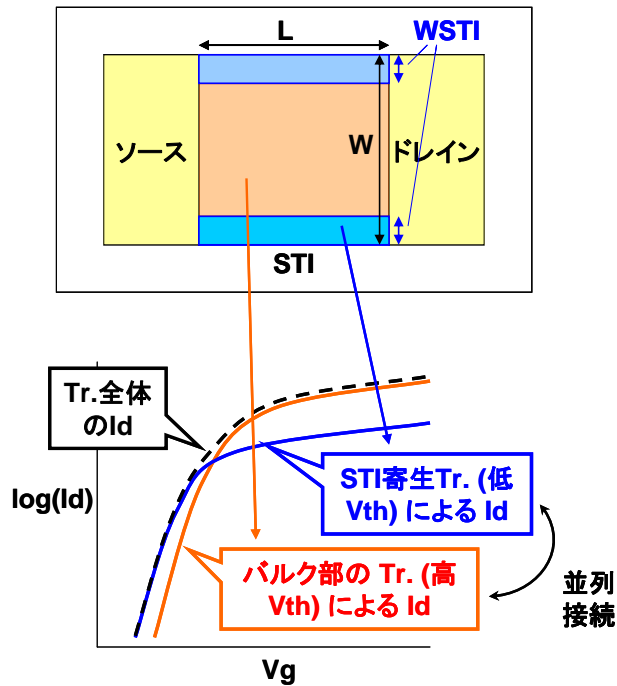
STI ストレスにより閾値(V_{th})や移動度などが変動しトランジスタの電気特性が変動する。この効果を再現するため、HiSIM-RP に HiSIM2 と同じモデルを導入した。耐外部擾乱デバイスプログラムのコンパクトストレスモデルによる計算結果をモデルパラメータの値として設定することで STI ストレス依存性を再現することが可能である。

③ W 依存性モデル(狭チャネル効果モデル)

STI 端においてチャネル不純物濃度が低下して閾値が低い寄生トランジスタが並列接続されているように見える現象がある。この現象を再現するために、寄生トランジスタの幅 W_{STI} とチャネル不純物濃度の低下率 $NSUBCW_{TI}$, $NSUBPSW_{TI}$ をモデルパラメータとし STI 端の寄生トランジスタをバルク部のトランジスタと並列接続するモデルを導入した。

III-2-I-③-(1)-図 4)-1-3-6 は、STI 端の寄生トランジスタのドレイン電流 $I_{d,STI}$ (青の実線)

とバルク部のトランジスタのドレイン電流 $I_{d,orig}$ (オレンジの実線)を並列接続してトランジスタの全ドレイン電流値 I_D (黒の破線) が計算されることを模式的に表した図である。



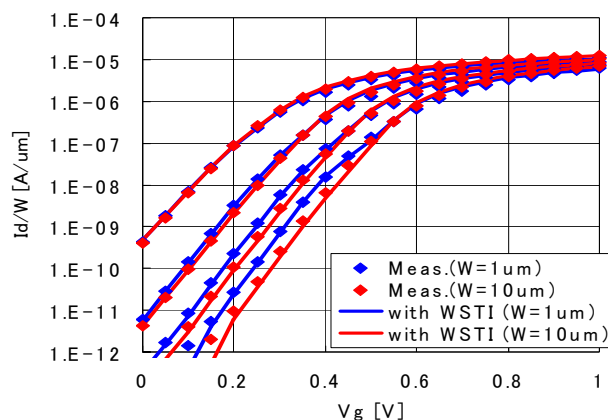
$$I_D = (W_{eff} - 2 \cdot W_{STI}) \cdot I_{d,orig} + 2 \cdot W_{STI} \cdot I_{d,STI}$$

$$I_{d,orig} = I_d(N_C, N_P)$$

$$I_{d,STI} = I_d(N_C \cdot NSUBCW_{STI}, N_P \cdot NSUBPW_{STI})$$

III-2-I-③-(1)-図 4)-1-3-6. 寄生トランジスタとバルク部のトランジスタの並列接続

III-2-I-③-(1)-図 4)-1-3-7 は、STI 端の寄生トランジスタを考慮して、 $W=1\mu\text{m}$ と $W=10\mu\text{m}$ のデバイスに対してリバースプロファイリングを行い同じモデルパラメータで合わせ込んだ例であり、測定データに対して $W=1\mu\text{m}$, $W=10\mu\text{m}$ のデバイス共に良く一致している。



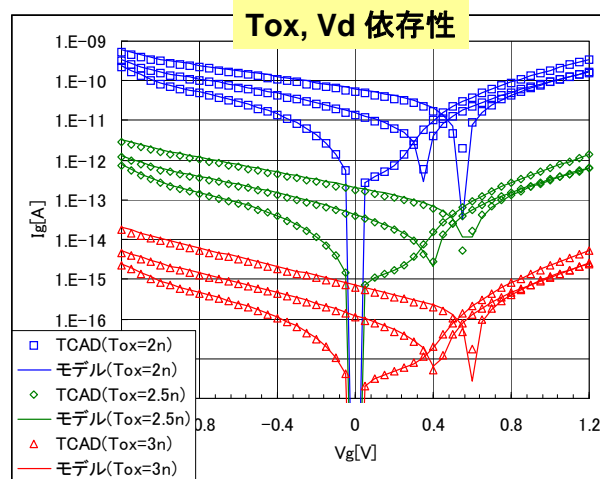
III-2-I-③-(1)-図 4)-1-3-7. 異なる W のデバイスの測定値への合わせ込み例

④ ゲートリーク電流モデル

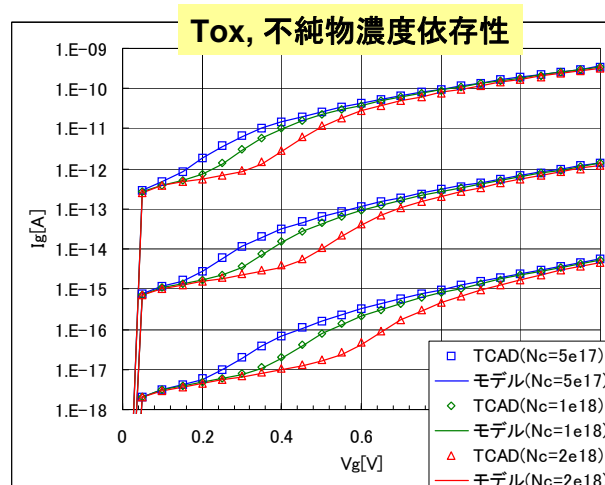
4)-1-4 のばらつき解析を行うにあたり、ゲート酸化膜厚(T_{ox})のばらつきについてはゲートリーク電流のばらつきから抽出することとした。そのため、HiSIM-RP にゲートリーク電流モデルと

して、表面ポテンシャルを基本物理量として、Si 基板・酸化膜界面とゲート・酸化膜界面の間でのトンネル現象を計算する TCAD と同様のモデルを導入した。

TCAD と HiSIM-RP の計算結果を比較した図を III-2-I-③-(1)-図 4)-1-3-8~9 に示す。ゲート酸化膜厚(T_{ox})依存性、ドレイン電圧(V_d)依存性、不純物濃度(N_c)依存性とも TCAD と非常に良く一致している。



III-2-I-③-(1)-図 4)-1-3-8. ゲートリーク電流の T_{ox} , V_d 依存性に対する TCAD と HiSIM-RP の計算結果の比較



III-2-I-③-(1)-図 4)-1-3-9. ゲートリーク電流の T_{ox} , 不純物濃度依存性に対する TCAD と HiSIM-RP の計算結果の比較

HiSIM-RPの I-V 計算機能の精度検証

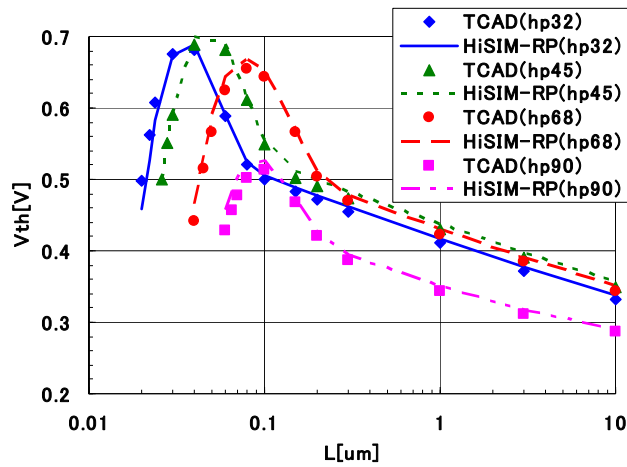
HiSIM-RP の I-V 計算機能の精度を検証するために、ITRS のロードマップ[III-2-I-③-(1)-文献 4)-1-6] を参考に hp32nm から hp90nm までの 4 世代の LSTP (Low Standby Power) トランジスタを想定した仮想デバイスについて TCAD と HiSIM-RP の計算結果を比較した。

TCAD との比較に用いた仮想デバイスの構造パラメータと不純物濃度分布パラメータについては、III-2-I-③-(1)-表 4)-1-3-1 に示した。構造パラメータについては ITRS のロードマップに従い、不純物濃度分布パラメータについては、最小ゲート長 L_{min} においてオフリーク電流 I_{off} の値が 10[pA/um] となるように各パラメータを選択した。

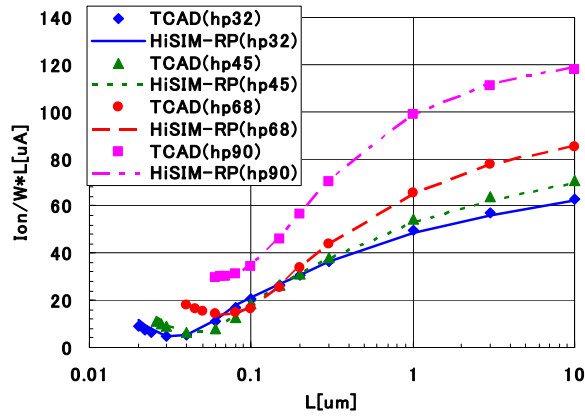
III-2-I-③-(1)-表 4)-1-3-1. TCAD との比較に使用した仮想デバイスの
構造パラメータおよび不純物濃度分布パラメータ

hp	Lmin	Tox	Vdd	Ioff	Xj	Xld	Nc	Np	LSP	ID
[nm]	[nm]	[nm]	[V]	[pA/um]	[nm]	[nm]	[cm ⁻³]	[cm ⁻³]	[nm]	
32	22	1.41	0.95	10	6.5	2	1.6E18	6.6E18	20	hp32.a
								7.2E18	15	hp32.b
								9.0E18	10	hp32.c
45	28	1.73	1.0	10	9.0	2	1.1E18	4.3E18	30	hp45.a
								4.8E18	20	hp45.b
								5.5E18	15	hp45.c
68	45	2.52	1.1	10	12.5	2	6.0E17	1.6E18	60	hp68.a
								1.75E18	40	hp68.b
								2.5E18	20	hp68.c
90	65	2.73	1.2	10	16.0	2	5.0E17	9.3E17	60	hp90.a
								1.1E18	40	hp90.b
								2.15E18	20	hp90.c

まず、しきい値電圧(V_{th})と飽和電流(I_{on})のゲート長(L)依存性について比較したものを III-2-I-③-(1)-図 4)-1-3-10~11 に示す。どの世代のデバイスに対しても、全てのゲート長のデバイスに対して、HiSIM-RP の計算結果は TCAD と非常によく一致しており、成果目標である V_{th} 誤差 $\pm 20\text{mV}$ 、 I_{on} 誤差 $\pm 5\%$ を満たしている。

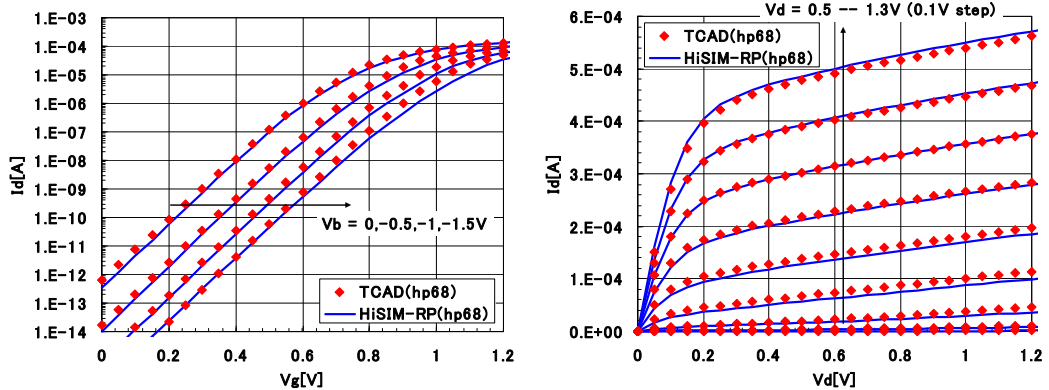


III-2-I-③-(1)-図 4)-1-3-10. 仮想デバイス hp32.a, hp45.a, hp68.a, hp90.a の V_{th} のゲート長依存性についての TCAD と HiSIM-RP の計算結果の比較

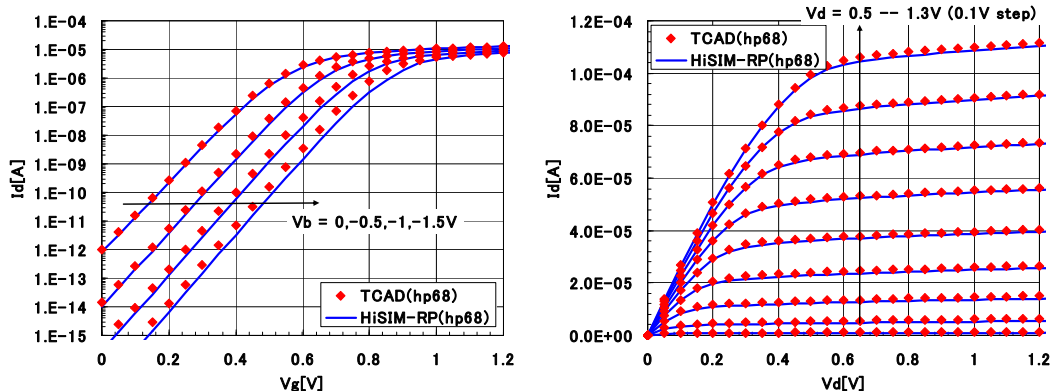


III-2-I-③-(1)-図 4)-1-3-11. 仮想デバイス hp32.a, hp45.a, hp68.a, hp90.a の $I_{on} \cdot W/L$ のゲート長依存性についての TCAD と HiSIM-RP の計算結果の比較

次に、hp68.b の最小ゲート長である $L=45\text{nm}$ と長チャネルである $L=1\mu\text{m}$ のデバイスの I_d-V_g および I_d-V_d 特性について TCAD と HiSIM-RP の計算結果を比較したグラフを III-2-I-③-(1)-図 4)-1-3-12~13 に示す。どちらのゲート長のデバイスに対してもバイアスによらず HiSIM-RP の計算結果は TCAD と良く一致しており、HiSIM-RP は全バイアス領域において I-V 計算を行うに十分な精度を有していることが分かる。

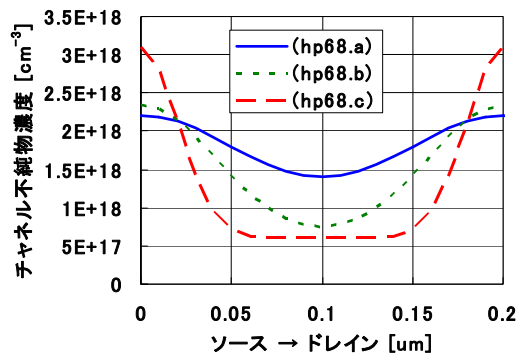


III-2-I-③-(1)-図 4)-1-3-12. 仮想デバイス hp68.b の $L=45\text{nm}$ の I_d-V_g 特性, I_d-V_d 特性についての TCAD と HiSIM-RP の計算結果の比較

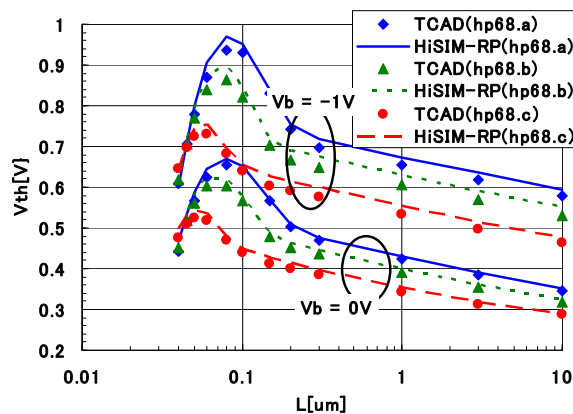


III-2-I-③-(1)-図 4)-1-3-13. 仮想デバイス hp68.b の $L=1\mu\text{m}$ の I_d-V_g 特性, I_d-V_d 特性についての TCAD と HiSIM-RP の計算結果の比較

次に、Halo 不純物濃度を III-2- I -③-(1)-図 4)-1-3-13 のように変化させて逆短チャネル効果 (Reverse Short Channel Effect) の変化を見た結果を III-2- I -③-(1)-図 4)-1-3-14 に示す。仮想デバイス hp68.a, hp68.b, hp68.c は最小ゲート長 $L_{min}=45\text{nm}$ では、どのデバイスもほぼ同じ V_{th} であり、このゲート長ではチャネル不純物濃度はどのデバイスもほぼ同じと考えられる。しかし、Halo 不純物濃度プロファイルが異なるため V_{th} のゲート長依存性は異なっている。HiSIM-RP の計算結果は、Halo 不純物濃度プロファイルの変化による V_{th} の変化を良く再現しており、HiSIM-RP はチャネル不純物濃度のリバースプロファイリングの用途に十分使用可能な性能を有していることが分かる。



III-2- I -③-(1)-図 4)-1-3-13. 仮想デバイス hp68.a, hp68.b, hp68.c のチャネル不純物濃度についての TCAD と HiSIM-RP の計算結果の比較



III-2- I -③-(1)-図 4)-1-3-14. 仮想デバイス hp68.a, hp68.b, hp68.c の V_{th} のゲート長依存性についての TCAD と HiSIM-RP の計算結果の比較

4)-1-4 ばらつき計算機能とばらつき解析

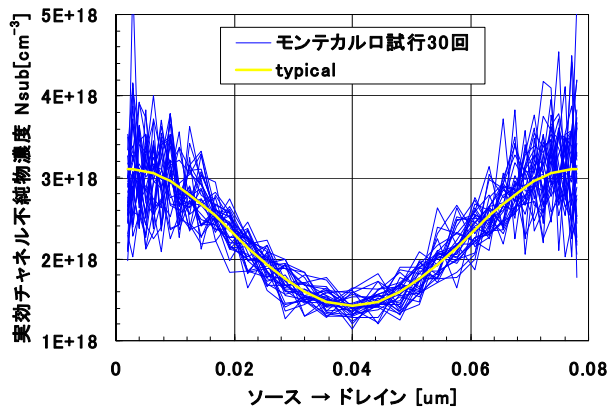
モンテカルロ解析機能

HiSIM-RP はばらつき解析のためにモンテカルロ解析機能を有している。モンテカルロ解析とは、乱数を発生させその乱数を元にトランジスタの物理パラメータにばらつきを与えて特性を計算することを多数回 (一般的には数百回～数千回) 繰り返す解析方法であり、計算結果から例えば標準偏差 (σ) などの特性のばらつき量を求めることができる。TCAD でも同様の計算は可能であるが、一回当たりの計算時間が多いためにモンテカルロ解析を行う場合には多大な計算機リソースが必要となってしまう。一方、HiSIM-RP は、その高速性により、例えば二次元 TCAD で一時間かかるところを数秒で計算可能であり、特性ばらつきを推定する有用なツールとなっている。

トランジスタの特性ばらつきには、素子毎にばらつき量が異なるランダムばらつきと、隣接する素子

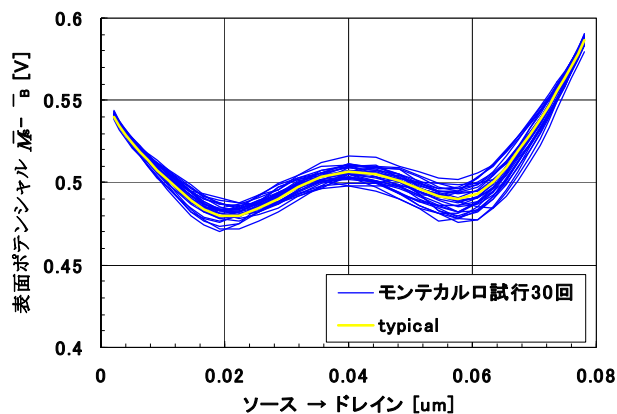
間では同じばらつき量だが、別のチップや別のウェハの素子間では異なるばらつき量となるシステムティックばらつきがある。

この中で、不純物のランダムばらつきに起因するランダムな特性ばらつきを HiSIM-RP のモンテカルロ解析機能で計算する手順は以下になる。まず、不純物のランダムばらつきは、各節点が受け持つ不純物数に応じてポアソン分布またはガウス分布から不純物濃度プロファイル $N(x, z)$ に対してばらつきが設定される。このばらつきを含む不純物濃度プロファイルを元に深さ方向一次元ポアソン方程式を解くことにより、各節点での実効不純物濃度のばらつきが計算される。III-2-I-③-(1)-図4)-1-4-1 は、HiSIM-RP でモンテカルロ計算を 30 回行った時の実効不純物濃度のばらつきの様子を示したものである。チャンネルのソース近傍(図の左端)とドレイン近傍(図の右端)において実効不純物濃度のばらつきが比較的大きくなっているのは、この領域では節点の間隔が狭く設定されており一つの節点が受け持つ不純物数が少ないためである。

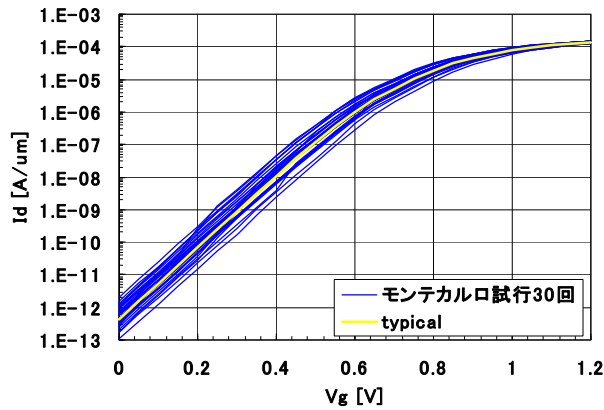


III-2-I-③-(1)-図4)-1-4-1. モンテカルロ解析による実効チャンネル不純物濃度のばらつき

次に、このばらつきを含む実効不純物濃度を元に擬二次元ポアソン方程式を電流連続式と連立させて解くことにより、表面ポテンシャルのばらつきおよびドレイン電流のばらつきが得られる。III-2-I-③-(1)-図4)-1-4-2 は HiSIM-RP でモンテカルロ計算を 30 回行った時の表面ポテンシャルのばらつきの様子を示したものである。チャンネルのソース近傍(図の左端)とドレイン近傍(図の右端)においては表面ポテンシャルのばらつきは小さくなっている。これは、ソース・ドレイン近傍では電荷が横方向に逃げるため表面ポテンシャルに影響する実効的な電荷量が少なくばらつきも小さくなるからである。また、III-2-I-③-(1)-図4)-1-4-3 はドレイン電流のばらつきの様子を示したものである。



III-2-I-③-(1)-図4)-1-4-2. モンテカルロ解析による表面ポテンシャルのばらつき



Ⅲ-2- I -③-(1)-図 4)-1-4-3. モンテカルロ解析によるドレイン電流のばらつき

また、HiSIM-RP は、チャンネル長ばらつき(ΔL)や、ゲート酸化膜厚ばらつき(ΔT_{ox})、ソース・ドレイン寄生抵抗ばらつき(ΔR_s , ΔR_d) などのプロセスばらつきを扱うことも可能である。これらの標準偏差 (1σ)の値を HiSIM-RP のモデルパラメータとして設定することで計算が行われる。これらのプロセスばらつきをランダムばらつきとしてもシステマティックばらつきとしても扱うことが可能であり、前述の不純物のランダムばらつきと組み合わせて計算することも可能である。

こうした、HiSIM-RP のモンテカルロ解析機能を使用することで、トランジスタの特性ばらつきを高速に推定することが可能となる。

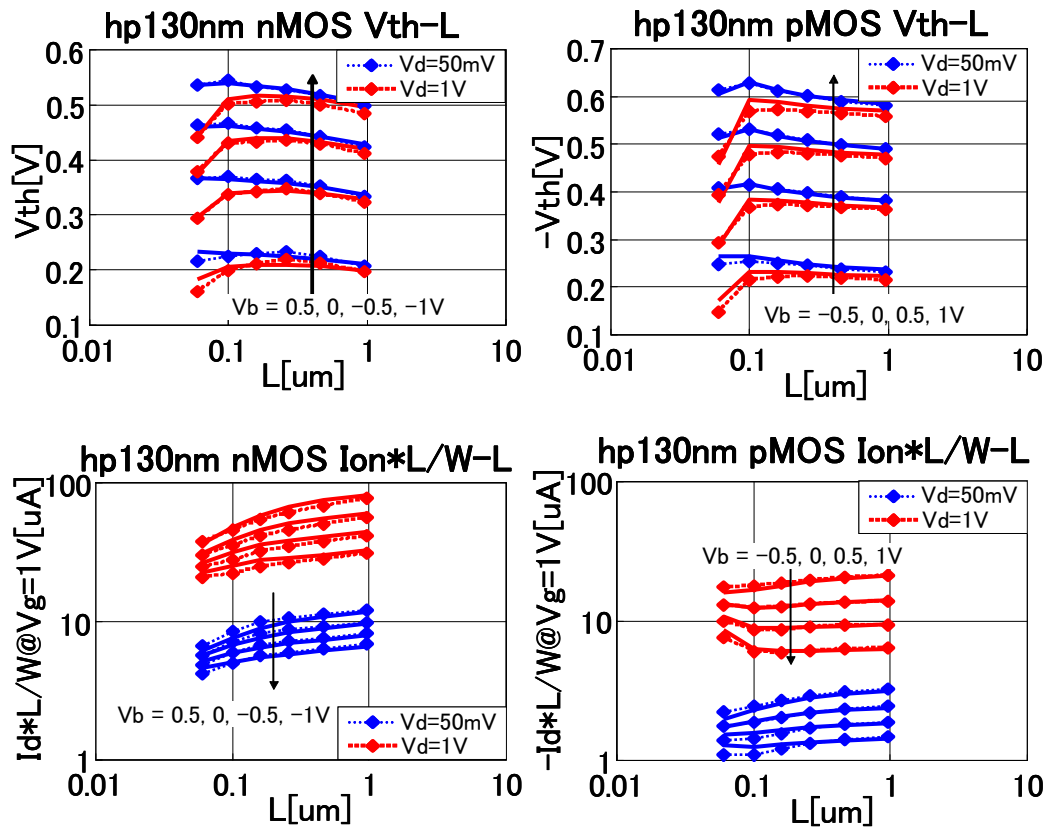
リバースプロファイリング

HiSIM-RP を用いてトランジスタ電気特性のばらつき解析を行うためには、最初にリバースプロファイリングを行なって電気特性を合わせ込んでおく必要がある。

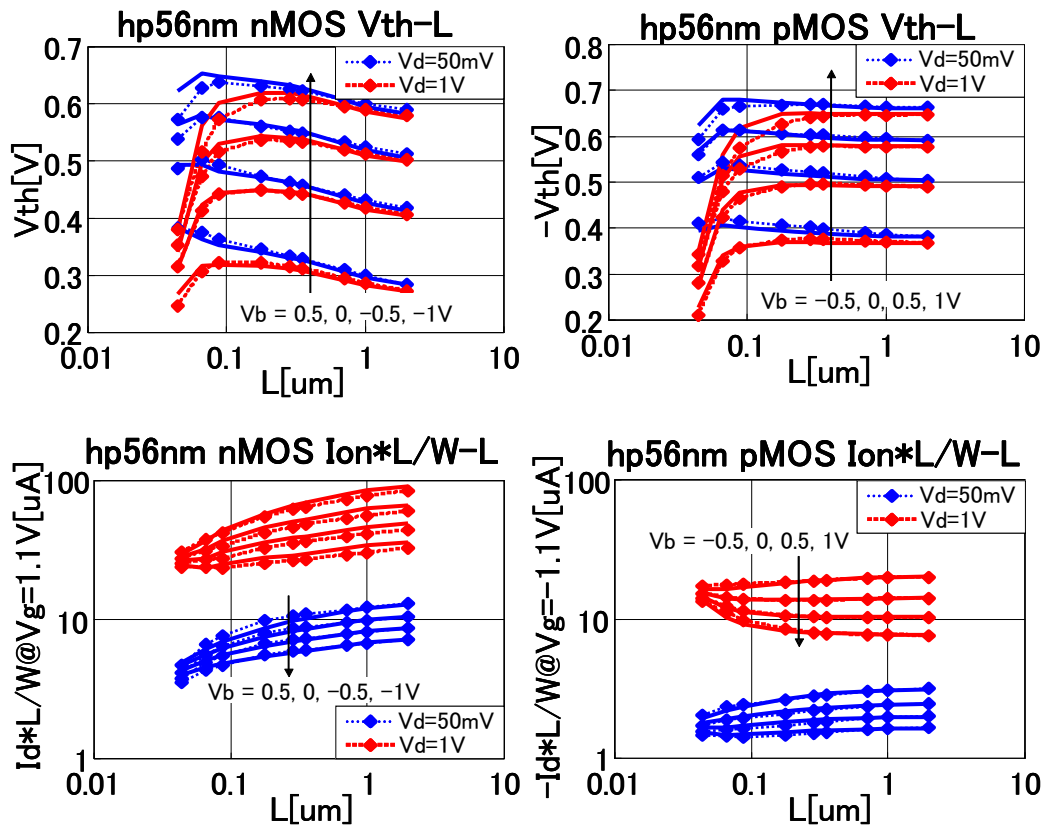
リバースプロファイリングの手順を以下に示す。まず、長チャンネルでの V_{th} - V_b 特性からリバースプロファイリングを行って長チャンネルでの不純物濃度パラメータ(NSUBCA~NSUBCD) を抽出する。次に、 V_{th} - L - V_{bs} - V_{ds} 特性からリバースプロファイリングを行って Halo 注入の不純物濃度パラメータ(NSUBPA~NSUBPD, LSP) やソース・ドレイン接合深さ(XJ)、ソース・ドレインのオーバーラップ長(XLD) を抽出する。ここまでが、MIRAI プロジェクト第三期前半において開発したリバースプロファイリング方法であるが、完成した HiSIM-RP は I-V 計算機能を有しているため、さらに I_{ds} についても合わせ込みを行う。

まず、低 V_{ds} かつ高 V_{gs} における I_{ds} - L 特性からソース・ドレイン寄生抵抗(R_{sd}) の値を抽出する。そして最後に、高 V_{ds} かつ高 V_{gs} における I_{ds} - L 特性からキャリア飽和速度を抽出する。チャンネル長が短い先端デバイスでは、速度オーバーシュートにより実効的なキャリア飽和速度が長チャンネルにおけるキャリア飽和速度より大きくなっている。そのため、キャリア飽和速度を抽出する必要がある。HiSIM-RP は非物理的なフィッティングパラメータを持たないため、基本的にこれだけの操作でパラメータ抽出が完了する。

Ⅲ-2- I -③-(1)-図 4)-1-4-4~5 に hp130nm(90nm ノード) と hp56nm(40nm ノード) のトランジスタに対して電気特性を合わせ込んだ結果を示す。どのトランジスタのフィッティング精度も、成果目標として採用した指標である V_{th} 誤差 ± 20 mV、 I_{on} 誤差 $\pm 5\%$ を満たしている。



III-2-I-③-(1)-図 4)-1-4-4. hp130nm のトランジスタに対する合わせ込み結果



III-2-I-③-(1)-図 4)-1-4-5. hp56nm のトランジスタに対する合わせ込み結果

ランダムばらつきの解析結果

HiSIM-RP を用いたランダムばらつきの解析は以下の手順で行なう。

① 隣接ペアトランジスタの相対ばらつき成分の測定

隣接するペアトランジスタについて測定を行い、ペアトランジスタ間の特性の相対差をランダムばらつきと見なしランダムばらつきの測定値を見積もる。 N 個のペアトランジスタの測定値がある場合の V_{th} や I_{ds} のランダムばらつきの標準偏差(σ)は III-2-I-③-(1)-式 4)-1-4-1 ~2 の様にして見積もることができる。

V_{th} のランダムばらつきの標準偏差:

$$\sigma_{V_{th},rand} = \frac{1}{\sqrt{2}} \sqrt{\frac{1}{N-1} \sum_i (\Delta_{V_{th}}(i) - \overline{\Delta_{V_{th}}})^2} \quad \dots \text{III-2-I-③-(1)-式4)-1-4-1}$$

$$\Delta_{V_{th}} \text{ の平均値: } \overline{\Delta_{V_{th}}} = \frac{1}{N} \sum_i \Delta_{V_{th}}(i)$$

$$i \text{ 番目のペアトランジスタの } V_{th} \text{ の相対差: } \Delta_{V_{th}}(i) = V_{th,L}(i) - V_{th,R}(i)$$

$$i \text{ 番目のペアトランジスタの左側の素子の } V_{th}: V_{th,L}(i)$$

$$i \text{ 番目のペアトランジスタの右側の素子の } V_{th}: V_{th,R}(i)$$

I_{ds} のランダムばらつきの標準偏差:

$$\sigma_{I_{ds},rand} = \frac{1}{\sqrt{2}} \sqrt{\frac{1}{N-1} \sum_i (\Delta_{I_{ds}} - \overline{\Delta_{I_{ds}}})^2} \quad \dots \text{III-2-I-③-(1)-式4)-1-4-2}$$

$$\Delta_{I_{ds}} \text{ の平均値: } \overline{\Delta_{I_{ds}}} = \frac{1}{N} \sum_i \Delta_{I_{ds}}(i)$$

$$i \text{ 番目のペアトランジスタの } I_{ds} \text{ の相対差: } \Delta_{I_{ds}} = I_{ds,L}(i) - I_{ds,R}(i)$$

$$i \text{ 番目のペアトランジスタの左側の素子の } I_{ds}: I_{ds,L}(i)$$

$$i \text{ 番目のペアトランジスタの右側の素子の } I_{ds}: I_{ds,R}(i)$$

② ゲートリーク電流ばらつきからゲート酸化膜厚、オーバーラップ長ばらつきを抽出

隣接するペアトランジスタ間のゲートリーク電流(I_g)の相対差をゲートリーク電流のランダムばらつきと見なし、 $V_{gs}=VDD$, $V_{ds}=0V$ でのゲートリーク電流のばらつきからゲート酸化膜厚(T_{ox})のランダムばらつき量を見積もる。また、 $V_{gs}=0$, $V_{ds}=VDD$ でのゲートリーク電流のばらつきからオーバーラップ長(XLD)のランダムばらつき量を見積もる。ゲートリーク電流ばらつきの標準偏差の見積もり方法は ① の I_{ds} の見積もり方法と同様である。

③ モンテカルロ解析による不純物濃度揺らぎ成分の抽出

ランダム不純物濃度ばらつきについて、リバースプロファイリングしたモデルパラメータを用いて HiSIM-RP でモンテカルロ解析を行い、不純物濃度揺らぎ成分を見積もる。この時、後述するようなゲート幅 W に応じたファクターを不純物濃度揺らぎに乗じる必要がある。

④ V_{th} ばらつきからゲート長、接合深さばらつきの抽出。

① で見積もった V_{th} ばらつきの測定値から ② と ③ のばらつき成分を除き、残った V_{th} ばらつきからゲート長(L)、接合深さ(X_j)ばらつきを抽出する。

⑤ I_{ds} - V_{th} ばらつき相関プロットの主軸直交成分から移動度、ソース・ドレイン寄生抵抗のばらつき成分の抽出。

I_{ds} - V_{th} ばらつき相関プロットの長チャネルデバイスでの主軸直交成分から移動度(μ)のばらつき成分を抽出し、短チャネルデバイスでの主軸直交成分からソース・ドレイン寄生抵抗

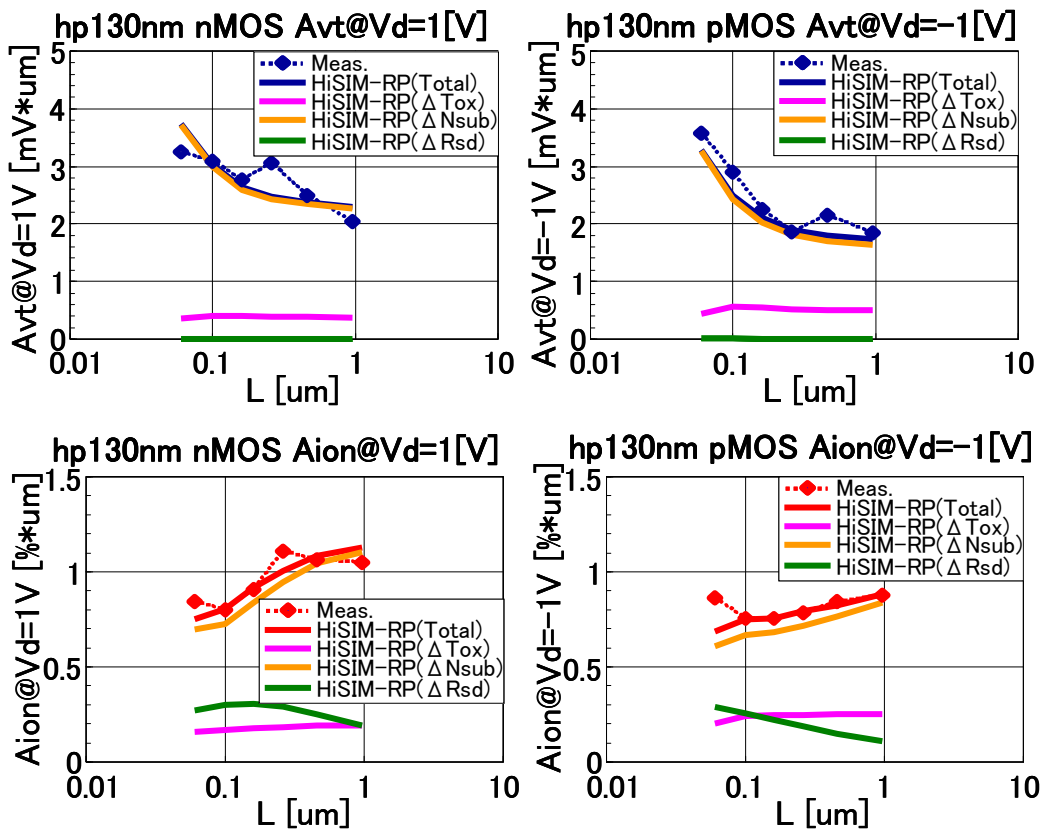
(Rsd)のばらつき成分を抽出する。

この手順で hp130nm ならびに hp56nm トランジスタのランダムばらつきを解析し、Pelgrom 係数の成分分析を行った結果を III-2-I-③-(1)-図 4)-1-4-6~7 に示す。Pelgrom 係数の定義は、III-2-I-③-(1)-式 4)-1-4-3~4 に示した。

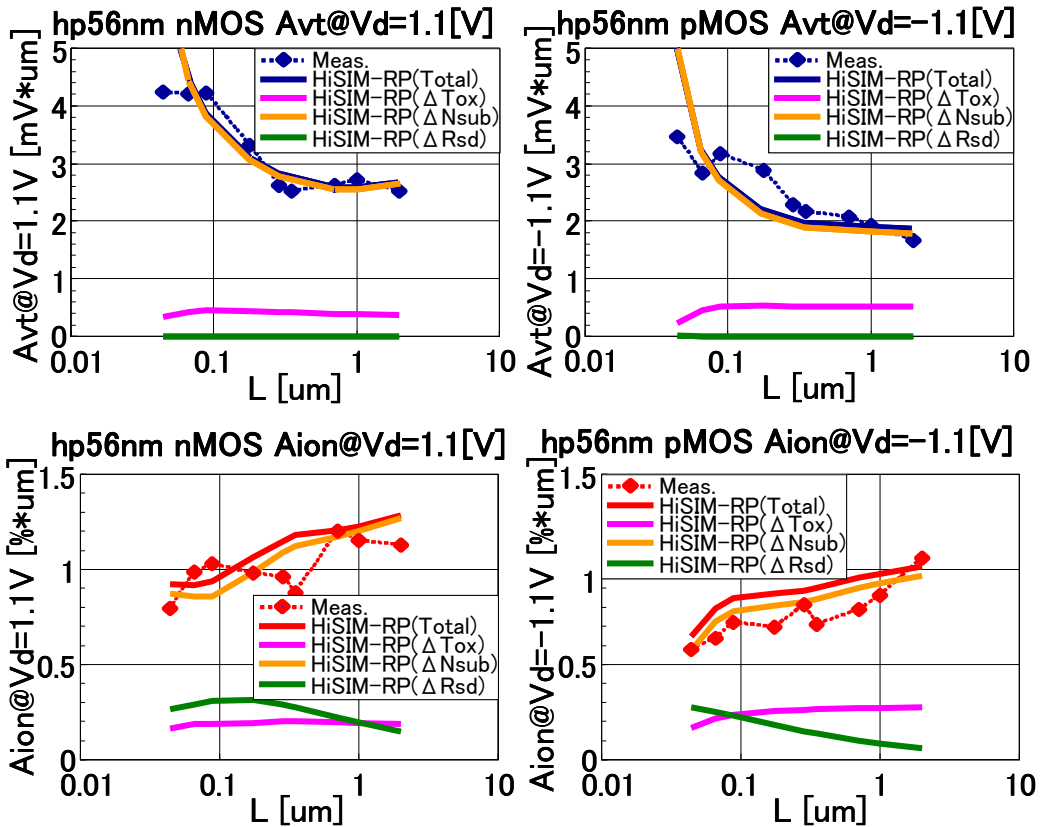
$$A_{vt} = \sigma_{V_{th}}[\text{mV}] \times \sqrt{L[\text{um}] \cdot W[\text{um}]} \quad \dots \text{III-2-I-③-(1)-式 4)-1-4-3}$$

$$A_{ion} = \frac{\sigma_{ion}}{I_{on}}[\%] \times \sqrt{L[\text{um}] \cdot W[\text{um}]} \quad \dots \text{III-2-I-③-(1)-式 4)-1-4-4}$$

今回解析した hp130nm ならびに hp56nm トランジスタのランダムばらつきでは、 ΔN_{sub} で示した不純物濃度揺らぎ成分が V_{th} , I_{on} ばらつきに与える影響が支配的であり、L の短いトランジスタではこの他にソース・ドレイン寄生抵抗ばらつき(ΔRsd)が I_{on} ばらつきに影響を及ぼす。ゲート酸化膜厚ばらつき(ΔT_{ox})はわずかに影響があるが、他の XLD, L, X_j , μ のばらつきはいずれも無視出来るオーダーである。



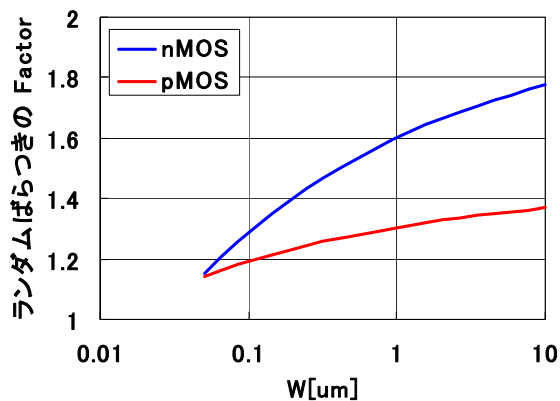
III-2-I-③-(1)-図 4)-1-4-6. hp130nm のトランジスタのランダムばらつきの解析結果



III-2-I-③-(1)-図 4)-1-4-7. hp56nm のトランジスタのランダムばらつき解析結果

ランダムばらつきのW方向依存性の解析結果

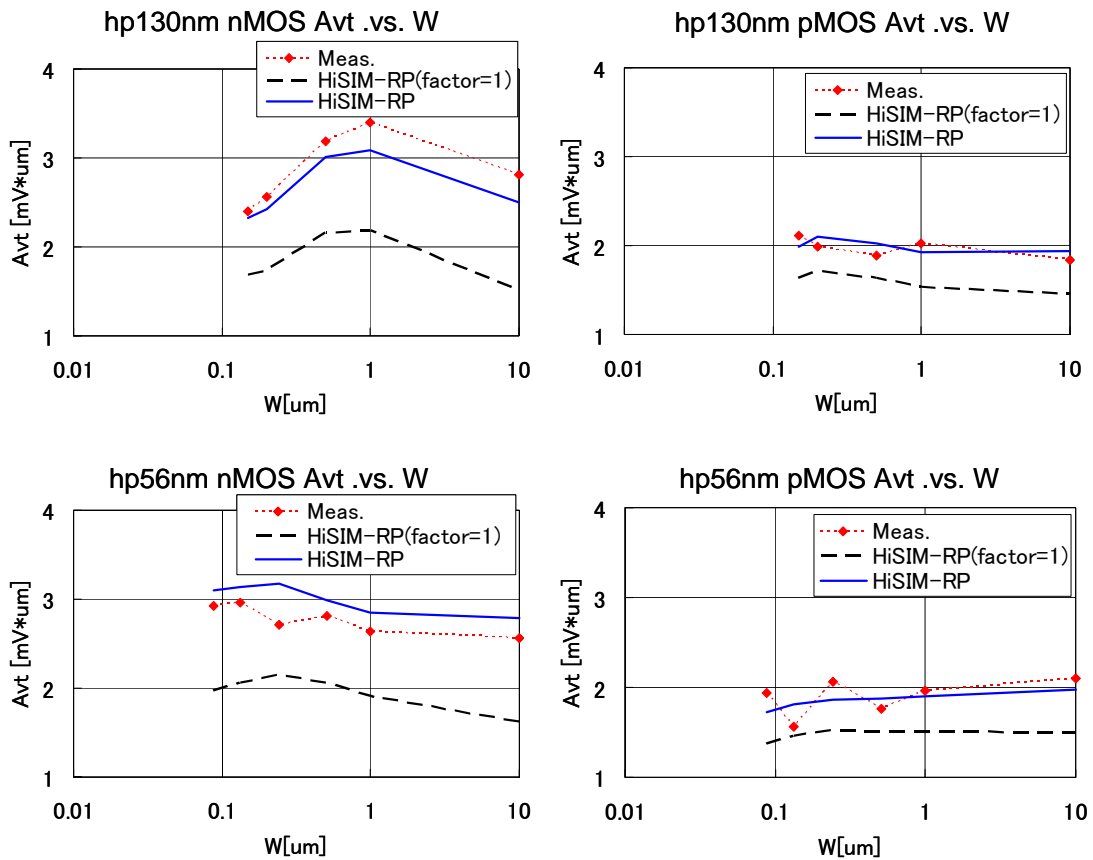
HiSIM-RP を用いたランダムばらつきの解析において、III-2-I-③-(1)-図 4)-1-4-8 に示したゲート幅 W に応じたファクターを不純物濃度揺らぎに乗じる必要があることが分かった。このファクターは、HiSIM-RP が二次元構造を想定しているために、三次元的な効果を取り入れたために必要となったものであり、プロセス世代やゲート長 L によらず同じファクターが使用可能である。また、nMOS のランダムばらつきが pMOS のランダムばらつきより大きいという実験事実を再現するために、nMOS については pMOS より大きなファクターが設定されている。



III-2-I-③-(1)-図 4)-1-4-8. W に応じた不純物濃度揺らぎに乗じるファクター

hp130nm ならびに hp56nm トランジスタのランダムばらつき A_{vt} の W 依存性について HiSIM-RP の計算値と測定値と比較した結果を III-2-I-③-(1)-図 4)-1-4-9 に示した。比較のために、ファクタ

一を 1 とした結果も破線で示した。hp130nm nMOS では、STI 端においてチャネル不純物濃度が低下して閾値が低い寄生トランジスタが並列接続されているように見える現象が大きく見えており、その結果として $W=1\mu\text{m}$ 付近に A_{vt} のピークが生じている。HiSIM-RP は、この現象も含めてランダムばらつき A_{vt} の W 依存性を良く再現していることが分かる。



III-2-I-③-(1)-図 4)-1-4-9. hp56nm のトランジスタのランダムばらつきの解析結果

システムティックばらつきの解析結果

HiSIM-RP を用いたシステムティックばらつきの解析は以下の手順で行なう。

- ① ランダムばらつき成分を除去してシステムティックばらつき成分を抽出

W の大きいトランジスタのばらつきの測定値からランダムばらつき成分を除去してシステムティックばらつき成分を抽出する。 N 個の素子の測定値がある場合の V_{th} や I_{ds} のシステムティックばらつきの標準偏差(σ)は III-2-I-③-(1)-式 4)-1-4-5~6 の様にして見積もることができる。また、 I_g のシステムティックばらつきの標準偏差も I_{ds} と同様に見積もることができる。

V_{th} のシステムティックばらつきの標準偏差:

$$\sigma_{V_{th},sys} = \sqrt{\frac{1}{N-1} \sum_i (V_{th}(i) - \overline{V_{th}})^2 - \sigma_{V_{th},rand}^2} \quad \dots \text{III-2-I-}\textcircled{3}\text{-}(1)\text{-式4-1-4-5}$$

$$\text{全素子の } V_{th} \text{ の平均値: } \overline{V_{th}} = \frac{1}{N} \sum_i V_{th}(i)$$

i 番目の素子の $V_{th} : V_{th}(i)$

I_{ds} のシステムティックばらつきの標準偏差:

$$\sigma_{I_{ds},sys} = \sqrt{\frac{1}{N-1} \sum_i (I_{ds}(i) - \overline{I_{ds}})^2 - \sigma_{I_{ds},rand}^2} \quad \dots \text{III-2-I-}\textcircled{3}\text{-}(1)\text{-式4-1-4-6}$$

$$\text{全素子の } I_{ds} \text{ の平均値: } \overline{I_{ds}} = \frac{1}{N} \sum_i I_{ds}(i)$$

i 番目の素子の $I_{ds} : I_{ds}(i)$

② 電気特性ばらつきに対する要素ばらつきの感度マトリクスを計算

チャンネル長(L)、ゲート酸化膜厚(T_{ox})、不純物濃度、ソース・ドレイン寄生抵抗(R_{sd}) の各要素について各ゲート長の素子の特性ばらつきに対する III-2-I-③-(1)-式 4-1-4-7 のような感度マトリクスを計算する。

$$A = \begin{pmatrix} \vdots & \vdots & \vdots & \vdots \\ \frac{\partial V_{th}(L_k)}{\partial L} & \frac{\partial V_{th}(L_k)}{\partial T_{ox}} & \frac{\partial V_{th}(L_k)}{\partial N_{sub}} & \frac{\partial V_{th}(L_k)}{\partial R_{sd}} \\ \frac{\partial I_{ds}(L_k)}{\partial L} & \frac{\partial I_{ds}(L_k)}{\partial T_{ox}} & \frac{\partial I_{ds}(L_k)}{\partial N_{sub}} & \frac{\partial I_{ds}(L_k)}{\partial R_{sd}} \\ \frac{\partial I_g(L_k)}{\partial L} & \frac{\partial I_g(L_k)}{\partial T_{ox}} & \frac{\partial I_g(L_k)}{\partial N_{sub}} & \frac{\partial I_g(L_k)}{\partial R_{sd}} \\ \vdots & \vdots & \vdots & \vdots \end{pmatrix} \quad \dots \text{III-2-I-}\textcircled{3}\text{-}(1)\text{-式4-1-4-7}$$

ゲート長 L_k の素子の $V_{th} : V_{th}(L_k)$

ゲート長 L_k の素子の $I_{ds} : I_{ds}(L_k)$

ゲート長 L_k の素子の $I_g : I_g(L_k)$

③ 電気特性ばらつきを再現する様に(III-2-I-③-(1)-式 4-1-4-8 が成り立つ様に)最小二乗法を用いて要素ばらつき成分の大きさを決定する。

$$A \cdot \begin{pmatrix} \Delta L \\ \Delta T_{ox} \\ \Delta N_{sub} \\ \Delta R_{sd} \end{pmatrix} \cong \begin{pmatrix} \vdots \\ \sigma_{V_{th},sys}(L_k) \\ \sigma_{I_{ds},sys}(L_k) \\ \sigma_{I_g,sys}(L_k) \\ \vdots \end{pmatrix} \quad \dots \text{III-2-I-}\textcircled{3}\text{-}(1)\text{-式4-1-4-8}$$

ゲート長 L_k の素子のシステムティックばらつきの $\sigma : \sigma_{V_{th},sys}(L_k)$

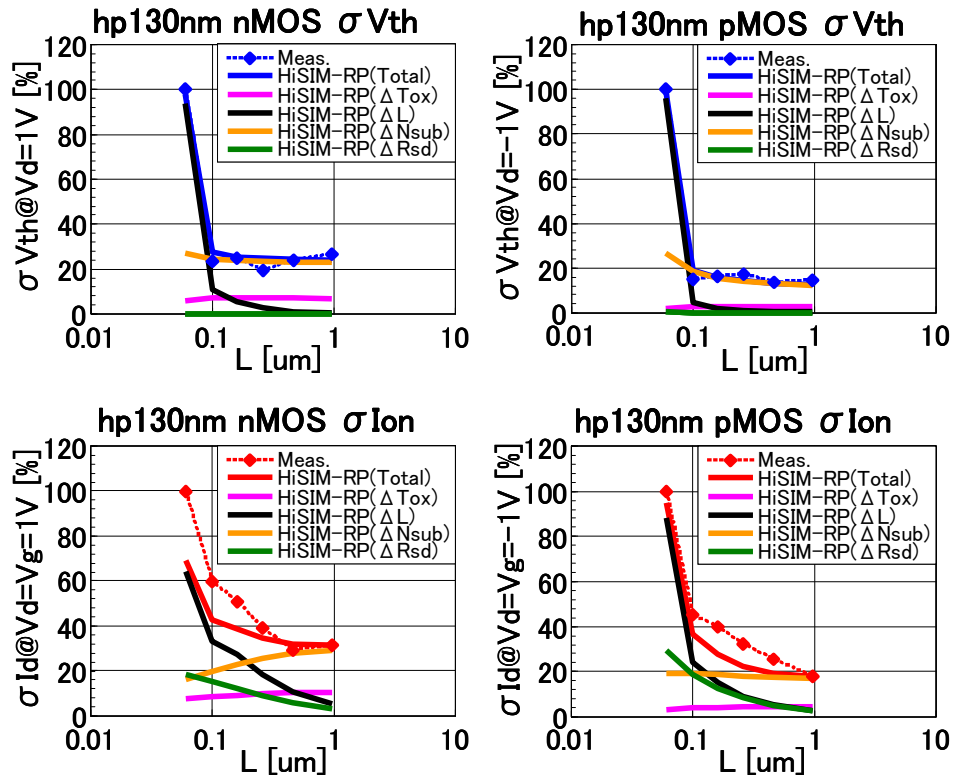
ゲート長 L_k の素子のシステムティックばらつきの $\sigma : \sigma_{I_{ds},sys}(L_k)$

ゲート長 L_k の素子のシステムティックばらつきの $\sigma : \sigma_{I_g,sys}(L_k)$

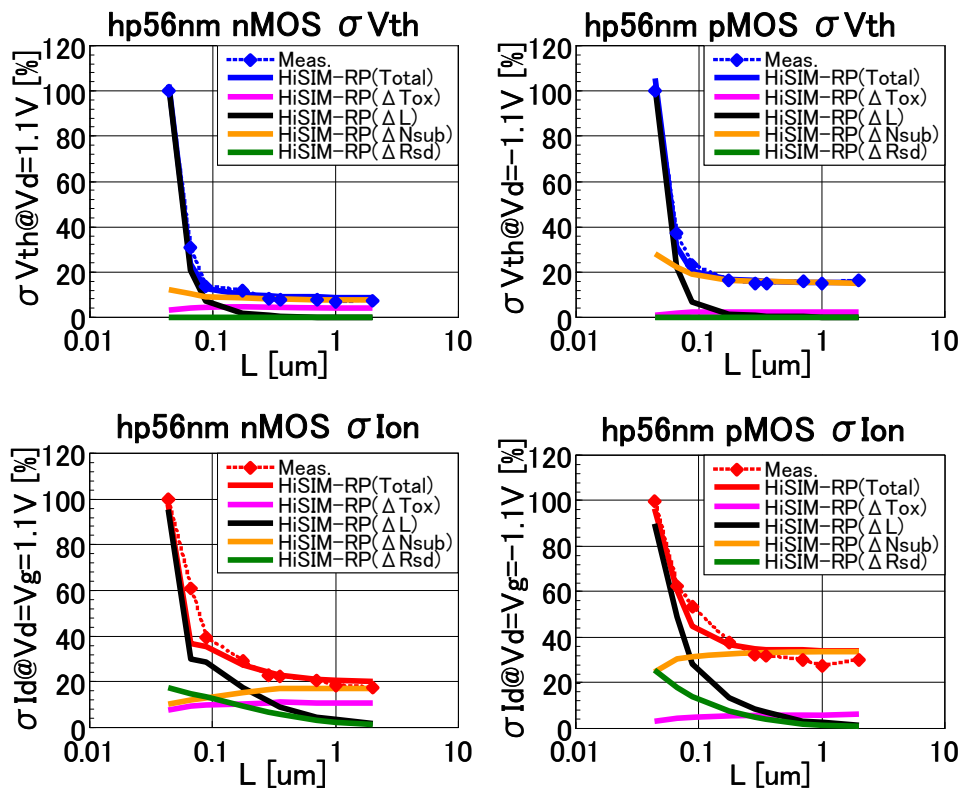
ここで、③を行う際には、ゲートリーク電流のシステムティックばらつきを考慮して T_{ox} のばらつきを適切な範囲に抑えることが重要である。なぜなら、 T_{ox} のシステムティックばらつきとチャンネル不純物濃度のシステムティックばらつきは、共にゲート長(L)やゲート幅(W)にあまり依存せずにドレイン電流特性ばらつきに影響を及ぼすためドレイン電流のシステムティックばらつきだけからでは分離して抽出することが困難だからである。

この手順で hp130nm ならびに hp56nm トランジスタのシステムティックばらつき成分分析を行った結果を III-2-I-③-(1)-図 4-1-4-10~11 に示す。最小ゲート長でのシステムティックばらつき成分の測定値を 100[%] とした時の各ゲート長でのシステムティックばらつき成分値をプロットしている。

今回解析した hp130nm ならびに hp56nm トランジスタのシステムティックばらつきでは、 V_{th} , Ion 共に L ばらつき(ΔL)の寄与が最も大きく、次に不純物濃度ばらつき(ΔN_{sub})、 R_{sd} ばらつき(ΔR_{sd})の順であり、この3成分でシステムティックばらつき成分のほとんどを占める。



III-2-I-③-(1)-図 4)-1-4-10. hp130nm のトランジスタのシステムティックばらつきの解析結果



III-2-I-③-(1)-図 4)-1-4-11. hp56nm のトランジスタのシステムティックばらつきの解析結果

以上の結果から、不純物濃度ばらつき、Rsd ばらつき、L ばらつきを適切に予測出来れば、新プロセスに対しても HiSIM-RP を用いてばらつき予測を行なうことが可能であると言える。

4)-1-5 アプリケーション

プロセス・デバイス・回路技術者が簡易に HiSIM-RP を使用することを可能にするため、MicroSoft Excel 上から HiSIM-RP を実行しその結果を表示するアプリケーション「Excel 版 HiSIM-RP」を開発した。Excel 版 HiSIM-RP では、HiSIM-RP を用いたリバースプロファイリング、I-V 特性の測定データとの比較、任意の I-V 特性の計算とグラフの表示、ばらつきの計算と Pelgrom プロットなどのグラフの表示が可能となっている。

Ⅲ-2- I -③-(1)-図 4)-1-5-1a~1d は、リバースプロファイリング用のシートである。

以下に、このシートの使用方法を説明する。まず、初期モデルパラメータを所定のフォーマットで用意して読み込む(1a-1)。次に、リバースプロファイリングに使用する長チャネルデバイスの Vth-Vb 特性や Cgg-Vg 特性、Vth-L-Vb 特性などの測定データを所定のフォーマットで用意して読み込む(1a-2)。次に、計算結果を格納するファイルを指定する(1a-3)。次に、不純物濃度パラメータなどの値を入力する(Ⅲ-2- I -③-(1)-図 4)-1-5-1b~1d)。その後、HiSIM-RP を実行して、その結果を測定データと比較する(1a-4)。実効結果のグラフの例を Ⅲ-2- I -③-(1)-図 4)-1-5-2~4 に示した。Ⅲ-2- I -③-(1)-図 4)-1-5-2 は Vth-Vb 特性の比較図、Ⅲ-2- I -③-(1)-図 4)-1-5-3 は Cgg-Vg 特性の比較図、Ⅲ-2- I -③-(1)-図 4)-1-5-4 は Vth-L-Vb の比較図である。測定データと誤差がある場合には、不純物濃度パラメータを調整して再実行する。以上により、リバースプロファイリングを行うことが出来る。また、抽出した不純物濃度プロファイルから任意の深さのチャネル不純物濃度を Ⅲ-2- I -③-(1)-図 4)-1-5-1-5 のようにグラフ表示して確認する(1a-5)ことも可能になっている。

Copyrights © Selete

1. HiSIM-RPによるリバースプロファイリング

ここで設定したデバイス構造や不純物プロファイルは、後のI-V計算やばらつき計算に引き継がれます。
の部分のみ入力が可能です。

モデルパラメータ初期値設定	実行ボタン	結果
初期モデルパラメータシートの読み込み	実行	

1a-1

初期モデルパラメータBook名	初期モデルパラメータ	選択
初期モデルパラメータシート名	初期モデルパラメータ	

計算実行	実行ボタン	結果
①Vth-Vbs特性の計算と比較 (チャネルプロファイル抽出用)	実行	
②Cgg-Vgs特性の計算と比較 (チャネルプロファイル抽出用)	実行	
③Vth-L特性の計算と比較 (Haloプロファイル抽出用)	実行	
④抽出不純物プロファイル確認	実行	

1a-4

不純物プロファイル抽出パラメータ			
L(ゲート長)	1.00E-07	[m]	
W(ゲート幅)	1.00E-06	[m]	
Depth(不純物プロファイルを抽出する深さ)	start	stop	num
	0	2.00E-08	11 [個]

1a-5

計算結果格納用Book名	選択
Vth-Vbs特性格納Sheet名	vth-vb
Cgg-Vgs特性格納Sheet名	cgg
Vth-L特性格納Sheet名	vth-l
抽出不純物プロファイル格納Sheet名	nsub

1a-3

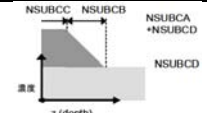
ターゲット特性データBook名	選択
Vth-Vbs特性データSheet名	vth-vb
Cgg-Vgs特性データSheet名	cgg
Vth-L特性データSheet名	vth-l

1a-2

Trタイプ
<input checked="" type="checkbox"/> nMOS
<input type="checkbox"/> pMOS

Ⅲ-2- I -③-(1)-図 4)-1-5-1a. Excel 版 HiSIM-RP のリバースプロファイリング用シート(1) ファイル読み込み・計算実行部

チャンネルプロファイルパラメータ				
線形分布	指定値	デフォルト値	許容範囲	
NSUBCA (最大不純物濃度)	<input type="text" value=""/>	<input style="background-color: #e0e0e0;" type="text" value="0.00E+00 [cm<sup>-3</sup>]"/>	-5E+17 <	NSUBCA [cm ⁻³]
NSUBCB (最小不純物濃度になる深さ)	<input type="text" value=""/>	<input style="background-color: #e0e0e0;" type="text" value="0.00E+00 [m]"/>	0 <=	NSUBCB [m]
NSUBCC (最大不純物濃度を保つ深さ)	<input type="text" value=""/>	<input style="background-color: #e0e0e0;" type="text" value="0.00E+00 [m]"/>	0 <=	NSUBCC [m]
NSUBCD (最小不純物濃度)	<input type="text" value=""/>	<input style="background-color: #e0e0e0;" type="text" value="5.00E+17 [cm<sup>-3</sup>]"/>	0 <	NSUBCD [cm ⁻³]



$$z \leq N_c \quad N(z) = N_s + N_D$$

$$N_c < z < N_c + N_b \quad N(z) = N_s \left(1 - \frac{z - N_c}{N_b}\right) + N_D$$

$$N_c + N_b \leq z \quad N(z) = N_D$$

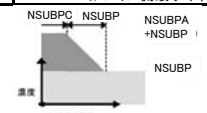
Gauss分布				
指定値	デフォルト値	許容範囲		
NSUBCA (最大不純物濃度)	<input style="background-color: #ffff00;" type="text" value="5.00E+17 [cm<sup>-3</sup>]"/>	<input style="background-color: #e0e0e0;" type="text" value="0.00E+00 [cm<sup>-3</sup>]"/>	-5E+17 <	NSUBCA [cm ⁻³]
NSUBCB (分布の標準偏差)	<input style="background-color: #ffff00;" type="text" value="2.00E-08 [m]"/>	<input style="background-color: #e0e0e0;" type="text" value="0.00E+00 [m]"/>	0 <=	NSUBCB [m]
NSUBCC (最大不純物濃度になる深さ)	<input style="background-color: #ffff00;" type="text" value="3.00E-08 [m]"/>	<input style="background-color: #e0e0e0;" type="text" value="0.00E+00 [m]"/>	0 <=	NSUBCC [m]
NSUBCD (最小不純物濃度)	<input style="background-color: #ffff00;" type="text" value="5.00E+17 [cm<sup>-3</sup>]"/>	<input style="background-color: #e0e0e0;" type="text" value="5.00E+17 [cm<sup>-3</sup>]"/>	0 <	NSUBCD [cm ⁻³]



$$N(z) = N_s \exp\left(-\frac{(z - N_c)^2}{2N_b^2}\right) + N_D$$

III-2-I-③-(1)-図 4)-1-5-1b. Excel 版 HiSIM-RP のリバースプロファイリング用シート(2)
深さ方向不純物濃度プロファイルのパラメータ指定部

Halo深さ方向プロファイルパラメータ				
線形分布	指定値	デフォルト値	許容範囲	
NSUBPA (最大不純物濃度)	<input type="text" value=""/>	<input style="background-color: #e0e0e0;" type="text" value="0.00E+00 [cm<sup>-3</sup>]"/>	0 <=	NSUBPA [cm ⁻³]
NSUBPAS (ソース側最大不純物濃度)	<input type="text" value=""/>	<input style="background-color: #e0e0e0;" type="text" value="0.00E+00 [cm<sup>-3</sup>]"/>	0 <=	NSUBPAS [cm ⁻³]
NSUBPAD (ドレイン側最大不純物濃度)	<input type="text" value=""/>	<input style="background-color: #e0e0e0;" type="text" value="0.00E+00 [cm<sup>-3</sup>]"/>	0 <=	NSUBPAD [cm ⁻³]
NSUBPB (最小不純物濃度になる深さ)	<input type="text" value=""/>	<input style="background-color: #e0e0e0;" type="text" value="0.00E+00 [m]"/>	0 <=	NSUBPB [m]
NSUBPBS (ソース側が最小不純物濃度になる深さ)	<input type="text" value=""/>	<input style="background-color: #e0e0e0;" type="text" value="0.00E+00 [m]"/>	0 <=	NSUBPBS [m]
NSUBPBD (ドレイン側が最小不純物濃度になる深さ)	<input type="text" value=""/>	<input style="background-color: #e0e0e0;" type="text" value="0.00E+00 [m]"/>	0 <=	NSUBPBD [m]
NSUBPC (最大不純物濃度を保つ深さ)	<input type="text" value=""/>	<input style="background-color: #e0e0e0;" type="text" value="0.00E+00 [m]"/>	0 <=	NSUBPC [m]
NSUBPCS (ソース側が最大不純物濃度を保つ深さ)	<input type="text" value=""/>	<input style="background-color: #e0e0e0;" type="text" value="0.00E+00 [m]"/>	0 <=	NSUBPCS [m]
NSUBPCD (ドレイン側が最大不純物濃度を保つ深さ)	<input type="text" value=""/>	<input style="background-color: #e0e0e0;" type="text" value="0.00E+00 [m]"/>	0 <=	NSUBPCD [m]
NSUBPD (最小不純物濃度)	<input type="text" value=""/>	<input style="background-color: #e0e0e0;" type="text" value="0.00E+00 [cm<sup>-3</sup>]"/>	0 <=	NSUBPD [cm ⁻³]
NSUBPDS (ソース側最小不純物濃度)	<input type="text" value=""/>	<input style="background-color: #e0e0e0;" type="text" value="0.00E+00 [cm<sup>-3</sup>]"/>	0 <=	NSUBPDS [cm ⁻³]
NSUBPDD (ドレイン側最小不純物濃度)	<input type="text" value=""/>	<input style="background-color: #e0e0e0;" type="text" value="0.00E+00 [cm<sup>-3</sup>]"/>	0 <=	NSUBPDD [cm ⁻³]

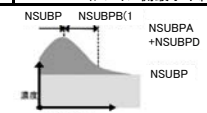


$$z \leq N_c \quad N(z) = N_s + N_D$$

$$N_c < z < N_c + N_b \quad N(z) = N_s \left(1 - \frac{z - N_c}{N_b}\right) + N_D$$

$$N_c + N_b \leq z \quad N(z) = N_D$$

Gauss分布				
指定値	デフォルト値	許容範囲		
NSUBPA (最大不純物濃度)	<input style="background-color: #ffff00;" type="text" value="1.00E+18 [cm<sup>-3</sup>]"/>	<input style="background-color: #e0e0e0;" type="text" value="0.00E+00 [cm<sup>-3</sup>]"/>	0 <=	NSUBPA [cm ⁻³]
NSUBPAS (ソース側最大不純物濃度)	<input type="text" value=""/>	<input style="background-color: #e0e0e0;" type="text" value="1.00E+18 [cm<sup>-3</sup>]"/>	0 <=	NSUBPAS [cm ⁻³]
NSUBPAD (ドレイン側最大不純物濃度)	<input type="text" value=""/>	<input style="background-color: #e0e0e0;" type="text" value="1.00E+18 [cm<sup>-3</sup>]"/>	0 <=	NSUBPAD [cm ⁻³]
NSUBPB (分布の標準偏差)	<input style="background-color: #ffff00;" type="text" value="1.00E-08 [m]"/>	<input style="background-color: #e0e0e0;" type="text" value="0.00E+00 [m]"/>	0 <=	NSUBPB [m]
NSUBPBS (ソース側の標準偏差)	<input type="text" value=""/>	<input style="background-color: #e0e0e0;" type="text" value="1.00E-08 [m]"/>	0 <=	NSUBPBS [m]
NSUBPBD (ドレイン側の標準偏差)	<input type="text" value=""/>	<input style="background-color: #e0e0e0;" type="text" value="1.00E-08 [m]"/>	0 <=	NSUBPBD [m]
NSUBPC (最大不純物濃度になる深さ)	<input type="text" value=""/>	<input style="background-color: #e0e0e0;" type="text" value="0.00E+00 [m]"/>	0 <=	NSUBPC [m]
NSUBPCS (ソース側が最大不純物濃度になる深さ)	<input type="text" value=""/>	<input style="background-color: #e0e0e0;" type="text" value="0.00E+00 [m]"/>	0 <=	NSUBPCS [m]
NSUBPCD (ドレイン側が最大不純物濃度になる深さ)	<input type="text" value=""/>	<input style="background-color: #e0e0e0;" type="text" value="0.00E+00 [m]"/>	0 <=	NSUBPCD [m]
NSUBPD (最小不純物濃度)	<input type="text" value=""/>	<input style="background-color: #e0e0e0;" type="text" value="0.00E+00 [cm<sup>-3</sup>]"/>	0 <=	NSUBPD [cm ⁻³]
NSUBPDS (ソース側最小不純物濃度)	<input type="text" value=""/>	<input style="background-color: #e0e0e0;" type="text" value="0.00E+00 [cm<sup>-3</sup>]"/>	0 <=	NSUBPDS [cm ⁻³]
NSUBPDD (ドレイン側最小不純物濃度)	<input type="text" value=""/>	<input style="background-color: #e0e0e0;" type="text" value="0.00E+00 [cm<sup>-3</sup>]"/>	0 <=	NSUBPDD [cm ⁻³]



$$N(z) = N_s \exp\left(-\frac{(z - N_c)^2}{2N_b^2}\right) + N_D$$

III-2-I-③-(1)-図 4)-1-5-1c. Excel 版 HiSIM-RP のリバースプロファイリング用シート(3)
Halo 注入の深さ方向不純物濃度プロファイルのパラメータ指定部

Halo横方向プロファイルパラメータ				
線形分布	指定値	デフォルト値	許容範囲	
LP (最大不純物濃度を保つ長さ)	[m]	0.00E+00 [m]	0 <=	LP [m]
LPS (ソース側の最大不純物濃度を保つ長さ)	[m]	0.00E+00 [m]	0 <=	LPS [m]
LPD (ドレイン側の最大不純物濃度を保つ長さ)	[m]	0.00E+00 [m]	0 <=	LPD [m]
LSP (最大→最小への減衰長)	[m]	0.00E+00 [m]	0 <=	LSP [m]
LSPS (ソース側の最大→最小への減衰長)	[m]	0.00E+00 [m]	0 <=	LSPS [m]
LSPD (ドレイン側の最大→最小への減衰長)	[m]	0.00E+00 [m]	0 <=	LSPD [m]

$r_{\mu}(x) = 1 \dots (x \leq l_{\mu})$
 $r_{\mu}(x) = 1 - \frac{x - l_{\mu}}{S_{\mu}} \dots (l_{\mu} < x < l_{\mu} + S_{\mu})$
 $r_{\mu}(x) = 0 \dots (l_{\mu} + S_{\mu} \leq x)$

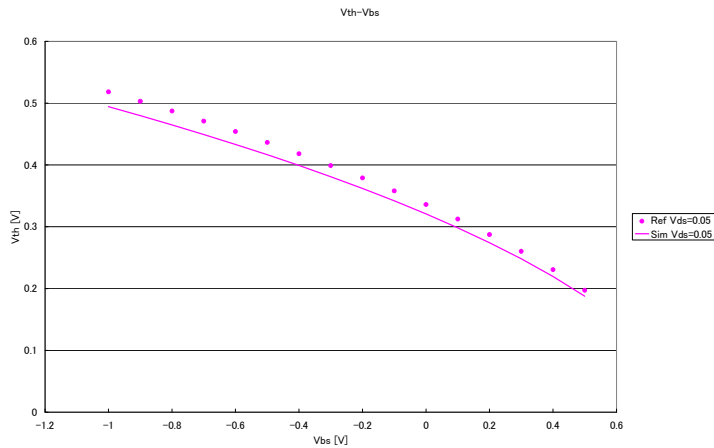
$r_{\mu}(x) = 1 \dots (x \leq l_{\mu})$
 $r_{\mu}(x) = \exp\left(-\frac{1}{2}\left(\frac{x - l_{\mu}}{S_{\mu}}\right)^2\right) \dots (x < l_{\mu} + l_{\mu})$
 $r_{\mu}(x) = 1 \dots (l_{\mu} - l_{\mu} \leq x)$

Gauss分布				
指定値	デフォルト値	許容範囲		
LP (最大不純物濃度を保つ長さ)	[m]	0.00E+00 [m]	0 <=	LP [m]
LPS (ソース側の最大不純物濃度を保つ長さ)	[m]	0.00E+00 [m]	0 <=	LPS [m]
LPD (ドレイン側の最大不純物濃度を保つ長さ)	[m]	0.00E+00 [m]	0 <=	LPD [m]
LSP (分布の標準偏差)	[m]	0.00E+00 [m]	0 <=	LSP [m]
LSPS (ソース側の標準偏差)	[m]	0.00E+00 [m]	0 <=	LSPS [m]
LSPD (ドレイン側の標準偏差)	[m]	0.00E+00 [m]	0 <=	LSPD [m]

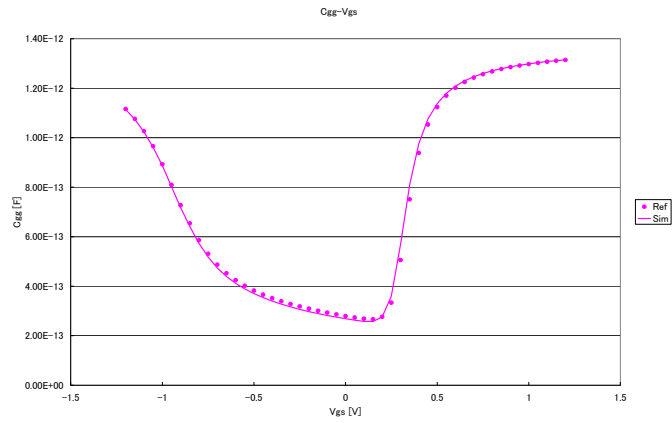
デバイス構造パラメータ				
指定値	デフォルト値	許容範囲		
TOX (ゲート酸化膜厚)	[m]	3.00E-09 [m]	0 <	TOX [m]
XLD (オーバーラップ長)	[m]	0.00E+00 [m]	0 <=	XLD [m]
XLDS (ソースオーバーラップ長)	[m]	0.00E+00 [m]	0 <=	XLDS [m]
XLDD (ドレインオーバーラップ長)	[m]	0.00E+00 [m]	0 <=	XLDD [m]
XJ (ソース・ドレイン接合深さ)	[m]	0.00E+00 [m]	0 <=	XJ [m]
XJS (ソース接合深さ)	[m]	0.00E+00 [m]	0 <=	XJS [m]
XJD (ドレイン接合深さ)	[m]	0.00E+00 [m]	0 <=	XJD [m]
WSTI (STI寄生Tr.の片側実効ゲート幅)	[m]	0.00E+00 [m]	0 <=	WSTI [m]
NSUBWSTI (STI寄生Tr.の不純物濃度の対バルク比率)	[比率]	1 [比率]	0 <	NSUBWSTI <= 1 [比率]
NSUBCWSTI (STI寄生Tr.のチャネル不純物濃度の対バルク比率)	[比率]	1 [比率]	0 <	NSUBCWSTI <= 1 [比率]
NSUBPWSTI (STI寄生Tr.のHalo不純物濃度の対バルク比率)	[比率]	1 [比率]	0 <	NSUBPWSTI <= 1 [比率]
NSUBPWSTIS (STI寄生Tr.のソース側Halo不純物濃度の対バルク比率)	[比率]	1 [比率]	0 <	NSUBPWSTIS <= 1 [比率]
NSUBPWSTID (STI寄生Tr.のドレイン側Halo不純物濃度の対バルク比率)	[比率]	1 [比率]	0 <	NSUBPWSTID <= 1 [比率]
DELVFB (High-k/メタルゲート向けフラットバンド電圧調整)	[V]	0 [V]	0 <=	DELVFB [V]
NGATE (ゲートホリ不純物濃度)	[cm ⁻³]	1.00E+20 [cm ⁻³]	0 <	NGATE [cm ⁻³]
NSD (ソース・ドレイン不純物濃度)	[cm ⁻³]	1.00E+20 [cm ⁻³]	0 <	NSD [cm ⁻³]
NSOURCE (ソース不純物濃度)	[cm ⁻³]	1.00E+20 [cm ⁻³]	0 <	NSOURCE [cm ⁻³]
NDRAIN (ドレイン不純物濃度)	[cm ⁻³]	1.00E+20 [cm ⁻³]	0 <	NDRAIN [cm ⁻³]

計算制御パラメータ				
指定値	デフォルト値	許容範囲		
lvth (Vth定義電流*(L/W))	[A]	1.00E-07 [A]	0 <	lvth [A]

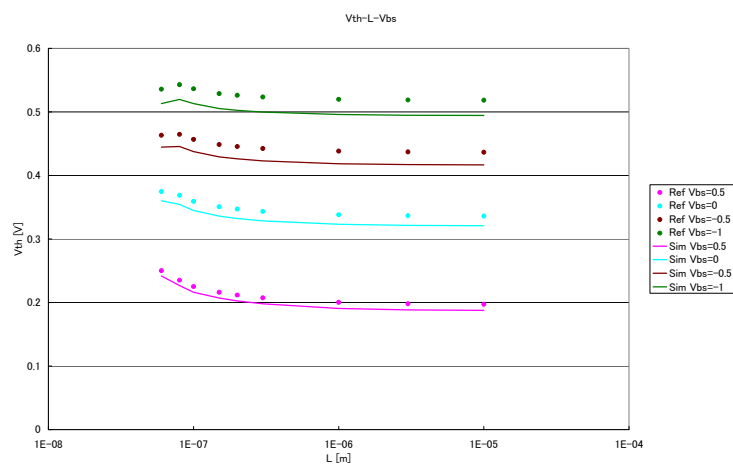
III-2-I-③-(1)-図 4)-1-5-1d. Excel 版 HiSIM-RP のリバースプロファイリング用シート(4)
Halo 注入の横方向不純物濃度プロファイルのパラメータ指定部



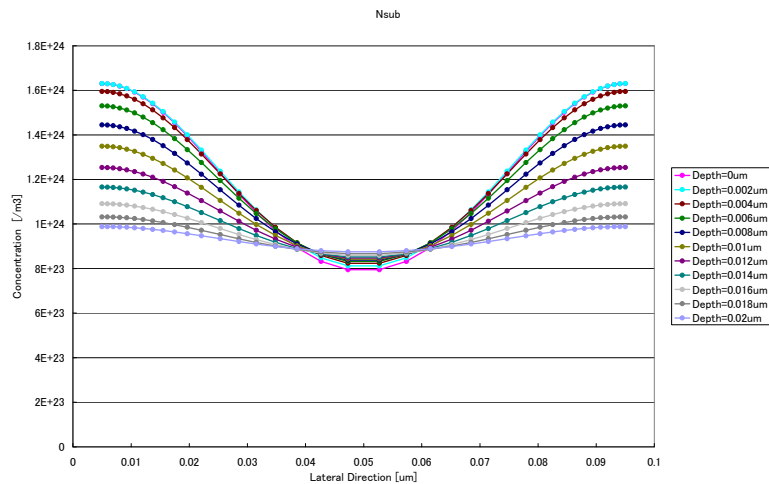
III-2-I-③-(1)-図 4)-1-5-2. Excel 版 HiSIM-RP のリバースプロファイリング用の
グラフの例(1) Vth-Vbs 特性



Ⅲ-2-I-③-(1)-図 4)-1-5-3. Excel 版 HiSIM-RP のリバーズプロファイリング用の
グラフの例(2) Cgg-Vg 特性



Ⅲ-2-I-③-(1)-図 4)-1-5-4. Excel 版 HiSIM-RP のリバーズプロファイリング用の
グラフの例(3) Vth-L-Vbs 特性



Ⅲ-2-I-③-(1)-図 4)-1-5-5. Excel 版 HiSIM-RP のリバーズプロファイリング用の
グラフの例(4) チャネル不純物濃度プロファイル

Ⅲ-2-I-③-(1)-図 4)-1-5-6a~6b は、I-V 計算用のシートである。このシートでは、Id-Vg 特性
や Id-Vd 特性などの測定データと HiSIM-RP の計算結果を比較することが可能である。

以下に、このシートの使用方法を説明する。まず、I-V 特性の測定データ所定のフォーマットで用意して読み込む(6a-1)。次に、計算結果を格納するファイルを指定する(6a-2)。次に、ソース・ドレイン寄生抵抗(Rsd)やキャリア飽和速度などのパラメータの値を入力する(Ⅲ-2-I-③-(1)-図 4)-1-5-6b)。その後、HiSIM-RP を実行してその計算結果を測定データと比較する(6a-4)。グラフの例を Ⅲ-2-I-③-(1)-図 4)-1-5-7~8 に示した。Ⅲ-2-I-③-(1)-図 4)-1-5-7 は Id-Vd 特性の比較図、Ⅲ-2-I-③-(1)-図 4)-1-5-8 は Id-Vg 特性の比較図である。また、任意のチャンネル長やチャンネル幅、バイアス条件での HiSIM-RP の計算を行い、その結果をグラフに表示することも可能となっている(6a-5)。

Copyrights © Selete

2. HiSIM-RPによるI-V計算

ここで設定した寄生抵抗値や移動度モデル、速度飽和モデルの値は、後のばらつき計算に引き継がれます。
の部分のみ入力が可能です。

モデルパラメータ初期値設定	実行ボタン	結果
初期モデルパラメータシートの読み込み	実行	Done!

初期モデルパラメータBook名		選択
初期モデルパラメータシート名	初期モデルパラメータ	

計算実行	実行ボタン	結果
①I-V特性の計算	実行	
②I-V特性のグラフ描画	実行	
<input type="checkbox"/> Y軸 線形プロット		
<input type="checkbox"/> Y軸 Logプロット		

計算結果格納用Book名		選択
I-V特性格納Sheet名	id	

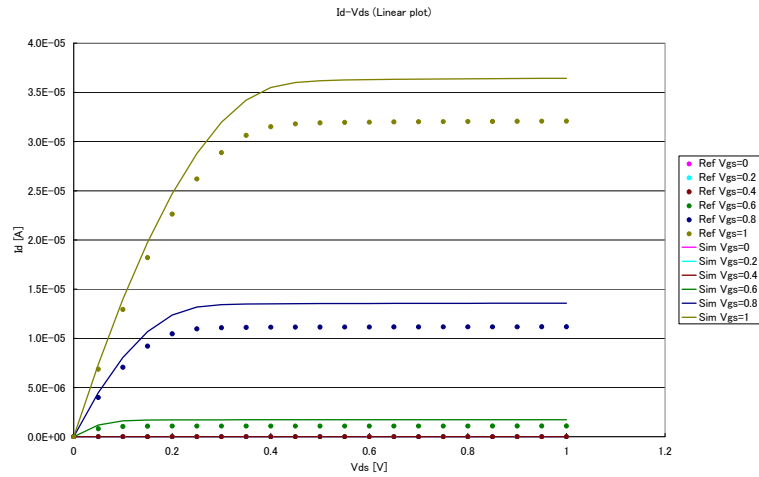
計算モード		選択
<input checked="" type="checkbox"/> 比較特性データのTr,サイズとバイアス条件、温度に合わせて計算する		
比較特性データBook名		
I-V特性データSheet名	id	

指定したTr,サイズとバイアス条件で計算する			
L	1.00E-05 [m]		
W	1.00E-05 [m]		
SA	[m]		
SB	[m]		
NF	[本]		
バイアス条件			
	start	stop	num (LIN)
Vds	0.05 [V]	1 [V]	2 [個]
Vgs	0 [V]	1 [V]	6 [個]
Vbs	0 [V]	1 [V]	6 [個]
			Sweep
			1
			2

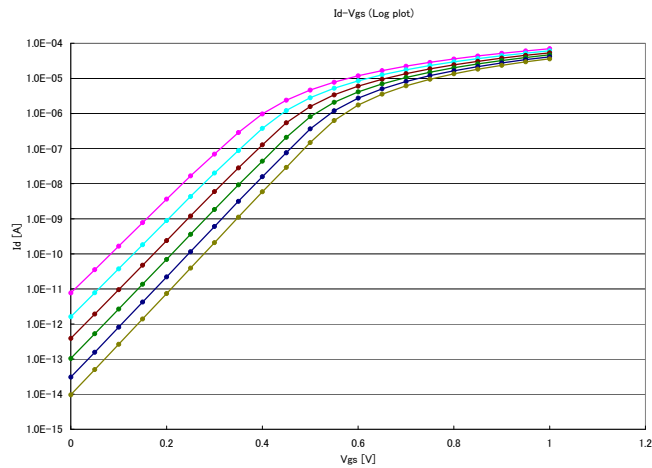
Ⅲ-2-I-③-(1)-図 4)-1-5-a. Excel 版 HiSIM-RP の I-V 計算用シート(1)
 ファイル読み込み・計算実行部

環境パラメータ	指定値	デフォルト値	許容範囲
T (温度)		26.85 [°C]	-273.15 < T [°C]
寄生抵抗パラメータ	指定値	デフォルト値	許容範囲
RSD (ソース・ドレイン寄生抵抗@W=1um)		0 [Ωm]	0 <= RSD [Ωm]
RS (ソース側寄生抵抗)		0 [Ωm]	0 <= RS [Ωm]
RD (ドレイン側寄生抵抗)		0 [Ωm]	0 <= RD [Ωm]
移動度モデルパラメータ	指定値	デフォルト値	許容範囲
MUFLT0 (バルク移動度のプリファクター)		nMOS 1417 [cm ² /Vs], pMOS 470.5 [cm ² /Vs]	0 < MUFLT0 [cm ² /Vs]
MUFLT1 (バルク移動度の温度依存性)		2.25	0 < MUFLT1
MUECB0 (クーロン散乱移動度の下限値)		120 [cm ² /Vs]	0 < MUECB0 [cm ² /Vs]
MUECB1 (クーロン散乱移動度のスクリーニング成分)		40.5 [cm ² /Vs]	0 < MUECB1 [cm ² /Vs]
MUEPH0 (フォノン散乱移動度の垂直電界依存性)		0.333	0 < MUEPH0
MUEPH1 (フォノン散乱移動度のプリファクター)		66666.6667 [cm ² /VsV/cm ^{1.5}]	0 < MUEPH1 [cm ² /VsV/cm ^{1.5}]
MUETMP (フォノン散乱移動度の温度依存性)		2	0 < MUETMP
MUESR0 (表面散乱移動度の垂直電界依存性)		2	0 < MUESR0
MUESR1 (表面散乱移動度のプリファクター)		6.25E+14 [cm ² /VsV/cm ^{1.5}]	0 < MUESR1 [cm ² /VsV/cm ^{1.5}]
MUESTI1 (移動度のSTIストレス依存性が効き始める拡散層長)		0 [m]	0 <= MUESTI1 [m]
MUESTI2 (移動度のSTIストレス依存性のプリファクター)		0	0 <= MUESTI2
MUESTI3 (移動度のSTIストレス依存性の拡散層長依存性指数)		1	0 < MUESTI3
SAREF (STIストレスの基準とするSA長)		1.00E-06 [m]	0 < SAREF [m]
SBREF (STIストレスの基準とするSB長)		1.00E-06 [m]	0 < SBREF [m]
速度飽和モデルパラメータ	指定値	デフォルト値	許容範囲
<input checked="" type="checkbox"/> Caughey-Thomasモデル		nMOS, pMOS	
BB (水平方向電界依存性)		2	0 < BB
VMAX (飽和速度のプリファクター)		2.40E+07 [cm/s]	0 < VMAX [cm/s]
VTMP (飽和速度の温度依存性)		0.8	0 < VTMP
<input checked="" type="checkbox"/> Sharfetterモデル		nMOS, pMOS	
BB (水平方向電界依存性)		2	0 < BB
VMAX (飽和速度のプリファクター)		2.40E+07 [cm/s]	0 < VMAX [cm/s]
VMAXC (音響フォノンの速度)		4.90E+06 [cm/s]	0 < VMAXC [cm/s]
VMAXG (v-E特性の曲率因子)		8.8	0 < VMAXG
VTMP (飽和速度の温度依存性)		0.8	0 < VTMP

Ⅲ-2-I-③-(1)-図 4)-1-5-6b. Excel 版 HiSIM-RP の I-V 計算用シート(2)
 モデルパラメータ指定部



Ⅲ-2-Ⅰ-③-(1)-図 4)-1-5-7. Excel 版 HiSIM-RP の I-V 計算結果の
グラフの例(1) Id-Vd 特性



Ⅲ-2-Ⅰ-③-(1)-図 4)-1-5-8. Excel 版 HiSIM-RP の I-V 計算結果の
グラフの例(2) Id-Vg 特性

Ⅲ-2-Ⅰ-③-(1)-図 4)-1-5-9a~9b は、ばらつき計算用のシートである。このシートでは、 V_{th} や I_{dsat} のばらつきの測定データと HiSIM-RP の計算結果を Pelgrom プロットや Takeuchi プロット、 $I_{ds}-V_{th}$ 相関図などのグラフで比較することが可能である。

以下に、このシートの使用方法を説明する。まず、 V_{th} や I_{ds} のばらつきの測定データを所定のフォーマットで用意して読み込む(9a-1)。次に、必要ならプロセスばらつきのばらつき幅の値を入力する(9a-2)。その後、HiSIM-RP を実行して(9a-3)、その結果を測定データとグラフ表示して比較する(9a-4)。また、任意のチャンネル長やチャンネル幅、バイアス条件(9a-5)での HiSIM-RP のばらつき計算を行い、その結果を Pelgrom プロットなどのグラフに表示することも可能となっている(6a-5)。グラフの例を Ⅲ-2-Ⅰ-③-(1)-図 4)-1-5-10~12 に示した。Ⅲ-2-Ⅰ-③-(1)-図 4)-1-5-10 は Pelgrom プロット、Ⅲ-2-Ⅰ-③-(1)-図 4)-1-5-11 は Takeuchi プロット、Ⅲ-2-Ⅰ-③-(1)-図 4)-1-5-12 は $I_{ds}-V_{th}$ 相関図である。

3. HiSIM-RPによるMonteCarlo法を用いたばらつき計算

黄色の部分のみ入力が可能です。

モデルパラメータ初期値設定	実行ボタン	結果
初期モデルパラメータシートの読み込み	実行	Done!

初期モデルパラメータBook名		選択
初期モデルパラメータSheet名	初期モデルパラメータ	

計算実行	実行ボタン	結果
①ばらつき計算	実行	

- Vthばらつきの計算
- Idsばらつきの計算

9a-3

②ばらつきのグラフ描画	実行	
-------------	----	--

9a-4

- VthのPelgromプロット
- VthのTakeuchiプロット
- IdsのPelgromプロット
- Ids-Vth相関プロット

9a-2

計算結果格納用Book名		選択
ばらつき格納Sheet名	variation	

計算モード		9a-1
<input checked="" type="radio"/> 比較特性データのTr.サイズとバイアス条件、温度に合わせて計算する		

比較特性データBook名		選択
ばらつきデータSheet名	var_id_vth	

<input checked="" type="checkbox"/> 指定したTr.サイズとバイアス条件で計算する									
Tr.サイズ	No.1	No.2	No.3	No.4	No.5	No.6			
L	6.00E-08 [m]	7.00E-08 [m]	1.00E-07 [m]						
W	1.00E-06 [m]								
SA									
SB									
NF									
バイアス条件									
Vds	0.5 [V]								
Vgs	0.5 [V]								
Vbs	0 [V]								
MONTE (Monte Carlo計算の回数)	100								

9a-5

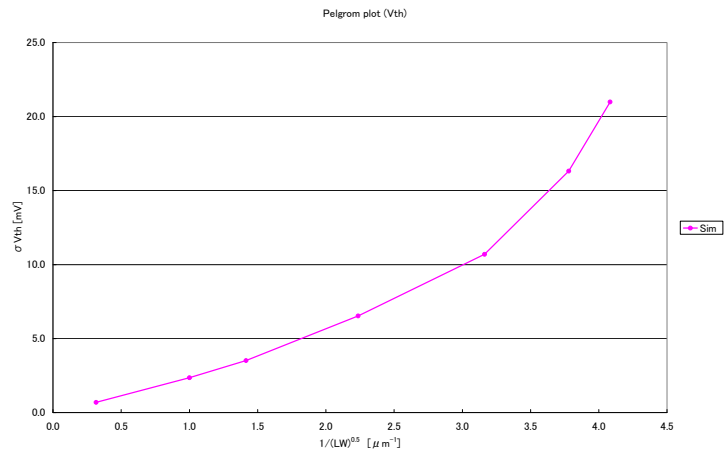
III-2-I-③-(1)-図 4)-1-5-9a. Excel 版 HiSIM-RP のばらつき計算用シート(1)
ファイル読み込み・計算実行部

環境パラメータ	指定値	デフォルト値	許容範囲
T (温度)	<input type="checkbox"/>	26.85 [°C]	-273.15 < T [°C]

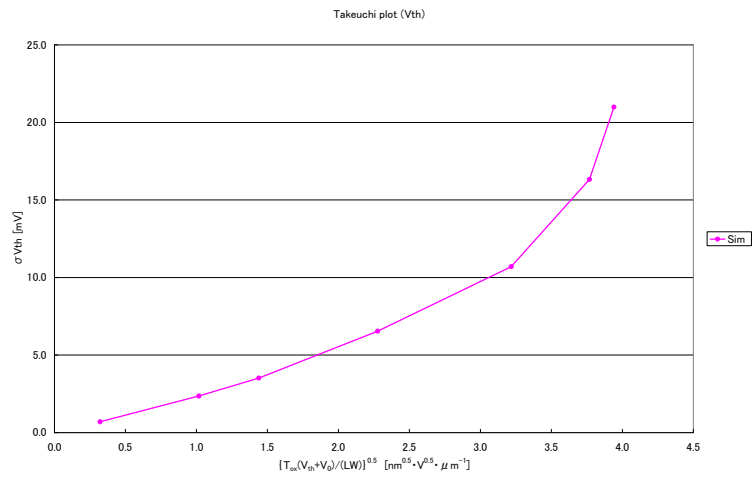
ランダムばらつき量の指定	指定値	デフォルト値	許容範囲
		nMOS pMOS	
MONTEFACTOR (不純物濃度ばらつき量への乗数)	<input type="checkbox"/>	1.8 1.35	0 < MONTEFACTOR
SIGMAL (ゲート長ばらつき量(1σ)@√L(1um))	<input type="checkbox"/>	0 [m]	0 ≤ SIGMAL [m]
SIGMAW (ゲート幅ばらつき量(1σ)@√L(1um))	<input type="checkbox"/>	0 [m]	0 ≤ SIGMAW [m]
SIGMATOX (ゲート酸化膜厚ばらつき(1σ)@√LW(1um ²))	<input type="checkbox"/>	0 [m]	0 ≤ SIGMATOX [m]
SIGMAXLD ((オーバーラップ長ばらつき(1σ)@√W(1um))	<input type="checkbox"/>	0 [m]	0 ≤ SIGMAXLD [m]
SIGMAXJ (ソース・ドレイン接合深さばらつき(1σ)@√W(1um))	<input type="checkbox"/>	0 [m]	0 ≤ SIGMAXJ [m]
SIGMARSD (ソース・ドレイン寄生抵抗ばらつき(1σ)@√W(1um))	<input type="checkbox"/>	0 [Ωm]	0 ≤ SIGMARSD [Ωm]
SIGMAMUE (キャリア移動度ばらつき(1σ)@√LW(1um ²))	<input type="checkbox"/>	0 [比率]	0 ≤ SIGMAMUE ≤ 1 [比率]

グローバルばらつき量の指定	指定値	デフォルト値	許容範囲
SIGMAGNSUBC (チャネル不純物濃度ばらつき量(1σ))	<input type="checkbox"/>	0 [比率]	0 ≤ SIGMAGNSUBC ≤ 1 [比率]
SIGMAGNSUBP (Halo不純物濃度ばらつき量(1σ))	<input type="checkbox"/>	0 [比率]	0 ≤ SIGMAGNSUBP ≤ 1 [比率]
SIGMAGL (ゲート長ばらつき量(1σ))	<input type="checkbox"/>	0 [m]	0 ≤ SIGMAGL [m]
SIGMAGW (ゲート幅ばらつき量(1σ))	<input type="checkbox"/>	0 [m]	0 ≤ SIGMAGW [m]
SIGMAGTOX (ゲート酸化膜厚ばらつき(1σ))	<input type="checkbox"/>	0 [m]	0 ≤ SIGMAGTOX [m]
SIGMAGXLD (オーバーラップ長ばらつき(1σ))	<input type="checkbox"/>	0 [m]	0 ≤ SIGMAGXLD [m]
SIGMAGXJ (ソース・ドレイン接合深さばらつき(1σ))	<input type="checkbox"/>	0 [m]	0 ≤ SIGMAGXJ [m]
SIGMAGRSD (ソース・ドレイン寄生抵抗ばらつき(1σ))	<input type="checkbox"/>	0 [Ωm]	0 ≤ SIGMAGRSD [Ωm]

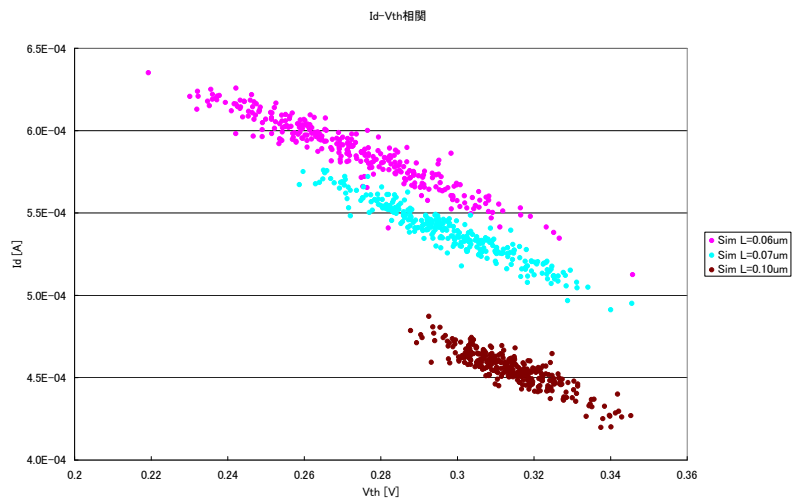
III-2-I-③-(1)-図 4)-1-5-9b. Excel 版 HiSIM-RP のばらつき計算用シート(2)
ばらつきパラメータの指定部



III-2-I-③-(1)-図 4)-1-5-10. Excel 版 HiSIM-RP のばらつき計算のグラフの例(1) Vth ばらつきの Pelgrom プロット



III-2-I-③-(1)-図 4)-1-5-11. Excel 版 HiSIM-RP のばらつき計算のグラフの例(2) Vth ばらつきの Takeuchi プロット



III-2-I-③-(1)-図 4)-1-5-12. Excel 版 HiSIM-RP のばらつき計算のグラフの例(3) Ids-Vth 相関図

以上で説明したアプリケーション Excel 版 HiSIM-RP を使用することで、開発目的である、小変更プロセスに対する高速なばらつき予測を可能にすると共に、更にばらつき成分の分離や統計 SPICE モデル作成のための基礎情報を提供する手段を提供することが可能となった。

参考文献

[Ⅲ-2- I -③-(1)-文献 4)-1-1] H. Sakamoto, et al., “A Surface Potential Model for Bulk MOSFET which Accurately Reflects Channel Doping Profile Expelling Fitting Parameters,” to be presented at SISPAD, Hakone, September 2008.

[Ⅲ-2- I -③-(1)-文献 4)-1-2] H. Sakamoto, et al., “A Discrete Surface Potential Model which Accurately Reflects Channel Doping Profile and its Application to Ultra-Fast Analysis of Random Dopant Fluctuation”, SISPAD 2009, pp. 95-98, 2009.

[Ⅲ-2- I -③-(1)-文献 4)-1-3] M. Miura-Mattausch et al., ”HiSIM2:Advanced MOSFET Model Valid for RF Circuit Simulation,” IEEE Trans. Electron Devices, Vol.53, No.9, pp.1994-2007, 2006.

[Ⅲ-2- I -③-(1)-文献 4)-1-4] H. Shin, et. al, “A New Approach to Verify and Derive a Transverse-Field-Dependent Mobility Model for Electrons in MOS Inversion Layers”, IEEE Trans. on Electron Devices, vol.36, pp.1117-1124, 1989.

[Ⅲ-2- I -③-(1)-文献 4)-1-5] D. L. Scharfetter, et. al, “Large-signal analysis of a silicon read diode oscillator”, IEEE Trans. on Electron Devices, ED-16, No.1, pp.64-77, 1969.

[Ⅲ-2- I -③-(1)-文献 4)-1-6] International Technology Roadmap for Semiconductors, 2007 Edition, Process Integration, Devices, and Structures,

http://www.itrs.net/Links/2007ITRS/2007_Chapters/2007_PIDS.pdf

4)-2 ストレス起因のレイアウトパターン依存性モデル

4)-2-1 開発の目的

プロセステクノロジーの微細化が進むにつれ、トランジスタは周囲からのストレスの影響を強く受けるようになり、結果として、 L 、 W が同じトランジスタであっても、トランジスタ自身の拡散層形状や、周囲の拡散層やフィールド領域の配置状態によって電気特性が変動する。トランジスタ自身の拡散層形状に依存した電気特性変動は既に BSIM4 等のコンパクトトランジスタモデルで表現されているものの、トランジスタ周囲のレイアウトによる特性変動は、十分なモデル化がなされていない。

本開発は、実デバイスと TCAD を用いてレイアウトパターンに依存するストレス解析を行い、レイアウトパターンに依存したトランジスタ電気特性のストレスによる変動を予測するためのコンパクトモデルを開発する。本開発では、このモデリングにより、ストレス起因のレイアウトパターン依存性を抑制するためのプロセス条件やデバイス構造に関する開発指針を得ることを目的としている。また、本開発の成果を回路技術との境界領域における耐ばらつき基盤技術として展開し、ストレス起因のレイアウトパターン依存性に関する情報を汎用 LVS(Layout Versus Schematic)/LPE(Layout Parameter Extraction)ツール等を介して回路技術側に受け渡すための道筋をつけることも視野に入れている。

この目的を実現するために、既に MIRAI プロジェクト第三期前半において、コンパクトストレスモデルの基本形の開発を実施している。このコンパクトストレスモデルの基本形は、単純な矩形からなる任意のトランジスタレイアウトに対して、ストレス起因のトランジスタの電気特性のレイアウトパターン依存性を、 I_{on} 変動に関しては $\pm 5\%$ 、 V_{th} 変動に関しては $\pm 15\text{mV}$ の精度で表現可能であるという特長を有している。また、この基本コンパクトストレスモデルは既に汎用 LVS/LPE ツールへ実装されている。

これらの成果を踏まえ、MIRAI プロジェクト第三期後半では、単純な矩形だけでなく、より複雑なレイアウト形状が取り扱えるように、コンパクトストレスモデルの基本的なフレームを改良すると共に、より微細なプロセスに対する精度検証を行なうことを、主たる開発内容とする。最終的な成果目標としては、実際の LSI に現れる複雑なレイアウト図形に対しても、ストレス起因のトランジスタの電気特性のレイアウトパターン依存性を、 I_{on} の精度 $\pm 5\%$ 、 V_{th} の精度 $\pm 20\text{mV}$ で予測可能であることを実証することとした。

4)-2-2 基本コンパクトストレスモデル

MIRAI プロジェクト第三期前半で開発したコンパクトストレスモデルの基本的な考え方を、Ⅲ-2-I-③-(1)-図 4)-2-2-1 に示す。均一領域からなる 2 次元平面レイアウト上に線状のストレス源があると仮定すると、そのレイアウトと垂直な断面内では、ストレスと静電界の“ごく大雑把な”アナロジーによって、線状のストレス源からの距離に反比例したストレスが発生することが期待される。しかし、実際の LSI のレイアウトでは、ストレス源が分布していたり、材質が不均一であったりするため、基本コンパクトストレスモデルでは、距離に対する単なる反比例ではなく、より一般的な双曲線関数を基本関数形として使用する。

Ⅲ-2-I-③-(1)-図 4)-2-2-2 に、基本コンパクトストレスモデルのモデル式を示す。隣接拡散層間距離依存性が、自分自身の拡散層の長さで変調される現象を表現するために、基本関数形を入れ子にする。隣接拡散層として考慮するのは最近接の拡散層のみで、第二近接以降は無視する。また、応力を L 方向、 W 方向、垂直方向に分離し、 I_{on} 、 V_{th} の変動量はそれらの応力成分に感度係数を乗じて評価する[Ⅲ-2-I-③-(1)-文献 4)-2-1]。 I_{on} に対する感度係数にはピエゾ抵抗係数を使用する。

ストレスと静電界の“ごく大雑把な”アナロジー

変位 u	⇔	静電ポテンシャル ϕ
歪 ϵ	⇔	電界 \mathcal{E}
応力-歪行列 D	⇔	誘電率 ϵ
応力 σ	⇔	電束 \mathcal{D}
ストレス源 f	⇔	電荷 ρ

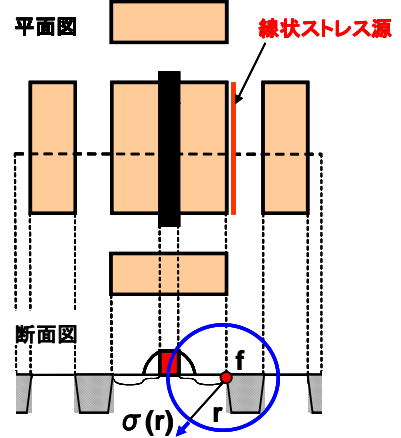
静電界の線状電荷と2次元電束の関係式 $D(r) = \frac{\rho}{2\pi r}$ とのアナロジーにより、線状ストレス源に垂直な平面内の応力についても $\sigma(r) \propto \frac{f}{2\pi r}$ が成立することが期待される

実際にはストレス源の分布が不明であったり、材質が不均一なため、単純な $1/r$ にはならない

より一般化して自由度を高めた関数:

$$\sigma(r) = \frac{h_a}{r + h_b} + h_c$$

をコンパクトストレスモデルの基本関数とする



III-2-I-③-(1)-図 4)-2-2-1 コンパクトストレスモデルの基本的な考え方

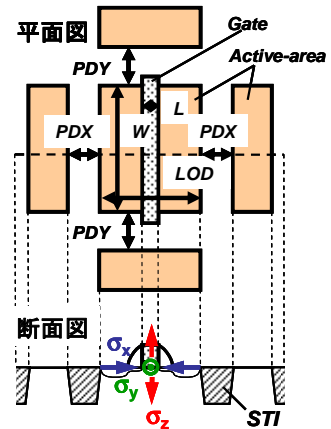
- ① 水平面内の応力 (σ_h) と垂直方向の応力 (σ_v) を分離
- ② 隣接拡散層間距離 (Sd) 依存性パラメータが、拡散層幅 (Wd) 依存性で変調されるよう、基本関数形を入れ子にする
- ③ I_{on} , V_{th} の変動量は感度係数でモデル化

$$\Delta\sigma_h(Wd, Sd) = \frac{\left(\frac{haa}{Wd + hab} + hac\right)}{Sd + \left(\frac{hba}{Wd + hbb} + hbc\right)} + \left(\frac{hca}{Wd + hcb} + hcc\right) \quad \text{水平方向ストレス}$$

$$\Delta\sigma_v(Wd, Sd) = \frac{\left(\frac{vaa}{Wd + vab} + vac\right)}{Sd + \left(\frac{vba}{Wd + vbb} + vbc\right)} + \left(\frac{vca}{Wd + vcb} + vcc\right) \quad \text{垂直方向ストレス}$$

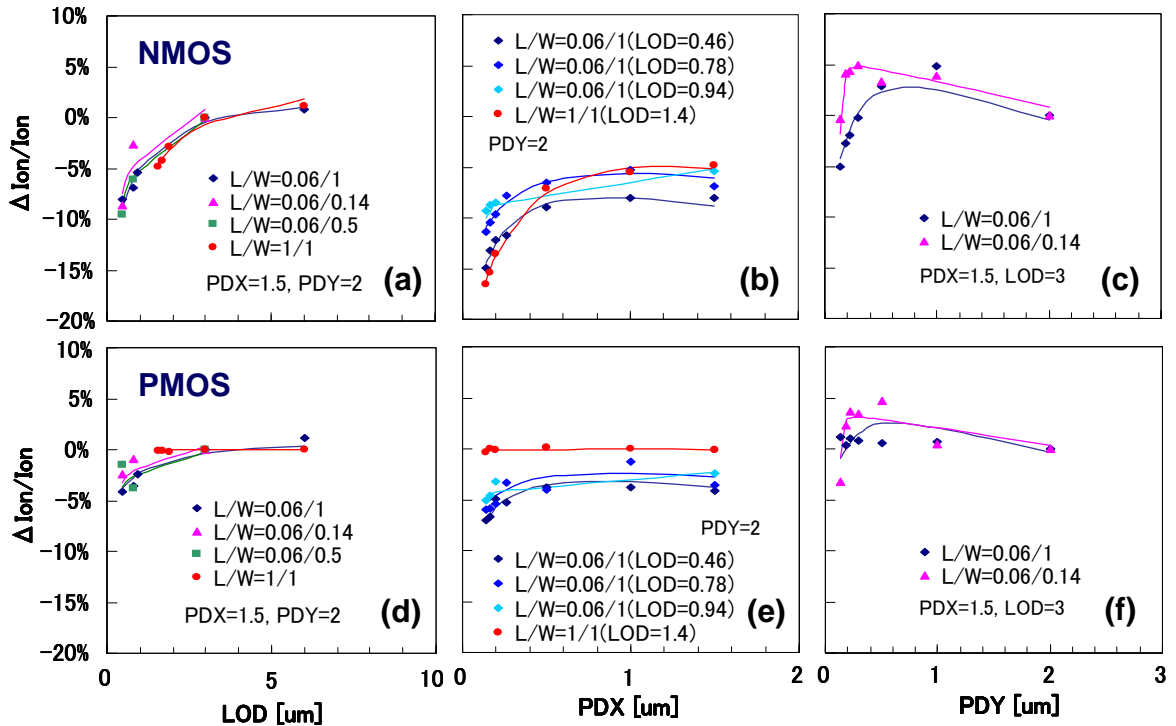
$$\begin{cases} \Delta\sigma_x = \Delta\sigma_h(LOD, PDX) \\ \Delta\sigma_y = \Delta\sigma_h(W, PDY) \\ \Delta\sigma_z = \Delta\sigma_v(LOD, PDX) + \Delta\sigma_v(W, PDY) \end{cases} \quad \text{基本レイアウト形状に対するストレス変動量}$$

$$\begin{cases} \frac{\Delta I_{on}}{I_{on}} = -(\pi_{ix} \times \Delta\sigma_x + \pi_{iy} \times \Delta\sigma_y + \pi_{iz} \times \Delta\sigma_z) \\ \Delta V_{th} = -(\pi_{vx} \times \Delta\sigma_x + \pi_{vy} \times \Delta\sigma_y + \pi_{vz} \times \Delta\sigma_z) \end{cases} \quad \text{基本レイアウト形状に対する電気特性変動量}$$



III-2-I-③-(1)-図 4)-2-2-2 基本コンパクトストレスモデルのモデル式の概要

この基本コンパクトストレスモデルを hp90nm (65nm ノード) プロセスに適用してレイアウトパターン依存性の再現精度を検証したのが III-2-I-③-(1)-図 4)-2-2-3 である。トランジスタ自身の拡散層幅 (LOD) や、チャネル長方向の隣接拡散層間距離 (PDX) が短くなると、ストレスによって I_{on} が変動する様子が精度良く表現されている。また、 W 方向の隣接拡散層間距離 (PDY) 依存性に関して、 PDY が短くなると I_{on} が一旦増加して減少するという非単調性が精度良く再現されている [III-2-I-③-(1)-文献 4)-2-1]。

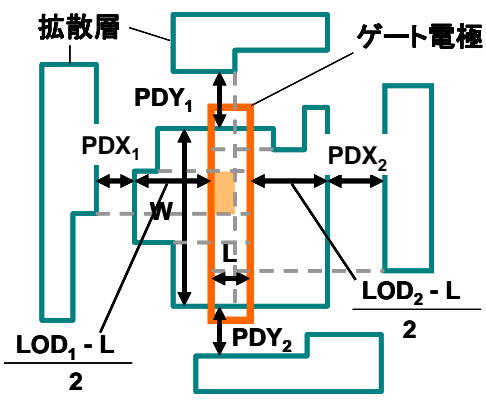


III-2- I -③-(1)-図 4)-2-2-3 hp90nm(65nm ノード)プロセスによる基本コンパクトストレスモデルの精度検証結果. (a)nMOS I_{on} 変動量の拡散層幅(LOD)依存性. (b)nMOS I_{on} 変動量の横方向隣接拡散層間距離(PDX)依存性. (c)nMOS I_{on} 変動量の縦方向隣接拡散層間距離(PDY)依存性. (d)pMOS I_{on} 変動量の拡散層幅(LOD)依存性. (e)pMOS I_{on} 変動量の横方向隣接拡散層間距離(PDX)依存性. (f)pMOS I_{on} 変動量の縦方向隣接拡散層間距離(PDY)依存性.

4)-2-3 複雑なレイアウトパターンに対する一般化されたコンパクトストレスモデル

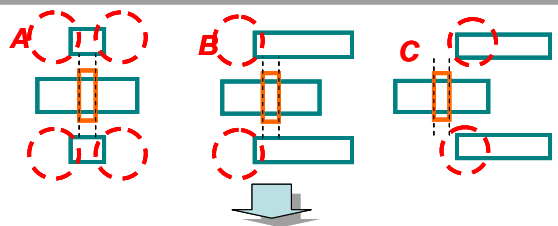
実際のレイアウトパターンはIII-2- I -③-(1)-4)-2-2 で扱った様な単純矩形ではなく、より複雑な形状が多数使用されている。III-2- I -③-(1)-図 4)-2-3-1 は、基本コンパクトストレスモデルをより一般的で複雑なレイアウトパターンに対応させる手法の概要を説明したものである。基本的な考え方は、同図の左側にあるように、まず、①隣接拡散層も含めたレイアウト図形の頂点でトランジスタのチャンネル内部をスライスし、次に、②各スライスの上下左右の図形を垂直投影してストレスを計算する。最後に、③得られたストレスをチャンネル内に占める面積で重み付けして足し合わせる、というものである。^[III-2- I -③-(1)-4)-2-2] これら①～③の処理は、通常物質はポアソン比が 0.3 以下と小さく、ストレス源からの主軸方向のストレスが支配的である、という事実に基づいたものである。但し、より微細化されたプロセスで L が短い場合には W 方向の隣接拡散層を垂直投影すると精度が落ちるため、III-2- I -③-(1)-図 4)-2-3-1 の右側にある様に、一旦投影する範囲を広げてから応力を計算するように処理を変更する [III-2- I -③-(1)-文献 4)-2-2]。

複雑なレイアウト図形に対する計算法

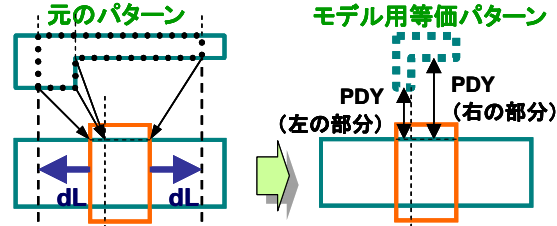


- ①図形の頂点でチャンネル内をスライス
- ②各スライスの上下左右の図形を参照 (垂直投影)してストレスを計算
- ③面積で重み付けして足し合わせる

より微細化されたプロセスでは、A、Bでは隣接拡散層の影響を過大評価、Cでは過小評価

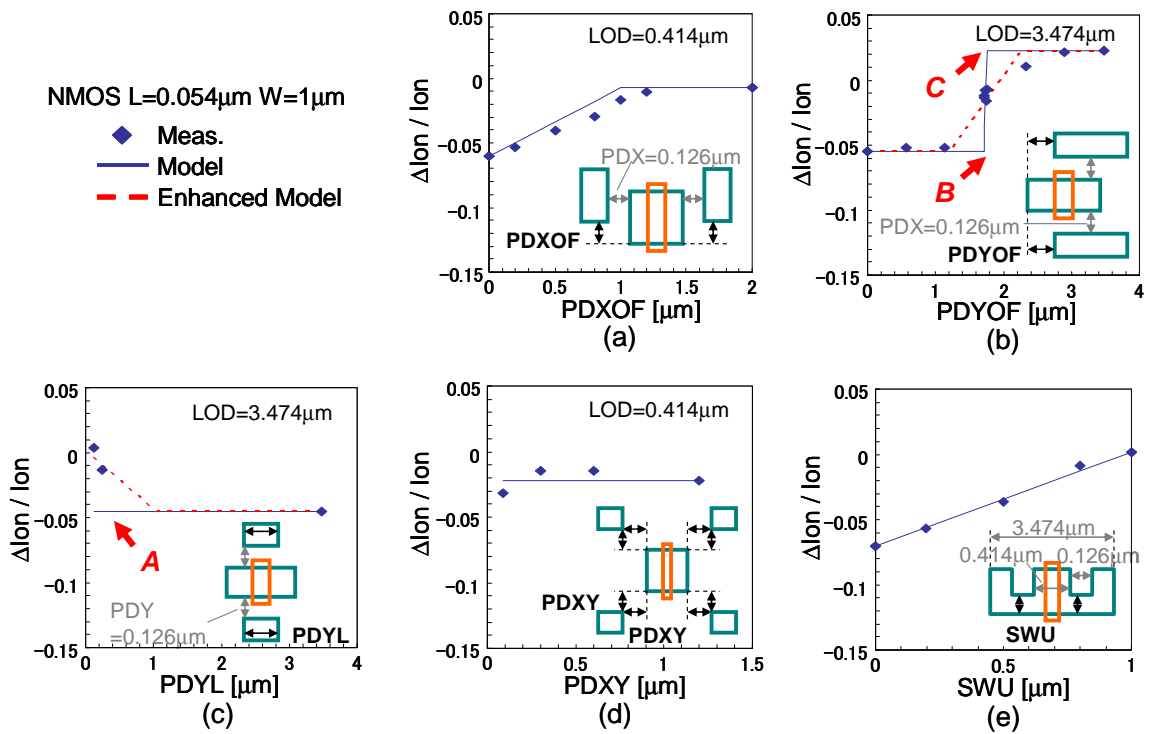


考慮範囲を広げるよう演算を改良すると、モデル精度は格段に向上 (精度検証結果のグラフの "Enhanced Model" 参照)



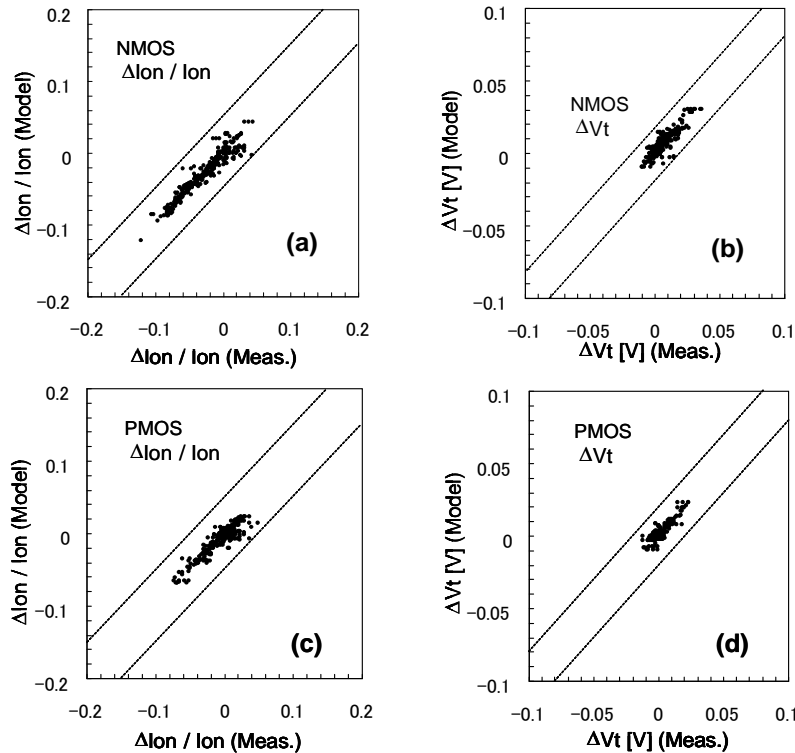
Ⅲ-2- I -③-(1)-図 4)-2-3-1 複雑なレイアウト図形に対するコンパクトストレスモデルの処理

この様に一般化されたコンパクトモデルの精度を、複雑なレイアウトに現れる特徴的なパターン群を用いて検証した結果がⅢ-2- I -③-(1)-図 4)-2-3-2 である。測定値は hp78m (55nm ノード) プロセスによるものであり、一般化されたコンパクトストレスモデルは測定値を高精度で再現していることがわかる。同図(a)は、横方向隣接拡散層の縦方向オフセット依存性を示したものであり、オフセットが 0 の場合は基本コンパクトストレスモデルでの扱いと等価になり、オフセットが W を越えると横方向隣接拡散層が存在しない場合と等価になる。一般化されたコンパクトストレスモデルによる計算値は、垂直投影処理を反映して、この両方の間を線形補間した結果となっているが、測定値も同様の結果を示している。同図(b)は、縦方向隣接拡散層の横方向オフセット依存性を示したものであり、図中の B, C は単純な垂直投影を想定した場合で、赤の破線が、Ⅲ-2- I -③-(1)-図 4)-2-3-1 の右側に示した演算の改良を施したモデルである。この場合は、比較に適切な測定値が存在しないため、演算の改良効果は判断出来ないが、同図(c)に示す縦方向隣接拡散層の拡散層幅依存性を見ると、A での演算の改良効果は明白である。同図(d)は、垂直投影されない隣接拡散層の距離依存性を示したものであり、距離を変えても Ion が変動しないことから、垂直投影が妥当な処理であることがわかる。最後に同図(e)は、凹字型拡散層の底部の厚みに対する依存性を示したものであり、厚み 0 の場合は横方向隣接拡散層が存在するトランジスタに対する基本コンパクトストレスモデルでの扱いになり、厚みが W に達すると自己拡散層幅 (LOD) の大きい、隣接拡散層の存在しないトランジスタとなる。一般化されたコンパクトストレスモデルによる計算値は、やはり垂直投影処理を反映して、厚み 0 から W の間を線形補間した結果となっているが、実測値も同様の振る舞いをしており、モデルの処理が妥当であることがわかる。



Ⅲ-2-I-③-(1)-図 4)-2-3-2 hp78nm (55nm ノード)プロセスによる複雑なレイアウトパターンに対する一般化されたコンパクトストレスモデルの精度検証結果。(a)横方向隣接拡散層の縦方向オフセット依存性。(b)縦方向隣接拡散層の横方向オフセット依存性。(c)縦方向隣接拡散層の拡散層幅依存性。(d)垂直投影されない隣接拡散層の距離依存性。(e)凹字型拡散層底辺厚み依存性。

Ⅲ-2-I-③-(1)-図 4)-2-3-3 は、hp78nm (55nm ノード)プロセスにおいて、Ⅲ-2-I-③-(1)-図 4)-2-2-2ならびにⅢ-2-I-③-(1)-図 4)-2-3-2 で示したレイアウトパターンを含む様々なレイアウトパターンに対して、一般化されたコンパクトストレスモデルを用いた電気特性変動量の計算結果と TEG による電気特性変動量の測定結果を比較した結果である。一般化されたコンパクトストレスモデルの計算結果は、全て測定値に対して目標精度である V_{th} 誤差 ± 20 mV、 I_{on} 誤差 $\pm 5\%$ を満たしていることがわかる。



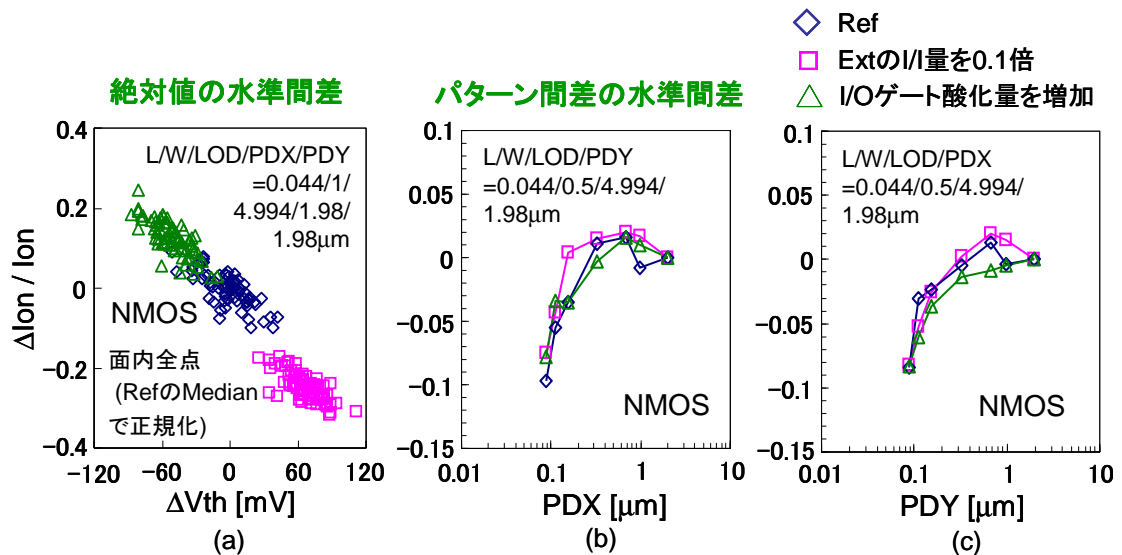
III-2- I -③-(1)-図 4)-2-3-3 様々なレイアウトパターンに対する一般化されたコンパクトストレスモデルの計算結果とTEG測定結果の比較. 各グラフの中の1個の点、1種類のレイアウトパターンに対応している. グラフ中の斜線で挟まれた領域が、目標とした精度範囲 (V_{th} 誤差 $\pm 20\text{mV}$ 、 I_{on} 誤差 $\pm 5\%$)を表す. (a)nMOSの I_{on} 変動量. (b)nMOSの V_{th} 変動量. (c)pMOSの I_{on} 変動量. (d)pMOSの V_{th} 変動量.

4)-2-4 プロセス条件変動に対するスケーラビリティ検証

今回開発したコンパクトストレスモデルは、トランジスタ電気特性のレイアウトパターン依存性を評価するTEGを試作して、その測定結果からモデルパラメータを抽出することを前提としている。しかし、プロセス条件を変更する度にレイアウトパターン依存性評価TEGを試作してパラメータ抽出を行なうのは費用と手間がかかるため、ある程度プロセス条件が変動しても抽出したモデルパラメータがそのまま使えるスケーラビリティの高いモデルであることが望ましい。

このプロセス条件変動に対して、電気特性変動のレイアウトパターン依存性がどのような振る舞いをするかをhp56nm(40nmノード)プロセスを用いて調べた結果が、III-2- I -③-(1)-図 4)-2-4-1である。プロセス条件水準としては次の二つを用意した。一つは、後にIII-2- I -③-(1)-4)-2-6で述べる様に、ストレスに依存してS/D-extensionの横方向拡散が変化し、実効チャンネル長が変化することが V_{th} 変動の要因の一つであることから、S/D-extensionのヒ素注入ドーズ量を1/10にして実効チャンネル長を長くした水準である。もう一つは、MIRAI第3期前半での解析により、STI埋設後のI/Oゲート酸化による体積膨張が主たるストレス源であることが判明しているため、I/Oゲート酸化膜の酸化時間を長くしてストレスを増した水準である。III-2- I -③-(1)-図 4)-2-4-1の(a)はプロセス条件水準により、 I_{on} と V_{th} がリファレンス水準からどの程度変化したかを示している。S/D-extensionの注入ドーズ量を1/10にして実効チャンネル長を長くした水準は、予想通りに V_{th} が上昇し、 I_{on} が低下している。一方I/Oゲート酸化時間を長くした水準は、本来ならばストレスの増加に伴って V_{th} が上昇し、 I_{on} が低下するはずであるが、実験結果はそれとは反対の結果を示している。これは、I/Oゲート酸化の長時間化によってB

が酸化膜中へ偏析する効果が、ストレスが増大する効果を上回ったためであると思われる。同図(b), (c)は、それぞれリファレンスパターンからの変動量で規格化した I_{on} 変動量の横方向隣接拡散層間距離 (PDX) 依存性と縦方向隣接拡散層間距離 (PDY) 依存性である。これらのグラフから、プロセス条件によって I_{on} や V_{th} の絶対値は変動しても、リファレンスパターンからの変動量で規格化した I_{on} 変動量は、ほぼ同一のレイアウトパターン依存性を示すことがわかる。このことは、今回開発したコンパクトストレスモデルに、ある程度のプロセススケールビリティを期待出来ることを意味しており、微小変更プロセスであれば、既存のコンパクトストレスモデルパラメータを継続して使用することが出来る。



Ⅲ-2-I-③-(1)-図 4)-2-4-1 プロセス条件を変化させた場合の電気特性変動のレイアウトパターン依存性の振る舞い。(a)nMOSの I_{on} 変動量と V_{th} 変動量の絶対値の相関分布。(b)リファレンスパターンからの変動量で規格化した nMOS の I_{on} 変動量の横方向隣接拡散層間距離 (PDX) 依存性。(c)リファレンスパターンからの変動量で規格化した nMOS の I_{on} 変動量の縦方向隣接拡散層間距離 (PDY) 依存性。

4)-2-5 他のコンパクトストレスモデルに対する優位性

これ迄に発表された他のコンパクトストレスモデルの文献を、[Ⅲ-2-I-③-(1)-文献 4)-2-3]~[Ⅲ-2-I-③-(1)-文献 4)-2-9]に示す。この内、[Ⅲ-2-I-③-(1)-文献 4)-2-3]~[Ⅲ-2-I-③-(1)-文献 4)-2-7]のモデルは隣接拡散層の影響を全く考慮しておらず、自分自身の拡散層の形状のみを問題としているため、Ⅲ-2-I-③-(1)-図 4)-2-2-3の(b),(c),(e),(f)やⅢ-2-I-③-(1)-図 4)-2-3-2で取り上げた様なレイアウトパターン依存性を表現することが出来ない。また、[Ⅲ-2-I-③-(1)-文献 4)-2-8]と[Ⅲ-2-I-③-(1)-文献 4)-2-9]のモデルは、自分自身の拡散層の形状に加え、横方向の隣接拡散層の影響を考慮しているが、縦方向の隣接拡散層の影響は考慮されていないため、Ⅲ-2-I-③-(1)-図 4)-2-2-3の(c),(f)やⅢ-2-I-③-(1)-図 4)-2-3-2の(b), (c)の様なレイアウトパターン依存性を表現することが出来ない。これに比べ、今回開発されたコンパクトストレスモデルは、実際の LSI に現れるストレス起因のレイアウトパターン依存性を余すことなく表現出来るため、現時点で最も優れたモデルであると言える。

4)-2-6 ストレス依存型不純物拡散モデルによる V_{th} のレイアウトパターン依存性の原因検討

V_{th} のストレス依存性による変動分を除去した I_{on} のストレス依存性に関しては、本コンパクトストレス

モデルも含め、ピエゾ抵抗係数による移動度変動のモデル化が既に定着しており、本質的なメカニズムの不明点は無い。しかし、 V_{th} のストレス依存性に関しては本質的なメカニズムが良くわかっておらず、本コンパクトストレスモデルでも経験的な感度係数を定義したモデル化を行っている。

レイアウトパターンに依存した V_{th} 変動の原因の一つとして、ストレスによる不純物拡散の変化が考えられる。そこで、Selete-TCAD に組み込まれているストレス依存型不純物拡散モデルを用いてレイアウトパターンに依存した V_{th} 変動の説明が可能かどうかを検証した。Selete-TCAD にはⅢ-2-I-③-(1)-図 4)-2-6-1 に示す様なストレス依存型不純物拡散モデルが組み込まれている。[Ⅲ-2-I-③-(1)-文献 4)-2-10] このモデルは、ストレスによってシリコン格子間隔が変化することにより、格子間シリコンやシリコン空孔を介して不純物が拡散するペア拡散の拡散定数が変化するという描像である。

$$\begin{aligned}
\frac{\partial C_A}{\partial t} + \nabla \mathbf{J}_A &= 0 \\
\frac{\partial C_I}{\partial t} + w_i \sum_A \frac{\partial}{\partial t} (K_{AI}(\sigma) C_A C_I) + \nabla \mathbf{J}_I + R_b + R_{311} &= 0 \\
\frac{\partial C_V}{\partial t} + w_i \sum_A \frac{\partial}{\partial t} (K_{AV}(\sigma) C_A C_V) + \nabla \mathbf{J}_V + R_b &= 0 \\
\mathbf{J}_A &= -D_{A,I}^*(\sigma) \nabla \left(C_A \frac{C_I}{C_I^*(\sigma)} \right) - Z_A D_{A,I}^*(\sigma) \left(C_A \frac{C_I}{C_I^*(\sigma)} \right) \frac{q}{kT} \nabla \phi \\
&\quad - D_{A,V}^*(\sigma) \nabla \left(C_A \frac{C_V}{C_V^*(\sigma)} \right) - Z_A D_{A,V}^*(\sigma) \left(C_A \frac{C_V}{C_V^*(\sigma)} \right) \frac{q}{kT} \nabla \phi \\
\mathbf{J}_I &= -D_I C_I^*(\sigma) \nabla \left(\frac{C_I}{C_I^*(\sigma)} \right) \\
&\quad - w_f \sum_A D_{A,I}^*(\sigma) \nabla \left(C_A \frac{C_I}{C_I^*(\sigma)} \right) - w_f \sum_A Z_A D_{A,I}^*(\sigma) \left(C_A \frac{C_I}{C_I^*(\sigma)} \right) \frac{q}{kT} \nabla \phi \\
\mathbf{J}_V &= -D_V C_V^*(\sigma) \nabla \left(\frac{C_V}{C_V^*(\sigma)} \right) \\
&\quad - w_f \sum_A D_{A,V}^*(\sigma) \nabla \left(C_A \frac{C_V}{C_V^*(\sigma)} \right) - w_f \sum_A Z_A D_{A,V}^*(\sigma) \left(C_A \frac{C_V}{C_V^*(\sigma)} \right) \frac{q}{kT} \nabla \phi \\
R_b &= K_R (C_I C_V - C_I^*(\sigma) C_V^*(\sigma)) \\
D_{A,I}^*(\sigma) &= D_{A,I}^*(\sigma=0) \cdot f_{AI.stress}(\sigma) \\
D_{A,V}^*(\sigma) &= D_{A,V}^*(\sigma=0) \cdot f_{AV.stress}(\sigma) \\
f_{AI.stress}(\sigma) &= \exp \left(-\frac{Q_I(A)}{kT} \cdot \frac{\varepsilon_x + \varepsilon_y}{2} \right) \\
f_{AV.stress}(\sigma) &= \exp \left(-\frac{Q_V(A)}{kT} \cdot \frac{\varepsilon_x + \varepsilon_y}{2} \right)
\end{aligned}$$

Ⅲ-2-I-③-(1)-図 4)-2-6-1 Selete-TCAD に組み込まれているストレス依存型不純物拡散モデル式。 σ はストレスを表す。上付きの*は、熱平衡時の値を表す。添え字 A は不純物 A を、添え字 I は格子間シリコンを、添え字 V はシリコン空孔をそれぞれ表す。 C_X は拡散種 X の濃度を、

D_X は X の拡散定数をそれぞれ表す。 R_X は X の再結合率を、 K_X は X の平衡定数をそれぞれ表す。 $Q_X(A)$ は拡散種 A と点欠陥 X のペア拡散定数のストレス依存性を表すモデルパラメータである。 ε_x , ε_y はそれぞれ弾性歪の x 成分と y 成分を表す。 q , k , T , ϕ はそれぞれ、単位電荷、ボルツマン定数、絶対温度、静電ポテンシャルを表す。

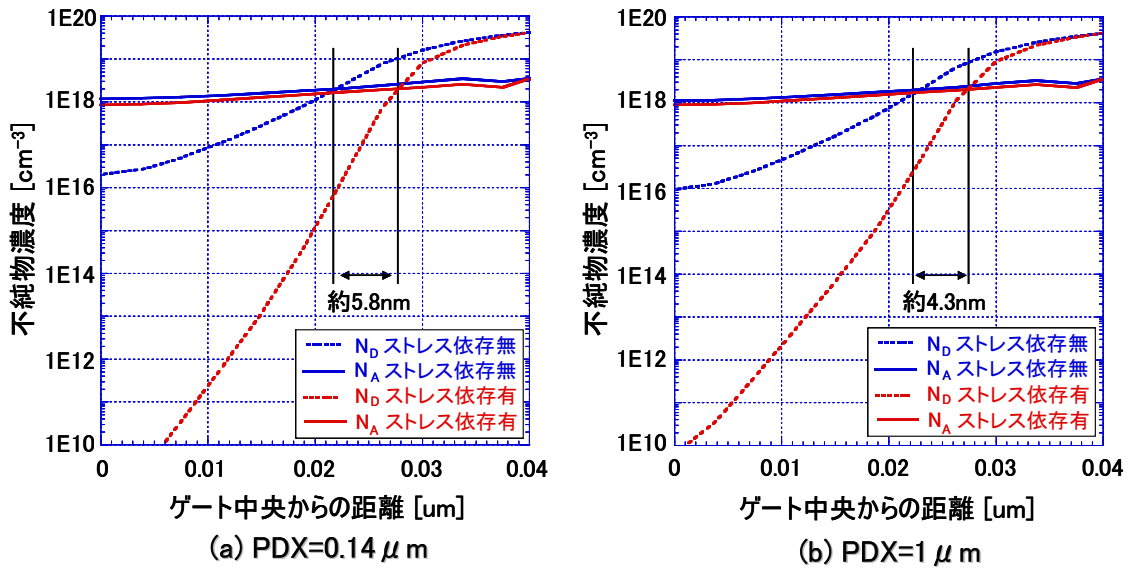
MIRAI 第3期前半に、NBDによる格子歪測定結果を再現する様に TCAD の応力パラメータをキャリブレーションする手法を開発しており、今回はその手法でキャリブレーションされた Selete-TCAD を用いて、hp90nm(130nm ノード)プロセスにおけるストレス依存型拡散の影響を検証した。トランジスタはレイアウトパターン依存性が pMOS に比べて大きい nMOS を使用した。また、拡散定数のストレス依存性を表すモデルパラメータは、Sheu のモデルパラメータと Cowern のモデルパラメータの等価性を利用して導出したⅢ-2-I-③-(1)-表 4)-2-6-1 に示す値を使用した。

Ⅲ-2-I-③-(1)-表 4)-2-6-1 ストレス依存型拡散のモデルパラメータ

不純物種	B	P	As
Q_I, Q_V [eV]	-14	-60	-28

Ⅲ-2-I-③-(1)-図 4)-2-6-2 は、ストレス依存型不純物拡散モデルの有無による $L=75\text{nm}$ の nMOS チャンネル表面の不純物プロファイルの変化を示したものである。横方向隣接拡散層間距離 (PDX) が (a)0.14 μm と (b)1 μm の両方共、ストレス依存型拡散モデルを使用することにより S/D-extension 比素の横方向拡散が圧縮応力によって抑えられ、PN 接合の位置が後退して実効チャンネル長が長くなっていることがわかる。また、隣接拡散層間距離が近い(a)の方が、より実効チャンネル長が長くなっている。この不純物プロファイルの変化がトランジスタの電気特性にどのような影響を与えるかを、ストレス依存型移動度モデルと組み合わせて評価した結果をまとめたものがⅢ-2-I-③-(1)-表 4)-2-6-2 である。ストレス依存型移動度モデルは、Selete-TCAD に組み込まれている通常のピエゾ抵抗係数モデルを使用した。ストレス依存型拡散モデルとストレス依存型移動度モデルを用いた計算(青地)は、ストレス依存性を全く考慮しない計算(赤地)に比べ、 V_{th} が上昇し、 I_{on} が低下している。また、その変動量は、横方向隣接拡散層間距離 (PDX) が小さい方がより大きい。この表を見比べることにより、電気特性変動量の PDX 依存性を主に担っているのはストレス依存型拡散モデルによる実効チャンネル長の変化であり、ストレス依存型移動度モデルが PDX 依存性に与える影響は比較的小さいことがわかる。しかし、 V_{th} 変動量の絶対値に関しては、 $PDX=0.14\mu\text{m}$ と $PDX=1\mu\text{m}$ で 4mV の差しか無く、実際に観測されている約 20mV 程度の V_{th} 変動[Ⅲ-2-I-③-(1)-文献 4)-2-1]を説明するには十分ではない。ストレス依存型拡散モデルのモデルパラメータは、他の実験結果から抽出された文献値を使用しており、大きく変えることは好ましくないため、 V_{th} 変動量の再現には他のメカニズムを追加して考える必要がある。この点に関しては次節Ⅲ-2-I-③-(1)-4)-2-7 で考察する。

ストレス依存型拡散モデルを使用した TCAD シミュレーションは、ストレスを正確に計算するためには解析領域をある程度広く取る必要があるという事情もあり、クロック周波数 2.8GHz、メモリ 64GB の CPU サーバを用いて、1条件の計算に 100~250 時間を要しており、LSI 設計の現場で手軽に使用出来るものではない。従って、今回開発した様なコンパクトストレスモデルは、トランジスタ電気特性のレイアウトパターン依存性を考慮する必要のある、微細 LSI の設計には必須のツールであると言える。



III-2-I-③-(1)-図 4)-2-6-2 ストレス依存型拡散モデルの有無による、 $L=75\text{nm}$ の nMOS チャンネル表面の不純物プロファイルの変化. (a)横方向隣接拡散層間距離(PDX)が $0.14\mu\text{m}$ の場合. (b)横方向隣接拡散層間距離(PDY)が $1\mu\text{m}$ の場合.

III-2-I-③-(1)-表 4)-2-6-2 ストレス依存型拡散モデルとストレス依存型移動度モデルの組み合わせによる電気特性変動量

PDX = 0.14 μm $V_{\text{DS}} = 1.2\text{V}$

応力依存モデル		V_{th} [V]	I_{on} [mA]	I_{off} [mA]
拡散	移動度			
無	無	0.092	0.576	2.96E-5
	有	0.087 (-5mV)	0.519 (-9.9%)	3.51E-5
有	無	0.116 (+24mV)	0.486 (-16%)	1.47E-5
	有	0.109 (+17mV)	0.439 (-24%)	1.80E-5

PDX = 1.00 μm $V_{\text{DS}} = 1.2\text{V}$

応力依存モデル		V_{th} [V]	I_{on} [mA]	I_{off} [mA]
拡散	移動度			
無	無	0.083	0.601	3.68E-5
	有	0.079 (-4mV)	0.555 (-7.7%)	4.16E-5
有	無	0.100 (+17mV)	0.548 (-8.8%)	2.13E-5
	有	0.096 (+13mV)	0.507 (-16%)	2.44E-5

4)-2-7 第一原理バンド計算による V_{th} のストレス依存性評価

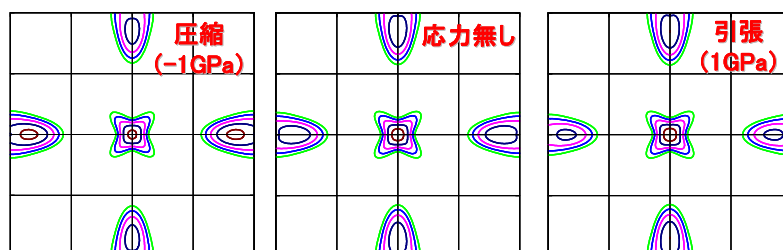
ストレスによる V_{th} 変動のメカニズムとしては、III-2-I-③-(1)-4)-2-6 で検討した様な、ストレスによって不純物拡散が変化する他に、ストレスによってシリコンのバンド構造が変化し、量子力学的効果によって表面量子化準位と表面量子化状態密度が変動する効果が考えられる。そこで、経験的擬ポテンシャル法を用いた第一原理バンド計算機能を有するフルバンド Monte Carlo デバイスシミュレ

ータによってストレス印加時の V_{th} 変動を評価した。

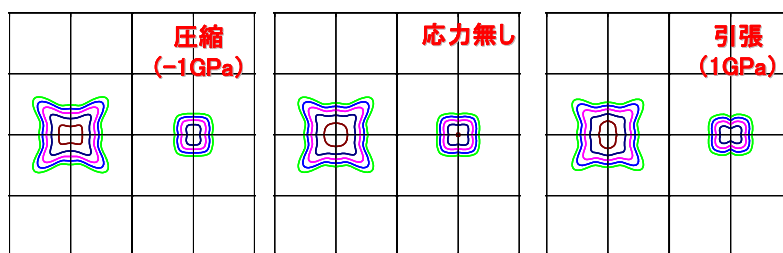
III-2-I-③-(1)-図 4)-2-7-1 に[100]チャンネル方向に一軸ストレスを印加した場合のシリコンバンド構造の計算結果の例を示す。ストレス印加によってバンド底の曲率が変わっていることがわかる。III-2-I-③-(1)-図 4)-2-7-2 にストレス起因のバンド構造変化による V_{th} 変動量を計算した結果を示す。ストレスが±500MPa 程度までは、ストレス印加方向が[100]であっても[110]であっても、 V_{th} 変動量はほぼ同じである。NBD による格子歪測定結果から、横方向隣接拡散層間距離 (PDX) が小さくなるにつれて 100~200MPa のオーダーの圧縮ストレスが発生することがわかっているため、この圧縮ストレスのレンジを今回の計算結果にあてはめると、 PDX に依存した V_{th} 変動量は、nMOS で 7mV、pMOS で 14mV となる。nMOS に関しては、ストレス依存型拡散モデルによる V_{th} 変動量 4mV を加えると全体で 11mV の変動量となり、実際の観測量 20mV にはまだ足りないが、第一原理バンド計算の精度を考えると、オーダー的には妥当な結果であると言える。また、pMOS に関しては、 V_{th} の変動方向が nMOS とは逆であり、ストレス依存型不純物拡散による実効チャンネル長の増大による V_{th} の上昇を打ち消す方向に働く。実際の測定結果でも pMOS の V_{th} 変動のレイアウトパターン依存性は nMOS より小さくなっており[III-2-I-③-(1)-文献 4)-2-1]、やはり今回の結果はオーダー的に妥当であると言える。

以上の結果から、 V_{th} のレイアウトパターン依存性は、ストレス依存型不純物拡散による実効チャンネル長の変動と、ストレスによるバンド構造の変化でオーダー的には説明可能なことが明らかになった。

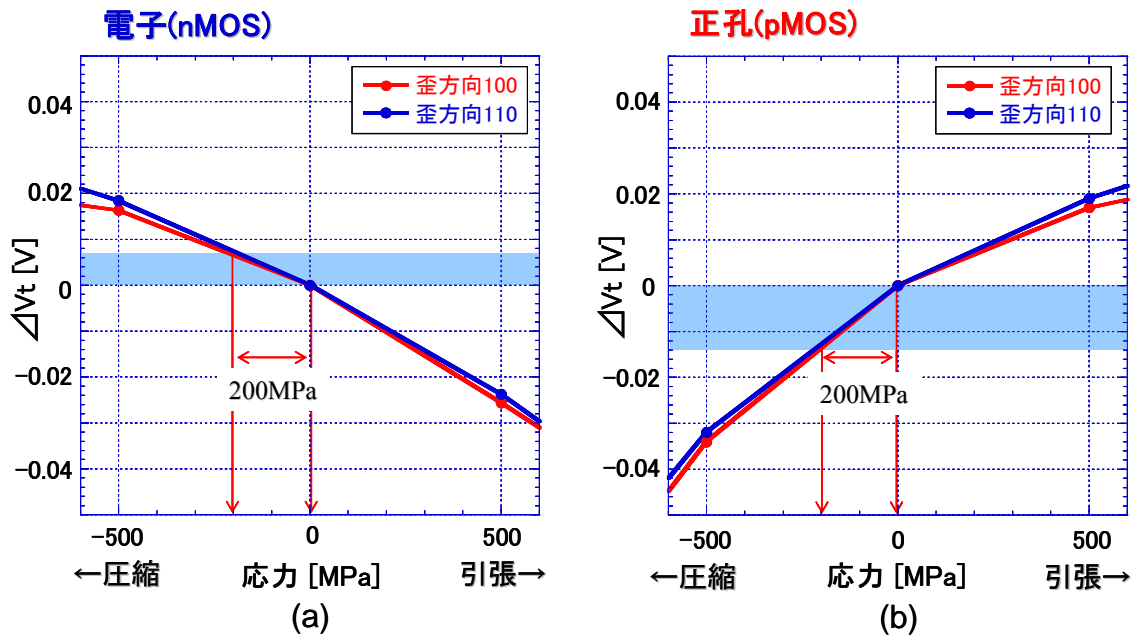
nMOS [100] チャンネル



PMOS [100] チャンネル



III-2-I-③-(1)-図 4)-2-7-1 チャンネル方向に一軸ストレスを印加した場合の第一原理計算によるシリコンバンド構造の計算例。



Ⅲ-2-Ⅰ-③-(1)-図 4)-2-7-2 ストレス起因のバンド構造変化による V_{th} 変動量の第一原理計算による計算結果.

4)-2-8 まとめ

MIRAI 第3期前半で開発した基本コンパクトストレスモデルを基に、複雑なレイアウトパターンに対応可能な一般化コンパクトストレスモデルを開発し、様々なレイアウトパターンに対するトランジスタ電気特性変動量の測定値に対して目標精度である V_{th} 誤差 $\pm 20\text{mV}$ 、 I_{on} 誤差 $\pm 5\%$ を満たしていることを検証した。また、一般化コンパクトストレスモデルは微小なプロセス変更に対するスケールビリティを持つことを確認した。最後に、キャリブレーションされた TCAD と第一原理バンド計算を用いたシミュレーションにより、 V_{th} のレイアウトパターン依存性は、ストレス依存型不純物拡散による実効チャンネル長の変動と、ストレスによるバンド構造の変化に起因する量子力学的効果でオーダー的には説明可能なことを明らかにした。

参考文献

- [Ⅲ-2-Ⅰ-③-(1)-文献 4)-2-1] K. Yamada, et al., "Layout-aware compact model of MOSFET characteristics variations induced by STI stress," IEICE Trans. Electronics, Vol.E91-C, No.7, pp.1142-1150, July 2008.
- [Ⅲ-2-Ⅰ-③-(1)-文献 4)-2-2] K. Yamada, et al., "Exhaustive and Systematic Accuracy Verification and Enhancement of STI Stress Compact Model for General Realistic Layout Patterns," IEICE Trans. Electronics, Vol.E93-C, No.8, pp.1349-1358, August 2009.
- [Ⅲ-2-Ⅰ-③-(1)-文献 4)-2-3] P. Tan, et al., "Compact modeling of mechanical STI y-stress effect," Solid-State and Integrated Circuit Technology, pp.1450-1452, 2006.
- [Ⅲ-2-Ⅰ-③-(1)-文献 4)-2-4] C. Pacha, et al., "Impact of STI-induced stress, inverse narrow width effect, and statistical VTH variations on leakage currents in 120nm CMOS," Solid-State Device Research Conference, pp.397-400, 2004.
- [Ⅲ-2-Ⅰ-③-(1)-文献 4)-2-5] M. Dunga, et al., "BSIM4 and BSIM multi-gate progress," NSTI-nanotech, pp.658-661, 2006.

- [Ⅲ-2-I-③-(1)-文献 4)-2-6] R. Bianchi, et al., "Accurate modeling of trench isolation induced mechanical stress effects on MOSFET electrical performance," Tech. Digest of International Electron Device Meeting, pp.117-120, 2002.
- [Ⅲ-2-I-③-(1)-文献 4)-2-7] K. Su, et al., "A scalable model for STI mechanical stress effect on layout dependence of MOS electrical characteristics," Custom Integrated Circuits Conference, pp.245-248, 2003.
- [Ⅲ-2-I-③-(1)-文献 4)-2-8] H. Tsuno, et al., "Advanced analysis and modeling of MOSFET characteristics fluctuation caused by layout variation," Symposium on VLSI Technology Digest, pp.204-205, 2007.
- [Ⅲ-2-I-③-(1)-文献 4)-2-9] A. Kahng, et al., "Exploiting STI stress for performance," International Conference on Computer-Aided Design, pp.83-90, 2007.
- [Ⅲ-2-I-③-(1)-文献 4)-2-10] HySyProS ver.4.2.0 ユーザーズ・マニュアル pp.411~413.

[5]特性ばらつきに対して耐性の高いデバイス・プロセス基盤技術の開発

5-1. ロバスト構造に向けたプレーナー型デバイス基盤技術開発

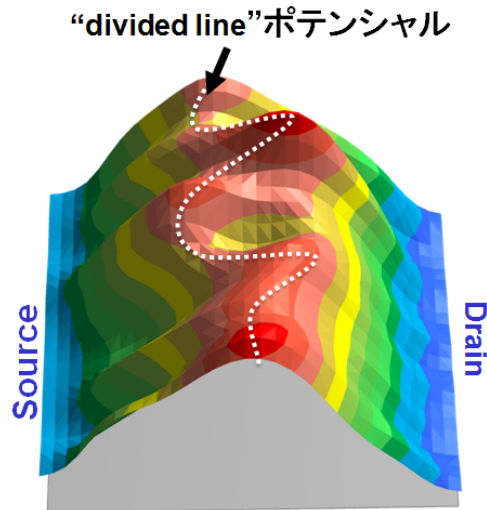
本開発項目では、特性ばらつきに対して耐性の高いデバイス構造提案のために、3次元デバイス・プロセスシミュレーション(以下、3D-TCADと呼ぶ)により、特性ばらつきの定量的評価、ばらつき要因の究明とロバスト構造に向けた指針の提示を行うことを目的としている。3D-TCADには、最も重要なランダムな特性ばらつきの原因と考えられる離散不純物揺らぎ(RDF: Random Dopant Fluctuation)を計算する機能を組み込んでいる。まず、65nmプロセス技術で現状用いられているプレーナー型のMOSトランジスタにおけるしきい値(V_{th})ばらつき、およびオン電流(I_{on})ばらつきの原因を検討した。

これまで、ランダムな電流ばらつきの主な要因として、 V_{th} ばらつきとトランスコンダクタンス(G_m)ばらつきが盛んに検討されてきた。しかし、 I_{on} ばらつきの原因は多岐にわたっており、未だ究明されていない部分も多い。本研究開発では、 I_{on} ばらつきの新たなばらつき要因として、“電流立上り電圧(ΔV_{th})”ばらつきを提案し、飽和領域においては G_m ばらつきよりも大きいことを示した。本開発では、 ΔV_{th} ばらつきの原因を明らかにするために、RDFを考慮した3D-TCADを用いた検討を実施した。

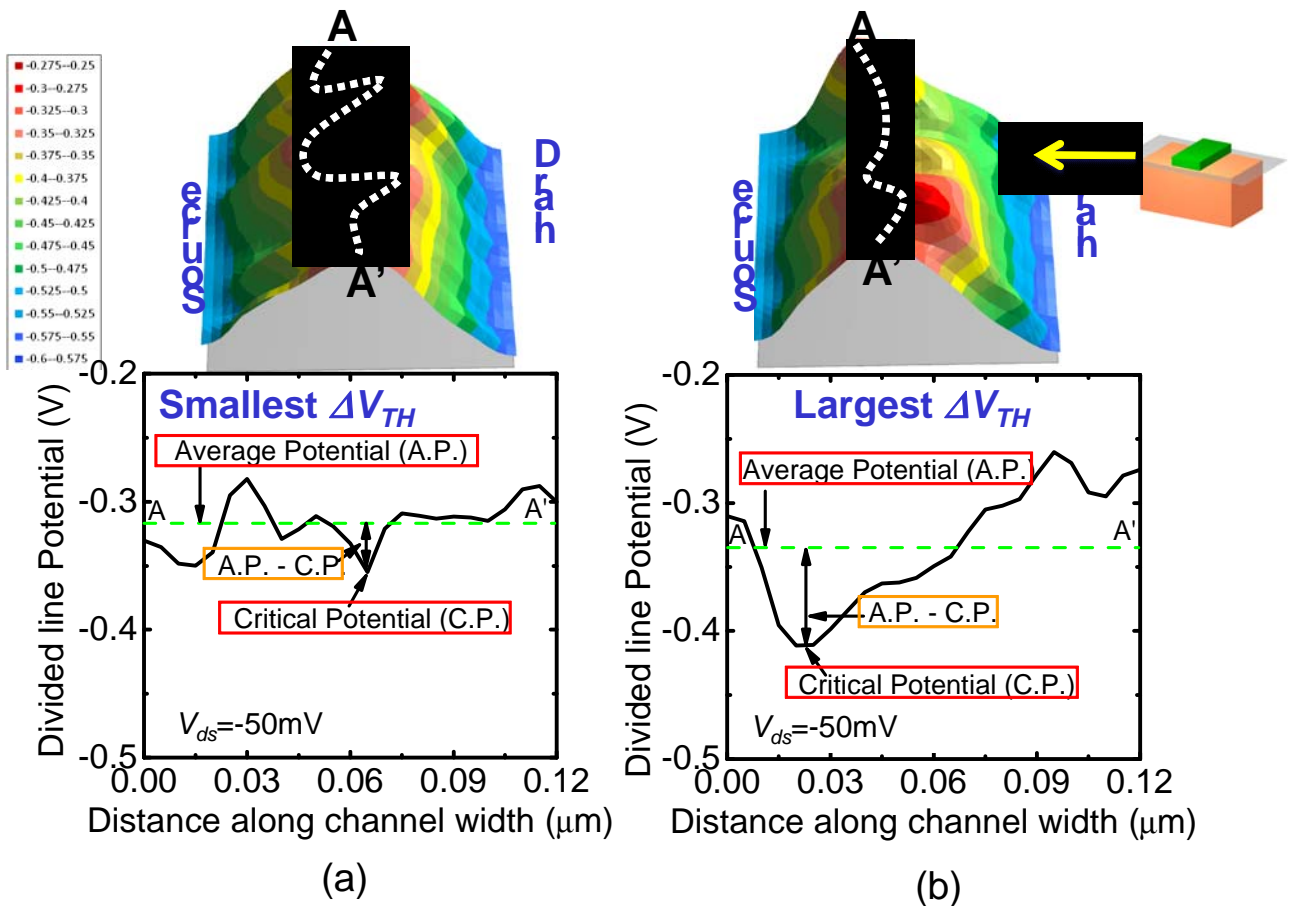
5-1-1.3D-TCADによるチャネルポテンシャル評価・解析

ΔV_{th} は I_{on} の立上り易さを表す指標であることから、 ΔV_{th} はPDFによるチャネル内のポテンシャルに影響を受けることが予測できる。そこで、RDFを考慮した3D-TCADを用いて、チャネル内のポテンシャルプロファイルを解析した。ここで、 V_{thc} をサブスレッショルド領域の定電流法($I_0=10^{-8} W_g/L_g$)で求めたしきい値、 V_{thex} を $I_{ds}-V_{gs}$ 特性の最大傾斜接線から求めた外挿しきい値、これら2種類のしきい値 V_{thc} 、および V_{thex} を用いて ΔV_{th} を両者の差、すなわち $\Delta V_{th} \equiv V_{thex} - V_{thc}$ と定義している。

III-2-I- (1)図 5-1-1 に3D-TCADで計算したチャネル内のポテンシャルプロファイルを示す。ここで、チャネル内のキャリアの流れ易さを議論するために、ソースドレイン間の電流パスにあるポテンシャル障壁を計算し、これを“divided line”と定義した。III-2-I- (1)図 5-1-2 に、線型領域($V_{ds} = -50mV$)における(a) ΔV_{th} が小さいPMOSと(b) ΔV_{th} が大きいPMOSのチャネル内のポテンシャルプロファイルを示す。III-2-I- (1)図 5-1-2(a)は、III-2-I- (1)図 5-1-2(b)と比較して、ポテンシャル揺らぎが明らかに小さい。これらの結果より、 ΔV_{th} がPDFによるポテンシャル揺らぎに大きく影響を受けると考えられる。更に、divided lineの最小ポテンシャルをcriticalポテンシャル(C.P.)、平均ポテンシャルをAverageポテンシャル(A.P.)と定義する。III-2-I- (1)図 5-1-2(a)(b)では、A.P.はほとんど同じだが、C.P.はIII-2-I- (1)図 5-1-2(b)の方が明らかに小さい。サブスレッショルド電流はdivided lineの最小ポテンシャルを有する電流パスを流れる。 V_{thc} はサブスレッショルド電流を表しているため、 V_{thc} はC.P.と相関があると考えられる。したがって、(A.P.-C.P.)が ΔV_{th} の指標となることが予想される。3D-TCADにおけるポテンシャル揺らぎの定量化手法を開発し、これが ΔV_{th} と相関があることを明らかにし、 ΔV_{th} を低減するにポテンシャル構造に関する知見を得た。



III-2-I- (1)図 5-1-1 3D デバイスシミュレーションで計算したチャンネル内のポテンシャルプロファイル

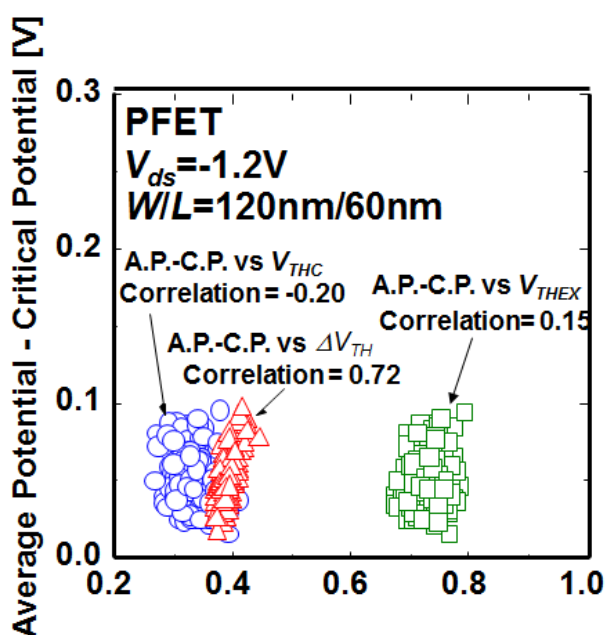


III-2-I- (1)図 5-1-2 3D デバイスシミュレーションで計算した線型領域 ($V_{ds} = -50\text{mV}$) におけるチャンネル内のポテンシャルプロファイル. (a) DV_{TH} が小さい PFET. (b) DV_{TH} が大きい PFET.

5-1-2. チャネルポテンシャルと特性ばらつきの相関

III-2-I-③-(1)図 5-1-3 に、200 個の PFET をシミュレーションした飽和領域 ($V_{ds} = -1.2V$) における (A.P. - C.P.) の V_{THC} 、 V_{THEX} および ΔV_{TH} に対する相関を示す。ゲート長 60nm、ゲート幅 120nm である。(A.P. - C.P.) の V_{THC} および V_{THEX} に対する相関はともに非常に弱い。一方、これらと比較して、(A.P. - C.P.) の $|\Delta V_{TH}|$ に対する相関は強い。これは、 $|\Delta V_{TH}|$ は A.P. と C.P. との差によってほとんど決定することを意味する。従って、 ΔV_{TH} ばらつきは RDF によって生じるチャネル内のポテンシャル揺らぎを反映していると考えられる。

以上の結果より、オン電流ばらつき及びしきい値ばらつきの低減化に向けては、チャネル不純物の低減化が有効である事の指針が得られた。



III-2-I- (1)図 5-1-3 200 個の PFET をシミュレーションした飽和領域 ($V_{ds} = -1.2V$) における(A.P. - C.P.) に対する V_{THC} , V_{THEX} および ΔV_{TH} の相関

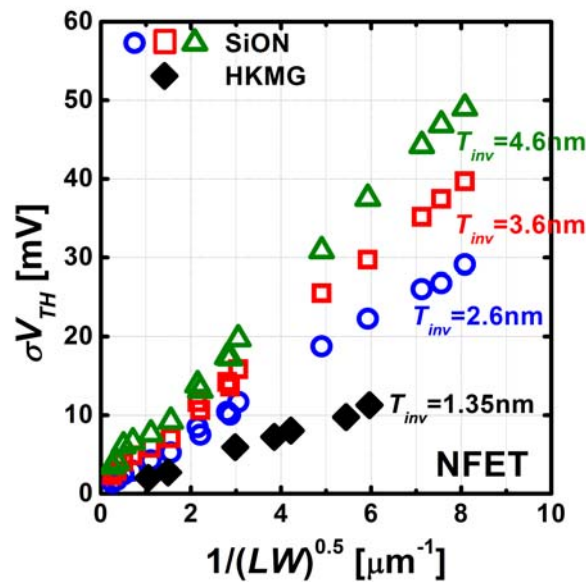
5-2. ロバスト構造に向けた高誘電率ゲート絶縁膜/メタルゲート電極(HKMG)デバイス基盤技術開発

High-k/Metal-Gate (以下、HK/MG 構造)の MOSFET では、従来の SiON 絶縁膜/Poly Si Gate (SiON) MOSFET と比較して反転層における電氣的ゲート酸化膜厚 (T_{inv}) が小さくなるため、 V_{TH} ばらつきが小さくなることが期待される。実際、Pelgrom プロットの勾配係数 AVT は、SiON MOSFET より小さい値が報告されている。ところが、 AVT は T_{inv} やチャネル不純物濃度 (N_{sub}) に依存するため、HKMG MOSFET が有するばらつき要因を公平に SiON MOSFET と比較しているとは言い難い。本開発項目では、HKMG MOSFET の特性ばらつき評価手法として、Takeuchi プロットの有効性を調べ、ロバスト構造に向け

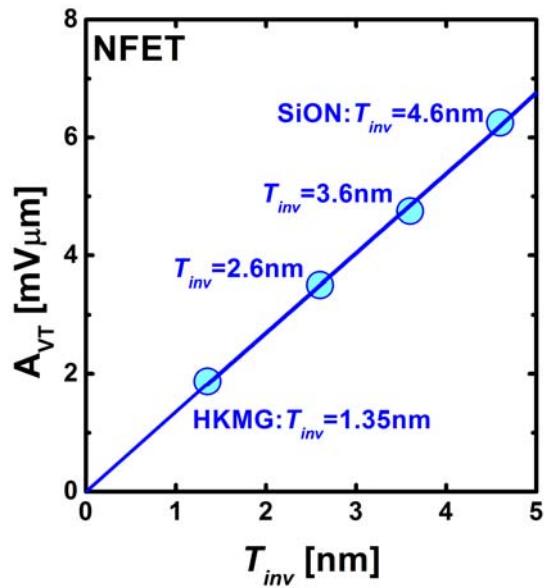
た指針を検討したので報告する。

5-2-1. Pelgrom プロットによる評価

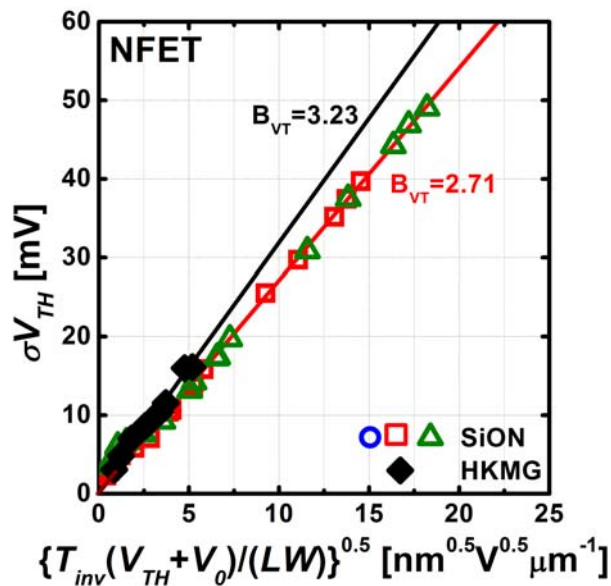
III-2-I-③-(1)図 5-2-1 に HKMG 構造の NMOS と従来の SiON 系のゲート絶縁膜を有する NMOS の Pelgrom プロットを示した。従来の SiON nMOSFET では T_{inv} を 3 種類 ($T_{inv} = 2.6\text{nm}$, 3.6nm , 4.6nm) に変化させている。この図からわかるように、明らかに HKMG nMOSFET の方がばらつきが小さく、AVT の値が小さい。III-2-I-③-(1)図 5-2-2 に AVT の T_{inv} 依存性を示す。AVT は T_{inv} に比例しており、HKMG nMOSFET のばらつき低減は T_{inv} の観点で説明できるかのようにみえる。ところが、HKMG nMOSFET の N_{sub} は、ゲート仕事関数の違いにより SiON nMOSFET の N_{sub} より大幅に小さいため、特性ばらつきは更に小さくなるべきと期待される。すなわち AVT には N_{sub} の減少の効果が反映されていない。



III-2-I- (1)図 5-2-1 HKMG nMOSFET と SiON の Pelgrom プロット.



III-2-I- (1)図 5-2-2 AVT の T_{inv} 依存性.



III-2-I- (1)図 5-2-3 HKMG nMOSFET と SiON の Takeuchi プロット.

5-2-2. Takeuchi プロットによる評価

III-2-I-③(1)図 5-2-3 に同じトランジスタの Takeuchi プロットを示す。プロットにあたっては、CV 測定の結果からフラットバンド電圧 (V_{FB}) と真性半導体とのフェルミレベル差 (ϕ_F) を求め $V_0 (= -(V_{FB} + 2\phi_F))$ の値を算出した。HKMG nMOSFET の B_{VT} ($= 3.30$) の方が SiON nMOSFET ($B_{VT} = 2.71$) より大きいことが分かる。 B_{VT} では、分散不純物揺らぎの T_{inv} および N_{sub} による違いが正規化される。よってこの実測結果は、HKMG nMOSFET の方が SiON nMOSFET よりも分散不純物揺らぎ以外の別のばらつき要因が大きいことを示唆している。従って、HKMG デバイスでは、主として反転層における電氣的ゲート酸化膜厚が小さくなることで特性ばらつきが低減化できるが、さらなる特性ばらつき低減化に向けては、分散不

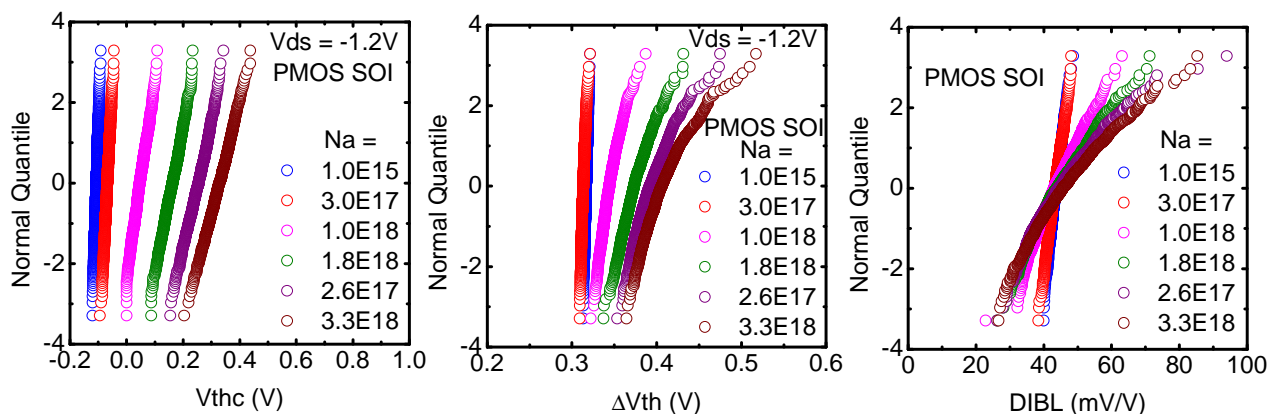
純物揺らぎ以外の要因分析も重要であることを明らかにした。また、Takeuchi プロットは、そうした HKMG MOSFET の特性ばらつきの評価手法としても有効であることが実証できた。

5-3. ロバスト構造に向けたSOIデバイス基盤技術開発

V_{th} ばらつきの支配的要因は、RDF である。また、5-1 項では、電流ばらつきに影響を与える”電流立上り電圧 (ΔV_{th})”が、RDF に起因するチャンネル幅方向のポテンシャル揺らぎが原因でばらつくことを報告した。さらに最近、回路特性に大きな影響を与える *DIBL* が、RDF に起因するチャンネル長方向の非対称性によりばらつくことを報告された。したがって、チャンネル不純物濃度を減らすと、 V_{th} ばらつきのみならず *DIBL* や ΔV_{th} ばらつきも抑制できると期待される。本開発項目では、短チャンネル効果を抑制しつつチャンネル不純物濃度を下げられるデバイス構造として、完全空乏型 (FD) SOI MOSFET について、RDF を考慮した 3D デバイスシミュレーションを用いて検討を実施した。さらにシミュレーション結果を検証するために、イントリシックチャンネル FD SOI MOSFET を実測し、 V_{th} 、*DIBL*、 ΔV_{th} ばらつきについて調査した。

5-3-1. 3D-TCADによるSOIデバイス特性ばらつき評価・解析

RDF を考慮したデバイスシミュレーションによる完全空乏化 SOI-MOSFET の特性ばらつきを III-2-I-③-(1)図 5-3-1 に示す。しきい値電圧 V_{thc} 、電流立上り電圧 ΔV_{th} 、*DIBL* の累積度数分布である。チャンネル不純物濃度は $1.0 \times 10^{15} \text{cm}^{-2}$ から $3.3 \times 10^{18} \text{cm}^{-2}$ まで変化させた。チャンネル不純物濃度がバルク MOSFET と同様に高い場合は、しきい値電圧 V_{thc} 、電流立上り電圧 ΔV_{th} 、*DIBL* ともに大きなばらつきを示すが、チャンネル不純物濃度を下げていくと、ばらつきが大幅に低減できることがわかる。チャンネル濃度が $3.0 \times 10^{17} \text{cm}^{-2}$ まで下がると、これ以上濃度を下げてもばらつきは変わらない。一般に、バルク MOSFET では短チャンネル効果を抑制するためにチャンネル濃度を下げることが困難であるが、FD SOI MOSFET は薄膜 SOI を用いることで短チャンネル効果を抑制することできる。したがって、FD SOI MOSFET では、特性ばらつき抑制と短チャンネル効果抑制を同時に達成することが可能である。



III-2-I- (1)図 5-3-1 シミュレーションによって求めた SOI PFET における V_{thc} 、電流立上り電圧 ΔV_{th} 、*DIBL* の累積度数分布。チャンネル不純物濃度を変化させ、それぞれ 1000 個の PFET をシミュレーションした。

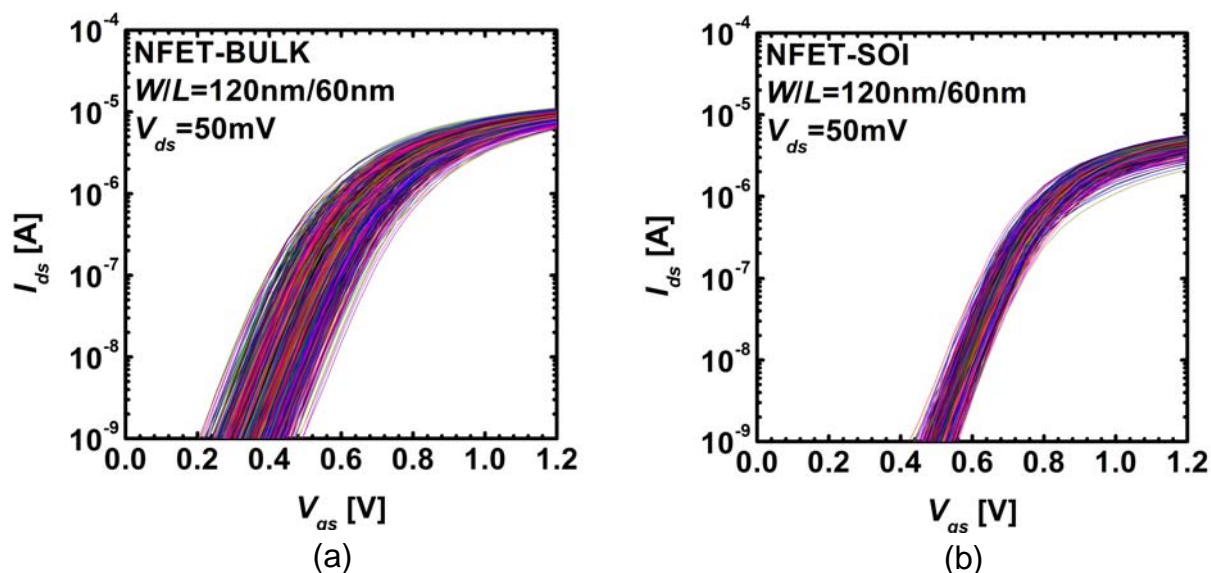
5-3-2. バルクデバイスとSOIデバイスの特性ばらつき比較評価・解析

65nm 技術で作製したそれぞれ 2000 個のイントリシックチャンネル FD SOI nMOSFET ($t_{SOI} = 10\text{nm}$ 、 $t_{BOX} = 10\text{nm}$) およびチャンネルドーピングしたバルク nMOSFET を大規模デバイスマトリクスアレイ (DMA) TEG を用いて測定した。 V_{TH} を調整するために SOI nMOSFET にはメタルゲート、一方バルク MOSFET にはポリシリコンゲートを用いた。電気的ゲート酸化膜厚 (EOT) はほぼ同じである。III-2-I-③-(1)図 5-3-2 に、線形領域 ($V_{ds} = 50\text{mV}$) における(a)バルク NFET (b)FD SOI NFET の I_{ds} - V_{gs} 特性を示す。ここで、ゲート長 60nm、ゲート幅 120nm である。

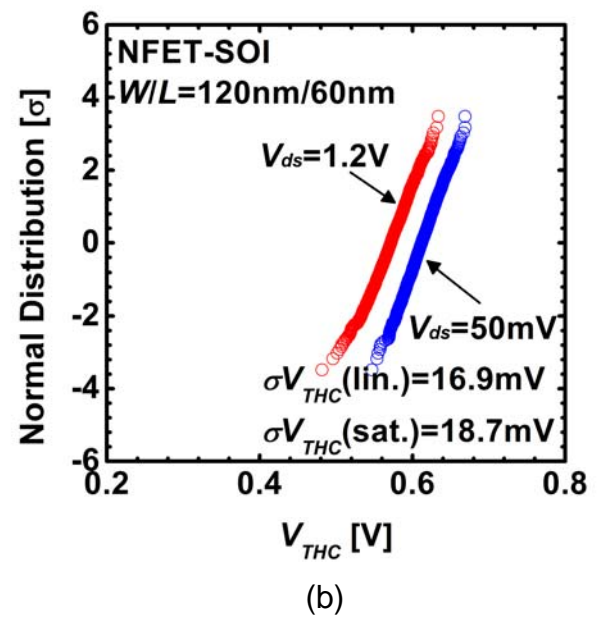
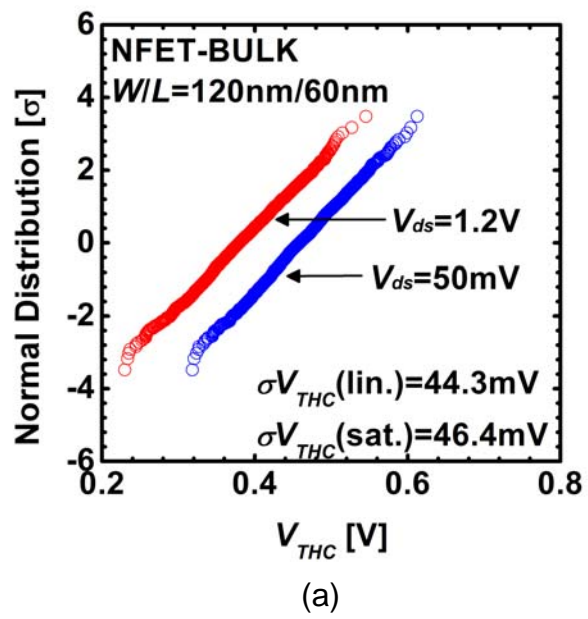
III-2-I-③-(1)図 5-3-3 に、線形領域 ($V_{ds} = 50\text{mV}$) および飽和領域 ($V_{ds} = 1.2\text{V}$) における(a)バルク NFET (b)FD SOI NFET の定電流法で求めたしきい値電圧 V_{THC} の累積度数分布を示す。これらの図からわかるように、SOI nMOSFET (線型領域では $\sigma = 16.9\text{mV}$) の V_{THC} ばらつきは、バルク nMOSFET のばらつき ($\sigma = 44.3\text{mV}$) の半分以下である。III-2-I-③-(1)図 5-3-4 では $DIBL$ の累積度数分布を比較した。 $DIBL$ ばらつきも同様に、SOI nMOSFET ($\sigma = 10.2\text{mV/V}$) の方がバルク nMOSFET ($\sigma = 18.4\text{mV/V}$) より小さい。さらに、III-2-I-③-(1)図 5-3-5 に ΔV_{TH} の累積度数分布についても調べた。 ΔV_{TH} ばらつきについても、SOI nMOSFET ($\sigma = 12.2\text{mV}$) の方がバルク nMOSFET ($\sigma = 22.5\text{mV}$) より明らかに小さかった。

従って、チャンネル不純物を低減したノンドーピングチャンネル FD SOI MOSFET では、 V_{TH} のみならず $DIBL$ や ΔV_{TH} ばらつきを抑制できることを示した。

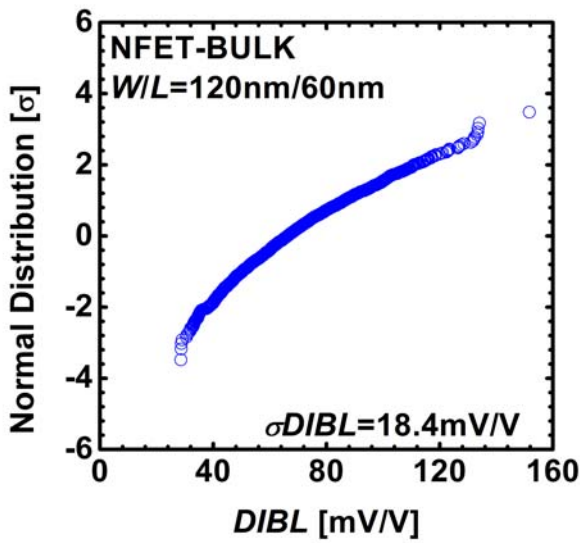
以上の結果より、特性ばらつき低減化の指針として、チャンネル不純物の低減化やゲート絶縁膜の薄膜化が有効であることが示された。



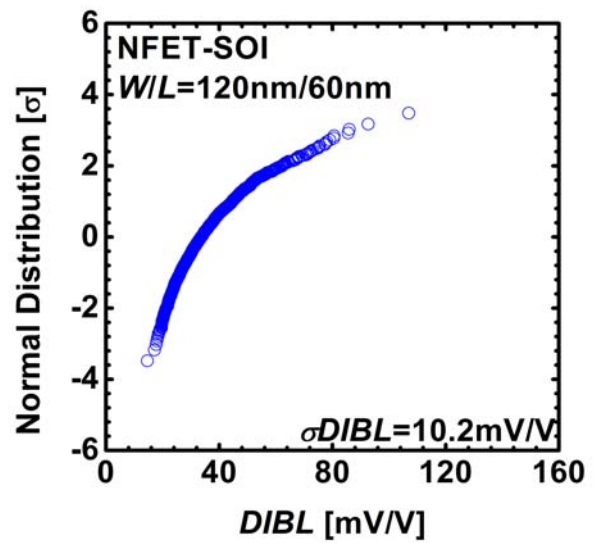
III-2-I-③-(1)図 5-3-2 2000 個の NFET を測定した線型領域 ($V_{ds} = 50\text{mV}$) における I_{ds} - V_{gs} 特性. (a) バルク NFET. (b) FD SOI NFET.



III-2-I- (1)図 5-3-3 2000 個の NFET を測定した線型領域 ($V_{ds} = 50\text{mV}$) および飽和領域 ($V_{ds} = 1.2\text{V}$) における V_{THC} の累積度数分布. (a) バルク NFET. (b) FD SOI NFET.

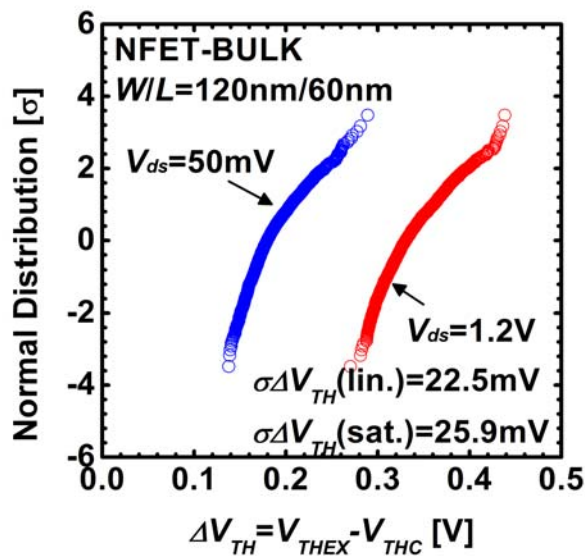


(a)

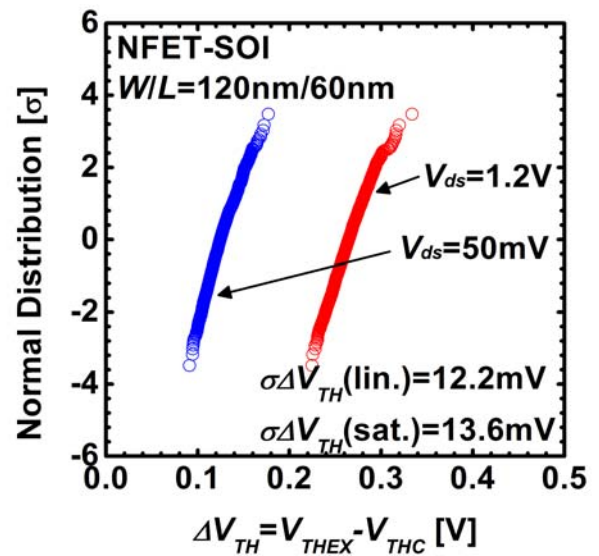


(b)

III-2-I- (1)図 5-3-4 2000 個の NFET を測定した線型領域 ($V_{ds} = 50 \text{ mV}$) および飽和領域 ($V_{ds} = 1.2 \text{ V}$) における DIBL の累積度数分布. (a) バルク NFET. (b) FD SOI NFET.



(a)



(b)

III-2-I- (1)図 5-3-5 2000 個の NFET を測定した線型領域 ($V_{ds} = 50 \text{ mV}$) および飽和領域 ($V_{ds} = 1.2 \text{ V}$) における ΔV_{TH} の累積度数分布. (a) バルク NFET. (b) FD SOI NFET.

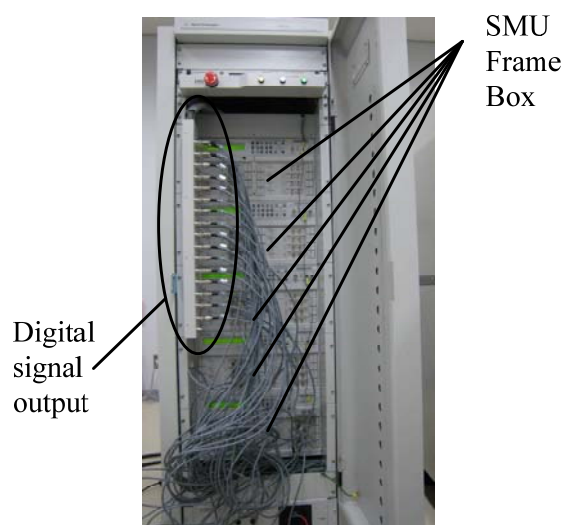
[6]計測解析技術の開発

6-1 デバイス電気特性ばらつきの測定システムの開発

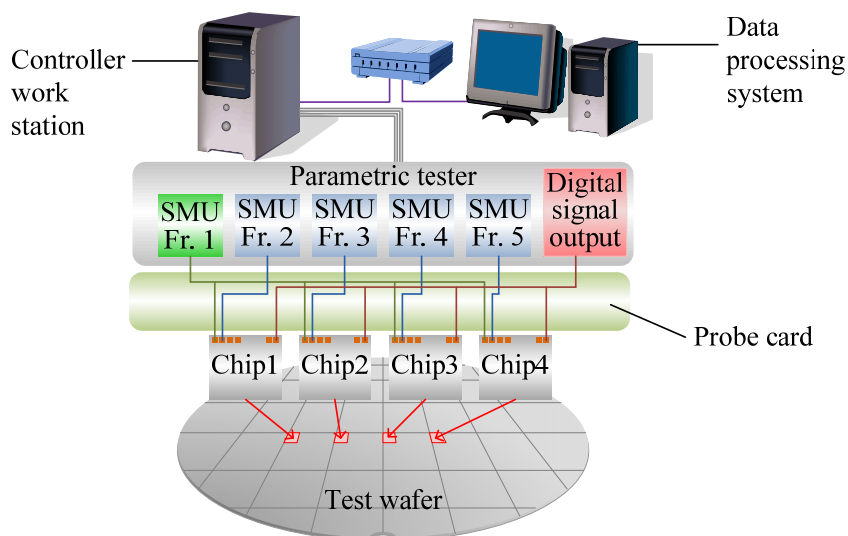
6-1-1 N9201Aを用いた大量なMOSFET特性の評価手法開発

6-1-1-1 測定方法の概要

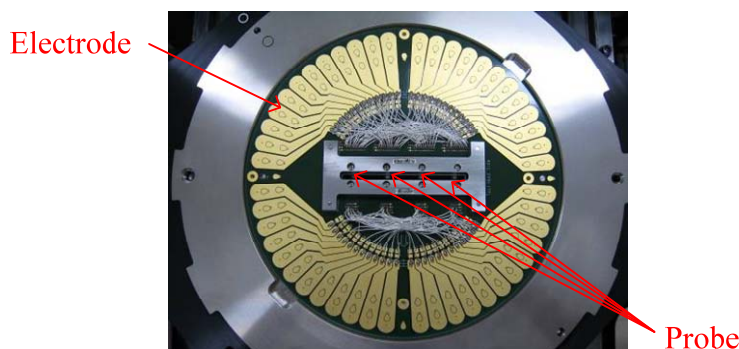
電気特性ばらつきの大きさを精度良く評価するためには、大量の MOSFET 特性を評価する必要がある。大量の MOS トランジスタ特性を短時間で測定するために、Agilent 社製 N9201A Array Structure Parametric Test System (以下、N9201A と呼ぶ)を元に測定システムを開発した。このシステムの概観を III-2-1- (1)図 6-1 に示した。このシステムは、1 つのキャビネットに 40 台の SMU (Source Monitor Unit)とデジタル信号出力機能を備えることが最大の特徴である。DMA-TEG (Device Matrix Array-Test Element Group)中にある測定対象のトランジスタ(DUT: Device Under Test、以下 DUT と呼ぶ)は、デジタル信号出力より出力されたアドレス信号がデコーダ回路に入力することにより、特性の DUT が選択される。測定システムの概要を III-2-1- (1)図 6-2 に示す。計測速度・効率を上げるために、ウエハ上の 4 チップを同時に測定している。40 台ある SMU は、SMU Frame 1 から 5 までに 8 台ずつ分かれて格納されている。このうち SMU Frame1 にある SMU は、4 チップそれぞれにある DMA-TEG のデコーダやウエルに電源を供給するために用いる。SMU Frame2 から Frame5 は、チップ 1 からチップ 4 を測定するために用いる。4 チップを同時に測定するために III-2-1- (1)図 6-3 に示す特殊なプローブカードを開発した。N9201A では、Agilent 4070 シリーズのテストヘッドを用いてプローブカードに接続するため、同テストヘッドに合わせた仕様にする必要がある。測定対象の 4 チップの DMA-TEG でプロービングしなければならないパット数が 136(34 パット×4 チップ)あるのに対し、テストヘッドに接続できるのは 48 端子しかない。このため、電源やアドレス制御信号といった 4 チップの DMA-TEG で共用できる端子に関しては共通の端子を用いて、プローブカード上で各チップへ電源やアドレス制御信号を分配する構造とした。



III-2-1- (1)図 6-1-1 Agilent 社製 N9201A の概要。40 台の SMU と、デジタル信号出力が備えられている。DMA-TEG 内の測定対象トランジスタは、デジタル信号出力からの信号により、デコーダを解して選択され、SMU によって測定が実施される



III-2-I- (1)図 6-1-2 開発した測定システムの模式図



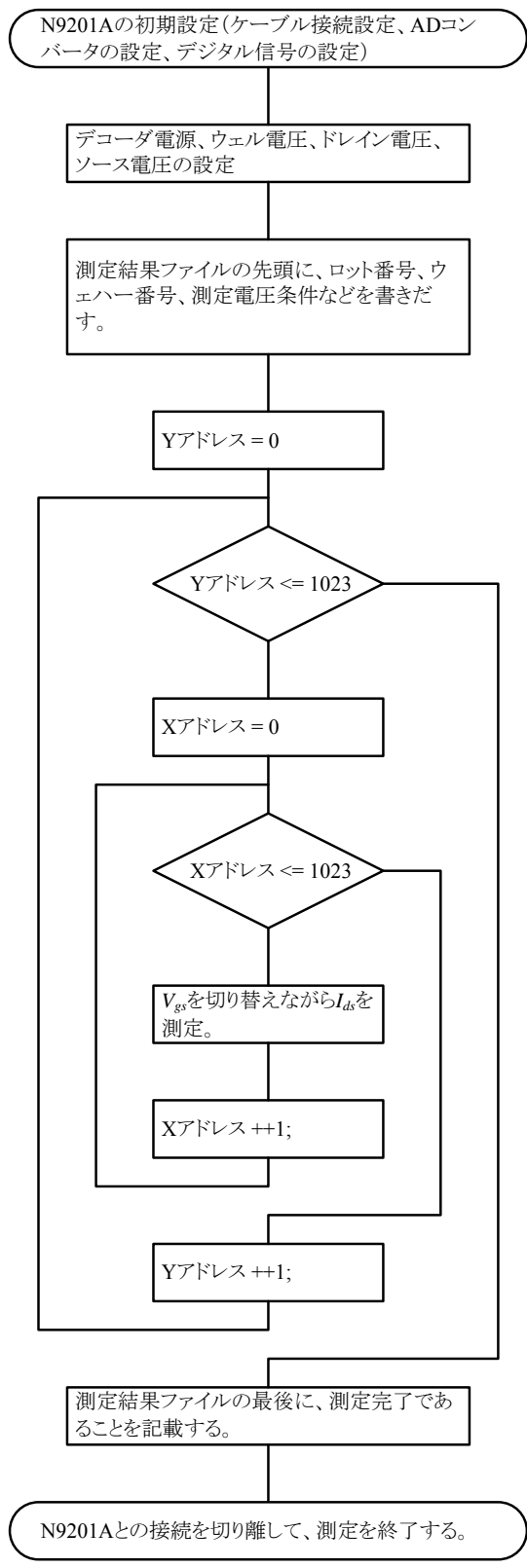
III-2-I- (1)図 6-1-3 4チップ同測を行うためのプローブカードの概観。プローブカードの周りには電極は、テストヘッドのポゴピンと接続される。

さらに測定を高速化するために、測定プログラムにも工夫を行った。N9201AではSMU自体にメモリが備えられている。測定プログラムや測定結果をそのメモリに一時的に記憶することにより、制御用ワークステーションとの通信頻度を低減でき、その結果測定速度も向上する。今回は、SMUに備えられたメモリ容量を十分に活用できるように一度に測定するトランジスタの数を最適化し、測定速度の向上を図った。

6-1-1-2 測定プログラムの概要

DMA-TEGの規模によらず、プログラムの基本構成は同一としているため、1MのDMA-TEG用の測定プログラムを例に、開発した測定プログラムの概要を説明する。III-2-I- (1)図 6-4に測定プログラムのフローチャートを示した。

まずN9201AのSMUおよびデジタル信号出力とテストヘッドの電気的な接続を行う。また、SMUのアナログ→デジタル変換器の積算時間の設定、デジタル信号出力の電圧設定を行う。次に、DMA-TEGのデコーダ電圧や、FETのウエル、ドレイン、ソース電圧など、測定中に常に一定の電圧を印加する端子に対して、電圧を印加する。測定結果を出力するファイルを作成し、そこにロット番号、ウエハ番号、測定条件など、後に解析に必要な情報を書き出す。ここまでの、測定を行う前の事前準備となる。



III-2-I- (1)図6-1-4 DMA-TEG測定プログラムのフローチャート

DMA-TEG の測定では、デジタル信号出力からのアドレス指定信号により、測定対象の FET を切り換えながら測定を行う。アドレスは X と Y の二次元の値により指定される。まず Y アドレスを 0 に設定する。次に X アドレスも 0 に設定する。このようにアドレスを指定し終わったところで Ids-Vgs 測定を行う。この測定システムでは、この時に 4 チップの 4 つの FET を同時に測定することができる。X アドレス 0 の FET の測定が完了したところで、次に X アドレスを 1 つ繰り上げて、X アドレス 1 の FET を測定する。これを繰り返し、X アドレス 1023 までの FET を測定する。X アドレス 1023 の FET の測定が完了したところで、Y アドレスを 1 つ繰り上げて、再び X アドレスが 0 から 1023 までの測定を行う。このように Y アドレスも 1 つずつ繰り上げて繰り返し測定を行い、Y アドレスが 1023 の FET の測定が完了すると、100 万 FET をすべて測定したことになる。

すべての FET の測定が完了したところで、測定結果を出力したファイルの末尾に、測定完了した旨を記載する。その後、N9201A の接続を電氣的に切り離して測定は完了する。

このプログラムでは、N9201A と制御用ワークステーションの間の一度の通信で測定結果を出力する X アドレスの数を調整することで、N9201A と制御用ワークステーションの間の通信頻度を減らし、全体の測定時間の高速化を図っている。

6-1-2 HS-50 を用いた MOSFET の経時変化ばらつき評価手法開発

時間と共に変化する特性ばらつきの評価手法として、NBTI (Negative Bias Temperature Instability) のストレスバイアスを印加した時の PMOS の V_{th} ばらつき変化の評価手法を、III-2-1- (1) 図 6-1-5 に示す NBTI 測定評価技術として開発した。測定システムは Agilent 社製 HS-50 88000 (以下、HS-50 と呼ぶ) により構成されている。HS-50 には測定モジュールと、測定する DMA-TEG のアドレスを指定するためのデジタル信号出力を備えている。この測定装置では最速で 500 ナノ秒周期で測定を行うことができるが、環境ノイズの影響を低減するために、実際は 10 マイクロ秒間かけての測定を行っている。NBTI による V_{th} の劣化は、ストレスバイアスを解放したとたんに回復が始まってしまうという性質があり、このことが正確な測定を難しくしている[1-3]。本開発で導入した装置は、従来半導体デバイスの計測に用いられるものではないが、一般的なデバイス特性の計測に用いられるパラメトリックテスターと比較して充分高速に測定を行うことができるため、この回復の影響をより抑制しながら、NBTI による V_{th} ばらつきの劣化を評価することができ、それを用いて NBTI 測定評価技術を開発した。



III-2-1- (1) 図 6-4 NBTI 測定システムの概観。全自動プローバはウエハ温度を、233 K から 473 K の範囲で保つことができる。

参考文献

- [1] M. Denais, A. Bravaix, V. Huard, C. Parthasarathy, G. Ribes, F. Perrier, Y. Rey-Tauriac, and N.Revill, "On-the-fly characterization of NBTI in ultra-thin gate oxide PMOSFET's," in *IEDM Tech. Dig.*, 2004, pp.109-112.
- [2] C. Shen, M. F. Li, X. P. Wang, H. Y. Yu, Y. P. Feng, A. T.-L. Lim, Y. C. Yeo, D. S. H. Chan, and D. L. Kwong, "Negative U Traps in HfO₂ Gate Dielectrics and Frequency Dependence of Dynamic BTI in MOSFETs," in *IEDM Tech. Dig.*, 2004, pp. 733 - 736.
- [3] W. J. Liu, Z. Y. Liu, D. Huang, C. C. Liao, L. F. Zhang, Z. H. Gan, W. Wong, C. Shen, and Ming-Fu Li, "On-The-Fly Interface Trap Measurement and Its Impact on the Understanding of NBTI Mechanism for p-MOSFETs with SiON Gate Dielectric," in *IEDM Tech. Dig.*, 2007, pp. 813-816.

6-2. 新しい不純物分布計測手法 —アトムプローブ技術—

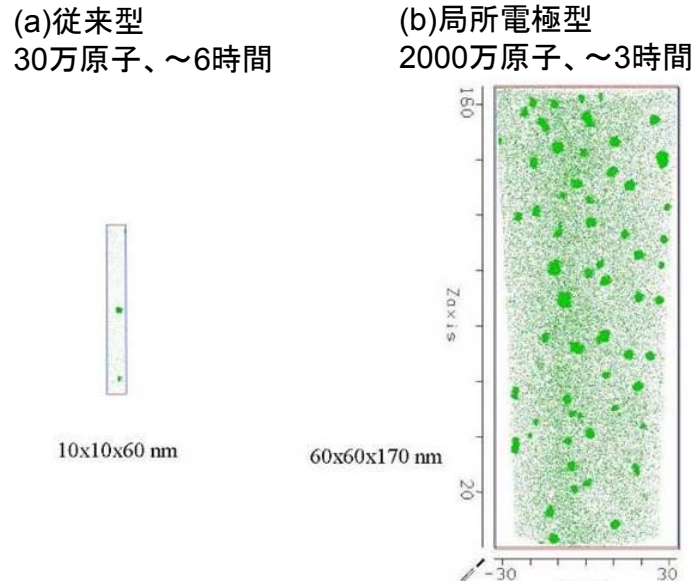
3次元アトムプローブ法(3DAP: Three Dimensional Atom Probe Tomography、以下3DAPと表記する)は、針状試料(先端半径十数 nm 程度)に高電圧を印加することで、試料表面に20~40 V/nm 程度の非常に高い電場を加え、先端表面からイオン化した原子が脱離する現象(これを電界蒸発という)を用いて、原子レベルに近い位置分解能で物質を構成する原子の空間位置を計測する手法である。この電界蒸発現象は、定常電圧(電界蒸発が発生するしきい値未満で制御した電圧)と電圧パルスを重ね合わせることでコントロールすることが可能であり、飛び出したイオン化原子の飛行時間を計測することで、イオン種を特定することが可能である。電界蒸発は試料最表面からのみ起こるため、位置敏感検出器で2次元のイオンマップを時間的に連続に収集し、さらにこれをイオンが脱離した順番、位置を考慮して再構築することでxyzの情報を持った3次元元素マッピングを得ることができる。

従来の高電圧パルス印加する3DAPは、金属材料あるいは高濃度に不純物添加した高導電性材料の計測に限られていた。これは半導体材料や絶縁物では針状試料先端に上手く電場を与えることができないためであった。本開発で用いた装置は、試料先端に定常電圧を印加するだけでなく、パルスレーザーを照射することができる。このパルスレーザーで瞬間的に温度を上昇させ、熱励起によって電界蒸発を補助することができる。このレーザー補助によって、導電性の低い半導体材料や絶縁体材料の分析が初めて可能となった。

本開発で用いた3DAPのもう一つの特徴は局所電極と呼ばれる電極を試料近傍に具備していることである(CAMECA(旧 IMAGO)社製 LEAP3000X-HR)。この局所電極を加えることにより、従来にくらべ、広い領域からイオン化原子の脱理を引き起こすことができる。すなわち、広い領域の3次元マッピングを得ることができる。一例として、III-2-I-(1)図6-2-1に局所電極装備前後の鉄と銅の合金中の銅の原子マップを示す。局所電極を用いることによって、従来に比べて大体積(100nm×100nm×数百 nm 程度)の分析を短時間でできるようなったことが明らかである。従来型では10nm×10nm×60nmと評価できる体積が小さく、半導体トランジスタのゲート電極、ソース・ドレイン、チャンネル領域を全て評価することはできない。局所電極の採用によって、初めて微細化された半導体トランジスタ全体の評価が可能になった。さらに、特殊な試料保持機構(マイクロポストを複数配列したシリコンチップ)を採用することにより、複数の針状試料を一度に真空チャンバ内に導入し、選択して測定することを可能にした。これによって測定時間の短縮、試料出し入れ時の排気時間短縮などの高効率化が図られている。

6-2-1. 半導体材料評価に向けた試料作製技術開発

3DAPでは電界蒸発を引き起こすために試料を直径数十 nm 程度の針状に加工し、針状試料の先端に高電界を印加する必要がある。従来からの3DAPの評価対象である金属材料の場合には電界研磨法によって非常に先端の尖った試料作製が行われていたが、半導体、絶縁膜、金属といったことなる材料が複雑な積層構造をしている半導体デバイスでは電界研磨そのものが困難であるうえ、特定の位置や領域を選択して加工することもできないことから、電解研磨法を用いて半導体デバイス材料の針状加工をおこなうことは不可能であった。

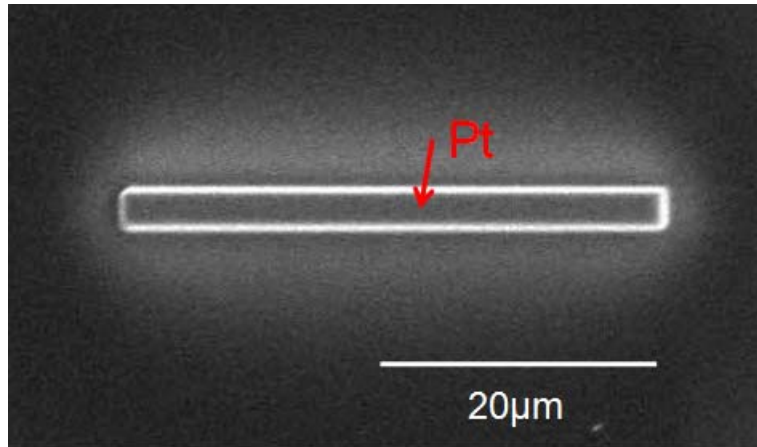


III-2-I- (1)図 6-2-1 局所電極装備前後における鉄－銅の合金中の銅の原子マップ

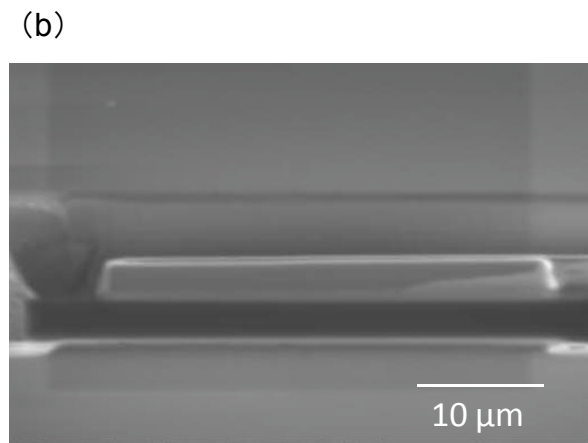
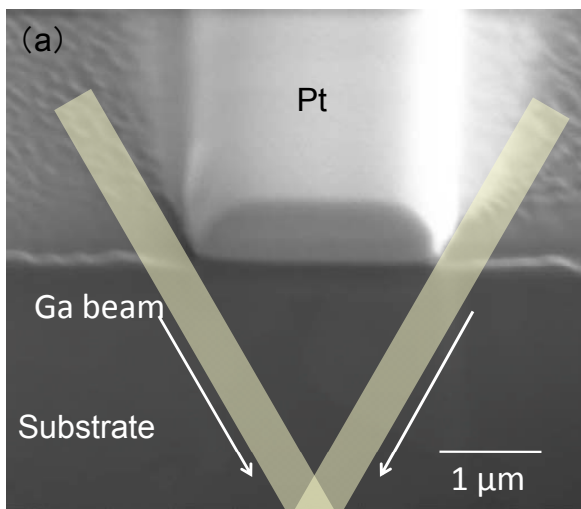
そこで本開発では、高精度に微細加工可能な集束イオンビーム(FIB: Focused Ion Beam)を用いて、マイクロサンプリングと針状加工を行う手法を採用し、半導体材料、半導体積層構造の評価、最終的には実際に電気特性を取得した実デバイスの評価のための針状試料加工法を確立した。試料作製は以下の手順で行った。

まず、FIB に備わっている白金のデポジション機能でシリコンウエハ上の分析箇所の上に保護膜を成膜し(III-2-I- (1)図 6-2-1-1)、その周辺部をイオンミリングし、試料片を作製する(III-2-I- (1)図 6-2-1-2)。次に、マニピュレータの先端を試料片の白金保護膜部と接触し、これに炭素を蒸着することで接合する(III-2-I- (1)図 6-2-1-3(a))。イオンミリングにより試料片をウエハからピックアップし(III-2-I- (1)図 6-2-1-3(b))、ピックアップした試料片をシリコンのマイクロチップ(高さ約 100 μ m、トップ平坦部約 2 μ m 径のマイクロポストが複数配列されたシリコンチップ)上のマイクロポストのトップ平坦部にアライメントする(III-2-I- (1)図 6-2-1-4(a))。そして、炭素蒸着で接合後、イオンミリングで切断する(III-2-I- (1)図 6-2-1-4(b))。炭素の堆積で接合した部分と反対側は白金蒸着することで接合を補強し、試料とポストの熱伝導性を高くする(III-2-I- (1)図 6-2-1-4(c))。ポストにマウントされた試料は、上方からの環状パターンのイオンミリングで円錐状に加工し、環状パターンの内径を徐々に小さくすることで試料先端部の先鋭化する(III-2-I- (1)図 6-2-1-5(a))。最後に低エネルギーイオンビームで試料に蒸着されていた余分なプラチナ保護層及びイオンミリングで生じるガリウムのダメージ層を取り除き、針状形状に仕上げる(III-2-I- (1)図 6-2-1-5(b))。観察領域が針状試料の先端 50～100nm 程度内に含まれるよう、深さを調節して試料を作製する。

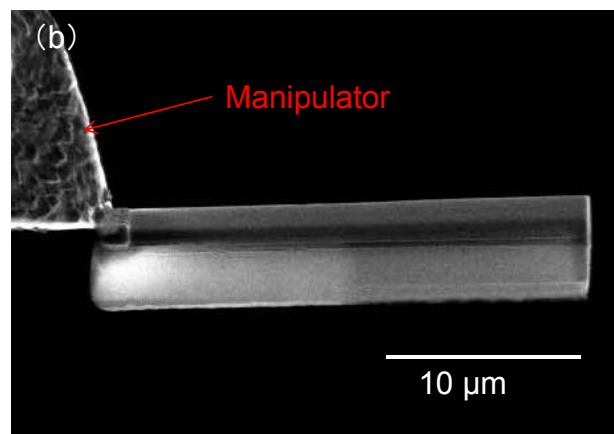
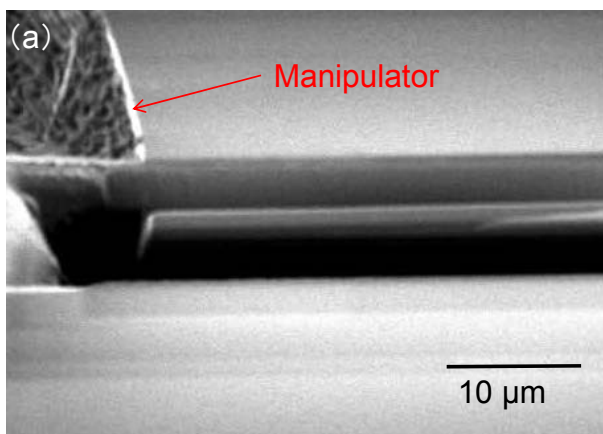
本手法を用いることで、半導体材料、ならびにデバイス構造を有する試料の 3DAP による計測が可能となった。以上より、半導体材料の評価準備を完了し、高い歩留まりで計測可能な 3DAP 向け試料作成技術を確立した。



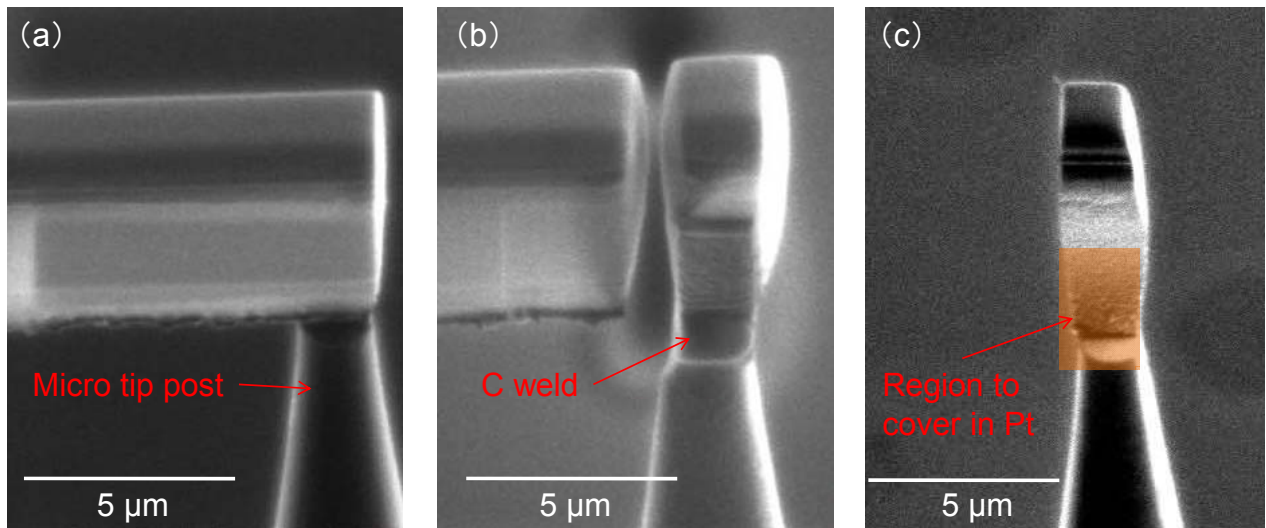
III-2-I- (1)図 6-2-1-1 試料表面の加工位置に保護膜、およびマーキングとしてプラチナを堆積する



III-2-I- (1)図 6-2-1-2 プラチナの堆積をマーキングとして周囲をイオンミリング
(a)側面から見た概念図、(b)イオンミリング後の試料

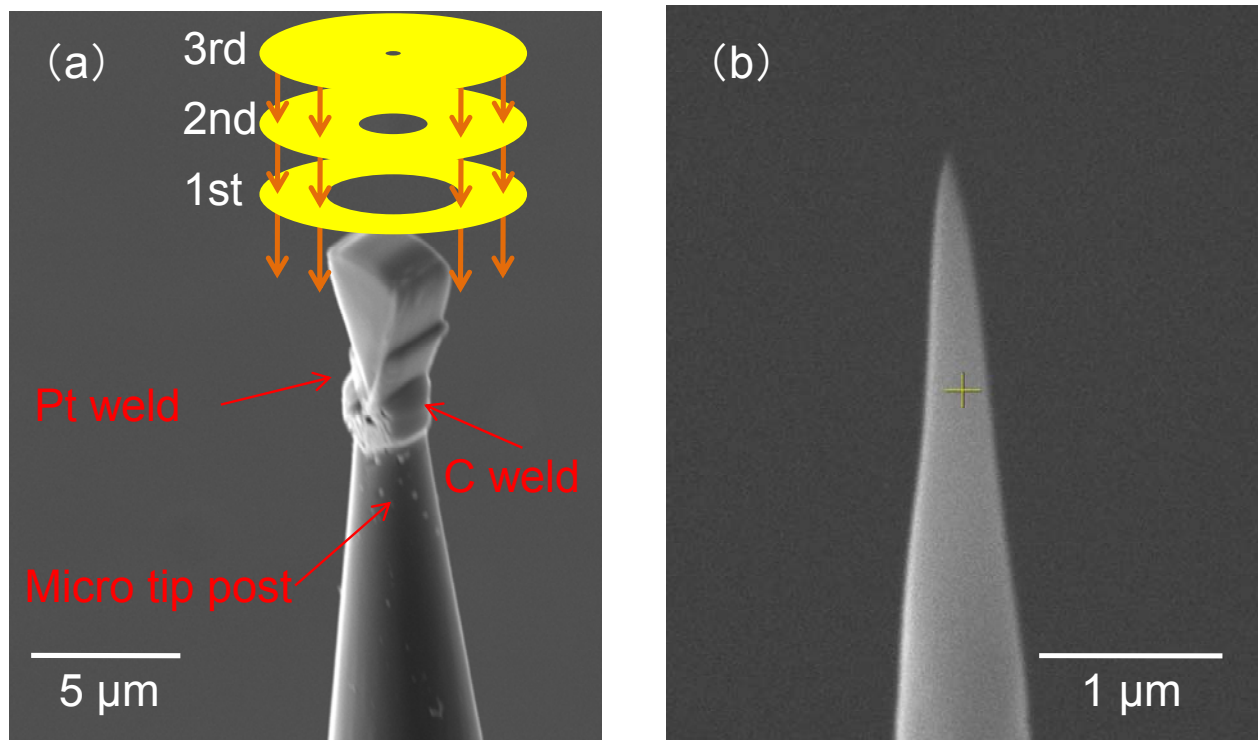


III-2-I- (1)図 6-2-1-3. 周囲をイオンミリングしたサンプルをマニピュレータによりピックアップ
(a)ピックアップ直前のマニピュレータと試料片、(b)ウエハからピックアップした試料



III-2-I- (1)図 6-2-1-4. 試料片のシリコンマイクロチップへの据え付け

(a) 試料片をマイクロチップにマウント、(b) 炭素で固定し、試料片を切断、(c) 180 度回転させ反対の開口部をプラチナで埋める



III-2-I- (1)図 6-2-1-5. 環状パターンを用いたイオンミリングによって円錐状に加工する

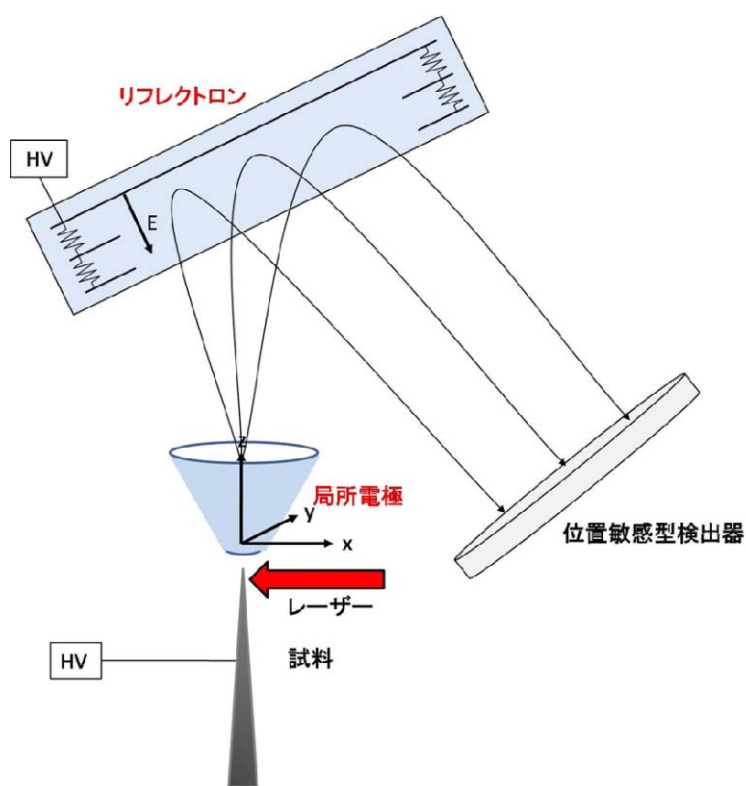
(a) 加工前、(b) 加工後

6-2-2. 半導体中の微量不純物の検出技術開発

本開発では、レーザーパルス局所電極型アトムプローブにエネルギー補償のためのリフレクトロンを導入して質量分解能の向上を図った。従来のエネルギー補償を行っていない 3DAP では、蒸発したイオンを直線飛行させて検出していたのに対し、エネルギー補償型はイオンの飛行経路に静電反射板を置き、飛行経路を反転させる。これによって電界蒸発時に異なったエネルギーを持って飛び出した同じ質量の原子の飛行時間

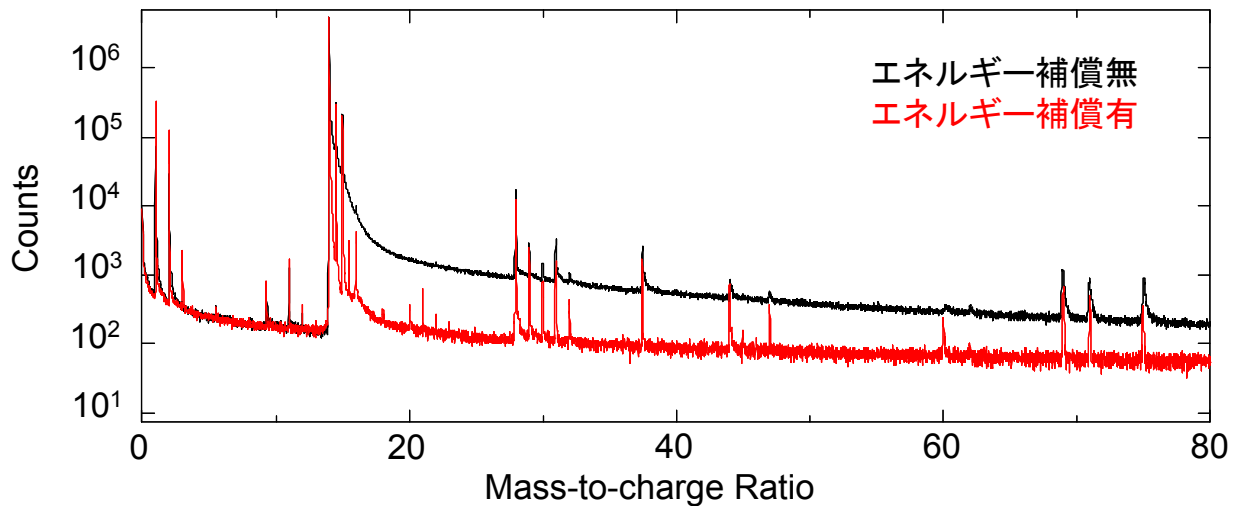
を補償することができる。同じ質量の原子の飛行時間が蒸発時のエネルギーにかかわらず一定になるため、得られる質量スペクトルの質量分解能が向上する。III-2-I- (1)図 6-2-2-1 にエネルギー補償型レーザーパルス局所電極型アトムプローブの概念図を示す。静電反射板にはイオンの最大エネルギーよりも数%高い電圧を印加し、エネルギーの低いイオンは手前で反射され、エネルギーの高いイオンは奥で反射するようにする。このようにエネルギーの違いによる飛行時間の違いを補償することによって質量分解能が向上する。

質量分解能が向上することで、直接的に検出感度が向上するわけではない。しかし、微量元素の検出にあたってはこれが検出下限の向上につながる。微量元素のピークがバックグラウンドノイズと同程度である場合には、元素のピーク成分とノイズ成分の分離が難しい。しかし、質量分解能が向上することで、ピークの半値幅が狭くなると、検出感度が等しい場合にはピーク強度が強くなり、バックグラウンドと明確に識別できる。そのため、リフレクトロン導入による質量分解能向上は不純物分析には有効な技術である。特にシリコンピークの裾引きに埋もれる位置にあるリン原子などの評価に大きな効果がある。



III-2-I- (1)図 6-2-2-1. エネルギー補償型レーザーパルス局所電極型アトムプローブの概念図

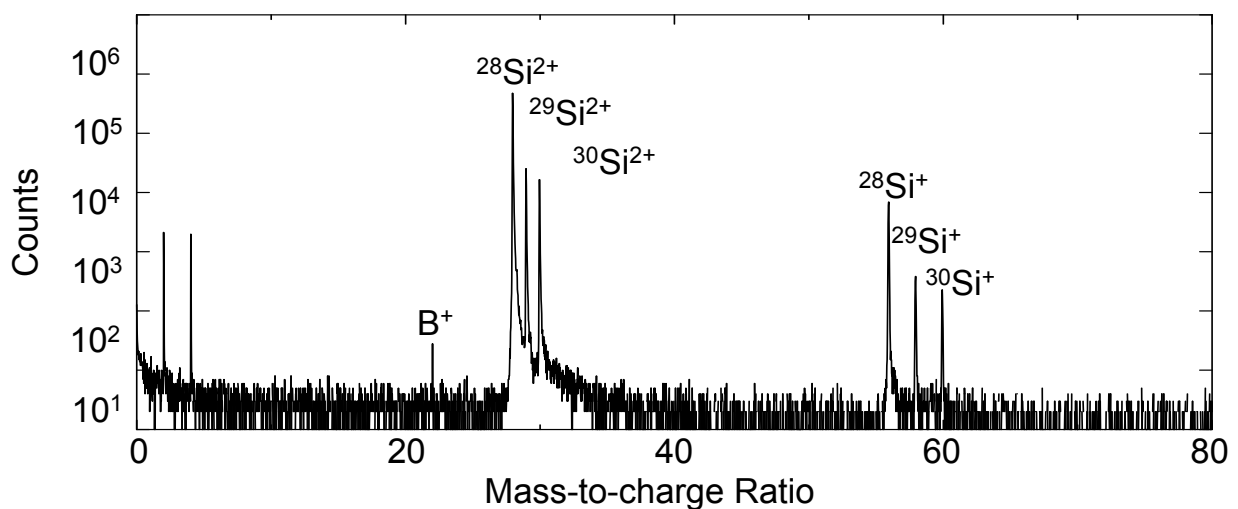
リフレクトロン導入による質量スペクトルの違いを III-2-I- (1)図 6-2-2-2 に示す。これは通常のレーザー 3DAP、およびエネルギー補償型レーザー 3DAP による、同じ組成のシリコンデバイス試料の質量スペクトルである。質量スペクトルは、シリコンピークの原子数で規格化している。エネルギー補償を行うことによって質量分解能が向上し、相対的にバックグラウンドノイズも低下していることがわかる。特にシリコンのピーク半値幅が大幅に低減できるため、このピークの近傍にあるシリコンの同位体、リン等の原子の検出が可能となった。またシリコンピークから重い質量側において、増大していたノイズレベルが大幅に低減可能であり、ヒ素や他の重い元素の微量分析も可能となった。以上より、本開発で導入したリフレクトロンを 3DAP に導入することで、シリコン中の微量不純物の分析が可能となり、シリコンに微量量ドーピングした原子種を特定することが可能になる。



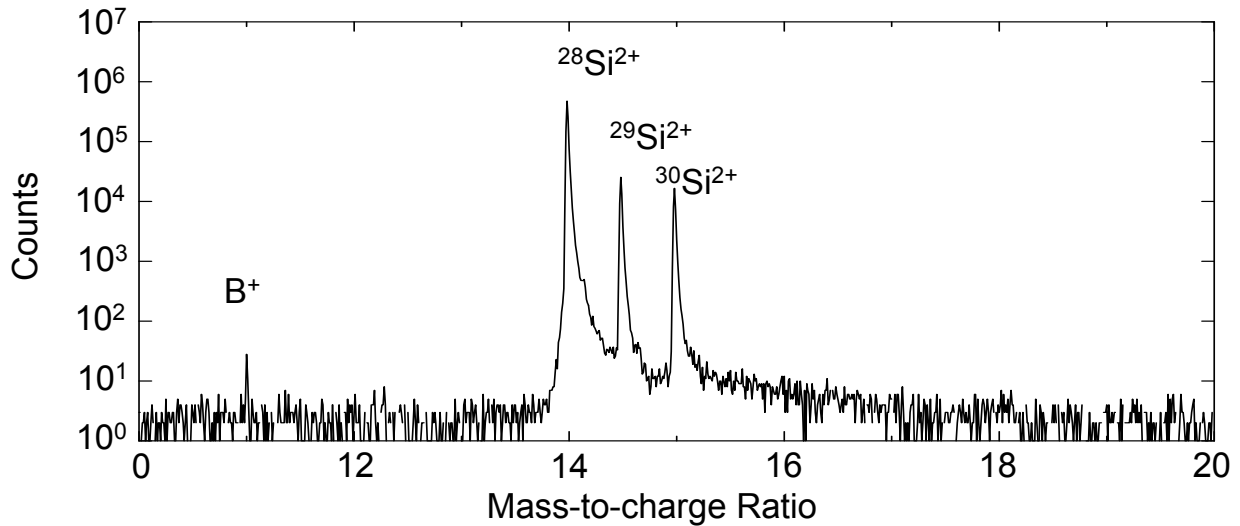
III-2-I- (1)図 6-2-2-2. エネルギー補償有無による質量スペクトル比較

一方、質量分解能は試料形状にも大きく依存することが本開発で明らかとなった。このため、微量不純物の高効率検出のための、試料形状の最適化も行った。III-2-I- (1)図 6-2-2-3 に実デバイスにおける試料形状を最適化した後の質量スペクトル、III-2-I- (1)図 6-2-2-4 にシリコンの主ピーク近傍を拡大した質量スペクトルを示した。デバイスの構造から、試料形状に制限がある中でバックグラウンドの低下等を実現し、シリコンデバイス中ではボロン原子は母体シリコン濃度の $1/50000$ (おおよそ、 1×10^{18} atoms/cm³)、リン原子は $1/10000$ (おおよそ、 5×10^{18} atom/cm³) 程度までの検出が可能となる、試料作製技術を開発した。

3DAP における不純物濃度の定量性については SIMS と比較・検証を行った。III-2-I- (1)図 6-2-2-5 に平面方向に一樣な試料のチャンネル不純物の深さ分布を比較した結果を示した。3DAP は観察領域が SIMS に比べ微小であることから個々の点のばらつきは大きくなっているが、平均すると大きな相違がなく、定量性にも精度が高いことを明らかにした。

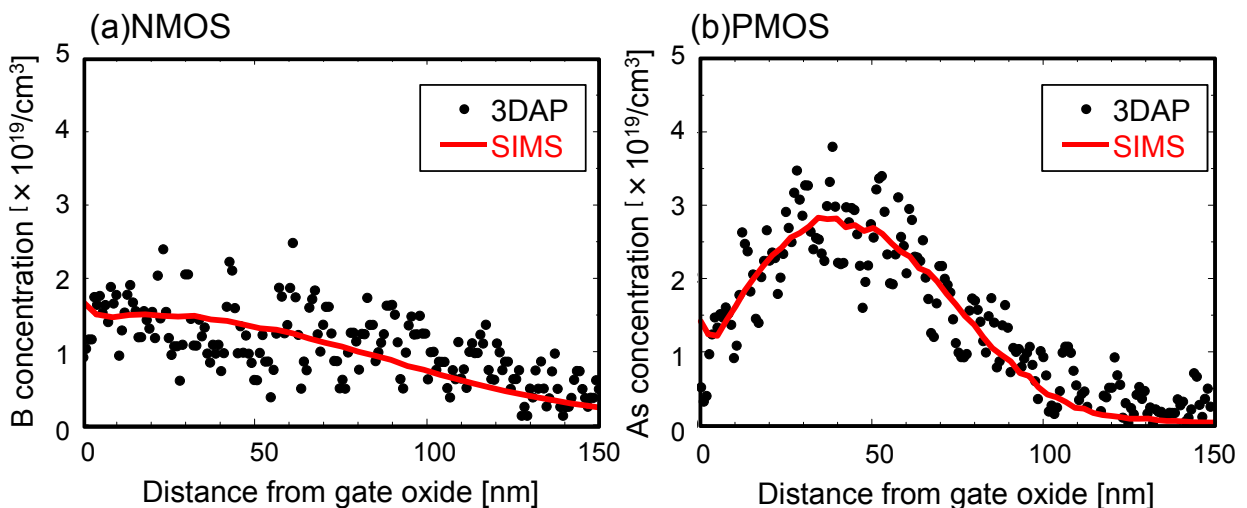


III-2-I- (1)図 6-2-2-3 試料形状を最適化した実デバイス試料(NMOS チャンネル領域)における質量スペクトル



III-2-I- (1)図 6-2-2-4 試料形状を最適化した実デバイス試料((NMOS チャンネル領域)における質量スペクトル(拡大)

以上のように、従来型の 3DAP に加え、ハードウェア面ではパルスレーザーを用いることで半導体材料、半導体構造の評価を可能とし、局所電極の採用による測定領域の拡大、リフレクトロン導入による質量分解能の向上とそれによる微量元素の検出感度向上を実現した。さらに、半導体材料評価に最適な試料作製のための手法を開発し、ノウハウを積むことで、当初は困難とされてきた半導体デバイスの評価を可能にした。単に測定できるというだけでなく、SIMS と同等の定量精度や実デバイスにおける不純物分布評価が可能な検出感度を達成した。これによるトランジスタ特性ばらつきにおける物理評価は、2-2 で述べたように大きく前進することができた。



III-2-I- (1)図 6-2-2-5 ゲート酸化膜からチャンネル領域にかけての不純物濃度分布

6-2-3.実デバイス構造の評価手法開発

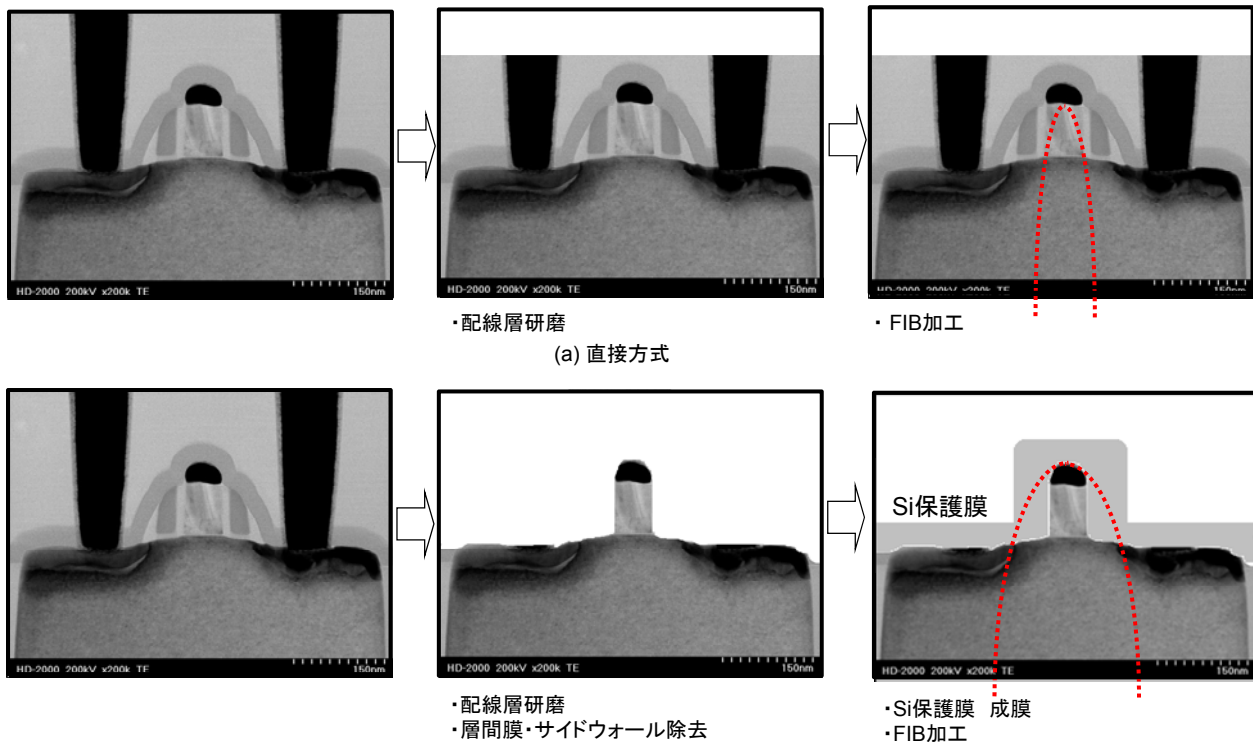
6-2-2 節で述べたように、多くの技術開発や条件最適化を経て 3DAP の半導体材料・半導体デバイスへの適用が可能となった。一方、本開発テーマであるデバイス特性ばらつきについては、しきい値(V_{th})ばらつきの原因がチャンネル中の不純物の分布にあることが種々の解析により明らかになってきた。これを実証するためには実際に V_{th} が異なるトランジスタ間でチャンネル中の不純物量やその分布が異なっていることを示し、その相関を解明する必要がある。これを実現するために、3DAP による実デバイス評価を実施した。

3DAP 評価に用いる実デバイスには通常の 65nm プロセスで試作した超大規模 DMA-TEG(100 万個の NMOS、PMOS が配置されたアレイ TEG)が作成されたテストウエハの V_{th} を全面評価し、複数チップの中から $\pm 4\sigma$ 以上、 V_{th} が異なるトランジスタを抽出した。3DAP の評価結果と V_{th} との対応付けのために、評価に用いるトランジスタは全てアドレスを確認できる状態でサンプリングを行った。

3DAP 評価に際しては、測定対象を先端径数 10nm の円錐状のチップに加工する必要がある。したがって、実トランジスタのゲートを 3DAP 測定するためには、パターンがない平面的な構造のサンプルを評価する場合以上にチップ加工において高分解能の観察および高精度加工技術が必要となる。また、3DAP では絶縁物が含まれる構造の評価は困難であるため、サイドウォール等の絶縁物(二酸化ケイ素や窒化シリコン)を全て除去した状態で評価用チップに加工しなければならない。さらに、測定対象をFIB加工時のダメージから保護するために、評価対象(ゲートやソース・ドレイン領域など)の表面が露出している場合は保護膜で覆う必要がある。これら、3DAP 評価用チップを作成するための絶縁物の除去や保護膜の形成、FIB 加工などの予備加工については、評価対象が小さく状態が確認しにくいこと、種々の処理によりダメージやコンタミネーションが起きやすいこと、など実施を困難にする要因が数多くある。また、電気特性と実際の不純物分布の相関を得るためには、トランジスタの 3DAP 測定を数多く成功させる必要があり、高歩留まりで高効率な 3DAP 評価を行いたい。そのためにはこれらの予備加工の方法を最適化する必要があった。そこで本開発では以下の直接方式と除膜方式の 2 つの方式について検討した。

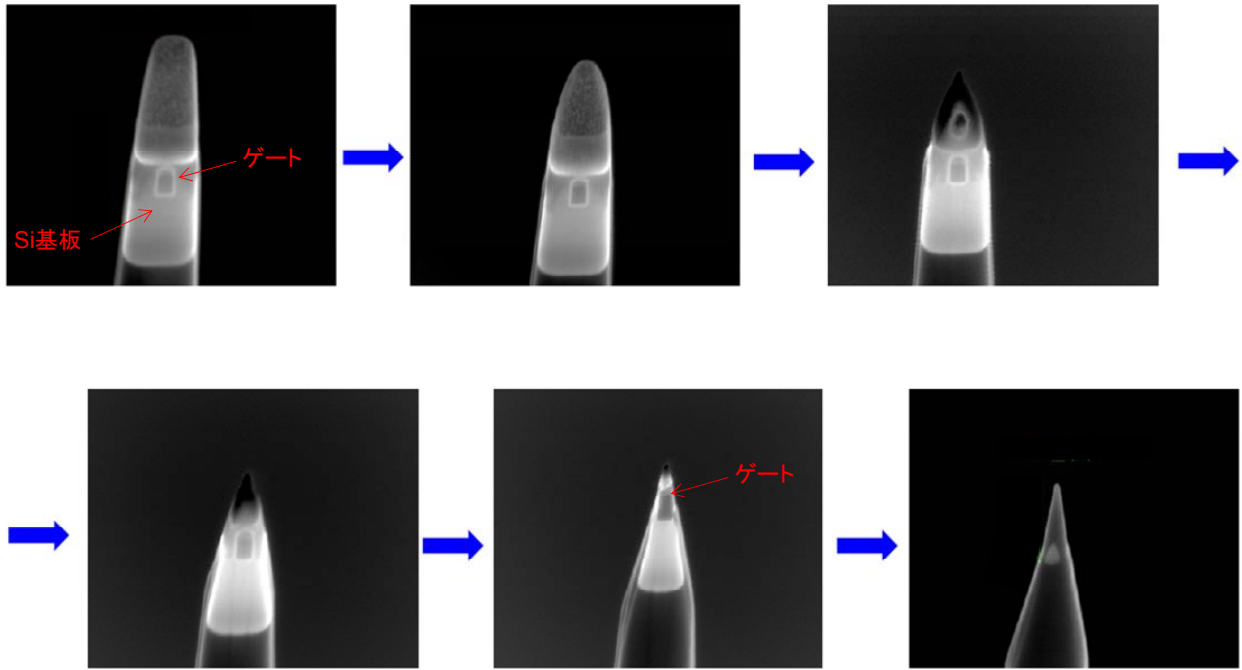
直接方式は文字通り、直接 3DAP 用のチップを FIB 加工する方法である(III-2-I- (1)図 6-2-3-1(a))。あらかじめ配線層を除去したのちに、目的のトランジスタをマイクロサンプリング法でチップから取り出し、ゲート部分が先端になり、サイドウォールの絶縁物が全て除かれるような形状にトランジスタを加工する。この方式は予備加工が少ないため、比較的手軽にサンプリングができることが利点である。しかし、少しでも絶縁物が残っていると 3DAP 測定中に試料が壊れること、また、チャンネル領域についてはゲートが残っている部分以外は FIB 加工時に除去されてしまうため、ソース・ドレイン領域の不純物分布については評価できないこと、などが短所となっている。

除膜方式は前者とは異なり、配線層、層間絶縁膜などを除膜したのち、サイドウォールもドライエッチングにより除去する。エッチング残さなどを洗浄したのちにアモルファスシリコンの保護膜を成膜し、そののちに FIB 加工により 3DAP 測定用のチップを作成する(III-2-I- (1)図 6-2-3-1(b))。この方法はドライエッチングによりゲートやソース・ドレイン表面にダメージが入りやすいこと、表面の凹部にコンタミが残りやすく、保護膜の接着性や導電性が悪くなること、さらに、ゲート上に保護膜が形成されるため、FIB 加工時にゲート位置がわかりにくく、ゲート部分をアトムプローブ測定用のチップに加工することが困難なこと、など技術的な課題が多い。一方、チャンネル領域だけでなく、ソース・ドレイン領域やゲートエッジ領域の評価が可能であるため、平行して 2 方式の検討を行った。

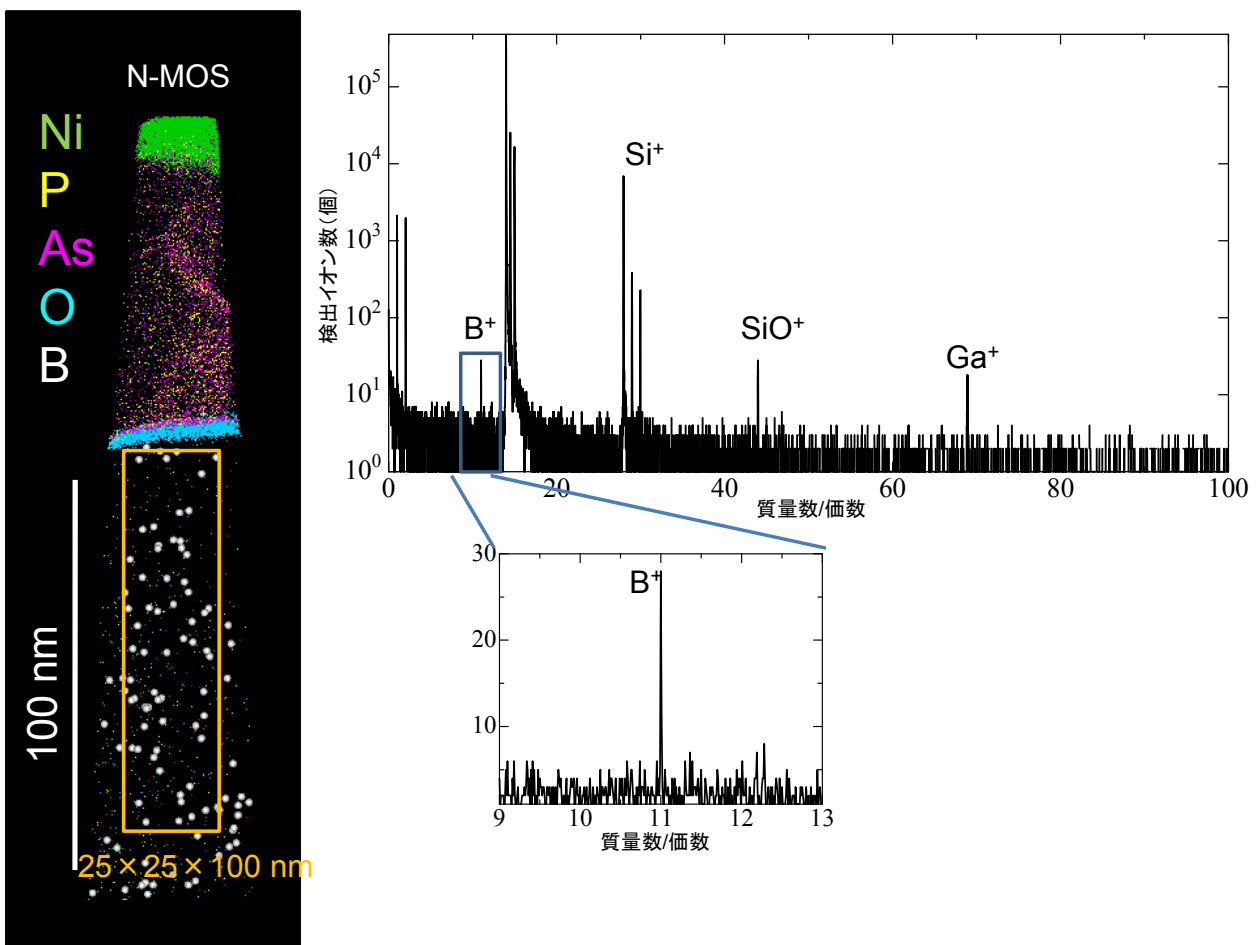


III-2-I- (1)図 6-2-3-1 実デバイスの 3DAP 評価方法

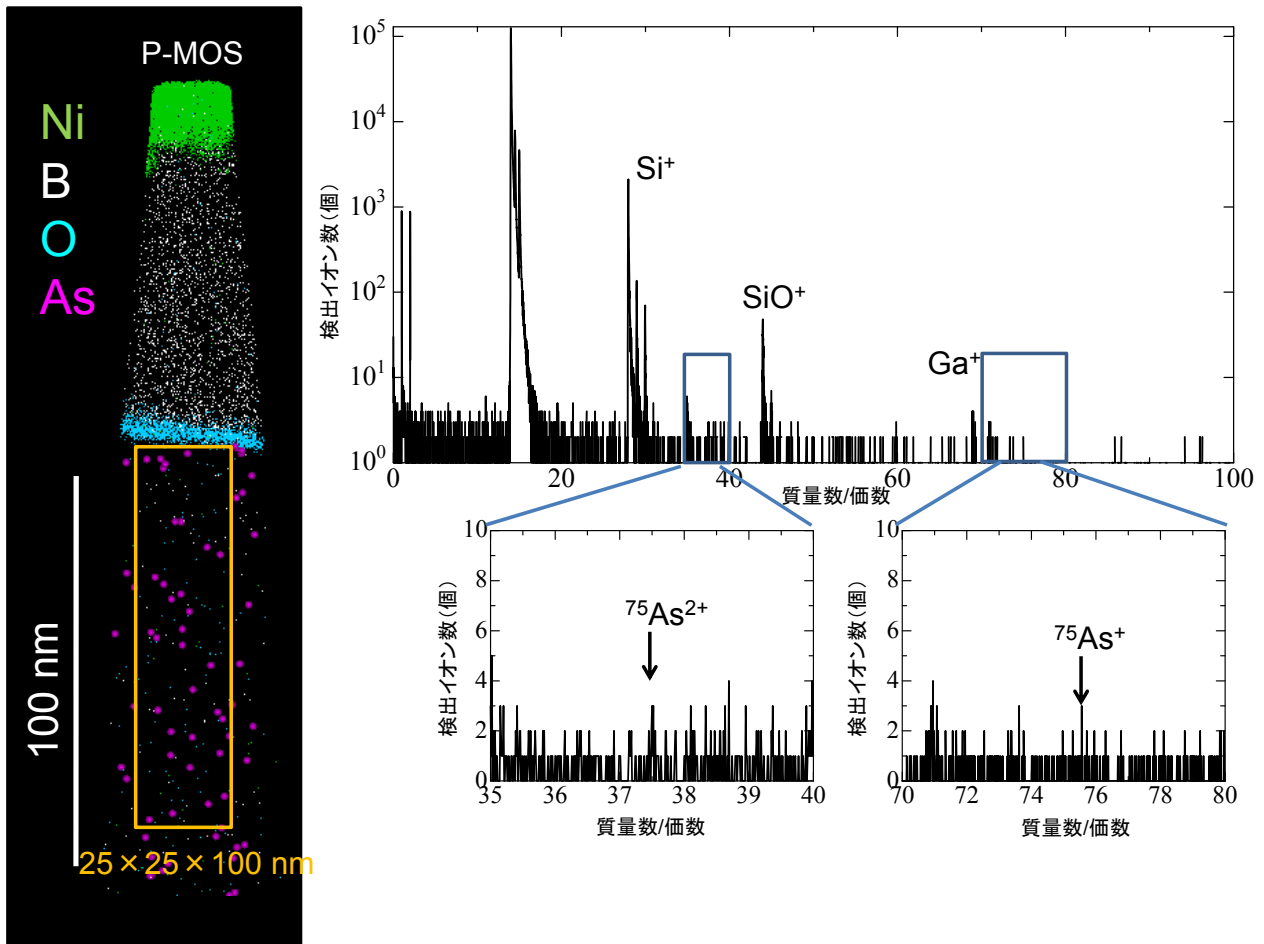
直接方式で FIB 加工中の 3DAP 測定用の試料を、走査電子顕微鏡(SEM: Scanning Electron Microscopy、以下 SEM と表記)観察した像を、III-2-I- (1)図 6-2-3-2 に示した。このように SEM 像の分解能ではゲート位置やサイドウォール位置が完全に把握できないため、チップの先端径を小さくした。これにより、確実にサイドウォールが除去可能であり、3DAP 計測の成功率が飛躍的に向上した。その結果、 V_{th} が $-4\sigma \sim +4\sigma$ 程度の範囲に存在する NMOS デバイスの 3DAP 測定に成功し、チャンネル中のボロン数と V_{th} との対応付けが可能となった。3DAP による NMOS デバイス、ならびに PMOS デバイスの元素マップとマススペクトルを III-2-I- (1)図 6-2-3-3、ならびに III-2-I- (1)図 6-2-3-4 に示した。NMOS デバイスにおいては、2-2 で示したゲート中のグレインバンドリやグレインバンドリ、界面への不純物の偏析が検出でき、さらにチャンネルホウ素の検出が可能となった。PMOS についても同様に、ゲート電極中の不純物の振る舞いを検出し極微量のチャンネルヒ素の検出に成功した(III-2-I- (1)図 6-2-3-4 中の $^{75}\text{As}^{2+}$ ピーク)。



III-2-I- (1)図 6-2-3-2 FIB 加工中の 3DAP 測定用のチップ



III-2-I- (1)図 6-2-3-3 直接方式による NMOS の 3DAP 評価結果



III-2-I- (1)図 6-2-3-4 直接方式による PMOS の 3DAP 評価結果

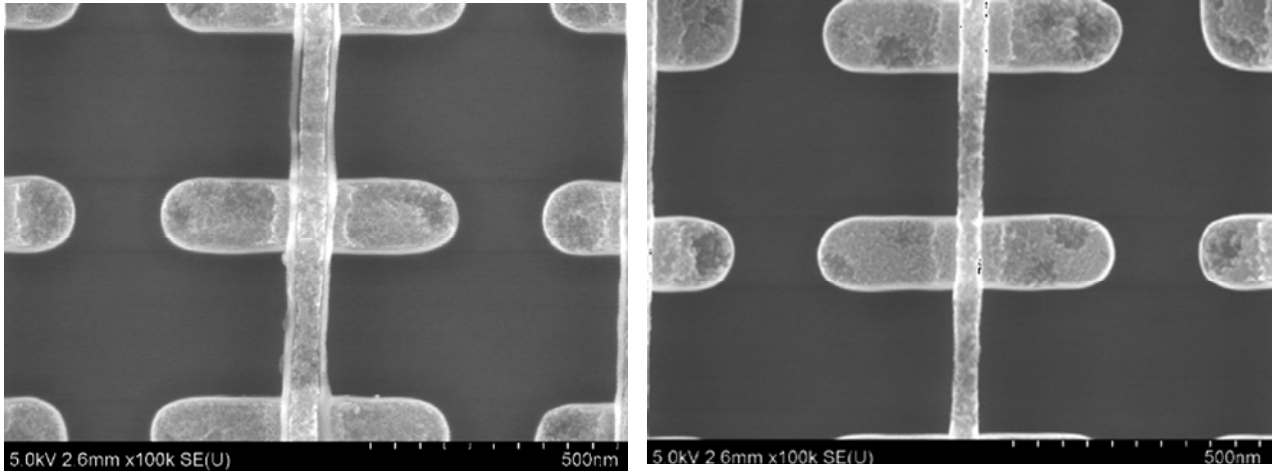
III-2-I- (1)表 6-2-3-1 除膜方式の技術検討

内容	検討機関
除膜、およびサイドウォール除去	<ul style="list-style-type: none"> ・ウエット+ドライエッチ (ルネサスエレクトロニクス、ルネサス武蔵エンジニアリング) ・ウエットエッチ((株)東レリサーチセンタ)
シリコン保護膜成膜	<ul style="list-style-type: none"> CVD、スパッタリング法(NTTアドバンステクノロジー(株)) イオンビーム蒸着法((株)イオンテクノセンター)
FIB 加工	<ul style="list-style-type: none"> ・東北大学 ・東芝ナノアナリシス(株) ・(株)東レリサーチセンタ

除膜方式の検討内容を III-2-I- (1)表 6-2-3-1 にまとめた。除膜後およびサイドウォール除去後の試料の状態については、

- (a)サイドウォールが完全に除去されているか
- (b)シリコン基板がダメージを受けていないか

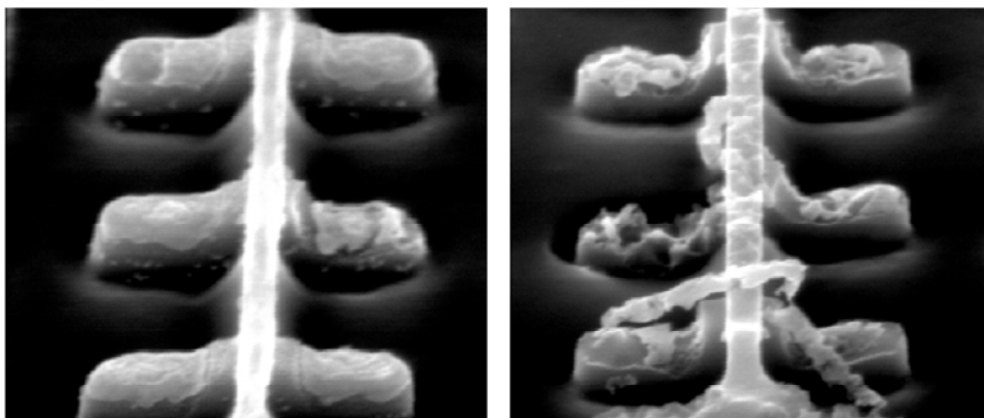
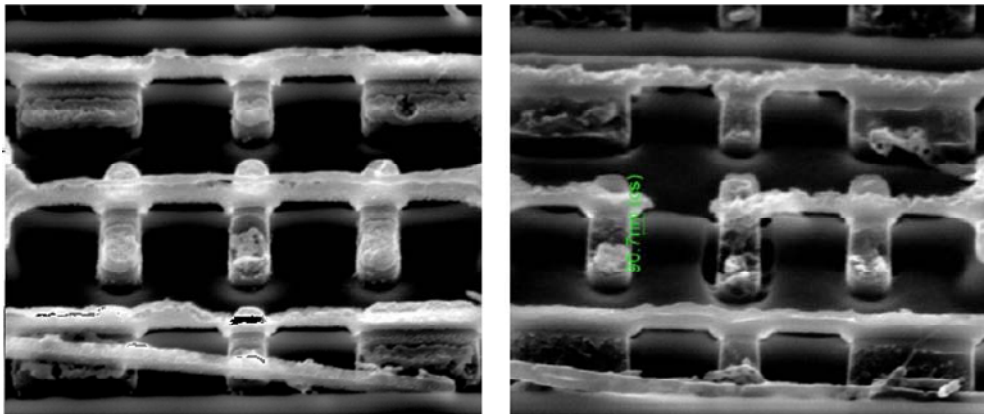
を確認するために、SEM 観察をおこなった。III-2-I- (1)図 6-2-3-5 および 6 に示すように、除膜およびサイドウォール除去ができているが、条件によってはサイドウォールが残ったり、ダメージが大きく、ソース・ドレイン部の基板が損傷を受けたりするため、この確認は重要である。



サイドウォールが残っている状態

サイドウォールが除去された状態

III-2-I- (1)図 6-2-3-5 SEMによる除膜後の表面観察例(1)

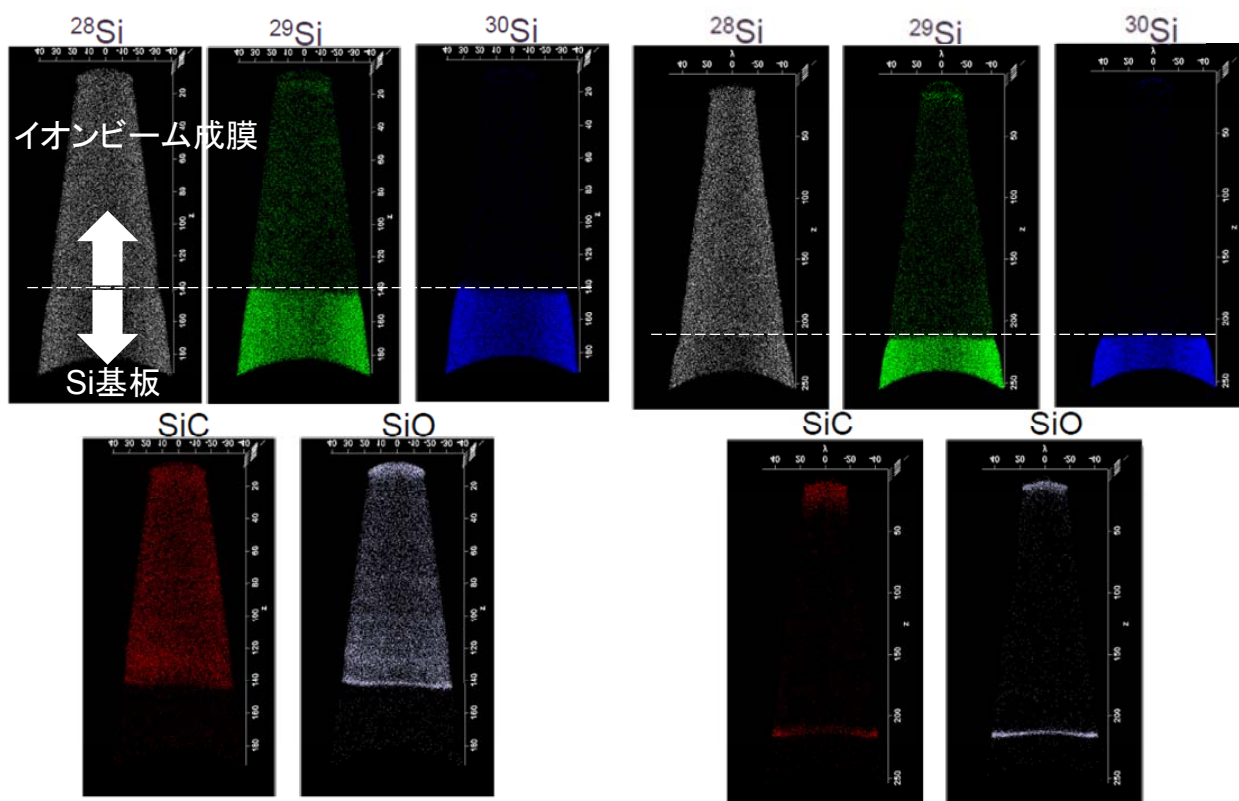


基板へのダメージが小さい場合

基板へのダメージが大きい場合

III-2-I- (1)図 6-2-3-6 SEMによる除膜後の表面観察例(2)

除膜の次に保護膜を形成する。保護膜の材料はアモルファスシリコンを用いた。これは、FIB 加工速度が測定対象(今回はゲートのポリシリコンおよび基板の単結晶シリコン)と大きく異なる材料では加工精度が著しく悪くなること。また、電界蒸発速度が遅いものは3DAP評価時に破壊する可能性が高くなること、などの理由による。アモルファスシリコンの成膜法はスパッタ法、化学気相成長方法(CVD: Chemical Vapor Deposition)法などがあるが、膜に含まれる不純物が少なく、かつ、段差のある構造に対して被覆率が高く、かつ隙間ができていくものである必要があり、最終的にイオンビーム蒸着法を採用した。イオンビーム法は高真空中でシリコンイオンをビーム状にしたもので任意の場所にシリコンを形成する。そのため不純物の含有比は少ない。さらに、シリコンイオンビームは質量数 28 のシリコンイオンで形成されるため、保護膜の中には質量数 28 のシリコンのみが含まれる。一方、シリコン基板やゲート中には 29、30 などのシリコン同位体も含まれるため、3DAP の測定結果において、シリコンの領域が保護膜なのか実デバイスの一部なのかは同位体の分布で見分けることができる点を実用的にも優れている(III-2-I- (1)図 6-2-3-7)。

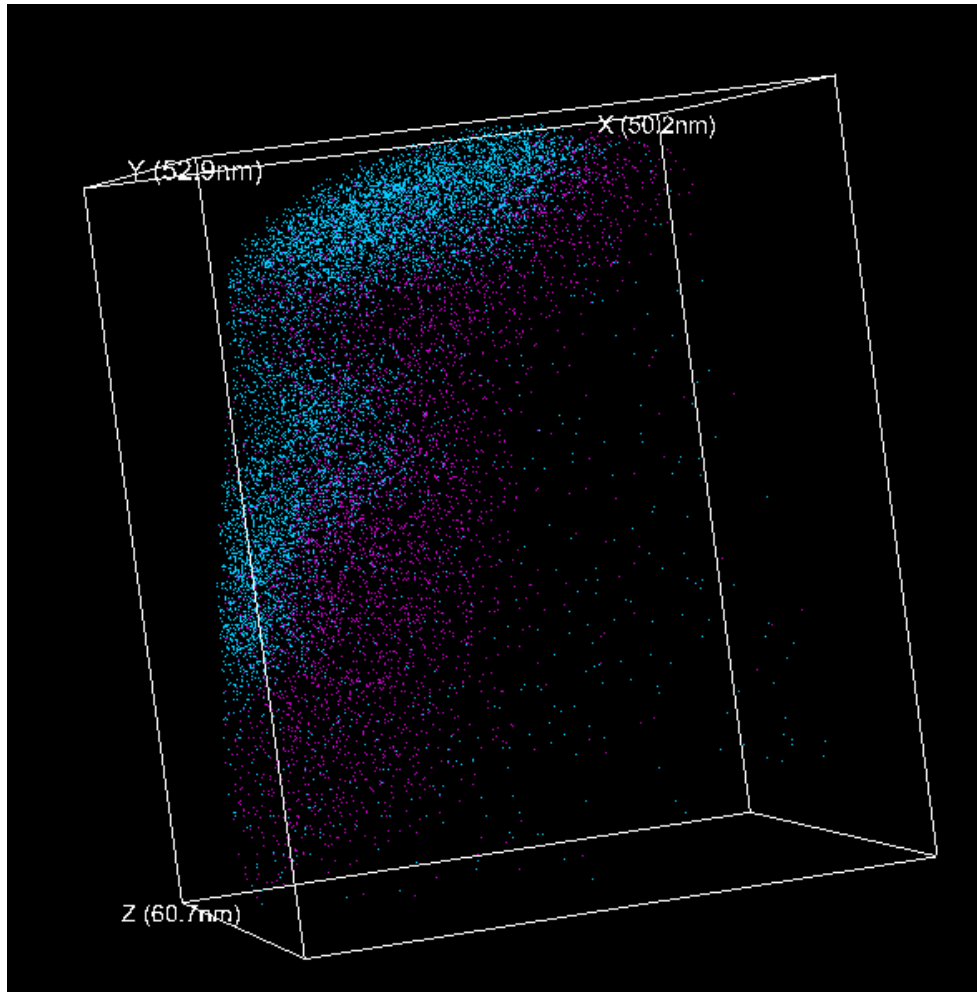


(a) 低真空で成膜したもの (SiC、SiO 多)

(a) 低真空で成膜したもの (SiC、SiO 少)

III-2-I- (1)図 6-2-3-7 イオンビーム法によるシリコン膜の 3DAP 評価結果

以上のように除膜の方法、アモルファスシリコン保護膜の成膜方法などを多くの予備実験により決定し、最終的な実デバイスへの適用を行った。その結果の一例を III-2-I- (1)図-2-3-8 に示した。これは NMOS のソース・ドレイン領域の一部であり、図では表示していないシリコン以外には酸素、ヒ素が検出することができた。



III-2-I- (1)図 6-2-3-8 除膜方式で測定した NMOS の 3DAP 評価結果

以上、直接加工方式と除膜方式を用いた 3DAP 用試料作製方法を開発した。両者ともに半導体デバイス構造の評価を可能とし、両者を使い分けることで目的とする領域の 3DAP 評価を可能とする技術を開発した。

(2) 外部擾乱依存の特性ばらつきの物理的理解とモデリング技術の開発（耐外部擾乱デバイス技術開発）

1) 中性子線入射による電荷発生に起因する回路誤動作の物理的理解とモデリング技術の開発

1)-1 概要

本サブテーマでは、中性子線入射によるソフトエラーの中でも特に SET (Single Event Transient) 型のソフトエラーに関する検討を行った。SET 型のソフトエラーとは、LSI の論理回路部分に中性子線が発生させる二次イオンが入射してトランジスタ内に電荷が発生することにより、論理回路の出力状態が一時的に反転し、それがパルスとなって論理回路中を伝播して行き、フリップフロップでラッチされたときにソフトエラーとして確定するものである。2002 年の論文[-2- - (2)-文献 1)-1]では、hp65nm(45nm ノード)世代では SET によるソフトエラー率が SRAM のソフトエラー率を上回るという予測がなされている。本サブテーマではこの予測の検証を行ない、更に予測をより微細な世代にまで伸張すると共に、SET 起因のソフトエラー率を 1~10FIT 以下に抑えるための対策を立案することを目標とした。

ソフトエラー率の導出に関しては、(a)トランジスタレベルでの電荷収集電流波形データベースの構築、(b)各種ロジックセルにおける SET パルス発生率評価ツール[-2- - (2)-文献 1)-2]を用いたプリミティブセルレベルのパルス発生率データベースの生成、(c)チップ内のロジック回路構成に応じたソフトエラー率の算出、という評価手順により、hp130nm(90nm ノード)におけるチップレベルのソフトエラー率評価が可能であることを既に確認している[-2- - (2)-文献 1)-3]。この手法の妥当性を確認するため、中性子線照射試験による SET パルス幅分布測定を実施し、実測と上記計算手法とでほぼ同じ分布形が得られることを確認した。上記計算手法では、(a)のフェーズで実施される TCAD 計算、(b)のフェーズで実施される SPICE 計算において、デバイススケールや回路特性の効果が自動的に反映されるが、このことは、逆に、どのようなデバイス特性、回路特性がソフトエラー率の増減に寄与しているか掴みづらいという問題も生む。そこで、hp78nm(55nm ノード)世代での電荷収集電流波形データベースの構築を行うとともに、デバイス構造要因によって生まれる、hp130nm 世代の電荷収集電流波形との違いについて要因分析を行った。また、回路的な要因が SET パルス幅に与える影響を明確にし、将来世代における SET パルス幅評価を容易にするために、SPICE を用いずに、より少ないパラメータで簡単にパルス幅を推定できるモデルを開発した。このモデルを用いてパルス幅分布を算出する枠組を整え、ロジック回路誤動作率のトレンド予測を実施した。その結果、仮に、寄生バイポーラ効果によって SET パルス幅が広がり、誤動作率が大きく増大してしまう状況となっても、フィルタ回路を用いることにより、誤動作率を 1~10FIT 以下に抑えることが可能であることが示された。

1)-2 SET パルス幅測定回路の設計

本サブテーマのソフトエラー率算出の過程において、多くの SET はパルス幅 100ps 以下であることを予測していた。従って 100ps 付近の SET パルスを確実に測定することを目的として測定回路の設計を行った。以下に SET パルス幅測定における要請事項と、従来例の問題点を述べ、新規 SET パルス測定回路の構成と利点を説明する。

SET パルス幅は小さいため、基本的にはパルスを直接チップ外部へ出力して測定することはできない。またそもそも中性子線照射試験では高精度の信号測定機器は使用できない。従って測定結果をデジタル信号で出力可能なパルス幅測定回路を設計し、SET 測定対象回路と同一 TEG チップ上に搭載する必要がある。

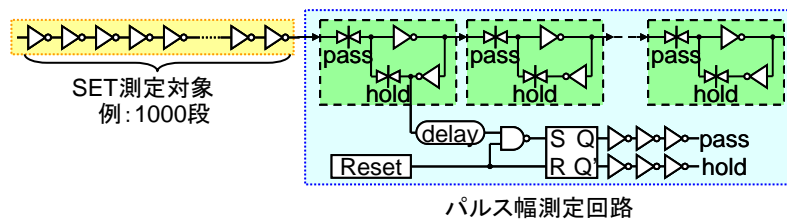
一般にソフトエラー率測定では、結果の統計的信頼性を高めるために、なるべく多く(少なくとも 100 回)のソフトエラー現象を観測することが望ましいとされている。そのためには試験する時間とデバイス個数の積を大きくする必要があり、通常は試験時間にも測定チップ個数にも制約が生じるため、一つの

TEG チップ上になるべく多くの SET 測定対象回路を搭載する必要が出てくる。典型的な中性子線照射試験の場合、SET 測定対象の論理ゲートセルは 100 万個前後の規模で必要となってくる。

従来例[2- 2- (2)-文献 1)-4~6]では、SET 測定対象回路としてインバータチェーン構成が利用されている。インバータチェーンをあまり長くすると、SET パルスが最終段の出力まで伝播する途中でパルス幅が変化したりパルスが消失したりすることが避けられず、知りたい結果が得られなくなる。従ってインバータチェーンの長さは実際の論理回路のゲート段数(典型的には数十段前後)程度に留めることが望ましい。

インバータチェーンの長さを 20 段とすると、100 万セル達成するためには、5 万本のチェーンが必要となる。

従来例のパルス幅測定回路は、パルスが多数のラッチ回路チェーンを通過する際、パルス自身がトリガーとなって一斉にキャプチャし、状態が通常と異なるラッチを数えるという構成となっている(III-2-I-③-(2)-図 1)-2-1)。このパルス幅測定回路は、ある程度の回路規模(数百から数千ゲート)が必要な上に、パルス幅データ読み出し動作が複雑になることから、一つの TEG チップに数百個を超えるような測定回路を搭載することは困難である。仮に 500 個の測定回路で 5 万本のインバータチェーンを測定しようとするならば 100 本のインバータチェーンを OR 論理で束ねることになり、OR 論理を構成する論理ゲートの影響(通過するパルス幅の変化と、そこでの SET 発生)によって期待した結果が得られなくなる。



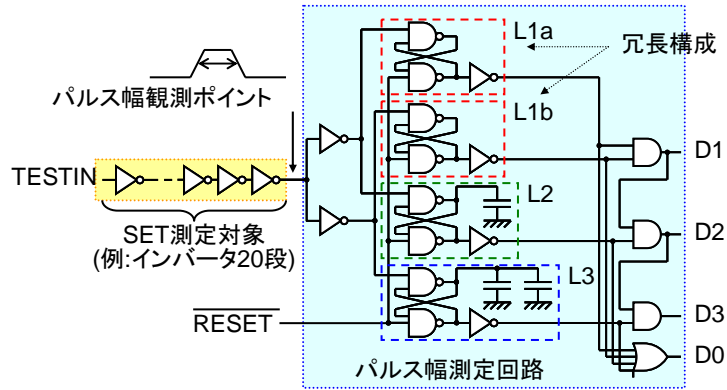
III-2-I-③-(2)-図 1)-2-1: 従来の SET パルス幅測定回路の例

以上の要請事項及び問題点を踏まえて開発した新規 SET パルス幅測定回路[2- 2- (2)-文献 1)-7]の構成をIII-2-I-③-(2)-図 1)-2-2 に示す。伝播中のパルス幅の変化を最小とするために、長さ 20 段程度に抑えた SET 測定対象回路とパルス幅測定回路を 1 対 1 接続し、そのペアを多数配置する方針とした。またパルス幅測定回路の大きさを極力コンパクトに抑えるよう注意しつつ回路構成を決めた。

極力短いパルスを検出する基本構造として、NAND ゲート 2 個による RS ラッチを採用することとした。負荷容量を接続してフィードバック時間を変え、最小検出パルス幅(検出感度)を変えた複数の RS ラッチ(L1a、L2、L3)を組み合わせることによって、検出されたパルスがどのパルス幅区間に属するかを知ることができる。組み合わせるRSラッチの数は任意である。ただしSET測定対象回路から見た負荷容量の大きさやパルス幅測定回路の大きさを考慮すると、4 個が適当と考えられる。パルス幅分解能(パルス幅区間)は、例えば 20ps 間隔など、追加する負荷容量によってある程度自由に設定できる。予測したパルス幅分布をほぼカバーできるように設定すればよい。hp130nm の例では、負荷容量なしの最小パルス検出感度は約 63ps であり、パルス幅分解能を約 23ps 間隔に設定した。

なお、RSラッチの最小パルス検出感度付近より幅の小さいSETパルスは、実際の論理回路においてもフリップフロップにラッチされて誤った値として確定することができない。いずれのラッチ構造も反転論理 2 段のフィードバックループであるため、ラッチできる最小パルス幅はほぼ同程度となる。従って RS ラッチの最小パルス検出感度は十分であると言える。

中性子線照射環境下では RS ラッチ自身の反転(SEU:Single Event Upset)は避けられない。これを除外するため、正しく SET を検出したときは必ず 2 個以上の RS ラッチがセットされるよう、最小の検出感度の RS ラッチ二個(L1a、L1b)を冗長構成とした。L1a と L1b が隣り合わないようレイアウトすることにより、一度の中性子線入射で同時に反転する確率を下げる可以降低ことができる。また SET 測定対象回路からの分岐を工夫することにより、パルス幅測定回路入力段で発生する SET も除外できる。検出された現象は RS ラッチの出力に設けられた論理ゲートにより判定され、出力状態から容易に判別できる(Ⅲ-2-I-③-(2)-表 1)-2-1)。



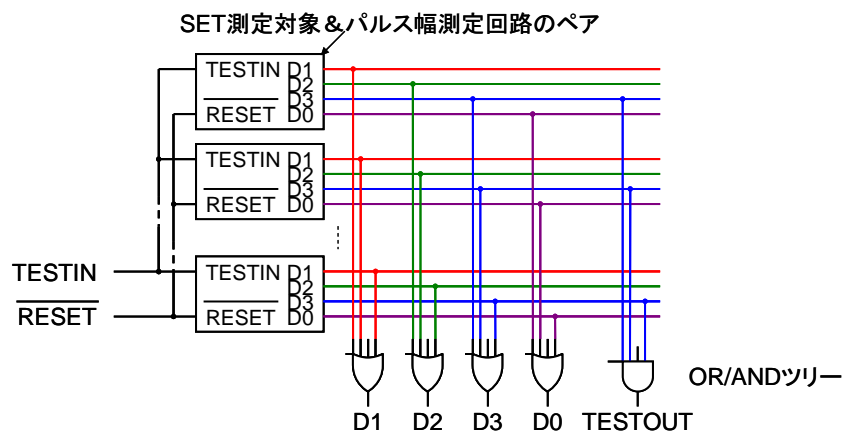
Ⅲ-2-I-③-(2)-図 1)-2-2: 新規 SET パルス幅測定回路

Ⅲ-2-I-③-(2)-表 1)-2-1: 新規 SET パルス幅測定回路の出力と判定の対応

D1	D2	D3	D0	判定	
0	0	0	0	発生なし	
1	0	0	1	SET	パルス幅小
1	1	0	1	SET	パルス幅中
1	1	1	1	SET	パルス幅大
0	0	0	1	RS ラッチ SEU(反転)または測定回路入力段の SET	

この SET 測定対象回路とパルス幅測定回路のペアを多数配置するときの接続をⅢ-2-I-③-(2)-図 1)-2-3 に示す。同じ SET 測定対象とパルス幅測定回路のコピーについては、個々を区別する必要はない。従って SET 検出結果を確認する周期に注意し、一周期に同時に複数の SET が発生する確率を十分低くできるならば、全てのパルス幅測定回路のコピーの同じ出力信号を OR 論理で 1 本に束ねても問題ない。こうすることで回路設計も SET 検出結果の読み出しも非常に簡単になる。

TEG チップが正しく製造されていることを確認するため、SET 測定対象回路の入力(TESTIN)からは信号を入力できるようにする。このとき全ての SET 測定対象回路に一括して信号を入力し、全ての RS ラッチの出力の OR が 0 になること、AND が 1 になることを確認すれば、全ての RS ラッチのコピーが動作するとわかる。L1a、L1b、L2、L3 の OR 信号 D0 はこのために設けてある。また AND は D3 を用いて確認する。



III-2-I-③-(2)-図 1)-2-3: 新規 SET パルス幅測定回路を多数配置する構成

hp130nm 及び hp56nm の TEG に搭載した SET 測定対象回路の種類を III-2-I-③-(2)-表 1)-2-2 に示す。hp130nm の TEG で実績を積んだ後、新規 SET パルス幅測定回路のみを搭載した hp56nm の TEG では測定対象の種類を増やした。いずれも基本的にスタンダードセルライブラリに含まれるセルを使用している。Fan Out は負荷容量の大きさを表し、インバータチェーンを構成するセル一つ一つに Fan Out の数が示す個数のセルを接続していることを表す。基本は 1 であるが 2 以上の場合はダミーセルが接続されている。チェーン段数は特に表記がないものは 20 段を基本とし、パルス減衰効果の比較のため 40 段、80 段を用意した。

III-2-I-③-(2)-表 1)-2-2: SET 測定対象回路一覧

表記	セルタイプ	駆動能力	Fan Out	その他	チェーン段数	hp130nm	hp56nm
INV x1	インバータ	x1	1		20	○	○
INV x1 (40stages)	インバータ	x1	1		40	○	○
INV x1 (80stages)	インバータ	x1	1		80	○	○
INV x1 (FO=2)	インバータ	x1	2		20	—	○
INV x1 (FO=3)	インバータ	x1	3		20	—	○
INV x0.5	インバータ	x0.5	1		20	○	○
INV x2	インバータ	x2	1		20	○	○
INV x1 (NDx4)	インバータ	x1	1	N+拡散層 面積 4 倍	20	—	○
INV x1 (PDx4)	インバータ	x1	1	P+拡散層 面積 4 倍	20	—	○
NAND2 x1	2 入力 NAND	x1	1		20	○	○

1)-3 SET パルス幅分布の測定

hp130nm 及び hp56nm の TEG に前述の新規 SET パルス幅測定回路を搭載し、中性子線照射試験を行った。以下に代表的な結果を示しその考察を述べる。

中性子線照射試験はカナダの国立研究所の TRIUMF にて白色中性子線を使用した。エネルギースペクトル形状は最大 400MeV 付近まで自然界の中性子線とよく似ており、中性子線量の比例換算によってほぼ実際のソフトエラー率を推測できるとされている。

hp130nm の代表的な中性子線照射試験結果をⅢ-2-I-③-(2)-図 1)-3-1 に示す。このプロットでは SET 測定対象回路の種類ごとにグループにまとめてあり、一つ一つが発生率分布を示している。縦軸は単位ゲートセルあたりの発生率を表す。

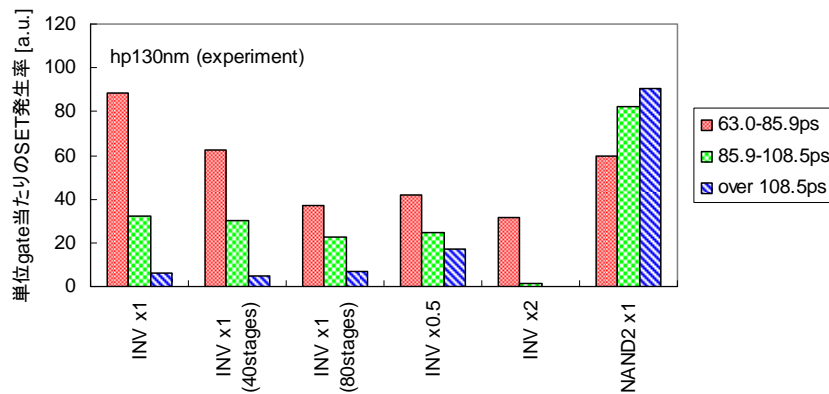
基本の x1 インバータについてチェーン段数の違いを見ると、段数が長いほどパルス幅の短い側で減衰が見られる。このことから、従来例の 1000 段のように長いチェーンを測定対象回路にした場合、パルス幅の短い SET が少ないように見えていたが、実際にはほとんど減衰して観測できなかつたと考えられる。このことはまた、実際の論理回路のゲート段数に近い測定対象回路を使用することの重要性を示している。

インバータの駆動能力の違いを見ると、x0.5 セルよりも x2 セルよりも x1 セルの SET 発生率が高い。x0.5 セルに関しては、拡散層面積が x1 セルの約半分であるため、中性子線による二次イオンの入射断面積が小さいこと、更に透過する長さが短いため収集電荷量が減ることの二つの効果によって SET 発生率が下がったと説明できる。一方 x2 セルに関しては x1 セルと同じ幅のトランジスタ 2 個を、共通の拡散層をドレインとしてレイアウトしてあるために、拡散層面積が x1 セルと大きく変わらない。その一方で SET の電位変動を食い止める電流駆動能力が大きいため、x1 セルに対して SET 発生率が低いと説明できる。

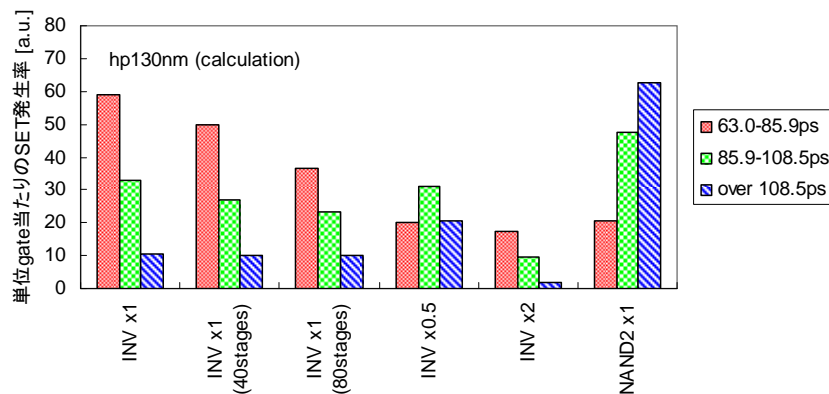
また駆動能力が小さいほどパルス幅分布形状は長い側へシフトしている。これは電流駆動能力の違いが、同じ発生電荷量に対して電位変動を復元させる速さの違いとなって表れていると説明できる。

更に、インバータと NAND を比較すると、NAND の方が全体の SET 発生率が高く、パルス幅分布形状も長い側へシフトしている。これは二つの理由が考えられる。まずこの NAND ではインバータと同じ幅のトランジスタが 2 個ずつ使用されている。セルの出力が High 状態のときは、N+拡散層が影響を受ける。NAND では NMOS トランジスタ 2 個が直列になっているため、影響を受ける N+拡散層が二箇所を増えている。そのため入射断面積も収集電荷量も大きくなり、SET 発生率が高くなると説明できる。一方セルの出力が Low 状態のときは、P+拡散層が影響を受ける。NAND では PMOS トランジスタ 2 個を共通の拡散層をドレインとしてレイアウトしてあるため、影響を受ける P+拡散層面積はインバータと大きく変わらない。しかし SET の電位変動を復元させる NMOS トランジスタが 2 個直列のために、電流駆動能力がインバータよりも小さく、パルス幅が長くなる傾向にあると説明できる。

SET 計算手順によって hp130nm の TEG 測定結果を計算したものをⅢ-2-I-③-(2)-図 1)-3-2 に示す。全体的にパルス幅分布形状や測定対象回路の種類による違いをよく再現している。SET 発生率も測定結果の 0.7 倍以内であり、実用可能なレベルの計算精度が得られていると考える。



III-2- I -③-(2)-図 1)-3-1: hp130nm 測定結果



III-2- I -③-(2)-図 1)-3-2: hp130nm 計算結果

hp56nm の代表的な中性子線照射試験結果をIII-2- I -③-(2)-図 1)-3-3 に示す。

hp56nm の TEG では初期の予測結果を元にパルス幅測定範囲を広げるため、二種類のパルス幅測定回路を搭載し、検出パルス幅区間を 6 区間とした。しかし測定の結果では、パルス幅が 150ps を超える SET の発生率は非常に低いことが明らかとなった。

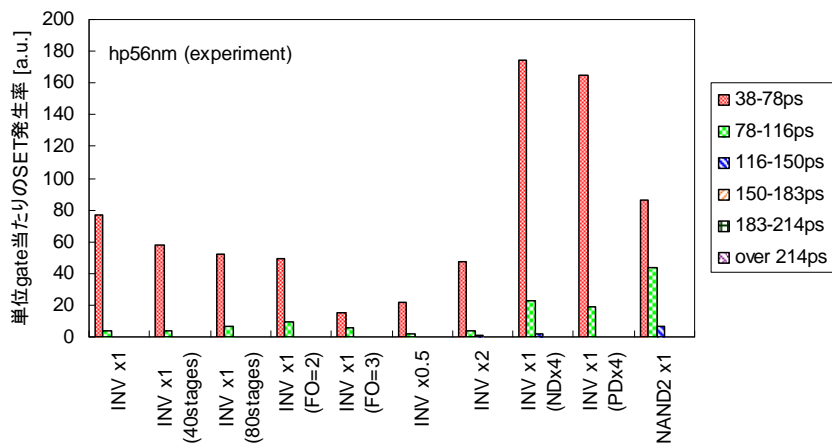
SET 測定対象回路間の比較に関しては、hp130nm と同じ種類のものは同様の傾向にあることがわかる。

その他、負荷容量(Fan Out)が異なるものを比較すると、負荷容量が大きいほど、特にパルス幅の短い区間の SET 発生率が低くなっている。出力ノードに蓄えられている電荷が大きくなると、ある程度の発生電荷に対しては電位が変動しないと考えられる。一方、発生電荷の方が大きい場合、一旦変動した電位が復元する(負荷容量を再充電する)までに時間がかかるため、パルス幅の長い SET の発生率は下がらず、むしろパルス幅が長い方へシフトすると考えられる。

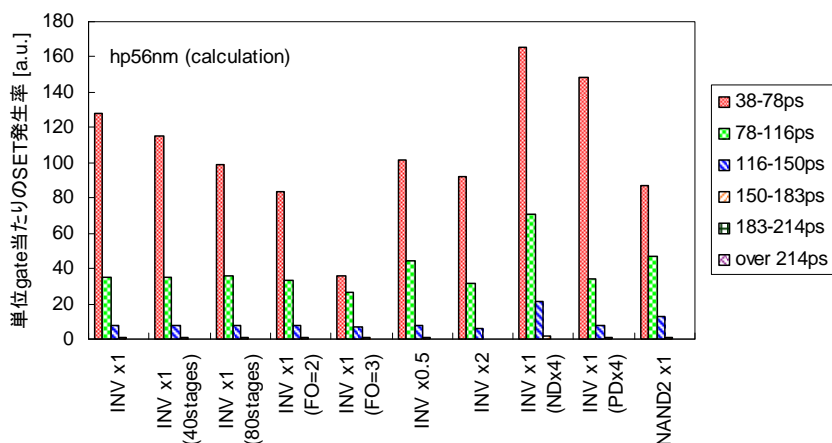
拡散層面積を大きくしたセルでは、SET 発生率が増えている。入射断面積及び収集電荷量が大きくなる効果が表れていると言える。興味深い点は、N+拡散層を大きくしたセル、P+拡散層を大きくしたセル共に SET 発生率がほぼ同等に増えていることである。元の拡散層面積は NMOS、PMOS のトランジスタ幅に比例しており、P+拡散層面積の方がやや大きい。従って SET への寄与としては N+拡散層の方が大きい、その差はさほど大きくない。

SET 計算手順によって hp56nm の TEG 測定結果を計算したものをIII-2- I -③-(2)-図 1)-3-4 に示す。hp130nm と同様、全体的な傾向は概ね再現されている。ただし SET 発生率、パルス幅分布ともに計算結果の方がやや大きめに出ている。これは計算に比べて、実際の寄生バイポーラ効果の方が小さか

ったことを示していると考えられる。

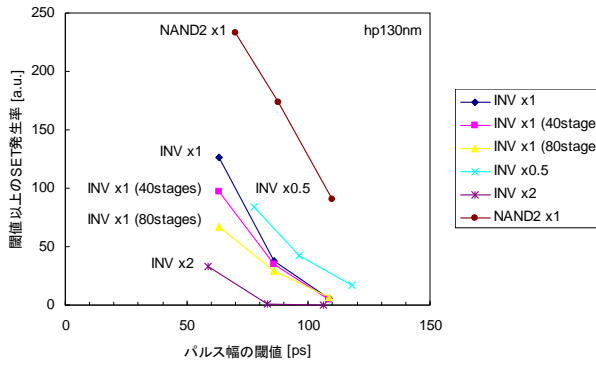


III-2-I-③-(2)-図 1)-3-3: hp56nm 測定結果

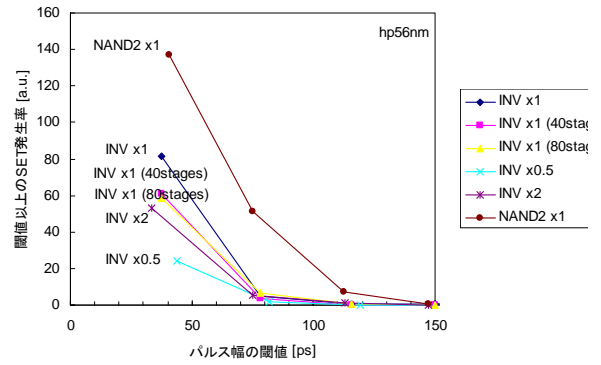


III-2-I-③-(2)-図 1)-3-4: hp56nm 計算結果

hp130nmとhp56nmの測定結果ではパルス幅検出区間が同じではないため、前述のプロットのままで比較が難しい。比較しやすくするために、パルス幅のしきい値に対しそのしきい値以上の幅のSET発生率をプロットしたものをIII-2-I-③-(2)-図 1)-3-5 から 1)-3-8 に示す。hp130nmに比べてhp56nmでは、単位gate当たりのSET発生率は全体的に下がっていることがわかる。またパルス幅もやや短い方へシフトしているようである。

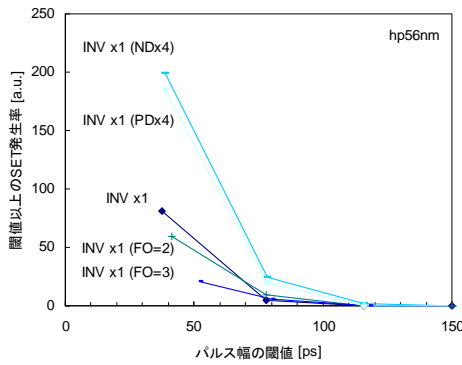


III-2-I-③-(2)-図 1)-3-5: hp130nm 測定結果

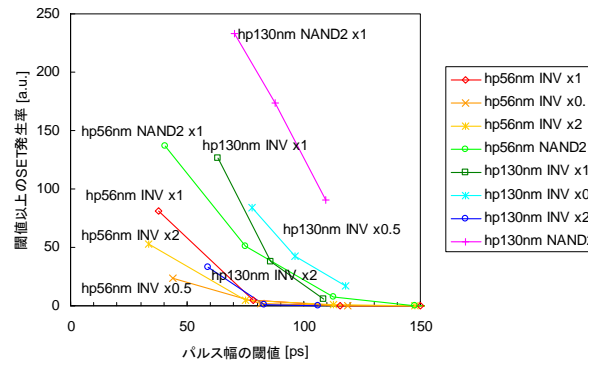


III-2-I-③-(2)-図 1)-3-6: hp56nm 測定結果

(1)



III-2-I-③-(2)-図 1)-3-7: hp56nm 測定結果(2)



III-2-I-③-(2)-図 1)-3-8: hp56nm・130nm 測定結果比較

1)-4 hp78nm 世代の電荷収集電流波形データベースの構築と精度検証

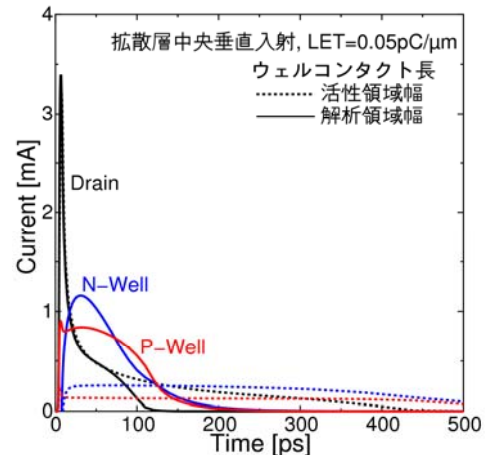
前節で見たように、プリミティブセルの SET パルス発生率評価ツール(TFIT[2- (2)-文献 1)-2])により、hp130nm における INV セル等のパルス発生率分布の実測の傾向を良好に再現することができる。このツールは TCAD 計算により求めた電荷収集電流波形のデータベースを用いており、同様のデータベースを先の世代においても問題なく構築できるか確認するために、hp78nm(55nm ノード)で同じ手法の適用を試みた。

電荷収集電流波形を求める TCAD 解析においては、III-2-I-③-(2)-図 1)-4-1 に示すような構造を原則として用いる。トランジスタは解析領域内の左寄りに配置し、イオンが垂直入射するものとして、拡散層中央や、拡散層の右側の STI 領域に入射した場合の電流波形を、LET(イオントラックに沿ってイオンが発生させる単位長さ当たりの電荷量)と電荷収集端子(ドレイン)電圧を変えて計算する。nMOS の場合であれば、p ウェル層とともに、隣接する n ウェル層も形成し、各ウェルコンタクトを解析領域の端から端まで長くとり、計算当初は、ウェルコンタクトを活性領域近くに活性領域幅の長さで設けていたが、III-2-I-③-(2)-図 1)-4-2 に示すように電荷収集電流(ドレイン電流)にコンタクト長依存性が見られることが分かり、実際のロジックセル構造に合わせてコンタクトを長くとる構造とした。ウェルコンタクトが短い場合には、III-2-I-③-(2)-図 1)-4-2 の黒点線のように電荷収集電流が長い裾を引くが、これはウェルコンタクトからの正孔排出力が弱いためにチャネル部分に正孔が溜って電位が浮き、ソースから電子が流入する寄生バイポーラ効果によるものである。コンタクトを長くすると、p ウェルの端子電流が増えて正孔が速やかに排出され、ドレイン電流も早く減衰する。なお、前節の hp130nm の SET パルス幅実測との比較に用いた計算においては、コンタクトを長くとった構造で再構築した電流波形データベースを使っている。

寄生バイポーラ効果が顕著である構造の場合、幅 $4\mu\text{m}$ 奥行き $3\mu\text{m}$ の解析領域では不十分(解析領域サイズ依存性が見える)ことも分かっている。四方に $5\mu\text{m}$ 程度領域を拡張し、幅 $14\mu\text{m}$ 奥行き $13\mu\text{m}$ 程度とすれば、ほぼ問題ない。このとき、nMOS の場合であれば、トランジスタを含む帯状の p ウェル領域の手前と奥に隣接の n ウェル領域を配置し、それぞれ解析領域の一番手前/一番奥まで n ウェル領域が続く構造としている。つまり、p ウェルと n ウェルとを交互に配置することはしていない。後述する、パルス幅推定モデルの開発以降の計算においては、拡張した解析領域で算出した電流波形データベースを用いている。



Ⅲ-2-I-③-(2)-図 1)-4-1: TCAD 解析における標準トランジスタ構造。幅 $4\mu\text{m}$, 奥行き $3\mu\text{m}$, Si 領域深さ $5\mu\text{m}$ 。

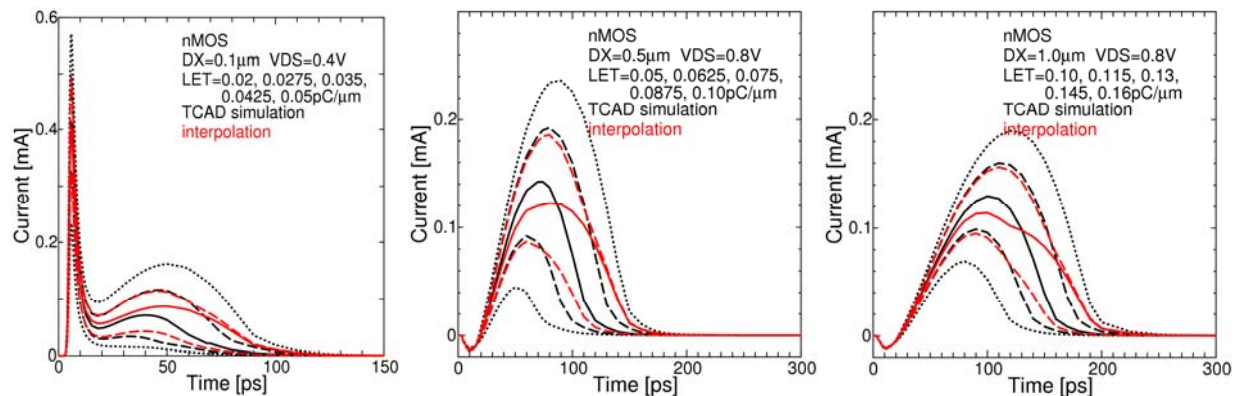


Ⅲ-2-I-③-(2)-図 1)-4-2: nMOS 拡散層にイオン入射した場合における端子電流波形のウェルコンタクト長依存性。

既に述べた通り、電流波形データベース構築時には、イオン入射位置、ドレイン電圧、LET を振って TCAD 計算を実施している。hp130nm の電流波形データベース構築時には、入射位置(パラメタ DX)に関して 0.0 から $1.5\mu\text{m}$ まで 6 水準、ドレイン電圧に関して -0.6 から 1.8V まで 7 水準、LET に関して 0.005 から $0.16\text{pC}/\mu\text{m}$ まで 5 水準の条件振りを行っていた。ここで、DX は拡散層の端から内部に 50nm 入った位置からイオン入射位置までの距離を表すパラメタで、例えば、 $\text{DX}=1.0\mu\text{m}$ の場合、拡散層の端から 950nm 離れた位置に入射させたことを示す。但し、 $\text{DX}=0.0\mu\text{m}$ は特別で、拡散層中央への入射を表す。パルス発生率の評価ツールの内部では、作成されたデータベースを用いて、所望の条件の電流波形を補間操作によって得ている。

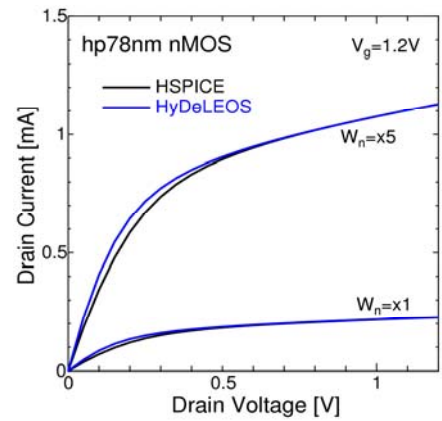
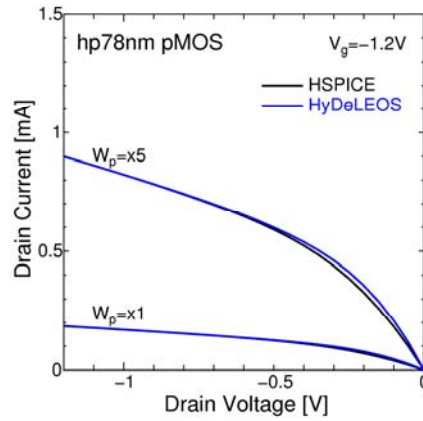
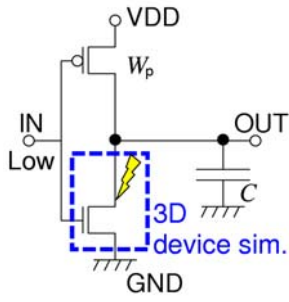
今回、hp78nm において同様の水準で TCAD 計算を行い、中間的な条件において補間操作で得られる波形と、その条件で TCAD 計算した場合の電流波形を比べると、DX とドレイン電圧に関する補間波形はほぼ TCAD 計算と一致したが、LET については nMOS 入射条件において差が見られた。Ⅲ-2-I-③-(2)-図 1)-4-3 において、LET の 3 つの区間 $[0.02, 0.05]$, $[0.05, 0.10]$, $[0.10, 0.16]$ の区間端および中間値で TCAD 計算により求めた波形を黒線で示している。区間端の波形は点線で示されており、それらの LET 条件はデータベース構築に用いている水準に含まれている。赤の実線は、区間端の 2 本の点線波形から中央の LET 条件の波形を補間操作で求めたもので、これに対して、黒の実線が同じ条件で TCAD 計算したものである。波形の裾に大きな差が生じていることが分かる。黒の実線の LET 条件をデータベース構築時の水準に加えた場合に、中間的な LET 条件での波形を補間操作で求めたときの波形が赤の破線、TCAD 計算したものが黒の破線で示されている。まだ裾の部分の差は残っているが、かなり改善される。裾の部分では、寄生バイポーラ効果によって時間軸方向に波形が伸びており、原理的には時間軸方向の補間を行えば精度が向上すると予想されるが、今回は、nMOS 入射条件に関して、中間の LET 条件 ($0.035, 0.075, 0.13\text{pC}/\mu\text{m}$) を水準に追加して電流波形データベースを構築することに

した。構築された電流波形データベースとSETパルス発生率評価ツールTFITを用いれば、プリミティブセルにおけるパルス発生率を算出可能であり、ここでは、インバータ(INV)セルにおける特定入射条件でのSETパルス幅をTFIT計算とTCAD計算(mixed-mode解析)とで比較検証する。mixed-mode解析は、nMOS入射の場合、Ⅲ-2-I-③-(2)-図1)-4-4に示すように、出力ノードに接続されたドレイン拡散層への電荷収集解析を3Dデバイスシミュレーションで行い、pMOSトランジスタと負荷容量は回路モデルで計算する。解析はデバイスシミュレータHyDeLEOSを用いて行った。トランジスタモデルパラメタは、SPICE用のパラメタセットを流用するが、HyDeLEOSのモデルパラメタ記述ではビニングに対応していない等の制約があるため、HyDeLEOS用のパラメタ記述に変換して取り込む。Ⅲ-2-I-③-(2)-図1)-4-5は二種類のチャンネル幅について、HyDeLEOSのトランジスタモデルで計算された I_d - V_d 特性をHSPICEで得られた特性と比較したものである。トランジスタモデルが完全に互換ではないため、若干のズレがあるが、ほぼ特性は一致している。



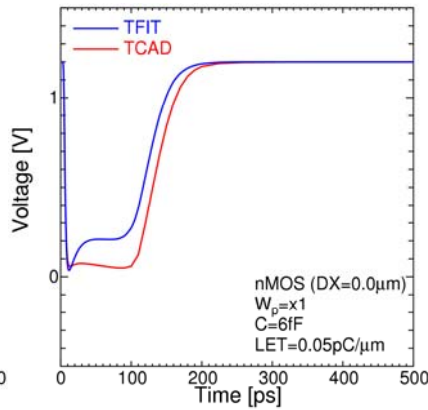
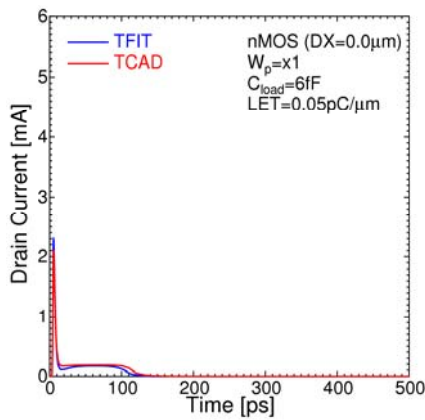
Ⅲ-2-I-③-(2)-図1)-4-3: LETに関して補間操作を行った電流波形(赤線)とTCAD計算による電流波形(黒線)の比較。

Ⅲ-2-I-③-(2)-図1)-4-6からⅢ-2-I-③-(2)-図1)-4-9までは、拡散層中央にイオンが垂直入射した場合の電流電圧波形をTFIT計算(青線)とmixed-mode TCAD解析(赤線)とで比較したものである。TFITでは、電流波形データベースを元にして、左側の図に示すようなインバータ状態での電荷収集電流波形を合成し、その波形を電流源として与えた時の電圧波形をSPICEで求める。mixed-mode TCAD解析の電流電圧波形がTFIT計算でほぼ再現できていることが分かる。Ⅲ-2-I-③-(2)-図1)-4-10は、両者の電圧波形から求まるパルス幅(電位変動が $V_{dd}/2$ 以上になっている時間幅と定義)を条件振りをして比較したものである。nMOS入射の場合にTFIT計算値がやや過小評価の傾向が見られるが、10%程度の差にとどまっている。従って、hp78nm世代においても、hp130nm世代における評価手法を踏襲することでチップレベルのソフトエラー率見積りをほぼ問題なく実施できるものと考えられる。

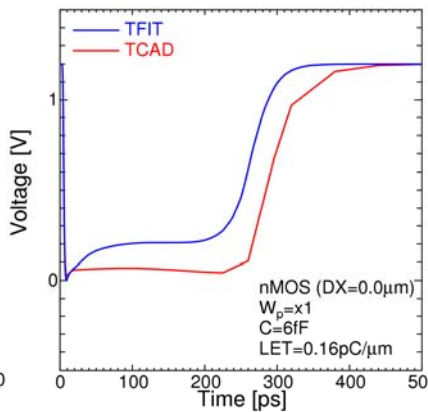
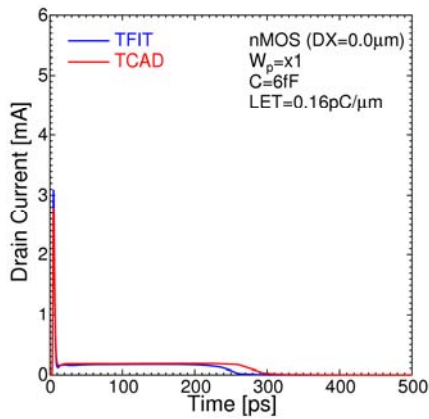


Ⅲ-2-I-③-(2)-図 1)-4-4: mixed-mode TCAD 解析概念図。

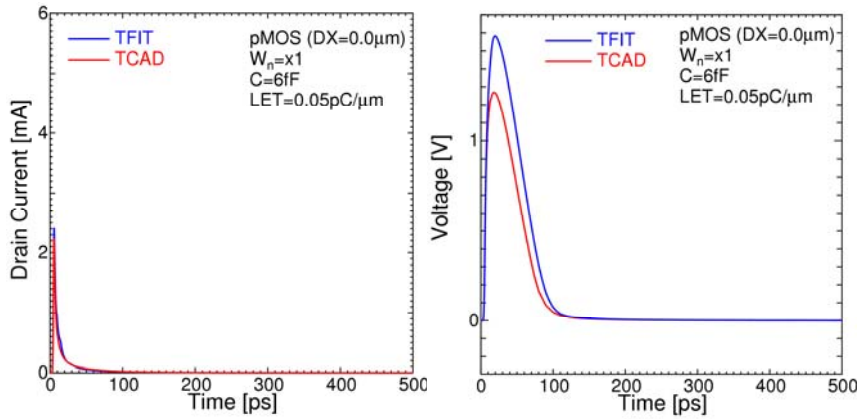
Ⅲ-2-I-③-(2)-図 1)-4-5: デバイスシミュレータ(HyDeLEOS)のトランジスタモデルによるId-Vd 特性の検証。チャンネル幅はx1(標準INVセルにおけるチャンネル幅)とx5(標準幅の5倍)の2種類で計算。



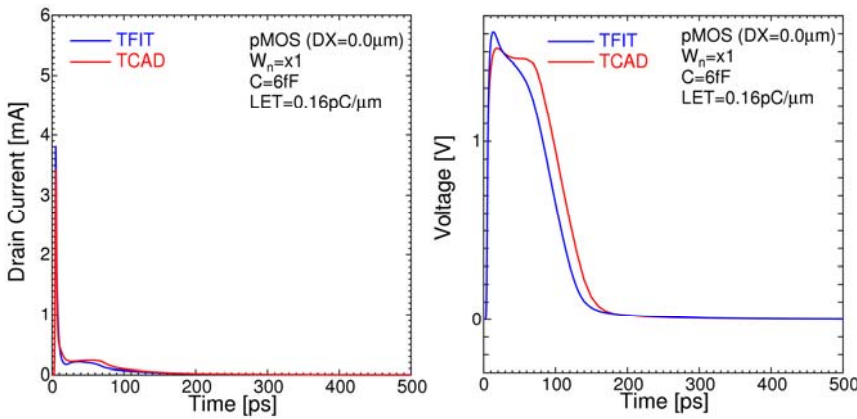
Ⅲ-2-I-③-(2)-図 1)-4-6: nMOS 拡散層中央垂直入射時の電流電圧波形。Wp=x1, C=6fF, LET=0.05pC/μm。



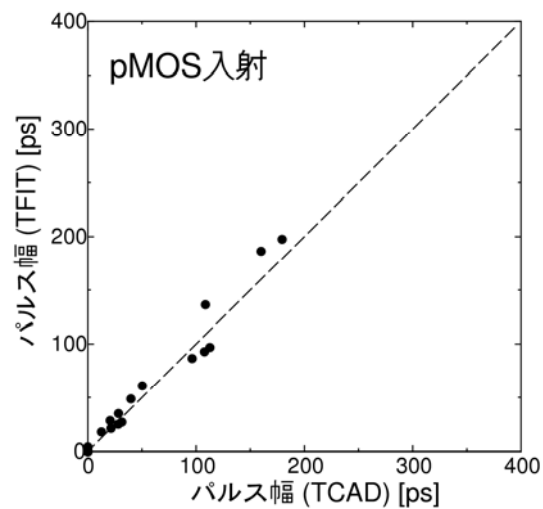
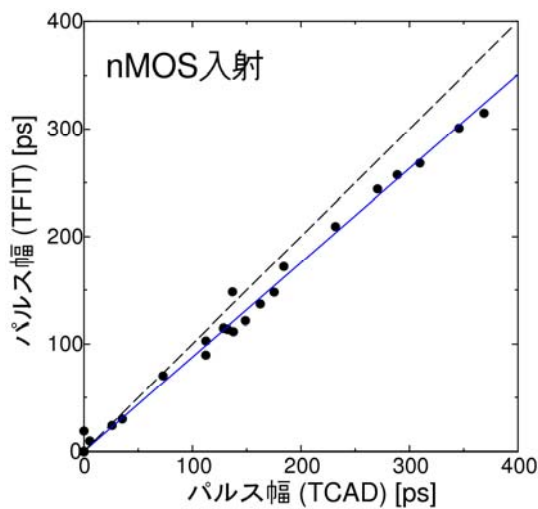
Ⅲ-2-I-③-(2)-図 1)-4-7: nMOS 拡散層中央垂直入射時の電流電圧波形。Wp=x1, C=6fF, LET=0.16pC/μm。



III -2- I - ③ -(2)- 図 1)-4-8: pMOS 拡散層中央垂直入射時の電流電圧波形。 $W_p=x1$, $C=6fF$, $LET=0.05pC/\mu m$ 。



III -2- I - ③ -(2)- 図 1)-4-9: pMOS 拡散層中央垂直入射時の電流電圧波形。 $W_p=x1$, $C=6fF$, $LET=0.16pC/\mu m$ 。



III-2-I-③-(2)-図 1)-4-10: INVセルの nMOS 入射の場合(左図)および pMOS 入射の場合(右図)における SET パルス幅の TFIT 計算値と mixed-mode TCAD 計算値との比較。イオンが拡散層中央に垂直入射した場合。イオンが入射しない側のトランジスタのチャンネル幅は $x1$ (標準幅)と $x5$ (標準幅の5倍)、負荷容量 C は $6fF$ と $30fF$ 、 LET は $0.028\sim 0.16pC/\mu m$ 。入射位置(DX)に関する条件振りをしていないのは、TFIT で波形出力可能なのが拡散層中央垂直入射条件のみのため。

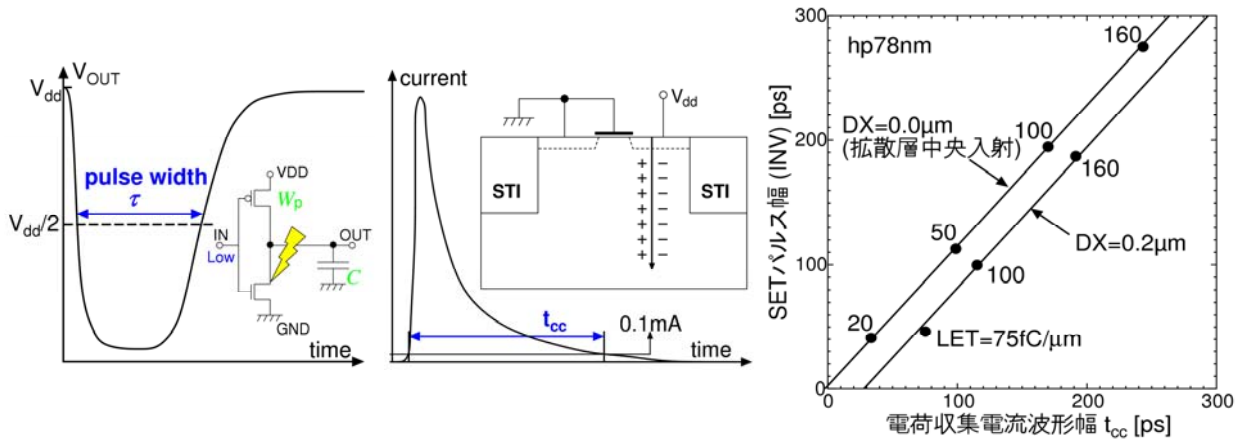
1)-5 デバイススケールリングが SET パルス幅に与える影響の分析

hp130nm および hp78nm 世代での電荷収集過程の TCAD 解析が可能となったので、両者のデバイス構造の違いが SET パルス幅にどのように影響するかを検討することができる。本来は、例えば INV セルにおける SET パルス幅(Ⅲ-2-I-③-(2)-図 1)-5-1 左図)の変化を見るべきであるが、ここでは、端子電位固定のトランジスタ構造における電荷収集電流波形の波形幅(tcc と表記する)の変動について検討する。tcc で評価する方が、計算量が少なく済み、また、Ⅲ-2-I-③-(2)-図 1)-5-2 に示すように SET パルス幅と tcc(電荷収集電流が 0.1mA 以上である時間幅と定義)とは強い相関があり、tcc は SET パルス幅の良い指標となるからである。

今回は、典型的なイオン入射条件として、nMOS 拡散層垂直入射で LET が $50\text{fC}/\mu\text{m}$ のケースを選んで解析を行った。Ⅲ-2-I-③-(2)-図 1)-5-3 は拡散層に収集される電流波形を hp130nm と hp78nm とで比較したものである。hp78nm の方は電流波形の裾が長く、電流波形幅 tcc の顕著な増加が見られる。hp130nm の tcc の倍以上になっていて、hp78nm の tcc 値を 100%とした時の増加割合は 56%である。tcc のこの大きな違いは、hp78nm では寄生バイポーラ効果が強くなっていることに起因する。以下では、デバイス構造のどのような違いが tcc 増大に寄与しているかについて分析した結果[Ⅲ-2-I-③-(2)-文献 1)-8]について述べる。

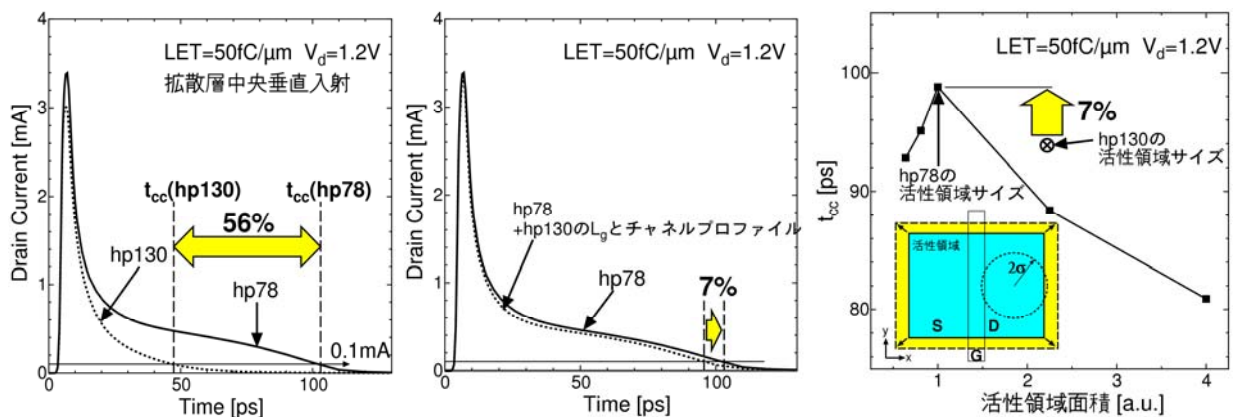
hp78nm ではゲート長が短くなるため、寄生バイポーラ素子のベース長が短く、それだけバイポーラ動作が助長されることになる。hp78nm のトランジスタ構造をベースにして、ゲート長を hp130nm でのゲート長まで広げ、チャンネルプロファイルも hp130nm のものに差し替えた構造における電荷収集電流波形をⅢ-2-I-③-(2)-図 1)-5-4 に点線で示す。元の hp78nm の構造の場合との tcc の差は約 7%で、ゲート長などに起因する tcc 増加効果は意外に小さいことが分かる。

Ⅲ-2-I-③-(2)-図 1)-5-5 は、hp78nm のトランジスタ構造を元に活性領域のサイズを変えた場合の tcc の変化を示したものである。活性領域サイズが小さくなると、チャンネルに滞留して寄生バイポーラ効果を引き起こす正孔が基板に逃げにくくなるため、tcc は次第に増加する。hp78nm での活性領域サイズより小さくなると一転して減少傾向となるが、これは、拡散層の中央に垂直に走っているイオントラックの周囲に、ガウス型の関数(標準偏差 σ)の分布形で発生させている電荷の中で、発生位置が STI 領域に入ってしまった無視される割合が増加するためと推測している。全体的には tcc の活性領域サイズ依存性はそれほど強くはなく、hp130nm における活性領域サイズの場合との tcc 差は 7%程度である。



III-2-I-③-(2)-図 1)-5-1: SET パルス幅(左図)および電荷収集電流波形幅 t_{cc} (右図)。

III-2-I-③-(2)-図 1)-5-2: INV セルにおける SET パルス幅と t_{cc} との相関関係。



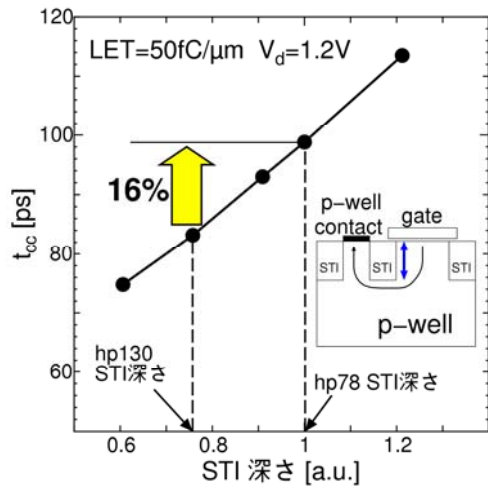
III-2-I-③-(2)-図 1)-5-3: hp130nm 世代と hp78nm 世代における電荷収集電流波形の比較。nMOS 拡散層中央垂直入射条件。

III-2-I-③-(2)-図 1)-5-4: hp78nm nMOS 構造において、hp130nm におけるゲート長とチャネルプロファイルを用いた場合の電流波形変化。

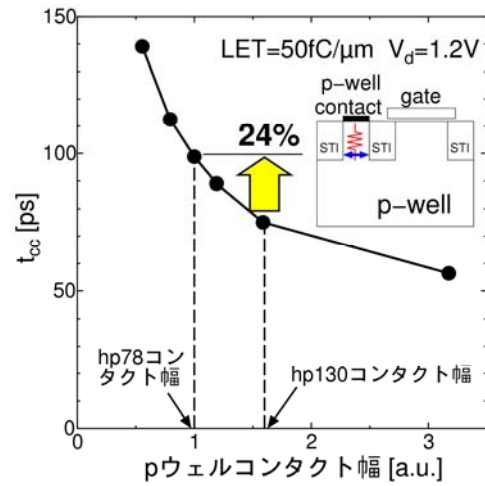
III-2-I-③-(2)-図 1)-5-5: hp78nm nMOS 構造における、 t_{cc} の活性領域サイズ依存性。

より強い影響があったのは STI 深さの違いで、III-2-I-③-(2)-図 1)-5-6 に示すように t_{cc} 差は 16% であった。STI が深くなると、正孔がチャネルからウェルコンタクトへ抜けるパスが長くなって抵抗が増大し、寄生バイポーラ効果が強まっているものと考えられる。今回解析に用いた構造では hp78nm の構造の方が深い STI になっているが、一般的には世代が進むと次第に浅くなるものと考えられ、寄生バイポーラ効果を抑制する要因として働くことになる。

最後に、 t_{cc} の p ウェルコンタクト幅に対する依存性の評価結果を III-2-I-③-(2)-図 1)-5-7 に示す。hp130nm におけるコンタクト幅の場合との t_{cc} 差は 24% で、今回の構造においてはコンタクト幅の影響が最も大きかった。コンタクト下部の抵抗が変調されて寄生バイポーラ効果が増大しているものと考えられる。

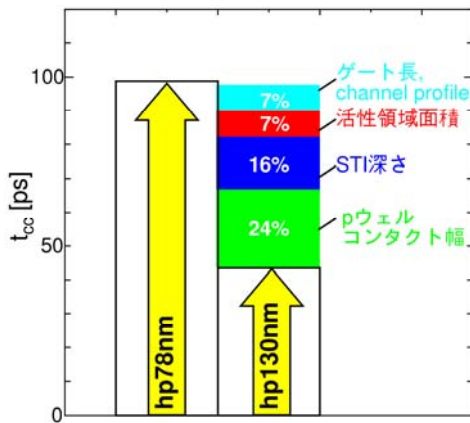


III-2-I-③-(2)-図 1)-5-6: hp78nm nMOS 構造における、 t_{cc} の STI 深さ依存性。

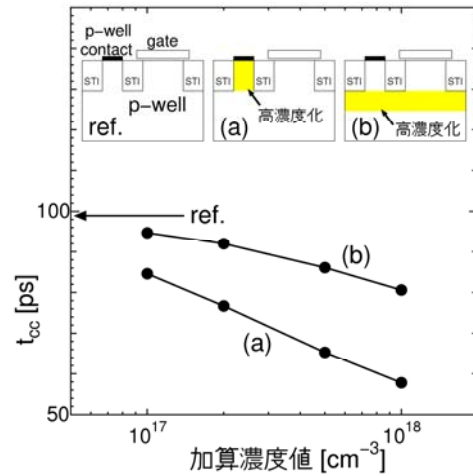


III-2-I-③-(2)-図 1)-5-7: hp78nm nMOS 構造における、 t_{cc} の p ウェルコンタクト幅依

III-2-I-③-(2)-図 1)-5-8 に示すように、hp130nm と hp78nm での t_{cc} の差は、ここまで検討してきた要因によってほぼ説明できる。今回の構造では正孔の排出能力に影響する構造パラメタの影響度が高いことから、ウェルコンタクトまでの抵抗を下げることで t_{cc} の増加を抑制できるものと予想される。III-2-I-③-(2)-図 1)-5-9 は、(a)ウェルコンタクト下、および、(b)STI 下の領域の不純物濃度を上げていった場合の t_{cc} の低減効果を示したもので、ウェルコンタクト幅の影響度が強い今回の構造においては、コンタクト下を高濃度化の方がより効果的という結果であった。



III-2-I-③-(2)-図 1)-5-8: hp130nm 世代 と hp78nm 世代における t_{cc} 差の要因。



III-2-I-③-(2)-図 1)-5-9: p ウェルおよびコンタクト近傍を高濃度化した場合の t_{cc} 変化。

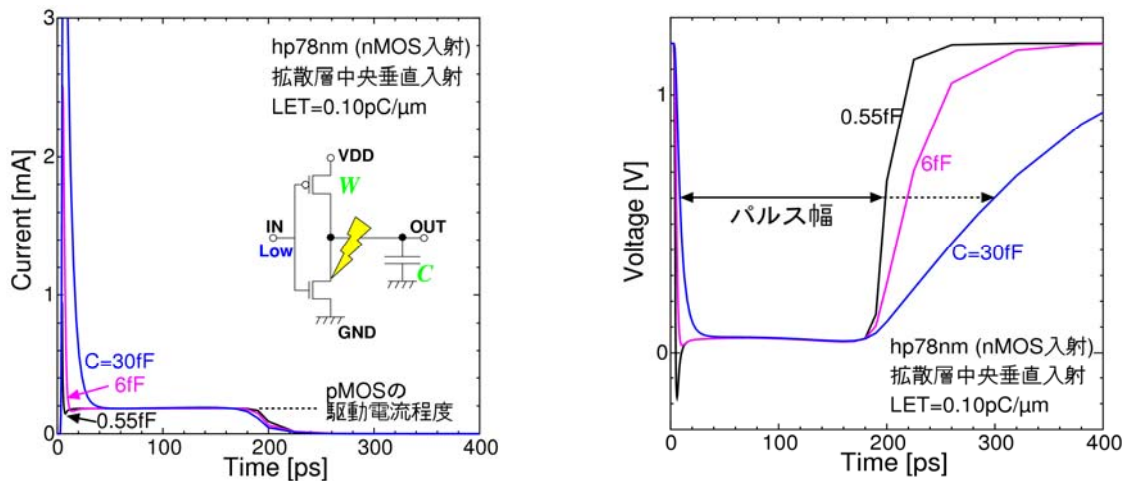
本節の解析の TCAD 計算は、幅 $4\mu\text{m}$ 奥行き $3\mu\text{m}$ の解析領域で実施されたもので、hp78nm における寄生バイポーラ効果が少し過大評価されている。しかし、将来の世代において寄生バイポーラ効果が顕在化した場合に、デバイス寸法や不純物プロファイルの見直しによって正孔排出効率を向上させ、SET パルス幅を削減できる可能性があることは示唆されている。

1)-6 SPICE を用いない SET パルス幅推定モデルの開発

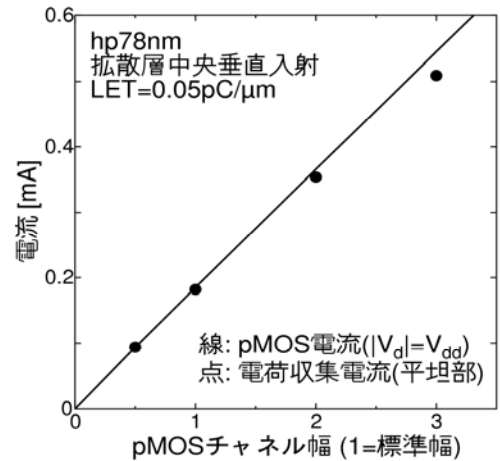
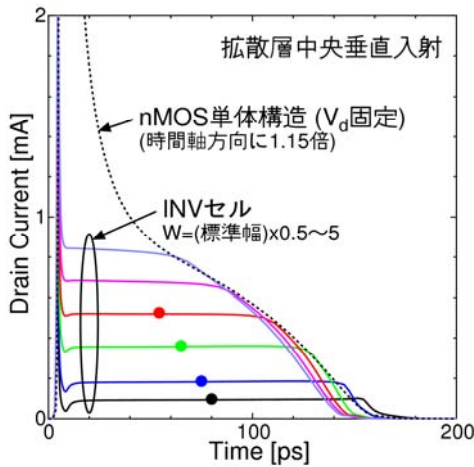
TCAD で算出した電荷収集電流波形データベースを使って、INV セル等のプリミティブセルにおける SET パルス幅やパルス発生率を評価するために、TFIT をこれまで用いてきた。このツールではパルス幅

算出のために内部でSPICEを呼び出すため、SPICEのセルライブラリが必要になる。セルライブラリが完備されている世代においては各種セルにおけるパルス発生率を評価できる強力なツールであるが、将来世代のSET見積りを行う場合には、SPICEライブラリを要する点が障害となる。仮想的なセルライブラリを構築することは可能であろうが、ライブラリの不備によって将来トレンドを見誤る懸念もあるため、今回はSPICEを用いずにSETパルス幅の推定を行い、将来世代におけるパルス幅分布や回路誤動作率の予測につなげることとした。ここでは、INVセルにおいて発生するSETパルス幅を、単純化したモデルで、少数のパラメタ使って推定する手法[-2- - (2)-文献 1)-9]について述べる。

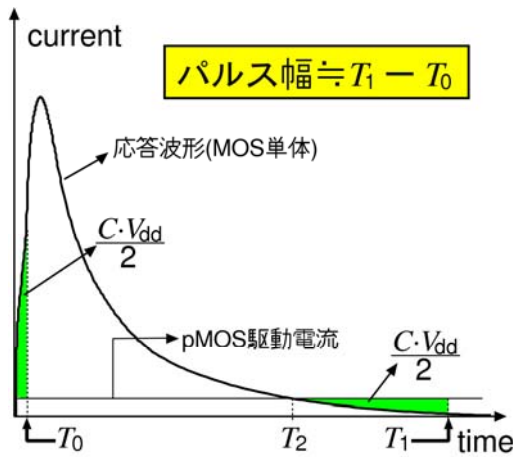
III-2-I-③-(2)-図 1)-6-1 に、INVセルのnMOS拡散層の中央にイオンが垂直入射した場合の電荷収集電流波形と出力電圧波形をmixed-mode TCAD解析で求めた例を示す。電流波形は、初期のピークの後にほぼ一定の電流値をしばらく保っている。この間、出力電位もほぼ0Vを保っているので、電荷収集電流はpMOSからの供給電流(ほぼ駆動電流 $=I_{on} \cdot W$ に等しい)とつり合っている。そして、電荷収集電流がそこから減衰しはじめると、出力電位が回復し始める。III-2-I-③-(2)-図 1)-6-2 左図に示されているように、pMOSのチャンネル幅 W を変えて供給電流を変化させると、それに応じて電流波形の平坦部分の電流レベルが増減する。その電流レベルは、pMOSの駆動電流にほぼ一致している(右図)。また、左図において、平坦部から電流波形が減衰してゆく部分の波形は、単体nMOS構造において、電位固定条件で計算された電荷収集電流波形に近くなっている。このような特徴があるため、nMOS単体構造で計算された電荷収集電流がpMOSの駆動電流を上回っている時間幅がSETパルス幅の良い指標になると指摘されている[-2- - (2)-文献 1)-10]。III-2-I-③-(2)-図 1)-6-1 右図の電圧波形に示したように、負荷容量 C が小さい条件ではそれでほぼ問題はないが、容量が大きい場合にはそれに見合った電位回復時間が必要になっている。以下に述べるパルス幅推定モデルは、電荷収集電流がpMOSの駆動電流を上回っている時間幅をベースにして、上記のような点について精緻化を図ったモデルとなっている。



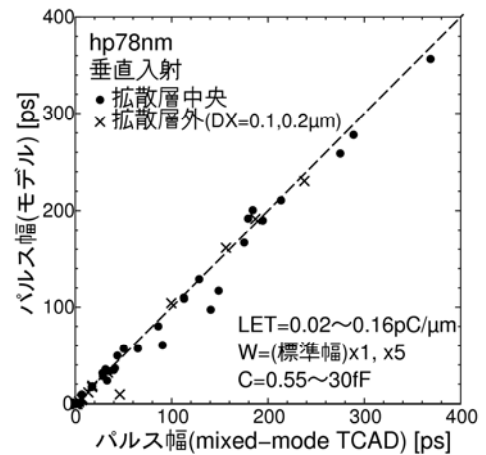
III-2-I-③-(2)-図 1)-6-1:典型的な電荷収集電流波形(左図)と電圧パルス波形(右図)。



III-2-I-③-(2)-図 1)-6-2: INVセルにおける電荷収集電流波形(実線)とnMOS 単体トランジスタ構造における電流波形(点線)との比較 (左図)、および、平坦部の電荷収集電流値(点)と SPICE モデルによる pMOS 駆動電流値(実線)との比較(右図)。



III-2-I-③-(2)-図 1)-6-3:パルス幅推定モデルの概要。



III-2-I-③-(2)-図 1)-6-4:パルス幅推定モデルおよび TCAD によって求めたパルス幅の比

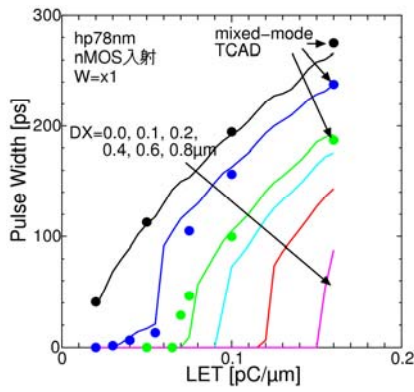
III-2-I-③-(2)-図 1)-6-3 は、単体 MOS 構造で求めた電荷収集電流波形を元にパルス幅を求める手順の概略を示したものである。まず、単体 MOS 構造における電荷収集電流波形が pMOS の駆動電流にまで減衰する時刻 T_2 を求める。この時刻から出力電位が回復するものとするが、回復時間は負荷容量 C に依存する。そこで、この時刻以降しばらくは pMOS からの供給電流はほぼ駆動電流を保つものと仮定して、これと収集電流との差分による電荷量が $C \cdot V_{dd}/2$ に達する時刻 T_1 を SET パルスの終端時刻とする。パルスの開始時刻は、イオンが拡散層を通過するような条件ではイオン入射時刻としてもあまり問題はない。しかし、イオンが拡散層から離れた位置に入射して電荷が徐々に収集されるような条件においては、電圧が $V_{dd}/2$ だけ降下するまでの時間が無視できなくなる。ここでは、あまり正確な見積りとは言えないが、収集電流と pMOS 駆動電流との差分による電荷量が $C \cdot V_{dd}/2$ に達する時刻 T_0 をパルスの開始時刻としている。このようにして、パルス幅の推定値 $T_1 - T_0$ を求める。

細かい補正として、まず、先の説明では、単体 MOS 構造での収集電流波形の裾が INV セルでの波形と同じという前提だが、実際には、III-2-I-③-(2)-図 1)-6-2 左図のように、単体 MOS 構造での収集電流波形を少し時間軸方向に引き延ばした方が良く合う。これは、インバータの状態では、出力電位の低下によって電子の収集が抑制されており、拡散層近傍に残った電子の一部が遅れて収集される効果があるためと推測される。そこで、今回は、 T_2 および T_1 の算出において、電流波形を時間軸方向に

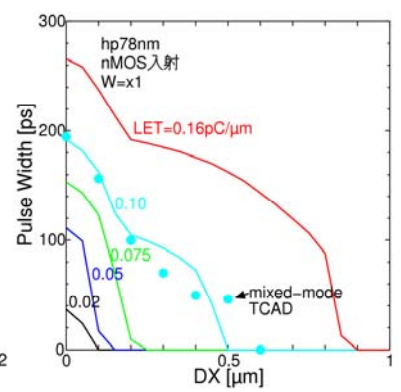
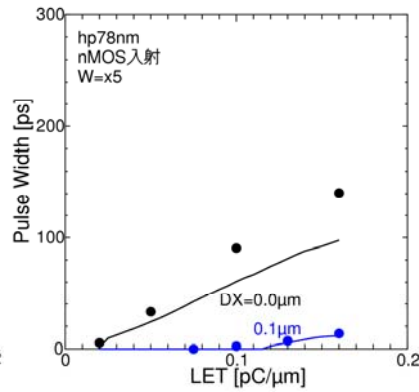
1.15 倍している。また、T0 から T2 までの電荷収集電流波形から pMOS 駆動電流を差し引いた部分の電荷量が $C \cdot V_{dd}/2$ に満たない場合は、出力電位が 0V 近くまで下がらないという想定で、パルス幅の推定値を縮小する方向の補正を行っている。

Ⅲ-2-I-③-(2)-図 1)-6-4 は、hp78nm の INV セルにおいて、パルス幅の推定モデルによって計算されたパルス幅と TCAD 解析で得られたパルス幅とを比較したものである。LET、イオンが入射したのと反対極性 MOS のチャンネル幅 W、負荷容量 C、イオンの垂直入射位置を変えたものをまとめて示している。また、pMOS 拡散層入射の場合の計算結果も含めている。一部、パルス幅推定モデルで求めたパルス幅が過小評価気味になる条件があるが、概ね TCAD 計算によるパルス幅と良く合っていることが分かる。パルス幅推定モデルによる推定精度が劣化する要因は主に二つある。一つは、電位変動が $V_{dd}/2$ 近辺となる条件では、T0 の導出方法が不正確などの理由により推定精度が悪くなりやすいことが挙げられる。また、W が大きい条件では電位を回復させる電流レベルが高いが、電位回復中にこの電流レベルが低下するために推定精度が落ちることが分かっている。

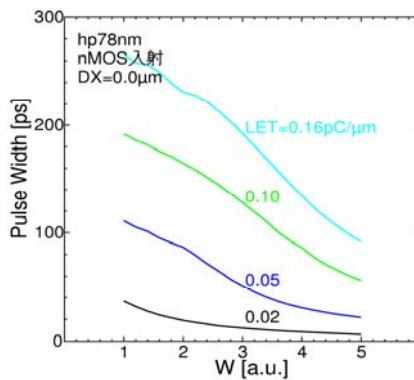
Ⅲ-2-I-③-(2)-図 1)-6-5 からⅢ-2-I-③-(2)-図 1)-6-8 までは、hp78nm の INV セルの nMOS 側にイオンが垂直入射した場合における、SET パルス幅の各種パラメタ依存性を示したものである。実線がパルス幅推定モデルを用いた計算結果で、点は mixed-mode TCAD による解析結果を表している。Ⅲ-2-I-③-(2)-図 1)-6-5 左図は W が標準幅の場合の LET 依存性を、いくつかのイオン入射位置について示しており、TCAD 解析をほぼ再現できている。W が大きい場合(右図)では、先に述べたような理由で少し過小評価の傾向が見える。Ⅲ-2-I-③-(2)-図 1)-6-6 は DX 依存性を示している。LET が $0.10\text{pC}/\mu\text{m}$ 以上ではかなり離れた位置にイオンが入射したケースでもパルスが観測されるようになるが、これは寄生バイポーラ効果によるものである。Ⅲ-2-I-③-(2)-図 1)-6-7 に示す W 依存性では、W が増加して駆動電流レベルが増加するに従って電位回復の開始時間が早くなってパルス幅が減少する。左の拡散層中央入射条件では、パルス幅算出の元になる電流波形が初期のピークを有しており、パルス幅の減少は徐々に進行するが、拡散層から離れた位置に入射する場合には、初期の電流ピークが細い、もしくは消失しているため、ある駆動電流レベルに達すると急激にパルス幅が短くなる。Ⅲ-2-I-③-(2)-図 1)-6-8 に示すように、負荷容量依存性は、ここで計算した容量値の範囲では小さい。負荷容量が増えると電位回復に要する時間が増加するためパルス幅は増加傾向であるが、イオンが拡散層から離れた位置に入射する右図のようなケースでは、電荷収集電流が時間的に徐々に増加するような波形であるために、電位が $V_{dd}/2$ だけ降下するために要する時間の容量依存性が表れてきて、やや減少傾向を示す。電位が $V_{dd}/2$ だけ変動することができなくなるとパルス幅は 0 になるが、パルス幅推定モデルでは、その近辺でのパルス幅減少が TCAD 解析よりも急峻である。先に述べた通り、このあたりの条件での推定精度が高くないことが表れている。



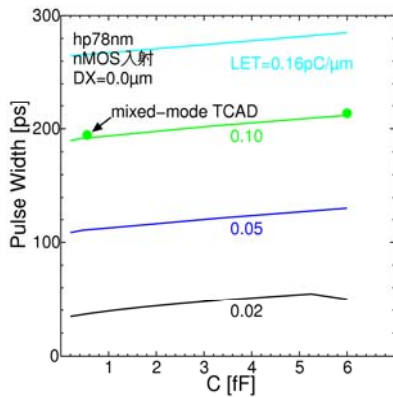
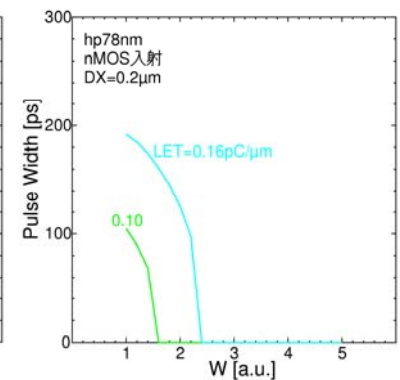
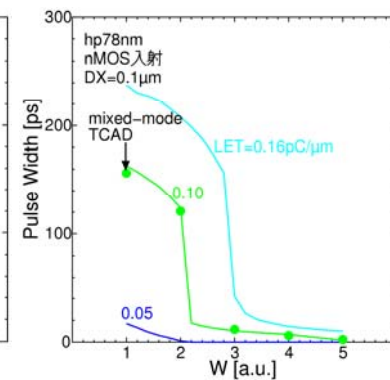
III-2-I-③-(2)-図 1)-6-5: SET パルス幅の LET 依存性。W が標準幅の場合(左図)および標準幅の 5 倍の場合(右図)。



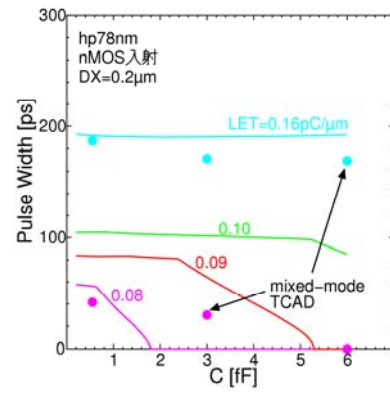
III-2-I-③-(2)-図 1)-6-6: SET パルス幅の DX(入射位置)依存性。



III-2-I-③-(2)-図 1)-6-7: SET パルス幅の W 依存性。DX=0.0(左図), 0.1(中央図), 0.2 μ m(右図)の場合。W=1 は INV セルでの標準幅を表す。



III-2-I-③-(2)-図 1)-6-8: SET パルス幅の C(負荷容量)依存性。DX=0.0(左), 0.2 μ m(右)の場合。



このように、条件によっては推定精度が落ちる部分もあるが、概ね TCAD 計算によるパラメタ依存性の特徴を再現できていると言える。この手法は、TFIT と同様に、単体 MOS 構造における電荷収集電流波形を出発点としている。TFIT では、その波形(データベース)を元に、インバータ等のセルの状態での電流波形を合成し、SPICE を用いてパルス幅を算出しているが、今回の推定手法は、波形合成を省略し、 $V_d=V_{dd}$ の電荷収集電流波形から直接パルス幅を計算する簡易手法になっている。このため、TFIT で用いる電流波形データベース構築に必要な、 V_d に関する条件振りが不要となり、事前に実施する TCAD 解析の負担が少ないという利点がある。

1)-7 パルス幅推定モデルを用いた SET パルス幅分布計算手法

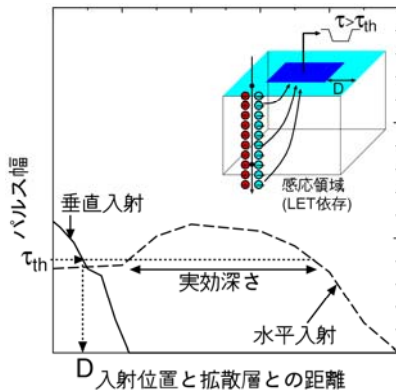
前節では、イオンの入射位置や LET などの条件を与えてパルス幅を算出するモデルについて説明したが、ロジックセルにおける誤動作率を評価するためには、イオンの発生・入射確率を加味して、パルス幅の発生率分布を求める必要がある。TFIT において、この部分の処理方式に関する情報は開示されていないが、ほぼ、ここで説明するものと同じ計算方式を採用しているものと考えている。具体的には、イオンが入射することにより、あるしきい幅 τ_{th} 以上の幅のパルスが発生する領域(感応領域)を考え、感応領域内を通過するイオンの発生率を見積もることでパルスの発生率を算出する。感応領域の大きさは LET に依存するため、LET を区間分割し、それぞれの区間で感応領域サイズを求めてパルス発生率(イオン入射確率)を見積り、各区間のイオン発生率で重み付けして積算することによって最終的なパルス発生率を導出する。ここで求まる発生率は、しきいパルス幅 τ_{th} 以上の幅のパルス発生率で、 τ_{th} をずらしながら同様の計算を行うことにより、パルス幅の発生率分布を知ることができる。

まず、感応領域の見積りにおいては、感応領域を矩形領域として導出する。矩形領域の横幅に関しては、III-2-I-③-(2)-図 1)-7-1 の実線に示すような、垂直入射条件における入射位置と発生パルス幅との関係を、パルス幅推定手法を使って求めた後、しきいパルス幅 τ_{th} の幅のパルスが観測される位置(拡散層からの距離 D とする)を求める。D は、拡散層からの方向によって本来は異なるはずであるが、ここでは STI 領域方向で求めた値のみを用い、拡散層サイズを四方に D だけ拡張した領域を xy 面内の感応領域サイズとする。

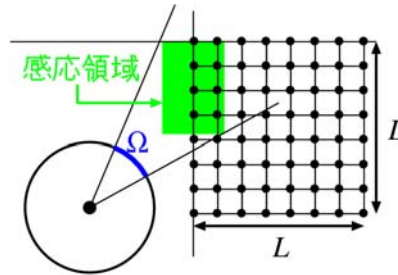
感応領域の深さに関しても、水平入射条件について同様のことを行えば良いが、水平入射条件ではパルス幅が拡散層からの距離に対して単調減少とならず、図に破線で示したように最大値を持つような分布となる場合がある。これは、イオン入射深さが STI 深さよりも浅いケースでは電荷発生領域が活性領域内に限定され、発生電荷量が深い入射条件よりも小さくなることによる。そのような場合には、パルス幅が τ_{th} 以上となる区間の幅を感応領域の実効的な深さとして用いる。水平入射条件においても、入射方向によって本来深さが変わってくるが、今回はゲート長方向の入射条件で算出される値を用いた。

パルス幅の入射位置依存性を求めるためには、垂直および水平のイオン入射条件において、単体 MOS 構造における電荷収集電流波形を、LET と入射位置を振って予め TCAD 計算してデータベース化しておく。そして、必要な LET および入射位置での収集電流波形を補間操作によって求め、パルス幅の推定モデルを適用する。

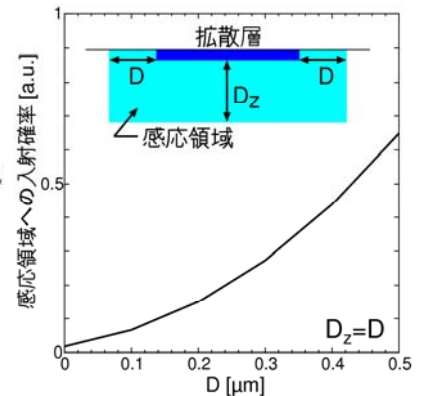
感応領域サイズが分かれば、その領域内に二次イオンが入射する確率を算出できる。ここでは、簡単のため、二次イオンは基板内から等方的に飛び出てくるものと仮定し、入射確率はイオン発生点から見た感応領域の平均的な立体角に比例するものとして見積もった。平均的な立体角は、一辺 L(ここでは $2\mu\text{m}$ とする)の立方体内部の直交格子点位置にイオン発生点をとって算出した(III-2-I-③-(2)-図 1)-7-2)。感応領域サイズが拡散層サイズに対して横方向にも深さ方向にも同じだけ広いと仮定した場合のイオン入射確率計算例を III-2-I-③-(2)-図 1)-7-3)に示す。



III-2-I-③-(2)-図 1)-7-1: パルス幅の入射位置依存性からの感応領域サイズの推定。



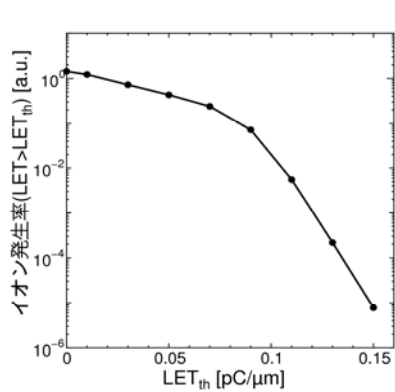
III-2-I-③-(2)-図 1)-7-2: 感応領域を見込む平均立体角算出の概念図。



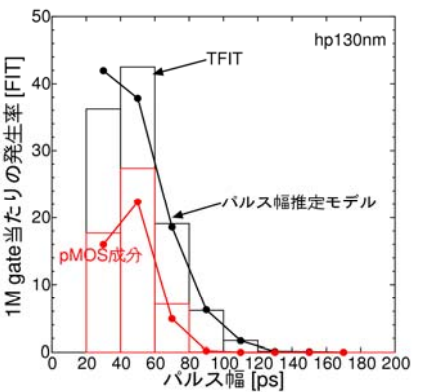
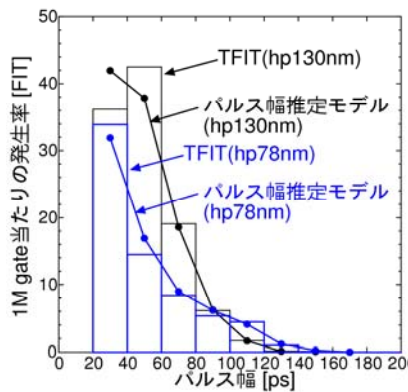
III-2-I-③-(2)-図 1)-7-3: 感応領域へのイオン入射確率計算例。

各 LET 区間毎にイオンの感応領域への入射確率が判れば、これに、対応する LET 区間のイオン発生率を加味することで τ_{th} 以上の幅のパルス発生率を求めることができる。イオンの発生率は、宇宙線中性子と基板原子との核反応現象を解析することによって得られる。例えば、PHITS[-2- - (2)-文献1)-11]コードなどを利用して算出できるが、ここでは、III-2-I-③-(2)-図 1)-7-4 に示したようなイオン発生率分布を用いた。

III-2-I-③-(2)-図 1)-7-5 は、 τ_{th} 以上のパルス発生率を 20ps 刻みで算出し、その差分から各パルス幅区間でのパルス発生率をプロットしたものである。左図に示すように、hp130nm, hp78nm のいずれにおいても、TFIT により求めた発生率分布をほぼ再現できている。また、右図に示した hp130nm の pMOS 起因のパルス成分についても分布傾向をよく再現できていることが分かる。



III-2-I-③-(2)-図 1)-7-4: 平均 LET がしきい値(LET_{th})以上のイオン発生率分布例。



III-2-I-③-(2)-図 1)-7-5: パルス幅推定モデルを用いて算出されたパルス幅分布(折線)と TFIT 計算値(棒)との比較。左図は hp130nm および hp78nm の INV セルにおけるパルス発生率分布。右図は hp130nm において pMOS 起因成分(赤)も併せて示したものの。

1)-8 SET 起因の誤動作率のトレンド予測とフィルタ回路による誤動作率低減効果の検討

前節に示したパルス幅の発生率分布の導出手順により、hp22nm までの発生率分布の導出と、SET 起因の誤動作率のトレンド予測を試みた。hp22nm では非バルク構造への移行が予想されるが、ここではバルク構造を前提とした見積りを行っている。hp56nm までは、実際のプロセスレシピとレイアウトに沿

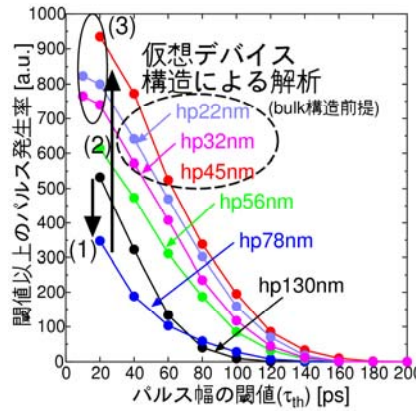
ってデバイス構造を構築し、hp45nm 以降は hp78nm で用いたデバイス構造をベースに寸法を縮小した仮想デバイス構造を用いた。仮想デバイス構造における寸法スケールリングは、hp130nmからhp56nmまでの実デバイスの寸法縮小を参考に、Ⅲ-2-I-③-(2)-表 1)-8-1 に示すように決めた。不純物分布に関しては、オフリーク電流が同程度に抑えられる程度にチャネルを高濃度化し、S/D 接合深さは寸法縮小と同じ比率で縮小した。電源電圧は ITRS のトレンドに沿って低電圧化し、オン状態の駆動電流値を決めるために必要な飽和電流も ITRS のトレンドに沿って変わるものと仮定した。これらの条件下でデバイス構造を構築し、TCADによる単体MOS構造における電荷収集電流波形データベースの構築、パルス幅推定モデルに基づくSETパルス発生率分布の算出を行った。

Ⅲ-2-I-③-(2)-図 1)-8-1 に INV セルにおける hp22nm までの SET パルス発生率分布を示す。以降では、パルス発生率分布として、横軸にパルス幅の閾値をとり、その閾値以上の幅のパルス発生率を縦軸としたプロットを示す。パルスの発生率を右側から積算した累積の発生率となるので、左肩上がりのラインとなる。パルス幅分布のおおまかな変化傾向は以下のようにまとめられる。

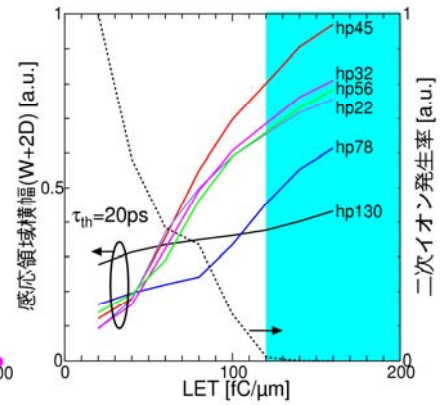
- (1) まず、hp130nm から hp78nm では、特に幅の短いパルスの発生率が下がる。その状況を詳しく調べるために、nMOS 入射の場合に 20ps 以上のパルスを発生させる感応領域のサイズ(横幅)をⅢ-2-I-③-(2)-図 1)-8-2 に示す。LET が大きい領域では hp78nm の方の感応領域サイズが大きくなるものの、この領域では二次イオンの発生率が小さいために寄与が小さい。LET が低い場合は hp78nm の方が、感応領域サイズが小さくなっており、これは拡散層の面積縮小によるところが大きい。このため、hp78nm の方が、イオン入射確率が低下してパルス発生率が下がっている。
- (2) hp78nmからhp45nmにかけては全体的にパルス発生率が増加してゆく。これは、寄生バイポーラ効果が顕著になって電荷収集電流波形の裾が延びるためである。その結果、Ⅲ-2-I-③-(2)-図 1)-8-2 に示すように、感応領域サイズが増加傾向を辿り、パルス発生率が増大する。
- (3) hp45nm 以降はパルス発生率分布があまり大きくは変わらなくなる。これは、寄生バイポーラ効果が際限なく強くなるものではないことを示している。Ⅲ-2-I-③-(2)-図 1)-8-3 にソースからの正孔排出量の推移を赤線で、正孔がソースに抜ける際の電位障壁高さ(ソース電極での正孔電流が比較的大きい $t=30ps$ での値)の推移を黒線で示す。世代が進んで寄生バイポーラ効果が強くなると、電位障壁が下がるためにソースから正孔が排出されるようになる。これによって寄生バイポーラ効果が頭打ちになっていると考えられる。INV セル状態では電荷収集ノード(ドレイン)電位が低下するため、正孔がドレイン側へも抜ける可能性がある(そうなると、パルス幅を縮小させる効果がある)が、mixed-mode 解析においてドレイン電圧はほとんどの時間帯で 50mV 以上を保っているため、ドレインでの正孔収集は少ないことが分かっている。

III-2-I-③-(2)-表 1)-8-1: hp45nm 世代以降の寸法スケールング。

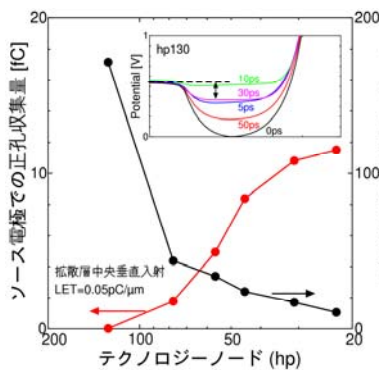
	縮小率
テクノロジーノード	k
ゲート長	k
チャネル幅	$k^{0.8}$
拡散層幅	$k^{0.8}$
ウェルコンタクト幅	k
STI 深さ	$k^{1/3}$



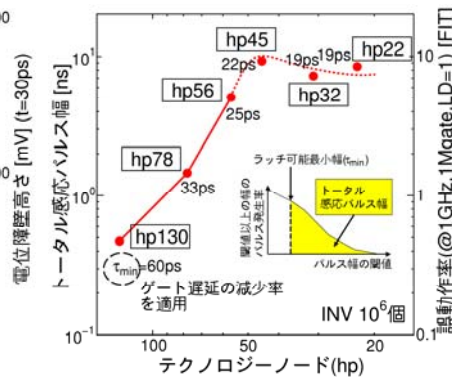
III-2-I-③-(2)-図 1)-8-1: 仮想デバイス構造を用いて計算された SET パルス発生率分布。



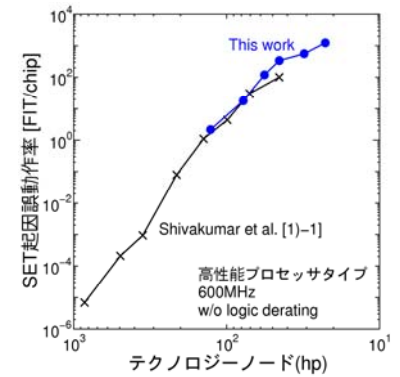
III-2-I-③-(2)-図 1)-8-2: nMOS 入射の場合の感応領域サイズの世代による変化。



III-2-I-③-(2)-図 1)-8-3: ソースからの正孔排出量と電位障壁高さの世代による変化。



III-2-I-③-(2)-図 1)-8-4: トータル感応パルス幅の世代変化トレンド。



III-2-I-③-(2)-図 1)-8-5: 高性能プロセッサを例題とした誤動作率のトレンド。

さて、どの程度の幅のパルスがどのくらい発生するかがわかれば、そのセルに関する SET 起因の誤動作率は、下に示す式でいたい推定できる。

$$(\text{誤動作率}) = \sum (\text{パルス発生率}) \cdot \frac{(\text{パルス幅}) - \tau_{\min}}{(\text{クロック周期})} \cdot LD$$

3 つの項を掛け合わせたものを合算する形になっているが、この 2 番目の項は、SET パルスが到達した flip-flop 等でラッチされる確率を表していて、time derating と呼ばれる項である。より単純には(パルス幅)/(クロック周期)となるが(但し最大値 1)、クロック信号が入ることで flip-flop が誤った入力信号をラッチしてしまう時間幅(いわゆる、window of vulnerability)は必ずしもパルス幅全域ではない。ここでは、flip-flop でラッチ可能な最小のパルス幅(τ_{\min})だけ差し引いて評価する(但し、最小値 0)こととした。実際には、ある程度長いパルス幅になると window of vulnerability がほぼパルス幅に等しくなるため、より精密なトレンド予測を行うために評価方法を改善する余地はある。3 番目の項(LD)は、SET パルスが flip-flop まで到達する確率を表していて、logic derating と呼ばれる。flip-flop までの伝播経路上の論理ゲートにおいて、他の入力信号の状態によってはパルスがマスクされる効果を考慮するためのものである。SET パルスが発生したセルと flip-flop との接続状況によって変わってしまうが、ここでは、平均的な到達確率を想定して固定値として扱う。パルス伝播時の波形鈍りなども本来は考慮すべき事項であるが、今

回は上に示した単純な式で誤動作率を見積もることとする。

上式において、クロック周期と LD を固定値と考えると、セルレベルで評価可能な、SET 起因の誤動作危険度の指標値として、1 番目の項と 2 番目の項の分子の積を合算した量を用いることができる。この量は、ある時間内において、クロック信号が入ることで誤動作を起こす状態にあるトータル時間を表すもので、トータル感応パルス幅と呼ぶことにする。この量を評価しておけば、動作周波数、搭載ゲート数、LD 値を決めることでチップレベルの誤動作率に換算可能である。

トータル感応パルス幅は、III-2-I-③-(2)-図 1)-8-4 の挿入図に示したように、累積のパルス発生率分布の τ_{\min} 以上の区間の面積として求めることができる。III-2-I-③-(2)-図 1)-8-4 は hp130nm から hp22nm までのトータル感応パルス幅の推移を示したものである。この図では、 $1e9$ 時間(11.4 万年)内に誤動作を起こす状態にあるトータル時間を示している。従って、動作周波数が 1GHz であれば、縦軸を 1ns で割ったものが FIT 単位の誤動作率となる。なお、トータル感応パルス幅の算出に必要な τ_{\min} に関しては、hp130nm において SPICE 計算で求めた、flip-flop における概算値(60ps)を元に、以降の世代では ITRS で予想されているゲート遅延の減少割合に比例して減少させている。hp45nm まではトータル感応パルス幅は増加の一途を辿るが、それ以降は、寄生バイポーラ効果が飽和してパルス発生率が増えなくなることで、 τ_{\min} の減少率が低下することによって、ほぼ横ばいという結果になった。

チップレベルの SET 起因の誤動作率のトレンド予測としては、2002 年に Shivakumar らが高性能プロセッサを題材に行った例があるが[III-2-I-③-(2)-文献 1)-1]、これにならって誤動作率の見積りを行った結果を III-2-I-③-(2)-図 1)-8-5 に青線で示す。SET パルス幅の発生率分布はセルによって多少異なるが、ここでは全て INV セルで代表されるものと仮定して評価した。hp130nm から hp78nm では、ほぼ Shivakumar らのトレンドに近い変化であるが、hp45nm までの増加トレンドが急になっている。これは、寄生バイポーラ効果による電流波形変化が TCAD 計算によって取り込まれていることが効いている。hp45nm 以降は、トータル感応パルス幅は横ばいであるが、寸法縮小に伴って搭載ゲート数が増加するという想定であるため、その分だけ誤動作率が増加している。

より現実的な前提条件における誤動作率トレンドを導出するためには、チップに搭載されるロジックゲート数と動作周波数についての見積もりが必要になる。ここでは、独立行政法人 新エネルギー・産業技術総合開発機構(NEDO)によって策定されている技術戦略マップ[III-2-I-③-(2)-文献 1)-12]で示されているロードマップを参考にして、下に示す近似式で見積もることにした。

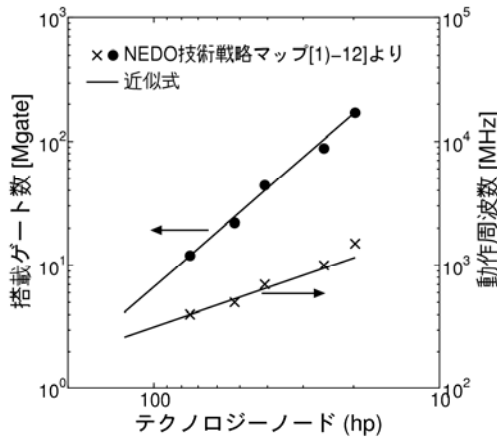
$$\text{搭載ゲート数: } 12\text{Mgate} \cdot \left(\frac{75}{\text{node}(\text{hp})} \right)^2$$

$$\text{動作周波数: } 400\text{MHz} \cdot \left(\frac{75}{\text{node}(\text{hp})} \right)^{0.8}$$

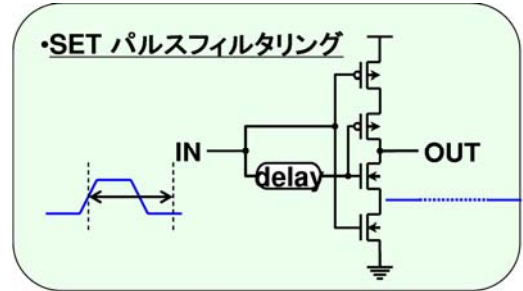
参考までに、ロードマップに示された値と上式によるトレンドラインを III-2-I-③-(2)-図 1)-8-6 に示す。このトレンドを用いた誤動作率の解析とともに、SET パルスのフィルタリングの効果についても検討を行った。フィルタ回路は III-2-I-③-(2)-図 1)-8-7 に示すようなものを想定し、これにより、ある幅以下のパルスを除去することができる。パルス発生率分布から分かるように、SET パルス幅は高々 100ps 強であるので、こうしたフィルタ回路を flip-flop の直前に追加することで誤動作率を効果的に低減できるものと期待できる。

III-2-I-③-(2)-図 1)-8-8 に、パルスのフィルタリングによってトータル感応パルス幅がどのように変化するかを示す。世代が進むにつれて幅の長いパルスの発生率が次第に増加する傾向であるために、フィルタリングの効果が小さくなっていくが、hp56nm 世代以降においても、150ps 前後以下のパルスを除去することにより、トータル感応パルス幅を 1~2 桁低減できることが分かる。

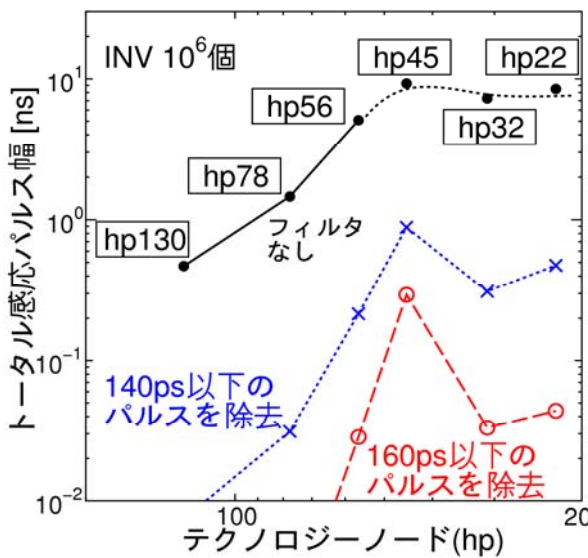
III-2-I-③-(2)-図 1)-8-9 は、トータル感応パルス幅と、搭載ゲート数・動作周波数のトレンドから計算された、チップ当たりの SET 起因の誤動作率トレンドである。logic derating は 0.1 と仮定した。また、パルス幅分布は INV セルのもので代表させている。フィルタ回路を用いない場合には、hp22nm 世代での誤動作率が 100FIT に達する。フィルタリングを行うことによって、誤動作率を 1~10FIT/chip 以下に抑えられることが分かる。ここで、最も想定動作周波数の高い hp22nm 世代でも周波数は約 1GHz(クロック周期 1ns)であるので、100ps 強の遅延であれば許容しうる範囲と考えられる。



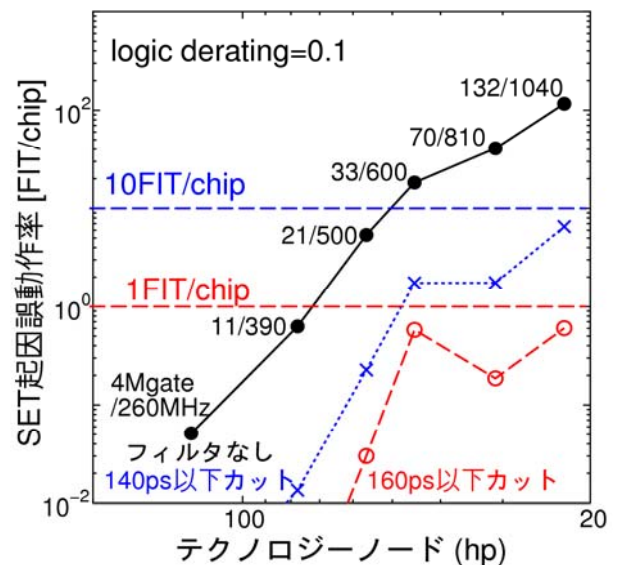
III-2-I-③-(2)-図 1)-8-6: SoC 搭載ゲート数と動作周波数のトレンド。



III-2-I-③-(2)-図 1)-8-7: SET パルスのフィルタリング回路。



III-2-I-③-(2)-図 1)-8-8: パルスフィルタリングがトータル感応パルス幅に与える影響。

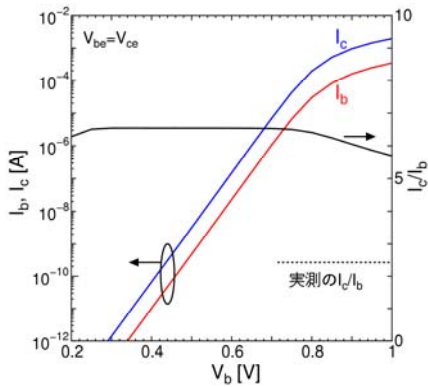


III-2-I-③-(2)-図 1)-8-9: SoC チップにおける SET 起因の誤動作率トレンド。

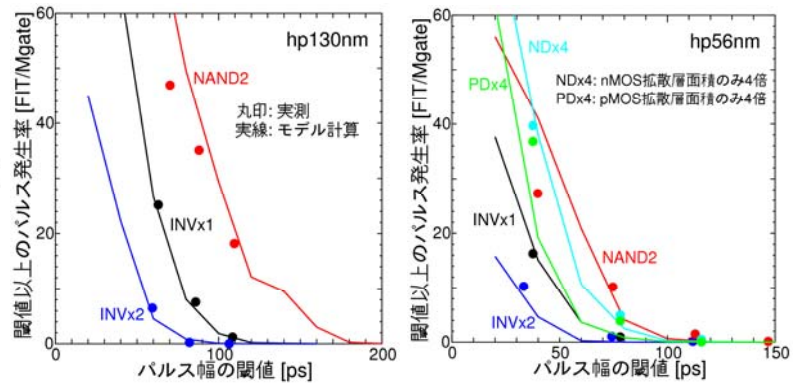
ここまで示した誤動作率のトレンド予測は hp56nm のパルス幅実測前に実施されたもので、寄生バイポーラ効果が顕在化するという TCAD 解析結果を反映したものとなっている。しかしながら、hp56nm の実測結果によれば、温度依存性が小さいこと、pMOS 起因の成分が nMOS 起因成分と同等程度あることから、寄生バイポーラ効果は弱いと推測される。III-2-I-③-(2)-図 1)-8-10 は hp56nm 世代の npn バイポーラトランジスタ(n+拡散層-p ウェル-deep n ウェル)のエミッタ接地電流増幅率を TCAD 解析したものであるが、実測の増幅率よりも大きい。このことは、p ウェル濃度が過小、ないしは n+濃度が過大といった事由により、TCAD 解析において寄生バイポーラ効果が過大評価となっている可能性を示唆する。

そこで、寄生バイポーラ効果が無視できる場合の誤動作率予測を試みた。寄生バイポーラ効果が弱

ければ、拡散層外にイオンが入射した条件での電荷収集はキャリアの拡散によって起きるため、収集電流は拡散層サイズに依存すると予想される。ここでは、簡単のために拡散層中央入射の場合も含めて、電荷収集電流波形の電流値を拡散層寸法に比例して減少させることで仮想的な電荷収集電流波形データベースを作成し、誤動作率の評価に使用することとした。元の電流波形は hp130nm のものを用いる。この世代では、Ⅲ-2- I -③-(2)-図 1)-8-2 に示すように、寄生バイポーラ効果による感応領域サイズの顕著な増大が見えておらず、寄生バイポーラ効果がほぼ無いものと考えられる。元となる hp130nm の電流波形データベース、および hp56nm 向けに上述の手順で構築した仮想電流波形データベースを用いて計算されるパルス発生率分布を実測値と比較したものがⅢ-2- I -③-(2)-図 1)-8-11 である。分布形をある程度再現できていることが分かる。

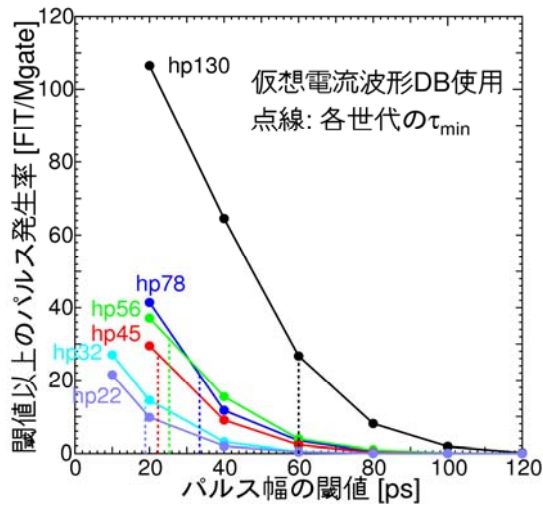


Ⅲ-2- I -③-(2)-図 1)-8-10: npn バイポーラトランジスタ構造の電流増幅率の評価。

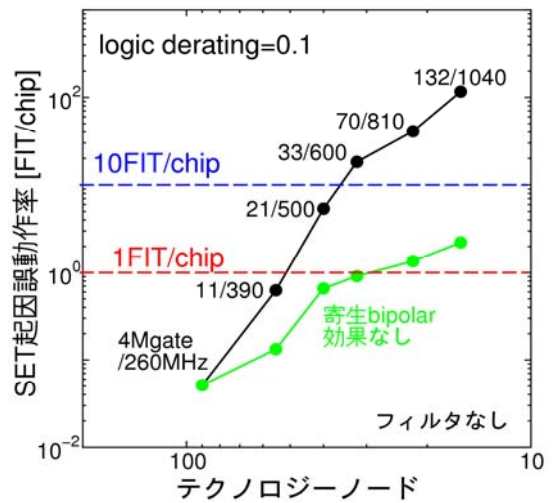


Ⅲ-2- I -③-(2)-図 1)-8-11: hp130nm(左)および hp56nm(右)におけるパルス発生率分布の実測とパルス幅推定モデルによる計算との比較。hp56nm の方は、仮想電流波形データベースを用いた場合。

hp22nm 世代までの仮想電流波形データベースを構築して導出されたパルス発生率分布をⅢ-2- I -③-(2)-図 1)-8-12 に示す。この場合は、世代が進むにつれてパルス発生率がほぼ一貫して減少してゆく。Ⅲ-2- I -③-(2)-図 1)-8-13 に緑線で示すように、チップ当たりの誤動作率の増加は緩やかとなり、hp22nm 世代においても数 FIT/chip である。この世代ではⅢ-2- I -③-(2)-図 1)-8-12 に見られるようにパルス発生率が減少しているため、40ps 程度以下のパルスをフィルタ回路で除去すれば 1FIT/chip 以下の誤動作率を実現できる。



III-2-I-③-(2)-図 1)-8-12: 仮想電流波形データベースを用いた場合のパルス発生率



III-2-I-③-(2)-図 1)-8-13: 仮想電流波形データベースを用いた場合の SET 起因の誤動作率トレンド(緑線)。

将来世代において、寄生バイポーラ効果が抑えられるようなトランジスタ設計が可能であれば、ここに示したように SET 起因の誤動作率の増加はかなり抑えられる。仮に、寄生バイポーラ効果が顕在化した場合においても、150ps 前後以下のパルスをフィルタ回路で除去することで 1~10FIT/chip 以下の誤動作率を達成できる見込みである。

1)-9 まとめ

100ps 以下のパルス検知が可能な新規パルス検出回路を用いて、高エネルギー中性子照射試験による、hp130nm および hp56nm における SET パルス幅分布測定を実施し、パルス幅分布の形は概ね SPICE ベースの評価ツールによる予測と一致することが示された。但し、hp56nm においては、温度依存性や拡散層サイズ依存性から寄生バイポーラ効果が事前予測に反して弱いことが推察された。この実測により、SET 起因のパルス幅は高々 100ps 強であることが実証され、フィルタ回路による対策が効果的であることが示された。

SPICE ベースの評価ツールを利用した、セルレベルのパルス発生率評価が hp78nm 世代においても有効に機能するかを検証するために、この世代における電荷収集電流波形データベースの構築を行った。これを用いたパルス幅の推定精度は実用上ほぼ問題ないことを確認した。また、デバイススケールが SET パルス幅に与える影響についても分析し、寄生バイポーラ効果が顕在化してくると、パルス幅が大きく増加することが示された。ウェルコンタクトまでの抵抗に関するデバイス寸法(STI 深さやウェルコンタクト幅)がパルス幅に強く影響するので、これらの寸法やウェル濃度の最適化によって抵抗を下げ、パルス幅を低減できる可能性があることを示した。

SPICE ベースの評価ツールは SPICE ライブラリが完備された世代においては強力なツールであるが、将来トレンド予測には必ずしも適していないため、SET 起因の誤動作率のトレンド予測に向けて、SPICE を用いない SET パルス幅推定モデルを開発した。仮想デバイス構造を構築し、TCAD 解析によって電荷収集電流波形データベースを作成して、これをベースにパルス幅推定モデルを適用して hp22nm までの誤動作率トレンド予測を行った。寄生バイポーラ効果が飽和することと、flip-flop のパルス感応速度の飽和により、hp45nm 世代以降では固定動作周波数、単位ゲート数での誤動作率(トータル感応パルス幅)は横ばい傾向となる。チップ当たりの誤動作率は hp22nm 世代で 100FIT に達すると予想された。しかし、パルス幅分布実測においては、hp56nm 世代において寄生バイポーラ効果が顕在化しないという

結果であったため、寄生バイポーラ効果が無視できる想定の下で構築した仮想電流波形データベースを用いて誤動作率トレンドの試算を行い、この場合は hp22nm 世代での誤動作率は数 FIT/chip にとどまると予想された。

将来世代において、仮に寄生バイポーラ効果が顕在化する状況となっても、SET パルスのフィルタリングによって 150ps 前後以下のパルスを除去することにより、MIRAI 成果目標である、1～10FIT/chip 以下の誤動作率を実現可能であることを示した。

参考文献

- [Ⅲ-2-I-③-(1)-文献 1)-1] P. Shivakumar et al., “Modeling the Effect of Technology Trends on the Soft Error Rate of Combinational Logic”, Int. Conf. Dependable Systems and Networks, pp.389–398, 2002.
- [Ⅲ-2-I-③-(1)-文献 1)-2] http://www.iroctech.com/sol_edu_121.html
- [Ⅲ-2-I-③-(1)-文献 1)-3] M. Hane et al., “Synthetic Soft Error Rate Simulation Considering Neutron-Induced Single Event Transient from Transistor to LSI-chip Level”, SISPAD 2008, pp.365-368, 2008.
- [Ⅲ-2-I-③-(1)-文献 1)-4] B. Narasimham et al., “On-chip characterization of single-event transient pulsewidths”, IEEE Transactions on Device and Materials Reliability, Vol.6, pp.542-549, 2006.
- [Ⅲ-2-I-③-(2)-文献 1)-5] T. Makino et al., “LET dependence of single event transient pulse-widths in SOI logic cell”, IEEE Trans. Nucl. Sci., Vol.56, pp.202-207, 2009.
- [Ⅲ-2-I-③-(2)-文献 1)-6] B. Narasimham et al., “Neutron and alpha particle-induced transients in 90nm technology”, 46th Annual International Reliability Physics Symposium, pp.478-481, 2008.
- [Ⅲ-2-I-③-(2)-文献 1)-7] H. Nakamura et al., “Measurement of Neutron-Induced Single Event Transient Pulse Width Narrower Than 100ps”, IRPS 2010, pp.694-697, 2010.
- [Ⅲ-2-I-③-(2)-文献 1)-8] K. Tanaka et al., “Study on Influence of Device Structure Dimensions and Profiles on Charge Collection Current Causing SET Pulse Leading to Soft Errors in Logic Circuits”, SISPAD 2009, pp.210-213, 2009.
- [Ⅲ-2-I-③-(2)-文献 1)-9] 田中 他, “インバータセルにおける Single-Event-Transient パルス発生 のモデリング”, 応用物理学会シリコンテクノロジー分科会, No.128, pp.44-49, 2010.
- [Ⅲ-2-I-③-(2)-文献 1)-10] V. F.-Cavrois et al., “Statistical Analysis of the Charge Collected in SOI and Bulk Devices under Heavy Ion and Proton Irradiation-Implications for Digital SETs”, IEEE Trans. Nucl. Sci., Vol.53, No.6, pp.3242-3252, 2006.
- [Ⅲ-2-I-③-(2)-文献 1)-11] <http://phits.jaea.go.jp/indexj.html>
- [Ⅲ-2-I-③-(2)-文献 1)-12] <http://www.nedo.go.jp/roadmap/>