

2. 研究開発項目毎の成果

I. 次世代半導体材料・プロセス基盤技術開発

① 新構造極限CMOSTランジスタ関連技術開発 [U-CMOS]

(1) ソース・ドレイン材料・構造の制御によりCMOSの駆動力を高める技術の開発

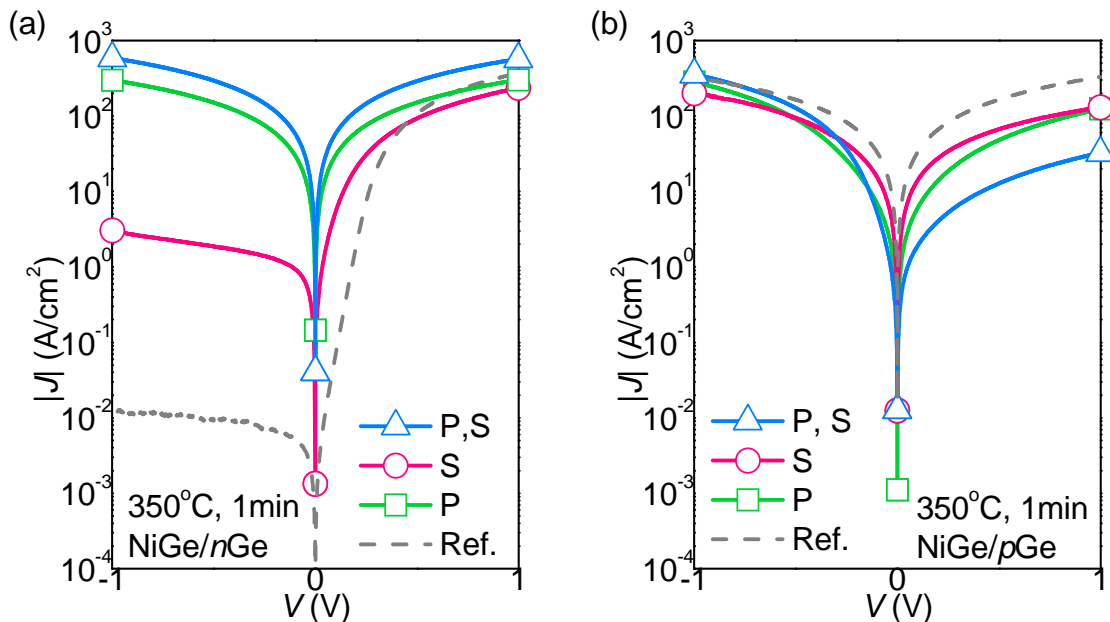
まず、冒頭にメタルソースドレイン材料のエンジニアリングに関する指針を述べる。研究開発当初は、研究開発項目として、ソース端では適切な大きさのバリアを残してキャリアの注入速度を上げること、また、ドレイン端においてもバリアハイトを調整することが、キャリア反射の抑制し、Ion向上に有用であると予想した。しかし、その後の研究開発結果として、ソース、ドレインともにバリアを低減させることがIonの向上やOFFリーク電流の観点で望ましいことが分かった(III-2-I-(1)-2-図1、及びIII-2-I-(4)-2-3-図1参照)。

従って、ソース、ドレインともにショットキバリアを出来だけ小さくするように制御する方針のもとに、研究開発を実施した。

1) ソース・チャンネル界面を制御し、キャリア注入速度等を改善する材料・形成方法・構造の開発

1. NiGe/Ge界面へのSとP導入によるソース・ドレインコンタクト制御

Ge-CMOS 実現の上で、Ge-nMOSFET のソース・ドレインコンタクトにおける電子注入に対するショットキー障壁が高いことが問題となっている。ショットキー障壁を制御し、寄生抵抗を下げて駆動電流を高くする手段としてS 偏析 NiGe/nGe が提案されている[III-2-I-(1)-1-文献 1]。界面ダイポール形成や界面準位低減などによりSBHが0.15eVまで低くできるが、それでもまだ不十分である。同様にP 偏析 NiGe/nGe も報告されている[III-2-I-(1)-1-文献 2]。鏡像効果によってSBHは低くできるがNiGe/pGeにおいて接合リーク電流が多くなるのでP濃度を高くするには限度がある。そこで本研究ではNiGe/nGeコンタクト抵抗を低くするために、SとPの両方を界面に導入したNiGe/Geの検討を行った。

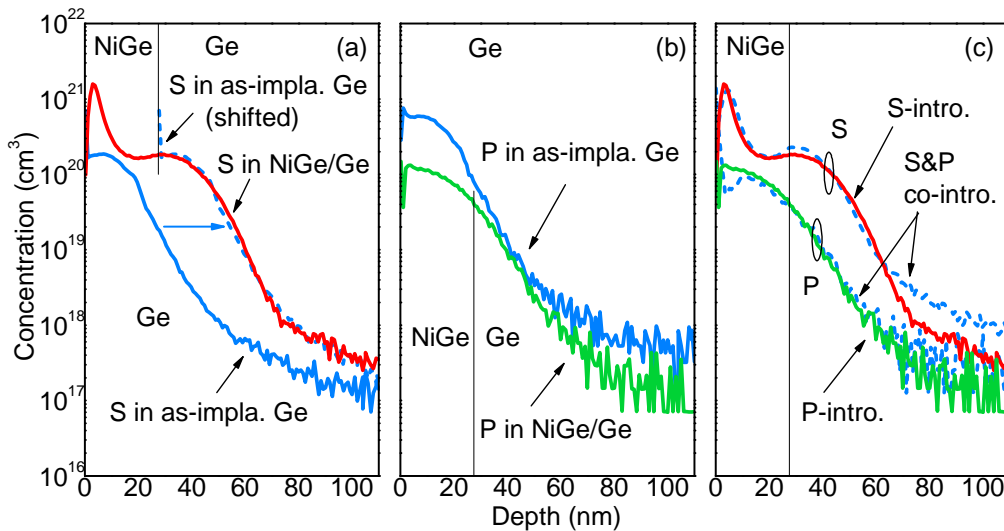


III-2-I-①-(1)-1-1-図2 NiGe/Geの J - V 特性。(a)は n Ge,(b)は p Ge。各 J - V は、それぞれ、Sのみ、Pのみ、およびP,Sの両方をイオン注入して作製したNiGe/Geダイオードを測定したもの。Ge基板にイオン注入後、Niを堆積し、 350°C 、1 minの熱処理をしてNiGe/Geを形成している。リファレンスとして、不純物導入していないNiGe/Geの J - V 特性(Ref.)も示した。

n型とp型 Ge(100)上に SiO₂ 素子分離形成し、Pのみ (1x10¹⁵ cm⁻²)、Sのみ(5x10¹⁴ cm⁻²)、あるいはPとSの両方を加速エネルギー10keVでイオン注入後、スパッターにより Ni (~15nm)堆積し、N₂ 雰囲気中で熱処理(250, 350, 450°C)して NiGe を形成した。リファレンスとして不純物導入していない NiGe/Ge も形成した。これら NiGe/Ge における P, S, Ni の不純物プロファイル SIMS 分析して調べた。NiGe/Ge 界面は、Ni 強度が 1/2 になる位置と定義した。さらに J-V 特性を調べ、各不純物導入が NiGe/nGe の抵抗低減に効果があるかを調べた。

まず NiGe/Ge の不純物プロファイルを SIMS によって調べた (III-2-I①-(1)-1-1-図1)。Ge に S イオン注入して NiGe 形成 (N₂ 雰囲気, 1 min, 350°C) すると、NiGe/Ge 中 S プロファイルは熱処理無しの場合を NiGe 層の厚さ (~27.5 nm) だけシフトしたものとほぼ一致する (III-2-I①-(1)-1-1-図1(a))。Ge 上に堆積した ~15 nm の Ni が ~15 nm の Ge と反応して NiGe が形成され、そのとき S を ~15 nm 基板側に押し込んでいると考えられる。つまり、NiGe/Ge 界面に S が偏析している。一方で、S と同様に、Ge に P イオン注入して NiGe 形成した場合には、Ge 中 (Before NiGe) と NiGe/Ge 中 (After NiGe) の P プロファイルは、NiGe 領域を除いたところ (>30 nm) で濃度がほぼ一致している (III-2-I①-(1)-1-1-図1 (b))。従来までに P 偏析 NiGe/Ge の報告があるが [III-2-I①-(1)-1-1-文献1]、少なくとも本研究の実験条件の範囲では P 偏析しないことがわかった。Ge に、P と S の両方をイオン注入して NiGe 形成すると、P と S のプロファイルは、P のみ、S のみの各場合を重ねあわせたプロファイルとほぼ同じになる。P, S を混ぜたことにより、S は偏析して、P は偏析しないことがより明らかである (III-2-I①-(1)-1-1-図1 (c))。

次に SIMS 分析した NiGe/Ge ダイオードの J-V 特性を調べた。III-2-I①-(1)-1-1-図 2 は、熱処理温度 350°C で形成した NiGe/Ge の J-V 特性を示したものである。NiGe/nGe では、不純物を導入した場合のすべてにおいて、導入しない場合よりも逆方向電流 [J (V<0)] が増大することがわかった [III-2-I①-(1)-1-1-図



III-2-I①-(1)-1-1-図 1 S, P の SIMS プロファイル。熱処理無しの場合と NiGe 形成した場合。(a) は S のみ、(b) は P のみ、(c) は P, S 両方の場合に(a),(b)の熱処理後の場合を重ねたもの。(a),(b)の青線 (Before NiGe)は熱処理無しの場合であり、NiGe 層はなく、原点は Ge 表面。赤線 (After NiGe)は NiGe 形成後であり、直線の左側は NiGe 層、右側は Ge 基板。点線は熱処理無しの場合を 27.5 nm シフト (NiGe 層の厚さに相当) したもの。NiGe 形成後とほぼ同様なプロファイルになっている。尚、NiGe 中の S, P 濃度は定量できていない。

2(a)]. SのみよりもPのみの方が逆方向電流は多くなり、Pの場合にはオーミック特性になる。SとPの両方を導入した場合にも、Pだけの場合と同様にオーミック特性を示すことが明らかになった。一方で、NiGe/pGeでは、不純物を導入すると、導入しない場合に較べて逆方向電流 $[I > 0]$ が減少し、整流性を示すことが明らかになった (III-2-I-①-(1)-1-1-図 2 (b))。SのみやPのみを導入した場合よりも、SとPの両方を導入した場合の方がさらに逆方向電流が減少している [III-2-I-①-(1)-1-1-文献 3]。

このように、NiGe/nGeではPのみとSとPの両方を導入すると実効的なSBHが極めて低くできるためオーミック特性が得られる事がわかった。リーク電流の低減の観点も考慮すると、SとPの両方をNiGe/Geソース・ドレイン界面に導入する本プロジェクトで提案した手法の方が、従来のPのみの場合よりもGe-nMOSFET向けとして適していることが明らかとなった。

参考文献

[III-2-I-①-(1)-1-1-文献1] T. Nishimura, S. Sakata, K. Nagashio, K. Kita, and A. Toriumi, Appl. Phys. Express 021202, **2** (2009).

[III-2-I-①-(1)-1-1-文献2] K. Ikeda, Y. Yamashita, N. Sugiyama, N. Taoka, and S. Takagi, Appl. Phys. Lett. 152115, **88** (2006).

[III-2-I-①-(1)-1-1-文献 3] M. Koike, Y. Kamimuta, and T. Tezuka, Appl. Phys. Express **4**, 021301 (2011).

2. 立体SiGeチャネル向けメタルソースドレインの形成・構造評価

FinFET[III-2-I-①-(1)-1-2-文献 1], Tri-gate MOSFET[III-2-I-①-(1)-1-2-文献 2]といった立体構造MOSFETはその高い短チャネル効果耐性から、22nm node以降のCMOS適用が期待されている。しかし、そのソース・ドレイン(SD)およびエクステンション部を形成する際に、イオン注入によって完全にアモルファス化した薄膜チャネルが、活性化アニール時に完全に結晶回復できずに寄生抵抗が増大する問題が顕在化している。[III-2-I-①-(1)-1-2-文献3]。このような問題に対し、SD部にイオン注入をすることなくシリサイド化するメタルSD構造はイオン注入にともなう欠陥生成等の損傷が無く、不純物バラツキに起因するしきい値バラツキの影響をも除去可能であるといった特徴をもつ。さらに、GeもしくはGe組成の高いSiGeチャネルを用いた場合、NiGe/p-Ge接合のSchottky Barrier Height (SBH)は60meVと低く、寄生抵抗低減にも効果的であることから薄膜チャネルを用いる立体構造MOSFETの性能向上アイテムとしてメタルSD構造は有望なオプションとなる[III-2-I-①-(1)-1-2-文献4]。また、歪みSiGeチャネルでは、イオン注入による欠陥生成によって歪み緩和が生じる可能性が高く、駆動力向上にはメタルSD構造の適用は不可欠となる。このような背景の下に、歪み緩和によるチャネル移動度劣化を抑制しつつ、低抵抗なSDを形成するNiSiGeメタルS/D構造の形成技術を新規に開発した。

High-k/メタルゲートプロセス手法を、高Ge組成SiGe立体チャネルの作成に適用した。二段階酸化濃縮により形成したひずみSiGeチャネル($x_{Ge} \sim 70\%$ @ $W_{fin}=25$ nm, W_{fin} 大きくなるほど x_{Ge} 低下)に対してゲートスタック形成後、シリサイド化反応前処理としてDHF処理をおこないSD部の酸化膜を除去した。基板全面にスパッタによって7nmのNiを堆積した後、 N_2 雰囲気中で $350^\circ C$ 、1minのRTPアニールによってGermano-silicidationを行うことでNiSiGeを形成した。最後に未反応のNiを希釈塩酸($HCl:H_2O=1:10$ @ $60^\circ C$)処理によって除去することでメタルSD構造をもつ、歪みSiGeチャネルTri-gate MOSFETの形成を実現している。

この開発によって、後述するメタルSDひずみSiGe Tri-gate MOSFETの電流駆動力を改善し、低消費電力実証の数値目標達成につながった。

参考文献

[III-2-I-①-(1)-1-2-文献 1] A. Veloso, et al. : IEDM Tech. Dig. 2008 pp.861-864.

[III-2-I-①-(1)-1-2-文献 2] T. Tezuka, et al. : IEDM Tech. Dig. 2007 pp.887-809.

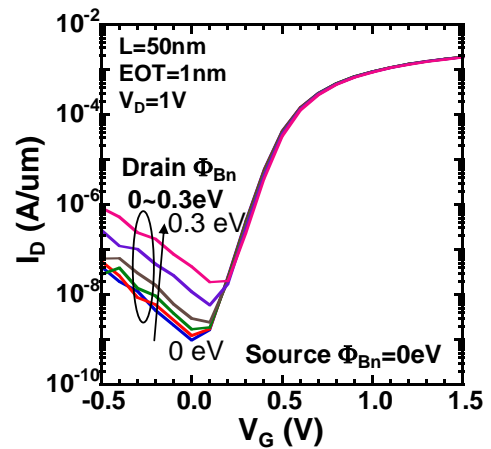
[III-2-I-①-(1)-1)-2-文献 3] L. Pelaz, et al.: IEDM Tech. Dig. 2008 pp.535-538.

[III-2-I-①-(1)-1)-2-文献 4] A. Kaneko, et al. : IEDM Tech. Dig. 2006 pp.893-896.

2)ドレイン・チャンネル界面での電子状態を制御しキャリア反射を抑える材料・形成方法・構造の開発

研究開発当初は、研究開発項目として、ソース端では適切な大きさのバリアを残してキャリアの注入速度を上げること、また、ドレイン端においてもバリア高を調整することが、キャリア反射の抑制し、Ion向上に有用であると予想した。しかしながら、その後研究開発として、TCADを用いたショットキーソースドレインMOSFETの特性シミュレーションを行ったところ、ソース、ドレインともにバリアを低減させることがIonの向上の観点で望ましいこと、また特にドレイン端でのショットキーバリア高の増加は、ドレイン端でのGate Induced Drain Current (GIDL) 電流の増加を招くことが分かった。III-2-I-①-(1)-2)-図1は、ソース端でのショットキーバリア高を一定にしたまま、ドレイン端でのショットキーバリア高を0eVから0.3eVまで変化させた場合のドレイン電流のゲート電圧依存性を示している。ドレイン端のショットキーバリア高を変化させると、トランジスタのON電流は殆ど変化せず、OFF側のGIDL電流が増加することが分かった。

逆にドレイン端のショットキーバリア高を一定にし、ソース端でのメタル/チャンネル界面に不純物を偏析させることで、ソース端の実効的なバリア高を変化させた場合のドレイン電流特性の数値計算結果がIII-2-I-①-(4)-2)-3節に示されている。本結果によれば、ソース端の実効バリア高が小さくなるほど(不純物偏析量が大きくなるほど)、ON状態でのドレイン電流が増加する(III-2-I-①-(4)-2)-3-図1参照)。従って、ソース・ドレインともにショットキーバリアを出来だけ小さくすることが必要であるとの結論に至った。



III-2-I-①-(1)-2)- 図 1 ドレイン端のショットキーバリア高の増加に伴う GIDL 電流の増大

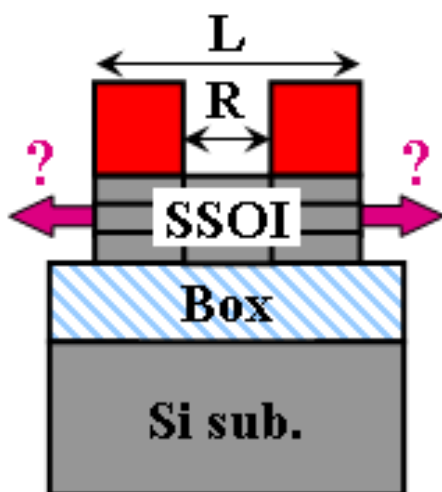
(2) キャリア輸送特性を向上してCMOSの駆動力を高める技術の開発

1) チャンネルの歪みを制御してキャリア速度を向上するためのCMOS向け材料・形成方法・構造の開発。

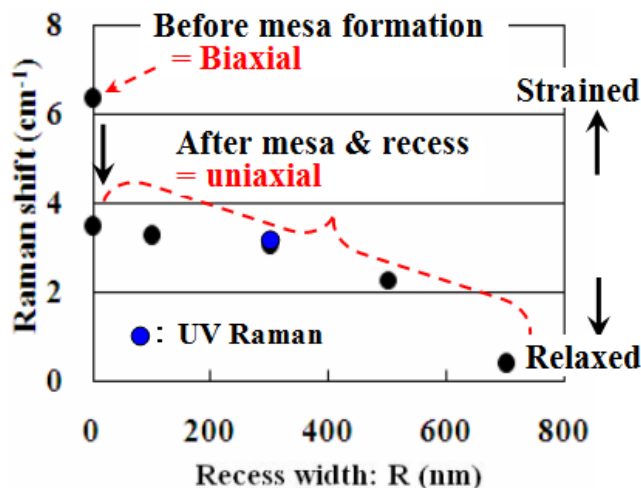
1. SSOI ひずみ基板のひずみ緩和を抑制する stress-retainer 技術

MOSFET の高性能化指標の一つであるキャリア移動度向上技術として、ひずみチャンネル技術が注目されている。ウェハースケールでチャンネルとなる半導体層がひずみを有するグローバルひずみ基板は、基板面内で均一かつ所望のひずみを得やすいなどの特徴を有するが、hp32以細の微細化に対応した素子を本基板上に形成する場合は、まず $1\mu\text{m}$ を下回る微細な活性層を本基板上にメサ分離で形成する必要があり、その際のひずみ緩和が課題となる。そこで我々は、グローバルひずみ基板の一つである、ひずみ SOI(SSOI) 基板上の微細ひずみチャンネル n-MOSFET の実現に向けて、ひずみ基板上に予めひずみ緩和抑止層を形成する stress-retainer 層を形成する技術を提案、実証した[III-2-I-①-(2)-1)-1-文献 1]。本節では、この stress-retainer 技術を用いてグローバルひずみ基板上に形成した緩和抑止層、即ち stress-retainer 層の中央のゲート領域に、ゲート作成のためのリセス加工を行った後においても活性層のひずみ緩和が抑制されることを示す。

III-2-I-①-(2)-1)-1-図1に示すように、予め stress-retainer 層として 50nmSiGe 層(x=0.3)を形成した 50nm 厚 SSOI(strained-Si on insulator)基板(1.3GPa)に、RIE プロセスを用いて MOSFET 形成用の典型的な長方形活性層(LxW= 800nm x 100nm)と、その活性層中央部のゲート加工用 recess 領域(R=0-700nm)を順に形成し、



III-2-I-①-(2)-1)-1-図1 試料構造の概念図



III-2-I-①-(2)-1)-1-図2 チャンネル領域のラマンピーク波数のリセス幅依存

ひずみ測定用試料とした。リセス加工後の活

性層のひずみ評価は、ビーム径 $1\mu\text{m}$ の通常 Raman による活性層全体のひずみ測定と、前記の狭いリセス幅 R 内に露出した活性層に限定したひずみ評価を行うための短波長 UV 光($\lambda=364\text{nm}$)と液浸技術とを組み合わせた高空間分解能(130nm)UV ラマンによる活性層中央部の直接ひずみ測定を初めて併用して行った。

III-2-I-①-(2)-1)-2-図2に、通常 Raman(黒丸)と UV-Raman(青丸)で測定した、ラマンシフト量のリセス幅依存性を示す。stress-retainer 層を有する global ひずみ基板に形成した活性層内のひずみは、その後に行ったリセス加工に対して、明確なリセス幅依存性を示し、リセス幅増大とともに急激に緩和が進むことが示された。一方、ゲート形成に十分な 300nm 程度のリセス幅(青丸)であれば、リセス加工を行った後においても尚、活性層内ひずみの維持が十分可能であることを示唆する結果を初めて得た。本 stress-retainer 技術を適用すれば、微細 MOSFET をグローバルひずみ基板上に形成する場合の最重用課題の一つである、ひずみチャンネルのひ

ずみ緩和を抑制した素子の形成が初めて可能となると期待される。

参考文献

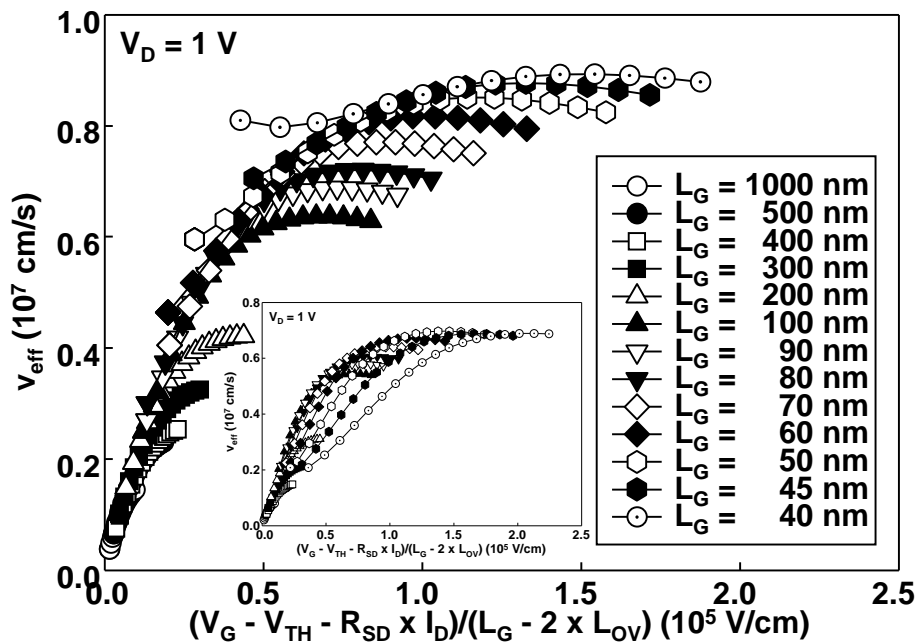
[III-2-I-①-(2)-1)-1)-文献 1] 公開特許公報 2010-80487

2. ひずみSOI-FinFETにおけるソース端電子速度評価

低消費電力化を目的とする低電源電圧化の為に、良好なカットオフ特性と高い電流駆動力との両立が求められており、前者に向けて FinFET 等の立体構造素子が、後者に向けてひずみ印加等に依る移動度向上が各々検討されている。両者の融合を念頭にFinFETに於けるひずみの効果を調べるべく、[1-10]方向に形成された Fin の(110)側面上にチャネルを持つ SOI 素子と SSOI 素子とに対してチャネル中の電子速度を検討し、FinFET に於いても伸長ひずみの印加は電子速度の向上に効果的であること、(110)側面上にチャネルを持つ微細素子に於いて(001)面上の素子と同等の電子速度が得られること、を確認した。

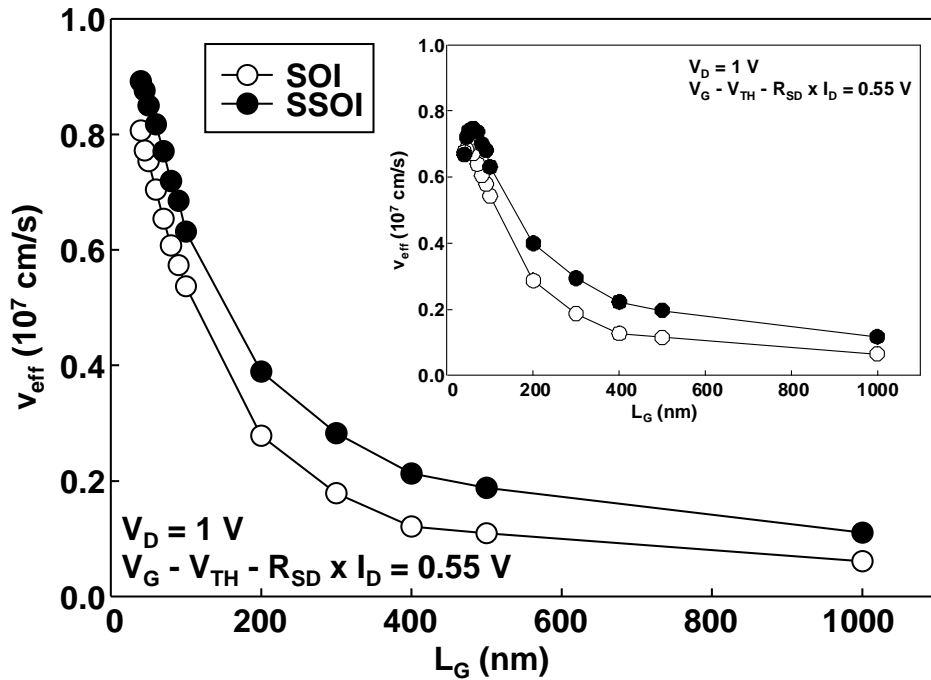
今回の検討に用いた n-FinFET は(001)面の SOI ないし SSOI 基板上に形成されており、チャネルは[1-10]方向に伸びた Fin(幅 = 10 nm、高さ = 50 nm)の(110)側面に形成されている。SSOI 基板には面内方向に 0.8% の伸長ひずみ、面と垂直方向に 0.5% の圧縮ひずみが各々生じている。ゲート絶縁膜は厚さ 1.8 nm の酸化窒化膜であり、ソース・ドレイン上には NiPt シリサイドが形成されている。

電子速度(v_{eff})はドレイン電流(I_D)を反転層電荷密度(Q)で割る事により求めた[III-2-I-①-(2)-1)-2)-文献 1]。ここで Q はゲート長(L_G) = 10 μm の素子を用いて求めたゲートとソース・ドレインとの間の容量を V_G で $V_G - V_{TH} - R_{SD} \times I_D (=V_{G,eff})$ まで積分することに依り求めた。しきい値電圧(V_{TH})は外挿法により求め、ソース・ドレイン抵抗 (R_{SD})は素子のオン抵抗のゲート長依存性をゲートとソース・ドレインとの重なり長(L_{OV} 、CV 法[III-2-I-①-(2)-1)-2)-文献 2])を用いて求めた)まで外挿することで求めた。ここで v_{eff} はチャネルと平行方向の電場($E_{//}$)でほぼ決まると考えられ、飽和領域に於ける $E_{//}$ の平均値は $V_{G,eff}$ を $L_G - 2 \times L_{OV} - L_{PO}$ (L_{PO} = ピンチオフ長)で割る事で求められる。ここで L_{PO} は $V_{G,eff}$ の滑らかな関数と考えられる。それ故、 v_{eff} は L_G に依らない $V_{G,eff}/(L_G - 2 \times L_{OV})$ の滑らかな関数になると考えられる。ところが、 $V_{G,eff}/(L_G - 2 \times L_{OV})$ と v_{eff} との XY プロットは、III-2-I-①



III-2-I-①-(2)-1)-2)-図 1 SSOI 素子に於ける電子速度と $V_{G,eff}$ /チャネル長との関係。 $V_D = 1$ V。本文中に記した V_{TH} の補正を施してある。内挿図に於いては V_{TH} の補正を施していない。

- (2)-1)-2-図1の内挿図に示す様に L_G に依存している。ここで、短チャネルの素子は外挿で求めた V_{TH} に於いて大きな I_D が流れている。(例えば $L_G = 100, 50 \text{ nm}$ の素子に於いて各々 $1.5, 3.0 \mu\text{A}/\mu\text{m}$)これはパンチスル



III-2-I-①-(2)-1)-2-図2 電子速度のゲート長依存性。 $V_D = 1 \text{ V}$ 。 $V_G - V_{TH} - R_{SD} \times I_D = 0.55 \text{ V}$ 。
本文中に記した V_{TH} の補正を施してある。内挿図に於いては V_{TH} の補正を施していない。

一等、反転層起因の電流ではないと考えられる。それで、短チャネル素子に於いては V_{TH} の見積りに問題があると考え、III-2-I-①-(2)-1)-2-図1に示す様に XY プロットは L_G に依らない滑らかな曲線となるように V_{TH} に補正を行った(例えば $L_G = 100, 50 \text{ nm}$ の素子に於いて各々 $4, 63 \text{ mV}$)。つた。なお、各曲線の $V_{G,eff}/(L_G - 2 \times L_{OV})$ の大きな領域で共通の曲線から外れることは素子が線形領域動作となること、短チャネル素子の $V_{G,eff}/(L_G - 2 \times L_{OV})$ の小さな領域に於いて共通の曲線から外れることは上に記した MOSFET の本来の電流以外の電流の寄与に依ると解釈される。

この様にして求めた v_{eff} の L_G に対する依存性を III-2-I-①-(2)-1)-2-図2 に示す。上に記した V_{TH} に対する補正を施さない場合(図2内挿図)に存在する v_{eff} の不自然な極大は解消された。従ってここに記した V_{TH} に補正を加える方法は v_{eff} の抽出に有効と考えられえる。抽出された v_{eff} は L_G に依らずに SSOI 素子の方が大きい。それ故、伸長ひずみの印加は FinFET に於いても電子速度の向上に有効である。また、今回の結果を(001)面上にチャネルを持つ素子の報告値[III-2-I-①-(2)-1)-2-文献 3]と比較すると長チャネルの素子に於いては(001)面上の素子の方が v_{eff} は大きく、両者の比は移動度の比にほぼ等しい。素子の縮小に伴って本検討の素子の v_{eff} が急速に増大し、 L_G が 100 nm 程度以下の素子に於いては両者はほぼ等しくなる。それ故、素子の縮小に伴って FinFET の Fin の配置ないしその側面の面方位の選択の自由度は増すことが判る。

これらの結果を以下にまとめる。チャネルと平行方向の電場に対する電子速度の依存性から V_{TH} に補正を施してソース端電子速度を求める手法を提案し、(001)基板上的[110]方向に形成された FinFET に適用した。得られた電子速度は、短チャネル ($L_G=40\text{nm}$) においても伸長ひずみチャネルにおいて高い値を示すことがわかった。従って、(110)側壁チャネルを有する FinFET においても伸長ひずみの印加は電子速度の向上に効果的であることが初めて実証された。

参考文献

[III-2-I-①-(2)-1)-2-文献 1] A. Lochtefeld, et al., in IEEE Electron Device Letters, vol. 22 no. 2 (2001) pp. 95-97

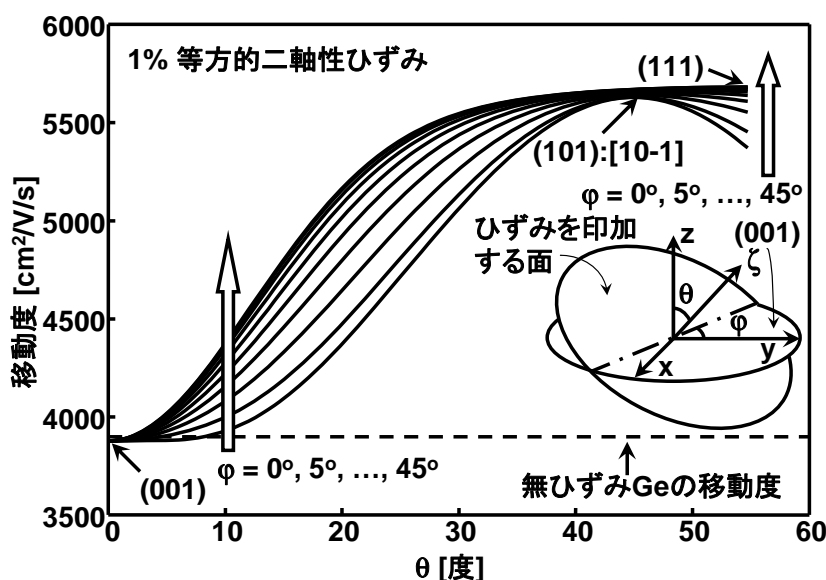
[III-2-I-①-(2)-1)-2-文献 2] K. Goto, et al., in IEDM Tech. Dig., Dec. 2003, pp. 623-626

[III-2-I-①-(2)-1)-2-文献 3] M. Saitoh, et al., in IEDM Tech. Dig., Dec. 2009, pp.469-472

3. Ge-nMISFETの面方位選択に関するシミュレーション

Ge-nMISFET にひずみを印加することが素子特性の向上に有効であれば、既に多数の検討の成されている Ge/SiGe-pMISFET[III-2-I-①-(2)-1)-3-文献 1]と合わせて Ge/SiGe-CMISFET が構築される可能性がある。しかしながら Ge/SiGe-nMISFET に関する報告は少ない[III-2-I-①-(2)-1)-3-文献 2]。二軸性ひずみを印加する面の面方位とチャンネルの方向とに対する電子移動度とバンドギャップとの依存性を簡略化したモデルに依る計算を用いて系統的に検討した。その結果、高い移動度と広いバンドギャップとの二律背反が一般に成り立つこと、それに鑑みるとチャンネルと垂直方向のひずみの緩和は有利であること、総合的に考えて[10-1]方向に設けたチャンネルと平行に伸長ひずみを印加し垂直方向は緩和させることに依り、高い電流駆動力と低いオフ状態漏れ電流とを合わせ持つ素子が構築される可能性があること、が判った。

計算結果を以下に示す。チャンネルを形成する面内に 1%の等方的伸長ひずみを印加した場合の面内の最大移動度の面方位依存性を III-2-I-①-(2)-1)-3-図1に示す。面方位は面の法線(ζ)と[001]との角 θ 、面と(001)面との交線と[010]との角 ϕ で規定した。なお、 $\theta = 0 \sim 54.7^\circ$ ([111]と[001]とのなす角)、 $\phi = 0 \sim 45^\circ$ であり、この範囲に任意の面と等価な面方位が含まれる。(111)面に於いて μ (面内で等方的)は最大値 $5,680 \text{ cm}^2\text{V}^{-1}\text{s}^{-1}$ (無ひずみ Ge/Si の 146/379%)となることが判った。同様に E_G の振る舞いを調べると、(111)面に於いて最小値 0.436 eV (無ひずみ Ge/Si の 66/39%)となった。なお、高い μ と広い E_G とは一般に二律背反の関係にあることが今回の検討に依り示された。上記の変数の範囲で一定の θ の下で ϕ を増すと E_G は増大する。(101)面に於いて E_G は 0.512 eV となり(111)面の値より 76 meV 広く、 μ は[10-1]方向に於いて最大値 $5,626 \text{ cm}^2\text{V}^{-1}\text{s}^{-1}$ となり(111)面の値より 1%低いのみである。高い μ と広い E_G との二律背反に鑑みると(101)面の[10-1]方向にチャ



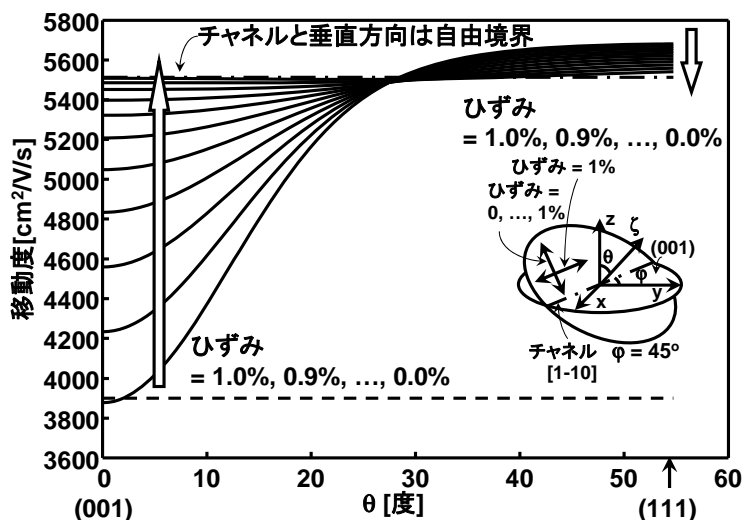
III-2-I-①-(2)-1)-3-図1 面内に 1%の等方的二軸性伸長ひずみを印加した Ge に於ける面内の移動度の最大値の面方位に対する依存性。

ネルを形成することが最も好ましいことが判った。また、等方的な二軸性圧縮ひずみを印加した場合は、 $\phi = 45^\circ$ 、 $\theta = 32^\circ$ ((112)面よりやや(001)面に傾いた面、簡単な面指数では表されない)に於いて μ は最大値 $5,283 \text{ cm}^2\text{V}^{-1}\text{s}^{-1}$ (無ひずみ Ge/Si の 135/352%)となった。この場合に E_G は 0.554 eV (無ひずみ Ge/Si の 83/49%)となり、やはり高い μ と広い E_G との間に二律背反の関係がある。

続いてひずみに緩和が生じた場合を想定してチャンネルと平行方向のひずみは 1%に保ち、垂直方向のひずみを1%から0%まで減少させた異方的二軸性伸長ひずみを検討した。 ϕ は 45° 、チャンネルは[1-10]方向に固定しチャンネルに垂直方向のひずみと θ を変化させた場合の[1-10]方向の移動度の振る舞いを、チャンネルと垂直方向は完全に緩和して自由境界となった場合をも合わせて図 III-2-I-①-(2)-1-3-2 に示す。ひずみの緩和に伴って μ は(001)面近傍の面に於いては増大し、(111)面近傍の面に於いては減少する。チャンネルと垂直方向が自由境界となった場合には、 μ は $5,512 \text{ cm}^2\text{V}^{-1}\text{s}^{-1}$ (無ひずみ Ge/Si の 141/367%)、 E_G は 0.565 eV (無ひずみ Ge/Si の 85/50%)となった。なお、 μ と E_G との二律背反に鑑みると、チャンネルと垂直方向は緩和が生じることが一般的に好ましいことが判った。また、圧縮に対しても異方的なひずみを印加した場合の検討を行った結果、圧縮ひずみの下では μ と E_G との二律背反に鑑みると等方的なひずみの場合が最も有利であるとの結果が得られた。

今回の検討の伸長ひずみと圧縮ひずみとの結果を総合して μ と E_G との二律背反を考慮すると、[10-1]方向にチャンネルを設け、それと平行方向に伸長ひずみを印加し、それと垂直方向は完全に緩和して自由境界となった場合がもっとも好ましいことが判った。

以上のように、等方的/異方的二軸性ひずみの下での電子移動度とバンドギャップとを、簡略化したモデルを用いて計算により系統的に検討した。そして(111)面に等方的伸長ひずみを印加した場合に最も高い移動度が得られること、高い移動度と広いバンドギャップとは一般に二律背反にあること、この二律背反に鑑みるとチャンネルと垂直方向のひずみに緩和が生ずることが好ましいこと、以上を総合的に考えると[10-1]方向に設けたチャンネルと平行方向に伸長ひずみを印加し且つそれと垂直方向のひずみは緩和させると高い電流駆動力と低いオフ状態漏れ電流とを併せ持つ素子が構築される可能性があること、が判った。本検討結果は高い電



III-2-I-①-(2)-1-3-図 2 チャンネルと平行方向に 1%、垂直方向には 0~1%の異方的二軸性伸長ひずみを印加した Ge に於けるチャンネル方向の移動度の面方位に対する依存性。 $\phi = 45^\circ$ である。

流駆動力と低いオフ状態漏れ電流とを併せ持つ Ge-CMISFET 実現の指針となる結果である。

参考文献

[III-2-I-①-(2)-1)-3-文献 1] T. Tezuka, et al., in Tech. Dig., Symp. VLSI Tech., June 2005, pp. 80-81

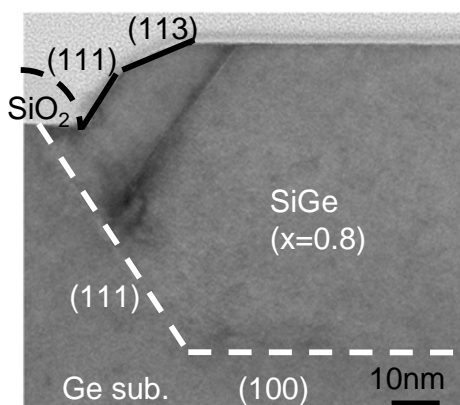
[III-2-I-①-(2)-1)-3-文献 2] M. V. Fischetti, et al., in Journal of Applied Physics, **80**(4) (1996) pp. 2234-2252

4. Ge-nMISFET向けSiGeストレッサー技術

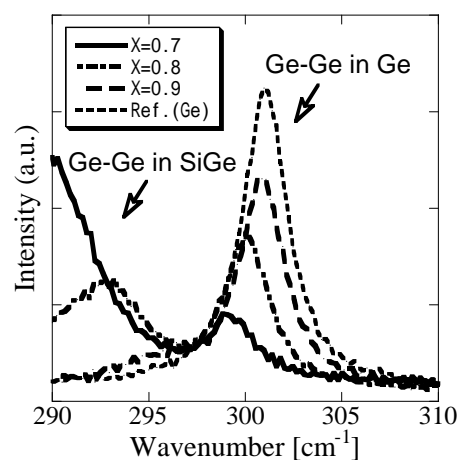
Ge チャンネルに引張りひずみを印加することで、ひずみ Si チャンネル移動度の上限値を大きく超える電子移動度を実現できる可能性が示されている[III-2-I-①-(2)-1)-4-文献 1]。約1%以上の引張りひずみを Ge に印加した場合、電子移動度が、無ひずみ Si に比べ約4倍に増大する。これは、ひずみ Si で得られる最大電子移動度の約2倍に相当する。また、この引張りひずみが1%を超えると、移動度の増大率がほぼ飽和することから、約1%の引張りひずみを印加することがひずみ量としての目標値となる。このとき、Ge チャンネルに引張りひずみを印加する有望な方法として、Si チャンネルに対し、Si:C ストレッサーを適用することによりひずみを印加するように、Ge チャンネルに SiGe ストレッサーを適用する方法が考えられる。

チャンネルが Si の場合、一般的なストレッサー層の形成法としては、RIE によるリセス領域形成後、そのリセス領域にチャンネルと格子定数の異なるストレッサー層を CVD 等で選択成長させるプロセスが考えられる。しかしながら、今回のようにチャンネルが Ge の場合、材料の特性から、RIE によるプロセスダメージの影響が Si の場合より大きいと考えられるため、リセス形成を、RIE ではなく溶液を用いた異方性エッチングにより形成した。また、リセス形成後の SiGe ストレッサー選択成長においては、成長中にストレッサー内に生成し得る結晶欠陥密度の低減および格子緩和の抑制のため、比較的低い成長温度でのストレッサー形成が要求されることとなり、成長速度の低下、スループットの低下の原因となりうるが、一般的な選択成長法で使用されるような成長速度を落とす原因となるエッチングガスを使用せず、ハイドライドガスのみによる選択成長により、スループットの高い選択成長を実現した。

ここで、実験の詳細について述べる。まず、ゲートスタック部と仮定した SiO₂ ダミーゲート領域を有し、その両側に Ge 表面が露出している試料を作製する。その後のリセス形成時の溶液エッチングによりダミーゲート端直下に Ge(111)ファセットが形成されるが、それによるダミーゲート直下への浸食を可能な限り抑制するため、最も速い Ge(100)面のエッチング速度と、最も遅い Ge(111)面のエッチング速度の比が最大となるように最適化された HPM 溶液を用いて異方性エッチングを行い、リセス構造を形成した[III-2-I-①-(2)-1)-4-文献 2]。また、このときのリセス深さは 40nm とした。その後、そのリセス領域に、ソースガスとして SiH₄ と GeH₄ を使用した



III-2-I-①-(2)-1)-4-図 1: ひずみ Ge 構造の断面 TEM 像(x=0.8)

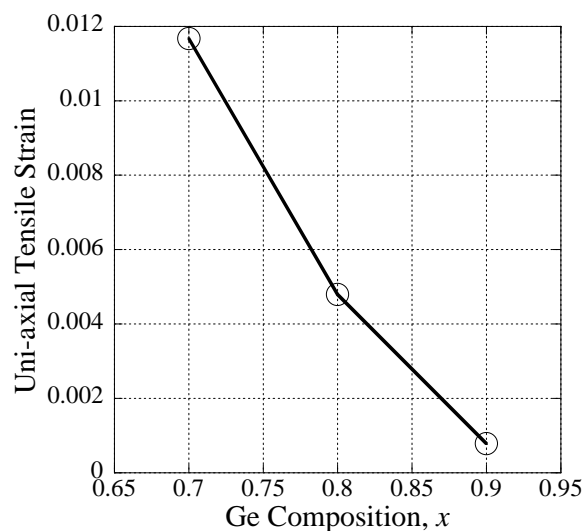


III-2-I-①-(2)-1)-4-図 2: リセスエッジ近傍からの Ge-Ge 結合に対応するラマンスペクトル

Hot-wall CVD 法により、埋め込み SiGe-S/D ストレッサー構造を形成するため SiGe 選択成長を行った [III-2-I-①-(2)-1)-4-文献 3]。このときのストレッサー Ge 組成 x は、0.7、0.8 および 0.9 とし、膜厚は 50nm とした。作製したひずみ Ge 構造における、Ge 中ひずみ量はラマン分光測定により評価した。このとき、Ge-Ge モードのラマンシフト量から、Tsang らの式により、2軸ひずみを仮定したひずみ量を導出し、それを Ito らの方法により1軸ひずみ量に変換した [III-2-I-①-(2)-1)-4-文献 4, III-2-I-①-(2)-1)-4-文献 5]。

実験結果について述べる。最適化された異方性エッチングにより形成されたリセス領域に、SiGe ($x=0.8$) を選択エピタキシャル成長した後の、リセスエッジ近傍の断面 TEM 像を III-2-I-①-(2)-1)-4-図1に示す。(100) および(111)ファセットにより構成されたリセス領域が構成されていることが確認できる。また、ストレッサー表面及びリセス界面が原子レベルで平坦なこと、ストレッサー内に若干欠陥は観察されるが、ひずみが緩和してしまふほどの欠陥密度ではないことがわかる。さらに、ダミーゲート端近傍のストレッサー表面にはファセットが形成され、実際のトランジスタ動作時における、ゲートとソース/ドレイン間の寄生容量低減に有効な形状であると考えられる。Raman 分光により、ゲートエッジ近傍の散乱光を評価した結果を図に示す。Ge 組成の増大につれてピークが低端数側にシフトした。これは、Ge 中の引張りひずみが増大していることを意味している。ラマンシフトを、一軸引張りひずみに換算した結果を III-2-I-①-(2)-1)-4-図 3 に示す。この図から、ストレッサー Ge 濃度が低いほど、すなわち、チャンネルとなる Ge との格子定数差が大きくなるほど Ge チャンネルにひずみが印加されることがわかる。

まとめると、リセスに埋め込んだ SiGe ストレッサーにより、Ge のリセスエッジ近傍に1%を超える1軸引張りひずみが印加されたことを実験的に示した。この値は、ひずみ Si をも凌駕する、無ひずみ Si の約4倍もの電子移動度を実現しうるひずみ量である。本プロセス技術をひずみ Ge-nMOSFET に適用することで、Si の限界値を



III-2-I-①-(2)-1)-4-図 3 ラマン分光により得られた Ge チャンネル相当領域のひずみ

越える電流駆動力、あるいは低駆動電圧の微細トランジスタが実現すると期待される。

参考文献

- [III-2-I-①-(2)-1)-4-文献 1] Y.-J. Yang et al., Appl. Phys. Lett., 91, 102103 (2007)
- [III-2-I-①-(2)-1)-4-文献 2] S. Sioncke et al., ECS Trans, 16 (10), 451-460 (2008)
- [III-2-I-①-(2)-1)-4-文献 3] Y. Moriyama et al., Solid-state Electronics, DOI:10.1016/j.sse.2011.01.024
- [III-2-I-①-(2)-1)-4-文献 4] J. C. Tsang et al., J. Appl. Phys., 75, 8098 (1994)
- [III-2-I-①-(2)-1)-4-文献 5] T. Ito et al., JJAP, 33, 171 (1994)

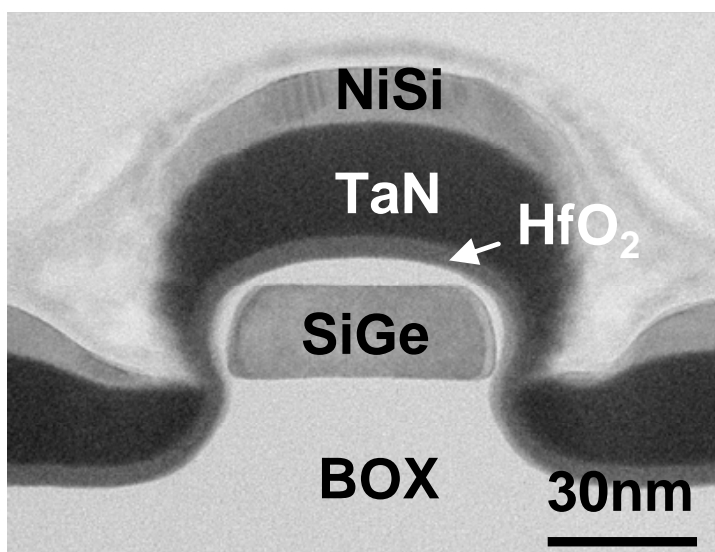
5. 二段階酸化濃縮によるひずみ SiGe 立体チャンネル形成技術と、移動度・キャリア速度の評価

チャンネル方向に応力を有する歪み SiGe チャンネル MOSFET はその高いホール移動度特性と、Metal/High-k ゲートスタックを使用した際の高いしきい値電圧制御性から、ハイパフォーマンスロジック用途のみならず、低消費電力ロジック向けチャンネルとしても精力的に研究開発が進められている[III-2-I-①-(2)-1)-6-文献 1]。近年、Ge 濃度 35%以下の歪み SiGe チャンネルを用いた tri-gate pMOSFET が報告されている[III-2-I-①-(2)-1)-6-文献 2, 文献 3]。しかし、さらなるホール移動度向上としきい値調整幅拡大の為には、チャンネルに印加された歪みを維持した状態での高 Ge 濃度化が必須となる。本章では歪みの緩和と欠陥導入を防ぐために開発した 2 段階酸化濃縮[III-2-I-①-(2)-1)-6-文献 4]による高 Ge 濃度(50%以上)SGOI 層の形成技術と、このチャンネルを使用した Tri-gate MOSFET の移動度およびキャリア速度の向上について報告する。

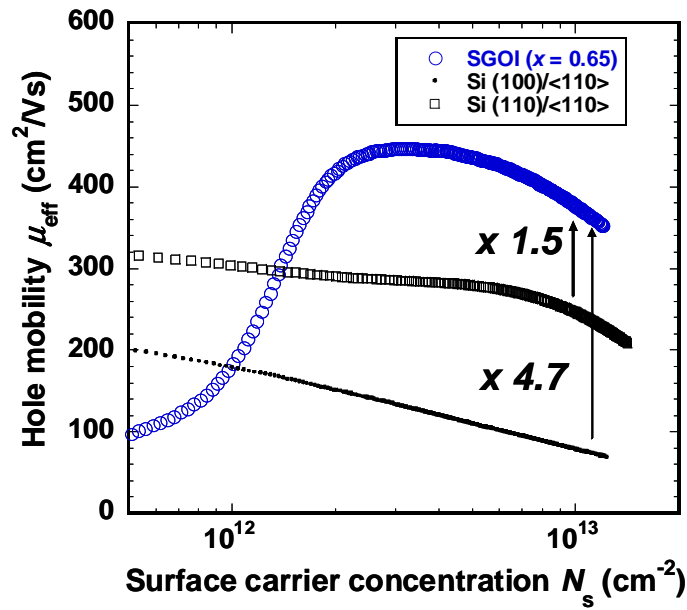
SiO₂/HfO₂/TaN ゲートスタック技術、および、メタル SD プロセス技術を用いて、ひずみ SiGe-Tri-gate pMOSFET を試作した。まず、SOI 基板上に Ge 濃度 10%の SiGe 層を成長後、熱酸化による酸化濃縮によって Ge 濃度 25%の SGOI (SiGe-on-Insulator)層を形成した。この SGOI 層を EB リソグラフィと RIE によってフィン形状に加工した後、再び 900°Cの熱酸化による酸化濃縮を追加することで、歪を維持した状態で高 Ge 濃度なワイヤチャンネル形成を実現している。ゲート絶縁膜は熱酸化膜と ALD 堆積による HfO₂(4nm)で形成し、スパッタによる TaN(20nm)/a-Si(10nm)堆積をおこなう事で MIPS ゲートを形成した。S/D 部を Germano-silicidation によって NiSiGe 化してメタル S/D 構造を形成する事で Tri-gate MOSFET を形成している。

III-2-I-①-(2)-1)-6-図 1 に作製したひずみ SGOI tri-gate MOSFET の断面 TEM 像を示す。さらに TEM-EDX 分析によってチャンネル中の組成分析を行った結果、チャンネル表面付近において Ge 濃度 65%、ワイヤ中心部において Ge 濃度 50%まで高 Ge 濃度化されている事を確認している。NBD によるひずみ分析の結果、フィン幅方向に歪み緩和し、チャンネル方向に 2.6%の1軸圧縮歪み印加が実現していることが確認できた。この結果は従来報告された中で最も高い圧縮ひずみとなっている。

III-2-I-①-(2)-1)-6-図 2 に作製したチャンネル方位(100)/<110>のひずみ SGOI チャンネル tri-gate MOSFET のホール移動度特性を示す。Ns=1.0x10¹³cm⁻² において Si pMOSFET(100)/<110>の約 4.7 倍、(110)/<110>[III-2-I-①-(2)-1)-6-文献 5]の約 1.5 倍のホール移動度を達成している。この高い正孔移動度が、後に示す短チャンネルトランジスタでの高い電流駆動力の要因となっている。



III-2-I-①-(2)-1)-6-図 1 作製した SGOI tri-gate MOSFET の断面 TEM 像



III-2-I-①-(2)-1)-6-図 2. 歪み SGOI tri-gate MOSFET のホール移動度特性

参考文献

- [III-2-I-①-(2)-1)-6-文献1] L. Witters et al.: VLSI 2010 p.181.
- [III-2-I-①-(2)-1)-6-文献2] C. E. Smith et al.: IEDM 2009 p.309.
- [III-2-I-①-(2)-1)-6-文献3] L. Hutin et al. : VLSI 2010 p.37.
- [III-2-I-①-(2)-1)-6-文献4] T. Irisawa et al.: Thin Solid Films 517 (2008) 167.
- [III-2-I-①-(2)-1)-6-文献5] M. Saitoh et al.: IEDM Tech. Dig., 2007 p.1019.

2) ゲート絶縁膜・チャネル界面を改善しキャリア散乱を抑制するためのCMOS向け材料・形成方法・構造の開発

1. High-k/Ge-MISFETにおけるSrGe界面層技術と、移動度の向上

Ge チャネルで高移動度を実現する上で、最重要課題の一つは、チャネルとゲート絶縁膜の間に良好な界面を形成することである。Ge チャネルが使われる世代に用いられるゲート絶縁膜は、高誘電体 (high-k)膜であり、high-k/Ge ゲートスタック界面には通常 Ge 酸化物が形成されるが、Ge 酸化物の物性および電気的特性に及ぼす影響は分かっていなかった。良好な電気的特性を有するゲートスタックを迅速に開発するためには物性および物理に基づく考察が重要である。そもそも Ge 酸化物は誘電率が低いため Ge チャネルが用いられる世代における界面層としては相応しくないが、代替する界面層がこれまで検討されてこなかった。

そこで、Ge チャネルで高移動度を実現するために、まず、①Ge 酸化物の物性を調べ Ge 酸化物/Ge 界面制御を検討した上で、酸化物界面層の問題点を明らかにし、次に②酸化物ではない界面層を新規に提案し、その有効性を実デバイスを試作評価し実証し、そして、③微細 high-k/SrGex/Ge FET 形成および EOT~1nm 近傍において非酸化物である SrGex 界面層の有効性を実証した。

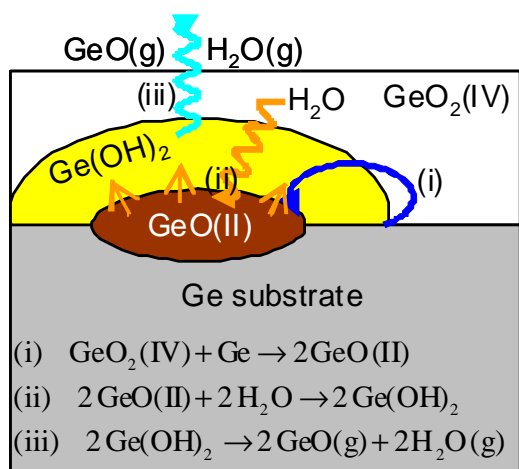
【Ge 酸化物の物性理解および Ge 酸化物/Ge 界面制御】

Ge 酸化物は、dioxide だけでなく monoxide も比較的安定に存在できるが、monoxide [GeO(II)]や dioxide

[GeO₂ (IV)]が Ge MOS デバイスの熱安定性、電気的特性に及ぼす影響については、これまであまり調べられてこなかった。更に、GeO(g)ガスは還元性を持つため、high-k/Ge ゲートスタックにおいては J_g を増大させる要因である GeO(g)の脱ガスを抑制することが重要であるが、GeO(g)の脱ガス機構および抑制方法についてはこれまで調べられてこなかった。

そこで Ge 酸化物、および GeO(g)ガスが Ge MOS デバイスの熱安定性、電気的特性に与える影響について、特に GeO(II)と GeO₂(IV) を区別し、以下の5点について詳細に調べた：(i) GeO(II)と GeO₂ (IV) の選択形成方法、(ii) GeO(II)/Ge, GeO₂(IV)/Ge の band alignment、(iii) LaAlO₃/Ge ゲートスタックからの GeO(g)脱ガスと J_g の相関、(iv) GeO(g)脱ガス挙動の universality、および H₂O(g)を伴う GeO(g)脱ガス実験結果を説明する Ge(OH)₂ の分解による GeO(g)脱ガスモデルの提案、(v) 高温 HCl 溶液および HCl vapor 処理を用いた Ge 酸化物除去。

その結果、GeO(g)脱ガスは GeO(II)と H₂O に密接に関わっており、GeO(II)形成抑制が GeO(g)脱ガス抑制のために重要であり、新規に高温 HCl 溶液および HCl ガス前処理を開発し GeO(II)を含めた Ge 酸化物を完全に除去可能であることを実証した。さらに、III-2-I-①-(2)-2)-1-図 1 に示す GeO の脱ガスモデルを提案した。



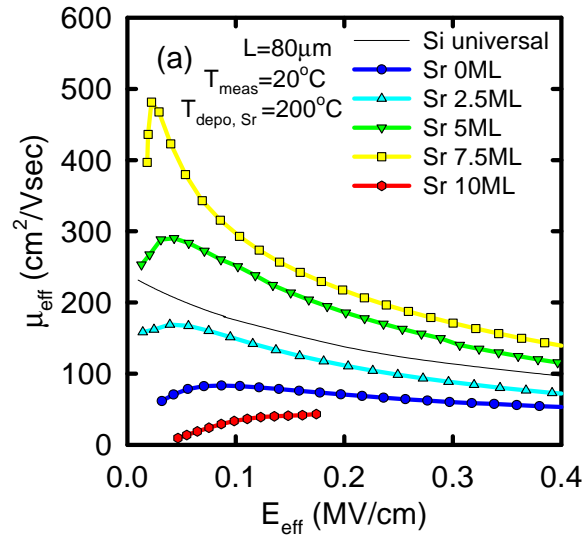
III-2-I-①-(2)-2)-1-図 1 H₂O を媒介した GeO の解離モデル

度しか得られなかった。High-k 膜種を LaAlO に変えても移動度を高くすることは難しく、高移動度を得るためには何らかの界面層が必要と考えられた。Ge 窒化物を用いたデバイス例も報告されているが、Ge 窒化物は Ge 酸化物と同程度の低誘電率であり、熱安定性も悪く、報告されていた Ge 窒化物界面層の電気的特性も期待程ではなかった。

そこで、酸化物でも窒化物でも無い、新規界面層を high-k/Ge ゲートスタックに用いる検討を開始した。文献調査の結果、Sr と Ge の化合物は非金属としての性質を持つという計算結果が報告されており、実際に SrGex 界面層を high-k/Ge ゲートスタックに適用し MIS デバイスの界面層として機能することを実証した。更に high-k/Ge p-MISFETs を試作し、III-2-I-①-(2)-2)-1-図 2 に示すように、SrGex 界面層を用いることによって Si universal curve よりも正孔移動度が向上し、Ge チャネルにおいて正孔移動度の最大値として世界最高値が得られることを実証した。

【非酸化物界面層の新規提案と有効性実証】

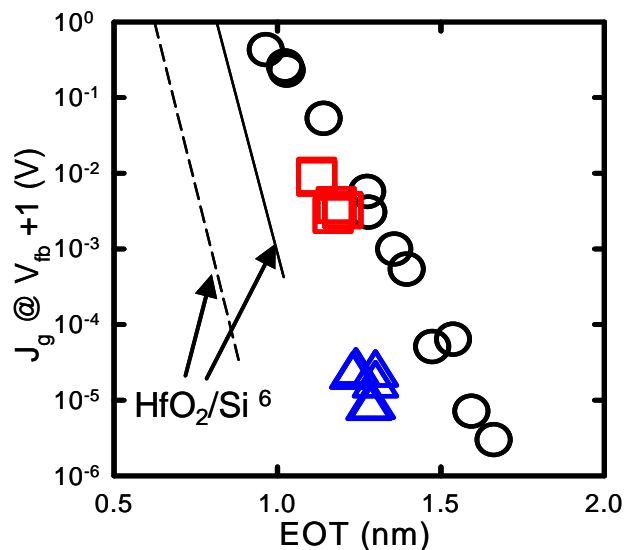
近年、GeO₂/Ge ゲートスタックを用いた高移動度実証について多数報告されている。しかし、GeO₂ は低誘電率であるため、high-k/Ge 界面に Ge 酸化物が介在すると、Ge チャネル世代において要求される EOT~0.5nm を実現することが困難であり、high-k/Ge 界面に Ge 酸化物を形成させないことが課題である。ところが薄い EOT を実現可能な ZrO₂, ZrSiO といった high-k 膜を Ge 基板に直接接触させた場合、限定的な高移動



III-2-I-①-(2)-2)-1-図2 SrGe 界面層を有する LaAlO₃/Ge-pMISFET の正孔移動。Sr の初期膜厚は、0、2.5、5、7.5ML である。

【微細 high-k/SrGe/Ge FET 形成および有効性実証】

一般に界面層を介在させることで EOT を増膜するが、SrGe 界面層は 20 弱程度の誘電率持ち、極薄く介在させることによる EOT 増膜程度は軽微であり、一方 J_g 低減の効果が顕著であることを EOT ~1nm において実証した。一般に界面層を薄くすると μ が劣化してしまうが、界面層厚さを保ちつつ high-k 膜の厚さのみ薄くすることで μ を劣化させることなく EOT を ~1nm まで薄膜化可能であることを実証した。更に EOT スケーリング、つまり EOT 薄膜化および J_g 低減を両立することを検討した。high-k 膜の膜種を LaAlO から LaZrO に変えることで、high-k 膜の誘電率を 40% 向上したことに起因し、



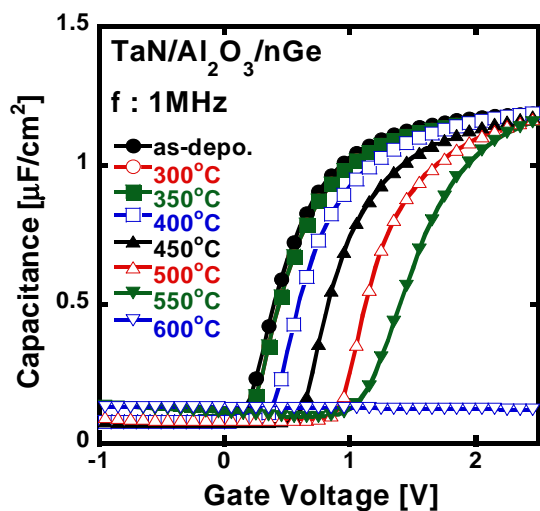
III-2-I-①-(2)-2)-1-図3 SrGe 界面層/Ge 上に LaAlO (○)、LaTiO/LaAlO (□)、LaZrO/LaAlO (△) を積層した MISCAP のゲートリーク電流 J_g の EOT 依存

III-2-I-①-(2)-2)-1-図3に示すように、同一EOT(1.2nm)におけるJgを2桁以上低減できた。このEOT-Jg特性は、Si上のhigh-kに匹敵するものであり、本high-k/SrGe_x界面層技術がGe-MISFET実用化に有効であることを示している。

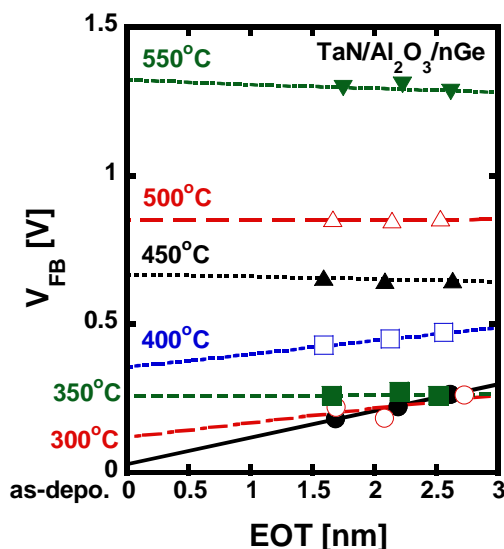
2. high-k/Ge-MIS 構造におけるメタルゲート電極形成後の熱処理がフラットバンド電圧に与える影響

Geは電子と正孔ともにSiより高いキャリア移動度を有するため次世代のCMISデバイスのチャネル材料として期待されているが、Ge系チャネルを用いたMISFETが実用化される世代を考えると、等価酸化膜厚(EOT)スケールリングの観点からメタルゲート/high-k絶縁膜をゲートスタックとして用いる必要があると考えられる。メタルゲート/high-k/Siを用いたMISFETでは、閾値電圧(V_{TH})あるいはフラットバンド電圧(V_{FB})のシフト[III-2-I-①-(2)-2)-2-文献1]が問題となっている。この V_{FB} シフトは、特にhigh-k/SiO₂界面に起因すること[III-2-I-①-(2)-2)-2-文献2]、さらにはゲート電極形成後の熱処理(PMA: Post Metal-Gate Annealing)により負方向へ大きくシフトする[III-2-I-①-(2)-2)-2-文献3]といった報告がなされている。これまで、メタルゲート/high-k/Geを用いたMISデバイスでは、 V_{TH} および V_{FB} が正方向へシフトする報告[III-2-I-①-(2)-2)-2-文献4]と負方向へシフトする報告[III-2-I-①-(2)-2)-2-文献5]があり、統一的な見解は得られておらず、さらに膜厚依存性からの固定電荷による V_{FB} シフト量の除去を含めた V_{FB} シフトのメカニズム理解に関する議論はなされているとはいえない。そこで、本研究では、メタルゲートとしてTa₂N₅、high-k絶縁膜としてAl₂O₃、HfO₂を取り上げ、PMAによるMISCAPの V_{FB} シフトをhigh-k絶縁膜の膜厚依存性も含めて系統的に評価した。また、界面層としてSiを堆積した場合も合わせて評価した。

nGe(100)上にCVD-SiO₂膜で素子分離を形成後、DHF処理を行った。その後、一部の試料に対しては、Siを7原子層(ML)成長させた。DHF処理後もしくはSi堆積後に速やかにALD装置内にウエハを導入し、Al₂O₃もしくはHfO₂をALD法で堆積した。その後、メタルゲートとして、Ta₂N₅をスパッタにて堆積し、ゲート加工後、300°C~600°C、N₂雰囲気中で熱処理(PMA)を行い、MISCAPを作製した。



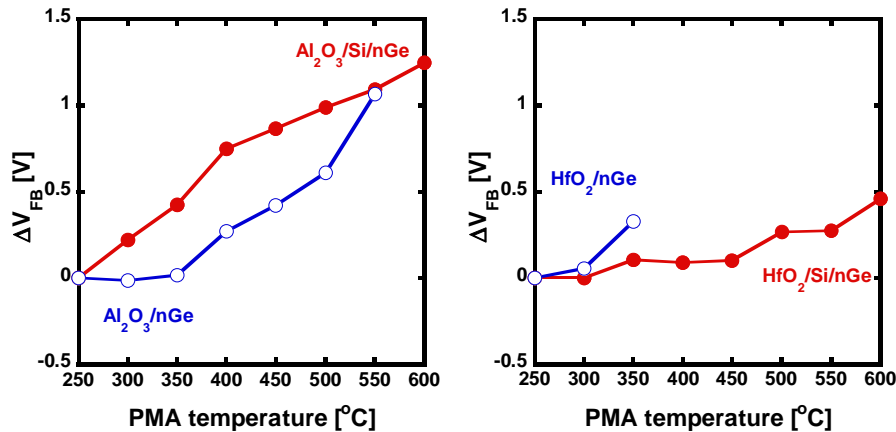
III-2-I-①-(2)-2)-2-図1 TaN/Al₂O₃/nGe MISCAP 形成後の熱処理(PMA)によるC-V特性の変化。PMA温度が高くなるに従い、正方向へC-V特性がシフトしていく様子が観測された。



III-2-I-①-(2)-2)-2-図2 TaN/Al₂O₃/nGe MISCAPにおける V_{FB} とEOTの関係。

III-2-I-①-(2)-2)-2-図1にTaN/Al₂O₃(5nm)/nGeのC_g-V_g特性のPMA温度依存性を示す。この測定

結果から、PMA 温度に依存して C_g - V_g 特性が正方向へシフトしていくことがわかった。同様の傾向は絶縁膜



III-2-I-①-(2)-2-2-図 3 Si 挿入有無による PMA 温度に対する V_{FB} シフト量の変化。(a) high-k 材料が Al_2O_3 の場合、(b) high-k 材料が HfO_2 の場合。

に HfO_2 を用いた場合でも認められた。得られた C_g - V_g 特性から、EOT および V_{FB} を抽出し、その関係を PMA 温度ごとにまとめた結果を III-2-I-①-(2)-2-2-図 2 に示す。 V_{FB} -EOT プロットの各 PMA 温度による傾きはそれほど大きく変化していないことがわかった。もし今回得られた正方向への V_{FB} シフトが Al_2O_3/Ge 界面の固定電荷の増大によるものであるならば、 V_{FB} -EOT プロットの傾きがそれに依って大きくなるはずであるが、そのような振る舞いにはなっておらず、単純な固定電荷の増減だけでは説明できないことがわかった。また、 V_{FB} -EOT プロットの切片から見積もられた実効仕事関数 ($\phi_{m,eff}$) は、PMA 温度が高くなるほど大きくなる。このことは pMISFET にとっては浅い V_{th} が実現しやすいものの、nMISFET を想定した場合は、PMA 温度が高くなると V_{th} が深くなることを示しており、ゲートスタック形成後のプロセスが非常に重要になることを表しているといえる。

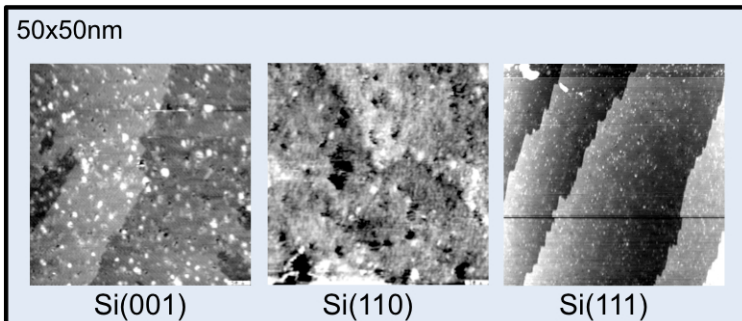
こうした V_{FB} の正シフト現象はチャンネルが Si の場合の MISCAP では起きないことを確認しており、Ge チャンネル特有の現象であり、特に high-k/Ge 界面構造の変化に起因したシフトであると考えられる。したがって、high-k/Ge 界面に界面層を挿入するなどして界面構造を変化させることで、 V_{FB} 正シフトを抑制できる可能性が考えられる。そこで、良好な正孔移動度[6]が得られている high-k/Ge 界面に Si を挿入した high-k/Si/Ge 構造の場合について、PMA による V_{FB} シフト量の比較を行った。high-k に Al_2O_3 を用いた場合の結果を III-2-I-①-(2)-2-2-図 3(a)に HfO_2 を用いた場合の結果を III-2-I-①-(2)-2-2-図 3(b)にまとめた。縦軸は PMA なしの場合の V_{FB} からの正シフト量を示す。 Al_2O_3 の場合は Si を挿入することによってより正シフトする現象が見られ、 HfO_2 の場合は逆に正シフトを抑制できている。このことは、同じ界面層構造を用いた場合でも high-k 材料の違いによって PMA による V_{FB} シフトを抑制できる場合とそうでない場合があることを示しており、high-k/Ge の界面構造と上部の high-k 膜の材料、さらにはゲートスタック形成後の熱処理プロセス温度の 3 つの要因が複合して high-k/Ge MISFET の V_{th} が決定していることを表している。これらを適切に選択することにより、チャンネルへのドーピング量を変えずに用途に応じて V_{th} が制御できることを示しており、必要な特性に応じた材料選択、プロセス設計が重要であることを示している。

参考文献

- [III-2-I-①-(2)-2-2-文献 1] C. Hobbs *et al.*, IEEE Trans. Electron Devices **51** 971(2004); **51** 978(2004).
- [III-2-I-①-(2)-2-2-文献 2] K. Iwamoto *et al.* Appl. Phys. Lett. **92** 132907 (2008).
- [III-2-I-①-(2)-2-2-文献 3] K. Akiyama *et al.*, Tech. Dig. VLSI Symp. **2007**, 72.
- [III-2-I-①-(2)-2-2-文献 4] W. P. Bai *et al.*, IEEE Electron Devices Lett. **26** 378(2005).
- [III-2-I-①-(2)-2-2-文献 5] S. J. Whang *et al.*, IEDM Tech. Dig., **2004**, 307.
- [III-2-I-①-(2)-2-2-文献 6] J. Mitard *et al.*, Tech. Dig. VLSI Symp. **2009**, 82.

3. Si チャネルの極薄高駆動力ゲートスタック形成技術の開発

ゲート電極のチャネルポテンシャル支配力を強化しキャリア輸送特性を向上することを目的として、極限High-k技術の開発を行った。開発した技術は、Siの各種面方位に対する原子層レベル超平坦化技術、Siの最表面の結合を酸素原子で終端化する高品質high-k/Si界面形成技術、および非平衡熱伝導状態を利用した非晶質HfO₂薄膜の結晶化技術から構成される。

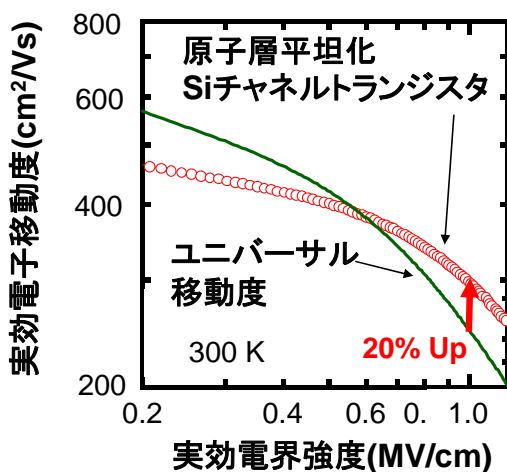


III-2-I-①-(2)-2)-3-図 1. 低 pH 弗酸処理と低温水素アニールにより平坦化した Si(001)、(110)、(111)表面の張高真空走査トンネル顕微鏡像。走査領域は 50x50 nm。すべての面で明瞭な原子ステップと水素終端された 1x1 原子配列が観察できる。

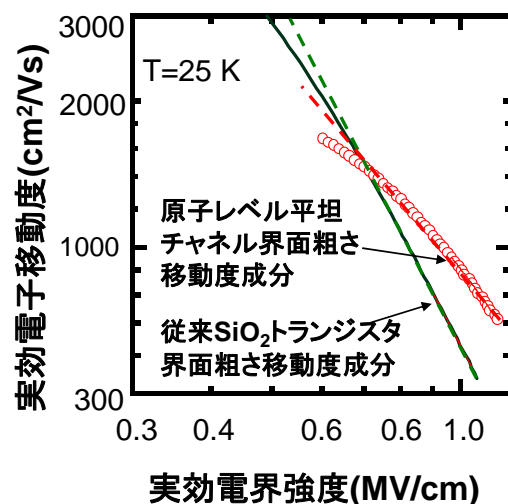
次世代の高性能LSIでは立体チャネルトランジスタが有望視されており、従来のSi(001)面だけではなく、Si(110)等の異なる方位の面が同時にチャネルとして使用される。チャネルを流れる電子が表面ラフネスで散乱されるのを防止するため、異なる面方位のSi表面の同一条件での平坦化が必須となる。そこで、Siの各種面方位に対する共通化可能な原子層レベル超平坦化プロセスを開発した。III-2-I-①-(2)-2)-3-図1は、pH<1の弗酸系溶液処理と800℃での低温水素アニールを組み合わせた処理を用いて平坦化したSi(001)、(110)、(111)面の走査トンネル

顕微鏡像である。Siの主要な面方位であるSi(001)、(110)、(111)面すべての面において、原子レベルの平坦化が実現されており、同一条件処理による異なる面方位面の原子レベル平坦化技術の開発に成功した。

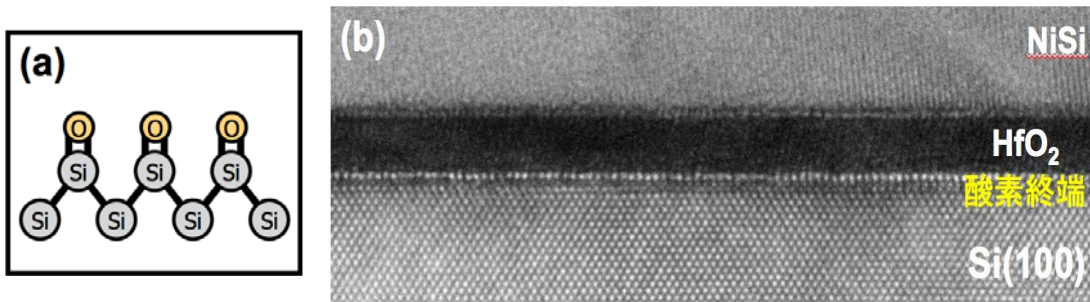
さらに、低pHウエット処理とH₂アニール処理によるSi表面の原子レベル平坦化技術をデバイスプロセスに適用し、トランジスタの反転層移動度を測定した(III-2-I-①-(2)-2)-3-図2)。平坦化処理はSi(100)チャネル面に対して行った。その結果、従来Siチャネルトランジスタのユニバーサル移動度を高電界側で超えることを実証した。また、移動度の温度解析から、この移動度向上がSi界面ラフネスの低減によることを確認した(III-2-I-①-(2)-2)-3-図3)。



III-2-I-①-(2)-2)-3-図 2 原子レベル平坦化した Si チャネルを有するトランジスタでは高電界移動度が約 20%向上。



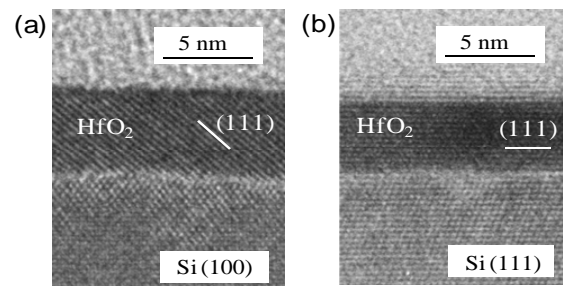
III-2-I-①-(2)-2)-3-図 3 極低温 (25K) でのトランジスタ移動度測定による界面粗さ移動度の抽出結果。



III-2-I-①-(2)-2)-3-図 4. (a) 酸素終端表面の構造モデル。(b) 酸素終端表面上に形成した high-k/Si 直接接合ゲートスタックの断面 TEM 像。HfO₂ 膜厚は 2.4 nm。均一な直接接合界面が形成されている。

極薄の等価酸化膜厚(EOT)を持つhigh-kゲートスタック形成のためには、high-kとSi基板の間に存在するSiO₂層を除去するのが最も効果的である。しかし、SiO₂層を除去すると良好な界面の電気的特性が得られないという問題があった。極薄EOTと良好な界面特性を両立させるために、酸素によるSi表面のエッチング-酸化境界条件での処理を行い、Si最表面の結合のみに酸素を吸着させた酸素終端Si表面処理を開発した。III-2-I- (2)-2)-3-図4 (a)は酸素終端表面の構造モデルである。原子層堆積法(ALD)を用いたhigh-k膜堆積において、high-k材料ガスは最表面の酸素終端状態と反応し、均一な直接接合を形成する。III-2-I- (2)-2)-3-図4(b)は原子レベル平坦化処理と酸素終端処理を行った表面上にALD-HfO₂を堆積したゲートスタックの断面TEM像である。界面層のない極めて均一なhigh-k/Si界面が実現している。

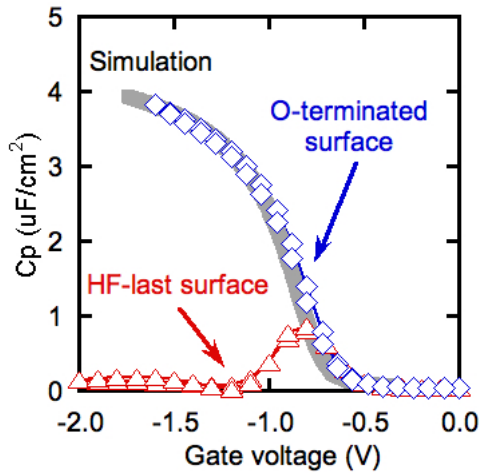
非平衡熱伝導現象を利用して非晶質HfO₂薄膜の結晶成長を制御する、新しい技術を開発した。作成した試料の断面TEM像をIII-2-I- (2)-2)-3-図5に示す。Si (100)基板とSi (111)基板のいずれを用いた場合にも、HfO₂膜とSi基板の界面にはSiO₂層が存在せず、Si結晶とHfO₂結晶膜の結晶格子像が連続している。これはSi結晶基板上にエピタキシャルHfO₂膜が成長していることを示している。通常の熱処理の場合、HfO₂非晶質膜の表面から膜の内部へと結晶成長が進行するため、不規則な結晶粒が生成し、結晶粒界やSi界面に不整合状態や余分原子が蓄積してしまう。これらは電気性能を阻害する構造欠陥になってしまう。我々の開発した熱処理技術では、Si基板からの熱伝導によって生じる温度勾配を活用することで、Si基板界面からHfO₂膜の結晶成長を進行させる。結晶成長の方位が整然化することで結晶粒界面の不整合は抑制され、余分原子も外部に放出されるため、構造欠陥を生じにくい。Si基板上にエピタキシャルHfO₂膜を合成したのは世界初の成果である。



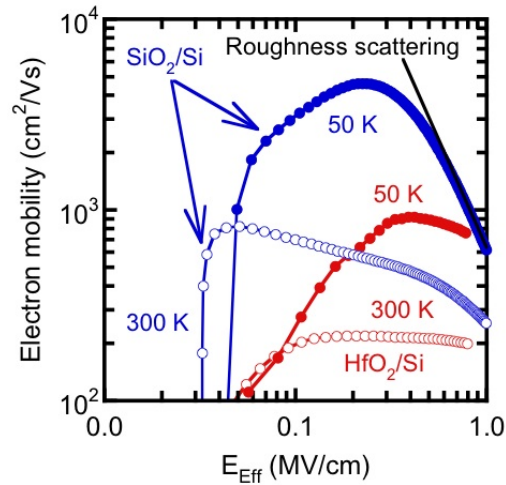
III-2-I-①-(2)-2)-3-図 5. Si 基板上に成長した HfO₂ 薄膜の断面 TEM 像。(a) Si (100)基板の場合と (b) Si (111)基板の場合。

上記の成果に基づいてキャパシタおよびトランジスタを作成し、界面制御ならびにバルク構造制御技術が電気特性に及ぼす効果を評価した。III-2-I- (2)-2)-3-図6は酸素終端表面および通常のフッ酸処理表面上に形成したhigh-kゲートスタックの容量-電圧特性である。フッ酸処理表面の場合には界面特性が極めて悪い。それに対し酸素終端表面の場合には、ほぼ理想的な容量電圧曲線が得られている。III-2-I- (2)-2)-3-図7は酸素終端表面上に形成したhigh-kトランジスタの電子移動度温度依存性である。比較のため通常のSiO₂/Si トランジスタの電子移動度依存性も示してある。high-k/Si直接接合ゲートス

タックの界面ラフネス散乱は、 SiO_2/Si の場合と同程度であることが分かる。すなわち本手法では、 SiO_2 を用いない直接接合界面にもかかわらず、理想的な特性を持つhigh-kゲートスタックの形成が実現されている。



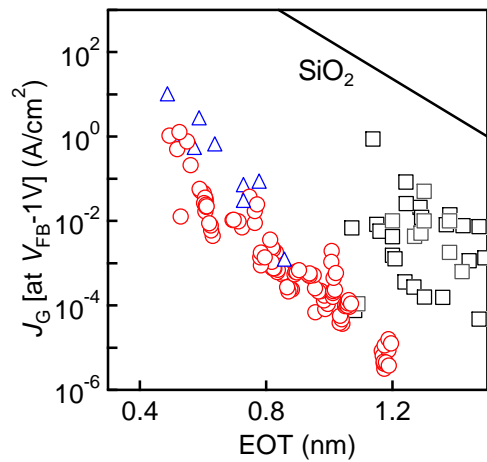
III-2-I-①-(2)-2-3-図 6. 酸素終端表面および通常の HF-last 表面上に形成した HfO_2/Si 直接接合ゲートスタックの容量-電圧(CV)特性。理想的 CV 曲線もプロットしてある。



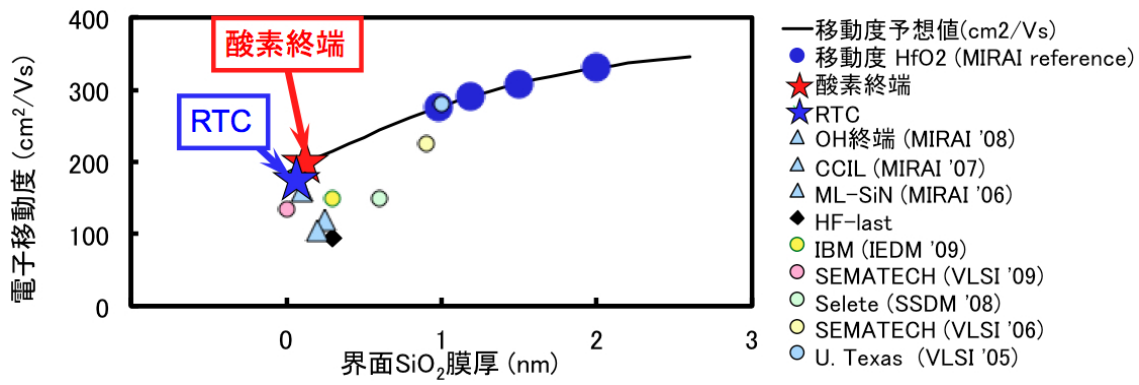
III-2-I-①-(2)-2-3-図 7. 酸素終端表面に形成した HfO_2/Si FET および、通常の SiO_2/Si FET の電子移動度の温度依存性。測定温度は 300 K および 50 K。

III-2-I- (2)-2-3-図8はエピタキシャル HfO_2 ゲートスタックの J_g -EOTプロットである。界面層低減の効果で SiO_2 に対して約6桁、従来手法で形成した直接接合high-kゲートスタックに比較してもおよそ1桁の J_g 低減が得られている。結晶化した膜は電気性能が劣化するという定説を覆し、エピタキシャル HfO_2 膜で世界トップクラスの性能を達成した。

これらの界面形成技術および結晶膜合成技術によって、極薄High-kでの移動度が向上することを確認した。III-2-I- (2)-2-3-図9は SiO_2 界面層の膜厚と電子移動度のベンチマークである。今回我々が開発した手法では、従来の技術で界面層を低減した場合に比較して、著しい移動度改善を示している。移動度はhigh-k膜中のフォノン、固定電荷、界面準位や界面ダイポールによる散乱要因によって低下する。界面の品質を維持することが移動度に対し重要であり、今回開発した極限high-kゲートスタック形成手法は、高品質な直接接合high-kにより従来处理に比較して大幅な移動度改善と低EOTを両立し、駆動力の増強に極めて有効である。



III-2-I-①-(2)-2-3-図 8. 漏れ電流 J_g と等価酸化膜厚 EOT のベンチマーク。実線は SiO_2 単体膜の性能。黒い色の□は SiO_2 界面層と High-k 膜の組み合わせで作成されたゲート絶縁膜の 2002 年から 2004 年に報告されたデータ。青色の△は 2007 年以降に報告された SiO_2 層が無い High-k ゲート絶縁膜のデータ (SEMATECH, IMEC, 東工大, IBM など)。赤色の○が本研究の成果。

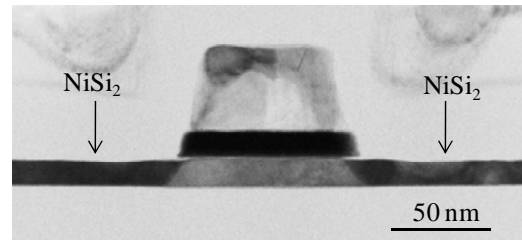


III-2-I-①-(2)-2)-3-図 9. 開発した界面形成および絶縁膜形成手法を含めた移動度ベンチマーク。high-k/Si 接合に付加的な散乱要因が存在しない場合、移動度は図中の曲線のトレンドに従うと予想される。

3) NMOSとPMOSそれぞれに最適化したチャネルとソース・ドレインとの界面付近の不純物分布を最適化しバリスティック効率を向上するための材料・形成方法・構造の開発

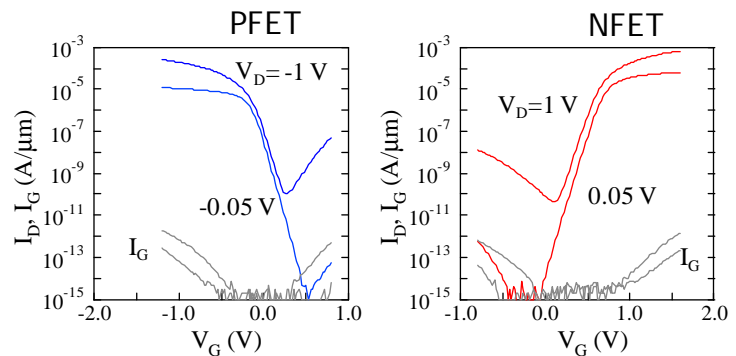
1. 原子層レベル界面制御によるメタルソース・ドレイン形成技術およびショットキーバリアハイト制御技術の研究開発

寄生電気抵抗の低減によってキャリア輸送特性を向上することを目的として、メタルソース・ドレイン技術の開発を行った。縮退シリコンに比べて100倍近い導電性を有する一連のニッケルシリサイド結晶相の中から、最も熱耐性に優れたNiSi₂相を選択した。シリサイド材料はプロセス温度によって結晶相が変化し、体積が大きく変わる。このことが接合位置の不確定さや異常侵入といった問題を引き起こす。我々はNiSi₂相を直接合成する技術を開発し、この問題を克服した。ソース・ドレイン部分をNiSi₂結晶で形成した完全空乏型SOI FETの断面TEM像をIII-2-I-(2)-3)-1- 図1に示す。厚さ12 nmという極薄のSOI層のソース・ドレイン部分が完全にNiSi₂結晶に変化している。NiSi₂相は体積変化も小さい材料なので、ソース・ドレイン部分の厚さも初期のSOI層と変化しない。接合位置がゲート側壁の直下に形成されている。NiSi₂はSi結晶との格子整合に優れた材料なので、エピタキシャル関係を保持した成長が進行している。そのことがNiSi₂成長速度を安定化し、接合の異常な侵入を抑止している。この構造は800°Cのプロセス温度にも耐えることを確認している。



SOI厚さ 12 nm, L_G=77 nm, EOT=1.5 nm

III-2-I-①-(2)-3)-1-図1 NiSi₂結晶相をメタルソース・ドレイン構造として用いて試作した完全空乏型SOI FETの断面TEM像。

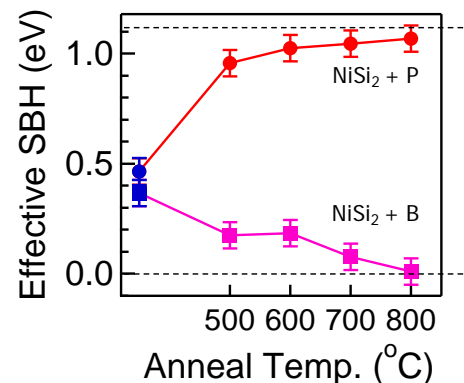


III-2-I-①-(2)-3)-1-図2. PFET および NFET の I_D-V_G 特性。ドレイン電圧は 0.05 V と 1 V、ゲートリーク電流も掲載。PFET はボロン、NFET はリンを偏析元素として使用。

接合特性の課題であるショットキー

バリアに対しては、不純物偏析機構に基づいた実効ショットキーバリアハイト低減技術を活用した。偏析技術においては不純物の存在位置を把握することが重要であるが、原子レベルの分析精度が要求されるほど困難であるために、世界でも数える程度の報告例しかない。我々は原子層エッチング技術と二次イオン質量分析技術を駆使することで、偏析元素が接合界面のシリコン結晶内部の数原子層以内に存在することを突き止めた。興味深いことに、800°Cプロセスを行った後でも不純物の深さ分布に大きな変化は見られず、界面に安定に存在していることが明らかになった。

PFETとNFETのトランジスタ動作をIII-2-I-(2)-3)-1-図2に示す。NiSi₂結晶のソース・ドレインを形成した後にPFETではボロンを、NFETではリンをイオン注入し、同じ温度条件でアニールして作成した。いずれのトランジスタにおいてもカットオフ特性に優れた高性能な動作を確認できた。単一のシリサイド材料を元に、イオン注入のみでトランジスタの極性を作り分けられることは、

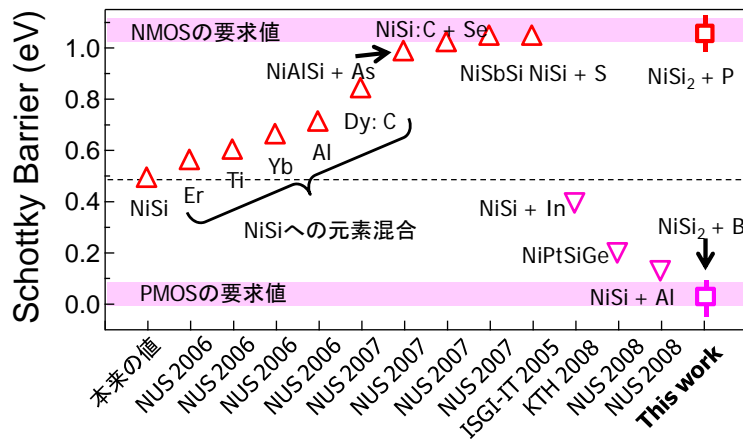


III-2-I-①-(2)-3)-1-図3. 不純物偏析技術におけるアニール温度と実効バリアハイトの関係。シリサイドはNiSi₂を使用。PFETはリンを偏析元素として使用。左端の青色のデータは偏析を行っていないNiSi₂/Siダイオードで求めたNiSi₂固有のショットキーバリアハイト。

従来のCMOS製造技術がそのまま踏襲できることを意味し、実用的な価値が非常に高い。

トランジスタ性能を高度化するためには、実効ショットキーバリアをSiのバンドエッジに近づける必要がある。我々は従来の偏析技術の問題点が、偏析原子のうちのごく一部しか活性化していない点にあることに着目した。活性化率が低いために、実際の実効バリア変化量が小さくなっているのである。この問題を手段として高温アニールの効果を調べた結果がIII-2-I-(2)-3-1-図3である。500°Cアニールの場合にもそれなりの実効バリア変化が現れているが、点線で示すSiのバンドエッジにさらに近づけるためには、700°C以上の高温アニールが有効であることが分かる。従来のNiSi結晶ではこのような高温プロセスを採用することができないために、大きな実効バリア高さ変化が困難であった。熱耐性に優れたNiSi₂結晶を採用したことで、大きな実効バリア高さの変化を達成するためのプロセス指針を見出すことができた。

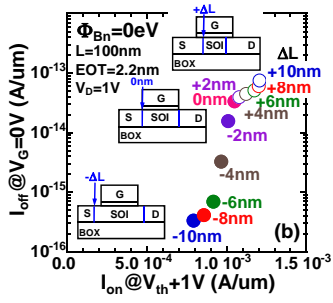
バリア高さ調節技術のベンチマークをIII-2-I-(2)-3-1-図4に示す。この研究を盛んに行っているシンガポール大学のデータが中心であるが、金属の混合や新規な偏析元素の探索などが行われている。我々は複雑化する材料探索と一線を描いて、従来技術の中から性能向上指針を探り出し、要求値を達成した。



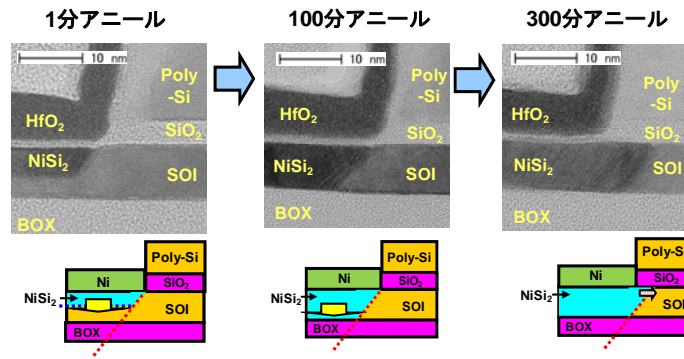
III-2-I-①-(2)-3-1-図4. バリア高さ調節技術のベンチマーク。NiSi 結晶相への様々な金属の混合や、新規な偏析元素を使用する方法が試行されている。本研究では従来技術の活性化率の低さに着目し、これを向上する方法で要求値を達成した。

2. NiSi₂エピタキシャルメタルソース・ドレインにおける接合位置調整技術

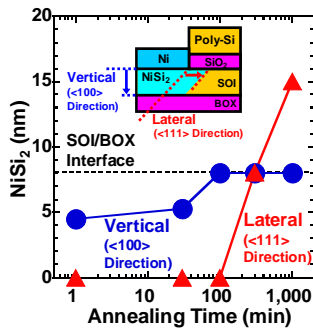
メタル S/D MOSFETs において接合位置は、I_{on}-I_{off} 特性に影響を及ぼすので (III-2-I-(2)-3-2-図1)、接合位置制御は重要な技術課題である。メタル S/D には Si との格子ミスマッチが極めて小さいエピタキシャル NiSi₂ を用い、NiSi₂ の固相成長時間による接合位置制御を行った。極薄 SOI 中のエピタキシャル NiSi₂ の成長は、アニール時間とともに<100>方向、そして、<111>方向と段階的に進行する (III-2-I-(2)-3-2-図2, 図3)。横方向への成長は、(111)面を維持しながら進む。このように極薄 SOI 中でエピタキシャル NiSi₂ を原子層レベルで縦横方向へ位置制御が可能であることが分かった。またメタルシリサイドへの偏析量、ショットキバリア高さとショットキ寄生抵抗の関係を調べた。この結果、ショットキ寄生抵抗はショットキバリアの低減とともに小さくなり、ショットキバリアの削減がトランジスタ全体の寄生抵抗の削減につながるということが分かった (III-2-I-(2)-3-2-図4~図5)。



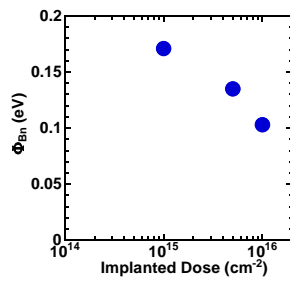
III-2-I-①-(2)-3)-2-図1 メタル S/D 位置が MOSFETs の I_{on} - I_{off} 特性に及ぼす影響(シミュレーション)。



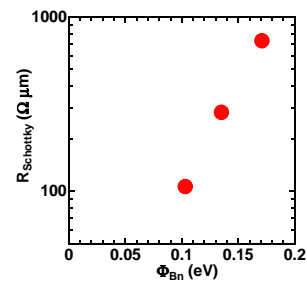
III-2-I-①-(2)-3)-2-図2 シリサイドアニール時間に対する SOI 中の NiSi₂ の進行過程 の断面 TEM 像。



III-2-I-①-(2)-3)-2-図3 アニール時間に対する接合位置の変化。



III-2-I-①-(2)-3)-2-図4 Φ_{Bn} のとイオン注入ドーズ量の関係



III-2-I-①-(2)-3)-2-図5 NiSi₂ S/D での ショットキー抵抗と Φ_{Bn} の関係。

(3) 微細な低消費電力・高電流駆動力トランジスタによる実証

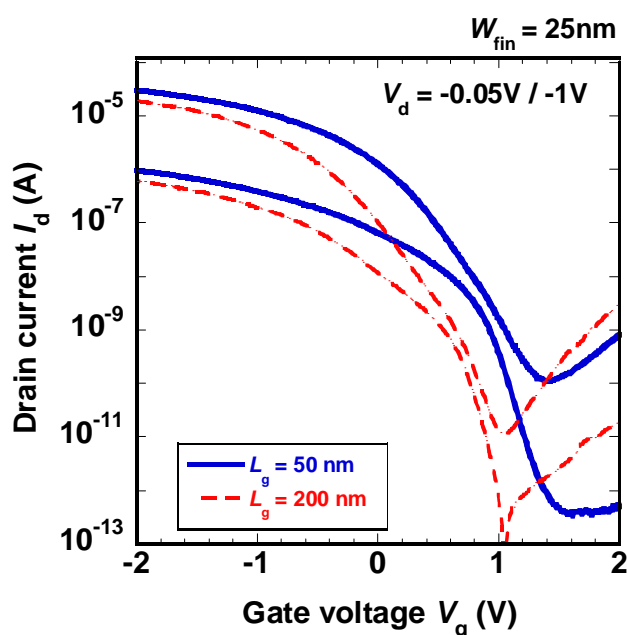
1) 超低消費電力トランジスタの作製と低消費電力・高電流駆動力性能実証

1. 立体ひずみSiGe-pMOSFETにおける電流駆動力の増大

本章では III-2-I-①-(1)-1-2 節にて示したひずみ SGOI チャネル Tri-gate MOSFET を SOI チャネル Tri-gate MOSFET と比較することで、ゲート長 50nm という微細ゲート領域における低消費電力性能、高電流駆動力性能の実証を行う。

ひずみ SGOI チャネル tri-gate MOSFET は III-2-I-①-(1)-1-2 節に示す形成プロセスによって作製した。リファレンスとなる SOI チャネル Tri-gate MOSFET については、SiGe チャネルと同様な形成プロセスで作製したが、ゲート絶縁膜は熱酸化膜(6nm)のみで形成した。さらに S/D 部の寄生抵抗を下げるために NiSi/Si 界面 B を偏析させた偏析 Schottky 構造を適用し、NiSiGe/SiGe よりも SBH が高いことに起因する寄生抵抗のデメリットを除去している。

作製したひずみ SGOI チャネル tri-gate MOSFET は、NiSiGe メタル S/D 構造を採用する事により、イオン注入レスでゲート長 100nm 以下の短チャネルデバイスの動作を実現している。III-2-I-①-(3)-1-2-図1にフィン幅 25nm におけるゲート長 50nm と 200nm のデバイスの I_d - V_g カーブの比較を示す。高濃度 SiGe チャネルであるにもかかわらず、ゲート長 50nm、フィン幅 25nm において I_{on}/I_{off} 比 105 以上、 s 値 127 mV/dec., DIBL 136mV/V を達成している。ゲート長 200nm のデバイスの DIBL は 105mV/V であり、ゲート長縮小による DIBL の劣化は 31mV/V であった。ほぼ同程度のゲート長を実現している Bulk planar Ge MOSFET の報告例では 90mV/V 以上の DIBL の劣化が確認されており[III-2-I-①-(3)-1-2-文献2]、Tri-gate 構造によって効果的に短チャネル効果耐性が改善されているのが確認できた。(表 III-2-I-①(3)-1-2-1)



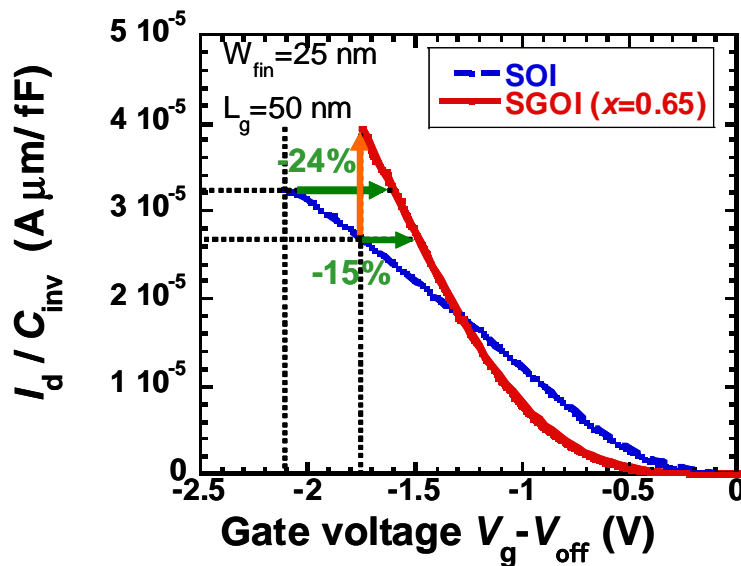
III-2-I-①-(3)-1-2-図 1. ひずみ SGOI tri-gate MOSFET の I_d - V_g 特性

表 III2I①(3)1)2-1. 歪み SGOI tri-gate MOSFET と Bulk planar Ge MOSFET の短チャネル効果耐性の比較

	L_g min. (nm)	DIBL @ $L_g=200$ nm (mV/V)	DIBL @ L_g min. (mV/V)
MIRAI Tri-gate ^[1]	50	105	136
IMEC Planar ^[2]	65	100	190

III-2-I-①(3)-1)-2-図2にゲート長 50nm の素子のゲート容量で規格化した駆動電流を SOI チャネル Tri-gate MOSFET と比較した結果を示す。ここで、ゲート電圧はオフ電流を与えるゲート電圧を 0 としている。駆動電流はゲート電圧 $V_g - V_{off} = -1.75$ V (キャリア密度: $N_s = 7.2 \times 10^{12} \text{cm}^{-2}$) において約 45% 向上している。一方、同じオン電流を与える電圧を比較すると、歪み SGOI チャネル Tri-gate MOSFET は SOI チャネル Tri-gate MOSFET に対して 15% のゲート電圧低減を可能としている。これは、消費電力に換算して約 28% の削減に相当する。ゲート電圧を若干増やし、 $V_g - V_{off} = -2.1$ V (キャリア密度: $N_s = 8.7 \times 10^{12} \text{cm}^{-2}$) で比較すると、24% のゲート電圧低減、および 42% の消費電力低減となる。

以上の結果は、ゲート長 50nm 以下の微細ゲート領域においても 1 軸圧縮応力をもつ高 Ge 濃度歪み SGOI チャネルの高移動度特性により、電流駆動力の優位性が維持できており、40% 以上の動作時消費電力低減も可能であることを示すものである。これらの値は UCMOS の数値目標である、15% の電流駆動力増大と、20% の消費電力低減をクリアするものである。なお、ゲート電圧 1.3V 以下で電流値の逆転が



III-2-I-①(3)-1)-2-図3. 歪み SGOI チャネル Tri-gate MOSFET と SOI チャネル Tri-gate MOSFET の電流駆動力比較

生じているが、これは SiGe チャンネルとゲート絶縁膜界面の界面準位密度が高いことにより、正孔の低電界領域での移動度が Si をも下回っていること、および、S 値の悪化によるオフ特性の劣化の影響である。界面準位の低減が達成できればこの電流駆動力の逆転は生じず、より低電圧側でも電流駆動力メリットが発生することが予想される。

参考文献

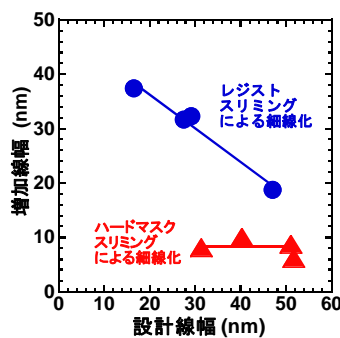
[III-2-I-①-(3)-1)-2-文献1] K. Ikeda et al.: APEX 3 (2010) 124201.

[III-2-I-①-(3)-1)-2-文献2] J. Mitard et al.: IEDM 2008 p.873.

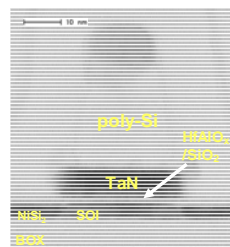
3. 微細な低消費電力・高電流駆動力トランジスタによる実証-Siチャンネル上の高駆動力ゲートスタック及び原子層制御メタルソースドレイン技術の有効性実証のための微細MOSFET試作-

III-2-I-①-(2)-2)-3 で報告した極薄高駆動力ゲートスタック技術の開発、及び III-2-I-①-(2)-3)-1 ~2 で報告した原子層制御メタルソースドレイン技術の微細 CMOS トランジスタへの適用を検討するため、Full-depleted 型の SOI (FD-SOI 型) MOSFET の試作プロセスを開発した。

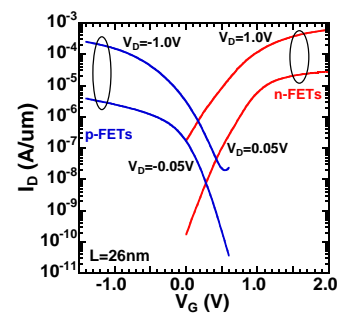
ゲート電極には、Si based ゲートとゲート絶縁膜の間に仕事関数調整用メタルを挿入した metal inserted poly-Si stack (MIPS) を用いた。ゲート電極加工に当たっては、バリスティック CMOS 基盤技術(産総研) および、新材料バリスティック CMOS 基盤技術(東芝)が一体となり産総研 SCR 棟研究 CR で細線化プロセスを開発した。III - 2 - I - ① - (3) - 1) - 3 - 図 1 にゲート加工前後の線幅変化と設計値の関係を示す。従来のレジストスリミング法では、設計線幅小さくなると加工後の線幅が大幅に増加する。一方、SiO₂ ハードマスクスリミング法では、設計値に対する加工後の線幅増加を大幅に抑制することができ、設計値依存性があまり見られない。この手法を用い、23 nm までゲート加工形状を細線化することができた。さらに、ゲート長 26nm の n- & p- MOSFETs を試作し、動作実証した(III - 2 - I - ① - (3) - 1) - 3 - 図 3)



III - 2 - I - ① - (3) - 1) - 3 - 図 1 増加線幅と設計線幅の関係。



III - 2 - I - ① - (3) - 1) - 3 - 図 2 試作した MOSFETs の断面 TEM 像。ゲート長は 26nm である。



III - 2 - I - ① - (3) - 1) - 3 - 図 3 ゲート長 26nm のエピタキシャル NiSi₂ S/D 極薄 SOI MOSFETs における Id-V_g 特性。

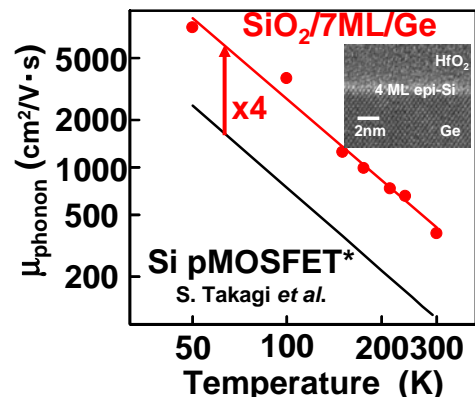
(4) 計測・モデリング技術の開発

1) バリスティック効率向上技術関連の計測技術開発。

1. バリスティック効率向上技術関連の計測技術開発

i) Ge pMOSFETの移動度向上指針の提案

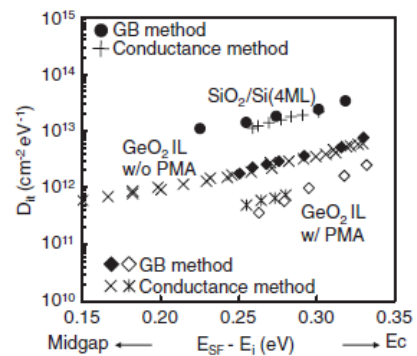
移動度評価技術に関連しては、新材料・新構造チャネルバリスティック CMOS 技術でも扱っている Ge チャネルに着目し、Ge pMOSFETs の移動度解析を行った。Ge channel 上に Si 原子層をエピタキシャル成長させることにより、Ge p チャネルの反転層移動度が向上することを見出すとともに (III-2-I-(4)-1)- 図 1)、Ge よりバンドギャップが大きい Si 層の存在により、チャネルは絶縁膜/Si 界面ではなく、Si/Ge 界面に形成されることがデバイスシミュレーションにより確認できた。また、Si 膜厚分だけ反転層キャリアは界面電荷から遠ざけられ、クーロン散乱が抑制されること、さらに、絶縁膜/Si 界面ラフネスの移動度への影響も低減されることが、正孔移動度を大きく向上させる物理的な原因であることを明らかにした。



III - 2 - I - - (4) - 1)- 図 1 TaN/HfO₂/SiO₂/Si(7ML)/Ge と SiO₂ をゲート絶縁膜とする Si pMOS の phonon-limited mobility.

ii) Ge チャネル界面の界面準位密度評価

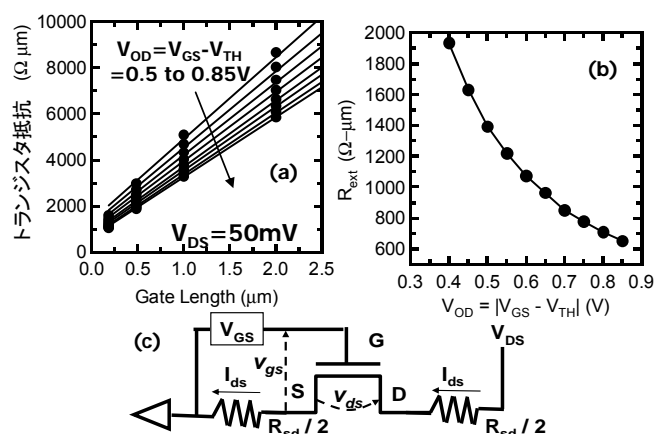
高移動度 Ge チャネル nMOSFET 界面の電気的特性評価を実施した。Ge/絶縁膜の界面特性評価については、Si 界面層を有するキャパシタの伝導帯端近傍には 10¹⁴eV⁻¹cm⁻² 程度の界面準位が存在する一方、GeO₂ 界面層を有するキャパシタでは、1 桁程度、界面準位密度が低いことが明らかとなった。また GeO₂ 界面層の場合、ゲート電極形成後の高温熱処理によって、界面準位密度を低減できることが明らかとなった。これらのことから、GeO₂ 界面層の導入が Ge n チャネル MOSFET の性能向上に対して有効であることを明らかにした(III-2-I-(4)-1)- 図 2)。



III - 2 - I - - (4) - 1)- 図 2 TaN/HfO₂/SiO₂/Si(7ML)/Ge と SiO₂/Ge 界面の界面準位密度のエネルギー分布

iii) 微細トランジスタの寄生抵抗抽出

トランジスタの微細化に伴い、チャネル抵抗が小さくなるため、相対的にトランジスタの寄生抵抗が増大する。従って、微細トランジスタの本質的な ON 電流を精密に測定するためには、寄生抵抗を精度良く抽出することが必要である。我々は、寄生抵抗を求めるために、微小ドレイン電圧を印加した線形領域におけるトランジスタ抵抗をゲート長に対して、ゲートオーバードライブ電圧をパラメータとしてプロットした。III-2-I-(4)-1)- 図 3(a)は、TaN/HfO₂/SiO₂/SOI(10nm)ゲートスタック、NiSi₂ メタルソースドレインの nMOSFET において、トランジスタの抵抗



III - 2 - I - - (4) - 1)- 図 3 TaN/HfO₂/SiO₂/SOI(10nm)ゲートスタック、NiSi₂ メタルソースドレイントランジスタの寄生抵抗

$=V_{DS}/I_D$ (ドレイン電圧/ドレイン電流)をゲート長に対してプロットした図である。ゲート長はデバイス試作時に測長 SEMにて予め測定し、代表的なデバイスで断面 TEMにより確認した。また、その際メタルソースドレイン位置はゲートエッジにあることを確認した。従って、ゲート長=0nmの切片が寄生抵抗となる(III-2-I-(4)-1)-図3(b))。III-2-I-(4)-1)-図3(b)に示されるように、寄生抵抗にはゲート電圧依存性があり、これは、ゲート電圧印加によるソース/チャンネル及び、チャンネル/ドレインのポテンシャル変化によるショットキー抵抗の変化が含まれているものと考えている。

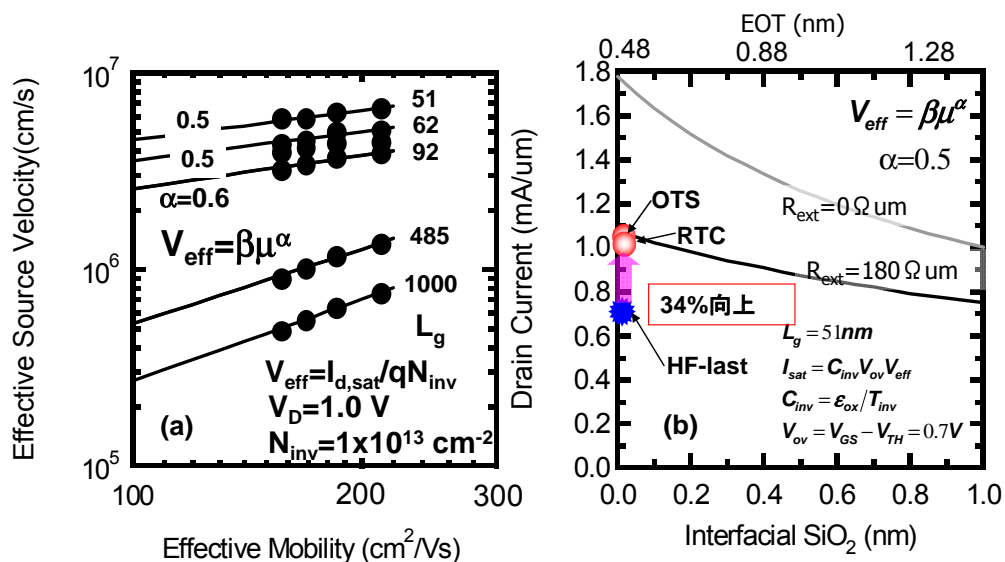
iv) ゲート長の微細化領域での高駆動力検証

III-2-I-(2)-3)-1~2で開発したメタルソース・ドレイン技術とIII-2-I-(2)-3で高駆動力ゲートスタックの微細化領域での駆動力向上を検証するため、III-2-I-(3)-1)-3で開発したFD-SOI型のMOSFETを試作し、ソース端注入速度やバリスティックレートの抽出を行った。

III-2-I-(2)-2)-3-図6に示したように、 $HfO_2/SiO_2/Si$ チャンネルでは HfO_2 絶縁膜からの本質的な散乱により、電子が散乱を受け、 SiO_2 の膜厚減少とともに移動度が減少する。そこで、III-2-I-(2)-2)-3-図6に示したような、若干の移動度劣化が観察される状況においても、ゲート絶縁膜のEOTスケールリングによる駆動電流向上のメリットが得られるか否かを検証した。

まず、 SiO_2 界面を有する HfO_2 ゲートスタックでは、界面 SiO_2 層の薄膜化とともに、 HfO_2 絶縁膜からの散乱強度が増加するため、移動度が劣化し、その界面層膜厚依存性はIII-2-I-(2)-2)-3-図6の実線に示すように、 $\mu_{eff}^{-1} = \mu_0^{-1} \exp[-K_F T_{IL}] + \mu_{Si}^{-1}$ で表され、今回開発した、直接接合型 HfO_2/Si の移動度がこの関係式の $T_{IL}=0nm$ の外挿上に一致することを明らかにした(III-2-I-(2)-2)-3-図6)。このことは、III-2-I-(2)-3で報告した高駆動力ゲートスタックの移動度劣化は、 HfO_2 からのリモート散乱が主要因で、 HfO_2/Si 界面においては良好な界面が出来ていることを示している。そこで、この移動度劣化がゲート長の微細化とともに駆動電流にどのような影響があるかを検討した。

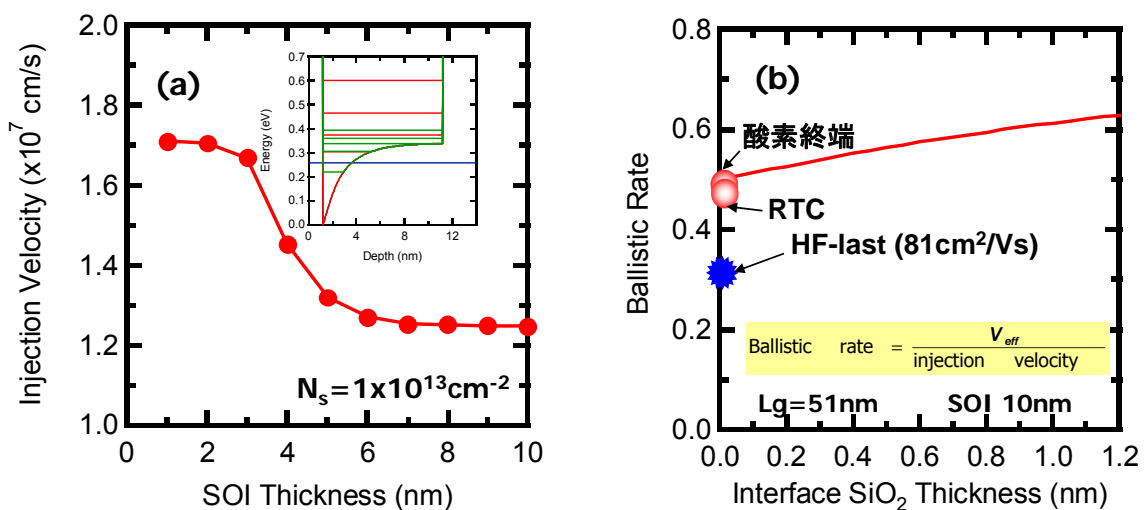
III-2-I-(4)-1)-図4(a)は、MIRAI-UCMOSで試作したFD-SOI型のトランジスタから抽出した、ゲート長をパラメータとする、ソース端での実効キャリア注入速度と実効移動度の関係である。測



III-2-I-(4)-1)-図4(a) poly-Si / TaN / $HfO_2/SiO_2/SOI$ nMOSFETにおける移動度とソース端実効速度との関係。(b) オーバードライブ電圧一定の基で計算した、界面層の薄膜化によるドレイン電流向上。今回 MIRAI-UCMOS で開発した、直接接合型 HfO_2/Si ゲートスタックは、従来法(HF-last 上の HfO_2/Si ゲートスタック)に比べても十分に高い移動度が実現できており、寄生抵抗を考慮したとしても、34%のドレイン電流の向上が達成できることが分かった。

定に用いたデバイスはTaNをゲート電極とし、 $\text{HfO}_2/\text{SiO}_2$ をゲート絶縁膜とするデバイスである。実効キャリア速度 V_{eff} は $V_{\text{eff}} = I_D / qN_{\text{inv}}$ により求めた。ここで I_D , N_{inv} はドレイン電流、反転層キャリア密度、 q は電荷素量である。一定の反転層キャリア密度の条件で移動度を系統的に変化させるために、SOIの支持基板側からバックゲートを印加した (nMOSFETの場合は負側のバイアス)。これにより、チャンネル内の散乱強度が増加し、移動度がキャリア濃度と独立に変化する。本解析から、III-2-I-(4)-1)- 図4(a)に示すように、各ゲート長に対して、 $V_{\text{eff}} = \beta\mu^\alpha$ なるべき乗関係にあり、ゲート長が短くなるにつれて、移動度に対する V_{eff} の感度 α が小さくなることが分かった。これは、ゲート長のスケールアップとともに、デバイスが移動度律則から、飽和速度律則あるいは速度オーバーシュート律則に遷移しているためと考えられる。そこで、 $L_g=51\text{nm}$ デバイスに関して得られた、 α のパラメータをIII-2-I-(2)-2)-3-図6に記した移動度の界面層依存 $\mu_{\text{eff}}^{-1} = \mu_0^{-1} \exp[-K_F T_{\text{IL}}] + \mu_{\text{Si}}^{-1}$ に適用し、ゲートオーバードライブ 0.7V 一定の条件で、EOTのスケールリングによる電流駆動力の変化を評価した。その結果、III-2-I-(4)-1)- 図3 (b)に示すように、従来法である、HF-last上に形成された HfO_2/Si ゲートスタック形成法では、移動度劣化によりEOTスケールリングのメリットが打ち消されてしまう一方、MIRAI-UCMOSで開発した、直接接合型 HfO_2/Si ゲートスタックでは、直接接合型ゲートスタックとしては、極めて移動度が高いため、EOT=0.5nmまでスケールしたとしても、駆動電流の向上が期待できることが分かった(III-2-I-(4)-1)- 図4(b))。従来法であるHF-last法上の HfO_2/Si ゲートスタックに対する電流駆動力の向上は寄生抵抗を考慮したとしても、34%であり(ゲートオーバードライブ 0.7V)、MIRAI-UCMOSの目標である15%以上の電流駆動力の向上を示すことができた。逆に電流駆動力の向上率を15%になるようにゲートオーバードライブ電圧を削減すると、 0.6V まで削減できることになる。従って、閾値電圧を 0.3V と設定すれば、34%向上時の電源電圧 1.0V に対して、 0.9V へ電源電圧を削減できることになり、15%の電流向上に限定すれば、アクティブ動作時の消費電力は 1.0V 動作時の81%となり、ほぼ20%のアクティブ動作時の消費電力の削減が可能と見積もることができた。

また、デバイスのバリスティック効率を求めるために、まず、今回作成したデバイス構造(SOI膜厚 10nm)であるFD-SOIデバイスのソース端実効速度を求めた。Natroriらの報告[III-2-I-(4)-1)-文献1]によれば、SOI基板中のソース端のボトルネック領域のシュレディンガー方程式とポアソン方程式を連立し、各サブバンドの束縛エネルギー、電子密度を精密に計算することで、ソース端注入速度を求めた。一般にSOI層の薄膜化とともに反転層キャリアの量子閉じ込めの効果が強く働き、電子が基底サブバンドの電子状態(第一励起サブバンドより有効質量の軽い状態)を占有することにより、ソース端



III-2-I-(4)-1)- 図5 (a) シュレディンガー方程式とポアソン方程式の self-consistent 法により求めた FD-SOI デバイスの理論的なソース端電子注入速度。(b) (a)及び III-2-I-①-(2)-2)-3-図6 から求めたバリスティックレート。

の注入速度は向上する。

このように理論的に厳密に求めたソース端注入速度に対して、開発した直接接合HfO₂ゲートスタックのバリスティックレートは、約0.5 と見積もられ、HF-last上のSi上へのHfO₂積層ゲートスタックのバリスティックレート0.3に対して、顕著な向上が得られることが分かった。

参考文献

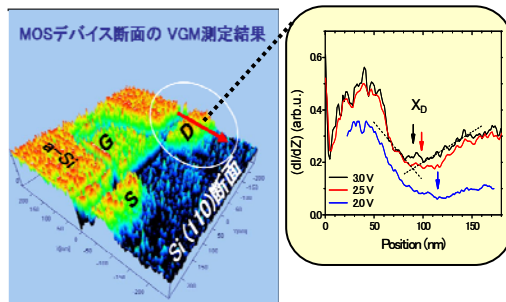
[III-2-I-(4)-1)-文献1] K. Natori *et al.*, Jpn. J. Appl. phys. Vol. 42 (2003) pp.2063-2066.

v) ポテンシャル分布計測技術開発

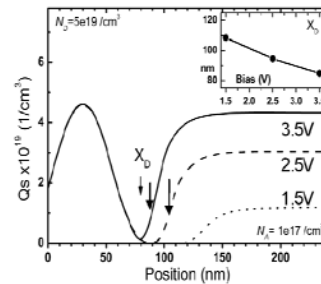
ポテンシャル分布計測技術開発においては、走査型トンネル顕微鏡 (STM) を用いて、Si デバイスのポテンシャル分布を測定し、STM シミュレータによりポテンシャル分布を定量的に解析する技術を開発した。

III-2-I-(4)-1- 図6に真空ギャップ変調 (VGM) 法で、MOS デバイス(110)断面のポテンシャル分布を測定した結果と矢印に沿ったポテンシャルのプロファイルを示す。バイアス電圧を変えると接合の深さが見かけ上変化しているが、このバイアス電圧に対する依存性を、我々が開発した STM シミュレータを用いて解析することにより、接合の深さ及び急峻性を、定量的に評価することができた (III-2-I-(4)-1- 図7)。また、我々は、トンネル電流を計算する時に用いる状態密度を、単なるパラボリックバンドから、第一原理計算を用いて計算した Si 表面の状態密度を用いることにより、シミュレーションの精度が向上できることを示した。

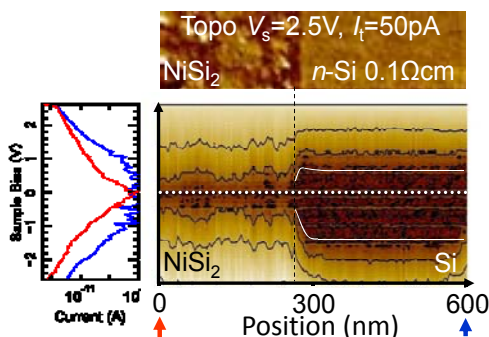
メタルソース・ドレインと Si 界面のポテンシャル計測に関しては、NiSi₂ と Si のライン&スペースパターンに対し、試料表面調製法を開発し、オンセット電圧の値を用いて NiSi₂/Si 界面付近の伝導帯、価電子帯のバンドプロファイルを得ることに成功した (III-2-I-(4)-1- 図8)。さらに、STM シミュレーションを行うことにより、測定されたバンドプロファイルを再現することができた (III-2-I-(4)-1- 図9)。また、オンセット電圧のショットキーバリアの高さ (SBH) に対する依存性を調べたところ、Si のドーパント濃度が高い方が SBH の変化



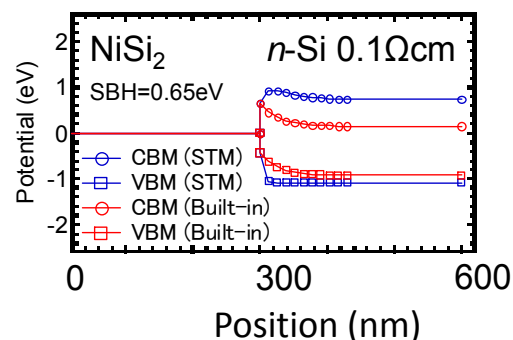
III-2-I-(4)-1- 図6 VGM 法で測定した MOS デバイスの(001)断面のポテンシャル分布及び矢印部のポテンシャル・プロファイルのバイアス電圧依存性。



III-2-I-(4)-1- 図7 STM シミュレータにより計算したポテンシャル・プロファイルのバイアス電圧依存性。接合深さ 100nm、接合の急峻性 25nm/dec とした時、実験データをよく説明できる。



III-2-I-(4)-1- 図8 STM で測定した NiSi₂/Si 界面領域のトポグラフ像 (上) 及び、I/V マップとバンドプロファイル (下)。



III-2-I-(4)-1- 図9 シミュレーションにより計算した NiSi₂/Si 界面付近の STM 探針によるバンドバンドがある場合 (青) とない場合 (赤) のバンドプロファイル。

に対する感度が高く、SBHが0.2Vより高い領域では、SBHの値がオンセット電圧の変化にほぼ比例して変わることわかった。すなわち、STMのIV測定からSBHの値を評価をすることは可能であると言える。

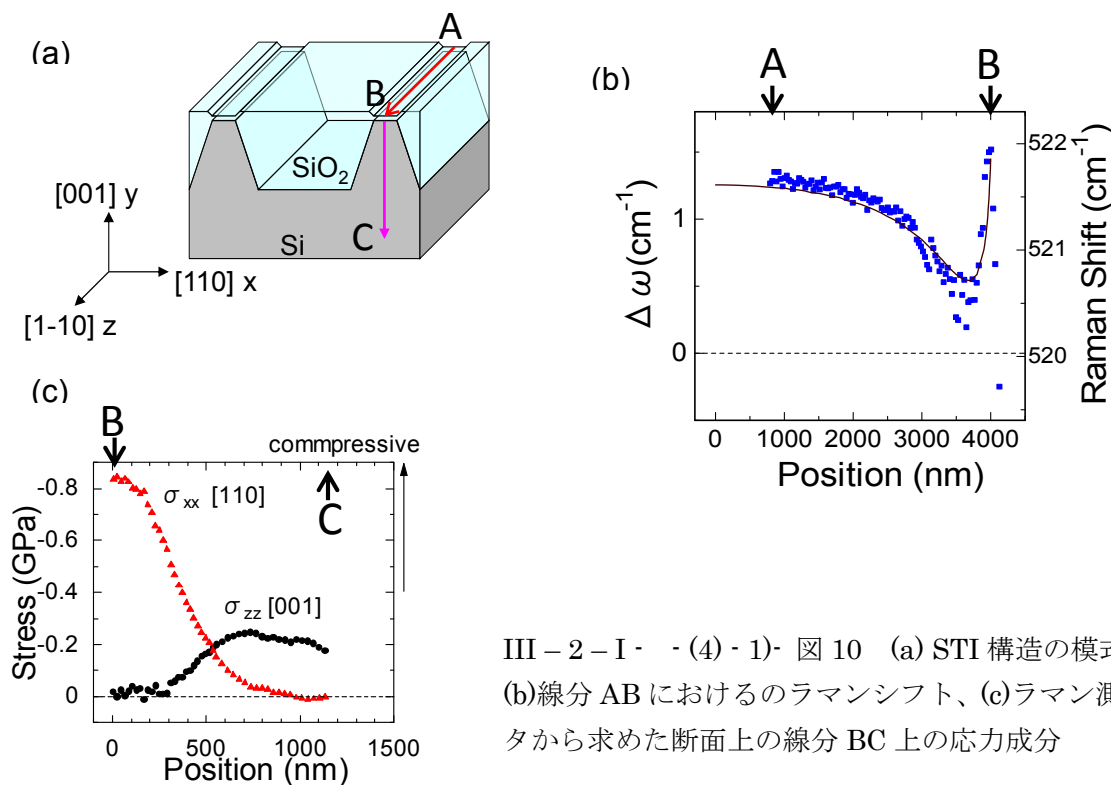
メタルソース・ドレインとSi界面のポテンシャル計測に関しては、NiSi₂とSiのライン&スペースパターンに対し、試料表面調製法を開発し、NiSi₂/Si界面付近の伝導帯、価電子帯のバンドプロファイルを測定することに成功した(III-2-I-(4)-1)図8)。さらに、STMシミュレーションを行うことにより、測定されたバンドプロファイルを再現することができた(III-2-I-(4)-1)図9)。また、STMシミュレーションを行うことにより、0.1eVのポテンシャル計測分解能があることを示した。

vi) ラマン分光法を用いたSiデバイス構造の局所応力分布計測技術開発

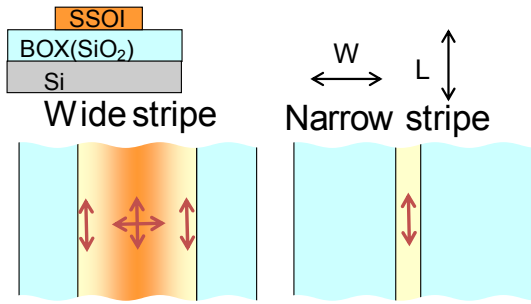
ラマン分光法を用いたSiデバイス構造の局所応力分布計測技術開発においては、高い開口数をもつ液浸レンズを用いて、150nmというほぼ光の回折限界と同じ空間分解能を実現した。また、NiSi/Si及びNiSi₂/Siのライン&スペースパターンの応力測定を行い、NiSiがSiに及ぼす応力の揺らぎは大きく、NiSi₂がSiに及ぼす応力は一様であることを見いだした。

また、我々は、(001)面上にSTI構造を設けたSi基板の(110)断面試料のラマン分光測定を行った。(001)面におけるラマン測定では、断面近傍でラマンシフトの大きな変化が観測された。さらに、(110)断面で、偏光方向を制御してラマン測定を行い、異なるラマン信号成分を分離して検出することにより、応力の方向と大きさを定量的に解析することに成功し、[001]方向の圧縮応力を観測した。これは、有限要素法による応力解析の結果から、断面近傍における応力緩和に起因するものであることを確認した。(III-2-I-(4)-1)図10)。

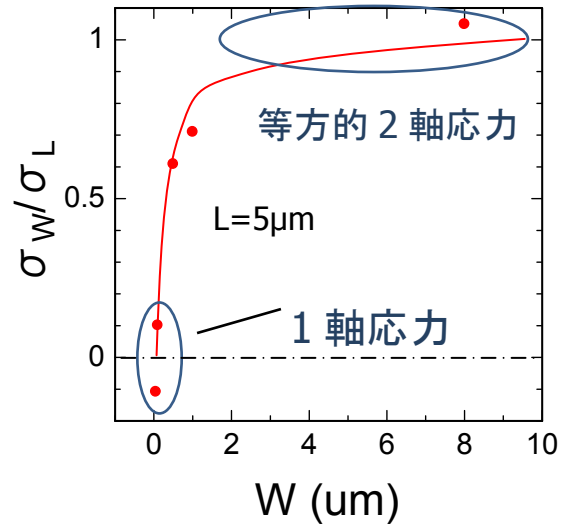
また、高い開口数をもつ対物レンズとラマン禁制偏光光学配置を用いることにより、(001)面上の応力方向を解析する技術を開発した。この技術を用いて、歪みSOI(Strained Si on Insulator:SSOI)基板において、SSOI層をストライプ構造にパターニングすると、幅が1μm以上ある時は、ストライプ中央では、ほぼ等方的2軸性引っ張り応力であったが、エッジ付近では幅方向の応力は緩和しており、長手方向の1軸応力になっ



III-2-I-(4)-1) 図10 (a) STI構造の模式図 (b)線分ABにおけるのラマンシフト、(c)ラマン測定データから求めた断面上の線分BC上の応力成分



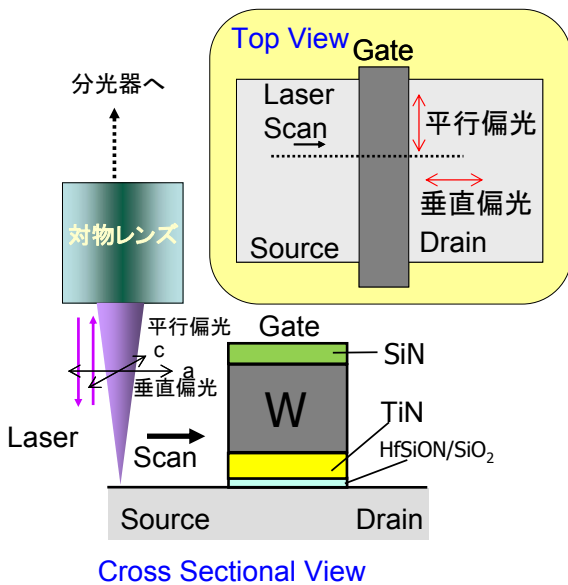
III-2-I-(4)-1- 図11 SSOI層をパターンニングしたときに生じる応力緩和



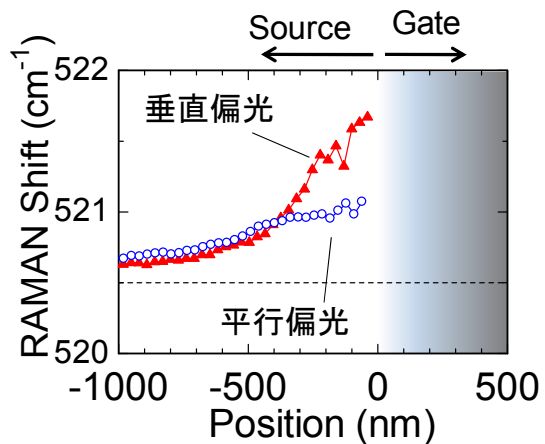
III-2-I-(4)-1- 図12 幅(W)方向の応力と長手(L)方向の応力の比の幅依存性

ていることがわかった(III-2-I-(4)-1- 図11)。さらに、ストライプ幅に対する依存性を測ったところ、幅が100nm以下ではほぼ1軸性引っ張り応力になっていることがわかった(III-2-I-(4)-1- 図12)。

また、我々は、SiN/W/TiN(10nm)/HfSiON/SiO₂のゲートスタックを形成し、タングステン・ゲートがSiに及ぼす応力の評価を行った(III-2-I-(4)-1- 図13)。ゲート長は0.6 μm、Wの厚さは70 nmである。Si基板上をゲートに向かって励起光を走査した時のラマンピーク位置の変化を、プロットしたところ、垂直偏光で測定した時、ゲートに近づくにつれてピーク位置が大きく高波数側にシフトし、Wがゲートエッジ外側のS/D領域に圧縮応力を印加していることを示した。ところが、平行偏光で測定した時は、エッジ近傍でのピーク位置は、ほとんど変化していない。(III-2-I-(4)-1- 図14)。FDTDによる電磁場解析を行ったところ、平行偏光では、励起光の強度がゲートエッジ近傍50 nm以下の領域で、垂直偏光の場合に比べかなり小さく、ラマン信号があまり励起されないことが分かった。従って、この2つの偏光配置の結果の比較により、タン



III-2-I-(4)-1- 図13 タングステン・ゲートスタック構造の模式図



III-2-I-(4)-1- 図14 タングステン・ゲートスタック構造におけるラマンシフトの位置依存性

ゲステン・ゲートの誘起する応力はエッジから 50 nm 以内の距離に局在していることがわかり、回折限界以下の空間分解能で応力分布情報を得ることができることが分かった。

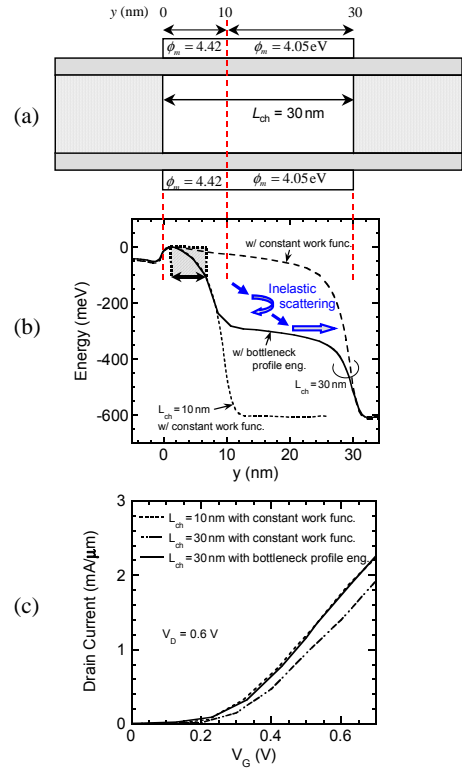
さらに我々は、開発したラマン信号の偏光解析技術をベースに実トランジスタにおける歪みシミュレーションの高精度な校正を行った。校正後にチャンネル部分のラマン信号をシミュレートして実測結果と比較することにより、様々なレイアウトバリエーションにおけるトランジスタのチャンネル領域の応力を高い精度で評価できることを示した。

2) 低消費電力・高電流駆動カトランジスタのモデリング技術開発

量子補正モンテカルロ法を用いたバリスティックCMOSシミュレーション技術を開発し、バリスティック効率を向上させる最適化デバイス構造を設計し提案した。まず、バリスティック効率の向上メカニズムを解明する上で欠かせない弾性散乱と非弾性散乱の役割を解析する手法を開発し、さらに不純物偏析ショットキーソース・ドレインに拡張することで、バリスティックCMOSのモデリング技術を確立した。そして以下の知見を得た。

1. ボトルネック形状エンジニアリングによるバリスティック効率向上

MOSFETのバリスティック効率は、キャリアがチャネル内で散乱されソースに戻される確率、いわゆる後方散乱確率で決定される。この後方散乱は主に、チャネルのソース端に形成されるボトルネック障壁近傍(kTレイヤ)で発生すると考えられている。本研究では、チャネル内の弾性散乱と非弾性散乱の役割を分離して解析できる計算手法を開発し、実際に、ボトルネック障壁を狭くし非弾性散乱を活性化させることで、後方散乱を抑制できることを実証した。これを「ボトルネック形状エンジニアリング」と呼んでいる。III-2-I-(4)-2-1-図1 (a)に2種類の仕事関数を持つダブルゲートMOSFETの提案デバイス構造を、同図(b)にそのポテンシャル分布の計算結果を示す。III-2-I-(4)-2-1-図1 (b)の実線で示すように、ソース近傍のゲート仕事関数を大きくしその領域の長さを最適化することで、チャネル長が30nmのデバイスでも10nmのチャネル長と同じボトルネック形状が実現できることを見出した。このように空間的に狭いボトルネック障壁を形成させることで、大きなエネルギー緩和を伴う非弾性散乱過程が発生しやすくなるため、ソースへの後方散乱が抑制される。III-2-I-(4)-2-1-図1 (c)に $I_D - V_G$ 特性の計算結果を示すが、ゲート長30nmでもボトルネック形状エンジニアリングを施すことで、10nmのゲート長と同等の電流駆動力が期待できる。



III-2-I-(4)-2-1-図1. ボトルネック形状エンジニアリング. (a)2種類の仕事関数を持つダブルゲートMOSFET ($L_{ch}=30$ nm), (b)ポテンシャル分布, (c) $I_D - V_G$ 特性.

2. ショットキー・ソースドレインによるバリスティック効率向上

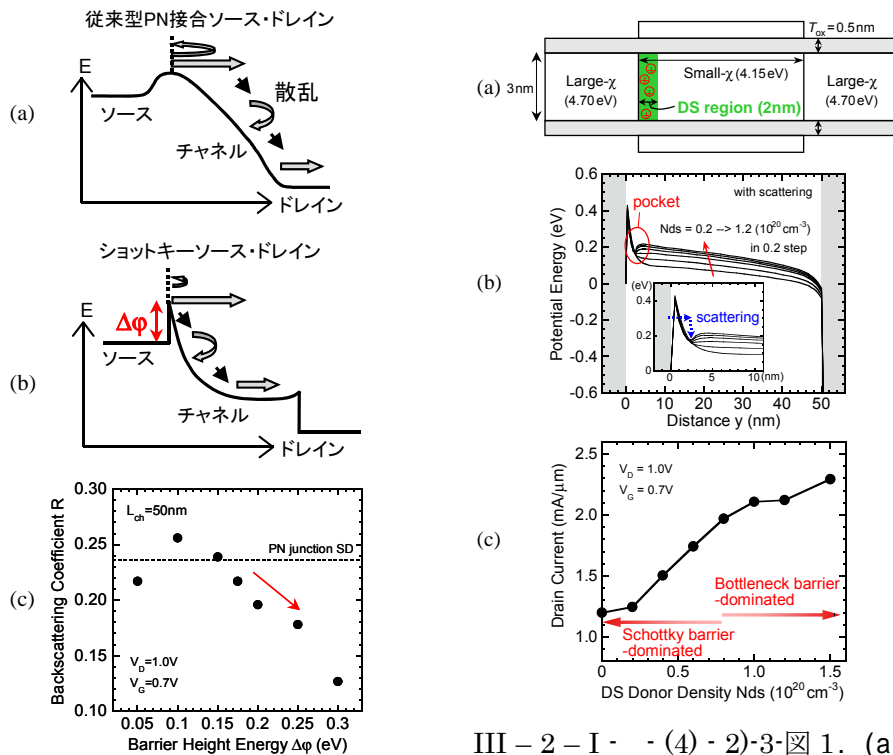
前節III-2-I-(4)-2-1の知見を基にして、ショットキー障壁MOSFETがバリスティック効率向上に有効なデバイス構造であることを提案した。ショットキー障壁MOSFETのポテンシャル分布は、III-2-I-(4)-2-2-1 図(b)に示すように、メタルソース/チャネルシリコン間に形成されるショットキー障壁により、従来型ソース・ドレインに比べて狭いボトルネック幅が実現できる。このためソースへの後方散乱が抑制されバリスティック効率の向上が期待できると考えた。

そこで量子補正モンテカルロ法を用いて後方散乱確率のショットキー障壁高さ依存性を計算した結果をIII-2-I-(4)-2-2-図1 (c)に示す。ショットキー障壁が低いときは従来型ソース・ドレインと同程度の後方散乱確率を示すが、ショットキー障壁の高さが約0.15eV以上になると後方散乱確率が大幅に減少しバリスティック効率の向上が期待できる。後方散乱の抑制に比較的高い障壁が必要となるのは、ボトルネック幅を狭くするにはショットキー界面に大きな接触抵抗が必要であることによる。したがって、後方散乱の抑制と同時に寄生抵抗の増大を引き起こしてしまうため、バリスティック輸送の恩恵を

受けるには、不純物偏析技術等のショットキー障壁高さの制御が不可欠になる。

3. 不純物偏析がショットキー障壁MOSFETの電子輸送に与える影響

前節III-2-I-(4)-2-2で述べたように、ショットキー障壁MOSFETにおいてバリスティック効率を向上させるには、約0.15eV以上のショットキー障壁高さが必要である。その一方で、寄生抵抗削減のためには、ショットキバリアハイトを低下する必要がある (III-2-I-①-(2)-3-2節参照)。そこで本研究では、不純物偏析技術によるショットキー障壁高さの変調効果について検討を行なった。具体的にはIII-2-I-(4)-2-3-図1(a)に示すデバイス構造を用いて、ソース/チャネル界面に配置した偏析不純物が、ソースからの電子注入過程に与える影響について解析した。その結果をIII-2-I-(4)-2-3-図1(b)及び(c)に示す。まず図III-2-I-(4)-2-3-図1(c)から分かるように、偏析不純物濃度を大きくすると駆動電流が増大することから、偏析不純物はソース端の実効的なショットキー障壁高さを低下させる技術として有効であることが確認できる。その一方で、偏析不純物濃度が約 $8 \times 10^{19} \text{ cm}^{-3}$ 以上になると、図III-2-I-(4)-2-3-図1(b)に示すように、ソース端のポテンシャル分布に“ポケット”が出現し、ソースから注入された電子の多くがそのポケットに落ち込むため、チャネル内部へのホットエレクトロン注入が妨げられることを見出した。このためIII-2-I-(4)-2-3-図1(c)で見られるように、高濃度偏析素子では駆動電流の増大が飽和する。



III-2-I-(4)-2-2-図1. (a)従来型PN接合S/Dおよび(b)ショットキーS/D MOSFETのポテンシャル分布. (c)後方散乱確率のショットキー障壁高さ依存性.

III-2-I-(4)-2-3-図1. (a)不純物偏析MOSFET構造. (b)ポテンシャル分布および(c)駆動電流の偏析濃度依存性.

② 新探究配線技術開発

(1) 極限低抵抗・高電流密度配線技術の開発

0) まえがき

hp32nm 以細の技術領域のシリコンLSIの中・短距離配線技術では、従来の低誘電率層間絶縁膜と銅配線の組み合わせだけでは、信号伝達遅延、信号線信頼性、製造歩留まり等の課題が顕在化すると予測される。従って、hp32nm 以細の高性能・高信頼LSI配線の実現には、従来技術の延長線上にはない、抜本的な解決策としての革新技術の導入が必要である。本プロジェクトでは、中・短距離配線で必要となる革新技術として、新材料を用いることで配線およびビアの導電性、信頼性を向上できる新導電材料配線技術の開発を目指すことを目的とした。

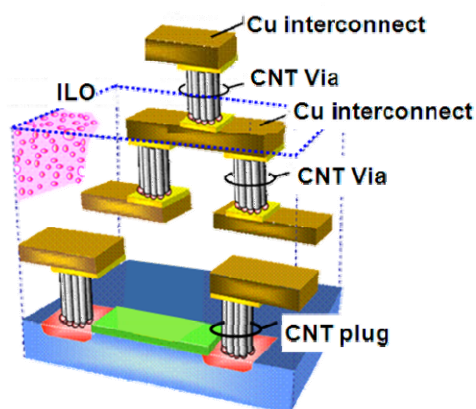
新材料を用いる極限低抵抗配線技術の開発として、従来の銅配線では解決困難と考えられる配線高性能化を実現すべく、高性能ローカル配線を実現できるカーボン配線技術の確立を目指した。微細配線ビアにおいて、従来の配線材料である銅に代えて高電流密度耐性を有し、低抵抗かつ高アスペクト比のカーボンナノチューブ(CNT)を用いたローカル配線構造、プロセスを検討した。そのために、以下の研究開発項目について実施した。

- 1) LSI製造プロセスで許容される温度条件におけるカーボンナノチューブ(CNT)の高密度成長技術の開発
- 2) LSI 製造プロセスで許容される温度条件における CNT の高速成長技術の開発
- 3) hp32nm 以細の 300mm ウェハの配線構造へ適用可能性の提示と当該世代の Cu 配線材料に対する優位性の実証
- 4) カーボン材料を用いた横配線技術の開発

平成22年度末の目標を以下のように設定した。新材料ビアとしてCNT のためのLSI に適用可能な成長・プロセス技術を開発し、hp32nm 以細の技術領域で配線構造に求められる金属層の特性を満たし、Cu 材料に対する優位性を実証することを目指す。これらの目標を達成するため、下記の開発を行う。

- 1) CNT の成長密度 $3E12$ 本/cm² 以上を達成する。
- 2) 基板1枚当たりのCNT ビア・プラグ成長時間5 分以下を達成する。
- 3) hp32nm の技術領域のプラグ構造に求められる直径50nm、高さ200nm において抵抗 14Ω (バリアメタル成分を含んでおりCu では 15Ω と計算される)を実証する。また、ビア構造において電流密度 $1E7A/cm^2$ (ITRS2006 では $8.1E6A/cm^2$ が要求されている)を実現する。
- 4) 横方向配線要素技術のための横方向制御、高密度成長、縦横配線の接合技術を確立する。

なお本研究開発項目については、産業技術政策動向等を勘案して基本計画の見直しを行った結果、当該研究開発は、ほぼ目標を達成したことにより、平成21 年度をもって終了した。



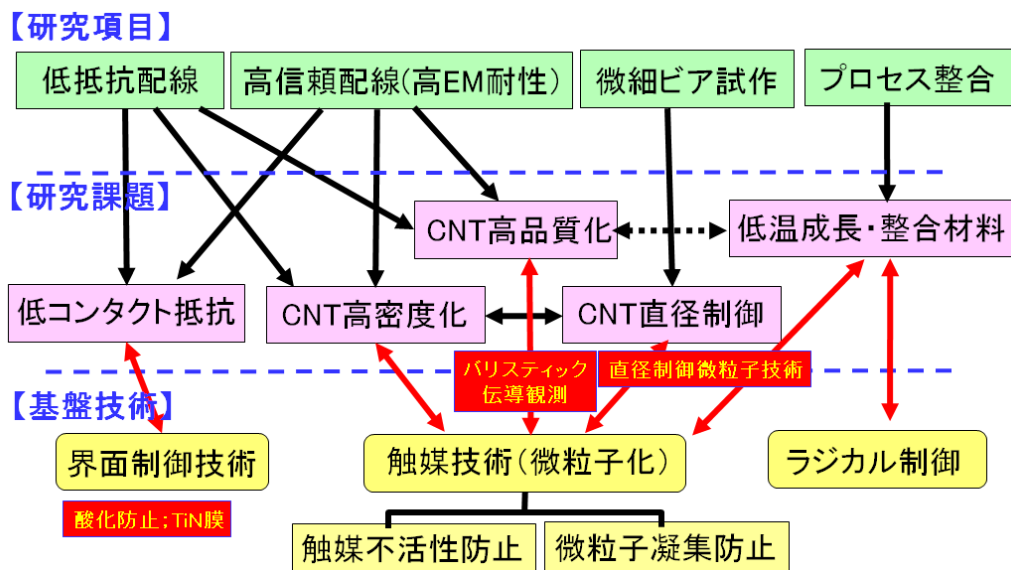
III-2- I -②-(1)-図1 多層カーボンナノチューブの束を用いたLSI配線ビアの概念図

この課題に取り組むにあたり、Ⅲ-2-I-②-(1)-図2に示すように、研究項目に関する課題分析を行い、課題解決のためのアプローチと基盤技術構築の戦略を立てた。

まず基本的方針として、本研究が目指すところは、従来のSi LSIプロセスに新材料を導入することから、常に従来プロセスとの整合性を重視することとした。例えばプロセス温度は400℃程度を目指し、カーボンナノチューブ以外の材料は、できる限り持ち込まない(特にSi LSIで使われたことのないリスクの高い材料)こととした。具体的には、カーボンナノチューブのCVD合成に必要な触媒金属として遷移金属を用いることになるが、その材料も、Si LSIプロセスで馴染みの深い材料を選択した。そうすることで「新材料・新技術導入」に伴うリスクを減らし、新技術の導入障壁を下げることを重視した。

課題分析から、CNTの低抵抗化と高マイグレーション(EM)耐性化は、共にCNTの高密度化と高品質化が重要であることが分かった。また高密度化は、直径制御と強く関係し、高品質化は、合成温度の低温化とは背反する課題であることが分かった。高密度化と高品質化において、CNT成長に用いる触媒技術がキーとなる技術であることを明らかにした。従って、いかに高密度触媒金属ナノ微粒子を作製し、CNT合成のため、その活性とサイズを維持できるかが、最重要テーマと設定した。また高品質化にはダメージ回避が重要であり、原料からイオン成分を極力減らすことがプラズマCVD成長では重要であると言える。またCNTの低抵抗化には、高品質化だけではなく、コンタクトの低抵抗化も同様に重要であり、そのためCNT表面・界面制御技術が重要である。このことは特に表面が大きい割合をしめるナノ材料特有のものと言える。こうした戦略の中で、CNTの合成技術とプロセスインテグレーション技術を開発した。またビア作製においては、安定的に供給可能なサイズでの電気的評価を中心に行った。さらにプロジェクト終了時の技術移転を想定し、参加企業と共同研究(NDA)契約を結ぶことで、企業の基板上でのCNT合成実験を積極的に行った。

以下に、各々のテーマの主要な成果について述べる。



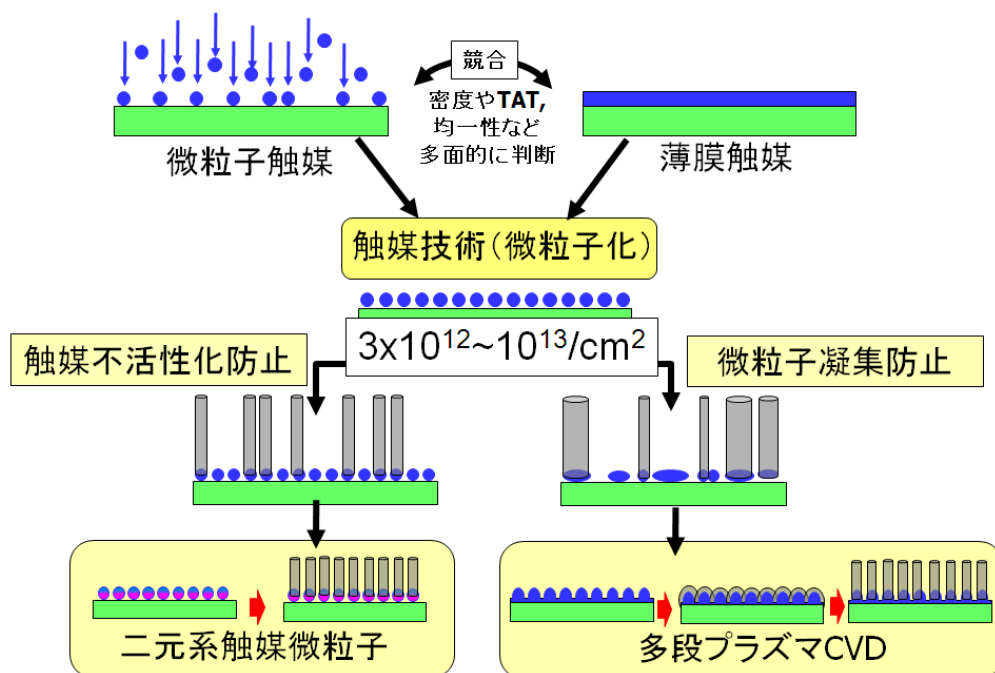
Ⅲ-2-I-②-(1)-図2 カーボン配線研究の研究項目の研究課題へのブレイクダウンとその解決に向けた戦略(開発基盤技術)の選択(赤は前期までに達成)

1) LSI製造プロセスで許容される温度条件におけるカーボンナノチューブの高密度成長技術の開発

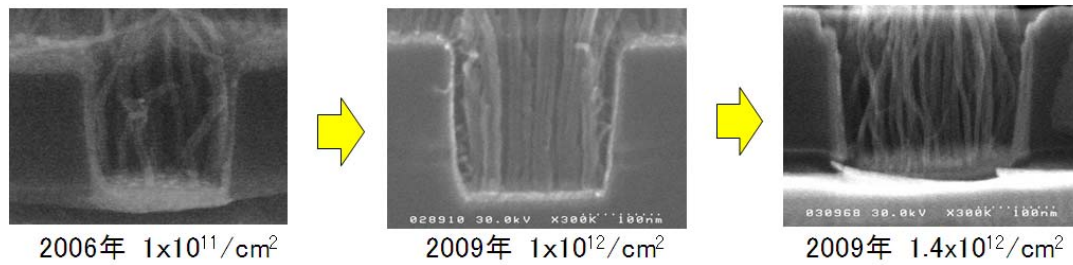
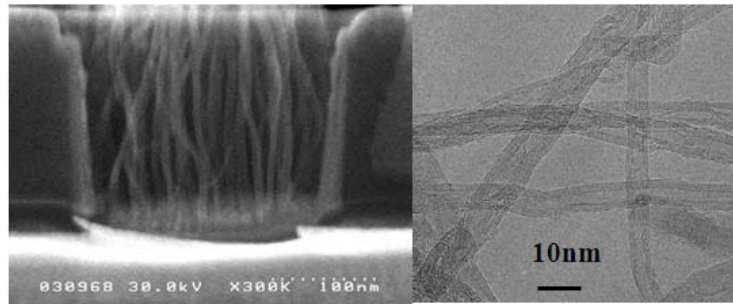
① 熱 CVD による低温高密度成長と触媒最適化

CNT の低温での高密度成長は、Si LSI プロセスとの整合性を保ち、カーボン配線の高性能を実現するため、最重要技術である。CNT 配線の高マイグレーション耐性も、低電気抵抗も、ともの電流パスの数(すなわち CNT 本数)が多いこと、すなわち CNT が高密度であることが最も効果的である。高密度化を実現するには、まず CNT の直径が制御できなければならない。そこで我々は(分子動力学による理論予測のもと)触媒金属のサイズ制御技術でこの実現を目指した。具体的には、触媒金属の微粒子化におけるサイズ制御と高密度化を図った。我々は、前期に触媒金属ナノ微粒子の直径制御・高密度供給装置(DMA 装置とインパクト装置)を設計・開発した。一方、従来の Si プロセスとの整合性を考え、微粒子を基板上薄膜からプロセスによって作製する技術も並行開発した。これらの技術開発から、さらに CNT 成長中(前)に微粒化した触媒の凝集を防ぐこと、触媒の働きが失われないようにその活性を維持すること、触媒とその下地膜を最適化すること、などがより基礎的な課題として重要であることを見出した(III-2- I -②-(1)-図 3)。

そこで本プロジェクトではいくつかの新しい技術を開発した。まず触媒微粒子として、新たな組み合わせの二元系触媒微粒子を開発し、これを用いることで CNT の高密度化と高品質化を同時に達成することに成功した。二元系微粒子触媒は上述のインパクト装置で作製した。二元系を用いる理由は、触媒不活性化防止と微粒子凝集防止の両方に関係している。ビア構造(直径 160nm)で、この二元系触媒と、ビア底の下地膜厚、表面処理技術の最適化によって、高品質で $1E12/cm^2$ の高密度な CNT 成長に成功した(III-2- I -②-(1)-図 4)。同技術を基板全面に適用した場合には、さらに高い $1.4E12/cm^2$ を得た。なお基板全面成長では、後述する多段プラズマ CVD によって約 $2E12/cm^2$ のさらに高い密度を得ている。これらの成長は $450^{\circ}C$ で行った。成長温度に関しては、すでに前期に Si LSI と整合する $400^{\circ}C$ での成長を確認している。本プロジェクト期間中には、熱 CVD で $365^{\circ}C$ まで、プラズマ CVD では再委託先において $350^{\circ}C$ までの低温成長を確認できた。



III-2- I -②-(1)-図 3 CNT 高密度化達成のための技術戦略

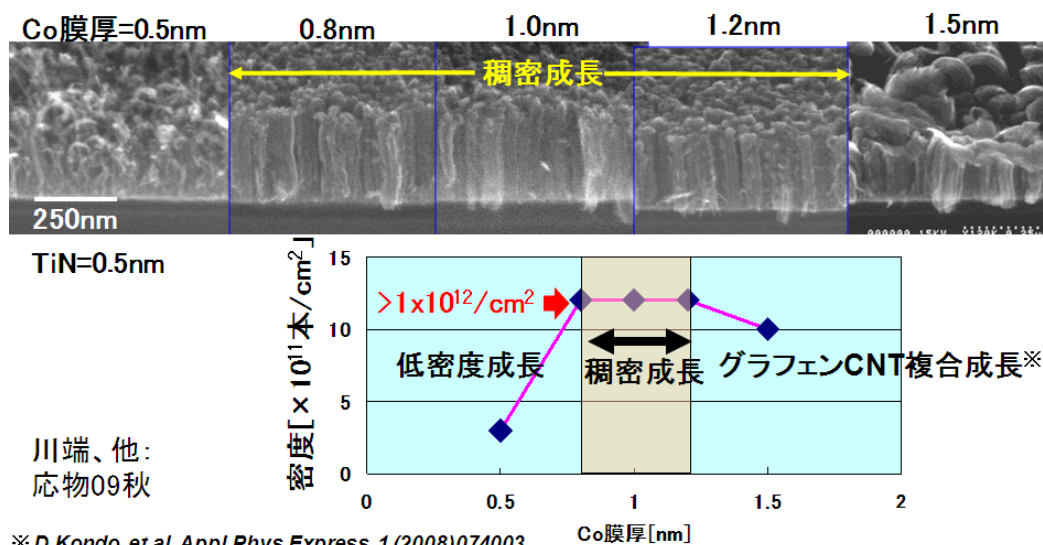


III-2- I -②-(1)-図 4 二元系触媒微粒子によるビア内 CNT 高密度成長 (プロジェクト開始時との比較)

②下地膜の最適化による高密度化

上述したように、薄膜触媒からの CNT 高密度成長を検討した。ここでは熱 CVD 成長の結果を示す。Co 触媒の膜厚は1nm である。ここで触媒薄膜の下地膜である TiN の膜厚を 0.5nm と薄層化することによって、CNT 密度が $1E12/cm^2$ 以上の高密度に達することが分かった。この CNT の特徴として、空間占有率が約 80%と極めて高いことから(III-2- I -②-(1)-図 5)、このモードを『稠密成長モード』と名付けた。成長温度は 450°Cである。稠密成長モードでは、ある範囲の触媒膜厚で高密度成長ができる。またさらに触媒膜厚を増やすと多層グラフェンの成長が可能であることも確認した(すなわち触媒膜厚制御によって、CNT からグラフェンまで一括制御成長可能)(III-2- I -②-(1)-図 5)。

さらに下地膜構造として、TiN、TaN の二層構造にすることによって、CNT の成長率を向上できることを見出した。その結果、 $1E11/cm^2$ 台後半の CNT 密度は再現性良く得られるようになった。また下地膜 TaN を窒素の多い層と窒素の少ない層の二層構造にすると、成長率が向上することも見出した。これらの膜構造でも CNT 密度 $1E12/cm^2$ 台を再現性よく作製できた。

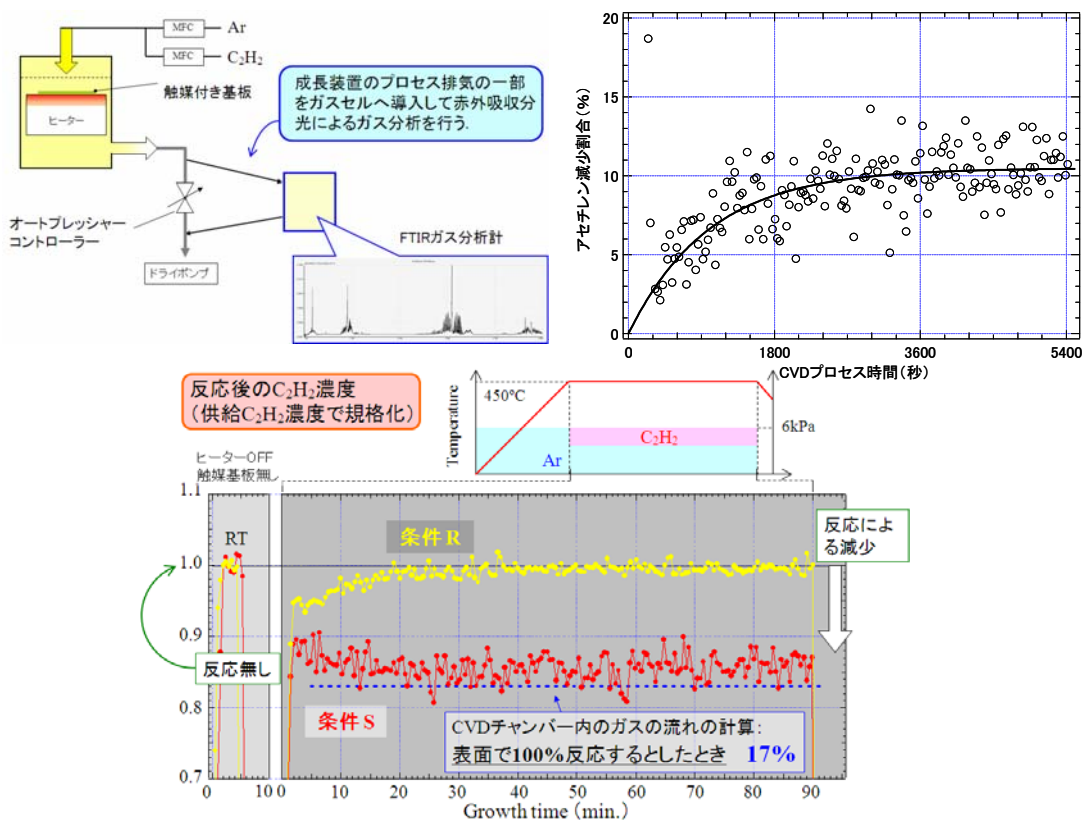


※ D.Kondo, et.al. Appl.Phys.Express. 1 (2008)074003

III-2- I -②-(1)-図 5 CNT からグラフェンまでの触媒金属膜厚依存成長

③In-situ 原料ガス分析による CVD 中の触媒活性のリアルタイム計測

CNT の高密度成長実現のためには、CNT 成長に用いる触媒金属活性に関する物理の解明が重要であった。我々は、どのような状況で触媒が活性になるのか、活性を維持するための条件は何かなど、調べる必要がある。そこで、まず触媒が活性状態にあるかないかを評価する手法を開発する必要がある。その方法として、原料ガス(ここでは C_2H_2)の CVD チャンバー内での分解状況をチャンバーからの排気で調べる方法を開発した。チャンバー内に CNT 以外にはカーボン系生成物ができないことから、原料ガスが消費されていれば、触媒が活性状態にあって、CNT 成長に全て使われていることを意味する。当初、排気モニターは四重極子質量分析計(QMS)を使用して分解速度測定を行ったが、実際の CNT 成長条件とは厳密には合わないことから、in-situ FTIR ガス分析法を適用し、CNT 成長とリアルタイムでプロセスガス中の C_2H_2 濃度を測定し、CNT 成長に伴う C_2H_2 分解の様子を直接測定することに成功した。さらに CNT 形成時の反応機構と CNT 品質の間に、大きな相関があることを見出した。III-2-I-②-(1)-図 6 は成長中の C_2H_2 濃度の減少割合時間変化を示す。約 30 分まで徐々に減少割合が大きくなり、10%で一定となる。この変化は QMS で得られた触媒活性の変化と一致している。 C_2H_2 が低濃度の場合、CNT 成長は供給律速となる。その場合、排気口の C_2H_2 濃度は、ガス反応が基板上で 100%起こると仮定した数値シミュレーション結果(17%)とも一致した。供給律速条件において(図中の条件 S)、プロセス中に使用された全 C_2H_2 量から見積もられる CNT 密度と、実際の CNT 密度がほぼ等しいことも分かった。一方、供給量が多い反応律速条件では(図中の条件 R)、短時間で触媒が失活し(活性を失うこと)、それに対応して C_2H_2 の使用量も急速に低下していくことが分かった。



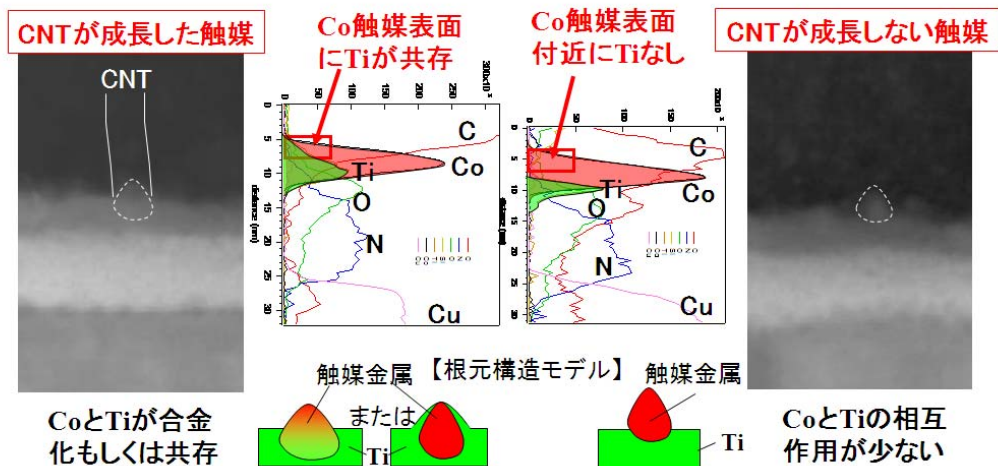
III-2-I-②-(1)-図 6 熱 CVD チャンバーからの FTIR 排気モニターとアセチレン濃度の時間変化

④ TEM-EELS による活性・不活性触媒微粒子の観測

CNT 成長メカニズムとコンタクト物理解明のためには、CNT の根元分析が必須である。そこで我々は TEM と EELS (Electron Energy Loss Spectroscopy) を組合せ CNT の根元分析を実施した。これは非常に高密度の CNT を利用できることで初めて実現できたものである。III-2-I-②-(1)-図7は、CNT が成長した触媒と成長しなかった触媒を TEM 中で観測し、それらの根元を EELS 観察した結果を示す。その結果、CNT 成長した触媒では、触媒と下地膜である Ti 膜が共存している部分があるのに対して、成長の無かった触媒にはそのような領域が無く、Co 表面付近に Ti がいないことが分かる。言い換えればこの触媒と下地膜材料の共存領域の有無が CNT 成長の可否を決める重要なポイントであると言える。このことをモデルで表すと、活性な触媒微粒子は下地膜材料(Ti)が内部に溶け込んでいるか、もしくは表面を包むように存在している必要があるということになる。

コンタクト物理解明：CNT根元分析

- CNT成長メカニズム/コンタクト物理解明のため、TEMとEELS(Electron Energy Loss Spectroscopy)を組合せ、CNTの根元分析を実施
- 触媒とTi(触媒下地膜)の共存の重要性が判明

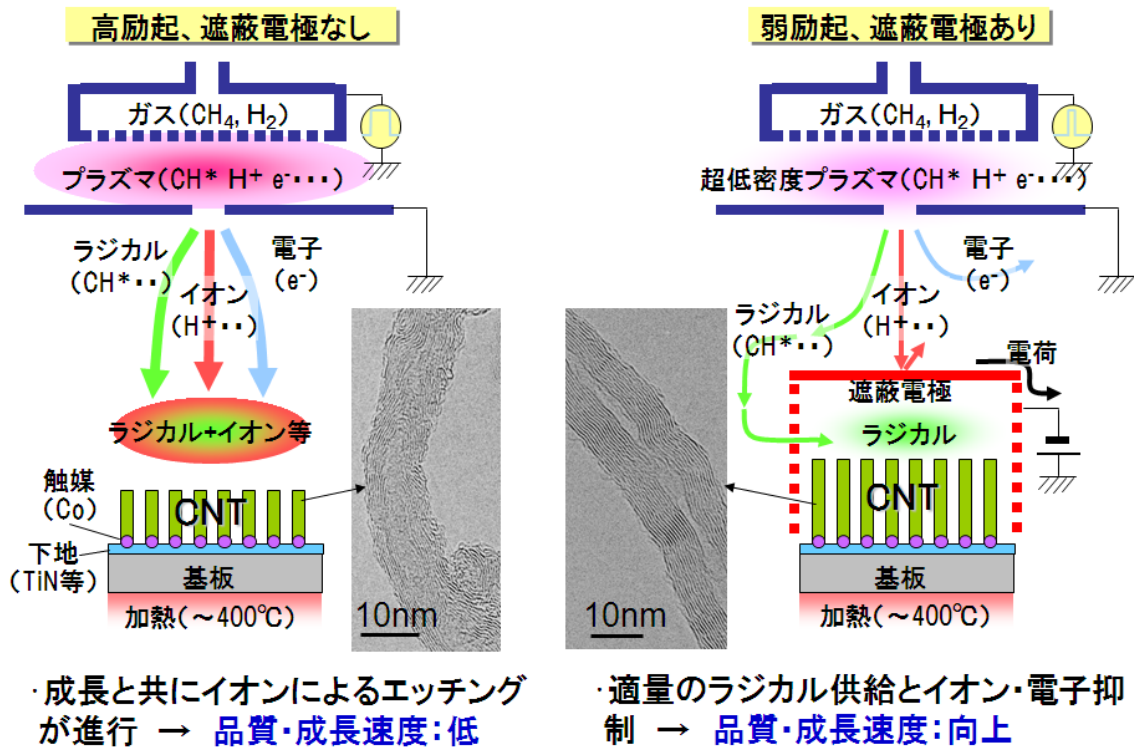


III-2-I-②-(1)-図7 CNT 成長メカニズム/コンタクト物理解明のための TEM/EELS 観察

⑤ 多段プラズマCVDによる低温高密度成長

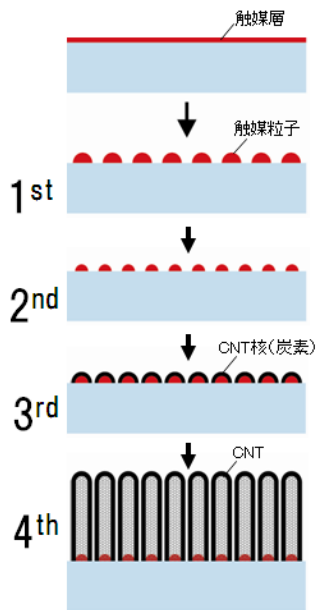
本プロジェクトでは、CVD の低温化として有利であり、前述したように 300mm ウェハへの拡張に実績のあるプラズマ CVD 方式の検討も行った。ここで重要な課題は、CNT 高品質化のためのプラズマダメージの抑制である。すなわちプラズマによる原料ガスの分解生成物の中で、電界加速される(電荷をもつ)イオン成分や電子は、CNT に直接アタックすることで CNT に損傷を与える危険性がある。そのためこれらの基板到達率を減らして、比較的ソフトランディングが期待できるラジカル成分のみを合成に用いる装置的工夫が必要となる。またプラズマプロセスは、触媒金属の表面状態制御に活用できる可能性があり、CNT 合成の前処理技術として活用を図った。

まず各種プラズマ CVD 法による高密度化及び高速化の検討を行い、パルス励起プラズマ CVD において、プラズマによる前処理および成長条件の最適化を進めることで、品質的に熱 CVD に迫る CNT の中空構造の確認に成功した(Ⅲ-2-I-②-(1)-図 8)。ここでは触媒は薄膜触媒を用いている。



Ⅲ-2-I-②-(1)-図 8 パルス励起プラズマCVDによるCNT低温高速成長

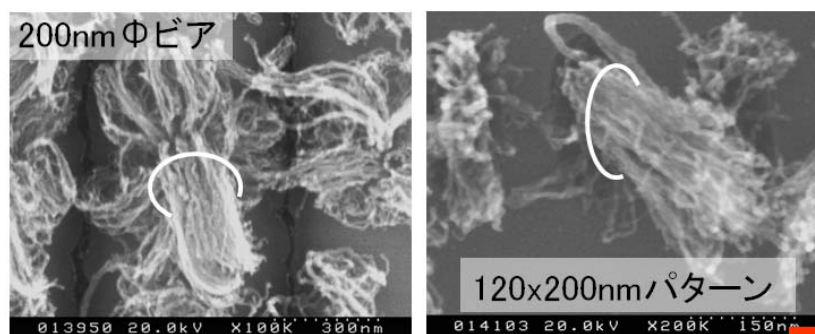
さらにプラズマ CVD 成長前に 4 段階のプラズマ前処理という新プロセスを導入することで、基板全面成長で CNT 密度 2E12/cm² を達成した。この 4 段階プラズマ処理は、Ⅲ-2-I-②-(1)-図 9 に示すように、まず 1 段階目のプラズマ処理(高パワーの Ar(H₂)プラズマ)によって、スパッタ触媒金属薄膜表面を微粒子化し、第 2 段階目のプラズマ処理(高パワーの N₂/Ar プラズマ)によって、下地膜の窒化と触媒微粒子のナノサイズへの微細化を行った。さらに第 3 段階目では炭化水素系のプラズマ処理(高パワーの CH₄/H₂リモートプラズマ)によって、CNT 微粒子の成長中の微粒子凝集を防ぐための微粒子固定とともに、CNT に炭素を供給することで核成長を行う。そして4段階目で本格的な CNT 成長条件で(超低パワーCH₄/H₂リモートプラズマ)、CNT 成長を行う。これらの各段階でのプラズマ CVD 条件の最適化によって、Ⅲ-2-I-②-(1)-図 9 に示すように、基板全面成長で CNT 密度 2E12/cm² を達成した。さらにⅢ-2-I-②-(1)-図 10 に示すように、ビア構造でも同等の高密度成長に成功した。



Step	目的	プラズマ条件
1st	●触媒の微粒化 ●微粒子の凝集抑制	高パワー Ar(H ₂)プラズマ
2nd	●下地層の窒化 ●触媒粒子の微細化	高パワー N ₂ /Arプラズマ
3rd	●微粒子の固定 ●CNT核成長	高パワー CH ₄ /H ₂ リモートプラズマ
4th	●CNT成長	超低パワー CH ₄ /H ₂ リモートプラズマ

2段階CVD (3rd→4th)	3段階CVD (1st→3rd→4th)	4段階CVD (1st→2nd→3rd→4th)
<10 ¹² 本/cm ²	~1×10 ¹² 本/cm ²	~2×10 ¹² 本/cm ²

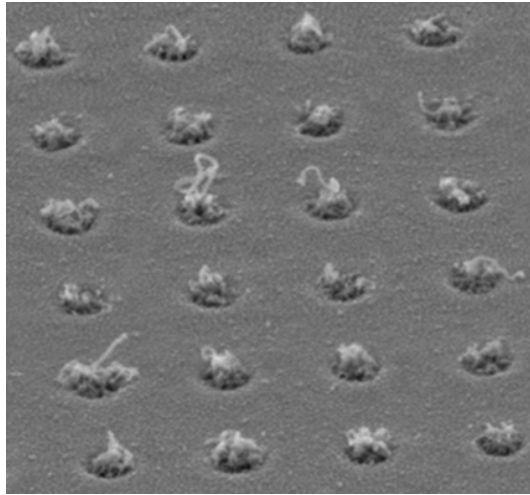
III-2- I -②-(1)-図 9 4段階プラズマCVDによるCNT高密度化



III-2- I -②-(1)-図 10 プラズマ CVD による CNT 高密度成長(約 2E12/cm²)

⑥微細ビアアレーへのCNT成長

実用化可能性検証の加速を狙い、参加企業である東芝 セミコンダクター社と共同研究契約を締結し、同社300mm基板上に作製した微細ビア(最小・55-70nm)へのCNT成長を行った。前述の多段階プラズマ成長法を微細ビアに適用し、プラズマCVDでは最小のφ55nmビアへのCNT選択成長に成功した。また、同社300mmプロセスによる下地(TiN/TaN)上へのCNT成長を確認した。



III-2- I -②-(1)-図11 直径70nmのCNTビアアレー

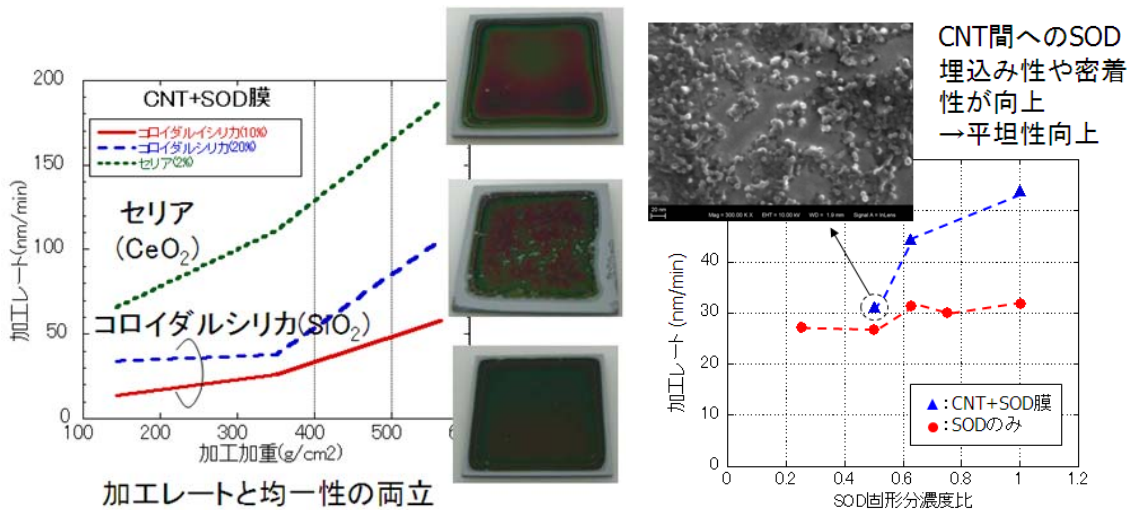
2) LSI製造プロセスで許容される温度条件におけるCNTの高速成長技術の開発

目標の一つとして、新規プロセスのため、リーズナブルなスループットの確認が重要である。特に材料の低温合成の場合、温度が低いほど合成時間が長くなる可能性がある。特に低温での触媒活性と原料ガス分解が重要なポイントとなる。触媒金属をナノ微粒子化することは、CNT の直径を細くするだけでなく、表面活性度を上げる効果もある。ガス分解に関しては、炭化水素系ガスの中でも反応性の高いものを選ぶか(熱 CVD ではアセチレンを使用)、プラズマ CVD による合成が重要である。リーズナブルな基板 1 枚当たりの CNT ビア・プラグ成長時間として 5 分を設定し、それ以下を達成した。具体的にはプラズマ CVD による CNT 成長では(密度 $1E12/cm^2$)、毎分 70nm の成長速度を得た。2006 年のプロジェクト開始時の毎分約 20nm に比べて、約 3.5 倍の成長速度の高速化を達成した。適用予想世代のビア高は約 100nm、プラグ高を約 200nm であることから、目標とした 5 分以下のスループットは共に達成できていることが分かる。また高密度($2E12/cm^2$)成長条件に置いても、毎分 30nm の成長速度を得ており、ビアに関して目標を達成した。

3) hp32nm以細の300mmウェハの配線構造へ適用可能性の提示と当該世代のCu配線材料に対する優位性の実証

① CNT ビアインテグレーション技術：CNT のための CMP 技術

300mm ウェハでの適用可能性を重視し、CNT ビアプロセスとして従来の Cu 配線と類似のダマシプロセスが確立できた。そこでは CNT の CMP 技術が新規に取り組むべき重要なプロセスと言える。そこで本プロジェクトでは CNT のための CMP 技術開発を行った。具体的には、CNT ビア上部配線接続前の CMP 加工の際、CNT と基板の密着性を高めるため CNT 間をバルク膜など(SOD:Spin-on dielectric)で埋める必要があり、埋込み特性を改善するためにノンポーラスタイプの SOD を採用した。CNT の研磨レートを上げるためにスラリ構造を検討し、新しいスラリ構造で従来比 1.6 倍の研磨レート 382nm/分を得た。SOD/CNT 複合膜(CNT 密度 3E11/cm²)の CMP 平坦化プロセスに、セリアスラリーを適用。従来のコロイダルシリカよりも高い加工レート(150-200nm/min)と加工面の均一性向上の両立に成功。微細ビアへの CNT 埋め込みを実現し作製プロセスを開発した(Ⅲ-2-I-②-(1)-図 12)。低抵抗 CNT ビア形成技術に関して、高密度 CNT 膜に対する最適化が課題。歩留まり対策として選択成長プロセスを利用してビアを試作した。

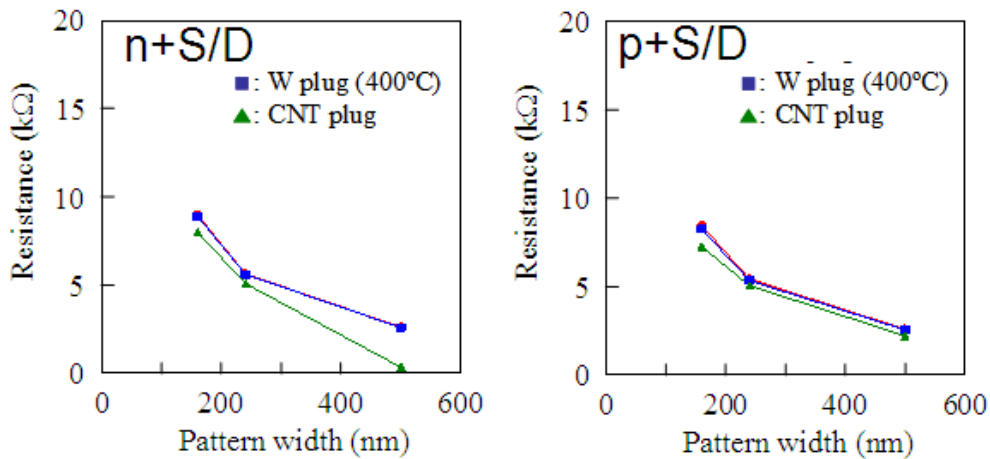


Ⅲ-2-I-②-(1)-図 12 CNT の CMP 条件の検討

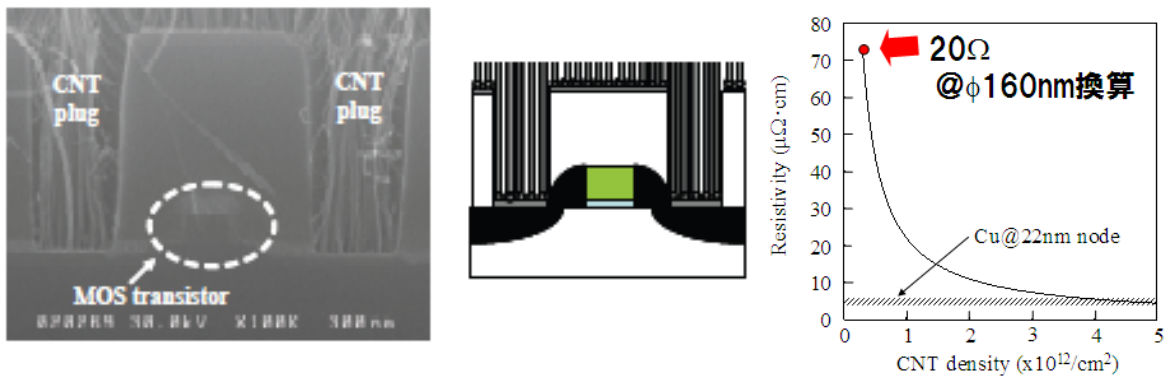
(左:加工レートの研磨剤と加工荷重依存、右:加工レートの SOD 濃度依存性)

② CNT ビアインテグレーション技術：CNT の CMOS プラグへの適用

従来 CMOS トランジスタのプラグ(あるいはコンタクトと呼ばれる配線)部分には、シリコン半導体層に直接接触するということから、シリコンへの拡散を避けるために抵抗的には高くなるが(銅ではなく)タングステンなどの金属材料が用いられてきた。またプラグ層はゲート電極分の高さが必要とするため、ローカル配線に比べて層間膜の薄層化には制約があり、プラグ孔のアスペクト比(縦横比)はビア孔よりも大きい場合が多い。そこで、低抵抗の高アスペクト比が期待できる CNT ビアの適用が有望である。ここでは、まず CNT プラグが設置するシリサイド(CMOS ソース、ドレイン電極領域)が、CNT 成長プロセス中に劣化しないかどうかを確認する必要がある。Ⅲ-2-I-②-(1)-図 13 は、n 型および p 型シリサイドの抵抗を示す。CNT プロセスを通してシリサイド抵抗の劣化が無いことが分かる。このことから、CMOS への CNT プラグ集積化に関して、下地シリサイド電極の特性を劣化させることなく、プラグに CNT を低温形成(@400°C)できることが確認された。Ⅲ-2-I-②-(1)-図 14 は CNT プラグを付けた CMOS の断面 SEM 像を示す。ビアに比べて大きなアスペクト比の孔中に成長している CNT が見てとれる。ここで CNT 密度は約 $3E11/cm^2$ である。この抵抗を 22nm 世代の予想値と比較した(Ⅲ-2-I-②-(1)-図 14)。図から分かるように CNT 密度が $3\sim 5E12/cm^2$ で Cu 並みの低抵抗が得られることが予測される。



Ⅲ-2-I-②-(1)-図 13 400°CのCNT成長プロセスによるシリサイド抵抗の変化

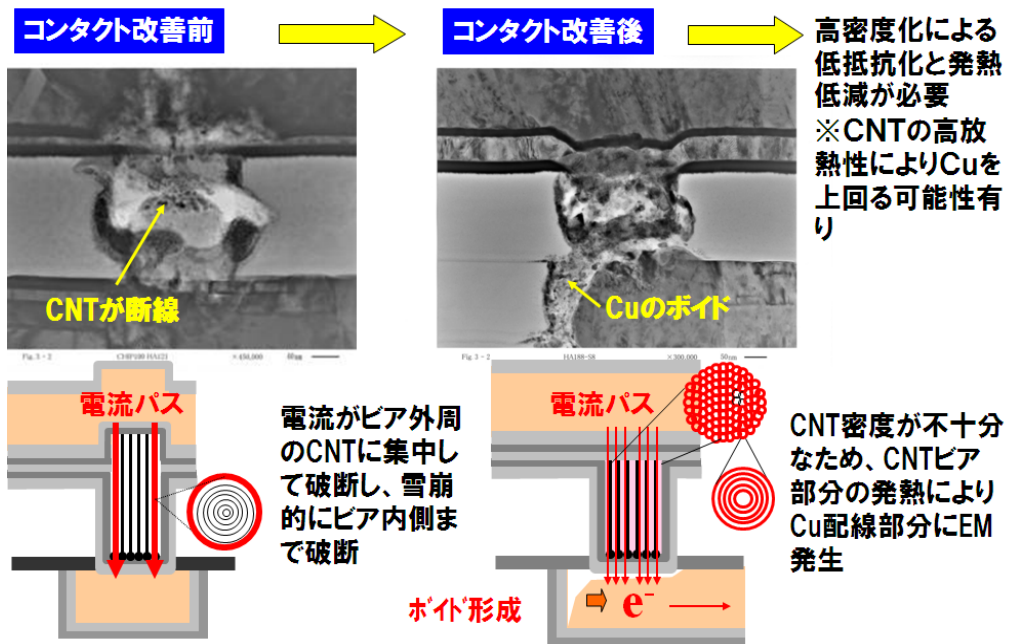


Ⅲ-2-I-②-(1)-図 14 CMOSとCNTプラグ適用

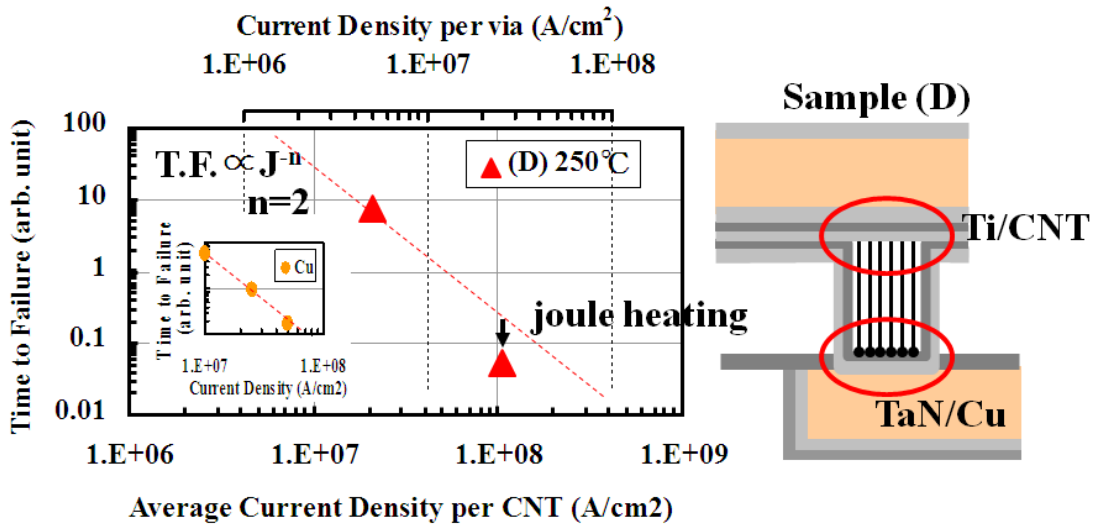
(左:集積化断面 SEM 像、右:CNT プラグ抵抗の CNT 密度依存性(予測))

③ 微細ビアによる電气的特性評価：電流密度耐性(エレクトロマイグレーション耐性)

ビアの電流密度耐性(EM 耐性)については、CNT ビアの EM 破壊メカニズムを解析し、また CMP 平坦化とコンタクト改善により EM 耐性大幅改善を実証した。具体的には CMP によって CNT/上部電極のコンタクトを均一化することで電流密度耐性が大幅に改善、下端部の CNT/金属コンタクト構造改良と同様に効果があることを確認した。Ⅲ-2-Ⅰ-②-(1)-図 15 はコンタクトプロセスの改善前後のマイグレーション破断後の CNT ビアの断面 SEM 像を示す。ただし電流密度は $5E6A/cm$ 、温度 $250^{\circ}C$ である。CMP 適用前(左図)では、CNT の途中で破断が起きている。このことは CNT と上下 Cu 配線とのコンタクトが不均一になっていて、電流が外周の CNT に集中し、その結果 CNT が破断し、雪崩的にビア内側まで破断が進んでいったものと想像される。一方、CMP とコンタクト改善後は、もはや CNT ビア部分で先にエレクトロマイグレーションが起きることはなく、Cu 配線同様に Cu 内のボイド発生を確認。温度加速試験を実施したところ、Time of Failure の電流密度依存性は Cu と同じ傾向の n 値 ~ 2 を持つことが分かった(Ⅲ-2-Ⅰ-②-(1)-図 16)。最近の理論予測では CNT の高熱伝導性によってビア部分の局所加熱が緩和され、さらに CNT ビアの EM 耐性に関するアドバンテージが上がることを示された。ここでの実験ではまだそこまでの高密度(高熱伝導)CNT を適用していないため、そこまでの現象はみられていないが、上述した 10^{12} 台の高密度 CNT 適用によって、そうした効果も加わるものと期待できる。

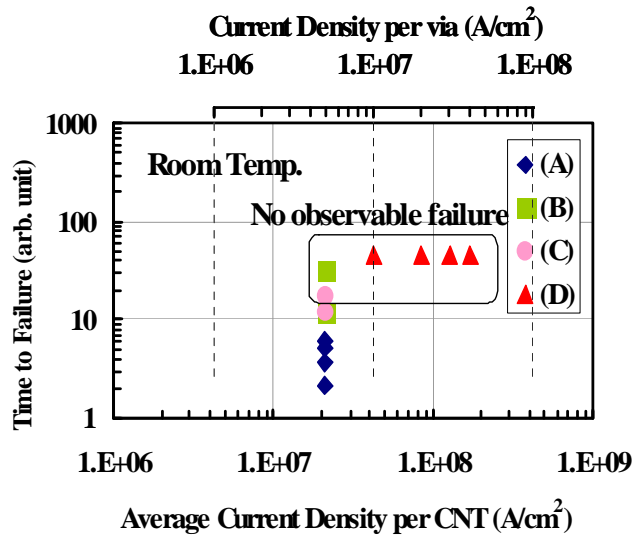


Ⅲ-2-Ⅰ-②-(1)-図 15 EM 破断後の CNT ビアの断面 SEM 像と破断原因の解釈



III-2- I -②-(1)-図 16 EM 破断後の CNT ビアの断面 SEM 像と破断原因の解釈

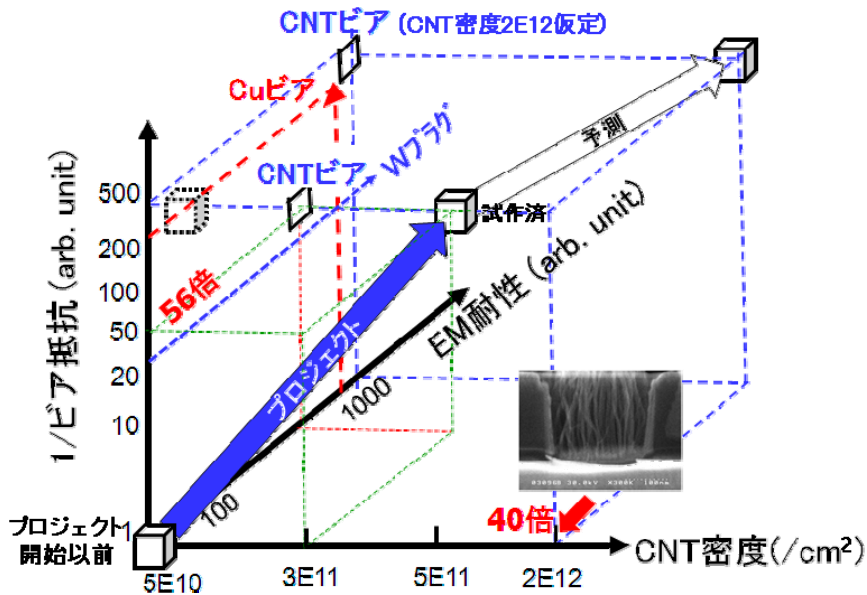
III-2- I -②-(1)-図 17 に示すように、電流密度 4E7A/cm² で 1000 時間(目標以上)を確認した。2006 年プロジェクト開始時は、電流密度 2~3.2E6A/cm² で 100 時間が確認された段階だったのに対して、ばらつきはあるものの EM 耐性では目標を達成した。EM 耐性に関して、高温試験(自己発熱による温度加速が無い条件:n=2)を実施し、Cu ビアとの比較を行った。CNT ビアが劣る原因としては、(本試作では CNT 密度 3~5E11/cm² を適用したため)CNT が十分高密度でないことによる局所自己発熱、及び界面構造の違いに起因すると考えられる。



III-2- I -②-(1)-図 17 CNT ビアの EM 耐性の CNT 密度依存性

④ 微細ビアによる電気的特性評価：ビア抵抗

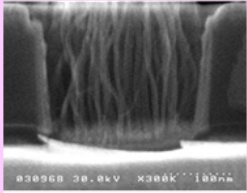
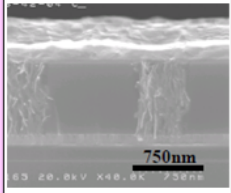
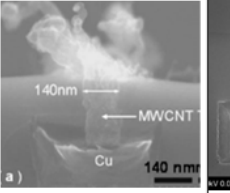
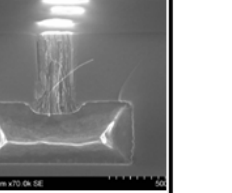
ビアの低抵抗化についても、CNT 密度 $3\sim 5E11/cm^2$ を適用したビア試作を行った。その結果、直径 70nm のビアで 51Ω 、直径 160nm のビアで約 10Ω の低抵抗を得た。直径 50nm、高さ 200nm のビアに換算すると約 76Ω となる。2006 年プロジェクト開始時、直径 $2\mu m$ のビア抵抗で 5Ω ($510^\circ C$ の高温成長では 0.6Ω) であったが、これを直径 50nm、高さ 200nm に換算すると $4.3k\Omega$ ($510^\circ C$ では 520Ω) となる。従って、ビア抵抗は、本プロジェクト期間内で約 $1/56$ に改善されたことになる。これらの値は目標値 (14Ω) と比較すると、約 $1/5$ のところまで到達したことを意味する。我々はすでに前述のように $2E12/cm^2$ の CNT 高密度化を達成しており、もしその密度の CNT を適用すれば、Cu 配線以下の抵抗が達成できることが、III-2-I-②-(1)-図 18 に示すように予測される。以上のことから、我々は H22 末の目標について達成の目処が得られたと判断した。



III-2-I-②-(1)-図 18 本プロジェクトによる CNT 密度、CNT ビア抵抗、EM 耐性の進展

⑤ 微細ビアによる電気的特性評価：各種 CVD 技術による CNT ビア配線技術ベンチマーク

III-2-I-②-(1)-図 19 は、代表的な競合他機関から報告されている各種 CVD による CNT ビア配線技術のベンチマークを示す。ここでは、比較データが揃っている発表として、韓国 Samsung、欧州 CEA-LETI 及び MIRAI プロジェクトに類似した欧州の『VIACARBON プロジェクト』からのデータを示す。この他の機関として IMEC や米大学等からの報告もあるが、この表を埋めるだけのデータはまだ揃っていない。この表から、従来の Si LSI プロセスとの整合性(合成温度と使用する材料の観点)や電気抵抗など電気的特性において、我々が優位にしていることが分かる。2010 年 IEDM で VIACARBON プロジェクトから、580°C の高温成長ではあるが、12 乗/cm² 台の高密度 CNT 成長について報告があった。しかしながら、彼らのビア抵抗はまだ桁違いに高い。彼らは触媒金属に鉄薄膜、下地膜として AlCu 層を用いている。鉄も Al も、ともに酸化し易い材料であり、現実には酸化アルミニウム上、酸化鉄触媒になっている可能性があると考えられる。触媒は CNT 成長時に多少還元されていると思われるが、酸化膜下地上の CNT 成長となっている可能性が高い(我々は酸化し難い TiN を使用している)。従来、酸化膜上触媒からは、金属膜上触媒に比べて、CNT 成長が容易であることは良く知られているが、酸化層が介在すると電気抵抗的には非常に高い値になってしまう。この状況は彼らの報告と辻褃が合う。従って、彼らにとって、たとえ我々並みの高密度 CNT が合成可能になったといえども(成長温度の課題も残っているが)、彼らの触媒・下地膜の材料の組み合わせのままでは、電気的特性の改善はかなり難しいであろうと予想される。

組織		MIRAI	Samsung ※1,2,3	CEA-LETI ※4	VIACARBON ※5
技術項目	目標				
プロセス	CMOS整合	Single damasene	Single damasene	Single damasene	Single damasene
触媒/底面電極	低抵抗 CMOS整合	Co-particle /TiN/Ta/Cu	Ni-film/Al ※1 Ni-film/TiN ※2	Ni-film/Al	Fe-film/AlCu
CNT 成長温度	<400 °C	熱CVD C ₂ H ₂ 365-450°C	熱CVD, C ₂ H ₂ /Ar, 600°C ※1 プラズマCVD, CH ₄ /H ₂ , 600°C ※2	熱CVD, C ₂ H ₂ /H ₂ , 520°C	熱CVD, C ₂ H ₂ /H ₂ , 580°C
CNT 密度 (/cm ²)	>10 ¹²	~10 ¹² local: > 2 × 10 ¹²	2.7 × 10 ¹⁰ ※1 5 × 10 ¹⁰ ※2	5 × 10 ¹⁰	2.5 × 10 ¹²
上面電極	<400 °C	CMP Ti/Cu(室温)	CMP Ti/Al(500°C)	CMP無し AuPd alloy	CMP Ti/Pt(室温)
ビア抵抗(Ω) @160nmφ	~10(W), ~2(Cu)	10 (52Ω@φ70nm, 450°C)	25 (100Ω@φ80nm) ※3	70-1.5k (20-450Ω@φ300nm)	390k (10kΩ@φ1μm)
CNT 当たりの 電流密度(A/cm ²)	>10 ⁷	2 × 10 ⁸	-	2 × 10 ⁸	-

※1 IEEE-NANO2006, ※2 NT06(口頭のみ情報), ※3 nano tech 2008(展示ポスター),

※4 IEEE-IITC2008, ※5 IEEE-IEDM2010

III-2-I-②-(1)-図 19 CNT ビア技術のベンチマーク

4) カーボン材料を用いた横配線技術の開発

横方向配線の要素技術は、CNTの横方向制御、高密度成長、縦横配線の接合技術が挙げられる。方向制御について、高密度のCNTを成長した場合、CNT同士のファンデルワールス力によって、CNTは同じ方向に向かって揃って成長することが分かっている。我々が成長する密度では、当然その成長形態になることが予想される。従って横配線を実現するには、起点となる場所にブロックを設け、そのブロックの側壁に触媒を付け、CVD成長すれば、その触媒からCNTが垂直方向に伸びて横配線が形成されることになる。そこで、横配線の主要な研究は、まず高密度CNTのCVD成長が実現することであり、テーマ1)と共通である。さらに横配線では、ビアに比べて配線長が長くなることから、低抵抗を得るにはCNTの品質を高めること、言い換えればキャリアの平均自由行程を長くすることが重要となる。高密度化と高品質化については、1)-①、②、⑤に述べたように、密度 $2E12/cm^2$ の達成、TEM観察によるCNTの良好なグラファイト層の成長を確認した。これらをもとにブロック側壁からの成長と電気的特定を、最終年度に行う予定であったが、それらについては実施しなかったため記述しない。

② 新探究配線技術開発 [NSI]

(2) 新コンセプトグローバル配線技術の開発 (LSI チップ光配線技術開発)

1) 低消費電力オンチップ電気光変調器および導波路結合型受光器の開発

光配線によるデータ伝送は電気配線によるデータ伝送よりも短い遅延時間および少ない伝送損失が可能である。しかし、光配線方式の導入には、電気信号から光信号への変換、および伝送された光信号から電気信号への変換における遅延および消費電力の発生というオーバーヘッドを伴う(K. Ohashi, et al., “A Silicon Photonics Approach for the Nanotechnology Era,” IEDM 2007, 30.6, pp. 787-790, 2007.)。このオーバーヘッドを小さくするために、LSI チップ上に多数配置することが可能な超小型の電気光変調器および受光器の開発を行った。

1)-1 低消費電力オンチップ電気光変調器

変調器の消費電力を必要なレベルにまで下げるには、第一にそのサイズを大幅に縮小する必要がある。従来の光通信用の高速変調器においては、長い伝送距離に対応した高い信号品質および温度変動に対応するためマッハ・ツェンダー型と呼ばれる構造が採用されている。これは光を二つの光路に分けて再び重ね合わせるとそれぞれの光路に位相のずれがあれば干渉により光強度の差が現れるものでマッハ・ツェンダー干渉計(MZI: Mach-Zehnder Interferometer)とも呼ばれる。この構造を用いた場合、通常は変調器長さが1 mm以上となる。これはその長さに伴う電気容量の存在により、設計上消費電力の大幅な低減を行うことは困難であることを意味していた。

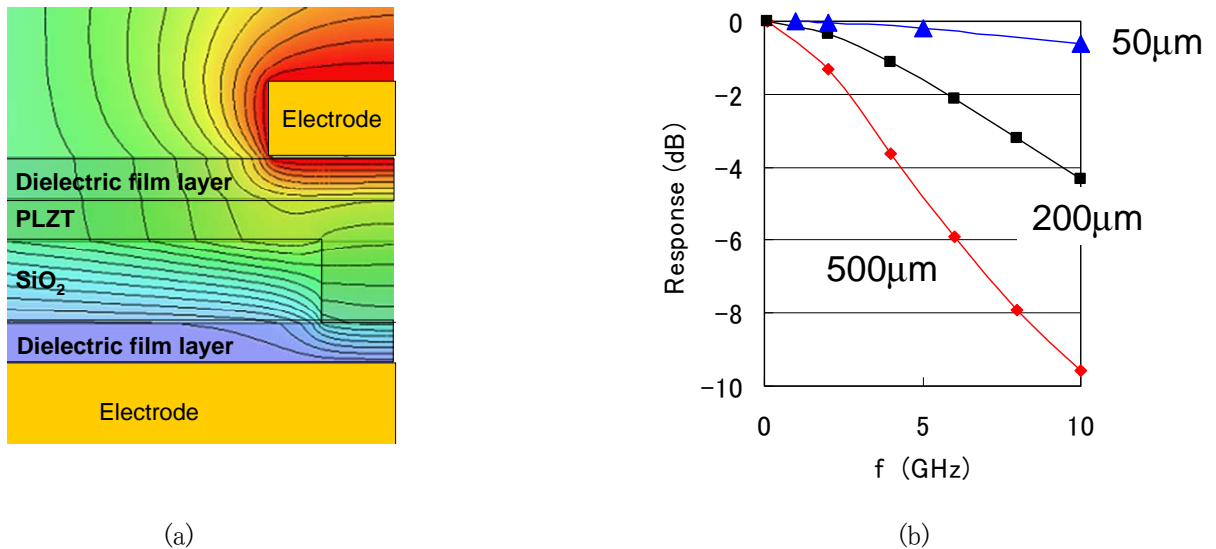
これに対し、高い電気光学効果を持つ材料を用いて共振型の光導波路構造による光閉じ込めを利用して変調器を小型化することにより、電力・遅延積の大幅低減が可能である。エアロゾルデポジションと呼ぶナノ結晶粒セラミックス製膜法で形成した PLZT (ランタンドープジルコン酸チタン酸鉛) 膜は、従来の光通信用電気光学変調器に用いられてきた標準的な材料であるニオブ酸リチウムの数倍から一桁上の 100 pm/V 以上という電気光学定数を持つことが報告されている(M. Nakada, et al., “Electro-Optic Properties of $\text{Pb}(\text{Zr}_{1-x}\text{Ti}_x)\text{O}_3$ ($X = 0, 0.3, 0.6$) Films Prepared by Aerosol Deposition,” Jpn. J. Appl. Phys., vol. 44, no. 34, pp. L1088 - L1090, 2005)。エアロゾルデポジションは、高い電気光学定数を与えるだけでなく、その材料特性が基板下地の影響をほとんど受けにくいという長所を持っている。これは、ナノ結晶粒が基板材料の種類を選ぶことなくランダムな方位で緻密に堆積されるためである。

この長所を活かすため、電気光学特性の周波数依存性およびデバイスの形を任意に設定できる電気光学変調器用の設計ツールを開発し、電気光学膜を上下から電極で挟む高周波対応の独自構造を持つ電気光学変調器を開発した。開発した電気光学変調器は、PLZT 強誘電膜や透明誘電膜等の積層で構成され、1 GHz～数 10 GHz という高周波で動作させる必要がある。このような用途に対応するため、誘電率の周波数分散を考慮した Excel ベースの専用設計ツールを構築した(M. Nakada, et al., “Lanthanum-Modified Lead Zirconate Titanate Electro-Optic Modulators Fabricated Using Aerosol Deposition for LSI Interconnects,” Jpn. J. Appl. Phys., vol. 48, 09KA06, 2009)。この設計ツールは、①PLZT の電気双極子の配向分極による複素誘電率の周波数依存性を考慮した材料設計シート、②変調器の容量、消費電力、駆動電圧を算出する構造設計シート、③変調器の等価回路から遮断周波数を算出する正弦波の動解析シート、④過渡解析と行う信号波形解析シートから構成されている。

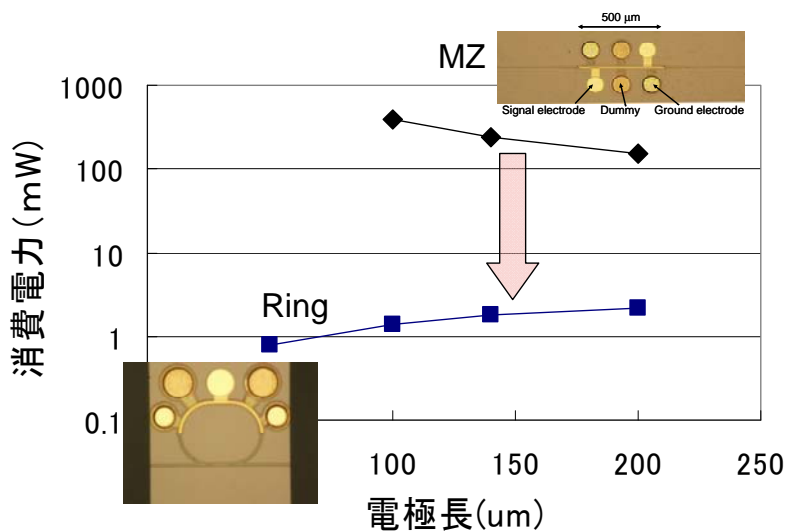
変調器の断面構造と電位分布のシミュレーション結果をⅢ-2- I -(2)-(2)-図 1 に示す。電気・光変換を行う PLZT 層に高電界を印加することが構造設計のポイントとなる。通常この種の電気光学変調器は、電極を側面から突き当てる構造をとる。これは通常の製膜法では電極と絶縁基板の両方で同時に同じ特性の膜を得ることが

困難であったからである。これに対し、エアロゾルデポジション法は原料のセラミックス粉の結晶構造をほぼ保ったまま微細で緻密な膜を得ることができる。Ⅲ-2-I-②-(2)-図 1 (a)には、この長所を活かした電極サンドイッチ構造における電位分布計算結果を示す。この構造により、側面に電極をつき当てる従来構造の倍程度の大きな電位勾配すなわち電界強度を電気光学材料に加えることができることが判明した。また、応答出力(光信号強度)と電極長(Ⅲ-2-I-②-(2)-図 1 (a)の紙面に垂直な方向の長さ)の関係を計算した結果をⅢ-1-I-②-(2)-図 1 (b)に示す。電極長を $50\mu\text{m}$ にすることで 10 GHz での応答遅れによる損失は -1dB 以下になることが判明した。

開発した上記設計ツールを用いて、電気光学変調器の 10 GHz における消費電力の電極長依存性を計算した結果をⅢ-2-I-②-(2)-図 2 に示す。マッハ・ツェンダー(MZ)型とリング共振型の二種類の構造について計算した。この図からわかるように、リング共振型にすることで、マッハ・ツェンダー型の 1/100 に消費電力を低減できる。これは、共振現象を利用することで変調器の電圧感度が 4 倍になるとも言える。ただしこれはリング導波路の伝搬損失が 10dB である場合の計算値である。以上の検討結果から、リング共振型の小型化が、低消費電力で 10 GHz 動作可能な変調器として適していると確認された。



Ⅲ-2-I-②-(2)-図 1 電気特性の設計ツールによる計算結果。(a)変調器の断面構造と電位分布のシミュレーション結果、(b)変調器の電極長による周波数応答計算。

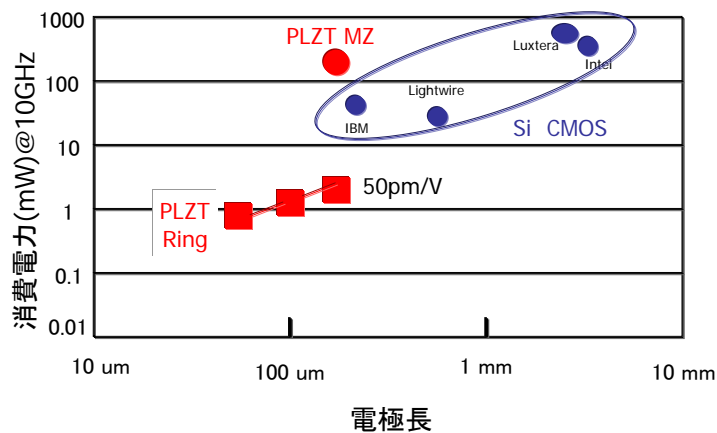


Ⅲ-2-I-②-(2)-図 2 計算した PLZT 変調器の 10GHz における消費電力と電極長の関係

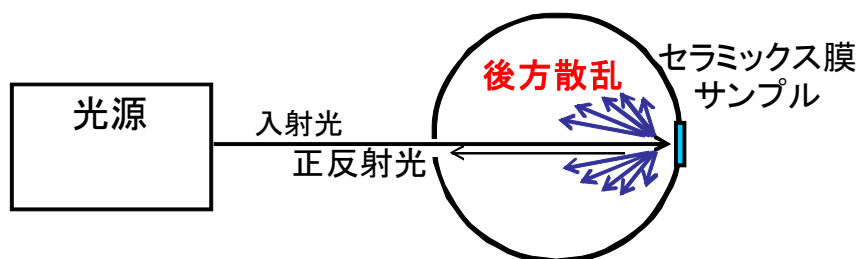
シリコン基板上に形成可能な光変調器として、Si CMOS 変調器と本研究テーマの PLZT 変調器とを比較した結果をⅢ-2-I-②-(2)-図3 に示す。縦軸は 10 GHz における消費電力、横軸は電極長であり、PLZT 変調器は上記設計ツールによる値、Si CMOS 変調器については公開されているデータをまとめている。Si CMOS 変調器はいずれもマッハ・ツェンダー型である。図から、共振構造のリング型 PLZT 変調器は、Si CMOS のマッハ・ツェンダー型変調器よりも 1 桁以上消費電力の低減が可能であることがわかる。

上記設計に基づく小型リング共振型電気光学変調器の試作を行うに当たり、PLZT のリング導波路が実際に光の共振を起こすためには、リング導波路における光信号の挿入損失を十分低減することが重要である。当初目標は、PLZT 膜の導波損失を従来の -4 dB/mm から -2 dB/mm に半減すれば十分な共振が起こると考えた。しかし、試作評価を進めるにつれて、実際には導波路形状にした場合の導波路端部や界面における光の散乱損失が大きな割合を占めることが判明した。

2007 年度に試作した初期のリング共振器の損失は 45 dB という大きなものであった(Ⅲ-1-I-②-(2)-図 11 参照)が、以下に述べるように PLZT 導波路における凹凸および不均一性を減らすことにより 2009 年には挿入損失を 25 dB まで下げた。損失を 20dB 低減(1/100)した中身は、産業技術総合研究所との共同実施による以下に報告する複数のプロセス改善によるものであった。はじめに光導波路における光伝搬損失の主要因となっているセラミックス膜の光散乱を評価するために、AD 成膜技術により PLZT 電気光学膜をガラス基板上に形成し、その形成膜の光散乱を評価する後方散乱測定法を導入し確立した。Ⅲ-2-I-②-(2)-図 4 は形成したセラミックス膜の光散乱を測定する評価概要構成である。この評価手法により成膜したセラミックス膜の光散乱をより簡単に評価することができ、光散乱に関わる成膜プロセス条件や技術の効率的な検討を可能にした。



Ⅲ-2-I-②-(2)-図3 Si-CMOS 変調器と本 PLZT 変調器の比較



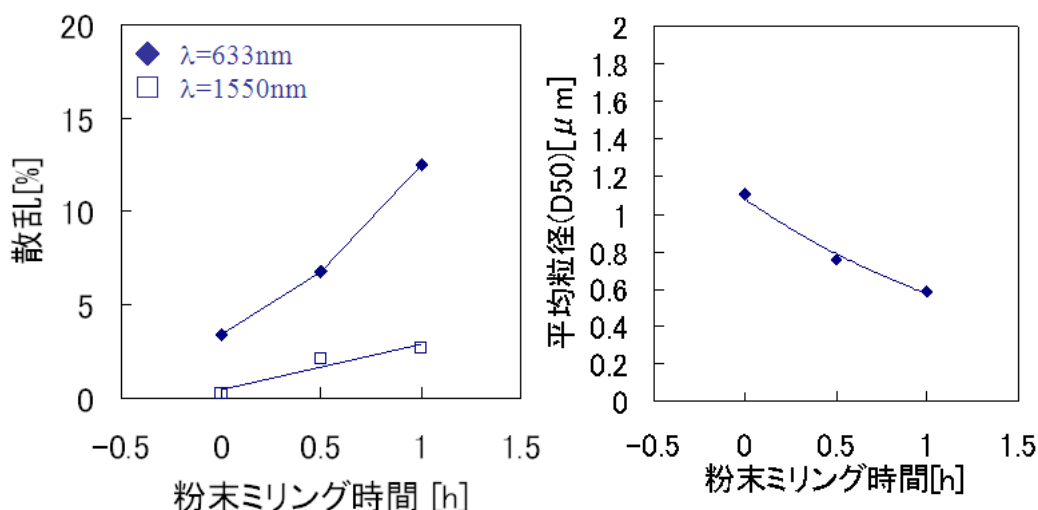
Ⅲ-2-I-②-(2)-図4 光散乱測定構成概要

AD 成膜プロセス技術では、原料粉末の粉碎(ミリング)処理や熱処理などの成膜前処理が形成サンプルの膜質や各種特性に影響する。そこで原料粉末の粉碎処理時間や熱処理温度とその処理した粉末を用いて成膜した PLZT 電気光学膜の光散乱との関係性を評価した。Ⅲ-2-I-②-(2)-図 5(a)、(b)は、それぞれボールミルによる原料粉末の粉碎時間とその処理を施した粉末を用いて形成した膜の光散乱との関係、ボールミルによる原料粉末の粉碎時間と粉末の平均粒径との関係を示す。これらの評価からボールミルでの粉碎により平均粒径が減少した粒度分布となり、平均粒径が減少した粉末を用いて成膜することで形成膜の光散乱が増加することを明らかにした。Ⅲ-2-I-②-(2)-図 6 は原料粉末の熱処理温度とその温度で熱処理した粉末を用いて形成した膜の光散乱を示す。形成膜の光散乱を低減するのに適した粉末熱処理温度範囲を確認した。

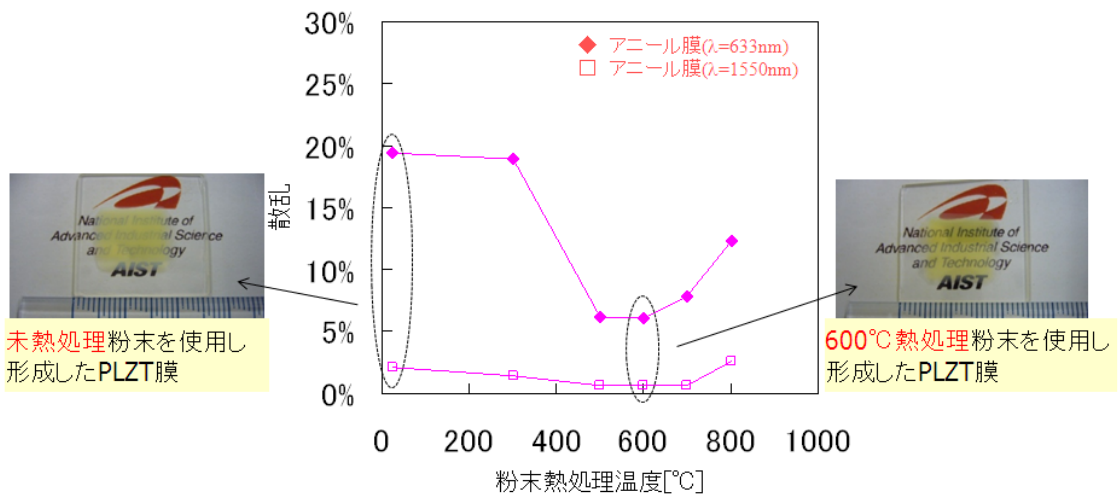
また、原料粉末の成膜前処理条件と同様に成膜条件とその条件下で AD 成膜した PLZT 電気光学膜の光散乱との関係性を評価し、成膜条件と形成膜の光散乱との関係を明確にした。Ⅲ-2-I-②-(2)-図 7 は成膜条件の一つであるエアロゾルを吹き付ける基板の法線に対する角度とその条件下で形成した PLZT 電気光学膜の光散乱との関係性を示す一例である。このようにエアロゾルを基板に吹き付ける入射角度、エアロゾルの生成に使用する搬送ガス、ガス流量やその他の成膜条件によって形成した PLZT 電気光学膜の光散乱が成膜条件に依存することを確認した。

Ⅲ-2-I-②-(2)-図 8 は異なる粉末条件、粉末前処理条件、成膜条件において形成した PLZT 電気光学膜の光散乱を比較した結果を示す。検討してきた原料粉末の成膜前処理条件、成膜条件をもとに PLZT の組成粉末から固溶のばらつきがなく結晶性の高い PLZT 粉末を合成微粉化により自製した粉末を用いて形成した PLZT 膜の光散乱はこれまでの評価において最も光散乱が少なく透明性の高い電気光学膜が得られた。

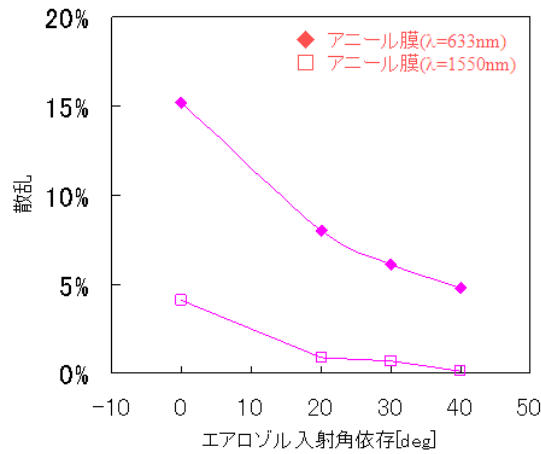
共同実施者である産総研による測定の結果、PLZT 膜としては、光吸収係数として 4.66 cm^{-1} (@1550 nm)、光透過損失として -2 dB/mm (@1550 nm) という値を得た。



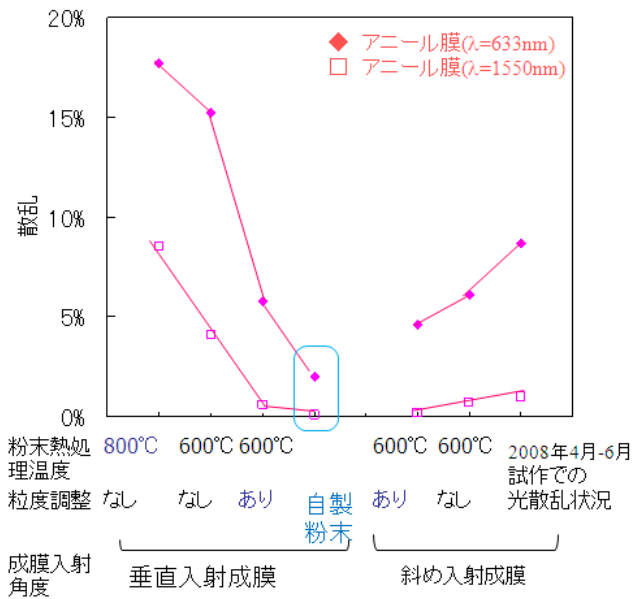
Ⅲ-2-I-②-(2)-図 5 (a) 粉末粉碎時間とその粉末で形成した膜の光散乱 (b) 粉末粉碎時間と粉末の平均粒径との関係



III-2- I -②-(2)-図 6 粉末熱処理温度と光散乱の関係



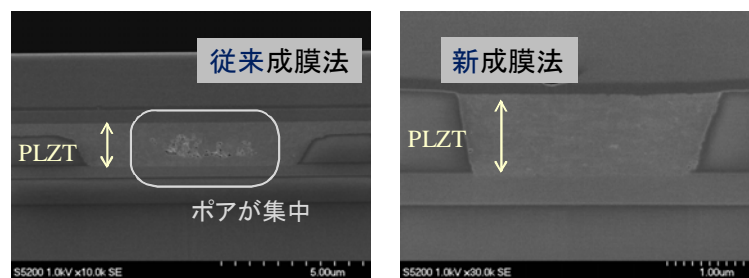
III-2- I -②-(2)-図 7 エアロゾル入射角度条件とその条件で形成された膜の光散乱との関係



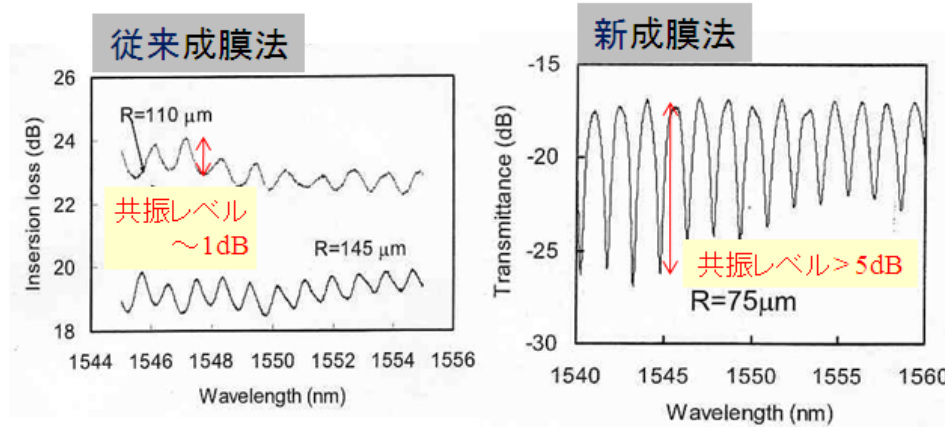
III-2- I -②-(2)-図 8 PLZT 電気光学膜の光散乱比較

さらに、成膜対象となる光導波路に適合する粉末の成膜前処理条件、成膜条件を調整・制御し、光導波路へ光伝搬要因となる膜欠陥やボイドなどを抑制した PLZT 電気光学膜の形成に成功した。Ⅲ-1-I-②-(2)-図 9 はリング状共振型導波路の断面を電子顕微鏡(SEM)により観察した様子を示す。リング状をはじめとする各種光導波路に対応した新たな成膜法を導入することによりポアの少ないより緻密な膜を光導波路へ形成することを可能にした。こうした光導波路への電気光学膜の形成に対応して、リング状導波路変調器の共振特性が改善した。

Ⅲ-2-I-②-(2)-図 10 はリング型変調器の共振特性改善状況を示す。光変調器の小型化、低消費電力化に適し、光閉じ込めがより困難な小さなリング曲率半径で共振レベルが増加した。これまでのリング状導波路変調器において、最大で 15dB 程度の共振レベルに至っている。このような共振特性の改善検討により AD 成膜技術を適用したナノ結晶粒セラミックス電気光学膜を導波路にしたリング状光変調器において、GHz 台(最速 10GHz)の高周波変調動作を可能にした。

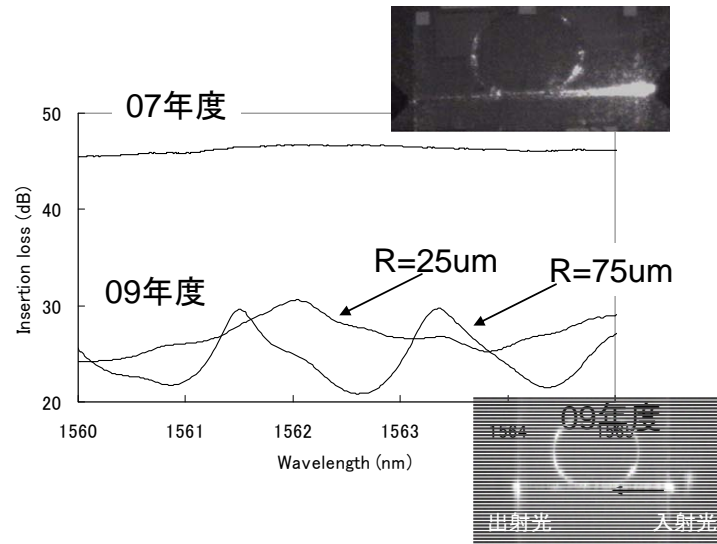


Ⅲ-2-I-②-(2)-図 9 リング状導波路断面の SEM 観察



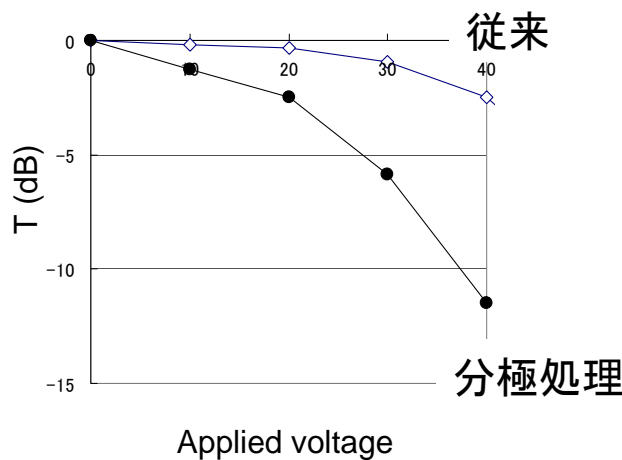
Ⅲ-2-I-②-(2)-図 10 リング状共振型導波路変調器の共振特性改善

以上のエアロゾルデポジション製膜プロセス改善、および PLZT リング導波路と入出力導波路の接続部の光の分岐比最適化により、Ⅲ-2-I-②-(2)-図 11 に示すように、リング半径 $R=75\mu\text{m}$ および $25\mu\text{m}$ のリング長に対応した共振波長の間隔が正確に観測され、良好なリング共振が得られるようになった。



III-2- I -②-(2)-図 11 リング共振型変調器の挿入損失の波長依存性

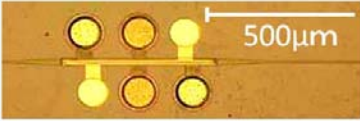
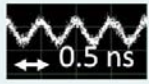



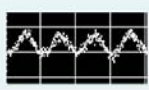

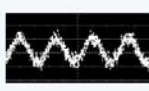
PLZT 変調器の消費電力の低減には、PLZT 層の電気光学効果を高め、動作電圧を低減することが必要とされる。エアロゾルデポジションで作製された PLZT はナノサイズの微結晶の集合体であり、エピタキシャル成長などで得られる単結晶膜とは異なりそれぞれの微結晶の分極軸の方向は揃っていない。その結果、PLZT 層全体では無配向状態でありこのままでは高い電気光学効果は得られない。このような製膜直後の無配向 PLZT に高温中で電界を加えることで微粒子の分極方向が配列し、電気光学効果を増大させることができるというのが、100 pm/V という高い電気光学定数を得た実験における重要なポイントであったが (M. Nakada, et al., “Electro-Optic Properties of Pb(Zr_{1-x}Ti_x)O₃ (X = 0, 0.3, 0.6) Films Prepared by Aerosol Deposition,” Jpn. J. Appl. Phys., vol. 44, no. 34, pp. L1088 - L1090, 2005)、同じ効果が細い光導波路においても得られるかどうかは不明であった。実際にエアロゾルデポジション法で作成した PLZT 導波路に対し、150°C という十分な低温で電圧 24V を 10 分間印加する分極処理を行うことで、III-2- I -②-(2)-図 12 に示すようにバルク膜と同様の電気光学効果増強が得られることが判明した。



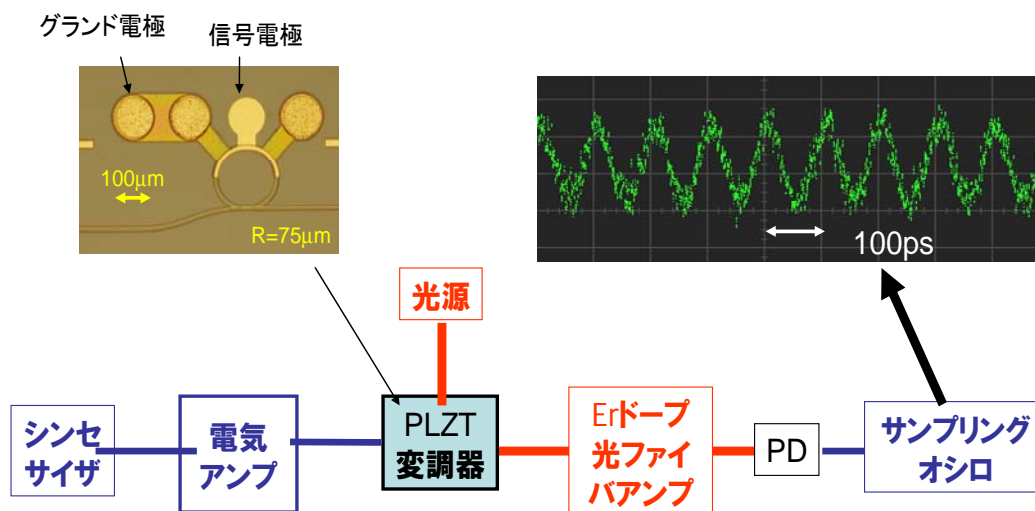
III-2- I -②-(2)-図 12 分極処理前後のマッハ・ツェンダー型干渉器の光透過率の電圧依存性

共振特性と電圧感度を改善し試作したPLZT変調器の構造と2 GHzにおける光信号出力をⅢ-1-I-②-(2)-図13に示す。消費電力の設計値も合わせて示している。試作した変調器は、マッハ・ツェンダー型変調器(電極長 $500\mu\text{m}$)、リング共振型($R=75, 50, 25\mu\text{m}$)の合計4種類である。いずれの変調器でも、2 GHzの変調動作が確認された。消費電力は、マッハ・ツェンダー型変調器で 80 pJ/bit 、リング共振型は、 $0.35, 0.2, 0.14\text{ pJ/bit}$ と小型化につれて低減する。リング共振型の消費電力はいずれも目標を大きく上回っている。

上記試作デバイスの中で、 $R=75\mu\text{m}$ の小型リング共振器では、Ⅲ-2-I-②-(2)-図14に示すように10 GHzの電気光学変調動作が確認された。これはPLZT変調器としてはこれまでで最高周波数での変調動作である。計算上さらに高周波特性が期待される $R=50\mu\text{m}$ および $R=25\mu\text{m}$ の試作品が2 GHzどまりだったのは、導波路の凹凸あるいは不均一性に基づく散乱損失が现阶段では抑えきれないためだと考えられる。

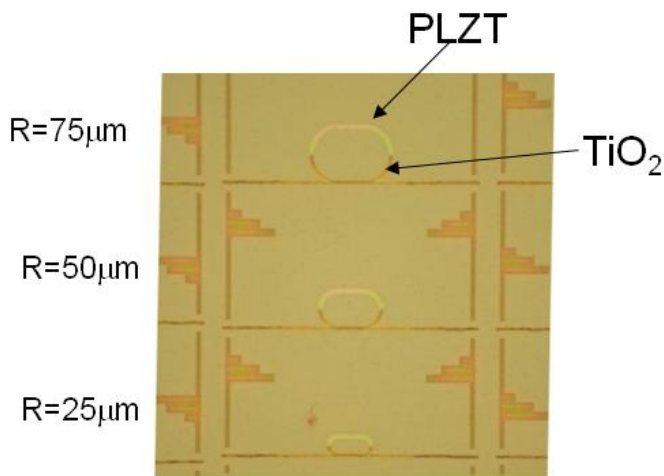
構造	消費電力 設計値	光信号出力 @2 GHz
マッハ・ツェンダー型 	80 pJ/bit 800 mW @10Gbps	
リング共振型 $R=75\mu\text{m}$ 	0.35 pJ/bit 3.5 mW @10Gbps	
$R=50\mu\text{m}$ 	0.2 pJ/bit 2 mW @10Gbps	
$R=25\mu\text{m}$ 	0.14 pJ/bit 1.4 mW @10Gbps	

Ⅲ-2-I-②-(2)-図13 試作した変調器の構造、2 GHzにおける光信号出力、並びに消費電力の設計値

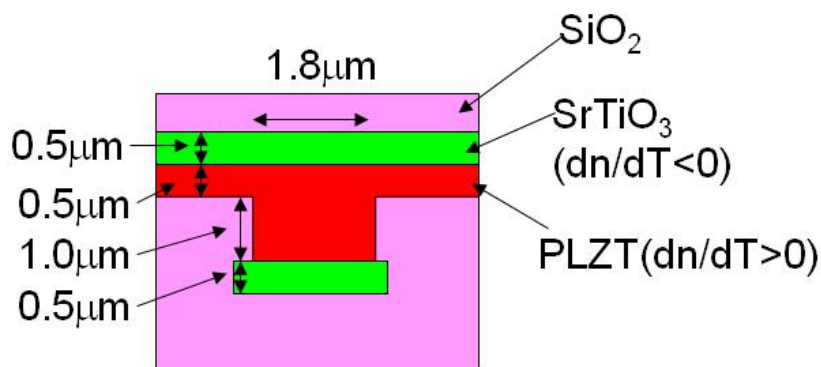


Ⅲ-2-I-②-(2)-図14 小型リング共振型変調器($R=75\mu\text{m}$)の10 GHzにおける光信号出力

なお、LSI チップ光配線にリング共振型を適用するためには、温度変化に敏感な共振波長の安定化が必要となる。ナノ結晶の PLZT を用いた変調器では、PLZT とは逆の屈折率温度特性を持つ誘電体材料との複合化による安定化方法が比較的容易に実現できると考えられる。すなわち、PLZT の屈折率温度特性 (dn/dT) はプラスであることから、屈折率が PLZT に近くかつその温度係数がマイナスである SrTiO_3 や TiO_2 を PLZT と組み合わせて複合材料化することで、容易に温度依存性の問題に対処できる。このように考えて、リング導波路の半分を PLZT、半分を TiO_2 にしたリング共振器 (Ⅲ-2- I -②-(2)-図 15)、および PLZT と SrTiO_3 積層したリング共振器 (Ⅲ-2- I -②-(2)-図 16) を試作し評価した。いずれの複合材料化も、屈折率の温度依存性をマイナス方向に変化させる効果は現れたが、光の散乱が増加したため定量的な評価をするまでには至らなかった。なお、複合材料化による温度特性改善の理論については、「3) 多波長光源とオンチップ光回路の集積技術の開発」で詳しく述べる。



Ⅲ-2- I -②-(2)-図 15 リングの半分を PLZT、半分を TiO_2 にしたリング共振回路



Ⅲ-2- I -②-(2)-図 16 Si-CMOS 変調器と本 PLZT 変調器の比較

1)-2 導波路結合型受光器

光信号を電気信号に変換する受光器として、高速動作が必要な通信用途では化合物半導体のフォトダイオードが用いられることが多かった。Si CMOS プロセスと相性の良い Si フォトダイオードは、Si の光吸収長が長いいためサイズが大きくなり(数 10 μm 以上)、GHz 台での応答は困難であった。これに対し Si CMOS プロセスと比較的相性の良い Ge フォトダイオードを導入する試みが行われているが、800°C程度の高温熱処理による界面の転移除去を必要とするなど製造プロセス上の課題を抱えている。これに対し、表面プラズモンアンテナを用いた Si フォトダイオードは、光を局所的に閉じ込めることでサイズを小さくすることが可能であり、数 10 GHz での応答および低パワー光源の利用を可能にすることなどからオンチップ光配線に適している(K. Ohashi et al., “Optical Interconnect Technologies for High-Speed VLSI Chips Using Silicon Nanophotonics,” ISSCC 2006, 23.5, 2006)。本研究テーマでは、2007~08 年度において、SiON 光導波路と表面プラズモンにより結合した Si フォトダイオード(導波路型 Si ナノフォトダイオード)を開発し、光パルスに対する高速な応答(半値全幅 20 ps)の実証、および光クロックの基礎実験に相当する 5 GHz の外部光源による LSI の駆動の実証を行った(J. Fujikata, et al., “Waveguide-Integrated Si Nano-Photodiode with Surface-Plasmon Antenna and Its Application to On-Chip Optical Clock Distribution,” Appl. Phys. Exp., 1, 022001, 2008)。

SiON 光導波路の導波損失は 0.2-0.3 dB/cm と低いが、光の閉じ込めがそれほど強くないため曲げ半径が数 100 ミクロンより小さくなると光が漏れる。従って、LSI 上で高度に集積化するにはこの材料の改良が必要であった。そこで、次項「2)波長多重光回路のための導波路、合分波器、受光、および変調素子の多チャンネル集積形成技術の開発」で報告するより屈折率の大きい SiN 光導波路を開発した。SiN 光導波路は曲げ半径を 20 μm 程度まで小さくすることができる。ここでは、新たに SiN 光導波路と表面プラズモンアンテナにより効率良く結合する Si ナノフォトダイオードを開発した。SiN 光導波路結合型の Si ナノフォトダイオードの基本構成も、SiON 光導波路結合型の Si ナノフォトダイオードと同様に、表面プラズモンアンテナを兼ねる櫛歯型の Ag 製 MSM(金属-半導体-金属)電極を用いた。

具体的な設計については、フォトダイオード全体の光強度分布の時間変化を求めること、および半導体デバイスシミュレータ(シルバコ製 ATLAS)による光電流計算を用いた。その結果、10~20 ps という短い時間でプラズモンアンテナの効果により Si 中に光が吸収されてキャリアに変換されることが明らかになった。

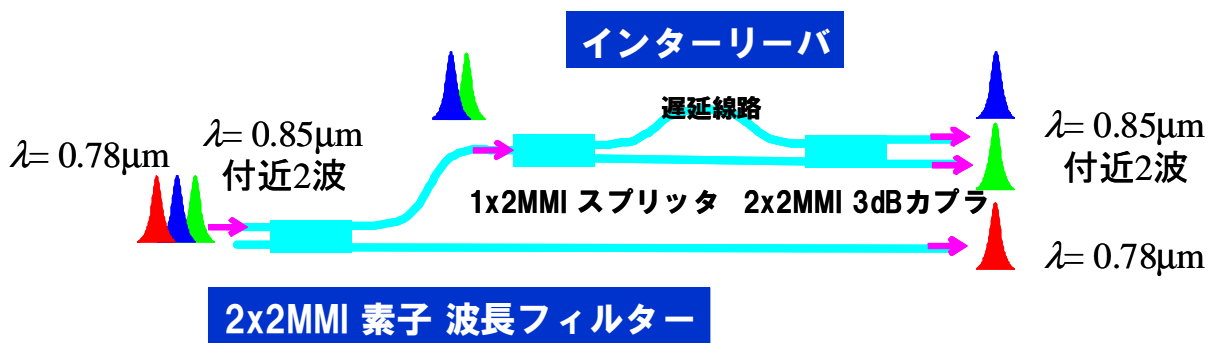
上記設計に基づいて SiN 波長多重光回路と Si ナノフォトダイオードの集積チップを試作した。評価の結果、波長 846 nm のレーザ波長に対して、集積化された Si ナノフォトダイオードにより高効率に分波検出が可能であり、この測定結果から計算すると 25% 以上の外部量子効率が得られていることが判明した。これは、先に開発した SiON 光導波路結合型 Si ナノフォトダイオードの外部量子効率約 10%、および今回の目標値 20% を十分上回る値であった。

SiN 光導波路と Si ナノフォトダイオードの光結合部の試作に当たっては、CMP(chemical mechanical polishing) プロセスを導入して Siメサ部と周辺の SiO₂クラッドとの段差を 10 nm 以下に改善した。このことが、光結合の効率を高め、外部量子効率の向上をもたらした要因として挙げられる。

2) 波長多重光回路のための導波路、合分波器、受光、および変調素子の多チャンネル集積形成技術の開発
 2)-1 SiON 光導波路を用いた 3 波合分波器の開発

本研究テーマで検討に用いた光波長多重チップは、個別に作製された光配線層と LSI チップを貼り合わせた構造を持つ。この光配線層の光導波路材料と LSI チップは、2006-07 年度で開発した光クロック分配の実験に用いたものと同等のものである。最初の試作に用いた光導波路の材料は SiON をコアとし SiO₂ をクラッドとする比屈折率差 $\Delta n = 2.7\%$ の SiON 光導波路であり、波長 600 nm ~ 1300 nm の広い範囲にわたって光吸収が少なく、i 線露光機でパターンニング可能な低損失光導波路であった。この光導波路の伝搬損失は TM-like モード・TE-like モードの両偏光に対して 0.2~0.3 dB/cm 程度であり、Si をコアとする導波路に比べて 1/10 程度の低損失であった。

最初の試作では、SiONの曲げ半径が数100 μm ほどであることを考慮して、チップサイズを3x4 mm²に制限した中で3波長を分波する波長フィルタを開発した。その全体概要図をⅢ-2- I -②-(2)-図20 に示す。この波長フィルタは、MMI(Multimode Interference)素子を用いた、2x2(入力2ポートx出力2ポート)の波長フィルタと1x2(入力1ポートx出力2ポート)のインターリーバとをシリアル接続した3波長フィルタになっている。ここで、インターリーバは、1x2 MMIスプリッタと2x2 MMI 3dBカップラの間を長さの異なる2本の導波路でつなぐことにより、入力波長多重光信号を波長間隔2倍の二組の信号系列に分波して出力する。一段目の波長フィルタによって、波長 780 nm 付近の光と波長850 nm 付近の光を大きく二つに分波したあと、更に2段目のインターリーバによって波長850 nm 帯の光を二つの波長の光に分波する。全部で三つのMMI素子によって構成されている。

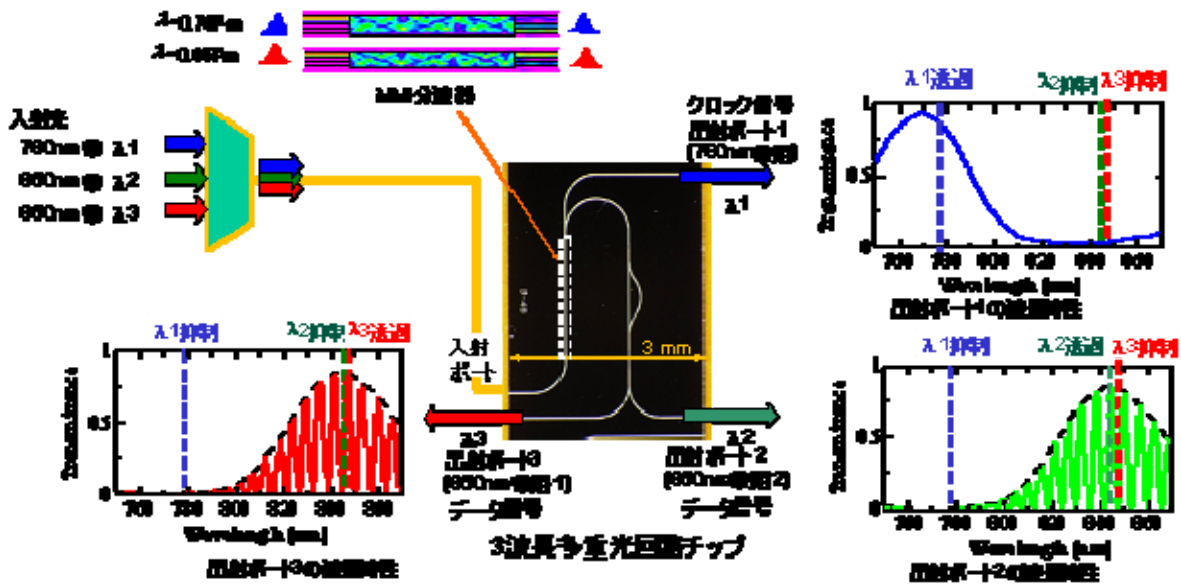


Ⅲ-2- I -②-(2)-図 20 SiON 波長多重光回路の全体概要図

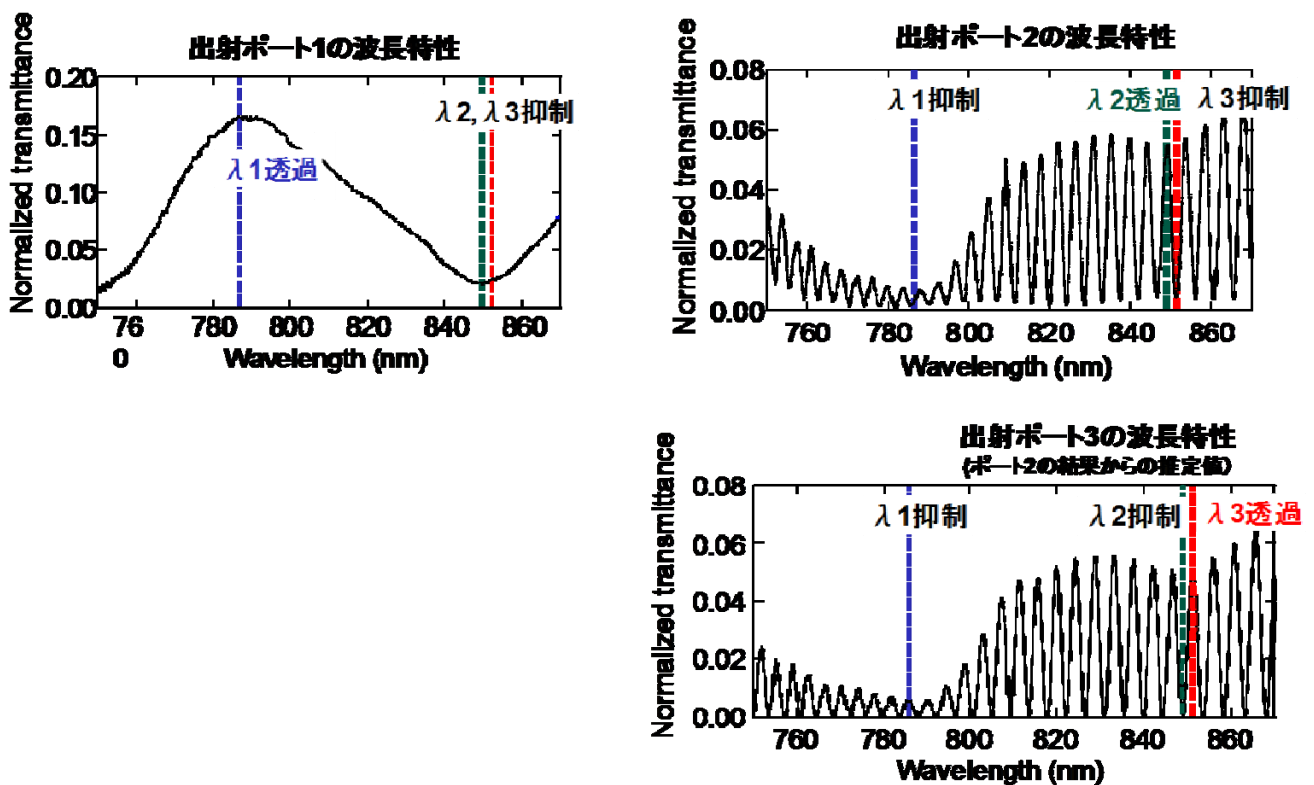
Ⅲ-2- I -②-(2)-図21に実際に試作した波長多重光回路の顕微鏡写真と各ポートでの透過スペクトルの計算値を示す。チップサイズ3mm×4mmに収まるように一段目のMMI素子の後段のインターリーバ構造が導波路を90度折り曲げた後に形成され、850nm波長帯の分離が行われる構造となっている。

Ⅲ-2- I -②-(2)-図22に各出力ポートにおける波長スペクトルを示す。実験はSC(Super Continuum)白色光源からの光を光ファイバによりbutt結合により波長多重光チップに入射して、出力ポートからの出射光を光ファイバとbutt結合させて、光ファイバと接続したスペクトルアナライザにより分波検出した。

出力ポート1において、780 nm波長帯域の透過光が850nm波長帯域に比較して12dB以上の消光比で得られ、設計とほぼ一致する分波動作が得られた。また、出力ポート2においては、850nm波長帯域においてFSR(free spectrum range)4.5nmの高精度な分波特性が消光比12dB以上で得られた。すなわち、設計とほぼ一致する高精度な分波特性が得られていることが明らかとなった。



III-2-I-②-(2)-図21 波長多重光回路の顕微鏡写真と各ポートでの透過スペクトルの計算値

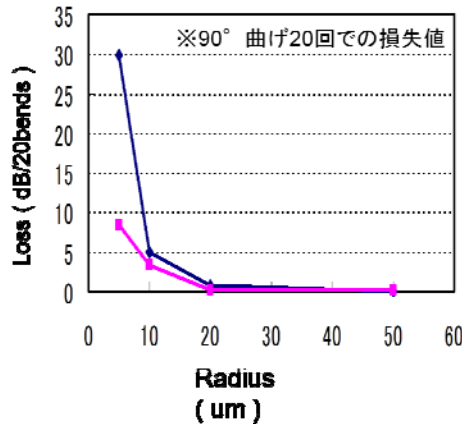


III-2-I-②-(2)-図22 波長多重光回路の各ポートでの透過スペクトルの測定値

2)-2 SiN 光導波路の開発

SiONの光波長多重回路に引き続き、フットプリントを $3 \times 4 \text{ mm}^2$ から 1 mm^2 以下にして、さらに波長の多重度を3から5に引き上げるため、屈折率差の大きいSiN光導波路を用いた波長多重光回路を開発した。

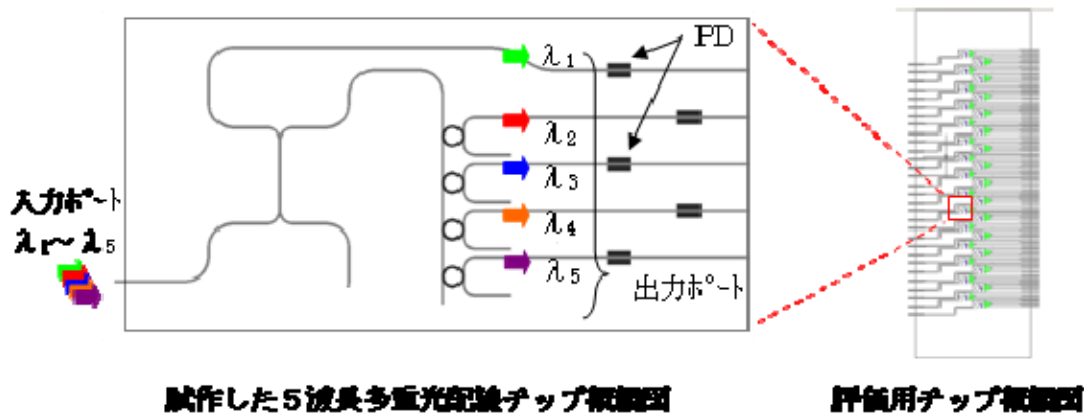
SiONの屈折率はNを増やしOを減らすことにより1.5から2.2程度まで上昇することが知られているが、これまでSiN(正確には Si_3N_4 付近の組成)を用いた微細光導波路は導波損失が大きくなると考えられていた。これに対し、本テーマではNTTとの共同実施により、2006-07年度に開発した平滑な側壁を持つ導波路技術を用いることで、0.3 dB/mmというSiON導波路並みの低損失化が可能であることを見出した(渡辺俊文他、「オンチップ光配線に向けた850nm帯用 Si_3N_4 導波路の伝播損失」、第55回応用物理学関係連合講演会、2009年4月1日)。また、III-2-I-②-(2)-図23に示すように、半径 $20 \mu\text{m}$ までは曲げによる損失が発生しないことが判明した。



III-2-I-②-(2)-図23 SiN光導波路曲げ損失実験結果

2)-2 SiN光導波路を用いた5波合分波器の開発

開発したSiN光導波路を用いて試作した波長多重光回路の概要と試作チップ上での配置をIII-1-I-②-(2)-図24に示す。SiN材の導波路曲げ半径は安全を見込んだ余裕をもった半径として、全体を $1 \text{ mm} \times 1 \text{ mm}$ 以下のフットプリントに収まるように折り曲げて配置した。

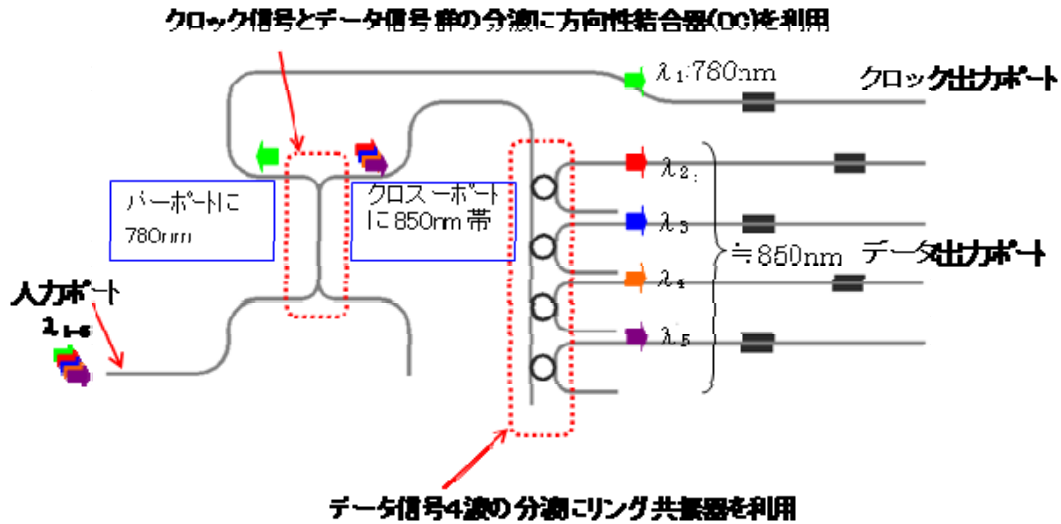


試作した5波長多重光配線チップ概観図

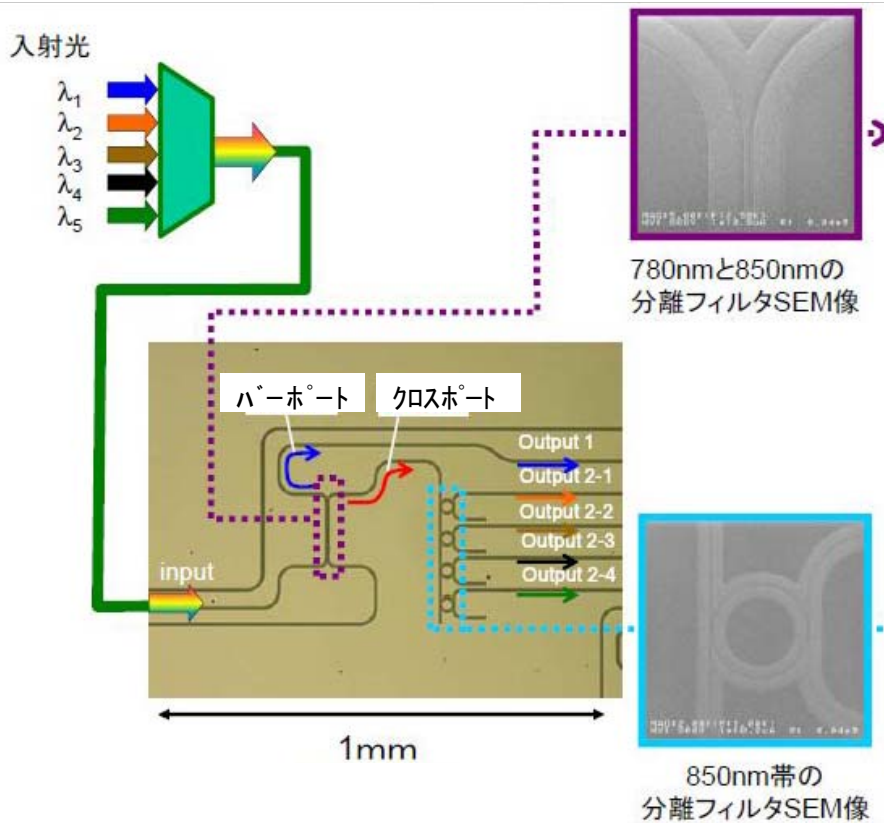
評価用チップ概観図

III-2-I-②-(2)-図24 5波波長多重用光回路概念図

実際に設計した光回路の構成をⅢ-2-I-(2)-(2)-図25に示す。1段目の方向性結合器(Directional Coupler: DC)で、クロック波長帯780nmの光(λ_1)とデータ波長帯域850nm近傍の光($\lambda_2 \sim \lambda_5$)の光を分離(フィルタ)する。2段目には、異なる遅延長を持つリング状の共振器を配置し、850nm帯近傍の4波($\lambda_2 \sim \lambda_5$)を分離(フィルタ)するものである。また、Ⅲ-2-I-(2)-(2)-図26は、導波路部全体の写真と、1段目フィルタ(DC)の写真、および、2段目フィルタ(リング共振器)導波路の写真である。

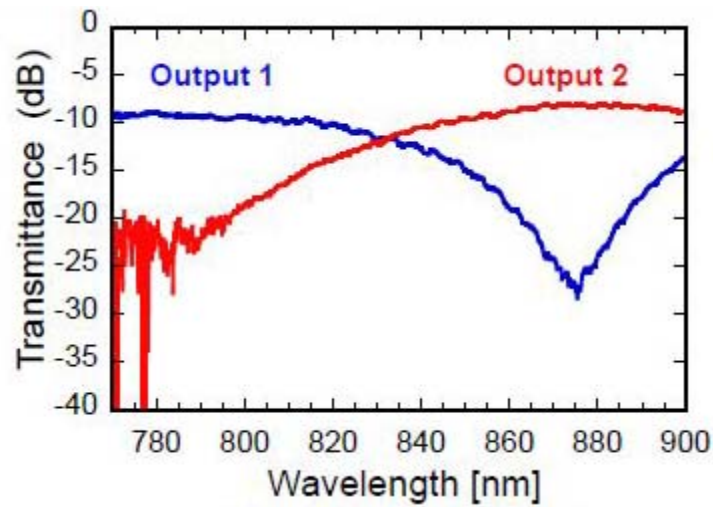


Ⅲ-2-I-(2)-(2)-図25 5波長フィルタの構成図



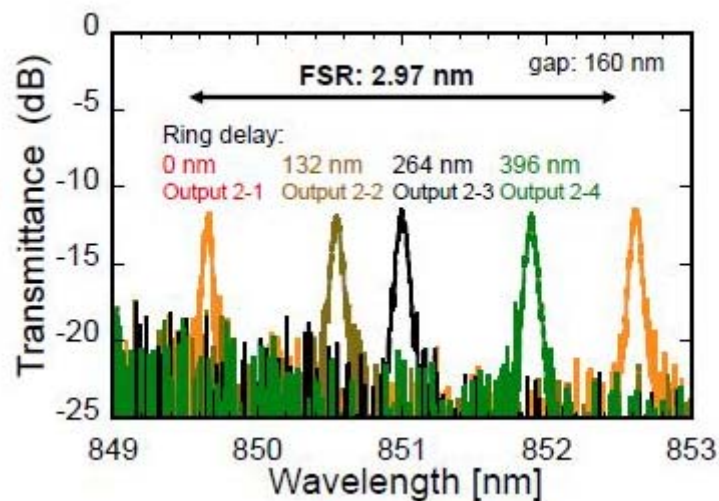
Ⅲ-2-I-(2)-(2)-図26 5波長フィルタの顕微鏡像

試作した光回路に780～850nm帯域の広い帯域をもつ光を入射した場合の、1段目波長フィルタ(方向性結合器DC)の出力ポートの波長スペクトルをⅢ-2-I-②-(2)-図27に示す。狙いとしているクロック波長帯(780nm)の光は方向性結合器のバーポート(Output 1)に出力され、データ波長帯(850nm帯)の光は方向性結合器のクロスポート(Output 2)に出力されている。第1段目のフィルタ分離が狙いどおりに機能していることが示される。



Ⅲ-2-I-②-(2)-図 27 1 段目フィルタの出力スペクトル

850 nm波長帯の光を入射した場合の2段目波長フィルタ(リング共振器)の4つの出力ポートの波長スペクトルをⅢ-2-I-②-(2)-図28に色分けして示す。各リングが特定の波長を透過するフィルタとして機能していること。リングの遅延長によって狙い度おりに透過波長がシフトしていることから、データ信号4波は、良好に分離されていることが示される。さらに、フィルタの分離性能の指針となるFSR (Free Spectra Range) が広い(3.0 nm)ことから、同様の構成で4波に限らず、8波、16波など高い多重度への可能性があることが示される。また、光回路内の損失は4dBと見積もられた。



Ⅲ-2-I-②-(2)-図 28 2 段目フィルタの出力スペクトル

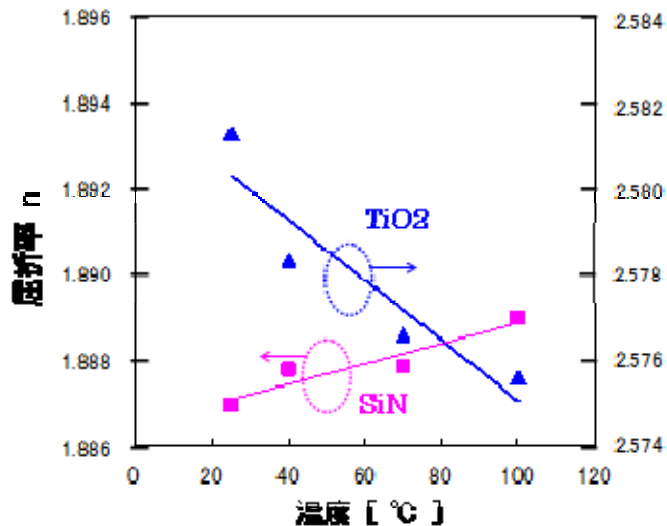
2)-3 温度無依存化

リング共振器は高いQ値を持ち、優れた合分波特性を示すが、温度変化により共振周波数が変化しやすいという問題がある。その対策として、LSI上での温度変化を念頭において温度変化範囲50°C以上でも等価屈折率が変化せず共振周波数が動かない、複合導波路による温度無依存化(アサーマル化)を検討した。

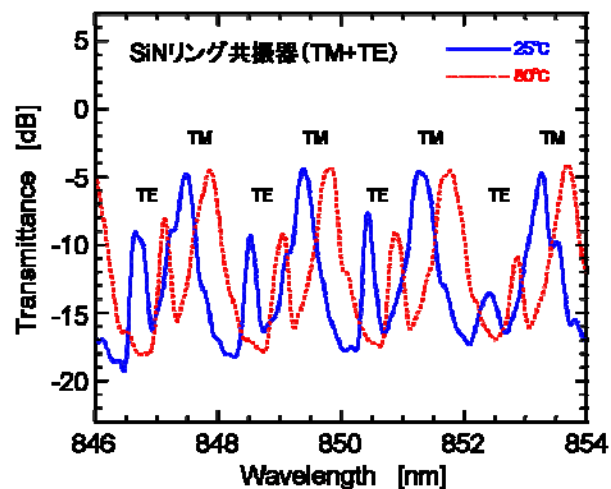
III-2-I-②-(2)-図29には、本合分波デバイスのアサーマル化を狙って、SiN材とは逆の屈折率温度依存性をもつ材料として選択したTiO₂を成膜し、実測した屈折率温度依存性を示す。この基本特性等を考慮して導波路層構成を最適化し、TiO₂を含む導波路を加工するための新規加工プロセスを立ち上げた。

波長800nm帯をねらった小型合分波器として、小型化のため高屈折率材としてSiNを用い、全体を1mm²未満の大きさに納め、波長780nmのクロック信号と850nm帯のデータ信号4波を低いクロストークで分離していること、および分離された光がシリコンナノフォトディテクタで検出され、出力信号として確認された。また、本デバイスのアサーマル化を狙い材料・構成・加工法の選択・最適化を進めた。これら成果により、SiN材を用いた小型光回路において、光配線を実現する波長多重基盤技術に目処が得られた。

リング共振器型SiN光分波器(リング半径25μm、結合器長15μm、導波路間ギャップ250nm)の25°Cと80°Cにおける光分波スペクトルをIII-2-I-②-(2)-図30に示す。現状では、温度変動を±5°C以内に保って共振波長変化を0.1nm以内に抑える必要があり、LSIチップ配線への応用は困難である。



III-2-I-②-(2)-図29 SiN/TiO₂の屈折率温度依存性

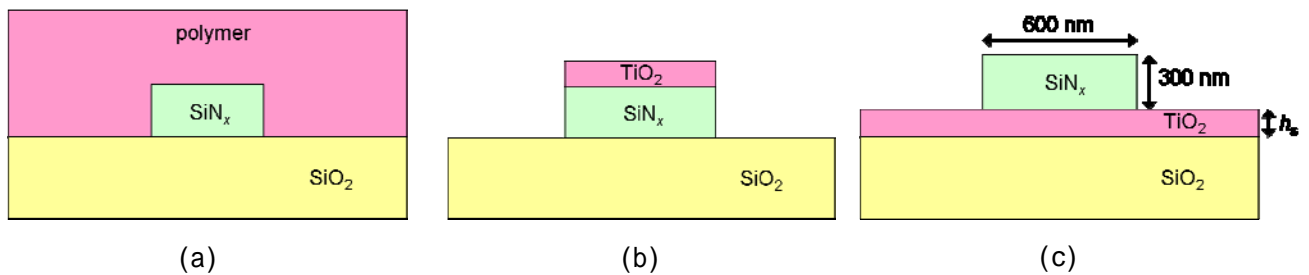


III-2-I-②-(2)-図30 SiN光分波器 (r=25μm)の光分波スペクトルの温度依存性

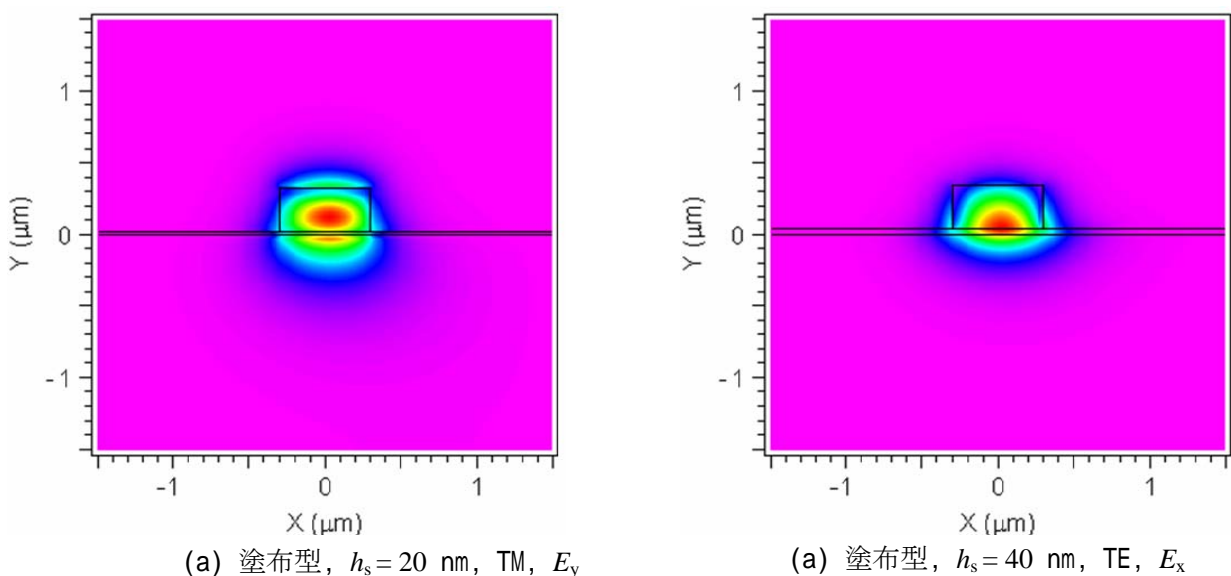
この温度依存性問題を解決するために、Ⅲ-2-I-②-(2)-図 31 (a)に示すように、屈折率の温度係数 dn/dT が正のコア材料(Siなど)と dn/dT が負のクラッド材料(ポリマーなど)を組み合わせ、光導波路をアサーマル化(温度無依存化)する試みが行われている。しかし、ポリマーは高温安定性に難があり、CMOS プロセスの中に入れるには制約が多い。また、屈折率の低いポリマー($n=1.4\sim 1.8$)にかなりの割合の光が染み出した閉じ込めの弱い光導波路になるので、素子の小型化が難しい。これに対し、本プロジェクトでは、以下に報告するような、 dn/dT が負で高温でも安定な TiO_2 を光導波路のコアの一部として用いた複合材料導波路を提案した。

無機材料のほとんどは $dn/dT > 0$ であり、 $dn/dT < 0$ のものは CaF_2 、 TiO_2 、STO (SrTiO_3) など、少数である。このうち TiO_2 は屈折率が $n=2.1\sim 2.6$ であり、本プロジェクトの主たるコア材料である SiN の屈折率($n=1.9\sim 2.0$)よりやや大きく、また、高温でも非常に安定である。したがって、 SiN と TiO_2 を積層した構造をコアとして利用することにより、温度安定性に優れ、小型化可能なアサーマル光回路を実現できる。

理想的にはⅢ-2-I-②-(2)-図 31 (b)のように屈折率の大きな TiO_2 と SiN を同じ幅に加工するのが好ましいが、現状では TiO_2 をきれいに加工することが難しいので、Ⅲ-2-I-②-(2)-図 31 (c)の SiN-TiO_2 リブ光導波路で TiO_2 スラブ厚 h_s を調整して実効屈折率の温度係数 $|dn_{\text{eff}}/dT|$ を低減することを検討した。 TiO_2 の堆積法としては、(1)塗布法、(2)スパッタ法の 2 方法を検討した。Ⅲ-2-I-②-(2)-図 32 は、 SiN-TiO_2 リブ構造曲がり導波路(半径 $20\ \mu\text{m}$)のモードの FemSIM による計算例である。 SiN メサより TiO_2 スラブ層の方が屈折率が高いが、 TiO_2 膜が薄ければ光は SiN メサに強く閉じ込められ、半径 $20\ \mu\text{m}$ のリング導波路でも放射損を無視できるレベルにとどめることができる。

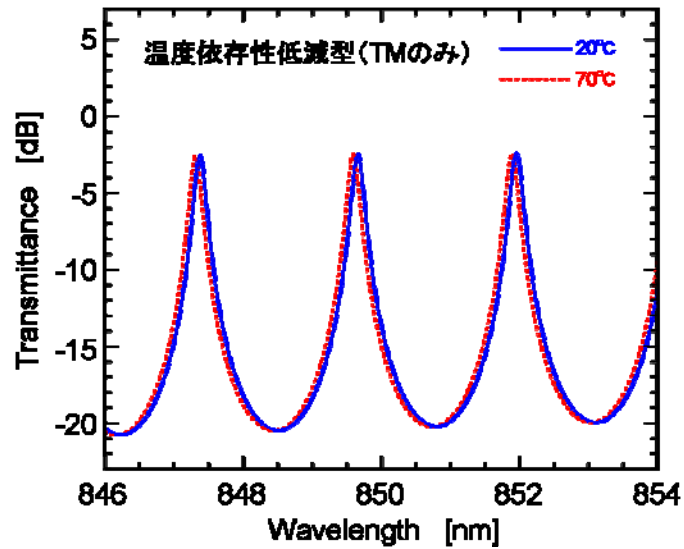


Ⅲ-2-I-②-(2)-図 31 SiN 光導波路のアサーマル化構造



Ⅲ-2-I-②-(2)-図 32 SiN-TiO₂ リブ構造曲がり光導波路(半径 $20\ \mu\text{m}$)の導波モード(右側が外側)

温度無依存化した場合の光分波特性の計算結果をⅢ-2- I -②-(2)-図 33 に示す。20°Cから70°Cの50Kの温度変化があっても温度調整機構なしに動作可能になることがわかる。なお、この方法は SiN と同じく正の屈折率温度依存性を持つ PLZT のリング型電気光学変調器にも適用できる。



Ⅲ-2- I -②-(2)-図 33 アサーマル・リング共振器の光分波スペクトル (type 1, $h_s = 20 \text{ nm}$, TM)

実際に温度無依存化設計した SiN 光導波路 (TiO_2 厚 $h_s = 20, 40, 60 \text{ nm}$) でリング共振器型光分波器を試作した。試作素子の写真をⅢ-2- I -②-(2)-図 34 に示す。導波路長は約 1 cm、SiN の厚さは 300 nm、SiN メサ幅は 600 nm である。光ファイバとの結合効率を改善するため、光導波路の入出力部は長さ 500 μm のテーパでメサ幅を 3 μm まで広げた。光導波路は電子ビーム直接描画によりパターンニングした。試作したデバイスのうち、 TiO_2 のない SiN 光導波路については、ファイバ間挿入損失約 13dB (結合損が支配的) の光導波が観測できたが、 TiO_2 膜を含む光導波路は損失が大きすぎて、光出力を測定できなかった。 TiO_2 は通常、可視～近赤外波長域で透明であるが、多結晶なので散乱損が大きかった可能性がある。



Ⅲ-2- I -②-(2)-図 34 試作したリング共振器型光分波器 ($r = 40 \mu\text{m}$)

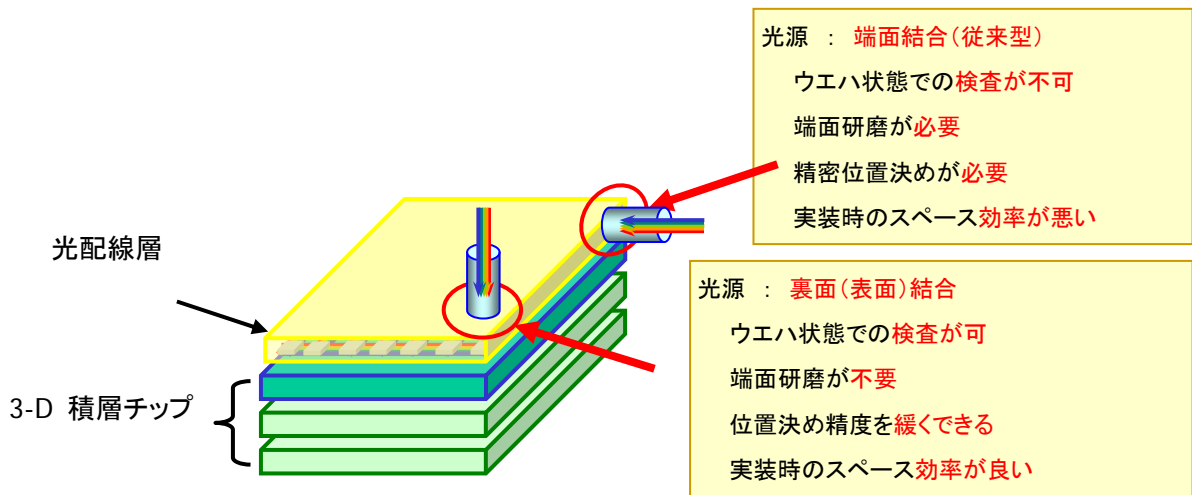
3)多波長光源とオンチップ光回路の集積技術の開発

本テーマにおいては、発熱体であるレーザ光源をLSIチップ上に搭載することは好ましくないと考え、電気配線における電源と同じように、レーザ光源をLSIチップの外に置くこととした。レーザ光源自体は、光通信や光記録などの用途で安価かつ高効率のものが存在しており、外部電源と同等以下のサイズおよび消費電力で外部光源を設けることが可能である。外部光源を用いる場合、一般に光の伝送に用いられているシングルモード(SM)光ファイバを用いることで、光源からLSI上光導波路の近傍までは容易にまたロスなく光を導くことができる。

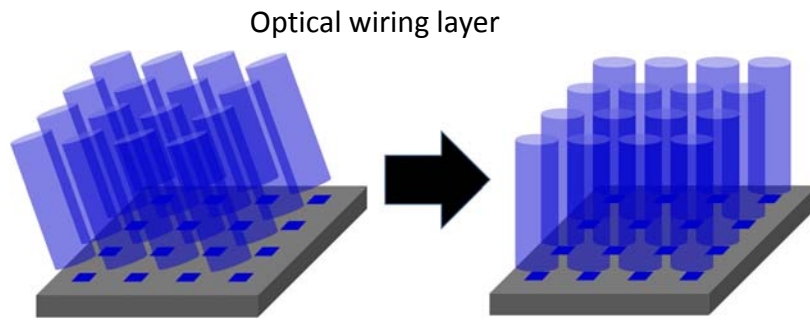
一般に用いられるSM光ファイバのコア径は、使用する波長によって多少異なるが、大方は、数 μm ~10 μm 程度である。これに対して、LSIチップの光配線等に用いるような光導波路のコア径は、サブ μm オーダーであり、光ファイバに比べて1桁小さい。そのため、このような光ファイバと微細な光導波路との接続する場合には、光ファイバの先端を球面に加工して出射ビームを絞り込むと共に、微細な光導波路の端面にビーム径を拡大するスポットサイズ変換器(SSC)を設けるなどの対応が一般に行われている。しかし、効率的な結合を実現するためには、0.1 μm レベルの位置決め精度が必要とされるためこの種のデバイスの実装コストは高い。また、このようにチップ端面での接続を行うため、チップを切り出して端面研磨を行う必要があり、工程が複雑になるだけで無く、ウエハレベルで検査できないため量産性に問題があった(Ⅲ-2-I-②-(2)-図35参照)。

このような課題を解決する方法として、回折格子を用いた面型の光結合構造が提案され、位置決め精度を1 μm レベルに緩和することができることが報告されている(F. V. Laere et al., IEEE J. lightwave Technol. 25, 151, 2007)。しかしながら、これらの構造のものは、レーザ光を光回路内に低損失に導くために、レーザ光や光ファイバを斜めに傾けて入射させている。その結果、光コネクタの構造が複雑となり、また、光ファイバの端面を斜め研磨する工程を設けるなどの必要が有った。特に、回折格子に入射するレーザ光の偏波面方向を正確に合わせる必要があるため、例えば偏波面保持ファイバを用いる場合には、光ファイバの端面を斜め研磨する際に正確に偏波面保持方向を合わせて加工しなければならない、など加工コストがさらに上昇するという課題があった。

そこで、我々は、波長多重のための4波以上の外部光源と微細な光導波路回路とを結合するため、回折格子を用いた面型の光結合構造でありながら、光回路面に対して垂直方向からの光入射に対しても低損失に光を光回路内に導くことのできる高効率な多波長光源・光導波路結合器を提案し、試作・評価した(Ⅲ-2-I-②-(2)-図36)。以下に報告する、光結合構造の開発は、東北大学との共同実施で行われた。

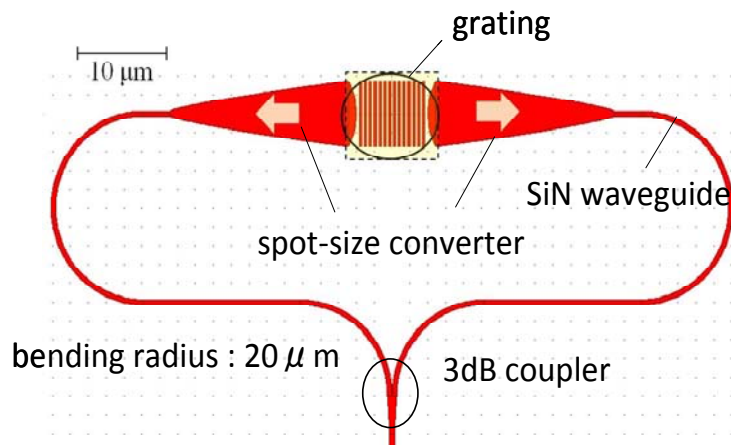


Ⅲ-2-I-②-(2)-図35 光結合構造の比較 1



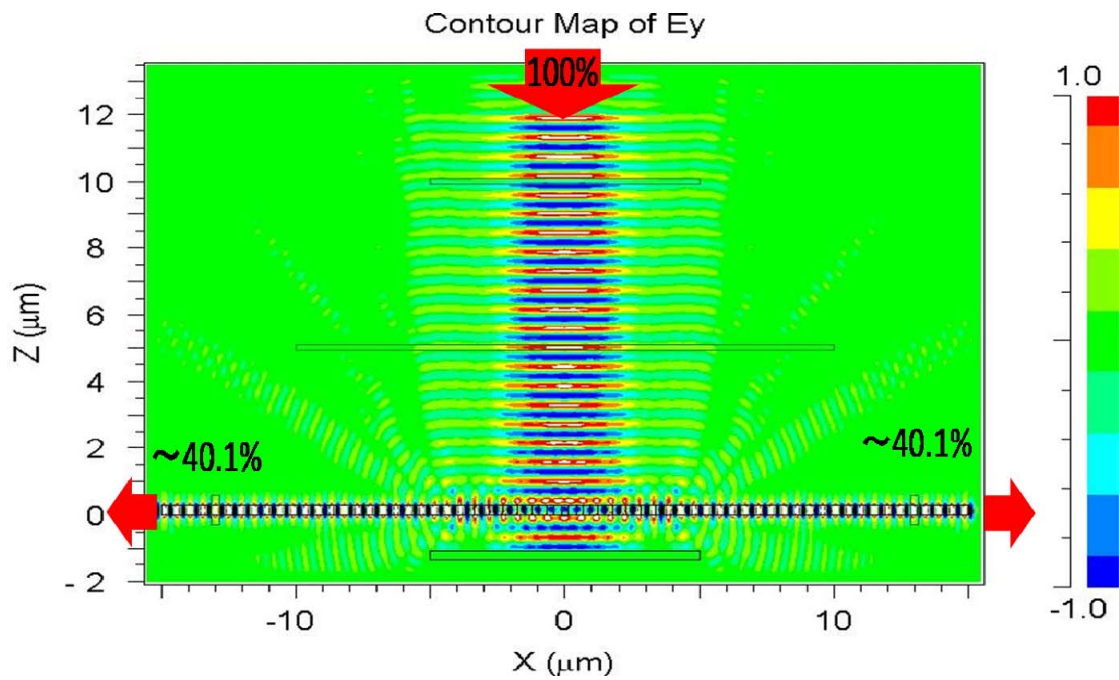
III-2-I-②-(2)-図 36 光結合構造の比較 2: (左) 斜め入射、(右) 垂直入射

III-2-I-②-(2)-図 37 に、提案した回折格子を用いた垂直結合型の光結合器の構造を示す。回折格子は、SM 光ファイバからのレーザ光を受けるのに丁度良い大きさとし、垂直方向から入射された光を入射光に対して垂直な二つの方向に回折させるようにしている。回折光は、構造の対称性から回折格子に対して左右両方向に等しく回折される。左右両方向に回折された光は、スポットサイズ変換器(SSC: Spot-Size Converter)によって光のビーム径が光導波路の断面サイズと同程度なるまで変換された後、それぞれ光導波路に導かれる。最終的に、両方向の光導波路は光合波器によって 1 本の光導波路に導かれている。また、回折格子の下には、回折格子を透過したレーザ光を反射する反射膜を形成し、反射光を回折格子に戻して再度、回折させることで光結合効率の向上を図る構造としている。



III-2-I-②-(2)-図 37 光結合器の全体図

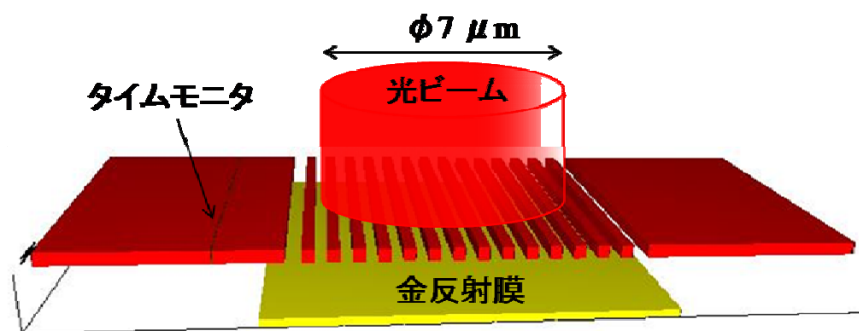
本光結合器を設計するに当たり、使用するレーザ光の波長は、830 nm 帯を基本とし、光導波路のコアは SiN ($n=1.9$) で形成し、周囲のクラッドは SiO_2 ($n=1.46$) で形成することとした。この SiN のコアの断面は $0.3 \times 0.6 \mu\text{m}$ (H×W) とした。光結合効率を高めるために、回折格子を透過した光を金反射膜で反射して回折格子に戻し、再び回折させて利用しすることを考えた。しかしながら、入射光が最初に回折される回折光と反射膜で反射された後の回折光が同相でないと、互いに干渉して有効に利用できなくなることに注意しなければならない。以上の点を考慮して解析評価を行った結果を以下に示す。III-2-I-②-(2)-図 38 は最高の効率が得られた時の結合の様子を示す二次元 FDTD 計算結果による光の電界強度分布を示す。回折部分における光結合効率は両側を足して 80.2% という高い値になった。



Ⅲ-2-I-②-(2)-図38 金反射膜との距離が1050 nm (最適構造)時の解析結果

微小な光回路の計算では二次元計算と三次元計算で差が出る場合があるため、引き続き三次元解析を行った。以下に、三次元解析モデルのパラメータを示す(Ⅲ-2-I-②-(2)-図39)。

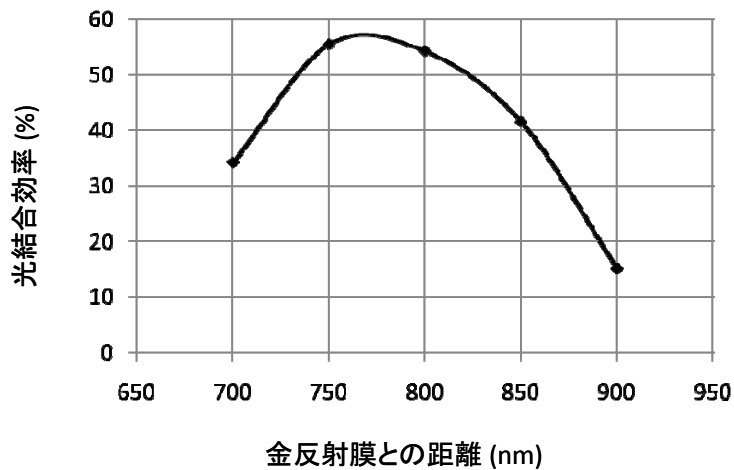
- ・ 光導波路は、SiN 埋め込み導波路($n=1.9$)を想定
- ・ 動作中心波長 : 830 nm
- ・ 回折格子ピッチ : 540 nm, 凹凸部長さの比 50/50
- ・ 回折格子部の大きさ : 約 $\square 7 \mu\text{m}$ (14 周期)
- ・ 回折格子深さ : 300 nm (導波路厚の 100% まで彫りこむ)
- ・ 金反射膜との距離 : $0.8 \mu\text{m}$
- ・ 光ビームスポット径 : $\phi 7 \mu\text{m}$ を想定



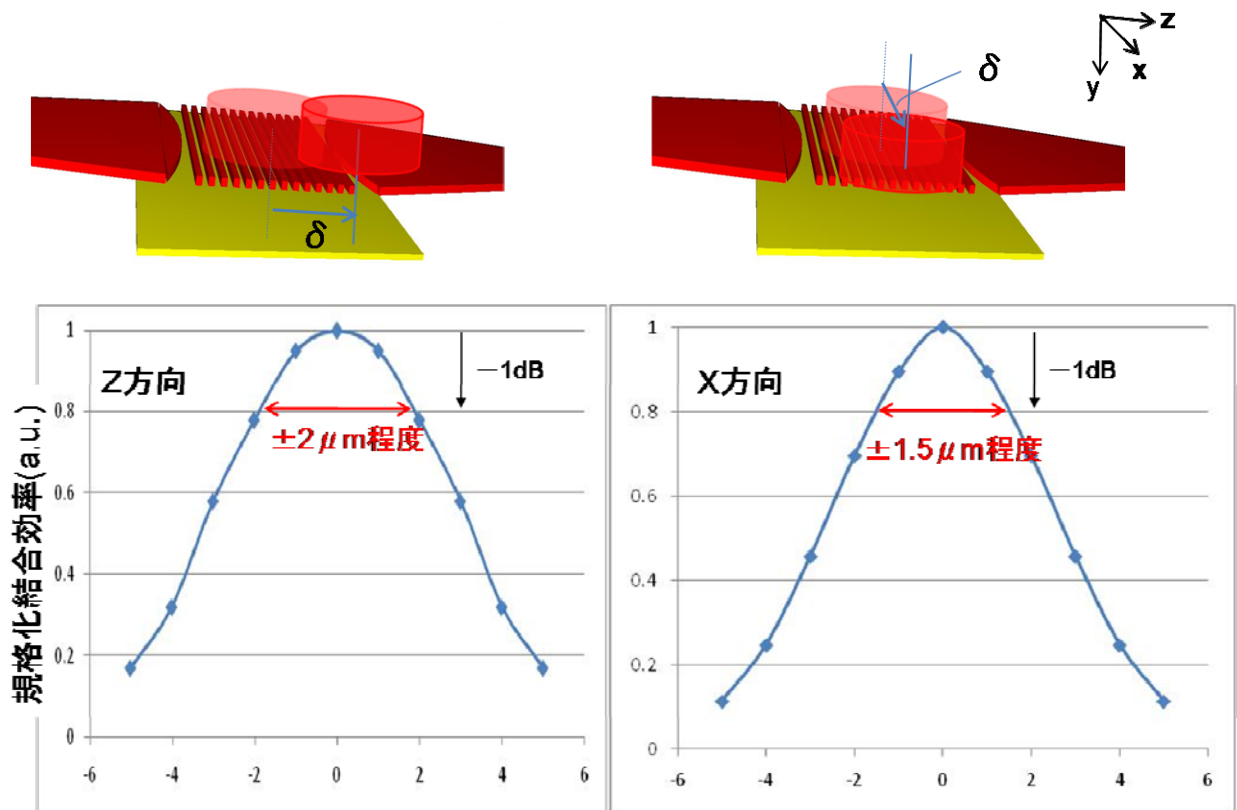
Ⅲ-2-I-②-(2)-図39 解析に用いた光結合部の三次元モデル

金反射膜との距離と光結合効率の解析結果をⅢ-2-I-②-(2)-図 40 に示す。結合効率は55%強であり、二次元FDTD解析に比べて、約25%悪化した。また、入射ビームを回折格子のピッチ方向及び、回折格子の長手方向にずらした時の光結合効率の解析結果をⅢ-2-I-②-(2)-図 41 に、入射ビームを回折格子のピッチ方向に傾けた時の光結合効率の解析結果をⅢ-2-I-②-(2)-図 42 に示す

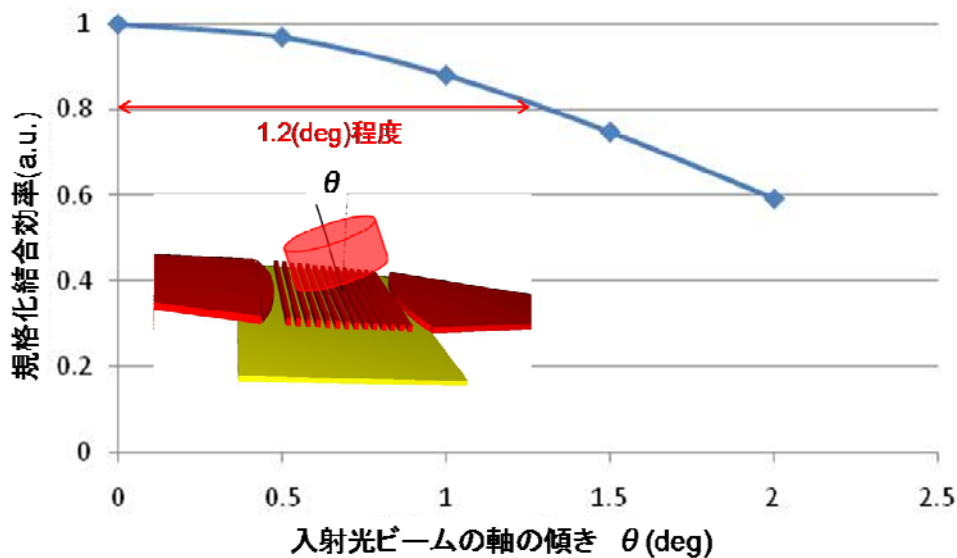
三次元解析の結果を二次元解析で得られた結果と比較すると、結合効率は低下したが定性的な傾向は一致した。目標とした入射ビームの位置ずれトレランスは $\pm 2 \mu\text{m}$ (ピッチ方向: -1dB) および: $\pm 1.5 \mu\text{m}$ (長手方向: -1dB) と十分な値であり、また入射ビームの角度ずれトレランスも ± 1.2 度 (ピッチ方向: -1dB) という許容範囲の値が得られた。



Ⅲ-2-I-②-(2)-図 40 金反射膜との距離と光結合効率 (三次元モデル)

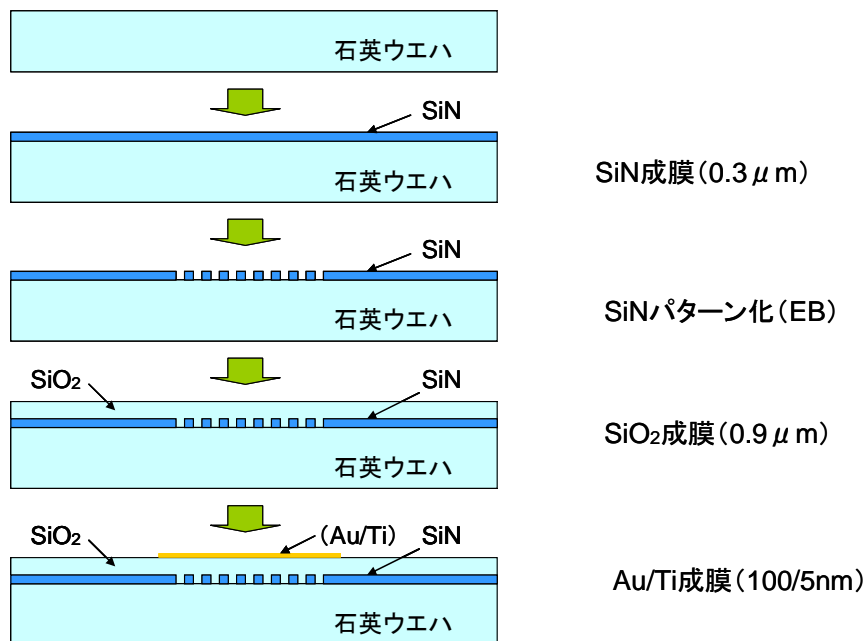


Ⅲ-2-I-②-(2)-図 41 入射ビームの位置ずれ量と光結合効率

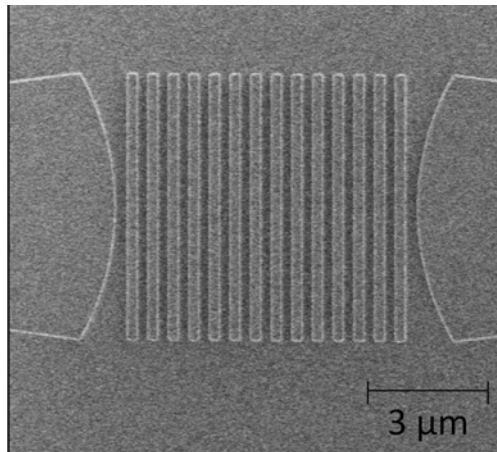


Ⅲ-2-Ⅰ-②-(2)-図 42 入射ビームの角度ずれ量と光結合効率

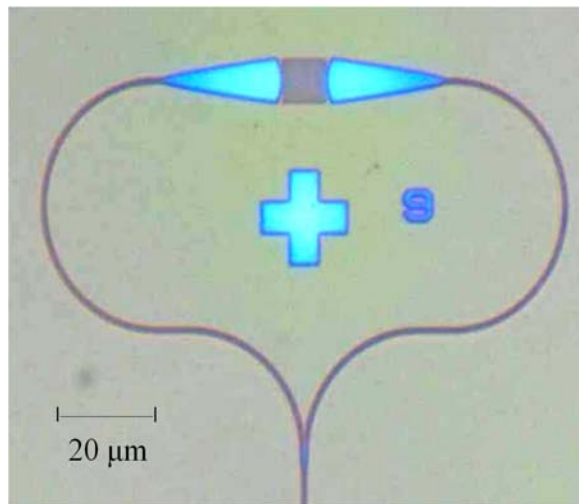
以上の設計検討をもとに結合部分の試作を行った。Ⅲ-2-Ⅰ-②-(2)-図 43 に、評価用のパターン付き試作ウエハの製造プロセス例を示す。Ⅲ-2-Ⅰ-②-(2)-図 44 には、回折格子部の SEM 画像を示すが、格子の L/S 及び、格子に続く SSC のレンズとなる曲線部もきれいに形成されている。Ⅲ-2-Ⅰ-②-(2)-図 45 に示したのは、光結合部の全体像であるが、回折格子の両側に分かれた光導波路が大きく曲げられて、カップラで 1 本の光導波路にまとめられている。密着強度を上げるため下地として Ti を 5 nm 付けた上に Au を 100 nm 形成した。パターンの形成は、リフトオフにより行った。パターン位置精度は $\pm 1 \mu\text{m}$ 以内に入っており、また、剥離なども見られず、良好に反射膜を形成できた(Ⅲ-2-Ⅰ-②-(2)-図 46)。



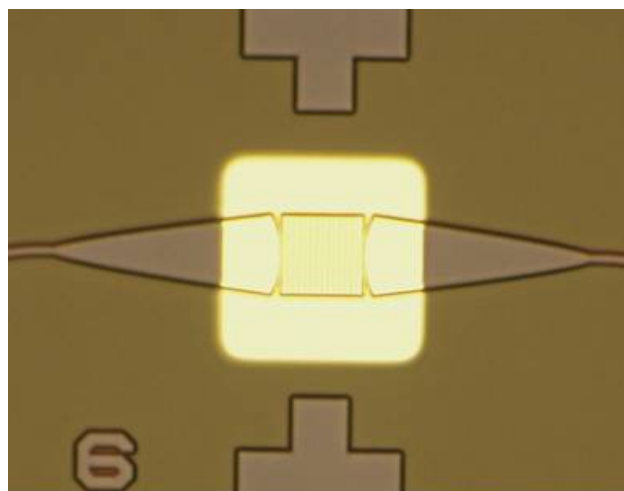
Ⅲ-2-Ⅰ-②-(2)-図 43 裏面入射用試作ウエハプロセス



Ⅲ-2-Ⅰ-②-(2)-図 44 回折格子部の SEM 画像

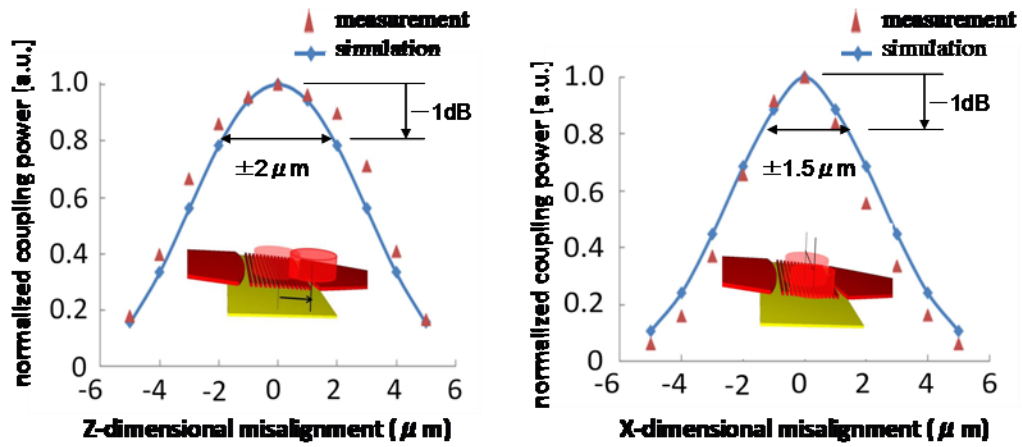


Ⅲ-2-Ⅰ-②-(2)-図 45 光結合部全体外観図（金反射膜なし）



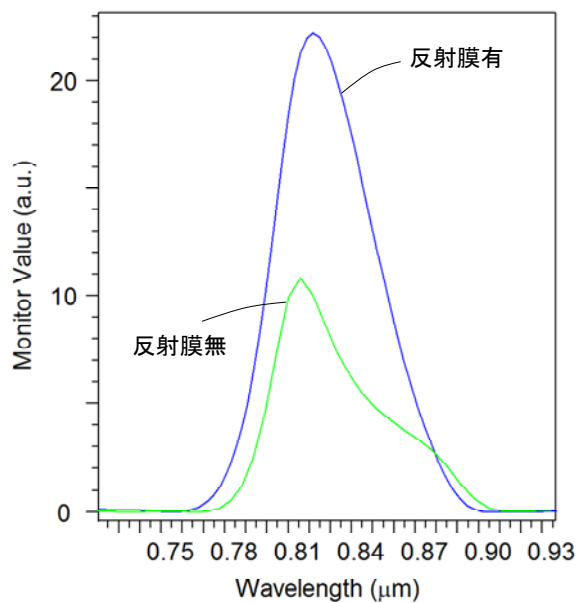
Ⅲ-2-Ⅰ-②-(2)-図 46 金反射膜形成

試作した結合器の位置決めトレランスの測定結果をⅢ-2-I-②-(2)-図 47 に示す。Ⅲ-2-I-②-(2)-図 47 では解析で求めた値に重ねて表示しているが、良く一致していることが分かる。これより、トレランス(-1dB の位置)は、格子のピッチ方向であるZ方向が $\pm 2 \mu\text{m}$ 、格子の長手方向であるX方向が $\pm 1.5 \mu\text{m}$ となり、端面接続に比べて大幅に改善できることを確認できた。



Ⅲ-2-I-②-(2)-図 47 位置決めトレランスの測定結果

さらに試作したチップを用いて、結合効率を求めた。その結果、Ⅲ-2-I-②-(2)-図 48 に示すように、金属(Au)反射膜を設けることで光結合効率が倍増することが判明した。この絶対値は 35%であった。なお、この図から、波長 780 nm から 850 nm までのかなり広い帯域でこの結合器が有効であることがわかる。



Ⅲ-2-I-②-(2)-図 48 反射膜の有無による光結合効率の比較

以上の試作評価結果をまとめると以下のことが確認できた。

- 結合効率(金反射膜あり:入力):約 35% (解析値:52%)
金反射膜が有ると、無い場合と比べて、約 2 倍の効率
- 光ファイバの位置決めトレランス(入力)
 - ピッチ方向 :約 $\pm 2 \mu\text{m}$ (解析値と同等)
 - ピッチと直角方向 :約 $\pm 1.5 \mu\text{m}$ (解析値と同等)
- 入力側だけでなく、出力側のインターフェースとして使用可能
- 光ファイバ先端は平面研磨が良い
- 光ファイバ先端を回折格子に、ほぼ密着させることで利用可能

また、解析から確認した事項として以下のことがある。

- 入射ビームの角度ずれトレランス: ± 1.2 度(ピッチ方向: -1dB)
- 金反射膜までの距離のトレランス: $\pm 60 \text{ nm}$
- スポットサイズの影響 : $\phi 6\sim 9 \mu\text{m}$ で、光結合効率 79%以上
- スポットサイズ変換効率 : 約 95%
- 動作波長範囲 : $\pm 15 \text{ nm} (@830 \text{ nm}: -1\text{dB})$

4)光クロック・バスの低消費電力動作の確認とシステム性能実証

SiON 導波路を用いた波長多重光回路と Si ナノフォトダイオードの集積チップを作製し、特性評価を行った。波長 775 nm、10 GHz の光信号を波長多重光回路に入力することにより、出力側の port1 において 10 GHz パルス信号の分離検出が可能であった。また、port1 と port2 の間および port1 と port3 の間のクロストークはおおよそ-12dB 程度であり、port2 と port3 の間のクロストークは-12dB 以下であった。これらの値は、本検討におけるフォトダイオード後段で光電流を信号電圧に変換するアンプである TIA (transimpedance-amplifier)回路の ON/OFF を制御するのに十分な値である。以上の基礎検討結果により、LSI 上の光インターコネクションが実現可能であることが確認された。

次に、アンプ回路を内蔵した LSI チップと Cu ビアおよび AuSn バンプを介して上記の Si ナノフォトダイオードを集積した波長多重光チップを電気接続した構造をフリップチップ実装により作製した。これに、850 nm 帯域の波長可変 CW(continuous wave:連続光)光源からの光を LN(ニオブ酸リチウム)変調器により電气的に変調した光信号を入力することにより、5 GHz および 3 GHz での回路動作を 2 nm の波長間隔で確認した。この結果は、複数の周波数クロック信号を1本の光配線で供給できる可能性を示す基礎実験になっていると考えられる。

なお、システム全体の電力遅延積に関しては、今回動作確認された消費電力設計値3.5 mWの変調器と、本研究テーマ前半で得られた受光器、導波路、光源等の設計値(K. Ohashi et. al., “A silicon photonics approach for the nanotechnology era,” Technical Digest of IEDM 2007, 30.6, pp. 787-790.)を合わせると2 pJ 以下になり、目標の7 pJを十分達成できると予想されたため、システム全体としての試作は取りやめて研究期間を1年短縮した。