

③特性ばらつきに対し耐性の高いデバイス・プロセス技術開発

(1)構造依存の特性ばらつきの物理的理解とモデリング技術の開発

[1]デバイス特性ばらつきの評価

1-1.デバイス特性ばらつき計測用 TEG 開発

1-1-1.Phase-1 TEG のコンセプト

本開発では、微細 MOS (Metal Oxide Semiconductor) デバイスのランダムばらつきを評価することが目的であるため、効率よく大量のデバイスを計測、並びに高精度に測定し、統計的な解析を実施し、分析対策を検討するために、III-2-I-③-(1)図 1-1-1-1 に示すような TEG(Test Element Group)を設計した。統計的な解析を実施するためには大量のデバイス計測が必要であるが、これを実現するためにチップ内に区分けされたブロック内に大量の MOS トランジスタなどの DUT(Device Under Test)をアレイ上に配置する、DMA-TEG(Device Matrix Array Test Element Group)構造を採用した(III-2-I-③-(1)図 1-1-1-2)。DMA-TEG は、デコーダーと呼ばれるスイッチングトランジスタをロウ方向、コラム方向配線の切り替えに用いることによって、チップ内の 1 つ 1 つの DUT を切り替える。このため、配線数は最小にすることが可能であるが、配線抵抗による DUT 特性のばらつき、DUT のオフリーク特性やゲートリークによる測定ばらつき、周辺回路のオフリークによる測定ばらつきが懸念される。たとえば III-2-I-③-(1)図 1-1-1-3 に示すように、たとえ小さなブロック内に DUT を配線しても、DMA-TEG 内のスイッチングトランジスタに近い DUT ともっとも離れている DUT では配線長が大きく異なることになる。このため、DUT が MOS トランジスタの場合、配線長の違いによって配線抵抗による電圧降下量が異なり、ドレイン端子での印加電圧差が生じる可能性がある。また、本方式の DMA-TEG を用いる場合、III-2-I-③-(1)図 1-1-1-4 に示すように選択された DUT 以外にも電圧が印加されるため、リーク電流が大きい場合に DUT の測定電流に加わり、正確な測定電流が計測できない。これらの大規模 DMA-TEG の課題を回避するために、本開発で設計した DMA-TEG は DUT を選択する配線をなるべく最小面積となる構造を採用し、かつ非選択 DUT のオフリーク電流の対策のために、ブロック全体を 4 分割する(分割した領域を MAT と呼ぶ)ことで印加する電圧が測定 DUT の配置された MAT にのみ印加されるように設計した。しかしながら、100 万個(1024×1024 個)程度を配置した DMA-TEG の場合、電源から遠い DUT は長い配線を有するため、MOS トランジスタに大電流を流して評価するオン電流(I_{on} : On-State Current、以下 I_{on} と呼ぶ)を評価する場合には DUT 端子で電圧降下を引き起こし、所望の電圧が端子にかからないことが懸念される。このため、III-2-I-③-(1)図 1-1-1-5 に示すような超大規模 DMA-TEG はオフ電流の問題対策として、III-2-I-③-(1)図 1-1-1-6 に示すように、ブロック内を 4 つの MAT に分断し、すべての DUT に電圧が印加することのない構造とした。

III-2-I-③-(1)図 1-1-1-7 に示すソースバイアス型 DMA-TEG は、III-2-I-③-(1)図 1-1-1-8 の示す MOS トランジスタのドレイン電流(I_{ds})-ゲート電圧(V_g)依存性に示すように、ソース電圧(V_s)に正の電圧を印加することで V_{th} が上昇する特性を利用し、非選択 MOS のソース端子に電圧を印加し、非選択時のオフ電流を抑制することを特徴とする。特に高温時において有効であり、 V_{th} が変動した場合にもこの影響はなく、オフ電流は GIDL(Gate Induced Drain Leakage)電流のみの影響となる。このソースバイアス型 DMA-TEG は、III-2-I-③-(1)図 1-1-1-9 に示すように NMOS、PMOS をそれぞれ 4 種類のサイズの MOS トランジスタを 8K 個のずつ配置した。

一方、III-2-I-③-(1)図 1-1-1-10 に示す完全分離型 DMA-TEG はソース、ドレイン、ゲート電極がそれぞれ

ケルビン接続(センス線で電圧を測定し、フォース線で補正された所望の電圧を印可する方式)をされるため、長い配線で接続された場合にも正確な電圧を印加することが可能である。したがって、MOSトランジスタのオン電流のばらつき評価等に有効なTEG構造といえる。また、DUTの1つ1つが選択され、測定するDUTにのみバイアスがかかるのでオフリークの問題は生じず、正確な微小電流測定、正確な I_{on} 測定が可能となる。ただし、III-2-I-③-(1)図 1-1-1-10にも示したように、ユニットセルを形成するDUTは薄いゲート酸化膜、微細な加工寸法を持つコアトランジスタであるが、スイッチトランジスタに3.3V系トランジスタを用いたため、超大規模DMA-TEGと比べて、1チップに配置できるトランジスタ数は16000個になる。超大規模DMA-TEGは評価するトランジスタ数を増大させることが目的であったため単一のゲート長(L_g)、ゲート幅(W_g)のトランジスタから構成したが、完全分離型DMA-TEGは L_g 、 W_g を変えて、Pelgromプロット[2]の A_{VT}^1 が求められるIII-2-I-③-(1)表 1-1-1-1に示す4水準を、III-2-I-③-(1)図 1-1-1-9に示すように配置した。

これら基本的な超大規模DMA-TEG、ソースバイアス型DMA-TEG、完全分離型DMA-TEGの測定上問題となるドレイン側のオン抵抗値の設計見積をIII-2-I-③-(1)表 1-1-1-2に示した。各DMA-TEGに対して測定項目を設定し、これを満足するためのオン抵抗設計とした。これをもとに、本開発では、III-2-I-③-(1)表 1-1-1-3に示すランダムばらつきの原因を解析するためのDMA-TEGを導入した。III-2-I-③-(1)図 1-1-1-12は、完全分離型DMA-TEGを基本とした、

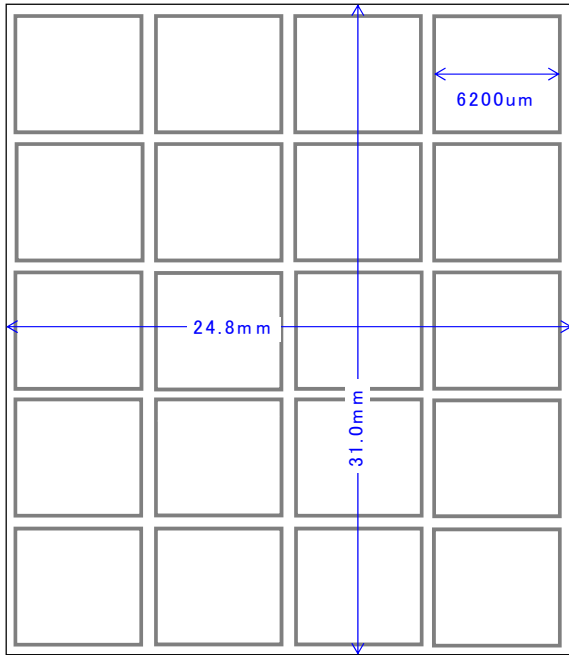
- | | |
|--------------------|-------------------------|
| (i) PN 相関、PN 相互拡散 | III-2-I-③-(1)図 1-1-1-13 |
| (ii) 各種ストレス・パターン依存 | III-2-I-③-(1)図 1-1-1-14 |
| (iii) CT 配置依存 | III-2-I-③-(1)図 1-1-1-15 |
| (iv) メタル配線依存 | III-2-I-③-(1)図 1-1-1-16 |

とランダムばらつきの関係の評価するDMA-TEGパターンである。それぞれのパターンによるばらつきを計測するために、128個の同一なDUTを配置した。

III-2-I-③-(1)図 1-1-1-17は、電気特性を評価したDUTの物理解析を実施するための、DMA-TEGに広いアクティブ領域を設けた構造とした。広いアクティブには位置判別用のレーザーマーキングが可能であり、これに合わせてプローブ顕微鏡等のプローブによるアクセスが可能となる。III-2-I-③-(1)図 1-1-1-18は、チップ内の1ブロック内に、通所の評価で用いられる4端子MOSを配したTEGである。 $L_g/W_g=65/140\text{nm}$ のNMOS、及びPMOSを378個ずつ配置し、DMA-TEGで評価した結果と比較できるようにしている。III-2-I-③-(1)図 1-1-1-19からIII-2-I-③-(1)図 1-1-1-20は、再委託先で開発した隣接する2つのトランジスタを組み合わせたDMA-TEG、ならびCBCM(Charge Based Capacitance Measurement)法を用いたに微小なゲート容量計測TEGである。詳細に関しては、1-2-5項、ならびに1-2-8項に記す。

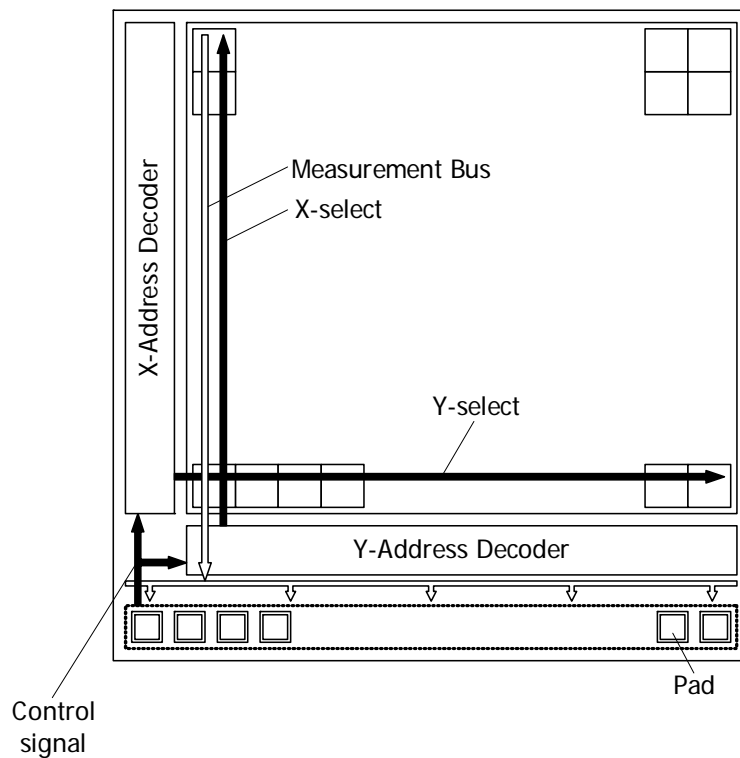
上記のように、MOSデバイスの基本的なばらつきを大量に評価することを主目的とした複数のDMA-TEGを設計し、あわせてパターン依存などの設計パラメータを変えて特性ばらつきへの影響を調べるためのマスクセットを開発した。

¹ 横軸を L_g と W_g の積の平方根、縦軸に σV_{th} をプロットした際の傾きを A_{VT} と定義して V_{th} ばらつきの指標としている。 σV_{th} を求めるMOSトランジスタ数、種類で精度が決まる。

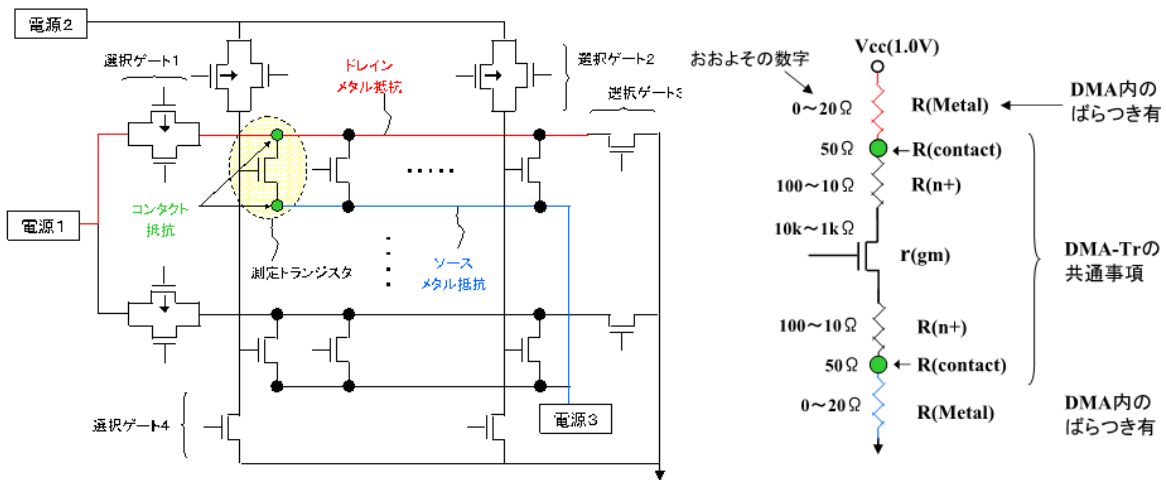


BLK	TEG name	Type	comment
A	SDMA-1	完全分離	各種バリエーションTEG
B	SDMA-2	完全分離	
C	SDMA-3	完全分離	
D	SDMA-4	超大規模(S共通→1種類)	ロバストで検討したデコーダタイプを変更し、特定バリエーションを適用(世界最大目標)。
E	SDMA-5	大規模(S浮かせ)→LW振り	
F	SDMA-6	大規模(分離)→LW振り	
G	SDMA-7	超大規模(S共通→1種類)	RT型物理解析用DMA-TEG
H	RTDMA-5	RT-type	
I	MOS-3	—	
J	HCU-1	特殊	LW振りが16種類→32ペア、64MOSX6種類
K	HCU-2	特殊	CBCMIによるCoxばらつき評価
L	SDMA-8	ソース共通	SRAMのSNMを評価可能なレイアウトとする。
M	SPICE	—	SPICE抽出用TEG

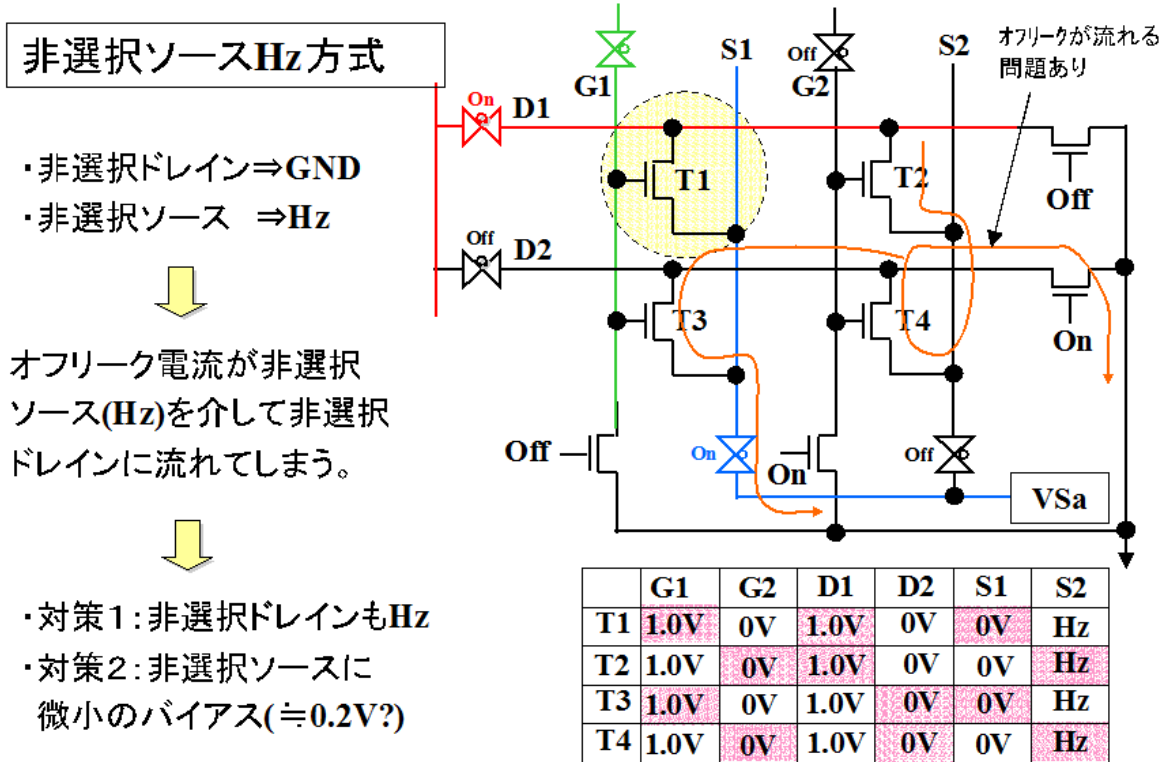
III-2-I- (1)図 1-1-1-1 設計した Phase-1 マスクに組み込んだ DMA-TEG 一覧



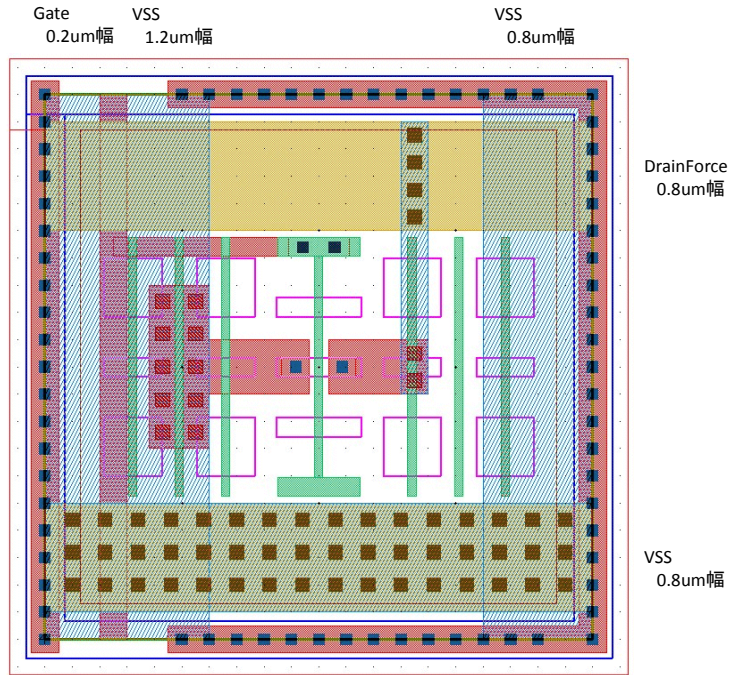
III-2-I- (1)図 1-1-1-2 大量のデバイス測定のための DMA-TEG 構造。DUT を X-Address Decoder、Y-Address decoder にて選択する。



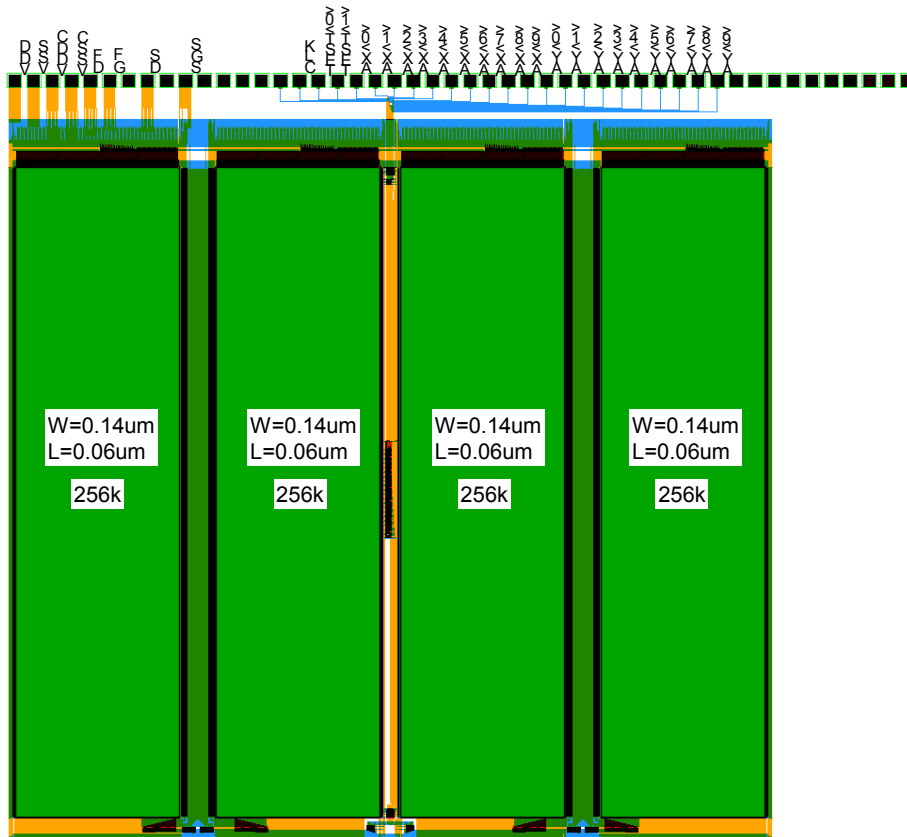
III-2-I- (1)図 1-1-1-3 DMA-TEG で問題となる配線抵抗や、スイッチトランジスタの抵抗。



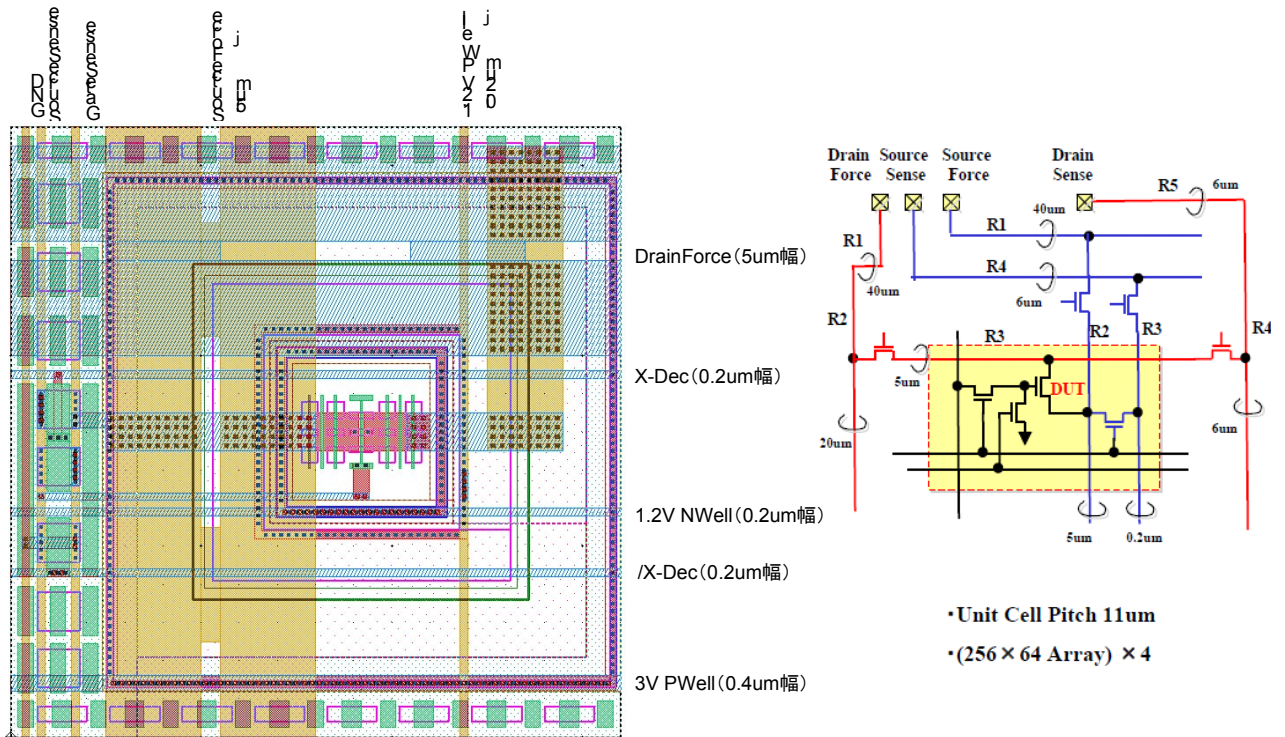
III-2-I- (1)図 1-1-1-4 DMA-TEG に流れるリーク電流。



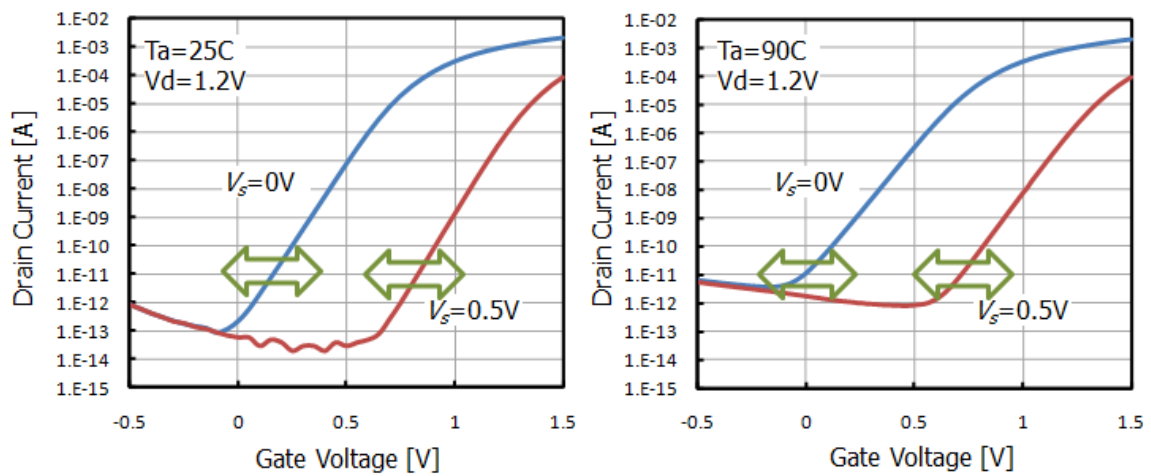
III-2-I-③-(1)図 1-1-1-5 1M の DMA-TEG のレイアウト



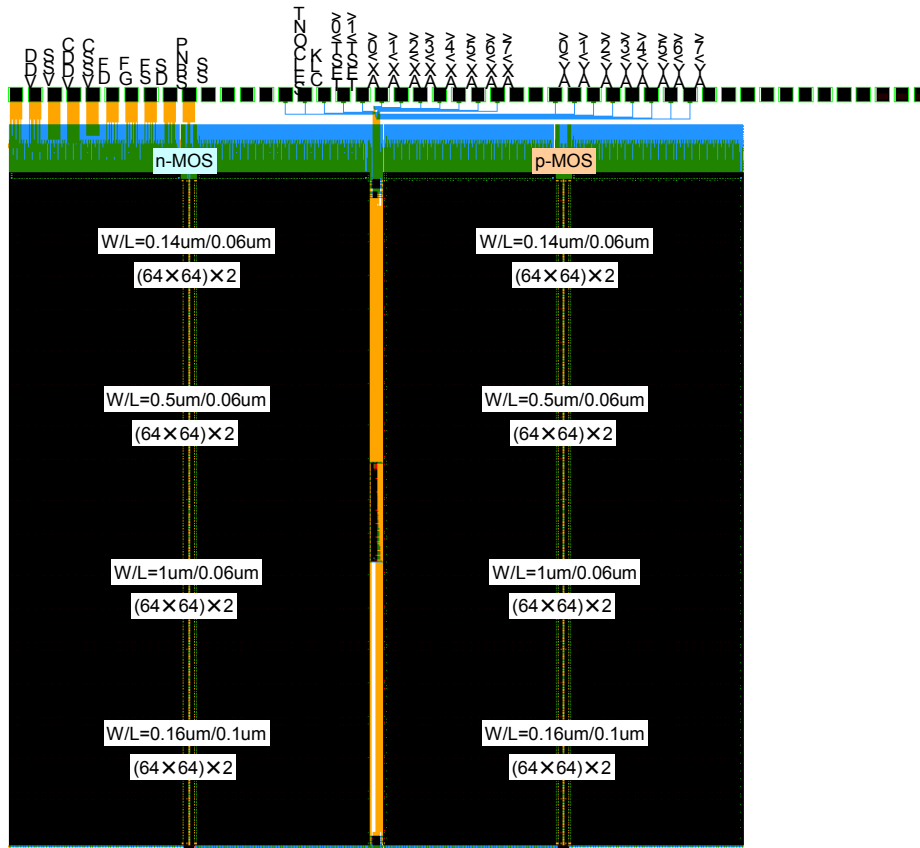
III-2-I-③-(1)図 1-1-1-6 1M の DMA-TEG のオフブリーク対策のために MAT を分割し、電圧印加される領域を縮小している。



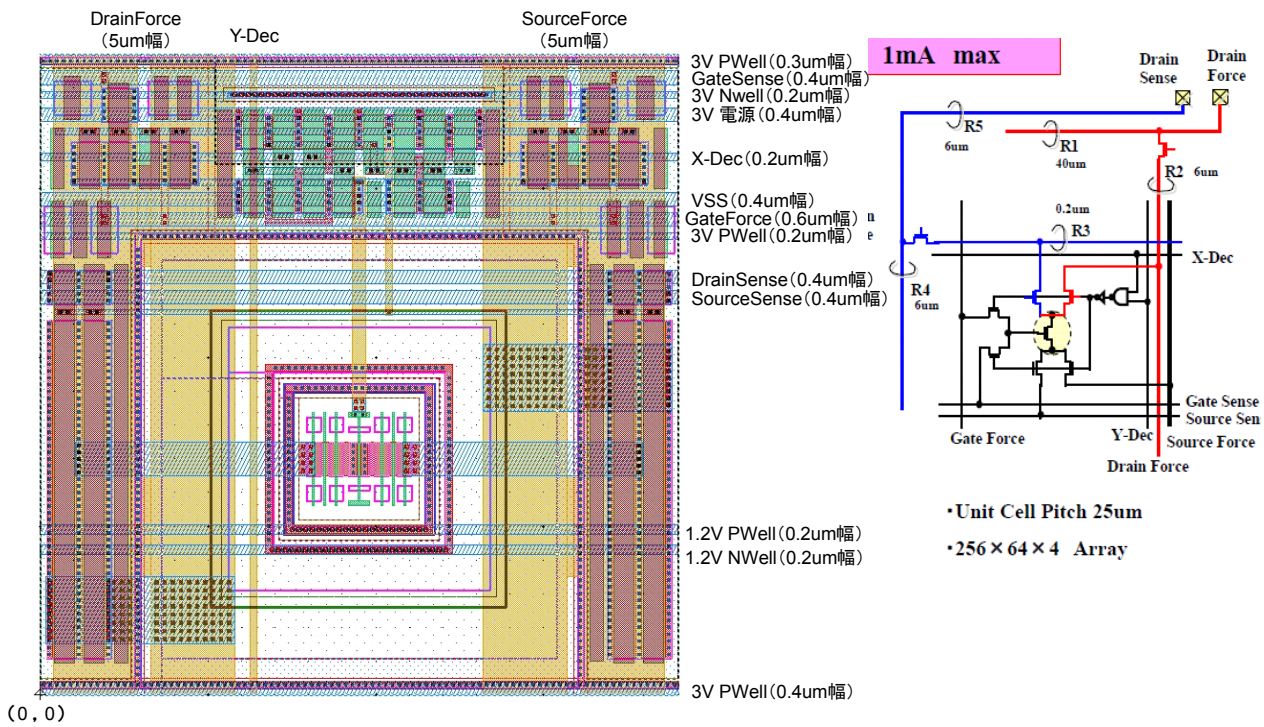
III-2-I-③-(1)図 1-1-1-7 ソースバイアス型 DMA-TEG のレイアウトと回路図



III-2-I-③-(1)図 1-1-1-8 ソースにバイアス印加した場合の波形。 V_{th} がばらついていてもサブスレッショルドドレックが増加しない様子が分かる。



III-2-I-③-(1)図 1-1-1-9 ソースバイアス型 DMA-TEG の MAT レイアウト

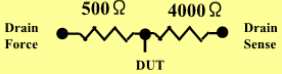
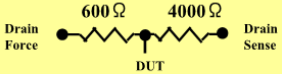
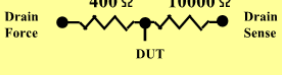




III-2-I-③-(1)図 1-1-1-10 完全分離型 DMA-TEG の DUT レイアウトと回路図

III-2-I- (1)表 1-1-1-1 L_g/W_g を変えた DMA-TEG のリスト

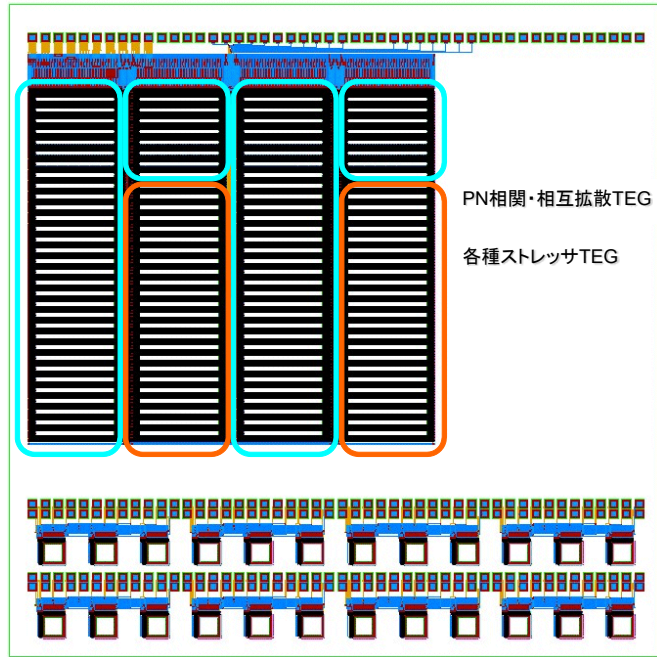
No	L	W	$\sqrt{(L/W)}$	個数	備考
1	0.06	0.14	10.91	8,000	
2	0.06	0.50	5.78	8,000	
3	0.06	1.0	4.1	8,000	
4	0.10	0.16	1.27	8,000	

III-2-I- (1)表 1-1-1-2 設計した DMA-TEG のオン抵抗計算値

方式	サイズ	目的	測定項目	抵抗値	判定
完全分離型 (16K)	16K	バリエーション評価	$V_{th}(1\mu A)$ 電流(1mA)		○
完全分離型 (64K)	64K	大容量DMA評価	$V_{th}(1\mu A)$ 電流(1mA)		○
ソースバイアス型	64K	大容量DMA評価	$V_{th}(1\mu A)$ 電流(1mA)		○
ソース共通型	1M	超大容量DMA評価	$V_{th}(1\mu A)$		○
					○

III-2-I- (1)表 1-1-1-3 Phase-1 マスクに導入した DMA-TEG

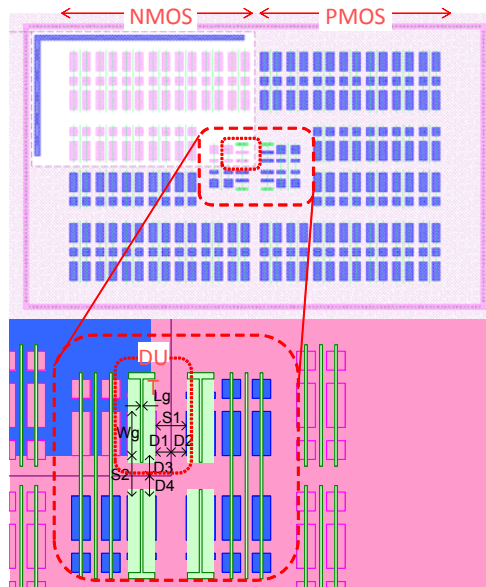
TEG 構造	特徴
超大規模 DMA-TEG	同サイズの 1M 個のデバイスが高密度に配置。4~5 σ ばらつきが実測可能。電流を流さない V_{th} の評価は問題ないが、長配線による電圧降下のため、オン電流評価の精度は落ちる。
ソースバイアス型 DMA-TEG	非選択 DUT のソースに負電圧を印加し、トランジスタのオフリークを抑制する構造。64K 個のデバイスを実装(16K のサイズの異なるデバイスが 4 種類)。
完全分離型 DMA-TEG	トランジスタの端子にスイッチが付加され、各端子は Kelvin 接続で電圧補正。精密なオン電流の評価が可能。
バリエーション TEG1(完全分離型)	ウエル近接効果:隣接するウエルによるばらつき拡大、PN 相互拡散を TEG レイアウトで検討
バリエーション TEG2(完全分離型)	STI 応力によるばらつき変化を TEG レイアウトにより検討
バリエーション TEG3(完全分離型)	ライナー膜による応力変化によるばらつき変化を検討。コンタクトの位置、数を変えることでシリコン窒化膜ライナーの応力値を変化。
バリエーション TEG4(完全分離型)	上記バリエーション TEG1~3 の組み合わせで複合的な要因解析を行うための TEG。
SNM 評価 TEG(完全分離型)	完全分離型 DMA-TEG の DUT 部分に SRAM ミニアレイを埋め込み。2 つの記憶ノードから端子 (V_1 , V_2)を引き出すことで SNM, N カーブの評価を行う。
ばらつきモニタ	短時間でトランジスタのばらつきを評価可能であり、スクライブへ実装することでモニタとして用いることが可能。ペアトランジスタである MOS1 と MOS2 の V_{th} 差で流れる電流を近似式で解析し、ばらつきを算出する回路。
4 端子 MOS	同一サイズの MOS を 4PAD 間に 1 チップに最大個数配置。DMA-TEG で得られた特性との比較を行うための TEG。



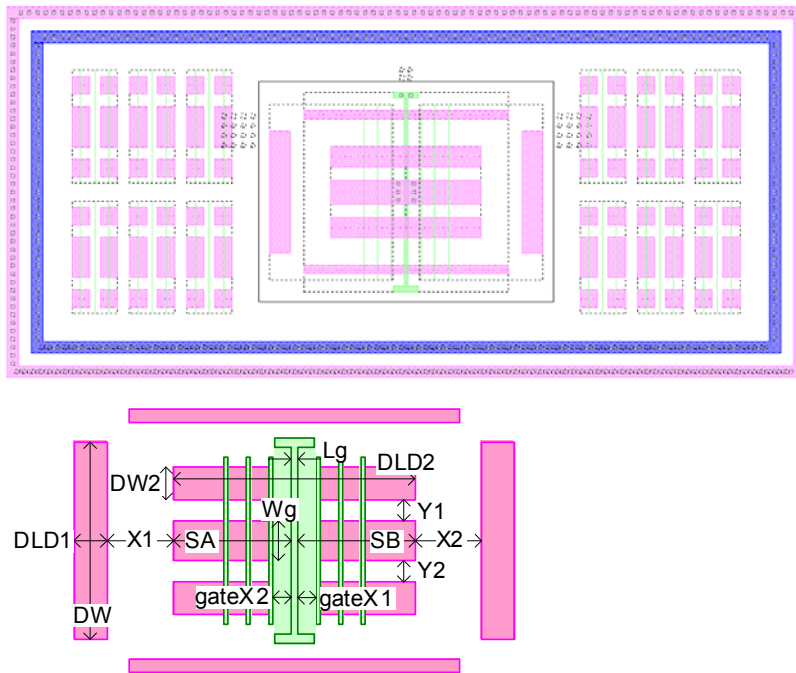
バリエーションDMA16K①				バリエーションDMA16K②				バリエーションDMA16K③			
nMOS①	nMOS②	pMOS①	pMOS②	nMOS①	nMOS②	pMOS①	pMOS②	nMOS①	nMOS②	pMOS①	pMOS②
AN001	AN059	AN027	AN073	KY047	TF020	KY053	TF135	TF052	TF084	TF167	TF199
•	•	•	•	•	•	•	•	•	•	•	•
•	•	•	•	•	•	•	•	•	•	•	•
•	AN066	•	AN080	KY050	•	KY056	•	•	•	•	•
•	•	•	•	KY057	•	KY066	•	•	•	•	•
•	KY001	•	KY023	•	•	•	•	•	•	•	•
•	•	•	•	•	•	•	•	•	•	•	•
AN026	•	AN052	•	•	•	•	•	•	•	•	•
AN053	•	AN067	•	KY065	•	KY074	•	•	•	•	•
•	•	•	•	TF001	•	TF116	•	•	•	•	•
•	KY022	•	KY044	•	•	•	•	•	•	•	•
•	KY045	•	KY051	•	•	•	•	•	•	•	•
•	KY046	•	KY052	•	•	•	•	•	•	•	•
AN058	•	AN072	•	TF019	TF051	TF134	TF166	TF083	TF115	TF198	TF230

- AN～:PN相関・相互拡散TEG □
- KY～:各種ストレスサTEG □
- TF～:パターン依存TEG □

III-2-I-③-(1)図 1-1-1-12 各種バリエーション TEG の基本配置

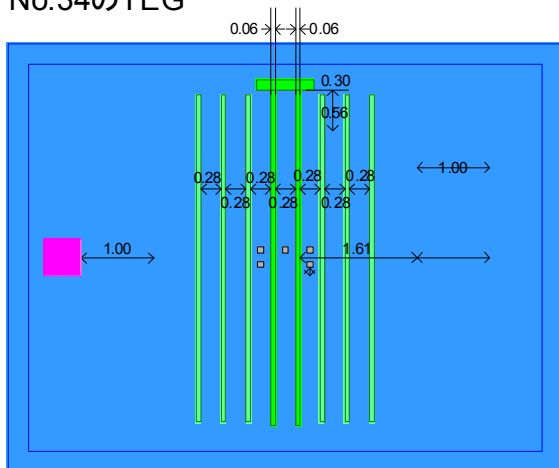


III-2-I- (1)図 1-1-1-13 PN 相関、PN 相互拡散を調べるための DMA-TEG のパターンレイアウト

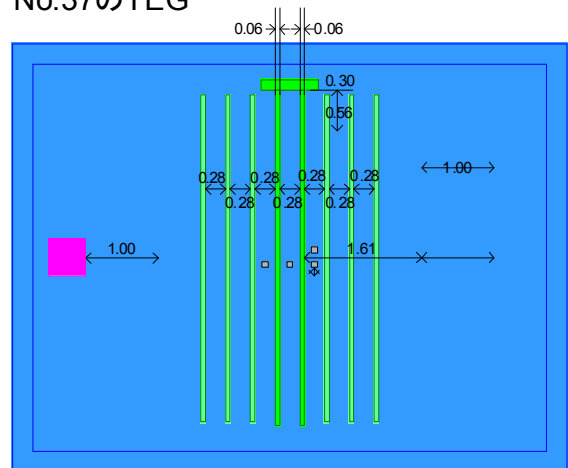


III-2-I- (1)図 1-1-1-14 STI ストレスの影響を調べるための DMA-TEG のパターンレイアウト

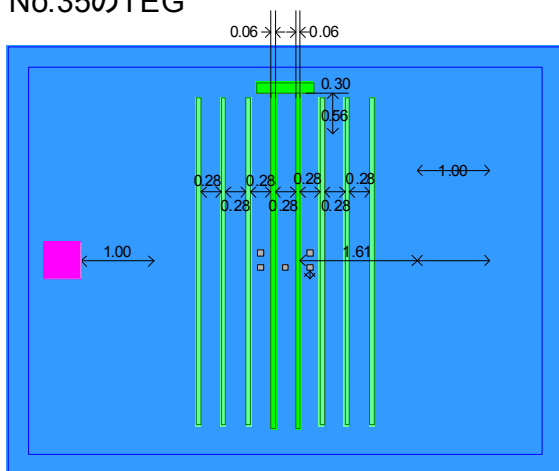
No.34のTEG



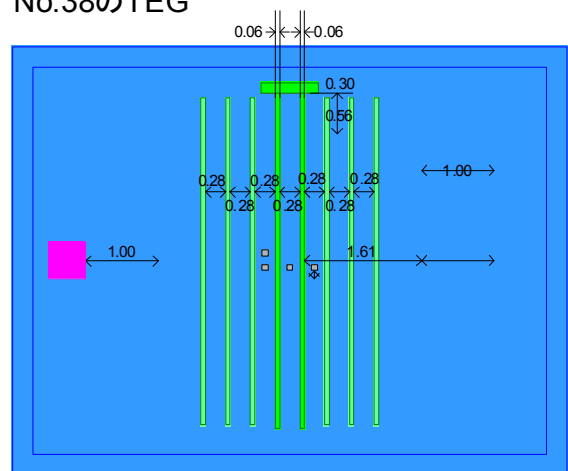
No.37のTEG



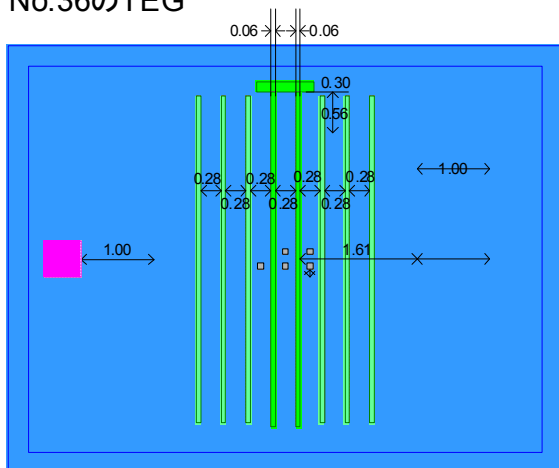
No.35のTEG



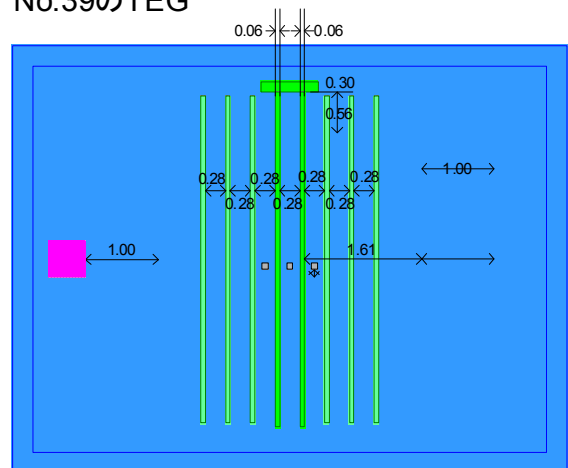
No.38のTEG



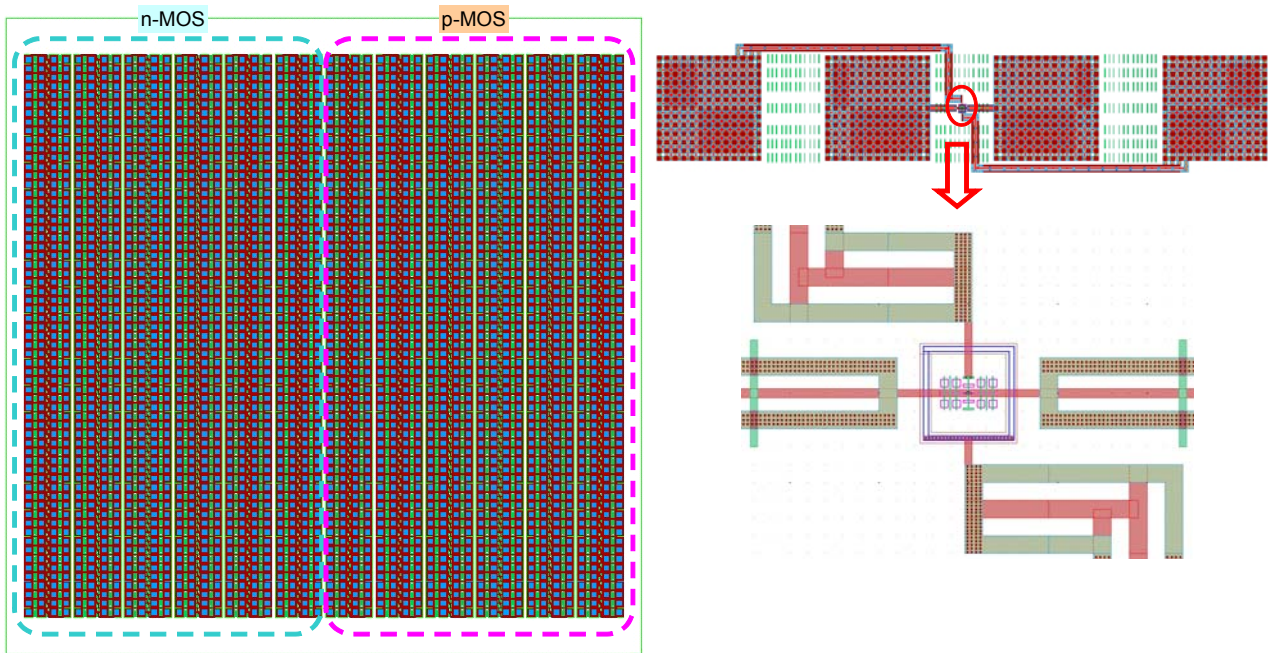
No.36のTEG



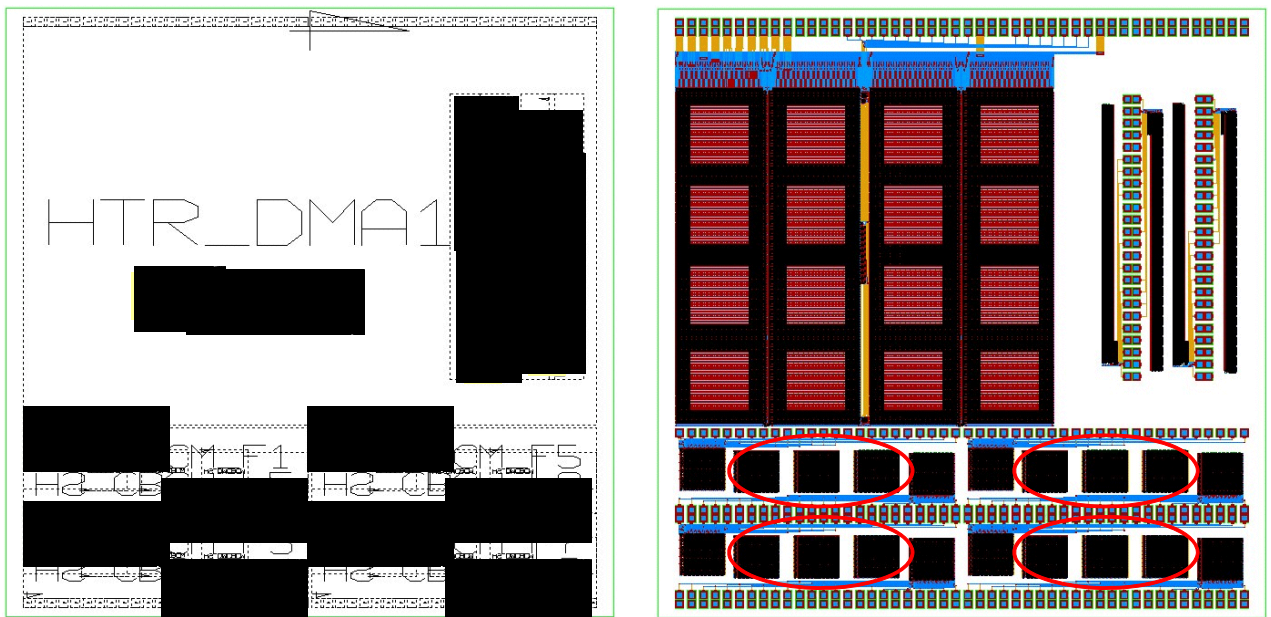
No.39のTEG



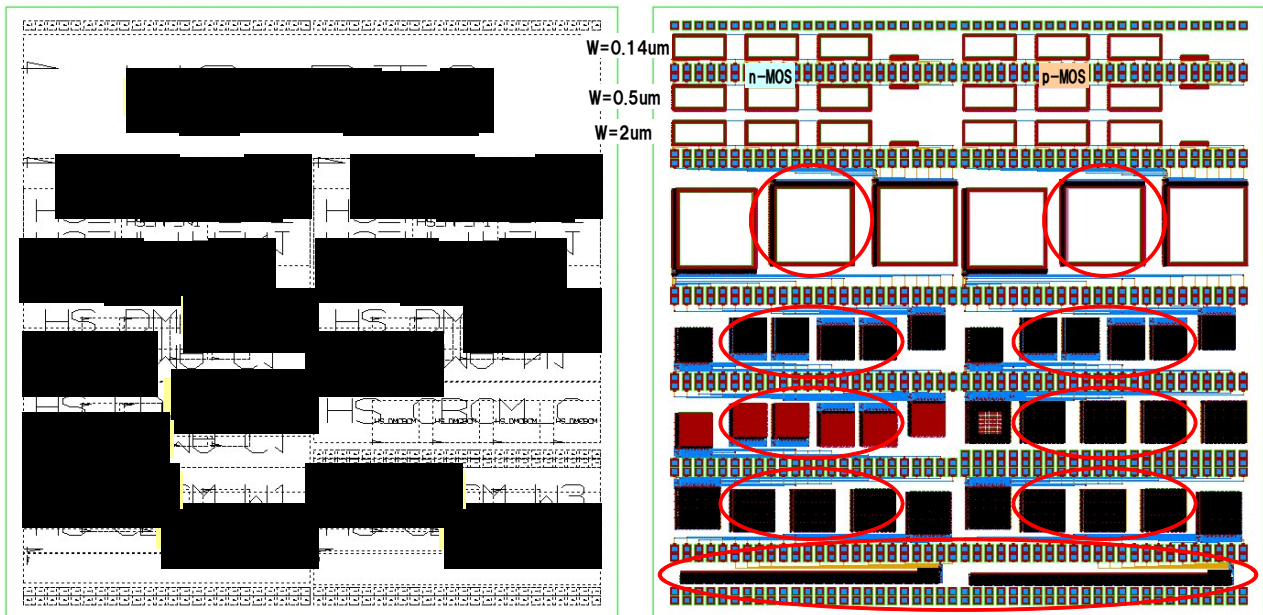
III-2-I-③-(1)図 1-1-1-15 コンタクト位置の影響を調べるための DMA-TEG のパターンレイアウト



III-2-I-③-(1)図 1-1-1-18 4 端子 MOS-TEG のパターンレイアウト



III-2-I-③-(1)図 1-1-1-19 再委託先が設計した TEG のパターンレイアウト



III-2-I-③-(1)図 1-1-1-20 再委託先が設計した TEG のパターンレイアウト(2)

1-1-2.Phase-2 TEGのコンセプト

Phase-1 マスクではランダムばらつき計測手法を確立するため、TEG 構造を中心に検討し、これらから得られた知見をもとに Phase-2 マスクの設計開発を行った。III-2-I-③-(1)図 1-1-2-1 に示すように Phase-2 マスクでは、

- (i) ランダムばらつき原因を高精度に解析するための DMA-TEG
- (ii) 経時変化ばらつき含む特性ばらつきを解析するための DMA-TEG
- (iii) 実製品に近いばらつき評価のための新しい超大規模 DMA-TEG
- (iv) 回路特性に与える影響を調べるための SRAM の DMA-TEG
- (v) 回路特性に与える影響を調べるためのオペアンプの DMA-TEG

を導入した。以下、回路図、並びにレイアウト図を用いて完結に作成した(i)～(v)の TEG 内容を説明する。

(i)ランダムばらつき原因を高精度に解析するためのDMA-TEG

III-2-I-③-(1)図 1-1-2-2、ならびに III-2-I-③-(1)図 1-1-2-3 は高精度なランダムばらつき評価のために、Phase-1 マスクで4種類としていた完全分離型のトランジスタのゲート長(L_g)、ゲート幅(W_g)の数を大幅に増加し、32セットの DUT を 8000 個ずつ 4 チップに分けて配置した。これにより、短チャネル～超チャネルの DUT のばらつきの精密な評価が可能となる。

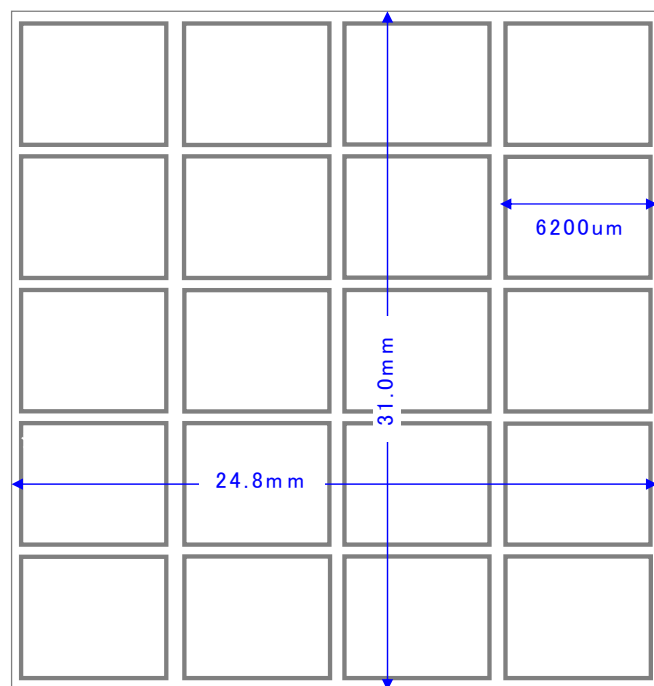
(ii) 経時変化ばらつき含む特性ばらつきを解析するためのDMA-TEG

実際の製品を使用する上で初期の電気特性の他に、継続使用した場合の特性の経時変化が問題となる。デバイス製造時の初期特性で問題なかった製品特性も、製品使用中の負荷(電気的負荷、温度負荷など)に

よりデバイス特性が経時変化し、その変動が原因となって製品の動作不良を引き起こす場合がある。特にその劣化が一律して発生すれば、製品の回路の工夫にて対策することが可能であるが、デバイス特性の経時変化量がばらついた場合にはその対策は非常に困難である。デバイス特性の経時変化量は正確に知られていないのが現状であり、上記した特性ばらつきとともに正確に評価する必要がある。III-2-I-③-(1)図 1-1-2-4(a)は経時変化を含む特性ばらつきを評価するための DMA-TEG である。III-2-I-③-(1)図 1-1-2-4(b)は DUT 周りの回路図を示した。TEG 設計のコンセプトとしては、

- ・ 単体トランジスタ評価を実施するため、完全分離型 DMA-TEG をベースとする
- ・ 全非選択モードの時、全トランジスタに所定のストレス電圧を印加
- ・ 非選択トランジスタに、所定のストレス電圧を印加する

構成にする。III-2-I-③-(1)図 1-1-2-5 からわかるように、前項 1-1-1 で示した完全分離型の DMA-TEG にストレス印加系(GSTRESS、DSTRESS、SSTRESS)が追加される。NBTI(Negative Bias Temperature Instability)²の場合、非選択ではゲート電圧端子を赤線で示す GSTRESS、測定時には GF に切り換え、デバイス特性の測定を行う。開発した DMA-TEG は、測定時以外(非選択時)はストレスを印加し続けるので、回復時間を一定にできる特長を持つ。また、Phase-1 で設計した完全分離型の DMA-TEG をベースとするため、16K 個のトランジスタの経時変化量を含む特性ばらつきの定量が可能となる。



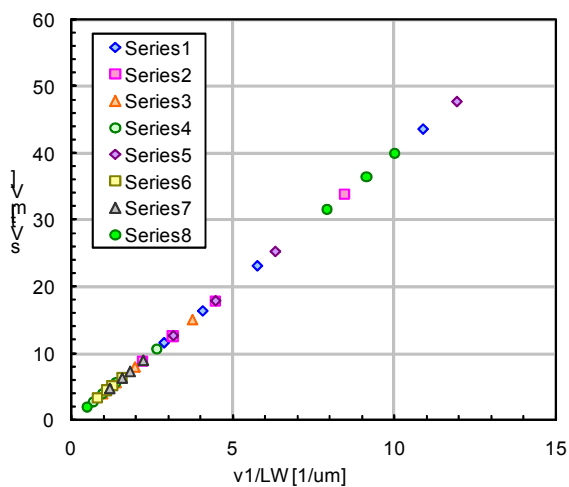
III-2-I-③-(1)図 1-1-2-1 Phase-2 マスクのフロアプランと TEG 内容一覧(a)

² NBTI は、PMOS をオン状態にした際にゲート絶縁膜そのもの、あるいはその界面にトラップが生成し、トランジスタの V_{th} を負側にシフトさせる現象。 V_{th} のシフトは、ストレス電圧(ゲート酸化膜電界)、時間、温度に依存。

	TEG name	Type	comment
A	大規模A	64Kの大規模分離型	チップ内でLW 4種類 寸法変更(1)
B	大規模A	64Kの大規模分離型	チップ内でLW 4種類 寸法変更(2)
C	SNM-TEG	16Kの完全分離 SNM-TEG	セレクタの修正が必要。完全分離型にミニアレイを埋め込む形。
D	大規模A	64Kの大規模分離型	チップ内でLW 4種類 寸法変更(3)
E	大規模A	64Kの大規模分離型	チップ内でLW 4種類 寸法変更(4)
F	HCU-1	広島市大	Phase-1からの修正あり
G	HCU-2	広島市大	Phase-1からの修正あり
H	MOS-3	4端子ケルビン	Phase-1からの修正なし
I	信頼性	オペアンプアレイTEG	デンソー殿提案のオペアンプアレイ
J	大規模C	シンプルアレイTEG	アジレント 殿提案、小規模アレイ
K	超大規模	超大規模(NMOS、1M)	Phase-1からの修正なし
L	超大規模	超大規模(PMOS、1M)	Phase-1からの修正なし
M	信頼性	OTF対応	L/W = 0.06/0.14 μ mの最小トランジスタ
N	大規模D	256M新方式(NMOS)	
O	大規模D	256M新方式(PMOS)	
P	大規模D	256M新方式(PMOS)	
Q	大規模D	256M新方式(NMOS)	

III-2-I-③-(1)図 1-1-2-1 Phase-2 マスクのフロアプランとTEG 内容一覧(b)

No.	設計ゲート長(L)	設計ゲート幅(W)	1/ \sqrt{LW}
1	0.06	0.14	10.91089
2	0.06	0.5	5.773503
3	0.06	1	4.082483
4	0.06	2	2.886751
5	0.1	0.14	8.451543
6	0.1	0.5	4.472136
7	0.1	1	3.162278
8	0.1	2	2.236068
9	0.5	0.14	3.779645
10	0.5	0.5	2
11	0.5	1	1.414214
12	0.5	2	1
13	1	0.14	2.672612
14	1	0.5	1.414214
15	1	1	1
16	1	2	0.707107
17	0.05	0.14	11.95229
18	0.05	0.5	6.324555
19	0.05	1	4.472136
20	0.05	2	3.162278
21	0.2	2	1.581139
22	0.3	2	1.290994
23	0.4	2	1.118034
24	0.7	2	0.845154
25	1	0.2	2.236068
26	1	0.3	1.825742
27	1	0.4	1.581139
28	1	0.7	1.195229
29	0.1	0.16	7.905694
30	0.05	0.2	10
31	0.06	0.2	9.128709
32	2	2	0.5



III-2-I-③-(1)図 1-1-2-2 Phase-1 の寸法分流 TEG の拡張。高精度な Pelgrom/Takeuchi プロットの作成が可能となる。

BLK-A "HT2_DMA64K_A"

N1 W=0.14 L=0.06	N5 W=0.14 L=0.1	P1 W=0.14 L=0.06	P5 W=0.14 L=0.1
N2 W=0.5 L=0.06	N6 W=0.5 L=0.1	P2 W=0.5 L=0.06	P6 W=0.5 L=0.1
N3 W=1.0 L=0.06	N7 W=1.0 L=0.1	P3 W=1.0 L=0.06	P7 W=1.0 L=0.1
N4 W=2.0 L=0.06	N8 W=2.0 L=0.1	P4 W=2.0 L=0.06	P8 W=2.0 L=0.1

BLK-B "HT2_DMA64K_B"

N9 W=0.14 L=0.5	N13 W=0.14 L=1.0	P9 W=0.14 L=0.5	P13 W=0.14 L=1.0
N10 W=0.5 L=0.5	N14 W=0.5 L=1.0	P10 W=0.5 L=0.5	P14 W=0.5 L=1.0
N11 W=1.0 L=0.5	N15 W=1.0 L=1.0	P11 W=1.0 L=0.5	P15 W=1.0 L=1.0
N12 W=2.0 L=0.5	N16 W=2.0 L=1.0	P12 W=2.0 L=0.5	P16 W=2.0 L=1.0

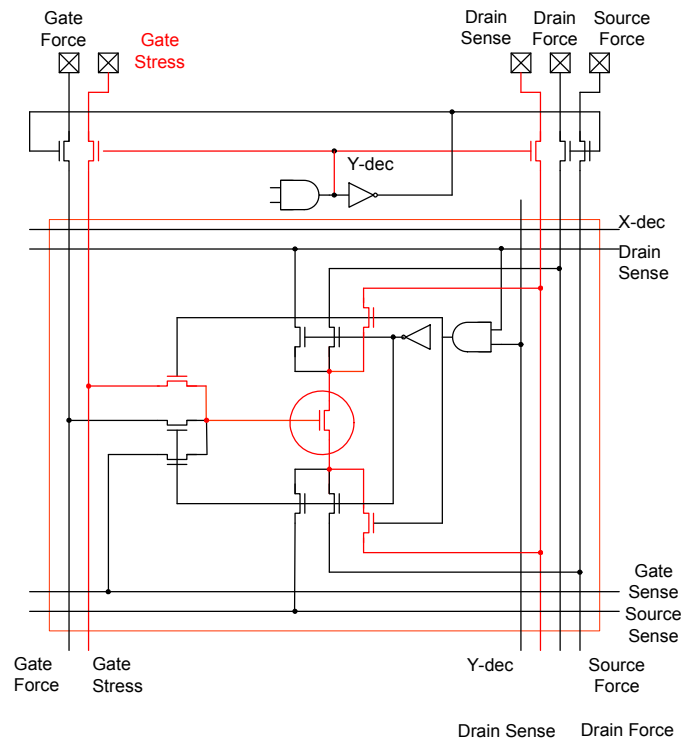
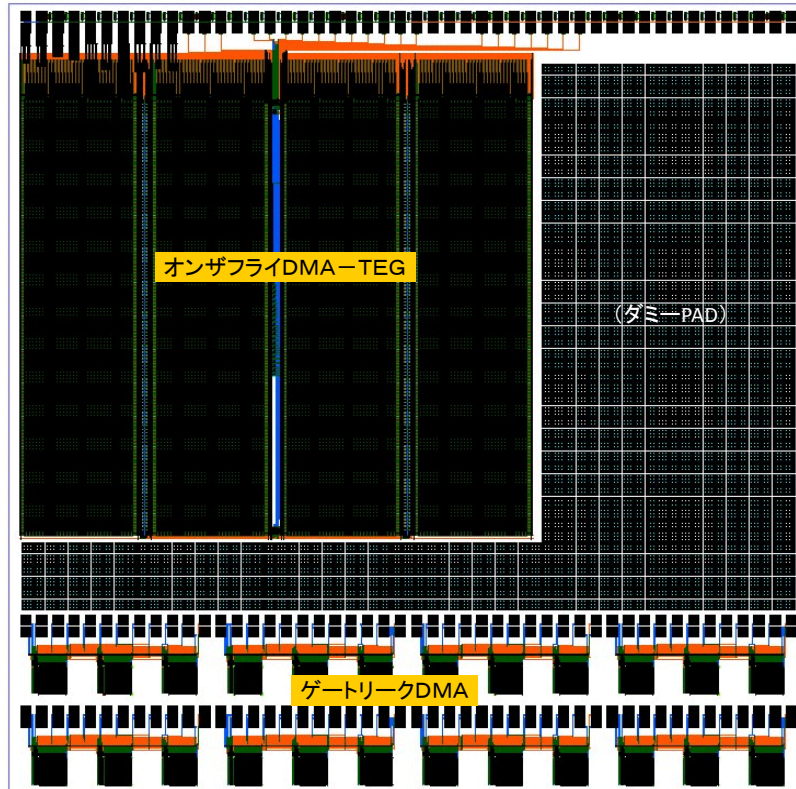
BLK-E "HT2_DMA64K_E"

N17 W=0.14 L=0.05	N21 W=2.0 L=0.2	P17 W=0.14 L=0.05	P21 W=2.0 L=0.2
N18 W=0.5 L=0.05	N22 W=2.0 L=0.3	P18 W=0.5 L=0.05	P22 W=2.0 L=0.3
N19 W=1.0 L=0.05	N23 W=2.0 L=0.4	P19 W=1.0 L=0.05	P23 W=2.0 L=0.4
N20 W=2.0 L=0.05	N24 W=2.0 L=0.7	P20 W=2.0 L=0.05	P24 W=2.0 L=0.7

BLK-F "HT2_DMA64K_F"

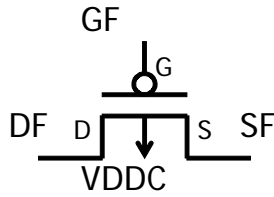
N25 W=0.2 L=1.0	N29 W=0.16 L=0.1	P25 W=0.2 L=1.0	P29 W=0.16 L=0.1
N26 W=0.3 L=1.0	N30 W=0.2 L=0.05	P26 W=0.3 L=1.0	P30 W=0.2 L=0.05
N27 W=0.4 L=1.0	N31 W=0.2 L=0.06	P27 W=0.4 L=1.0	P31 W=0.2 L=0.06
N28 W=0.7 L=1.0	N32 W=2.0 L=2.0	P28 W=0.7 L=1.0	P32 W=2.0 L=2.0

III-2-I-③(1)図 1-1-2-3 寸法分流 TEG の実際の DMA-TEG 配置

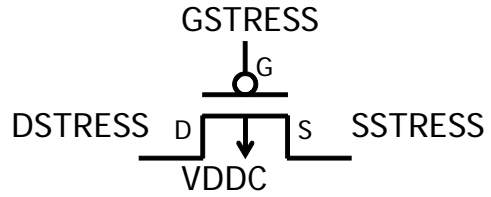


III-2-I- (1)図 1-1-2-4 Phase-2 に導入した経時変化を含む特性ばらつきを評価するための DMA-TEG レイアウトと回路図

選択されているDUTにかかる電圧

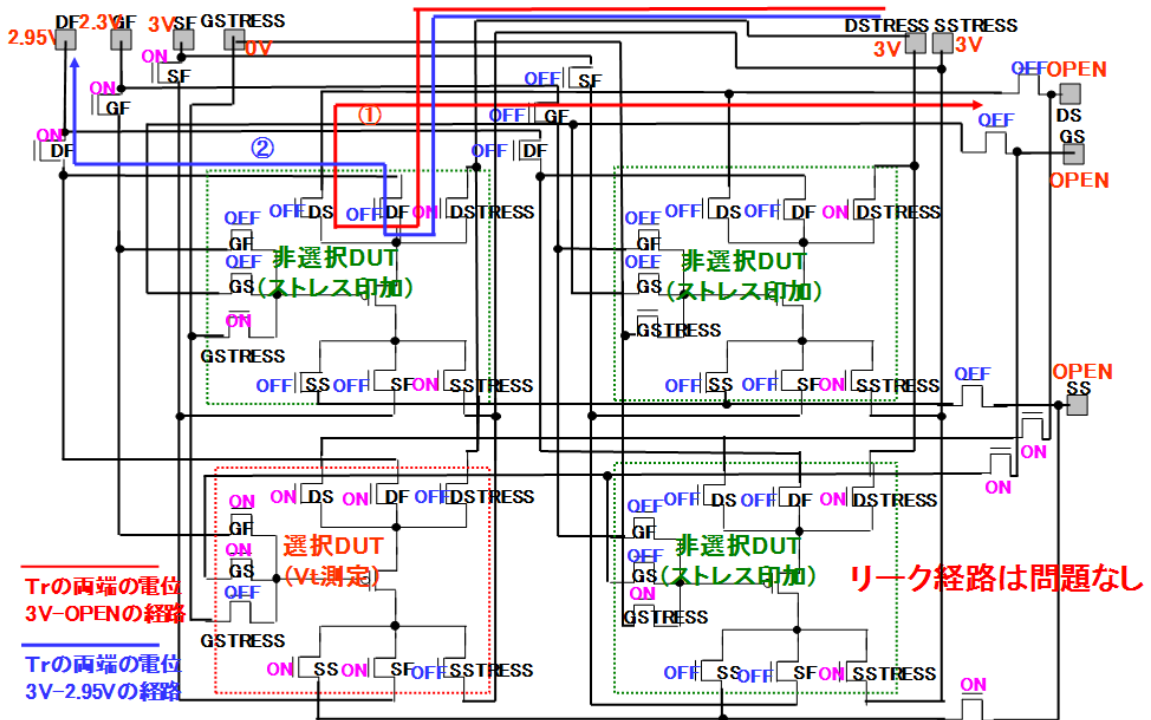


非選択のDUTにかかる電圧



※ Phase-IIの NBTI TEG では、非選択のDUT には常に上記の電圧がかかる。

III-2-I-③-(1)図 1-1-2-5 経時変化 DMA-TEG で選択、非選択 DUT に印加される電圧



III-2-I-③-(1)図 1-1-2-6 経時変化 DMA-TEG の選択、非選択 DUT のリーク経路のチェック図

III-2-I-③-(1)図 1-1-2-6 に非選択 DUT にストレス印加し、選択 DUT を測定する場合のリーク経路のチェック図を示した。選択 DUT、非選択 DUT は完全に分離し、リーク経路に問題はない。

実際の測定は 16K 個の DUT をデコーダーによりアドレス選択して実施するが、以下の 4 つのアドレス選択モードを、III-2-I-③-(1)表 1-1-2-3 に示すテストモードを切り替えることによって切り替えることができる。

- 1) ランダムアクセスモード・・・AX<6:0>、AY<6:0>で指定した DUT が選択
- 2) カウンタアクセスモード・・・内部カウンタによって指定された DUT が選択
- 3) 全選択モード・・・全 DUT が選択状態
- 4) 全非選択モード・・・全 DUT が非選択状態

実際の、経時変化を含むデバイス特性ばらつきを評価するには 1)、あるいは 2)のアドレス選択モードを用いるが、アドレス選択された後には、III-2-I-③-(1)図 1-1-2-7 に示す測定を実施する。すなわち、アドレスが選択された DUT はゲートバイアス、ドレインバイアスが測定バイアスに高速に切り替えられ、 V_g を変えながら I_d を測定する。一連の測定が終わった段階で選択された DUT は非選択状態($V_g=V_{gstress}$ 、 $V_d=V_{dstress}$)に切り替えられ、2 個目の DUT が選択(測定状態)となり、これを 16K まで繰り返す。測定時間に比べてストレス時間が十分大きければ、1 個目の DUT₁と 16K 個目の DUT_{16k}でストレス時間の差異が十分無視できる測定が可能となる。

上記の経時変化を含むデバイス特性ばらつき評価 TEG と併せて、アレイ規模は小さいが機能を簡素化して、測定が簡易的に行えるシンプルアレイ TEG も同時に開発した。DMA-TEG のように大規模な回路 TEG を用いる場合、配線抵抗や配線容量のために、DUT の測定スピードや、測定・ストレス切替スピードなどの負荷が大きい問題がある。またこれ以外にも、プローバーのノイズの問題、テスターの駆動容量の問題があり、これらの対策のために、III-2-I-③-(1)図 1-1-2-8、III-2-I-③-(1)図 1-1-2-9 に示す、経時変化を計測するシンプルアレイ TEG を設計した。本 TEG の特徴は、測定システムの能力をフルに活用できる、25 個の DUT を同時測定、ならびに測定スピード向上、およびノイズ対策のための、極端なまでのシンプル構造(容量の重いものをぶらさげない、長い配線はノイズ・アンテナになるため、可能な限り短くする)、と非常にシンプルな構造であるため、設計も容易であり、スピード向上解析・測定最適化が極めて容易である。しかしながら、25 個の DUT アレイを 10 列並べただけなので、総数は 250 個と、高精度なばらつきを議論するには少ないが、前記した 16K の完全分離型 DMA-TEG をベースとした TEG 結果の比較検討に用いることが可能である。

以上のように、実製品に近い環境で、動的なばらつき(製品使用負荷がかかった場合の経時変化量ばらつき)を静的なばらつきを含めて計測可能な、経時変化ばらつき計測 TEG を開発した。

(iii)実製品に近いばらつき評価のための新しい超大規模DMA-TEG

Phase-1 マスクでは 1M 個の DUT を配置した DMA-TEG を設計し、デバイス特性ばらつきの評価を実施してランダムばらつきを定量化した。しかしながら、実製品は 1G 個のトランジスタからなる規模まで大きくなっており、これに対応するために実製品により近い規模の DMA-TEG を開発した。Phase-1 で設計した 1M の DMA-TEG で実測したデバイスの V_{th} 分布はほぼ正規分布していることを確認している。しかしながら、1M 個レベルの DMA-TEG でも $\pm 5\sigma$ の実測が限界である。これ以上の規模の DUT の測定には非常に時間がかかることから、Phase-2 マスクで設計する超大規模 DMA-TEG は、III-2-I-③-(1)図 1-1-2-10 に示すように正規分布の裾の $\pm 6\sigma$ から外れた DUT を抽出し、この DUT の特性を詳細に調べることを目的とした。III-2-I-③-(1)図 1-1-2-11 に示すように、内部に判定回路を設け、設定した ΔV_{th} よりも大きい、あるいは小さい DUT のみ抽出し、実際の I_d - V_g 波形を評価することとした。内部判定回路が高速に動作するため、 ΔV_{th} から外れたデバイスの特定が短時間で完了し、 ΔV_{th} の値の最適化で実際の I - V 波形取得するデバイスの数を減らすことが可能となる。

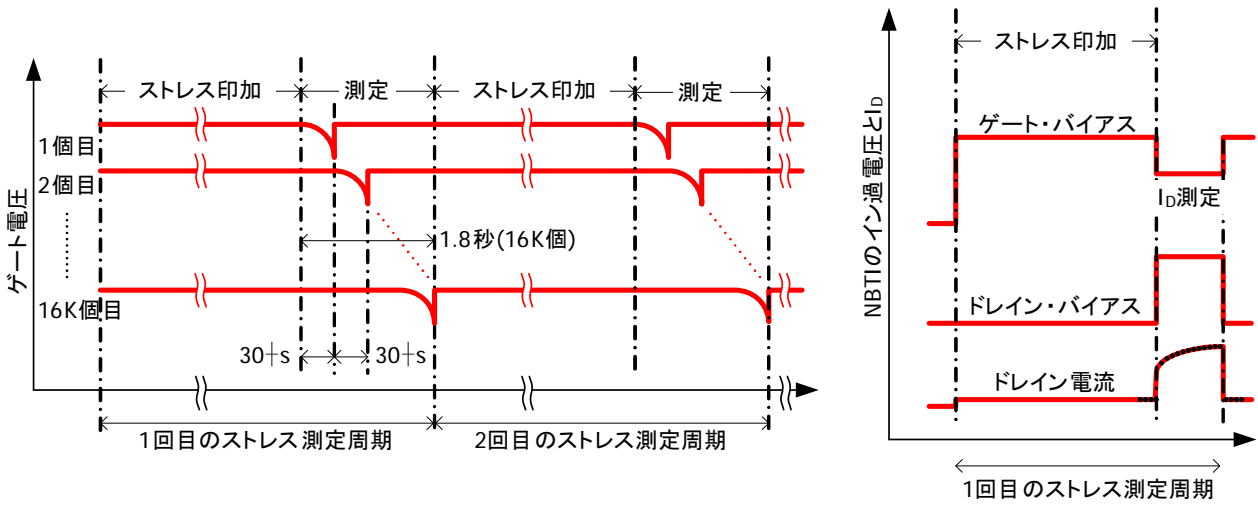
上記のコンセプトの元、III-2-I-③-(1)表 1-1-2-4 に示す仕様で 256M の DMA-TEG を設計した。動作電圧は NMOS の場合 $V_{cc}=4V$ 、PMOS 等の場合は $V_{ss}=4V$ 、 $V_{cc}=0V$ として実効的に $-4V$ の電位差を印加している。動作温度は室温であるが、実使用を念頭にしているため 85°Cまで動作することを回路シミュレーションにて確認した。テストモードにより計測機能の切り替えが可能であり、AMP モード(V_{th} 判定)、4 端子モード(DUT の I - V 測定)等が可能となっている。詳細な測定フローに関しては、1-2-6 項を参照されたい。

65nm のプロセス最大限に利用して、チップ内により多くの DUT を配置し、かつオフブリーク等の影響を最小限に抑えるために、III-2-I-③-(1)図 1-1-2-12 に示すようにブロック内で 8M ビット単位の MAT を 32 個測定する構造とした。8M に分割した MAT 内に配置した DUT を III-2-I-③-(1)図 1-1-2-13 に示した。各 DUT のゲート端子、ソース端子は共通とし、ドレイン端子をデコーダーにて選択する構造としている。より多くの DUT が効率よく配置できるが、ソースが共通となるため、DUT は上下のゲート電極でキャリアの流れる方向が逆となる。

III-2-I-③-(1)表 1-1-2-3 4つのアドレス選択モード

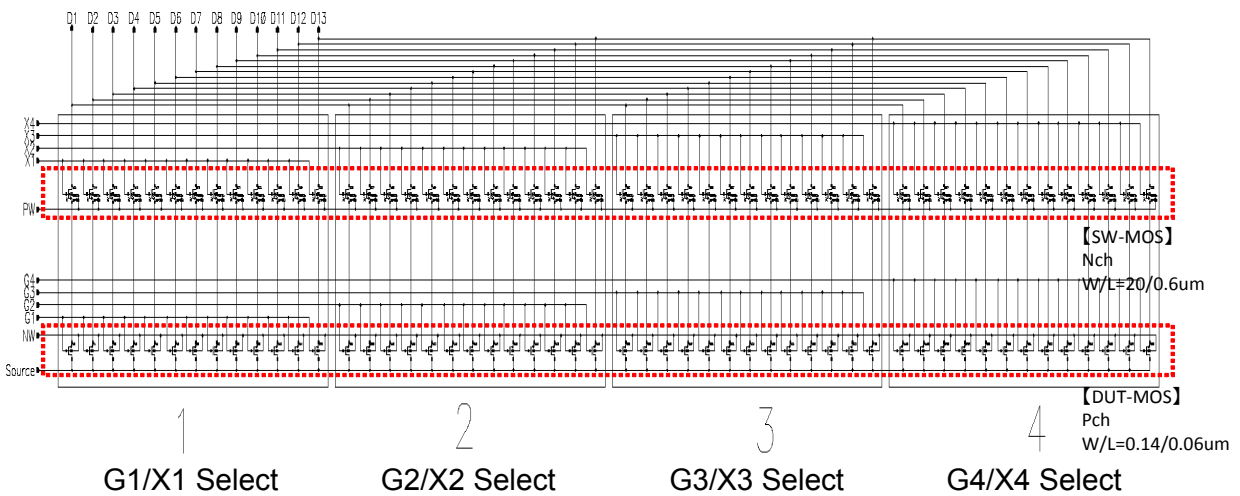
No.	モード	SELCONT	TEST<0>	TEST<1>	AX<6:0>	AY<6:0>	CLK	
1	ランダムアクセス	0	0	0	Valid	Valid	X	
2-1	カウンタ アクセス	開始アドレス設定	1	0	0	Valid	Valid	↑(初回)
2-2		インクリメント	1	0	0	X	X	↑(2回目以降)
3	DUT全選択	X	X	1	X	X	X	
4	DUT全非選択	X	1	0	X	X	X	

※ 0=L, 1=H, X=Don't Care

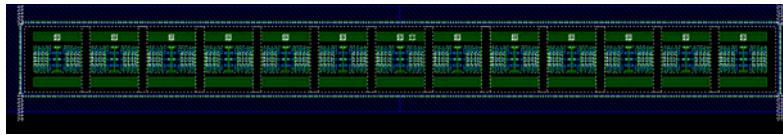
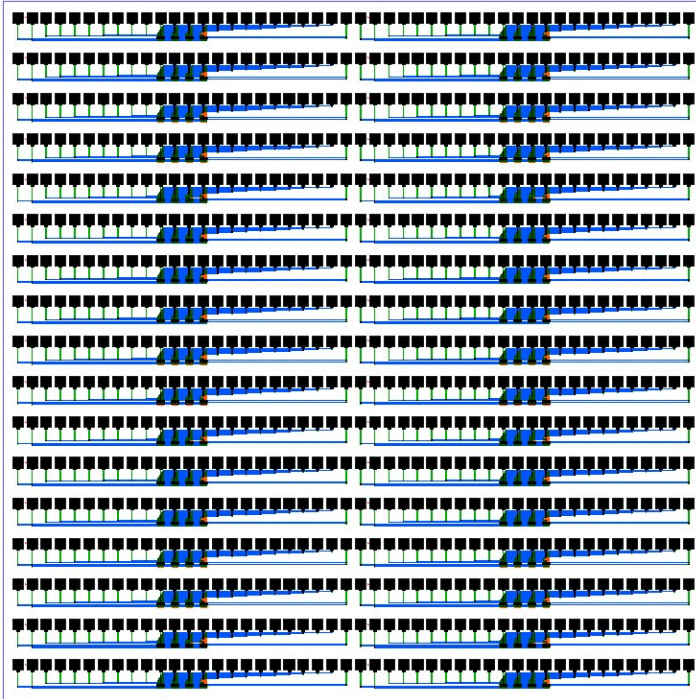


III-2-I-③-(1)図 1-1-2-7 経時変化の測定イメージ

全体回路図



III-2-I-③-(1)図 1-1-2-8 シンプルアレイ TEG の回路模式図

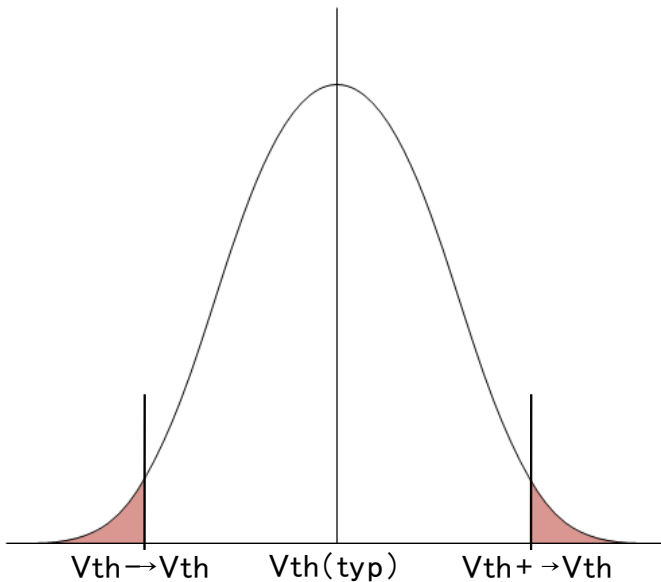


左上配置分パッド座標

シンプルアレイTEG	x	y
NW(1vDUT-PMOS部給電)	-2820	2805
Source	-2700	
G1	-2580	
G2	-2460	
G3	-2340	
G4	-2220	
X1	-2100	
X2	-1980	
X3	-1860	
X4	-1740	
D1	-1620	
D2	-1500	
D3	-1380	
D4	-1260	
D5	-1140	
D6	-1020	
D7	-900	
D8	-780	
D9	-660	
D10	-540	
D11	-420	
D12	-300	
D13	-180	
PW(3.3vSW-MOS給電)	-60	
NW(1vDUT-PMOS部給電)	60	
Source	180	
G1	300	
G2	420	
G3	540	
G4	660	
X1	780	
X2	900	
X3	1020	
X4	1140	
D1	1260	
D2	1380	
D3	1500	
D4	1620	
D5	1740	
D6	1860	
D7	1980	
D8	2100	
D9	2220	
D10	2340	
D11	2460	
D12	2580	
D13	2700	
PW(3.3vSW-MOS給電)	2820	

X:2880um, Y:-340umピッチにて2×17個配置

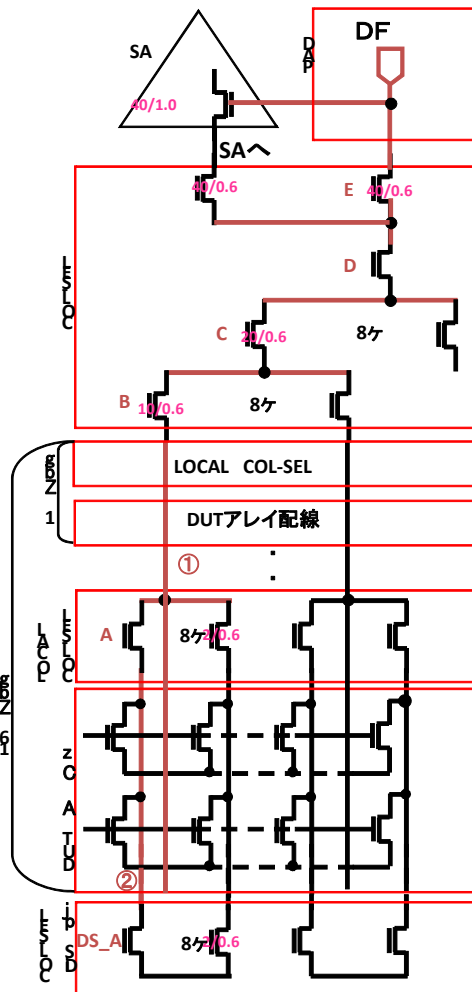
III-2-I-③(1)図 1-1-2-9 シンプルアレイ TEG のレイアウトと、PAD 配置



DMA-TEGで実測したデバイスのVth分布はほぼ正規分布していることを確認している。しかしながら、1M個レベルのDMA-TEGでも±5σの実測が限界。またこれ以上のTEGの測定には非常に時間がかかることから、今回の超大規模DMA-TEGは、内部に判定回路を設け、設定したVthよりも大きい、あるいは小さいDUTのみ抽出し、実際のI-V波形を評価する。

内部判定回路が高速に動作するため、Vthから外れたデバイスの特定が短時間で完了し、Vthの値の最適化で実際のI-V波形取得するデバイスの数を減らすことが可能となる。

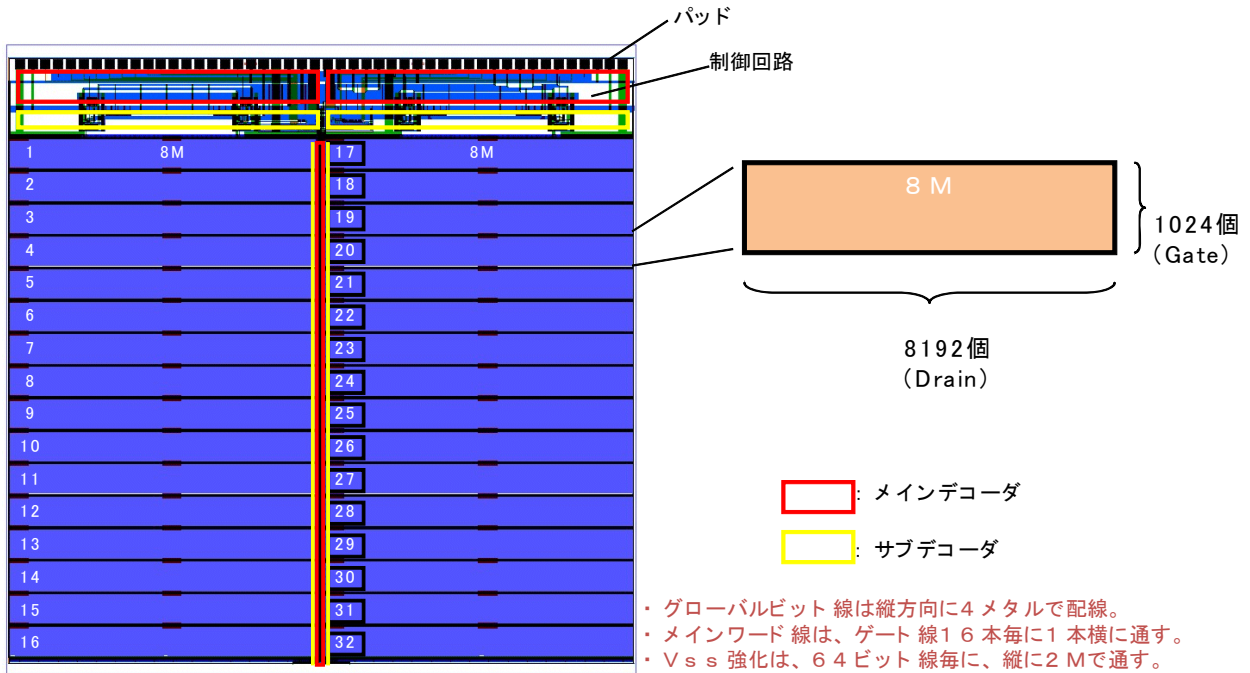
III-2-I-③(1)図 1-1-2-10 超大規模 DMA-TEG のコンセプト



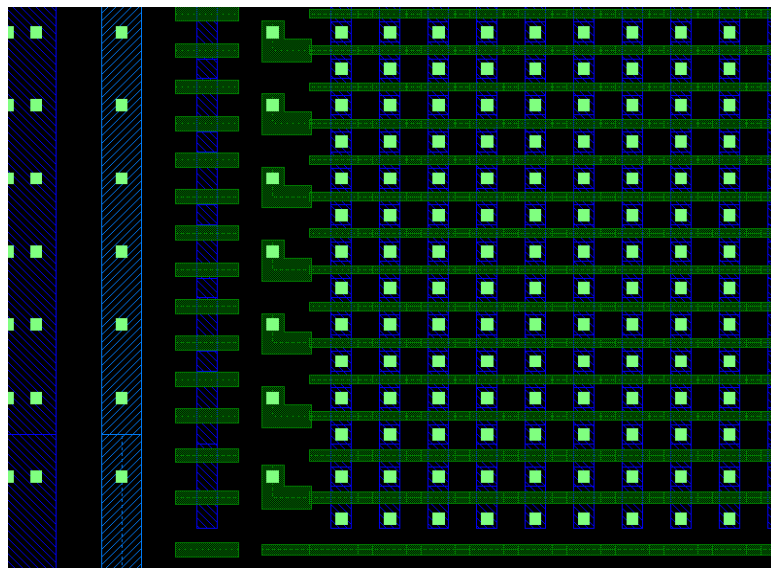
III-2-I-③-(1)図 1-1-2-11 超大規模 DMA-TEG のために新規に設計した判定回路

III-2-I-③-(1)表 1-1-2-4 超大規模 DMA-TEG の仕様

項目	仕様		備考
DUT種類	PMOS	NMOS	
DUT数	256M		
プロセス	65nm CMOSプロセス		
動作電圧	VCC=0.3V~0.5V VSS=-4.0V±0.1V	VCC=4.0V±0.1V VSS=-0.3V~-0.5V	入力信号は”H”=VCC, ”L”=VSSとする。
動作温度	Ta=27°C (85°Cでも動作可能なこと)		
機能	Vth測定方法: 4端子モード/AMPモード		Mode0信号切り替え
	ドレインセンスモード/通常モード		Mode1信号切り替え
	アドレス選択方法: ランダムモード/シリアルモード		SELCONT信号切り替え
	カラム全非選択モード		TEST<0>信号切り替え
	ゲート全非選択モード		TEST<1>信号切り替え
その他	1TEGあたり4DUT同時測定(×4構成)		



III-2-I-③-(1)図 1-1-2-12 超大規模 DMA-TEG の MAT 構成



III-2-I-③-(1)図 1-1-2-13 超大規模 DMA-TEG の DUT のレイアウト

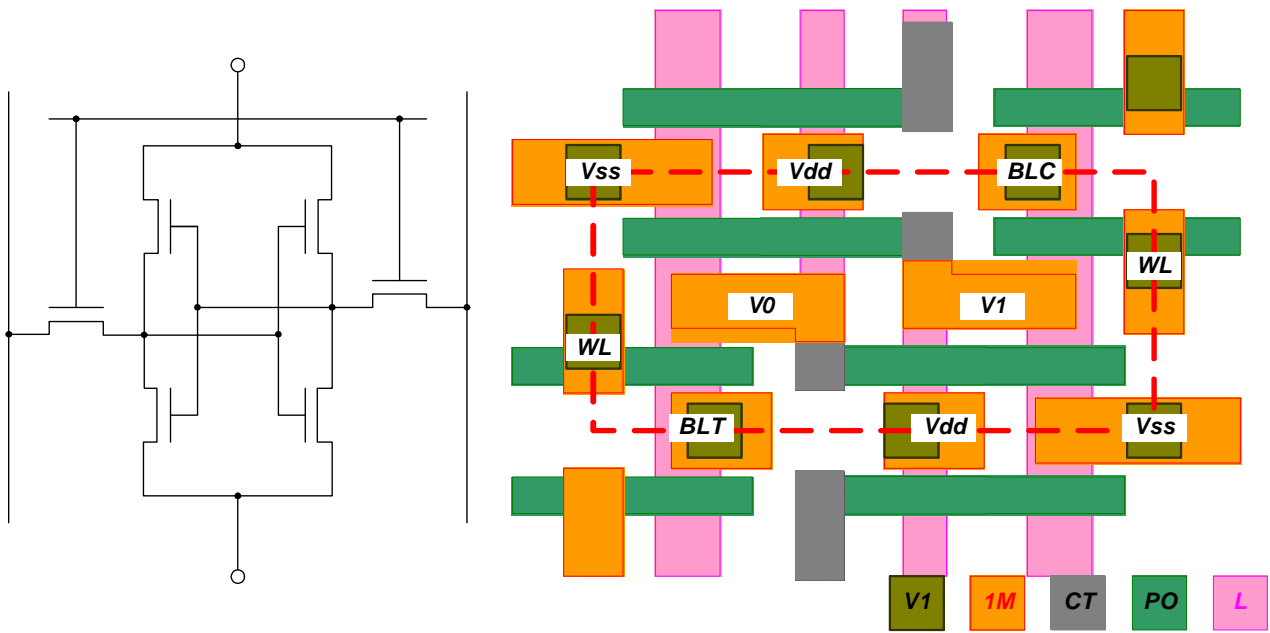
(iv)回路特性に与える影響を調べるためのSRAMのDMA-TEG

ばらつきに影響する製品としてもっとも注目されているのが、SRAM(Static Random Access Memory)である。III-2-I-③-(1)図 1-1-2-14 に示すように、SRAMは隣接する6つの最小加工寸法で加工されるトランジスタ(トランスファ、ドライバのNMOS4つと負荷のPMOS2つ)から構成される。ランダムばらつきにより、SRAMの動作

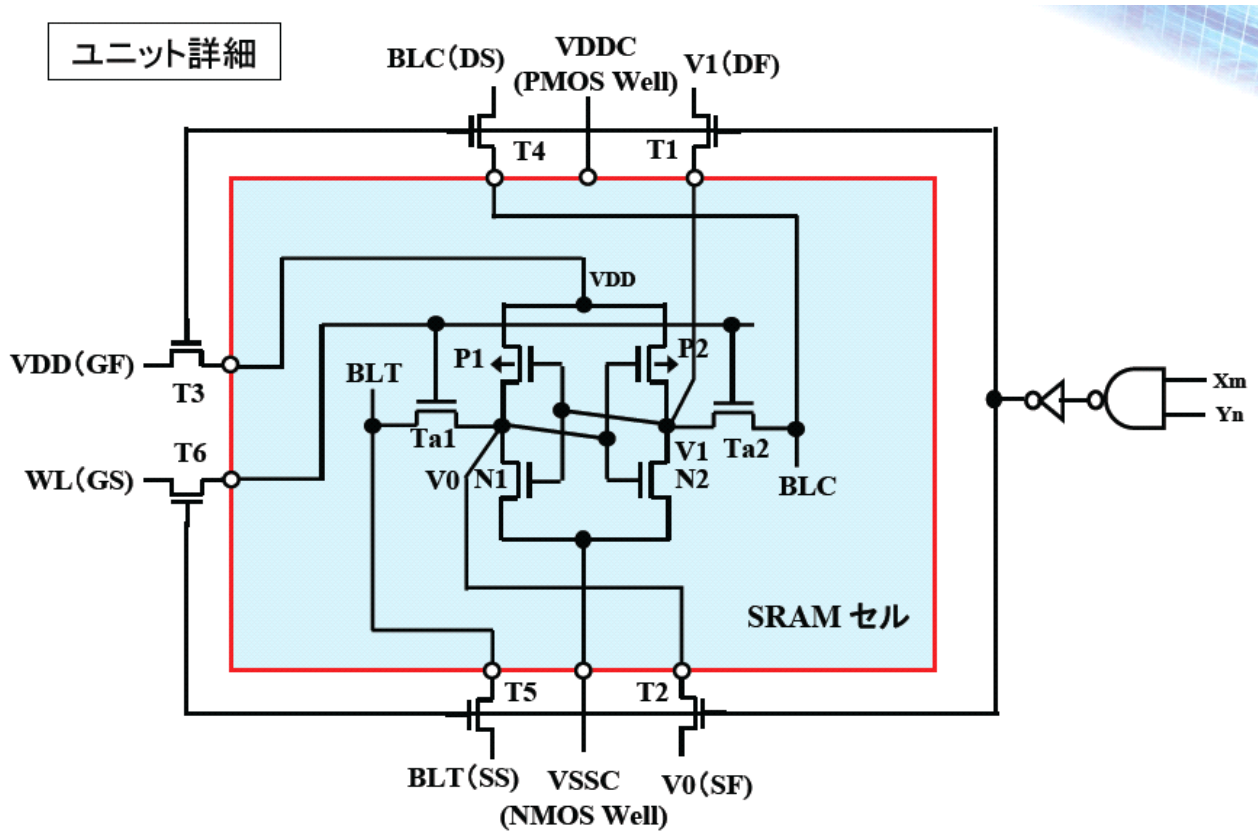
マージン、たとえば、スタティックノイズマージン(以下、SNM: Static Noise Margin³)が低下する[3]ことがよく知られているが、具体的にSNMと、SRAMを構成するこのトランジスタ特性の相関を評価した例はなかった。このため、 V_{th} ばらつきにより発生するマージン性不良を理解し対策するには、トランジスタの V_{th} とSNM特性や、SNM特性の悪いSRAMセルのトランジスタ特性を評価することが重要になる。本開発では、完全分離型DMA-TEGをベースとして、これにSRAMのミニアレイを組み込み、SRAMの主要端子から配線を引き出すことで各SRAMの特性を完全独立に評価可能とするDMA-TEGを設計した(III-2-I-③-(1)図 1-1-2-15)。通常のSRAMはノードから電極を取り出すことができないが、設計したTEGはIII-2-I-③-(1)図 1-1-2-16に示すように拡散層からコンタクト、メタル 1 層目までは通常のSRAMと同様であるが、メタル 2 層目で各ノード(V_0 と V_1)が取り出せる配線構造にレイアウトを変更している。この手法を取り入れることでミニアレイの 1 ユニットセルのSNM測定、SRAMを構成するトランジスタの特性評価が可能であるが、隣接するSRAMの測定は不可能となる。したがって、ミニアレイからは 1 つのSRAMの特性が計測可能にして、ミニアレイを 16Kの完全分離型DMA-TEGのDUT部分に置き換えることで、16KのSRAMの測定を可能にした。本構造をとることで、SRAMを構成するトランジスタの特性を個々に評価可能であり、SRAM特性ばらつきの原因を解析することが可能となる。また、16Kの完全分離型DMA-TEGをベースに構成したため、基本動作、およびピン仕様は 16Kの完全分離型DMA-TEGと同一の構成を採用することで、ユニットセルを入れ替えるのみで、DMA-TEGが実現できる。

動作仕様を III-2-I-③-(1)表 1-1-2-5 にまとめた。 VDD 、 NW (PMOS の Well)、 WL に 1.2V、 VSS 、 PW (NMOS の Well)、トランスファ MOS のウエルには 0V を印加し、ビットライン(BLT 、 BLC)、およびノード(V_0 、 V_1) の電圧を変えることで、SNM の評価を行う。また、テストモードの設定により、①ランダムアクセス、②カウンタアクセス、③全選択、④全非選択のアドレス設定モードが選択可能である。ランダムアクセスモードとは $SELCONT="0"$ 、かつ $TEST<0>="0"$ 、 $TEST<1>="0"$ 、外部入力 Address、 $AX<n:0>$ 、 $AY<n:0>$ によって決められた DUT セルを1つ選択するモードである。カウンタアクセスモードとは $SELCONT="1"$ 、かつ $TEST<0>="0"$ 、 $TEST<1>="0"$ 、CLK の立ち上がりエッジによって、内部カウンタ Address で決められた DUT セルを1つ選択するモードである。TEST 全選択モードとは $TEST<1>="1"$ 、DUT セルを全部選択するモードである。この場合、 $SELCONT$ 、CLK、 $TEST<0>$ 、 AX 、 AY は無効となる。TEST 全非選択モードとは $TEST<0>="1"$ 且 $TEST<1>="0"$ 、DUT セルを全部非選択するモードである。この場合、 $SELCONT$ 、CLK、 AX 、 AY は無効となる。

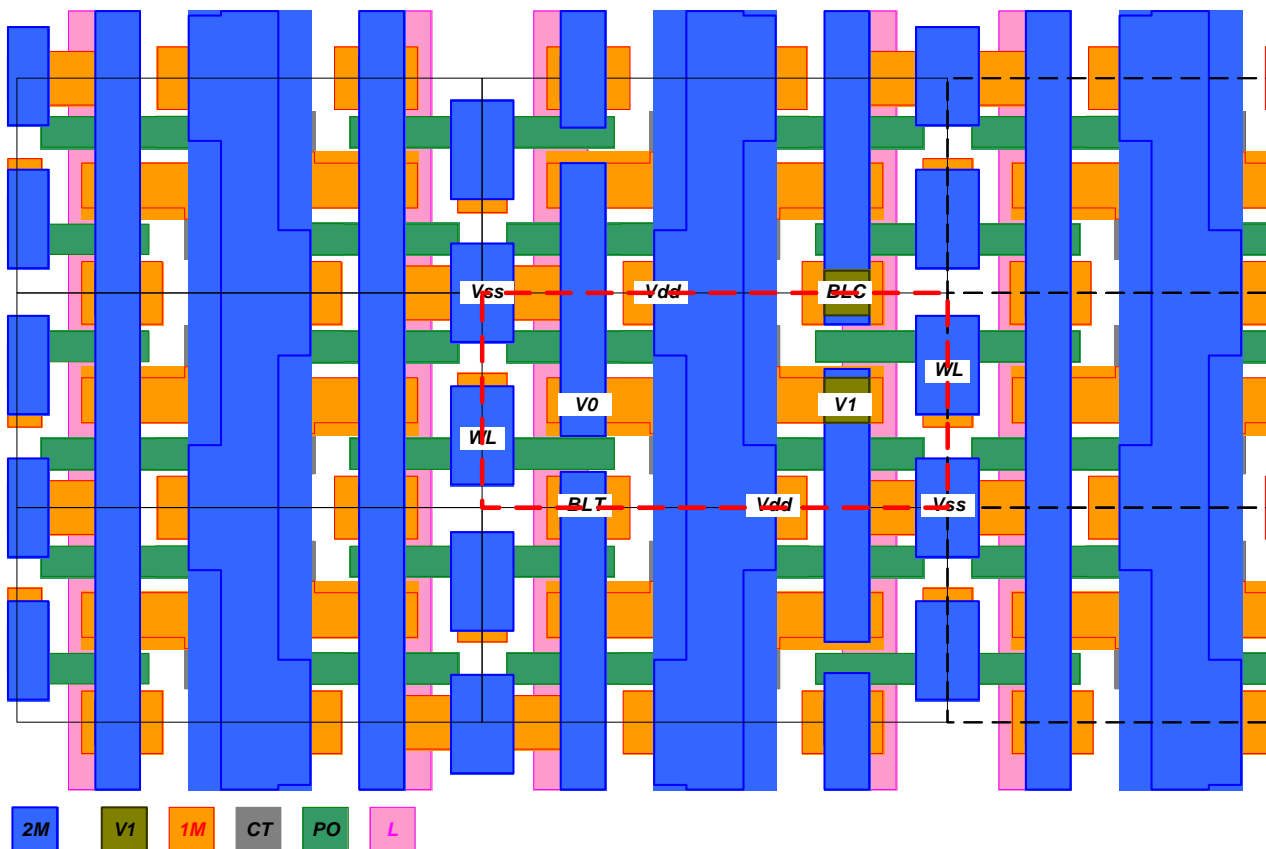
³ SRAM セルにおける、外乱に対する動作安定性の余裕度を表す指標。装置の動作に対して許容される、雑音振幅の最大値によって定義され、値が大きいほど安定性が高いことを示す。



III-2-I-③-(1)図 1-1-2-14 SNM-TEG の DUT に組み込んだ SRAM セルのレイアウト



III-2-I-③-(1)図 1-1-2-15 SNM-TEG の DUT 周辺の回路図



III-2-I- (1)図 1-1-2-16 SNM-TEGのDUTに組み込んだDRAMミニアレイ(配線構成を一部変更して完全分離型DMA-TEGのDUTに組み込んでいる)

III-2-I- (1)表 1-1-2-5 SNM-TEGの動作仕様

端子	バイアス1	バイアス2
VDD	1.2V	
PMOS Well	1.2V	
VSS	0V	
NMOS Well	0V	
WL	1.2V	
Transfer MOS Well	0V	
BLT	Open	1.2V
V0	0V→1.2V	Monitor
BLC	1.2V	Open
V1	Monitor	0V→1.2V

カ
士

No.	モード	SELECONT	CLK	TEST<0>	TEST<1>	AX<n:0>	AY<n:0>
①	ランダムアクセス	0	*	0	0	AX<n:0>	AY<n:0>
②	カウンタアクセス	1	↑	0	0	*	*
③	TEST全選択	*	*	*	1	*	*
④	TEST全非選択	*	*	1	0	*	*

(v)回路特性に与える影響を調べるためのオペアンプのDMA-TEG

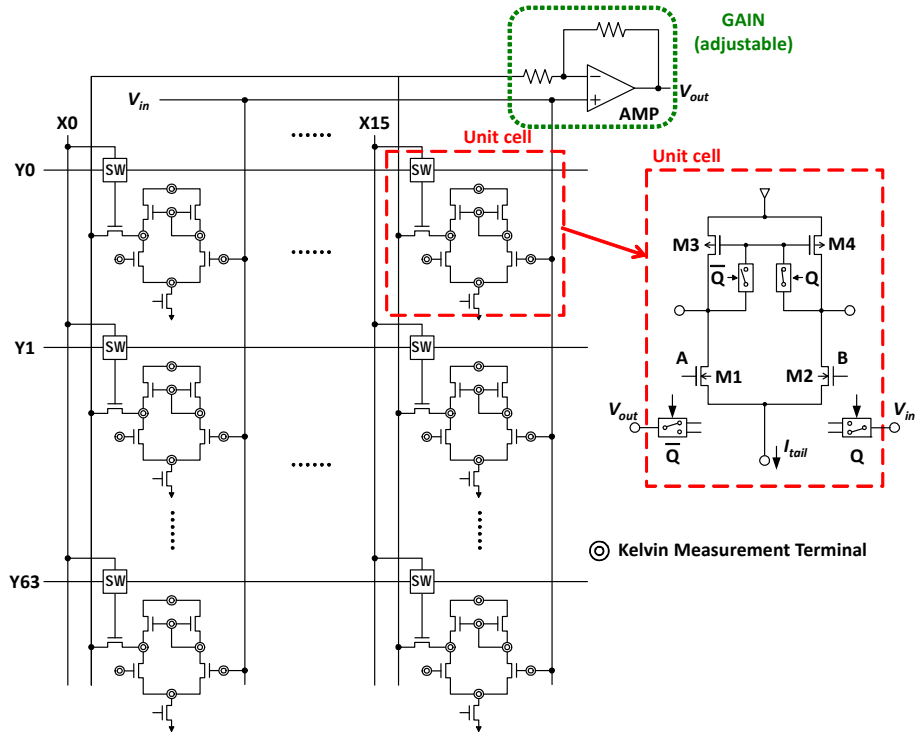
オペアンプ等に代表される、アナログ回路設計においては、ペアトランジスタのばらつき抑制が非常に重要な課題になっている。このため、比較的同一面積ではばらつきの小さいバイポーラトランジスタが用いられてきた。しかしながら、バイポーラトランジスタの場合、高温動作時にリーク電流が増大し、そのペア精度が低下してしまう問題を持っている。現状の MOS トランジスタを用いる場合、ペアばらつきを抑えるためには L_g 、 W_g を非常に大きく確保する必要があるが、車載等のニーズを踏まえると高温時も安定的に使用できる MOS トランジスタの適用が望まれる。本開発では、これらの背景を踏まえて、CMOS アンプのオフセットばらつきを解析し、MOS トランジスタのランダムばらつきがアナログ回路へ与えるインパクトを調べるために、アナログ回路で用いられる L_g 、 W_g の大きなトランジスタからなるオペアンプ TEG を開発した。オペアンプ TEG を構成する MOS トランジスタの、ペアばらつきの評価の分解能は $10\mu\text{V}$ 程度が必要であり、従来の評価方法は、単体 TEG をパッケージに組み込み、かつ出力を外付けのアンプを介して増幅して $10\mu\text{V}$ レベルのばらつきを評価していた。本開発では、ばらつきの要因を分析するために、ある程度の数のオペアンプの特性ばらつきを評価し、構成するトランジスタのランダムばらつきや、単体特性との相関を調べることを目的とした。本開発における評価内容は下記の通りとした。

- ① オペアンプ TEG 構成の違いによるオフセット量の面内ばらつき
Pch ($V_b=V_{dd}$)、Pch ($V_b=V_s$)、Nch
- ② 力作動対を構成する MOS トランジスタサイズによるオフセット量
 $\sqrt{L \times W}$ vs オフセット電圧の面内ばらつき
- ③ ンプを構成するトランジスタ単体測定との組み合わせによる相関分析
プロセスパラメータの相対差とオフセット電圧量の相関分析

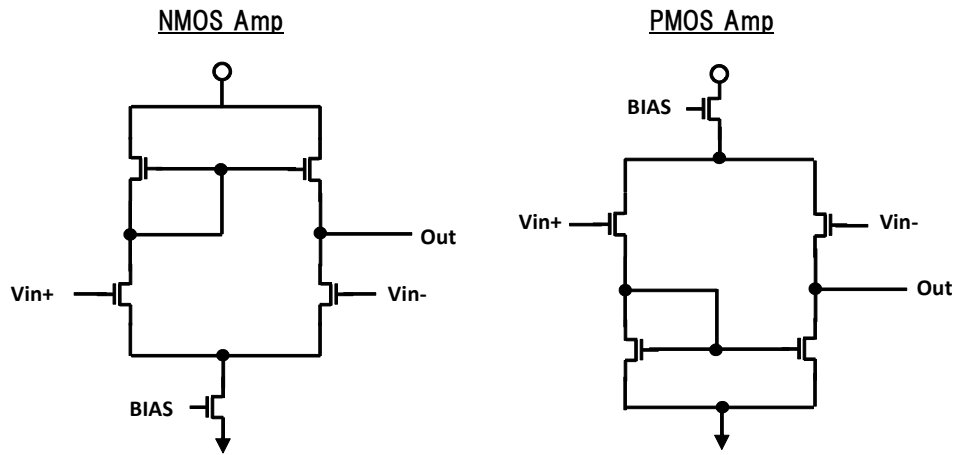
上記評価を実施するために、III-2-I-③-(1)図 1-1-2-17 に示すオペアンプの構成を開発した。チップ内に搭載したアンプにより、目標仕様のオフセット電圧 $10\mu\text{V}$ を増幅することで計測可能とし、その規模を 100～1000 個とした。AMP モードでオフセット(V_{OS})を評価した後に、 V_{th} 測定モードで、オペアンプを構成するトランジスタ(4 個)の V_{th} の測定を実施する。DUT として組み込んだオペアンプは III-2-I-③-(1)図 1-1-2-18 である。オペアンプの種類、およびトランジスタサイズのバリエーションは、

- (1) N 型差動対($L_g=1\mu\text{m}$: $L_g \times W_g = 80\mu\text{m}^2$ 、 $160\mu\text{m}^2$ 、 $320\mu\text{m}^2$ 、 $640\mu\text{m}^2$)
- (2) N 型差動対(サイズ補間、 $L_g=2\mu\text{m}$: $L_g \times W_g = 320\mu\text{m}^2$ 、 $640\mu\text{m}^2$ 、 $1280\mu\text{m}^2$ 、 $2560\mu\text{m}^2$)
- (3) P 型差動対($V_b=V_{DD}$ 、($L_g=1\mu\text{m}$: $L_g \times W_g = 80\mu\text{m}^2$ 、 $160\mu\text{m}^2$ 、 $320\mu\text{m}^2$ 、 $640\mu\text{m}^2$))
- (4) P 型差動対($V_d=V_s$ 、($L_g=1\mu\text{m}$: $L_g \times W_g = 80\mu\text{m}^2$ 、 $160\mu\text{m}^2$ 、 $320\mu\text{m}^2$ 、 $640\mu\text{m}^2$))

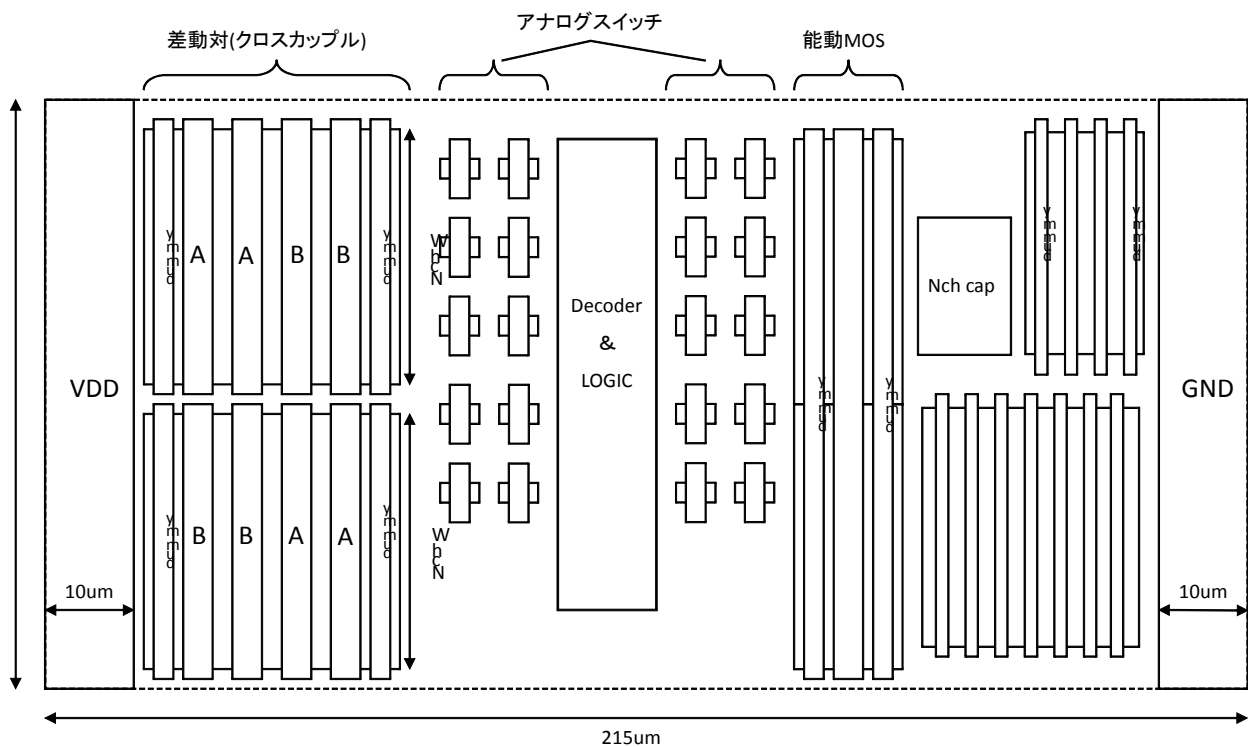
の 4 種類である。能動対のトランジスタサイズは、N 型差動対(1)(2)では、 $L_g/W_g=4/20\mu\text{m}$ 、P 型差動対(3)(4)では $L_g/W_g=8/10\mu\text{m}$ とした。それぞれの TEG 中の DUT 数は 64 セルであり、オペアンプ 4 種類、トランジスタサイズ 4 種類であるので、合計 1536 セルとなる。N 型差動対のレイアウトイメージ、ならびにチップイメージを III-2-I-③-(1)図 1-1-2-19、ならびに III-2-I-③-(1)図 1-1-2-20 に示した。トランジスタそのものは、3.3V の MOS トランジスタで構成し、かつランダムばらつきが小さくなるために L_g 、 W_g ともに大きなトランジスタを用いるため、チップ中にレイアウトできるトランジスタ数は制限される。III-2-I-③-(1)表 1-1-2-6 にパッドリストを示す。測定方法、ならびに測定結果に関しては 1-2-7 項にて詳細に説明する。



III-2-I-③-(1)図 1-1-2-17 オペアンプ TEG の回路構成



III-2-I-③-(1)図 1-1-2-18 DUT に組み込んだ NMOS アンプと PMOS アンプ



III-2-I-③-(1)図 1-1-2-19 NMOS オペアンプ TEG のチップレイアウトイメージ

III-2-I-③-(1)図 1-1-2-6 オペアンプ TEG の PAD イメージ

No.	PAD Name	Description
1	GND	GND
2	Buf2_out	バッファ2出力
3	Amp2_out	アンプ2出力
4	Amp1_out	アンプ1出力
5	Buf2_in	バッファ2入力(+端子)
6	Amp2_inp	アンプ2入力(+端子)
7	Amp2_inn	アンプ2入力(-端子)
8	Amp1_inp	アンプ1入力(+端子)
9	Amp1_inn	アンプ1入力(-端子)
10	Vin	オペアンプ入力
11	PM_Buf2	バッファ2の位相余裕補助用キャパシタ接続端子
12	PM_Amp2	アンプ2の位相余裕補助用キャパシタ接続端子
13	PM_Amp1	アンプ1の位相余裕補助用キャパシタ接続端子
14	Buf1_out	バッファ1出力
15	Cellout_M	セル出力モニタ
16	noise_out	位相雑音出力
17	I_noise	位相雑音用電流端子(noise_outとshortして使用)
18	senseD_VdM1	ドレインのセンス(Vth測定モード時), 差動対(M1)のドレイン電圧モニタ(Ampモード時)
20	senseS_VdM2	ソースのセンス(Vth測定モード時), 差動対(M2)のドレイン電圧モニタ(Ampモード時)
21	forceD	ドレインのフォース
22	forceG	ゲートのフォース
23	forceS_VtailM	ソースのフォース(Vth測定モード時), 差動対のソース電圧モニタ(Ampモード時)※
24	Itail_M	差動対のテイル電流モニタ
25	PM_Buf1	バッファ1の位相余裕補助用キャパシタ接続端子
26	PM SW	位相余裕補助キャパシタ接続スイッチ('L':非接続, 'H':接続)

参考文献

- [1] S. Ohkawa, M. Aoki, "Analysis and Characterization of Device Variations in an LSI Chip Using an Integrated Device Matrix Array", IEEE TRANSACTIONS ON SEMICONDUCTOR MANUFACTURING, VOL. 17, NO. 2, MAY 2004
- [2] M. J. M. Pelgrom, C. J. Duinmajer and P. G. Welbers, "Matching Properties of MOS Transistors", IEEE JOURNAL OF SOLID-STATE CIRCUITS, VOL. 24, NO. 5, OCTOBER 1989, p.1433
- [3] F. Tachibana and T. Hiramoto, "Re-examination of Impact of Intrinsic Dopant Fluctuations on SRAM Static Noise Margin", Extended Abstracts of the 2004 International Conference on Solid State Devices and Materials, Tokyo, 2004, B-4-3, pp. 192-193

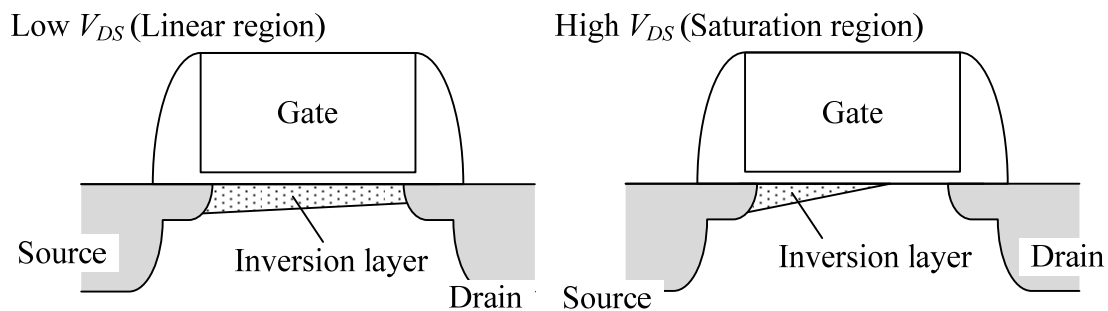
1-2. 試作トランジスタの特性ばらつき評価・解析

1-2-1. 試作トランジスタのしきい値ばらつき評価・解析

1-2-1-1. はじめに

しきい値(V_T)は、電界効果トランジスタ(FET)のオフ状態からオン状態への切り替えゲート電圧を示す重要なパラメータである。通常 LSI の内部の回路は、ある特定の V_T の範囲で動作するように設計されているが、この V_T のばらつきが大きくなりすぎると、回路設計が出来なくなってしまう[2]。そこで本章では、まず、 V_T の定義と開発した解析手法を述べた後に、 V_T のばらつきを抑制するために V_T ばらつきの原因解析を行った結果について述べる。

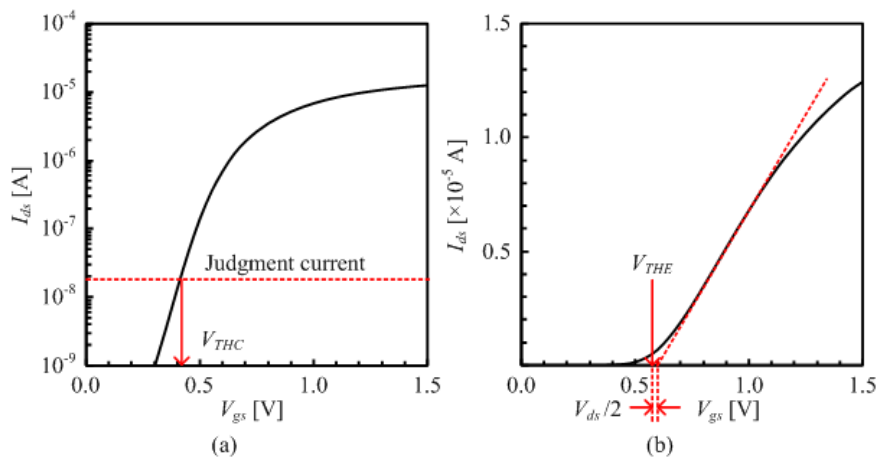
V_T は特に短チャネルにおいて、ドレイン電圧(V_{ds})に依存することが知られている[2]。III-2-I- (1)図 1-2-1-1 に、チャネル反転層の模式図を示す[2]。線型領域においては、反転層はチャネル全体に広がっている。このため V_T ばらつきはチャネル全体の物理パラメータのばらつきに支配されると考えられる。一方で、飽和領域においては、反転層はドレイン側でピンチオフしている。この場合、 V_T ばらつきはソース側の物理パラメータのばらつきに支配されると考えられる。ソースからピンチオフ点までの長さも明確ではない。また、Drain Induced Barrier Lowering (DIBL)の効果も考慮する必要がある。このように飽和領域における V_T ばらつきの機構は線型領域よりもより複雑になるため、まず線型領域の解析から着手した。本章では線型領域の V_T ばらつきの解析結果について述べる。



III-2-I- (1)図1-2-1-1. チャネル反転層の模式図。 V_d が低い線型領域では、反転層はチャネル全体に広がる。一方で V_d が高い飽和領域では、反転層はドレイン側でピンチオフする[2]。

1-2-1-2. V_T の定義

V_T を定義する方法には幾つかの方法がある。この章では、2つの種類の V_T 比較し、どの定義が V_T ばらつき原因解析に最適かについて論じる。一つは定電流法定義の V_T で、 V_{thc} と呼ぶことにする。III-2-I- (1)図1-2-1-2(a)で示されるように、 V_{THC} はドレイン電流(I_{ds})が判定電流になるときのゲート電圧(V_{gs})により定義される。もう一つは外挿法定義の V_T で V_{THE} と呼ぶことにする。 V_{THE} の計算方法をIII-2-I- (1)図1-2-1-2(b)に示した。まず、 I_{ds} - V_{gs} 特性の接線のうち、最大傾斜を持つ接線を求める。この接線の V_{gs} 切片から $V_{ds}/2$ を引いたものを V_{THE} とする[2]。

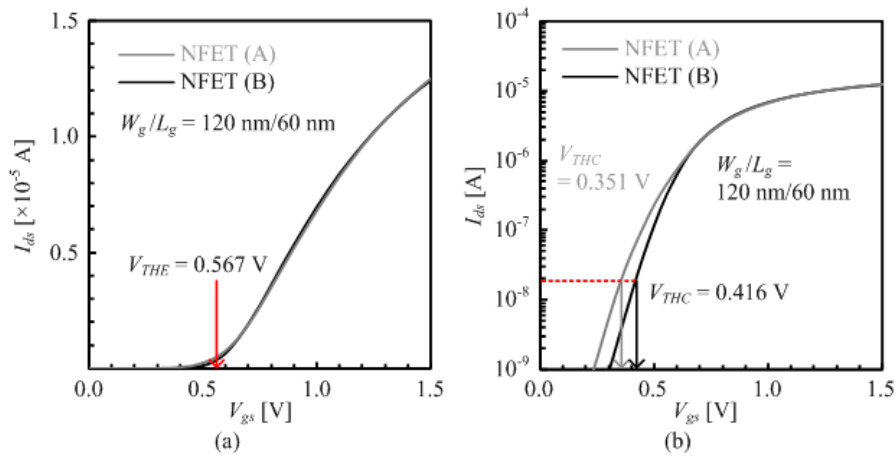


III-2-I- (1)図1-2-1-2. V_{THC} と V_{THE} の定義の説明。(a) V_{THC} は、 I_{ds} が判定電流となるときの V_{gs} により定義される。(b)まず、最大傾斜となる I_{ds} - V_{gs} 特性の接線を求める。 V_{THE} は、この接線の V_{gs} 切片から $V_{ds}/2$ を引いた値とする[2]。

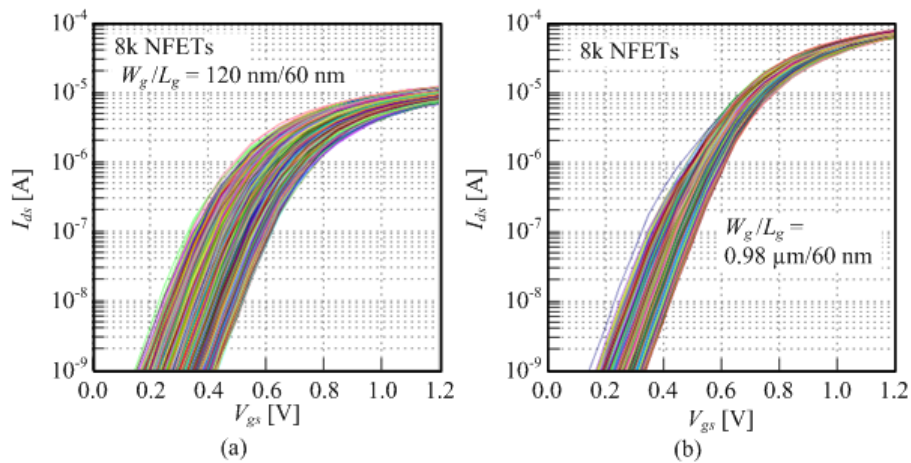
V_{THC} の問題点は、キंक特性に影響を受けやすいことである[3, 4]。III-2-I- (1)図1-2-1-3(a)は、 V_{THE} とオン電流(I_{ON})が同じ二つのNMOSの測定した I_{ds} - V_{gs} 特性を示している。 V_{THE} と I_{ON} が同じため、二つの波形はほとんど重なっている。一方で、III-2-I- (1)図1-2-1-3(b)は同じNMOSで、 I_{ds} をLogスケールにして示したものである。NMOS(A)においてはキंक特性が表れているため、NMOS(B)と V_{THE} は同一であるにも関わらず、 V_{THC} はNMOS(A)の方が低い。このように、 V_{THC} はキंक特性に影響を受けやすいという特徴がある。このキंक特性はゲート幅(W_g)依存性を持っている[5]。III-2-I- (1)図1-2-1-4は、(a) W_g が比較的狭い場合(120 nm)と、(b) W_g が比較的広い場合(0.98 μm)のNMOS8000個分の I_{ds} - V_{gs} 特性を重ねて示したものである[4]。(b)の W_g が比較的広い場合の方が、キंक特性がより顕著になっていることがわかる。この W_g 依存性は、キंक特性の原因と関係していると考えられる。III-2-I- (1)図1-2-1-5は、ソース・ドレイン方向に垂直な断面で観察したMOSトランジスタの断面透過電子顕微鏡(TEM: Transmission Electron Microscopy)像を示す[4]。図で示すように、浅溝素子分離(STI: Shallow Trench Isolation)の端が落ち込んでいる場合には、STI端への電界集中により局所的に V_T が低い寄生MOS領域が形成され、その結果キंक特性が生じる。またSTI端では、アニール工程や酸化工程においてチャンネルに注入されている不純物がSTIに吸い込まれて濃度が低下しやすい。この特性もキंक特性を生じさせる原因となっている。 W_g が十分狭ければ、チャンネル幅全体が寄生チャンネルとなるためにキंक特性が発生しない。一方で、 W_g が広い場合には、寄生チャンネルとチャンネル中心の差が明確になるため、キंक特性がより明確になる。

このキंक特性は V_T ばらつきにも影響を及ぼす。同一のNMOSの V_{THC} ばらつきと V_{THE} ばらつきをIII-2-I- (1)図1-2-1-6にPelgrom plotを用いて示した[4]。 σV_{THE} は、原点を通る破線上にのっている。ゲート幅が比較

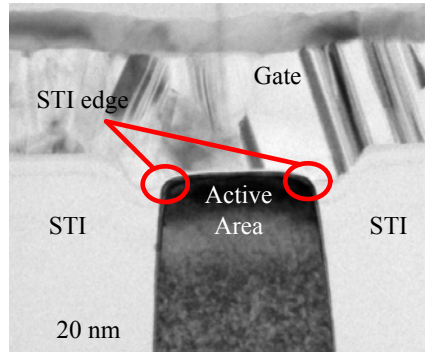
的狭い $W_g/L_g = 120\text{nm}/60\text{nm}$ の場合は、 σV_{THC} が σV_{THE} に近い値をとる。一方で、 $W_g/L_g = 0.48\ \mu\text{m}/60\text{nm}$ や $W_g/L_g = 0.98\ \mu\text{m}/60\text{nm}$ といったチャネル幅が比較的広いトランジスタでは σV_{THC} は σV_{THE} よりも大きくなる。先に示したキंक特性のチャネル幅依存性と合わせて考えると、キंक特性により、 σV_{THC} が σV_{THE} よりも大きくなったものと考えられる。キंक特性を抑制して、 σV_{THC} を小さくすることは重要であるが、本章では解析をより明解に行うために、プロセス条件やデバイス形状の影響を受けにくい V_{THE} を主として用いて V_T ばらつきの原因解析を行う。ただし、一部 V_{THC} が用いられている結果がある。これは、 V_{THE} で解析する方針が決まっていなかった研究の初期の段階では、 V_{THC} が用いられていたからである。



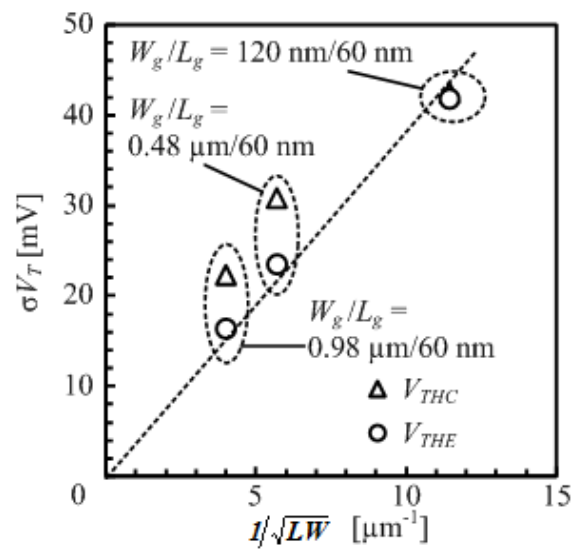
III-2-I- (1)図 1-2-1-3. V_{THE} と $V_{gs} = 1.2\text{ V}$ の I_{ds} が同じ二つの NMOS の I_{ds} - V_{gs} 特性。(a) Y 軸が線型スケールの場合。(b) Y 軸が対数スケールの場合。



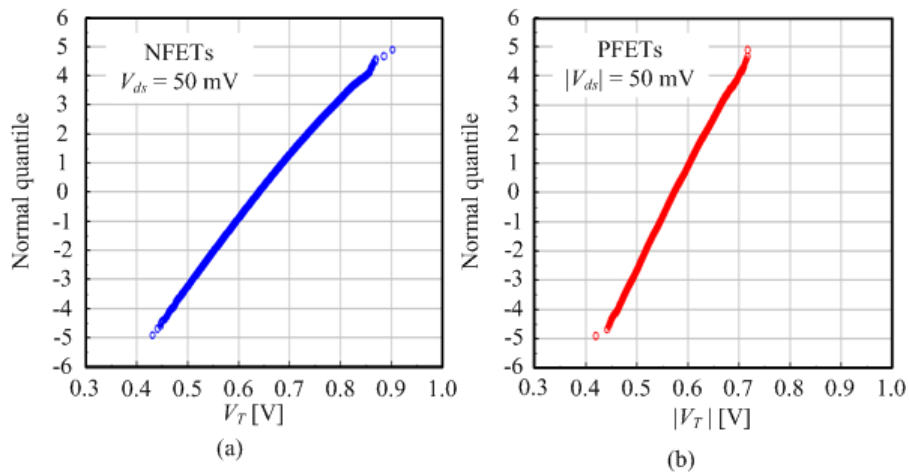
III-2-I- (1)図 1-2-1-4. 8000NMOS の I_{ds} - V_{gs} 特性。(a) $W_g/L_g = 120\text{ nm}/60\text{ nm}$, (b) $W_g/L_g = 0.98\ \mu\text{m}/60\text{ nm}$. キंक特性は、 $W_g = 0.98\ \mu\text{m}$ の場合に、 $W_g = 120\text{ nm}$ の場合よりも明確に現れる[4]。



III-2-I- (1)図 1-2-1-5. ソース/ドレイン方向に垂直な方向の断面 TEM 像。○で示した素子分離端が落ち込んでいる[4]。



III-2-I- (1)図 1-2-1-6. NMOS の σV_{THC} と σV_{THE} の Pelgrom プロット。同じ NMOS を評価しているが、 $W_g = 0.48 \mu\text{m}$ と $0.98 \mu\text{m}$ の場合は、 σV_{THC} のばらつきが σV_{THE} よりも大きい[4]。



III-2-I- (1)図 1-2-1-7. DMA-TEG 中の 100 万 MOS トランジスタの V_T ばらつきの正規プロット[9]。(a) NMOS、(b) PMOS。分布は直線状になっており、ランダム成分が主成分であることがわかる。

1-2-1-3. DMA-TEGで測定した V_T ばらつきの統計的性質

V_T ばらつきの原因解析を行う前に、まず V_T ばらつきの統計的性質、特に V_T ばらつきのランダム性、すなわち、DMA-TEG 内の V_T ばらつきのランダム性を調べた[6-9]。III-2-I- (1)図 1-2-1-7 は、1 チップ 100 万個の NMOS と PMOS の V_T を測定し、その分布を正規プロットにより調べたものである[9]。ここで用いた MOS トランジスタの W_g は 120 nm、 L_g は 60 nm である。正規プロットは視覚的にばらつきが正規分布に従っているかを判断するのに便利な方法である。もし、データ点は直線状に分布していれば、ばらつきは正規分布に従っており、ばらつきはランダムな成分が支配的であることがわかる。NMOS、PMOS ともに正規分布上で V_T は直線状に分布しており、正規分布に従ってばらついていることがわかる [10]。

正規プロットはこのように視覚的にばらつきの正規性を調べるには便利な方法であるが、定量的にばらつきのランダム成分の割合を知ることができない。そこでより定量的にランダム成分の割合を調べるために、ばらつきの成分分離を二つの方法を用いて行った。一つは近接する MOS トランジスタ間で V_T の差を計算する方法、もう一つは、四次多項式フィッティングによる方法である[6]。

V_T 差による方法では、システムティック成分が V_T 差を計算することにより取り除かれる。ここでは、近接するトランジスタ間ではシステムティック成分はほとんど変わらないことを想定している。 V_T ばらつきのランダム成分 (σV_{T_rand})は、 V_T 差(ΔV_T)のばらつきから[6]、

$$\sigma V_{T_rand} = \frac{1}{\sqrt{2}} \sigma(\Delta V_T) \quad (1-2-1-1)$$

のように計算される。 V_T ばらつきのうち、システムティック成分は(σV_{T_sys})、測定した V_T のばらつき(σV_T)と、 σV_{T_rand} から、

$$\sigma V_{T_sys}^2 = \sigma V_T^2 - \sigma V_{T_rand}^2 \quad (1-2-1-2)$$

と計算される。式(1-2-1-1)と(1-2-1-2)を用いて計算した σV_{T_rand} と σV_{T_sys} を表 1-2-1-1(a)に示す[9]。この分離結果により、 V_T ばらつきはランダム成分によって支配されていることがわかった。

さらに四次多項式フィッティングによる方法[6]でも分離を行った。この方法では、システムティック成分が次の式で示される DMA-TEG 内の X アドレスと Y アドレスを変数とする四次多項式によってあらわされると仮定する。

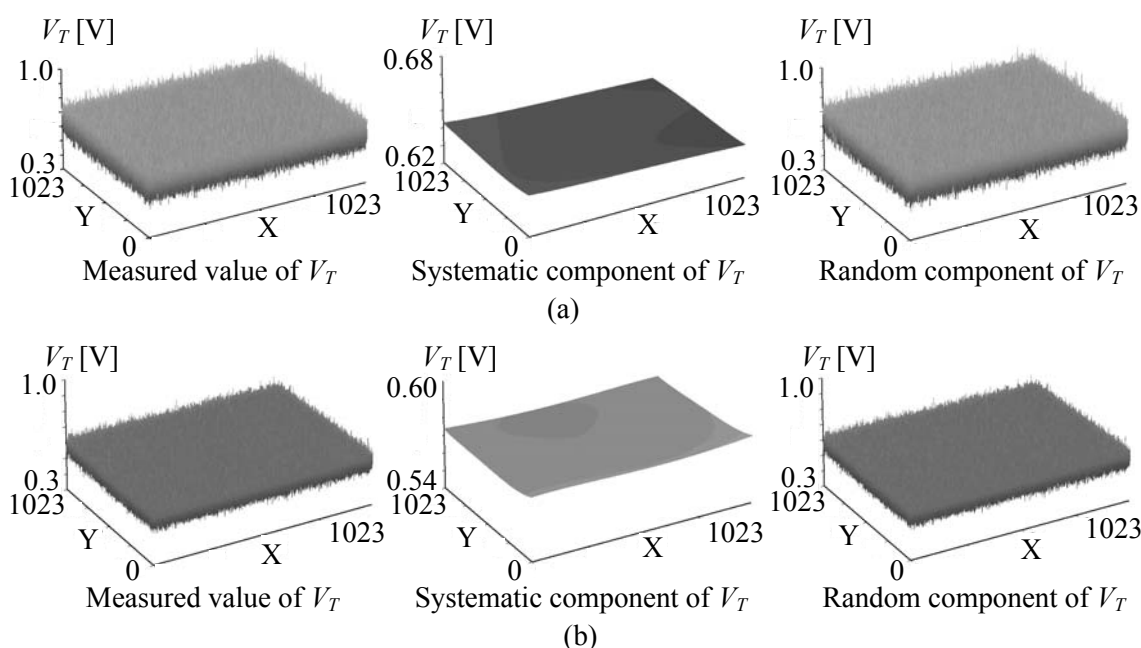
$$V_{T_sys}(x, y) = a_0 + a_1x + a_2y + a_3x^2 + a_4xy + a_5y^2 + a_6x^3 + a_7x^2y + a_8xy^2 + a_9y^3 + a_{10}x^4 + a_{11}x^3y + a_{12}x^2y^2 + a_{13}xy^3 + a_{14}y^4. \quad (1-2-1-3)$$

ここで係数 a_i は、 V_T と $V_{th_sys}(x, y)$ の差の二乗和が最小になるように決める。さらにランダム成分は、次の式から計算する。

$$V_{T_rand}(x, y) = V_T - V_{T_sys}(x, y) \quad (1-2-1-4)$$

測定した V_T 、システムティック成分 V_{T_sys} 、ランダム成分 V_{T_rand} それぞれのチップ面内の分布を III-2-I- (1) 図 1-2-1-8 に示す[9]。NMOS、PMOS の場合いずれの場合も、システムティック成分はランダム成分よりもずっと小さいことがわかる。

4 次多項式フィッティングにより抽出したランダム成分とシステムティック成分の大きさを III-2-I- (1)表 1-2-1-1(b)に示す[9]。ランダム成分の大きさはシステムティック成分よりも大きく、得られた各成分の大きさは、 V_T 差の方法により計算した場合と近い値になっている。このようにシステムティック成分は、ランダム性と比較して小さくなっているが、この原因としては、DMA-TEG 内のレイアウトがレイアウトに依存し、物理パラメータのシステムティックばらつきが生じないように適切に設計したため考えられる。また、DMA-TEG 内ではシステムティック成分は十分に小さいため、ランダム成分の原因を調べるために、DMA-TEG の測定結果がランダムばらつきとして、その評価に活用することができる。



III-2-I- (1)図 1-2-1-8. V_T ばらつきの測定値、システムティック成分、ランダム成分の DMA-TEG 内等高線を示す[9]。(a)NMOS、(b)PMOS。分離には 4 次多項式の方法[7]を用いた。

III-2-I- (1)表 1-2-1-1. (a) ペア差による方法で、測定した V_T ばらつきをランダム成分と、システムティック成分に分離した結果。(b) 4 次多項式フィッティングで分離した結果[9]。

(a)ペア差による分離

[mV]	Total	Random	Systematic
NMOS	45.5	45.5	1.2
PMOS	28.9	28.8	1.4

(b)4 次多項式近似による分離

[mV]	Total	Random	Systematic
NMOS	45.5	45.5	0.9
PMOS	28.9	28.8	0.9

1-2-1-4. ランダム V_T の解析手法

MOSトランジスタのチャンネル不純物の離散的分布揺らぎ(RDF: Random Dopant Fluctuation、以下 RDF とよぶ)が V_T ばらつきの原因の1つであることは知られている[11-15]。RDFに起因する V_T ばらつきの大きさの理論値は次の式であらわされる[16, 17]。

$$\sigma V_T = \frac{q}{C_{INV}} \sqrt{\frac{N_{SUB} W_{DEP}}{3L_g W_g}} \quad (1-2-1-5)$$

ここで C_{INV} は、反転領域における単位面積当たりのゲート容量、 N_{SUB} は、チャンネル不純物濃度、 W_{DEP} は、チャンネル空乏層幅を示す。ここで、 V_T ばらつきを解析式で表すためにチャンネル不純物のランダム性はチャンネル深さ方向のみ考慮されており、平均的な濃度はチャンネル内で均一であることを想定している。この式により、 V_T ばらつきは、 T_{INV} と N_{SUB} に依存することが分かる[16, 17]。

RDF以外の原因の寄与の大きさを評価するために、測定した V_T ばらつきの大きさを、RDFに起因するしきい値ばらつきの大きさで規格化することが検討された[18, 19]。式(1-2-1-5)において、 $N_{SUB} W_{DEP}$ の項は V_T を用いて次の式のように記述することができる[18, 19]。

$$N_{SUB} W_{DEP} = \frac{C_{INV}}{q} (V_T - V_{FB} - 2\psi_B), \quad (1-2-1-6)$$

ここで、 V_{FB} はフラットバンド電位、 ψ_B はフェルミ電位と真性フェルミ電位の差である。 ψ_B は、 N_{SUB} から次の式で示す通り計算することができる[2]。

$$\psi_B = \frac{kT}{q} \ln \left(\frac{N_{SUB}}{n_i} \right) \quad (1-2-1-7)$$

ここで、 n_i は真性キャリア密度である。式(1-2-1-6)の $N_{SUB} W_{DEP}$ 項を式(1-2-1-5)に代入することにより[18, 19]、

$$\sigma V_T = \sqrt{\frac{q}{3\epsilon_{ox}}} \sqrt{\frac{T_{INV} (V_T + V_0)}{L_g W_g}} \quad (1-2-1-8)$$

が得られる。ここで V_0 は、

$$V_0 \equiv -V_{FB} - 2\psi_B \quad (1-2-1-9)$$

のように定義された値である。

ゲート電極にポリシリコンを用いる従来のプレーナー型 MOS トランジスタの場合、 V_0 はおおよそ 0.1V となる。より正確に V_0 を求めるには、 V_{FB} と N_{SUB} をC-V特性をフィッティングして求める。フィッティングには、

MIRAI-ACCEPT と呼ばれるツールを用いた[20]。式(1-2-1-8)は、RDF に起因するしきい値ばらつきの大きさが、

$\sqrt{\frac{T_{INV}(V_T + V_0)}{L_g W_g}}$ に比例することを示している。そこで σV_T と、 $\sqrt{\frac{T_{INV}(V_T + V_0)}{L_g W_g}}$ の関係をプロットすること

により、 σV_T の大きさが RDF に起因する V_T ばらつきと比較してどれだけ大きいかを評価することができる。このプロットは、「竹内プロット」と呼ばれている[18, 19]。従来からある Pelgrom プロット[21]と、竹内プロットの例を III-2-I- (1)図 1-2-1-9 に示す[18, 19, 22-24]。このプロットでは、 T_{INV} と N_{SUB} を変えたトランジスタのデータを重ねてプロットしている。この評価で使われているトランジスタは同じ工場で同じプロセスを用いて作られたものである。これらのプロットの傾きは、Pelgrom プロットでは、 A_{VT} 、竹内プロットでは B_{VT} と呼ばれており、 A_{VT} と B_{VT} は V_T ばらつきの大きさを示す指標になっている。式(1-2-1-8)より、もし V_T ばらつきがすべて RDF によるものであれば[18, 19]、

$$B_{VT} = \sqrt{\frac{q}{3\epsilon_{ox}}} \quad (1-2-1-10)$$

となる。

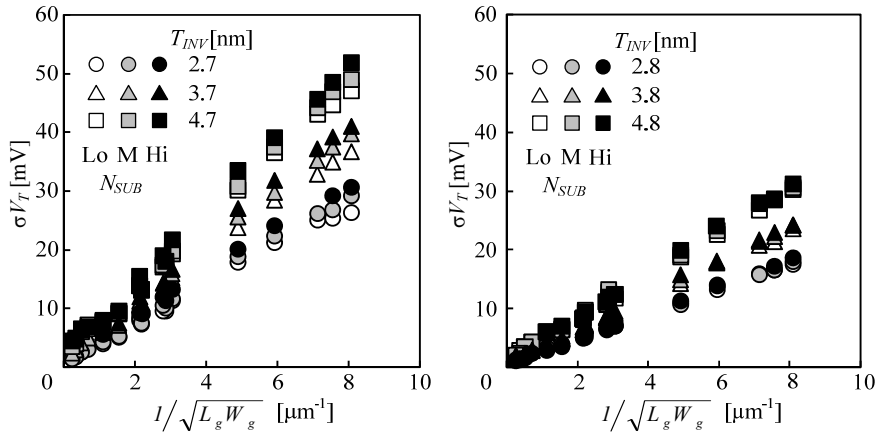
Pelgrom プロットでは L_g と W_g だけで規格化を行っているため A_{VT} は T_{INV} と N_{SUB} に依存する。一方で、 B_{VT} は T_{INV} や N_{SUB} によりほとんど変わらない。竹内プロットでは RDF の効果のみを規格化しているので、このことは VT ばらつきが RDF によって支配されていることを示唆している。さらに NMOS の B_{VT} は PMOS の B_{VT} よりも大きいこともわかった。

Pelgrom プロットと竹内プロットを用いて、様々なプロセス技術や工場で製造された MOS トランジスタのばらつきを比較した[19]。結果を III-2-I- (1)図 1-2-1-10 に示す[19]。ここでは T_{INV} や N_{SUB} が異なる MOS トランジスタが含まれている。このグラフ中で点線は、3次元 TCAD で計算した V_T ばらつきの B_{VT} 値を示している。このシミュレーションでは、 V_T ばらつきの要因として RDF の効果のみを取り入れており、チャンネル不純物濃度の平均値は均一な分布をしていると仮定している。この時 B_{VT} の TCAD による計算結果は 1.5 となるが、これはによる理論計算値である 1.2 よりも少し大きい。これは、理論計算では 3次元の不純物位置ばらつき効果が考慮されていないためだと考えられる。これらの比較の結果から次の重要な結果が導かれる。

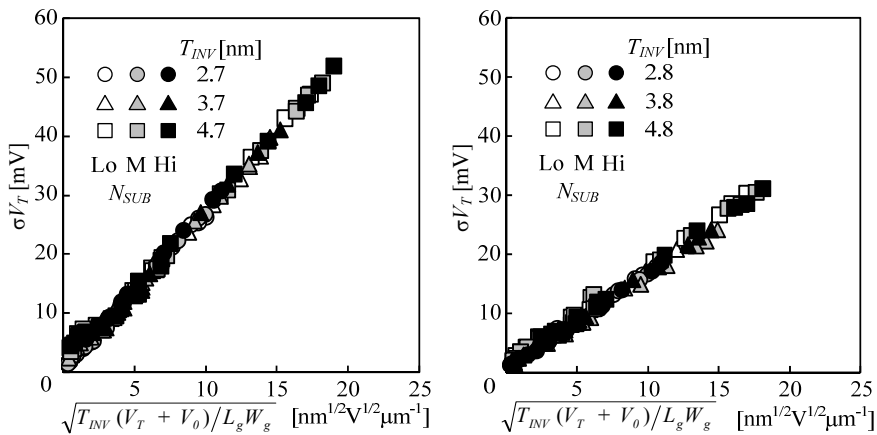
- (i) PMOS の B_{VT} は一般的に RDF によって支配されている
- (ii) NMOS の B_{VT} は、PMOS の B_{VT} や、RDF 効果により説明される B_{VT} (1.5) よりも大きい

このことから、NMOS のばらつきは、均一な平均チャンネル不純物濃度を仮定した RDF の効果では説明できないことになる。

本章では、特に NMOS の V_T ばらつきが PMOS よりも大きくなる原因について論じる。さらに、PMOS の V_T ばらつきの原因として、RDF 以外の要因がないかについても論じる。

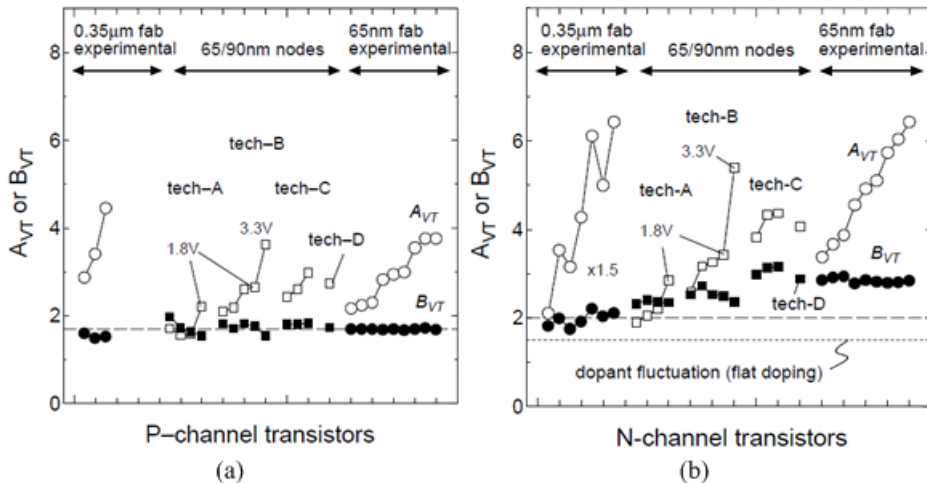


(a)



(b)

III-2-I- (1)図1-2-1-9. (a) Pelgromプロットと(b) Takeuchiプロット。ここでは異なる T_{INV} や N_{SUB} をもつMOSトランジスタの測定により得られた σV_T を評価している[18, 19, 22-24]。



III-2-I- (1)図1-2-1-10. さまざまな工場や、プロセス技術で作られたMOSトランジスタの、 A_{VT} と B_{VT} の比較。 A_{VT} と B_{VT} は測定よりもとめた σV_T により評価した。 T_{INV} や N_{SUB} はそれぞれのプロセス技術ごとに異なる。破線はシミュレーションにより計算した B_{VT} を示す。シミュレーションでは、RDFの効果のみを取り入れて、均一なチャンネル不純物濃度プロファイルを想定して計算を行った。(a) NMOS, (b) PMOS [19]。

1-2-1-5 V_{th} ばらつきの原因解析

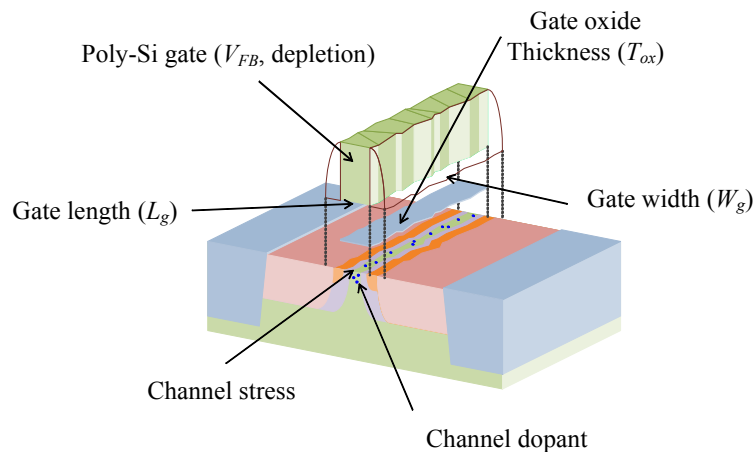
本開発で調べた考えられる V_T ばらつきの原因候補の一覧を III-2-I- (1)図 1-2-1-11 に示す[11-16, 18, 19, 25-36]。これらの候補が V_T に及ぼす影響を V_T の解析式を用いて説明する[2]。

$$V_T = V_{FB} + 2\psi_B + \frac{qN_{SUB}W_{DEP}}{C_{INV}} \quad (1-2-1-11)$$

ポリシリコンゲートは、 V_{FB} や C_{INV} を通じて V_T ばらつきに寄与する可能性がある[25-29]。ポリシリコンゲート中の、シリコングレイン間の境界と、グレインの中心で V_{FB} が異なるため、ポリシリコングレインの分布により V_T がばらつくと指摘する論文がある[29]。また、 T_{INV} はポリシリコンの空乏化により変動するため、ポリシリコンゲートの空乏化のばらつきによって C_{INV} がばらつき、その結果 V_T ばらつきが増大すると指摘する論文がある[25]。またゲート酸化膜厚そのものがばらつくことにより、 C_{INV} がばらつき、その結果 T_{INV} がばらつくということも考えられる[30, 31]。

式(1-2-1-11)では、短チャネル効果や、狭チャネル効果などが現れない、 L_g が長く、 W_g が広いMOSトランジスタの V_T を示している。このためゲート長ばらつきやゲート幅ばらつきの影響は、式(1-2-1-11)には現われてこない。しかし、実際の微細化されたトランジスタでは L_g , W_g ばらつきが短チャネル効果や、狭チャネル効果を通じて、 V_T ばらつきに影響を及ぼす可能性が考えられる[32-36]。1-2-1-8 項で後述するように、 V_T はチャネルに応力を印加するストレスライナーの応力条件により変化する[37]。このため、チャネル応力が V_T ばらつきに影響を及ぼす可能性がある。

すでに先に述べたとおり、チャネル不純物は V_T ばらつきの要因の一つである[11-15]。本開発ではチャネル不純物の効果についてチャネル濃度プロファイルの不均一性の影響も含めて調べた[16, 38, 39]。次の章以降では、 V_{th} ばらつき原因候補の効果について述べる。



III-2-I- (1)図1-2-1-11. 本開発で調べた、 V_T ばらつき原因候補[11-16, 18, 19, 25-36]。

1-2-1-6 V_T ばらつきに及ぼすゲート長とゲート幅の効果

ゲート長(L_g)とゲート幅(W_g)の効果は一貫物理解析を用いて調べた[22, 24]。III-2-I- (1)図 1-2-1-12 は、DMA-TEG 中の 100 万個の NMOS と PMOS を測定し、その V_T の分布を正規プロットで示したものである[22, 24]。これらのトランジスタのうち、 $\pm 5\sigma$ と、メディアン値に相当する V_{THC} を持つ MOS トランジスタを取り出して、一貫物理解析を行った。もし、 L_g や W_g ばらつきが V_T ばらつきの支配的な要因であれば、これらの MOS トランジスタ間で大きな L_g や W_g の差異が検出できる。 L_g と W_g は平面 TEM 像より評価した。III-2-I- (1)図 1-2-1-13 に TEM 像を示す[22, 24]。 L_g の差は NMOS で最大 2 nm、PMOS で最大 3 nm であった。また V_T - L_g 特性を III-2-I- (1)図 1-2-1-14(a)に示す[24]。 L_g 差に起因する V_T の差を次の式により見積もる。

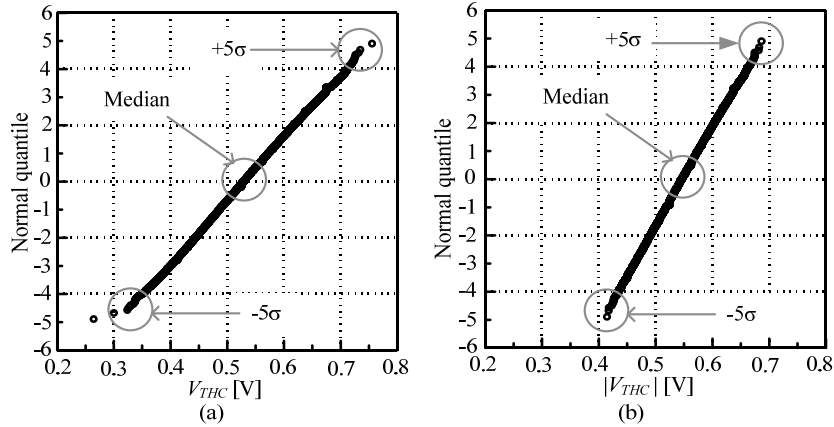
$$\Delta V_T = \frac{\partial V_T}{\partial L_g} \Delta L_g \quad (1-2-1-12)$$

測長した L_g と、 V_T - L_g 特性から L_g 差に起因する V_T 差の大きさを求めると、NMOS の場合 1 mV、PMOS の場合 2 mV となる。 W_g は同様に、NMOS の場合、最大で 4 nm、PMOS の場合最大で 6 nm であった。 V_T - W_g 特性を III-2-I- (1)図 1-2-1-14(b)に示す[24]。 L_g の場合と同様に、 W_g 差に起因する V_T の差は次の式により見積もられる[32]。

$$\Delta V_T = \frac{\partial V_T}{\partial W_g} \Delta W_g \quad (1-2-1-13)$$

測長した W_g と V_T - W_g の特性から見積もられる W_g 差に起因する V_T 差の大きさは、NMOS の場合 0.4mV、PMOS の場合 1.2 mV となる。これらの結果から、 L_g と W_g は V_T ばらつきの主たる要因ではないと考えられる。

L_g ばらつきの効果については、シミュレーションも用いて検討が行われた。シミュレーションを用いてゲート長の Local Width Roughness(LWR)の効果による V_T ばらつきを Pelgrom プロットであわらしたものを III-2-I- (1)図 1-2-1-15 に示す[35]。ゲート長が 60 nm 付近にある場合は、LWR の効果は限定的である。しかし、ゲート長が 50 nm を切るようになってくると、LWR の効果が急激に増大することが分かる。このため、さらに微細化を進めると、ゲート長ばらつきの影響が顕著なものとして現われてくる可能性がある。



III-2-I- (1)図1-2-1-12. 105個MOSトランジスタ DMA-TEGで測定した、 V_{THC} の正規プロットと、一貫物理解析で調べたMOSトランジスタを示す[22, 24]。一貫物理解析では、 $\pm 5\sigma$ およびメディアン V_{THC} を持つMOSトランジスタを調べた。(a) NMOS、(b) PMOS。

(a)

V_{THC} [V]	0.335(-5 σ)	0.529(Med.)	0.719(+5 σ)
X-TEM			
L_g [nm]	66	67	65

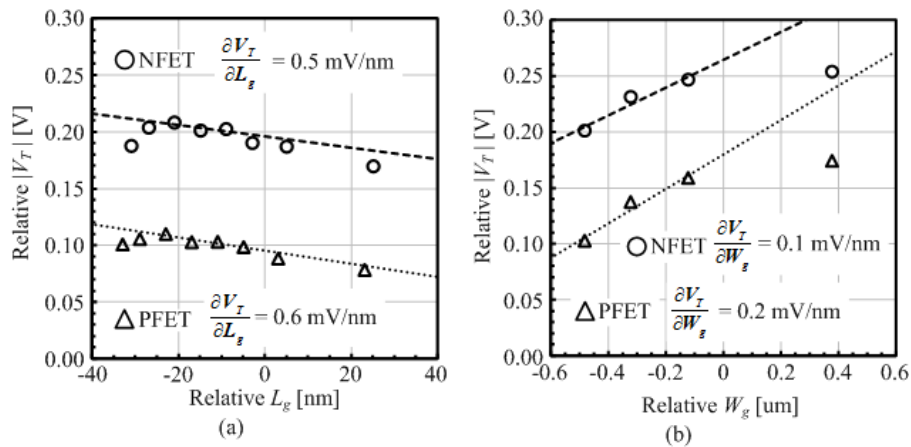
V_{THC} [V]	0.335(-5 σ)	0.529(Med.)	0.719(+5 σ)
Plan-view TEM			
W_g [nm]	128	127	124

(b)

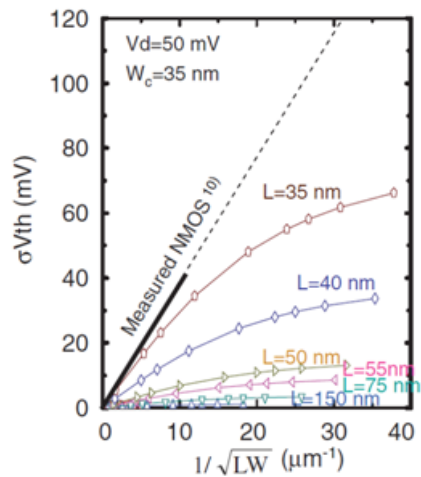
V_{THC} [V]	-0.425(-5 σ)	-0.546(Med.)	-0.683(+5 σ)
X-TEM			
L_g [nm]	62	65	63

V_{THC} [V]	-0.425(-5 σ)	-0.546(Med.)	-0.683(+5 σ)
Plan-view TEM			
W_g [nm]	129	123	128

III-2-I- (1)図1-2-1-13. 各 V_{THC} をもつMOSトランジスタの断面および平面TEM像[22, 24]。(a) NMOS、(b) PMOS。ゲート長とゲート幅はこのTEM像から見積もった。



III-2-I- (1)図1-2-1-14. NMOSとPMOSの(a) V_T - L_g (b) V_T - W_g 特性の測定結果[24]。これらの特性は、 L_g 、 W_g ばらつきが V_T ばらつきに及ぼす影響を見積もるために用いた[32]。



III-2-I- (1)図1-2-1-15. シミュレーションで見積もった L_g ばらつきに起因する V_T ばらつきの大さのPelgromプロット[35]。

1-2-1-7. V_T ばらつきに及ぼすゲート酸化膜の効果

まずゲート酸化膜厚の影響を L_g や W_g と同様に一貫物理解析により調べた[22, 24]。ここでもちいられた MOS トランジスタは、 W_g と L_g を評価したのと同じ MOS トランジスタである。もし、ゲート酸化膜厚ばらつきが V_T ばらつきの支配的な要因であれば、大きなゲート酸化膜厚差があわられるはずである。III-2-I- (1)図 1-2-1-16 に MOS トランジスタの断面 TEM 像を示す[22, 24]。これらの MOS トランジスタの間で、ゲート酸化膜厚には著しい差は見られなかった。

ゲート酸化膜および基板との界面のアトミックラフネスが V_T ばらつきに及ぼす影響について、ゲート酸化膜に、①表面窒化した熱酸化シリコン酸化膜(以下、熱酸化膜)を用いた MOS トランジスタと、ゲート酸化膜に高温で成膜したシリコン酸化膜(HTO 膜: High Temperature Oxide 膜、以下 HTO 膜)を用いた MOS トランジスタのばらつきを比較することにより調べた[28]。まず、 T_{OX} と酸化膜/基板界面の原子レベルのラフネスを断面の透過電気顕微鏡(TEM: Transmission Electron Microscopy)像により調べた。これを III-2-I- (1)図 1-2-1-17 に示す[40]。広範囲にわたる T_{OX} のばらつきと界面ラフネスを明確にするために、この TEM 像は横方向のみ圧縮されている[41]。 T_{OX} と界面凹凸のばらつきは熱酸化膜と HTO 膜で異なっている。 T_{OX} ばらつきは、HTO 膜の方が大きく、界面は HTO 膜/シリコン基板界面の方が、熱酸化膜/基板界面よりもラフネスが少ないことがわかる。ゲート酸化膜に HTO 膜を用いるのは特殊なプロセスであるため、まず MOS トランジスタが正常に動作するかを確認した。HTO ゲート酸化膜を用いた MOS トランジスタの $C-V$ 特性および $I_{ds}-V_{gs}$ 特性を III-2-I- (1)図 1-2-1-18 に示す[40]。これらの特性に特に異常な点は見られなかった。HTO ゲート酸化膜を用いた MOS トランジスタは正常に動作していると考えられる。

通常のシリコン酸化膜をゲート絶縁膜に用いた MOS トランジスタと HTO 膜を用いた MOS トランジスタの B_{VT} を III-2-I- (1)図 1-2-1-19 に示す[40]。それぞれの MOS トランジスタの T_{INV} を III-2-I- (1)図 1-2-1-2 に示す[40]。 T_{INV} や界面ラフネスが変化しているにもかかわらずこれらの MOS トランジスタの B_{VT} はほとんどかわらないことがわかった。この結果から、ゲート酸化膜厚や、ゲート酸化膜と基板界面のラフネスは V_T ばらつきの主要因ではないという知見を得た。

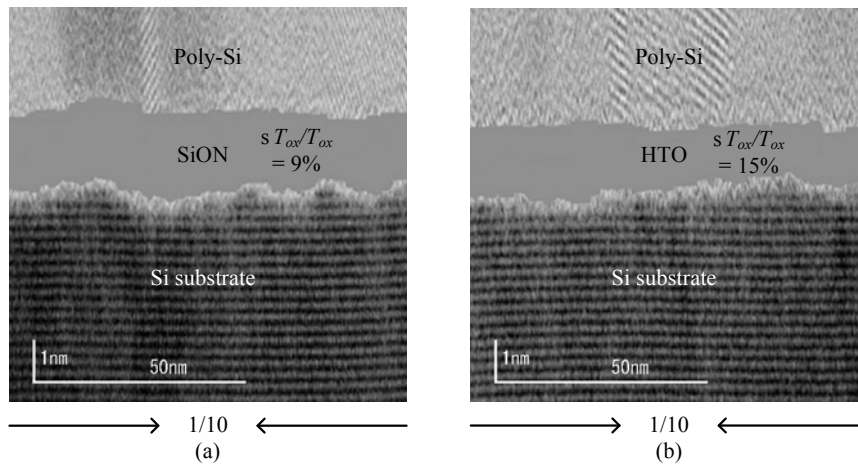
(a)

V_{THC} [V]	0.335(-5 σ)	0.529(Med.)	0.719(+5 σ)
X-TEM			
T_{OX} [nm]	1.9	1.9	1.9

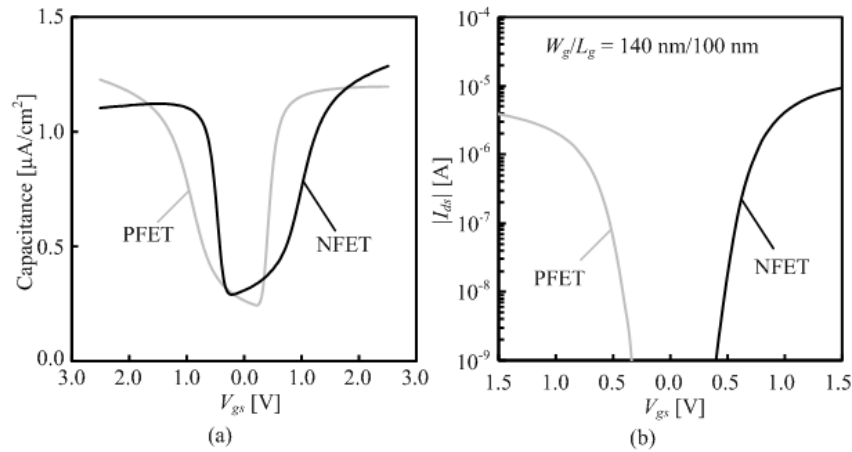
(b)

V_{THC} [V]	-0.425(-5 σ)	-0.546(Med.)	-0.683(+5 σ)
X-TEM			
T_{OX} [nm]	1.9	1.9	1.9

III-2-I- (1)図1-2-1-16. 各 V_{THC} をもつMOSTランジスタの断面TEM像[22, 24]。(a) NMOS、(b) PMOS。ゲート酸化膜厚はこのTEM像から見積もった。



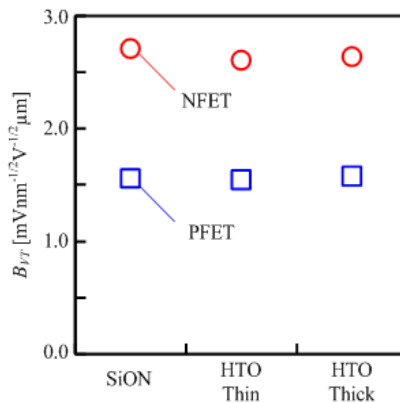
III-2-I- (1)図1-2-1-17. ポリシリコンゲート/ゲート酸化膜/シリコン基板の断面TEM像[40]。(a) SiONゲート酸化膜の場合。(b) HTOゲート酸化膜の場合。広範囲にわたるゲート酸化膜厚と、酸化膜/シリコン基板界面の凹凸を明確にするために、横方向にのみ断面TEM像を圧縮している。TEM像中に、 $\sigma T_{OX}/T_{OX}$ も合わせて示している。



III-2-I- (1)図1-2-1-18. HTOゲート酸化膜を備えたMOSトランジスタの、C-V特性と、 I_{ds} - V_{gs} 特性[40]。 (a)C-V特性、(b) I_{ds} - V_{gs} 特性。

III-2-I- (1)表1-2-1-2. 図1-2-1-39に示した、SiON、およびHTOゲート酸化膜を備えたMOSトランジスタの T_{INV} [40]。

[nm]	SiON	HTO(Thin)	HTO(Thick)
NMOS	2.8	2.9	3.5
PMOS	2.9	3.1	3.6



III-2-I- (1)図1-2-1-19. SiON又はHTOゲート酸化膜を備えたMOSトランジスタの B_{VT} [40]。

1-2-1-5. ゲート電極構造が V_T ばらつきに与える影響

まず、ポリシリコンのグレイン構造の影響をゲート幅方向の断面 TEM 像により調べた[22, 24]。この結果を III-2-I- (1)図 1-2-1-20 に示す[22, 24]。調べた試料は、100 万個の MOS トランジスタを配置した DMA-TEG 中、 $\pm 5\sigma$ の V_{THC} を持つ。ただしこれらの MOS トランジスタは、図 1-2-1-13 および III-2-I- (1)図 1-2-1-16 で調べた MOS トランジスタとは別の MOS トランジスタである。これは、一つの MOS トランジスタに対して、ゲート長方向とゲート幅方向の断面 TEM 像は同時には観察できないためである。過去の文献によると[42]、チャネル上の全体が1つのグレインで覆われるといった極端な現象が生じると、 V_{th} が大きく上昇するという報告がある。しかし、このような極端な現象は見られなかった。 $\pm 5\sigma$ それぞれの MOS トランジスタでグレイン構造は異なって

はいるが、 V_T の高低との明確な関係は見られなかった。

もう一つのポリシリコンゲートに起因する V_T ばらつきへの寄与の可能性としては、ゲート空乏化のばらつきが考えられる。もし T_{INV} ばらつきが V_T ばらつきの主要因であれば、 σV_T は次の式のように表わすことができる[19]。

$$\sigma V_T = \frac{qN_{SUB}W_{DEP}}{\epsilon_{ox}} \sigma T_{INV} \cdot \quad (1-2-1-14)$$

この場合、 B_{VT} の定義から、 B_{VT} は次のように示される[19]。

$$B_{VT} = \frac{\sigma V_T}{\sqrt{\frac{T_{INV}(V_T + V_0)}{L_g W_g}}} \cdot \quad (1-2-1-15)$$

式(1-2-1-15)に、式(1-2-1-14)と、 $V_T + V_0 = \frac{qN_{SUB}W_{DEP}T_{INV}}{\epsilon_{ox}}$ [2]を代入することにより、 B_{VT} は次の式で表

わされる[19, 43]。

$$B_{VT} = (qN_{SUB}W_{DEP}L_g W_g)^{\frac{1}{2}} \epsilon_{ox}^{-\frac{1}{2}} T_{INV}^{-1} \sigma T_{INV} \cdot \quad (1-2-1-16)$$

ここで $W_{DEP} = \sqrt{\frac{4\epsilon_{Si}\psi_B}{qN_{SUB}}}$ [2]をさらに式(1-2-1-16)に代入すると、 B_{VT} は次の式のようになる[19, 43]。

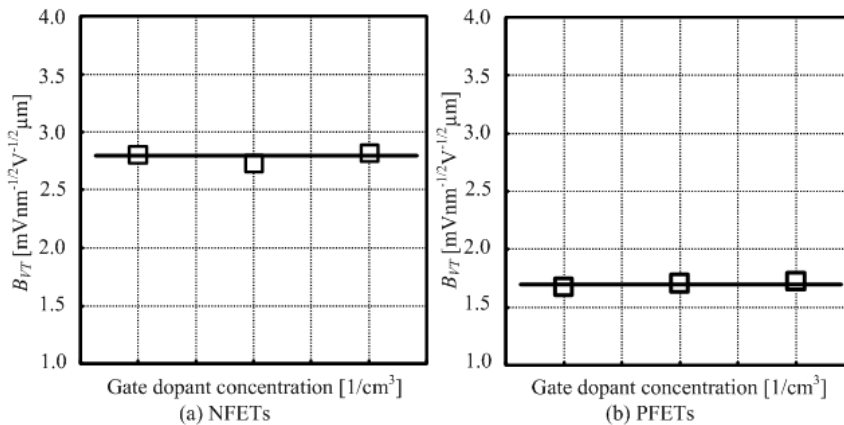
$$B_{VT} = \{4\epsilon_{Si}qN_{SUB}\psi_B\}^{\frac{1}{4}} \epsilon_{ox}^{-\frac{1}{2}} (LW)^{\frac{1}{2}} T_{INV}^{-1} \sigma T_{INV} \cdot \quad (1-2-1-17)$$

B_{VT} は式(1-2-1-17)で示すとおり、 T_{INV} と σT_{INV} に依存する。

III-2-I- (1)図 1-2-1-21 は、 B_{VT} のゲート不純物濃度依存性を示す[22, 24]。 B_{VT} はゲート不純物濃度にほとんど依存していない。ここでゲート不純物濃度は、不純物注入量に比例していると仮定している。ゲート不純物濃度が高くなれば、不純物がすべてのゲートグレインに充分に行き渡るようになるため、ゲート空乏化ばらつきに起因する σT_{INV} が減少するのではないかと考えられる。式(1-2-1-17)と、III-2-I- (1)図 1-2-1-21 に示される変化しない B_{VT} から、ゲートの空乏化は V_T ばらつきの主たる要因ではないと考えられる。

V_{THC} [V]	Low(-5 σ)	High(+5 σ)
X-TEM NFET-1	Silicide Poly-Si 100nm Active	100nm
X-TEM NFET-2	100nm	100nm
X-TEM PFET	100nm	100nm

III-2-I- (1)図 1-2-1-20. -5 σ 、または+5 σ の V_{THC} をもつNMOSとPMOSのグレイン構造[22, 24]。

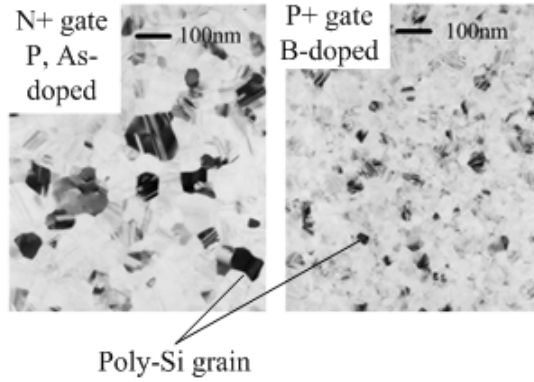


III-2-I- (1)図 1-2-1-21. ゲートの不純物濃度と、 B_{VT} の関係[22, 24]。

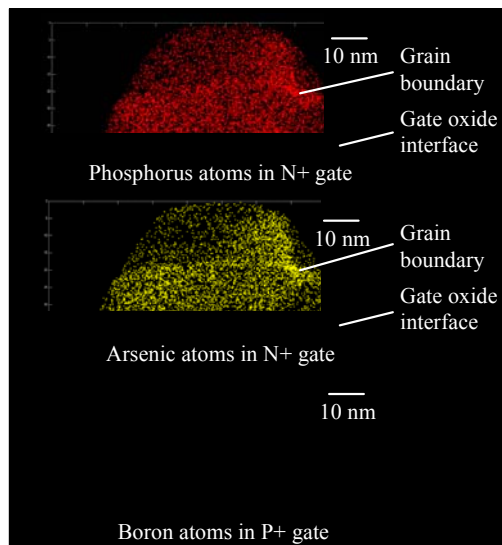
次に、ポリシリコンゲートの極性が V_T ばらつきに及ぼす影響について調べた[40, 44]。III-2-I- (1)図 1-2-1-22 は、 N^+ および P^+ ポリシリコンゲートの平面 TEM 像を示す。 N^+ ゲートの方が、 P^+ ゲートよりもグレインのサイズが大きいことがわかる[43-45]。さらに、 N^+ および P^+ ゲート中の不純物を、局所電極式原子プローブ (LEAP3000X)により調べた結果を III-2-I- (1)図 1-2-1-23 に示す[46, 47]。 N^+ ゲート中のリンおよび、ヒ素原子はグレイン境界やゲート酸化膜との境界に偏析していることがわかる。一方で P^+ ゲート中のボロンは均一に分布している。これらの N^+ ゲートと P^+ ゲートの差が、ゲートの空乏化や、 V_{FB} ばらつきを通じてNMOSとPMOSの V_T ばらつき差に寄与している可能性がある[25-29]。

N^+ ゲートのNMOSの V_{th} ばらつき増大への影響を調べるために、 N^+ ゲートPMOSを作製し、 P^+ ゲートPMOSと V_{th} ばらつきを比較した。まず、 N^+ ゲートPMOSが適切に作製されているかを $C-V$ 特性により確認した。 N^+ ゲートPMOSと P^+ ゲートPMOSの $C-V$ 特性を III-2-I- (1)図 1-2-1-24 に示す[40, 44]。 P^+ ゲートPMOSと比較して、 N^+ ゲートPMOSではバンドギャップ分 V_{FB} がシフトしているため、 N^+ ゲートPMOSは適切に作製されていると考えられる。 V_{th} ばらつきを III-2-I- (1)図 1-2-1-25 に示す[40, 44]。 N^+ ゲートPMOSの B_{VT} は、 N^+ ゲートNMOSよりも小さく、 P^+ ゲートPMOSと同程度であることがわかる。

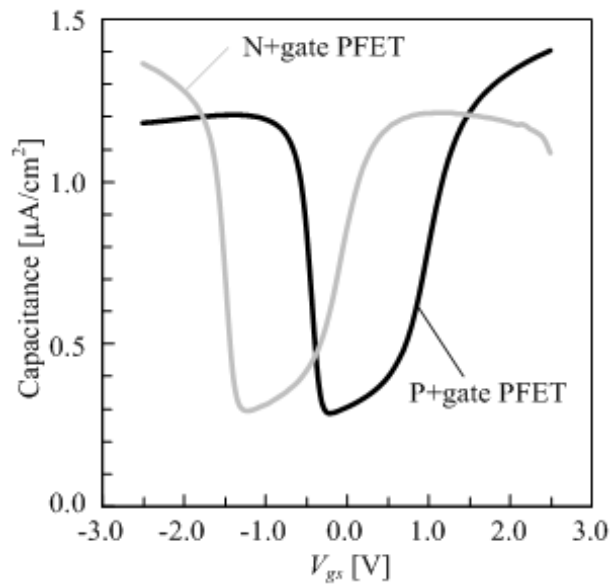
以上の結果から、 N^+ ゲートがNMOSの V_{th} ばらつきを増大させる主たる要因ではないという知見を得た。



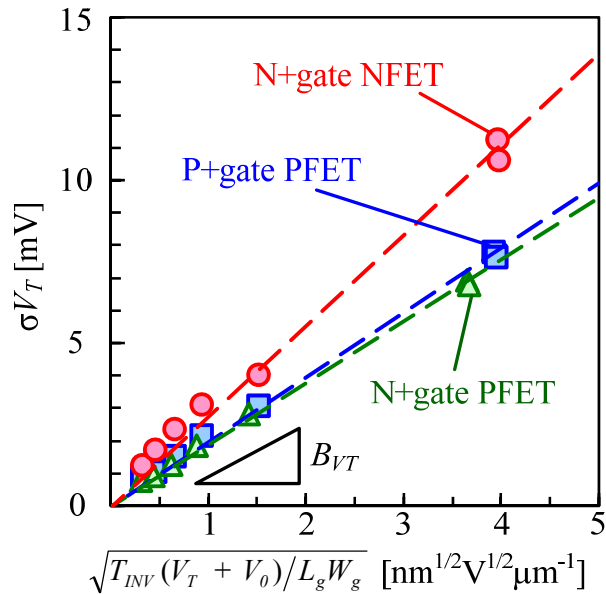
III-2-I- (1)図 1-2-1-22. ヒ素およびリンドーブ N+ゲートと、ボロンドープ P+ゲートの平面 TEM 像[43-45]。



III-2-I- (1)図 1-2-1-23. 局所電極原子プローブにより観察した、ゲート中のリン、ヒ素、ボロン原子の分布[46-47]



III-2-I- (1)図 1-2-1-24 N+ゲートPMOSTランジスタと、P+ゲートPMOSTランジスタのC-V特性[40, 44]。

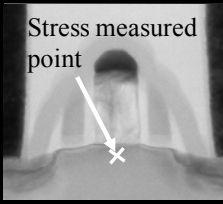
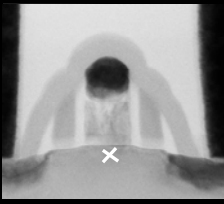
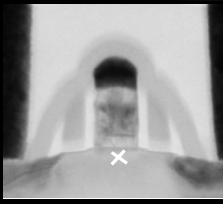


III-2-I- (1)図1-2-1-25. N+ゲートNMOS、P+ゲートPMOSTランジスタ、N+ゲートPMOSTランジスタのTakeuchiプロット[40, 44]。

1-2-1-6. V_T ばらつきに及ぼすチャンネルストレスの効果

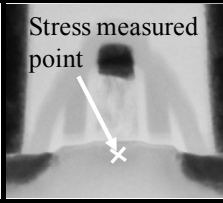
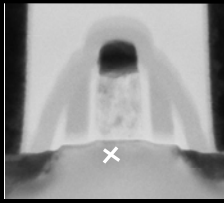
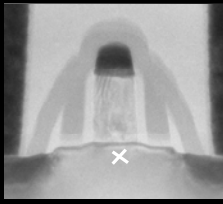
チャンネルへ印加したストレスが V_T ばらつきに及ぼす影響を一貫物理解析により求めた[22, 24]。III-2-I-(1)図 1-2-1-13 と同じトランジスタについて、NBD を用いて応力を調べた。III-2-I- (1)図 1-2-1-26 にそれぞれのトランジスタの応力値を示す[22, 24]。NMOS に関しては、 -5σ の V_{THC} を持つ NMOS のチャンネルストレスはほかの NMOS とは異なっていた。一方で、メディアン値の V_{THC} を持つ NMOS と $+5\sigma$ の V_{THC} をもつ NMOS のチャンネルストレス値は同じであった。PMOS に関しては、 -5σ の V_{THC} を持つ PMOS と、 $+5\sigma$ の V_{THC} を持つ PMOS で同じチャンネルストレス値であり、メディアン値の V_{THC} をもつ PMOS のみ、チャンネルの応力値が異なっていた。このように、チャンネルストレス値と V_T の間には決定的な相関は見られなかった。これらの結果から、チャンネルストレスのばらつきが V_T ばらつきに及ぼす影響は小さいものと考えられる。

次にコンタクトエッチングストップ層(CESL: Contact Etching Stop Layer、以下 CESL と呼ぶ)の応力が V_T ばらつきに及ぼす影響について調べた。近年の LSI では、CESL によりチャンネルにストレスを印加し、キャリアの移動度を向上させる技術が用いられるようになってきている。III-2-I- (1)図 1-2-1-27 に、 V_T の CESL 応力条件依存性を示す[40, 44]。 V_T は CESL 応力条件により変調されているため[37]、 V_T ばらつきの大きさも CESL の応力条件に依存している可能性が考えられる。そこで、次に V_T ばらつきの CESL 応力条件依存性を調べた。III-2-I- (1)図 1-2-1-28 に結果を示す[40, 44]。NMOS と PMOS 両方で、 B_{VT} はほとんど変化していない。この結果から、CESL によってチャンネルに印加されたストレスは、オン電流向上の効果があるものの、NMOS の V_T ばらつき増大に及ぼす影響は小さいという知見を得た。

V_{THC} [V]	0.335(-5 σ)	0.529(Med.)	0.719(+5 σ)
X-TEM	Stress measured point 		
Stress* [MPa]	130/-130	130/130	130/130

*Horizontal/Vertical

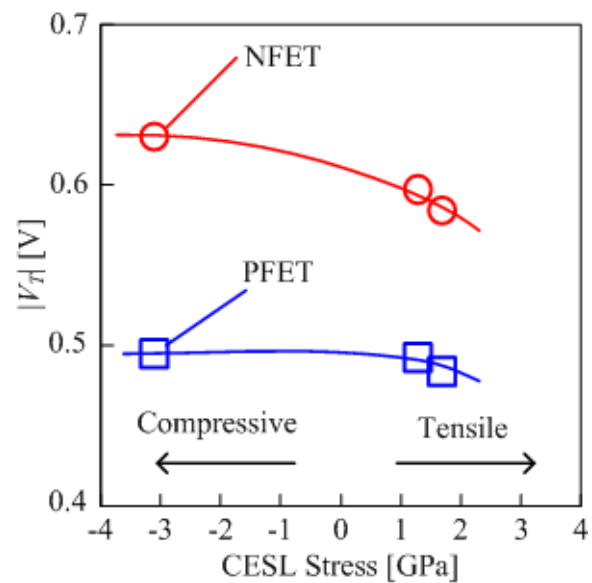
(a) NFETs

V_{THC} [V]	-0.425(-5 σ)	-0.546(Med.)	-0.683(+5 σ)
X-TEM	Stress measured point 		
Stress* [MPa]	0/-260	130/-130	0/-260

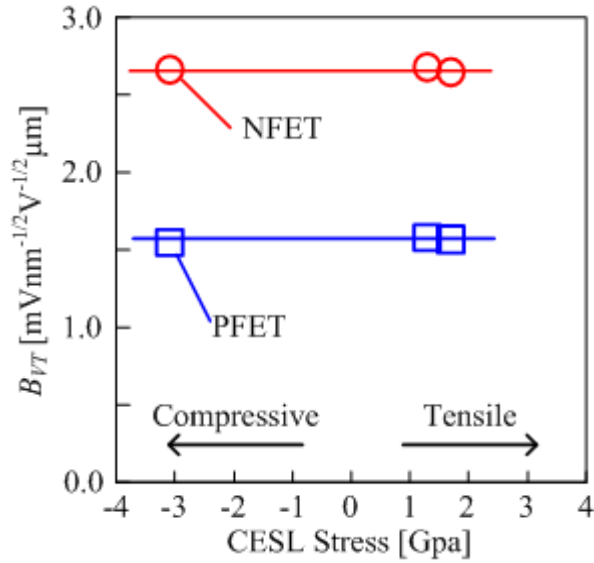
*Horizontal/Vertical

(b) PFETs

III-2-I- (1)図1-2-1-26. 5σ 、メディアン、 $+5\sigma$ の V_{THC} を持つMOSトランジスタのチャネル応力[22, 24]。



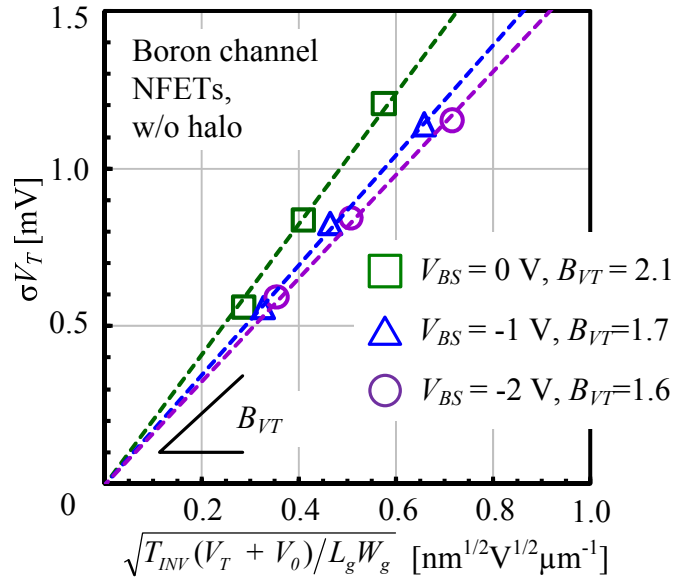
III-2-I- (1)図1-2-1-27. V_T とCESLのストレス値の関係[40, 44]。CESLストレス値が正の場合はひっぱり方向、負の場合は圧縮方向のストレスが印加されている。



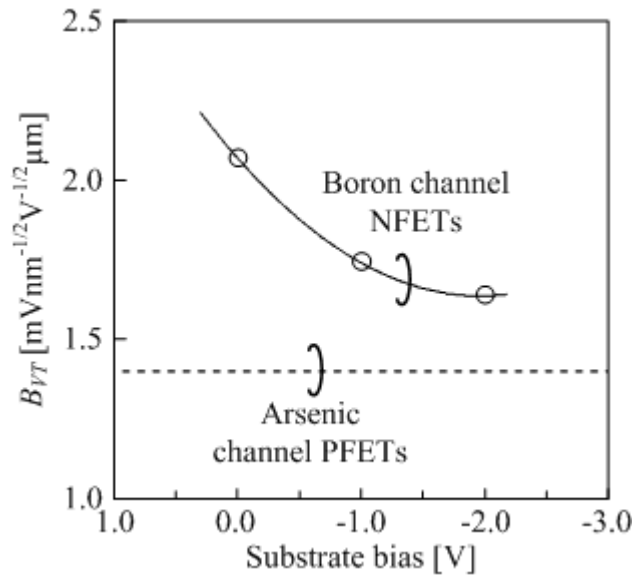
III-2-I- (1)図1-2-1-28. B_{VT} とCESLのストレス値の関係[40, 44]。CESLストレス値が正の場合はひっぱり方向、負の場合は圧縮方向のストレスが印加されている。

1-2-1-7. V_T ばらつきに及ぼすチャネル不純物の影響に関する考察

ここまで述べてきたように、様々なプロセス実験、ならびに解析によって、RDF 以外には、 V_{th} ばらつきの支配的と思われるばらつき原因は見られないという知見を得てきた。 V_T ばらつき原因を解析している過程で、興味深い特性が見られた[48-51]。III-2-I- (1)図 1-2-1-29は、ハロー構造のないボロンチャネルNMOSの竹内プロットを示す。このプロットはゲート長が 2 μm から 4 μm のNMOSを用いて調べた。ここでは基板バイアス V_{BS} を 0V から -2V まで変化させている。これにより、 B_{VT} は負の V_{BS} 印加により減少することがわかった。この現象はゲート長が 2 μm よりも長い場合に見られている。III-2-I- (1)図 1-2-1-29より求めた B_{VT} と V_{BS} の関係を III-2-I- (1)図 1-2-1-30 に示す。負の V_{BS} を印加することにより、NMOS の B_{VT} は PMOS の B_{VT} に近い値まで減少することがわかる。もし、RDF が V_T ばらつきの支配的な要因であり、チャネルの平均的な不純物濃度プロファイルが均一であれば、 B_{VT} は式(1-2-1-10)で示される通り V_{BS} によらず一定値となる[18, 19]。このため、III-2-I- (1)図 1-2-1-29 と III-2-I- (1)図 1-2-1-30 の結果は、NMOS のチャネル不純物濃度プロファイルは均一ではなく、このため B_{VT} が V_{BS} 依存性を持つことを示唆していると考えられる。ここまでの解析では、RDF の効果は、チャネル不純物濃度プロファイルが均一であることを想定してきた。しかし、RDF の効果はチャネル不純物濃度の深さ方向(ゲート・基板方向)と、水平方向(ソース・ドレイン方向)の不均一性に依存することが知られている[16, 38, 39]。そこで本節では、深さ方向、水平方向のチャネル不純物プロファイルの不均一性が、NMOS と PMOS の V_T ばらつき差に及ぼす影響について論じる[50, 51]。



III-2-I- (1)図1-2-1-29. ハロー構造のないボロンチャネルNMOSの竹内プロット。ゲート長とゲート幅は2 μm から4 μm のMOSトランジスタを用いている。基板バイアスは、0 Vから-2 Vまで変化させた[48-51]。



III-2-I- (1)図1-2-1-30. 図1-2-1-29の竹内プロットから求めた B_{VT} の V_{BS} 依存性[48-51]。

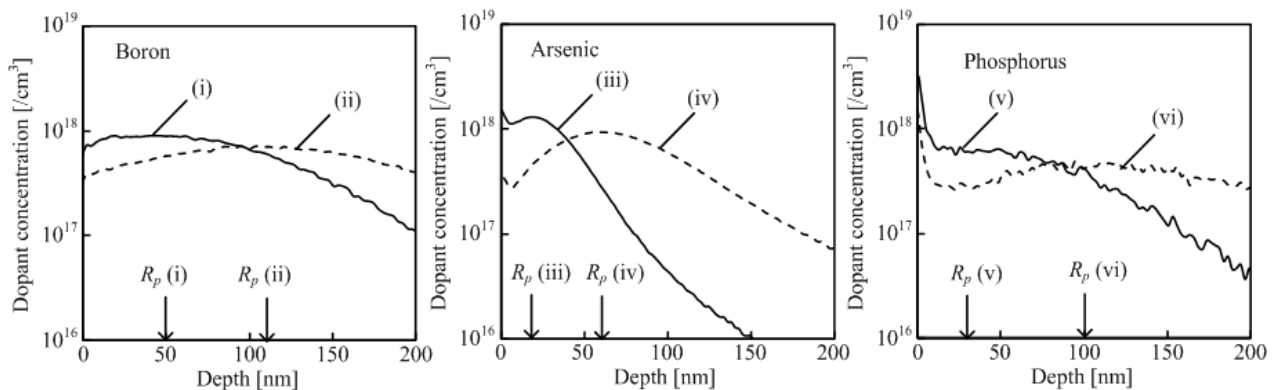
1-2-1-8. V_T ばらつきに及ぼす深さ方向チャネルプロファイルの影響

チャネル注入時の不純物分布の深さ方向プロファイルの影響について調べた。このため、さまざまな不純物をさまざまなエネルギーで注入し、 B_{VT} を調べた。ここでは、水平方向チャネルプロファイルの影響を排除するために、ハロー構造のないMOSトランジスタを用いた。III-2-I- (1)図1-2-1-31は(a)ボロン、(b)ヒ素、そして(c)リンチャネルの深さ方向の濃度プロファイルをSIMSにより調べた結果を示す[45, 50, 51]。深さ方向プロ

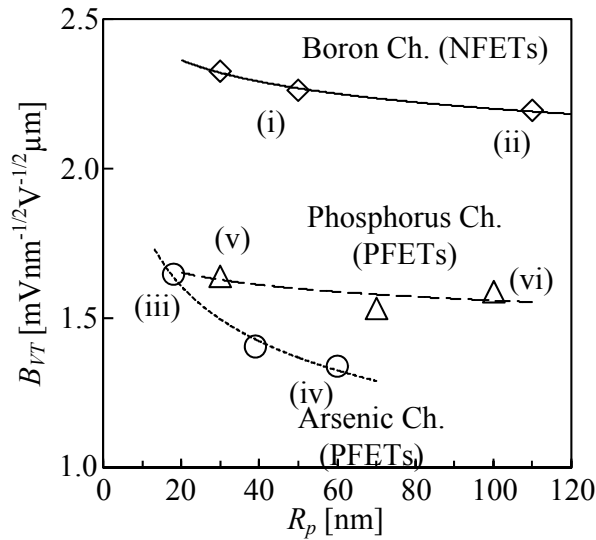
ファイルを指標化するために射影飛程(R_p)を用いた。 R_p が大きくなるにつれて、チャンネル表面付近では不純物濃度が減少し、各プロファイルは、グレードからレトログレードに変化する。 R_p と B_{VT} の関係を III-2-I- (1)図 1-2-1-32 に示す[50, 51]。 R_p が大きくなるにつれて B_{VT} は減少する。これは深さ方向プロファイルの変化によるものと考えられる[16]。

まず、ボロンチャンネル NMOS と、ヒ素チャンネル PMOS の B_{VT} と R_p の関係を比較する。III-2-I- (1)図 1-2-1-31(a)中の(ii)で示されるボロンチャンネルのプロファイルはなだらかなレトログレードのプロファイルである。一方で、III-2-I- (1)図 1-2-1-31(b)中の(iii)で示されるヒ素チャンネルのプロファイルは急峻で、グレードなプロファイルになっている。一般的にグレードプロファイルは、レトログレードプロファイルと比較して V_T ばらつきを増大させるが[16]、III-2-I- (1)図 1-2-1-31(a)中の(ii)で示すプロファイルを持つボロンチャンネル NMOS は、III-2-I- (1)図 1-2-1-31(b)中の(iii)で示すプロファイルを持つヒ素チャンネル PMOS よりも大きな B_{VT} を持つ。次に、ボロンチャンネル NMOS と、リンチャンネル PMOS の B_{VT} と R_p の関係を比較する。III-2-I- (1)図 1-2-1-31(a)中(i)と(ii)で示されるボロンチャンネルの深さ方向プロファイルは、III-2-I- (1)図 1-2-1-31(c)中(v)と(vi)で示されるリンチャンネルと同様なプロファイルになっている。しかし、ボロンチャンネル NMOS は、リンチャンネル PMOS よりも大きな B_{VT} を持つ。

ここまでにした、ボロンチャンネル NMOS、ヒ素ならびにリンチャンネル PMOS の比較結果より、チャンネルの深さ方向プロファイルの違いだけでは、NMOS の V_T ばらつきが PMOS よりも大きい現象は説明できないものの、 V_T 制御のためのチャンネルドーパをレトログレードに制御することで V_T ばらつき、 B_{VT} を低減できることを明らかにした。



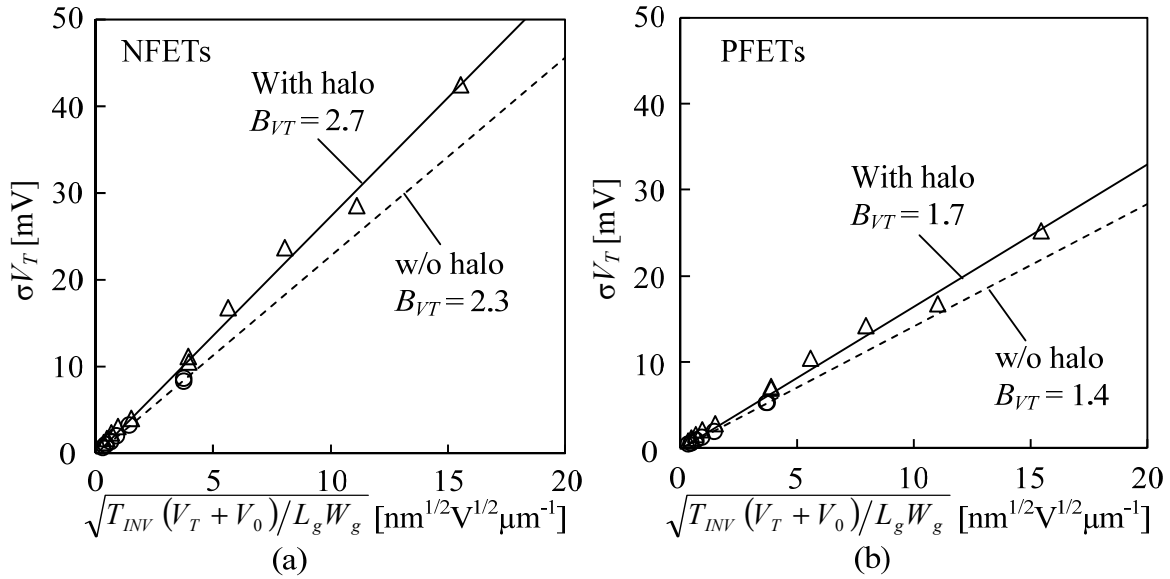
III-2-I- (1)図1-2-1-31. SIMSにより調べた(a)ボロン、(b)ヒ素、(c)リンの深さプロファイル。それぞれのグラフは、二種類の深さプロファイルを示している[45, 50, 51]。深さプロファイルを代表させる値として、射影飛程 R_p を用いた。



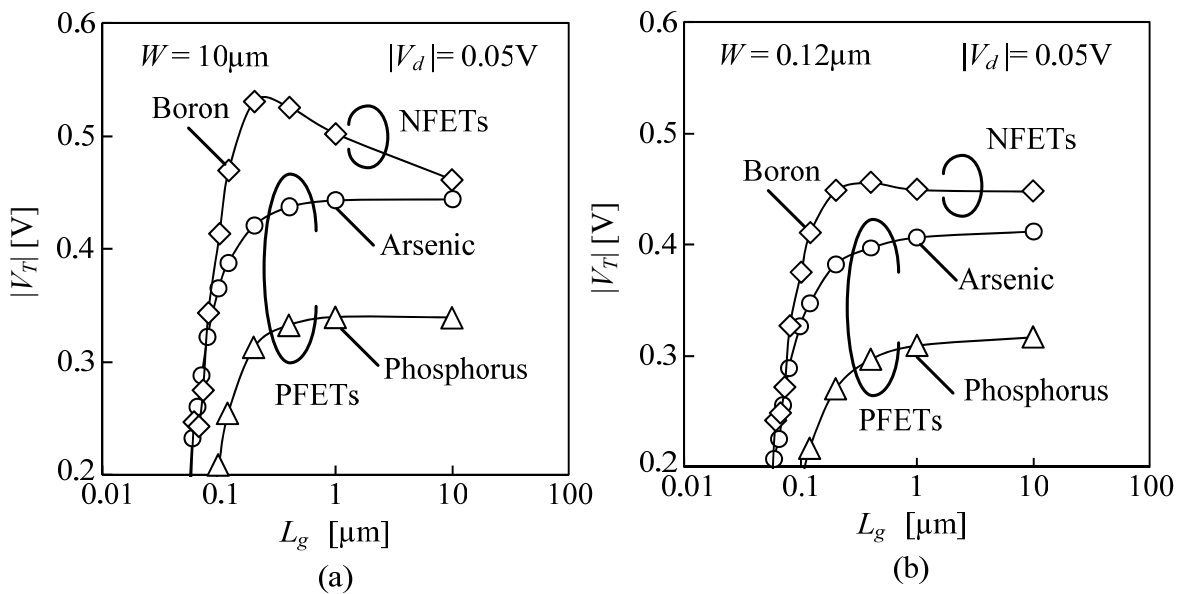
III-2-I- (1)図1-2-1-32. ボロンチャネルNMOSと、ヒ素およびリンチャネルPMOSトランジスタの B_{VT} と R_p の関係[50, 51]。(i)から(vi)の番号は、図1-2-1-31のSIMSで調べた深さプロファイルの(i)から(vi)に対応している。

1-2-1-9. V_T ばらつきに及ぼす水平方向チャネルプロファイルの影響

次に、水平方向プロファイルの効果について調べた[38, 39]。水平方向プロファイルの不均一性が V_T ばらつきに影響を及ぼすことは、一般的に知られている。水平方向の不均一性を生じさせるものとして、ハロー構造が考えられる[39]。そこで、ハロー注入が V_T ばらつきに及ぼす影響の大きさを調べた。III-2-I- (1)図1-2-1-33 は、ハロー注入ありなしの MOS トランジスタの竹内プロットを示した[50, 51]。 B_{VT} は、ハロー注入がない場合に減少することがわかる。しかし、ハロー注入がない場合でも、依然として NMOS の B_{VT} は PMOS よりも大きいことがあきらかであり、ハロー注入以外の要因で NMOS の V_T ばらつきが大きくなっていると考えられる。



III-2-I- (1)図1-2-1-33. ハロー構造ありなしのMOSトランジスタの竹内プロット[50, 51]。(a) NMOS, (b) PMOSトランジスタ。



III-2-I- (1)図1-2-1-34. ボロンチャンネルNMOS、砒素およびリンチャンネルPMOSトランジスタの V_T - L_g 特性。(a) チャンネル幅が広い場合、(b) 狭チャンネルの場合[50, 51]。

このため、水平方向の不純物濃度の不均一性は、ハロー注入がない場合にも存在していると考えられる。III-2-I- (1)図 1-2-1-34 に、ボロンチャンネル NMOS、ヒ素およびリンチャンネル PMOS の V_T - L_g 特性を示す[50, 51]。チャンネル幅が広い場合に、ボロンチャンネル NMOS においてのみ逆短チャンネル効果が表れていることがわかる。これは、ボロンの増速拡散効果(TED: Tranjent Enhance Diffusion、以下 TED と呼ぶ)により、ソース/ドレイン端にボロンの高濃度領域が形成されたためと考えられる[52-54]。

狭チャンネルの場合、ボロンチャンネル NMOS の逆狭チャンネル効果は抑制されている。これは狭チャンネルに

において、ボロンの TED が抑制されるためだと考えられる。シリコン酸化膜でできた素子分離(STI)は格子間シリコン原子を吸収するため、STI に近い領域ではボロンの TED は抑制される[54, 55]。ここで示した逆短チャネル効果が生じる現象からハロー注入を行わなくともボロンの TED が原因となり、チャネルの水平方向プロファイルの不均一性が生じることを明らかにした。このボロンの TED が NMOS の V_T ばらつきを増大させていることが考えられる[56]。次項でボロンの TED が NMOS の V_T ばらつきに及ぼす影響についてさらに詳細に評価を行った。

1-2-1-10-3. V_T ばらつきに及ぼすボロンの TED の効果

ボロンの TED が NMOS の V_T ばらつきに及ぼす影響を調べるために、 B_{VT} の L_g 依存性に着目した。 V_T ばらつきが、ボロンの TED によって生じた、水平方向のチャネルプロファイルの不均一性に影響を受けているのであれば、 B_{VT} は L_g 依存性を持つと考えられる。これは、 L_g によって、チャネル長のうち、ボロンの高濃度領域の比率が変化するためである。まずシミュレーションを用いて、 B_{VT} の L_g 依存性を調べた。シミュレーションで想定している MOS トランジスタの構造を III-2-I- (1)図 1-2-1-35 に示す[57]。チャネル不純物濃度は $1 \times 10^{18} [\text{cm}^{-3}]$ で均一である。またここで”Halo”と示されている部分は、ボロンの TED によって生じたボロンの高濃度領域を意図している。ここでハロー領域の長さは 20 nm とし、不純物濃度は 0 から $4 \times 10^{18} [\text{cm}^{-3}]$ まで変化させた。シミュレーションにより得られた V_T - L_g 特性を III-2-I- (1)図 1-2-1-36 に示す[57]。

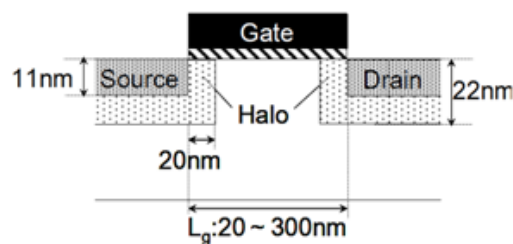
3×10^{18} から $4 \times 10^{18} [\text{cm}^{-3}]$ の比較的高いハロー濃度の場合、逆短チャネル効果が表れて、ソース側とドレイン側のハローが接触する $L_g = 40$ nm 付近で、 V_{th} がピークになっている。同じくシミュレーションにより求めた B_{VT} の L_g 依存性を III-2-I- (1)図 1-2-1-37 に示す[57]。ハロー注入のない MOS トランジスタの場合、 B_{VT} はほぼ一定の 1.5 になる。一方でハロー構造のある MOS トランジスタでは B_{VT} が L_g 依存性を持つ。ハローの濃度が高い場合、特に L_g が長い場合に B_{VT} は増大する。ハロー構造がある場合でも、 L_g を縮小していくと、 B_{VT} は次第に減少する。そして B_{VT} は、 $L_g = 40$ nm から 80 nm にかけて最小値となる。これは、横方向のチャネルプロファイルが均一になるためである。このように、シミュレーションによって、チャネルの不均一性があると B_{VT} が 1.5 より増大し、 B_{VT} はゲート長依存性を持つことを明らかにした。

次に実測によりハロー注入を行わないボロンチャネル NMOS の特性のゲート長依存性を調べた。まず V_T - L_g 特性を III-2-I- (1)図 1-2-1-38 に示す。III-2-I- (1)図 1-2-1-34 とチャネル幅は異なるが、同様に逆短チャネル特性が見られており、 V_T のピークは $L_g = 0.2 \mu\text{m}$ に表れている。この結果と III-2-I- (1)図 1-2-1-36 に示すシミュレーションの結果から、ボロンの高濃度領域の長さは $0.1 \mu\text{m}$ 程度と考えられる。同じ TEG を用いて B_{VT} - L_g 特性を調べた。この結果を III-2-I- (1)図 1-2-1-37 に示す[58-60]。 L_g の縮小とともに、 B_{VT} が減少しており、 L_g が $0.7 \mu\text{m}$ 付近の時に B_{VT} が最小値になることがわかる。このように、III-2-I- (1)図 1-2-1-37 で示すシミュレーション結果と同様な B_{VT} の L_g 依存性の傾向が実際の NMOS でも見られることがわかった。この結果は、ハロー注入を行わない NMOS においてもボロンの TED により、チャネルプロファイルの不均一性が生じ、 V_T ばらつきを増大させていることを支持するものと考えられる。ゲート長が $0.3 \mu\text{m}$ 以下になると急激に B_{VT} が増大しているが、これはゲート長ばらつきと、短チャネル効果によるものと考えられる。

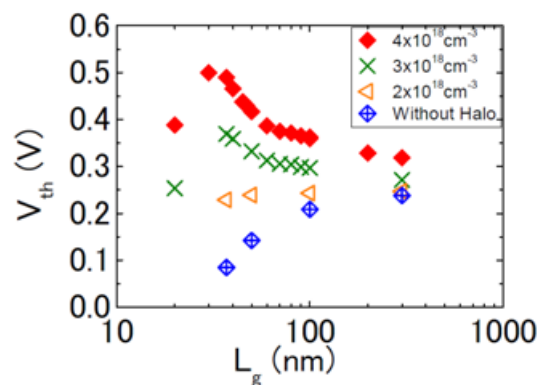
しかし、実測の B_{VT} - L_g 特性にはいくつか疑問点も残る。一つは、実測の B_{VT} が最小値となるゲート長が、 V_T が最大となる L_g と一致しない点である。これはシミュレーション結果とは異なる。この原因としては、実際の NMOS 中ではボロンの高濃度領域の形状が、シミュレーションで想定しているきれいな矩形ではないためである。もう一つの疑問は、なぜ実測の B_{VT} 最小値が、均一チャネルプロファイルの時の B_{VT} のシミュレーション値 1.5 より大きいのかということである。考えられる原因の一つとしては、先ほどと同様に、実際の NMOS ではボロンの高濃度領域が矩形ではないことが考えられる。また、他の可能性としては、TED の影響そのものがばらつ

くためである。TED によって生じるチャンネルプロファイル自体がばらついているので、シミュレーションで計算した時のように B_{VT} が 1.5 までには下がらないと考えている[61]。

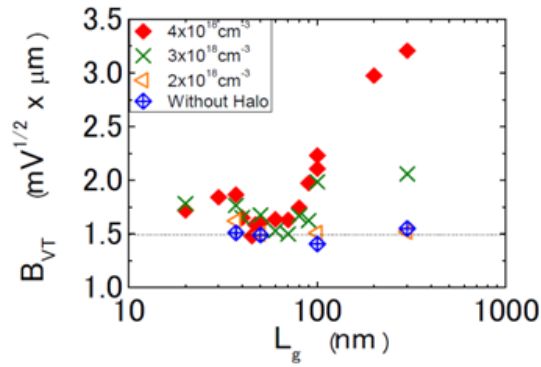
ボロン TED の効果を、 B_{VT} の W_g 依存性という観点からも調べた。III-2-I- (1)図 1-2-1-40 は、 B_{VT} の W_g 依存性を示す[50, 51]。ヒ素およびリンチャンネル PMOS では、 B_{VT} が W_g によってあまり変化しないのに対し、ボロンチャンネル NMOS では狭チャンネルで B_{VT} が低下していることが分かる。この結果は、III-2-I- (1)図 1-2-1-34 で示した V_T-L_g 特性で述べた狭チャンネルにおけるボロンの増速拡散(TED: Tranjent Enhanced Diffurion)の抑制効果によって説明できる[54]。狭チャンネルにおいても、NMOS と PMOS の B_{VT} 差がゼロにはならないのは、III-2-I- (1)図 1-2-1-34 において狭チャンネルでも依然として逆短チャンネル効果が見られることから推察されるように、狭チャンネルにおいても完全にボロンの TED がなくなるわけではないと考えられる。



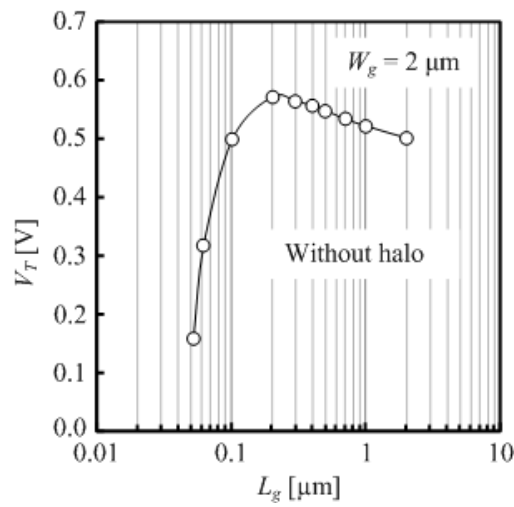
III-2-I- (1)図1-2-1-35. シミュレーションに用いたMOSトランジスタの構造[57]。チャンネル不純物濃度は 1×10^{18} [cm^{-3}]の均一としている。”Halo”部分(チャンネル不純物の高濃度領域)は20 nmとした。また、”Halo”部分の濃度は0から 4×10^{18} [cm^{-3}]まで変えた。



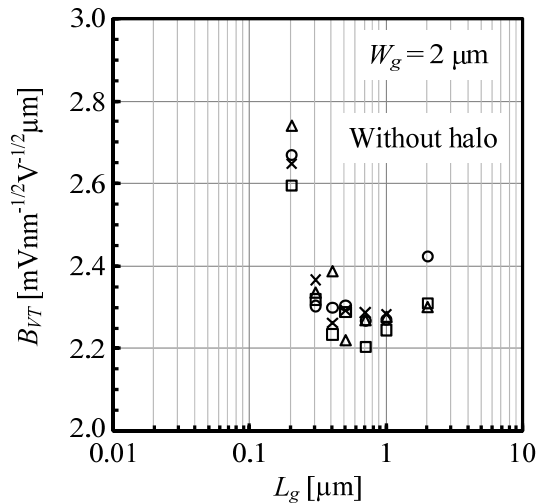
III-2-I- (1)図1-2-1-36. シミュレーションにより求めた V_T-L_g 特性[57]。”Halo”領域の濃度が高い場合(3×10^{18} と 4×10^{18} [cm^{-3}]の場合)、逆短チャンネル特性が現われて、ソース側とドレイン側の”Halo”領域が接触する L_g 付近で V_T は最大値になる。



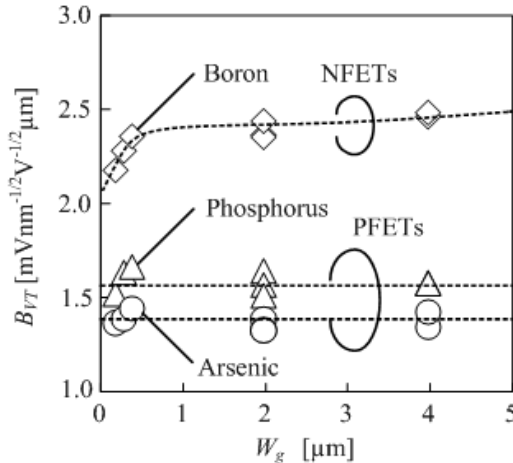
III-2-I- (1)図1-2-1-37. シミュレーションにより求めた B_{VT} - L_g 特性[57]。



III-2-I- (1)図1-2-1-38. 測定により得られた、ハロー注入を行わないボロンチャネルNMOSの V_T - L_g 特性。 V_T は $L_g = 0.2 \mu\text{m}$ で最大値になる。



III-2-I- (1)図1-2-1-39. 測定により得られた、ハロー注入を行わないボロンチャネルNMOSの B_{VT} - L_g 特性の4チップ分の結果。 B_{VT} は $L_g = 0.7 \mu\text{m}$ 付近で最小値になる[58-60]。



III-2-I- (1)図1-2-1-37. ボロンチャンネルNMOS、磷および砒素チャンネルPMOSトランジスタの、 B_{VT} と W_g の関係[50, 51]。

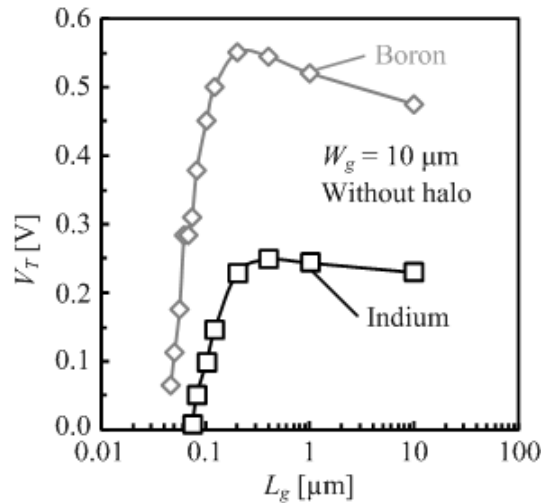
ここまで述べた、 B_{VT} の L_g 、 W_g 依存性に加えて、ボロン以外の不純物をチャンネル不純物に用いたら、 V_T ばらつきを減少させることができないかを調べた。III-2-I- (1)図 1-2-1-41 に、ボロンチャンネルとインジウムチャンネル NMOS の V_T - L_g 特性を示す。ボロンチャンネルよりもインジウムチャンネルの方が、逆短チャンネル特性が弱いため、インジウムの方が TED の効果が小さいことが考えられる[62]。インジウムチャンネル NMOS では、インジウムの不活性化により V_T を式 1-2-1-11 では示すことができない[63]。このため、竹内プロットをインジウムチャンネル NMOS に適用して良いかについては自明ではない。そこで Pelgrom プロットを用いて比較を行った。インジウムチャンネル NMOS の Pelgrom プロットを III-2-I- (1)図 1-2-1-42 に示す。インジウムチャンネルに近い R_p を持つボロンチャンネル NMOS の A_{VT} の傾きも合わせて示している。ただし、ボロンチャンネル NMOS の V_T はインジウムチャンネル NMOS の V_T よりも高いため、ボロンチャンネル NMOS がインジウムチャンネル NMOS と同じ V_T を持つと仮定した場合の A_{VT} を示した。このような A_{VT} は、次の式で示す A_{VT} と B_{VT} の関係式を用いて求めた。

$$A_{VT} = B_{VT} \times \sqrt{T_{INV} \cdot (V_T + V_0)} \quad (1-2-1-18)$$

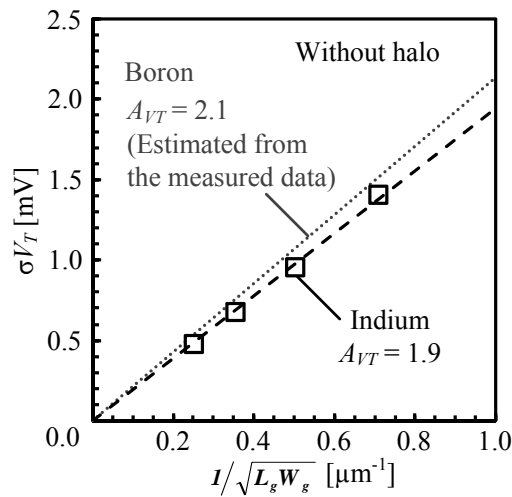
これによると、インジウムチャンネルの A_{VT} は 1.9、ボロンチャンネルの A_{VT} は 2.1 である。このようにインジウムの A_{VT} がボロンチャンネルよりも小さくなった原因は TED の抑制にあるのではないかと考えられる。

ここまでの結果を踏まえて、この節のはじめに示した、基板バイアス印加による B_{VT} の減少の機構と、NMOS と PMOS の V_T ばらつきの原因について述べる。III-2-I- (1)図 1-2-1-43 はボロンチャンネル NMOS の (a) $V_{BS} = 0 \text{ V}$ の場合、(b) $V_{BS} = -2 \text{ V}$ の場合の W_{DEP} の広がりをも模式的に示したものである[51]。ボロンの TED によって、ソース/ドレイン端にボロンの高濃度領域が形成されている。このボロンの高濃度領域が、水平方向のチャンネルプロファイルを生じ、その結果 B_{VT} が増大している。基板に負バイアスが印加されると W_{DEP} は増大する[17]。 B_{VT} が III-2-I- (1)図 1-2-1-30 で示されているボロンチャンネル NMOS の場合、 $V_{BS} = 0 \text{ V}$ の時に 43 nm であった W_{DEP} は、 $V_{BS} = -2 \text{ V}$ の時に 76 nm まで広がると見積もられる。 W_{DEP} が広がるに従い、ボロンの高濃度領域が V_T ばらつきに与える影響の大きさが相対的に低下し、このため B_{VT} が減少するものと考えられる。ゲート長が長い MOS トランジスタにおいては、ゲート長が短い MOS トランジスタよりも負の基板バイアス印加により、よりボロンの高濃度領域の影響が抑制しやすいものと考えられる。これは、チャンネル全体に対するボロンの高濃度領域中のボロンの割合が、チャンネル長が長い MOS トランジスタの方が、チャンネル長が短い MOS ト

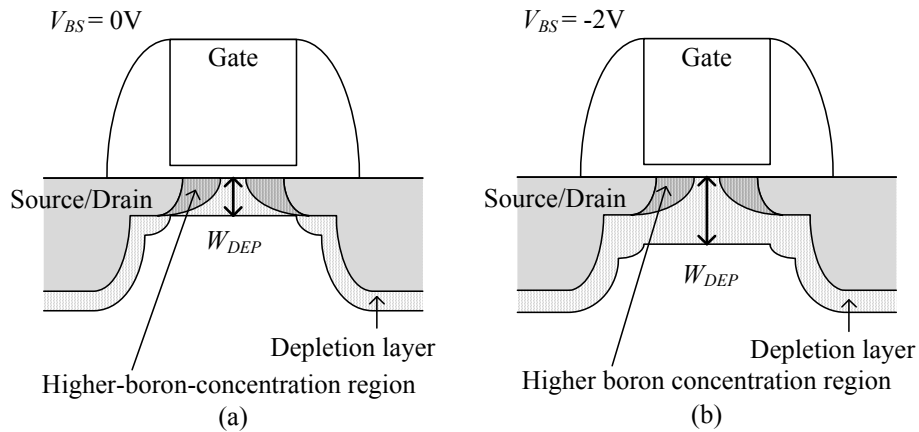
ランジスタよりも相対的に小さいからである。この傾向は特に負の基板バイアスを印加した場合に顕著になると考えられる。さらに、NMOSの B_{VT} は負の基板バイアス印加により、PMOSの B_{VT} に近い値まで減少するため、ボロンのTEDにより生じた、ボロンの高濃度領域が V_T ばらつきのNMOSとPMOSの差に大きく寄与していると考えられる。



III-2-I- (1)図1-2-1-41. ハロー注入を行わない、ボロンチャネルNMOSとインジウムチャネルNMOSの V_T - L_g 特性。インジウムチャネルNMOSでは、逆短チャネル効果が弱まっている[62]。



III-2-I- (1)図1-2-1-42. インジウムチャネルNMOSのPelgromプロット。比較のため、ボロンチャネルNMOSの V_T がインジウムチャネルと同じだった場合を想定して、ボロンチャネルNMOSの A_{VT} を見積もった



III-2-I- (1)図1-2-1-43. ボロンの高濃度領域と、 W_{DEP} の広がりを示す模式図[51]。(a) $V_{BS} = 0V$ 、(b) $V_{BS} = -2V$ の場合。

1-2-1-10. しきい値ばらつき評価・解析のまとめ

これまでの竹内プロットを用いた開発により、PMOSの V_T ばらつきについてはおおよそRDFにより説明ができ、NMOSは一般的にPMOSよりも大きな V_T ばらつきを持つことを示してきた。しかし、NMOSの V_T ばらつきがPMOSの V_T ばらつきよりも大きい原因については解明が必要であった。このため、NMOSがPMOSよりも大きな V_T ばらつきを持つ原因と、PMOSにおけるRDF以外の V_T ばらつき要因について調べた。一貫物理解析と、様々なプロセス条件を用いたデバイスの竹内プロットによる特性ばらつき評価より、 L_g 、 W_g 、ゲート酸化膜、ゲートポリシリコン、チャンネルストレスはNMOSとPMOSの V_T ばらつきや、両者の間の V_T ばらつき差の支配的な要因ではないということを明らかにした。さらに、チャンネル不純物プロファイルの不均一性に注目して、RDFが V_T ばらつきに及ぼす影響について調べた。その結果、 B_{VT} の基板バイアス依存性、 L_g 、 W_g 依存性、逆短チャンネル特性から、チャンネルボロンのTEDにより生じたプロファイルの不均一性が、NMOSの V_T ばらつきを増大させていることを明らかにした。

参考文献

- [1] A. J. Bhavnagarwala, X. Tang, and J. D. Meindl, "The Impact of Intrinsic Device Fluctuations on CMOS SRAM Cell Stability," *IEEE J. Solid-State Circuit*, vol. 36, pp. 658-665, 2001.
- [2] S. M. Sze and Kwok K. Ng, *Physics of Semiconductor Devices*, John Wiley & Sons, Inc., Hoboken, New Jersey, 2007.
- [3] K. Y. Lim, J. Lee, and E. Quek, "NMOS PREDOPED ENHANCE OFF-STATE LEAKAGE CURRENT," in *Proc. Int. Rel. Phys. Symp.*, 2003, pp. 307-312.
- [4] T. Tsunomura, A. T. Putra, A. Nishida, S. Kamohara, K. Takeuchi, S. Inaba, K. Terada, and T. Hiramoto, "Validation Study of Normalizing Vth Fluctuation in MOSFETs by Takeuchi Plot," in *Ext. Abstr. 55th Spring Meet., Japan Society of Applied Physics and Related Societies*, 29a-P11-8, 2008 [in Japanese].
- [5] K. Ishimaru, H. Gojohbori, H. Koike, Y. Unno, M. Sai, F. Matsuoka, and M. Kakumu, "Trench Isolation Technology with 1 μm Depth n- and p-wells for A Full-CMOS SRAM Cell with a 0.4 μm

- n+/p+ Spacing,” in *Symp. VLSI Tech. Dig.*, 1994, pp. 97-98.
- [6] M. Aoki, S. Ohkawa, and H. Masuda, “Design Guide and Process Quality Improvement for Treatment of Device Variations in an LSI Chip,” in *Proc. ICMTS*, vol. 17, 2004, pp.201-206.
- [7] S. Ohkawa, M. Aoki, and H. Masuda, “Analysis and Characterization of Device Variations in an LSI Chip Using an Integrated Device Matrix Array,” *IEEE Trans. Semicond. Manuf.*, vol. 17, no.2, pp. 155- 165, 2004.
- [8] M. Kanno, A. Shibuya, M. Matsumura, K. Tamura, H. Tsuno, S. Mori, Y. Fukuzaki, T. Gocho, H. Ansai, and N. Nagashima, “Empirical Characteristics and Extraction of Overall Variations for 65-nm MOSFETs and Beyond,” in *Symp. VLSI Tech. Dig.*, 2007, pp. 88-89.
- [9] T. Tsunomura, A. Nishida, T. Hiramoto, “Verification of Threshold Voltage Variation of Scaled Transistors with Ultralarge-Scale Device Matrix Array Test Element Group,” *Jpn. J. Appl. Phys.* vol. 48, p. 124505, 2009.
- [10] T. Fischer, E. Amirante, P. Huber, T. Nirschl, A. Olbrich, M. Ostermayr, and D. S. Landsiedel, “Analysis of Read Current and Write Trip Voltage Variability From a 1-MB SRAM Test Structure,” *IEEE Trans. Semicond. Manuf.*, vol. 21, no. 4, pp. 534-541, 2008.
- [11] T. Hagiwara, K. Yamaguchi, and S. Asai, “Threshold Voltage Deviation in Very Small MOS Transistors Due to Local Impurity Fluctuations,” in *Symp. VLSI Tech. Dig.*, 1982, pp. 46-47.
- [12] T. Mizuno, J. Okamura, and A. Toriumi, “Experimental Study of Threshold Voltage Fluctuation Due to Statistical Variation of Channel Dopant Number in MOSFET’s,” *IEEE Trans. Electron Devices*, vol. 41, no. 11, pp. 2216-2221, 1994.
- [13] A. Asenov, “Random Dopant Induced Threshold Voltage Lowering and Fluctuations in Sub-0.1 μ m MOSFET’s: A 3-D “Atomistic” Simulation Study,” *IEEE Trans. Electron Devices*, vol. 45, no. 12, pp. 2505-2513, 1998.
- [14] A. Asenov and S. Saini, “Suppression of Random Dopant-Induced Threshold Voltage Fluctuations in Sub-0.1- μ m MOSFET’s with Epitaxial and -Doped Channels,” *IEEE Trans. Electron Devices*, vol. 46, no. 8, pp. 1718-1724, 1999.
- [15] P. A. Stolk, F. P. Widdershoven, and D. B. M. Klaassen, “Modeling Statistical Dopant Fluctuations in MOS Transistors” *IEEE Trans. Electron Devices*, vol. 45, no. 9, pp. 1960-1971, 1998.
- [16] K. Takeuchi, “Channel Engineering for the Reduction of Random - Dopant - Placement - Induced Threshold Voltage Fluctuation,” in *IEDM Tech. Dig.*, 1997, pp. 841-844.
- [17] Y. Taur and T. Ning, *Fundamentals of Modern VLSI Devices*, Cambridge University Press, Cambridge, England, 1998.
- [18] K. Takeuchi, “Normalization of Random Threshold Voltage Fluctuation for Fair Comparison between Technologies, Process Conditions and Device Designs,” in *Silicon Nanoelectronics Workshop Abst.*, 2007, pp. 7-8.
- [19] K. Takeuchi, T. Fukai, T. Tsunomura, A. T. Putra, A. Nishida, S. Kamohara, and T. Hiramoto, “Understanding Random Threshold Voltage Fluctuation by Comparing Multiple Fabs and Technologies,” in *IEDM Tech. Dig.*, 2007, pp. 467-470.
- [20] N. Yasuda, H. Ota, T. Horikawa, T. Nabatame, H. Satake, A. Toriumi, Y. Tamura, T. Sasaki, and F. Ootsuka, “Reliable Extractions of EOT and Vfb in Poly-Si Gate High-k MISFETs through Advanced Modeling of Gate and Substrate Capacitances,” in *Ext. Abst. SSDM*, 2005, pp. 250-251.
- [21] M. J. M. Pelgrom, A. C. J. Duinmaijer, and A. P. G. Welbers, “Matching Properties of MOS

- Transistors,” *IEEE J. Solid-State Circuits*, vol. 24, no. 5, pp. 1433-1440, 1989.
- [22] T. Tsunomura, A. Nishida, F. Yano, A. T. Putra, K. Takeuchi, S. Inaba, S. Kamohara, K. Terada, T. Hiramoto, T. Mogami, “Analyses of $5\sigma V_{th}$ Fluctuation in 65nm-MOSFETs Using Takeuchi Plot,” in *Symp. VLSI Tech. Dig.*, 2008, pp. 156-157.
- [23] M. Hirano, K. Tsuji, K. Terada, T. Tsunomura, and A. Nishida, “Dependence of Threshold Voltage Fluctuation on Channel Size,” in *Proc. IEICE general conference*, 2008, p. 78.
- [24] T. Tsunomura, A. Nishida, and T. Hiramoto, “Analysis of NMOS and PMOS Difference in V_T Variation With Large-Scale DMA-TEG,” *IEEE Trans. Electron Devices*, vol. 56, no. 9, pp. 2073-2080, 2009.
- [25] A. Asenov, “Polysilicon Gate Enhancement of the Random Dopant Induced Threshold Voltage Fluctuations in Sub-100nm MOSFET’s with Ultrathin Gate Oxide,” *IEEE Trans. Electron Devices*, vol. 47, no.4, pp. 805-812, 2000.
- [26] T. Aoyama, K. Suzuki, H. Tashiro, Y. Tada, H. Arimoto, and K. Horiuchi, “Flatband Voltage Shift in PMOS Devices Caused by Carrier Activation in p+-Polycrystalline Silicon and by Boron Penetration” *IEEE Trans. Electron Devices*, vol. 49, no.3, pp. 473-480, 2002.
- [27] H. P. Tuinhout, A. H. Montree, J. Schmiz, and P. A. Stolk, “Effects of Gate Depletion and Boron Penetration on Matching of Deep Submicron CMOS Transistors,” in *IEDM Tech. Dig.*, 1997, pp. 631-634.
- [28] N. Lifshitz, “Dependence of the Work-Function Difference between the Polysilicon Gate and Silicon Substrate on the Doping Level in Polysilicon,” *IEEE Trans. Electron Devices*, vol. 32, no.3, pp. 617-621, 1985.
- [29] A. R. Brown, G. Roy, and A. Asenov, “Impact of Fermi level pinning at polysilicon gate grain boundaries on nano-MOSFET variability: A 3-D simulation study,” in *Proc. ESSDERC*, 2006, p. 451-454.
- [30] A. Asenov and S. Kaya, “Effect of oxide roughness on the threshold voltage fluctuations in decanano MOSFETs with ultrathin gate oxide,” in *Proc. SISPAD*, 2000, pp. 135-138.
- [31] A. Asenov, S. Kaya, and J. H. Davies, “Intrinsic Threshold Voltage Fluctuations in Decanano MOSFETs Due to Local Oxide Thickness Variations,” *IEEE Trans. Electron Devices*, vol.49, no.1, pp. 112-119, 2002.
- [32] J. A. Croon, G. Storms, S. Winkelmeier, I. Pollentier, M. Ercken, S. Decoutere, W. Sansen, and H.E. Maes, “Line Edge Roughness: Characterization, Modeling and Impact on Device Behavior,” in *IEDM Tech. Dig.*, 2002, pp. 307-310.
- [33] A. Asenov, S. Kaya, and A. R. Brown, “Intrinsic Parameter Fluctuations in Decananometer MOSFETs Introduced by Gate Line Edge Roughness,” *IEEE Trans. Electron Devices*, vol. 50, no. 5, pp. 1254-1260, 2003.
- [34] M. Hane, T. Ikezawa, and T. Ezaki, “Atomistic 3D Process/Device Simulation Considering Gate Line-Edge Roughness and Poly-Si Random Crystal Orientation Effects,” in *IEDM Tech. Dig.*, 2003, pp. 241-244.
- [35] A. T. Putra, A. Nishida, S. Kamohara, and T. Hiramoto, “Random Threshold Voltage Variability Induced by Gate-Edge Fluctuations,” *Appl. Phys. Exp.*, vol. 2, p. 024501, 2009.
- [36] T. Mizuno, M. Iwase, H. Niiyama, T. Shibata, K. Fujisaki, T. Nakasugi, A. Toriumi, and Y. Ushiku, “Performance Fluctuations of 0.10 μm MOS FETs – Limitation of 0.1 μm ULSIs,” in *Symp. VLSI*

Tech. Dig., 1994, pp.13 -14.

- [37] J. R. Shih, J. J Wang, W. Ken, P. Yeng, and J. T. Yue, "The Study of Compressive and Tensile Stress on MOSFET's I-V, C-V Characteristics and it's Impacts on Hot Carrier Injection and Negative Bias Temperature Instability," in *Proc. Int. Rel. Phys. Symp.*, 2003, pp. 612-613.
- [38] T. Mizuno, "Influence of Statistical Spatial-Nonuniformity of Dopant Atoms on Threshold Voltage in a System of Many MOSFETs," *Jpn. J. Appl. Phys.* vol. 35, pp. 842-848, 1996.
- [39] T. Tanaka, T. Usuki, T. Futatsugi, Y. Momiyama, and T. Sugii, "Vth Fluctuation Induced by Statistical Variation of Pocket Dopant Profile," in *IEDM Tech. Dig.*, 2000, pp. 271-274.
- [40] T. Tsunomura, F. Yano, A. Nishida, and T. Hiramoto, "Possible Origins of Extra Threshold Voltage Variability in N-Type Field-Effect Transistors by Intentionally Changing Process Conditions and Using Takeuchi Plot," *Jpn. J. Appl. Phys.* vol. 49, p. 074104, 2010.
- [41] F. Yano, T. Tsunomura, A. Nishida, S. Kamohara, and T. Hiramoto, "Characterization of Atomic Roughness at the Gate Oxide/Si Substrate Interface," in *Ext. Abstr. 54th Spring Meet., Japan Society of Applied Physics and Related Societies, 27a-ZG-2*, 2007 [in Japanese].
- [42] Y. Yoshida, K. Funayama, A. Nishida, T. Sekiguchi, K. Nakamura, S. Tomimatsu, K. Umemura, T. Yamanaka, K. Komori, Y. Mitsui, and S. Ikeda, "Analysis of SRAM Bit Failure at High Frequency Operation," in *IEDM Tech. Dig.*, 1999, pp. 475-478.
- [43] A. T. Putra, T. Tsunomura, A. Nishida, S. Kamohara, K. Takeuchi, and T. Hiramoto, "Impact of Oxide Thickness Fluctuation and Local Gate Depletion on Threshold Voltage Variation in Metal-Oxide-Semiconductor Field-Effect Transistors" *Jpn. J. Appl. Phys.* vol. 48, p. 064504, 2009.
- [44] T. Tsunomura, A. Nishida, K. Takeuchi, S. Inaba, S. Kamohara, K. Terada, T. Hiramoto, and T. Mogami, "Process Condition Dependence of Random V_T Variability in NFETs and PFETs," in *Ext. Abst. SSDM*, 2009, pp. 1010-1011.
- [45] A. T. Putra, Ph. D. Thesis, School of Engineering, the University of Tokyo, 2009.
- [46] K. Inoue, F. Yano, A. Nishida, T. Tsunomura, T. Toyama, Y. Nagai, and M. Hasegawa, "Three dimensional characterization of dopant distribution in polycrystalline silicon by laser-assisted atom probe," *Appl. Phys. Lett.* vol. 93, p. 133507, 2008.
- [47] K. Inoue, F. Yano, A. Nishida, H. Takamizawa, T. Tsunomura, Y. Nagai, and M. Hasegawa, "Dopant distribution in gate electrode of n- and p- type metal-oxide-semiconductor field effect transistor by laser-assisted atom probe," *Appl. Phys. Lett.* vol. 95, p. 043502, 2009.
- [48] T. Mama, A. T. Putra, T. Tsunomura, A. Nishida, and T. Hiramoto, "A Study of Substrate Bias Dependence of Threshold Voltage Variability in MOSFETs Using Takeuchi Coefficient," in *Ext. Abstr. 56th Spring Meet., Japan Society of Applied Physics and Related Societies, 30p-V-14*, 2009 [in Japanese].
- [49] T. Mama, Master's Thesis, School of Engineering, the University of Tokyo, 2009.
- [50] T. Tsunomura, A. Nishida, F. Yano, A. T. Putra, K. Takeuchi, S. Inaba, S. Kamohara, K. Terada, T. Mama, T. Hiramoto, and T. Mogami, "Analysis of Extra V_T Variability Sources in NMOS Using Takeuchi Plot," in *Symp. VLSI Tech. Dig.*, 2009, pp. 110-111.
- [51] T. Tsunomura, A. Nishida, and T. Hiramoto, "Effect of Channel Dopant Profile on Difference in Threshold Voltage Variability between NFETs and PFETs," *IEEE Trans. Electron Devices*, vol. 58, no. 2, pp. 364-369, 2011.
- [52] C. S. Rafferty, H. -H. Vuong, S. A. Eshraghi, M. D. Gilest, M. R. Pinto, and S. J. Hillenius, III-2-I- (1)-P65

- “Explanation of Reverse Short Channel Effect by Defect Gradients,” in *IEDM Tech. Dig.*, 1993, pp. 311-314.
- [53] S. W. Crowder, P. M. Rousseau, J. P. Snyder, J. A. Scott, P. B. Griffin, and J. D. Plummer, “The Effect of Source/Drain Processing on the Reverse Short Channel Effect of Deep Sub-Micron Bulk and SOI NMOSFETs,” in *IEDM Tech. Dig.*, 1995, pp. 427-430.
- [54] A. Ono, R. Ueno, and I. Sakai, “TED Control Technology for Suppression of Reverse Narrow Channel Effect in 0.1 μm MOS Devices,” in *IEDM Tech. Dig.*, 1997, pp. 227-230.
- [55] J. W. Jung, J. M. Kim, J. H. Son, and Y. Lee, “Dependence of Subthreshold Hump and Reverse Narrow Channel Effect on the Gate Length by Suppression of Transient Enhanced Diffusion at Trench Isolation Edge” *Jpn. J. Appl. Phys.* vol. 39, pp. 2136-2140, 2000.
- [56] A. Ono and I. Sakai, “Suppression of V_{th} Fluctuation by Minimizing Transient Enhanced Diffusion for Deep Sub-quarter Micron MOSFET,” in *IEDM Tech. Dig.*, 1996, pp. 755-758.
- [57] I. Yamato, A. T. Putra, and T. Hiramoto, “Impact of Lateral Dopant Profile on Threshold Voltage Variability in Scaled MOSFETs,” in *Silicon Nanoelectronics Workshop*, 2009, pp. 35-36.
- [58] T. Tsunomura, A. T. Putra, I. Yamato, A. Kumar, T. Mizutani, A. Nishida, K. Takeuchi, S. Inaba, S. Kamohara, K. Terada, T. Hiramoto, and T. Mogami, “Variability: Measurement Study,” in *Ext. Abstr. Int’l Symp. Characteristics Variability in Scaled Transistors*, pp. 6-7, 2011.
- [59] K. Terada, K. Sanai, K. Tsuji, T. Tsunomura, A. Nishida, and T. Mogami, “Variability: Measurement Study,” in *Ext. Abstr. Int’l Symp. Characteristics Variability in Scaled Transistors*, pp. 42-43, 2011.
- [60] K. Terada, K. Sanai, S. Matsuoka, K. Tsuji, T. Tsunomura, and Akio Nishida, “Electrical Estimation of Channel Dopant Uniformity Using Test MOSFET Array,” to be presented in *ICMTS*, 2011.
- [61] K. Takeuchi, T. Tsunomura, S. Inaba, A. Nishida, S. Kamohara, and T. Hiramoto, “Recent Understanding of the Difference in Random Threshold Voltage Fluctuation between NFETs and PFETs,” in *Ext. Abstr. 58th Spring Meet., Japan Society of Applied Physics and Related Societies*, 2011, to be presented [in Japanese].
- [62] S. J. Chang, C. Y. Chang, C. Chen, J. W. Chou, T. S. Chao, and T. Y. Huang, “An Anomalous Crossover in V_{th} Roll-Off for Indium-Doped nMOSFETs,” *IEEE Electron Device Lett.*, vol. 21, no. 9, pp. 457-459, 2000.
- [63] P. Bouillon and T. Skotnicki, “Theoretical Analysis of Kink Effect in C–V Characteristics of Indium-Implanted NMOS Capacitors,” *IEEE Electron Device Lett.*, vol. 19, pp. 19-22, 1998.