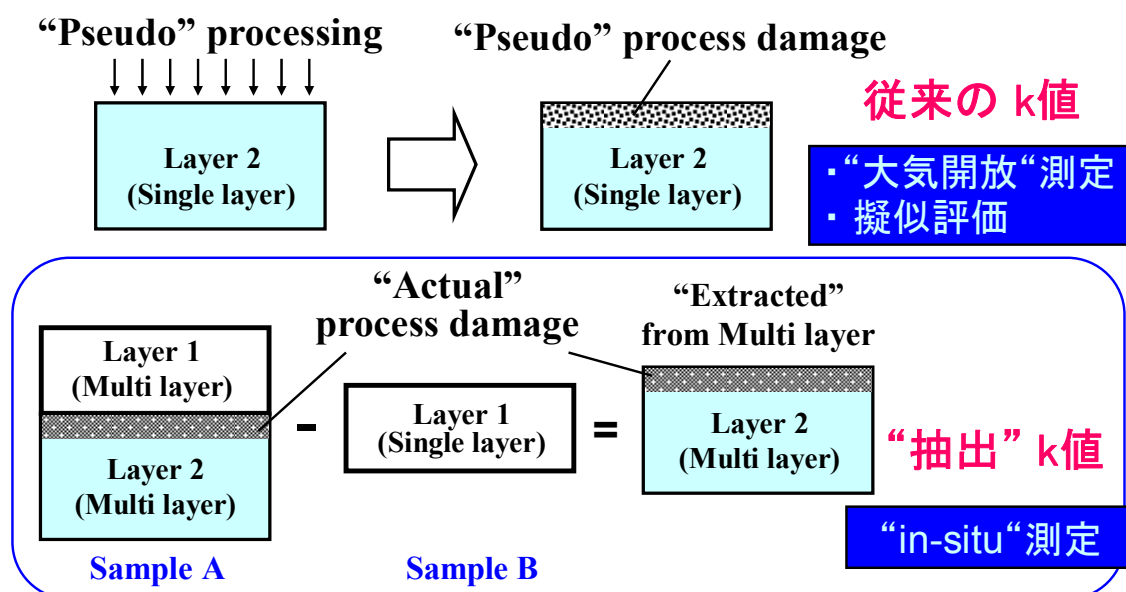


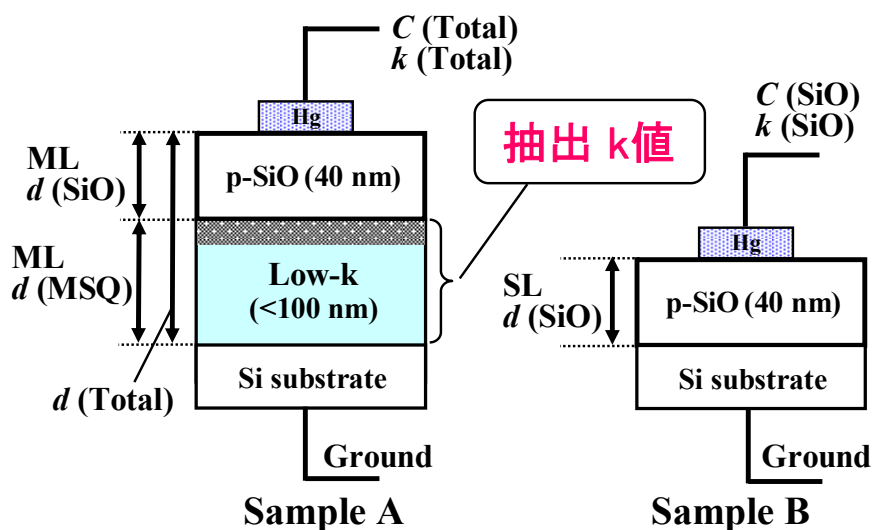


## 評価方法（抽出k値の考え方）



- ◆抽出k値の特長  
より実際の工程に即したプロセスダメージを見積もることができる

## 評価方法（抽出k値の測定方法）



$$\text{抽出k値} = \frac{k(\text{Total}) k(\text{SiO}) \text{ML } d(\text{MSQ})}{\{k(\text{SiO}) d(\text{Total}) - k(\text{Total}) \text{ML } d(\text{SiO})\}} \quad \text{Eq. (1)}$$

$$1/ C(\text{Total}) = 1/ C(\text{SiO}) + 1/ C(\text{MSQ}) \quad \text{Eq. (2)}$$

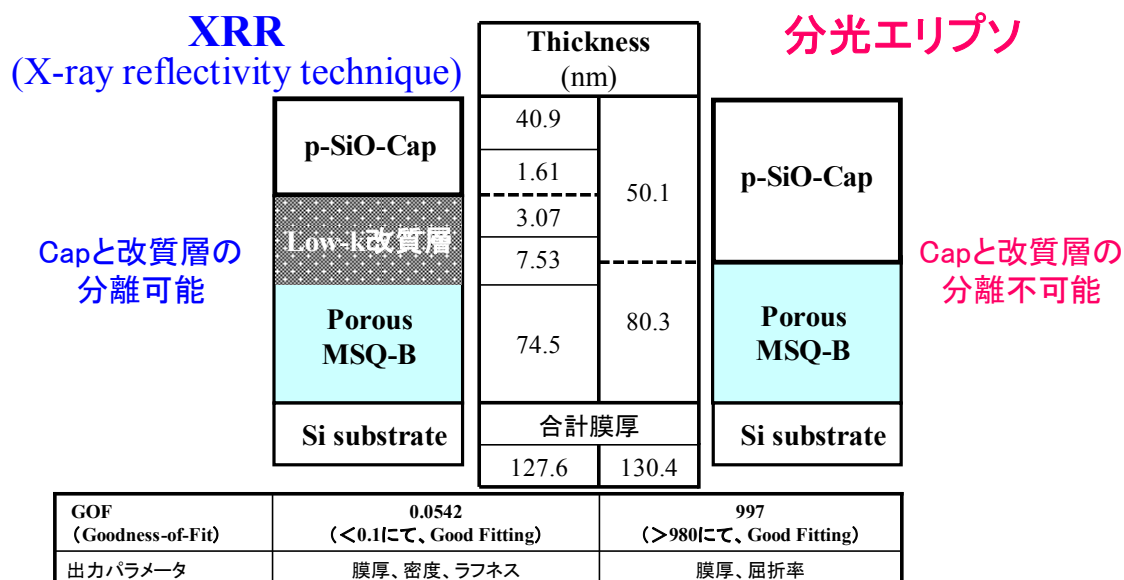
$$C(X) = k(X) S/ d(X) \quad \text{Eq. (3)}$$

$k(X)$ :  $k$ -value,  $d(X)$ : Film thickness,  
 $C(X)$ : Capacitance, X: Total, SiO or MSQ  
 ML: Multi Layer, SL: Single Layer,  
 S: Area of Hg electrode

Low-k 膜の上に堆積したプラズマ CVD Cap 膜を含む配線構造の膜厚分布を分光エリプソ測定した結果と XRR 測定した結果の比較を下図に示す。

XRR 測定の場合、膜密度の違いから Cap 膜と Low-k 変質層を分離でき、積層膜の各膜厚を正確に測定できるので、容量測定から比誘電率 k 値を正確に抽出することができる。

### 評価方法（膜厚の分離決定）



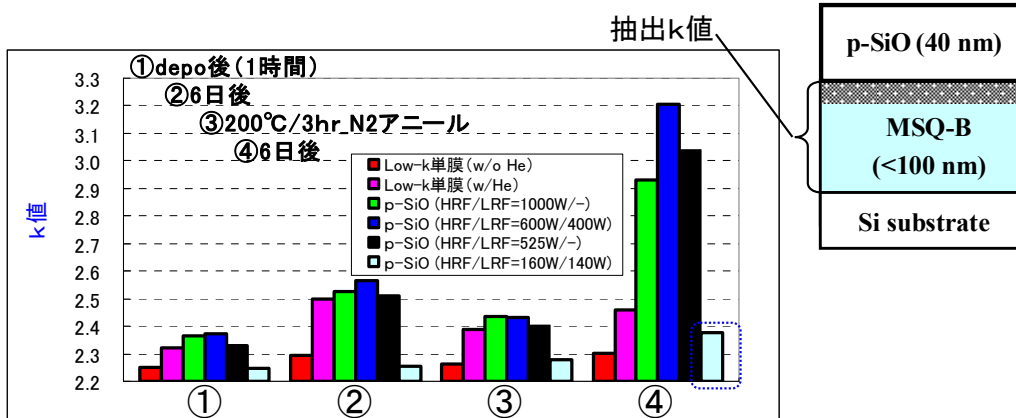
- ◆ XRRを適用。「5層モデル」で解析することで、Low-k改質層の深さ解析が可能
- ⇒ 各層の膜厚を精度良く決定することでk値抽出の精度が向上

このように、Low-k 膜の膜厚とk値を抽出することによって、プラズマ CVD Cap 膜堆積によるダメージを正確に把握する事ができる。したがって Cap 膜堆積のプロセス条件によるダメージの差も把握する事が可能である。各種プラズマ CVD プロセス条件によってダメージを受けた Low-k 膜の経時変化を下図に示す。

プラズマ CVD 堆積によるk値の上昇は 10%以下であるが、大気中(CR内)放置によるk値の上昇は大きい。アニール処理によってk値は減少するが、その後の吸湿によるk値の上昇はプラズマ CVD のプロセス条件によって大きな差がある事がわかる。

k値上昇が最も少ないプラズマ CVD 堆積のプロセス条件は、低パワーの2周波である。

## 評価結果 (各種Cap膜検討—吸湿影響評価)



Cap p-SiO成膜条件	k値上昇(④)
HRF160W /LRF140W	0.13
HRF1000W/LRF-	0.68
HRF525W /LRF-	0.79
(従来条件:メーカー-BKM)	
HRF600W /LRF400W	0.95
Cap 無し (参考)	0.21

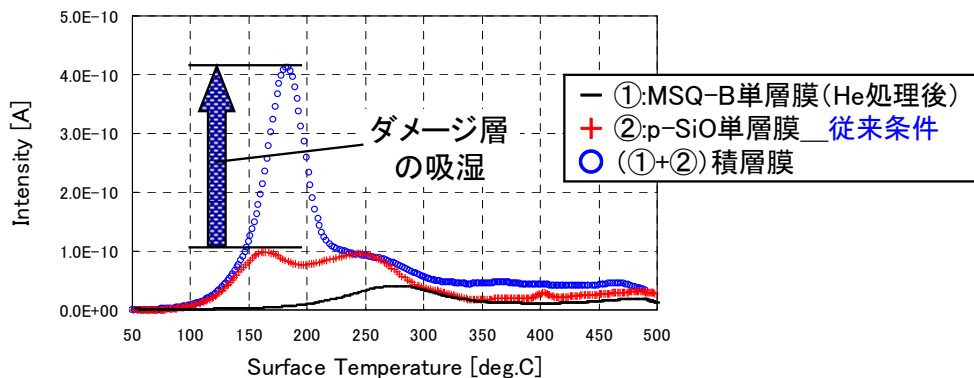
◆p-SiO成膜条件検討  
二周波(HRF160W/LRF140W)  
は経時k値上昇改善効果あり(④)

アニール後、大気中(CR 24°C、45%RH)に6日間放置した単周波(525W)積層膜と CVD、Low-k 単層膜を TDS にかけて脱ガスを測定した。結果を下図に示す。

Low-k 膜のダメージ層は吸湿している事がわかる。

## 積層膜吸湿性調査\_TDS

p-SiO Cap  
(HRF525W/LRF-W)使用\_\_従来条件 6日(24°C/45% RH)経時後



- ◆TDSによる M/z 18 (H<sub>2</sub>O)の検出(CR6日間放置後)
- ・吸湿するCap膜(単周波p-SiO\_従来条件)を使用した場合、ダメージ層に水が吸蔵されている(非常に多い)

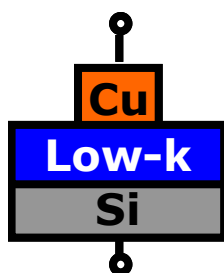
<まとめ>

実際のプロセスステップに対応した配線の容量を測定して、その差を求めることによって、プロセスダメージを受けた Low-k 膜のk値を抽出することに成功した。さらに X 線反射率測定法 (XRR 測定) を用いることによって改質層の深さ解析が可能となり、抽出k値の精度が大幅に向上した。吸湿の影響を追跡することによって、Low-k 材料間の差、Cap 膜 CVD 堆積プロセス条件によるダメージ影響が明確になった。

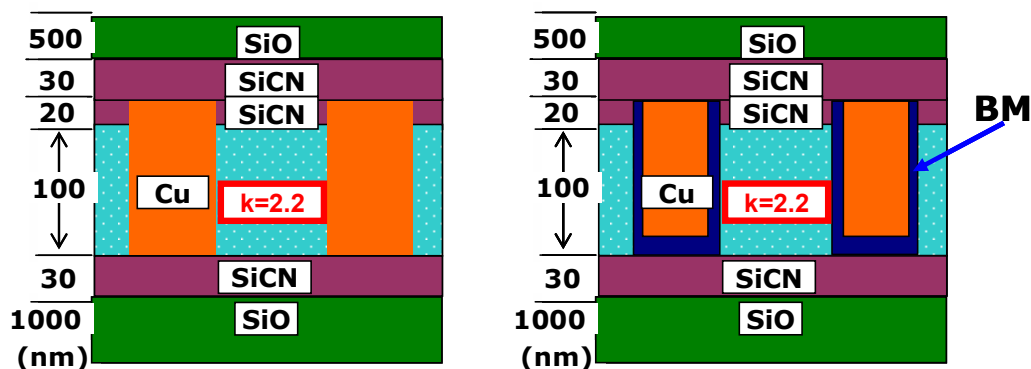
### Ⅲ. 2.1.8 ポリマー系の新規 Low-k 材料のソリューション開発

現在、Low-k 材には CVD 系の SiOC 膜が主に使用されているが、SiOC 膜中を配線材料の Cu が拡散するため、Ta 系のバリアメタルを Cu と Low-k の間に挿入している。しかし、バリアメタルを用いると配線の実効断面積が小さくなることや、Cu に比べて抵抗が高いために、配線抵抗の大きな増加を招く。ここで Cu 拡散バリア機能(Cu 拡散耐性)を有する Low-k 材を使用すると、バリアメタルの薄膜化が可能となり、配線抵抗の上昇を抑制することができる。Low-k 材の Cu 拡散耐性を評価し、拡散防止性を持たせた Low-k 材料を用いることによって配線の電気特性を調べた。

- ・単層膜での TDDDB 寿命による Cu 拡散耐性評価
- ・1 層配線での TDDDB 寿命による Cu 拡散耐性評価



図Ⅲ.2.18.1 評価試料構造(単層膜)



図Ⅲ.2.18.2. 配線評価構造

#### Ⅲ. 2.1.8.1 単層膜での TDDDB 寿命評価に関する TDDDB 測定方法と測定装置

測定装置: マニュアルプローバー

測定温度: 140°C (N<sub>2</sub> 雰囲気下)

測定電界強度: ~7MV/cm

(評価方法)

実用電界(0.2MV/cm)での TDDDB 寿命を Low-k 材の Cu に対する絶縁信頼性と考え、その絶縁信頼性を p-SiOC と比較することにより Low-k 材の Cu 拡散耐性を評価する。

### Ⅲ. 2.1.8.2 1層配線での TDDB 寿命評価に関する TDDB 測定方法と測定装置

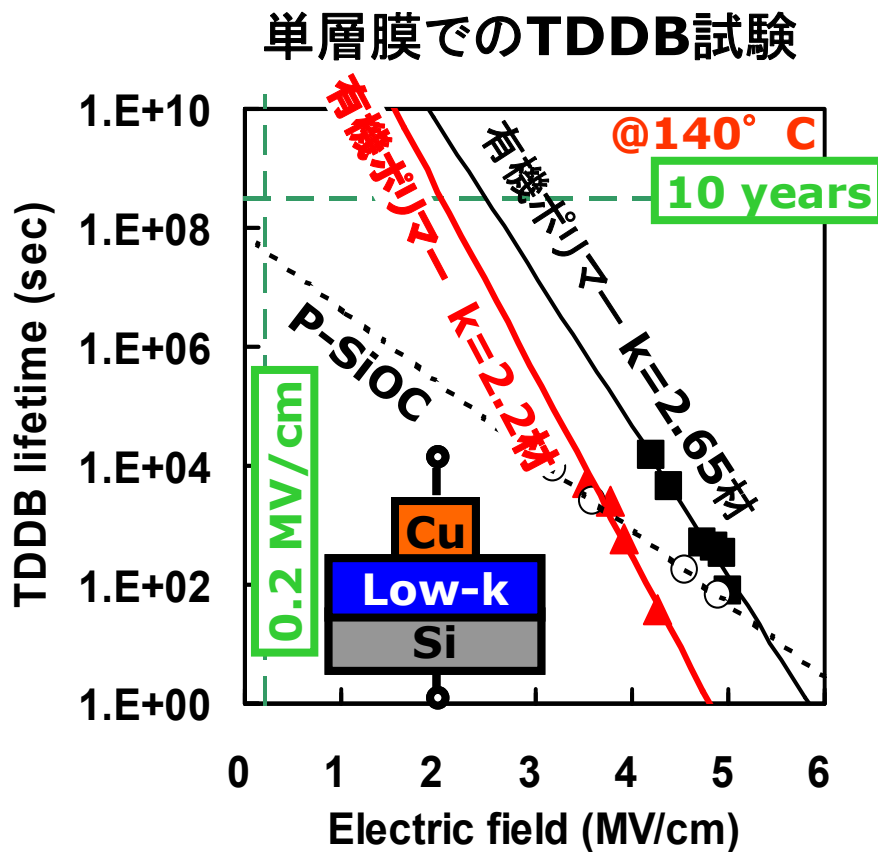
(評価方法)

- (1)バリアメタルを省いた1層配線における実用電界(0.2MV/cm)での TDDB 寿命を測定し、配線試作でのプロセスダメージを加味した Low-k 材料の Cu 拡散耐性を評価する。
- (2)バリアメタルの有/無で TDDB 寿命を比較し、バリアメタルの TDDB 寿命への影響を確認し、配線抵抗低減を目的としたバリアメタル薄膜化のプロセスマージンを評価する。

### Ⅲ. 2.1.8.3 測定結果

(1)単層膜による TDDB 寿命評価結果

図Ⅲ.2.18.3に単層膜による TDDB 寿命評価結果を示す。p-SiOCでは実用電界での TDDB 寿命が  $1.0E+7$  オーダーであり絶縁信頼性の目標値である10年に満たないが、有機ポリマー系材料では、ノンポラス材料の E11033 とポラス材料の E11106 の両材料で10年を超える TDDB 寿命が確認された。図Ⅲ.2.18.3の結果から、有機ポリマーの Cu に対する絶縁信頼性は p-SiOC より高いことがわかる。



図Ⅲ.2.18.3 単層膜による TDDB 寿命評価結果 (■:E11033、▲:E11106、○:p-SiOC)

(2)1層配線での TDDDB 寿命評価結果

バリアメタルを省いた1層配線を用いた TDDDB 寿命評価結果

図Ⅲ.2.18.4 に TDDDB 寿命評価結果を示す。Low-k 材料間で実用電界(0.2MV/cm)での TDDDB 寿命に有意差がみられ、TDDDB 寿命は、E11108>>p-SiOC>p-SiO>E11105 の順となった。高密度膜である p-SiO や比誘電率がほぼ同じでポーラス MSQ 材料である E11105 に比べてポーラスポリマー E11108 の TDDDB 寿命は非常に長いことから、E11108 は Cu に対する絶縁信頼性が高い材料であることが示唆された。

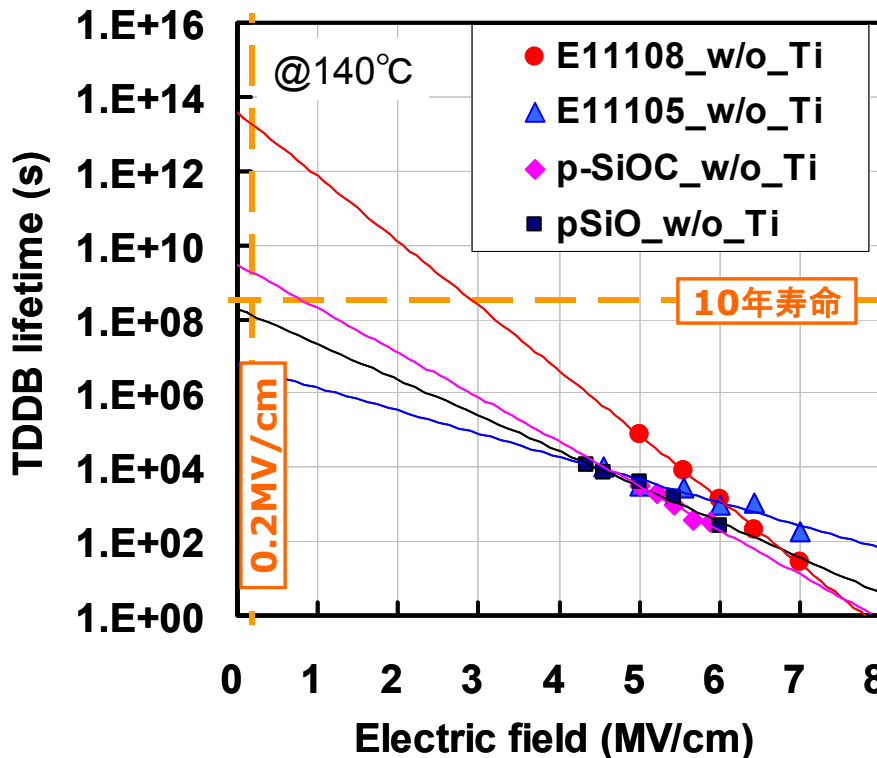


図 Ⅲ.2.18.4 1層配線での TDDDB 寿命評価結果(バリアメタル無し1層配線構造、●:E11108、▲:E11105、◆:p-SiOC、■:p-SiO)

Ti 薄膜を Cu 配線と配線間絶縁層の間に挿入した1層配線での TDDDB 寿命評価結果

[Ti の膜厚]

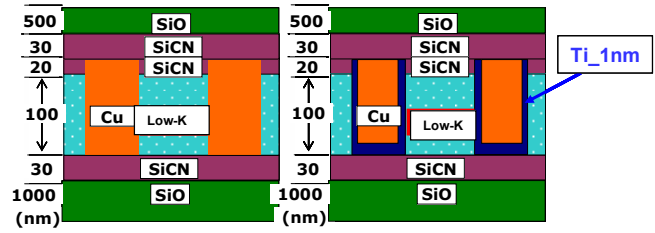
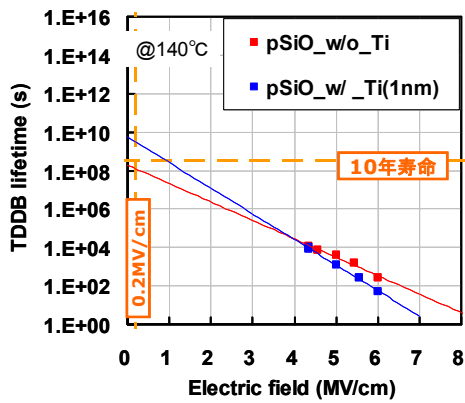
Ti 薄膜のノミナル膜厚:3.4nm(p-SiO ブランケット膜上に成膜した際の膜厚)

配線側壁(90nm L/S)での Ti 膜厚:1nm(E11108 を使用した場合の配線抵抗から算出)

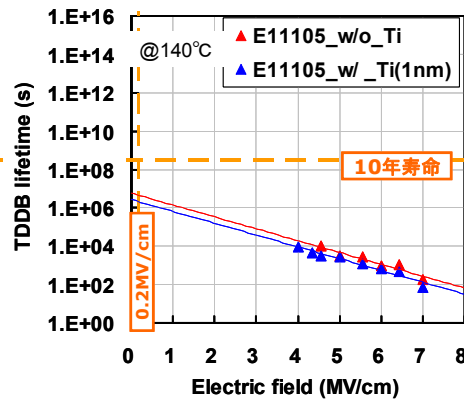
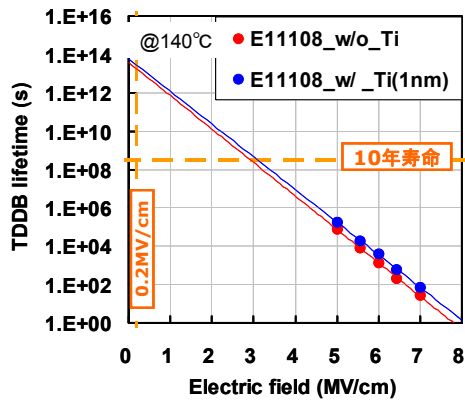
図Ⅲ.2.18.5 に TDDDB 寿命への Ti 薄膜有無の影響に関して、図Ⅲ.2.18.6 に Ti 有りに関して、Low-k 材料間で比較した結果を示す。E11108 と E11105 では Ti 挿入による TDDDB 寿命への影響は見られないが、p-SiO では Ti 挿入により長寿命化する結果が得られた。

なお、ノンポーラス膜である p-SiO では Ti 挿入で長寿命化するが、ポーラス膜の E11108 と E11105 では寿命が特に変化していないことから、ポーラス膜の側壁では Ti が膜状ではなく島状についているため、Ti の被覆性の低下により Ti の Cu に対するバリア機能が低下した状態になっているのではないかと考えている。

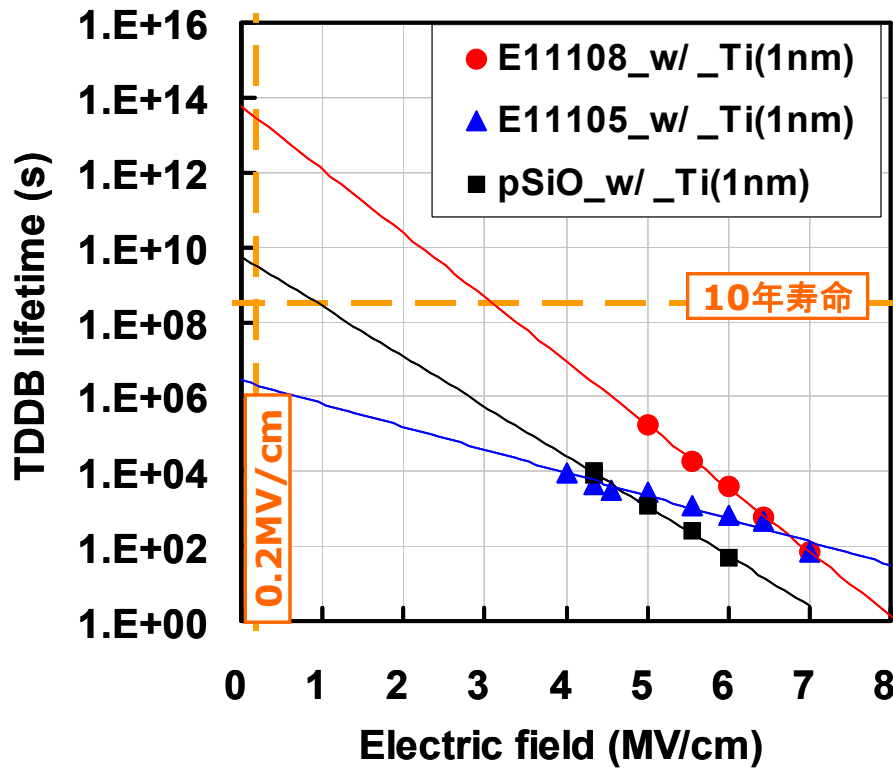




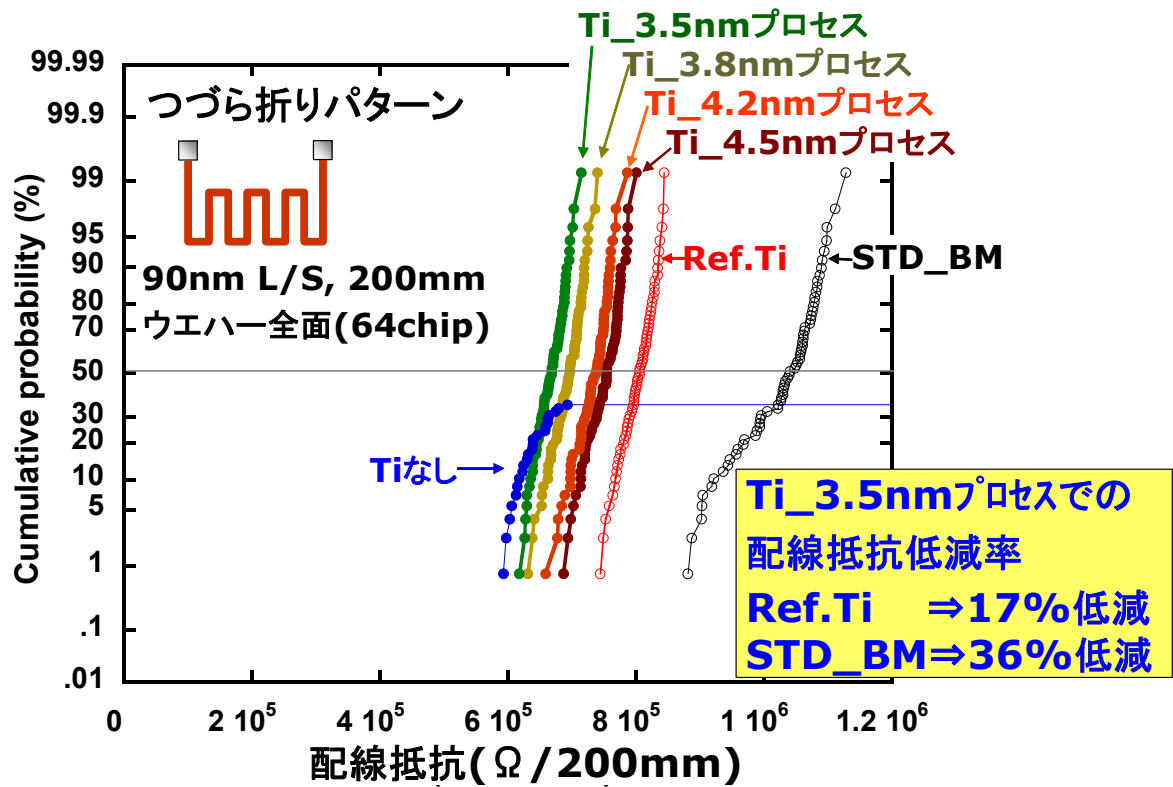
評価配線構造



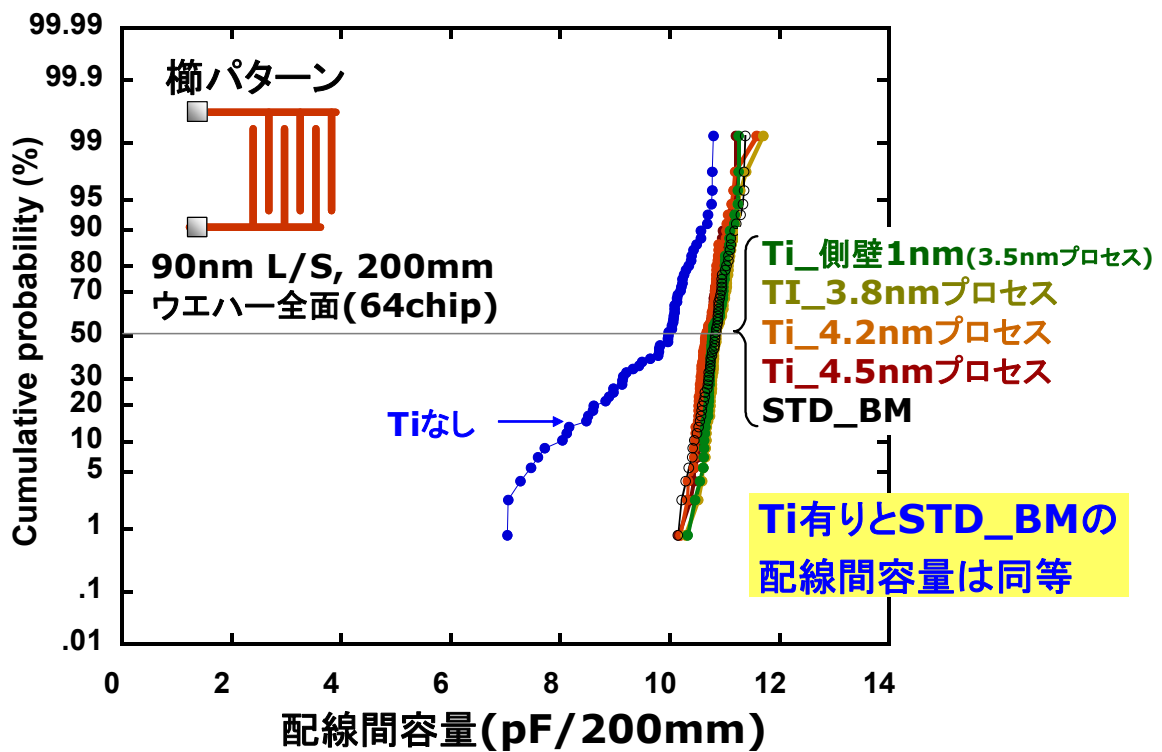
図Ⅲ.2.18.5 TDDB 寿命への Ti 薄膜有無の影響(凡例 赤:Tiなし、青:Tiあり)



図Ⅲ.2.18.6 Low-k 材料間の TDDB 寿命比較(Ti 薄膜有り)

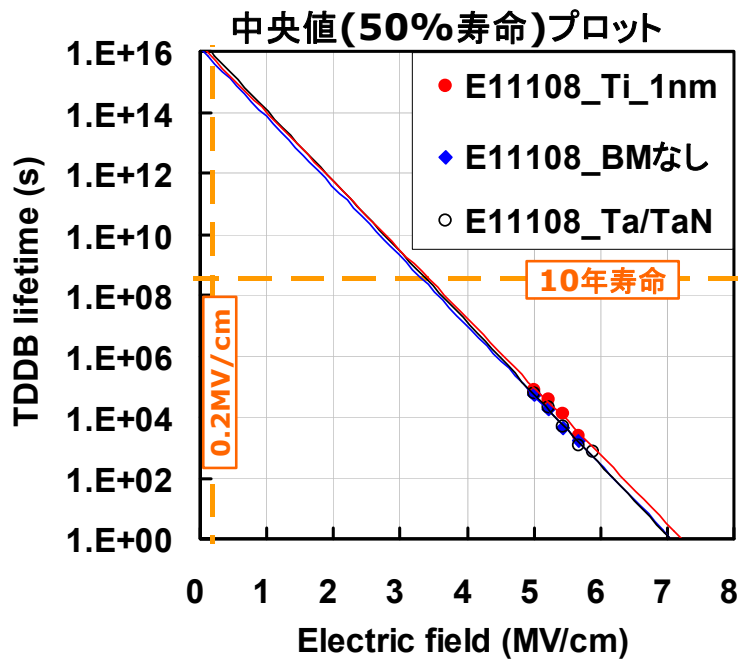


図Ⅲ.2.18.7 Ti 膜厚と配線抵抗



図Ⅲ.2.18.8 Ti 膜厚と配線間容量

## 櫛パターン、90nm L/S、総対向長10mm



**Ti\_1nm**において、実用電界において**10年寿命を確認**  
⇒信頼性の劣化なし

図Ⅲ.2.18.9 実用電界寿命への Ti 有無の影響

### <まとめ>

多層配線の構造では、Cu の配線内部への拡散を防止するために、Ta/TaN などをバリアメタルとして使用している。Low-k 材料に Cu 拡散防止性を持たせることによってバリアメタルの膜厚を薄くし、配線全体の RC 積を低減、信頼性向上を実現する事ができる。ポリマー系の新規 Low-k 材料と約 2nm 膜厚の Ti ライナーを用いて、RC 積低減、TDDB 寿命の長期化を実現する配線構造とその製造プロセスを確立し、トータルソリューションとして学会で報告した。

### III. 2.1.9 低圧 CMP プロセス

弾性率の低下した Low-k 材料の半導体製造プロセスでのダメージ耐性を直接的に評価するため、従来 1psi 以上の研磨圧力で行っていた CMP 研磨を、平成18年度に導入した低圧CMP装置を用いて、1psi から 0.1 psi までの範囲にわたって膜剥れや表面傷(スクラッチ)などを評価する。

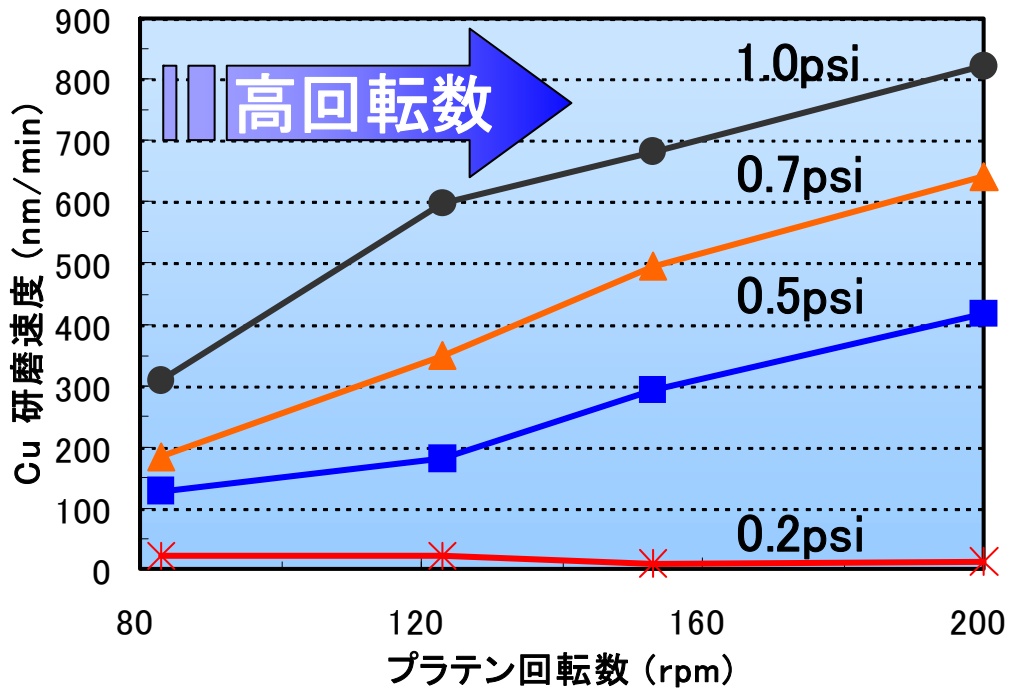


図 III.2.19.1 回転数と研磨速度

高回転数にすることで0.5psi以上の研磨圧力で、研磨速度を増加させることが可能。

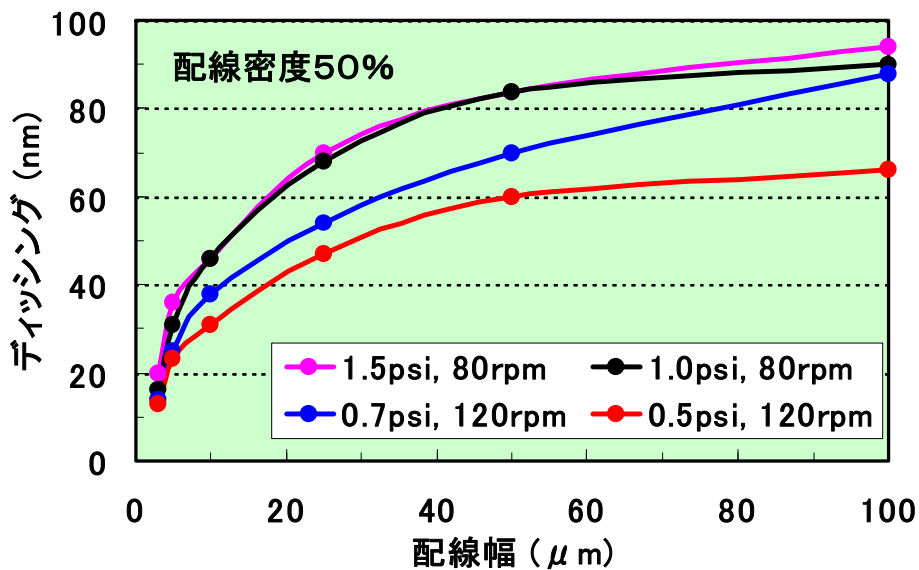
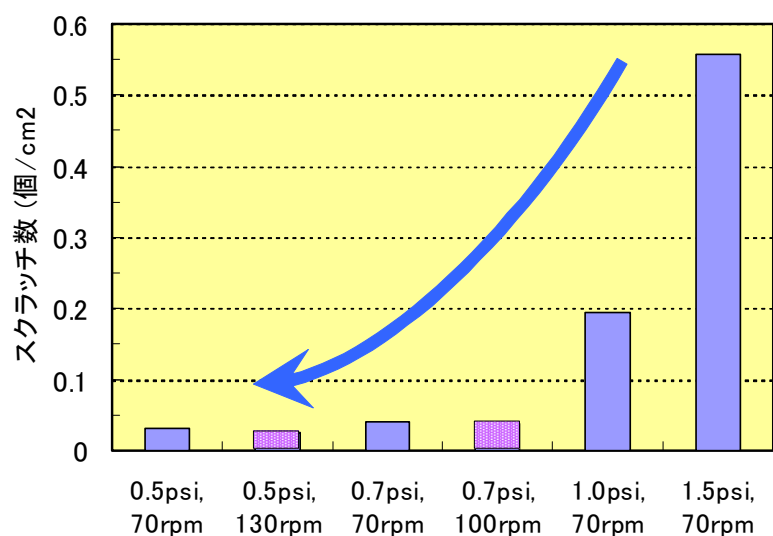


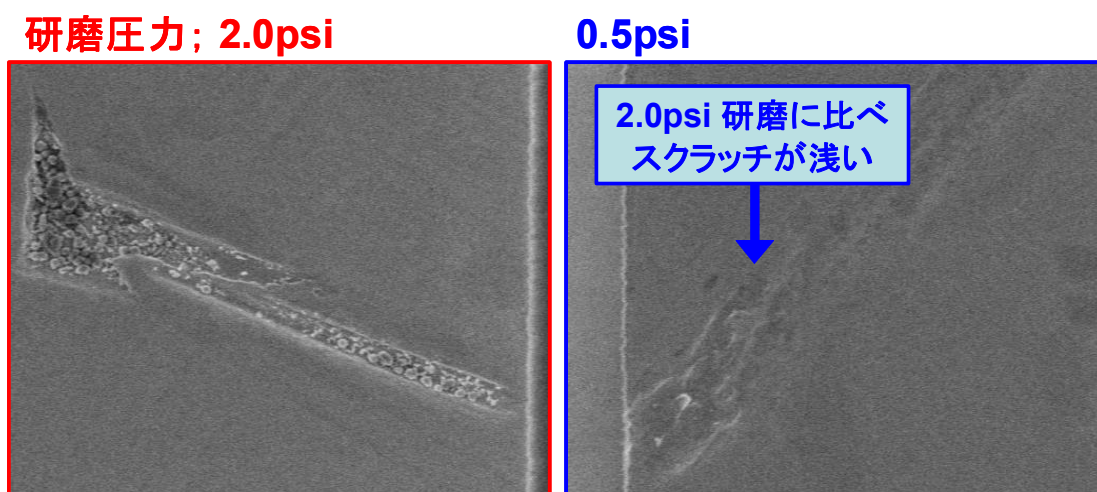
図 III.2.19.2 低圧研磨とディッシング

0.7psi以下の低圧CMPにより各配線幅において圧力に依存して平坦性を向上させることが可能。



図Ⅲ.2.19.3 スクラッチ-研磨圧力依存性

研磨圧を低圧化することでスクラッチ数を減少させることが可能。



図Ⅲ.2.19.4 スクラッチの CD-SEM 画像例

低圧化により数の減少だけでなく、スクラッチの程度も低減可能。

<まとめ>

低圧 CMP プロセスにおいて懸念される研磨速度の低下に対して、回転数を上げることで研磨速度を増加させることを可能にした。また 0.7psi 以下の低圧 CMP において平坦性が向上することを明らかにした。CMP 起因の欠陥として重要な膜剥れやスクラッチに対して、CMP を低圧化させるほど低減させることができた。

### Ⅲ.2.2 統合部材開発支援ツール(TEG)の開発

Low-k 材料のダメージ耐性評価方法の開発で得られる半導体プロセスでの使用条件並びに影響を受ける製造プロセスに関する技術的知見をベースに、Low-k 材料とプロセス条件によって影響を受けるその他の材料を TEG で評価すべき項目を決定する。これらの項目について半導体デバイス製造プロセスを経た後に評価可能な計測回路の設計を行い、45nm ノードにも対応できる半導体材料評価 TEG の開発を行う。

計測回路の設計に当っては、材料評価手法の開発で得られる材料基本物性の情報と半導体集積回路で使用される条件での信頼性を含む統合化された部材性能との対応が評価可能なものとともに、半導体製造プロセスを経た後の TEG から得られる情報が、対象となる半導体材料の設計技術にフィードバックできる TEG を開発する。

#### Ⅲ.2.2.1 多層配線評価用 TEG

TEG を用いた評価方法は、半導体メーカーでは一般的であるが、半導体メーカー以外が有する場合は希有である。それも微細化に対応できる程の設計能力を有し、評価材料によって多層構造を有する TEG まで製造可能なのは本組合だけである。本組合では、既に 65nm ノードの多層配線 TEG を開発しているが、45nm ノードに対応できる材料評価用 TEG を開発する。

開発した TEG マスクは、Cu/Low-kデュアルダマシ2層配線の配線初期特性(配線抵抗、ビア抵抗、配線間容量、層間容量、配線間絶縁性、層間絶縁性)および配線信頼度(Tddb、エレクトロマイグレーション、ストレスマイグレーション)、加工形状評価(配線およびビアの形状)を可能とするものである。

##### Ⅲ.2.2.1.1 マスク構成と各マスクの仕様

- ・マスクセット名称:CAST-4
- ・レチクル内のデータ描画領域:横 25.8mm、縦 32.4mm(ウェーハ上)
- ・レチクル上の値は上記の 4 倍(レチクル上のパターンはウェーハ上に 1/4 で縮小投影される)

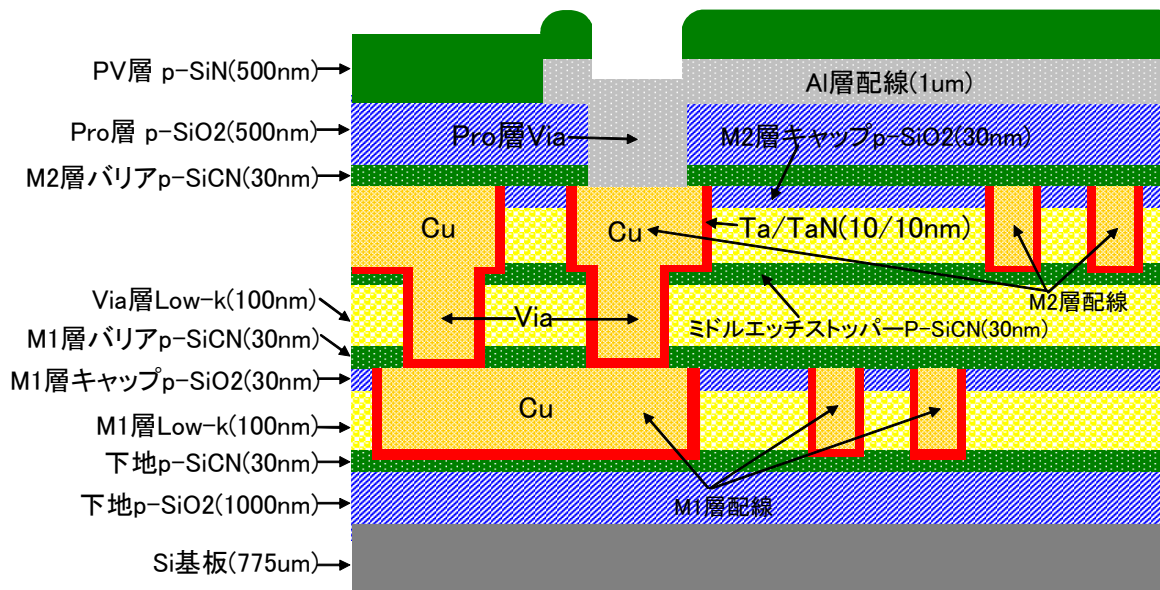
表Ⅲ.2.2.1.1 マスクまとめ

適用層名	(gdsレイヤー番号, データタイプ)	マスク仕様		
		レチクル材	ウェーハ上寸法公差	ウェーハ上位置精度
M1配線(M1)	(2, 0)	ハーフトーン	4nm以下	4nm以下
Via12(Via)	(3, 0)			
M2配線(M2)	(4, 0)			
Via23(Pro)	(5, 0)	バイナリ	35nm以下	35nm以下
Al配線(Al)	(6, 0)			
保護層(PV)	(7, 0)			

※適用層名欄の( )内は本材料評価基準書および関連報告内で用いる略称

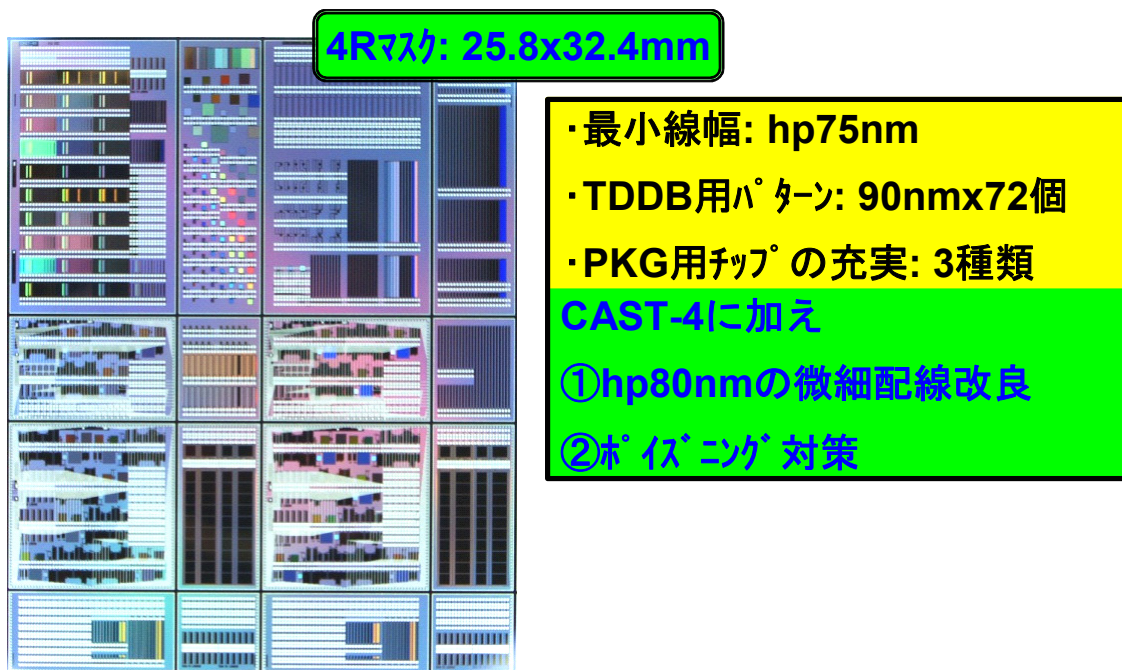
### Ⅲ.2.2.1.2 本マスクによる基本的断面構造

以下では M1～PV マスクまでを用いて作成したサンプルの典型的断面図を示す。( )内は膜厚を表す。



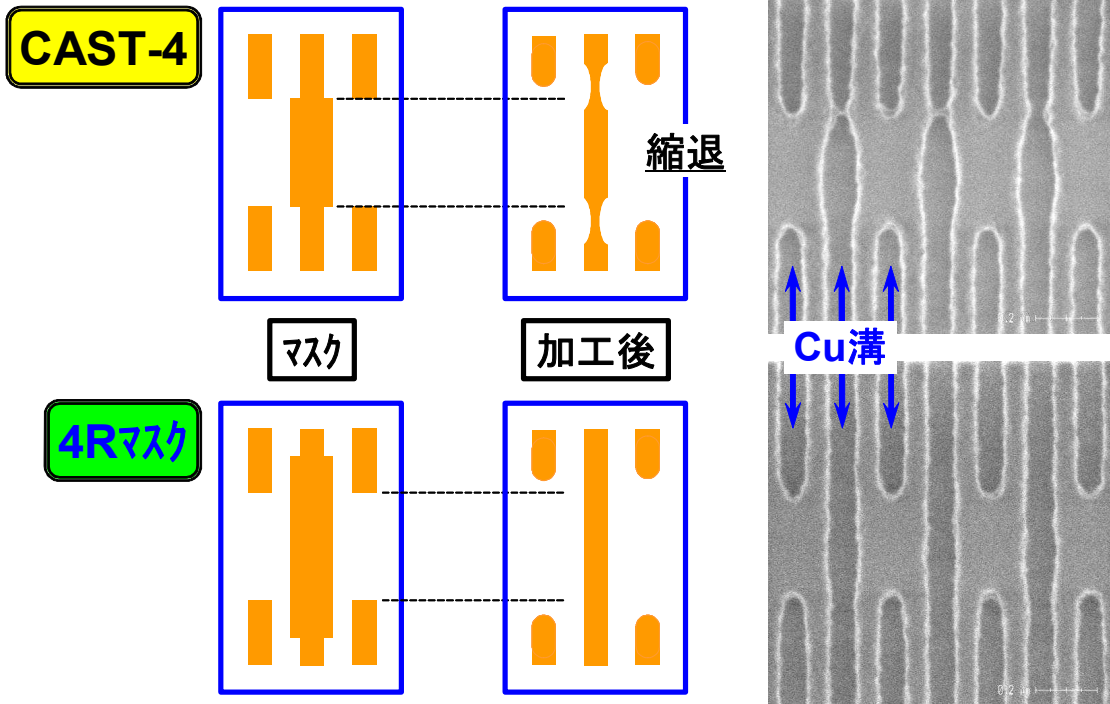
図Ⅲ.2.2.1.1 Cu/Low-k 2層配線断面図

本 TEG のパターンレイアウトと改良ポイントを図Ⅲ.2.2.1.2 に示す。

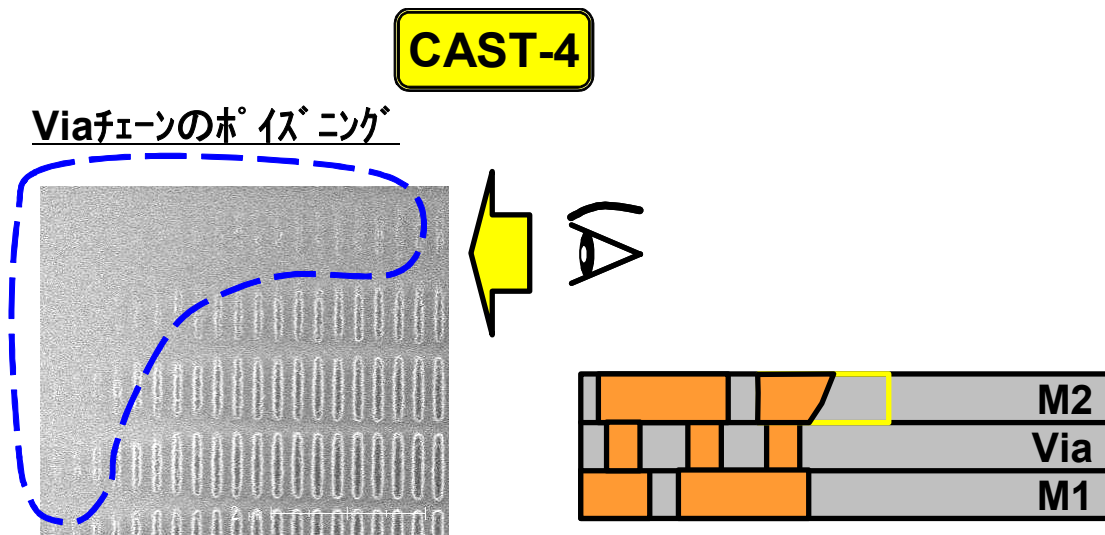


図Ⅲ.2.2.1.2 多層配線評価用 TEG 外観図

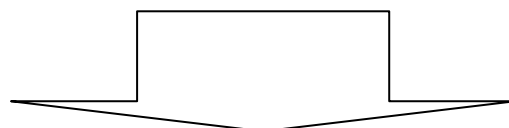
# ①hp80nmの微細配線改良



縮退を考慮したマスクパターンの改良で微細配線改良を行った。

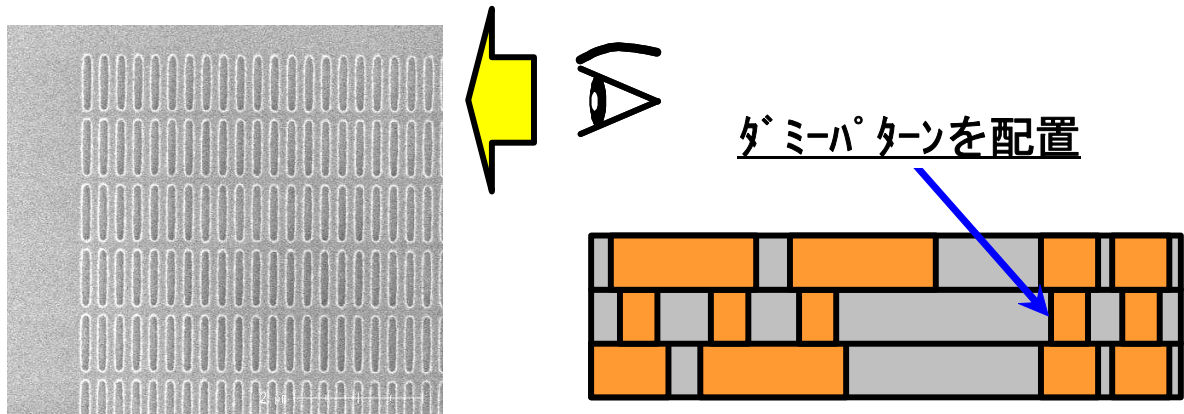


ホイスティング：下地膜からのアルカリ性物質(アミン系等)によりレジストの現像不良が起こり、適正なパターンができなくなる現象





## 4Rマスク



ダミーパターン配置によりポイズニングを防止した。

### <まとめ>

65nm ノード対応多層配線 TEG マスク(最小寸法 90nm)を用いて、45nm ノードで想定される Low-k 膜を含む各種絶縁膜の膜厚に設定して TEG 試作を行ない、配線の電気特性の測定を行なって材料-材料間、材料-プロセス間の相互影響を評価した。その結果をもとに、45nm ノードの材料を評価するために重要となる測定項目、回路パターン、パターン配置などを検討し、第一次改良マスクを設計した。この TEG マスクを用いて配線幅あるいは配線間隔が 80nm の2層配線を試作し、配線寸法や形状を観察した。その検証結果から、微細配線形成のマスクパターンを改良した TEG マスクを導入することによって、Via チェーンのポイズニングを防止し hp80nm 配線を高歩留まりで形成する基準プロセスを確立した。この基準プロセスに基づき各種 Low-k 材料を用いた8層配線を試作して、その電気特性を測定することによって、多層配線における Low-k 材料の評価基準を確立した。

この TEG は、材料評価用に開発されたものであるが、45 nm ノード微細配線における配線構造の評価をはじめ各種電気特性の測定が可能であり、デバイスメーカーへのデータ提供にも供する事ができる。この TEG を使用することによって、材料開発の抜本的な効率向上が期待できる。

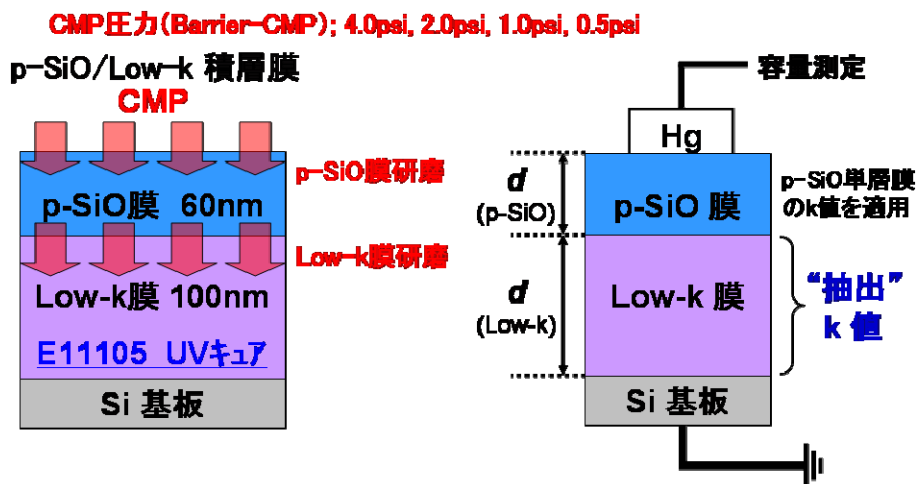
### III.2.2.2 Low-k 膜 CMP プロセスダメージ耐性評価

CMP 圧力変化や Low-k 直接研磨が Low-k 膜物性/配線特性に与える影響を把握し、プロセスや材料の課題を抽出するために、Low-k 単層膜や p-SiO/Low-k 積層膜を用い、CMP 圧力や研磨量の違いが Low-k 膜物性にどのような影響(ダメージ)を与えるか評価する。

#### III.2.2.2.1 測定手順

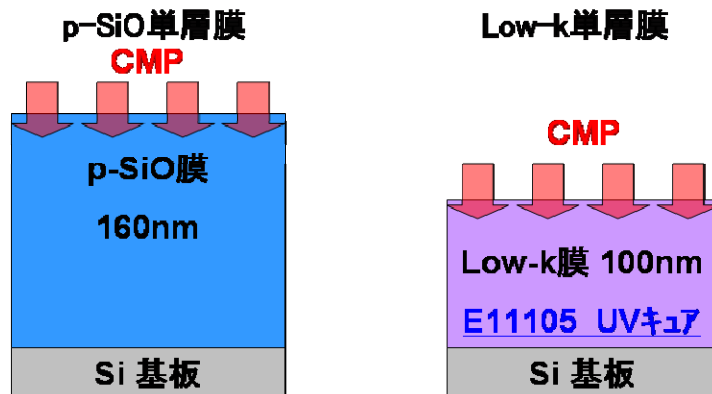
CMP 後に X 線反射率測定法(XRR)にて積層膜厚を、水銀プローブを用いて静電容量を測定し、Low-k 膜抽出 k 値を求めた。

- 1) CMP 条件
  - スラリー K03003
  - パッド IC1400 (XY-k)
  - 研磨圧力 0.5 ~ 4psi
  - 回転数 70rpm
- 2) Low-k 膜抽出 k 値の算出



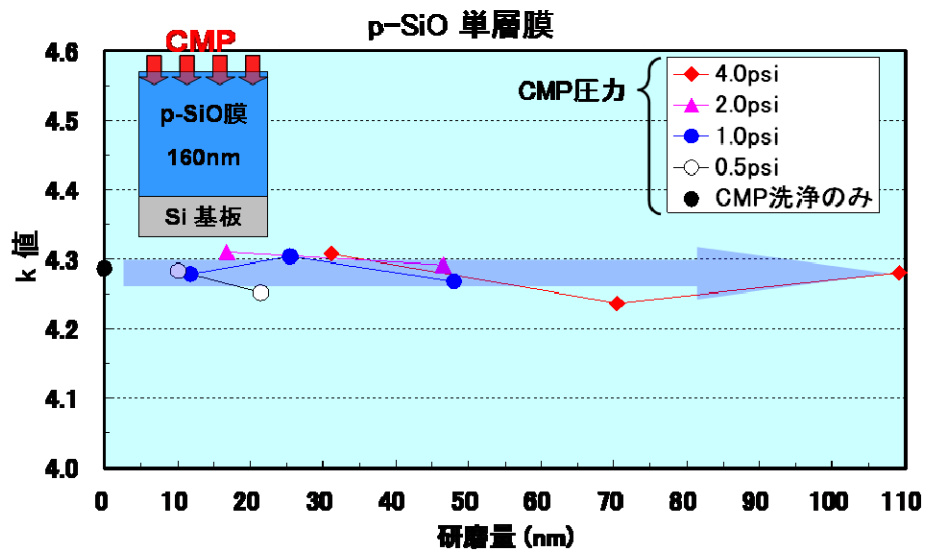
- ・ $d(p-SiO)$ ,  $d(Low-k)$ は、XRR にて測定する。
- ・リファレンスとして、各単層膜の k 値を求める。

**CMP圧力(Barrier-CMP); 4.0psi, 2.0psi, 1.0psi, 0.5psi**

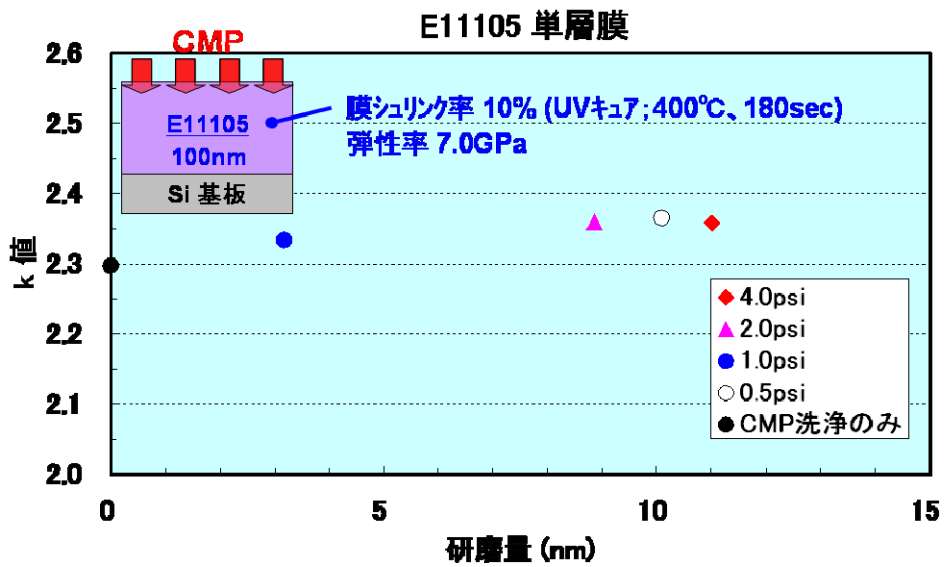


図III.2.2.2.1 測定方法の概念図

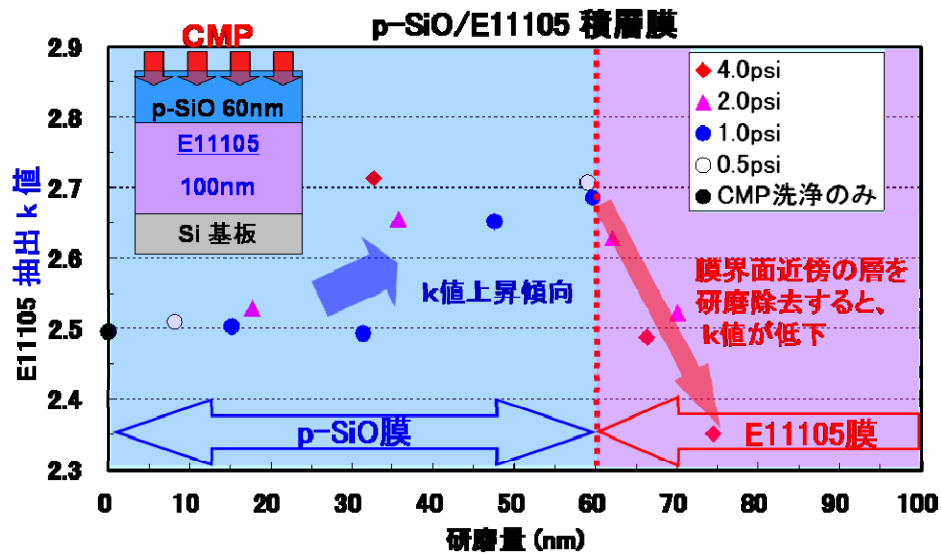
### III.2.2.2.2 測定結果



図III.2.2.2.2 p-SiO<sub>2</sub> 単層膜の CMP による k 値変動



図III.2.2.2.3 E11105 単層膜の CMP による k 値変動

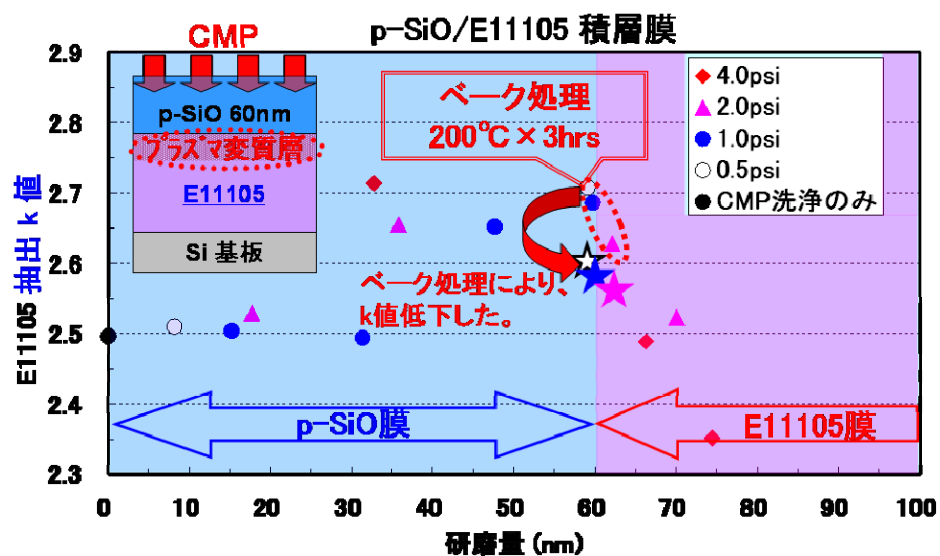


図Ⅲ.2.2.2.4 p-SiO / E11105 積層膜の CMP による k 値変動

p-SiO と E11105 それぞれの単層膜では、CMP による k 値変動は小さく、p-SiO / E11105 積層膜の場合に k 値変動が大きくなることから、p-SiO 成膜による E11105 のプラズマ変質層が寄与していると推察される。

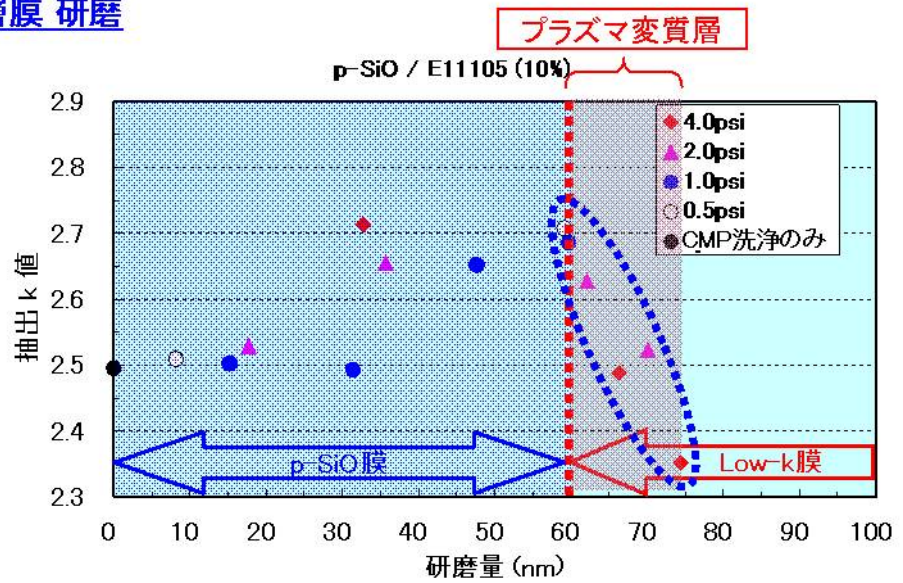
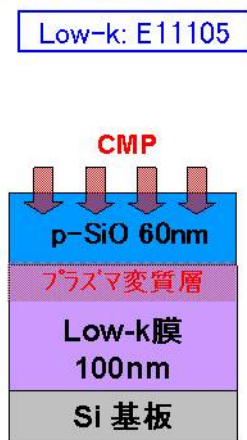
プラズマ変質層の吸湿影響を調べるために、CMP 後のウェーハを 200°C、3 時間ベーク処理し、k 値を求めたところ、k 値の低下が認められた(図Ⅲ.2.2.2.5.)。

これによって、プラズマ変質層の吸湿が、k 値上昇に寄与していることが示唆された。本評価例では、単層膜、積層膜共に、CMP 圧力の違いによる k 値変化の有意差は見られなかった。



図Ⅲ.2.2.2.5 k 値変動に対する考察;ベーク処理結果

### p-SiO/Low-k積層膜 研磨



図Ⅲ.2.2.2.6 プラズマ変質層

#### <まとめ>

半導体製造プロセスでのダメージ耐性を直接的に評価するために、p-SiO/Low-k 積層膜の直接研磨によってp-SiO 界面付近のLow-kを研磨していくと、Low-k膜の抽出k値が低下(回復)し、CVD膜堆積によるLow-k膜のダメージ層が除去される事がわかった。

### III.2.2.3 Low-k 膜への CMP ダメージ評価

CMP プロセスにおいて、キャップ膜上で CMP を止める場合と Low-k 膜上で CMP を止める場合とを作製し、絶縁破壊耐圧の歩留まりを評価する。

#### 1) CMP 条件

・Cu-CMP

スラリー K03002

パッド IC1400 (XY-k)

研磨圧力 1psi

回転数 80rpm

・Barrier-CMP

スラリー K03003

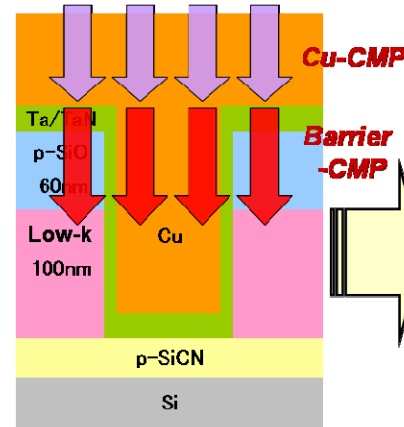
パッド IC1400 (XY-k)

研磨圧力 0.5 ~ 2psi

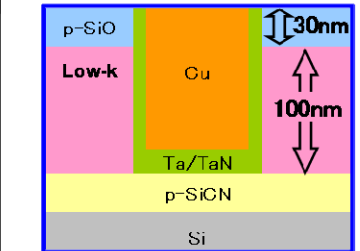
回転数 70rpm

#### ◆ CAST-4 TEGマスク

<積層構造>



#### ① p-SiO Cap残膜有り



#### ② p-SiO Cap膜除去 → Low-k膜 直接研磨 (20nm目標)

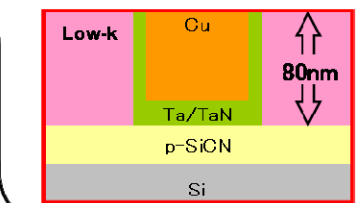


図 III.2.2.3.1 評価方法の概略図

#### 2) 配線間耐圧評価

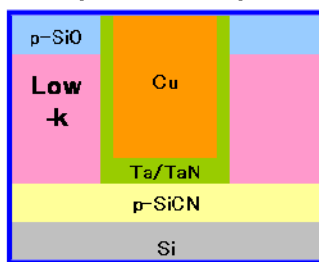
測定線幅 L / S = 90 / 90nm

測定チップ数 ウェーハ全面 64 チップ

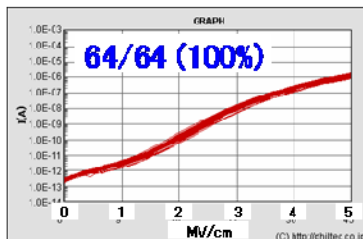
・測定結果

#### ① p-SiO Cap残膜有り

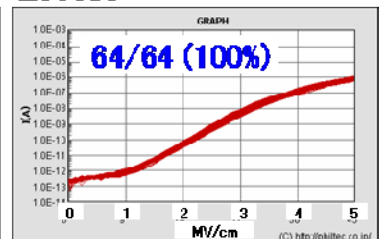
CMP 1psi



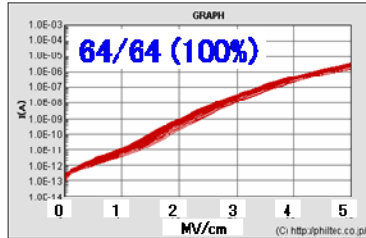
E11097



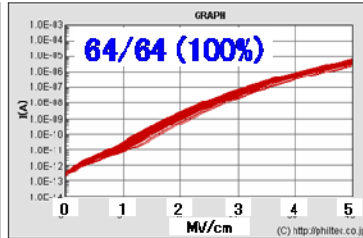
E11105



E11145



E11146



p-SiOC

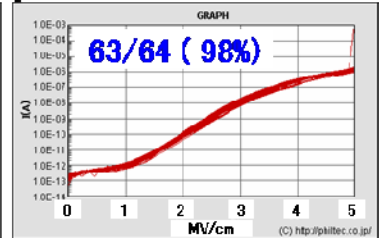
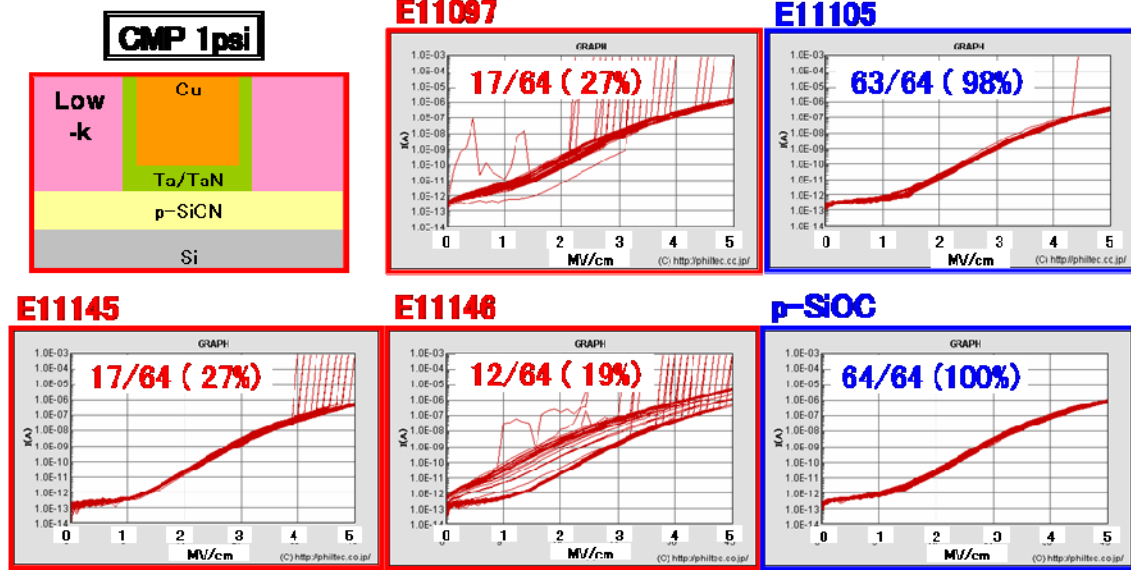


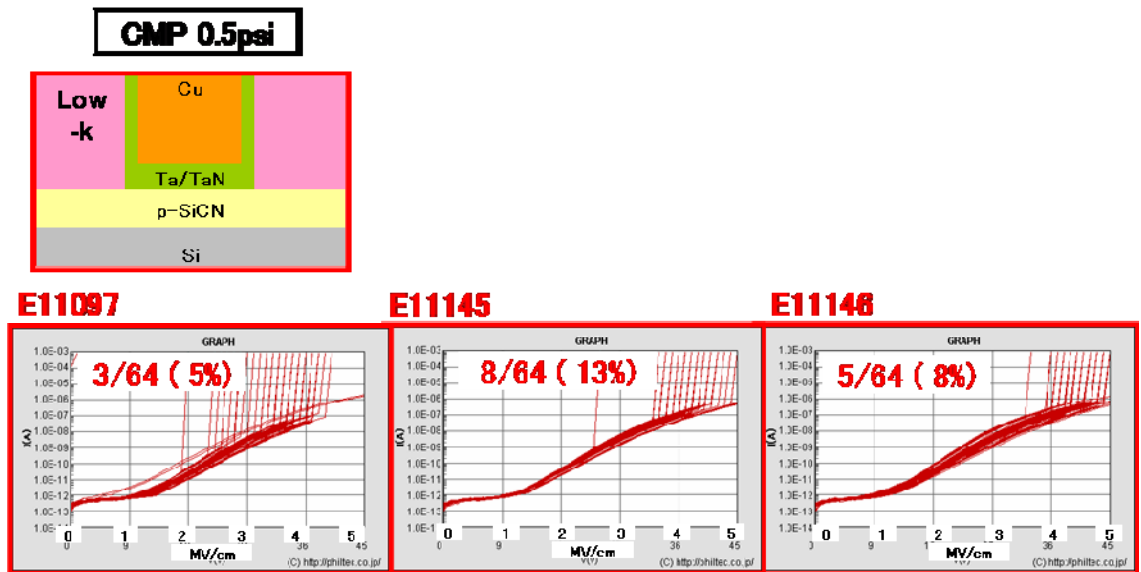
図 III.2.2.3.2 キャップ膜上で CMP を止めた場合 (CMP 1psi)

② p-SiO Cap膜除去 ⇒ Low-k膜 直接研磨



図Ⅲ.2.2.3.3 Low-k 膜上で CMP を止めた場合 (CMP 1psi)

② p-SiO Cap膜除去 ⇒ Low-k膜 直接研磨



図Ⅲ.2.2.3.4 Low-k 膜上で CMP を止めた場合 (CMP 0.5psi)

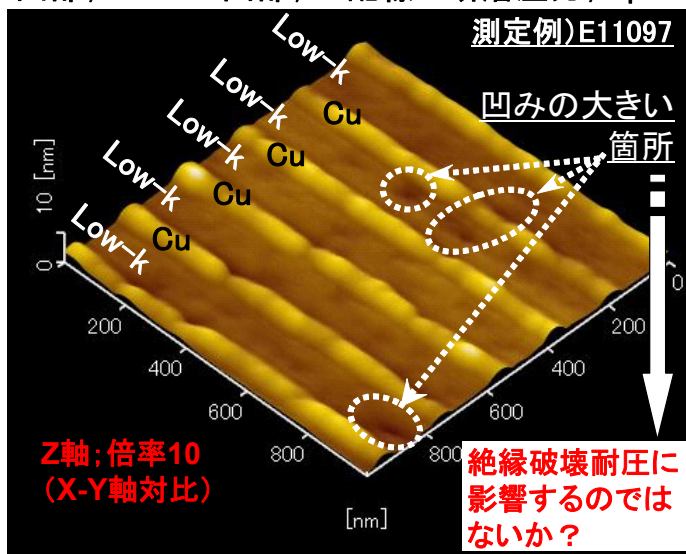
Low-k 膜を直接 CMP した場合に、絶縁耐圧の歩留まり評価で Low-k 材料間の差が明確となった。E11097, E11145, E11146 については、CMP 圧力を 0.5psi まで下げても、絶縁破壊耐圧の向上は見られなかった。圧力を下げると研磨速度が低下し、研磨時間が長くなることから、長時間研磨により、Low-k 膜の劣化が進行するという側面も考慮する必要がある。しかしながら、圧力と時間の影響を切り分けることは困難である。

絶縁耐圧低下の要因については、Low-k 材料と CMP スラリー材料との相性など材料組成に踏み込んだ考察が必要である。

また、AFM による CMP 後の Low-k 表面粗さを次に示す。

### CMP後 表面粗さ解析

凹部;Low-k 凸部;Cu配線 研磨圧力; 2psi



Low-k部分のみを測定して、表面粗さを解析し、Ra, Rzそれぞれ5ライン分の平均値を計算。

Ra : 平均面粗さ  
Rz : 10点平均面粗さ  
P-V: 最大高低差

Low-k	Ra (nm)	Rz (nm)	P-V (nm)
E11097	0.08	0.45	1.31
E11105	0.06	0.31	0.66
E11145	0.08	0.37	0.85
E11146	0.08	0.42	0.96
p-SiOC	0.04	0.23	0.54

図Ⅲ.2.2.3.5 AFMによる表面粗さ分析

Low-k 膜表面粗さ : p-SiOC < E11105 < E11145 < E11146 < E11097

最大高低差 P-V や 10 点平均面粗さ Rz で材料間差を評価できた。

表面粗さが大きい程、耐圧歩留まりが低い事がわかった。

評価した Low-k 材料の膜物性と絶縁耐圧歩留まりと表面粗さを図Ⅲ.2.2.3.6、図Ⅲ.2.2.3.7 に示す。

### 評価Low-k材料の成膜条件と膜物性

Low-k材料コードNo.	E11097	E11105	E11145	E11146	p-SiOC
UVキュア条件					
温度(°C)	400				-
時間(min)	6	3	4	4	-
膜物性@150nm					
膜シュリンク率(%)	5.0	10.0	9.2	12.0	-
比誘電率	2.33	2.37	2.05	2.07	3.01
弾性率(GPa)	8.3	7.0	4.0	5.9	8.6
硬度(GPa)	0.91	0.81	0.43	0.60	0.96
材料選定の着目点	Porous MSQ k値; 2.3 - 2.4 弾性率; 7 - 9 GPa		Porous MSQ k値; 2.0 - 2.1 弾性率; 4 - 6 GPa		CVD系 リファレンス

➤各種Low-k材料について、UVキュア条件を上表の通り決定し、配線試作を実施。

図Ⅲ.2.2.3.6 Low-k 材料の膜物性



## 配線試作評価 結果まとめ

項目	Low-k	E11097	E11105	E11145	E11146	p-SiOC
膜物性	比誘電率	2.33	2.37	2.05	2.07	3.01
	弾性率(GPa)	8.3	7.0	4.0	5.9	8.6
Low-k 直接研磨	表面粗さ (nm) Rz P-V	0.45	0.31	0.37	0.42	0.23
		1.31	0.66	0.85	0.96	0.54
*2psiデータ	絶縁耐圧歩留り(%)	5	100	22	36	100
CMP圧力の影響		1psi と 2psi とで明確な差は見られなかった。				

➤Low-k膜の表面粗さ(Rz, P-V)が大きいほど、歩留りが低い傾向が見えた。

図Ⅲ.2.2.3.7 CMP 後の配線の絶縁耐圧歩留まりと表面粗さ

### <まとめ>

研磨後の配線の絶縁耐圧特性は Low-k 膜の種類によって異なり、配線間 Low-k 膜の表面粗さが大きいほど耐圧歩留まりが低い事がわかった。このことは、low-k 膜の脆弱性が絶縁破壊耐圧低下の原因であり、Low-k 膜の直接 CMP 研磨プロセスの適用可能性を示している。

### Ⅲ.2.2.4 CMP評価用 TEG の開発

CMPプロセス評価用の TEG は SEMATECH などから市販されている。しかし、これらの TEG はデバイスメーカーでの半導体製造プロセス品質管理用として用いることを目的として設計されたものであって、CMPスラリーや Low-k 膜などの材料評価には必ずしも適しているとは言えない。本組合は、多層配線に用いられる材料評価用として 65nm ノード対応 CMP TEG を開発した。45nm ノード対応へ改良するにあたっては、TEG を用いた材料に関する技術データがデバイスメーカーで直接利用できるよう、TEG マスク設計に当り以下の改良点を組み込んだ

#### (1) 配線密度依存性パターンの拡充

パターンバリエーションを充実させることで、各種 CMP プロセス条件に対応した表面形状や電気特性に対して、系統的にデータ整理が可能。(図Ⅲ.2.2.4.1)

#### (2) 素子サイズ依存性パターンの導入

評価の中心となる平坦性評価を精度良くおこなうため、配線密度パターンについては、配線幅を固定してスペース幅をふることを中心にしてレイアウトを設計した。(図Ⅲ.2.2.4.2、図Ⅲ.2.2.4.3)

#### (3) ダミーパターン有無のパターン導入

平坦性に関し、CMP ダミーパターン有り、無しの場合を調べることで、材料性能の加速的な評価および実際のデバイスに近い状態での評価が可能になる。(図Ⅲ.2.2.4.1、図Ⅲ.2.2.4.2)

#### (4) 配線腐食評価パターンの導入

電荷の局在化を利用して、微細配線の根元に相対面積の大きいパッドを設置し、配線の角や先端で Cu の溶解・析出を加速的に評価できるように、配線腐食評価用パターンを導入した。(図Ⅲ.2.2.4.4)

本組合の設計した TEG と市販 TEG の比較を表Ⅲ.2.2.4.1に示す。

この TEG を用いて Cu 用、バリア用の CMP スラリーについて、ディッシング、エロージョンなどの平坦性評価を極めて精度良くおこなう事ができる。また、CMP 研磨工程での電気特性を系統的に把握する事ができる事がわかった。

# CMP評価用新規TEGマスクのL/Sパターンマッピング

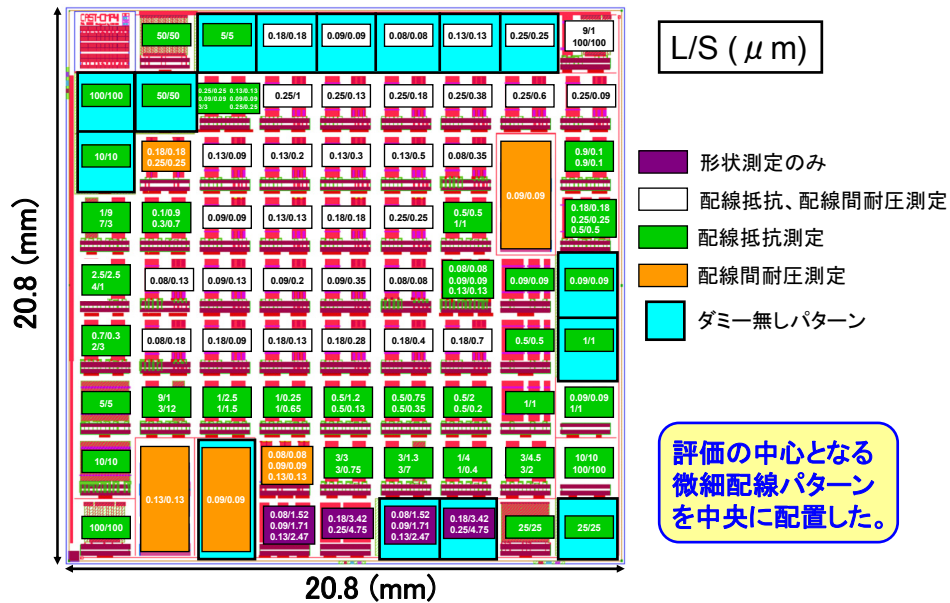
密度偏差 (%)	配線密度 (%)	配線幅 (nm)								配線幅 (μm)													
		80	90	100	130	180	250	300	500	700	0.9	1	2	2.5	3	4	5	7	9	10	25	50	100
+45~	95-100																						
+40	85-95																						
+30	75-85																						
+20	65-75																						
+10	55-65																						
0	45-55																						
-10	35-45																						
-20	25-35																						
-30	15-25																						
-40	5-15																						
-45~	0-5																						

(凡例) ●:配線抵抗 ▲:配線間耐圧 ■:配線のみ □:ダミーパターン有り無し

微細配線、セミグローバル配線を重視し、配線密度は実用的な50% ±30% をメインとしつつも、材料特性をより明確に評価できるパターンも配置した。

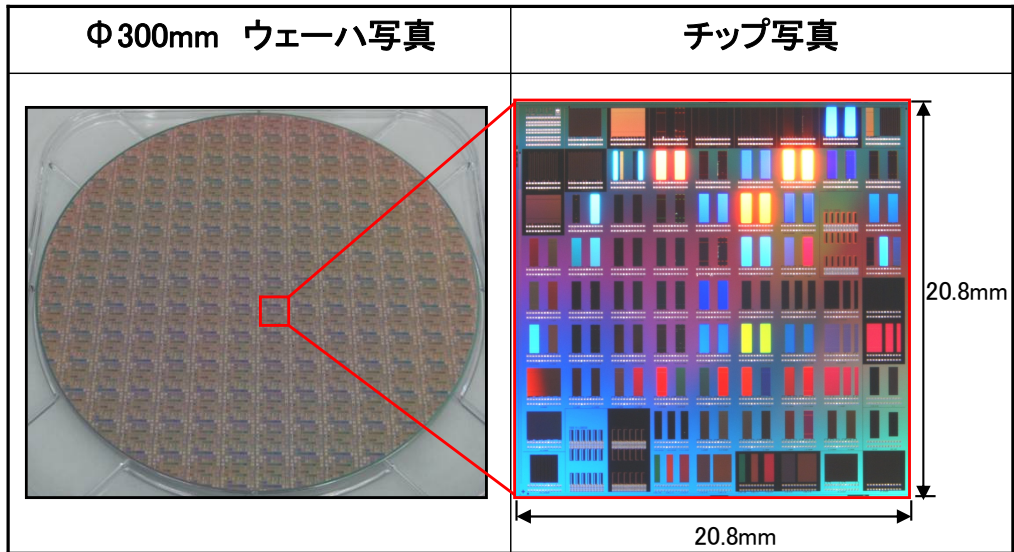
図Ⅲ.2.2.4.1 TEG マスクのパターンMap

## CMP評価用新規TEGマスク レイアウト



図Ⅲ.2.2.4.2 TEG マスクレイアウト

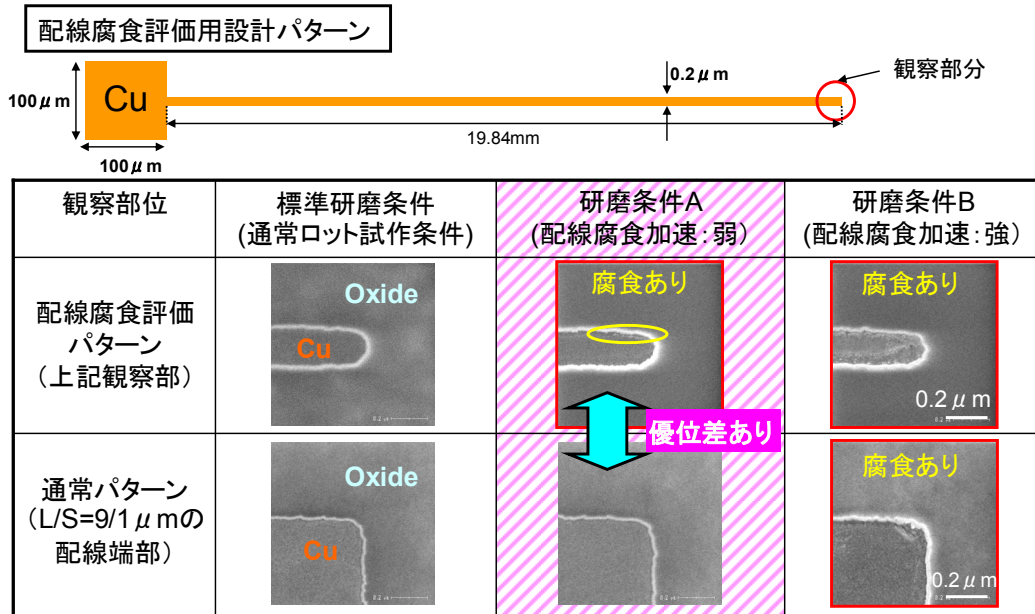
## ウェーハ外観写真とチップ写真



ウェーハ全面で132チップの評価が可能。

図Ⅲ.2.2.4.3 ウェーハ外観

## 配線腐食評価



配線腐食評価パターンは、通常パターンに比べ腐食が起きやすいことが確認できた。

図Ⅲ.2.2.4.4 腐食評価用パターン

表Ⅲ.2.2.4.1 市販 CMP TEG との比較

市販CMP-TEGとの比較

項目	CASMAT CMP-TEG	市販 CMP-TEG
最小線幅	80nm	100nm
配線密度依存性 (各配線幅の平坦性、電特) <small>* 右記は、4種類以上の配線密度を有する配線幅と配線密度種類数</small>	最小線幅: 80nm } 8種類 最大線幅: 3 μm ↓ 配線密度: 4~8種類	最小線幅: 100nm } 3種類 最大線幅: 5 μm 配線密度: 4~6種類
ダミーパターン有無 (同一ウェーハにおける比較)	有り	無し
パターン内位置依存性 (配線抵抗)	有り	一部有り
パターンサイズ依存性	有り	無し
配線腐食評価パターン	有り	無し

まとめ

1. 微細配線からセミグローバル配線まで、配線密度依存性を効率的に把握できる。
2. 素子サイズ依存性について、微細配線・セミグローバル配線で系統的に評価できる。
3. 素子内位置依存性の電気特性評価が可能になることで、従来の形状評価とともに局所的な部分での電気特性・形状の相関関係の把握が可能になった。
4. ダミーパターン有無の検証に関して、段差量と配線抵抗測定を併せて行うことで、L/Sパターン周辺部の絶縁膜研磨量の違いを明確化できた。  
⇒段差量と配線抵抗測定からL/Sパターン周辺部を含む形状の全体像が把握できる。
5. 配線腐食評価パターンが、通常パターンよりも配線腐食に対して感度が高いことを確認した。



設計したパターンが正しく機能し、各評価において目的を果たしていることが確認できた。

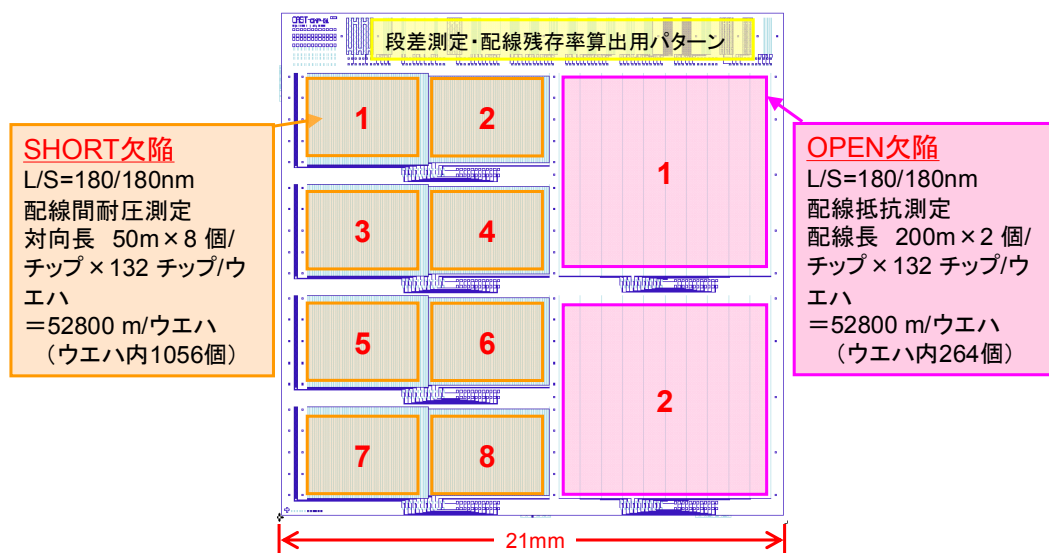
材料評価(スラリー、パッド、CMP後洗浄液)への展開

<まとめ>

CMP 研磨条件とディッシング、エロージョンなどの配線平坦性を詳細に評価するために、配線幅や密度の異なるパターンを配置した CMP 専用の TEG マスクを設計した。この TEG マスクを用いた配線抵抗測定による配線厚みと段差測定によって、各種スラリー間の CMP 研磨特性の差を明確に評価できることを確認した。また市販 TEG と比較して、CMPプロセスにおける材料評価ツールとしての優位性が確認された。

### III.2.2.5 CMP 欠陥評価用 TEG マスク

CMP プロセスにおける歩留まりを高精度に評価するために、比較的大規模パターンをウェーハ内に多数配置する必要がある。



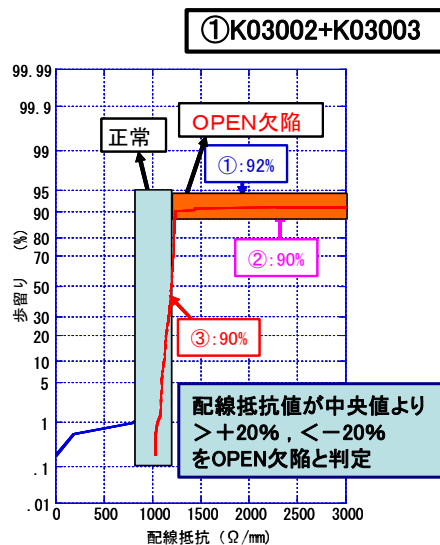
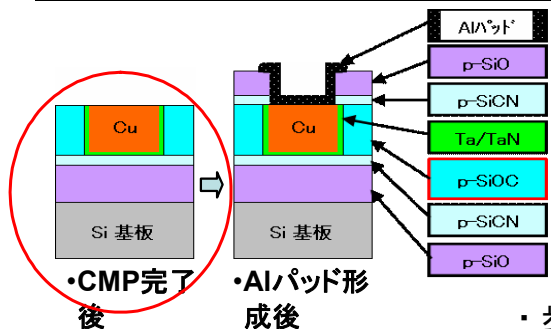
300mmΦウエハ中132チップ配置 21mm角

図III.2.2.5.1 CMP マスクレイアウト

配線抵抗測定による Short/Open 欠陥が測定できる CMP 欠陥評価用 TEG を上図のように作製した。上記 TEG により評価した結果を次に示す。

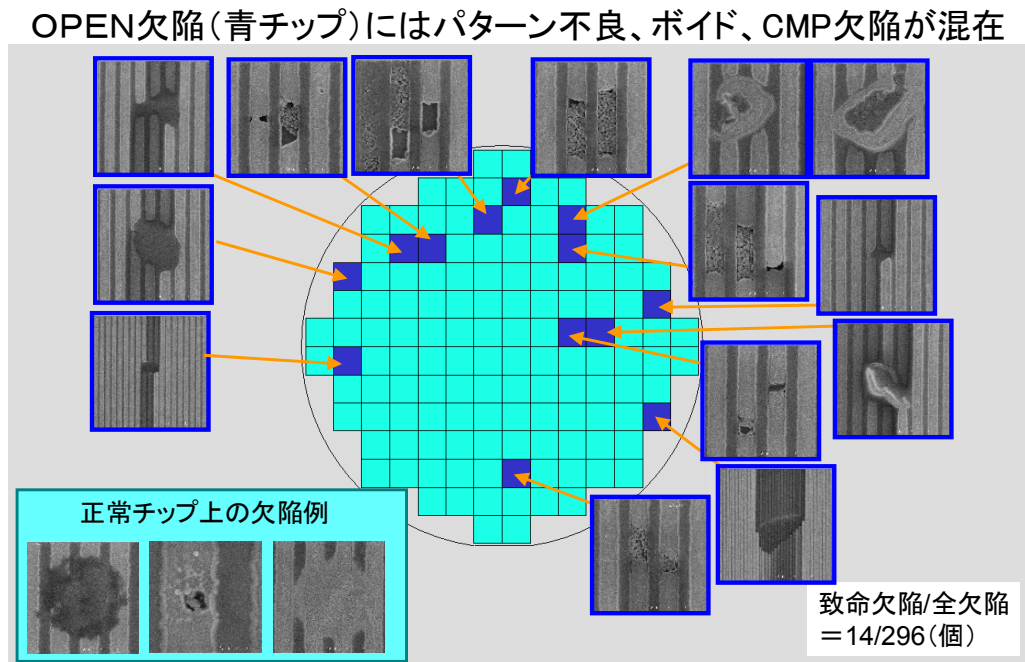
#### ・正規確率分布による歩留り算出

No.	測定のタイミング	歩留り (%)	配線抵抗 (Ω/mm) (中央値)
①	Alパッド形成後	92	1064
②	Alパッド形成後	90	1058
③	CMP完了後	90	1189

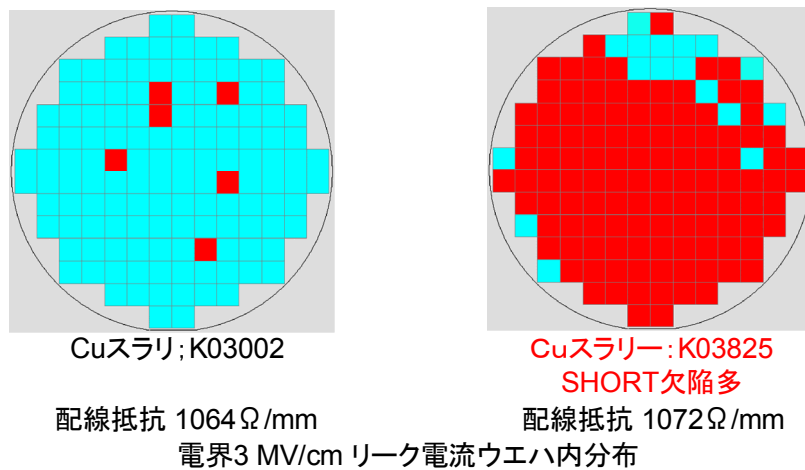


・歩留りは約90%で安定 (ベースライン)  
 →大きく低下した場合、CMP欠陥と判定

CMP 完了後での電気測定が可能となり、評価の迅速化、研磨状態の観察が可能となった。



図Ⅲ.2.2.5.2 Open 欠陥の SEM 観察(標準研磨条件)



配線抵抗は同じであるので研磨量は同じであるが  
SHORT欠陥はK03825の方が多

極微量の研磨残の有無を検知しているものと推察  
⇒オーバー研磨量の増加が必要と示唆している

図Ⅲ.2.2.5.3 Short 欠陥評価

<まとめ>

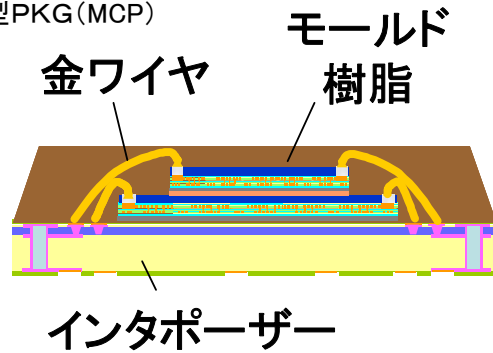
CMP 研磨によるウェーハ上の欠陥を電氣的に検出する TEG マスクを設計し、配線を大規模にすることによって、欠陥を高歩留まりで検出することに成功した。また電気測定によって致命的欠陥の検出が可能となった。



### III.2.2.6 パッケージ工程評価用 TEG

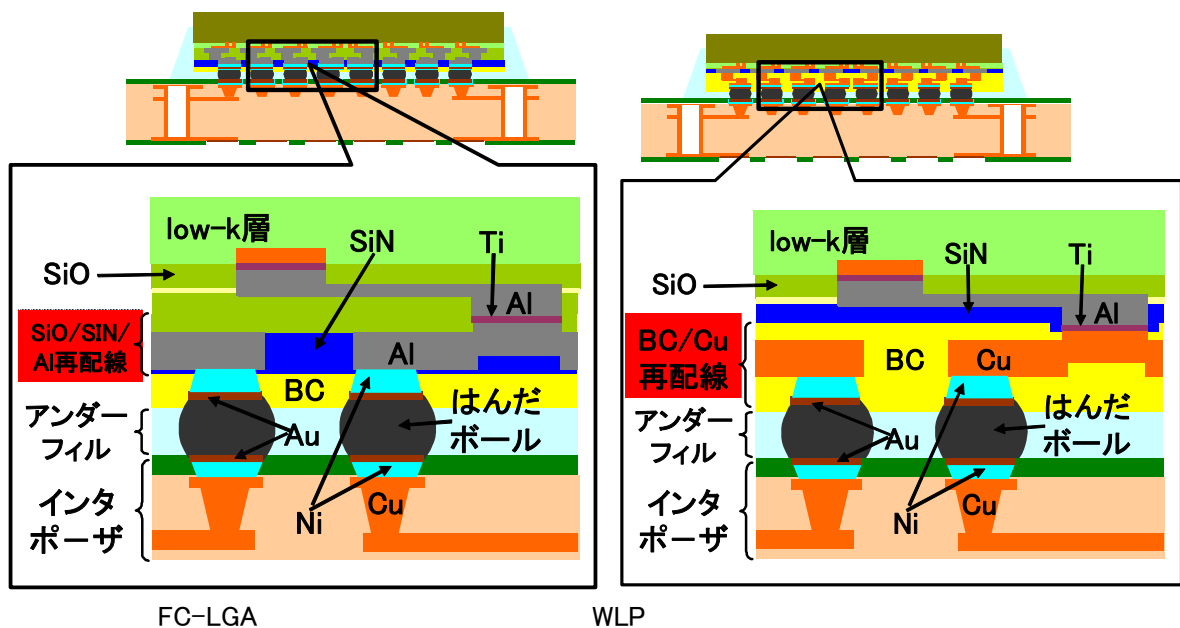
評価の対象とする PKG は、以下の図に示すワイヤーボンド型 (MCP:Multi-chip Package)を含む WBBGA(Wire-bond Ball Grid Array)および FCBGA(Flip Chip Ball Grid Array)型である。配線工程を終了したウェーハを用いてパッケージを組立てる。

#### (1)ワイヤーボンド型PKG(MCP)



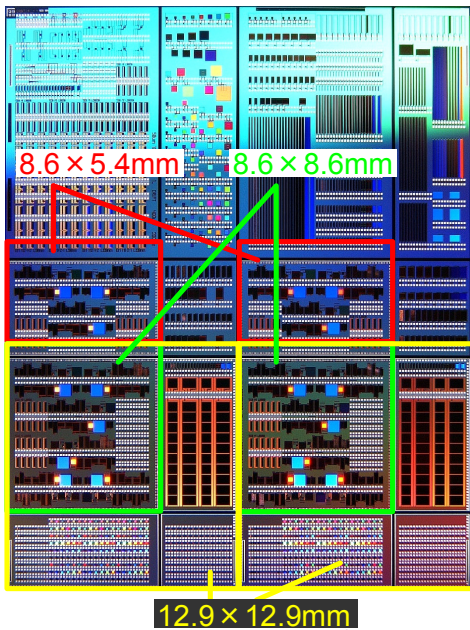
#### ※2段スタックの場合

#### (2)ワイヤーボンドレス(フリップチップ)型PKG



PKG 評価用 TEG チップのレイアウトは次の図の通り。

## 1ショットのレイアウト (25.8×32.4mm)



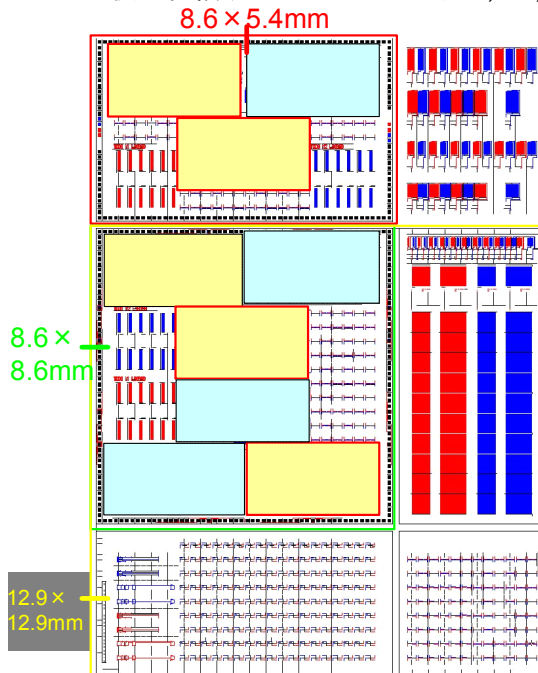
チップサイズと適用PKGの関係

チップサイズ (mm)	MCP	FC-LGA		WLP
		個別 外注	一括 外注	個別 外注
8.6×5.4	○	○	-	○
8.6×8.6	○	-	-	-
12.9×12.9	-	-	○	-

各PKGに対応したチップサイズを選択

1ショットで同じサイズのチップを2個取れる

後工程領域マスクレイアウト(M1,Via,M2)



### 後工程用チップ

- チップはガードリングで囲ってある
- TEGユニットをコーナーとセンターに配置
- 12.9mm□のTEGは8.6mm□と共用

### TEGユニット

- ATS1: 主として90nm 部分
  - ATS2: 主として80nm 部分
- すべてパッドセットに針当てし電気特性測定可  
しかし、現状ペリフェラルに引き回しているのはATS1のみ。

※実際にAIでペリフェラルに引き回しているのは 部分

(147、187、149マスク)

### <まとめ>

パッケージ工程の材料評価方法の検討にあたり、対象パッケージを MCP(Multi-chip Package)を含む WBBGA(Wire-bond Ball Grid Array)および FCBGA(Flip Chip Ball Grid Array)等とし、配線工程を終了したウエーハを用いてパッケージを試作して、プロセス条件の検討を開始した。得られた知見をもとにパッケージ工程専用の TEG マスクを設計し、この TEG マスクを用いて再配線工程から封止に至るパッケージ化各工程でのひずみや電気特性の変化を検証した。

### III.2.3 パッケージ工程までの一貫した材料評価方法の確立

対象パッケージを、MCP(Multi-chip Package)を含む WBBGA(Wire-bond Ball Grid Array)、FCBGA(Flip Chip Ball Grid Array)とし、300mm ウェーハを前提とした再配線工程、バックグランド、ダイシング、ピックアップ、ボンディング、封止等の各工程において、Cu/low-k 配線を有するウェーハ/チップにかかる外力等に注目し、材料破壊・腐食等の評価を中心とする材料プロセス、材料-材料間の影響評価を実施し、評価方法を確立する。

一方、パッケージ後の信頼性評価技術については、上記の対象パッケージにおいて、熱・応力・水分等が材料に与える影響に着目して、リフロー、耐湿性試験、温度サイクル試験を行い、チップの配線層を含む各界面の剥離状況、配線層を含む材料の破壊、腐食等の評価方法を確立する。

上記の組立プロセス、パッケージ信頼性評価の各段階で得た知見を配線工程の評価段階にフィードバックし、配線工程からパッケージ工程までの一貫した半導体プロセスにおいて 45nm ノード以降にも対応できる材料評価方法を確立する。

#### III.2.3.1 バックグランドテープの極薄研削性の評価

マルチチップパッケージ(MCP)の組立に必須のバックグランド(BG)プロセスに必要なバックグランドテープの評価において、20  $\mu\text{m}$  以下の極薄の研削性について評価を行った。

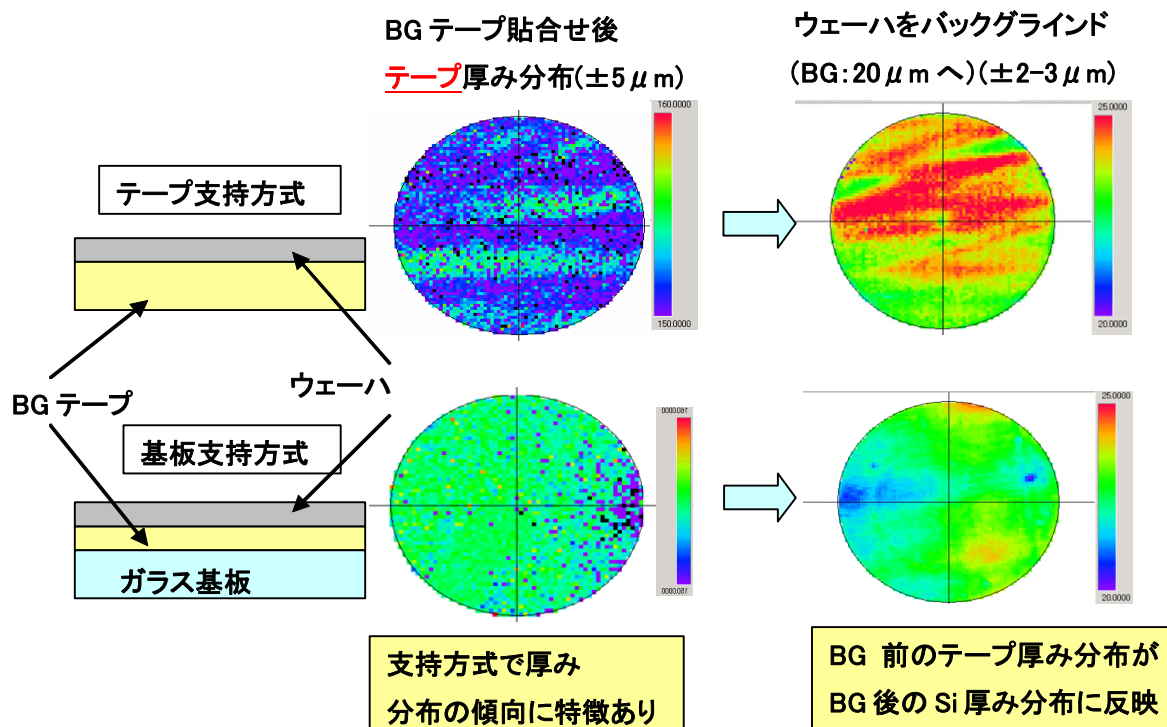
##### (1) 技術の特徴

極薄研削プロセスで作製された、非常に脆くなった極薄ウェーハを、非接触で厚み分布を評価する。測定界面を選択することによって、バックグランドテープの厚み分布も評価することができる。

##### (2) 評価結果

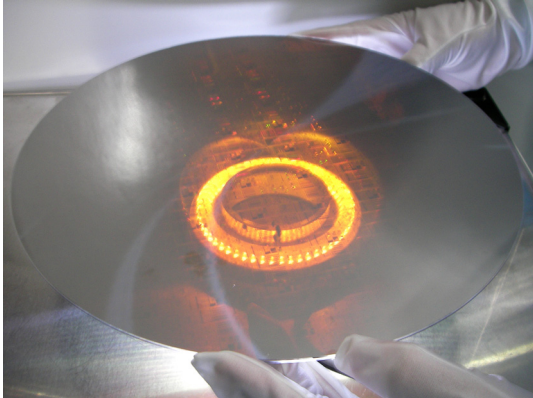
ウェーハの裏面を研削する際に配線部分を保護するバックグランドテープには、テープ支持方式と基盤支持方式がある。それぞれの BG テープ貼り合わせ時とウェーハを 20 $\mu\text{m}$  までバックグランドした時の厚み分布を下図に示す。

ウェーハ支持方式の違いにより研削後の厚み分布に差異があり、厚み分布が生じる原因として研削前の BG テープの厚み分布が関与していることが分かった。



### 基板支持方式による5 $\mu$ m厚のバックグラインド技術の確立

またこの基板支持方式のバックグラインドテープを用いて5 $\mu$ m厚の薄化を達成した。



5 $\mu$ m厚のBG後のTEGウエーハ  
ウエーハが薄いため照明が透過

#### III.2.3.2 TEGによるBGのダメージ評価

##### III.2.3.2.1 評価の目的

バックグラインドテープ及びLow-k材のバックグラインドプロセス耐性をバックグラインド前後のTEGの電気特性を測定することで評価した。

(バックグラインド後、20 $\mu$ m厚み)

##### III.2.3.2.2 評価内容

・BGテープ:M10027(基板支持方式、ガラス基板は301mm $\Phi$ ×1mmを使用)

テープ支持方式は一般BGテープを使用

・Low-k材:p-SiOC、E11019

・ウエーハ:2層配線TEGウエーハ(マスク:CAST-3)、BCなし

(1) 基準プロセスによりウエーハにテープを貼り合わせ

(基板支持方式の場合、同時にガラス基板と貼り合わせ)

(2) 標準条件によりウエーハを22 $\mu$ mまで研削し、20 $\mu$ mまでドライポリッシュ

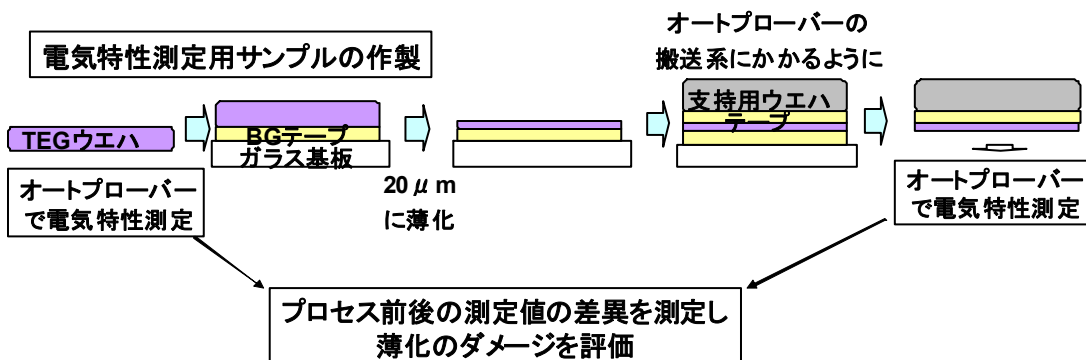
<オートブローパーで測定できるようにサンプルを加工>

・研削後のサンプルの研削面に、基板貼合わせ機を用い、M10027のBGテープ、ウエーハを貼合わせる。

そのサンプルを、基板剥離機を用いガラス基板側からUVを照射し(50mW/cm<sup>2</sup>、120秒)

マニュアル操作にて研削したウエーハからガラス基板、BGテープを剥離してパターン面を出し、

測定用サンプルとする。



### III.2.3.2.3 測定方法

#### (1) 装置

- ・オートプローバ: UF3000(東京精密製)
- ・パラメトリックテスタ: E5270A(アジレント・テクノロジー製)

#### (2) 評価手順

- ・BG 前にオートプローバにて TEG ウエハの電気特性を測定  
BG 後同じ TEG をオートプローバにて電気特性測定

#### (3) 測定条件

- ・測定 TEG

VC 抵抗: 110nm $\Phi$ \_10k個(チップの左上に位置)

110nm $\Phi$ \_10k 個 (チップの中央に位置)

90nm $\Phi$ \_10k 個 (チップの中央に位置)

M1 配線容量: L/S=110nm/110nm(対向長 100mm)

130nm/90,110,130nm(対向長 400mm)

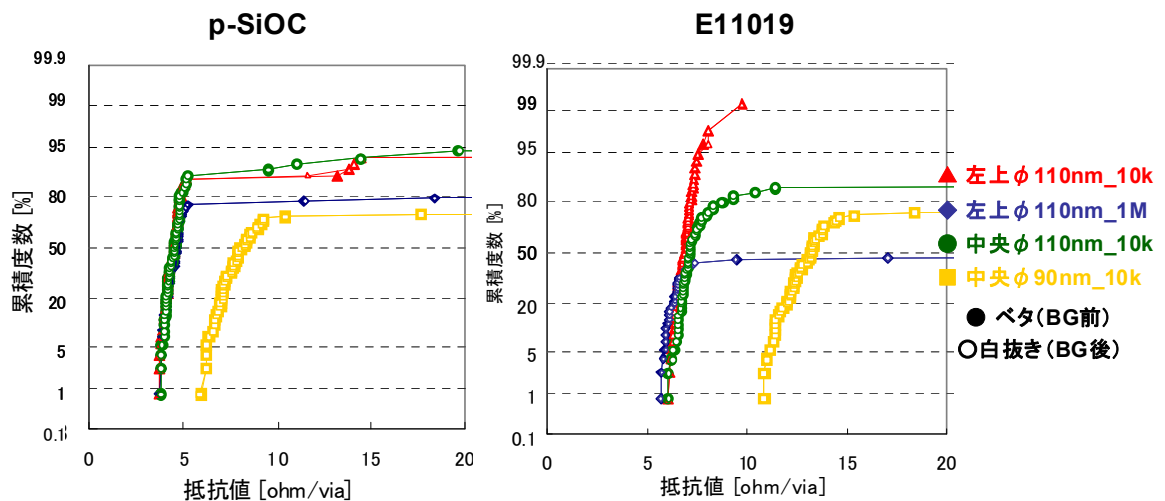
- ・測定チップ数: 64 チップ

#### (4) 判断基準

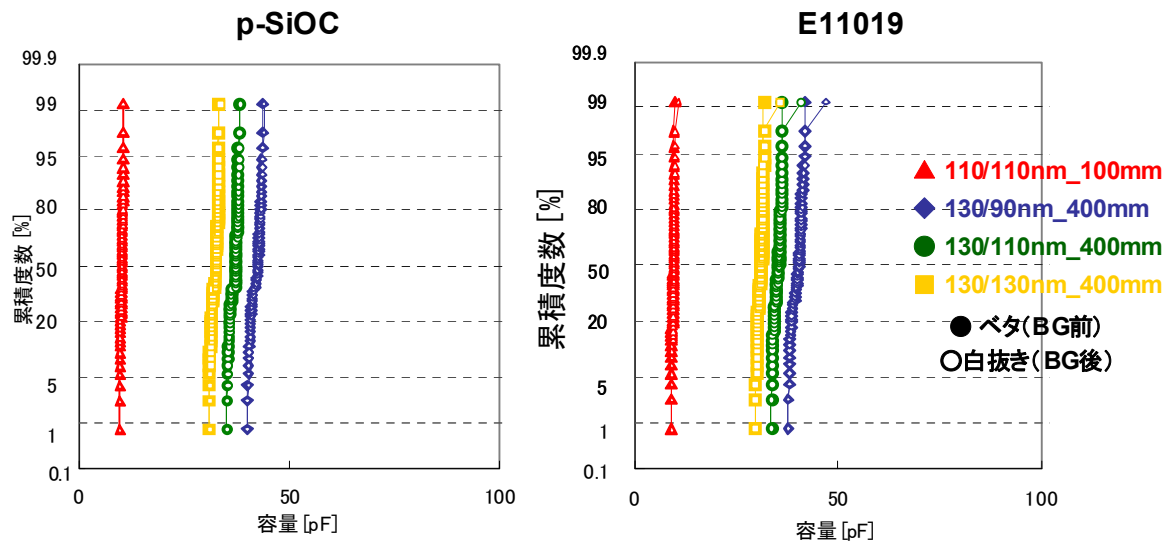
- ・BG の前後における各電気特性の値が測定精度の範囲内で変化しないことでプロセスダメージがないことと判断する。

### III.2.3.2.4 測定結果

#### (1) 各 Low-k 材における 20 $\mu$ mBG 前後の VC 抵抗



#### (2) 各 Low-k 材における 20 $\mu$ mBG 前後の M1 配線容量



- ・VC 抵抗、配線容量、ともに BG 前後で変化なし。バックグラインドにおける Low-k 材へ及ぼすダメージは検出されなかった。
- ・バックグラインド時の応力をバックグラインドテープで緩和させ、Low-k 材、配線材にプロセスによるダメージを及ぼさなかったと考える。
- ・以上によりバックグラインドプロセス(20  $\mu$ m 厚)が Low-k 材へ与える影響を評価することができる。

<まとめ>

BGテープを用いてウェーハを 20 $\mu$ m 以下に研削するプロセスとその評価方法を確立した。

### III.2.3.3 バッファコート(BC)材料と接触各層との密着性測定法

評価の目的:積層膜の密着性評価として、しばしば基盤目セロテープ剥離試験が用いられているが、下記問題点が挙げられる。

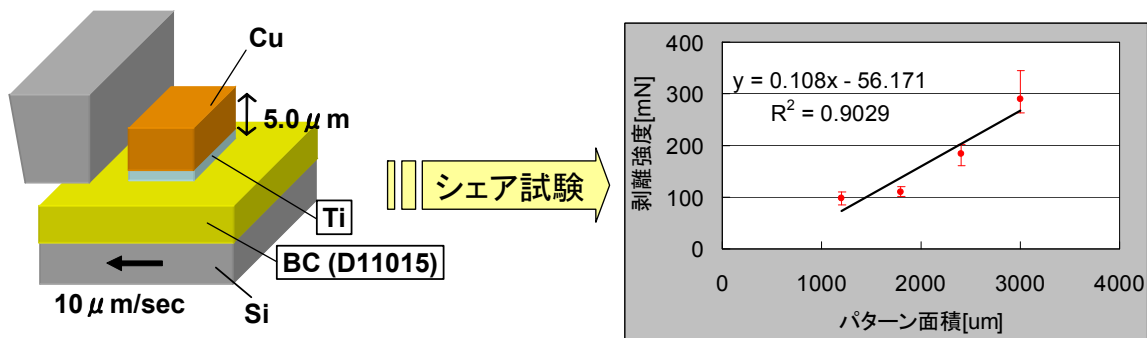
- ・比較する材料が全て剥離しなかった場合、材料間の比較ができない。
- ・逆に比較する材料が全て剥離してしまう場合も、材料間の比較ができない。
- ・セロテープとパターンとの間の密着力が材料間で異なる場合、その影響を排除できない。
- ・PCT 前後で比較する場合、セロテープとパターンとの間の密着力の変化の影響が排除できない。
- ・剥がれ個数での密着力の大小比較は難しい(0, 1 判定に近い)。

これに対し、シエア試験による密着性の評価方法は、パターンを側面からシエアし、

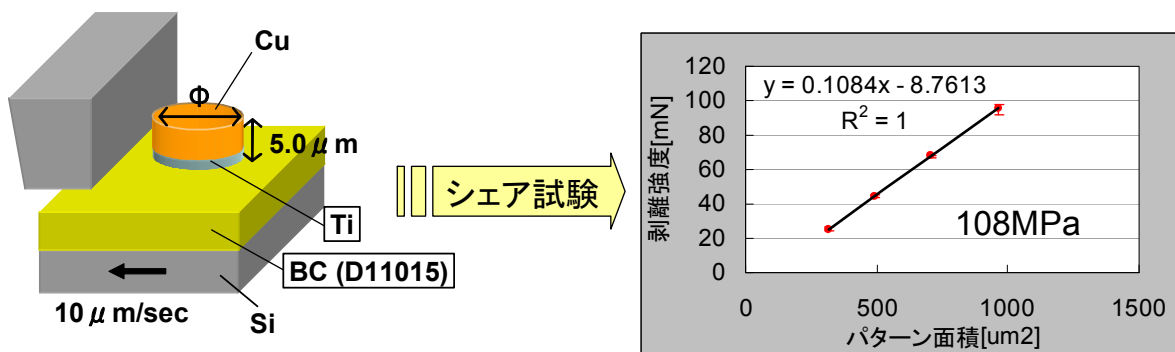
下地界面との間に働く最大せん断応力(剥離強度)を測定する手法である。

剥離強度はパターンの接着面積に比例して大きくなる。その比例定数は材料固有のものであり、その値から密着力を見積もることができる。

以下に、WL-CSP の再配線構造に存在する CuTi/BC 界面の密着力の評価例を示す。



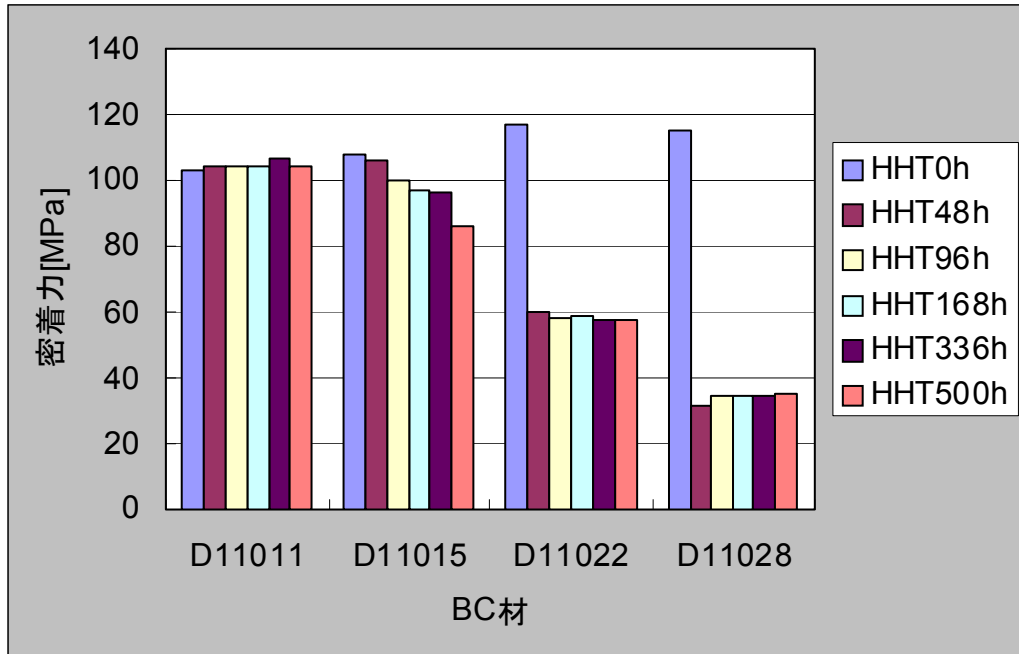
#### III.2.3.3.1 CuTi/BC の□パターンのシエア試験



#### III.2.3.3.2 CuTi/BC の○パターンのシエア試験

SiN上のBCの密着評価の際に用いた□パターンで測定すると、ツールとサンプルとの平行出しが難しく、データが安定しないことが分かった。そこで、○形状に変更することでデータも安定しサンプルが下地から一気に剥れるモードを実現でき密着力の評価方法として適切な方法であると言える。

各BC材料において、常態と吸湿後(HH85°C/85RH%)で比較した。



図Ⅲ.2.3.3.3 環境試験後のバッファーコート密着性変動評価

材料による挙動の違いも把握できた。

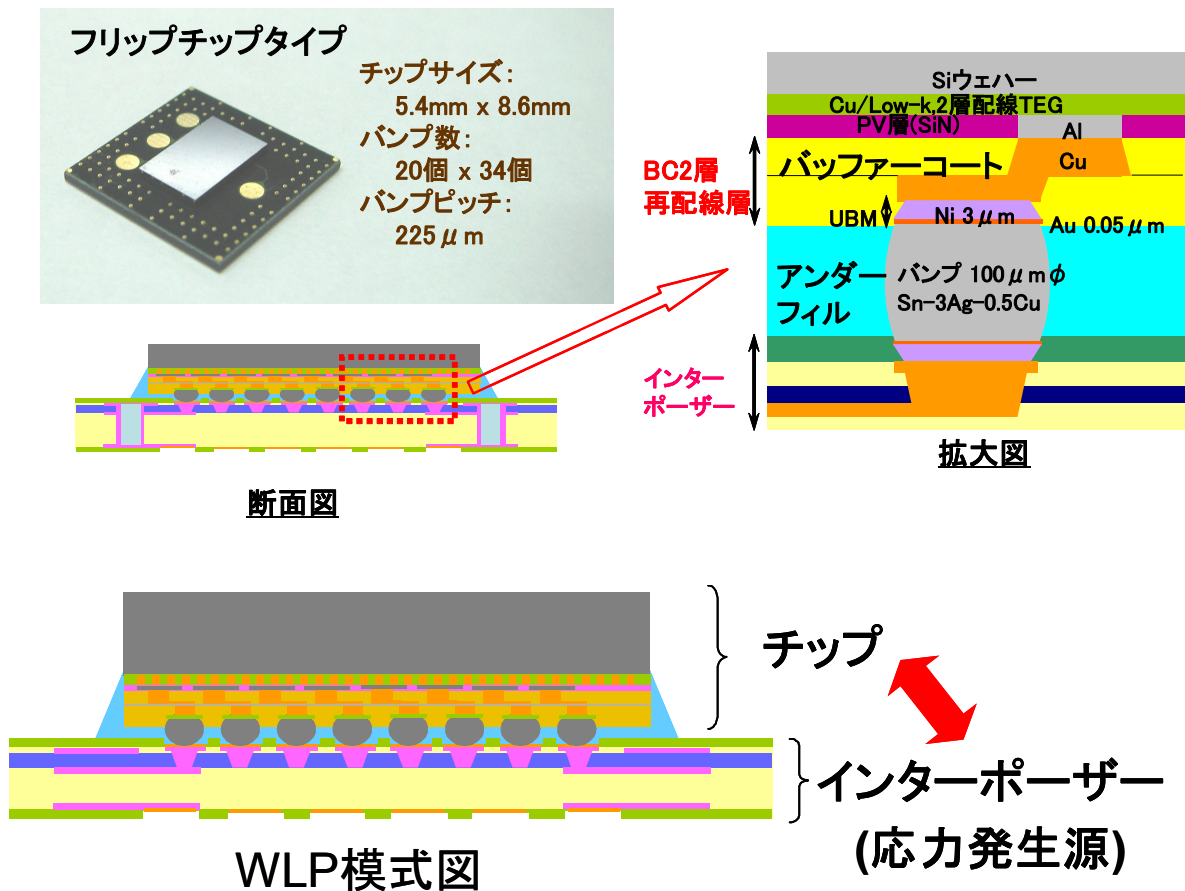
<まとめ>

バッファーコート材料と接触各層との密着性測定法を確立した。



### III.2.3.4 WLPによる材料評価

Low-k 2層配線 TEG(2種類)に、BC材料,2種を用いたサンプルにてTC(温度サイクル)試験を実施した。



インターポージャーは、チップを曲げようとする力の発生源と考えるならばその力のバランスをとるよう、半田バンプ、アンダーフィル材、チップ内(BC,Low-k, Si)に応力が発生する。

⇒Siおよび BC による応力緩和効果が どの様に変化するか調査した。

#### ○ 使用材料

Low-k:p-SiOC、E11050(熱キュア)

チップ:2層配線 TEG+BC(D11011,D11015)にて再配線形成

インターポージャー:BT 基板

#### ○ パッケージ作製

UBM 形成、バンプ形成、フラックス洗浄、BG、ダイシング、ダイボンディング  
(外注)

#### ○ 評価

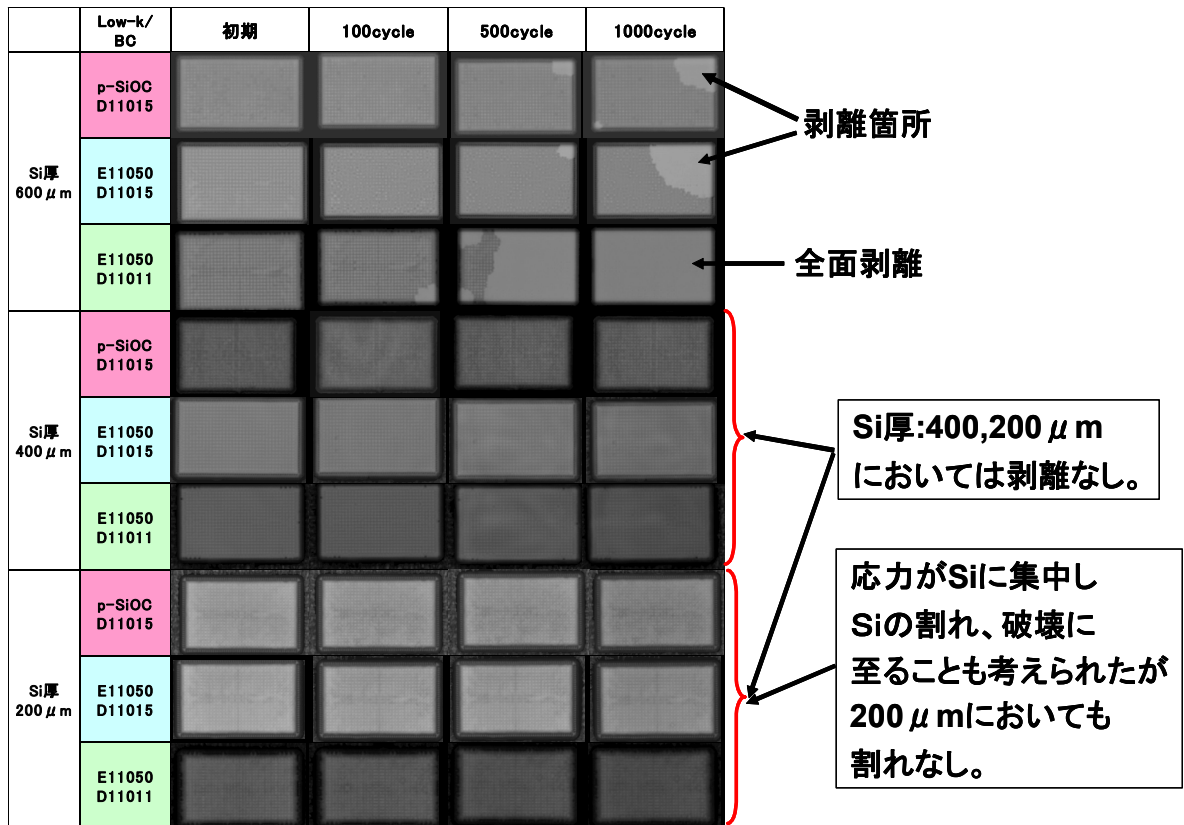
・リフロー:吸湿 JEDEC Lv.2(85°C 60%RH 1wk)、

リフロー温度 Pb フリー条件(max.250°C)

+TC:-65/15min⇔150°C/15min

次に上記条件で評価した結果を示す。

Si 厚を変化させた場合の TC 試験結果(SAT 観察)



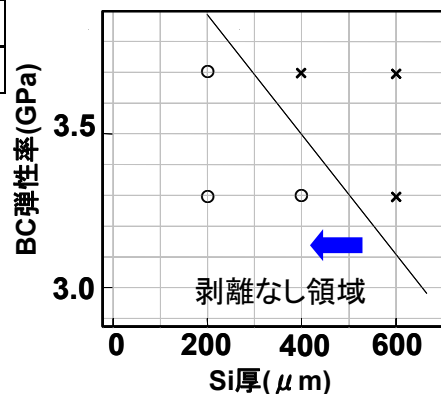
Si 厚と Low-k/BC の組合せによる剥離数(TC 試験)

	Low-k/ BC	初期	100cycle	500cycle	1000cycle	合否
Si厚 600 μm	p-SiOC D11015	0/10	0/10	1/10	3/10	×
	E11050 D11015	0/10	0/10	1/10	6/10	×
	E11050 D11011	0/10	3/10	5/10	10/10	×
Si厚 400 μm	p-SiOC D11015	0/10	0/10	0/10	0/10	○
	E11050 D11015	0/10	0/10	0/10	0/10	○
	E11050 D11011	0/10	0/10	0/10	1/10	×
Si厚 200 μm	p-SiOC D11015	0/10	0/10	0/10	0/10	○
	E11050 D11015	0/10	0/10	0/10	0/10	○
	E11050 D11011	0/10	0/10	0/10	0/10	○

1000cycle終了時に  
剥離が発生しなかったもの  
を合格とした。



E11050の場合の要求BC物性値



BC材料物性値一覧

材料コード	応力 (MPa)	CTE (ppm/°C)	Tg (°C)	弾性率 (GPa)	伸度 (%)
D11011	44	40	285	3.7	23
D11015	35	42	295	3.3	74

これらの結果より

- ・Si 厚と BC 種を変え評価した結果、Low-k 材適用 2 層配線において、Si 厚とそれに対する BC 物性の要求値を得ることができた。
- ・Si 厚: 200~600  $\mu\text{m}$  においては、チップの割れは発生しなかった。

#### <まとめ>

Low-k に関連したパッケージ工程全般の技術動向把握に努め、得られた知見に基き、導入装置の仕様を決定・発注し、平成18年度中に導入、安定稼働を確認した。

導入した装置は以下の通りである。

- ・組立プロセス評価 再配線用メッキ装置、DAF 付ダイシング(DC)テープ対応装置、  
ダイボンダー、ワイヤーボンダー
- ・パッケージ信頼性評価 リフロー炉、オープン、恒温恒湿槽、HAST 槽、  
マイグレーション装置、冷熱衝撃試験機

上記以外のプロセス装置は既存技術が活用できる部分は活用し、新規に必要な技術は、その技術のために必要な装置の導入コスト、技術動向の多様さ、維持管理の困難さ等を勘案し外注で対応することとし、複数の外注先候補を調査、デモ評価などをおこなってパッケージ組立てにおける課題を抽出した。

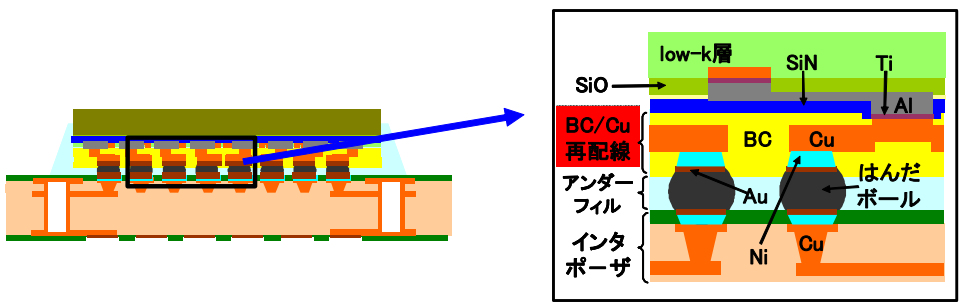
### III.2.3.5 フリップチップタイプパッケージ信頼性評価技術の開発

#### III.2.3.5.1 目的

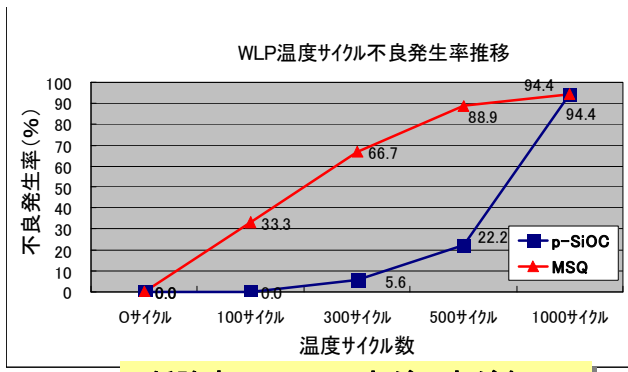
Cu/Low-k 配線を用いたフリップチップタイプのウエーハレベルパッケージ(WLP)のパッケージ(PKG)信頼性試験時におけるダメージ評価方法を開発する。

#### III.2.3.5.2 評価結果

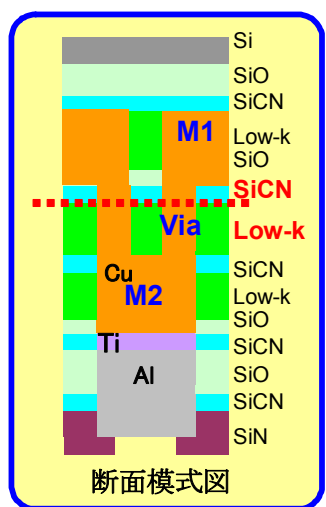
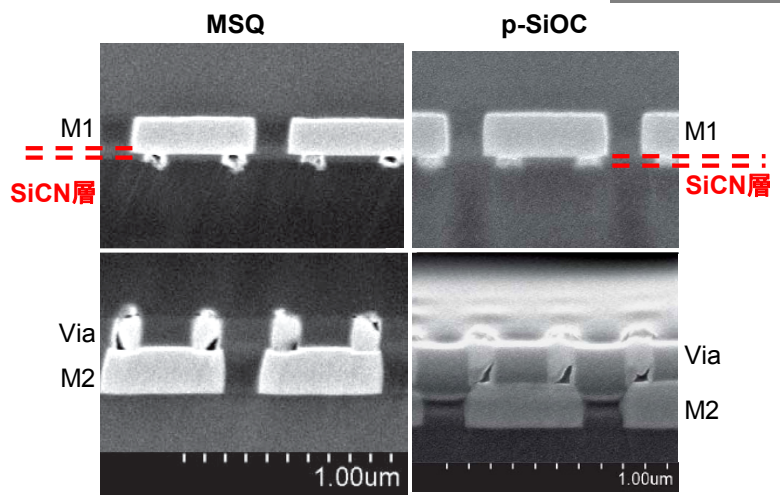
バッファコート(BC)を層間膜とし銅配線にてエリアに電極を形成する再配線 WLP を作製。温度サイクル試験(TC)時に Low-k 材の強度(p-SiOC,MSQ)により不良発生率が異なることが判明した。破壊部位は Low-k / SiCN 界面であった。



WLP 構造での不良  
TC ( -55⇔125℃ )  
(Low-k : MSQ、p-SiOC)



低強度の MSQ の方が不良が多い



<まとめ>

Low-k 材料やバッファコート材料を用いた配線ウエーハの環境耐性を測定し、ウエーハレベル信頼性評価基準の設定に注力した。またデバイスメーカーやパッケージメーカーにパッケージ試作を外注し、パッケージの信頼性評価をおこなうことによって、パッケージ化工程で生じる材料のダメージを把握した。

### Ⅲ.2.3.6 MCP信頼性評価

#### Ⅲ.2.3.6.1 評価の目的

MCP の信頼性評価(2 層配線 TEG 使用、Si 厚 50,25  $\mu\text{m}$ )による Low-k 材、BC、DAF の評価

#### Ⅲ.2.3.6.2 評価項目

SAT 観察による MCP の信頼性評価(温度サイクル、PCT 影響)

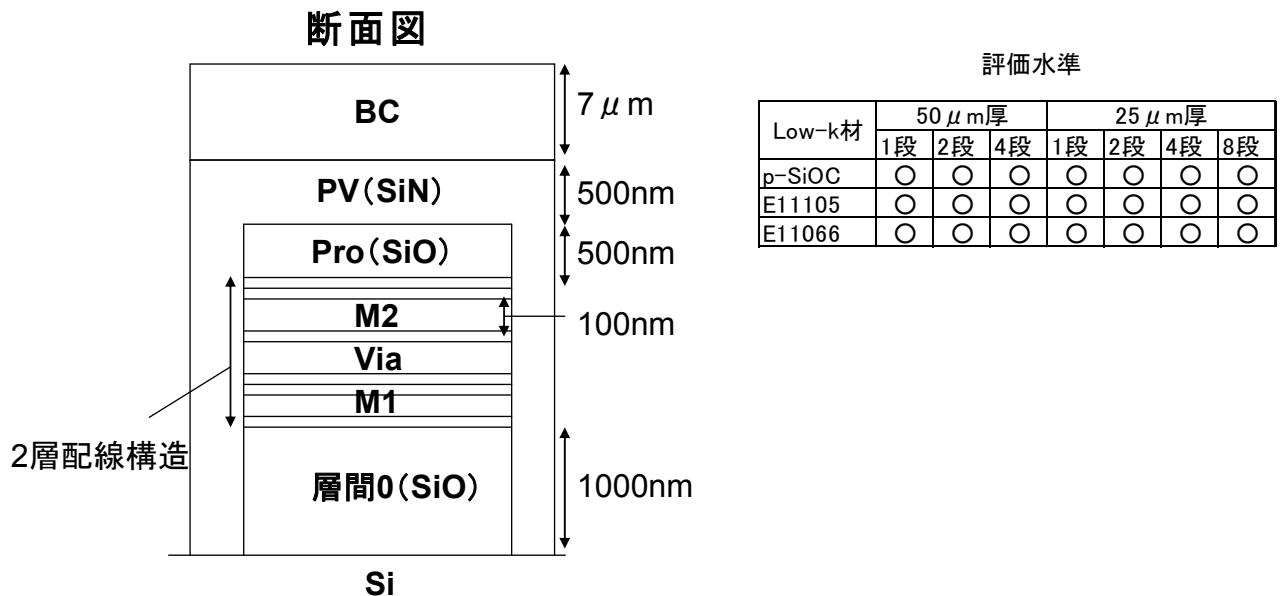
#### Ⅲ.2.3.6.3 試料作製手順

##### (1) 使用装置

- ・基板支持方式;基板貼合わせ機:WVB-1M(芝浦メカトロニクス製)
- ・グラインダー:DGP8760(ディスコ製)
- ・DAF マウンター:DAM-812M(タカトリ製)
- ・ダイサー:DFD6361(ディスコ製)
- ・ダイボンダー:BESTEM-D02・TypeB(キヤノンマシナリー製)
- ・ワイヤボンダー:UTC2000(新川製)

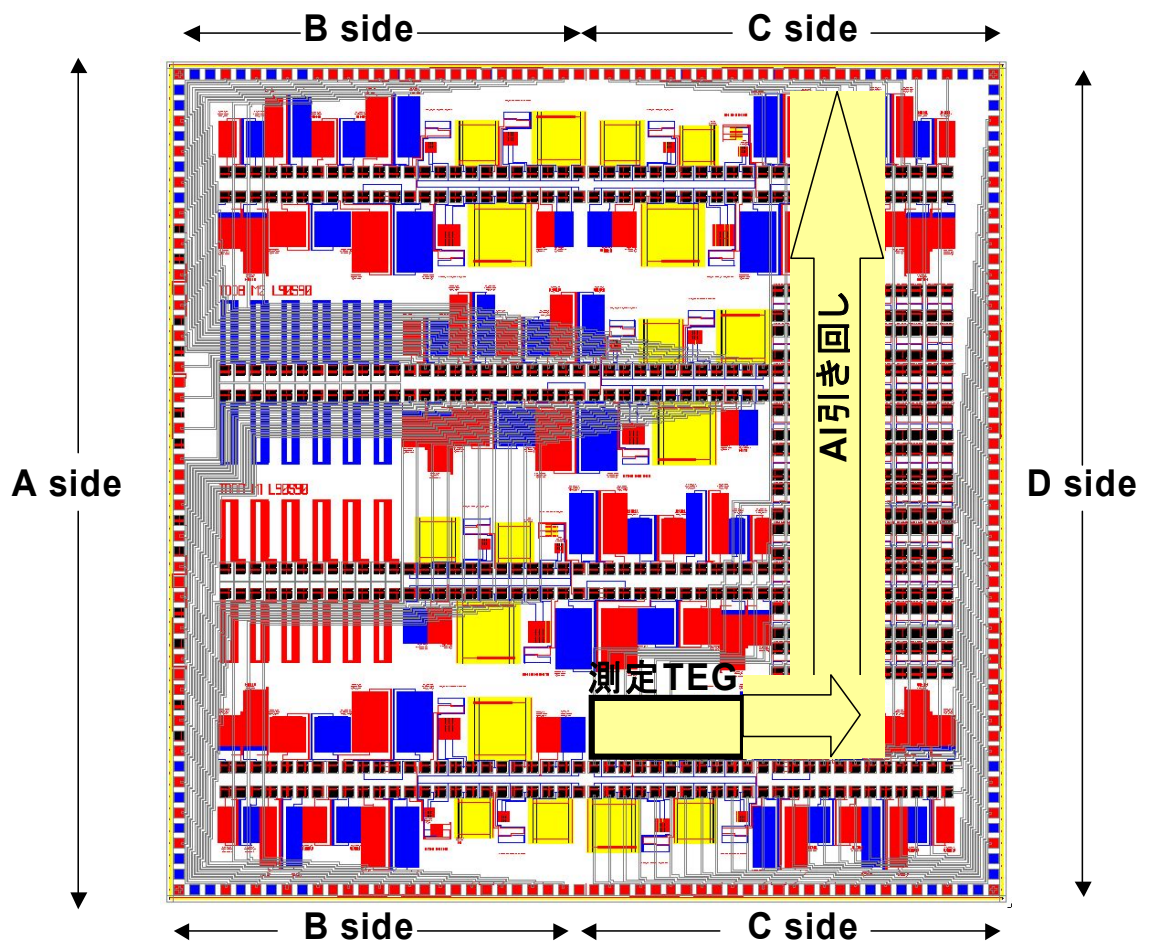
##### (2) 作製方法

- ・ウェーハ:2 層配線+防湿構造(図Ⅲ.2.3.6.1 参照)。
- ・使用 Low-k 材:p-SiOC、E11105(UV1 分)、E11066
- ・BC:D11015(7  $\mu\text{m}$  厚) DAF:S10073
- ・インターポーザー:TW196-LB1(ルネサス東日本セミコンダクタ製)
- ・BG テープ:M10027(基板支持方式)
- ・作製するサンプルの水準は以下の通り。変動因子として Low-k 種、スタック数、Si 厚



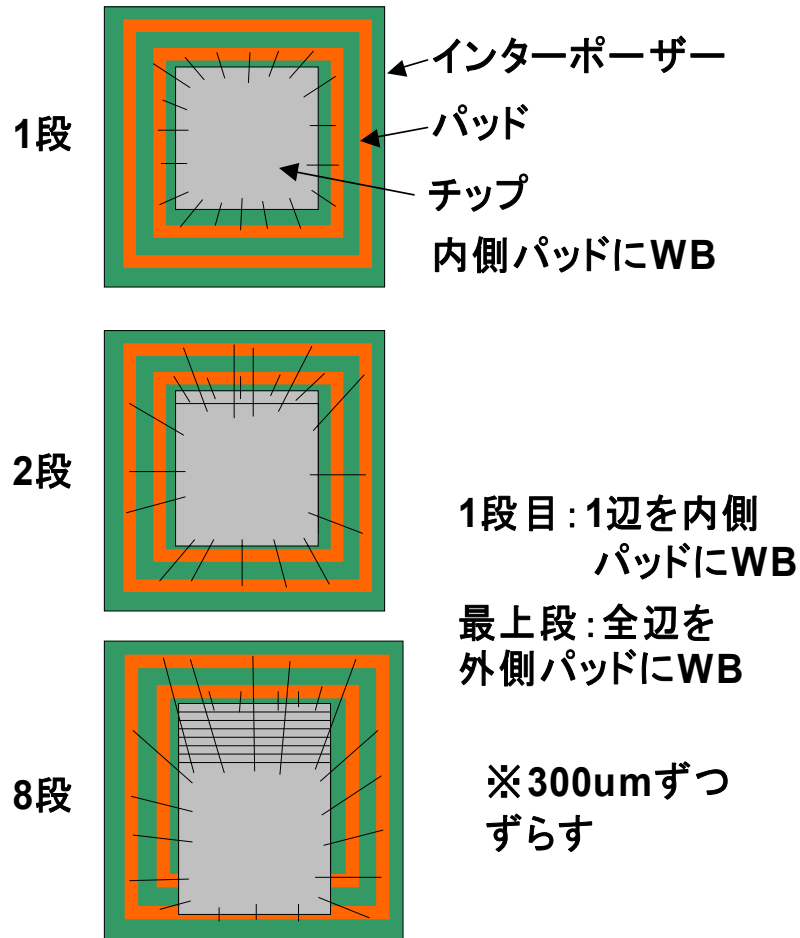
図Ⅲ.2.3.6.1 2層配線+防湿構造

- 1) ウェーハに BG テープを基板貼り合わせ機を用いて貼り合わせる。
- 2) グラインダーにて 50um、25um にウェーハを研削する。
- 3) DAF マウンターにて、研削ウェーハの裏面に DAF 付きダイシングテープを貼り合わせる。
- 4) 基板剥離機により UV を照射し、BG テープ、ガラス基板をウェーハからマニュアル操作にて剥離する。
- 5) ダイサーにて 8.6mm 口に個片化する。
- 6) ダイボンダーにて、インターポザーにピックアップ、ダイボンドする。スタック品は、300um 階段状にずらしてスタックする。
- 7) ワイヤボンダーにて、ワイヤボンドする。1 段品に関しては、全辺ボンディング、多段品はチップ上辺（電気特性を測定する TEG が引き回されたペリフェラルのボンディングパッドのある片：図Ⅲ.2.3.6.2 参照）のみをボンディング。最下段と最上段のチップそれぞれのインターポザー側の内側と外側のボンディングパッドに接続：図Ⅲ.2.3.6.3 参照）
- 8) モールド、個片化する。



図Ⅲ.2.3.6.2 チップ内測定 TEG のレイアウト

### チップスタック、ワイヤボンドレイアウト



図Ⅲ.2.3.6.3 チップスタック、ワイヤボンドレイアウト

#### Ⅲ.2.3.6.4 使用装置

- ・SAT:FS300(日立建機製)
- ・温度サイクル試験器:TSA-71H-W(エスペック製)
- ・接触式表面形状測定器:DeKtak V320-Si

#### Ⅲ.2.3.6.5 評価手順

作製したPKGを、以下の2水準で環境試験にかける(各水準各材料 50PKGで評価)。

- (1) TC(温度サイクル) TC条件:-65°C/15分⇄150°C/15分
- (2) PCT(プレッシャークッカーテスト) PCT条件:121°C/100%RH/2atm

#### Ⅲ.2.3.6.6 PCTの結果

Low-k	p-SiOC				E11105				E11066			
	1段	2段	4段	8段	1段	2段	4段	8段	1段	2段	4段	8段
スタック数	25um											
チップ厚み	有											
BC有無	有											
初期												
50hr後												
100hr後												
300hr後												
500hr後												

### 剥離発生割合

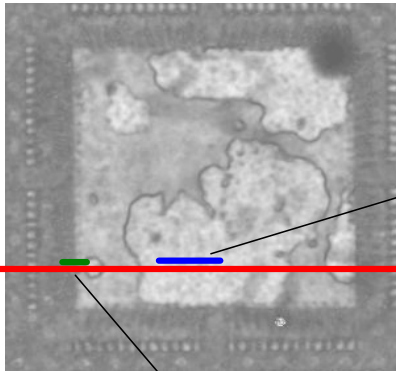
Low-k	p-SiOC				E11105				E11066			
	1段	2段	4段	8段	1段	2段	4段	8段	1段	2段	4段	8段
スタック数	25um											
チップ厚み	有											
BC有無	有											
初期	0/14	0/14	0/10	0/10	0/14	0/14	0/10	0/10	0/14	0/11	0/10	0/9
50hr後	0/14	0/14	1/10 (最上段 チップ端 部)	0/10	3/14 (中央、 角)	0/14	1/10 (最上段 チップ端 部)	0/10	0/14	0/11	0/10	0/9
100hr後	0/14	0/14	1/10 (最上段 チップ端 部)	0/10	4/14 (中央、 角)	0/14	1/10 (最上段 チップ端 部)	0/10	0/14	0/11	0/10	1/9 (最上段 チップ端)
300hr後	1/14 (チップ端 部)	0/14	2/10 (最上段 チップ端 部)	4/10 (最上段 チップ)	6/14 (中央、 角)	1/14 (中央、 角)	2/10 (最上段 チップ端 部)	7/10 (最上段 チップ)	10/14 (中央、 角)	1/11 (中央、 角)	3/10 (最上段 チップ)	7/10 (最上段 チップ)
500hr後	8/14 (中央、 角)	7/14 (1,2段 チップ)	9/10 (最上段 含他段 チップ)	7/10 (最上段 含他段 チップ)	10/14 (中央、 角)	6/14 (1,2段 チップ)	5/10 (最上段 含他段 チップ)	9/10 (最上段 含他段 チップ)	12/14 (中央、 角)	6/14 (1,2段 チップ)	6/10 (最上段 含他段 チップ)	9/10 (最上段 含他段 チップ)

図Ⅲ.2.3.6.4 Low-k 材料を用いた多段チップの PCT 評価結果

- ・初期において剥離がないチップも、すべての水準で PCT500hr で、剥離が発生している。
  - ・剥離の状況は、ランダムでチップの一部に不定形で発生している。
  - ・剥離の発生割合は、Low-k 材、チップ厚み、段数で傾向は見られない。
- 剥離界面を特定するために PCT 処理後の PKG を断面研磨し観察を行った。

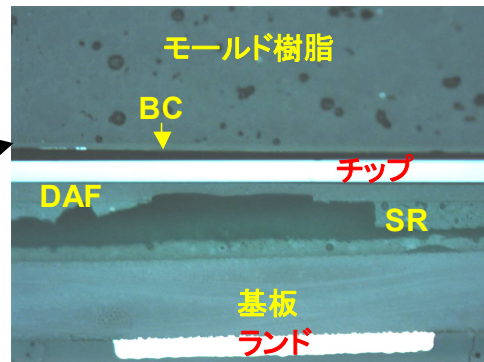


PCT500hr後のSAT像  
(E11066HB 25um 1段品)

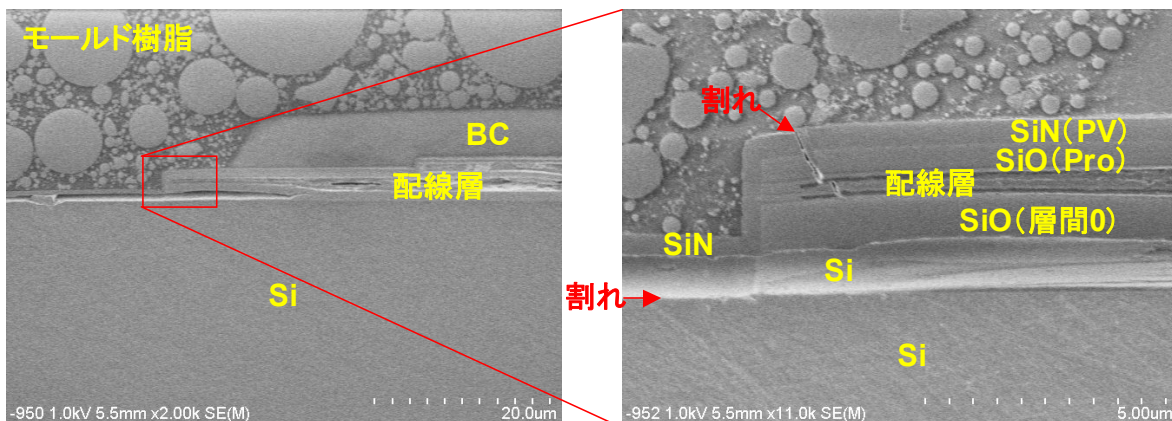


断面出し

断面の一部の顕微鏡写真



SEM像



図Ⅲ.2.3.6.5 PCT 後の剥離面の観察

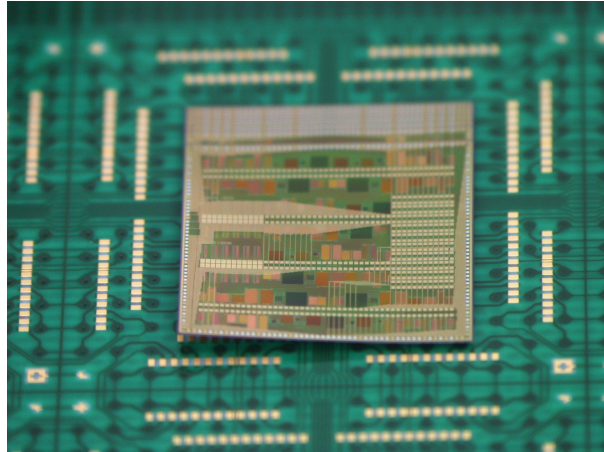
- ・配線層、DAF/SR(ソルダーレジスト)界面、SR/基板界面に剥離があることが分かった。
- ・チップ端部の断面観察(SEM 像)において、SiN にクラック、および Si の割れがあることが分かった。
- ・上記 SEM 像の観察において、Low-k 層が残っているエリアが、BC のエリアよりスクライブ側にはみ出していることが分かる。ガードリングのある位置は、BC が被覆しているが、ガードリングは M1 層までであり、層間 0 の SiO 膜まで達していない。従って、ガードリングの外側であっても SiN、Si にクラックが入ることにより、層間 0 の SiO 膜を経由して配線層に水分が浸入することは十分に考えられる。
- ・同様な 2 層配線の構造を QFP で PCT の信頼性評価を行った結果は SAT 観察において剥離は生じていない。この QFP の評価結果と、今回の MCP の結果との違いを考えると、1)チップ厚みが、QFP: 400  $\mu\text{m}$ 、MCP: 50  $\mu\text{m}$  以下、2)ダイボンド材として、QFP では銀ペースト、MCP で DAF を使用している。3)PKG の形態として、QFP はチップの上下にモールド樹脂があり、対称に近い。MCP はチップの上のみに存在し、非対称である。従って、QFP よりも MCP の PKG の方がチップにかかる応力が大きいと考えられる。以上のことから、QFP に比べ、MCP はチップが変形しやすく、BC が被覆されていないところにおいては、BC の緩衝効果が作用せず、変形しやすいものと考えられる。よって、SiN や、Si がクラックを生じたものとする。

#### <まとめ>

Low-k 材料やバッファコート材料を用いた配線ウェーハの環境耐性を測定し、ウェーハレベル信頼性評価基準を設定した。Low-k 材料を用いた配線のパッケージ工程プロセスでは、吸湿や水分浸入、応力集中、チップの薄化などによる配線の機械的強度の劣化が観察され、材料特性による差は配線工程より顕著である事がわかった。また 50um 以下に研削された薄膜 Si の8段 MCP の試作によって、Si 厚とチップ反りの関係を観察し、応力集中による剥離はチップ間ではなく、チップとインターポーザー間で発生する事がわかった。

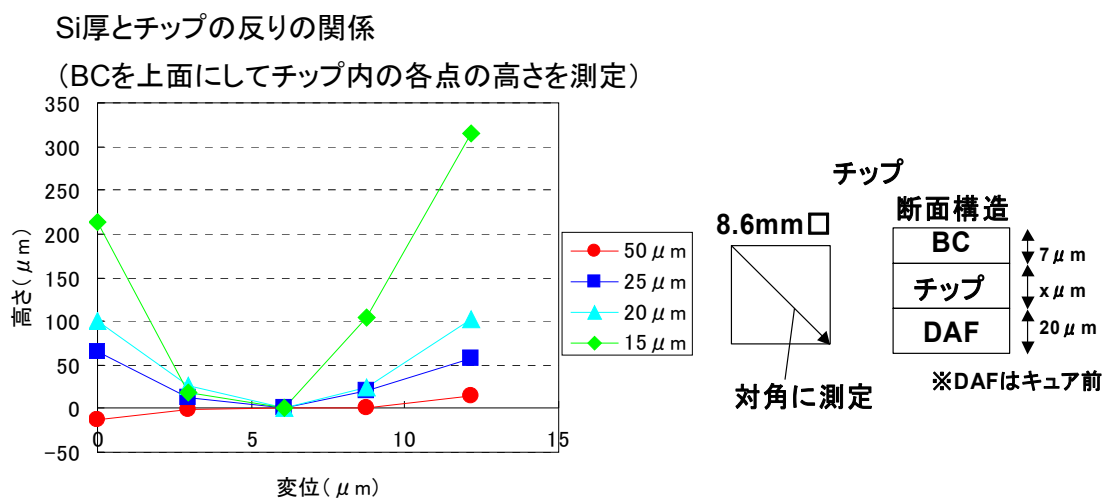
### Ⅲ.2.3.7 Siチップ多段化時の問題点

前項目Ⅲ.2.3.6において厚さ50 $\mu\text{m}$ と25 $\mu\text{m}$ のチップを用いてMCPパッケージの信頼性評価をおこなった。次のステップとして今後実用化が期待されている厚さ20 $\mu\text{m}$ と15 $\mu\text{m}$ のチップを用いたMCPパッケージを試作した。MCP組立のダイボンディングのときに、チップを5段以上スタックした過程でインターポージャーとDAFの界面で剥離が生じたという現象を確認した(図Ⅲ.2.3.7.1 参照)。



図Ⅲ.2.3.7.1 5段スタック チップが基板より剥れ(p-SiOC、20 $\mu\text{m}$ 厚)

この結果より、20 $\mu\text{m}$ 以下のSi厚では、多段にスタックすることによりチップの反りに伴う復元力が大きくなり、より剥離を促進することが予想される。よって、チップを2段以上積層するとPKG工程にてモールド樹脂でチップの反りを押さえつけられずにインターポージャーから剥離してしまうものと考えられる。チップの反りは、図Ⅲ.2.3.7.2に示すとおり、Siの厚みが薄くなるほど、BCの応力により大きくなる。特に20 $\mu\text{m}$ 以下の薄化チップにおいて顕著な反りを生じる事がわかる。その結果、生じた応力がDAFの接着力を上回り、インターポージャーとの間の剥離に繋がったと考えられる。DAF/インターポージャーの接着力は、チップの反りとその復元力の関係を考慮して設定すべきである。



#### <まとめ>

薄化したSiチップを多段化する場合、Siチップの反りによる剥離を防止するDAFの接着力向上が重要である事がわかった。

### III.2.4 成果資料(評価基準書)

- 評価基準書21129 配線加工プロセスにおける Low-k 材料へのプラズマ照射の影響
- 評価基準書21413 2層配線信頼性評価(PCT 後のビアチェーン抵抗変化)
- 評価基準書21433 2層配線信頼性評価(TC 後のビアチェーン抵抗変化)
- 評価基準書26201 p-SiOC<sub>2</sub>層配線の基準プロセスフロー
- 評価基準書22121 平坦性と CMP 研磨条件の相関関係の検討
- 評価基準書25510 Low-k 材料を用いた配線のパッケージ信頼性評価(TC 試験)
- 評価基準書25505 Low-k 材料を用いた配線のパッケージ不良解析
- 評価基準書23021 バッファコートと SiN 界面密着性評価法の開発