

「マスク設計・描画・検査総合最適化技術開発」

事業原簿【公開】

平成22年8月23日

担当部	独立行政法人新エネルギー・産業技術総合開発機構 電子・材料・ナノテクノロジー部
-----	--

目次

概要	(M-1)
略語集	(M-3)
I. 事業の位置付け・必要性について	I-1
1. 事業の位置付けについて	I-1
1.1 政府及び経済産業省の研究開発プログラムにおける位置付け	I-1
1.2 NEDO 電子・情報技術分野における位置付け	I-1
1.3 マスク技術の状況、環境とNEDOでの位置付けについて	I-4
2. 事業の必要性と実施の効果について	I-6
2.1 事業の必要性について	I-6
2.2 実施の効果について	I-7
2.3 国外の開発動向	I-8
II. 研究開発マネジメントについて	II-1
1. 事業の研究内容、目標、予算	II-1
1.1 研究開発の目標の妥当性について	II-1
2. 事業の体制	II-1
2.1 研究開発の実施体制	II-1
3. 情勢変化への対応	II-2
3.1 研究開発の運営、管理	II-2
3.2 研究費の推移と加速資金の活用	II-3

III. 研究開発成果について（事業全体の成果）	III-1
1. 事業全体の成果	III-1
1.1 マスク設計データ処理技術の研究開発	III-1
1.1.1 共通データフォーマットの開発	III-1
1.1.2 繰り返しパターンの高効率利用方法の開発	III-1
1.2 マスク描画装置技術の研究開発	III-2
1.2.1 CP 法による高速・高精度マスク描画技術の開発	III-2
1.2.2 モニター・自己診断技術の開発	III-2
1.2.3 パターン重要度に基づくランク分け描画技術の開発	III-3
1.2.4 MCC 方式並列描画装置技術の開発	III-3
1.3 マスク検査装置技術の研究開発	III-3
1.3.1 高速・高精度の検査アルゴリズムの開発	III-3
1.3.2 繰り返しパターン利用による検査効率化技術の開発	III-3
1.3.3 パターン重要度に基づく欠陥判定技術の開発	III-4
1.3.4 欠陥転写性に基づく欠陥判定技術の開発	III-5
1.4 研究開発成果によるマスク製造効率化	III-5
1.5 成果のまとめ	III-5
2. 研究開発技術の実用化の見通し	III-13
添付仕様書	
・共通データフォーマット (CP.D2I) 仕様書	III-14
・MDR フォーマット仕様書	III-22

【非公開】(Ⅲ. 研究開発項目毎の成果)

【非公開】(Ⅳ. 実用化の見通し (詳細))

添付資料

・プロジェクト基本計画	(N-1)
・イノベーションプログラム基本計画	(N-10)
・技術戦略マップ	(N-19)
・事前評価書	(N-28)
・NEDOポスト資料・パブリックコメント	(N-30)

概要

作成日 平成22年7月30日

プログラム（又は施策）名	ITイノベーションプログラム/エネルギーイノベーションプログラム					
プロジェクト名	マスク設計・描画・検査総合最適化技術開発	プロジェクト番号	P06018			
担当推進部/担当者	電子・材料・ナノテクノロジー部/山下					
0. 事業の概要	本プロジェクトでは、設計・描画・検査の3工程を通じた総合最適化を図ることによって、マスク製造コストの低減、製造時間の短縮、低消費電力化の実現を目指す。具体的には、①各工程に共通的なマスクデータ処理技術、②繰返しパターンを利用した描画・検査高速化技術、③パターン重要度を利用した描画・検査合理化と高速化技術、④並列化を利用した描画・検査高速化技術等の開発を行う。					
I. 事業の位置付け・必要性について	半導体デバイスの微細・高集積化の進展に伴い、回路パターンの原盤となるフォトマスクの製造に要する時間の増大と製造コストの高騰が問題となってきている。このことは、仕様の多様化や世代の交代が激しく、多品種変量（少量～中量）生産となるシステムLSIにとって、収益性を圧迫する深刻な問題である。マスクコストの8割以上はマスク設計/描画/検査の各工程が占めており、各工程単独の対応だけでは効果は限定的である。					
II. 研究開発マネジメントについて						
事業の目標	hp45nm技術領域におけるマスク設計、描画、検査に要する時間は、本技術を使わなかった場合のhp65nm技術領域における同面積のマスク設計、描画、検査に要する時間と比べ、1/2以下に短縮できることを示す。					
事業の計画内容	主な実施事項	H18fy	H19fy	H20fy	H21fy	
	①設計データ処理技術の研究	→				
	②描画装置技術の研究開発	→				
	③検査装置技術の研究開発	→				
	成果とりまとめ	→				
開発予算 (会計・勘定別に事業費の実績額を記載) (単位：百万円)	会計・勘定	H18fy	H19fy	H20fy	H21fy	総額
	一般会計					
	特別会計 石特/高度化 (電多・高度化・石油の別)	1,391	1,130	841	450	3,812
	総予算額	1,391	1,130	841	450	3,812
開発体制	経産省担当原課	商務情報政策局 情報通信機器課				
	プロジェクトリーダー	国立大学法人 東京大学大学院 教授 石原 直				
	委託先（*委託先が管理法人の場合は参加企業数も記載）	技術研究組合 超先端電子技術開発機構（参加12社） 共同実施先 北九州市立大学、名城大学 再委託先 産業技術総合研究所				
情勢変化への対応	開発を効率良く推進するために、マスク設計ベンダー、マスク製造装置メーカーだけでなく、マスク製造メーカー、デバイスメーカーが定期的な企画調査会議、技術会議により密接な連携を取って研究開発を進めてきた。国内外の学会にて積極的に発表、参加し、技術動向の情報収集及び成果のアピールを行った。動向変化に対応して開発項目の修正、機動的な加速資金の活用を行ってきた。					
III. 研究開発成果について	マスクの設計・描画・検査、各工程における時間短縮のための各個別技術の方式を確定し、ソフト、ハードの試作を実施。デバイス実データを用いた短縮効果、パターン重要度を反映した場合の効果を検証し、目標を達成。国内外で多数の成果発表を実施。					
	投稿論文	「査読付き」4件、「その他」31件 論文、学会発表 35件(うち英文32)				
	特許	「出願済」65件、(うち国際出願33件)				
IV. 実用化、事業化の見通しについて	開発した技術・機能を装置もしくは参画企業が開発を進め、製品あるいはオプションとして販売する計画。①設計データ処理技術の研究開発により策定し、②描画装置技術の研究開発及び③検査装置技術の研究開発により実証した共通データフォーマットについては、公開する予定。					

V. 評価に関する事項	事前評価	平成18年度実施 担当部 電子・情報技術開発部
	中間評価以降	平成22年度 事後評価実施予定
VI. 基本計画に関する事項	作成時期	平成18年3月 作成
	変更履歴	

略語集

3D	3 (Three) Dimension
A/D (Converter)	Analog-to-Digital (Converter)
ADAS	Automated Defect Analysis System (Trade Mark)
AIMS	Aerial Image Measurement System (Trade Mark)
AIST	National Institute of Advanced Industrial Science and Technology
AMAT	Applied Materials (Trade Mark)
AMiT	Advanced Mask Inspection Technology, Inc.
AMP	Amplifier
APT	Aperture
ASET	Association of Super-Advanced Electronics Technologies
BLKAMP	Blanking Amplifier
CAR	Chemically Amplified Resist
CC	Column Cell
CCD	Charge-Coupled Device
CD	Critical Dimension
CL	Computational lithography
CMP	Chemical Mechanical Polishing
CP	Character Projection, Cell Projection
CPU	Central Processing Unit
D/B	Database
DAC	Digital-to-Analog Converter
DAM	Design Aware Manufacturing
DB	Database
DEF	Design Exchange File
Def.	Deflection, Deflector
DFM	Design for Manufacturability
DIF	Design Intent File
DM	Data Memory
DPL	Double Patterning Lithography
DRC	Design Rule Check
EB	Electron Beam
e-beam	Electron Beam
EDA	Electronic Design Automation
eMET	Electron Mask Exposure Tool (Trade Mark)
EUV	Extreme Ultraviolet
EUVL	Extreme Ultraviolet Lithography
EWS	Engineering Work Station
Exp.	Exposure
FFT	Fast Fourier Transform
FPGA	Field Programmable Gate Array
FTP	File Transfer Protocol
GDS	Graphic Data System
GND	Ground
GUI	Graphical User Interface

H/W	Hardware
HDD	Hard Disk Drive
hp	Half Pitch
HT	Half Tone
I/F	Interface
ILT	Inverse Lithography Technology
ITRS	International Technology Roadmap for Semiconductors
L/S	Line and Space
LER	Line Edge Roughness
LSI	Large Scale Integration
LVS	Layout versus Schematic
LWR	Line Width Roughness
Mask D2I	Mask Design, Drawing, and Inspection
MCC	Multi Column Cell
M-Def	Main Deflector
MDP	Mask Data Preparation
MDR	Mask Data Rank
MEEF	Mask Error Enhancement Factor
ML2	Maskless Lithography
MOS	Metal-Oxide Semiconductor
MPU	Microprocessor Unit, Micro Processing Unit
MTF	Modulation Transfer Function
NA	Numerical Aperture
NEDO	New Energy and Industrial Technology Development Organization
NIL	Nanoimprint Lithography
OASIS	Open Artwork System Interchange Standard
OH	Overhead
OPC	Optical Proximity Correction
P&R	Place and Route
PC	Personal Computer
p-CAR	Positive tone Chemically Amplified Resist
PEC	Proximity Effect Correction
PML2	Projection Mask-Less Lithography
POC	Proof of Concept
PSM	Phase Shift Mask
REBL	Reflective Electron Beam Lithography
RET	Resolution Enhancement Technique
RPC	Remote Procedure Call
RTL	Register Transfer Level
S/N (Ratio)	Signal-to-Noise (Ratio)
S/W	Software
S-def	Sub Deflector
SEM	Scanning Electron Microscope
SEMI	Semiconductor Equipment and Materials International
Slit	Slit
SMO	Source Mask Optimization

SOI	Silicon on Insulator
SRAF	Sub-Resolution Assist Feature
STA	Static Timing Analysis
STARC	Semiconductor Technology Academic Research Center
T/R	Transmission/Reflection
TAT	Turn Around Time
TEG	Test Element Group
TPT	Throughput
Trans.	Transmission
VSB	Variable Shaped Beam
XML	Extensible Markup Language

I. 事業の位置付け・必要性について

1. 事業の位置付けについて

1.1 政府及び経済産業省の研究開発プログラムにおける位置付け

情報技術がめざましく発展している今日の社会では、情報・知識を時間や場所の制約を受けず誰もが自由自在かつ安全に活用できる情報通信環境の実現が望まれている。このような応用システムを支える基幹となる先端半導体 LSI 技術においては、今後進展する微細化に対する課題解決が不可欠である。また、上記分野においてはさらなるモバイル化、ユビキタス化が進展するため、それに伴って、半導体 LSI の高機能化、低消費電力化へのニーズはますます強くなるものと予測される。本プロジェクトは、このような要求を満たすシステム LSI やメモリ等の高機能・低消費電力 LSI の実現に必要な半導体デバイス・プロセス基盤技術の確立を目的として、経済産業省において制定されたITイノベーションプログラム、及びエネルギーイノベーションプログラムの一環としてMIRAI事業の一部を成すプロジェクトとして実施されている。

上記イノベーションプログラムは、平成 19 年 6 月に改訂された経済成長戦略大綱において、我が国の国際競争力強化のために注力すべき分野として、情報家電、ロボットなどが挙げられている中に位置付けられる。また第3期科学技術基本計画が総合化学技術会議の諮問を経て、平成18年3月に閣議決定されており、重点分野である情報通信分野にも位置づけられる。更に、高度情報通信ネットワーク社会推進戦略本部（IT戦略本部）にて平成 18 年 1 月に策定されたIT新改革戦略においても、「いつでも、どこでも、誰でも IT の恩恵を実感できる社会の実現」に向けた取り組みである。特に IT 戦略本部において制定された重点計画－2006では、2. 6章の「次世代のIT社会の基盤となる研究開発の推進－戦略的な研究開発の取り組み－」の具体的施策の一つとして「2010 年までに 45 ナノmレベルの半導体微細化による高速度・低消費電力デバイスを実現するとともに、これに対応する設計・開発支援技術、製造基盤技術及び実装技術を確立する。」と明記されており、半導体微細化技術が IT 推進の中核的技術であると認識されている。

1.2 NEDO 電子・情報技術分野における位置付け

また、NEDOでは電子・情報技術分野において「高度情報通信社会の実現」、「IT 産業の国際競争力の強化」のための技術開発としてプロジェクトを実施している。半導体分野は図 I .1.2-1 に示す電子・情報通信分野において、各種アプリケーションに用いられるITシステム技術を支えるデバイス技術の中核となる電子デバイス技術として位置付けられている。半導体技術において微細化技術は、デバイスの高機能化、小型化、省エネルギー化を推し進める上で最も重要な基礎技術として進めるべき技術課題と捉えている。

分野別開発方針

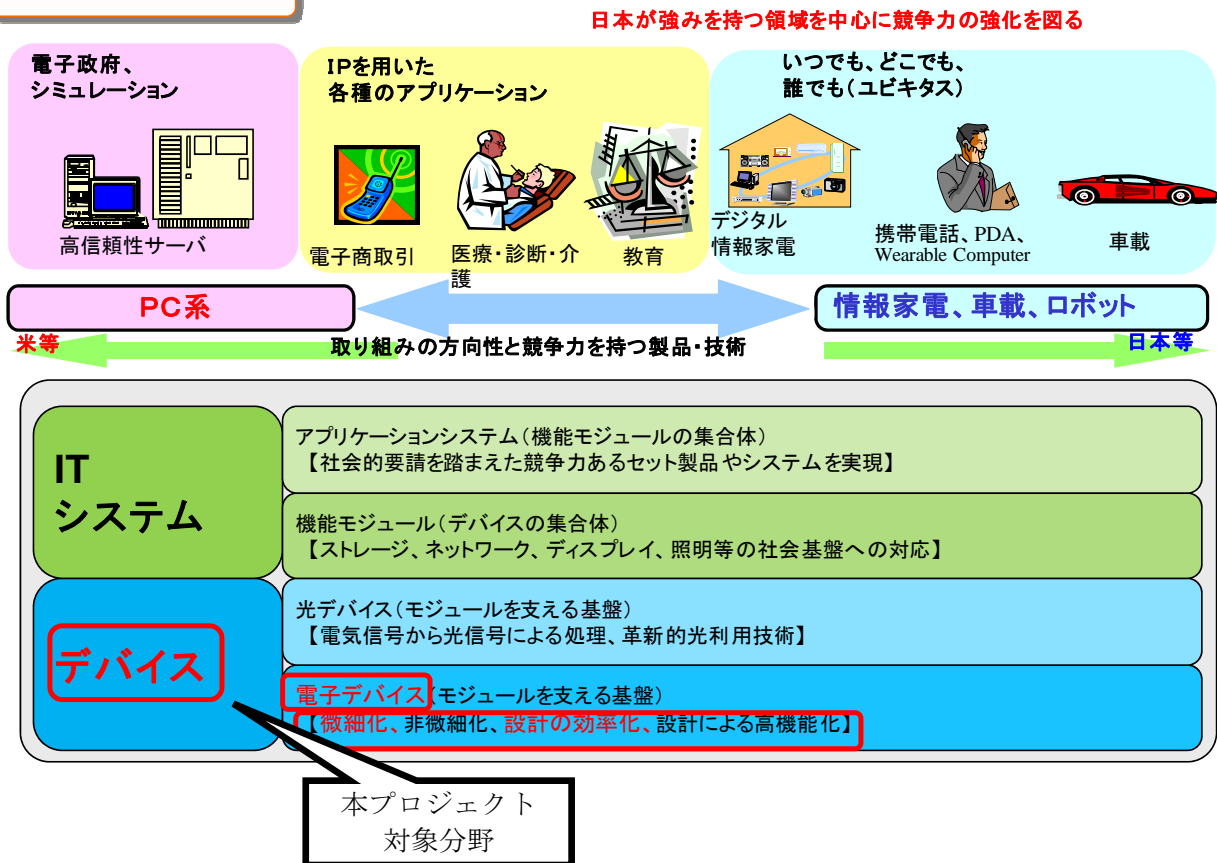
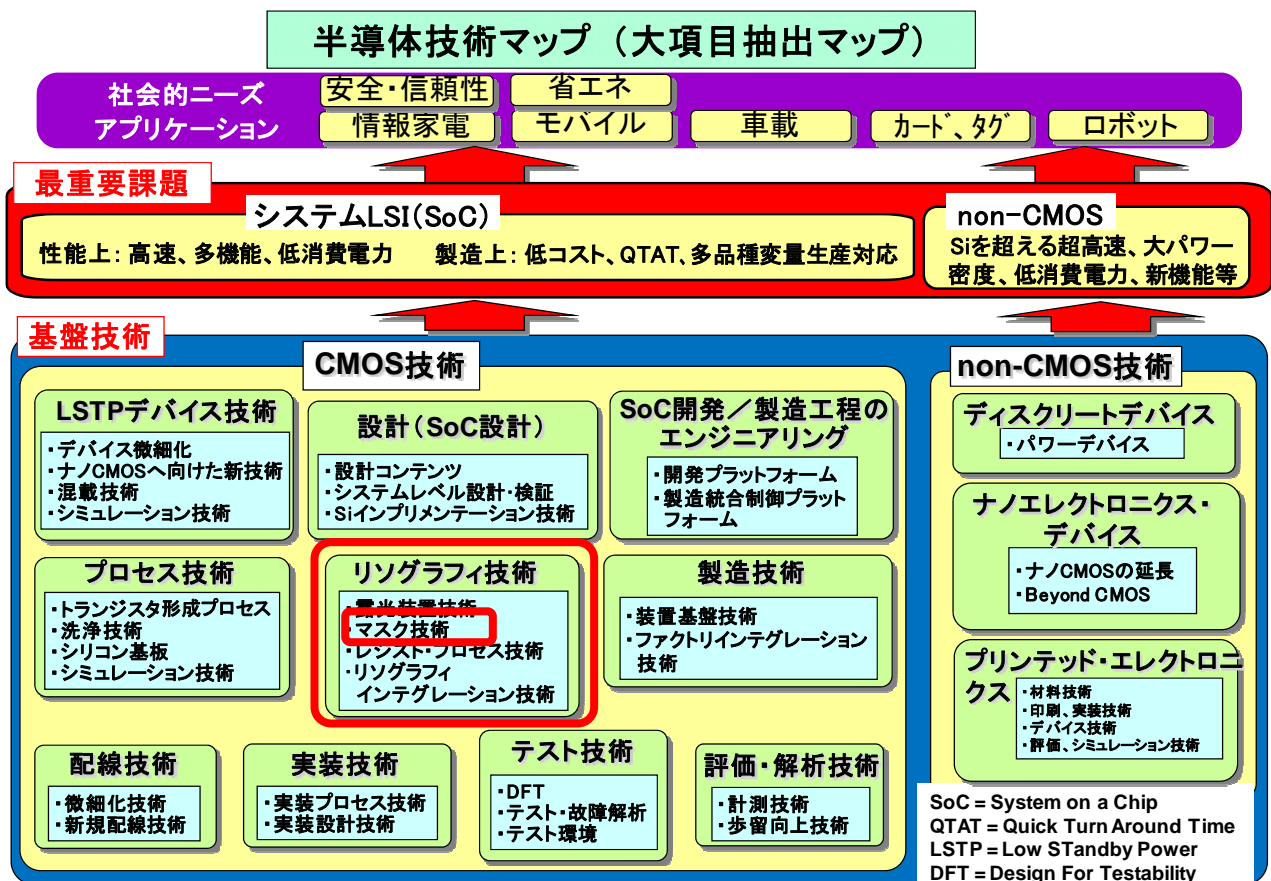


図 I .1.2-1 NEDO 電子・情報技術分野における位置付け
(高度情報通信社会とそれを支える技術分野)

更に NEDO 技術開発機構が編纂した NEDO 半導体技術マップ(2010 年版:図 I .1.2-2)が示すように、我が国の得意とする情報家電や車載応用にシステム LSI の高機能化、低消費電力化などを実現していくために多くの技術開発が必要とされている。本プロジェクトの対象分野であるマスク技術は「リソグラフィ技術」の一つとして重要な役割を担っている。また年次のロードマップ(2010 年版:図 I .1.2-3)としては設計・描画・検査技術の短縮、検出感度向上、検査時間短縮という課題解決に関連した技術として「マスク設計・描画・検査総合最適化によるQTAT・低コストマスク作製技術」が2011年以降に実用化されることが望まれている。



微細・高集積化の進展に伴い、開発すべき技術課題の難度と、その克服に要する研究開発資源が増大してきている。

図 I .1.2-4 に 1995 年から 2007 年までの半導体世界市場と 2016 年までの予想を示す。半導体市場規模は、2009 年に世界的な不況により一時減少するが、2010 年以降回復すると予想され、今後も成長の見込める市場であることに変わりはない。2010 年以降市場が年 6.5% で成長すると仮定すると、hp22nm¹ デバイスの量産開始が見込まれる 2016 年には世界市場規模は 40 兆円になる(1ドル 100 円換算)。このうちシステムLSIの世界市場規模は半導体市場全体の約 30%、その 30%程度が最先端及び準先端微細化技術で作製されると仮定すると、本プロジェクトに係わる技術の波及する市場規模は4兆円規模と推計される。

マスク製造に関わる市場はこれら半導体市場の一部をなしており、規模そのものはより小さいが、半導体市場のトレンドと概ね連動するとされている。従って、今後の半導体市場の伸びに伴って拡大する成長市場であり、マスク技術は半導体の微細化進展に直接関わるキーテクノロジーでもある。

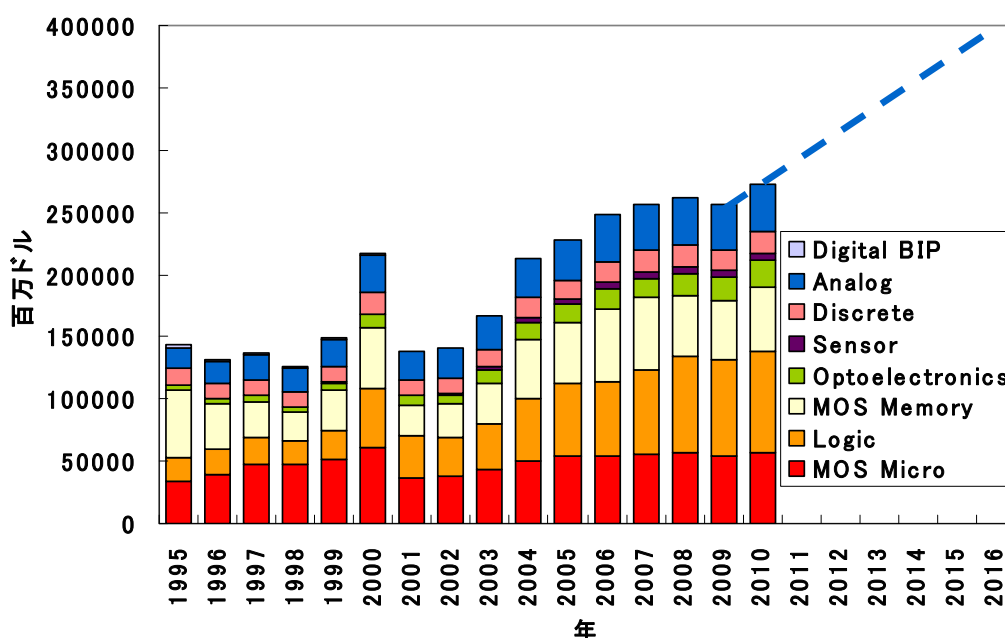


図 I .1.2-4 半導体世界市場 (WSTS データを集計)

1.3 マスク技術の状況、環境とNEDOでの位置付けについて

以上のような半導体微細化の進展に伴って、マスク技術を巡る環境として、求められる技術水準は年々高くなっている。ITRS (2007 ITRS JEITA 和訳: 図 I .1.3-1) によると、例えば 2012 年のマスクに要求される CD 均一性は MPU ゲートで 1.1nm、DRAM で 2.1nm とされている。この値は同じ時期のリソグラフィにおける CD コントロール値 (MPU ゲートで 1.5nm、DRAM で 2.9nm) に比べても小さい。単純な比較が妥当とは言えないものの、マスクはデバイスパターン原盤となるために、寸法が 4 倍であっても高精度、低欠陥が求められることが伺える。加えて、転写光の波長に対してパターン寸法が小さいためにマスクパターンの寸法変動が転写像に及ぼす比率を示す MEEF が高くなってきていることが、マスク寸法精度への要求

¹LSI の配線層のピッチで最小のもの 1/2 をハーフピッチ (hp) と呼ぶ。ここでは半導体 LSI の微細化レベルの指標として hp を用いる。

を高めている。即ち、マスクの製造は半導体デバイス製造を支える重要な工程であるだけでなく、高精度の技術レベルへの挑戦的な取り組みが求められる分野であると言える。

また、近年のマスク作製に関わるデータ量も膨大になってきており、2012 年の要求値として1TB を超える(1310GB)と見込まれており、データ量増大に伴ってマスク製造時間も増加している。

Year of Production	2007	2008	2009	2010	2011	2012	2013	2014	2015
DRAM ½ pitch (nm) (contacted)	65	57	50	45	40	36	32	28	25
DRAM/Flash CD control (3 sigma) (nm)	5.6	4.7	4.2	3.7	3.3	2.9	2.6	2.3	2.0
MPU/ASIC Metal 1 (M1) ½ pitch (nm)(contacted)	68	59	52	45	40	36	32	28	25
MPU gate in resist (nm)	42	38	34	30	27	24	21	19	17
MPU physical gate length (nm)	25	23	20	18	16	14	13	11	10
Gate CD control (3 sigma) (nm) [A]	2.6	2.3	2.1	1.9	1.7	1.5	1.3	1.2	1.0
Overlay (3 sigma) (nm)	13	11	10	9.0	8.0	7.1	6.4	5.7	5.1
Contact in resist (nm)	84	73	64	56	50	44	39	35	31
Mask magnification [B]	4	4	4	4	4	4	4	4	4
Mask nominal image size (nm) [C]	170	151	135	120	107	95	85	76	67
Mask minimum primary feature size [D]	119	106	94	84	75	67	59	53	47
Mask sub-resolution feature size (nm) opaque [E]	85	76	67	60	54	48	43	38	33
Image placement (nm, multipoint) [F]	7.8	6.8	6.0	5.4	4.8	4.3	3.9	3.5	3.1
CD uniformity allocation to mask (assumption)	0.4	0.4	0.4	0.4	0.4	0.4	0.4	0.4	0.4
MEEF isolated lines, binary or attenuated phase shift mask [G]	1.6	1.8	2	2.2	2.2	2.2	2.2	2.2	2.2
CD uniformity (nm, 3 sigma) isolated lines (MPU gates), binary or attenuated phase shift mask [H] *	2.6	2.1	1.7	1.3	1.2	1.1	1.0	0.9	0.8
MEEF dense lines, binary or attenuated phase shift mask [G]	2.2	2.2	2.2	2.2	2.2	2.2	2.2	2.2	2.2
CD uniformity (nm, 3 sigma) dense lines (DRAM half pitch), binary or attenuated phase shift mask [J]	4.0	3.4	3.0	2.7	2.4	2.1	1.9	1.7	1.5
MEEF contacts [G]	3.5	4	4	4	4	4	4	4	4
CD uniformity (nm, 3 sigma), contact/vias [K] *	2.5	1.9	1.7	1.5	1.3	1.2	1.1	1.0	0.9
Linearity (nm) [L]	10.4	9.1	8.0	7.2	6.4	5.7	5.1	4.6	4.1
CD mean to target (nm) [M]	5.2	4.5	4.0	3.6	3.2	2.9	2.6	2.3	2.0
Defect size (nm) [N] *	52	45	40	36	32	29	26	23	20
Blank flatness (nm, peak-valley) [O]	250	218	192	173	154	137	121	109	97
Pellicle thickness uniformity [P]	5.0	4.6	4.2	3.8	3.5	3.3	3.0	2.8	2.6
Data volume (GB) [Q]	413	520	655	825	1040	1310	1651	2080	2621

リソグラフィ
CD コントロール値
MPU ゲート : 1.5nm
DRAM hp : 2.9nm

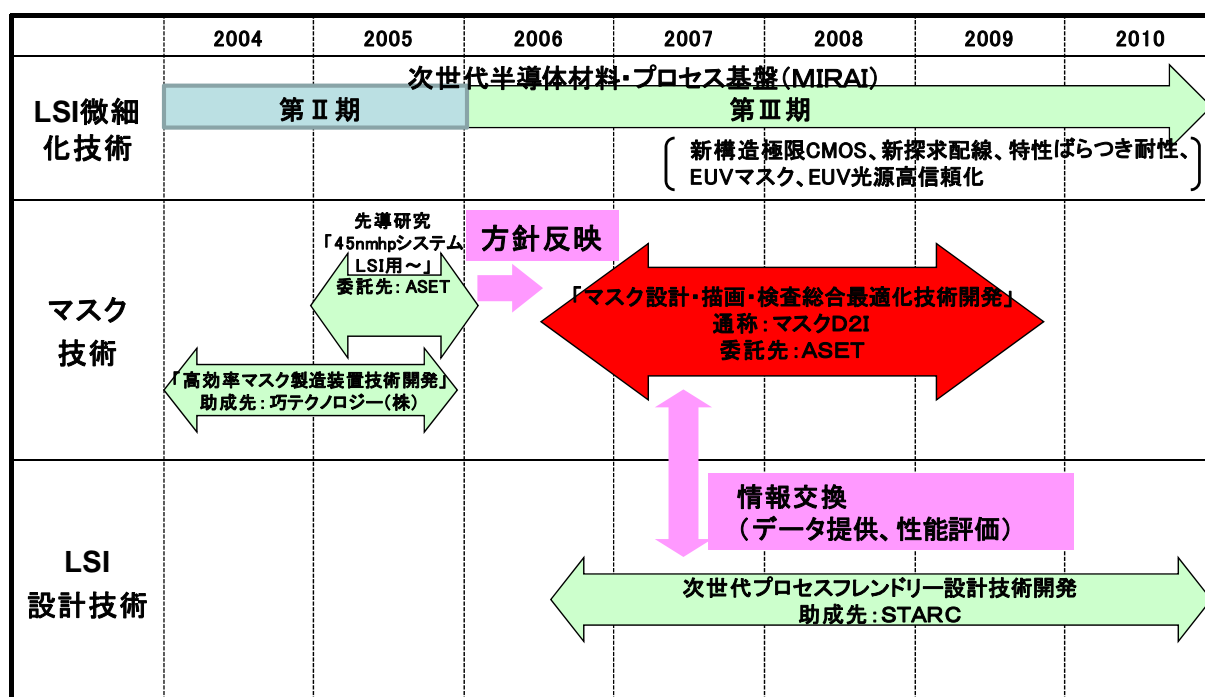
マスク
CD 均一性
MPU ゲート : 1.1nm
DRAM hp : 2.1nm

マスク
データサイズ
1310GB

図 I .1.3-1 ITRSにおけるリソグラフィ、マスクへの要求値
(2007 ITRS JEITA 和訳 「リソグラフィ」ページ16、Table LITH5a)

以上のように、高い技術レベルが求められ、製造時間の増加が半導体製造工程の中でもより大きな比率を占めてきているマスク技術に関して、NEDO では公的資金による支援の必要な分野と考え、本プロジェクト以前にも関連する施策を行ってきている。図 I .1.3-2 に半導体分野での位置付け、関連プロジェクトとの連携を年次系列で示している。NEDOでは微細化を推進する基盤技術開発としてMIRAIプロジェクトをⅢ期にわたって取り組んできている。また微細化を進める上で、マスク技術の重要性が増してきていることに鑑みて平成 16 年度より「高効率マスク製造装置技術開発」プロジェクト(助成事業)を、また平成 17 年度には「45nmhp システム LSI 用設計・描画・検査最適化技術への先導研究」を実施し、マスクコスト低減へ取り組みを進めていた。本プロジェクトでは先導研究で見出された方向性を基本方針に反映して策定された。また、本プロジェクトと特に関連の深いプロジェクトとして「次世代プロセスフレンドリー設計技術開発」プロジェクトが挙げられる。当該プロジェクトの助成先である株式会社 半導体理工学センター (STARC)はマスク製造

の上流工程となるLSI設計技術を担っており、マスク技術の開発を進める上で連携を深めることで相互にシナジー効果が得られることが期待できる。



: 本事業
 : NEDO事業

図 I.1.3-2 半導体分野での位置付け、関連プロジェクトとの連携

2. 事業の必要性と実施の効果について

2.1 事業の必要性について

本プロジェクトは hp45nm 以降まで広い技術世代に向け、微細化を進める上で重要と考えられるリソグラフィでの技術課題の克服に挑戦するものである。これらの技術課題は非常に難度が高いため、業態の垣根を越えて一体となった取り組みが必要である。このため、産学官の英知を結集して当たる必要があり、国家プロジェクトとして NEDO が関与すべきものと考えられる。

本プロジェクトが対象としている技術課題は、今後の微細・高集積化を進める上で重要な鍵を握る技術に関わるものであり、世界に先駆けてこれらの課題を克服することは、我が国半導体産業の国際競争力強化に不可欠な要件である。半導体デバイス及びマスク技術の高度化は、関連する半導体製造装置、材料、ソフトウェア等の関連産業においても、技術の高度化を促進するものであり、国際競争力の強化に寄与することとなる。また、半導体 LSI は、情報通信分野はもとより、広範な産業分野(家電、自動車、モバイル、ロボット等)に応用され、高付加価値の新製品開発と、それによる競争力強化に貢献するものと期待される。さらに、半導体とその関連技術は、バイオ、MEMS、NEMS、ナノテクといった新たな成長分野を根底から支え、変革していく基盤技術として、将来の新規産業創出等、極めて大きな波及効果が期待されている。

本プロジェクトは、開発課題の性格上、産学官の英知を結集して開発を行う必要があることに加え、我が国半導体とその関連産業の国際競争力強化、および国家的重点目標である高度情報化社会の実現に寄

与するものであり、さらには、広範な産業分野への大きな波及効果が期待され、産業政策・情報政策の面からも極めて重要な課題であることから、国家プロジェクトとしてNEDOが関与すべきものと考えられる。

本技術開発の推進には、マスク製造のインフラストラクチャーに関わる業界が中心となって工程間相互の連携をとることが第一に重要である。加えて、開発した機能、装置などを有用なものとするためには工程として上位になるLSI設計との整合が重要であり、開発した技術のユーザーとなるマスクメーカー、デバイスメーカーの密接な関与を得る上でもNEDOでの枠組みが有効である。

2.2 実施の効果について

半導体市場規模は図 I .1.2-4 で示した通りであるが、この規模は本プロジェクトの成果が直接及ぶと考えられるLSIに限ったものであり、システムLSIの各種応用機器まで含めると、さらに大きな効果がもたらされるものと考えられる。高機能・低消費電力システムLSIが実現すれば、生活空間のあらゆる場面での活用が進み、情報通信システムの高度化、生活・医療サービス、高齢者支援、デジタル家電の知能化など、幅広いサービスが実現して大きな新市場創出につながることを期待できる。

また、省エネルギーに関して本プロジェクトの効果を試算すると、半導体デバイスの微細化が進行した結果削減されるLSI消費電力量は、2020年に8.7TWh、2030年に17TWhになる。これを石油消費量削減効果に換算すると、それぞれ、205万kl、389万klに相当する。この試算は、

消費電力削減量 = (本事業が実施されない時のLSIの消費電力量) - (本事業が実施された時のLSIの消費電力量)

として、処理すべき情報量は同じとの仮定で計算したものである。

世界全体での半導体市場のうち、ディスクリット、センサー等を除いた微細化技術の関わるLSI市場は約19兆円(2009年)であり、その構成はLogic、MOS Micro、MOS Memori、Analogからなる。このうち本プロジェクトが主に対象としているLogic製品は7兆円である(図 I .2.3-1: 出典WSTS)。これに対してマスクの市場は2000億円台(2009年)と、LSI全体に対して2桁小さい規模であり、市場規模の推移はLSIの推移に概ねリンクする(半導体産業新聞 2010/4/7)。このうちデバイスメーカー内製を除いた外販市場は6割であり、日本のマスクメーカーが高いシェアを有している。本プロジェクトの成果が直接及ぶのは先ずマスク市場であり、またマスク製造を支える技術としてマスク設計(ソフトウェア)、電子線描画、マスク光学検査技術がある。これらの市場はマスク市場の一部を成すものであり、マスク描画装置のクリティカルレイヤー用EB描画装置は年間10~20台程度、マスク欠陥検査装置については220億円(いずれも2009年)と見込まれる。これら業界では競争力強化が直接図られると期待される。現在、国内メーカーとしてマスク描画装置メーカーは高いシェアを獲得しており、日本の強みと言える。本プロジェクトは各業界相互に連携した取り組みによって、全体としての競争力強化を期待するものであり、技術開発の実用化によって得られるマスク製造時間、コスト低減の効果はユーザーの立場であるデバイスメーカーの競争力強化にも寄与するものである。

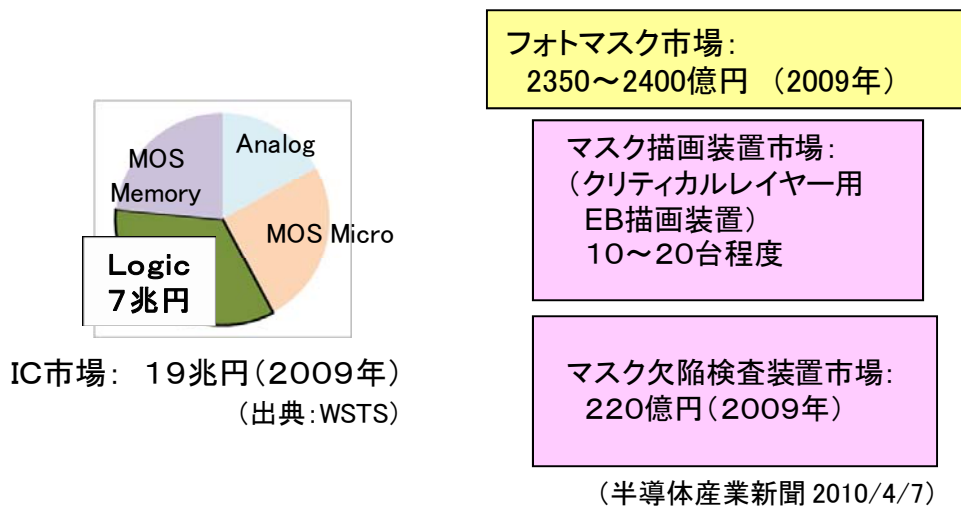


図 I .2.3-1 国内外の市場、業界の動向

2.3 国外の開発動向

本事業に関連した海外での技術開発プロジェクト動向としては、電子線描画技術に関して欧州ではMEDEA+プロジェクトにおいてCEA-Leti（フランス原子力庁 電子・情報技術研究所）をプロジェクトリーダーとしたMAGICプログラム（MAskless lithoGraphy for IC manufacturing）が2008年に発足（3ヶ年）。MAPPERによる並列方式による高速直接描画技術の開発が進められ、試作機（pre- α 機）がユーザー（TSMC及びLeti）で評価されている。2009年にはCEA-LetiとMAPPERとの共同開発が発表されている。同じく欧州のMEDEA+におけるCRYSTALプロジェクトでマスク設計に関する技術開発を進めている。また米国ではDARPAプログラムでKLA-Tencorによる電子線転写技術の開発が取り組まれている。

業界ごとにみると、我が国ではマスクメーカー、マスク描画装置メーカーは高いシェアを有しており日本の強みと言える。一方、マスク検査装置市場においては、KLA-Tencor及びAmatが優位な状況であり、設計、ソフトウェア分野に関してデバイス設計、シミュレータはMentor、Brionなどの海外ベンダーが優位である。これに対して日本が優位な技術分野であっても海外の動向にも注視して技術開発を進める共に、設計・描画・検査の工程間及びマスクメーカー、デバイスメーカーとも密接に連携した取り組みによって国際競争力の強化を図る必要がある。

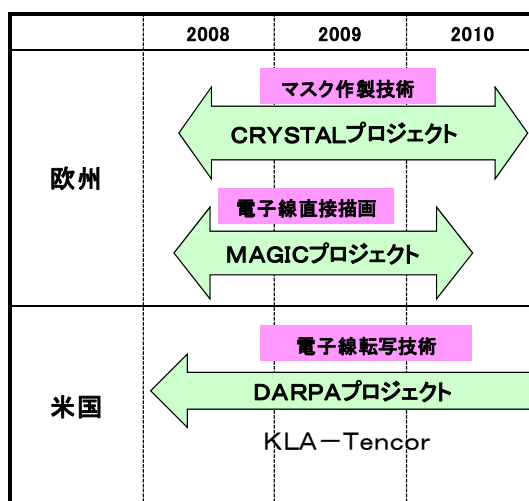


図 I .2.3-2 国外の技術開発動向

II. 研究開発マネジメントについて

1. 事業の研究内容、目標、予算

1.1 研究開発の目標の妥当性について

「マスク設計・描画・検査総合最適化技術開発」は以下3項目の技術開発に分担し、各々についても基本計画において技術開発目標を明確に定量的に設定した。基本計画に掲げた目標を表 II.1.1-1 に示す。プロジェクト全体の目標は以下の条件を考慮して策定した。

- ・マスクのコストは1世代毎に約2倍で増加。
- ・プロジェクト終了後、2世代(45, 32nm世代)に適用してマスクコストが同等かそれ以下となる効果を期待。
- ・コストを製造時間に置き換えることで目標を設定。
- ・プロジェクト後半で、40nm台の実データの利用可能性があることから、65nm(成果未使用)と45nm(D2I成果使用)の製造時間比較により目標を設定。

そして、全体目標の達成に必要な技術開発目標を①設計、②描画、③検査の各工程に対して設けた。①設計においては、データ処理・転送・変換時間の増大、データストレージの巨大化を抑える観点からパターンデータ量の削減を目標とし、②描画、③検査においては全体目標と整合する時間短縮を目標とした。

表 II.1.1-1 各技術開発項目の目標

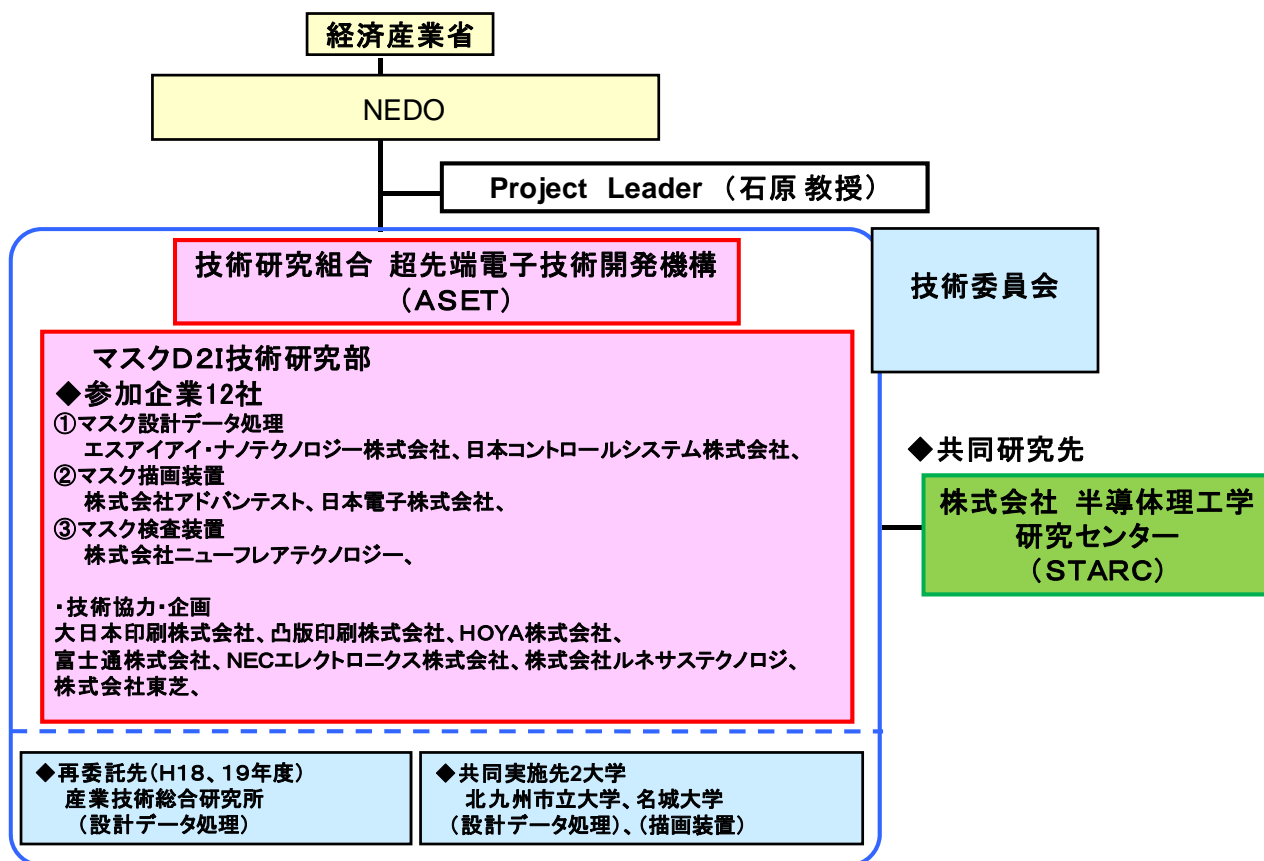
開発項目	基本計画目標
「マスク設計・描画・検査総合最適化技術開発」	hp45nm技術領域におけるマスク設計、描画、検査に要する時間は、本技術を使わなかった場合のhp65nm技術領域における同面積のマスク設計、描画、検査に要する時間と比べ、1/2以下に短縮できることを示す。 以上により、マスク設計・描画・検査総合最適化の基盤技術を確立する。
①マスク設計データ処理技術の研究開発	・開発したデータフォーマットによるパターンデータ量は、既存のCAD出力(GDSII)に比べ1/10以下に削減できることを示す。
②マスク描画装置技術の研究開発	・hp45nm技術領域におけるマスク描画に要する時間は、本技術を使わなかった場合のhp65nm技術領域における同面積のマスク描画に要する時間と比べ、1/2以下に短縮できることを示す。
③マスク検査装置技術の研究開発	・hp45nm技術領域におけるマスク検査に要する時間は、本技術を使わなかった場合のhp65nm技術領域における同面積のマスク検査に要する時間と比べ、1/2以下に短縮できることを示す。

2. 事業の体制

2.1 研究開発の実施体制

本プロジェクトの研究開発は、NEDOが選定した委託先、技術研究組合超先端電子技術開発機構(ASET)が実施する。また、本プロジェクトにおける研究開発と産業界の実用化に向けた取り組みが一体的

にマネジメントできるように、研究開発責任者(プロジェクトリーダー:東京大学大学院 教授 石原 直)を置き、そのリーダーシップの下に研究開発を実施することとし、その下に研究者を可能な限り結集して効率的な研究開発を実施してきた。研究実施体制を図Ⅱ.2.1-1に示す。



図Ⅱ.2.1-1 研究開発体制

ASETには、設計・描画・検査それぞれの開発を実行可能なメーカーが参加しており、なおかつ主要なマスクメーカーデバイスメーカーの参画し、総合最適化技術開発を推進できる体制が取られている。研究開発の推進においてはマスクインフラを支えるメーカーが中心となって、工程相互に連携をとって機能を開発する。デバイスメーカー、マスクメーカーは開発に必要なデータの提供、開発したツールの試用、評価等の実働を伴うものである。

3. 情勢変化への対応

3.1 研究開発の運営、管理

NEDOでは、マスク、リソグラフィに関する国内外の学会に参加して技術動向を収集し、動向変化に対応して計画の見直しを行っている。計画立案時に想定していない新規の課題に対しても早期に対応している。具体的には、期中において、ヒアリングの実施、ASET主催の会議への参加を通じて状況を把握し、研究内容、体制の一部見直し、加速資金の投入することにより、課題の解決を図った。ヒアリングは年間2回定期的実施し、資源配分の見直しに反映を行ってきた。またプロジェクト最終年度においては特に実用化の見通しを重点的に議論し、個別メーカーの状況を把握して、実用化イメージの明確化を図ってきた。

一方、ASETでの運営としては、企画調査会議及び技術委員会を組織し、これら委員会においては、マ

スク設計ベンダー、マスク製造装置メーカーだけでなく、マスク製造メーカー、デバイスメーカーが密接な連携を取って研究開発を進めてきた。NEDOではこれら会議に毎回参加して研究進展状況を把握し、助言、コメントを行ってきた。会議での運営としては、週単位での進捗報告、管理が毎月行われ、状況変化に応じた対応を行ってきた。また年間の外部発表計画を各テーマ、開発室ごとに設定し、海外に向けても戦略的な情報発信を行ってきた。年間の進捗、成果を広く周知するために、公開での成果報告会を毎春に合計4回開催した。

知的財産権の管理、運営に関しては、バйдール法の趣旨に添って実施者、参画企業の判断を尊重しつつ年度ごとの目標を研究テーマ、室ごとに定めて積極的な出願、活用を進めた。出願にあたっては出願による公開の是非を含めてASETでの審査を経て実行した。更に、本研究により開発したソフトウェアは、プログラム著作物として登録を行い、プロジェクトの成果物であることと、参画企業への帰属を明確にした。

テーマ、体制見直しの例としては、アナログ回路設計への対応を開発項目に追加、また再委託先が実施した設計技術開発の研究成果を実用化見通しの観点から継続の可否を判断、といった場合が挙げられる。これらの見直しは技術委員会での議論を経て、プロジェクトリーダーのアドバイスのもと、NEDOにて了解して実施した。

3.2 研究費の推移と加速資金の活用

本事業に投入した研究費をテーマ別に表Ⅱ.3.2-1に、また年次別の推移を表Ⅱ.3.2-2に示す。研究において装置開発を伴う②描画装置技術及び③検査装置技術には相対的には重点的に配分を行った。①データ処理技術に関してはソフトウェア開発に関わる費用が中心である。

表Ⅱ.3.2-1 研究費のテーマ別配分

① マスク設計 データ処理技術 の研究開発	② マスク描画装置 技術の研究開発	③ マスク検査装 置技術の研究開 発	「マスク設計・描画・検査総合 最適化技術開発」全体
445百万円	2,268百万円	987百万円	3,812百万円 (共通:112百万円)

表Ⅱ.3.2-2 研究費の年次別推移

2006	2007	2008	2009	4年間総額
1,391百万円	1,130百万円	841百万円	450百万円	3,812百万円

情勢変化に応じた資源配分見直しの一環として加速資金を機動的に投入してきた(図Ⅱ.3.2-3)。以下に加速の項目を列挙する。この中でも特に平成19年度に実施した「マスク描画(MCCシステム化早期着手)」及び平成20年度の「欠陥転写性ベース高速・高精度欠陥評価システム構築」は金額も大きく、実施内容もプロジェクト全体の成果に関わる重要な配分の判断であった。

◎研究を加速する機動的な資金投入				
	2006	2007	2008	2009
(1)マスク設計	繰り返しパターン利用(OPC生成):40百万円	描画データ作成ソフト及び並列計算機:57.8百万円		
(2)マスク描画	CP描画要素技術(前倒し):120百万円	マスク描画(MCCシステム化早期着手):297百万円 マスク描画(自己診断機能付位置決めアンプ、描画統合監視システム):93百万円	コラムセルの精度向上進展を受けて4本全コラムの製作、システム化を加速 海外メーカーの転写性考慮検査技術の進展動向に対応して検査に配分	
(3)マスク検査	並列計算機環境構築(前倒し):50百万円	マスク検査効率化(ビューイングソフトの高速化)技術開発:23百万円	欠陥転写性ベース高速・高精度欠陥評価システム構築・評価:231百万円	

図 II.3.2-3 状況変化への対応、加速資金投入の経緯

(平成18年度)

- ◆繰り返しパターン利用(OPC生成):40百万円
産総研が開発したロジックに有効と期待される遺伝的アルゴリズムを用いたOPC生成。
- ◆CP描画要素技術:120百万円
電子光学系の方式選択に目処がつき、試作早期着手。
- ◆並列計算機環境構築:50百万円
検査アルゴリズムに設計意図、レイアウト解析を反映できる研究環境を増強

(平成19年度)

- ◆描画データ作成ソフト及び並列計算機:57.8百万円
効果の確認されたMDR利用の機能(_intent)を拡充し、MCC描画用データ処理を増強。
- ◆マスク描画(MCCシステム化早期着手):297百万円
コラムセルの精度向上進展を受けて4本全コラムの製作、システム化を加速。
- ◆マスク描画(自己診断機能付位置決めアンプ、描画統合監視システム):93百万円
個別モニター機能の有効性確認を受けて統合監視システム化を加速。
- ◆マスク検査効率化(ビューイングソフトの高速化)技術開発:23百万円
速度向上の成果が得られたビューイング時間を更に短縮。

(平成20年度)

- ◆欠陥転写性ベース高速・高精度欠陥評価システム構築・評価:231百万円
海外メーカーの転写性考慮検査技術の進展動向に対応して検査に配分。

・研究開発成果について (事業全体の成果)

1.事業全体の成果

平成 18 年度から平成 21 年度のわたるそれぞれの技術開発の成果は以下の通りである。

1.1 マスク設計データ処理技術の研究開発

1.1.1 共通データフォーマットの開発

共通データフォーマットの開発では、マスク設計・描画・検査に共通の基本的なデータフォーマット、それに付随する基本ソフトウェアおよび基本的なインターフェースの開発を行った。また、設計インテントからマスクデータランク (Mask Data Rank: MDR) と名付けたマスクパターン重要度を抽出する基本ソフトウェアの開発を行い、MDR 活用手法の実用評価および改良を行い総合的な有効性を確認し、MDR 活用基本技術を確立した。さらに、本研究項目においてはアナログ回路の設計インテント抽出とそれに基づく MDR にも注目し、当初の予定にはなかったアナログ回路の設計インテントおよび MDR の抽出を行う基本ソフトウェアの開発も行った。

マスクパターンの重要度を表す MDR については、Design Aware Manufacturing (DAM) の構想を提案し、商用の EDA (Electronic Design Automation) ツールから設計インテントを抽出して DIF (Design Intent File) を作成し、さらにこれをもとに MDR を作成するソフトウェアツールを、次世代プロセスフレンドリー設計技術開発プロジェクトを実施している半導体理工学研究センター (STARC) および北九州市立大学と共同で作成し、主要な EDA ツールから、自動的にゲート、クリティカルネット、シールド、ダミー、電源グリッド、リソ・ホットスポットなどの MDR を抽出するフローを完成した。また、アナログ回路の設計インテントおよび MDR 抽出プログラムを開発した。

このフローを実デバイスデータに適用して MDR の抽出を行い、MDR を使ったマスク検査およびマスク描画のシミュレーションにより、MDR 適用によるマスク検査およびマスク描画の TAT 短縮効果を評価して MDR の有効性を確認した。具体的には、平均 4% のマスク描画 TAT の短縮、平均 34% のマスク検査総 TAT の短縮、平均 76% のマスク検査レビュー時間短縮である。また、設計インテントのウェハプロセスにおける活用のために、ウェハ CD-SEM 測長ポイント抽出フローを開発した。

共通データフォーマットの開発については、マスク設計・描画・検査における総合最適化に有効な概念を表現できる共通データフォーマットを設計した。データ処理が複雑化せず、マスク描画装置、検査装置に共通に使用することができ、データサイズがコンパクトな新データフォーマットとして設計した。

共通データフォーマット (CP.D2I) 仕様書と MDR フォーマット仕様書を本資料の最後に添付する。

1.1.2 繰り返しパターンの高効率利用方法の開発

繰り返しパターンの高効率利用技術の研究では、繰り返しパターン抽出ツールおよびキャラクタープロジェクション (Character Projection: CP) マスク作成を考慮したデータ変換の基本ソフトウェア開発を行って、これらの評価・改良と総合的な有効性を確認し、繰り返しパターンの高効率利用の基本技術を確立した。

具体的には、OPC 後のマスクパターンデータから繰り返しパターンを抽出する基本フローを開発し、これにサンプル抽出による抽出範囲最適化機能や抽出済み共通 CP を利用する機能を加えて、実用的なフローとした。本フローを実デバイスデータに適用して、繰り返しパターン利用描画 (CP 描画) によるマスク描画ショット数削減の評価を行い、平均 49% のマスク描画ショット数低減、平均 31%

のマスク描画 TAT 短縮が得られることを明らかにした。さらに、非常に微細なグリッドによる OPC を施したマスクパターンに対して、MDR を考慮して模擬的に OPC を緩和して繰り返しパターンを抽出する評価を行い、MDR を考慮した OPC の適用により繰り返しパターン抽出効率が向上することを示した。また、CP 方式のマスク描画のための CP マスク作成を考慮したデータ変換フローの基本的開発を行い、これをデバイスパターンに適用して、CP マスクを製作した。

1.2 マスク描画装置技術の研究開発

1.2.1 CP 法による高速・高精度マスク描画技術の開発

CP 法による高速・高精度マスク描画技術の開発では、倍率 10 倍で 2080 個（最大サイズ 2 μ m 角）の CP 選択が可能な電子光学系の設計・製作を行い、CP 法における描画位置精度と描画寸法精度の高精度化対策方法を開発し、CP 法による高速・高精度マスク描画の基本技術を確立した。なお、本開発項目は (4) MCC 方式並列描画装置技術の開発とあわせて行った。

具体的には、製作した電子光学系について CP 選択による電流密度変化を評価し、描画時間制御によってパターン描画精度上問題にならない $\pm 0.2\%$ 以内の電流密度均一性が得られていることを確認した。また、CP 選択によるマスク上の偏向位置に応じた CP マスクパターンの転写像の変形は 2nm 以下で実用上問題無いことも確認した。そして、65nm ロジックの実デバイスパターンから作成された CP マスクパターンデータに基づいて実際の CP マスクを製作し、CP と VSB (Variable Shaped beam、可変成形ビーム) を併用する描画データに基づいて実際の描画を行った。その結果、2080 個すべての CP パターンに対して、VSB ショットと CP ショットの相対位置精度は約 5nm、CP 描画パターンの線幅均一性は約 4nm を実現した。

1.2.2 モニター・自己診断技術の開発

モニター・自己診断技術の開発では、マスクの電子ビーム描画に関わるデジタル信号、アナログ信号および電子ビーム等をモニターする基本技術とそれらを応用してより信頼性を向上させる基本技術を開発した。また、描画装置の異常を描画中に検知するとともに、検出された描画エラーの原因を特定するための自己診断の基本技術を開発した。

具体的には、描画装置監視システムと自動化描画シミュレータが統合された描画統合監視システムを開発し、実機搭載評価を含む評価と改良によって、描画装置のモニター・自己診断の基本技術確立と有効性確認を行った。「データ転送検証システム」において、実デバイス相当の描画パターンデータをリアルタイムで記録可能なシステムと大容量入出力システムに取り込んだパターンデータの図形表示するソフトウェアを完成させた。「描画シミュレータ」においては、ソフトシミュレート、ハードウェア取り込みデータ表示機能とハード、ソフト差分検証システムを完成させた。「描画装置監視システム」においては、BLKAMP (Blanking アンプ) モニター、自己診断機能付 DAC (Digital-Analog Converter、デジタル-アナログ変換回路) アンプと各測定器とのインターフェースを完成させた。特に振動についてはトリパタイト図で閾値を設定できるよう、音響については周波数帯毎に閾値を設定できるようにした。さらに、「描画統合監視システム」を構築し、実際に環境ノイズ (磁場、振動、騒音、温度) を印加して描画を行い、エラーの検出、マスク上のエラー箇所特定、エラー部の観察 (位置精度測定) を行い、期待したエラー量が発生していることを確認できた。同様にアンプのエラー検出、データ転送系についても評価を実施した。

1.2.3 パターン重要度に基づくランク分け描画技術の開発

パターン重要度に基づくランク分け描画技術の開発では、パターン重要度（MDR）ランクに応じて異なるサイズのビームを使用して描画する方法とランクに応じてビーム静定待ち時間を選択する方法を併用して描画の高速化と精度を両立する方法を開発し、評価と改良を行って、パターン重要度に基づくランク分け描画の有効性確認と基本技術確立を行った。

具体的には、パターン重要度ランクに応じて電子ビーム偏向のためのアナログ信号静定待ち時間を決定するデジタル制御回路の製作・検証を行い、パターン重要度ランクに応じた偏向器の待ち時間をきめるため、偏向器の出力をセッティングモニターで調査して偏向器の待ち時間を決定した。また、パターン重要度ランクに応じた最大分割ショットサイズも決定した。そして、これらの条件に基づいた実デバイスパターンの描画データを作成してランク分け描画適用による描画時間低減効果を評価した。その結果、描画時間低減率は3～7%で描画時間圧縮へのランク分けの寄与は小さいことが分かった。なお、ランク分けの有無により描画結果に差がないことを確認した。

1.2.4 MCC 方式並列描画装置技術の開発

MCC 方式並列描画装置技術の開発では、コラム4本からなるMCC-CP並列描画の原理検証システム（MCC-CP POCシステム、POC: Proof of Concept、原理検証）の設計・ユニット製作/評価を行い、ユニットを統合してMCC-CP方式描画システムを構築した。その描画特性評価と改良により、本方式の高速描画・高精度描画への有効性確認と基本技術確立を行った。

具体的には、本システムの基本評価を行い、解像性、低ノイズ性、安定性、コラム間無干渉性、ステージ性能などの評価を行い、基本的性能が達成されていることを確認した。また、本システムによるCPとVSBを併用した実デバイスパターンのステージ連続移動描画評価を行い、解像性（30nm 1:1 L/S）、CP描画部分とVSB描画部分の接続（5nm [1重描画の場合]）、主偏向フィールド接続（7nm [1重描画の場合]、3nm [4重描画の場合]）、コラム間接続（17nm [1重描画の場合]）などの性能を確認した。実際の描画を忠実に再現できるMCC用スループットシミュレータを開発し、これを使ってMCC方式描画システムの高速性を定量的に評価し、Singleコラム装置の約3倍の描画が可能であることを確認した。

1.3 マスク検査装置技術の研究開発

1.3.1 高速・高精度の検査アルゴリズムの開発

高速・高精度の検査アルゴリズムおよびパターン重要度に基づく欠陥判定技術の開発では、高速・高精度欠陥検出の検査アルゴリズムを応用した多層データ展開処理技術および高速パターンビューイング技術を開発し、これを検査装置プロト機に適用して評価・改良を行い、レビュー工程での効率化を含めた高速・高精度検査の基本アルゴリズム技術を確立した。

具体的には、マスク検査装置入力の前処理として行われるデータ変換の機能改良と入出力の高速・高精度化、および検査装置内部で最初の処理であるデータ展開部分に係る開発を行い、MDR情報を検査装置に効率よく入力するための要素設計と一部の試作を行った。

1.3.2 繰り返しパターン利用による検査効率化技術の開発

本研究における広義の「繰り返しパターン利用による検査効率化」としては、マスク描画と同様に1枚のマスク上の複数の検査領域をある種のダイ・ダイ比較のように欠陥判定を行

ったり、キャラクタ化されたパターンを反復利用して参照用のパターンデータ発生を効率化したりするアプローチが考えられる。研究開始当初は、「同一パターンの繰り返しは Die-to-Die 方式の比較検査で対応し、その他の領域のランダム配置パターンは Die-to-Database 方式の比較検査で対応することでマスク内の一括検査処理が出来、時間短縮と検査精度の改善が期待できる」と予測していた。

しかし、検討を進めた結果、OPC 処理済のパターンデータから当初考えていた「繰り返しパターン利用による検査効率化」を行うために必要な数十～100um 角程度の大きさの繰り返しパターンを抽出することは処理時間の観点から非現実的であり、そもそも、本研究が対象とするロジックでは、大面積のメモリ部を除いて OPC 処理後のパターンデータではこの大きさの繰り返しパターンは存在しない可能性が高いことが分かった。結論としては、検査時に Die-to-Die 比較ができるとした繰り返しのパターン利用は実用性に難があると考えられ、繰り返しパターンをレビュー時の支援機能に利用する方が顧客満足を得られやすいと考え、この方針に転換した。

具体的には、欠陥レビューで利用する繰り返し画像のサイズを 10um 角程度とし、レビュー時に繰り返しパターンをリアルタイム検索する方法を開発した。リアルタイム検索とは、レビュー時に、ある欠陥が擬似欠陥か否かの判定がしにくい場合に「近隣類似サーチ機能」を起動させて、その検出領域と似た背景パターンに欠陥が付いている箇所を探索させることである。この支援機能を使って欠陥を見比べて効率の良い判断をすることを目的として開発を実施した。

1.3.3 パターン重要度に基づく欠陥判定技術の開発

パターン重要度に基づく欠陥判定技術の開発では、マスク検査におけるパターン重要度活用として、設計インテントやレイアウト解析結果より決められた MDR をもとに、パターン毎に個別の欠陥検出感度を設定し、これを欠陥検出時や欠陥レビュー時に利用して検査の効率化をはかることを提案しこれを開発した。

具体的には、領域ごとに欠陥検出感度あるいは欠陥検出アルゴリズムを指定できるようにして、従来の DB (Database) 検査のパターンデータと座標同一で領域ごとに感度を指定する情報を取り込み、検査中リアルタイムで動的に感度を可変にする「領域感度指定機能」を開発した。すなわち、マスク検査装置で MDR を受け取り、装置内でパターンの用途に見合う欠陥判定レベル、あるいは欠陥判定方式 (欠陥判定アルゴリズム) に換算して、過剰な欠陥検出を回避して、真に重要なパターンの欠陥、あるいは、低重要度パターン箇所でも欠陥サイズが大きい場合にのみ欠陥検出してレビューするよう絞り込む技術である。

さらに、本研究では、この機能を検査装置プロト機システムとリンクさせて評価・改良を行い、擬似欠陥の発生がより抑制され効率的に検査できることを最終評価して有効性を確認し、パターン重要度情報に基づく欠陥判定の基本技術を確立した。また、プログラム欠陥が埋め込まれた評価用マスクを製作し実際の欠陥検出状況を評価し、MDR に応じて領域別の検査感度設定を行うことで、欠陥検出数が低減することを確認した。

設計データには含まれない RET 処理に基づく OPC パターンやアシストパターンについても、レイアウトアナライザによりこれらを抽出して MDR と類似のデータを生成して MDR と併合して検査装置に入力する方式を開発し、これによっても過剰な欠陥検出が無くなることを確認した。

1.3.4 欠陥転写性に基づく欠陥判定技術の開発

欠陥転写性に基づく欠陥判定フローを構築し、高速・高精度転写シミュレーションシステムへのデータ引き渡し技術等を改良し、これらを検査装置プロト機システムと統合して評価・改良を行った。具体的には、プロセスシミュレータを選定し、マスク検査装置とプロセスシミュレータ間のインターフェースの開発、マスク検査装置の光学情報のプロセスシミュレータへの正確な反映によるマスク像推定精度向上、DB パターンデータ抽出機能による転写性推定時間削減、転写性条件設定 GUI および転写性レビュー GUI の開発による操作性を向上、を行った。

さらに、検査装置プロト機システムと統合して、製作したプログラム欠陥入りマスクを用いた評価で、欠陥転写性に基づく欠陥判定の有効性を確認した。これにより、マスク欠陥転写性検査技術の基本を確立した。

1.4 研究開発成果によるマスク製造効率化

マスク製造コストをマスクデータ準備 (MDP: Mask Data Preparation)、マスク描画、マスク検査、マスクプロセス、マスク基板他に要するコストの合計とし、歩留まりを考慮したモデルを作成した。これに妥当と思われる推定値を入力してマスク製造コストとマスク製造 TAT の動向を算出した。

次に、本プロジェクトの効果による TAT 短縮 (いずれも平均値)、MDR による描画時間短縮: 0.96、CP 描画による描画時間短縮: 0.69、MCC 描画による描画時間短縮: 0.35、MDR による検査レビュー時間短縮: 0.24 を取り入れた、本プロジェクトで研究開発した技術を適用した場合のマスク製造コストと製造時間の計算を行った。その結果、平均的效果の場合は、マスク描画時間およびマスク検査時間について、マスク D2I の効果を適用した 45nm 世代ロジックとマスク D2I の効果を適用しない 65nm 世代ロジックの比が目標の 1/2 以下になることが確認された。また、マスク製造時間 (マスク描画時間+マスク検査時間+MDP 時間) については 1/2 に近い値が達成されていることが確認できた。

1.5 成果のまとめ

平成 18 年度から平成 21 年度の活動成果のまとめを中間目標と最終目標別に表 III.1.1 および表 III.1.2 に示す。また、表 III.1.3 に特許出願件数、論文件数、その他の公表件数の推移を示す。また、表 III.1.4 にはプログラム等著作権登録件数を示す。また、表 III.1.5 に論文および学会発表の詳細リストを示す。

表 III.1.1 平成 18 年度から平成 21 年度の活動成果のまとめ (中間目標)

	目標	研究開発成果	達成度
全体	マスク設計、描画、および検査の各工程に共通的なマスクデータ処理技術、繰返しパターンやパターン重要度を利用した描画・検査高速化技術、並列化を利用した描画・検査高速化技術等に関し、基本的な開発を完了する。	●下欄に記載の通り各研究開発項目において予定の研究開発成果を上げ、基本的な開発を完了した。	達成
マスク設計 データ処理 技術	マスク設計・描画・検査に共通の基本的なデータフォーマット、それに付随する基本ソフトウェア、および基本的なインターフェースの開発を完了する。	●DAM (Design Aware Manufacturing) の構想を提案し、既存EDAツールを使用して完全自動で設計Intentを抽出し、これをマスク製造で理解できるマスクデータランク(MDR)に変換するフローを提案・実現した。付随するインターフェースも開発完了。 ●繰返しパターンを記述可能な共通データフォーマットおよびMDRフォーマットを定義。	達成
	繰返しパターン抽出ソフトウェアを完成させる。ロジック部の繰返しパターン利用効率向上方法の調査・検討を完了し、指針を明らかにする。	●ロジック部の繰返しパターン抽出を検討し。パターン分割後の抽出方式を考案。 ●繰返しパターン抽出ツールの基本開発を完了。デバイスメーカーと協力して多数チップで評価を実施し、効率向上の指針を得た。	達成
マスク描画 装置技術	CP法によるマスク描画装置および描画精度向上の基本技術、モニター・自己診断の基本技術、およびパターン重要度に基づくランク分け描画の基本技術の開発を完了する。	●MCC-CP描画装置の基本検討完了。	達成
		●4コラムMCC-CPシステムの設計・ユニット試作を完了し、回路、コラム、ソフト、機構部の調整を実施。	
		●モニター・自己診断システムの基礎検討とユニット調整を完了し、基礎技術開発を完了。	
		●パターン重要度利用描画実現方法検討完了、ショット待ち時間選択回路製作完了。	
マスク検査 装置技術	高速・高精度欠陥検出アルゴリズム、繰返しパターンの画像比較による検査アルゴリズム、パターン重要度に基づく欠陥判定アルゴリズム、および欠陥転写性に基づく欠陥判定の基本技術の開発を完了する。	●高速・高精度欠陥検出アルゴリズムおよびパターン重要度に基づく欠陥判定アルゴリズムについて、MDRを含むデータを検査装置へ入力する多層データ展開回路設完了、MDR利用の検査アルゴリズム評価完了。	達成
		●繰返しパターンの検査における利用方法を再検討し、レビュー支援機能での活用のために近傍類似サーチ機能を開発完了。	
		●欠陥転写性に基づく欠陥判定のためのシミュレータ選択を行い、欠陥情報インターフェース開発を完了。	

表 III.1.2 平成 18 年度から平成 21 年度の活動成果のまとめ (最終目標) (1)

	目標	研究開発成果	達成度
全体	開発した技術を、並列描画方式描画装置の試作機および検査装置に適用して評価し、全体としてマスク設計・描画・検査にわたる情報共有、および総合最適化に有用であることを確認する。	<ul style="list-style-type: none"> ●MCC-CP並列描画装置自体およびMDR利用描画とCP描画の評価を実描画およびシミュレーションで行い、以下の各開発項目に記載の成果をあげた。 ●開発した機能をマスク検査装置プロト機とリンクして評価を行い、以下の各開発項目に記載の成果をあげた。 ●これらにより、共通データフォーマット、設計Intentに基づくパターン優先度付け、繰り返しパターン利用、並列処理が、マスク設計・描画・検査の総合最適化に有効なことを確認した。 	達成
	hp45nm技術領域におけるマスク設計、描画、検査に要する時間は、本技術を使わなかった場合のhp65nm技術領域における同面積のマスク設計、描画、検査に要する時間と比べ、1/2以下に短縮できることを示す。	<ul style="list-style-type: none"> ●モデルを用いたシミュレーションの結果、約53%になることを確認。 	略達成
マスク設計 データ処理 技術	開発した共通データフォーマット、ソフトウェア、インターフェース等が、全体としてマスク設計・描画・検査にわたる情報共有および総合最適化に有用であることを確認する。	<ul style="list-style-type: none"> ●繰り返しパターンを記述可能な共通データフォーマットを定義してデータ圧縮率を確認し、本フォーマットの仕様書(日本語版および英語版)を完成させた。また、MDRのフォーマット仕様書(日本語版および英語版)を完成させた。 	達成
		<ul style="list-style-type: none"> ●DAM (Design Aware Manufacturing) の構想を提案し、既存EDAツールを使用して完全自動で設計Intentを抽出し、これをマスク製造で理解できるマスクデータバンク (MDR) に変換するフローを提案・実現した。本フローを実デバイスパターン (大規模45nm Logicを含む) に適用し、MDR活用で、描画TATが最大8%短縮、検査総TATが15~53%短縮、検査レビュー時間が35~94%短縮されることを確認した。 	
		<ul style="list-style-type: none"> ●デバイスメーカー3社にツールを貸し出し、デバイスメーカーの環境で設計Intentの抽出実験を行い問題なく抽出できることを確認した。さらに、アナログデバイスからの設計Intent抽出および設計IntentのCD-SEMへのフィードフォワードフローを完成し評価を完了した。 	
		<ul style="list-style-type: none"> ●繰り返しパターン利用については、課題であったロジック部のCP抽出についてパターン分割後の抽出方式を考案・実行し、高い抽出効率を得た。 	
	<ul style="list-style-type: none"> ●多数の実チップのOPC後マスクデータによるCP抽出効率調査を実施し、結果をフィードバックして、複数マスクから共通繰り返しパターン抽出手法やサンプル抽出による抽出最適化手法を開発した。これらを使って実デバイスデータから繰り返しパターンを抽出し、描画シミュレータを用いた描画TATシミュレーションを使って繰り返しパターンを利用したCP描画で描画TATが21~42%短縮されることを確認した。 		
開発したデータフォーマットによるパターンデータ量は、既存のCAD出力 (GDSII) に比べ1/10以下に削減できることを示す。	<ul style="list-style-type: none"> ●繰り返しパターンを記述可能な共通データフォーマットを定義し(OASISベース)、データ圧縮率を確認した(既存マスク描画データに対して最高で1/10へサイズ削減)。 	達成	

表 III.1.2 平成 18 年度から平成 21 年度の活動成果のまとめ (最終目標) (2)

	目標	研究開発成果	達成度
マスク描画装置技術	開発したCP法による高速・高精度マスク描画技術、モニター・自己診断技術、およびパターン重要度に基づくランク分け描画技術を搭載し、カラム4本を備えたMCC方式のマスク描画装置の試作を完了し、機能と性能を確認する。	<ul style="list-style-type: none"> ●4コラムMCC-CP POCシステムのユニット設計・製作を行い、これを本格機構システム上でシステム化した。 ●本システムの基礎評価を行い、チャージアップ対策や新機能追加を行った後に総合評価を行い、30nm 1:1 L/Sの解像性、主偏向繋ぎ～3nm(4重描画)、CC間繋ぎ～17nm(1重描画)の性能を有することを確認した。また、MCC用スループットシミュレータを作成し、45nm Logicパターンに対するSingle装置とMCC装置の露光TAT比較を行い、MCCIはSingleの0.33～0.39の描画TATとなることを確認した。 ●上記システムのCP描画機能について、基礎評価を行った後に、設計研究室で抽出した65nm LogicのCPパターンを配置したCPマスクを製作し、MCC-CP装置に搭載して4コラムで実際に描画し、デバイスパターンでのCP部とVSB部の接続ズレは約5nmであること、CPとVSBの相対位置精度は約5nmであること、CPショットの線幅精度は約4nmであることを確認した。 ●パターン重要度利用描画を実現するためのショット待ち時間選択デジタル回路設計・製作・動作確認を行い、MCC-CP POC機システムを使って、ランクに対するビーム整定待ち時間を実測に基づいて決定し、実描画によりランク分け描画してもパターンに問題が無いことを確認した。 ●モニター・自己診断方式の要素技術開発を行い、単体の評価・改良の後に、マスク描画装置実機に搭載して総合評価を行ってアンプのエラー検出を含む動作機能を確認した。また、現状の描画シミュレーション速度を測定し、比較検証速度のボトルネック部洗い出しを行い、その結果に基づいて高速化改良設計を行った。その結果、約5倍の高速化を達成した。 	達成
	hp45nm技術領域におけるマスク描画に要する時間は、本技術を使わなかった場合のhp65nm技術領域における同面積のマスク描画に要する時間と比べ、1/2以下に短縮できることを示す。	●モデルを用いたシミュレーションの結果、約41%になることを確認。	達成

表 III.1.2 平成 18 年度から平成 21 年度の活動成果のまとめ (最終目標) (3)

	目標	研究開発成果	達成度
マスク検査装置技術	平成19年度末までに開発した技術を検査装置とリンクさせて評価を行い、hp45nm対応の欠陥検査に適用できることを確認する。	<ul style="list-style-type: none"> ●開発した機能をマスク検査装置プロト機にリンクさせて評価を実施。 ●MDRを含む入力データをマスク検査装置内で処理する多層データ展開回路のFPGA設計・製作と管理プログラムの設計・製作を行い、検査装置プロト機リンクで機能を検証した。 ●検査における繰返しパターン利用方法である近傍類似サーチ機能を設計・製作し、マスク検査装置プロト機とリンクさせて機能を検証した。 ●レビュー支援機能の一環として、各種ビューソフト機能を開発して検査装置プロト機システムに統合して機能を検証した。さらに、レビュー時でのパターン表示機能を改良して転写性レビューGUIのカラー化・3D化等を実施し、転写性考慮検査時のレビュー画面の視認性を向上した。 ●MDRに応じた検査感度可変技術を開発するとともに、検査前処理における検査クリティカル箇所の抽出や、領域感度設定支援としての活用のためにレイアウトアナライザの機能や設定条件などの評価を行った。これらを使ったMDR適用検査を、製作したプログラム欠陥入りマスクの実検査で実施し、低ランクのダミー部での欠陥検出抑制を確認した。また、レイアウトアナライザで解析・特定したSRAF部を低ランクMDR部分とした実検査でも欠陥検出抑制が出来ることを確認した。これにより、パターン重要度情報が正常に処理されていることを確認した。 ●マスク欠陥像のウェハ上への転写像を推定してレビュー時に利用するとともに、欠陥箇所該当する設計データに基づくウェハ転写像もシミュレーションして未転写の欠陥をふり落とす機能開発の構想を策定し、欠陥画像のインターフェース、欠陥周囲設計データ切出し機能、検査装置光学系条件入力機能、転写シミュレーションシステム制御情報(リソ条件、検査装置光学系条件、設計データ、転写判定条件等)入力機能を設計・製作した。これら機能をマスク検査装置プロト機にリンクし、製作した評価用マスクを使った実マスク検査に欠陥転写性検査機能を適用し、実際のマスク像に良く一致する推定マスク像が得られること、欠陥転写性検査機能が正常に働き有用な情報が得られること、を確認した。 	達成
	hp45nm技術領域におけるマスク検査に要する時間は、本技術を使わなかった場合のhp65nm技術領域における同面積のマスク検査に要する時間と比べ、1/2以下に短縮できることを示す。	<ul style="list-style-type: none"> ●モデルを用いたシミュレーションの結果、約46%になることを確認。 	達成

表 III.1.3 特許出願件数、論文件数、その他の公表件数の推移

	特許出願件数				論文件数			その他の公表件数
	国内	外国	PCT	計	査読あり	その他	計	
2006年(平成18年)度	1	3	8	12	1	2	3	5
2007年(平成19年)度	8	7	3	18	0	4	4	5
2008年(平成20年)度	5	3	4	12	2	11	13	8
2009年(平成21年)度	18	5	0	23	1	14	15	3
計	32	18	15	65	4	31	35	21

表 III.1.4 プログラム等著作権登録件数

	件数
マスク設計データ処理技術研究室	6
マスク描画装置技術研究室	5
マスク検査装置技術研究室	5
計	16

表 III.1.5 論文リスト

番号	発表者	タイトル	発表誌名等	査読	発表年月日
1	田中 仁	Four Multi Column Cell System with Character Projection	Seventh International Conference on Charged Particle Optics (CPO7)		2006/7/28
2	矢部 貴之、山田 章夫	CD and IP accuracy in Electron Beam Character Projection technology	32nd International Conference on Micro- and Nano- Engineering 2006 (MNE2006)	あり	2006/9/18
3	加藤 心、西澤 邦宜、井上 忠雄、庄司 正弘、*栗山 幸樹、山部 正樹	A Feasibility Study on Character Projection Electron Beam Writing for Photomasks	9th International Microprocesses and Nanotechnology Conference (MNC 2006)		2006/10/26
4	野里 博和、松縄 哲明、坂無 英徳、村川 正宏、樋口 哲也	Improving the Efficiency of Pattern Extraction for Character Projection Lithography using OPC optimization	Photomask Technology 2007 [Proc. of SPIE Vol. 6730 67304G]		2007/9/18
5	高橋 朗紀、村田 英一、大江 俊美、下山 宏	MPI/OpenMPハイブリッド並列計算による一般3次元境界電荷法の高速度化	平成19年度電気関係学会東海支部連合大会		2007/9/28
6	加藤 心、遠藤 将一、井上 忠雄、山部 正樹	Mask Data Rank (MDR) and its Application	The 24th European Mask and Lithography Conference (EMLC 2008)		2008/1/22
7	藤本 佳宏、庄司 正弘、加藤 心、井上 忠雄、山部 正樹	An extraction of repeating patterns from OPCed layout data	SPIE Advanced Lithography 2008 [Proc. of SPIE Vol. 6925 69250Y]		2008/2/28
8	安田 洋、山田 章夫、山部 正樹	Multi Column Cell (MCC) E-beam Exposure System for Mask Writing	Photomask Japan 2008: Photomask and Next-Generation Lithography Mask Technology XV [Proc. of SPIE Vol. 7028 70280B]		2008/4/16
9	土屋 英雄、時田 政計、野村 武彦、井上 忠雄	Die-to-database mask inspection with variable sensitivity	Photomask Japan 2008: Photomask and Next-Generation Lithography Mask Technology XV [Proc. of SPIE Vol. 7028 70282I]		2008/4/16
10	加藤 心、遠藤 将一、井上 忠雄、山部 正樹	Utilization of Design Intent Information for Mask Manufacturing	Photomask Japan 2008: Photomask and Next-Generation Lithography Mask Technology XV [Proc. of SPIE Vol. 7028 702835]		2008/4/16
11	藤本 佳宏、庄司 正弘、加藤 心、井上 忠雄、山部 正樹	An extraction of repeating patterns from OPCed layout data	Photomask Japan 2008: Photomask and Next-Generation Lithography Mask Technology XV [Proc. of SPIE Vol. 7028 702836]		2008/4/16
12	山部正樹	Optimization of MDP, mask writing, and mask inspection for mask manufacturing cost reduction	Photomask Japan 2008: Photomask and Next-Generation Lithography Mask Technology XV [Proc. of SPIE Vol. 7028 70280V]		2008/4/17
13	野里 博和、松縄 哲明、坂無 英徳、村川 正宏、樋口 哲也	部分一括露光パターン抽出効率向上化技術の提案	情報処理学会論文誌ジャーナル [Vol.49, No.5, Page1702-1712]	あり	2008/5/15
14	山田 章夫、安田 洋、山部 正樹	Electron beams in individual column cells of Multicolumn cell system	THE 52nd INTERNATIONAL CONFERENCE ON ELECTRON, ION, and PHOTON BEAM TECHNOLOGY & NANOFABRICATION [J. Vac. Sci. Technol. B 26, 2025 (2008).]	あり	2008/5/30
15	高橋 朗紀、村田 英一、下山 宏	MPI/OpenMPハイブリッド並列計算プログラミングによる一般3次元境界電荷法の計算速度の改善	平成20年度電気関係学会東海支部連合大会		2008/9/19
16	加藤 心、遠藤 将一、井上 忠雄、山部 正樹	Mask Data Prioritization based on Design Intent	Photomask Technology 2008 [Proc. of SPIE Vol. 7122 71223U]		2008/10/7
17	山田 章夫、安田 洋、山部 正樹	E-beam exposure system using multi column cell (MCC) with CP for mask writing	Photomask Technology 2008 [Proc. of SPIE Vol. 7122 71220K]		2008/10/7
18	山部 正樹、井上 忠雄、庄司 正弘、安田 洋、星 浩利、時田 政計	Concurrent Optimization of MDP, Mask Writing, and Mask Inspection for Mask Manufacturing Cost Reduction	Photomask Technology 2008 [Proc. of SPIE Vol. 7122 71220K]		2008/10/8
19	庄司 正弘、井上 忠雄、山部 正樹	Verification of extraction repeating pattern efficiency from many actual device data	SPIE Advanced Lithography 2009 [Proc. of SPIE Vol. 7275 72750Q]		2009/2/26
20	佐本 典彦、眞部 弘宣、脇本 治、飯田 聡、星 浩利、山部 正樹	Monitor and self-diagnostic technology for mask e-beam writing system	SPIE Advanced Lithography 2009 [Proc. of SPIE Vol. 7271 72712R]		2009/2/26

続く

番号	発表者	タイトル	発表誌名等	査読	発表年月日
21	加藤 心、遠藤 将一、井上 忠雄、山部 正樹	Utilization of Design Intent Information for Mask Manufacturing(II)	Photomask Japan 2009: Photomask and Next-Generation Lithography Mask Technology XVI [Proc. of SPIE Vol. 7379 737932]		2009/4/8
22	加藤 心、遠藤 将一、井上 忠雄、山部 正樹	Utilization of Design Intent Information for Mask Manufacturing(II)	Photomask Japan 2009: Photomask and Next-Generation Lithography Mask Technology XVI [Proc. of SPIE Vol. 7379 737932]		2009/4/8
23	脇本 治、眞部 弘宣、星 浩利、佐本 典彦、山部 正樹	Improvement of Data Transfer Speed and Development of an EB Data Verification System in a VSB Mask Writer	Photomask Japan 2009: Photomask and Next-Generation Lithography Mask Technology XVI [Proc. of SPIE Vol. 7379 73791Z]		2009/4/8
24	時田 政計、土屋 英雄、井上 貴文、井上 忠雄、山部 正樹	A study of mask inspection method with pattern priority and printability check	Photomask Japan 2009: Photomask and Next-Generation Lithography Mask Technology XVI [Proc. of SPIE Vol. 7379 73792A]		2009/4/8
25	安田 洋、山田 章夫、山部 正樹	Present Status of Multi Column Cell Exposure System for Mask Writing	Photomask Japan 2009: Photomask and Next-Generation Lithography Mask Technology XVI [Proc. of SPIE Vol. 7379 737918]		2009/4/10
26	山田 章夫、安田 洋、山部 正樹	Evaluation of each electron beam and exposure results with four column cells in multicolumn e-beam exposure system	THE 53rd INTERNATIONAL CONFERENCE on ELECTRON, ION, and PHOTON BEAM TECHNOLOGY & NANOFABRICATION [J. Vac. Sci. Technol. B 27, 2518 (2009).]	あり	2009/5/28
27	庄司 正弘、井上 忠雄、山部 正樹	Reducing the shot counts of mask writing with OPC by extracting repeating patterns	Photomask Technology 2009 [Proc. of SPIE Vol. 7488 74882W]		2009/9/15
28	土屋 英雄、山部 正樹、時田 政計、高原 憲一	Printability verification function of Mask Inspection System	Photomask Technology 2009 [Proc. of SPIE Vol. 7488 74880B]		2009/9/15
29	遠藤 将一、加藤 心、井上 忠雄、山部 正樹	Mask Data Prioritization based on Design Intent	Photomask Technology 2009 [Proc. of SPIE Vol. 7488 748824]		2009/9/16
30	山田 章夫、安田 洋、山部 正樹	Exposure Results with Four Column Cells In Multi Column EB Exposure System	Photomask Technology 2009 [Proc. of SPIE Vol. 7488 74881F]		2009/9/16
31	山田 章夫、大饗 義久、大川 達郎、瀧澤 昌弘、山部 正樹	Evaluation of throughput improvement by MCC and CP in multicolumn e-beam exposure system	SPIE Advanced Lithography 2010 [Proc. of SPIE Vol. 7637, 76370C]		2010/2/23
32	高原 憲一、土屋 英雄、時田 政計、山部 正樹	Mask data rank and printability verification function of mask inspection system	SPIE Advanced Lithography 2010 [Proc. of SPIE Vol. 7638, 763833]		2010/2/23
33	庄司 正弘、井上 忠雄、山部 正樹	Practical use of the repeating patterns in mask	SPIE Advanced Lithography 2010 [Proc. of SPIE Vol. 7641, 764112]		2010/2/24
34	佐本 典彦、眞部 弘宣、脇本 治、飯田 聡、星 浩利、山部 正樹	Monitor and self-diagnostic technology for mask EB writing system	SPIE Advanced Lithography 2010 [Proc. of SPIE Vol. 7637, 76371K]		2010/2/25
35	加藤 心、遠藤 将一、井上 忠雄、山部 正樹	Development of a design-intent extraction flow for mask manufacturing	SPIE Advanced Lithography 2010 [Proc. of SPIE Vol. 7641, 76410K]		2010/2/25

2. 研究開発技術の実用化の見通し

以下に各技術開発を担当した ASET 組合員の現時点における開発技術の実用化の見通しをまとめる。なお、これらは現時点の見通しであって確定したものでも確約するものでも無いが、ユーザの要望や希望があることが実用化、商用化のためには必須であるので、関係者各位においては開発を担当した ASET 組合員に積極的にアプローチしていただきたいと考える。

パターン優先度付け (MDR) 技術については、希望があるユーザに個別対応していくことが基本方針である。なお、本技術の実用化については、共同研究を行った STARC との権利関係への考慮と、デバイスメーカだけでなく、マスクメーカ、マスク検査装置メーカとの協力体制が重要となる。

繰り返しパターン技術については、ユーザからの要望に応じて製品化を検討していくことが基本方針である。本プロジェクトで開発した繰り返しパターン抽出フローおよび MCC-CP 描画データ作成フローは、ユーザからの要望に応じて、担当組合員のソフトウェアに組み込むことは難しくはないと考える。

並列描画 (MCC) 技術については、コラムセルの相互間関係に係わる性能を向上するための研究を継続して、本プロジェクトで実証した並列描画技術 MCC を具体的なマスク描画装置やウェハ直接描画装置に展開し、実用化するための活動を進めることが基本方針である。

モニター・自己診断技術については、「エラー検出範囲の向上」(描画フィールド単位 → ショット (図形) 単位) と「測定分解能の向上」のための研究を継続して、より実用的な技術に仕立てて製品化することが基本方針である。

マスク欠陥転写性検査技術については、「マスク検査装置と転写シミュレータを統合したシステムの機能確認と有効性実証」と「各種マスク (テクノロジーノード、パターン等) を使用した転写性考慮検査技術の評価と改善」の研究を継続して、本技術のシステム化を推進して実用化・商品化していくことが基本方針である。この他、MDR を活用した領域感度可変技術も担当組合員が開発を進める次世代のマスク検査装置に反映する考えである。

CP.D2I フォーマット仕様書

2010 年 6 月

技術研究組合 超先端電子技術開発機構

Copyright © Association of Super-Advanced Electronics Technologies (ASET), 2010, All rights reserved.

本仕様書に記載された内容につきましては、予告なしに変更することがあります。

本仕様書に記載された情報や図表等の使用に起因した、第三者の所有する産業財産権およびその他の権利の侵害に対し、技術研究組合 超先端電子技術開発機構はその責任を負うものではありません。

本仕様書に記載された内容を使用した結果の影響については、技術研究組合 超先端電子技術開発機構はいっさい責任を負いかねます。

本仕様書の内容は、使用者の責任において自由に使用することができます。

本仕様書の内容に関する質問に対しては、技術研究組合 超先端電子技術開発機構は回答できない場合があります。

CP.D2I フォーマット仕様

1 目的

技術研究組合 超先端電子技術開発機構(ASET) マスク D2I 技術研究部では、描画装置のマスク描画時間短縮を目指すため、キャラクタプロジェクション(CP)露光について研究を行ってきた。本文書では、これらのキャラクタプロジェクション用のマスクデータを表現する共通フォーマットとして CP.D2I の仕様を定義した。

2 範囲

本仕様は CP 方式 EB 装置の入力データフォーマットに適用する。

注意： この仕様はその使用に関連したすべての安全問題を取り扱うことを意図していない。この使用者は、その責任において、適切な安全および健康上実施すべき事柄を確立し、また使用前に法規則やその他の制限への適用性を判断するものである。

3 制限

SEMPP39 OASIS に準拠する。

4 参照文書

4.1 SEMI スタandard

SEMI P39—OASIS™ OPEN ARTWARK SYSTEM INTERCHANGE STANDARD

SEMI P44—SPECIFICATION FOR OPEN ARTWARK SYSTEM INTERCHANGE
STANDARD(OASIS™)SPECIFIC TO MASK TOOLS

注意：別途指示のない場合、引用されたすべての文書は最新のバージョンである。

5 用語

5.1 略語および頭字語

OASIS™—OPEN ARTWARK SYSTEM INTERCHANGE STANDARD (GDSII の後継となるレイアウト情報のフォーマット)

CP—Character Projection

5.2 記号

5.2.1 A—記述可レコード

CP.D2I を作成するツールは必要に応じて出力する。EB 装置はレコード内容に応じた処理を行う。

5.2.2 I—記述可(スキップ)レコード

CP.D2I を作成するツールは出力してもよいが、EB 装置では処理されない。

5.2.3 M—必須レコード

CP.D2I を作成するツールは必ず出力しなければならない。EB 装置は対象レコードがない場合はエラーとする。

5.2.4 X—記述不可レコード

CP.D2I を作成するツールは出力してはならない。EB 装置は対象レコードがあるとエラーとなる。

6 要求事項

6.1 CP.D2I の概念

CP.D2I の概念を図 1 で示す。CP.D2I は OASIS フォーマットに制約を定義した構成とする。

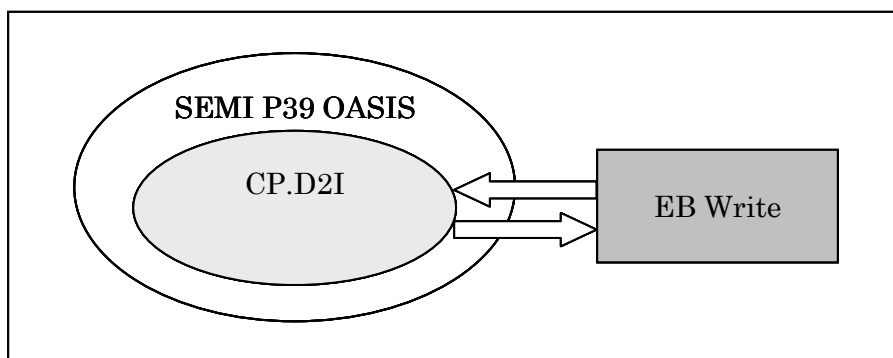


図 1. CP.D2I の概念

6.2 OASIS フォーマット仕様

OASIS フォーマット仕様については SEMI P39 参照のこと。

6.3 CP.D2I 追加レコード

CP.D2I では以下のスタンダードプロパティを PROPERTY レコードに追加する。これらのプロパティはファイルレベルのスタンダードプロパティと図形レベルのスタンダードプロパティである。

6.3.1 ファイルレベルのスタンダードプロパティ

6.3.1.1 S_CPD2I_VERSION

フォーマットのバージョンを示す。プロパティ値は 1 つの符号なし整数で表現し、1 固定とする。

6.3.2 図形レベルのスタンダードプロパティ

6.3.2.1 S_CPCELL_ID

CPCELL 番号を示し、CPCELL に必ず付加する必要がある。プロパティ値は 1 つの符号なし整数で表現する。CELLNAME レコードの直後に記述する。ユニークでなければならない。

6.3.2.2 S_CPCELL_AREA

CPCELL 内のパターン面積(平方グリッド)を示す。プロパティ値は 1 つの符号なし整数で表現する。

6.4 CP.D2I 制約

6.4.1 考え方

- (1) EB 装置の変換処理の負担を極力低減するため、直接入力を可能とする。
- (2) OASIS でのデータ圧縮表現を極力維持する。

6.4.2 OASIS レコードに対する制約

OASIS の各レコードに対する制約を表 1 に示す。

表 1. OASIS 各レコードに対する制約

No	レコード名		制約項目	制約内容					可否	
				最小	最大	ステップ	単位	コメント		
1	PAD	-	バイト長さ調整	-	-	-	-	-	A	
2	START	version-string	OASISバージョン	-	-	-	-	-	M	
		unit	グリッド/um	1	10000	1	グリッド	Recommended value is 1, 2, 4, 5, 8, 10, 16, 20, 25, 40, 50, 80, 100, 125, 200, 250, 400, 500, 625, 800, 1000, 1250, 2000, 2500, 5000, 10000	M	
		offset-flag	テーブルオフセット有無	-	-	-	-	-	0または1固定	M
		cellname-flag propname-flag	Strictモードフラグ バイトオフセット指定	-	-	-	-	-	offset-flagが0のときは1固定	M
		propstring-flag	Strictモードフラグ バイトオフセット指定	-	-	-	-	-	PROPSTRINGレコードが指定され、offset-flagが0の場合は1固定	M
3	END	padding-string	バイト長さ調整	-	-	-	-	-	A	
		validation-scheme	検証指定	-	-	-	-	-	1または2固定	M
		validation-signature	検証内容	-	-	-	-	-	CRC32またはCHECKSUM32固定	M
4	CELLNAME	cellname-string	セル名文字	1	256	1	-	-	M	
		reference-number	参照番号	-	-	-	-	-	レコードタイプ'3'固定	M
5	TEXTSTRING	text-string	テキスト文字列	-	-	-	-	-	I	
		reference-number	参照番号	-	-	-	-	-	-	I
6	PROPNAME	propname-string	プロパティ名文字列	1	256	1	-	-	A	
		reference-number	参照番号	-	-	-	-	-	-	A
7	PROPSTRING	prop-string	プロパティ文字列	-	256	-	-	-	A	
		reference-number	参照番号	-	-	-	-	-	-	A
8	LAYERNAME	-	-	-	-	-	-	-	I	
9	CELL	cellname-string	セル名文字数	-	-	-	-	-	レコードタイプ'13'	I
		reference-number	参照番号	0	$2^{32}-1$	1	-	-	固定	I
10	XYABSOLUTE	-	モーダル絶対モード	-	-	-	-	-	A	
11	XYRELATIVE	-	モーダル相対モード	-	-	-	-	-	A	
12	PLACEMENT	cellname-string	セル名文字数	-	-	-	-	-	-	X
		reference-number	参照番号	0	$2^{32}-1$	1	-	-	-	A
		x,y	座標値	-2^{31}	$2^{31}-1$	1	グリッド	-	-	A
		repetition	繰り返しタイプ	-	-	-	-	-	TYPE0-3	A
		x-dimension y-dimension	繰り返し数*2 (行、列)	0	$2^{32}-3$	1	-	-	-	A
		x-space y-space	繰り返し間隔	0	$2^{32}-1$	1	グリッド	-	-	A
		magnification	倍率	-	-	-	-	-	1.0固定	A
		placement-info-byte angle	ミラー 回転角度	-	-	-	-	-	-	0固定
13	TEXT	-	-	-	-	-	-	-	I	

No	レコード名	制約項目	制約内容					可否	
			最小	最大	ステップ	単位	コメント		
14	RECTANGLE	x,y	座標値			1	グリッド		A
		width height	幅と高さ	1	$2^{32}-1$	1	グリッド	面積0 (width=0 またはheight=0) は不可	A
		layer-number	レイヤ番号	0	255	1	-		A
		datatype-number	データタイプ番号	0	255	1	-		A
		repetition	繰り返しタイプ	-	-	-	-	TYPE0-3	A
		x-dimension y-dimension	繰り返し数-2 (行、列)	0	$2^{32}-3$	1	-		A
		x-space y-space	繰り返し間隔	0		1	grid		A
15	POLYGON	x,y	座標値	-2^{31}	$2^{31}-1$	1	grid		A
		point-list	座標点列	-	-	-	-	TYPE0-5 面積0 (width=0 またはheight=0) は不可	A
		layer-number	レイヤ番号	0	255	1	-		A
		datatype-number	データタイプ番号	0	255	1	-		A
		repetition	繰り返しタイプ	-	-	-	-	TYPE0-3	A
		x-dimension y-dimension	繰り返し数-2 (行、列)	0	$2^{32}-3$	1	-		A
		x-space y-space	繰り返し間隔	0	$2^{32}-1$	1	grid		A
16	PATH	-	-	-	-	-	-	X	
17	TRAPEZOID	x, y delta-a delta-b	座標値	-2^{31}	$2^{31}-1$	1	grid	-	A
		width height	幅と高さ	1	$2^{32}-1$	1	grid	面積0 (width=0 またはheight=0) は不可	A
		layer-number	レイヤ番号	0	255	1	-		A
		datatype-number	データタイプ番号	0	255	1	-		A
		repetition	繰り返しタイプ	-	-	-	-	TYPE0-3	A
		x-dimension y-dimension	繰り返し数-2 (行、列)	0	$2^{32}-3$	1	-		A
		x-space y-space	繰り返し間隔	0	$2^{32}-1$	1	grid		A
18	CTRAPEZOID	x, y delta-a delta-b	座標値	-2^{31}	$2^{31}-1$	1	grid	-	A
		width height	幅と高さ	1	$2^{32}-1$	1	grid		A
		layer-number	レイヤ番号	0	255	1	-		A
		datatype-number	データタイプ番号	0	255	1	-		A
		repetition	繰り返しタイプ	-	-	-	-	TYPE0-3	A
		x-dimension y-dimension	繰り返し数-2 (行、列)	0	$2^{32}-3$	1	-		A
		x-space y-space	繰り返し間隔	0	$2^{32}-1$	1	grid		A
19	CIRCLE	-	-	-	-	-	-	X	
20	PROPERTY	prop-string	プロパティ文字列	1	256	1	-		A
		reference-number	参照番号	0	$2^{32}-1$	1	-		A
21	XNAME	-	-	-	-	-	-	X	
22	XELEMENT	-	-	-	-	-	-	X	
23	XGEOMETRY	-	-	-	-	-	-	X	
24	CBLOCK	-	-	-	-	-	-	X	

M : 必須、A : 可、I : 可(但しスキップ)、X : 不可

スタンダードプロパティに対する制約を表 2 に示す。

表 2. スタンダードプロパティに対する制約

No	プロパティ名		制約項目	制約内容					可否
				最小	最大	ステップ	単位	コメント	
1	S_CPCELL_ID	int	CPセルID	0	$2^{64}-1$	1	-		M
2	S_CPCELL_AREA	int	CPセル面積	0	$2^{64}-1$	1	グリッド		M
3	S_CPD21_VERSION	Flags	フォーマットバージョン	-	-	-	-	1固定	M
4	P44_BOUNDBOXES_AVAILABLE	-	セル領域有無	-	-	-	-	2固定	M
5	P44_BOUNDBOX	flags	フラグ	-	-	-	-	000固定	M
		lower-left-x lower-left-y	左下座標値	-2^{31}	$2^{31}-1$	1	グリッド		M
		width height	幅と高さ	-2^{31}	$2^{31}-1$	1	グリッド		M
6	P44_CELL_OFFSET	offset	セルオフセット値	1	$2^{64}-1$	1	バイト		M
7	P44_TOP_CELL	cellname-string	TOPCELL名文字列	1	$2^{16}-1$	1	-		M
8	P44_MD_R_FORMAT	flags	フォーマットタイプ	-	-	-	-	1固定	M
9	P44_CHIP_WINDOW	x1,y1 x2,y2	チップウインドウ座標領域	-	-	-	-		M
10	P44_FILE_SIZE	size	ファイルサイズ	1	$2^{64}-1$	1	バイト	1固定	M
11	P44_TOP_CELL_NUMBER	number	トップセル参照番号	-	-	-	-		I

M : 必須、A : 可、I : 可(但しスキップ)、X : 不可

6.4.3 階層構造に対する制約

CP.D2I は図 2、図 3 のように 3 階層で構成される。CP セル内のみ POLYGON 図形を許す。CP セルには表 3 に示すプロパティを必ず付加する。

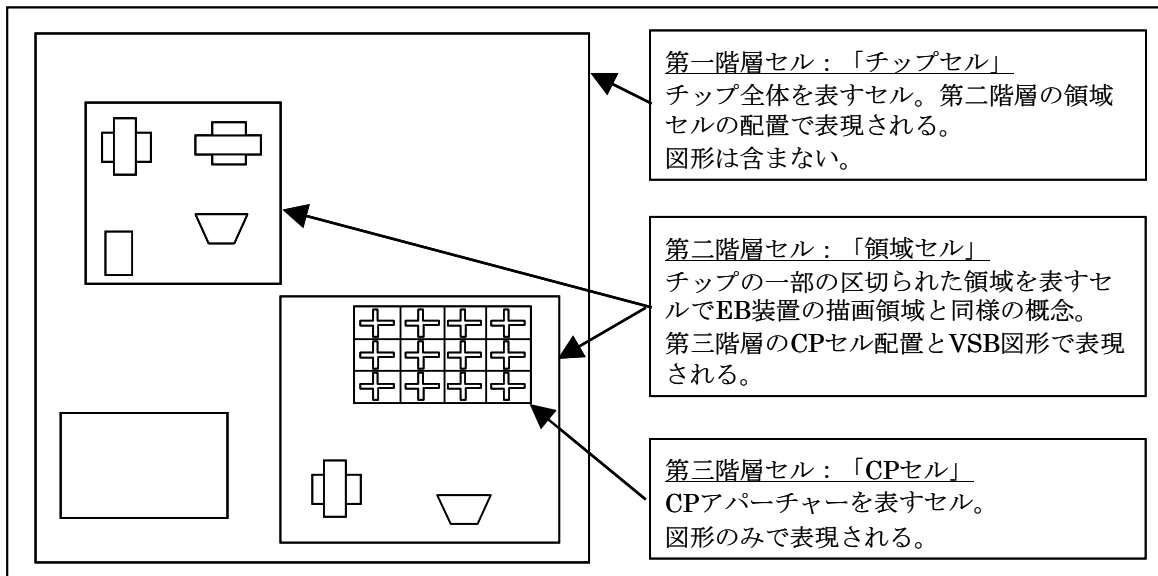


図 2. 階層構造 1

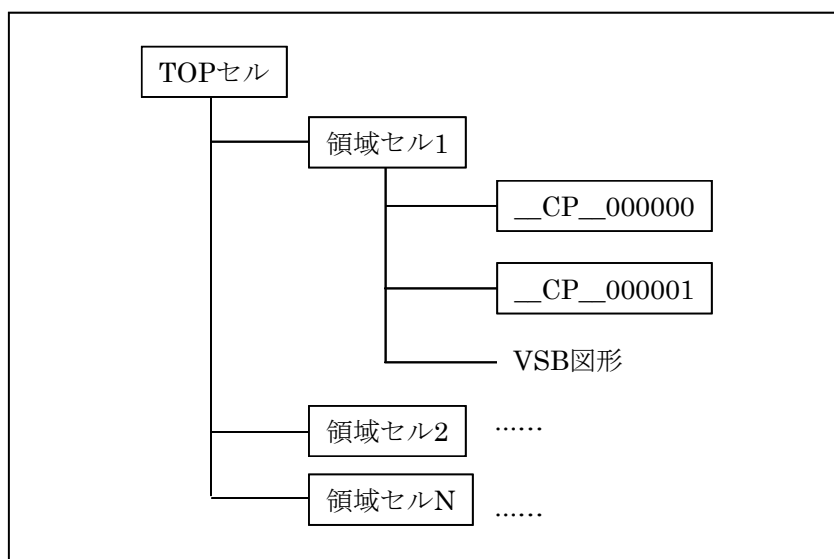


図 3. 階層構造 2

表 3. CP セルのプロパティ

レコード	プロパティ
Cell	S_CPCELL_ID S_CPCELL_AREA
Placement	S_CPCELL_ID

6.4.4 セル名に対する制約

CPセルの名称は"_CP_"で始まる。

6.4.5 CPセルに対する制約

- (1) 他の階層セルや図形群とパターンの重なりを持たない。
- (2) 階層がなく図形がフラットでなければならない。図形同士に重なりがあってはならない。
- (3) ドーナツ形状の図形は許さない。
- (4) 他のファイルにあるCPセルを参照することはできない。

6.4.6 ファイル名に対する制約

ファイル名に対する制約を表4に示す。

表 4. ファイル名の制約

No	制約項目	制約内容
1	文字数	最小1文字、最大64文字 (ディレクトリ含めて最大256文字)
2	文字種類	英大文字(A~Z)、英小文字(a~z)、数字(0~9)、下線(_)、ピリオド(.)の64種類とする

CP.D2I フォーマット仕様書

制作 技術研究組合 超先端電子技術開発機構 マスク D2I 技術研究部

発行 2010年6月

Copyright © Association of Super-Advanced Electronics Technologies (ASET), 2010, All rights reserved.

MDR フォーマット仕様書

2010 年 6 月

技術研究組合 超先端電子技術開発機構

Copyright © Association of Super-Advanced Electronics Technologies (ASET), 2010, All rights reserved.

本仕様書に記載された内容につきましては、予告なしに変更することがあります。

本仕様書に記載された情報や図表等の使用に起因した、第三者の所有する産業財産権およびその他の権利の侵害に対し、技術研究組合 超先端電子技術開発機構はその責任を負うものではありません。

本仕様書に記載された内容を使用した結果の影響については、技術研究組合 超先端電子技術開発機構はいっさい責任を負いかねます。

本仕様書の内容は、使用者の責任において自由に使用することができます。

本仕様書の内容に関する質問に対しては、技術研究組合 超先端電子技術開発機構は回答できない場合があります。

MDR フォーマット仕様

1 目的

技術研究組合 超先端電子技術開発機構 (ASET) マスク D2I 技術研究部ではマスク製造を支援して TAT およびイールド向上を目指して研究活動を行った。その結果マスクデータに重要度を記述するマスクデータランクの概念を導入し、重要度を考慮した効率的な製造フローを実現した。

マスクデータランクとはマスクパターンの重要度を表現したものである。この重要度は設計インテント (HOTSPOT、クリティカルネット、電源・グランド、ダミー等) を数値化し、マスク製造で活用できるようにしたものである。マスクデータランクを用いることでマスク描画・検査時にマスクパターンの重要度が判別でき、ランク毎に描画精度・検査精度を変更することで TAT 短縮を行うことができる。本文書では、マスクデータランクを格納するファイルフォーマットとして MDR フォーマットを定義した。

2 範囲

本仕様はマスクデータランクフォーマットに適用する。マスク描画装置、マスク欠陥検査装置で利用可能とする。

注意： この仕様はその使用に関連したすべての安全問題を取り扱うことを意図していない。この使用者は、その責任において、適切な安全および健康上実施すべき事柄を確立し、また使用前に法規則やその他の制限への適用性を判断するものである。

3 制限

本仕様は SEMI39 OASIS に準拠する。

4 参照文書

4.1 SEMI スタンダード

SEMIP39—OASIS™ OPEN ARTWARK SYSTEM INTERCHANGE STANDARD

注意：別途指示のない場合、引用されたすべての文書は最新のバージョンである。

5 用語

5.1 略語および頭字語

OASIS™—OPEN ARTWARK SYSTEM INTERCHANGE STANDARD (GDSII の後継となるレイアウト情報のフォーマット)

5.2 記号

5.2.1 A—記述可レコード

MDR を作成するツールは必要に応じて出力する。マスク描画装置、マスク修正装置はレコード内容に応じた処理を行う。

5.2.2 I—記述可(スキップ)レコード

MDR を作成するツールは出力してもよいが、マスク描画装置、マスク修正装置では処理されない。

5.2.3 M—必須レコード

MDR を作成するツールは必ず出力しなければならない。マスク描画装置、マスク修正装置は対象レコードがない場合はエラーとする。

5.2.4 X—記述不可レコード

MDR を作成するツールは出力してはならない。マスク描画装置、マスク修正装置は対象レコードがあるとエラーとなる。

6 詳細

6.1 背景

マスクショップがデバイスメーカーからデザイン情報を入手する事は情報秘匿の観点から難しくまた、もし入手できたとしても、そのまま利用することができない。そのため新たなデザイン情報を渡すフローが必要となっている。そこで我々はマスクデータランクを記述する MDR フォーマットを定義した。

MDR フォーマットは図 1 で示す DAM (Design Aware Manufacturing) で用いられるフィードフォワード用のフォーマットであり、OASIS をベースとし、図形に付けられたデータタイプ番号で重要度を表現する。MDR フォーマットは図形情報のみであり重要な情報は含まれないので、デバイスメーカーの技術者は安心してマスクショップに MDR を渡すことが可能となる。

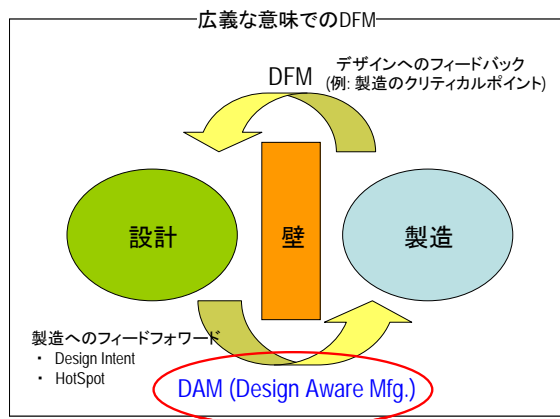


図 1. DAM

6.2 概要

MDR フォーマットは OASIS をベースとしたフォーマットであり、エリアの重要度を図形のデータタイプで表現する。MDR の図形は大きく 3 つのタイプ (GLOBAL エリア, LOCAL エリア, LOCATION エリア) に分類される。

GLOBAL エリアを示す図形は、メインダイ領域やアクセサリ領域といったフルマスクレベルでの重要度を示す。LOCAL エリアを示す図形は、マスク上のパターンごとの重要度を示す。この図形はパターンを包含する必要があるため、マージンを設けパターンより少し大きくする必要がある。LOCATION エリアは図形の無い領域もしくは HOTSPOT 領域についての重要度を示す。

これらのエリアに対して、マスク製造時の精度を INNERALLOWANCE および OUTERALLOWANCE プロパティで定義することができる。この値は製造されたマスクの辺と設計データ内のパターンの辺とのズレの最大許容値を示す。更に INTENT プロパティを用いることで、文字で設計インテント情報を示すことができる。

6.3 基本仕様

- ・ マスクデータと同一サイズとし、対応するマスクデータ種別は特定しない。
- ・ 階層構造に制限は設けない。
- ・ GLOBAL・LOCAL・LOCATION の各エリアで異なるレイヤを用いて図形を格納する。
- ・ 重要度は datatype で記述する。datatype は 0 を最も重要とし、数字が大きくなるほど重要度が下がる。
- ・ 各図形の内包部分はその有効領域とする。
- ・ 同一レイヤの複数の図形が重なる場合は、Priority が高いものを有効とする。
- ・ 異なるレイヤの図形同士が重なる場合のプライオリティはアプリケーションが判断する。
- ・ 複数ファイルにまたがってデータを記述することはできない。
- ・ エリア図形は POLYGON、RECT、TRAPEZOID および CTRAPEZOID レコードを用いる。PATH、CIRCLE および XGEOMETRY レコードは使用不可とする。

6.4 OASIS フォーマット仕様

OASIS フォーマット仕様については SEMI P39 参照のこと。

6.5 MDR 追加レコード

MDR では以下のスタンダードプロパティを PROPERTY レコードに追加する。これらのプロパティにはファイルレベルのスタンダードプロパティと図形レベルのスタンダードプロパティがある。

6.5.1 ファイルレベルのプロパティ

6.5.1.1 S_MDR_VERSION

MDR のバージョン情報を記述する。1 固定とする。

6.5.1.2 S_MDR_GLOBALPRIORITY_LAYER

GLOBAL エリアのレイヤ番号を示す。プロパティ値は1つの符号なし整数で表現する。GLOBAL エリアでは図 2 で示すような Chip 単位レベルでのプライオリティを指定する。エリアを示す図形は斜め線を禁止とし、直交系の輪郭線のみとする。

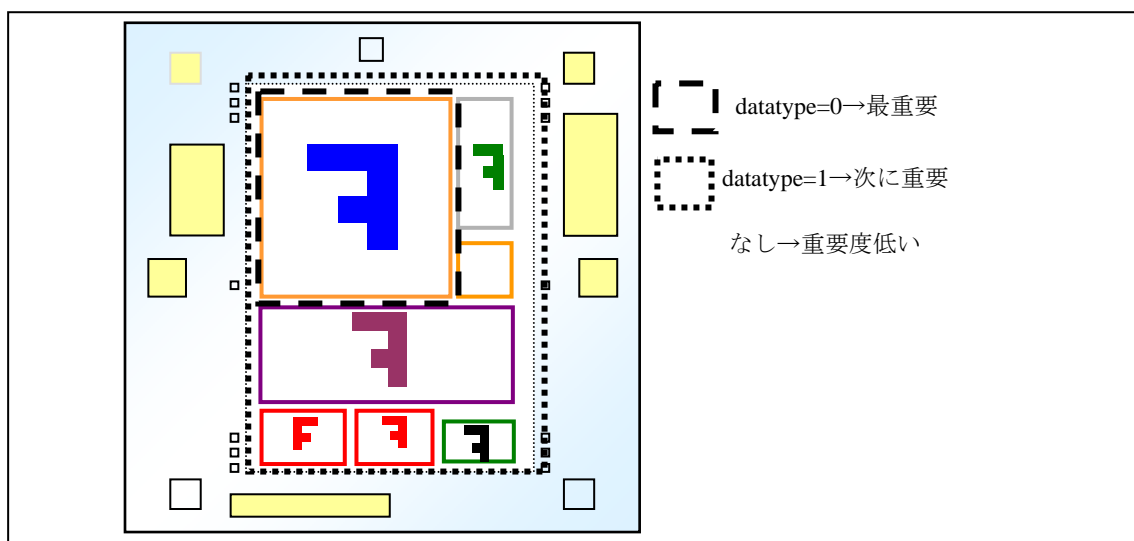


図 2. GLOBAL エリア

6.5.1.3 S_MDR_LOCALPRIORITY_LAYER

このプロパティは LOCAL エリアのレイヤ番号を示す。プロパティ値は1つの符号なし整数で表現する。LOCAL エリアでは図 3 で示すようなパターンごとのプライオリティを指定する。エリアを示す図形はポリゴンで記述し、斜め線も許容する。

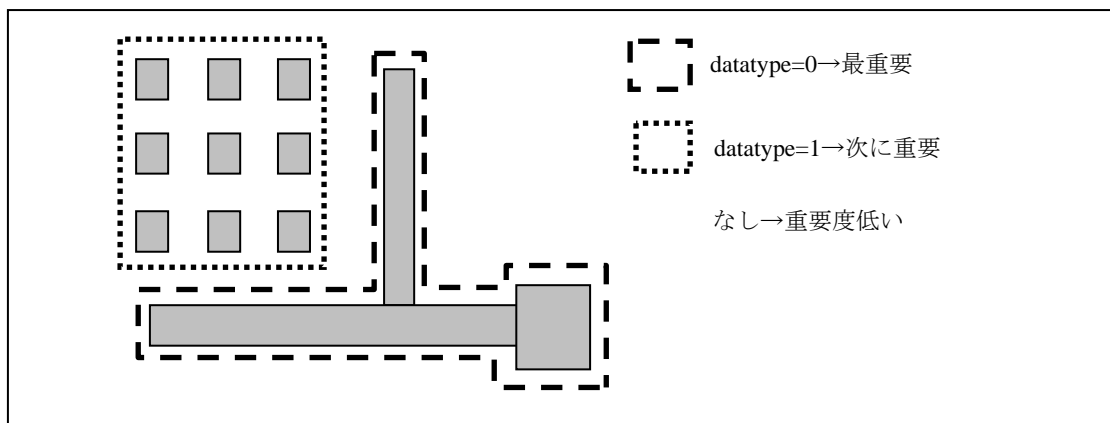


図 3. LOCAL エリア

6.5.1.4 S_MDR_LOCATION_LAYER

このプロパティは LOCATION のレイヤ番号を示す。プロパティ値は 1 つの符号なし整数で表現する。LOCATION では図 4 で示すような図形の存在しないスペースなどを指定する。

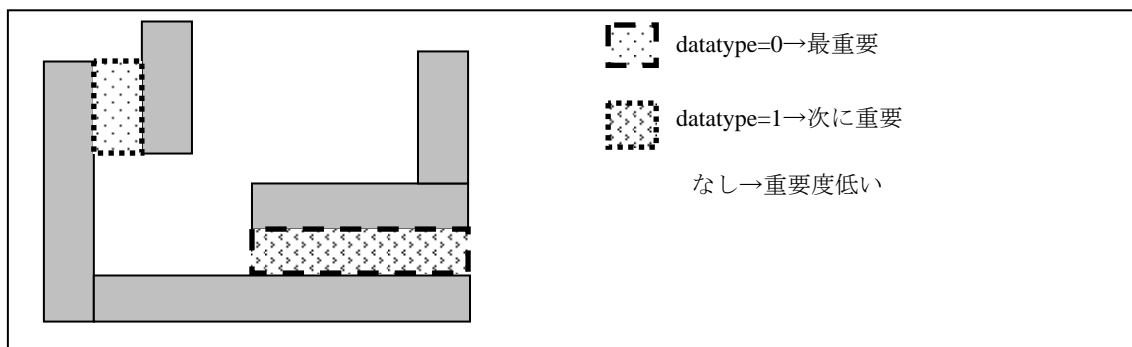


図 4. LOCATION エリア

6.5.2 図形レベルのプロパティ

6.5.2.1 S_MDR_INNERALLOWANCE

このプロパティは図形の内側許容誤差について示す。プロパティ値は 1 つの符号付き整数で表現する。単位はデータベースグリッドとする。内側許容誤差について図 5 で示すように、設計と比較して作成したマスクが内側にずれて良い許容値を示す。

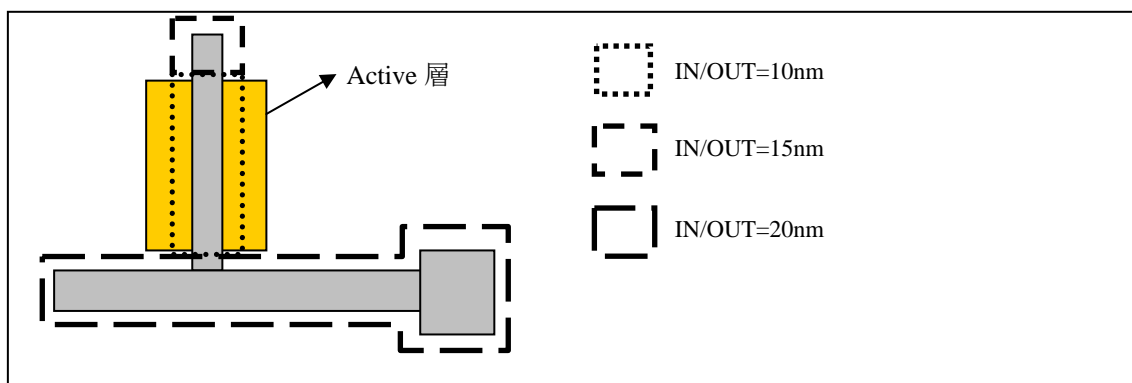


図 5. 内側/外側許容誤差

6.5.2.2 S_MDR_OUTERALLOWANCE

このプロパティは図形の外側許容誤差について示す。プロパティ値は 1 つの符号付き整数で表現する。単位はデータベースグリッドとする。外側許容誤差について図 5 で示すように、設計と比較して作成したマスクが外側にずれて良い許容値を示す。

6.5.2.3 S_MDR_INTENT

このプロパティはデザインインテント情報について示す。プロパティ値は文字列で表現する。ファイルのデータ圧縮のため PROPSTRING レコードによる reference 引用指定を推奨する。デザインインテント情報について図 6 で示す。

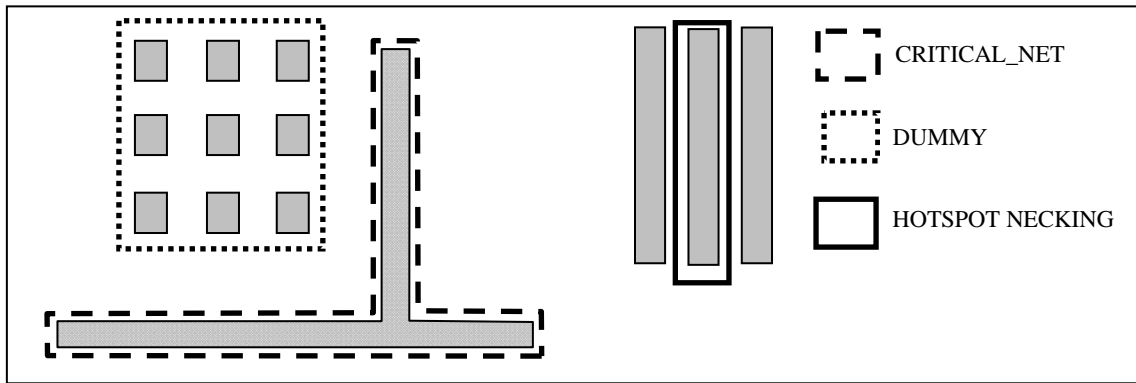


図 6. インテント情報

6.6 MDR 制約

6.6.1 考え方

SEMI P39 フォーマット仕様準拠のみとする。

6.6.2 OASIS レコードに対する制約

SEMI P39 準拠とする。

6.6.3 プロパティに対する制約

スタンダードプロパティに表 1 で示すプロパティを追加する。

図形レベルのプロパティに表 2 で示すプロパティを追加する。

表 1. スタンダードプロパティに対する制約 (ファイルレベル)

No	プロパティ名		制約項目	制約内容					可否
				最小	最大	ステップ	単位	コメント	
1	S_MDR_VERSION	Version number	バージョン番号	-	-	-	-	1固定	M
2	S_MDR_GLOBALPRIORITY_LAYER	Layer-number	レイヤ番号	0	$2^{64}-1$	1	-		A
3	S_MDR_LOCALPRIORITY_LAYER	Layer-number	レイヤ番号	0	$2^{64}-1$	1	-		A
4	S_MDR_LOCATION_LAYER	Layer-number	レイヤ番号	0	$2^{64}-1$	1	-		A

M : 必須、A : 可、I : 可(但しスキップ)、X : 不可

表 2. スタンダードプロパティに対する制約 (図形レベル)

No	プロパティ名		制約項目	制約内容					可否
				最小	最大	ステップ	単位	コメント	
1	S_MDR_INNERALLOWANCE	inner allowance	内側許容値	1	$2^{64}-1$	1	グリッド		A
2	S_MDR_OUTERALLOWANCE	outer allowance	外側許容値	1	$2^{64}-1$	1	グリッド		A
3	S_MDR_INTENT	string	デザイン インテント 情報	1	$2^{64}-1$			PROPSTR ING引用を 推奨	A

M : 必須、A : 可、I : 可(但しスキップ)、X : 不可

6.6.4 階層構造に対する制約

階層に対する制約を表 3 示す。

表 3. OASIS 階層に対する制約

No	制約項目	制約内容	関連レコード
1	セル参照	他のMDRファイル内のセル参照不可	PLACEMENT
2	階層数	制限なし	PLACEMENT

6.6.5 セル名に対する制約

セル名に対する制約は特に設けない。

6.6.6 ファイル名に対する制約

ファイル名に対する制約は特に設けない。

6.6.7 図形に対する制約

- ・ POLYGON、RECT、TRAPEZOID および CTRAPEZOID レコードを用いる。PATH、CIRCLE、XGEOMETRY および XELEMENT レコードは使用不可とする。
- ・ 各図形の内包部分を有効領域とする。
- ・ 重要度は datatype で記述する。datatype は 0 を最も重要とし、数字が大きくなるほど重要度が下がる。
- ・ 同一レイヤで複数図形が重なって指定された場合で、異なるランクのランク図形が重複して指定された場合は、高ランク領域を優先する。
- ・ 異なるレイヤの図形同士が重なる場合のプライオリティはアプリケーションが判断する。
- ・ ランクが指定されていない領域の扱いについては特に制限を設けない。ユーザ側で自由に定義できる。

MDR フォーマット仕様書

制作 技術研究組合 超先端電子技術開発機構 マスク D2I 技術研究部

発行 2010 年 6 月

Copyright © Association of Super-Advanced Electronics Technologies (ASET), 2010, All rights reserved.

(IT イノベーションプログラム・エネルギーイノベーションプログラム)
「マスク設計・描画・検査総合最適化技術開発」基本計画

電子・情報技術開発部

1. 研究開発の目的・目標・内容

(1) 研究開発の目的

大量の多様な情報を、時間や場所の制約を受けずに誰もが自在に活用できる高度情報化社会を目指して、情報通信技術の高度化を進めることが求められている。このためには、情報通信機器の共通基盤技術である半導体LSI 技術の高度化が不可欠である。半導体LSI は、いわゆるムーアの法則に沿った目覚ましい勢いで微細・高集積化し続けることによって、高速化、高機能化、低消費電力化等の性能向上と低コスト化を実現し、情報技術高度化の原動力となってきた。このような微細・高集積化の進展は、今後少なくとも10年以上は続くものと見られているが、そのためには、難度の高い多くの課題を克服しなければならない。本プロジェクトは、そのような課題のひとつであるLSI 製造に不可欠なマスク作製技術上の課題を解決することによって、我が国半導体産業の発展と競争力強化に資するためのものであり、高機能LSI の実現に不可欠なデバイス・プロセス基盤技術を平成22年度までに確立することを目指して、ITイノベーションプログラム及びエネルギーイノベーションプログラムの一環として実施する。

微細・高集積化の牽引役はリソグラフィ技術である。半導体LSIの量産には光リソグラフィ技術（マスクパターンの光学的縮小投影による露光技術）が用いられており、露光波長の短波長化や投影光学系の高開口数化によって微細化が推進されてきた。最近では、超解像技術（RET: Resolution Enhancement Technologies)の導入により、露光波長以下の微細化が進められており、hp90nm⁽¹⁾技術領域の半導体LSI は、現在ArFエキシマレーザ（波長193nm）を光源とするリソグラフィによって作製されている。さらに、液浸技術を導入することにより、193nmリソグラフィ技術をhp65nmからhp45nmに適用可能とするための技術開発が進められている。

以上のように、現状では露光波長より遙かに微細なパターン形成が行われており、これに伴い、マスクコストの高騰とターン・アラウンド・タイム（TAT: Turn Around Time）の増大が問題となってきている。この問題は、微細・高集積化に必然的に伴うパターン数の増加に加え、RETパターンや光近接効果補正（OPC: Optical Proximity Effect Correction)パターンが複雑化することによってマスクデータ量が膨大となり、マスク製造コストの8割以上を占めるマスクパターンの設計、描画、および欠陥検査の各工程に要する時間が増大することに起因している。この問題に対し、各工程における個々の課題解決によって対処しようとし

(1) LSI の配線層のピッチで最小のもの1/2 をハーフピッチ(hp)と呼ぶ。ここでは半導体 LSI の微細化レベルの指標として hp を用いる。

でも効果には限界がある。このため本プロジェクトでは、マスク設計、描画、検査の3工程を通して総合最適化を図ることによって、低コスト、短TATのマスク製造技術の実現を目指す。

具体的には、各工程に共通的なマスクデータ処理技術、繰返しパターンを利用した描画・検査高速化技術、パターン重要度を利用した描画・検査合理化と高速化技術、並列化を利用した描画・検査高速化技術等の開発を行う。これにより、微細化世代が進む毎に2倍以上になると予測されているマスク作製コストの安定化と、短TAT化を実現するためのマスク設計・描画・検査総合最適化の基盤技術確立を目的とする。

本プロジェクトが解決しようとしているマスク価格の高騰は、我が国半導体産業の主要製品であるシステムLSI事業の成否にかかわる深刻な問題である。即ち、システムLSIでは、アプリケーションの多様化や頻繁な世代交代に対応するため、一般に多品種変量（少量～中量）生産となることから、マスク価格の高騰は収益圧迫の大きな要因となる。このことは、単にシステムLSI事業の収益率低下だけではなく、新しいアプリケーションの開発とそれによる新市場創出の妨げになることを意味する。従って、低コスト、短TATのマスク製造技術の実現によりこのような問題の解決を目指す本プロジェクトは、我が国半導体産業の発展と競争力強化に資する重要なものである。さらに、マスク設計、描画、および検査の総合最適化を図るためには、これら3工程に関わる異業種企業間の連携、さらには上位の設計との整合を図ることが重要であり、このような連携の実を因る上からも独立行政法人新エネルギー・産業技術総合開発機構（NEDO技術開発機構）の委託事業として実施する意義がある。

(2) 研究開発の目標

中間目標として平成19年度末までに、マスク設計、描画、および検査の各工程に共通的なマスクデータ処理技術、繰返しパターンやパターン重要度を利用した描画・検査高速化技術、並列化を利用した描画・検査高速化技術等に関し、基本的な開発を完了する。

最終目標として平成21年度末までに、開発した技術を、並列描画方式描画装置の試作機および検査装置に適用して評価し、全体としてマスク設計・描画・検査にわたる情報共有、および総合最適化に有用であることを確認する。また、hp45nm技術領域におけるマスク設計、描画、検査に要する時間は、本技術を使わなかった場合のhp65nm技術領域における同面積のマスク設計、描画、検査に要する時間と比べ、1/2以下に短縮できることを示す。

以上により、マスク設計・描画・検査総合最適化の基盤技術を確立する。

(3) 研究開発の内容

上記目標を達成するために、以下の研究開発項目について、別紙の研究開発計画に基づき研究開発を実施する。

- ① マスク設計データ処理技術の研究開発
- ② マスク描画装置技術の研究開発
- ③ マスク検査装置技術の研究開発

2. 研究開発の実施方式

(1) 研究開発の実施体制

本研究開発は、NEDO技術開発機構が、単独ないし複数の、原則本邦の企業、研究組合、公益法人等の研究機関（原則、国内に研究開発拠点を有していること。ただし、国外企業の特別な研究開発能力、研究施設等の活用あるいは国際標準獲得の観点からの国外企業との連携が必要な場合はこの限りではない。）から公募によって研究開発実施者を選定後、共同研究契約等を締結する研究体を構築し、委託して実施する。共同研究開発に参加する各研究開発グループの有する研究開発ポテンシャルの最大限の活用により、効率的な研究開発の推進を図る観点から、研究体にはNEDO技術開発機構が委託先決定後に指名する研究開発責任者（プロジェクトリーダー）を置き、その下に研究者を可能な限り結集して効果的な研究開発を実施する。

(2) 研究開発の運営管理

研究開発全体の管理・執行に責任を有するNEDO技術開発機構は、経済産業省および研究開発責任者と密接な関係を維持しつつ、プログラムの目的および目標、並びに本研究開発の目的および目標に照らして適切な運営管理を実施する。具体的には、必要に応じて、NEDO技術開発機構に設置する委員会および技術検討会等を通じて、外部有識者の意見を運営管理に反映させる他、四半期に一回程度プロジェクトリーダー等を通じてプロジェクトの進捗について報告を受けること等を行う。

3. 研究開発の実施期間

本研究開発の期間は、平成18年度（2006年度）から平成21年度（2009年度）までの4年間とする。

4. 評価に関する事項

NEDO技術開発機構は、技術的および政策的観点から、研究開発の意義、目的達成度、成果の技術的意義並びに将来の産業への波及効果等について、外部有識者による事後評価を平成22年度に実施する。なお、評価の時期については、当該研究開発に係る技術動向、政策動向や当該研究開発の進捗状況等に応じて、前倒しする等、適宜見直しするものとする。

5. その他の重要事項

(1) 研究開発成果の取扱い

① 成果の普及

得られた研究開発成果のうち、共通基盤技術に係るものについては、プロジェクト内で速やかに共有した後で、NEDO技術開発機構および実施者が協力して普及に努めるものとする。

② 知的基盤整備事業又は標準化等との連携

得られた研究開発の成果については、知的基盤整備または標準化等との連携を図るため、データベースへのデータの提供、標準情報（TR）制度への提案等を積極的に行う。

③知的財産権の帰属

委託研究開発の成果に関わる知的所有権については、「独立行政法人新エネルギー・産業技術総合開発機構 新エネルギー・産業技術業務方法書」第 25 条の規定等に基づき、原則としてすべて委託先に帰属させることとする。

(2)基本計画の変更

NEDO 技術開発機構は、技術開発内容の妥当性を確保するため、社会・経済的状況、内外の技術開発動向、政策動向、プログラム基本計画の変更、第三者の視点からの評価結果、研究開発費の確保状況、当該研究開発の進捗状況等を総合的に勘案し、達成目標、実施期間、研究開発体制等、基本計画の見直しを弾力的に行うものとする。

(3)根拠法

本プロジェクトは、独立行政法人新エネルギー・産業技術総合開発機構法（平成14年法律第145号）第15条第1項第1号ハに基づき実施する。

(4)その他

産業界が実施する研究開発との間で共同研究を行う等、密接な連携を図ることにより、円滑な技術移転を促進する。

本プロジェクトはマスク製造技術に関わるものであるが、上位の設計との整合を図ることが重要であり、関連するプロジェクトやコンソーシアム等との密接な連携を図り、効率的な開発を行う。また、製造容易性考慮設計（DFM：Design for Manufacturing）手法や、OPC の効率化手法等に関する産学官の開発成果や技術シーズの活用方策についても検討する。

6. 基本計画の改訂履歴

(1)平成 18 年 3 月、制定。

(2)平成 20 年 7 月、イノベーションプログラム基本計画の制定により、「(1) 研究開発の目的」の記載を改訂。

研究開発項目①「マスク設計データ処理技術の研究開発」

1. 研究開発の必要性

半導体LSIの微細化に伴い、マスクパターン数の増加とOPCやRETの複雑化により、マスクデータ量は膨大なものとなり、データ処理・転送・変換時間の増大、データストレージの巨大化を招いている。また、マスク描画装置や検査装置ごとに固有のデータフォーマットが使われ、統一されていないため、データ量の膨大化とあいまって、マスクデータ処理はいっそう煩雑なものとなっている。さらに、繰り返しパターンやパターン重要度に関する情報を的確かつ実用的に表現できる共通的なデータフォーマットが存在しないため、これらの情報を利用してマスク描画や検査の高速化、効率化を図ることが困難となっている。

このような現状に対し、マスク設計・描画・検査の総合最適化により低コスト・短TAT化を進めるためには、データ量増大やデータ処理煩雑化の問題を解消し、総合最適化に有効な概念をデータ上で表現できるようにすることが必要である。また、マスク設計・描画・検査共通のデータフォーマットとすることにより、低コスト・短TAT化に有効に利用し得る情報を共有できるようにすることが必要である。

以上の観点から本プロジェクトでは、次項記載の研究開発を行う。

2. 研究開発の具体的内容

(1) 共通データフォーマットの開発

マスク設計・描画・検査共通のデータフォーマットと、このデータを扱うために必要な基本ソフトウェアを開発し、データ容量のコンパクト化、圧縮・解凍の高信頼・高効率化を図る。また、上位の設計意図またはレイアウト解析に基づくパターン重要度や、繰り返しパターンに関する情報を共通データフォーマット上に表現する技術、このデータフォーマットを描画装置や検査装置ごとの差異にかかわらず共通的に利用可能とするためのインターフェース、およびパターン重要度情報をMRC (Mask Rule Check) に伝えるためのインターフェースを開発する。さらに、パターン重要度や繰り返しパターンを利用したOPCの効率化等、マスク設計の効率化方策や、描画あるいは欠陥検査の実行により得られたトラブル、欠陥発生等に関する情報をマスク設計、描画、検査の各工程で共有するスキーム等について検討する。

(2) 繰り返しパターンの高効率利用方法の開発

マスクパターンデータから効率的に繰り返しパターンを抽出するためのソフトウェアを開発する。また、ロジック部のパターンから効率的に繰り返しパターンを抽出するための方策を調査・検討する。

3. 達成目標

中間目標として、平成19年度末までに以下の目標を達成する。

- ・マスク設計・描画・検査に共通の基本的なデータフォーマット、それに付随する基本ソフトウェア、および基本的なインターフェースの開発を完了する。

- ・繰返しパターン抽出ソフトウェアを完成させる。ロジック部の繰返しパターン利用効率向上方法の調査・検討を完了し、指針を明らかにする。

最終目標として、平成21年度末までに以下の目標を達成する。

- ・開発した共通データフォーマット、ソフトウェア、インターフェース等が、全体としてマスク設計・描画・検査にわたる情報共有および総合最適化に有用であることを確認する。
- ・開発したデータフォーマットによるパターンデータ量は、既存の CAD 出力 (GDSII) に比べ 1/10 以下に削減できることを示す。

研究開発項目②「マスク描画装置技術の研究開発」

1. 研究開発の必要性

半導体LSIの微細化世代が進むごとに、マスクパターン数は少なくとも2倍に増加し、さらにOPCやRETの複雑化が相まってマスクデータ量は膨大なものとなる。マスクデータ量の増大は、従来技術の電子ビーム（EB）による逐次的描画方式では、描画時間の増大に直結する。例えばhp45nmのクリティカル層マスクの描画には30時間以上要すると予測されている。これを大幅に短縮して実用的とされている5時間程度にするためには、繰返しパターンを利用して部分一括転写するキャラクタープロジェクション（CP: Character Projection）法や、複数の電子光学鏡筒（カラム）により並列描画するマルチカラム（MCC: Multi Column Cell）方式、さらにはパターンの重要度に応じた描画条件の最適化、効率化等、可能な方策を組み合わせることで効果の最大化を図る必要がある。

これまで、CP法はウェハ上への直接描画において用いられ、またMCC方式は要素技術開発において、それぞれ描画時間短縮の効果は示されているが、いずれもマスク描画に適用されたことはなかった。従って、いずれもマスク描画システムに向けた新たな開発が必要である。特に、マスク描画において要求される高い精度と信頼性を実現するための新たな技術開発が必要である。

以上の観点から本プロジェクトでは、次項記載の研究開発を行う。

2. 研究開発の具体的内容

(1) CP法による高速・高精度マスク描画技術の開発

CP法により高速・高精度のマスク描画を可能にするための電子光学系、制御系、および精度向上技術を開発する。

(2) モニター・自己診断技術の開発

マスクのEB描画に関わるデジタル信号、アナログ信号、および電子ビーム等をモニターする技術、およびそれにより信頼性を向上させる技術を開発する。また、描画装置の問題点を事前に検知するとともに、検出された描画エラーの原因を特定するための自己診断技術を開発する。

(3) パターン重要度に基づくランク分け描画技術の開発

パターン重要度に応じて描画条件を最適化、効率化することによって描画を高速化する技術を開発する。

(4) MCC方式並列描画装置技術の開発

上記(1)～(3)記載の開発技術を搭載し、カラム4本からなるMCC方式並列描画装置を試作し、露光時間短縮の効果、描画精度、および信頼性を確認する。

3. 達成目標

中間目標として、平成19年度末までに以下の目標を達成する。

- ・CP法によるマスク描画装置および描画精度向上の基本技術、モニター・自己診断の基本技術、およびパターン重要度に基づくランク分け描画の基本技術の開発を完了する。

最終目標として、平成21年度末までに以下の目標を達成する。

- ・開発した CP 法による高速・高精度マスク描画技術、モニター・自己診断技術、およびパターン重要度に基づくランク分け描画技術を搭載し、コラム 4 本を備えた MCC 方式のマスク描画装置の試作を完了し、機能と性能を確認する。
- ・hp45nm 技術領域におけるマスク描画に要する時間は、本技術を使わなかった場合の hp65nm 技術領域における同面積のマスク描画に要する時間と比べ、1/2 以下に短縮できることを示す。

研究開発項目③「マスク検査装置技術の研究開発」

1. 研究開発の必要性

半導体LSIの微細化に伴い、マスク上のパターンはデータ量と複雑度が急速に増大し、このためマスク検査時間の増大を招いている。また、検出すべき欠陥サイズが微小となるに連れ、検査装置の光学解像度や検出S/N比の不足が著しくなり、擬似欠陥の多発を招いている。さらに、マスク上のパターンは、複雑なOPCやRETパターンの付加の結果、ウェハ上に転写されるべきパターン形状と大幅に乖離したものとなり、欠陥の判定が困難になってきている。これらの問題を解決し、低コスト、短TATのマスク作製技術を実現するためには、hp45nmのマスク検査に対応できる高速・高精度の検査アルゴリズム、欠陥転写性に基づいて欠陥を判定する技術、繰返しパターンやパターン重要度情報を利用して、欠陥検査を効率化する技術や擬似欠陥の発生を低減する技術等の開発が必要である。

以上の観点から本プロジェクトでは、次項記載の研究開発を行う。

2. 研究開発の具体的内容

(1) 高速・高精度の検査アルゴリズムの開発

hp45nmのマスク検査に対応できる高速かつ高精度の検査アルゴリズムを開発する。

(2) 繰返しパターン利用による検査効率化技術の開発

マスク設計からの繰返しパターンの情報に基づいて、任意位置の繰返しパターンを画像比較により効率的に検査する技術を開発する。

(3) パターン重要度に基づく欠陥判定技術の開発

上位の設計意図もしくはレイアウト解析に基づくパターン重要度情報に応じて欠陥判定基準を適応的に変化させることによって、効率的に欠陥判定を行う技術を開発する。

(4) 欠陥転写性に基づく欠陥判定技術の開発

ウェハ上への転写性に基づき、欠陥の判定をリアルタイムに行う技術を開発する。

3. 達成目標

中間目標として、平成19年度末までに以下の目標を達成する。

- ・高速・高精度欠陥検出アルゴリズム、繰返しパターンの画像比較による検査アルゴリズム、パターン重要度に基づく欠陥判定アルゴリズム、および欠陥転写性に基づく欠陥判定の基礎技術の開発を完了する。

最終目標として、平成21年度末までに以下の目標を達成する。

- ・平成19年度末までに開発した技術を検査装置とリンクさせて評価を行い、hp45nm対応の欠陥検査に適用できることを確認する。
- ・hp45nm技術領域におけるマスク検査に要する時間は、本技術を使わなかった場合のhp65nm技術領域における同面積のマスク検査に要する時間と比べ、1/2以下に短縮できることを示す。

ITイノベーションプログラム基本計画

1. 目的

我が国が目指す高度情報通信ネットワーク社会の構築に向け、経済成長戦略大綱、IT新改革戦略、科学技術基本計画及び技術戦略マップ等に基づき、情報化の進展に伴うエネルギー消費量の増大等の課題にも考慮しつつ、その基盤となる情報通信機器・デバイス等の情報通信技術を開発し、実社会への利用を促進する。また、情報システム・ソフトウェアについて品質、信頼性及び生産性の向上を推進し、組込みソフトウェア産業強化、オープンソースソフトウェアを安心して活用するための環境整備、独創的な人材の発掘等、我が国産業競争力強化のための必要な基盤整備を実施することによって、ITの利活用の深化・拡大を図り、より豊かな国民生活を実現するとともに、我が国の経済活力の向上を図ることを目的とする。

2. 政策的位置付け

「経済成長戦略大綱」(2006年7月財政・経済一体改革会議。2007年6月改訂・経済財政諮問会議報告、2008年6月改訂・経済財政諮問会議報告)

IT革新による競争力強化、IT革新を支える産業・基盤の強化に必要な研究開発の推進に対応

「第3期科学技術基本計画」(2006年3月閣議決定)

国家的・社会的課題に対応した研究開発の重点推進4分野である情報通信分野、分野別推進戦略(2006年3月総合科学技術会議)における重点分野である情報通信分野に位置づけられるもの。

「IT新改革戦略」(2006年1月高度情報通信ネットワーク社会推進戦略本部)

次世代のIT社会の基礎となる研究開発の推進等に対応。「ITによる地域活性化等緊急プログラム」(2008年2月)、「IT政策ロードマップ」(2008年6月)、「重点計画-2008(2008年8月)」等を策定。

3. 達成目標

(1) 情報経済社会を形成する上で必要不可欠な基盤技術である情報通信機器・デバイス等に関しては、「革新的な技術の確立」と「その開発成果の普及促進」を図る。

【目標】

- ・情報通信機器・デバイス産業の付加価値額を、2020年度において、2008年度比で、約50%増加させる。
- ・半導体の微細化に係る革新的基盤技術の開発(テクノロジーノード45nm以下)
- ・革新的な大型ディスプレイ技術の開発(消費電力を現状機器と比較して約50%以下)

- ・革新的なネットワーク機器技術の開発（消費電力を現状機器と比較して60%以下）
- (2) 経済社会システムの信頼性確保に大きく寄与する情報システム・ソフトウェアに関しては、品質、信頼性及び生産性の向上や産学官の開発リソースの連携強化により、「人材育成」と「ソフトウェア工学の開発」等を積極的に推進する。

【目標】

- ・情報サービス・ソフトウェア産業の付加価値額を、2015年度において、2004年度比で、約25%増加させる。
- ・組み込みシステム等の不具合発生率（2011年度までに2006年度比50%減）

4. 研究開発内容

[プロジェクト]

- ・ITコア技術の革新

[i] 世界最先端デバイスの先導開発

(1) 次世代半導体材料・プロセス基盤プロジェクト(MIRAI)(運営費交付金)

概要

テクノロジーノード45nm以細のデバイスの実現に必要な極限微細化技術や、新構造CMOSの研究開発などの既存技術のブレークスルーが期待される先端的基盤技術研究を行う。また、国際半導体ロードマップにおいてエマージングテクノロジーと呼ばれる萌芽的な先端基盤技術の開発に取り組み、技術の見極め・絞り込みを行う。

技術目標及び達成時期

2010年度までに半導体の微細化に関してテクノロジーノード45nm以細のデバイス実現に必要な革新的基盤技術を、産業界において自ら実用化に向けた展開を図る際の判断ができる水準まで技術開発を行い、技術選択肢として提示する。

研究開発期間

2001年度～2010年度

(2) 次世代低消費電力半導体基盤技術開発(MIRAI)(運営費交付金)(再掲)

概要

IT化の進展、IT利活用の高度化を支え、あらゆる機器に組み込まれている半導体の低消費電力化を図るため、テクノロジーノード(微細化レベル)45nm以細の次世代低消費電力半導体の実現を目指し、微細加工の基盤技術やマスク(半導体素子製造過程で用いる原板)の低コスト化・製造時間短縮に必要な基盤技術開発を行う。

なお、本事業は、エネルギー需給構造の高度化を図る観点から行うものである。

技術目標及び達成時期

2010年度までに、マスク設計・描画・検査の各工程に共通的なマスクデータ処理技術、繰り返しパターンやパターン重要度を利用した描画・検査高速化技術等の基本的な開発及びEUVLマスク基盤技術として、許容欠陥の指標明確化、ブランクスの位相欠陥検査技術の確立等を完了する。

研究開発期間

2004年度～2010年度

(中略)

6．研究開発の実施に当たっての留意事項

事業の全部又は一部について独立行政法人の運営費交付金により実施されるもの（事業名に（運営費交付金）と記載したもの）は、中期目標、中期計画等に基づき、運営費交付金の総額の範囲内で、当該独立行政法人の裁量によって実施されるものである。

7．改訂履歴

- (1) 平成12年12月28日付け、情報通信基盤高度化プログラム基本計画を制定。
- (2) 平成14年2月28日付け、情報通信基盤高度化プログラム基本計画及び次世代半導体デバイスプロセス等基盤技術プログラム基本計画を制定。情報通信基盤高度化プログラム基本計画（平成12・12・27工総第12号）は廃止。
- (3) 平成15年1月31日付け、情報通信基盤高度化プログラム基本計画及び次世代半導体デバイスプロセス等基盤技術プログラム基本計画を制定。情報通信基盤高度化プログラム基本計画（平成14・02・25産局第17号）及び次世代半導体デバイスプロセス等基盤技術プログラム基本計画（平成14・02・25産局第18号）は、廃止。
- (4) 平成15年3月10日付け、情報通信基盤高度化プログラム基本計画、次世代半導体デバイスプロセス等基盤技術プログラム基本計画、次世代ディスプレイ技術開発プログラム基本計画及び情報通信基盤ソフトウェア開発推進プログラム基本計画を制定。情報通信基盤高度化プログラム基本計画（平成15・01・29産局第1号）及び次世代半導体デバイスプロセス等基盤技術プログラム基本計画（平成15・01・29産局第2号）は、廃止。
なお、情報通信機器高度化プログラム基本計画（平成15・01・29産局第1号）及び次世代半導体デバイスプロセス等基盤技術プログラム基本計画（平成15・01・29産局第2号）の一部は、次世代ディスプレイ技術開発プログラム基本計画及び情報通信基盤ソフトウェア開発推進プログラム基本計画へ移行。
- (5) 平成16年2月3日付け、高度情報通信機器・デバイス基盤プログラム基本計画及び情報通信基盤ソフトウェア開発推進プログラム基本計画を制定。情報通信機器高度化プログラム基本計画（平成15・03・07産局第14号）、次世代半導体デバイスプロセス等基盤技術プログラム基本計画（平成15・03・07産局第7号）、次世代ディスプレイ技術開発プログラム基本計画（平成15・03・07産局第4号）は、高度情報通信機器・デバイス基盤プログラム基本計画に統合することとし、廃止。また、情報通信基盤ソフトウェア開発推進プログラム基本計画（平成15・03・07産局第14号）は、廃止。
- (6) 平成17年3月25日付け、高度情報通信機器・デバイス基盤プログラム基本計画を制定。高度情報通信機器・デバイス基盤プログラム基本計画（平成16・02・03産局第1号）は廃止。また、平成17年3月31日付け、情報通信基盤ソフトウェア開発推進プログラム基本計画を制定。情報通信基盤ソフトウェア開発推進プログラム基本計画（平成16・02・03産局第2号）は廃止。
- (7) 平成18年3月31日付け、高度情報通信機器・デバイス基盤プログラム基本計画及び情報通信基盤ソフトウェア開発推進プログラム基本計画を制定。高度情報通信機器・デバイス基盤プログラム基本計画（平成17・03・25産局第7号）及び情報通信基盤ソフトウェア開発推進プログラム基本計画（平成17・03・25産局第6号）は廃止。
- (8) 平成19年4月2日付け、高度情報通信機器・デバイス基盤プログラム基本計画及び情

報通信基盤ソフトウェア開発推進プログラム基本計画を制定。高度情報通信機器・デバイス基盤プログラム基本計画（平成18・03・31産局第4号）及び情報通信基盤ソフトウェア開発推進プログラム基本計画（平成18・03・31産局第5号）は廃止。

（9）平成20年4月1日付け、ITイノベーションプログラム基本計画を制定。情報通信機器高度化・デバイス基盤プログラム基本計画（平成19・03・12産局第7号）及び情報通信基盤ソフトウェア開発推進プログラム基本計画（平成19・03・12産局第8号）は、本プログラム基本計画に統合することとし、廃止。

（9）平成21年4月1日付け、ITイノベーションプログラム基本計画を制定。ITイノベーションプログラム基本計画（平成20・03・27産局第1号）は、廃止。

エネルギーイノベーションプログラム基本計画

1. 目的

資源に乏しい我が国が、将来にわたり持続的発展を達成するためには、革新的なエネルギー技術の開発、導入・普及によって、各国に先んじて次世代型のエネルギー利用社会の構築に取り組んでいくことが不可欠である。他方、エネルギー技術開発は、長期間を要するとともに大規模投資を伴う一方で将来の不確実性が大きいことから、民間企業が持続的な取組を行うことは必ずしも容易ではない。このため、政府が長期を見据えた将来の技術進展の方向性を示し、官民双方がこの方向性を共有することで、長期にわたり軸のぶれない取組の実施が可能となる。

エネルギー安全保障の確立や、世界全体の温室効果ガスを 2050 年までに半減するという長期目標を達成するため、以下に政策の柱毎に目的を示す。

1 - . 総合エネルギー効率の向上

1970 年代以来、官民をあげて省エネルギーに取り組み、産業構造の転換や新たな製造技術の導入、民生機器の効率改善等により世界最高水準の省エネルギーを達成している。今後、「新・国家エネルギー戦略」に掲げる、2030 年までに GDP あたりのエネルギー利用効率を約 30% 向上を実現していくためには、産業部門はもとより、全部門において、総合エネルギー効率の向上に資する技術開発とその成果の導入を促進する。

1 - . 運輸部門の燃料多様化

ほぼ 100% を石油に依存する運輸部門は、我が国エネルギー需給構造上、最も脆弱性が高く、その需給構造の次世代化は、将来に向けた早急な対策が不可欠な課題となっている。

「新・国家エネルギー戦略」に掲げる目標（2030 年に向け、運輸部門の石油依存度が 80% 程度となることを目指す）の実現のためにも、官民が中長期的な展望・方向性を共有しつつ、技術開発と関連施策を推進する。

1 - . 新エネルギー等の開発・導入促進

太陽光、風力、バイオマスなどの新エネルギーは、エネルギー源の多様化や地球温暖化対策の観点から重要である。しかし、現時点では経済性や出力安定性といった普及へ向けての課題が存在する。

そのため、これらの課題解決に向けた技術開発の推進及び新エネルギーの導入促進のための関連施策の実施により、更なる新エネルギーの普及を推進する。

1 - . 原子力等利用の推進とその大前提となる安全の確保

原子力発電は供給安定性に優れ、運用時に CO₂ を排出しないクリーンなエネルギー源である。安全確保を大前提に核燃料サイクルを含む原子力発電を着実に推進する。

1 - . 化石燃料の安定供給確保と有効かつクリーンな利用

化石燃料資源の大宗を輸入に依存する我が国にとって、その安定供給の確保は国家安全保障に直結する課題である。このため、石油・天然ガス等の安定供給確保を目指し、我が国企業による資源国における資源開発等に対する支援等の施策を進めるとともに、その有効かつクリーンな利用を図る。

2. 政策的位置付け

低炭素社会づくり行動計画（2008年7月閣議決定）

2008年6月の福田総理（当時）のスピーチ「福田ビジョン」等を受け、我が国が低炭素社会へ移行していくための具体的な道筋を示すため、国全体を低炭素化へ動かす仕組みや革新的な技術開発、国民一人ひとりの行動を促すための取組について策定。

「環境エネルギー技術革新計画」や「Cool Earth - エネルギー革新技術計画」等に示された革新的技術の開発に5年間で300億ドル程度を投入するという具体的な目標が示された。

環境エネルギー技術革新計画（2008年5月）

温室効果ガスの大幅な削減を目指すだけでなく、エネルギー安全保障、環境と経済の両立、開発途上国への貢献等を考慮し、以下の戦略等を策定。

1. 低炭素社会実現に向けた我が国の技術戦略
2. 国際的な温室効果ガス削減策への貢献策
3. 革新的環境エネルギー技術開発の推進方策

Cool Earth - エネルギー革新技術計画（2008年3月）

2007年5月の総理イニシアティブ「クールアース50」を受け、世界全体の温室効果ガスの排出量を現状に比して2050年までに半減するという長期目標を達成するため、エネルギー分野における革新的な技術開発について検討をおこない、21の技術を選定。

エネルギー基本計画（2007年3月閣議決定）

重点的に研究開発のための施策を講ずべきエネルギーに関する技術及びその施策として、

1. 総合エネルギー効率の向上に資する技術
2. 原子力利用の推進とその大前提となる安全の確保に資する技術
3. 運輸部門のエネルギー多様化に資する技術
4. 新エネルギーに関する技術
5. 化石燃料の安定供給確保と有効かつクリーンな利用に資する技術

以上が位置づけられている。

新・国家エネルギー戦略（2006年5月）

世界最先端のエネルギー需給構造の実現を図るため

1. 省エネルギーフロントランナー計画
2. 運輸エネルギーの次世代化計画
3. 新エネルギーイノベーション計画
4. 原子力立国計画

以上の計画が位置づけられている。また、資源外交、エネルギー環境協力の総合的な強化を図るため、「総合資源確保戦略」が位置づけられている。

第3期科学技術基本計画（2006年3月閣議決定）

国の存立にとって基盤的であり国として取り組むことが不可欠な研究開発課題を重視して研究開発を推進する「推進4分野」であるエネルギー分野、分野別推進戦略（2006年3月総合科学技術会議）における「推進4分野」であるエネルギー分野に位置づけられている。

経済成長戦略大綱（２００６年７月財政・経済一体改革会議）

資源・エネルギー政策の戦略的展開として

- １．省エネルギーフロントランナー計画
- ２．次世代自動車・燃料イニシアティブ等による運輸エネルギー次世代化
- ３．新エネルギーイノベーション計画
- ４．原子力立国計画
- ５．資源外交、環境・エネルギー協力等の総合的な強化

以上が位置づけられている。

京都議定書目標達成計画（２００５年４月閣議決定）

「京都議定書の約束を達成するとともに、更に「脱温暖化社会」に向けて長期的・継続的な排出削減を進めるには、究極的には化石燃料への依存を減らすことが必要である。環境と経済の両立を図りつつ、これらの目標を達成するため、省エネルギー、未利用エネルギーの利用等の技術革新を加速し、効率的な機器や先進的なシステムの普及を図り、世界をリードする環境立国を目指す。」とされている。

３．達成目標

３－１．総合エネルギー効率の向上

転換部門における「エネルギー転換効率向上」、産業部門における「製造プロセス効率向上」、民生・運輸部門における「省エネルギー」などにより、ＧＤＰ当たりのエネルギー消費指数を２０３０年度までに少なくとも３０％改善することを目指す。

３－２．運輸部門の燃料多様化

バイオマス由来燃料、ＧＴＬ、ＢＴＬ、ＣＴＬなどの新燃料、電気自動車や燃料電池自動車などの導入により、現在ほぼ１００％の運輸部門の石油依存度を２０３０年までに８０％程度とすることを目指す。

３－３．新エネルギー等の開発・導入促進

太陽光、風力、バイオマスなどの新エネルギーの技術開発や燃料電池など革新的なエネルギー高度利用を促進することにより、新エネルギー等の自立的な普及を目指すことで、エネルギー源の多様化及び地球温暖化対策に貢献する。

３－４．原子力等利用の推進とその大前提となる安全の確保

２０３０年以降においても、発電電力量に占める比率を３０～４０％程度以上とすることを目指すため、高速増殖炉サイクルの早期実用化、既設軽水炉代替へ対応する次世代軽水炉の開発、軽水炉技術を前提とした核燃料サイクルの確立、放射性廃棄物対策などの技術開発を推進する。

３－５．化石燃料の安定供給確保と有効かつクリーンな利用

石油・天然ガスの化石燃料の安定供給確保を目指し、資源獲得能力の強化に資する先端的な技術開発を推進するとともに、環境負荷低減のために化石燃料の効率的かつクリーンな利用を促進するための技術開発・導入を目指す。

4. 研究開発内容

4-1. 総合エネルギー効率の向上

(中略)

4-2. 次世代省エネデバイス技術

(2) 次世代低消費電力半導体基盤技術開発(MIRAI)(運営費交付金)

概要

エネルギー需給構造の高度化を図る観点から行うものであり、IT化の進展、IT利活用の高度化を支え、あらゆる機器に組み込まれている半導体の低消費電力化を図るため、テクノロジーノード(微細化レベル)45nm以下の次世代低消費電力半導体を実現するため、微細加工の基盤技術やマスク(半導体素子製造過程で用いる原板)の低コスト化・製造時間短縮に必要な基盤技術の開発等を行う。

技術目標及び達成時期

2010年度までに、マスク設計・描画・検査の各工程に共通的なマスクデータ処理技術、繰り返しパターンやパターン重要度を利用した描画・検査高速化技術等の基本的な開発及びEUVLマスク基盤技術として、許容欠陥の指標明確化、ブランクスの位相欠陥検査技術の確立等を完了する。

研究開発期間

2001年度～2010年度

(中略)

6. 研究開発の実施に当たっての留意事項

事業の全部又は一部について独立行政法人の運営費交付金による実施されるもの(事業名に(運営費交付金)と記載したものは、中期目標、中期計画等に基づき、運営費交付金の総額の範囲内で当該独立行政法人の裁量によって実施されるものである。また、事業名に(採択テーマ)と記載された事業は、提案公募事業により採択されたテーマを記載したものであり、その採択や評価等は、提案公募事業の実施機関の責任の下、実施されるものである。

7. 改訂履歴

- (1) 平成16年7月7日付け、省エネルギー技術開発プログラム基本計画、新エネルギー技術開発プログラム基本計画、燃料技術開発プログラム基本計画、電力技術開発プログラム基本計画、原子力技術開発プログラム基本計画制定。固体高分子形燃料電池/水素エネルギー利用プログラム基本計画(平成16・02・03産局第6号)は、新エネルギー技術開発プログラム基本計画に統合することとし、廃止。
- (2) 平成17年3月31日付け制定。省エネルギー技術開発プログラム基本計画(平成16・06・04産局第8号)、新エネルギー技術開発プログラム基本計画(平成16・06・04産局第10号)、燃料技術開発プログラム基本計画(平成16・06・04産局第12号)、電力技術開発プログラム基本計画(平成16・06・04産局第11号)、原子力技術開発プログラム基本計画(平成16・06・04産局第13号)は、廃止。
- (3) 平成18年3月31日付け制定。省エネルギー技術開発プログラム基本計画(平成17・03・25産局第14号)、新エネルギー技術開発プログラム基本計画(平成17・03・25産局第9号)、燃料技術開発プログラム基本計画(平成17・03・25産局第17号)、電力技術開発プログラム基本計画(平成17・03・25産局第12号)、原子力技術開発プログラム基本計画(平成17・03・25産局第13号)は、廃止。また、次世代低公害車技術開発プログラム基本計画(平成17・03・29産局第2号)は、省エネルギー技術開発プログラム基本計画及び燃料技術開発プログラム基本計画に統合することとし、廃止。
- (4) 平成19年4月2日付け制定。省エネルギー技術開発プログラム基本計画(平成17・03・31産局第19号)、新エネルギー技術開発プログラム基本計画(平成18・03・31産局第15号)、燃料技術開発プログラム基本計画(平成18・03・31産局第18号)、電力技術開発プログラム基本計画(平成18・03・31産局第17号)、原子力技術開発プログラム基本計画(平成18・03・31産局第16号)は、廃止。
- (5) 平成20年4月1日付け、エネルギーイノベーションプログラム基本計画制定。省エネルギー技術開発プログラム基本計画(平成19・03・26産局第1号)、新エネルギー技術開発プログラム基本計画(平成19・03・20産局第4号)、燃料技術開発プログラム基本計画(平成19・03・19産局第7号)、電力技術開発プログラム基本計画(平成19・03・16産局第3号)、原子力技術開発プログラム基本計画(平成19・03・23産局第2号)は、本プログラム基本計画に統合することとし、廃止。
- (6) 平成21年4月1日付け制定。エネルギーイノベーションプログラム基本計画(平成20・03・25産局第5号)は廃止。

半導体分野

我が国は、インターネットやその他の高度情報通信ネットワークを通じて自由かつ安全に多様な情報又は知識を世界的規模で入手し、共有し又は発信することにより、あらゆる分野における創造的かつ活力ある発展が可能となる高度情報通信ネットワーク社会の形成を目指し、電子政府始め様々な取り組みを推進している。しかし、その一方で、大幅に増大しているネットワーク・トラフィックと電力消費量の爆発的増大、情報システムのトラブルの原因となるソフトウェアの安全性・信頼性の低下、増加の一途をたどるアタック、ウイルス等の重要な課題が顕在化している。

こうしたことから、情報家電等 IT の利活用と社会システムとしての安全性・信頼性の確保とともに、その基盤となる IT 産業の技術力、国際競争力の強化を目標として、情報通信関連技術を半導体、ストレージ・不揮発性メモリ、コンピュータ、ネットワーク、ユーザビリティ（ディスプレイ等）及びソフトウェアの 6 分野に分け、今後 10 年程度を見据えた技術戦略マップを作成した。

半導体は、情報家電、自動車、産業機械、医療機械等、様々な製品の付加価値を高める非常に重要な産業のコア部品であるが、半導体産業を発展させ競争力をつけていくためには、世界各国での激しい市場競争に打ち勝つための莫大な研究開発費と技術戦略が必要となっている。本技術戦略マップでは、国際半導体ロードマップ（ITRS）の中から、特に我が国に必要な重要技術を抽出し、技術開発成果の産業への導入シナリオ、ロードマップをとりまとめている。

また、半導体分野の技術は、ナノ・部材技術やシリコン以外の材料を活用して深化する度合いが増えてきており、これを考慮して策定している。

半導体分野の技術戦略マップ

I. 導入シナリオ

(1) 半導体分野の目標と将来実現する社会像

半導体技術は、情報家電、自動車等の製品に組み込まれて初めてその機能を発揮するものであり、技術力のみで国際市場のシェアを確保できる分野ではないが、その技術は、「技術戦略マップに示された技術により実現できる将来社会イメージ」の中でも、ユーザビリティ技術、ネットワーク技術等と合わせて、将来のユビキタス時代を作り上げるコア技術であり、半導体技術を高度化していくことが、全ての基礎となる。具体的には、従来からの方法である微細化による半導体の高性能化、省エネ化を強力に進めるとともに、微細化以外の方法で高機能な新しい半導体を実現させていくことが必要である。

(2) 研究開発の取組

研究開発の推進については、開発目標を戦略的に設定するとともに、効率的な研究開発体制の構築と部材産業、製造装置産業等との垂直連携の強化等が重要である。

特に、半導体分野においては、国際ロードマップを意識し、その中で設計、プロセス、検査、実装等の各製造工程に係る研究開発と連携をとりつつ一体的に取り組むとともに、次世代及び次々世代の技術の開発を国と民間との適切な役割分担の下に行うことが必要である。

我が国では、「次世代半導体材料・プロセス基盤技術の開発（MIRAI）プロジェクト」（2001～2010年度）で半導体の要素技術を開発し、その成果をロードマップに従って順次、民間コンソーシアムである株式会社半導体テクノロジーズ（Selete）や民間企業に直接移転し、大きな成果を上げている。プロジェクトの成果の移転については、その技術が使われるタイミングを計って移転することが非常に重要である。

その他、製造時のプロセスのばらつきを考慮した設計手法の開発を行う「次世代プロセスフレンドリー設計技術開発」（2006～2010年度）、立体構造による多様な用途に応じた新機能デバイスを実現する「ドリームチップ開発プロジェクト」（2008～2012年度）、高速かつ不揮発性能を有するメモリを開発する「高速不揮発メモリ機能技術開発」（2010～2012年度）、新規のナノ機能材料や、新規のナノデバイス構造を適用し超低電圧（0.4V以下）で動作するデバイスを開発する「低炭素社会を実現する超低電圧デバイスプロジェクト」（2010～2014年度）等を実施している。

(3) 関連施策の取組

研究開発成果を産業化させるにあたって、制度等様々な障壁等を低くする施策や国際連携や標準化等によって、成果を導入しやすくすることが必要である。

具体的には、以下の通り。

〔起業・事業支援〕

・社団法人半導体ベンチャー協会と協力して、半導体ベンチャーの育成支援等を行う。

〔規則・制度改革〕

・高度情報通信ネットワーク社会形成基本法（IT 基本法）による高度情報通信ネットワーク社会の形成に関する施策の推進

〔基準・標準化〕

・半導体集積回路の国際標準化は、IEC（IEC:International Electrotechnical Commission 国際電気標準会議）では、TC47 及びその下の SC で審議されている。このうち、日本は SC47A、47E で国際議長を、SC47D で国際議長及び幹事、SC47F で国際幹事を務めている。また、ナノエレクトロニクス分野では、ナノテクノロジーとして TC113 を 2006 年に新設し、用語の定義や計測法などについて標準化が始まった。

・一方、ISO/IEC 以外の標準化活動として、MIRAI プロジェクトの成果を活用した HiSIM モデルが、大学、産業界の積極的な活動の結果、2007 年 12 月に SCC で国際標準となった。このように、研究開発の成果を使える環境を作り出すために、国際標準化を推進するとともに、これを複数の技術世代にわたる継続的な取組とすることが必要である。

〔国際連携・協力〕

・知的財産権保護、環境対策、非特惠原産地規則、関税対策等の課題を解決するためには、半導体産業がグローバル化しているために国内のみの活動では不十分である。そのため、日本、欧州、米国、韓国、台湾、中国の 6 極でこれら半導体に関する課題について解決策を検討するため、半導体政府当局会合（GAMS）を行っている。

〔他省庁との連携〕

・次々世代の半導体技術であるナノエレクトロニクス分野では、ナノエレ政策推進会議を経済産業省・文部科学省で設置し、互いに有機的連携の下に、ナノエレクトロニクス関連のプロジェクトが 2007 年度から推進されている。

〔産学官連携〕

・産学官で構成する「つくば半導体協議会」等の産学官連携の場を活用し、情報交換から具体的な連携までを行っている。

・国内で最もナノテクノロジーの研究設備・人材が集積するつくばにおいて、世界的なナノテクノロジー研究拠点の構築が 2008 年度から進められている。2009 年 6 月には、筑波大学、物質・材料研究機構、産業技術総合研究所、及び日本経済団体連合会の 4 者による共同宣言「つくばナノテクノロジー拠点形成の推進について」が発表されている。

〔プロジェクト等との間の連携〕

・半導体製造は、従来のように設計・前工程・後工程と工程毎に技術を開発しても、微細化が進むに連れ、特性バラツキや信号遅延などの問題が深刻化し、工程間の連携が不可欠となってきた。そのため、例えば、設計分野の「次世代プロセスフ

「レンドリー設計技術開発 (DFM)」プロジェクトと MIRAI の中の「D2I (マスク設計・描画・検査総合最適化技術開発)」プロジェクト間で、データ交換や相互での評価などを実施している。今後とも、プロジェクト間の連携の必要性は高まると予測され、柔軟な連携が求められる。

(4) 海外での取組

IBM (米アルバニー)、IMEC (ベルギー) 等のコンソーシアムに、世界から半導体メーカーの研究者が参画し、最先端の半導体研究を行っている。

(5) 民間での取組

半導体メーカー 9 社で組織される株式会社 半導体テクノロジーズ (Selete) や株式会社 半導体理工学研究センター (STARC) の他、半導体の材料の評価を行うコンソーシアムとして次世代半導体材料研究組合 (CASMAT) が活動している。

(6) 改訂のポイント

- 関連施策の取組等について最新の情報に更新したほか、目標年度を 2010 年度から 2020 年度までに更新した。

II. 技術マップ

(1) 技術マップ

国際半導体技術ロードマップ (ITRS) 2009 を踏まえ、我が国の研究開発を戦略的に推進するため、我が国が得意とする低消費電力化技術を中心に技術項目を大、中、小項目に分類。大項目では LSTP デバイス技術、プロセス技術やリソグラフィ、設計 (SoC 設計) など大きく 12 項目に分け、これらを、体系化するとともに、細分類化を行っている。

(2) 重要技術の考え方

半導体の技術を、その事業形態 (IDM、ファウンドリメーカー、ファブレスメーカー、装置・材料メーカー、ソフトベンダー) から見て重要技術に分類し、更に、半導体の安全・信頼性から見た重要技術、省エネの観点から見た重要技術に分類整理を行った。

(3) 改訂のポイント

- 大項目にプリントエレクトロニクスを新たに新設するとともに、LSTP デバイス技術、設計 (SoC 設計)、テスト技術、評価・解析技術の中項目以下の内容を、技術動向を踏まえ一部改訂した。

III. 技術ロードマップ

(1) 技術ロードマップ

技術マップに示した重要技術ごとに、研究開発により達成されるべきスペックを時間軸上に表した。

(2) 改訂のポイント

- ロードマップの対象期間の変更
開始年は2010年、終了年は2019年の10年間とした。
- ITRS2009や半導体技術開発の動向を踏まえ、半導体の微細化のトレンドを見直した。
- 特に「ディスクリートデバイス」では要求スペックの詳細情報を充実したほか、「プリントエレクトロニクス」について、新たにロードマップを記載した。

IV. その他の改訂のポイント

- **ベンチマーキングの改訂【半導体分野の国際競争ポジション】**
 - 半導体製品別シェアの品目を拡大し、最新情報に更新した。

半導体分野の導入シナリオ

2010

2015

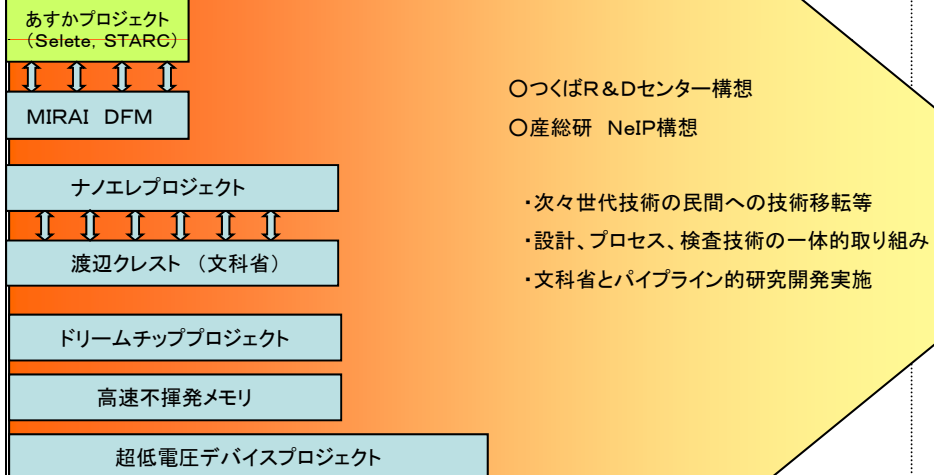
2020

目標

民間企業の取組

- 半導体事業の選択と集中の加速
- 海外市場も視野に入れた組み込みソフトのプラットフォーム化による競争力の強化
- 海外コンソーシアムへの参加

研究開発の取組



関連施策の取組

法律

IT基本法(高度情報通信ネットワーク社会形成基本法)

IEC及びISOで主に標準化活動が進められている。その他、シミュレーションなど、その固有分野毎に国際標準化が決められている。

国際標準化

TC47 半導体デバイス 幹事国:韓国 議長国:米国 SCA 集積回路 幹事国:日本

TC91 電子実装技術 半導体実装技術を担当 幹事国:日本 議長国:米国

TC113 ナノテクノロジー技術 幹事国:ドイツ 議長国:米国

HISIM

大学・産業界と連携した設計力の強化 シャトル便

関係機関との連携

CASMAT(半導体材料の評価)活動 高度部材産業開発・評価センター構想(部材評価技術の強化、部材開発技術の導入・普及)

産総研を始めとするナノテク関連研究機関が集積する筑波において、内外の優秀な研究者が集積し、世界的なイノベーション促進拠点形成に向けた取り組みを実施

WSC(世界半導体会議)と連携したGAMS(半導体政府間会合)の活動により、半導体に関する通商問題、模倣品問題、環境問題、原産地問題等あらゆる問題に対する解決への努力

○MCP無税化条約

○地球温暖化ガス排出削減に関わる民間自主規制

○貿易統計(HS)の改訂

略語説明

- A:** AEC = Advanced Equipment Control
ALD = Atomic Layer Deposition
APC = Advanced Process Control
ArF = Argon Fluoride
- B:** BISR = Built-In Self Repair
BIRA = Built-In Redundancy Allocation
- C:** CMP = Chemical Mechanical Polishing
CMOS = Complementary Metal-oxide Semiconductor
CVD = Chemical Vapor Deposition
- D:** DD = Dual Damascene
DFM = Design For Manufacturing(Manufacturability)
DFR = Design For Reliability
DFT = Design For Testability
DRAM = Dynamic Random Access Memory
DRC = Design Rule Check
DSA = Directed Self Assembly
- E:** EEQA = Enhanced Equipment Quality Assurance
EEQM = Enhanced Equipment Quality Management
EM = Electro Migration
EUV = Extreme Ultra Violet
- F:** FDC = Fault Detection and Classification
FDSOI = Full Depletion Silicon On Insulator
FET = Field Effect Transistor
- G:** GOI = Germanium Oxide Insulator
HW = HardWare
- I:** IP = Intellectual Property
- K:** KGD = Known Good Die
- L:** LER = Line Edge Roughness
LSTP = Low Standby Power
- M:** MBE = Molecular Beam Epitaxy
MDP = Mask Data Preparation
ML2 = MaskLess Lithography
MOS = Metal-Oxide Semiconductor
MRC = Mask Rule Check
- N:** NGL = Next Generation Lithography
NVRAM = NonVolatile Random Access Memory
- O:** OEE = Overall Equipment Efficiency
OPC = Optical Proximity effect Correction
OS = Operating System
- P:** PCB = Printed-Circuit Board
PVD = Physical Vapor Deposition
- Q:** QTAT = Quick Turn Around Time
- R:** RET = Resolution Enhancement Technology
RF = Radio Frequency
RTL = Register Transfer Level
- S:** SAM = Self-Assembled Monolayer
S/D = Source / Drain
SGOI = Silicon Germanium Oxide Insulator
SiP = System in Package
SM = Stress Migration
SoC = System on a Chip
SOD = Spin On Dielectric
SOI = Silicon On Insulator
SRAM = Static Random Access Memory
STIL = Standard Test Interface Language
SW = SoftWare
- T:** TDDDB = Time Dependent Dielectric Breakdown
TEG = Test Element Group
TFT = Thin-Film Transistor
TL = Transaction Level
- U:** UTB = Ultra Thin Body

事前評価書

		作成日	平成 18 年 2 月 3 日
1. 事業名称	マスク設計・描画・検査総合最適化技術開発		
2. 推進部署名	電子・情報技術開発部		
3. 事業概要	<p>(1) 概要</p> <p>半導体デバイスの微細・高集積化に伴い、フォトマスクの製造に長時間を要し、製造コストが増大している。この問題を解決し、マスクの製造時間短縮・低コスト化を実現するため、マスク設計・描画・検査の工程を総合的に最適化する技術を開発する。</p> <p>(2) 事業規模</p> <p>平成 18 年度事業費 9 億円</p> <p>(3) 事業期間</p> <p>平成 18 年度～21 年度 (4 年間)</p>		
4. 評価の検討状況			
<p>(1) 事業の位置づけ・必要性</p> <p>我が国が競争力を有する「情報家電」等のシステム LSI 応用製品では、競争が激しく、製品寿命が短い。本プロジェクトは、このような状況にあるシステム LSI の競争力強化に不可欠な製造時間短縮・低コスト化の実現を目指すものである。また、情報通信分野の技術戦略マップ半導体分野デバイスプロセス技術のリソグラフィーマスク技術等に対応するものである。</p>			
<p>(2) 研究開発目標の妥当性</p> <p>半導体デバイスは微細化世代が進むごとにマスクコストは2倍以上になると推計されている。このような状況が進めば、我が国の産業の核となる情報家電に不可欠なシステム LSI の多品種変量生産が困難となる。従って、マスクコストの8割以上を占めるマスク設計／描画／検査工程の総合最適化技術を開発することによってマスク製造コストの安定化を目指す本プロジェクトの目標は、我が国半導体産業の発展と競争力強化に資する極めて妥当なものである。</p>			
<p>(3) 研究開発マネジメント</p> <p>公募を行い、最適な実施体制を構築する。また、プロジェクトリーダーを選定し、プロジェクトリーダーと密接な関係を維持しつつ、本研究開発の目的及び目標を踏まえ、予算配分や事業計画の策定・見直しを行い、適切な運営管理に努める。また、必要に応じて、外部有識者の意見を運営管理に反映させる。</p>			

(4) 研究開発成果

マスク設計・描画・検査の最適化により、マスクの短納期・低コスト製作が実現され、45 nm 技術世代以降のシステム LSI において、経済的にひきあう多品種変量（少量～中量）生産が可能となる。

(5) 実用化・事業化の見通し

本プロジェクトの実施には、EDA ベンダー、描画装置メーカー、検査装置メーカー、マスクメーカー、およびデバイスメーカーの異業種企業間の垂直統合型連携、さらには上位の設計との統合が不可欠である。NEDO 技術開発機構のマネジメントによりこのような連携体制を構築することによって、実用化・事業化の見通しが確かなものになると期待される。

(6) その他特記事項

5. 総合評価

マスク設計／描画／検査工程の各工程の総合的最適化技術開発は、デバイスメーカー（設計、リソグラフィ）、電子ビーム描画機メーカー、検査装置メーカー、マスクメーカー単独では実施し得ず、垂直統合型の共同研究体制を構築することが不可欠である。特に、部分一括図形転写法はマスク製造効率を飛躍的に向上できる技術であるが、その実現のためには、各社ごとの取り組みでは不可能であり、マスクパターンや半導体設計に関する各社のノウハウ・データを結集する必要がある。

従って、当機構の事業として、産学官の共同研究体制を構築し実施する意義は大きく、また、マスクコストの低減は、将来の我が国半導体産業の優位性の確保と情報化社会の推進にとって大きな意義を持っている。

マスク設計・描画・検査総合最適化技術開発

○ マスクコスト削減に向けた設計／描画／検査工程一体となった技術開発

プロジェクトの概要

- 電子回路を半導体材料(シリコン)上に転写する基盤技術であるマスクに対し、45nm技術世代以降の複数世代にわたり、マスクの低消費電力化・低コスト製造・製造時間短縮を実現するための基盤技術開発を技術戦略マップに基づき実施する。
- 具体的には、マスクコストの8割以上を占めるマスク設計／描画／検査工程の総合最適化を行い、三工程同時の高速化・高精度化・高信頼化の実現を図る。

研究開発の背景・効果等

◎現状

情報家電等あらゆる電子機器を支える半導体の微細化、低消費電力化において、マスクは不可欠な要素。微細化の進展により、パターンは複雑さやデータ量が増大し、マスクの長納期化、高価格化の問題が発生。最新のArFエキシマ露光技術では、光近接効果補正(OPC)や超解像技術の適用により、マスクへの負荷は更に増大。

◎課題

技術世代が進むごとにマスクコストは約2倍になると推計されており、コストを技術世代によらず安定化させるには、マスクの生産性を世代ごとに2倍以上に引き上げることが必須。
マスクコストは、マスク設計／描画／検査工程が8割以上を占めており、個々の工程改善だけでは全体コスト低減は困難。よって、三つの工程全体にわたる生産性向上技術であって、しかも、複数の技術世代に適用可能な基盤技術開発が必要不可欠。

(期待される効果・経済波及効果等)

マスク設計・描画・検査の最適化により、現行デバイスに比して飛躍的な低消費電力、高機能な45nm技術世代以降のシステムLSIにおいて、情報家電向けなど多品種少量(少量)生産が可能となる。

(現状のままの場合)

マスク製造のコストは、技術世代が進むごとに倍々で増加すると推計されており、多品種少量(少量)のシステムLSIでは事業自体が成立しなくなる。

技術戦略マップ上の位置付け

情報通信分野の技術戦略マップ半導体分野デバイスプロセス技術のリソグラフィーマスク技術等に対応するものである。

研究開発期間 平成18～21年度

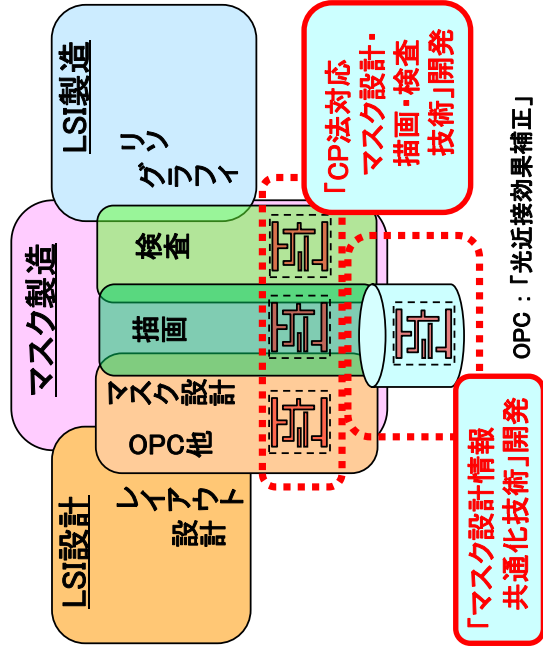
事業総額 36億円

平成18年度事業費 9億円

実施体制

国内デバイスメーカー(設計、リソグラフィ)、電子ビーム描画メーカー、検査装置メーカー、マスクメーカーよりの垂直統合型の集中研究とする

技術開発の概要



OPC：「光近接効果補正」

OP法：「部分一括図形転写法」

「マスク設計・描画・検査総合最適化技術開発基本計画（案）」に対するパブリックコメント募集の結果について

平成18年3月3日
NEDO技術開発機構
電子・情報技術開発部

(Z-1-31)

NEDO POST 3において標記基本計画（案）に対するパブリックコメントの募集を行いました結果をご報告いたします。
みなさまからのご協力を頂き、ありがとうございました。

1. パブリックコメント募集期間
平成18年2月7日～平成18年2月12日
2. パブリックコメント投稿数<有効のもの>
計0件

以上