

ナノテク・部材イノベーションプログラム／エネルギーイノベーションプログラム  
／ITイノベーションプログラム

---

---

「次世代高度部材開発評価基盤の開発プロジェクト」プロジェクト

## Ⅲ. 研究開発成果について

### Ⅲ. 1 事業全体の成果

### Ⅲ. 2 研究開発項目毎の成果

#### Ⅲ. 2. 1 Low-k材料のダメージ耐性評価方法の開発

#### Ⅲ. 2. 2 統合部材開発支援ツール(TEG)の開発

#### Ⅲ. 2. 3 パッケージ工程までの一貫した材料評価方法の確立

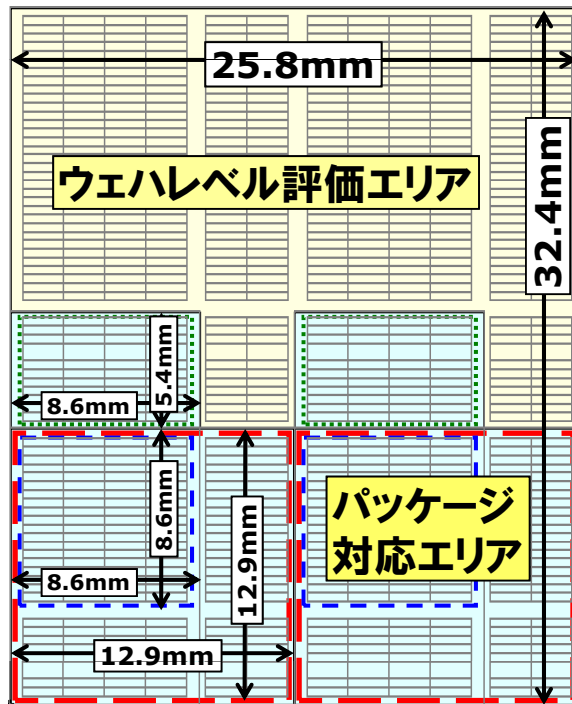
## Ⅲ. 2. 2 統合部材開発支援ツール(TEG)の開発

---

---

1. 多層配線TEGの開発
  1. 1 TEGマスクの開発
  1. 2 TEG作製プロセスの開発
2. CMP平坦性評価用TEGの開発
3. CMP欠陥評価用TEGの開発
4. まとめ

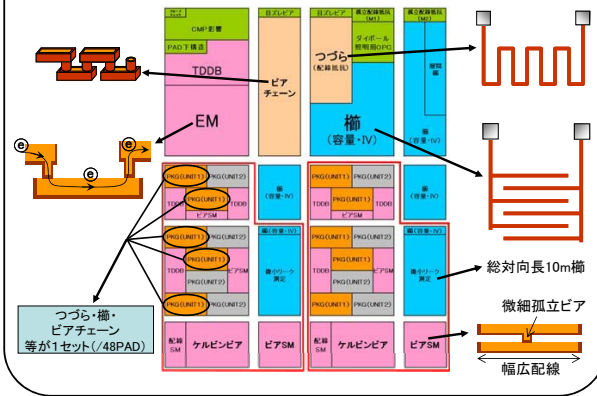
## 1. 多層配線TEGの開発(マスク構成とフロアプラン)



## CAST-4マスクセットの構成

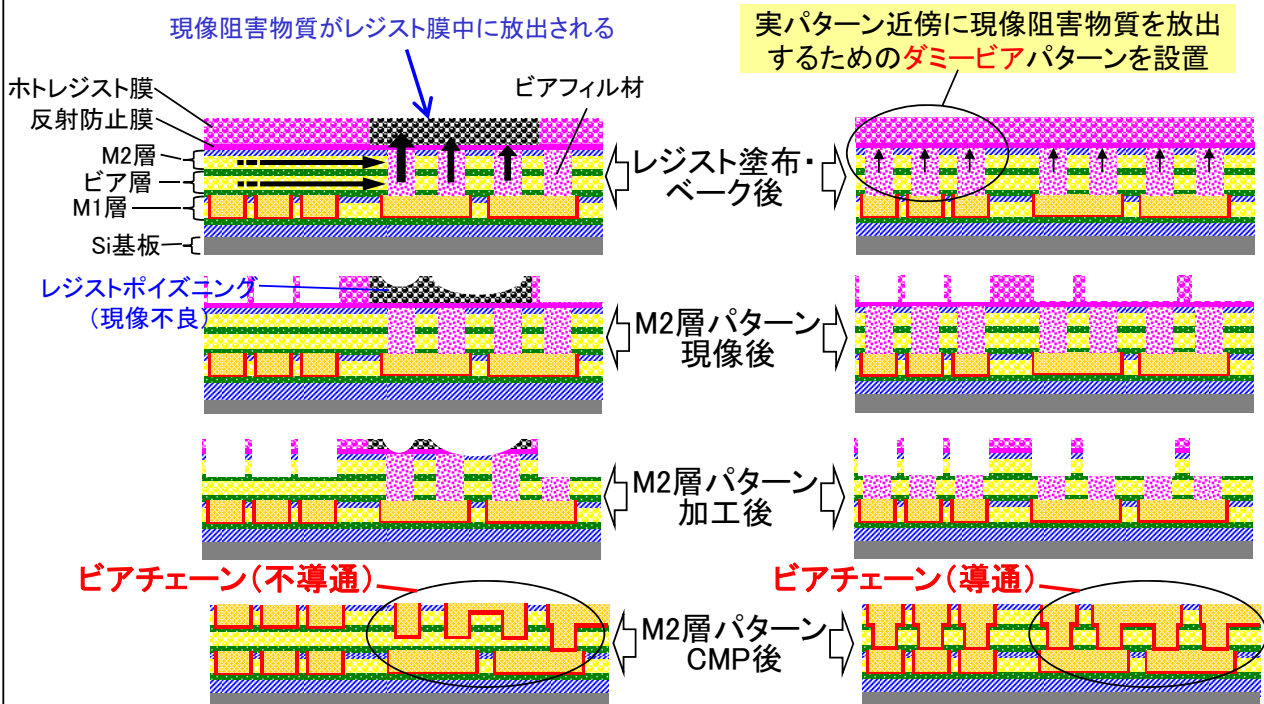
- ArFハーフトンマスク × 3  
⇒ Cu/Low-k 2層配線形成用
- i線マスク × 3  
⇒ 保護層・Alパッド形成用

## CAST-4マスクセットのフロアプラン



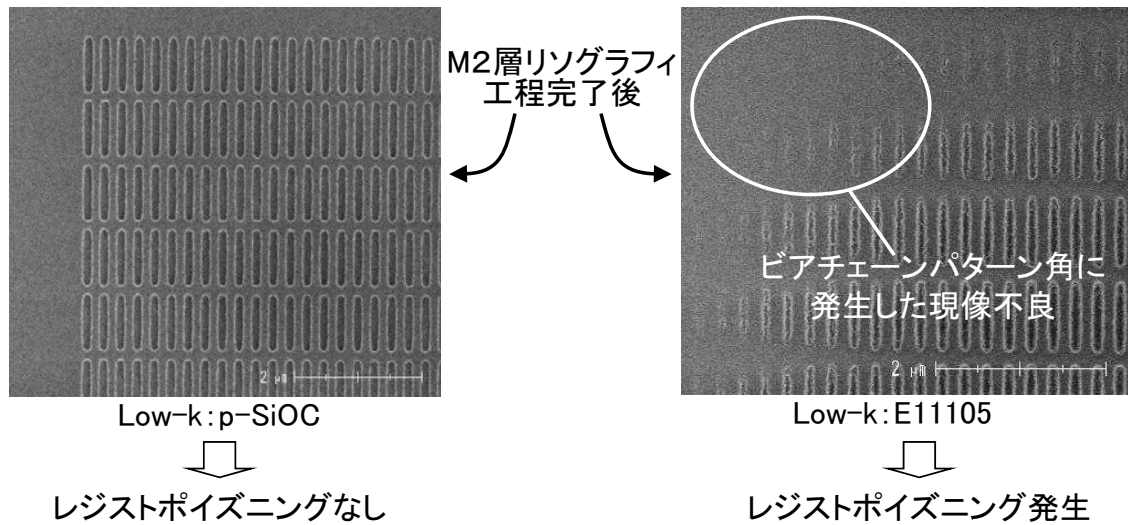
【関連特許: 特願2008-079671、特願2008-331813】

## 1.1 TEGマスクの開発(レジストポイズニング対策)



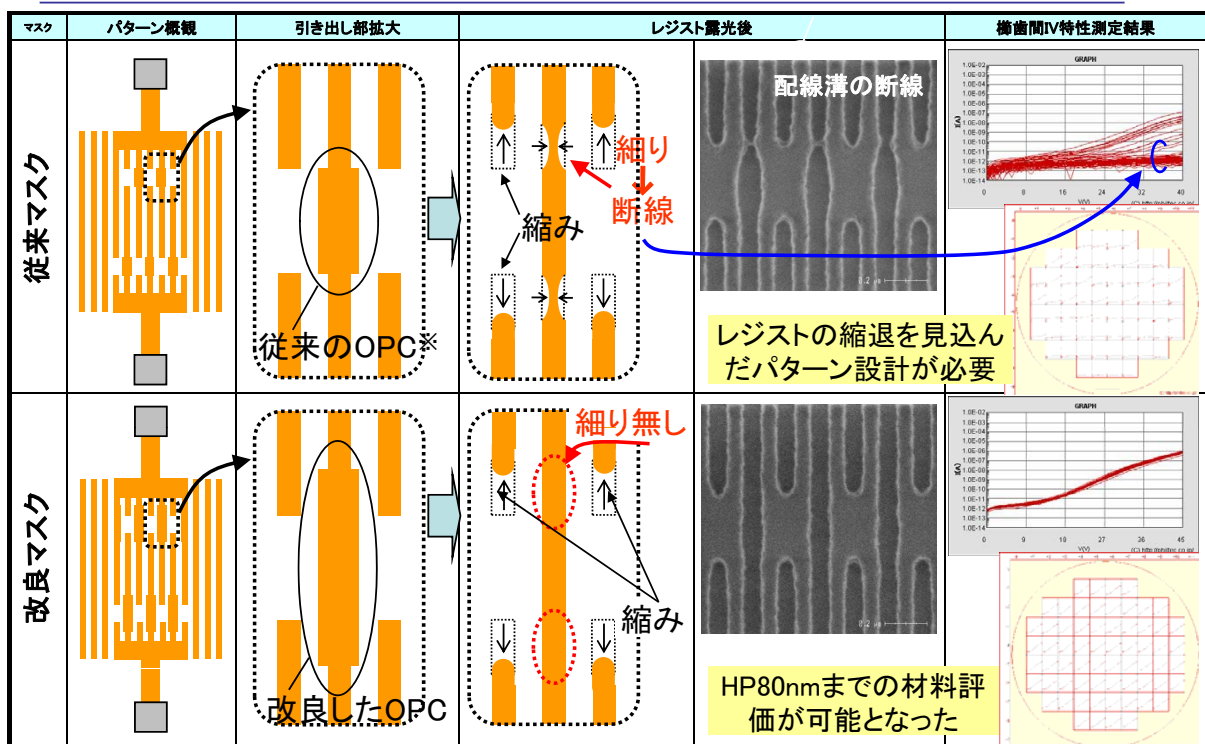
【関連特許: 特願2007-085795】

## 1.1 TEGマスクの開発(レジストポイズニング対策)



※レジストポイズニング: ビアファーストプロセスの配線層に対する露光・現像工程において、絶縁膜内の現像阻害物質がレジスト膜中へ放出されることで生じる現像不良の一種

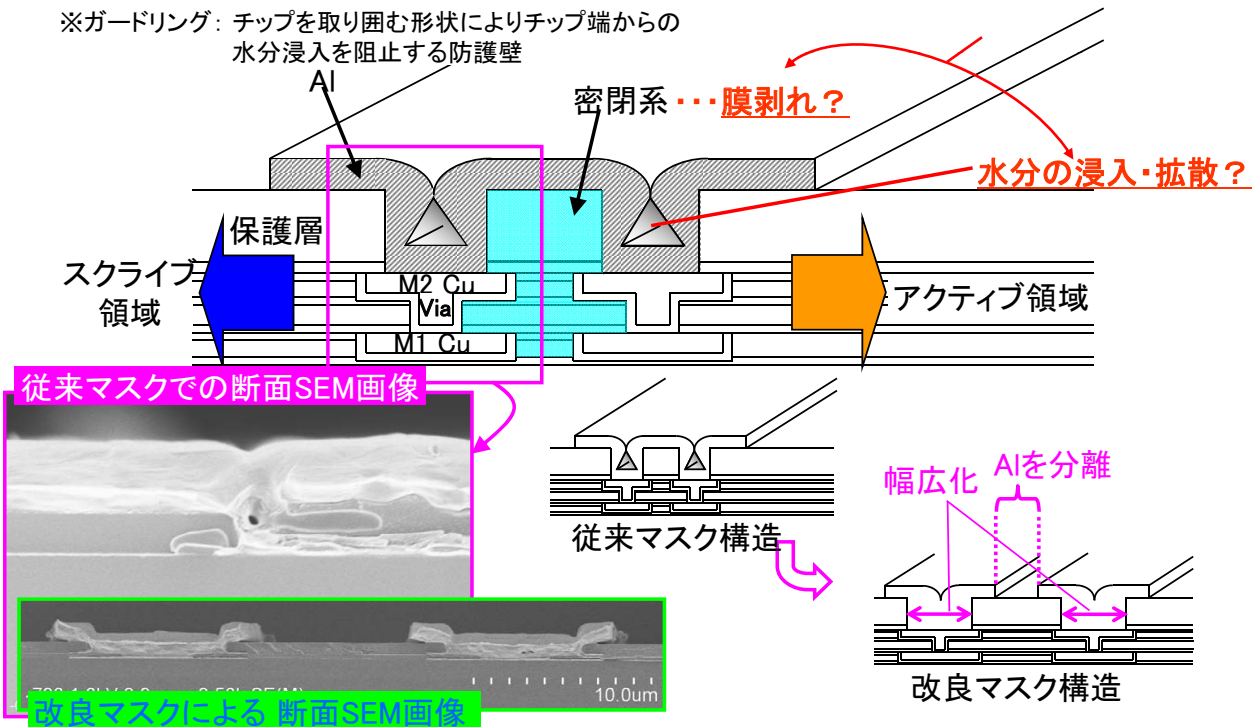
## 1.1 TEGマスクの開発(光近接効果補正対策)



※OPC: Optical Proximity Correction (光近接効果補正)

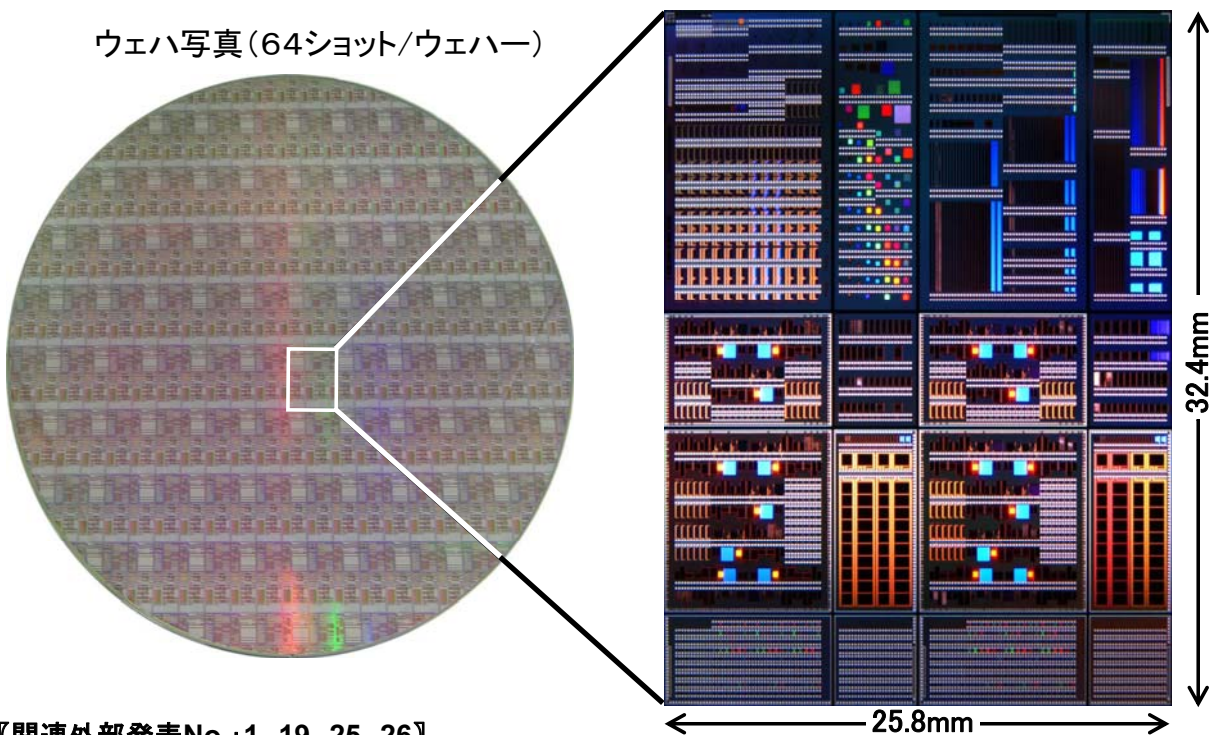
## 1.1 TEGマスクの開発(ガードリング対策)

※ガードリング: チップを取り囲む形状によりチップ端からの水分浸入を阻止する防護壁

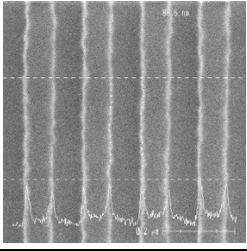
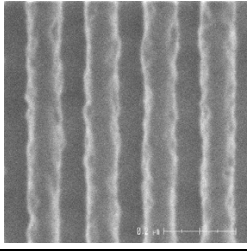


## 1.2 TEG作製プロセスの開発(TEGウェーハとチップ写真)

ウェハ写真(64ショット/ウェハー)



## 1.2 TEG作製プロセスの開発(80nmL/Sレジスト解像)

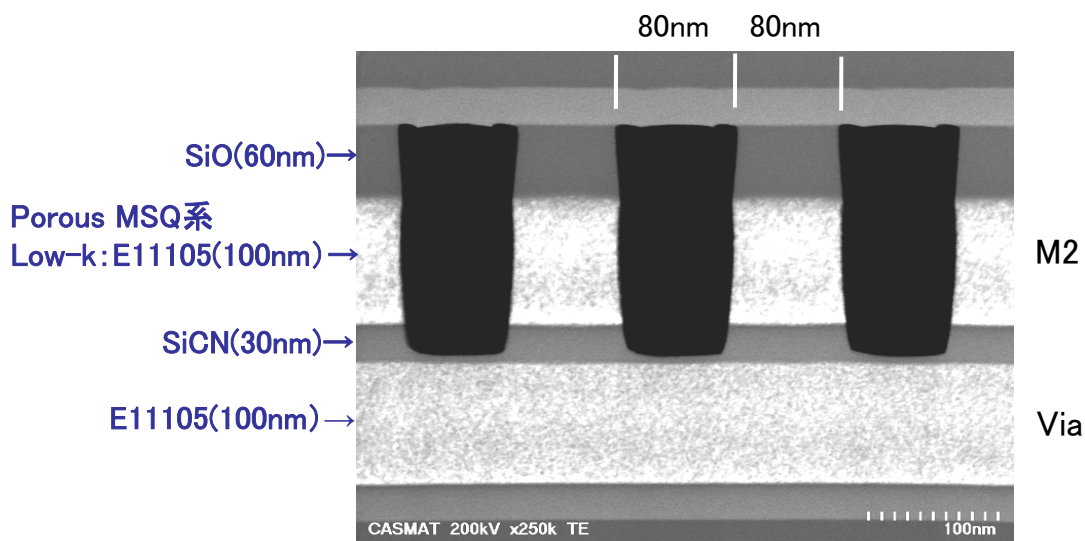
項目	多層レジスト	単層レジスト
膜厚	150nm	220nm
露光量マージン(72~88nm)	12%	10%
フォーカスマージン(72~88nm)	200nm	100nm
LER(3 $\sigma$ )*	4.8nm	7.3nm
形状 (CD-SEM写真)		

\* LER : Line Edge Roughness (パターン側壁の荒れ[ギザギザ]) ※基板: SiO<sub>500</sub>nm

多層レジストは、単層レジストと比べ評価上記の全項目で改善

【関連特許: 特願2009-067942】

## 1.2 TEG作製プロセスの開発(2層配線TEG試作断面構造)

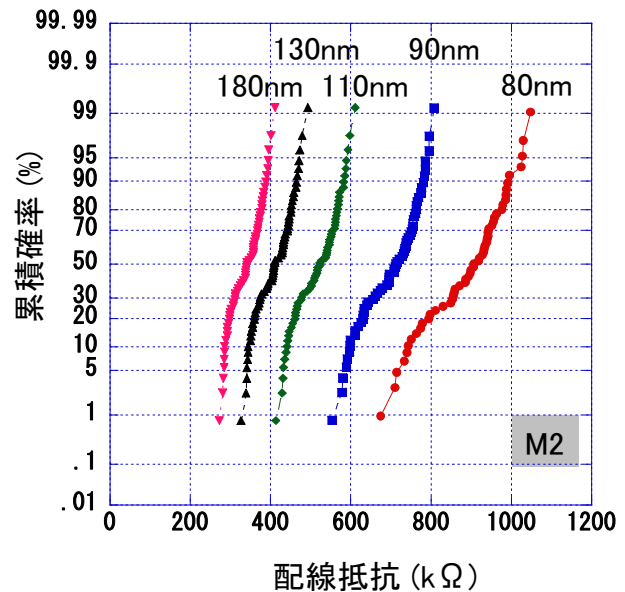
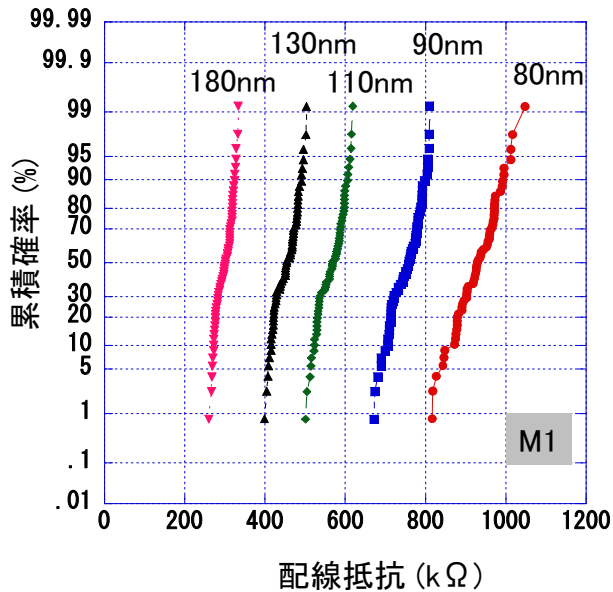


※2層配線完成後TEM写真

80nmL/S配線で良好な配線形状が得られた

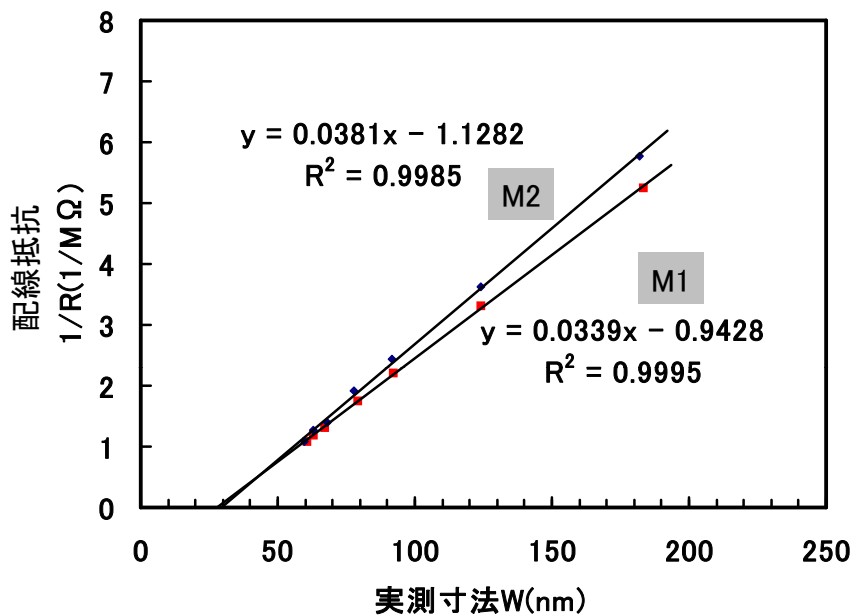
## 1.2 TEG作製プロセスの開発(配線抵抗測定)

測定条件 つづら型配線:L/S=80/80~250/250nm、配線長:200mm ウエハ全面(64チップ) 測定電圧:100mV Low-k;E11105



## 1.2 TEG作製プロセスの開発(配線抵抗測定)

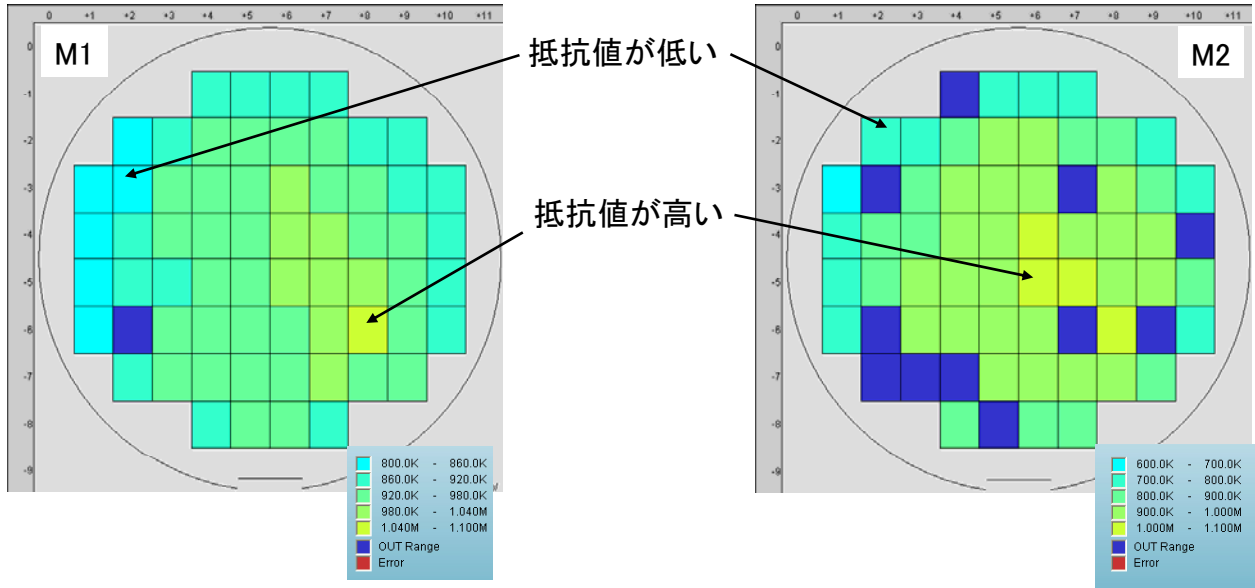
測定条件 つづら型配線:L/S=80/80~250/250nm、配線長:200mm ウエハ全面(64チップ) 測定電圧:100mV Low-k;E11105



直線の傾き(配線深さ):M2配線は深い 切片:(側壁バリアメタル膜厚×2)30nm

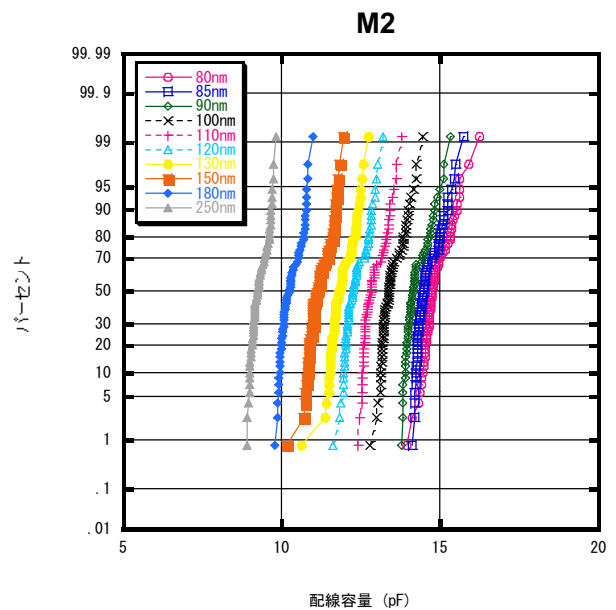
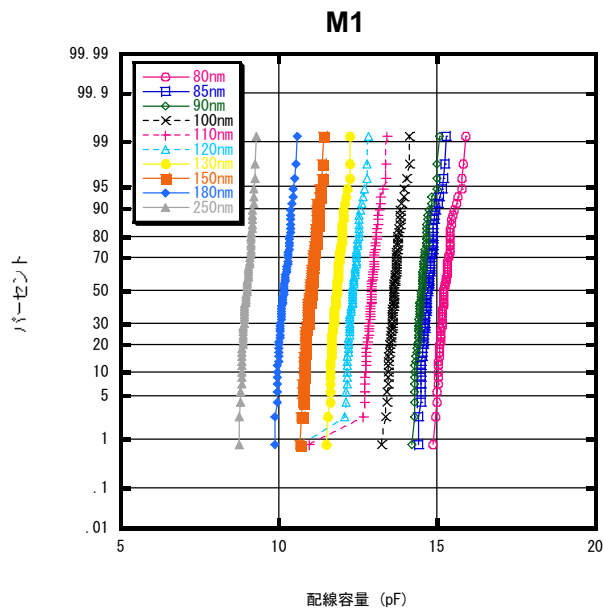
## 1.2 TEG作製プロセスの開発(配線抵抗測定)

測定条件 つづら型配線:L/S=80/80~250/250nm、配線長:200mm ウエハ全面(64チップ) 測定電圧:100mV Low-k;E11105



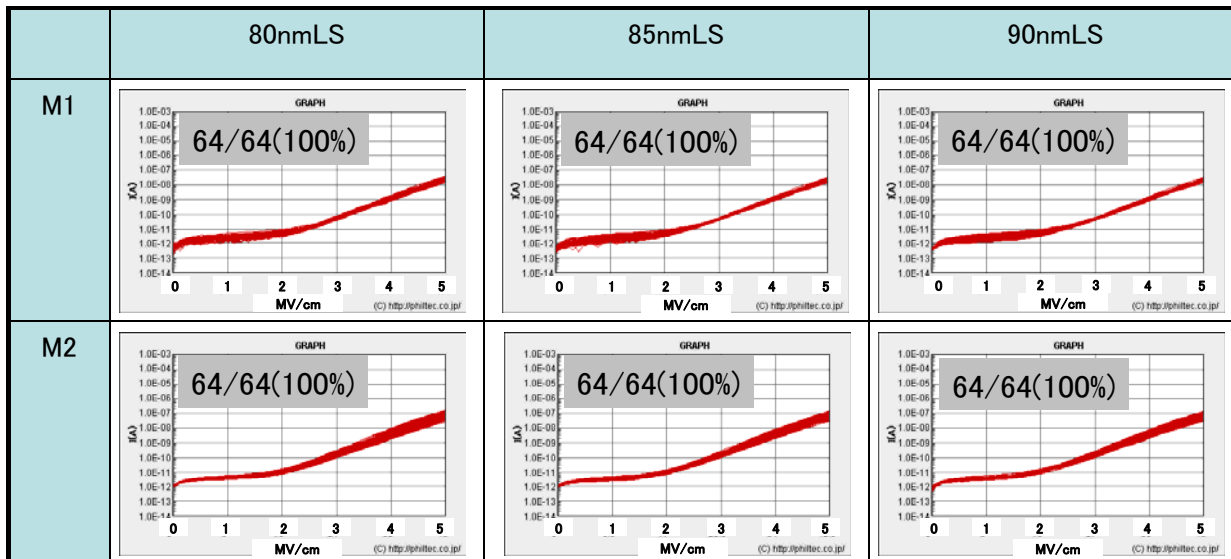
寸法分布とほぼ一致

## 1.2 TEG作製プロセスの開発(配線間容量測定)



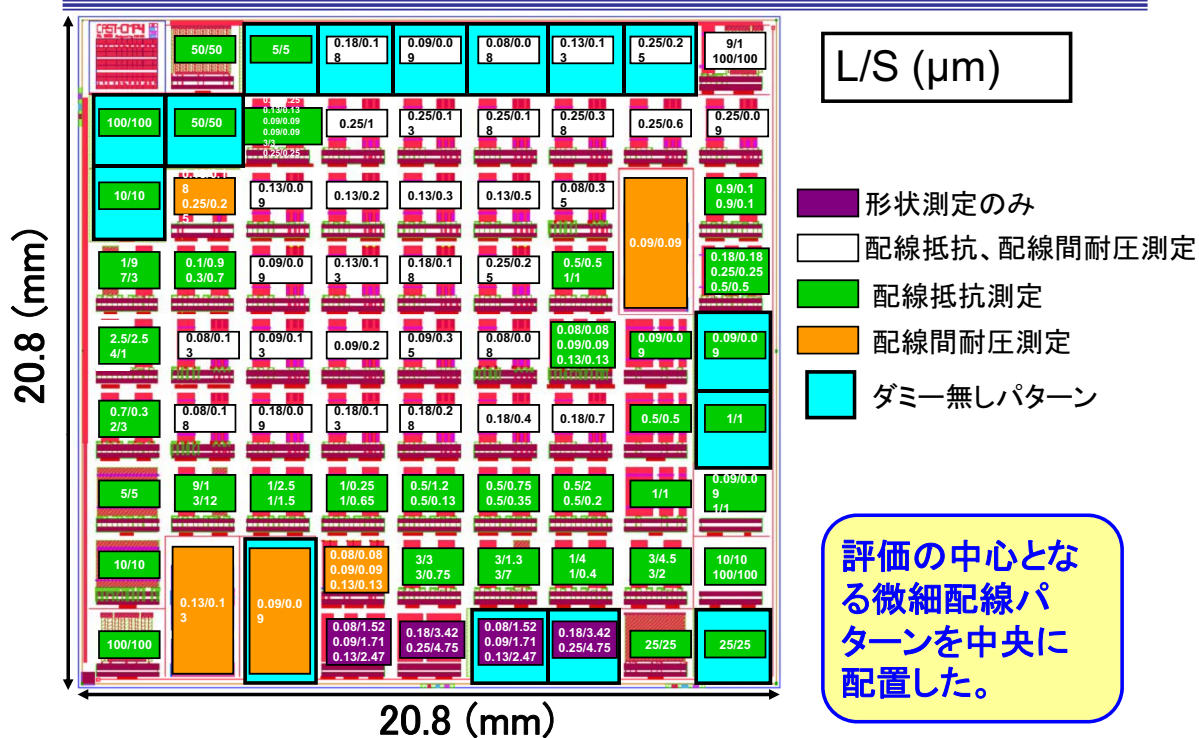
## 1.2 TEG作製プロセスの開発 (配線間リーク電流測定)

測定条件、I-V特性(くし型配線: 対向長100mm)



M1、M2とも耐圧劣化は見られない

## 2. CMP平坦性評価用TEGの開発(マスクのフロアプラン)



【関連外部発表No.:21】



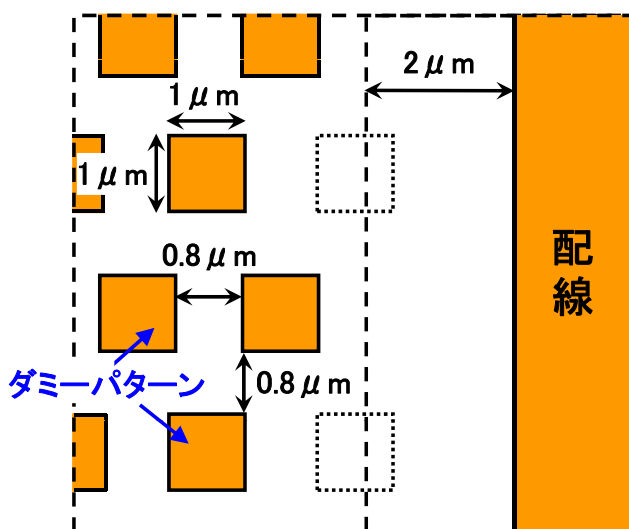
## 2. CMP平坦性評価用TEGの開発(L/Sパターンマッピング)

密度 偏差 (%)	配線 密度 (%)	配線幅 (nm)									配線幅 ( $\mu\text{m}$ )												
		80	90	100	130	180	250	300	500	700	0.9	1	2	2.5	3	4	5	7	9	10	25	50	100
+45~	95-100																						
+40	85-95																						
+30	75-85																						
+20	65-75																						
+10	55-65																						
0	45-55																						
-10	35-45																						
-20	25-35																						
-30	15-25																						
-40	5-15																						
-45~	0-5																						

(凡例) ●:配線抵抗 ▲:配線間耐圧 ■:配線のみ □:ダミーパターン有り無し

微細配線、セミグローバル配線を重視し、配線密度は実用的な50% ±30%をメインとしつつも、材料特性をより明確に評価できるパターンも配置した。

## 2. CMP平坦性評価用TEGの開発(ダミーパターン配置ルール)

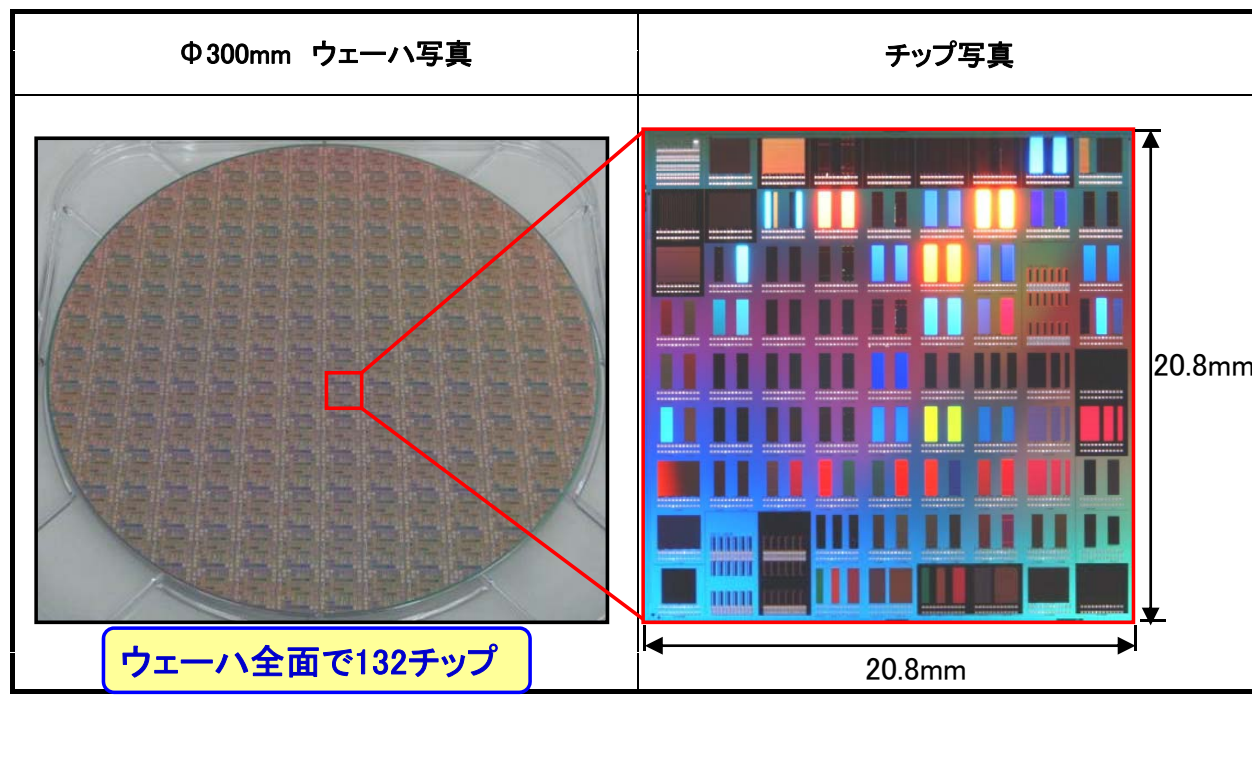


## ダミーパターン設計ルール

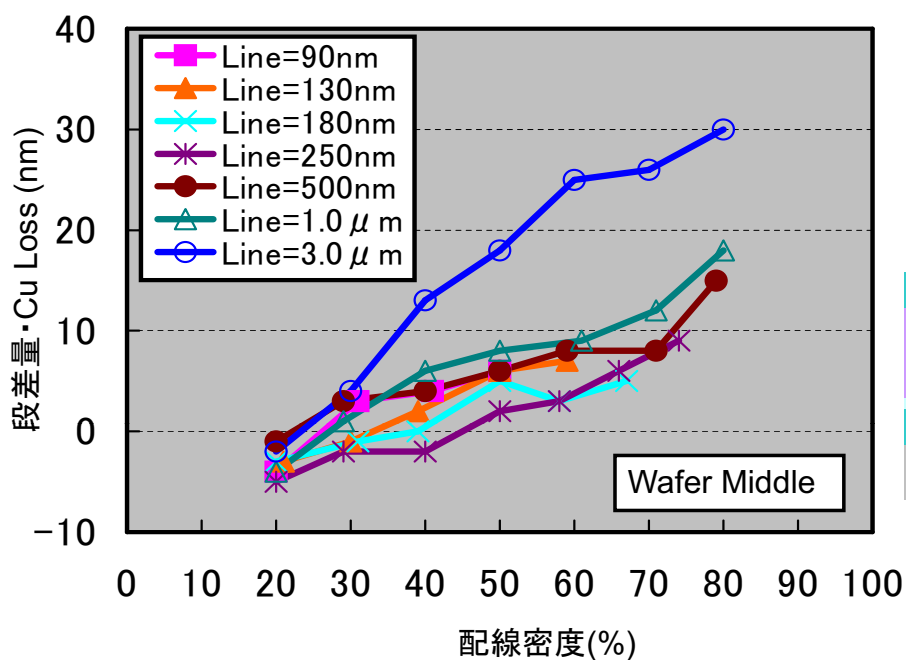
- ・形状:  $1\ \mu\text{m} \times 1\ \mu\text{m}$ の正方形
- ・間隔:  $0.8\ \mu\text{m}$
- ・密度: 約30%
- ・配線から $2\ \mu\text{m}$ 以内のものは削除

- ①ダミーパターン導入により、ウェーハ面内にCuが一様に配置されることで、研磨特性の面内バラツキを低減した状態での評価が可能
- ②ダミーパターンを配置しないパターンも、ガードリングで囲むことで一部に併設し、ダミーパターンの有無によるスラリ特性比較も可能

## 2. CMP平坦性評価用TEGの開発(TEGウェーハとチップ写真)

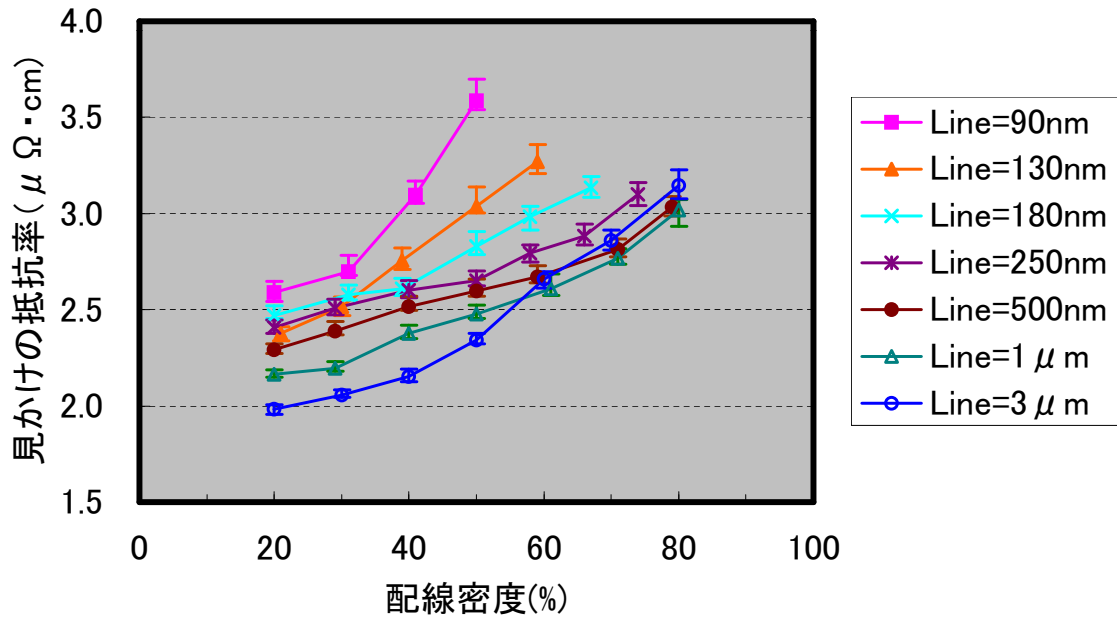


## 2. CMP平坦性評価用TEGの開発(平坦性測定例)



いずれの配線幅でも、配線密度が高いほど、段差量・Cu Lossが大きい。

## 2. CMP平坦性評価用TEGの開発(配線抵抗測定例)



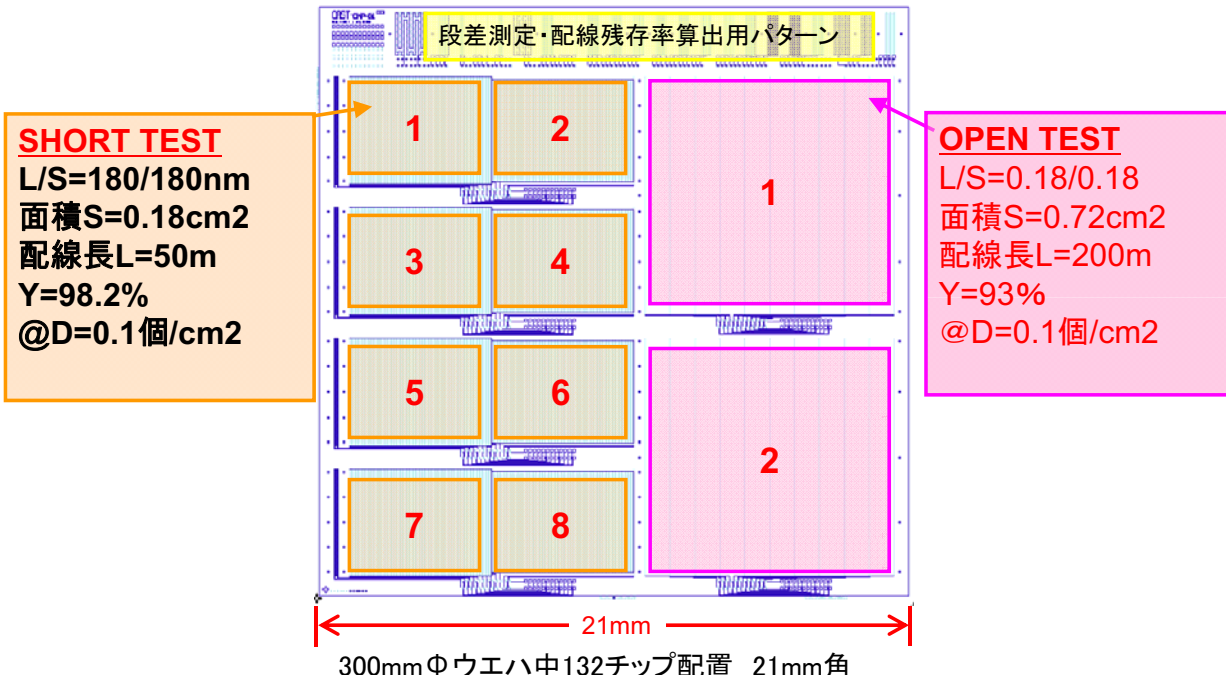
いずれの配線幅でも配線密度が高いほど見かけの抵抗率が大きい。

⇒触針式段差計による段差量・Cu Loss測定結果の傾向を反映。

## 2. CMP平坦性評価用TEGの開発(TEGの比較)

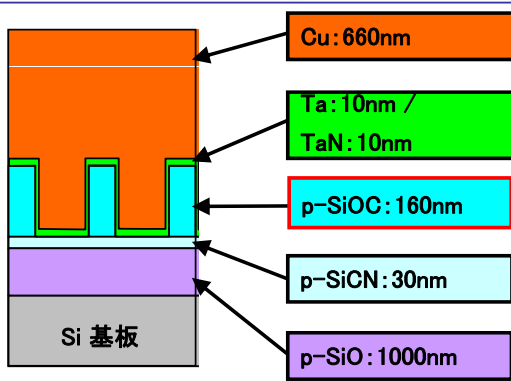
項目	CASMAT CMP-TEG	市販 CMP-TEG
最小線幅	80nm	100nm
配線密度依存性 (各配線幅の平坦性、電気特性) <small>* 右記は、4種類以上の配線密度を有する 配線幅と配線密度種類数</small>	最小線幅: 80nm } 最大線幅: 3 μm <b>8種類</b> ↓ 配線密度: 4~8種類	最小線幅: 100nm } 最大線幅: 5 μm <b>3種類</b> 配線密度: 4~6種類
ダミーパターン有無 (同一ウェーハにおける比較)	有り	無し
パターン内位置依存性 (配線抵抗)	有り	一部有り
パターンサイズ依存性	有り	無し
配線腐食評価パターン	有り	無し

### 3. CMP欠陥評価用TEGの開発(マスクのフロアプラン)

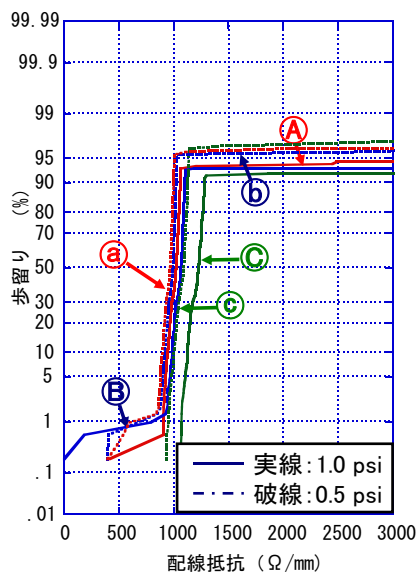


配線規模の拡大により欠陥検出感度を向上させることが狙い

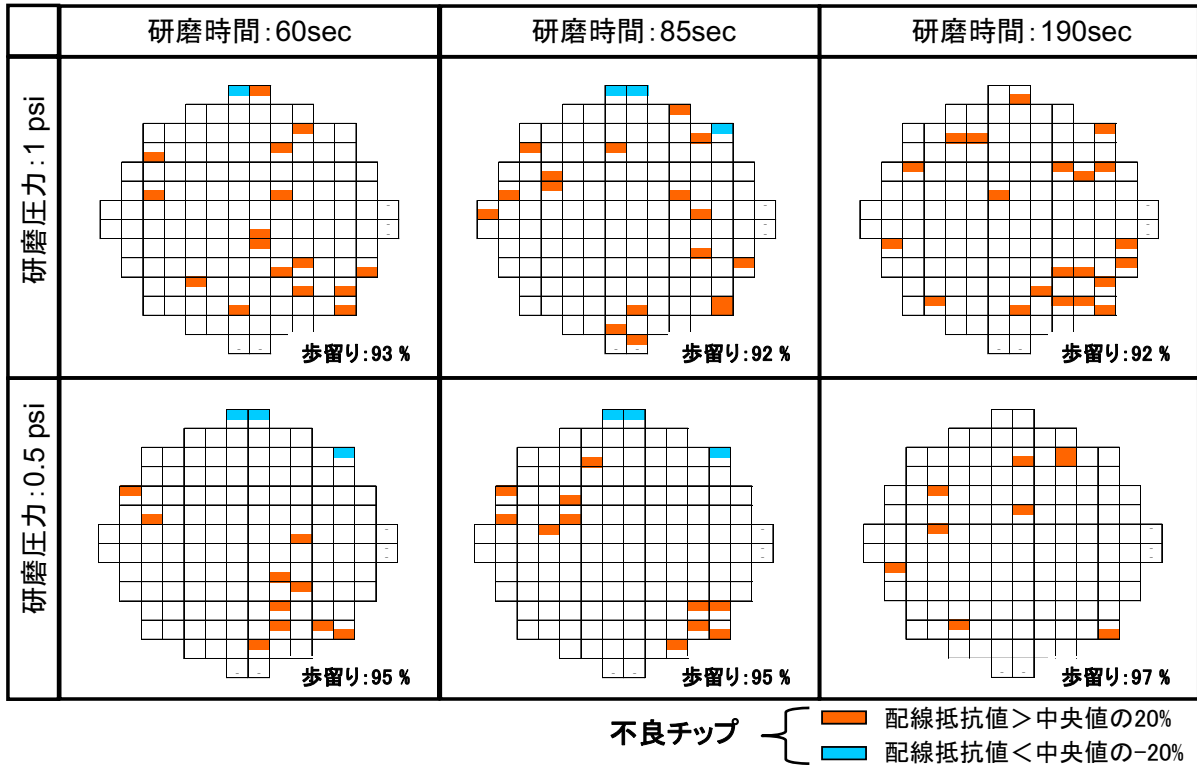
### 3. CMP欠陥評価用TEGの開発(OPEN歩留り測定例)



NO.	バリア研磨条件		歩留り (%) Alパッド
	研磨圧力 (psi)	研磨時間 (sec)	
(A)	1.0	60	93
(B)		85	92
(C)		190	92
(a)	0.5	60	95
(b)		85	95
(c)		190	97

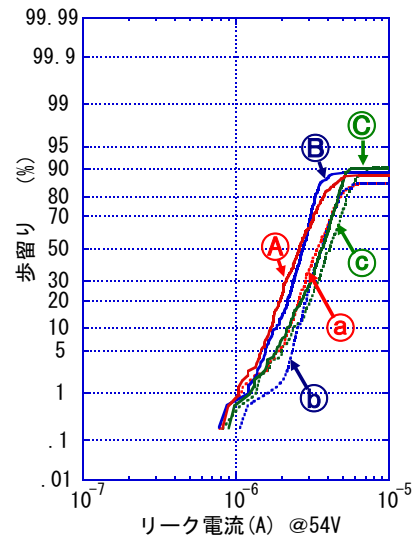


### 3. CMP欠陥評価用TEGの開発 (OPEN不良のウェーハ内分布)



### 3. CMP欠陥評価用TEGの開発 (SHORT歩留り測定例)

NO.	バリア研磨条件		歩留り (%) Alパッド
	研磨圧力 (psi)	研磨時間 (sec)	
A	1.0	60	88
B		85	89
C		190	90
a	0.5	60	86
b		85	86
c		190	91



## 4. まとめ

---

---

- ・ 多層配線TEGマスクの設計では、マスクに起因する電気特性不良の対策を実施し、80nm配線の断線、ビア導通不良を改善して、マスクの検証を完了した
- ・ 多層レジストプロセスの開発により、L/S = 80/80nm 配線の歩留まり80%以上の基準プロセスを確立した
- ・ 最小寸法80nmのCMP平坦性評価のため、CMP評価用TEGマスクを設計し、それを用いたCMP性能の評価ができることを検証した
- ・ CMPでのダメージ評価を効率的に行うため、欠陥評価専用TEGマスクを設計し、標準的なスラリを用いた場合の評価より、欠陥の評価方法とベンチマークの把握を行い、マスク検証を完了した