

# 「次世代高度部材開発評価基盤の開発」

## 事業原簿

**公開版**

**平成21年8月20日**

担当部	独立行政法人新エネルギー・産業技術総合開発機構 ナノテクノロジー・材料技術開発部
-----	---

## —目次—

### 概要

### プロジェクト用語集

#### I 事業の位置付け・必要性について

I.1 NEDOの関与の必要性・制度への適合性	I-1
I.1.1 NEDOが関与することの意義	I-1
I.1.2 実施の効果(費用対効果)	I-6
I.2 事業の背景・目的・位置づけ	I-9

#### II 研究開発マネジメントについて

II.1 事業の目標	II-1
II.2 事業の計画内容	II-3
II.2.1 研究開発の内容	II-3
II.2.2 研究開発の実施体制	II-6
II.2.3 研究の運営管理	II-7
II.3 情勢変化への対応	II-8
II.3.1 研究開発動向	II-8
II.3.2 半導体業界動向	II-9
II.3.3 MIRAI PJとの連携について	II-11
II.4 評価に関する事項	II-11

#### III 研究開発成果について

III.1 事業全体の成果	III-1
III.2 研究開発項目毎の成果	III-7
III.2.1 Low-k 材料のダメージ耐性評価方法の開発	III-8
III.2.2 統合部材開発支援ツール(TEG)の開発	III-53
III.2.3 パッケージ工程までの一貫した材料評価方法の確立	III-74
III.2.4 成果資料(評価基準書)	III-91

#### IV 実用化、事業化の見通しについて

IV.1 実用化の見通し及び波及効果	IV-1
IV.2 CASMAT における事業化	IV-8

#### (添付資料)

- (添付文書1) ナノテク・部材イノベーションプログラム基本計画
- (添付文書2) プロジェクト基本計画
- (添付文書3) 技術戦略マップ(分野別技術ロードマップ)
- (添付文書4) 事前評価関連資料(事前評価書、パブリックコメント募集の結果)
- (添付文書5) 特許論文リスト

概要

最終更新日

平成21年6月19日

プログラム(又は施策)名	ナノテク・部材イノベーションプログラム・エネルギーイノベーションプログラム・ITイノベーションプログラム				
プロジェクト名	次世代高度部材開発評価基盤の開発	プロジェクト番号	P06033		
担当推進部/担当者	ナノテクノロジー・材料技術開発部 担当者氏名岡部豊(2009年7月現在) ナノテクノロジー・材料技術開発部 担当者氏名西木玲彦(2005年7月～2008年3月)				
0. 事業の概要	本プロジェクトでは最適統合させた半導体バックエンド部材開発評価の基盤整備を行う。本研究開発により、回路の消費電力低減に必要な配線形成用各種材料等の開発のネックとなっている微細環境下のナノレベルでの材料間の相互影響まで評価可能な統合部材開発支援ツール(TEG)を開発し、情報通信機器の高機能化、低消費電力化等の要求を満たす半導体集積回路用材料の開発基盤技術の構築ならびに半導体に適用する部材の統合的ソリューションを提案する。				
I. 事業の位置付け・必要性について	微細化が進む半導体分野では、部材、製造装置、半導体プロセスの個別開発による半導体製品の性能向上は限界にきている。部材開発においても、製造装置やプロセスを含めた全体を最適統合して高性能化する課題解決型の開発が必要となっている。本事業では、半導体バックエンド以降の部材開発を強化、加速するため、部材を最適統合して評価できる評価基盤を開発し、整備する。本評価基盤は、新規部材を最先端の半導体バックエンドプロセスおよびパッケージプロセスに投入し、ナノレベルでの材料間の相互影響等を評価して部材の課題を抽出し、部材、装置、プロセスにフィードバックすることにより、部材開発を加速する。また高精度、高感度な評価を行うため、統合部材開発支援ツールとしてのTEG(Test Element Group)を開発する。さらに、本評価基盤の整備により、新たな部材を用いた半導体プロセスの統合部材ソリューション(部材とプロセス相互の影響をも考慮して、部材の性能と機能を十分に発揮させる最適な半導体プロセス)を開発することが可能となり、その提案を行う。これにより、情報通信機器の高機能化や低消費電力化の要求を満たす半導体集積回路への新規部材の実用化を促進することができる。				
II. 研究開発マネジメントについて					
事業の目標	①「半導体デバイスにおける多層配線の評価技術とパッケージ工程までの一貫した評価基盤の確立」 (1)Low-k材料のダメージ耐性評価方法の開発 (2)統合部材開発支援ツール(TEG)の開発 (3)パッケージ工程までの一貫した材料評価方法の確立				
事業の計画内容	主な実施事項	H18fy	H19fy	H20fy	
	Low-k材料のダメージ耐性評価方法の開発			→	
	統合部材開発支援ツール(TEG)の開発			→	
	パッケージ工程までの一貫した材料評価方法の確立			→	
	成果とりまとめ			→	
開発予算 (会計・勘定別に 事業費の実績額を記載)(単位:百万円)	会計・勘定	H18fy	H19fy	H20fy	総額
	一般会計	0	0	0	0
	特別会計 (一般・電源・需給の別)	441	199	110	750
	加速予算 (成果普及費を含む)	0	0	0	0
	総予算額	441	199	110	750
開発体制	経産省担当原課	製造産業局化学課			

	委託先(*委託先が管理法人の場合は参加企業数および参加企業名も記載)	次世代半導体材料技術研究組合 (材料メーカー10社で構成)
情勢変化への対応	H20 年後半からの世界同時不況の中、半導体デバイスの需要は大幅に低下しているが、部材評価基盤の構築の必要性はむしろ高まっている。研究開発に際しては、Selete、産業技術総合研究所とNDAを締結して情報交換を実施した。	
評価に関する事項	事前評価	2005 年度実施 担当部 ナノテクノロジー・材料技術開発部
	事後評価	2009 年度 事後評価実施
Ⅲ. 研究開発成果について	<p>(1) <u>Low-k 材料のダメージ耐性評価方法の開発</u> Low-k 材料は UV キュアにより誘電率上昇を抑えながら機械強度を向上できるが、その効果は材料や処理条件に依存すること、ウェーハ反りによって応力残留がある事がわかった。2層配線試作結果から、実用電界強度における信頼性には問題ないこと、絶縁破壊特性が改良される事がわかった。多層配線を形成するプロセスにおける CVD 膜堆積、エッチング、アッシングなどのプラズマ照射の影響を精度良く測定する測定法を開発、Low-k 材料のプロセスダメージを定量的に把握する評価法を確立して材料改良指針を発信した。また、Low-k 材料に Cu 拡散防止性を持たせることによって、バリアメタルの膜厚を薄くし、配線全体の RC 積を低減、信頼性を向上させる配線構造とその製造プロセスを確立し、トータルソリューションとして学会で報告した。</p> <p>(2) <u>統合部材開発支援ツール(TEG)の開発</u> 45nmノード対応材料評価のために TEG マスクを設計し、2層配線を試作して機能を検証した。改良した TEG マスクを導入することによって、Via チェーンのポイズニングを防止し hp80nm 配線を高歩留まりで形成する基準プロセスを確立した。各種 Low-k 材料を用いた8層配線を試作して、その電気特性を測定、多層配線における Low-k 材料の評価基準を確立した。CMP 研磨条件とディッシング、エロージョンなどの配線平坦性を詳細に評価するために、配線密度の異なるパターンを配置した CMP 専用の TEG マスクを設計した。各種スラリー間の CMP 研磨特性の差を明確にするとともに、CMP 研磨によるウェーハ上の欠陥を歩留まりで検出することに成功した。</p> <p>(3) <u>パッケージ工程までの一貫した材料評価方法の確立</u> 対象パッケージを MCP、WBBGA、FCBGA とし、配線工程を終了したウェーハを用いてパッケージを試作した。得られた知見からパッケージ工程専用の TEG マスクを設計し、配線工程からパッケージ工程に至る各プロセスでのひずみや電気特性を検証した。各種環境耐性での測定からウェーハレベル信頼性評価基準を開発した。また 50μm以下に研削された薄膜 Si の8段 MCP の試作によって、応力集中によるパッケージ内の剥離のメカニズムを検証した。これらの知見に基づいて各種材料のパッケージ工程までの一貫評価基準書を作成した。作成した評価基準書は材料評価基準書96、基準プロセスフロー34、一貫評価基準書36である。これらにより、評価対象材料について配線工程からパッケージ工程までの一貫した材料評価基盤を確立した。</p>	
	投稿論文	「査読付き」15 件、「その他」11 件
	特 許	「出願済」28 件、「登録」0 件、「実施」0 件
	その他の外部発表 (プレス発表等)	外部向け「研究報告会」H18/11 月、H20/7 月、雑誌発表1件
	Ⅳ. 実用化、事業化の見通しについて	本プロジェクト研究開発の成果の企業化は①材料評価方法の開発と標準化から得られた成果を半導体材料メーカー、半導体デバイスメーカー、半導体製造装置メーカーに評価の請負や技術移転のサービスを行うこと、今後取得する産業財産権の実施許諾による実施料収入を得ること②開発支援ツール(TEG)の開発から得られた成果により、上記の各メーカーに対して TEG の試作サービス、TEG の販売、TEG に関して今後取得する産業財産権の実施許諾による実施料収入を得ること、を実施できる見込みである。一方、本プロジェクトの研究成果は、組合を構成している材料メーカーの材料開発に反映されることによって新製品が市場に投入され、ユーザーへの採用が促進されている。今後この傾向はさらに加速されていく見込みである。
Ⅴ. 基本計画に関する事項	作成時期	平成18 年3 月、制定
	変更履歴	平成20年7月、イノベーションプログラム基本計画の制定により、「(1)研究開発の目的」の記載を改訂。

## プロジェクト用語集

語句	説明
ALD (Atomic Layer Deposition)法	Atomic Layer Deposition(原子層成長):2種類の原料ガスを交互に成膜室に流し、薄膜を1原子(または分子)層ずつ成長させる方法。
APプログラム	Affiliation Program: 共通領域を通して改良された材料を用いて、CASMAT・組合員が、デバイスメーカーあるいは半導体装置メーカーと共同で行う実用化研究の総称。
BARC	Bottom Anti Reflective Coating:レジストを透過したUV光が下膜で反射して再びレジストに入射するのを防ぐため下膜とレジストの間に用いる反射防止膜。
BD(Black Diamond)	Applied Materials社のCVD装置で製膜されるSiOCを主成分とする低誘電率層間絶縁膜の商品名。
BEOL(バックエンドプロセス)	Back End of Line: Front end of Line でトランジスタなどの素子を作りこんだ後、それらの素子を相互に接続するための配線あるいは電源などの配線構造を作る工程。
CMP 材料(スラリー、パッド)	Chemical Mechanical Polishing(化学的機械的研磨):シリカ粒子を含んだ研磨液(スラリー)をウェーハ表面に流しながら、スピンドルに貼り付けたウェーハを回転テーブル表面の研磨パッドに圧着させて研磨する方法。
CTE	Coefficient of Thermal Expansion:熱膨張係数。
Cuのイオンマイグレーション	プリント基板配線や再配線中に電圧をかけると、銅配線の一部がイオン化して配線外に染み出してくる現象。長時間電圧がかかるとイオンの染み出しによって配線中の電流がリークしたり、断線したりして、配線の信頼性を低下させる。
Cu配線	LSI用として、従来のAlを用いた配線に替り導入された。電気抵抗が低く、許容電流密度が高いため、高性能の配線が実現できる。
Cu配線用CMP材料	Cu研磨専用に使われるCMP材料(スラリー、パッド)。

CVD	Chemical Vapor Deposition(化学気相成長):製膜すべき膜の種類に応じ必要な原料をガス状態(気相)で供給し、これに各種エネルギーを与えて化学反応を起こさせ、下地表面での触媒反応を利用しながら薄膜を堆積させる方法。
DAF(ダイアタッチ)テープ	Die Attach Film:小片化されたチップとチップの接合、あるいはチップのパッケージ化のためにチップを接着する接着剤つきテープ。
EBR (Edge Bead Removal)	基板端面などに付着した薬液の除去。
EB硬化装置	Electron Beam Curing Machine:電子線を照射して、そのエネルギーで膜を硬化させて強度を増大させる装置。
EDX	Energy Dispersive X-Ray Spectroscopy(エネルギー分散型 X 線分光):観察対象に電子ビームを当てた際にサンプル表面から放出される特性 X 線を検出して、元素の定性/定量分析する方法。
EM (エレクトロマイグレーション)	金属配線を構成する原子が電子との衝突によって移動する現象。
Half-Etch 構造	トレンチ加工時に下層のエッチストップ層に到達する前に加工を停止した構造。
HSQ	Hydrogen silsesquioxane: Si-O結合とSi-H結合を中心骨格とするポリシロキサン系材料の総称。
ITRSロードマップ	International Technology Roadmap for Semiconductors: LSIの年次的な技術予測を世界に向けて発信している。中心となるのは微細化動向で、メモリーのハーフピッチやロジックのゲート長などである。
k値	比誘電率(物質の真空に対する誘電率の比)を表わす値。
Low-k 材料	ICで最もポピュラーなCVD SiO膜(k=4.1)に比べ、より低い比誘電率を有する膜の総称。特に多層配線の層間絶縁膜に用いられる。
MEMS技術	Micro Electro Mechanical Systems:マイクロマシン技術。
MIRAI プロジェクト	Millennium Research for Advanced Information Technology:次世代の半導体に不可欠な新材料の研究開発と、これを実用化するためのプロセス技術の開発を

	行い、LSIの消費電力や処理速度を格段に向上させるNEDO委託プロジェクト。
MSQ	Methylsilsequioxane: Si-O結合とSi-CH <sub>3</sub> 結合を中心骨格とするポリシロキサン系材料の総称。
nmノード	→see "テクノロジーノード"→"ITRSロードマップ"
OCD	Optical Critical Dimension(光学 CD 測定): ウェーハ表面からの散乱光(回折光)を解析して、繰り返しパターンの断面形状(トレンチ幅や深さ、トレンチ側壁傾斜角等)を得る手法。
OPC (Optical Proximity Correction)	近接効果補正。
PDA	Personal Digital Assistant: 情報を管理するための個人用の情報端末。
PVD	Physical Vapor Deposition(物理気相成長): 物理的な手段によって材料物質を堆積させる製膜法。高エネルギーでターゲット材から原子を叩き出し(スパッタ)、ウェーハに付着、堆積させる。
QFP	Quad Flat Package: ICパッケージの一種で、ケースの4側面から出ているリードピンが外側にL字型に曲げられているもの。
SAXS (Small Angle X-ray Scattering)	高輝度小角X線散乱装置のこと。物質にX線を照射して、散乱されたX線を検出、解析することによってナノ材料の構造を評価する装置。
Selete	Semiconductor Leading Edge Technologies: 半導体メーカー10社の共同出資により設立され、300mmウェーハ対応の生産技術開発コンソーシアム。
SEMATECH	Semiconductor MAnufacturing TECHnology: アメリカ半導体産業を強化する目的で、政府資源を投入して1987年に設立されたコンソーシアム。1996年に民間に移行。その後子会社として国際SEMATECHを設立して米国以外にもサービスをおこなっている。
SIV	Stress Induced Void : ストレスにより発生するポイド("ストレスマイグレーション"参照)
SM	→see "ストレスマイグレーション"
SOB	Spin on Barrier: 塗布型バリア膜。

SOC	Spin on Cap: 塗布型 CMP キャップ膜。
SOD	Spin on Dielectric: 塗布型層間絶縁膜。
SOG	Spin on Glass: 塗布型酸化膜 $\text{SiO}_2$ 。
TDDB 試験	TimeDependent Dielectric Breakdown: 絶縁膜の経時破壊試験。
TEG(マスク、ウェーハ)	Test Element Group: IC等の基本的な構造、物性、電気的特性、回路動作、信頼性、歩留まりなどを評価するため、専用のマスクを用いて作製した試験構造や試験素子。TEGウェーハはTEGパターンを搭載したウェーハ。
TEOS 系酸化膜	Tetra-Ethyl-Ortho-Silicate、 Tetra-Ethyl-Ortho-Silane(テトラエトキシシラン、珪酸エチル): CVD 系酸化膜の一種。自己流動性があり、特別な処理(加熱溶融等)なしで平坦化が得られる。
Tg	Glass Transition Temperature: ガラス転移点。
Trench	多層配線における配線部の溝構造。溝掘り加工の後、金属を埋め込むことからTrench(溝)とよばれる。
UV硬化装置	Ultra Violet Ray Curing Machine: 紫外線を照射して、そのエネルギーで膜を硬化させて強度を増大させる装置。
Via	ICの多層配線構造で、配線間を上下縦方向に電氣的に接続するため、配線間の層間絶縁膜に穿たれた開口部、スルーホールとも呼ばれる。
XRR (X-ray Reflectivity)	X-Ray Reflectivity(X線反射率測定): X線に対する物質の屈折率は1よりもわずかに小さいため、平坦な表面すれすれにX線を入射すると全反射を起こす。全反射の反射率と入射角度の相関から、薄膜の構造(各層の密度、膜厚、凹凸)を非破壊で評価できる。
アッシング	Ashing(灰化: 和製英語)。エッチング後不要となったレジストをオゾンやプラズマにより灰化により除去すること。
あすかプロジェクト	SOC(1個のチップの上にシステム機能を実現したものの)の共同研究開発を目的としてJEITA主導で設立されたプロジェクト。デバイス、プロセス技術はSeleteが、設計技術はSTARCが担当する。
アセンブリ工程(用材料)	組立工程のこと。ICを特別なパッケージに収納することで、パッケージングとも呼ばれる。



イオンシニング	透過型電子顕微鏡のサンプル等の薄膜形成法の一つ。サンプルにイオンビーム照射し掘削する。
ウェハアセンブリ工程	→see "アセンブリ工程"
ウェーハ塗布膜	ウェーハ上にスピコーターを用いて塗布された膜のこと。
エレクトロマイグレーション	Cu配線中を流れる電流密度が高くなると、電子流によりCu原子が運動量を得て下流側に移動する現象。配線中にボイドや突起を生じる原因となり、配線の信頼性を低下させる。
エッジカット	ウェーハに塗布した膜は面内均一性がウェーハ外周部で極端に不安定になる。このため、この範囲の測定は考慮範囲外とする。この範囲をいう。一般にエッジカットの幅は3mmとすることが多い。
エッチストップパ膜	層間絶縁本体膜の下層膜。本体膜とはエッチングレートの違い材料を用いてエッチング深さ、形状を制御する。
エッチバック	ウェーハ全面にわたって、表面から一定の厚さをエッチングすること。
エッチング	残したい部分をレジストにより保護し、不要な部分を薬液またはプラズマによって除去すること。
エロージョン	金属のCMP研磨の結果、ビアや配線パターンがない部分に比べて、ビアや配線が密に並んだ部分の絶縁膜が薄くなってしまふ現象。
オーバーポリッシュ	CMP工程において研磨が過度に進行すること。もしくは終点検出モニターで終点検出した後、さらに確実に上層膜の除去および平坦化を行うために、意図的に研磨時間を延ばすこと。
技術情報A	CASMATで取得した生データを含むすべての技術情報。原則としてCASMAT外への持ち出しは不可。
技術情報B	技術情報Aを元にして整理した技術レポート。共通情報として組合員全員に公開される。
キャップ膜	CMPキャップ膜とも言う。Cu配線とバリア膜の間に製膜される絶縁膜で、通常はSiOを用いる。Cuキャップ膜は「バリア絶縁膜」として区別する。
キュア	ウェーハ上に形成された膜に熱や紫外線などのエネルギーを与えて膜構造を強固なものにすること。

共通プログラム	組合員から提出された評価対象材料を評価し、結果は原則として組合員全員に公表されるCASMAT独特のプログラム。
空孔	材料膜の内部にある空隙のこと。Poreとも言う。この空孔により層間絶縁膜の比誘電率が下がる反面、膜の強度等プロセス耐性が弱くなるという問題点がある。
クリーンルーム	ICを製造するための清浄化された空間で、フィルターを通した清浄な空気を天井から床面に向けてダウンフローで流し続ける。清浄度に関するグレードはクラス表示でおこなわれる。
ケルビン抵抗測定法	4端子接続(ケルビン接続)による抵抗測定法。測定プローブの接触抵抗等の測定系の寄生抵抗の影響を排除するため、電流印加端子と電圧測定端子とを分離する。
高速化・低消費電力化	LSIの基本素子であるトランジスタの微細化により処理速度を増加させ、同時に消費電力を小さくすること。
コーター塗布膜	塗布機を用いてスピコートされた膜のこと。
個別プログラム	組合員とCASMATの契約に基づいて個別組合員がCASMATインフラを用いて材料評価するプログラム。結果は個別組合員限りで、公表されない。
再配線工程(用絶縁材料)	パッケージ化するために、配線が形成されたウェーハ上にAl(アルミ)パッドを設け、絶縁膜を介してインターポーザと接続するために金属配線を形成する工程。
材料間インタラクション	配線工程で、材料同士がお互いに影響を与える作用。
次世代(65nm)テクノロジーロード	→see "テクノロジーロード"
次世代の微細半導体集積回路	現在量産されている微細半導体集積回路の次に量産を期待されている微細半導体集積回路。
シングルダマシン(SD)	メッキ法を用いて形成した銅配線とCMPを使って平坦化した構造がダマスカス地方が発祥の地と言われる象眼細工と似ているのでこう呼ばれる。配線とViaを別々に埋め込むプロセスがシングルダマシン法と呼ばれる。
スクライブライン	ウェーハをダイシング(チップに切り分けること)するときのチップ境界の線。
ストレス印加	電界、熱、応力等の負荷を加えること。

ストレスマイグレーション	熱的または機械的な応力(ストレス)により配線中の金属原子が移動し、抵抗増加または断線を生ずること。
全層塗布型配線	低誘電率化に有利な塗布型材料を層間絶縁膜、CMP キャップ、バリア絶縁膜に併せて使用することにより、CVD材料を中心とした従来型配線に比べて実効誘電率を大幅に低下させることを目的とした Cu/Low-k 配線。
層間絶縁膜	→see “低誘電層間絶縁膜”
統合部材開発支援ツール	統合部材(材料と配線製造条件をセットにした最適プロセスフロー)を開発するために必要な材料とプロセスの相互影響や適性を判定するツール(手段もしくは道具)。具体的にはTEGのこと。
ダイシングテープ	ウェーハから多数のICチップをカッターで切り取る(ダイシング)時にウェーハを保持するテープ。
ダイボンド	ICチップ表面のAlパターン(ボンディングパッド)とパッケージのリードを金細線で接続する工程のこと。
ツインリード線	Twin Lead: 2芯平行線。
低圧CMP装置	従来(1.5-2.0psi)より低圧(<1.0psi)で研磨できるように回転数などの運転条件を調整したCMP装置。
低誘電(率)層間絶縁膜	→see “Low-k 材料”
ディッシング	CMPにおいて、金属と絶縁膜のように研磨速度差がある2種の薄膜が表出するダマシ配線で、金属配線の中央が薄くなってしまふ現象。
テクノロジーノード	→ここでは“ITRSロードマップ”を指す。
デザインルール	微細加工(リソグラフィとエッチング)で使用できる最小寸法を規定した設計基準。
テープテスト	物質表面に透明テープを貼り、その上から基盤目に切り傷を入れた後、テープを引き剥がして、表面に残ったテープの目の数で密着性を判定する方法。
デュアルダマシ(DD)	銅配線とビアホールを同時に埋め込んだダマシ構造。“シングルダマシ”参照)
電界集中	ある領域の電界(電圧勾配)がその周りよりも大きくなっていること。電極の端部形状が角ばっていると、電界集中が発生しやすい。
銅配線	→see “Cu配線”

ドライエッチング	気相中でプラズマによってエッチングを行なうこと。
トリプルハードマスク法	3枚のハードマスク(SiO <sub>2</sub> 、SiN、SiCN等、ドライエッチングの際にレジストよりも高い選択性を持つマスク)を積層して微細加工を行なう方法。
トレンチ	→see "trench"
配線(形成)工程	→see "BEOL"
配線間容量	配線同士の間にかかる容量。この容量が大きいほど配線を伝達する電気信号が遅くなる。
ハイブリッド構造	配線層とVia層に異なる種類の絶縁膜を適用する構造。組成の違う膜を適用すればエッチングストップ層が省略できる。配線層に低誘電率で低強度、Via層に高強度な膜を適用して、全体として信頼性を高めることが出来る。
バックエンドプロセス	→see "BEOL"
バックグラインド(BG)テープ	ウェーハ上のICチップを1個1個に容易に切り分けられるように(ダイシング)、組立て後のチップ厚さを抑えて基板抵抗を下げるように、ウェーハ裏面を研削(バックグラインド)する工程で、ウェーハを保持、保護するためにウェーハ表面に貼り付けるテープ材料。
パッケージ工程	→"アセンブリ工程"
パターンニング	回路のパターン形成を行なうこと。
パッド部	テストプローブのコンタクト、またはワイヤボンディングのための数十～数百ミクロン角の電極板。
バッファークコート材料	ICチップをパッケージに収納して封止する際に、ICチップに掛る衝撃や応力を緩和するために用いられる緩衝材料。感光性と非感光性の樹脂材料がある。
バリア膜	バリア絶縁膜と区別するため、バリアメタル膜またはバリアメタル層と呼ぶのが望ましい。金属配線と絶縁膜の界面に設けられた障壁膜。配線金属原子の絶縁膜中への拡散抑制、絶縁膜中のSi原子等の金属配線への拡散抑制、金属配線と絶縁膜との密着性確保、絶縁膜中の酸素や水分等による金属配線の腐食防止等のために設けられる。最先端ICでは、Ta/TaNの積層膜がよく使われている。

バリアメタル	バリア膜に用いる金属。Ta/TaNの積層膜がよく使われている。
半導体LSI	Large Scale Integration:半導体の集積回路(IC=Integrated Circuit)の集積度の分類において、1チップ上の素子数が1,000個以上10,000個以下のものをいう。
半導体ウェーハ	半導体材料を薄い円盤状に加工したもので、本文に用いられているものは、300mm径のシリコンウェーハである。
ビア	→see "Via"
ビアチェーン	ビアとトレンチの連続構造。ビアチェーンの抵抗値、分布、歩留まりは多層配線の出来映えを測る指標の一つ。
ビアファースト	現在最も良く利用されているビア加工プロセス名。配線とビアを同時に形成するため、形状が安定しており、断線を予防しやすい。
ビアフィル材	ビアファーストによる配線形成に際し、ビア加工後にトレンチのパターニングのためにビアを埋め戻して平坦化するために塗布する材料。
微細・高集積化	半導体チップに形成された配線の幅や配線間の距離が微細化されることによって、情報のやりとりの密度が高くなること。
評価基準書	各種材料をいろいろな条件で評価した結果に基づき、材料の問題点や性能を定量的に比較できるように標準化した評価方法を集大成したもの。
ヒロック	粒界成長または"ストレスマイグレーション"や"エレクトロマイグレーション"により生じた配線金属の突起。
ブランケットウェーハ	積層膜のみで、パターニングされていないウェーハ。
プラテン(数)	CMPにおいて研磨パッドを貼り付ける土台となる盤。
フリンジ電界	対向電極間以外の領域の電界。
フリンジ容量成分	対向電極間以外の電界による容量。平行平板近似をするとこの成分が無視されるが、配線間容量の数十%に当たるため、無視することはできない。
プリカーサー	膜の原料となる前駆体のこと。

ボイド	空所あるいは間隙のこと、IC配線では、エレクトロマイグレーションやストレスマイグレーションにより、配線材料が一部失われた箇所。断線不良や信頼性上問題となる。
マージン拡大	プロセス上の精度に対する許容範囲の拡大。マージンが拡大すると、プロセスが容易になる。
マスク	ウェーハ上に露光して微細構造を形成するために、光を通す部分と光を通さない部分にパターン化された覆い盤。
マスクバイアス(設計)	マスクと実際のパターンとの間の寸法変位を見込んで、あらかじめマスクに組み込む寸法変動量。
モバイル化	携帯電話、ポータブル PC 等、電子機器の小型化により移動運用が可能になること。
ユビキタス化	いつでも何処でも誰でも、コンピューターや通信機器にアクセスできるようにすること。(空港や駅などのホットスポットでコンピューターを無線にて利用できる。)
レジスト	露光、現像して回路パターンを転写するために用いるフォトリソグラフィレジスト(感光性樹脂)のこと。
レジスト剥離剤	エッチングによってウェーハに回路パターンが転写された後、レジストを除去するために用いる薬液のこと。
レジストポイズニング	主に下地膜中から来るアルカリ性物質(アミン系等)によりレジストの現像不良が起こり、適正なパターンニングができなくなること。
ワイヤーボンド	チップとパッケージのパッドを金線等で接続すること。
ワイヤシェア	ボンディングワイヤの剥離。
ワイヤプル強度	ボンディングされたワイヤ(金線等)の下に適当なフックを入れ、下から上へ垂直にワイヤを引き上げて破断した時の強度。

# I. 事業の位置付け・必要性について

## I.1. NEDO の関与の必要性・制度への適合性

### I.1.1 NEDO が関与することの意義

情報通信機器は、今後モバイル化、ユビキタス化が進展し、これに伴って、半導体デバイスに対して高機能化、低消費電力化の要求はますます強くなるものと予測される。これまで半導体デバイスは、微細・高集積化することにより、着実に高機能・高性能化を実現してきた。また次世代の半導体デバイスにおけるこの課題に対する解として、配線形成工程における材料革新を含めた技術ブレイクスルーに極めて大きな期待が持たれていることは、経済産業省／NEDO策定の技術戦略マップ、ITRSロードマップ等に示されているとおり、世界的なコンセンサスである。すなわち半導体材料産業は、半導体デバイス産業の国際競争力の鍵を握る分野と言っても過言ではない。

### 半導体分野の市場規模の相関

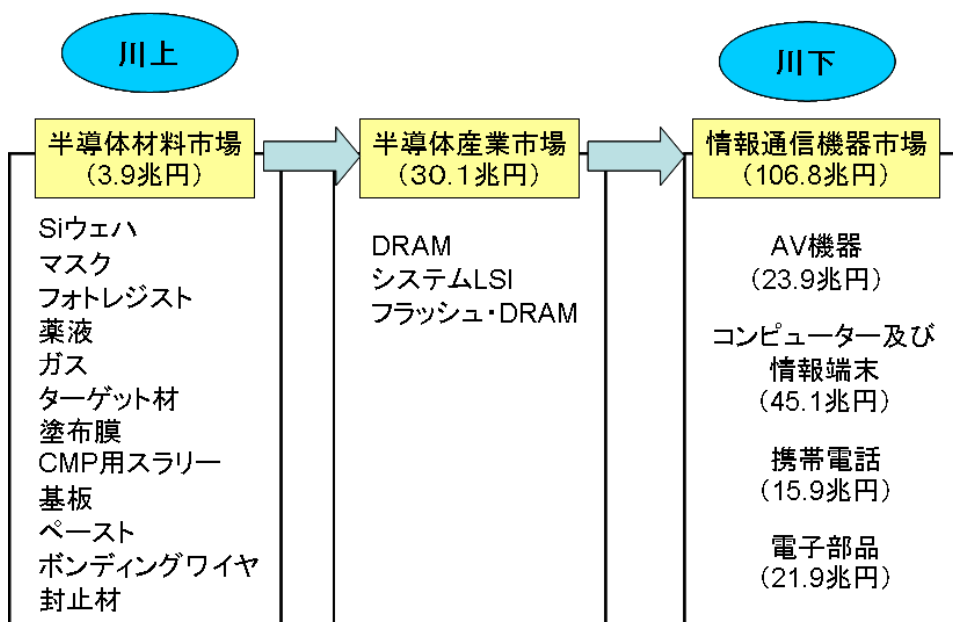


図 I.1.1.1 半導体分野市場規模の相関(2007年、ものづくり白書 2009より作成)

図 I.1.1.1 は、半導体分野の市場規模の相関関係を示したものである。半導体材料分野としての市場規模は 2007 年で 3.9 兆円とそれほど大きなものではないが、半導体産業(30.1 兆円)を支えており、更に、半導体は各種の産業を支えており、情報通信機器だけでも大きな市場となる。近年は、自動車、家電分野においても重要な役割を演じている。

わが国の半導体材料産業は、化学分野において蓄積された研究開発能力をベースとしながら半導体デバイス産業のリードのもとで、個別材料の性能向上、技術革新を進めてきた結果、全体としては世界市場の67%シェアを有するまでに成長してきた。しかしながら、次世代半導体デバイスの鍵を握る配線形成工程における材料開発では、技術革新のスピード、材料間の化学的・物理的相互作用の多様性等の側面から見ると、個別の材料性能向上をトライアンドエラーにより実行していくという従来手法では熾烈な国際競争に勝利していくことは困難である。

図 I.1.1.2 は、半導体分野の日本企業と海外企業の市場シェアを示したものである。半導体材料分野の優位性を川下分野の半導体、情報通信機器の分野に十分に活用しているとはい

えない状況である。

### 半導体分野の市場シェア

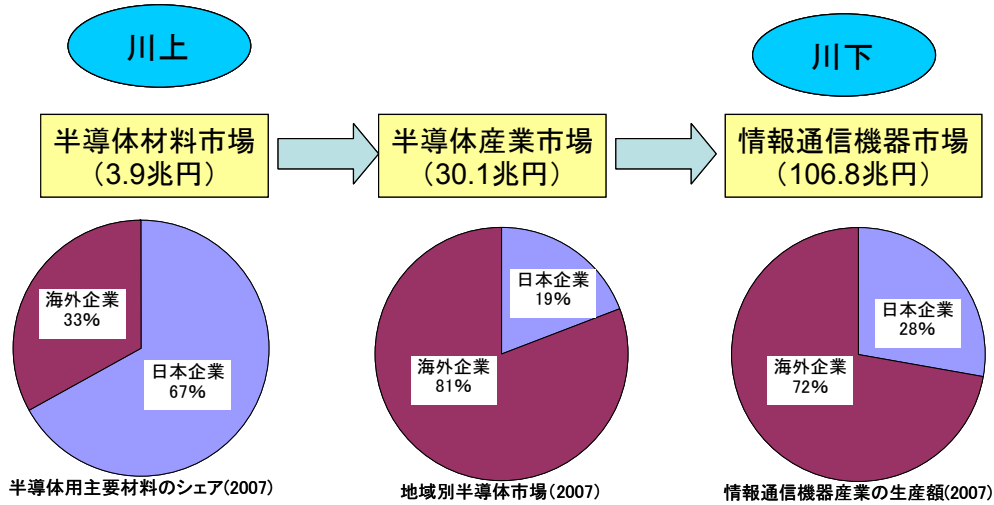
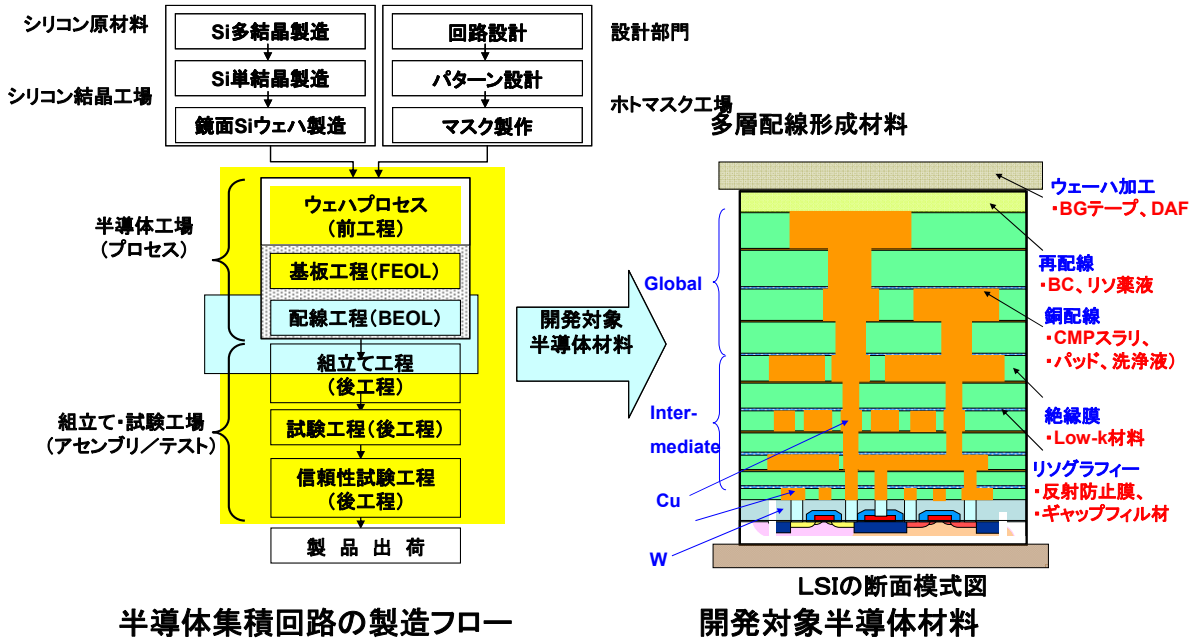


図 I.1.1.2 半導体分野市場シェア(2007年、ものづくり白書 2009 より作成)

独立行政法人新エネルギー・産業技術総合開発機構(以下、「NEDO技術開発機構」という。)では平成 15 年度～平成 17 年度まで『次世代半導体ナノ材料高度評価プロジェクト』を実施しており、これまで半導体デバイスにおけるバックエンドプロセスでの多層配線形成工程に用いられる材料とプロセス条件をセットにした、部材(材料・プロセス)の統合的ソリューション(材料とプロセスをセットにして、相互のプロセス間の影響も考慮して統合した、部材の性能と機能を十分に発揮できる最適プロセスフロー)を提案するため、その基盤となる要素技術として評価技術および開発支援ツール(TEG: Test Element Group)の開発を実施してきている。



半導体集積回路の製造フロー

LSIの断面模式図  
開発対象半導体材料

図 I.1.1.3 半導体プロセスフローと開発対象半導体材料

図 I.1.1.3 は、半導体プロセスフローと開発対象とする半導体材料の関係を示したものである。バックエンドと呼ばれる配線工程には、層間絶縁膜用塗布膜、保護膜用塗布膜、CMP 用スラ



リー、封止材、フォトレジストが重要となる材料であり主に科学材料が使われている。更に補助する材料としてはターゲット材(金属材料)、薬液、バルクガス、特殊ガスなどが開発材料として挙げられる。

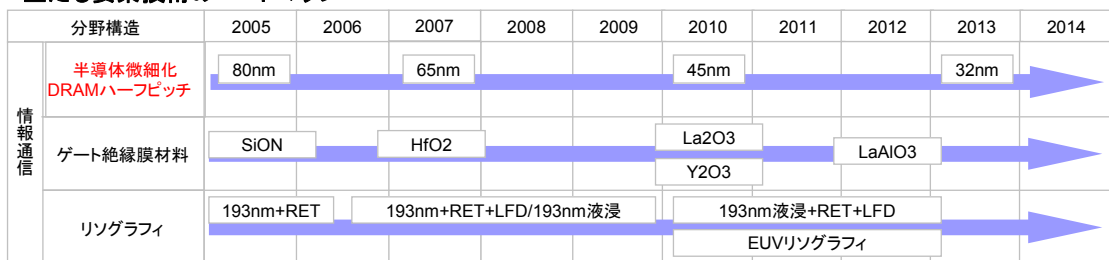
しかしながら、デザインの微細化及びプロセスの複雑化が急速に進んでいる半導体デバイス分野では、現在使用されている種々の材料が性能的に限界を迎えており、新たな高性能材料の開発が世界で進められている。さらには、個別の材料を個々のプロセスに対応させて高性能化する手法では、性能改善が限界に近づきつつあるため、各種新規材料・プロセスを最適統合させた部材全体として高機能を発揮させる開発戦略が必要である。

本プロジェクトは、半導体材料分野での各種新規材料・プロセスを最適統合させた部材の統合的ソリューションの提案につながる高度部材開発評価基盤の開発であるため、施策目標を実現するための重要な事業である。

図 I.1.1.4 は技術戦略マップ 2005 における半導体分野の導入シナリオである。フロントエンドと呼ばれる素子形成部分は、MIRAI、あすか、アプリチッププロジェクトをはじめとする各種の研究開発プロジェクトにより半導体分野を援助する。そのバックアップとして、バックエンドと呼ばれる半導体デバイスの多層配線形成工程からパッケージ組立工程までの一貫したプロセス検証を行い半導体材料評価技術を確立することは日本の半導体業界にとっても重要なことである。

### 経産省技術戦略マップ(平成17年3月)

#### 主たる要素技術のロードマップ



#### 情報通信分野の導入シナリオ

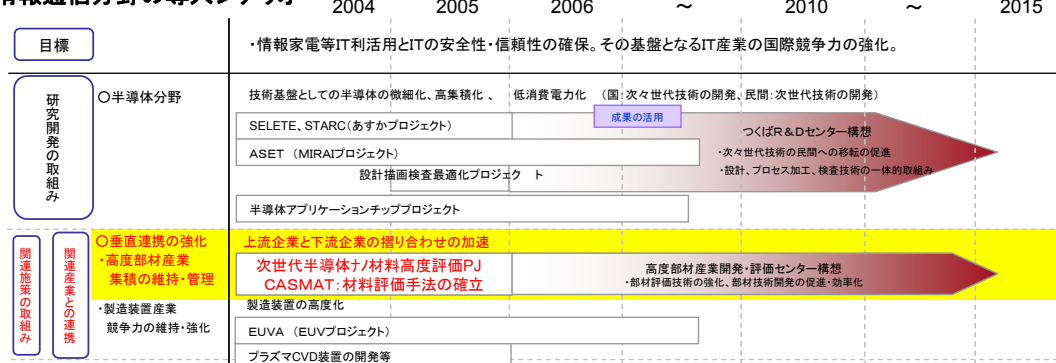


図 I.1.1.4 半導体分野の導入シナリオ(技術戦略マップ2005)

この技術戦略マップに基づいていくつかの「イノベーションプログラム」が策定されている。主に「IT」、「ナノテク・部材」、「ロボット・新機械」、「健康安心」、「エネルギー」、「環境安心」、「航空機・宇宙産業」の7項目に分けられる。本プロジェクトは「IT」、「ナノテク・部材」、「エネルギー」の3プログラムに関与する。

# イノベーションプログラムについて

20年度一般会計 502億円( 507億円)  
特別会計 1,484億円(1,622億円)

- 「イノベーションプログラム」の中で体系的推進 (Inside Management & Accountability)
  - 経済産業省の全ての研究開発プロジェクトは、政策目標毎に7つの「イノベーションプログラム」の下で体系的に推進。
  - 各プログラムの中で、政策目標に向けたプロジェクトの位置付けと目標の明確化、市場化に必要な関連施策(規制改革、標準化等)との一体化を図り、イノベーション実現に向け各プロジェクトを効果的に推進。
- 「技術戦略マップ」に基づく戦略的企画立案 (Outside Communication & Networking)
  - 先端産業技術動向を把握し、国が取り組むべき技術課題とイノベーションの道筋を明確化するため、産学官で協働するロードマッピング手法を導入(『技術戦略マップ 2005/2006/2007/2008』)。
  - 研究開発プロジェクトの選定に当たっては、イノベーションプログラムにおける政策目標を基に技術戦略マップに位置付けられた重要技術課題を抽出し戦略的に企画立案。

平成20年度 イノベーションプログラム(IPG) 予算総額		平成20年度予算額	(平成19年度予算額)
		1,986億円	(2,129億円)
<b>IT IPG</b>	①ITコア技術の革新 114億円 ②省エネ革新 67億円 ③情報爆発への対応 41億円 ④情報システムの安全性等 50億円 小計 272億円	<b>ナノテック・部材 IPG</b>	①ナノテク加速化領域 36億円 ②情報通信領域 31億円 ③ライフサイエンス領域 19億円 ④エネルギー・資源・環境領域 60億円 ⑤材料・部材領域 32億円 ⑥共通 6億円 小計 184億円
<b>エネルギー IPG</b>	①総合エネルギー効率の向上 817億円 ②運輸部門の燃料多様化 358億円 ③新エネルギー等の開発・導入促進 488億円 ④原子力等利用の推進とその大前提となる安全の確保 258億円 ⑤化石燃料の安定供給確保と有効かつグリーンな利用 554億円 小計 1,447億円	<b>ロボット・新機械 IPG</b>	①ロボット関連技術開発 24億円 ②MEMS・分析機器 22億円 小計 46億円
<b>環境安心 IPG</b>	①地球温暖化防止新技術 42億円 ②3R 13億円 ③環境調和産業バイオ 56億円 ④化学物質総合評価 16億円 小計 127億円	<b>健康安心 IPG</b>	①創薬・診断技術開発 96億円 ②診断・治療機器・再生医療等の技術開発 30億円 小計 126億円
		<b>航空機・宇宙産業 IPG</b>	①航空機産業の基盤技術力の維持・向上 163億円 ②宇宙産業の国際競争力強化 69億円 小計 232億円

※1:各イノベーションプログラムにおけるプロジェクトの重複を排除した額 ※2:各サブプログラムで重複があるため小計と一致しない ※3:一部、財投出資(50億円)、関連予算(8億円)を含む

図 I.1.1.5 イノベーションプログラム

IT イノベーションプログラムでは、高度情報通信社会の実現のため社会基盤を支える IT 技術。これらを活かし、イノベーションを創出するとともに IT 産業再編を睨み、選択と集中を図りつつ、持続的に競争力を強化することを目的としている。このためには IT コア技術の革新が必要となる。また、最終製品に占める半導体の価格割合はこの10年間で3割以上増加しており、今後の製品付加価値を高めるコアデバイスの開発は重要なものとなる。

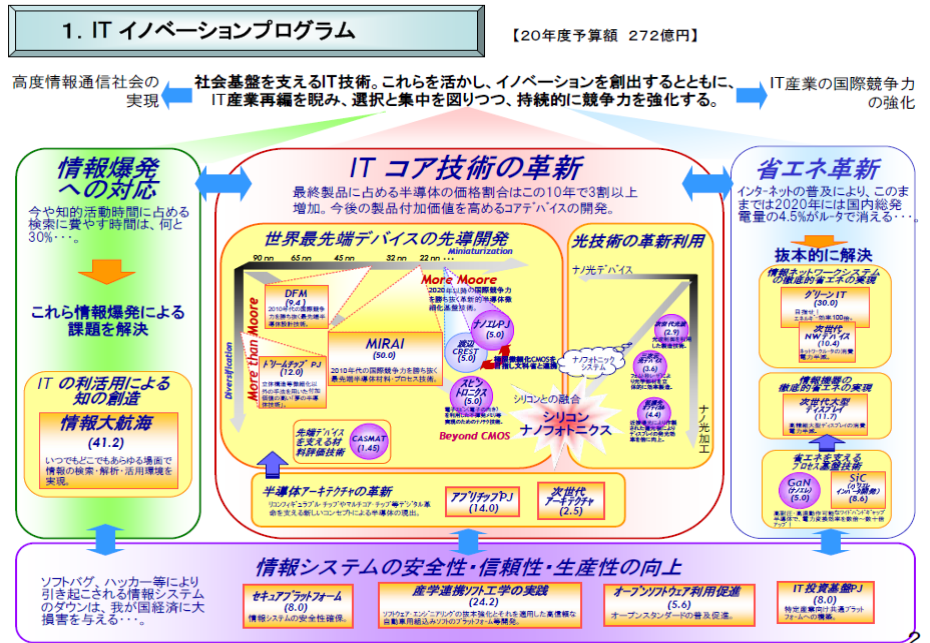


図 I.1.1.6 IT イノベーションプログラム

ナノテック・部材イノベーションプログラムでは、情報通信領域に属しており、世界に先駆けてナ

ナノテクノロジーを活用した非連続な技術革新を実現する。我が国部材産業の強みを更に強化することで、他国の追随を許さない競争優位を確保するとともに、部材産業の付加価値の増大を図る。

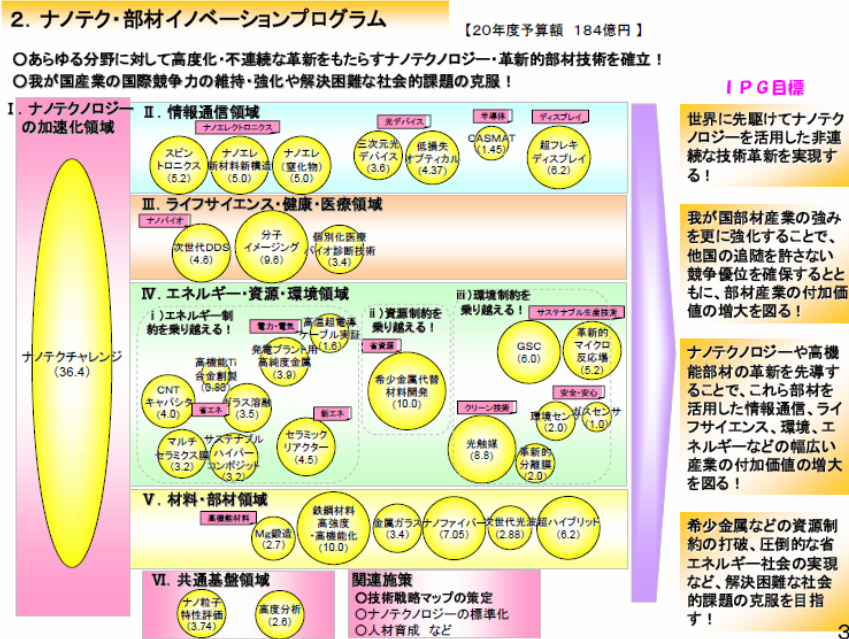


図 I.1.1.7 ナノテク・部材イノベーションプログラム

エネルギーイノベーションプログラムでは、エネルギー資源の8割を海外に依存する我が国にとって、これを効率的に利用すること、即ち「省エネ」を図ることはエネルギー政策上重要課題であることから、次世代省エネデバイス技術を開発する立場からエネルギー消費効率を2030年度までに30%以上改善することを目指している。

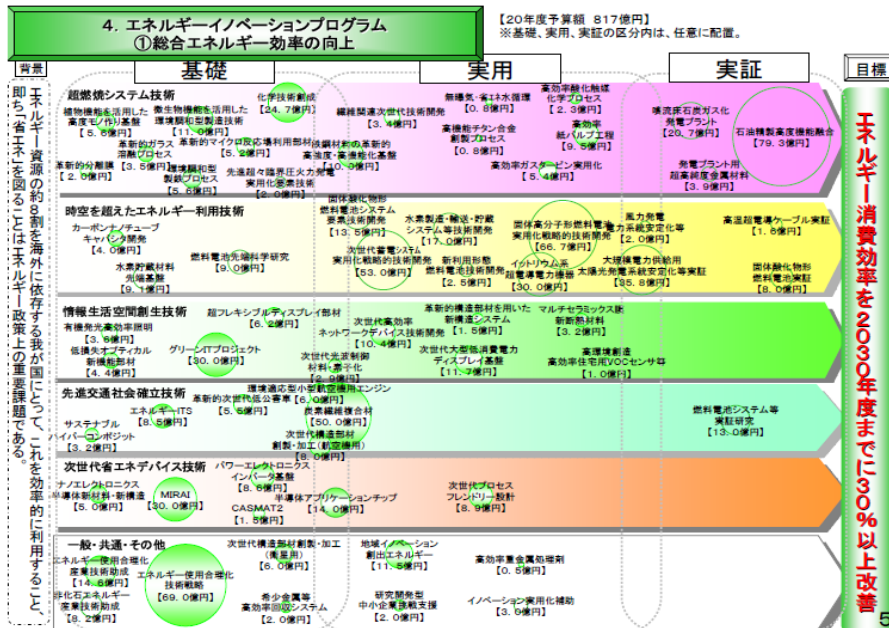


図 I.1.1.8 エネルギーイノベーションプログラム

以上のプログラムを考慮に入れた上で、NEDO技術開発機構は、独自の部材開発技術をもった複数の産学の科学的知見を結集し、半導体デバイスの多層配線形成工程からパッケージ組立工程までの一貫したプロセス検証を行うことによって信頼性のある部材の統合的ソリューションを提供できる評価基盤を確立し、これを産業技術へと繋げていくと共に、社会の共通基盤として情報の整備、提供を通じて、行政、産業界、地域住民等の間で科学的知見に基づいた正確かつ適切な認識の醸成を図る事業方針に基づき、以下のプロジェクトを実施する。

本プロジェクトでは最適統合させた半導体バックエンド部材開発評価の基盤整備を行う。本研究開発により、回路の消費電力低減に必要な配線形成用各種材料等の開発のネックとなっている微細環境下のナノレベルでの材料間の相互影響まで評価可能な統合部材開発支援ツール(TEG)を開発し、情報通信機器の高機能化、低消費電力化等の要求を満たす半導体集積回路用材料の開発基盤技術の構築ならびに半導体に適用する部材の統合的ソリューションを提案する。

### I.1.2 実施の効果(費用対効果)

#### (1) 費用

3年間で約7.5億円(平成18年度～平成20年度)。

#### (2) 効果

##### 1) IT

当プロジェクトは、半導体材料の評価基盤を開発するという使命を担い世界最先端デバイスの先導開発に貢献している。具体的には、世界先端デバイスである半導体デバイスを開発するためには半導体材料は重要な構成要素となる。その半導体材料を効率的に開発するためには共通の評価基盤である、半導体材料メーカーが結集した研究組合の世界で唯一の材料評価専用ラインと材料評価専用TEG(Test Element Group)を作ることが本プロジェクトの目的である。

##### 2) ナノテク・部材

ナノテクノロジーや高機能性部材の革新を先導することで、これら部材を活用した情報通信、ライフサイエンス、環境、エネルギーなどの幅広い産業の付加価値の増大を図る。という目標に対し貢献する。半導体材料の開発力を強化することを通して部材産業の付加価値増大を図る。

##### 3) エネルギー

省エネデバイスの開発に貢献することを通してエネルギー消費効率30%以上の改善を目指す。

電子工業生産実績表(経済産業省生産動態統計)2007年累計

集積回路全体 381億個  
マイクロコンピュータ回路 31.6億個

2007-2010年の成長率	年率5%	2010年	36.5億個
2011-2020年	年率2%	2020年	43.6億個
2030年は2020年と同一とする。		2030年	43.6億個(技術の陳腐化が進む)

今後新設される対象配線は全体の30%、そのうち10%が常時稼動、対象チップ数は:

2010年 1.1 億個  
 2020年 1.3 億個  
 2030年 1.3 億個

表 I.1.2.1 ITRS 2007 の技術ロードマップ

	2007	2010	2013	2015	2020	2030
DRAM ピッチ(nm)	65	45	32	25	14	14
チップ消費電力(W)	104	119	137	137	151	151

チップ面積はピッチの 2 乗に比例するので、それぞれのノード対応のチップを 65nm チップで情報処理すると必要なチップ枚数は： 消費電力削減は：

2010 年(45nm)  $65 \times 65 / 45 \times 45 = 2.1$   $104 \times 2.1 - 119 = 218$  W  
 2015 年(32nm)  $65 \times 65 / 25 \times 25 = 6.8$   $104 \times 6.8 - 137 = 707$  W  
 2020 年(14nm)  $65 \times 65 / 14 \times 14 = 21.6$   $104 \times 21.6 - 151 = 2,246$  W  
 2030 年(14nm) 技術の陳腐化により 2020 年と同じ

Cu/Low-k 配線はデバイスの消費電力の 70%を占め、CASMAT 研究対象となる先端 Low-k が用いられる Intermediate 配線は Cu/Low-k 配線全体の 60%、ゆえに CASMAT 実施によるチップ当たりの年間消費電力削減量は：

2010 年  $(218 - 119) \times 0.7 \times 0.6 \times 24 \times 365 = 3.6 \times 10^5$  W  
 2030 年  $(2246 - 151) \times 0.7 \times 0.6 \times 24 \times 365 = 7.7 \times 10^6$  W

チップ生産量に対応すると：

2010 年  $1.1 \times 10^8 \times 3.6 \times 10^5 = 3.96 \times 10^{13}$  W  
 2030 年  $1.3 \times 10^8 \times 7.7 \times 10^6 = 1.00 \times 10^{15}$  W

H20 年度 NEDO エネルギー使用合理化技術戦略的開発 P13 別紙 1 より

電力消費時発生熱量 (KWh)=3.60 MJ、原油 (L)=38.2 MJ、

即ち 原油 1L=10.6KW、これより省エネルギー総量を原油換算すると：

2010 年  $3.96 \times 10^{13} \text{W} = 3.96 \times 10^{10} \text{KW} = 3.96 \times 10^{10} / 10.6 = 37.4 \times 10^8 \text{L} = 37.4 \times 10^5 \text{KL}$   
 2030 年  $1.00 \times 10^{15} \text{W} = 1.00 \times 10^{12} \text{KW} = 1.00 \times 10^{12} / 10.6 = 95.6 \times 10^9 \text{L} = 9.4 \times 10^7 \text{KL}$

#### 4) 市場

半導体バックエンドプロセス関連材料は、H18年のプロジェクト開始時点では、半導体材料市場の実績から推定すると4,000億円以上の世界市場規模を有し、さらに H20年までは年平均約10%、H21年以降も約7%の成長を達成することが期待されている。(表 I.1.2.2 参照)

表 I.1.2.2 半導体材料市場および売上げ見通し

(単位 億円/年)

	現状 (H18年)	助成事業終了後 5年間				
		H21年度	H22年度	H23年度	H24年度	H25年度
半導体ウエーハパッケージング 工程材料 市場規模	4,043	5,254	5,621	6,015	6,436	6,886
内 低誘電率層間絶縁材料、 Cu配線用CMP材料、ハップ アコート・再配線材料、アセンブ リー工程材料の4種合計	331	519	589	665	750	846
上記4種合計について 組合員企業販売予想額	205	352	419	502	586	683
上記4種合計 組合員企業市場シェア	62%	68%	71%	75%	78%	81%
内 本助成事業寄与 組合員売上高		176	210	251	293	342

市場規模、売上予想、シェアについては電子ジャーナル社等の統計を参考に申請者独自の推定による。また、組合員企業売上高に対して、本助成事業成果の寄与を50%とした。

この中で、本プロジェクトが評価研究対象とする低誘電率層間絶縁膜材料やCu配線用CMP材料等の4分野材料は、次世代半導体技術革新の中核部分を構成することから、年平均12%以上の成長によりH25年には800億円市場に迫るものと推計される。これに加えて、配線形成工程においては数十種類以上に上る材料が使用されていることから、これら材料との化学的・物理的相互関係を含めた材料評価基盤が整備されることにより、配線形成工程関連材料全般に亘っても研究開発効率が向上され、その材料の市場競争力が強化される。

また、国内の半導体デバイスメーカー又は半導体製造装置メーカーに対して、材料メーカーから効率よく提案できる運営体制を構築することにより、わが国半導体関連産業全体の研究開発効率の向上、ひいては国際競争力強化に寄与するところが大きいものと期待できる。

なお、本プロジェクトが、その実施には多額の設備投資及び多方面の研究人材投資が必要とされるところ、わが国半導体材料産業界の共同投資及びデバイス業界の協力により、個別企業の研究投資リスクを最小としながら関連産業全体として最大の成果を得るという新たな研究開発モデルが形成できた意義は大きいものとする。

また、原則として全ての材料評価研究の成果を参加企業全体で共有する形態での実施により、参加企業の個別材料についての優勝劣敗が明らかになる。そのため、競合段階への参入企業の淘汰、業界としての研究開発投資の再配分等といった側面でも関係産業全体における研究開発投資効率の向上が期待される。助成期間終了後の研究開発については共同開発投資継続あるいは分野撤退等、当初参加企業の対応が別れたことから一定の成果が得られたものと思量される。



## I.2. 事業の背景・目的・位置づけ

平成18年時点で、半導体材料産業の市場は全世界で年間約2兆円規模であり、このうちわが国の材料メーカは、推定で約65～70%のシェアを有している。しかし、このシェアを維持・拡大していくためには、半導体デバイスメーカのニーズに的確に応え、短期間に材料を提供できなければならない。デバイスの高速化、低消費電力化のニーズに対しては、特に半導体デバイスの配線工程ではアルミニウムやシリコン酸化物を中心とする材料から、より電気抵抗の低い銅配線や配線間容量を低減させるために誘電率の低い層間絶縁膜へと大転換する時代を迎える。さらに半導体デバイスが適用される電子機器(PDA、携帯電話等)の用途から見ると、機器の小型化、薄型化のために半導体チップの薄型化が要求されるので、それに対応できる材料の役割がますます重要になってくる。これらの観点から、本プロジェクトで対象とする材料として、

- ①低誘電率層間絶縁膜材料
- ②銅(Cu)配線用CMP関連材料
- ③バッファコート材料、再配線用絶縁材料
- ④アセンブリー工程用ウェハ加工材料

を選定した。これらの材料の市場規模は必ずしも大きくはないが、今後の半導体デバイスの要の技術である。したがって、市場の伸び率が大きく、また半導体材料産業全体への影響力が大きいことから、市場シェア拡大に大きく寄与するものと期待される。

平成18年時点では生産性向上と最先端技術導入の観点から300mmウェハの採用が主流になっており、300mmウェハを用いて材料評価を行うことが求められる。そのため、材料開発のために用いる評価設備には、より一層多額の投資が必要となり、材料メーカ単独には負担できなくなっている。さらに、半導体製造プロセス技術が高精度化、複雑化、多様化する中で、材料メーカが個別に材料をデバイスメーカに提供し、その評価結果をもとに材料を開発するというビジネスモデルでは、開発スピードや材料品質の観点で既に限界を迎えている。

### 従来の半導体材料開発

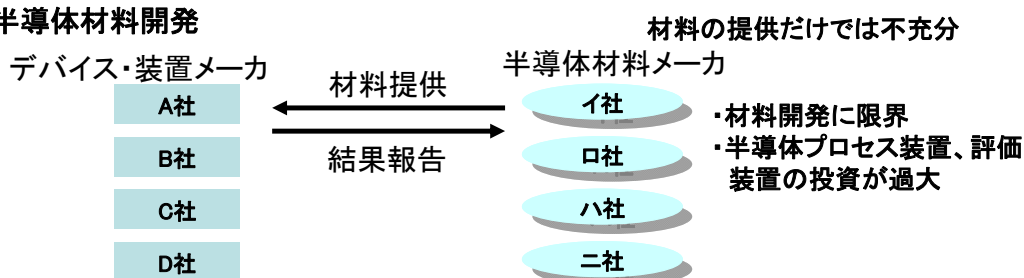


図 I 2.1 従来の半導体材料開発

従来の半導体材料開発においては、半導体材料メーカは単にデバイス・装置メーカに対して材料を提供しデバイス・装置メーカがプロセス評価を行い結果が報告されるのみの開発形態であった。半導体製造技術の飛躍的進歩には、単に材料の提供だけでは不十分であった。しかし、材料メーカ単独では、半導体プロセス装置、評価装置の投資が過大となることにより効率的な開発は進まなかった。





本プロジェクトは、わが国の国際的産業競争力を強化し、新たな市場及び新たな雇用を創出するため、材料創成技術と成型加工技術の一体的な研究開発を行うとともに、製品化までのリードタイムを短縮化する研究生産システムを開発する「革新的部材産業創出プログラム」の一環として実施するものである。

既に述べてきた目的から考えると、本プロジェクトは国内の材料メーカーにより実施されるべきである。しかしながら対象とすべき材料や達成すべき目標は多岐にわたっており、材料メーカー1社で実施することは極めて困難である。国内の半導体材料メーカーが結集してコンソーシアムを結成し、本プロジェクトである「次世代半導体ナノ材料高度評価プロジェクト」を実施した。本プロジェクトの目標は、評価基盤の構築とソリューションの提案が中心となることから、コンソーシアムの活動は材料評価が中心となる。評価材料の提供から評価結果に基づく材料開発さらに製品化は、コンソーシアムに集結した材料メーカーが担うことになる。したがって、「プログラム」の目的を達成するためには、材料創成技術を担う材料メーカーと材料の評価及び成型加工技術を担うコンソーシアムが強く連携し、車の両輪のように一体的に研究開発を行うことが必要である。

なお、半導体関連産業では、デバイスメーカーを主体とするコンソーシアムが既にいくつか発足し、活動している。しかし、材料メーカーが主体となったコンソーシアムは全世界を見渡しても例が無く、まさに画期的なものであるといえる。

## II 研究開発マネジメントについて

### II.1 事業の目標

半導体分野では、微細化の進展に伴って、高速化、低消費電力化が必要とされる一方、電子機器(PDA、携帯端末)の用途においては、機器の小型化、薄膜化に伴い半導体チップの薄型化が要求されるため、部材(材料・プロセス)の役割がますます重要になっている。このため、従来から使用されてきた部材の性能が限界を迎えており、新たな高性能部材の開発が世界で進められている。一方、材料とプロセスを個別に開発する手法では限界があるため、各種の新規材料とプロセスを最適統合させ、部材の高性能と高機能を発揮させる開発戦略が切実に求められている。

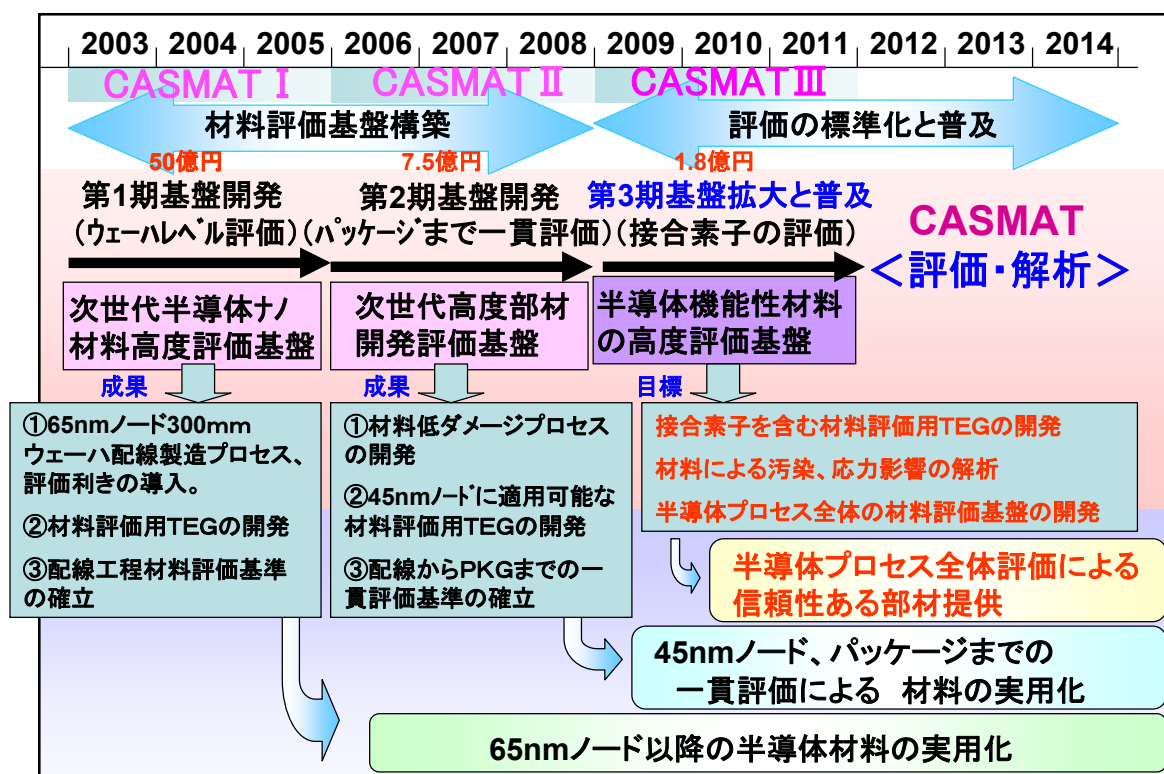


図 II.1.1.1 材料評価基盤構築の経緯と現状

このため、65nm ノード半導体バックエンドプロセスに立脚した高度部材評価基盤を開発/整備するプロジェクトは、平成 17 年度で終了した。

65nm ノードから 45nm ノードへと微細化が進む半導体デバイスにおいては、デバイスの十分な機能性を達成するために、さらなる信号の高速化と低消費電力および信頼性が要求される。このような半導体デバイスの多層配線に用いられる層間絶縁膜材料には 3.0 以下の実効誘電率と製造の各種加工プロセスに耐える高強度が不可欠である。特に多層配線の低誘電率化に最も貢献するとみられる low-k 材料においては、材料単体として 2.4 以下の低誘電率化とともに各種プロセスにおいて受けるダメージを最小限に抑えることによる強度維持が要求される。Low-k 材料のさらなる低誘電率化のためには材料組成のみの研究開発では限界があるとみられており、Micro Pore を導入した Porous 構造によって低誘電率化を実現する方法が提案されている。しかし、

Porous 構造をもった Low-k 材料は従来の Non-Porous 構造に比べると機械的強度が明らかに劣っており、プラズマ照射、化学的機械研磨 (CMP) などの過酷な配線工程のプロセスにおいて各種のダメージを受けることが知られている。このため、UV/EB 硬化法、低圧 CMP 研磨など従来より材料にダメージを与えにくいプロセスが提案されてきている。しかし、これら一部の新しいプロセスが組み込まれた半導体バックエンド工程に適合する材料開発の指針は、単に変更されたプロセスについて検証しただけでは不十分で、他の材料との相互作用、プロセス－プロセス間の相互作用を考慮することが不可欠となる。即ち、このような新しい部材開発を効率よくおこなうためには、半導体デバイス製造工程全体を俯瞰して、ナノレベルの材料－材料間、材料－プロセス間(例えば配線材料と層間絶縁膜材料、バリアメタル材料など)の相互影響を含めて個々の材料を的確に評価できる評価方法の開発が最も大切である。さらに、上記の材料－材料間及び材料－プロセス間の相互影響に加え、半導体デバイスの電気特性や信頼性への影響までを一体的に評価可能な開発支援ツール(TEG)の開発が望まれる。

従来、多層配線形成工程に用いられる部材開発においては、パッケージ工程におけるプロセス検証が配線工程と切り離して行われることが多かったが、高度な信頼性と機能が要求される半導体デバイスの製造プロセスにおける材料適性の判定には、配線工程からパッケージ工程までの一貫した部材評価基盤の構築が必要である。この配線工程後のパッケージ工程においては、パッケージ自体も半導体チップの高密度実装化および高速化に対応して、多段チップ搭載パッケージ、フリップチップパッケージが広く使用されるようになり、ウェーハ、チップの超薄化やボンディング方式の移行に伴い、パッケージ組立プロセスやパッケージ後の信頼性試験において、これまでにないウェーハやチップの破壊による問題が顕在化してくることが予想される。このため、多層配線形成工程以降の組立プロセス、パッケージ後の信頼性評価の各段階での材料－プロセス、材料－材料間の影響評価を行い、各段階で得た知見を材料の開発設計あるいは多層配線形成工程の検査/評価段階にフィードバックすることによって、多層配線形成工程からパッケージ工程までの一貫した部材評価方法を確立することが大切である。

これらの評価技術、開発支援ツール(TEG)を用い、従来、材料・プロセス個別におこなっている部材開発に比べ抜本的な開発効率向上を実現するとともに、得られた技術的知見から高集積半導体デバイスの多層配線等に適した信頼性のある部材の提案をおこない、提案の過程で得られた技術的な知見を有効に生かした部材の実用化を推進することによって、材料メーカーのみならず、装置メーカーや半導体デバイスメーカーにも貢献することができる。

平成 20 年度までに、半導体材料開発に貢献する材料評価基盤を構築するとともに、半導体に適用する部材の統合的ソリューション提案を行う。また、本プロジェクトを通して得られた基礎データ等については、プロジェクト実施期間中にデータを体系的に整理し、幅広く社会に提供を図る。

## II. 2 事業の計画内容

### II.2.1 研究開発の内容

研究課題		年度		
		2006	2007	2008
助成事業	①Low-k材料のダメージ耐性評価方法の開発	装置導入と立上げ 材料評価の調査	45nm以降のバックエンドプロセスに用いる 材料の評価基盤を確立	
	②多層配線、パッケージ用 TEGマスクの開発	TEGマスク1次		TEGマスク2次
	③パッケージまでの一貫した 評価方法の開発	装置導入と立上げ 材料評価の調査	配線工程からパッケージ工程までの一貫した 評価基盤を確立	
自主事業	材料評価基盤の高度化	評価方法の改良1	評価方法の改良2	評価方法の改良3
	TEGマスクの改良	提案材料の評価とソリューション研究		
	APプログラム研究	TEGマスク改良1次	TEGマスク改良2次	
	実用化研究支援	AP研究の実施		
	技術者養成支援	組合員の施設使用による個別研究		
		CASMATでの半導体プロセス、評価の実習		

図 II.2.1.1 研究開発課題と計画

300mm ウェーハによる半導体製造における多層配線工程からパッケージ工程までの一貫した材料評価基盤を確立する。具体的には次世代以降に要求される半導体を製造する部材へのダメージ低減プロセスの検証をおこない、材料—材料間、材料—プロセス間の相互影響を含めて部材を的確に評価できる多層配線評価技術を確立する。

また、製造プロセス全体を俯瞰した材料とプロセスの適合性を評価し、デバイスの電気特性や信頼性に与える影響をも評価できる実際の半導体製造プロセスに適用可能な統合部材開発支援ツール(TEG)を開発する。

さらにパッケージ組立プロセス、パッケージ信頼性評価の各段階での材料—プロセス、材料—材料間の影響評価を行い、材料の評価方法の標準化を行なうとともに、各段階で得た知見を多層配線工程の評価段階にフィードバックすることにより、配線工程からパッケージ工程までの一貫した半導体プロセスにおいて、45nm ノード以降にも対応できる部材評価基盤を構築する。

この部材評価基盤を活用することにより、部材の統合的ソリューション提案を行う。

具体的には次の3項目の研究開発を実施した。

#### (1)Low-k 材料のダメージ耐性評価方法の開発

Low-k 材料の誘電率増加を最小限に抑えつつ強度を改善させるために、従来の熱硬化プロセスに加えて UV/EB 硬化プロセスを検討する。また、配線構造の表面平滑性を維持しつつスクラッチや膜はがれ、ボイド等のダメージを低減するために、CMP 研磨プロセス・材料を検討する。各種 Low-k 材料についてこれらのプロセス・材料を適用することによって、Low-k 材料へのプロセスダメージを従来プロセスと比較する。また Porous Low-k 材料と Non-porous Low-k 材料へのプロセ

スダメージの違いを検証する。

これらのプロセスを含む多層配線技術の妥当性を他の材料、プロセスとの相互影響を含めて検証するとともに、45nm ノード以降にも適応できる Low-k 材料の配線構造および構造中の単体材料の誘電率や各種の材料強度指標等を的確に評価できる評価方法を開発する。

**課題－I Low-k材料のダメージ耐性評価方法の開発**

実施項目	目 標
<ul style="list-style-type: none"> <li>Low-k材料のUVキュアプロセス技術を開発し、その単層膜の物性値を把握</li> <li>多層配線プロセスを構築して材料の課題を抽出</li> </ul>	<ul style="list-style-type: none"> <li>Low-k材料単層膜の物性値に対するUVキュアの影響評価ができる</li> <li>Low-k材料を用いた多層配線を作製し、その電気特性評価ができる</li> </ul>
<ul style="list-style-type: none"> <li>Low-k材料の配線プロセスに起因するダメージを把握するとともにその要因の追及</li> </ul>	<ul style="list-style-type: none"> <li>ダメージ評価方法を高精度化する。</li> <li>低圧CMPプロセスを用いたダメージ耐性評価ができる</li> <li>配線プロセスは、プラズマCVD、エッチング、アッシング、Low-k材料の直接CMPIについて行なう</li> </ul>
<ul style="list-style-type: none"> <li>有機ポリマLow-k材料の配線プロセス構築と配線の電気特性の評価</li> </ul>	<ul style="list-style-type: none"> <li>有機ポリマLow-k材料の配線プロセス課題を対策し、ソリューションを提案する</li> </ul>

**(2)統合部材開発支援ツール(TEG)の開発**

上記(1)の開発で得られる半導体プロセスでの使用条件並びに影響を受ける製造プロセスに関する技術的知見をベースに、Low-k 材料とプロセス条件によって影響を受けるその他の材料を TEG で評価すべき項目を決定する。これらの項目について半導体デバイス製造プロセスを経た後に評価可能な計測回路の設計を行い、45nm ノードにも対応できる半導体材料評価 TEG の開発を行う。

計測回路の設計に当っては、材料評価手法の開発で得られる材料基本物性の情報と半導体集積回路で使用される条件での信頼性を含む統合化された部材性能との対応が評価可能なものとするとともに、半導体製造プロセスを経た後の TEG から得られる情報が、対象となる半導体材料の設計技術にフィードバックできる TEG を開発する。

**課題－II 統合部材開発支援ツール(TEG)の開発**

実施項目	目 標
<ul style="list-style-type: none"> <li>45nmノードにも対応できる半導体材料評価用多層配線TEGのマスク設計とTEG作製プロセスの開発</li> </ul>	<ul style="list-style-type: none"> <li>2層配線プロセスを基本として最小L/S寸法80nmとし、パッケージ用チップも同時に作製できる</li> <li>L/S寸法80nmで初期配線歩留り80%以上のプロセス構築ができる</li> </ul>
<ul style="list-style-type: none"> <li>45nmノードに対応するCMP技術の平坦性評価を効率的に行うTEGマスクの設計とその検証</li> <li>CMPにおける欠陥評価を電氣的に行うためのTEGマスクの設計とその検証</li> </ul>	<ul style="list-style-type: none"> <li>最小L/S寸法80nmとし、市販TEGに対して高精度な平坦性評価ができる</li> <li>断線とショートを電氣的に評価してCMP技術の性能評価ができる</li> </ul>
<ul style="list-style-type: none"> <li>CMPTEG利用の拡大</li> </ul>	<ul style="list-style-type: none"> <li>CMP平坦化評価TEGをデファクト標準化する</li> </ul>

### (3) パッケージ工程までの一貫した材料評価方法の確立

対象パッケージを、MCP(Multi-chip Package)を含む WBBGA(Wire-bond Ball Grid Array)、FCBGA(Flip Chip Ball Grid Array)とし、300mm ウェーハを前提とした再配線工程、バックグラインド、ダイシング、ピックアップ、ボンディング、封止等の各工程において、Cu/low-k 配線を有するウェーハ/チップにかかる外力等に着目し、材料破壊・腐食等の評価を中心とする材料プロセス、材料-材料間の影響評価を実施し、評価方法を確立する。

一方、パッケージ後の信頼性評価技術については、上記の対象パッケージにおいて、熱・応力・水分等が材料に与える影響に着目して、リフロー、耐湿性試験、温度サイクル試験を行い、チップの配線層を含む各界面の剥離状況、配線層を含む材料の破壊、腐食等の評価方法を確立する。

上記の組立プロセス、パッケージ信頼性評価の各段階で得た知見を配線工程の評価段階にフィードバックし、配線工程からパッケージ工程までの一貫した半導体プロセスにおいて 45nm ノード以降にも対応できる材料評価方法を確立する。

#### 課題-Ⅲ パッケージ工程までの一貫した材料評価方法の確立

実施項目	目標
・ パッケージ工程において、Low-k材料やバッファコート材料の影響を評価	・ パッケージ工程における材料の影響を評価するとともに、プロセス課題を抽出して、その対策を行なう ・ 影響評価を定量化する
・ Cu/Low-k配線試料を用いて、温度サイクル試験、PCT試験など信頼性までの一貫評価を行い、材料の課題を抽出する	・ ワイヤボンド型とフリップチップ型の2つのタイプパッケージで信頼性評価までを行い、材料の課題とパッケージの課題を分離して抽出できる評価方法を確立する

## II.2.2 研究開発の実施体制

本助成事業は、NEDOが公募によって選定した次世代半導体材料技術研究組合(CASMAT)により、平成18年度から平成20年度の3年間にわたり実施された。

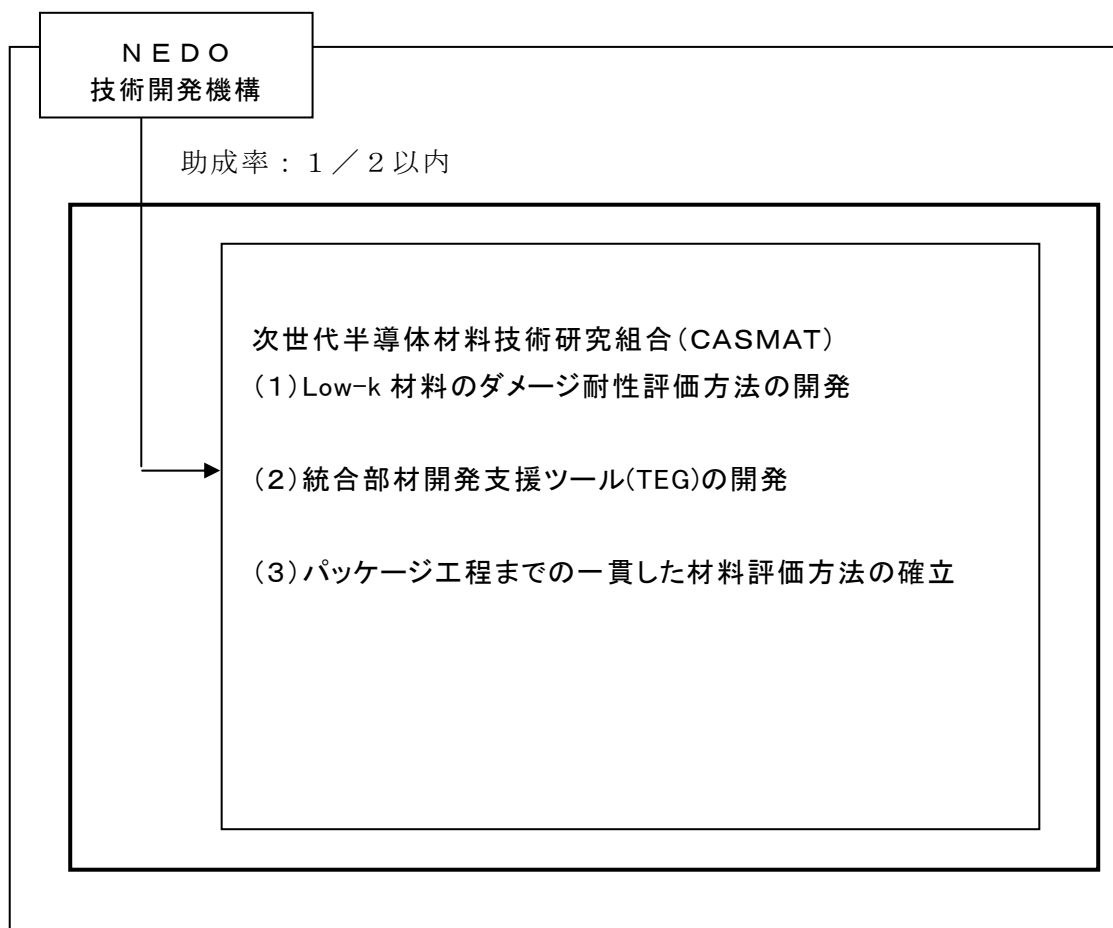


図 II.2.2.1 実施体制図

CASMATは、下記の国内有力材料メーカー10社を組合員とする研究組合である。

組合員企業：JSR 株式会社

昭和電工株式会社(平成19年度より)

住友ベークライト株式会社

積水化学工業株式会社

東京応化工業株式会社

東レ株式会社

日産化学工業株式会社

日立化成工業株式会社

富士フイルム株式会社(平成19年度まで)

三菱化学株式会社(平成20年度より)

## II.2.3 研究開発の運営管理

本プロジェクトでは各組員企業に共通する次世代半導体多層配線工程のインフラを整備し、材料評価方法及び統合的部材開発支援ツール(TEG)を開発し、各組員企業との材料開発に活用した。その評価結果やデータは全組員に原則として公開され、組員自身がそれぞれの実力を早く正確に知る事により、各組員企業における開発戦略を明確にすることができた。これは結果として、材料に対する研究開発の効率化及び選択と集中に繋げることを目指した。しかしながら、本プロジェクトを実施したCASMATには、競合関係にある国内の有力半導体材料メーカー10社が参加し、組員各社の所有する材料に関する産業財産権及び事業戦略は組員各社に帰属することを原則としているため、本プロジェクトの運営を共通プログラムと特定プログラムの2つに分けることで、組員各社の利害を調整した。

共通プログラムは、評価基盤確立のために特定の組員から材料が提供されるが、最終的に一部の情報が全組員に公開されるものである。したがって、共通プログラムの実施に当たっては、材料を提供する組員の機密を遵守することが極めて重要である。材料の提出、評価について組員側と十分な打合せを行って実験計画を策定し、初期評価については組員から一時的に派遣される研究者(協定研究者と呼んでいる)と共同で実施することによって、実験の効率向上と問題点の早期把握に努めた。実験データをほぼそのままドキュメント化したものは、秘密情報として組員内で管理し、実験データを評価、解析した結果としてドキュメント化したものは、公開情報として全組員に発信した。評価対象材料名はコード番号で管理し、商品名や提供組員名は公表していない。従って組員は、評価結果のうち、自社材料の他社材料に対する位置付けを知ることが出来るが、他社材料についての商品名や提供組員名を知ることは出来ない。組員自身が評価内容を検討することで、材料の開発指針を立案すると同時に、将来の選択と集中を促すのが目的である。

### CASMATの運営スキーム

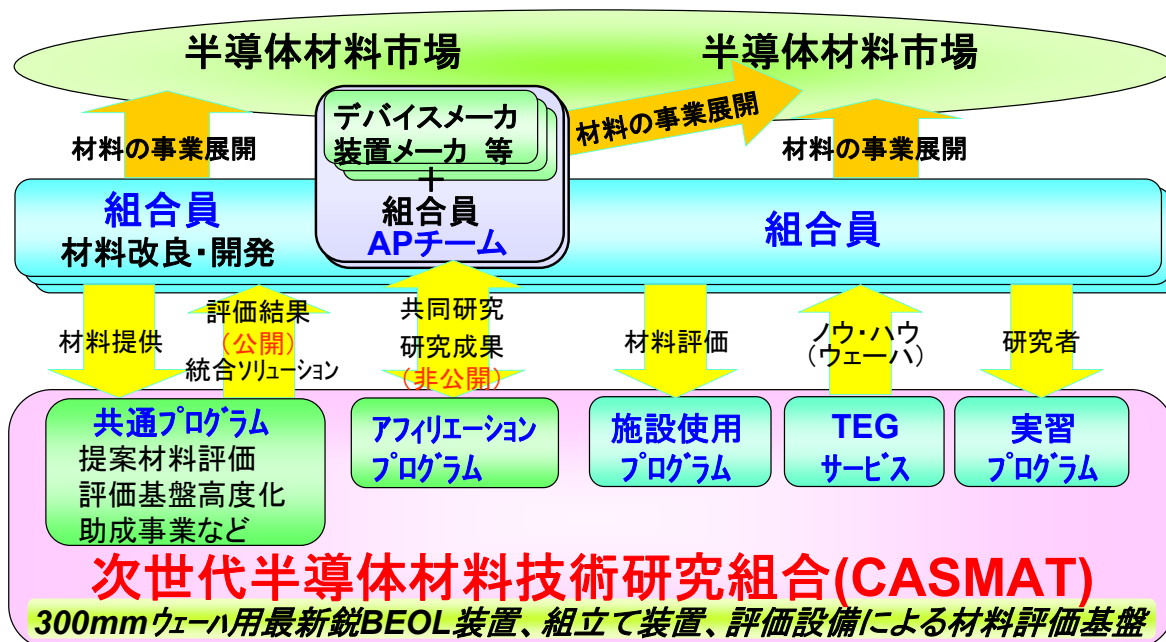


図 II.2.3.1 CASMATの運営スキーム



一方、特定プログラムは、材料の早期実用化を促進するための共同研究プログラムであり、特定の組合員とその顧客であるデバイスメーカーあるいは半導体製造装置メーカーが一体になった実用化チームを形成し、提案材料の評価と組合員の改良材料の評価結果をもとに、組合との共同研究開発契約を締結して組合の製造装置、評価機器を利用して開発材料の実用化研究を行った。この実用化研究の結果は、特定の組合員を含む実用化チームのみが所有し、他の組合員に対しては全く公表されない。

以上述べたように、本助成事業の運営を共通プログラムと特定プログラムの2本立てで運営することにより、各組合員企業の秘密情報を確保しながら、共通の評価基盤を開発することが可能な運営方法を構築した。

CASMATでは理事会、運営委員会、技術委員会を設置し、事業の運営管理をCASMAT外からも監視する体制をとっている。理事会は、組合員取締役で構成され、4半期ごとに開催して、事業の進捗状況の妥当性、重要な設備投資、運営の妥当性等の最終的な判断している。運営委員会は、組合員の事業管理者で構成され、毎月開催し、日常的に運営状況の妥当性を判断する。また、技術委員会は組合員の研究管理者で構成され、毎月開催し、研究進捗状況の妥当性を判断している。また、これらの会合にはNEDOの事業推進部署からも適宜出席し、研究開発の運営管理を行っている。

本プロジェクトで実施した材料の評価方法やTEGの開発における研究成果、組合員からの提案材料の評価結果等については、年2回春と秋には組合員の研究者を対象として成果報告会を開催し、成果の普及に努めてきた。また、学会など外部発表については、報告内容を精査し、組合内稟議を経て認可を与えた。

特許などの産業財産権については、半導体デバイスメーカーでの特許部門経験を持つ弁理士を特許アドバイザーとして招聘して、特許内容を十分に吟味した上で出願を行った。

## II. 3. 情勢変化への対応

### II.3.1 研究開発動向

表 II.3.1.1 技術戦略マップによる技術の変遷

技術戦略マップ	2005	2006	2007	2008	2009	2010	2011	2012	2013	2014	2016	2018
DRAMハーフピッチ(nm)	2005	80	70	65	57	50	45	40	35	32	28	
	2009					52	45	40	36	32	28	22.5
high-kゲート絶縁膜材料	2005	SiON		HfO <sub>2</sub> (+Si, N, Al)			La <sub>2</sub> O <sub>3</sub> , Y <sub>2</sub> O <sub>3</sub> ...		LaAlO <sub>3</sub>			
	2009					SiON	HfO <sub>2</sub> (+Si, N, Al) → LaAlO <sub>3</sub> など					
光源(波長:nm) / 方式	2005	193nm+RET		193nm+RET+LFD/193nm液浸+RET			193nm液浸+RET+LFD		EUV(極端紫外光リソグラフィ)			
	2009					193nm液浸(水)	193nm液浸(水) w Pitch Splitting		13.5nm EUV(極端紫外光リソグラフィ)			

表Ⅱ.3.1.1 は、2005年と2009年の技術戦略マップのうち、当プロジェクトが関連する項目を併記したものである。DRAM ハーフピッチは DRAM、フラッシュメモリ、ロジックでは区別して表記されるようにはなったが数値そのものは大きな変化は無く、2005年の延長線上の技術進歩で推移していく。High-k ゲート絶縁膜では、SiON 膜が当初の予定より延命し2009年でも使われているが、Hf 系、La 系へ移行していく大きな流れは変化が無い。光源も液浸の技術開発が進んだことにより EUV への移行時期が遅くなっては来ているが、液浸の限界も見えてきていることから2005年のスケジュールと根本的な違いは見られない。総じて古くなると見られていた技術が技術革新によりの限界が向上した事により新技術の導入時期がずれては来ているが大きな潮流の変化は少ない。この要素技術よりも、三次元化や MEMS の応用が当初の予想以上に進んでいる。この分野は、本プロジェクトが関与する分野の技術が応用できることにより派生技術として有効活用する事を視野に入れる必要が生じてきている。

### Ⅱ.3.2 半導体業界動向

半導体業界はこのプロジェクトが進められて来ている間に大きく変化した。表Ⅱ.3.2.1 我が国半導体企業の世界的位置付けとして半導体企業の売り上げをまとめたものである。「ものづくり2003」のデータでは、日本の大手が世界の半導体業界の上位を担っており、世界の半導体業界の主流をなしていた。「ものづくり2009」のデータでは、日本企業は2社に減っており売り上げに占める割合も減ってきている。図Ⅱ.3.2.1 には、「ものづくり2009」より抜粋した総合電機各社の半導体事業再編の図である。このプロジェクトが行われている間、半導体業界の再編の動きは非常に大きなものがあった。多くの企業がメモリから撤退したのを始め統合化の動きも活発であった。システム LSI も更なる動きがある。

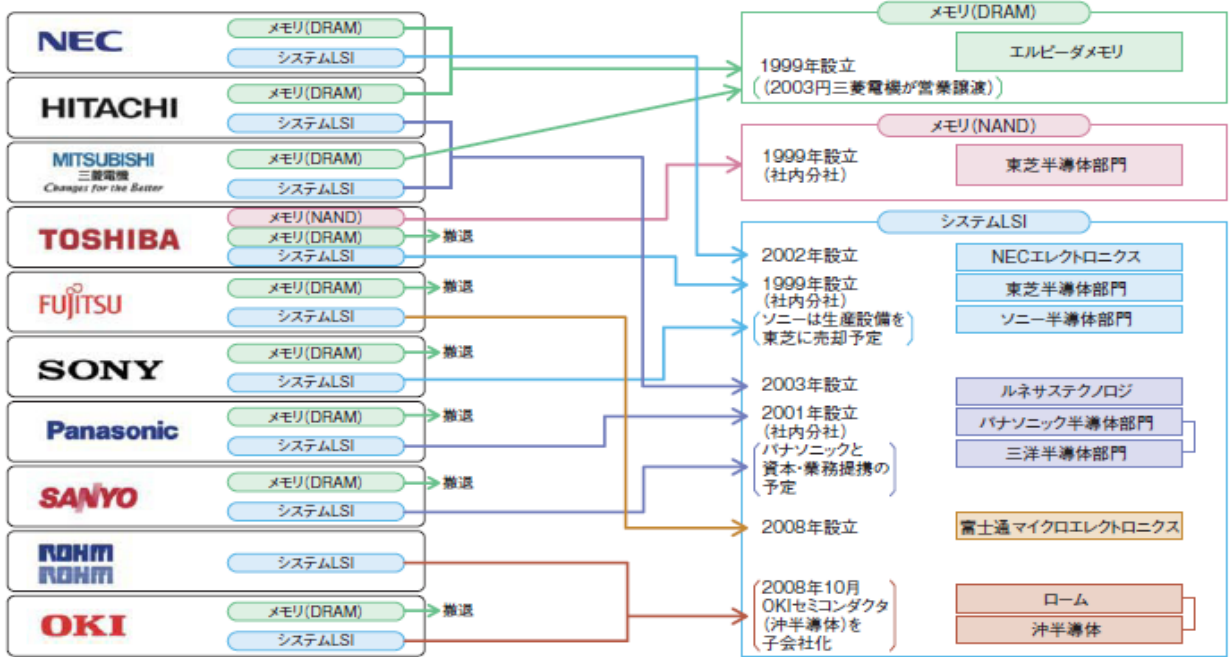
表Ⅱ.3.2.1 我が国半導体企業の世界的位置付け

ものづくり白書2003(経産省)				ものづくり白書2009(経産省)			
	企業名	国	売上高(億円)		企業名	国	売上高(億円)
1	日立	日	81,918	1	Intel	米	37,275
2	東芝	日	56,558	2	Samsung	韓	22,568
3	NEC	日	46,950	3	東芝	日	13,035
4	富士通	日	46,176	4	Texas Instruments	米	12,978
5	サムスン	韓	40,512	5	Infineon Technologies	独	11,242
6	フリップス	蘭	36,593	6	STMicroelectronics	伊・仏	10,991
7	三菱	日	36,391	7	Hynix Semiconductor	韓	10,035
8	インテル	米	32,117	8	ルネサステクノロジ	日	8,824
9	モトローラ	米	32,015	9	AMD	米	6,489
10	TI	米	10,060	10	NXP	米	6,472
11	STマイクロ	伊・仏	7,524				
12	インフィニオン	独	5,988				

備考: 1. 世界半導体出荷シェア(ガートナーデータクエスト)による

2003: 企業全体の売上

2009: 当該産業の売上



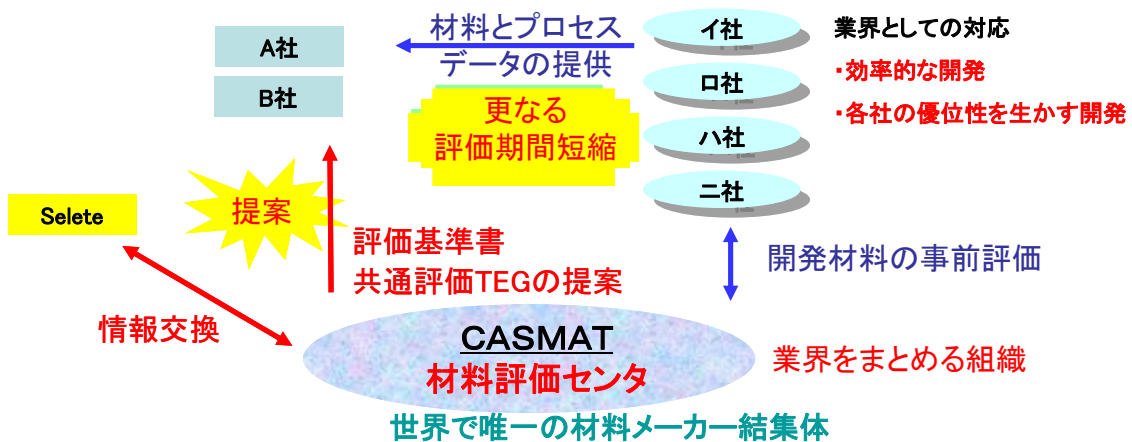
資料：経済産業省作成

ものづくり白書2009(経産省)より抜粋

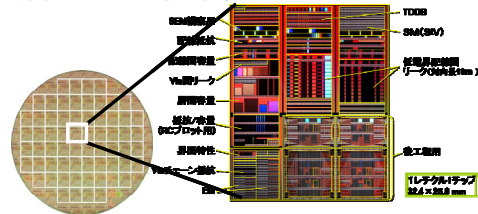
図 II.3.2.1 総合電機各社の半導体事業再編

デバイス・装置メーカー(企業数減少)

半導体材料メーカー



世界一の開発材料評価専用ライン



材料評価専用TEG(Test Element Group)

図 II.3.2.2 情勢変化への対応

半導体材料業界は、まだこの再編の波は押し寄せてはいないがユーザ企業の影響を受けることは十分に考えられることである。この際、市場原理にのっとり再編の波をこうむるか、各社の優位点を活かし、半導体材料業界として対処することができるのかは今後の課題となる。後者の道

を選択する場合、本プロジェクトのように半導体材料業界が結集して、半導体材料の評価基盤を確立して業界として対応することは有効な対抗手段と思える。また、この業界をまとめる場を提供することは国家の仕事としても重要な役割を演ずる。更に、新たに求められる役割としては、業界を代表する組織として、デバイス・材料メーカーへの積極的な提案と考えられる。本プロジェクトの成果である評価方法を取りまとめた評価基準書を公開しているが、これをデバイス・材料メーカーに提案し、理解を得ることにより材料評価を共通の認識を行うことにより評価期間を短縮することが可能と考えられる。また、同様に本プロジェクトの成果である材料評価専用 TEG をデバイス・材料メーカーへ公開することにより、共通の評価を行っていくことも可能である。

これらは、材料メーカーとデバイス・材料メーカーとの開発プロセスを省略することができ効率的な開発が可能となる。

### II.3.3 MIRAI PJ との連携について

世の中の技術開発動向を把握するためには、Selete やMIRAIなど他のコンソーシアムや研究団体との連携が大切である。産業技術総合研究所と Low-k 材料の基本物性評価技術開発(空孔構造の評価・解析)を共同で実施することで、計測技術の実用化と標準化の加速度的推進を図った。また、Selete と NDA を締結し、それぞれのプロセス装置や計測装置を用いた Low-k 材料の評価を実施して情報交換をおこない、材料評価のあるべき姿について議論を進めてきた。

H18 年 6 月には MIRAI PJ で使用していた CVD 装置(NEDO 資産)を産業技術総合研究所より借用し、porous Low-k 材料のポアシールや新しい保護膜の開発に役立ててきた。

## II. 4. 評価に関する事項

NEDO は、国の定める技術評価に係わる指針及び NEDO が定める技術評価実施要領に基づき、技術的及び実用化の観点から、研究開発の意義、目標達成度、成果の技術的意義並びに将来の産業への波及効果等について、事後評価を平成 21 年度に実施する。なお、評価の時期については、当該研究開発に係る技術動向、政策動向や当該研究開発の進捗状況に応じて、前倒しする等、適宜見直すものとする。

## Ⅲ. 研究開発成果について

### Ⅲ. 1 事業全体の成果

#### Ⅲ.1.1 成果の概要

本プロジェクトは、「半導体デバイスにおける多層配線の評価技術とパッケージ工程までの一貫した評価基盤の確立」を目的として、平成18年度から平成20年度の3年間実施した。研究開発成果の概要は以下の通りである。

#### 課題Ⅰ Low-k 材料のダメージ耐性評価方法の開発

- ①300mm ウェーハ、45nm ノード対応の Low-k 材料の UV キュア技術を開発し、多層配線試作による材料評価を可能とした。
- ②Low-k 材料のダメージ評価に関して、膜厚測定の高精度化を図り、プラズマ CVD 堆積、加工用プラズマ照射、低圧 CMP などの耐性評価を可能とした。
- ③ウェーハレベルでの信頼度評価を行い、Low-k 材料が受ける影響の大きい環境試験項目とその時の測定項目を把握した。
- ④有機ポリマーLow-k 材料を用いた多層配線の得失を明らかにし、プロセス課題を解決してソリューション提案を行った。

#### 課題Ⅱ 統合部材開発支援ツール(TEG)の開発

- ①最小 L/S 寸法 80nm の 2 層配線 TEG マスクを設計し、配線の初期電气的特性および信頼性の評価が可能であることを検証した。
- ②2層配線 TEG マスクでは、3種類の異なる面積を持つパッケージ用チップの取得を可能とした。
- ③多層レジストプロセスの開発により、L/S 寸法 80nm の配線歩留まり 80%以上のベンチマークの基準プロセスを確立し、Low-k 材料の評価を可能とした。
- ④最小 L/S 寸法 80nm で CMP の平坦化評価のため専用 TEG マスクを設計し、それを用いた CMP 性能評価により、スラリなどの材料評価を可能とした。
- ⑤CMP ダメージ測定を電气的に効率良く行うため、欠陥評価専用 TEG マスクを開発し、欠陥レベル 0.1 個/cm<sup>2</sup> での材料影響評価を可能とした。

#### 課題Ⅲ パッケージ工程までの一貫した材料評価方法の確立

- ①2層配線 TEG を用いて、Low-k やバッファコート材料の影響を受けやすいパッケージ工程を選択し、材料影響の評価を可能とした。
- ②Low-k 材料を含む単純積層構造のチップを用いたワイヤボンド型の QFP の信頼度試験により Low-k 材料のパッケージ耐性評価を可能とした。
- ③2層配線 TEG チップを用いて、ワイヤボンド型の MGP の信頼度までの一貫評価により、Low-k やバッファコート材料の評価を可能とした。
- ④2層配線 TEG チップを用いて、フリップチップ型の WLP の信頼度までの一貫評価により、Low-k やバッファコート材料の評価を可能とした。
- ⑤2層配線 TEG チップを用いて、フリップチップ型で FCLGA などのパッケージでの信頼度までの一貫評価を実施して材料影響を評価した。

### III.1.2 個々の研究目標と達成度

個々の課題については、研究目標を設定してその達成に努めた。

研究目標とその達成度、達成内容は以下の通りである。

#### 課題-I Low-k 材料のダメージ耐性評価方法の開発

目標	達成度	達成内容
<ul style="list-style-type: none"> <li>・Low-k材料単層膜の物性値に対する UV キュアの影響評価ができる。</li> <li>・Low-k材料を用いた多層配線を作成し、その電気特性評価ができる。</li> </ul>	◎	<ul style="list-style-type: none"> <li>・比誘電率2.2以下の材料を含む種々のLow-k材料のUVキュア条件を設定し、その物性値、多層配線の電気特性評価を実施して、基準プロセスを確立した。</li> </ul>
<ul style="list-style-type: none"> <li>・ダメージ評価方法を高精度化する。</li> <li>・低圧CMPプロセスを用いたダメージ耐性評価ができる。</li> <li>・配線プロセスは、プラズマCVD, エッチング、アッシング、Low-k材料の直接CMPについて行なう。</li> </ul>	◎	<ul style="list-style-type: none"> <li>・比誘電率評価のため、膜厚測定をXRR法で高精度化した。</li> <li>・1psi以下の低圧力でLow-k材料のダメージ評価を実施し、研磨圧力の差による研磨性能の違いを定量的に検証した。</li> <li>・種々のLow-k材料のプロセス影響を評価し、その要因を検討してプロセス条件を最適化した。</li> </ul>
<ul style="list-style-type: none"> <li>・有機ポリマーLow-k材料の配線プロセス課題を対策し、ソリューションを提案する。</li> </ul>	◎	<ul style="list-style-type: none"> <li>・密着性の課題を極薄Ti膜挿入で解決し、学会などで報告した。</li> </ul>

## 課題－II 統合部材開発支援ツール(TEG)の開発

目標	達成度	達成内容
<ul style="list-style-type: none"> <li>・2層配線プロセスを基本として最小L/S寸法80nmとし、パッケージ用チップも同時に作製できる。</li> <li>・L/S寸法80nmで初期配線歩留まり80%以上のプロセス構築ができる。</li> </ul>	◎	<ul style="list-style-type: none"> <li>・3種類のパッケージチップを含み、最小L/S80nmの多層配線TEGを設計し、その機能を検証した。</li> <li>・多層レジストプロセスを開発し、L/S寸法80nmで80%以上の歩留まりを達成した。</li> </ul>
<ul style="list-style-type: none"> <li>・最小L/S寸法80nmとし、市販TEGに対して高精度な平坦性評価ができる。</li> <li>・断線とショートを電氣的に評価してCMP技術の性能評価ができる。</li> </ul>	◎	<ul style="list-style-type: none"> <li>・最小L/S80nmのCMP平坦性評価TEGを設計し、その機能を検証した。</li> <li>・CMPの欠陥評価が可能な大面積のL/Sパターンを設計し、欠陥レベル0.1個/cm<sup>2</sup>の評価レベルを検証した。</li> </ul>
<ul style="list-style-type: none"> <li>・CMP平坦化評価TEGをデファクト標準化する。</li> </ul>	○	<ul style="list-style-type: none"> <li>・種々の学会や委員会での広報活動を行い、外部からのTEGサービスの引合いが徐々に増加傾向にある。</li> </ul>

## 課題－III パッケージ工程までの一貫した材料評価方法の確立

目標	達成度	達成内容
<ul style="list-style-type: none"> <li>・パッケージ工程における材料の影響を評価するとともに、プロセス課題を抽出して、その対策を行なう。</li> </ul>	◎	<ul style="list-style-type: none"> <li>・パッケージ工程の中で、材料の影響が大きいダイシング、ダイボンド、ワイヤボンドの各工程での評価を定量的に実施し、プロセス条件を最適化した。</li> </ul>
<ul style="list-style-type: none"> <li>・ワイヤボンド型とフリップチップ型の2つのタイプパッケージで信頼性評価までを行い、材料の課題とパッケージの課題を分離して抽出できる評価方法を確立する。</li> </ul>	◎	<ul style="list-style-type: none"> <li>・2層配線TEGチップを用いて、ワイヤボンド型のMCPの信頼度までの一貫評価により、Low-kやバッファコート材料の信頼性への課題を抽出した。</li> <li>・2層配線TEGチップを用いて、フリップチップ型のWLPやその他のパッケージで信頼度までの一貫評価により、Low-kやバッファコート材料の信頼性への課題を抽出した。</li> </ul>

### Ⅲ.1.1.3 材料評価基準書

これらの研究成果は、材料種、評価レベル別に156通におよぶ材料評価基準書として整理し、組合員に公開した。また、年間3回の成果報告会を開催、組合員に対して研究内容とその成果を報告して議論した。

## 材料評価基準書

### CASMAT IIにおける評価基準書の件数

分野 \ 評価レベル	レベル1 (単層膜)	レベル2 (複数工程)	レベル3 (1層配線)	レベル4 (多層配線)	レベル5 (信頼度)	トータル 156
Low-k材料	5	15	3	1	15	39
CMP関連材料	4	11	9	—	—	24
バッファークコート膜	2	4	9	—	3	18
BGテープ、DCテープ	3	—	—	2	—	5
PKG一貫評価	1	—	—	—	35	36
プロセスフロー	—	9	13	8	4	34

材料評価基準書は、上記の分野の他にマスク説明書および電気測定法を準備する

評価基準書の数例をⅢ.3. 成果資料の例に掲載した。



#### Ⅲ.1.1.4 成果の普及

研究の過程で得られた知見から、26件の特許を出願した。

また、研究成果を論文化して学会や業界紙に投稿した。

Nano-tech などの展示会に出展して一般外部向けに成果をPRするとともに、平成18年と平成20年には、半導体デバイスメーカー、半導体装置メーカー、組合員以外の材料メーカーを対象とした研究成果報告会を開催して、成果を報告し、業界からの意見を求めた。

### 年度毎の特許、論文、外部発表件数

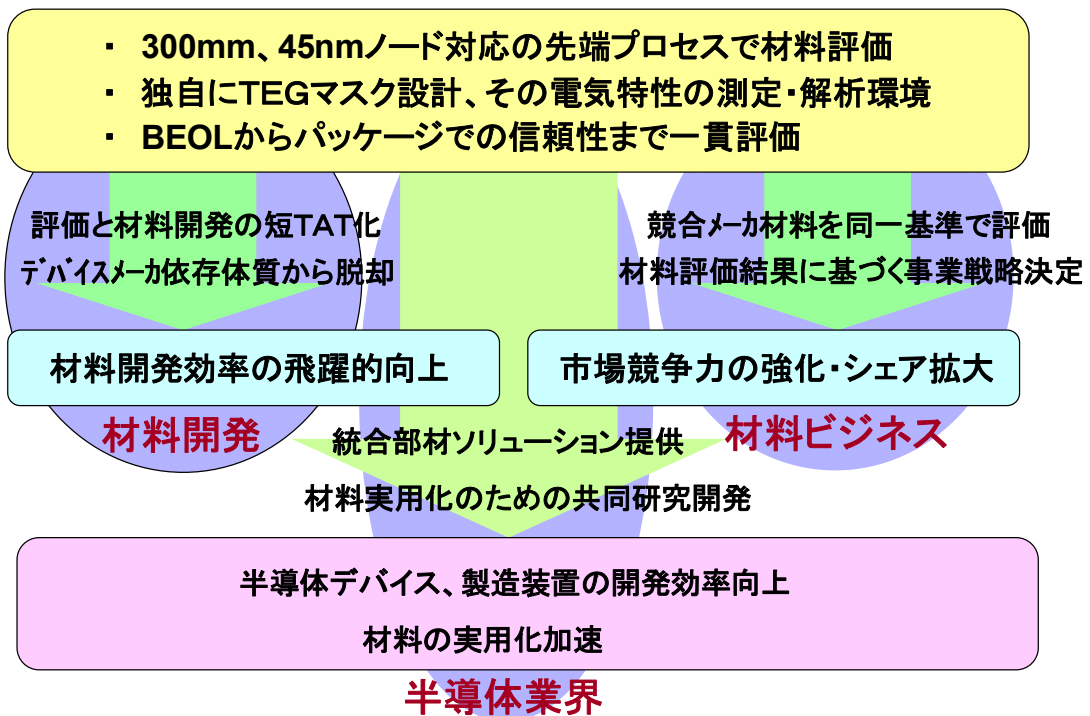
項目 年度	特許出願			論文		外部発表 (展示会 など)
	国内	外国	PCT出願	査読付	その他	
平成18年度	11	0	0	4	5	3
平成19年度	10	0	0	7	2	1
平成20年度	5	0	0	4	4	2

各年度の特許内容と、外部発表論文内容は参考資料 5 に掲載した。

### III.1.1.5 研究開発成果の意義

本研究開発成果である評価技術、開発支援ツール(TEG)を用いることによって、従来、材料・プロセス個別におこなっている部材開発に比べ抜本的な開発効率向上を実現するとともに、得られた技術的知見から高集積半導体デバイスの多層配線等に適した信頼性のある部材の提案をおこない、提案の過程で得られた技術的な知見を有効に生かした部材の実用化を推進することによって、材料メーカーのみならず、装置メーカーや半導体デバイスメーカーにも貢献する事ができた。

#### 研究開発成果の意義



## Ⅲ. 2. 研究開発項目毎の成果

本プロジェクトの目標を達成するために設定した研究開発項目は以下の通りである。

- (1) Low-k 材料のダメージ耐性評価方法の開発
- (2) 統合部材開発支援ツール(TEG)の開発
- (3) パッケージ工程までの一貫した材料評価方法の確立

以下本節では、組合員から提供された材料を用いて、その材料評価、あるいは評価方法の開発など結果について述べるが、それぞれの材料に関する組合員の営業機密を確保するため、材料はコード番号で表記する。提案元の組合員は自社材料を識別できるが、他社材料に対しては、その提案元が特定できない仕組みとした。

評価した材料は 1,481 種類で、内訳は以下の通り：

Low-k 材料	116
CMP スラリ	1007
反射防止膜	316
バッファークコート	37
バックグラインドテープ	5

評価結果の内容をまとめて、組合員に報告した技術情報は 139 報であった。

各種材料を評価して得られた知見に基いて作成した材料評価基準書は 156 報である。

(Ⅲ章 Ⅲ.1.1.3 参照)

また特許 26 報、外部への研究論文 26 報であった。(Ⅲ章 Ⅲ.1.1.4 参照)

評価方法開発成果の一部を、研究開発課題ごとに要約して以下に示す。

また、Ⅲ章の最後に、評価基準書の例をⅢ.3. 成果資料の例として添付する。

### Ⅲ. 2.1 Low-k 材料のダメージ耐性評価方法の開発

Low-k 材料の誘電率増加を最小限に抑えつつ強度を改善させるために、従来の熱硬化プロセスに加えて UV/EB 硬化プロセスを検討する。また、配線構造の表面平滑性を維持しつつスクラッチや膜はがれ、ポイド等のダメージを低減するために、CMP 研磨プロセス・材料を検討する。各種 Low-k 材料についてこれらのプロセス・材料を適用することによって、Low-k 材料へのプロセスダメージを従来プロセスと比較する。また Porous Low-k 材料と Non-porous Low-k 材料へのプロセスダメージの違いを検証する。

これらのプロセスを含む多層配線技術の妥当性を他の材料、プロセスとの相互影響を含めて検証するとともに、45nm ノード以降にも適応できる Low-k 材料の配線構造および構造中の単体材料の誘電率や各種の材料強度指標等を的確に評価できる評価方法を開発する。

#### Ⅲ. 2.1.1 UV キュアによる Low-k 膜特性評価

下記の UV アニール装置を導入し、UV キュアによる porous Low-k 材料の膜特性を評価することによって、材料ごとに最適なプロセス条件を検討した。UV 光源は対象材料によって3つの中から選択する事ができる。UV 波長帯域はいずれも 200～400nm である。

#### UV アニール装置

◆装置名 : RapidCure 320FC  
(アクセリス社製)

◆装置仕様:

・光源(バルブ) : **ブロードバンド**

RC-01 (ポリマー用)

RC-02 (MSQ、SiOC 用)

RC-08 (MSQ 用)

・チャンパー内雰囲気 : N<sub>2</sub> (大気圧)

・ステージ温度(キュア温度) : 350～425°C



図 Ⅲ. 2.1.1.1 UV キュア装置仕様

・UV キュア時間依存性の Low-k 材料比較(初期膜厚 100nm)

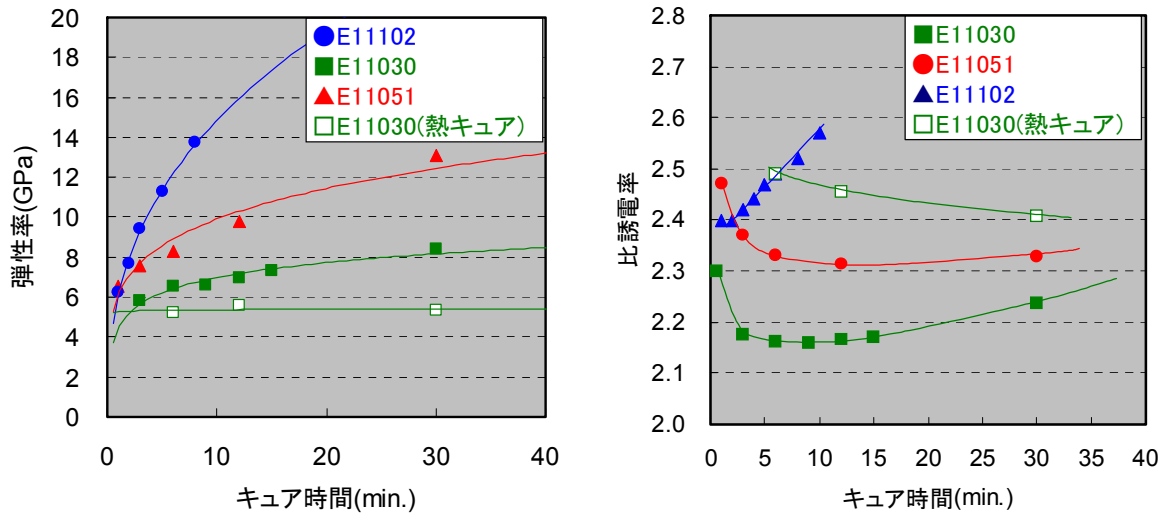


図 Ⅲ.2.1.1.2. 膜物性の UV キュア時間依存性の Low-k 材料比較 (左図: 弾性率、右図: 比誘電率)

- ・弾性率増加: (大) E11102、E11051、E11030 (小)
- ・比誘電率の最小値: (小) E11030、E11051、E11102 (大)
- ・弾性率増加に対する UV キュア感度: (大) E11102、E11051、E11030 (小)

UV キュア技術の目的は Low-k 材料の機械強度(≒弾性率)の向上であるが、評価結果(図 2.1.1.2)を見る限り、弾性率はキュア時間に伴って増加を続ける為、キュア時間を設定する根拠がみつからない。よって今回は弾性率増加を前提条件とし、①k 値、②キュア時間、の面から提案 Low-k 材料の配線試作用時の基準キュアプロセスを表Ⅲ.2.1.1.1 に示す内容に設定した。

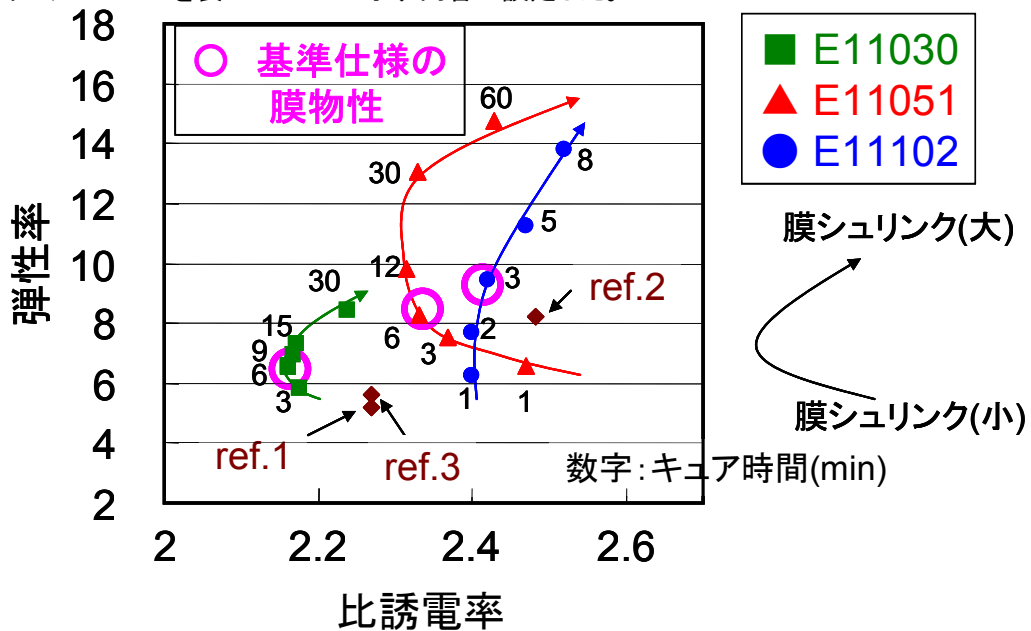


図 Ⅲ.2.1.1.3 Low-k 材料の比誘電率と弾性率の関係

(ref.1:E11030, ref.2:E11019, ref.3:E11020 いずれも初期膜厚 150nm、なお全て SOD 焼成炉を用いた熱キュアプロセスで成膜。キュア条件は各材料の基準キュアプロセスを使用)

表Ⅲ.2.1.1.1 UV キュア用 Low-k 材料の基準仕様

	E11030	E11051	E11102
UVランプ	RC-02	RC-08	RC-08
キュア時間(min)	6	6	3
キュア温度(°C)	400	400	400
膜シュリンク率(%)	7.5	5	10

<まとめ>

組合員材料メーカーから提供される 45nm ノード対応の膜厚の Low-k 材料を、平成18年度に導入した広域波長の UV アニール装置を用いて硬化し、Low-k 材料の機械強度と誘電率の変化について従来の熱硬化と比較した。Low-k 材料単膜では、UV キュアにより誘電率上昇を抑えながら機械的強度を相当大きく向上できるが、その効果は材料依存性があり、また処理条件にも依存することがわかった。

### III. 2.1.2 UVキュア Low-k を用いた配線特性

本評価では、Low-k 膜の高強度化を目指したUVキュアプロセスに関して、UVキュア時間の配線電気特性への影響を調べることにより、Low-k 材料およびプロセスの課題を抽出することを目的とする。Low-k 材料としては、UV キュアに対する感度が高く、UV キュア時間によって大きく膜物性が変化する E11105 と E11097 を使用した。UV キュア装置は、アクセリス社の Rapidcure 320FC、キュア条件は以下の通りである。

- ・光源(バルブ) : RC-08 (波長はブロードバンド)
- ・ステージ温度(キュア温度) : 400°C
- ・キュア時間: 50 秒、2 分 50 秒、8 分

以降、50 秒を「短時間キュア」、2 分 50 秒を「基準条件」、8 分を「長時間キュア」と記載する。なお、表 III. 2.1.2.1 に UV キュア時間と膜物性の関係を示す。

表 III. 2.1.2.1. E11105(E11102)の UV キュア時間と膜物性

提案材料(膜厚:100nm)		unit	評価方法	E11105 (ポーラスMSQ)		
UVキュア時間(400°C_XXmin)				1min 短時間 キュア	3min 基準条件	10min 長時間 キュア
膜シュリンク率	%		エリプソメトリー	4	10	20
電気 特性	誘電率		水銀プローブ法	2.40	2.42	2.57
	リーク電流(3MV/cm)	e-9A/cm2	水銀プローブ法	21.0	4.1	1.2
機械 特性	弾性率	GPa	ナインデンテーション法	6.2	9.4	13.8

青字: 膜厚150nm(E11102)での物性値。 黒字: 膜厚100nm(E11105)での物性値。

※表中の UV キュア時間は E11102(膜厚 150nm)用の条件であり、E11105(膜厚 100nm)では、同じ膜シュリンク率を得るキュア時間は 50 秒、2 分 40 秒、8 分となる。

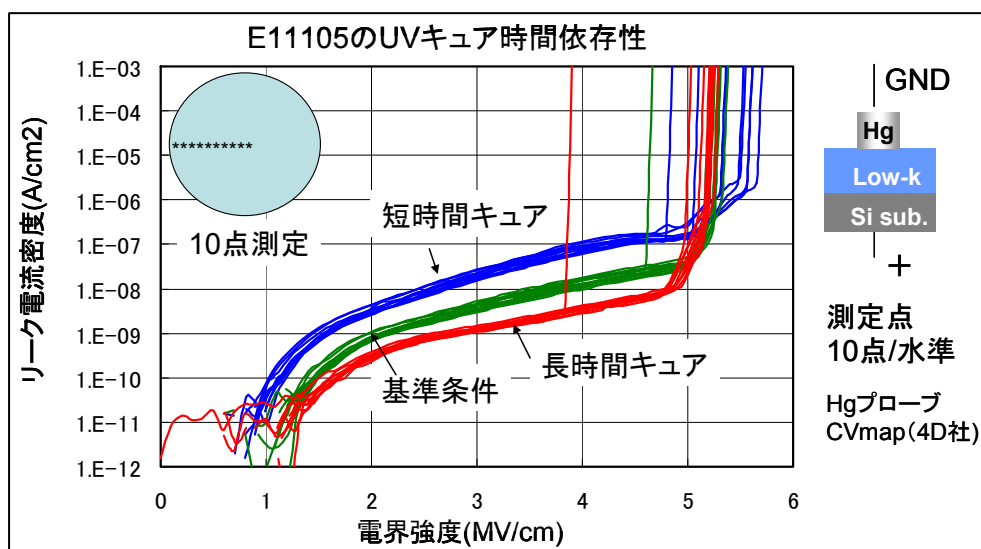


図 III. 2.1.2.1 E11105 での UV キュア時間と IV 特性の関係

### III. 2.12.1 配線構造と配線試作フロー

図 III. 2.12.2 に示す 2 層配線構造を作製する。

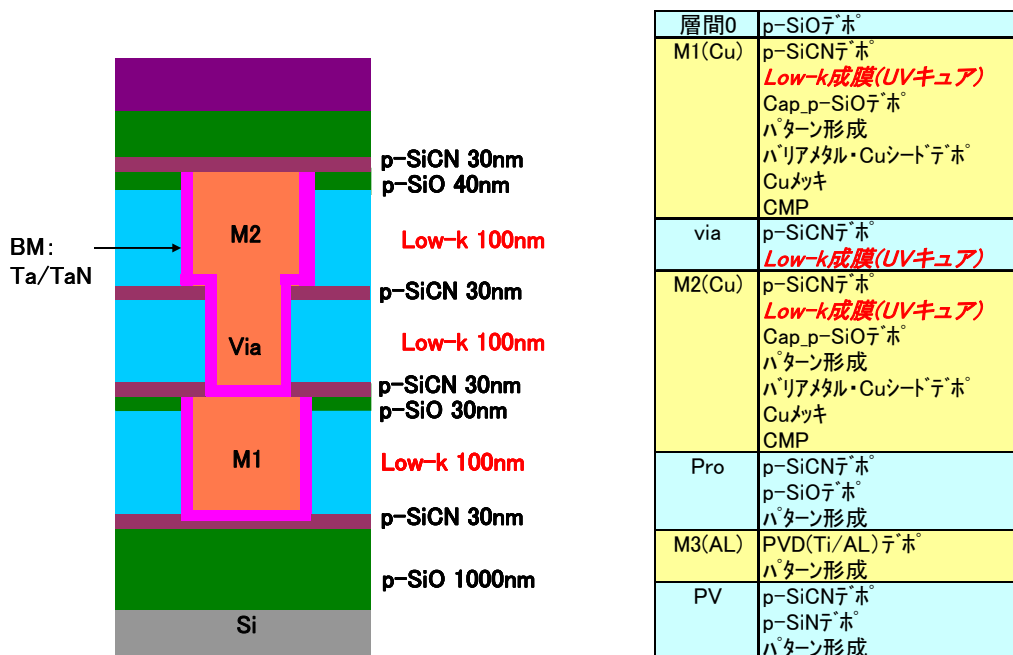


図 III. 2.12.2 層配線構造と配線試作フロー

### III. 2.12.2 評価方法

- ・配線断面 TEM 観察から、配線形状や絶縁膜の膜厚が設計した通りに仕上がっているかを確認する。  
また、絶縁膜中にボイドや、メタル浸透などの異常がないかを確認する。
- ・配線抵抗から、微細化による配線の問題がないかを  $L/S=90\text{nm}/90\text{nm}$  を中心に確認する。
- ・配線間 IV 測定から、くし型配線の配線形成に問題がないか、絶縁性が保たれているかを  $L/S=90\text{nm}/90\text{nm}$  を中心に確認する。
- ・配線間容量から、特に配線間絶縁膜に問題がないかを  $L/S=90\text{nm}/90\text{nm}$  を中心に確認する。
- ・配線抵抗(R)と配線間容量(C)の積(RC積)を p-SiOC の 1 層配線と比較し、Low-k 材適用による容量低減効果を確認する。

### III. 2.12.3 測定結果

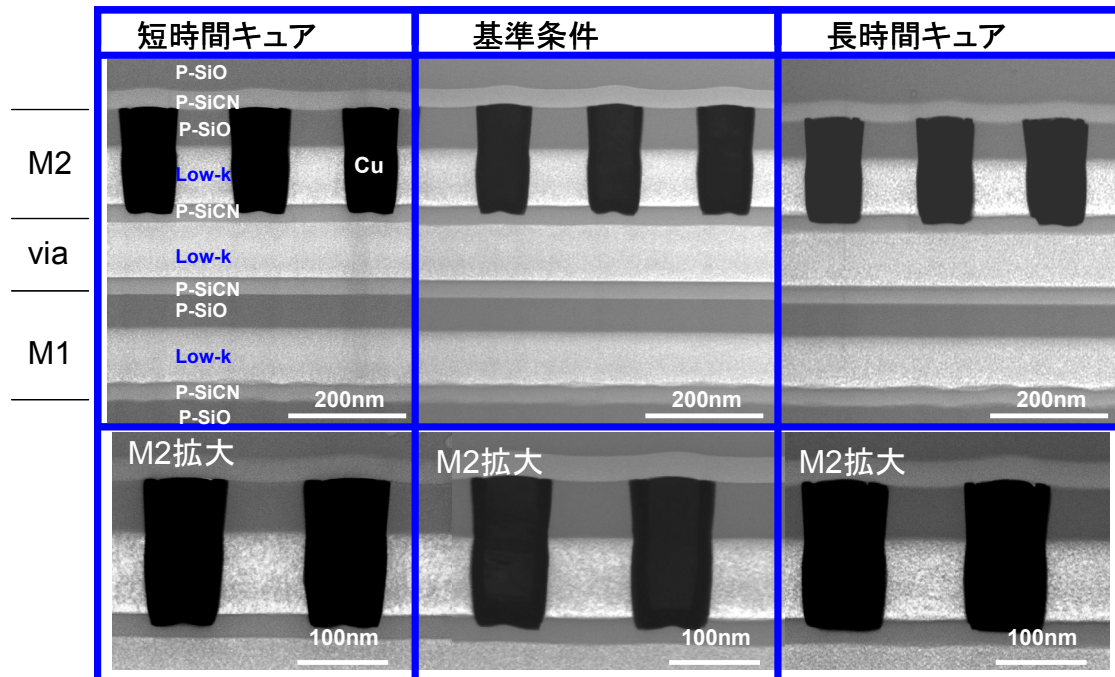
#### (1) E11105 を用いた 2 層配線の配線形状 断面 TEM 観察

図 III. 2.12.3 は UV キュア時間を変更した各水準の 2 層配線の断面写真を示す。

<配線形状に関して> (図 III. 2.12.3、表 III. 2.12.22)

- ・E11105 のキュア時間を変更したが、全ての条件において M2 配線はミドルエッチストッパー層で止まっており、ほぼ設計通りの寸法および形状である。
- ・UV キュア時間と配線間容量および配線間 IV 特性への UV キュア時間の影響を評価するのに適した配線が形成されている。
- ・全てのキュア時間において、メタル等の染込みやボイド等は起こっておらず、配線間絶縁膜に異常はみられない。





図Ⅲ. 2.12.3 2層配線の断面 TEM 写真(くし型 TEG、L/S=90nm/90nm、M2 配線、チップ座標(x,y=3,5:ウエハミドル位置)

表Ⅲ. 2.12.2. TEM 写真から算出した配線寸法

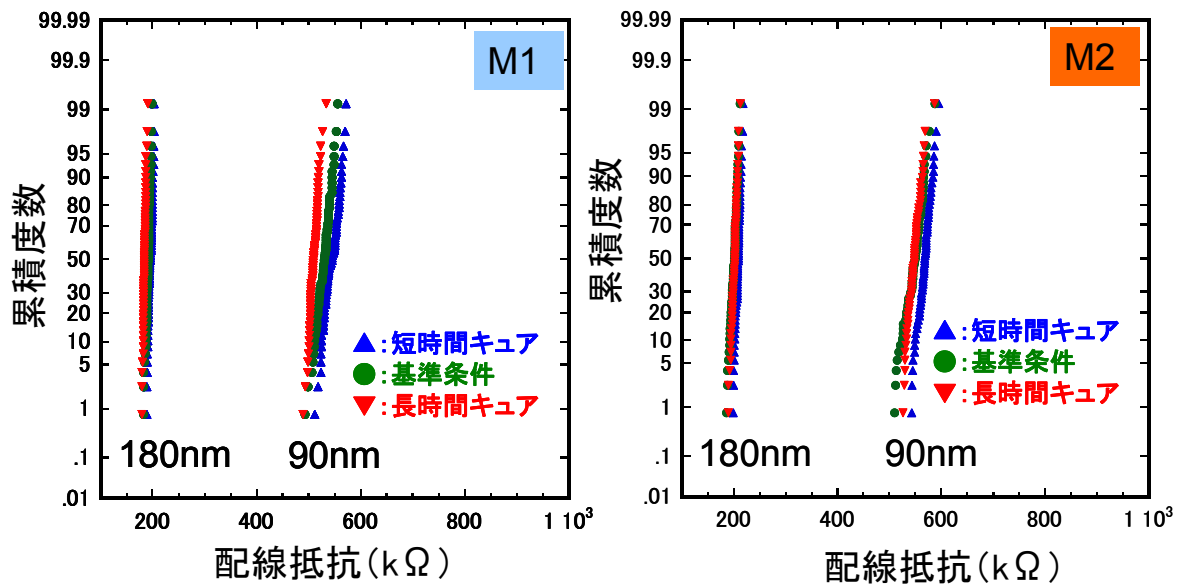
配線寸法 (M2)

キュア時間	短時間 キュア	基準条件	長時間 キュア
配線高さ	158	162	158
配線幅	93	90	96

単位: nm

(2) 配線抵抗測定結果

各キュア条件について、L/S=90nm/90nm と 180nm/180nm の配線抵抗の累積度数分布を図Ⅲ. 2.12.4 に示す。

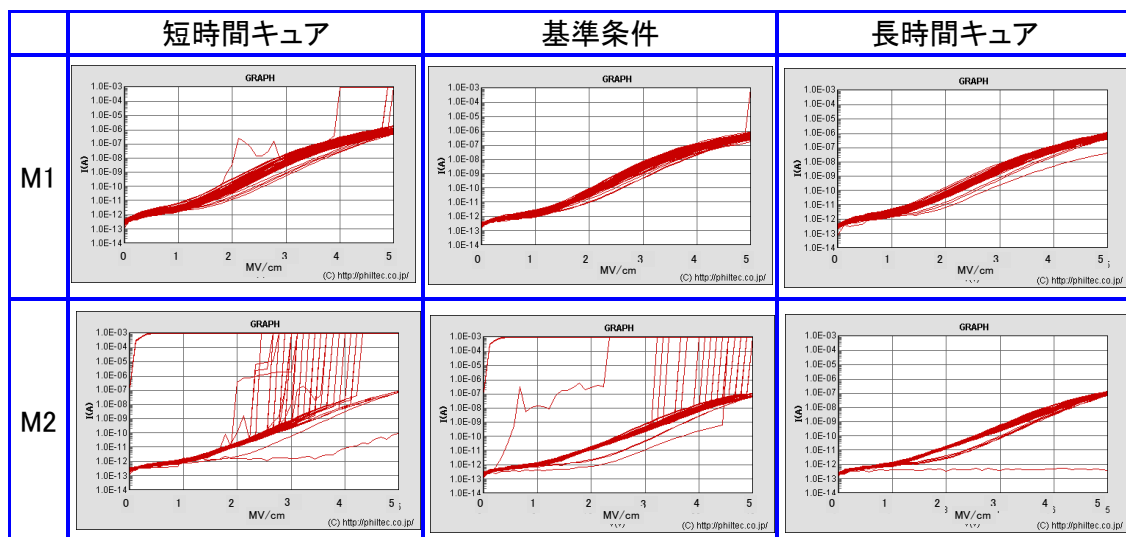


図Ⅲ. 2.12.4 配線抵抗と UV キュア時間の関係 (左図: M1 配線、右図: M2 配線)

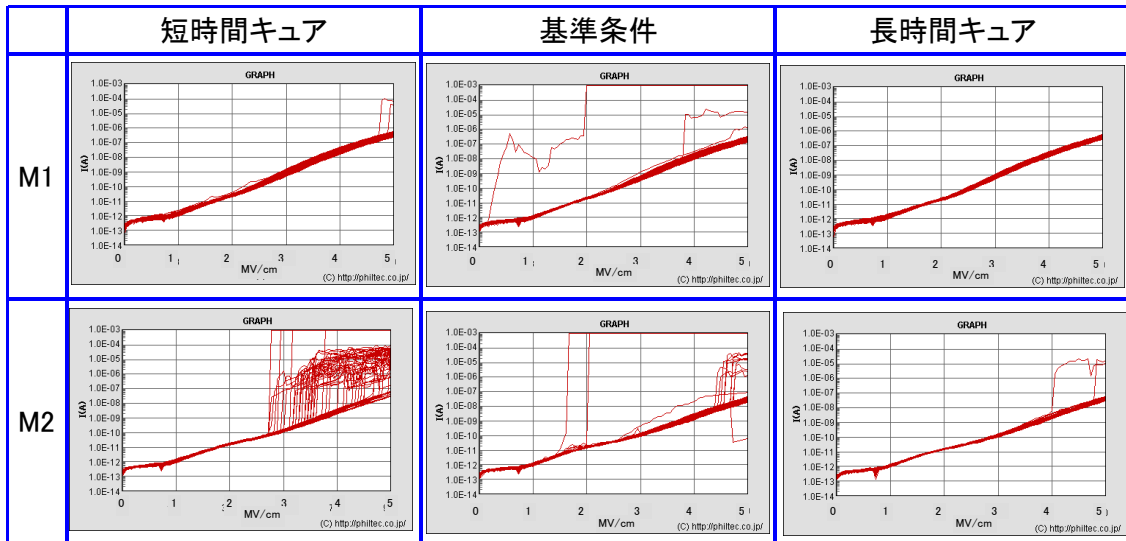
・図Ⅲ. 2.12.4 の結果から、ウェーハ全面(64 チップ)にてバラツキが少ない状態で配線が形成されていることがわかる。

### (3) 配線間 IV 特性測定結果

各キュア条件について、L/S=90nm/90nm の配線間 IV 特性を図Ⅲ. 2.12.5 に、L/S=180nm/180nm の配線間 IV 特性を図Ⅲ. 2.12.6 に示す。



図Ⅲ. 2.12.5 配線間 IV 特性と UV キュア時間の関係 (L/S=90nm/90nm)

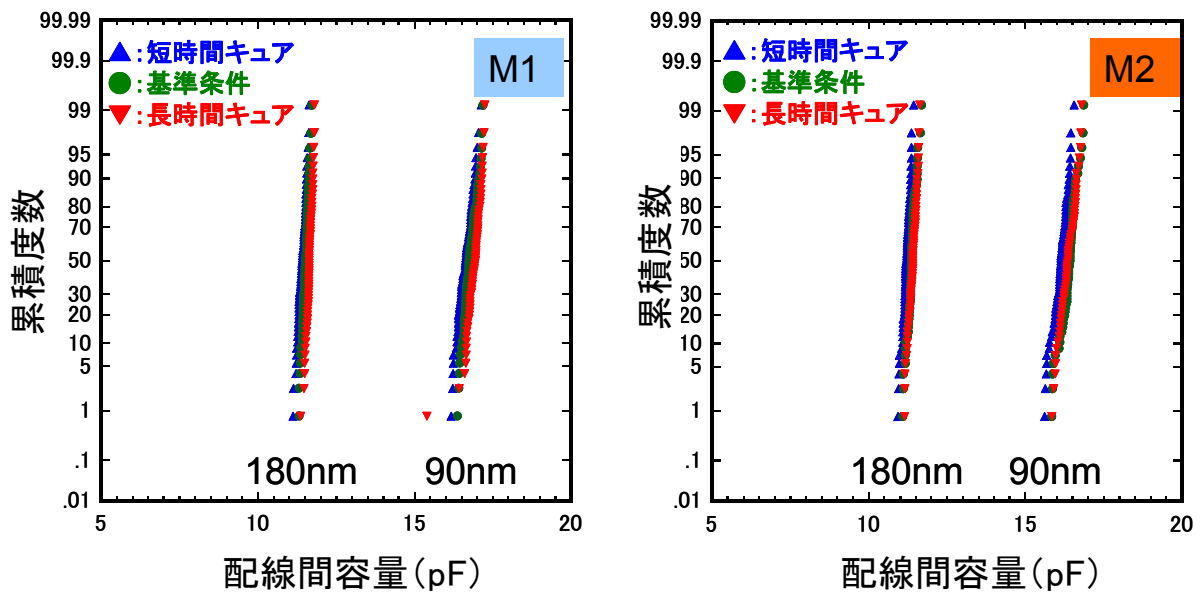


図Ⅲ. 2.12.6 配線間 IV 特性と UV キュア時間の関係 (L/S=180nm/180nm)

- ・M1 よりも M2 で絶縁破壊が起こりやすい。
- ・M2 では、UV キュア時間が長い方が、絶縁破壊が起りにくい傾向があり、「長時間キュア」では、今回測定した最高電界強度である 5MV/cm でも絶縁破壊はほとんど起こらない。
- ・低電界で絶縁破壊を起こすチップ数は配線間隔が広くなると少なくなることがわかるが、M1 よりも M2 の方が絶縁破壊を起こしやすいこと、UV キュア時間が長いほど絶縁破壊が起りにくいという傾向が変わらないことから、プロセスのみならず Low-k 膜の膜物性の違いも影響していると思われる。

(4)配線間容量測定結果

各キュア条件について、L/S=90nm/90nm と 180nm/180nm の配線間容量の累積度数分布を図Ⅲ. 2.12.7 に示す。

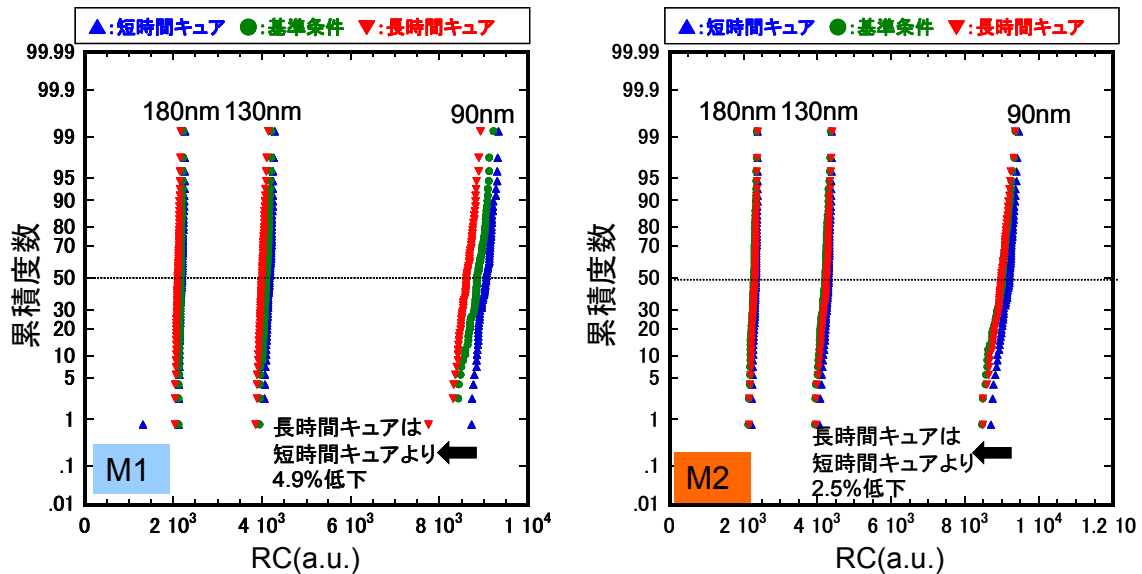


図Ⅲ. 2.12.7 配線間容量と UV キュア時間の関係(左図: M1 配線、右図: M2 配線)

・図Ⅲ. 2.12.7 の結果から、ウェーハ全面(64 チップ)にてバラツキが少ない状態で配線間容量が測定されていることがわかる。

(5) RC 積の算出と p-SiOC との比較

各キュア条件について、L/S=90nm/90nm、130nm/130nm、180nm/180nm の RC 積の累積度数分布を図Ⅲ. 2.12.8 に示す。



図Ⅲ. 2.12.8. RC 積と UV キュア時間の関係(左図:M1 配線、右図:M2 配線)

- ・単層膜の比誘電率は UV キュア時間が長いほど高く、短時間キュアの  $k=2.40$  に対して長時間キュアは  $k=2.57$  である。単層膜  $k$  値を用いたシミュレーションでは、短時間キュアより長時間キュアの方が L/S=90nm/90nm の RC 積は 3%大きくなる。
- ・しかしながら、測定結果では UV キュア時間が長いほど RC 積は小さくなっており、単層膜の比誘電率と逆の傾向を示す結果が得られた。

次に、E11105 の長時間キュア ( $k=2.57$ ) と p-SiOC ( $k=3.0$ ) の比較を M1 の RC 積を用いて行った結果を図 III. 2.12.9 に示す。

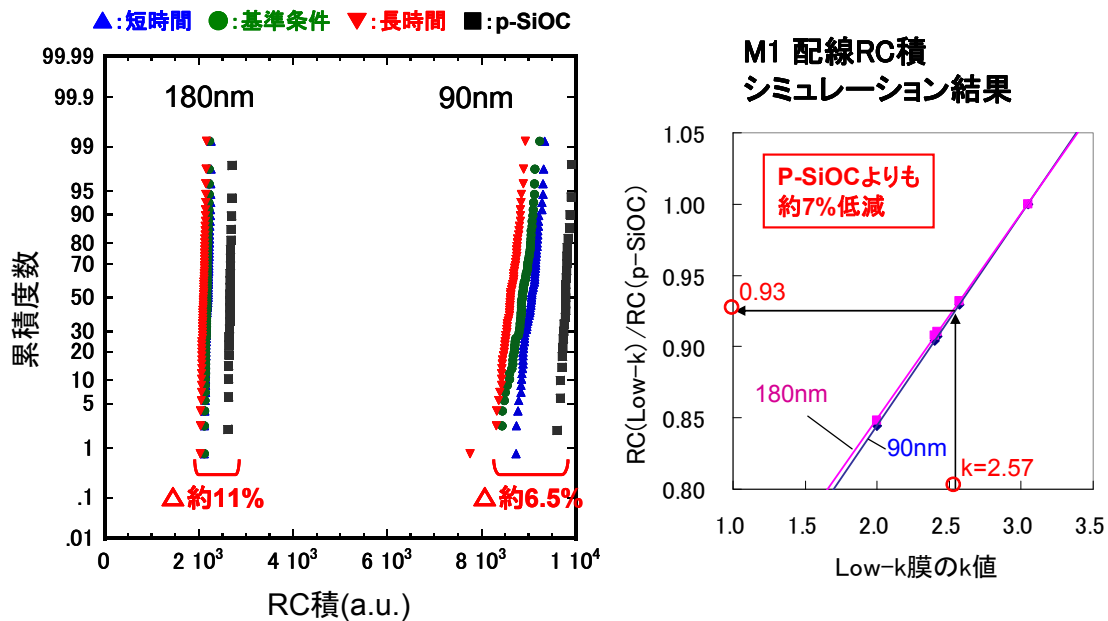


図 III. 2.12.9. RC 積と E11105 の UV キュア時間の関係、および p-SiOC との比較(左図)とシミュレーション結果(右図) (対象は M1 配線)

- ・シミュレーションでは E11105 の長時間キュアの方が p-SiOC より RC 積が 7%低減される。測定結果は L/S=90nm/90nm で 6.5%低減、L/S=180nm/180nm で 11%低減されており、配線形成後でも膜の Low-k による配線間容量低減効果は得られていることがわかる。
- ・シミュレーションと実測との差はプロセス上のダメージの影響を表していると考えられるが、RC 積は配線の寸法や形状の影響を受けることがわかっているため、この差を詳細に議論するには更なる解析が必要と思われる。

#### <まとめ>

- ・基準材料 p-SiOC より RC 積 (配線抵抗 \* 配線間容量) が低減されたことから絶縁膜 Low-k 化の有用性は確認できたが、UV キュア時間の影響に関しては単層膜 k 値とは異なる傾向となった。単層膜と配線試作でのプロセスの違い、例えば配線形成時のプロセスダメージや下層膜への UV 透過によるキュア効率の変化など、更なる解析が必要と思われる。
- ・配線間 IV 特性を取得した結果、M1 よりも M2 で絶縁破壊が起こりやすく、M2 では UV キュア時間が短いほど絶縁破壊が起こりやすいという傾向が確認された。  
現象把握のためには更なる解析や検証実験が必要ではあるが、今回の TEM 写真から M2 絶縁破壊はビア層 Low-k 膜の膜質の違いが関係している可能性が考えられる。
- ・UV キュア感度が高い材料であるため、特性ばらつきや配線間容量の増大に着目して配線試作評価を行ったが、加工バラツキは少なく、形状も良好な配線を形成できることがわかった。

また、配線間容量については長時間キュアによる容量増加も検出されなかった。配線間 IV 特性評価においては UV キュア時間が長いほど絶縁破壊が起こりにくい傾向が確認された。良好な配線絶縁特性を得るには、単層膜評価で設定した基準条件より長くキュアする方が良いと思われる。

・UV 硬化型 Low-k 材料を用いた配線の電気特性では、2層目以降の配線耐圧が向上することがわかった。

### Ⅲ. 2.1.3 UV 光源の影響評価

UV 硬化反応機構は材料組成と UV 波長の依存性が高いことから、材料開発指針を発信するためには単一波長の UV による Low-k 材料硬化特性を把握する必要が生じた。このため 222nm 単一波長の UV アニール装置を導入して、材料組成による 200–400nm 広域波長 UV アニールとの比較検討をおこなった。Low-k 膜 UV キュア時の UV 光源の波長(スペクトル)が UV キュア特性に及ぼす影響を Low-k 膜単層レベルで評価した。

UVアニール装置:

アクセリス社 Rapidcure 320FC 200–400nm(ブロードバンド)

SPL社 SPX300 222nm 単一波長光源

UV キュア時の UV 光源スペクトル、UV キュアでの照射エネルギー、UV キュア時のウェーハ温度をパラメータとして単層レベルで下記の評価を行なった。

- ・比誘電率
- ・膜シュリンク率(収縮率)
- ・I-V 特性
- ・弾性率
- ・膜表面状態(親水性、疎水性)

#### (1) 比誘電率

ウェーハステージ温度 400°Cでの比誘電率の UV 照射量依存性を図Ⅲ. 2.1.3.1 に示す。また SPX300 装置で UV 照射を行わず 400°C熱工程だけを行った場合の測定点を“FC”(Furnace Cure の略)として図Ⅲ. 2.1.3.1 に示す。UV 照射量の増加に従い比誘電率が低下していくことが分かる。

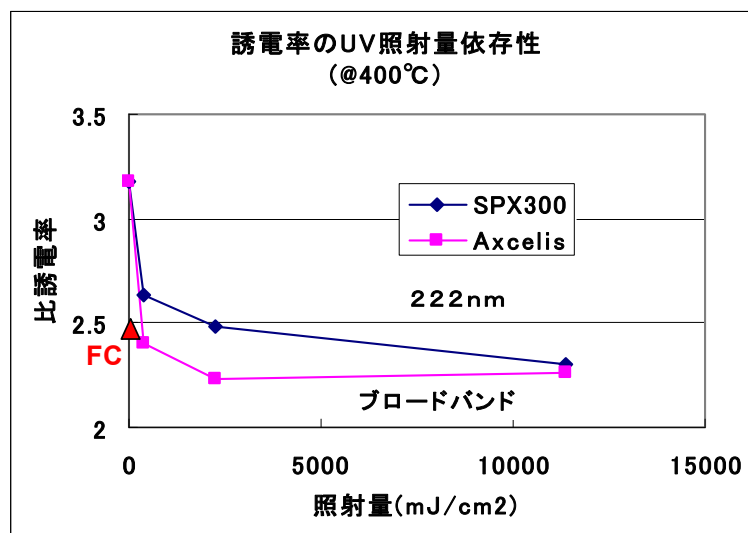
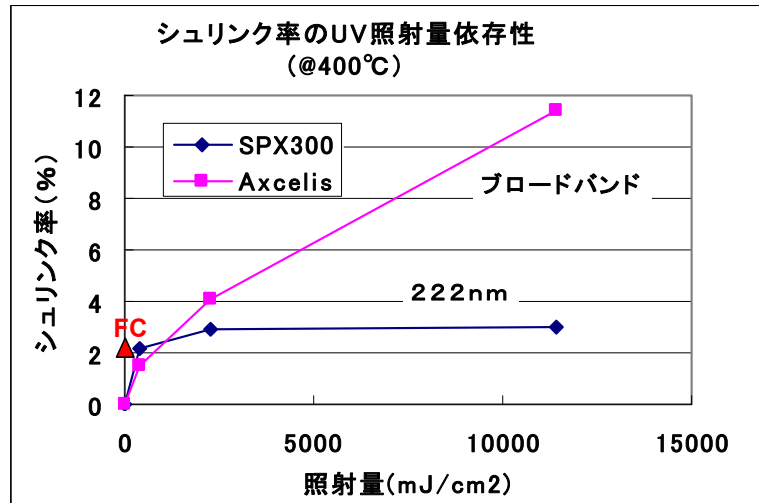


図 Ⅲ. 2.1.3.1 比誘電率の UV 照射量依存性

#### (2) 膜シュリンク率

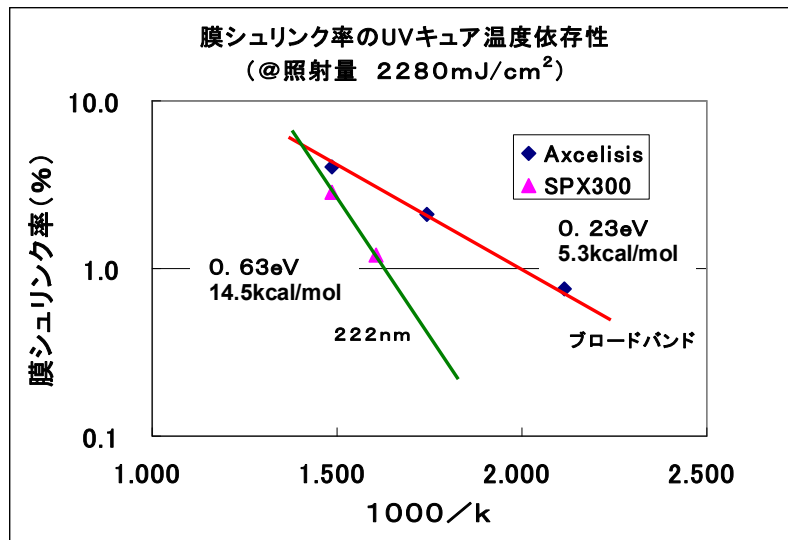
ウェーハステージ温度 400°Cでの膜シュリンク率の UV 照射量依存性を図Ⅲ.2.1.3.2 に示す。また SPX300 装置で UV 照射を行わず 400°C熱工程だけを行った場合の測定点を“FC”として図Ⅲ.2.1.3.2 に示す。ブロードバンド(Rapidcure 320FC)では UV 照射量の増加に従い膜シュリンク率は増加していくのに対

し、222nm 単一波長(SPX300)での膜シュリンク率は小さく飽和傾向であることが分かる。



図Ⅲ. 2.1.3.2 膜シュリンク率の UV 照射量依存性

膜シュリンク率の UV キュア時の試料温度依存性(アレニウスプロット)を図Ⅲ. 2.1.3.3 に示す。アレニウスプロットから得られる活性化エネルギーは UV 波長依存性があることが分かる。

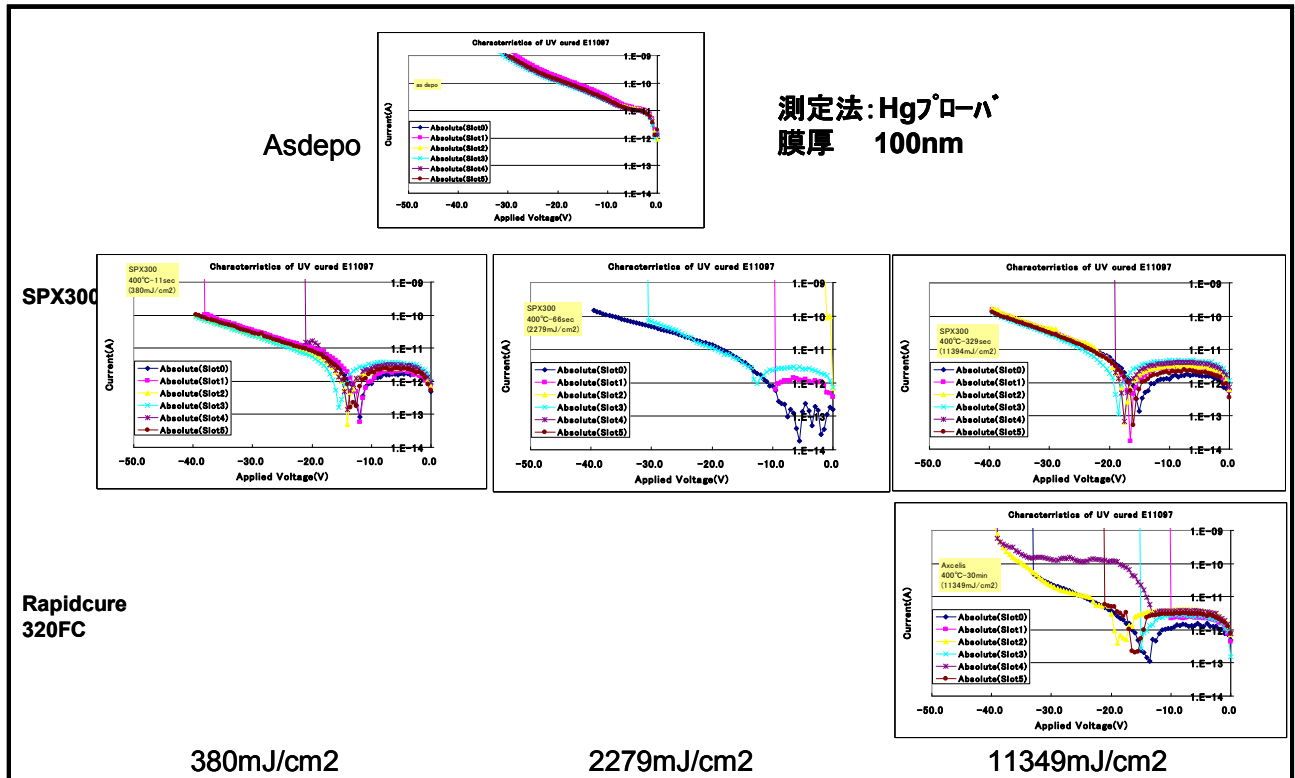


図Ⅲ. 2.1.3.3 膜シュリンク率の試料温度依存性(アレニウスプロット)



### (3) I-V 特性

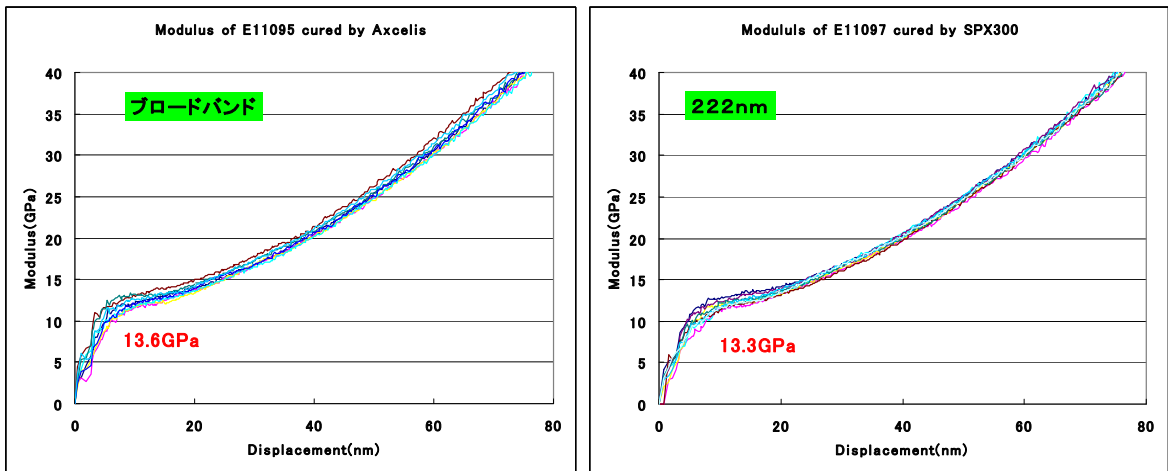
水銀プローバで測定した Low-k 膜(E11097)I-V 特性の UV キュア条件依存性を図Ⅲ.2.1.3.4 に示す。UV キュアによりリーク電流が最少となる印加電圧が負電圧方向にシフトしてはいるものの UV キュアの光源、照射量依存性は少ないことが分かる。



図Ⅲ. 2.1.3.4 Low-k 膜 I-V 特性の UV キュア条件依存性

### (4) 弾性率

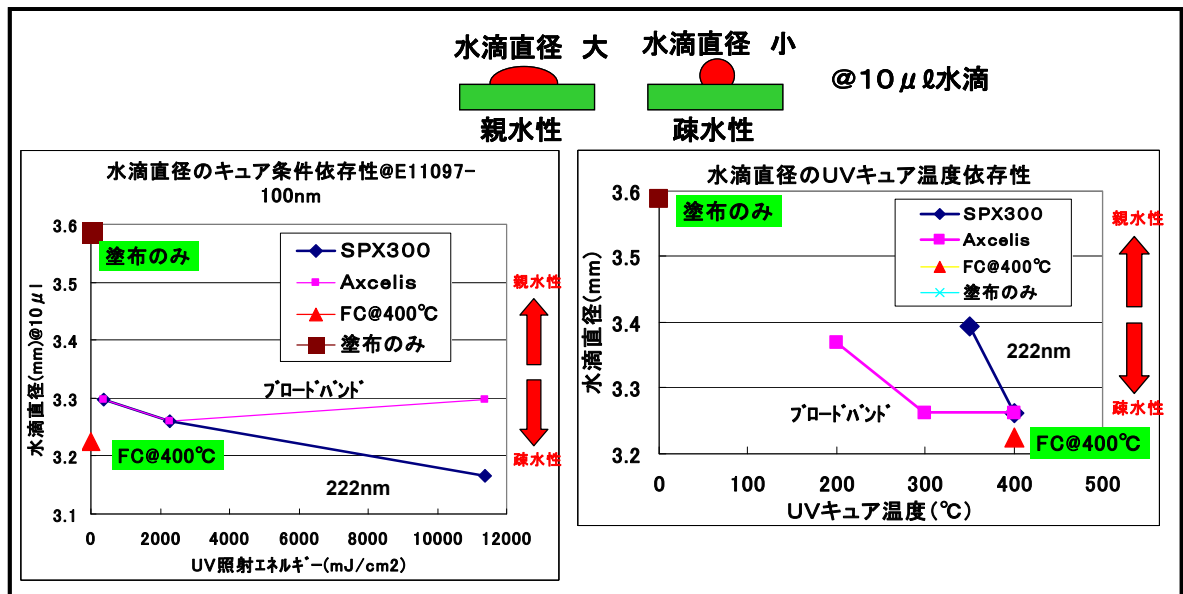
UV 照射量 11400mJ/cm<sup>2</sup>、ウェーハ温度 400°Cで UV キュアを行った Low-k 膜(E11097)のナノインデンテーション法による弾性率測定結果を図Ⅲ.2.1.3.5 に示す。測定試料には Si 基板が弾性率測定に及ぼす影響を低減するため膜厚は厚い方が望ましい。本評価基準書では膜厚を 180nm とし、また弾性率算出の膜表面からの深さは膜厚の 1/10とする。UV キュアの光源によらず弾性率は 13GPa 程度と大きな違いがないことが分かる。



図Ⅲ. 2.1.3.5 弾性率の UV 照射波長依存性測定データ(ナノインデンテーション法)

(5) 膜表面状態(親水性、疎水性)

UV キュアの光源、試料温度が Low-k 膜(E11097)表面状態に及ぼす影響を膜表面に滴下した  $10\mu\text{l}$  の直径を測定することにより評価する。図Ⅲ.2.1.3.6 に示したように膜表面に滴下した水滴の直径は親水性が増すにつれて大きくなる。測定結果を図Ⅲ.2.1.3.6 に示すが、UV 照射量、UV キュア時の試料温度増加により水滴の直径が小さくなり、このことは膜表面の疎水性が高まることを示している。



図Ⅲ.2.1.3.6 Low-k 膜(E11097)表面状態の UV 照射量、UV キュア時の試料温度依存性

<まとめ>

222nm 単一波長による UV キュアでは膜シュリンクは少ないが、比誘電率は 200-400nm 広域波長 UV アニールと同程度まで低下し、UV 波長によって膜の親水性が異なる事が明らかになった。