

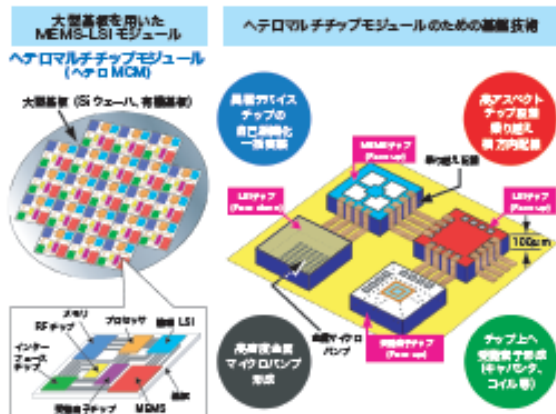
(2) MEMS—半導体横方向配線技術の研究開発

(2) - 1. MEMS—半導体横方向配線技術の研究開発 (東北大学)

1. 研究の概要

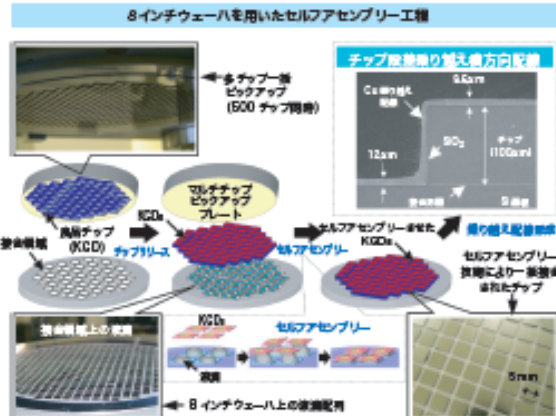
特徴

電子システムの高機能化に伴い様々な電子部品をMEMSと一体化してプリント配線板やフレキシブル基板に実装する技術が強く要求されている。SiPや三次元実装技術の開発が急速に進んでいるが、基板上に異種デバイスを高密度に実装したり、厚いチップを乗り越えて横方向配線を自由に形成できるまでには至っていない。フリップチップ実装に用いるボールパンブにしても直径が $20\mu\text{m}$ 以上あり、狭ピッチで微細マイクロパンブを一括形成することは難しい。本研究では、これらの基盤技術を用いて、LSIチップやMEMSチップ、受動素子等の異種デバイスを高密度に一体化する新しい低温積層高密度一体化実装技術を開発することを目的としている。



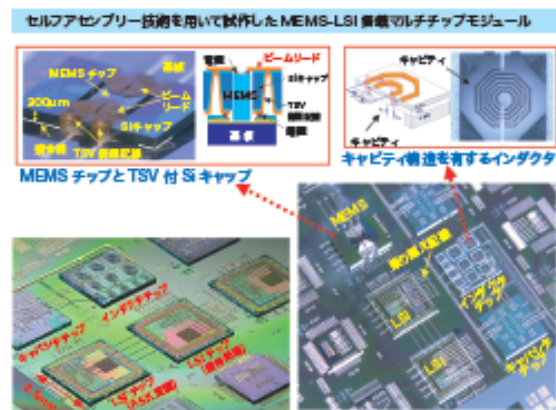
技術内容・特性

液体の表面張力を利用して、500個以上のチップを8インチウェハ上へ一括搭載するための自己組織化実装装置を開発した。平均 400nm のアラインメント精度が得られている。また、平坦化リフトオフ法を用いて、フレキシブル基板上に $5\mu\text{m}$ 角のマイクロパンブを狭ピッチで形成する技術を開発した。厚さ $100\mu\text{m}$ のチップを乗り越える線幅 $10\mu\text{m}$ の横方向配線を形成する技術にも成功している。さらに、チップ上にコンデンサやインダクタ等の受動素子を形成する技術を開発し、Cu配線間に磁気ナノドットを充填することにより、自己インダクタンスを約20%増大させた。また、キャパシティ構造の導入により、周波数特性を大幅に改善させた。



用途・目的

第3世代(3G)以降のGPS搭載携帯電話には、加速度センサに加えて、ジャイロセンサやSiマイク、RFスイッチ等、種々のMEMSデバイスが搭載され、LSIと複合したマルチチップモジュールの重要性が高まる。自己組織化(セルフアセンブリー)により、MEMSチップ、LSIチップ、コンデンサチップ、インダクタチップをフレキシブル基板上に一括実装し、それらを乗り越え配線で接続したテストモジュールを試作して良好な電気的特性を得た。LSIチップには、通信用ASK変調用チップとASK信号処理チップを用いた。MEMSチップには、厚さ $400\mu\text{m}$ の圧力センサチップを用い、TSV付Siキャップを用いて電氣的に接続した。



2. 成果の詳細

MEMS と LSI を高密度に一体化実装する新しい低温積層高密度一体化実装技術を開発することを目的として研究開発を行った。研究開発の内容は、1)セルフアセンブリー機能を利用してフレキシブル配線基板上に LSI チップや MEMS チップを高精度で一括実装する技術と、2)フレキシブル配線基板上に狭ピッチのマイクロバンプを高密度に形成する技術、3)基板上に搭載したチップに高密度のチップ乗り越え配線を形成する技術、4)それらのチップ上に抵抗やコンデンサ、インダクタ、コイルなどの受動素子を形成する技術、5) 以上の技術を統合したテストモジュールの試作、から成る。試作するテストモジュールの構成例を図 1 に示す。このようなテストモジュールを図 2 に示すように、大型基板上で一括作製する技術を開発する。以下に、それぞれの技術についての研究開発内容と成果について報告する。

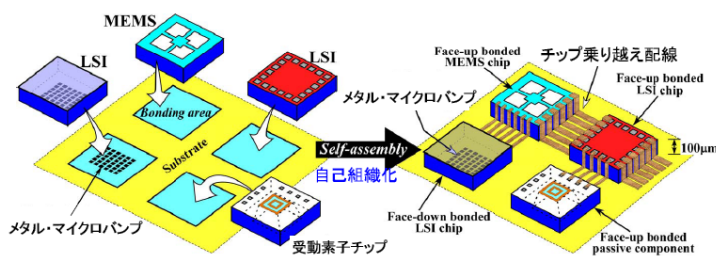


図 1 セルフアセンブリー技術を用いた MEMS-LSI チップの一括実装

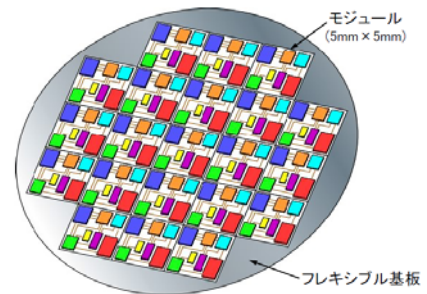


図 2 大型基板を用いた MEMS-LSI モジュールの一括製造

2-1. 研究開発内容

1)セルフアセンブリー機能を用いたMEMS-LSI一括実装技術

液体の表面張力を利用して、たくさんのMEMSチップやLSIチップをシリコンインターポザーやフレキシブル配線基板表面に高精度一括実装する技術を開発した。図 3 に示すように、シリコンインターポザーやフレキシブル配線基板に親水性の領域をたくさん設けておき、そこに裏面または表面を親水性にしたチップを水溶液や液体有機樹脂を介して自己整合的に張り合わせる。このようなチップ一括実装を行うための装置も開発した。図 4 に開発した装置の写真を示す。この装置を用いると、図 5 に示すように、多数の良品チップ (KGD: Know Good Die)を一括してピックアップし、大まかな位置合わせを行った後、チップリリースすることによって、高い精度で張り合わせすることができる。図 6 および図 7 に、2 インチウエーハおよび 8 インチウエーハ上でセルフアセンブリーを行っている時

の様子を写真で示す。図 6 では、3mm 角のシリコンチップ 28 個をピックアッププレートにより一括ピックアップして、2 インチウェーハ上に形成した接合領域（親水性領域）に高精度で張り合わせを行っている。セルフアセンブリーによるチップ一括位置合わせ時間は 1 秒以下である。図 7 では、5mm 角のシリコンチップを 500 個以上同時にピックアップして、8 インチウェーハ上に形成した接合領域（親水性領域）に高精度で張り合わせている。図 6 および図 7 のセルフアセンブリー実験は、保持基板としてシリコンウェーハを用いているが、親水性領域、疎水性領域を形成できれば、図 8 に示すように、ポリイミド基板など他の材料から成る基板上でもセルフアセンブリーによる一括実装は可能である。また、液滴としては水溶液だけでなく、図 9 に示すように、有機材料溶液でもセルフアセンブリーが可能である。

セルフアセンブリーによる一括実装のチップ・アラインメント精度を評価した結果を図 10～図 12 に示す。図に示すように、アラインメント精度は、チップサイズ、液量、表面粗さ、基板傾斜角、初期ずれなどに依存するが、実験した範囲では、シリコン基板を用いた場合で $0.5\sim 1\ \mu\text{m}$ 、フレキシブル基板を用いた場合で $1\sim 1.5\ \mu\text{m}$ のアラインメント精度を得た。図 13 は、シリコン基板を用いた場合のチップ・アラインメント精度分布の測定結果である（測定数：100）。図からわかるように、平均値で $0.429\ \mu\text{m}$ 、90% 歩留まりで $1\ \mu\text{m}$ というアラインメント精度が得られた。また、接合強度に関しても、図 14 のシエア強度テストからわかるように、評価装置の最大荷重限界以上の大きな接合強度が得られた。更に、セルフアセンブリーによる MEMS チップの一括実装の可能性を検討するために、図 15 に示すような平坦でない形状を有するチップのセルフアセンブリー実験も行った。図 15 のチップは、高い Q 値を実現するために、インダクタ直下のシリコン基板を除去し、空洞(キャビティ)を形成した構造となっている。チップあたりのキャビティの数は、1～9 個まで変えている。図 16 に、アラインメント精度のキャビティ数依存性を示す。アラインメント精度はキャビティ数(キャビティ・サイズ)によって若干変化しているが、キャビティ付きチップでもセルフアセンブリーによる一括実装が可能であることが確認できた。図 17 は、セルフアセンブリー一括実装技術により、シリコン基板に張り合わせたキャビティ付きチップの張り合わせ強度の測定結果である。張り合わせ強度をシエア強度で評価しているが、キャビティ数(キャビティ・サイズ)によらず、シエア強度はすべて張り合わせ強度測定装置の測定限界(5000kgf)以上であった。図 18 に、MEMS チップをセルフアセンブリーによりフレキシブル配線基板に実装した時の写真を示す。MEMS チップとして厚さ約 1mm のフォースセンサチップを用いている。また、セルフアセンブリーには液状有機樹脂を用いた。図から、ガラス基板を有する厚いフォースセンサチップが、良好な位置合わせ精度で基板に張り合わされている様子がわかる。図 19 は、セルフアセンブリーによりフレキシブル配線基板に実装したフォースセンサチップの特性測定結果である。セルフアセンブリーによる実装後にも、良好な特性が維持されている。

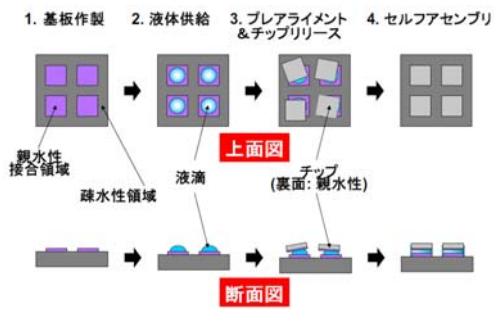


図 3 液体の表面張力を利用したセルフアセンブリによるチップ一括実装



図 4 8 インチウェーハ用セルフアセンブリ装置

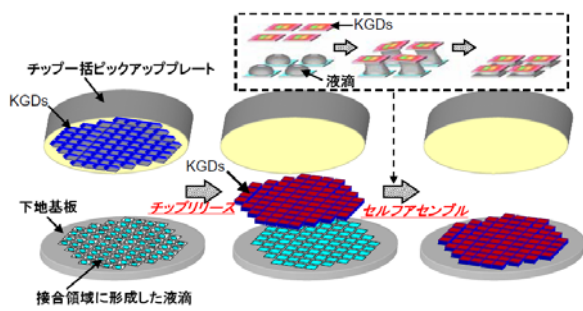


図 5 セルフアセンブリによるチップ一括実装工程

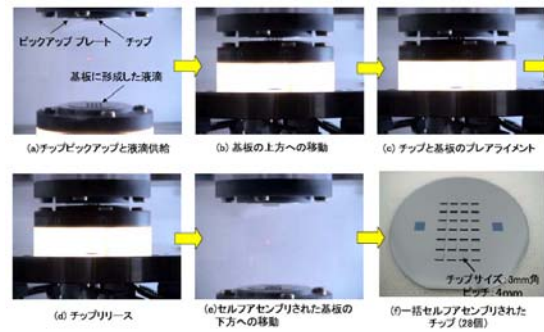


図 6 2 インチウェーハを用いたセルフアセンブリによるチップ一括実装

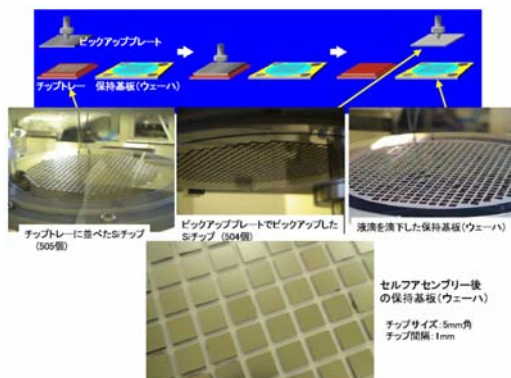
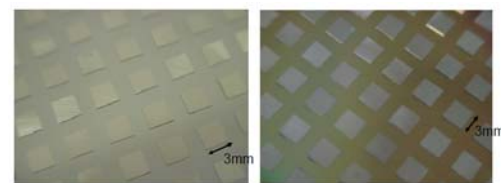


図 7 8 インチウェーハを用いたセルフアセンブリによるチップ一括実装



Si 基板にセルフアセンブリしたチップ ポリイミド基板にセルフアセンブリしたチップ

図 8 Si 基板、ポリイミド基板を用いたセルフアセンブリ

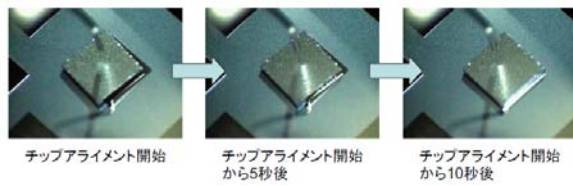


図9 有機材料溶液を用いたセルフアセンブリーによるチップ実装

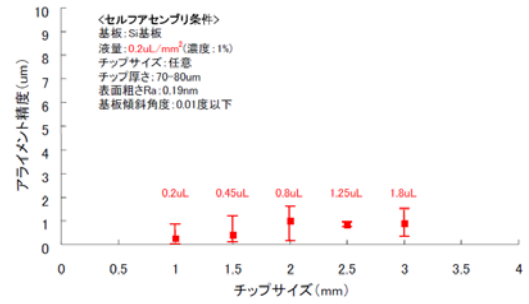


図10 アライメント精度のチップサイズ依存性 (Si 基板)

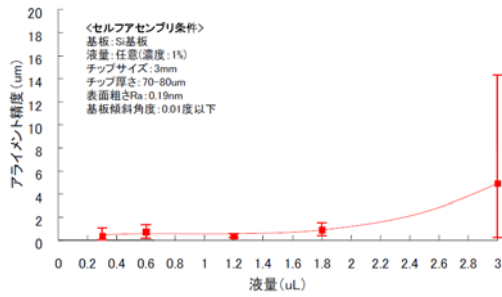


図11 アライメント精度の液量依存性 (Si 基板)

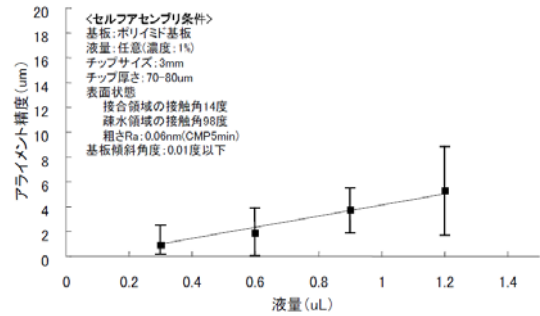


図12 アライメント精度の液量依存性 (ポリイミド基板)

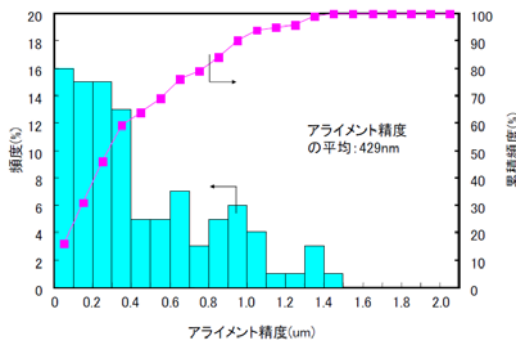


図13 チップ・アライメント精度分布 (Si 基板)

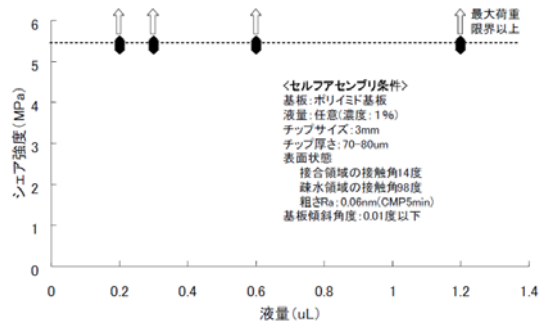


図14 シェア強度の液量依存性 (ポリイミド基板)

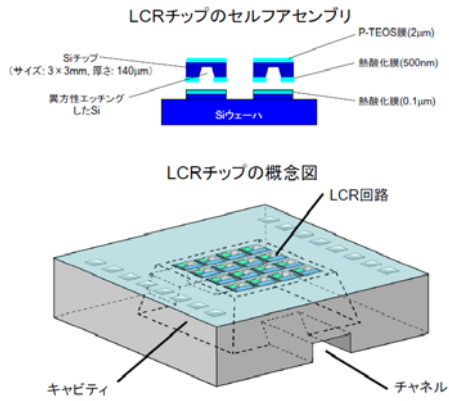


図 15 セルフアセンブリーによる空洞 (キャビティ) 付チップの一括実装

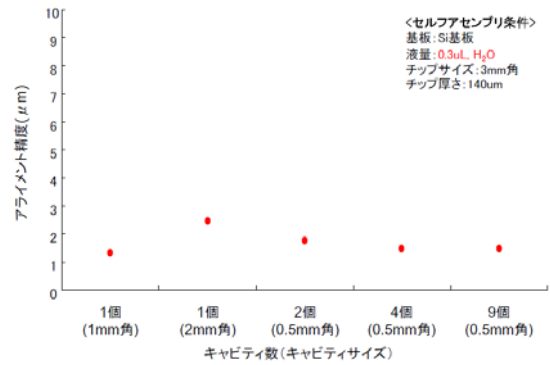


図 16 アラインメント精度のキャビティ数依存性 (Si 基板)

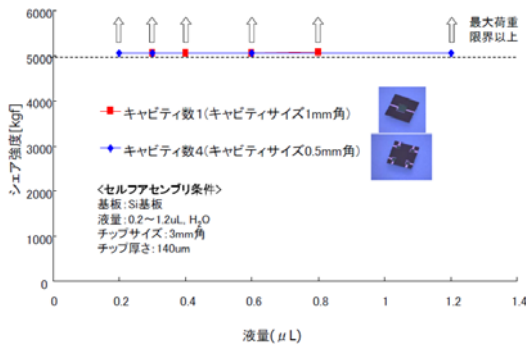


図 17 シェア強度のキャビティ数依存性

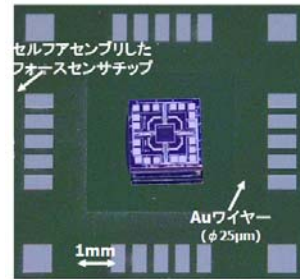


図 18 セルフアセンブリーによりフレキシブル配線基板に実装したフォースセンサチップの写真 (フォースセンサチップは立命大学・杉山教授からの供給)

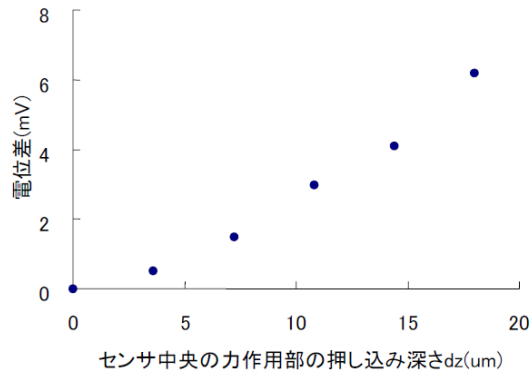


図 19 セルフアセンブリーによりフレキシブル配線基板に実装したフォースセンサチップの特性測定結果

2)フレキシブル配線基板上への高密度マイクロバンプ形成技術

図 20 に示すような平坦化リフトオフ法を用いて、フレキシブル配線基板上に狭ピッチで高密度のマイクロバンプを形成した。平坦化リフトオフ法を用いると、マイクロバンプを下地の配線や電極と接続するためのビアの寸法と同じ寸法のマイクロバンプを形成できるので、狭ピッチで高密度のマイクロバンプを形成できる。マイクロバンプ形成のためのホトレジスト・パターンを高速に形成するために、図 21 に示すようなインプリント技術も開発した。図 22 に、平坦化リフトオフ法およびインプリント技術を用いて形成したマイクロバンプ・パターンの写真を示す。バンプ・サイズは $5\mu\text{m}\times 5\mu\text{m}$ で、バンプ間隔は、 $15\mu\text{m}$, $25\mu\text{m}$, $30\mu\text{m}$, $50\mu\text{m}$ である。Al 配線パターン上に良好にマイクロバンプが形成されていることがわかる。このようなマイクロバンプが形成されたチップをセルフアセンブリー一括実装により張り合わせることを検討した。図 23 に、マイクロバンプが形成されたフレキシブル基板上に、マイクロバンプ付チップをセルフアセンブリーにより実装する様子を写真で示す。図 23 では、フレキシブル基板上のマイクロバンプとチップ上のマイクロバンプがセルフアセンブリーにより位置あわせされる様子を観察するために、チップは石英チップにマイクロバンプを形成したものをを用いている。写真から、マイクロバンプ付チップを用いても、セルフアセンブリーにより位置あわせが可能であることがわかる。図 24 に、マイクロバンプが形成されたシリコン基板上に、マイクロバンプ付シリコンチップをセルフアセンブリーにより実装する様子を赤外顕微鏡により観察した結果を示す。写真から、マイクロバンプどうしが約 $2\mu\text{m}$ のアラインメント精度で位置あわせされている様子が見られる。図 25 に、マイクロバンプが形成されたフレキシブル基板上に、マイクロバンプ付チップをセルフアセンブリーにより実装することによって作製したマイクロバンプ・ディジーチェーンの電気的特性を示す。マイクロバンプ・ディジーチェーンは、マイクロバンプどうしをセルフアセンブリーにより位置合わせを行った後、温度を約 230°C まで上げて In/Au を溶着することによって作製した。溶着の際に押し付け機械的圧力は加えていない。張り合わせの後の位置合わせずれは $2\mu\text{m}$ 以下となっており、良好な位置合わせ精度が得られている。また、図からわかるように、作製したマイクロバンプ・ディジーチェーンで良好な電気的特性が得られている。

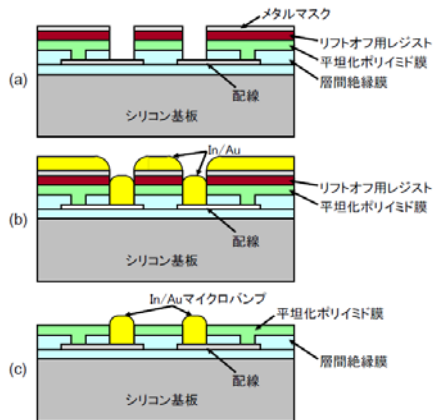


図 20 平坦化リフトオフ法による金属マイクロバンプの形成方法

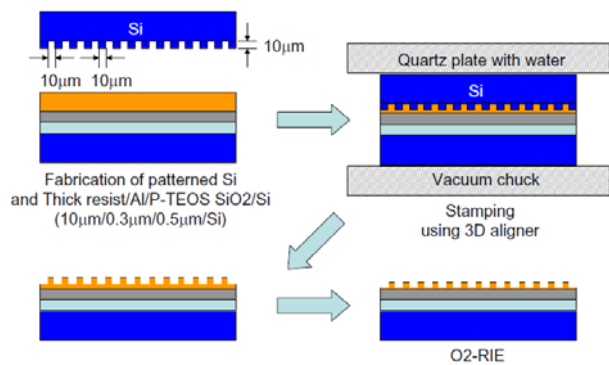


図 21 インプリント技術によるマイクロバンプパターンの形成

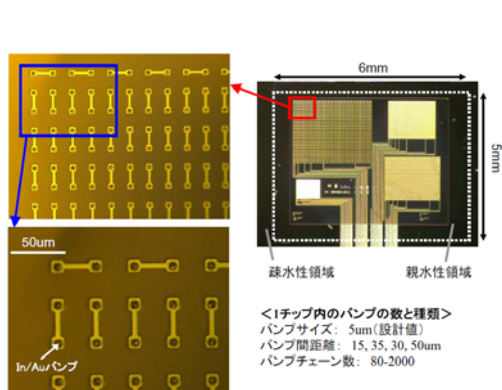


図 22 作製した In/Au マイクロバンプ・パターンの顕微鏡写真

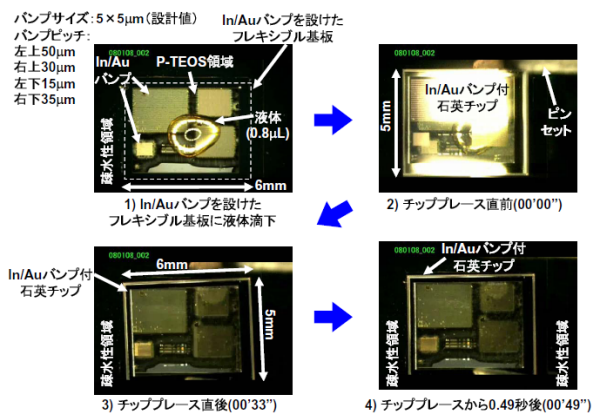


図 23 セルフアセンブリーによるマイクロバンプ付チップの張り合わせ

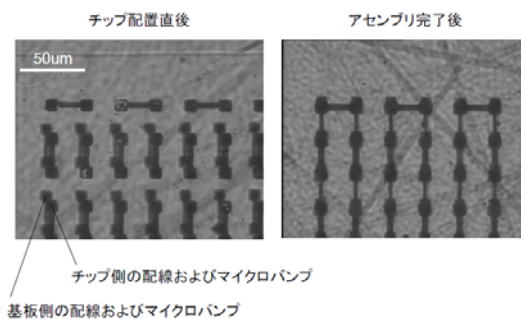


図 24 マイクロバンプ・パターンの赤外顕微鏡写真

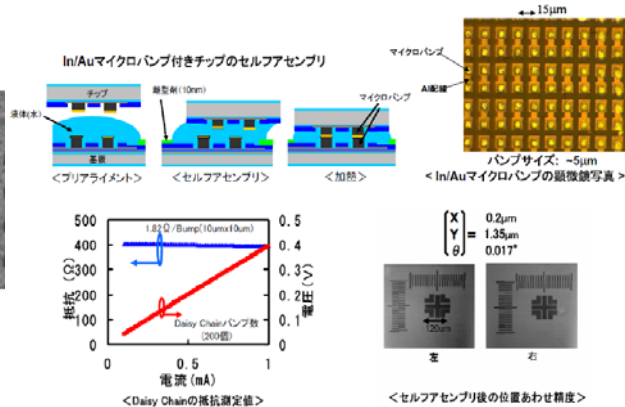


図 25 作製したマイクロバンプ・ディジーチェーンの電気的特性

3)チップ乗り越え配線形成技術

セルフアセンブリー技術を用いてフレキシブル配線基板に実装したMEMSチップやLSIチップを乗り越えて高密度に横方向配線する技術の開発を行った。厚さ $100\mu\text{m}$ 以下のチップに関しては、セルフアセンブリーにより一括実装した後、Cuメッキによりチップ乗り越え配線を形成した。また、厚さ $300\mu\text{m}$ 以上のMEMSチップに関しては、シリコン貫通配線(TSV: Through Silicon Via)付きシリコンキャップをMEMSチップに被せることによって乗り越え配線を形成した。厚さ $100\mu\text{m}$ 以下のチップに乗り越え配線を形成する場合は、図26に示すように、セルフアセンブリーによりチップをフレキシブル配線基板に一括実装した後に、全面に $0.2\mu\text{m}\sim 1\mu\text{m}$ の厚さのシリコン酸化膜を 300°C 以下の低温で堆積する。この場合、厚さ $100\mu\text{m}$ のチップの垂直側面に高い被覆率で、シリコン酸化膜やシリコン窒化膜を低温で均一に堆積することが重要になる。その後、Cuメッキによりチップ乗り越え配線を形成する。セルフアセンブリー技術を用いてフレキシブル基板に実装したシリコンチップ上に乗り越え配線を形成した時のSEM観察写真を図27に示す。図から、厚さ $100\mu\text{m}$ のチップの垂直側面を乗り越えてCu配線が形成されている様子がわかる。しかし、図の表面写真からわかるように、配線幅が小さくなるとチップ段差部で配線の細りが発生して断線が生じるため、最小線幅を $30\mu\text{m}$ 以下にまで縮小することはできなかった。そこで、チップ段差部にポリイミド樹脂で傾斜部分(テーパ)を形成し、チップ段差部での配線の細りを少なくすることを試みた。図28は、チップ段差部にポリイミド・テーパ部を有するチップ乗り越え配線のSEM観察写真である。図からわかるように、チップ段差部にポリイミド・テーパ部を設けることによって、配線幅約 $10\mu\text{m}$ の細い乗り越え配線を形成することが可能となった。このような乗り越え配線の電気的特性を乗り越え配線抵抗測定用TEGチップを試作して評価した。図29に、試作したTEGチップの写真を示す。乗り越え配線抵抗測定結果を図30、図31に示す。図30は、乗り越え配線の配線幅依存性、図31は、それぞれ違った配線幅を有する乗り越え配線の累積分布である。図の結果から、良好な特性を有する乗り越え配線が歩留まり良く形成されていることがわかる。

MEMSチップへの乗り越え配線は、図32に示すようなシリコン貫通配線(TSV: Through Silicon Via)付きシリコンキャップをMEMSチップに被せることにより形成した。TSV付きシリコンキャップは、TSV部分がキャップ側面に露出するタイプ(Aタイプ)とTSVがシリコンキャップ内部に設けられたタイプ(Bタイプ)の2種類作製した。シリコンキャップには、MEMSチップを収納するためのキャビティが設けられており、MEMSチップのボンディングパッドとシリコンキャップのTSVはビームリード電極で接続される。図33に、作製したTSV付きシリコンキャップをフレキシブル配線基板に実装した写真を示す。写真からわかるように、シリコンキャップにはMEMSチップを収納するためのキャビティが形成されている。また、キャビティに張り出すようにビームリード電極が形成されており、このビームリード電極は、シリコンキャップに設けられたCu TSVに接続されている。このCu TSVの裏面側は、フレキシブル配線基板に形成されたAlパッドおよびAl配線に

電氣的に接続されている。作製した TSV 付きシリコンキャップの厚さは約 $350\mu\text{m}$ であるため、 $350\mu\text{m}$ よりも厚い MEMS チップに乗り越え配線を形成する場合は、この TSV 付きシリコンキャップを複数積層する。

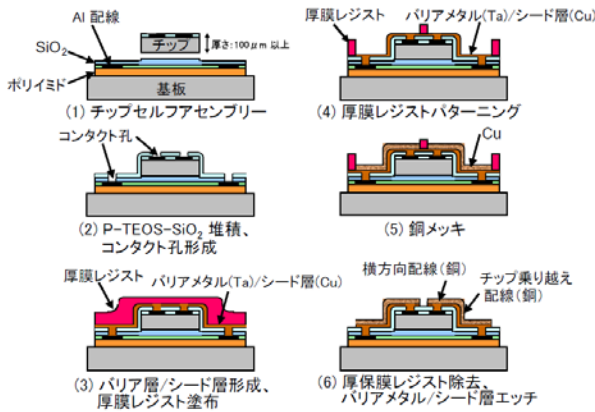


図 26 乗り越え配線形成工程

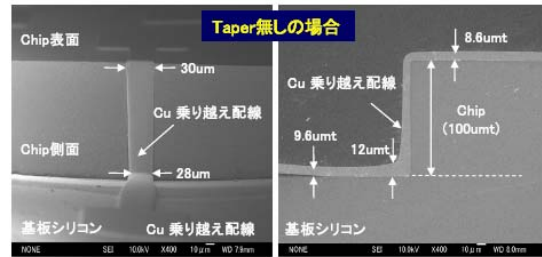


図 27 チップ垂直段差部へ形成した乗り越え配線の SEM 観察写真

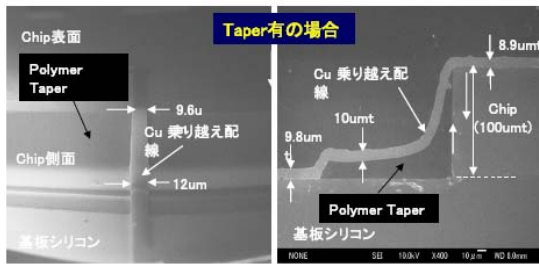


図 28 テーパー付きチップ段差部へ形成した乗り越え配線の SEM 観察写真

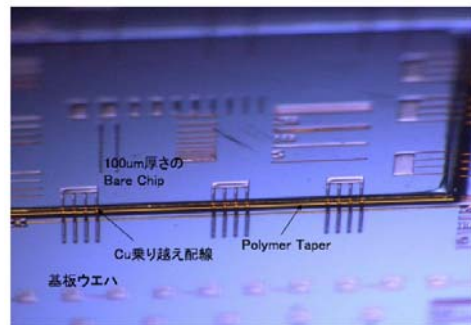


図 29 乗り越え配線を形成した TEG チップの写真

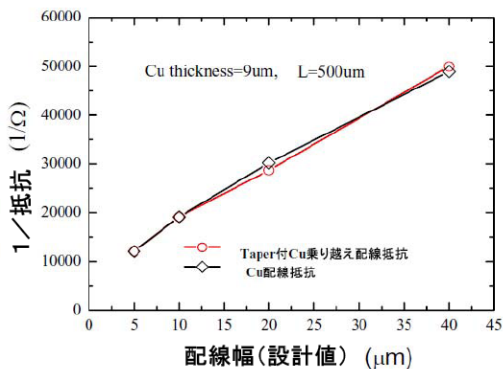


図 30 乗り越え配線の配線幅依存性

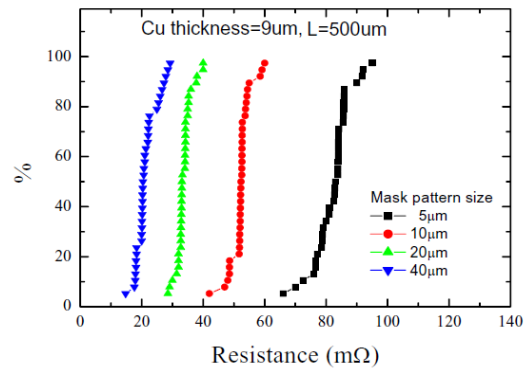


図 31 乗り越え配線の抵抗分布

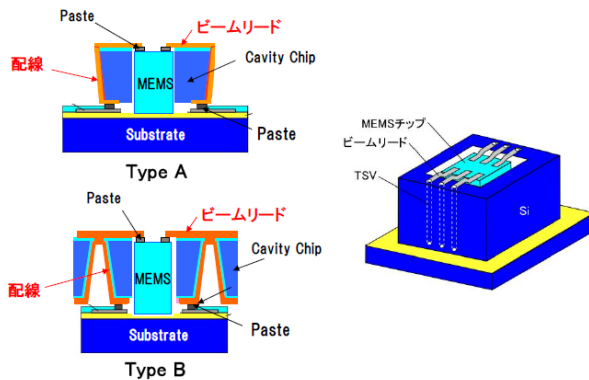


図 32 MEMS チップ乗り越え配線用 TSV 付きシリコンキャップの構造

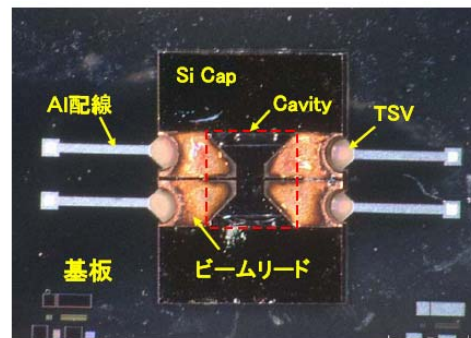


図 33 作製した TSV 付きシリコンキャップの写真

4) チップ上への受動素子形成技術

フレキシブル配線基板にコンデンサ、インダクタ、コイルなどの受動素子を実装する技術を開発した。Cu 配線間に、磁気ナノドットを充填したシリコン酸化膜（磁気ナノドット膜：MND 膜）を挿入することによって、自己インダクタンスや相互インダクタンスの値を大きくすることを試みた。また、インダクタやコイルを形成する部分のシリコン基板を除去してキャビティ構造とすることにより、インダクタやコイルの周波数特性や Q 値を改善することを試みた。コンデンサは高誘電率（High-K）絶縁膜と金属電極を用いて形成した。

図 34 に、磁気ナノドット膜（MND 膜）を有するインダクタの作製工程を示す。図に示すように、インダクタは Cu メッキとダマシン法を用いて作製した。磁気ナノドット膜（MND 膜）は、粒径 4~6nm の Co ナノドットを SiO₂ 膜に充填することによって形成した。ドット密度は $5 \sim 10 \times 10^{12} \text{ cm}^{-2}$ である。このような磁気ナノドット膜（MND 膜）を多層に積層した絶縁膜の中にダマシン法を用いて Cu インダクタを形成した。図 35 に、試作したインダクタの SEM 断面観察写真を示す。写真から、磁気ナノドット膜（MND 膜）を多層に積層した絶縁膜の中にインダクタを構成する Cu 配線が形成されている様子がわかる。図 36 は、試作したインダクタの周波数特性測定結果である。コイルの巻数を 5.5、9.5、11.5 と変化させている。比較のために、図では、ナノドット膜（MND 膜）有り、無しの両方の場合の結果を示している。図からわかるように、Cu 配線間に磁気ナノドット膜を挿入することによってインダクタンス値を約 20% 増加させることができた。次に、インダクタやコイルを形成する部分のシリコン基板にキャビティを形成して、インダクタの周波数特性を改善することを試みた。試作したキャビティ付きインダクタの構造と顕微鏡写真を図 37 に示す。図からわかるように、インダクタが形成されている部分のシリコン基板が除去されてキャビティ構造となっているため、その部分は透明となっている。図 38、図 39 に、インダクタンス値と Q 値の周波数特性を示す。図 38 からわかるように、インダクタ下にキャビティを形

成することによってインダクタの周波数特性が大幅に改善されている。また、図 39 から明らかなように、キャビティを形成することによって Q 値も大幅に増加している。図 40 に、作製したコンデンサの断面構造を示す。コンデンサは高誘電率 (High-K) 絶縁膜である HfON 膜を用いて作製した。図 41 は作製したコンデンサの容量-電圧特性である。図では、パラメータとしてキャパシタ電極の面積を変えている。この結果から、Ta-HfON-Al 構造の容量値として $5\sim 6 \text{ nF/mm}^2$ という値が得られた。また、HfON 膜の比誘電率として $8\sim 10$ という値が得られた。図 42 は作製したコンデンサの周波数特性である。図から、良好な周波数特性が得られていることがわかる。

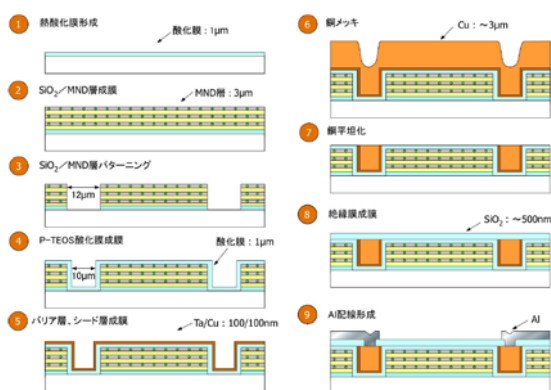


図 34 磁気ナノドット膜 (MND 膜) を有するインダクタの作製工程

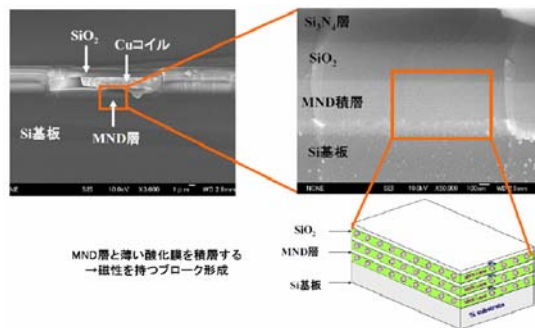


図 35 磁気ナノドット膜 (MND 膜) を有するインダクタの断面構造

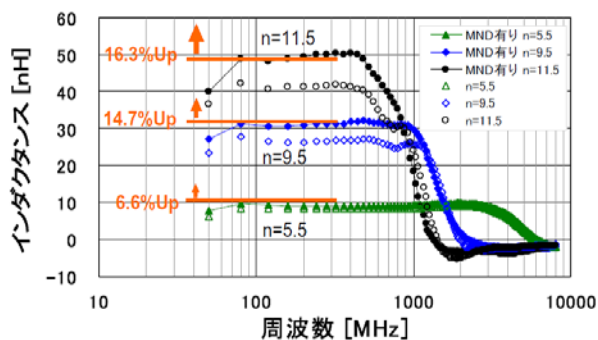


図 36 磁気ナノドット膜 (MND 膜) を有するインダクタの周波数特性

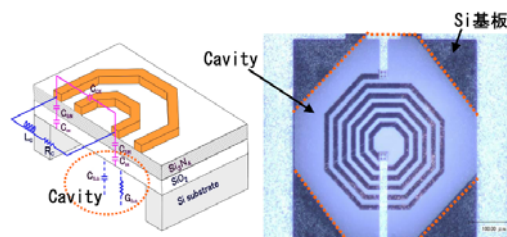


図 37 キャビティ付きインダクタの構造と顕微鏡写真

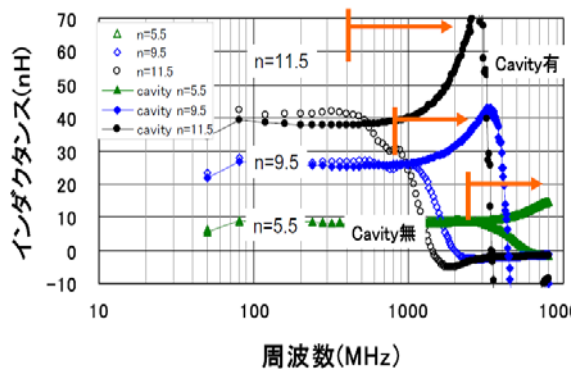


図 38 キャビティ付きインダクタの周波数特性

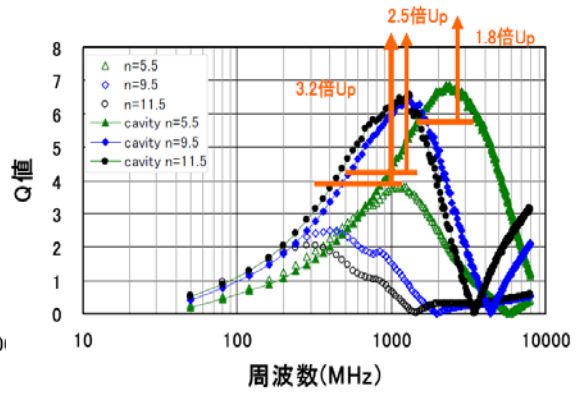


図 39 キャビティ付きインダクタのQ値の周波数特性

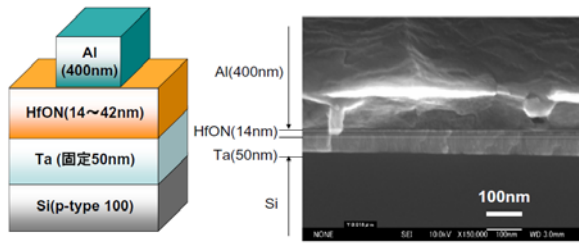


図 40 キャ作製したコンデンサの断面構造

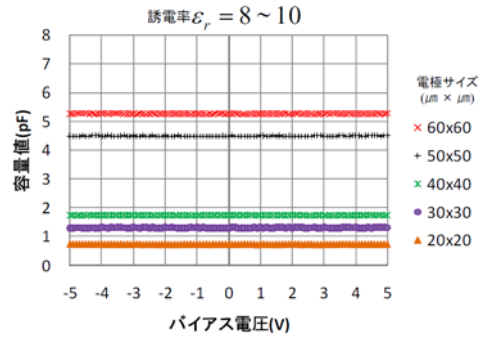


図 41 作製したコンデンサの容量-電圧特性

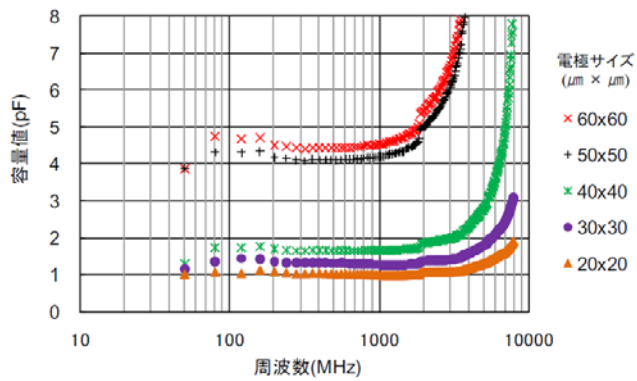


図 42 作製したコンデンサの容量の周波数特性

5) テストモジュールの作製

以上の技術を用いて、MEMSチップやLSIチップおよび抵抗やコンデンサ、インダクタなどの受動素子を搭載したテストモジュールを作製した。まず最初に、LSIテストチップとインダクタチップ、コンデンサチップを搭載したテストモジュールを作製した。テストモジュールの全体構成を図43に示す。LSIテストチップには、新たに設計した通信用ASK変調チップとASK信号処理チップを用いた。作製したテストモジュールの顕微鏡写真を図44、図45に示す。写真から、セルフアセンブリー技術を用いたチップの一括実装により、4種類のテストチップがフレキシブル配線基板に高い位置合わせ精度で張り合わされるとともに、これらのチップを乗り越えて良好に配線が形成されている様子がわかる。図46に、カスケード接続されたASK変調チップ、ASK信号処理チップからの出力波形を示す。良好な出力波形が得られていることから、ASK変調チップとASK信号処理チップが乗り越え配線を介して良好に接続されていることが確認できた。次に、MEMSチップとLSIテストチップ、インダクタチップ、コンデンサチップを搭載したテストモジュールを作製した。まず、セルフアセンブリー技術を用いてLSIテストチップ、インダクタチップ、コンデンサチップをフレキシブル配線基板に一括実装して乗り越え配線を形成し、その後で基板にMEMSチップを実装した。MEMSチップの実装は、セルフアセンブリー技術を用いてMEMSチップをフレキシブル配線基板に張り合わせた後、その上にTSV付きシリコンキャップを被せることを行った。図47に、MEMSチップをセルフアセンブリーによりフレキシブル配線基板に実装した後の写真を示す。MEMSチップとして、チップ厚は約 $400\mu\text{m}$ の圧力センサーチップを用いた。写真から明らかなように、フレキシブル配線基板には、シリコンキャップのTSVと電気的接続を行うためのAlパッドおよびAl配線が形成されている。図48に、フレキシブル配線基板に実装した圧力センサーチップに、TSV付きシリコンキャップを被せた後の顕微鏡写真を示す。図49は図48の拡大写真である。シリコンキャップに設けられたキャビティから、キャビティ内に収納された圧力センサーチップの表面が覗き見えている。また、シリコンキャップに設けられたビームリード電極と圧力センサーチップのボンディングパッドが接続されている様子もわかる。シリコンキャップ側面には、Cu-TSVの内部側面が露出している。このように、TSV付きシリコンキャップを用いたMEMSチップの乗り越え配線では、MEMSチップのボンディングパッド、ビームリード電極、Cu-TSV、基板Alパッド、基板Al配線を介して乗り越え配線が形成されている。このようなTSV付きシリコンキャップを用いて乗り越え配線を形成した圧力センサーチップの特性測定結果を図50に示す。図では、周囲環境の温度を変化させることによって、圧力センサーチップ内部の圧力測定用キャビティの内部圧力を変化させている。図から、温度を変化させて内部圧力を変化させることにより、出力電圧が変化していることがわかる。図51、図52は、MEMSチップとLSIテストチップ、インダクタチップ、コンデンサチップを搭載したテストモジュールの全体写真である。写真から、それぞれのチップが乗り越え配線で良好に接続されている様子がわかる。なお、チップ厚さが約 $400\mu\text{m}$ 以上のMEMSチ

ップに乗り越え配線を形成する場合は、TSV 付きシリコンキャップを複数積層することによって形成する。図 53 では、厚さ約 1mm のフォースセンサチップに、TSV 付きシリコンキャップを 3 層積層することによって乗り越え配線を形成している。

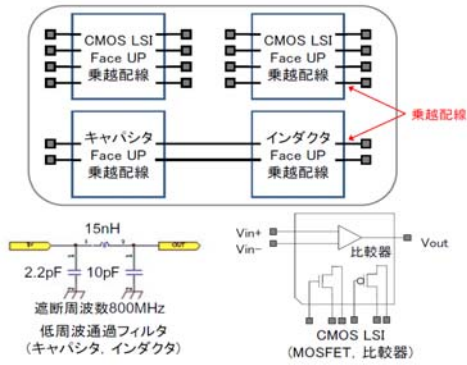


図 43 テストモジュールの全体構成

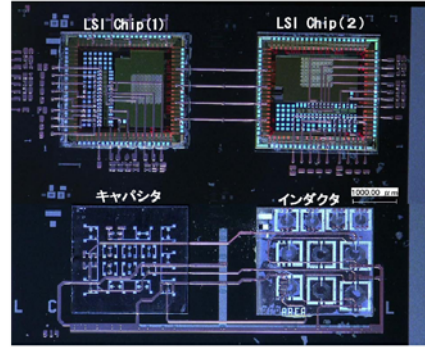


図 44 テストモジュールの表面写真

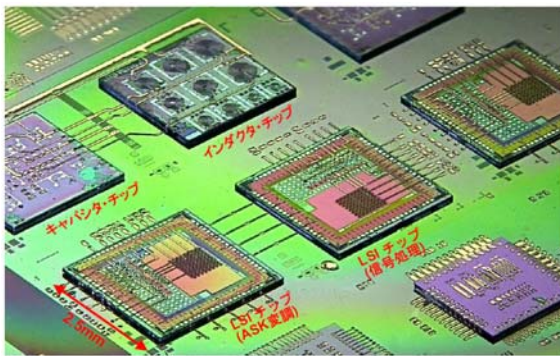


図 45 テストモジュールの鳥瞰写真

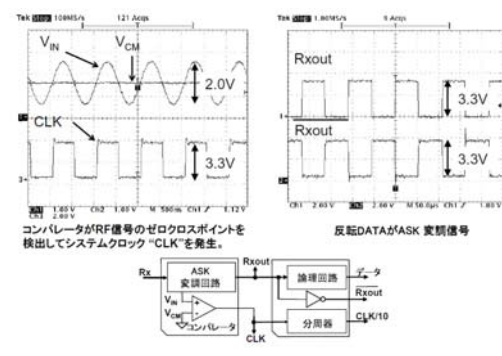


図 46 乗り越え配線で接続された ASK チップからの出力波形

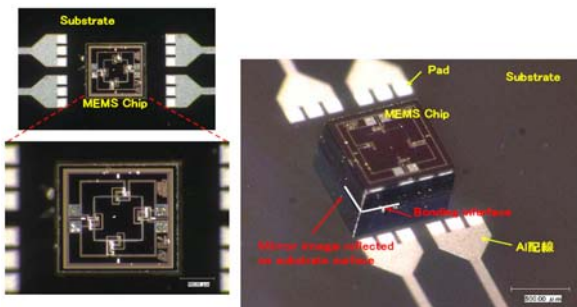


図 47 セルフアセンブリーによりフレキシブル配線基板に実装した MEMS チップの顕微鏡写真

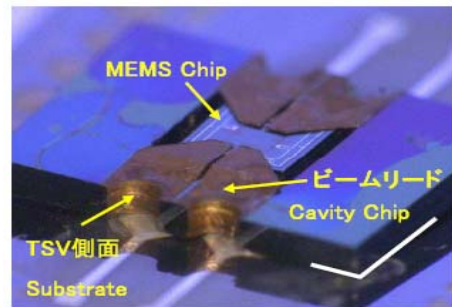


図 48 TSV 付きシリコンキャップを被せた後の MEMS チップの顕微鏡写真

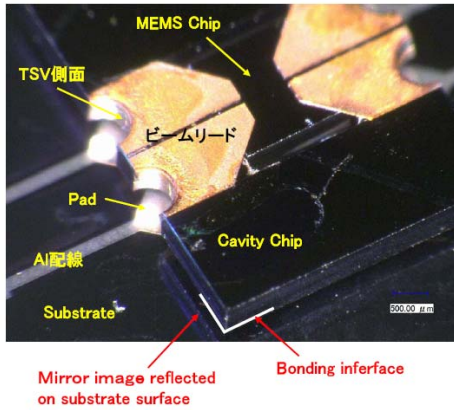


図 49 TSV 付きシリコンキャップを被せた後の MEMS チップの顕微鏡写真（拡大）

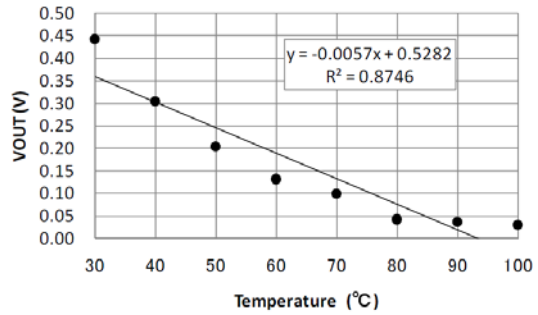


図 50 T TSV 付きシリコンキャップを有する圧力センサーチップの特性測定結果

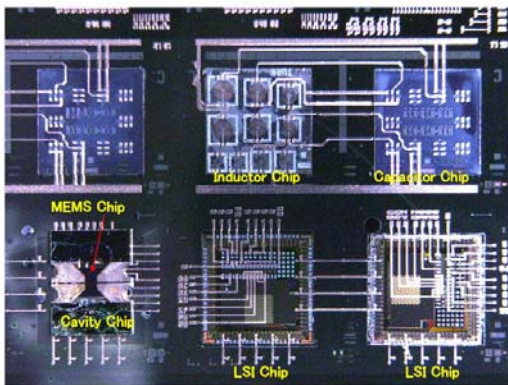


図 51 MEMS チップを搭載したテストモジュールの全体写真

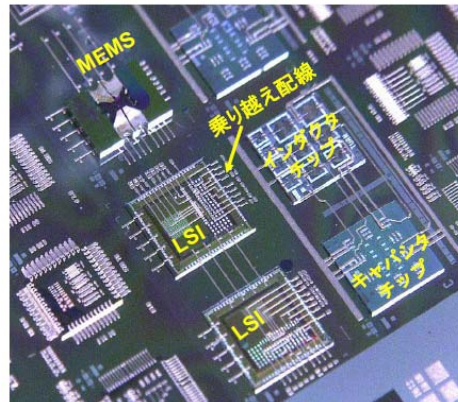


図 52 MEMS チップを搭載したテストモジュールの全体写真

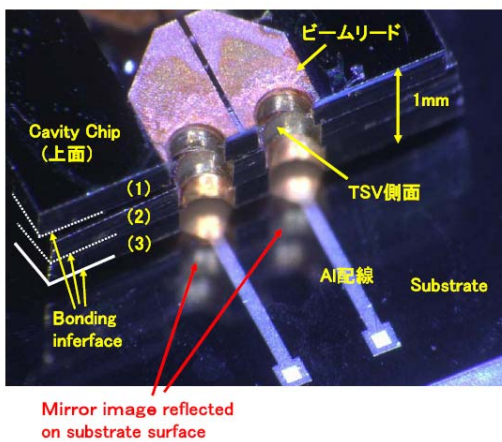


図 53 3層積層 TSV 付きシリコンキャップを被せた後の MEMS チップの顕微鏡写真

2-2. 目的に照らした達成状況（共同研究、再委託研究による成果を含む）

本研究では、MEMS と LSI を高密度に一体化実装する新しい低温積層高密度一体化実装技術を開発することを目的として、1)セルフアセンブリー機能を利用してフレキシブル配線基板上に LSI チップや MEMS チップを高精度で一括実装する技術と、2)フレキシブル配線基板上に狭ピッチのマイクロバンプを高密度に形成する技術、3)基板上に搭載したチップに高密度のチップ乗り越え配線を形成する技術、4)それらのチップ上に抵抗やコンデンサ、インダクタ、コイルなどの受動素子を形成する技術の確立を行うとともに、これらの技術を用いて、5)テストモジュールの作製を行うことを目指して研究を行ってきた。以下に、それぞれの検討項目について、当初の達成目標と達成状況について要約する。

1)セルフアセンブリー機能を用いたMEMS-LSI一括実装技術

達成目標：2 インチウェーハ、8 インチウェーハを用いた MEMS チップおよび LSI チップのセルフアセンブリーによる一括実装において、 $\pm 1 \mu\text{m}$ の位置合わせ、張り合わせ精度を達成する。また、MEMS チップ、LRC チップのセルフアセンブリーも実現する。

達成状況：2 インチウェーハ、8 インチウェーハを用いて、セルフアセンブリーによるチップ位置合わせ、張り合わせ精度のチップサイズ依存性、液体溶液量依存性、表面状態依存性等を詳細に検討するとともに、条件の最適化と装置の改良を行うことにより、チップの位置合わせ、張り合わせ精度 $\pm 1 \mu\text{m}$ を達成した。また、MEMS チップ、LRC チップのセルフアセンブリー張合せに関しても位置合せ精度 $\pm 1 \mu\text{m}$ を達成する見通しを得た。更に、当初予定に無かった 12 インチウェーハを用いたセルフアセンブリー装置の基礎検討も行った。結果として、当初の目標を越える達成度を実現。

2)フレキシブル配線基板上への高密度マイクロバンプ形成技術

達成目標：8 インチウェーハ基板上へ、寸法 $5 \mu\text{m} \times 5 \mu\text{m}$ 、厚さ $2 \mu\text{m}$ 、間隔 $10 \mu\text{m}$ の高密度微細マイクロバンプを形成する技術を確認する。

達成状況：インプリント技術と平坦化リフトオフ技術を用いて、8 インチウェーハ基板上に、寸法 $5 \mu\text{m} \times 5 \mu\text{m}$ 、厚さ $2 \mu\text{m}$ 、間隔 $10 \mu\text{m}$ の高密度微細マイクロバンプを形成する技術を確認した。また、セルフアセンブリー技術を用いて、寸法 $5 \mu\text{m} \times 5 \mu\text{m}$ 、厚さ $2 \mu\text{m}$ 、間隔 $10 \mu\text{m}$ のマイクロバンプ付きチップを高精度でフレキシブル配線基板上に張り合わせることが可能とした。当初の目標を越える達成度を実現。

3)チップ乗り越え配線形成技術

達成目標：厚さ $100 \mu\text{m}$ のチップと配線基板を電氣的に接続するチップ乗り越え配線（配線幅： $10 \mu\text{m}$ 、配線間隔： $10 \mu\text{m}$ ）を形成する技術を確認する。また、TSV 付シリコンキャップを用いた MEMS チップ（チップ厚さ： $400 \mu\text{m}$ 以上）への乗り越え配線形成技術を確認する。

達成状況：チップ段差部にポリイミドのテーパ部を設けることにより、厚さ 100 μm のチップと配線基板を電氣的に接続するチップ乗り越え配線（配線幅：10 μm ）を歩留まり良く形成することに成功した。また、MEMS チップ（厚さ：400 μm 以上）への乗り越え配線形成のための TSV 付 Si キャップ形成技術も確立した。この技術を用いて、厚さ 1mm の MEMS チップに乗り越え配線を形成することにも成功した。当初の目標を越える達成度を実現。

4) チップ上への受動素子形成技術

達成目標：透磁率の大きな磁性ナノ粒子充填シリコン酸化膜を用いたインダクタ、コイルを形成し、30%のインダクタンスの増加を実現する。また、高誘電率 (High-K) 絶縁膜を用いたコンデンサを作製する。

達成状況：粒径 4~6nm、ドット密度 $5\sim 10\times 10^{12}\text{ cm}^{-2}$ の Co ナノドットを充填した SiO_2 膜に、ダマシン法を用いて Cu インダクタを形成することによって、インダクタンス値を約 20%増加させることができることを確認した。積層するナノドット膜の積層数を増やすことによって 30%以上のインダクタンス値の増加も実現できる見通しを得た。インダクタやコイルを形成する部分のシリコン基板にキャビティを形成することによって、インダクタの共振周波数、Q 値を 3 倍以上増大できることも確認した。Ta-HfON-Al 構造の容量値として 5~6 nF/mm^2 という値が得られた。また、高誘電率膜として比誘電率 8~10 の HfON 膜を用いて、5~6 nF/mm^2 の容量値を得た。当初の目標通りの達成度を実現。

5) テストモジュールの作製

達成目標：MEMS チップと LSI チップ、インダクタチップ、キャパシタチップを一体化したテストモジュールを作製する。

達成状況：MEMS チップと LSI チップ、インダクタチップ、キャパシタチップを搭載したテストモジュールを試作し、基本特性を測定することに成功した。LSI チップには、新たに設計した通信用 ASK 変調用チップと ASK 信号処理チップを用いた。また、MEMS チップとしては、圧力センサーチップ、フォースセンサーチップを用いた。セルフアセンブリー技術を用いて LSI テストチップ、インダクタチップ、コンデンサチップをフレキシブル配線基板に一括実装して乗り越え配線を形成し、その後で基板に MEMS チップを実装した。MEMS チップの実装は、セルフアセンブリー技術を用いて MEMS チップをフレキシブル配線基板に張り合わせた後、その上に TSV 付きシリコンキャップを被せることによって行った。当初の目標通りの達成度を実現。

以上のように、結果として、当初の目標通りかそれ以上の目標達成度を実現できた。セルフアセンブリーを用いたチップ一括実装技術の確立にあたっては、12 インチウェーハ用のアセンブリー装置開発で企業と共同研究を行ったことが、研究の進捗を加速した。また、装置の実用化に対する見通しも得られた。実際のデバイスへの乗り越え配線の適用でも、企業といろいろ情報交換を行ったことで、研究が進捗した。

2-3. 開発成果のまとめ

	研究項目	目標	成果	達成度
基本計画	セルフアセンブリーを用いたMEMS-LSI一括実装技術	高密度な低温積層一体化実装技術を確立する	①常温で400 μ m厚、1mm厚MEMSチップの合わせ精度 $\pm 1\mu$ m、100 μ m厚の半導体チップで同 $\pm 0.5\mu$ m ③8インチウェハ用セルフアセンブリー装置開発 ④8インチウェハに500個以上のチップを一括接合.	◎
自主目標	高密度マイクロバンプ形成	①バンプ寸法：5 μ m \square 、厚さ2 μ m、間隔10 μ m ②セルフアセンブリーによるマイクロバンプ接合(合わせ精度 $\pm 1\mu$ m)	①インプリント技術により8インチウェハ上にマイクロバンプを一括形成. 5 μ m \square 、厚さ2 μ m、間隔10 μ m ②合わせ精度 $\pm 1\mu$ mで10,000対のマイクロバンプを一括接合. 寸法5 μ m \times 5 μ m	○
	チップ乗り越え配線形成	①厚さ400 μ m以上のMEMSへの乗り越え配線形成 ②100 μ m厚の半導体チップへの乗り越え配線形成(配線幅：10 μ m、配線間隔；10 μ m)	① TSV付Siキャップを用いて、400 μ m厚、1mm厚のMEMSチップに乗り越え配線形成 ②100 μ m厚の半導体チップへCu乗り越え配線形成(配線幅：10 μ m、配線間隔；15 μ m).	△
	チップ上への受動素子形成	①磁性ナノ粒子充填シリコン酸化膜と埋め込みCu配線を用いたインダクタ形成(インダクタンス値増大：30%) ②High-K膜を用いたキャパシタ形成	①Co磁気ナノドット膜とCuダマシン法を用いてキャビティ付インダクタ作製.(インダクタンス値増大：約20%) ②HfO ₂ 膜を用いてキャパシタ作製形成.	△
	テストモジュール作製	MEMS、LSI、インダクタ、キャパシタ各チップを一体化したテストモジュールの試作	MEMS、LSI、インダクタ、キャパシタ各チップを搭載したテストモジュールを試作し、基本特性を確認.	○

達成度 ×：目標未達成、△：条件付で目標達成、○：目標達成、◎：目標を大幅に上回る成果

3. 実用化・事業化の見通し

(1) 成果の実用化可能性

セルフアセンブリー技術を用いて、8インチウェハ上へのMEMS-LSI 多チップ一括接合を実現（世界初）した。* 本研究開発成果であるセルフアセンブリー装置、乗り越え配線技術は実用化の可能性が高い。また、これらの技術と3次元積層化技術を組み合わせると更なる実用化の可能性をもった技術の開発が可能となる。

*MRS (Material Research Society, 米国)にて Invited Paper Award受賞 (2008)

実用化に向けた今後の取り組み

- ①設備メーカーと共同で12インチウェハ要セルフアセンブリー装置の製品化推進.
- ②プロジェクト参加企業と乗り越え配線技術の実用化を目指した共同研究開発開始.
- ③MEMS-半導体横方向配線技術と3次元積層化技術を組み合わせた高密度ヘテロインテグレーション技術の開発.

(課題)

MEMS-半導体横方向配線技術を用いたマルチチップモジュールの性能改善効果の明確化と応用、用途の探索.

(対応)

企業との共同研究を進めると同時に他の大型研究プロジェクトに参加し、具体的な応用を想定したマルチチップ・システムモジュールの開発を目指す.

(2) 波及効果

MEMSチップやLSIチップ、光デバイス、受動素子などの異種デバイス、電子部品を高密度に一体化する新しい低温積層高密度一体化実装技術を確立できた。この成果により、新しい高付加価値電気・機械システムの実現が可能となるため、環境・福祉・社会産業、情報通信・情報家電産業、ロボット・自動車産業等の産業分野への大きな波及効果が期待できる。