

# プロジェクト研究開発成果詳細説明

## デバイス・実装基盤技術

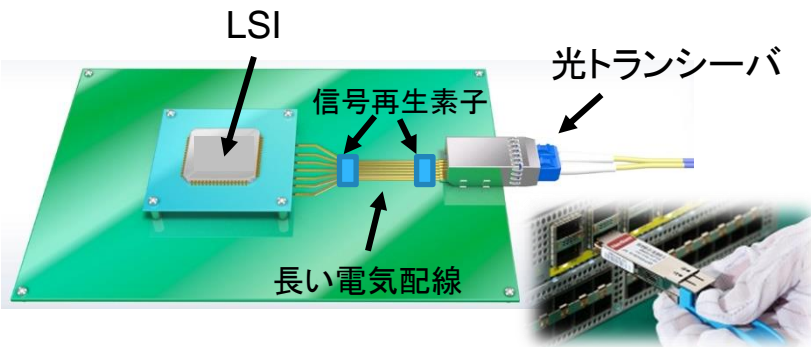
2022年5月17日

技術研究組合光電子融合基盤技術研究所



- 10Tbpsを可能にするには光電子集積インターポーザが必要
- 特に、光実装技術、光接続技術が大きな課題

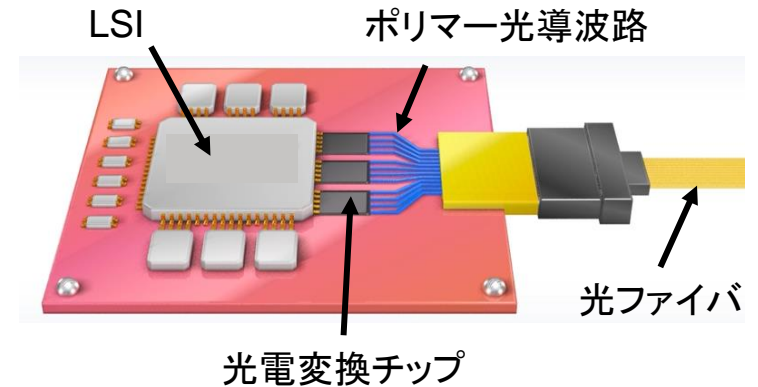
## 光トランシーバ(従来方式)



- ☹️ 長い電気信号配線(～50cm)  
→ ノイズ、遅延などによる信号劣化
- ☹️ 信号再生素子が必要  
→ 消費電力増
- ☹️ コネクタ数増大  
→ コスト増

LSIの外部I/O : 数Tbps程度で限界

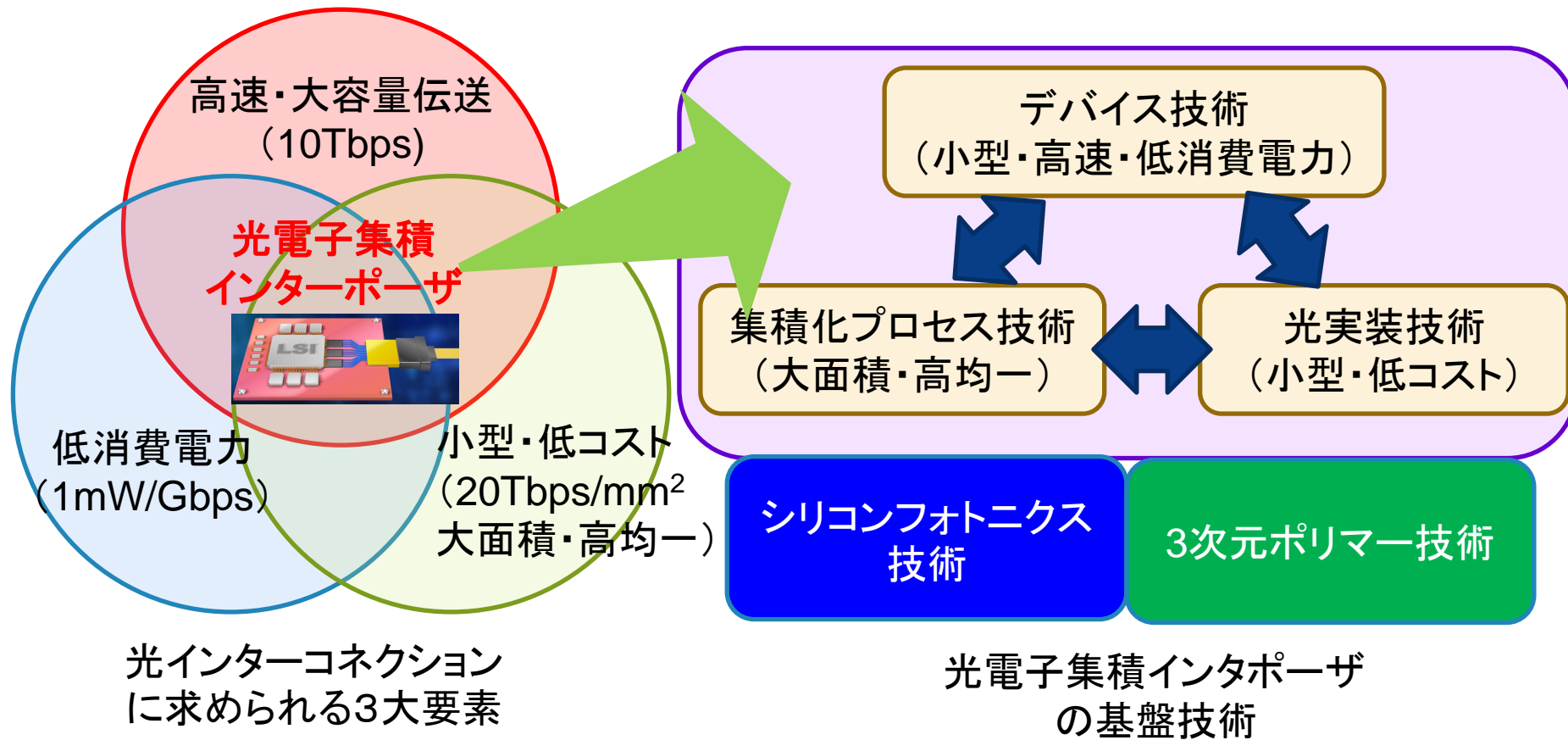
## 光電子集積インターポーザ



- 😊 短い電気配線(<50mm)  
→ 高速信号伝送可能
- 😊 信号再生素子が不要  
→ 低消費電力
- 😊 光再配線  
→ コネクタ数減によるコスト低減
- ☹️ 光実装技術、光接続技術が未成熟

LSIの外部I/O : 10Tbps以上可能

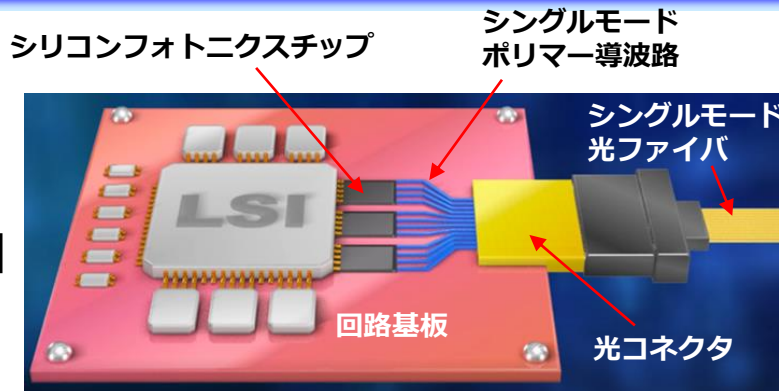
- 光電子集積インターポーザは、大容量伝送のみでなく、低消費電力、小型・低コストも同時に求められる
- これら全要素を満たす基盤技術(デバイス、集積化プロセス、光実装)を開発する



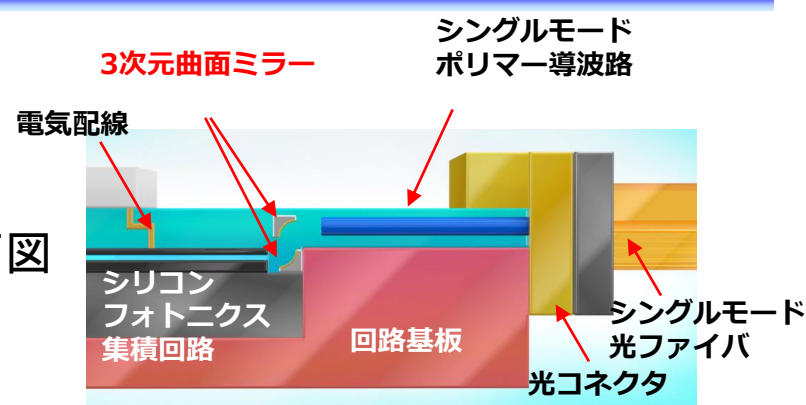
# 10Tbps達成の内訳とデバイス・実装技術開発目標

公開

平面図



断面図



## 光電子集積インターポーザ

1 シリコンフォトニクスチップ当たり 112Gbps × 16波 × 送受(2) = **3.6Tbps**



1 LSI当たり 3シリコンフォトニクスチップで、 3.6Tbps × 3 ≒ **10Tbps**

### 第一期の技術目標

### 第二期の技術目標

### 第三期の技術目標

	第一期の技術目標	第二期の技術目標	第三期の技術目標
デバイス・プロセス技術開発	高速デバイス 25Gbps/Si変調器	50Gbps/PAM4	112Gbps/56GBaud+PAM4
	低電力デバイス 5mW/Gbps /Si変調器	3mW/Gbps / 高性能材料(SiGe)変調器	1mW/Gbps / 小型電界吸収型SiGe変調器
	波長多重デバイス 4波長/アレイ導波路型 回折格子(AWG)(素子)	8波長/AWG(素子)	16波長/AWG+バンドパスフィルタ (集積回路)
実装技術開発	光の入出力 (広帯域密度) 10μmレベル目合わせ精度/ グレーティングカップラ+縦型ポリマー導波路 (0.5Tbps/mm <sup>2</sup> )		1μmレベル目合わせ精度/ 3次元ミラー+横型ポリマー導波路 (20Tbps/mm <sup>2</sup> )
	電気配線構造	平面構造	インターポーザ構造

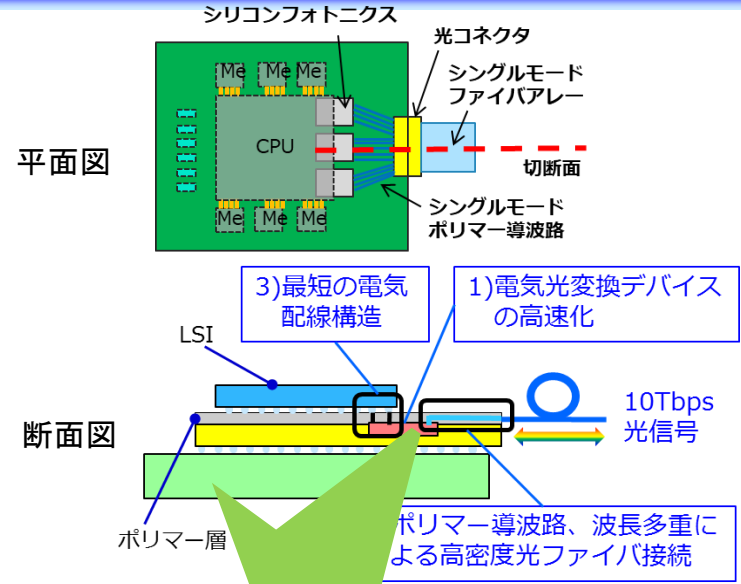


# (1) 開発目標

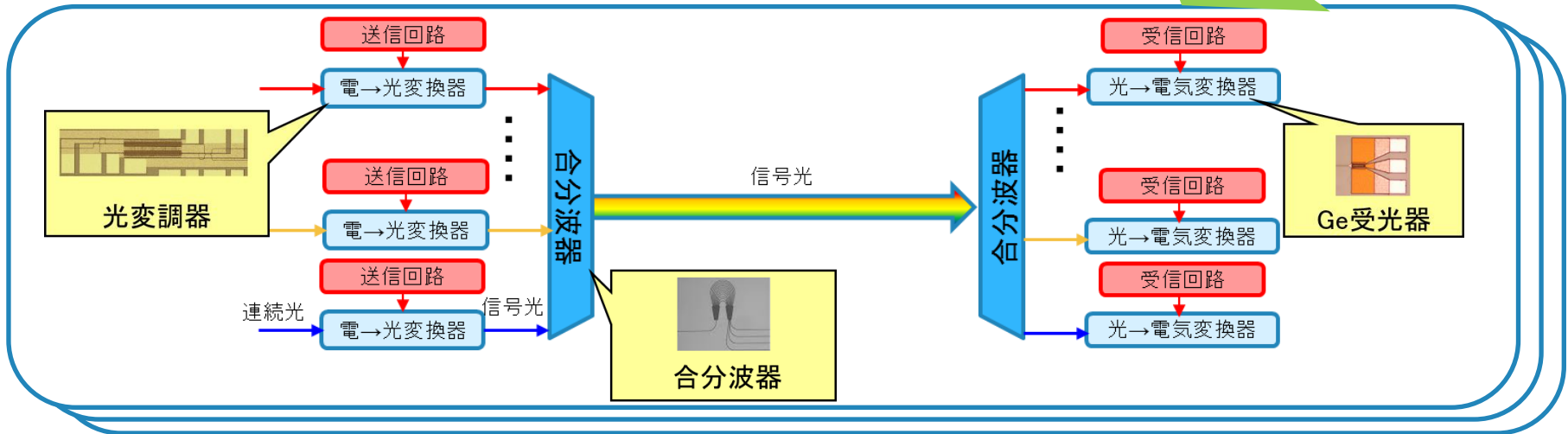
## デバイス技術

### 最終目標:

- ・112Gbps光素子・電子回路基本動作
- ・16波長合分波した光信号のシングルモードファイバ伝送
- ・1mW/Gbps以下の素子特性



## 超小型・大容量波長多重(WDM)光回路



$$3.6\text{Tbps} (112\text{Gbps} \times 16\text{波} \times \text{送受}) \times 3\text{チップ} \doteq 10\text{Tbps}$$

## (2) 開発計画

公開

デバイス技術

中間評価

最終評価

	2018年度	2019年度	2020年度上期	2020年度下期	2021年度
光変調器・送信回路	56Gbps 基本動作	56Gbps 動作実証	112Gbps PAM4 基本動作	112Gbps 動作実証	112Gbps 低電圧動作
受光器・受信回路	56Gbps 基本動作	56Gbps 動作実証	112Gbps PAM4 基本動作	112Gbps 動作実証	112Gbps 高性能化
電子回路	56Gbps BiCMOS回路試作		112Gbps PAM4 BiCMOS回路設計・試作		
波長多重光回路	16波多重基本動作	16波WDM 動作実証	小型化・安定化 (16波多重)		

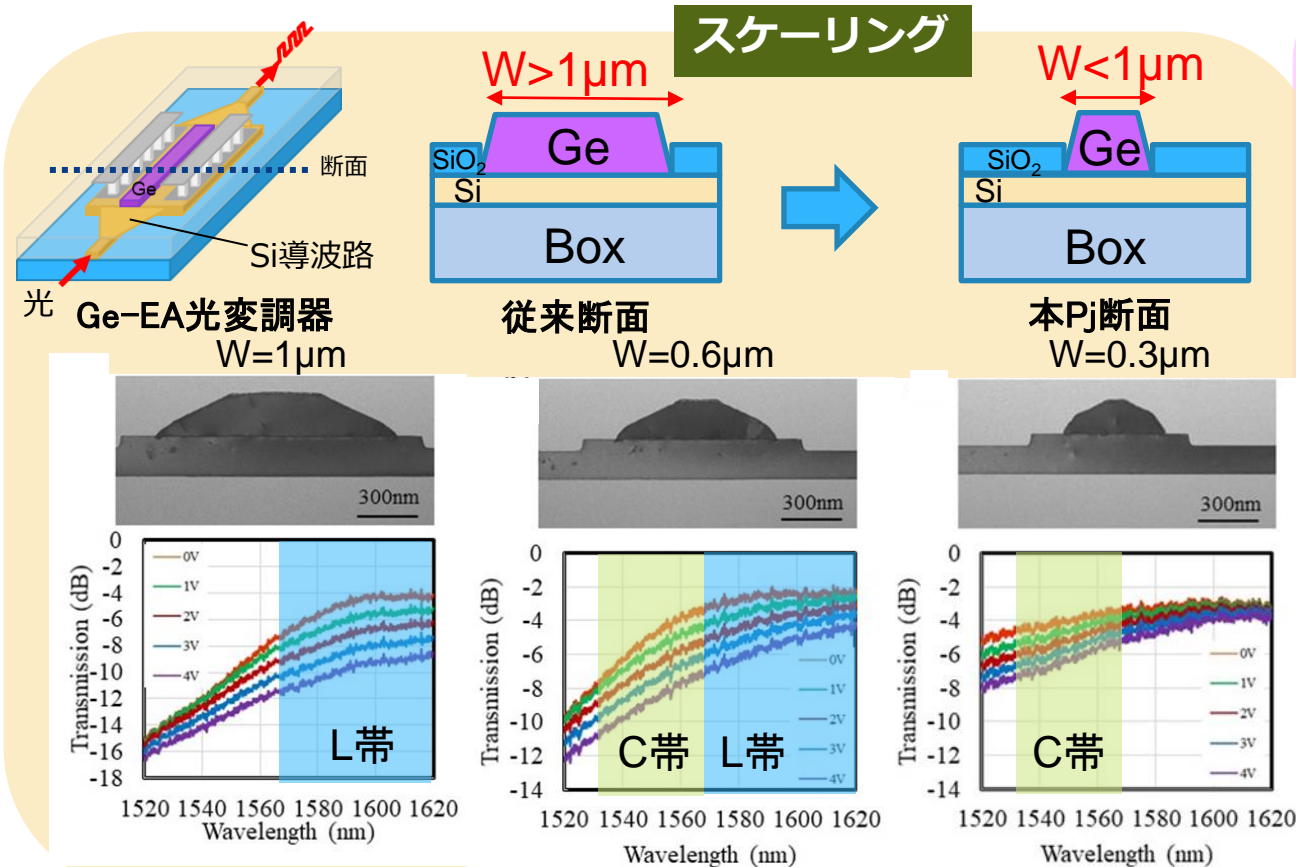


# (3) アプローチ、特徴技術(光変調器・受光器)

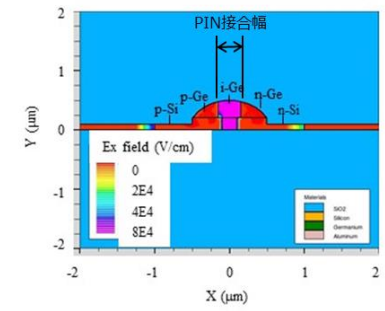
公開

## デバイス技術

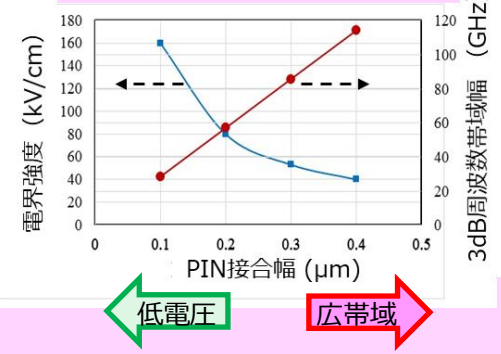
- 波長多重によるスケールリング可能、且つ、低消費電力・高速伝送を実現する光変調器・受光器を開発
  - 小型・低容量のGe電界吸収(EA)型光変調器／受光器:112GbpsPAM4対応の開発
  - 狭幅選択成長を用てL,C帯波長を1チップ集積化可能
    - ⇒112Gbps × 115波@100GHz = 13Tbps以上実現可能
  - PIN接合最適化で低消費電力化



## 低消費電力化



## Ge層内の電界強度分布

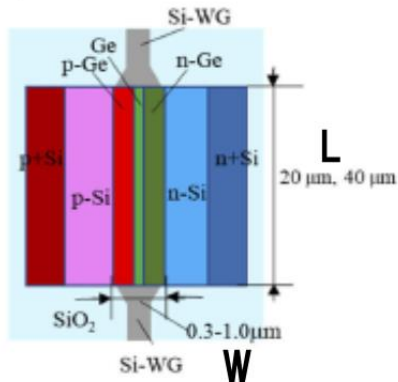


Ge層内の電界強度と周波数帯域のPIN接合幅依存性

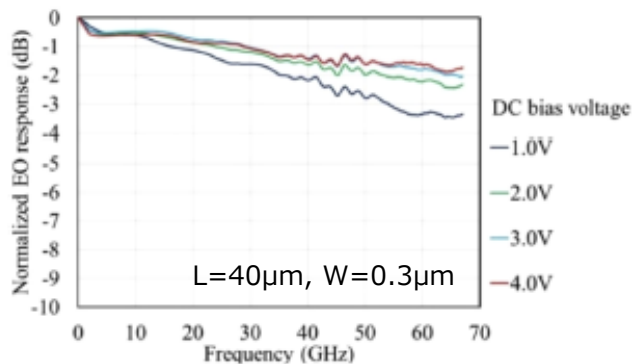
# (4) 成果 I (高速光変調器)

## デバイス技術

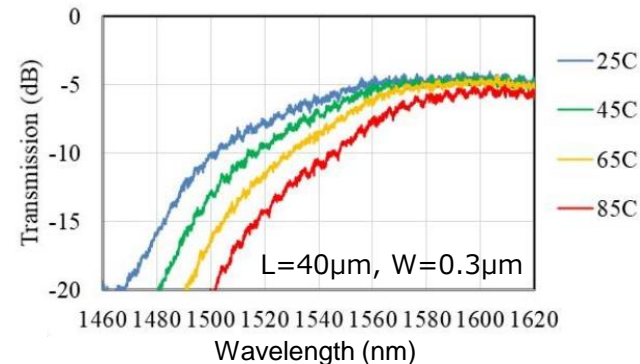
- ドーピングと素子形状最適化により70GHz以上の周波数帯域、56Gbpsアイ波形確認
- 高温85°Cにおいても56Gbps動作可能
- 112Gbps-PAM4電気信号での直接駆動により光信号出力を実証



SiGe-EA光変調器構造

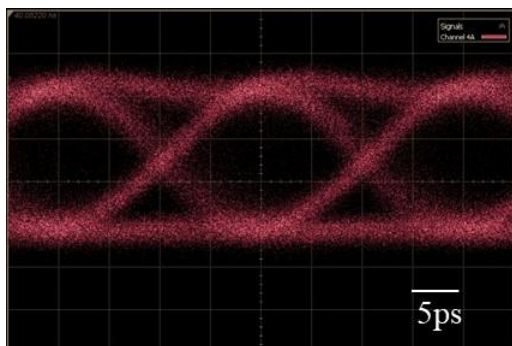


EO周波数応答特性



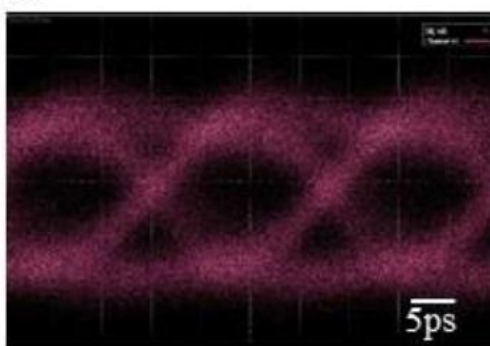
光透過特性の温度依存性

56Gbps NRZ (PRBS  $2^{31}-1$ )アイ波形 @25°C



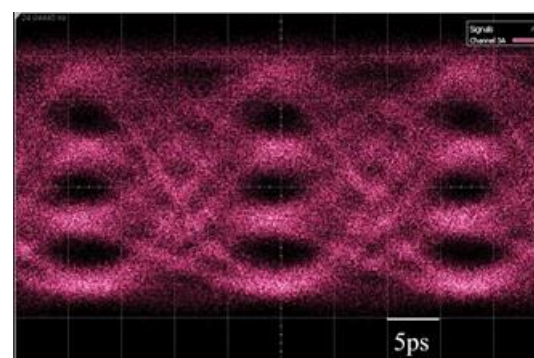
ER=3.2dB, IL~4dB @2.5Vpp  
L=40 μm, W=0.3 μm

@85°C



ER=2dB, IL~8dB @2.5Vpp  
L=40 μm, W=0.3 μm

112Gbps-PAM4アイ波形 @25°C

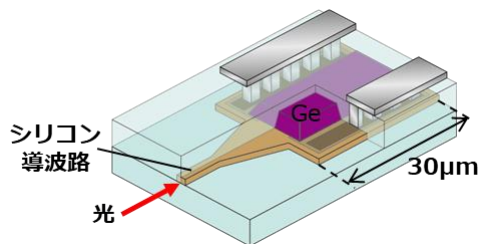


TDECQ 2.38 dB (PRBS  $2^{13}-1$ )

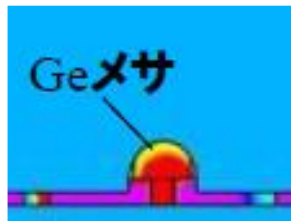
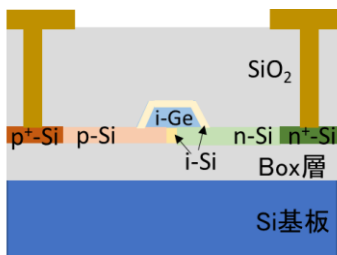
# (4) 成果 II (高速受光器)

## デバイス技術

- インコネにおける距離のばらつきにロバストに対応可能にするため、Ge層ファセット部をnドーピングした新構造を導入し、Ge層内の電界を増強
- 入力パワーが上昇した場合(0dBm)にも60GHzの周波数帯域を維持  
⇒広範囲の入力パワーを受信可能な112Gbps-PAM4を実現可能

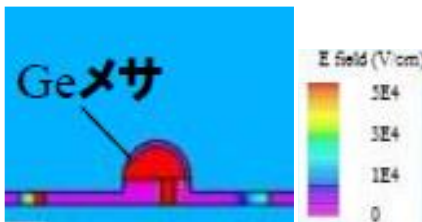
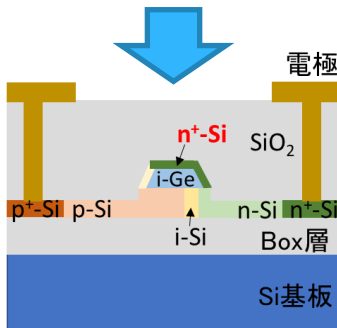


従来の横型PIN接合Ge受光器

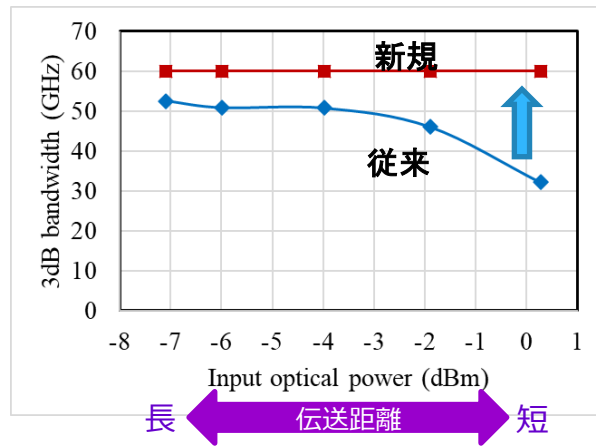


電界強度分布

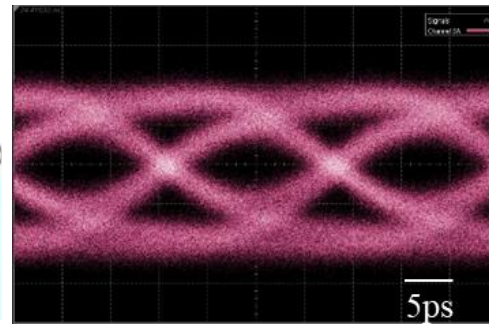
新規の横型PIN接合Ge受光器



電界強度分布



周波数帯域の入力パワー依存性



56Gbps出力波形

# (3) アプローチ、特徴技術(電子回路)

公開

デバイス技術

- 112Gbps PAM4のTx/Rxの方式とIC構成を検討
- 小型化、低消費電力化には電気でPAM4(Type2)が有利  
→線形性、コストの点からSiGe-BiCMOSが有利
- PAM4に必要なLinear AMPの112Gbps PAM4動作を回路設計・試作にて検証

	Type1: 光でPAM4	Type2: 電気でPAM4
	<p>Tx</p> <p>Rx</p>	<p>Tx</p> <p>Rx</p>
サイズ	<p>×</p> <p>I/Oが2倍必要かつMODとDRVも2倍になるため</p>	<p>○</p> <p>(Type1の約1/2)</p>
消費電力	<p>×</p> <p>2つのMODを駆動するDRVが必要</p>	<p>○</p> <p>(Type1の約1/2)</p>

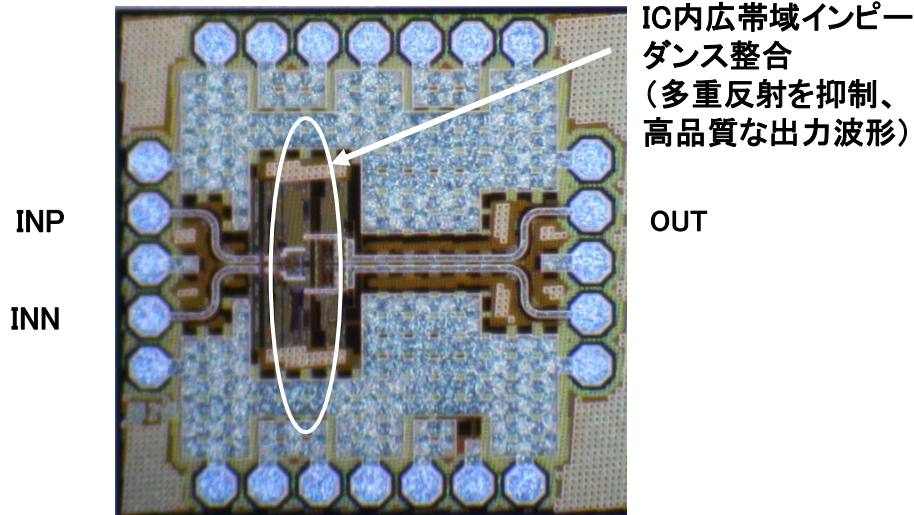
## 112Gbps PAM4のTx/Rx方式

# (4) 成果Ⅲ (光変調器ドライバー)

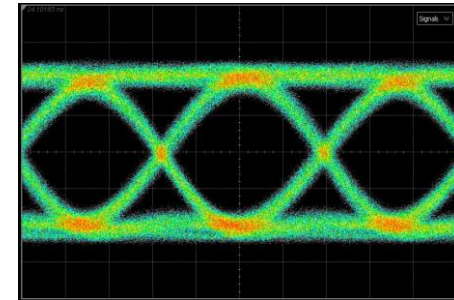
公開

## デバイス技術

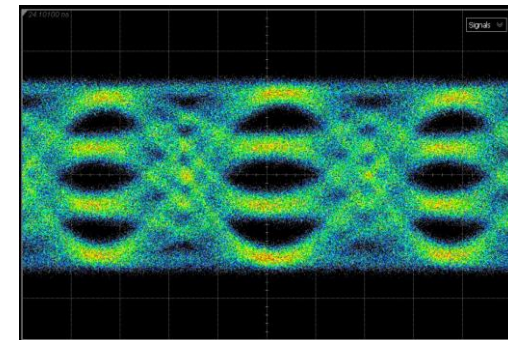
- 電界吸収型光変調器ドライバーを試作・評価
  - 最先端SiGe-BiCMOSプロセスを用いて、高線形動作回路設計により、56Gbps NRZ、112Gbps PAM4の電気出力波形を確認
  - 高振幅・低ジッタ化回路を設計し、2Vppを達成



電界吸収型光調器ドライバーチップ写真



56Gbps NRZ出力波形  
単相振幅 1Vpp(50Ω 終端)

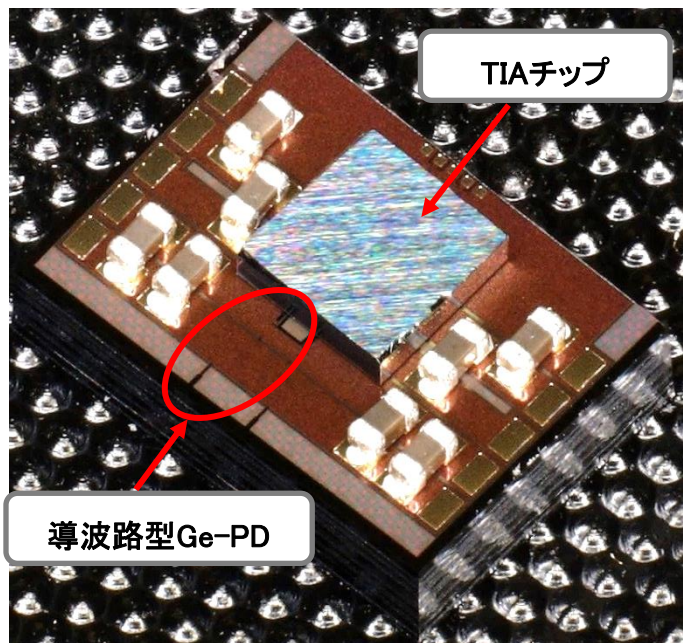


112Gbps PAM4出力波形PN31  
単相振幅 1Vpp(50Ω 終端)、光変調器負荷で2Vpp

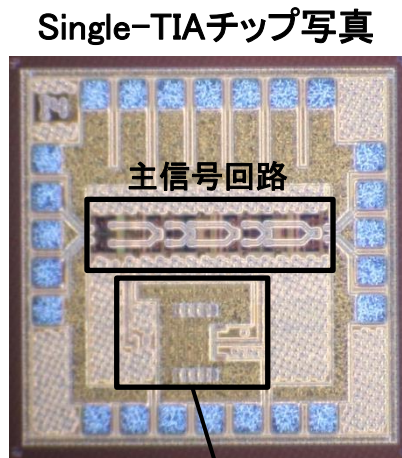
電界吸収型光変調器ドライバーを試作・評価し、112Gbps PAM4の出力波形を確認

## デバイス技術

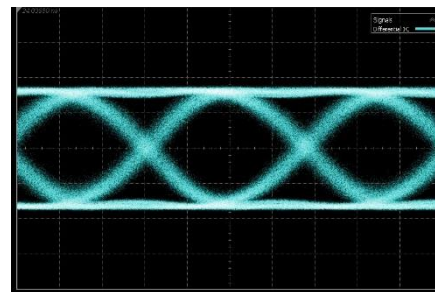
- SiGe-BiCMOSで試作したTIAと導波路型Ge-PDをFlip Chip実装してRxを作製
- 56Gbps NRZ及び112Gbps PAM4光入力 of 電気特性を評価
  - Single-PD方式TIA搭載Rxで良好な56Gbps動作を実証
  - 更に、112Gbps PAM4の出力波形を確認



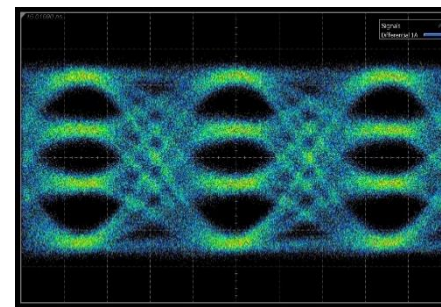
Single-PD方式TIA搭載RX



Single-TIAチップ写真



56Gbps RX出力波形



112Gbps PAM4 RX出力波形  
 $I_{PD}=410\mu A_{pp}$

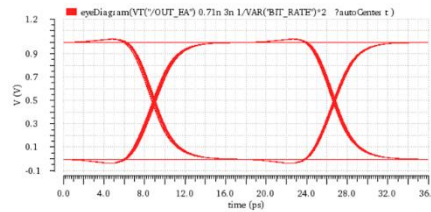
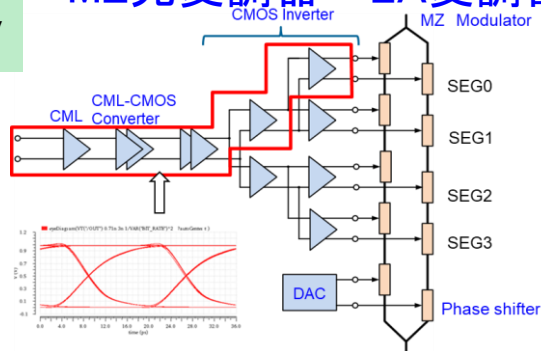
TIAを試作・評価し、Flip Chip実装したRxで良好な56Gbps及び112Gbps PAM4動作を実証

# (4) 成果 V (CMOSを用いた1mW/Gbps低消費電力化) 公開

## デバイス技術

- CMOSの設計環境を構築。Global Foundriesの22/12nm CMOSのPDK入手
  - DRVの出力段CMOS Inverter構成で消費電力の解析
- MZ光変調器→EA変調器、SEG数4→1、駆動振幅1.8→1Vpp

## DRV



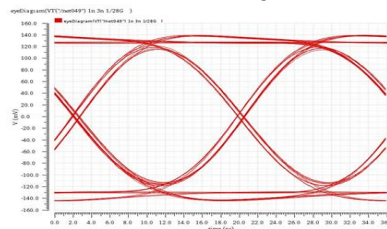
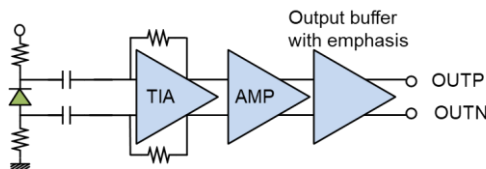
25Gbps MZ変調器DRV (28nm)	56Gbps EA変調器DRV (22nm)
2.15mW/Gbps	0.27mW/Gbps

25Gbps光I/OコアのDRVブロック図

56Gbps EA変調器DRV  
出力波形 1Vpp

- Global Foundriesの22nm CMOS (SOI) のPDKで、56Gb/s TIAの解析
- AC Coupling方式3段で、動作速度56Gbps、消費電力36.7mWを解析で実現

## TIA



25Gbps TIA (28nm)	56Gbps TIA
3.52mW/Gbps	0.66mW/Gbps

22nm CMOS TIAブロック図

56Gbps TIA  
出力波形 差動480mVpp

22nm CMOSを用いて1mW/Gbpsを解析し、DRVで0.27mW/Gbps、TIAで0.66mW/Gbps、DRV+TIAで1mW/Gbpsの低消費電力化を達成

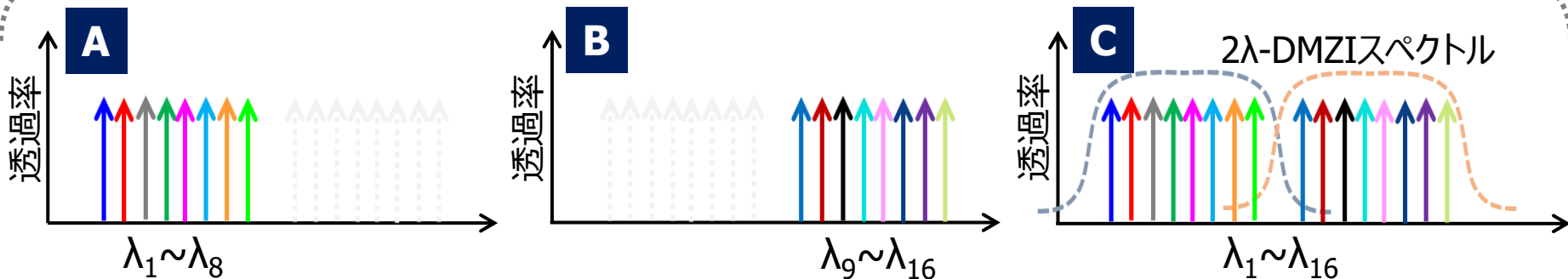
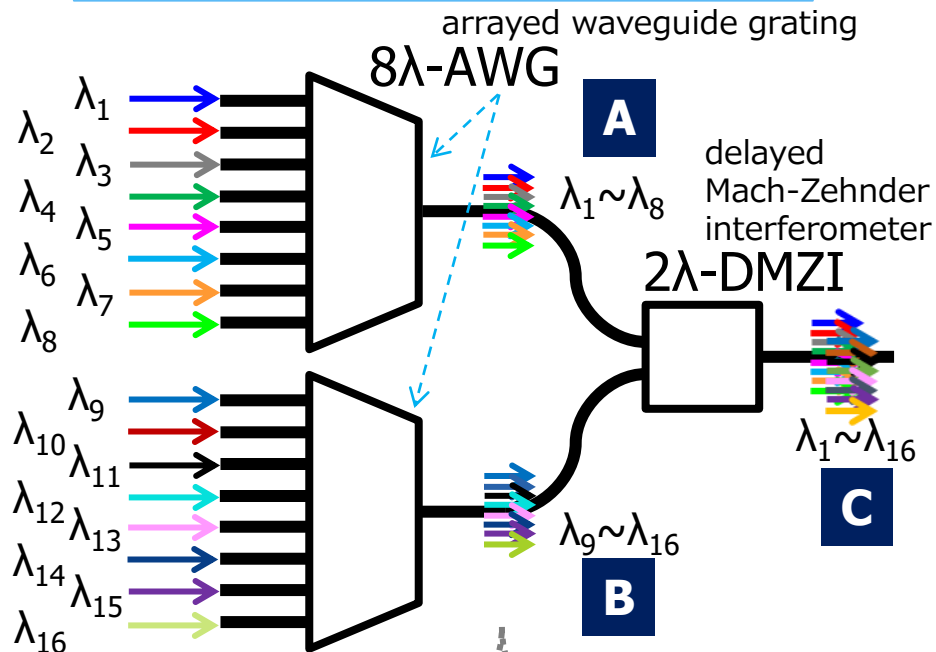
### (3) アプローチ、特徴技術(波長多重光回路)

公開

#### デバイス技術

- 開発ターゲット
  - 16λ 波長多重(WDM)合分波回路
- 技術課題
  - >8λ のAWGで挿入損・クロストーク増大
- 開発方針
  - 第2期までの成果である高性能な8λ-AWGと2λ-DMZI型バンドパスフィルタを接続し、低損失・低クロストークの16λ-WDM合分波回路を実現

#### 波長多重領域の光送信部の例





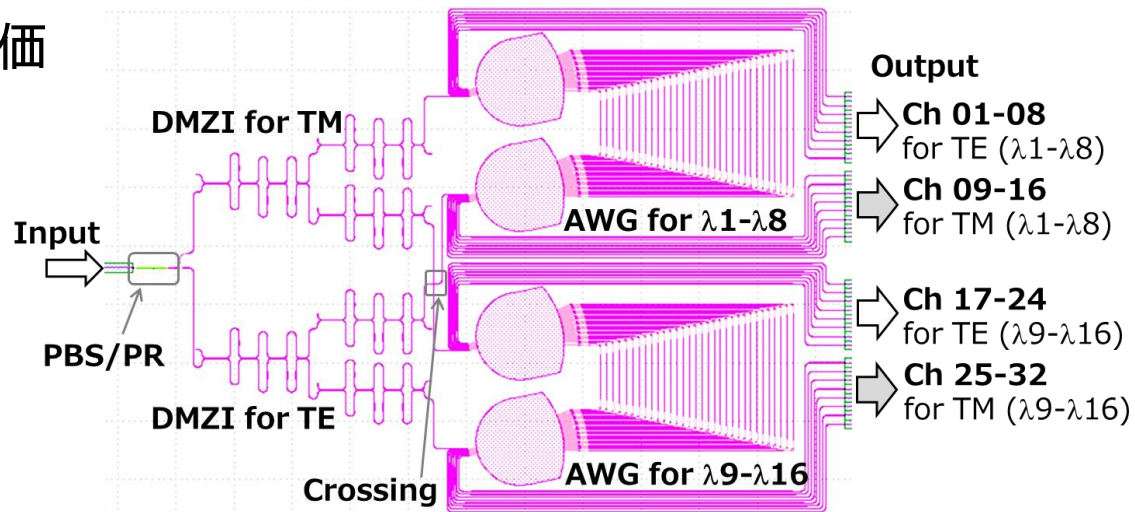
# (4) 成果VI (波長多重光回路)

## デバイス技術

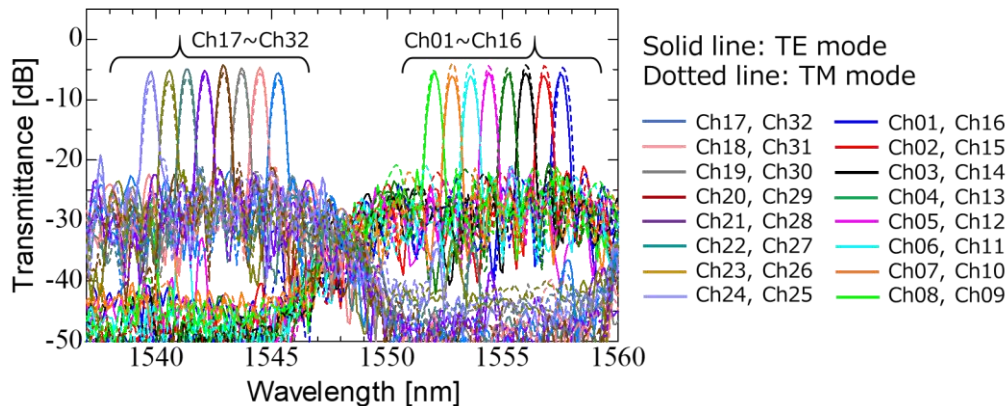
### ■ 16λ 波長多重回路を作製・評価

- 受信向け任意偏波対応
- 動作波長: Cバンド帯域
- シリコン細線型パッシブデバイス
- サイズ: 1.7 × 2.8 mm<sup>2</sup>
- 信号対クロストーク/チャネル
  - ✓ 8λ -AWG内: -20~-24dB
  - ✓ 2λ -DMZI内: -26~-34dB

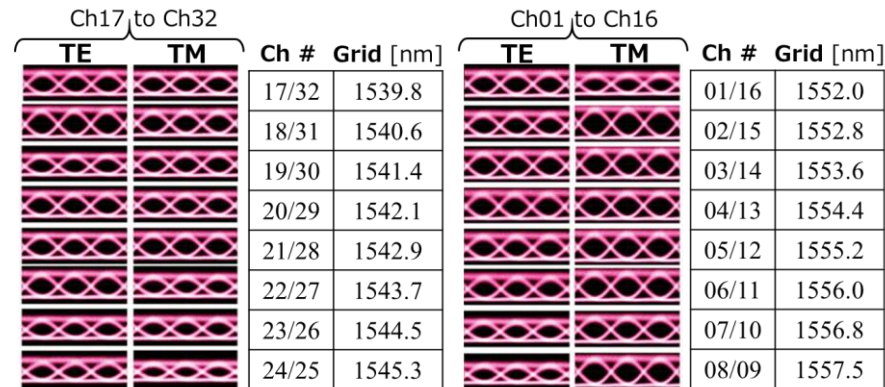
16λ 波長多重回路の構造図



16λ 波長多重回路の計測スペクトル特性



32Gbps NRZ変調信号の伝送特性

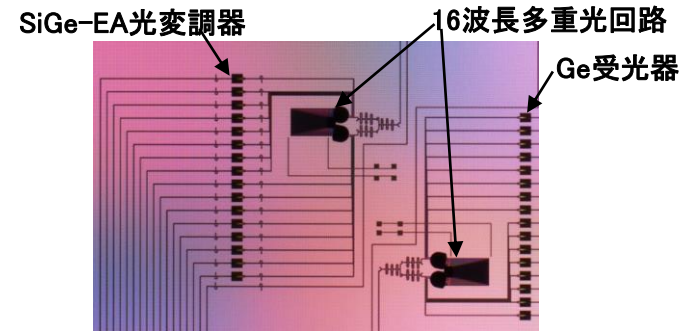
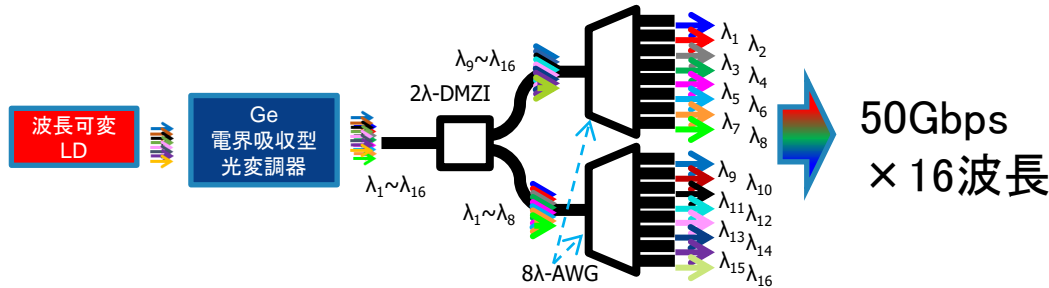


任意偏波の16波長のWDM光信号を合分波可能な小型波長多重回路を実証

# (4) 成果Ⅶ (高速光変調器+16波長多重光回路)

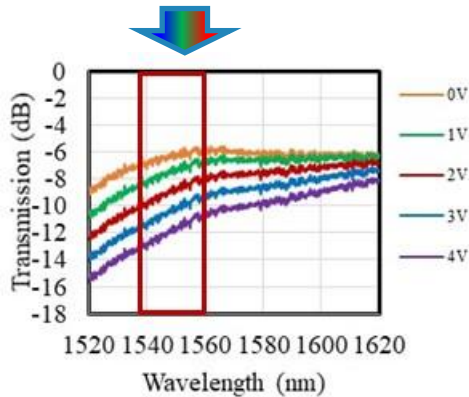
公開

デバイス技術

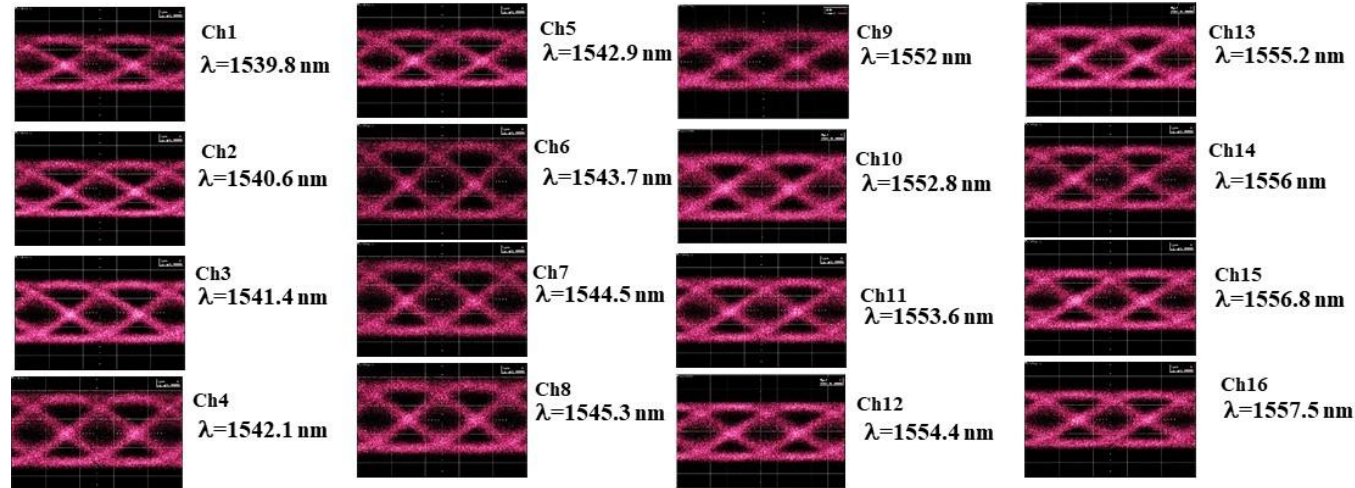


3.6Tbps TRx集積チップ例 (5.6mm × 8.6mm)

Cバンド波長帯



SiGe光変調器の透過スペクトル (L=60 μm, W=0.3 μm)



50Gbps × 16波長 アイパターン  
消光比4~4.4dB@2.5Vpp

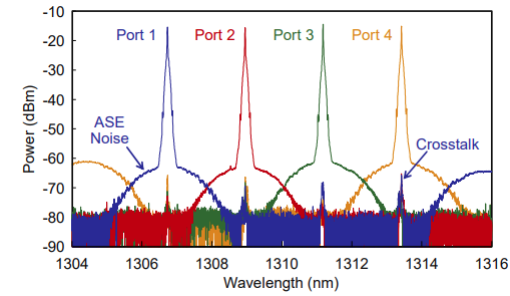
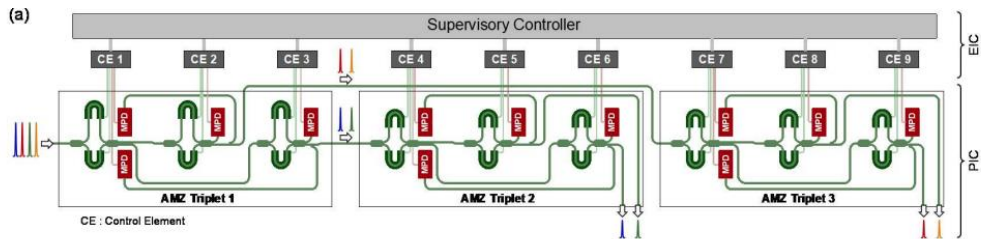
SiGe電界吸収型光変調器を用いて、50Gbps動作 × 16波長動作@Cバンド波長帯を実証

# (4) 成果Ⅷ(次世代温度耐性波長多重光回路)

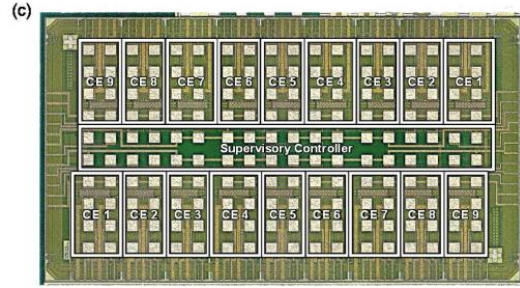
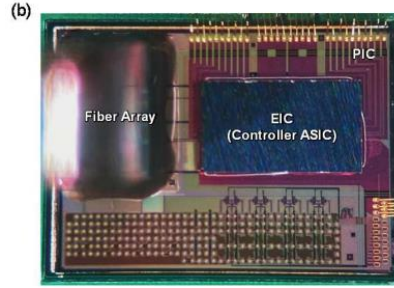
公開

## デバイス技術

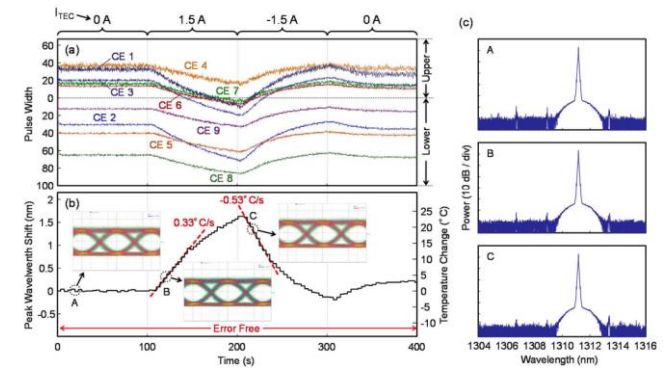
- 非対称マッハツェンダーに光モニタとヒーターによるフィードバック制御を導入し位相エラーを自動訂正。クロストーク-50~-60dB@4波長を実現。(シミュレーションでは64波長可能)
- 更に、温度変化に対しフィードバック制御可能な電子回路を集積した耐温度・クロストークフリーの波長多重光回路を実現
- 急激な温度変化(少なくとも0.53°C/s)に対して4ch 25Gbps信号で各波長分波後、エラーフリーを実現



各波長の光出カスペクトル



GAT (Cascaded AMZ Triplets)構造を持つ波長分波回路と電子制御回路



温度変化に対する光出カスペクトル及びアイパターンの変化

## (5) 目標の達成度

公開

### デバイス技術

テーマ	2021年度末最終目標	主な成果状況	達成度
2.2.2.1(e-1) デバイス技術	<ul style="list-style-type: none"><li>1レーン当たり112Gbps高速動作を可能とする光変調器および受光器の低消費電力光回路およびこれを駆動する電子回路を実現する。</li><li>1レーン当たりの大容量化に向け16波長合分波した光信号のシングルモードファイバ伝送を実現する。</li><li>1ノード当たり10Tbpsの伝送密度を有する光回路を実現する。</li><li>光回路の1mW/Gbpsの低消費電力動作を実証する。</li></ul>	<ul style="list-style-type: none"><li>変調器、受光器の112Gbps高速動作実証。</li><li>変調器、受光器を駆動する電子回路（ドライバ、TIA)の112Gb/s PAM4動作を実現するための高線形ICを設計・試作。受光器とTIAで112Gb/sのRx出力波形を確認。</li><li>16波長合分波を可能とする光素子を動作実証。</li><li>上記16波長合分波器と112Gbps変調器、受光器を組み合わせることで10Tbpsの伝送密度を達成見込み。</li><li>22nm CMOSを用いた解析で1mW/Gbpsの低消費電力化を達成。</li></ul>	○

達成度：◎大幅達成、○達成(年度内達成見込みも含む)、△達成遅れ、×未達

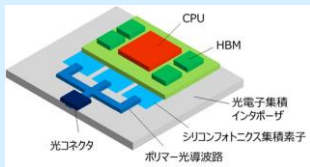
## ②光エレクトロニクス実装システム化技術の開発

### 2-2システム化技術

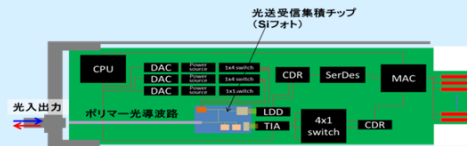
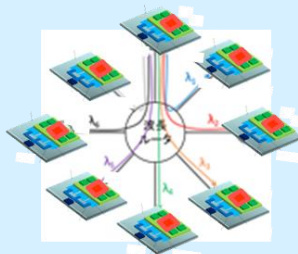
#### 2-2-1 情報処理システム化技術

#### 2-2-2 情報通信システム化技術

光電子融合  
サーバボード



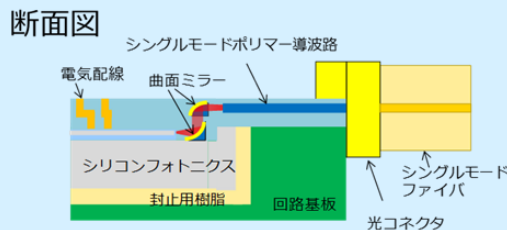
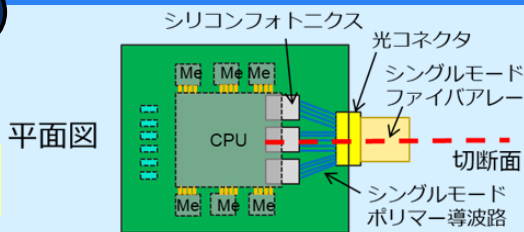
ラックスケール並列分散システム



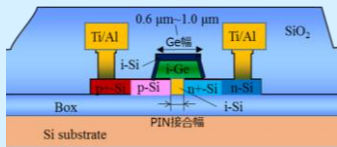
2-3  
国際標準化

### 2-1デバイス・実装技術

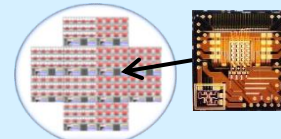
#### 2-1-3 光実装技術



#### 2-1-1 デバイス技術



#### 2-1-2集積化 プロセス技術



## ①光エレクトロニクス 実装基盤技術の開発

### 1. 革新的デバイス技術

### ③成果普及

# (1) 開発目標とアプローチ

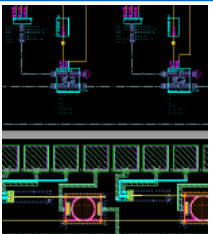
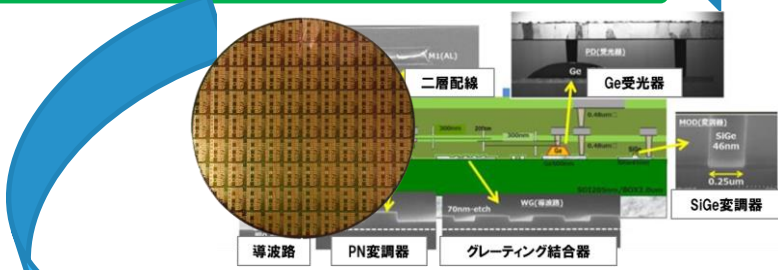
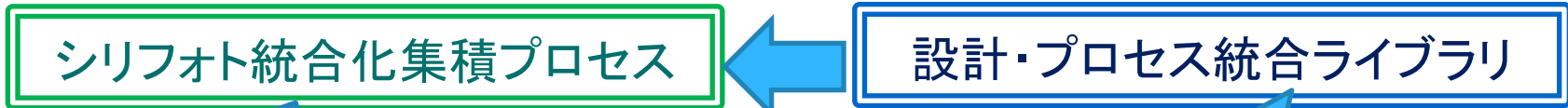
## 集積化プロセス技術

最終目標: 10Tbps/ノード光電子集積インターポーザに向けた集積プロセス構築  
シリフォト集積プロセス技術の300mm一貫試作ファンドリへの展開



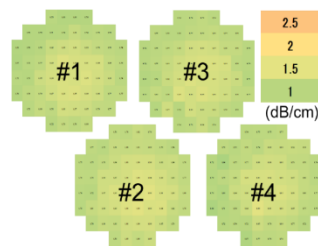
アプローチ: シリフォト統合化集積プロセス & 設計・プロセス統合ライブラリ技術確立

性能・歩留まり予測



デバイスパラメータ  
プロセスばらつき

光ウェーブローバによる検証



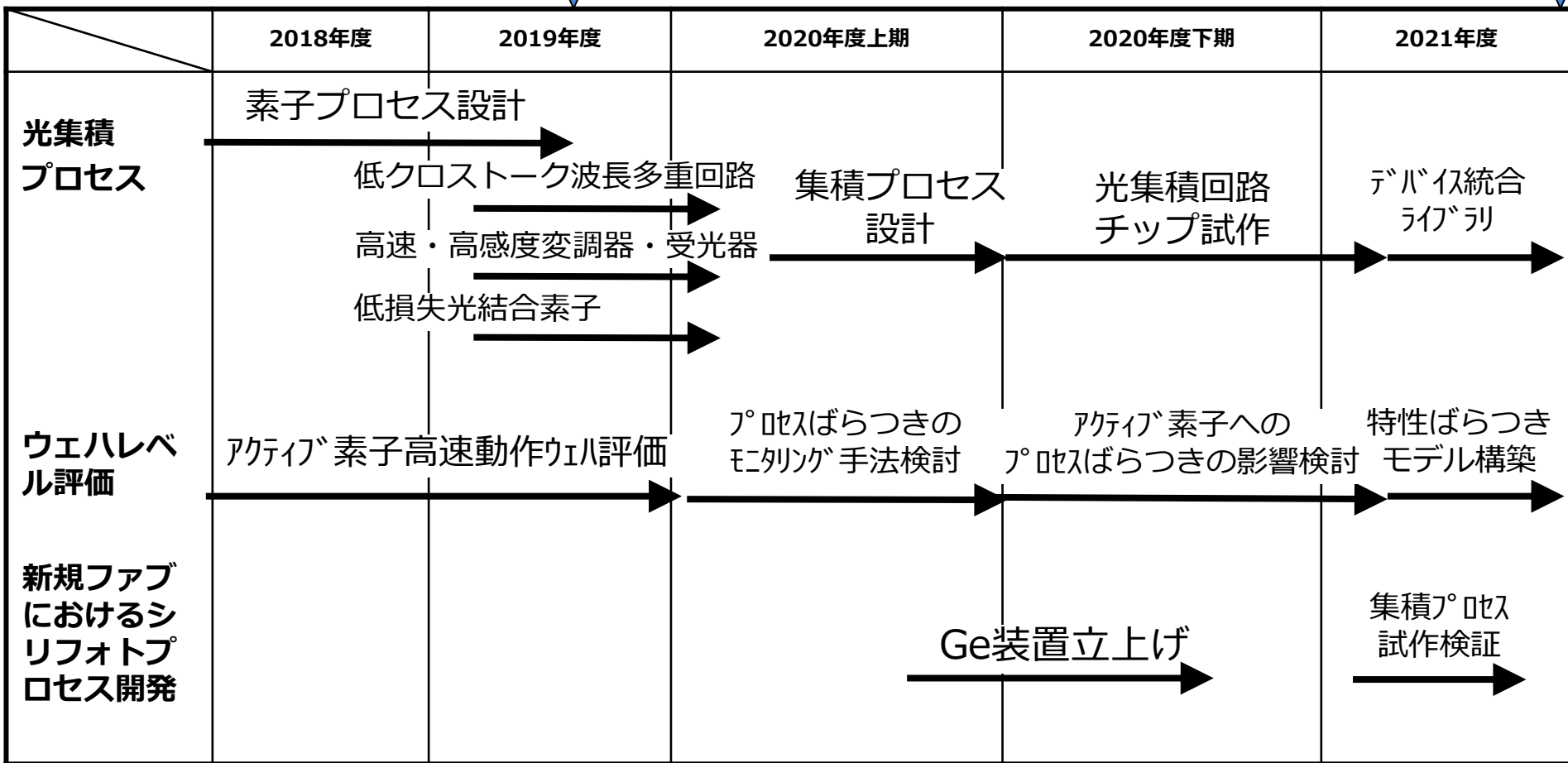
## (2) 開発計画

公開

集積化プロセス技術

中間評価

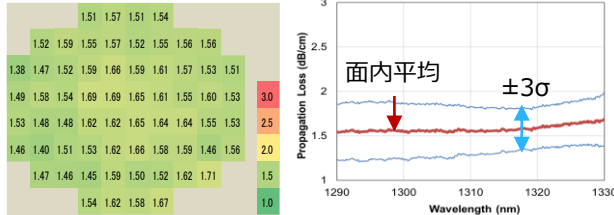
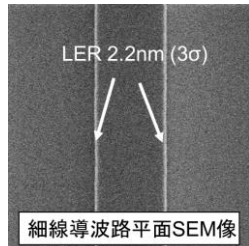
最終評価



## 10Tbps/ノードの高速光回路に集積される高機能光素子の特性改善・動作検証

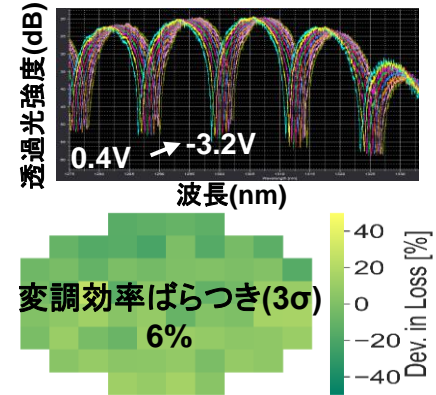
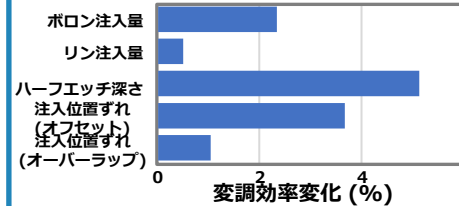
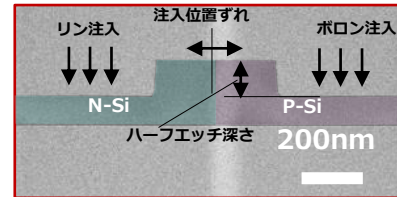
### 細線導波路

導波路側面ラフネス低減による  
世界最高の低損失導波路



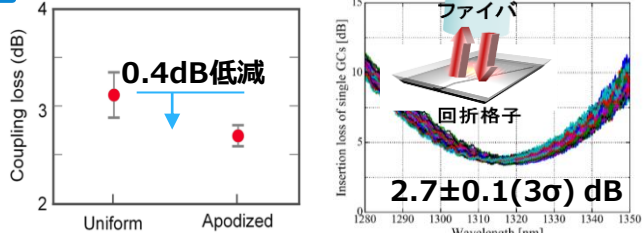
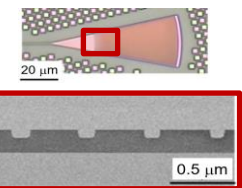
### 変調器

プロセス感度解析に基づく変調器特性均一化



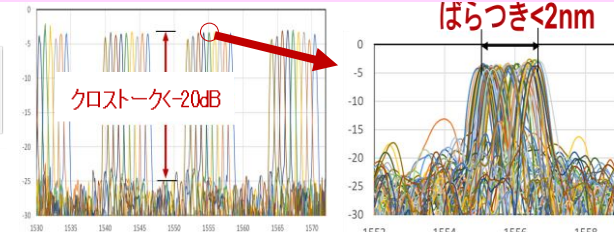
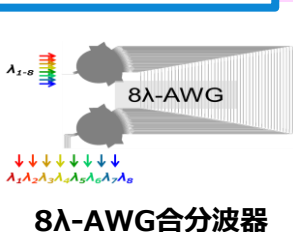
### 光結合素子

高精細アポダイズによる結合損失低減



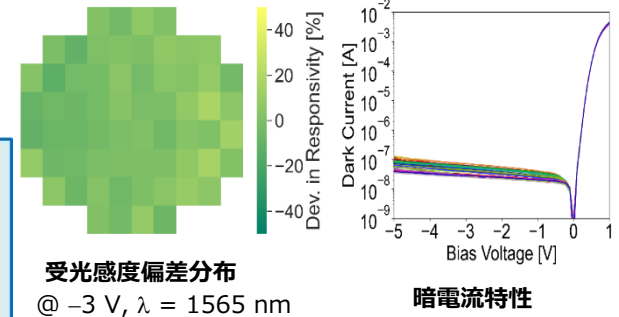
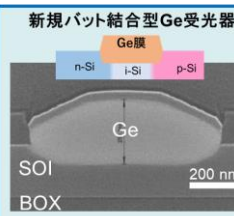
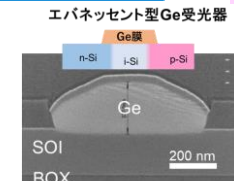
### 合分波素子

低クロストーク・低ばらつきのフィルタ特性



### 受光器

新規バット結合構造による高感度化





# (4) 成果 II (300mm一貫ファンドリへの展開)

公開

集積化プロセス技術

ファンドリにおいて集積プロセスを構築、集積デバイス動作の検証を完了

## 集積プロセス構築

- ✓ PETRA開発の集積フロー移植
  - 40nm世代CMOSプロセス
  - ArF液浸露光
- ✓ 新規要素: 高速Cu デュアルダマシニ層配線
  - 300mm SOI
  - Geエピタキシャル膜

## Ge装置移設・プロセス最適化

Depo. chamber

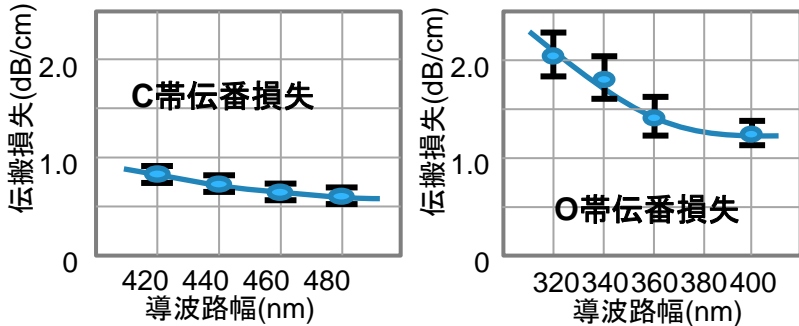
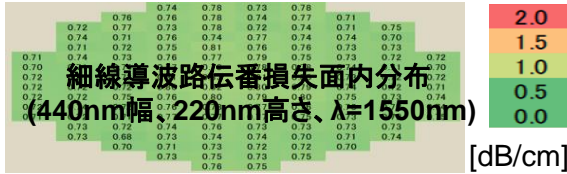
スムーズな  
ファセット形成

Ge  
SiO2  
SOI

欠陥密度低減  
~1×10<sup>7</sup> cm<sup>-2</sup>

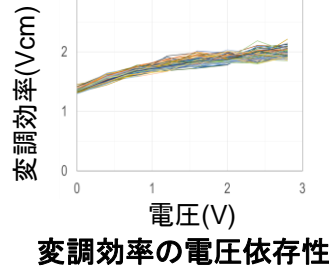
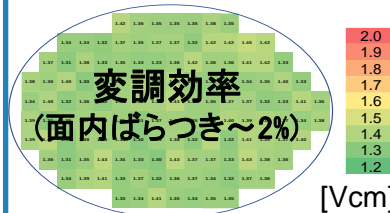
## 細線導波路

プロセス最適化  
(ラフネス低減)  
⇒ 低損失特性再現

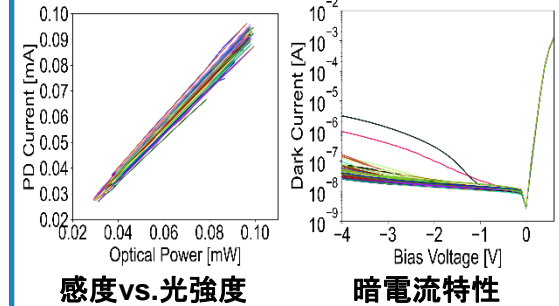
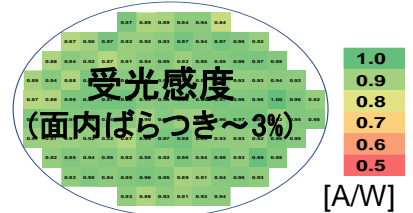


伝番損失の導波路幅依存性

## 変調器



## 受光器

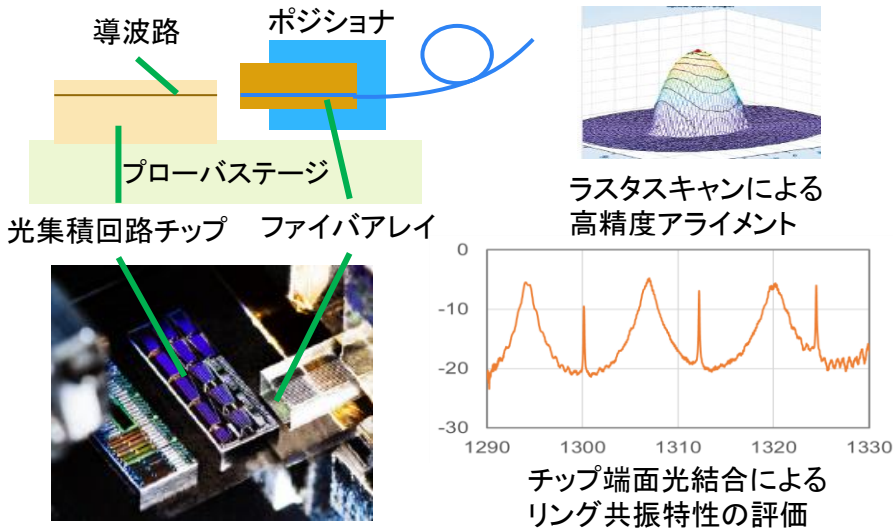


# (4) 成果Ⅲ (評価技術、パラメータ抽出手法、デバイスモデル) 公開

集積化プロセス技術

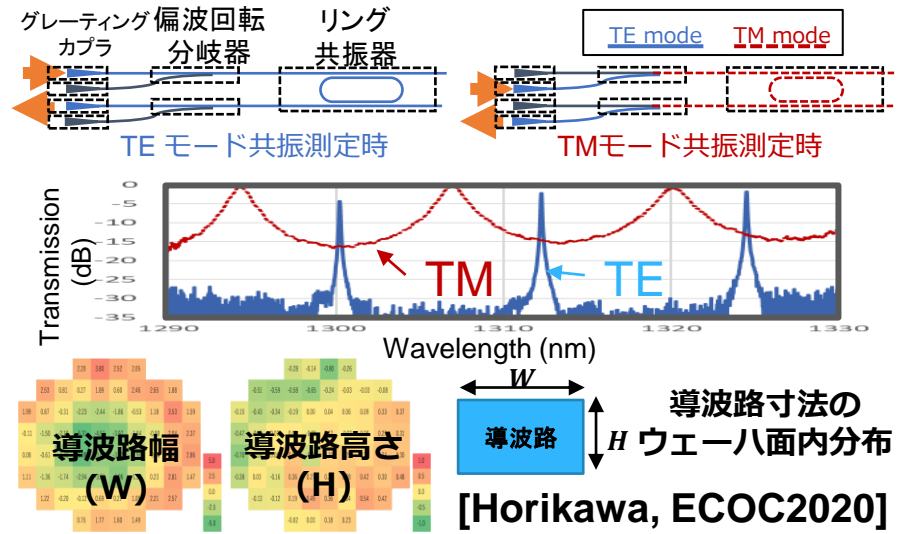
## 端面光結合を用いたチップ評価技術

- 高精度自動アライメント機能による端面光結合の高速調芯
- アセンブリ後の光集積回路チップ評価に適用



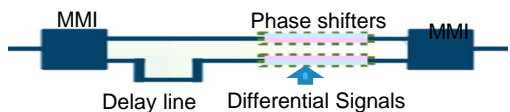
## 高精度パラメータ抽出手法

- リング共振器と偏波回転分岐器からなるモニタリング回路でTEとTMの共振ピークを抽出
- 導波路寸法シフトを高精度抽出(誤差: 従来比 1/100)



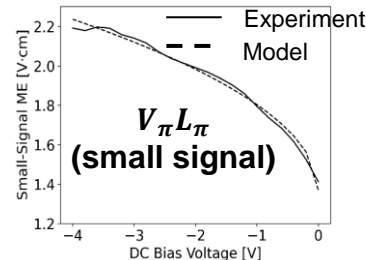
## PN-MZI型変調器デバイスモデル

### 変調効率と吸収損失の非線形性を定式化

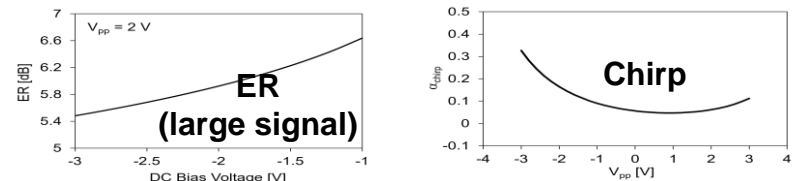


$$V_{\pi} L_{\pi}(V) = k_{ME} + \beta_{ME}^{-1} \sqrt{V + \alpha_{ME}}$$

$$\text{Im}(n_{\text{eff}}(V)) = k_A + \beta_A^{-1} \sqrt{V + \alpha_A}$$



### 動作パラメータ(消光比、チャープ、変調振幅等)を導出



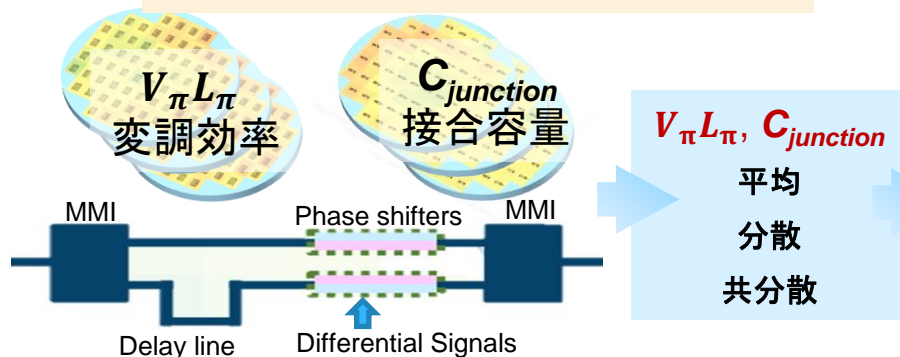
PRBS信号入力時の消光比およびチャープ係数(モデル計算) [Murao, Opt. Commun. (2021)]

# (4) 成果IV (ばらつきモデルを用いた高精度デバイス・回路設計)

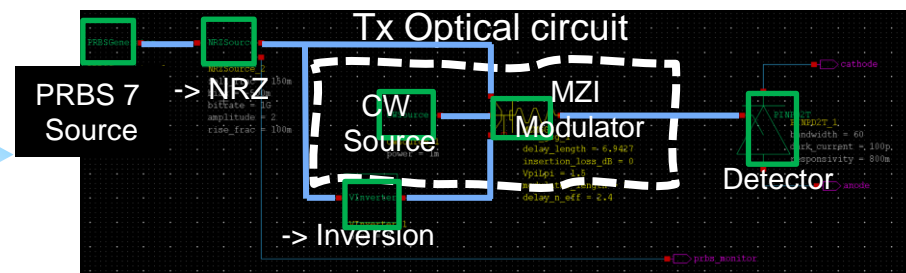
集積化プロセス技術

## ばらつきモデルを用いたトランシーバ設計検証

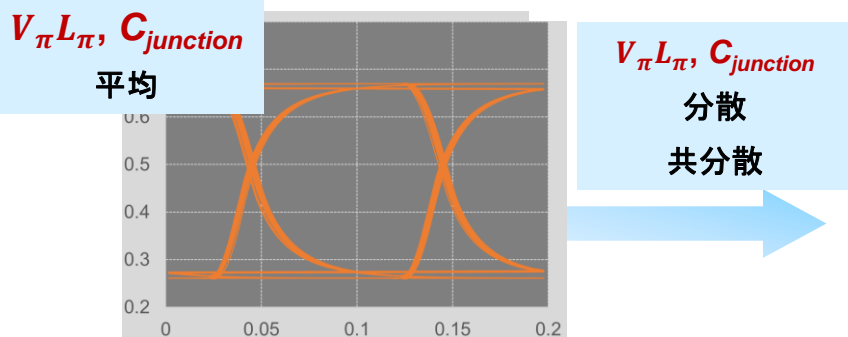
デバイスモデル、ばらつきモデルによる  
パラメータ抽出



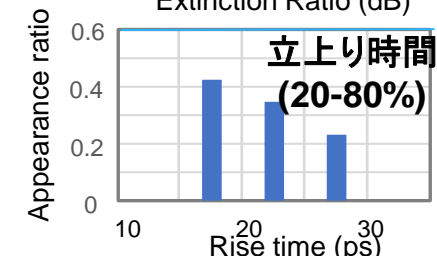
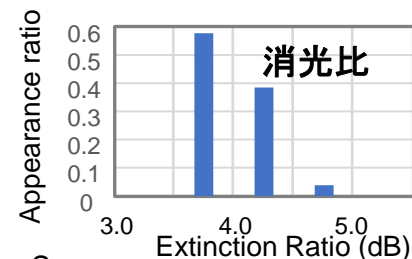
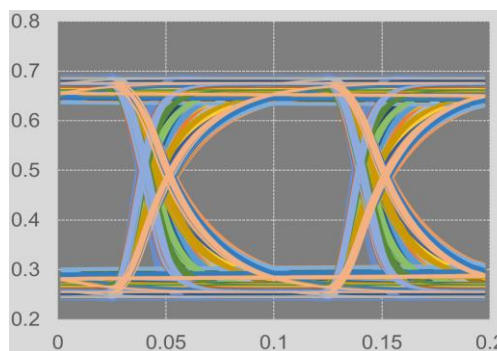
ライブラリパラメータを用いたTx回路設計



パラメータ平均値を用いたシミュレーション



モンテカルロシミュレーション



設計・プロセス・検証のリンケージによる  
高精度の光回路設計・プロセスプラットフォームを確立

$V_{\pi}L_{\pi}, C_{junction}$  を確率乱数により変化  
させ多数回のシミュレーションを試行

## (5) 目標の達成度

公開

### 集積化プロセス技術

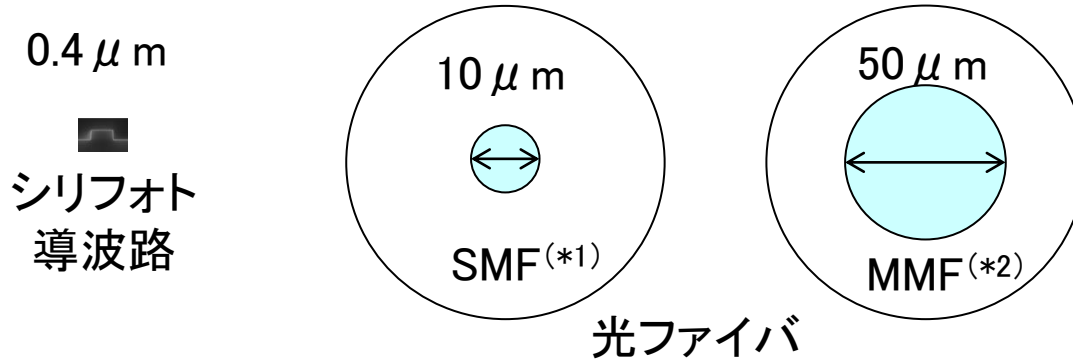
テーマ	2021年度末最終目標	主な成果状況	達成度
2.2.2.1 (e-2) 集積化プロセス 技術	<ul style="list-style-type: none"> <li>シリフト統合化集積プロセスを用いて高速光トランシーバが高密度に集積された光集積回路チップを試作し、光電子集積インターポーザとして10Tbps/ノードの伝送密度を実現する光集積回路であることを実証する。</li> <li>光集積インターポーザの性能ばらつき低減に向け、シリフト統合化集積プロセスのばらつきをパラメータとする光素子の特性ばらつきモデルの高度化を図る。</li> <li>一貫プロセスによるシリフトチップ製造を可能とするプロセスと設計を統合したプラットフォームを構築</li> </ul>	<ul style="list-style-type: none"> <li>300mm統合プロセスを確立し、これを用いた10Tbps/ノード可能性実証試作を完了。</li> <li>ウエハプローバを用いた設計・プロセス統合ライブラリを構築し、ばらつきモデルによる設計・プロセスの高信頼化を実現。</li> <li>集積プロセスの一貫試作ファンドリへの展開完了。</li> </ul>	○

達成度: ◎大幅達成、○達成(年度内達成見込みも含む)、△達成遅れ、×未達



光実装技術

## 導波路と光ファイバの断面比較



サブ  $\mu\text{m}$  のシリフォト導波路を10  $\mu\text{m}$  以上の光ファイバに低コスト接続可能か課題

### 従来技術

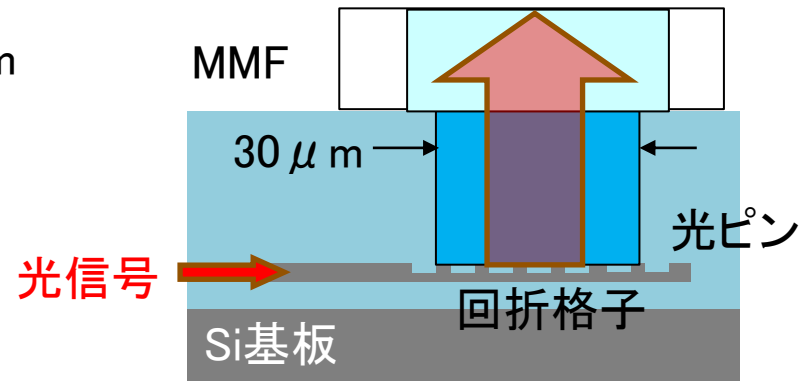
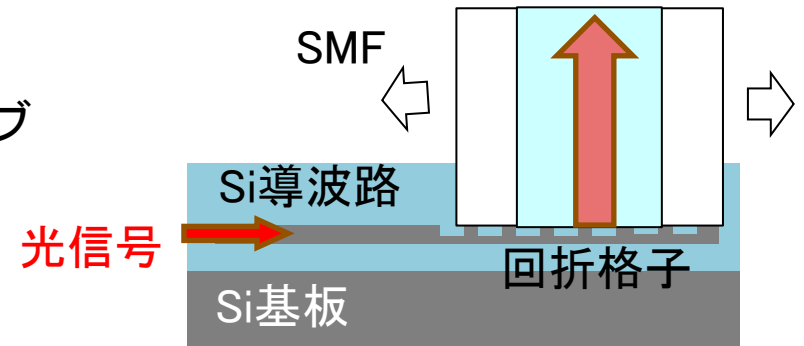
- 光信号を測定し、最適位置で固定するアクティブ調芯を適用
- SMF接続はサブ  $\mu\text{m}$  の位置制御が必要  
⇒時間がかかり高コスト

### 1、2期(光I/Oコア)開発技術

- 光ピン(縦型ポリマー導波路)で光の幅を30  $\mu\text{m}$  に広げMMFに接続  
(目合わせ精度10  $\mu\text{m}$  レベル⇒パッシブ実装)
- 光ピンは半導体プロセスと同じ露光技術形成

(\*1): シングルモードファイバ  
(\*2): マルチモードファイバ

光ファイバ調芯で位置合わせ



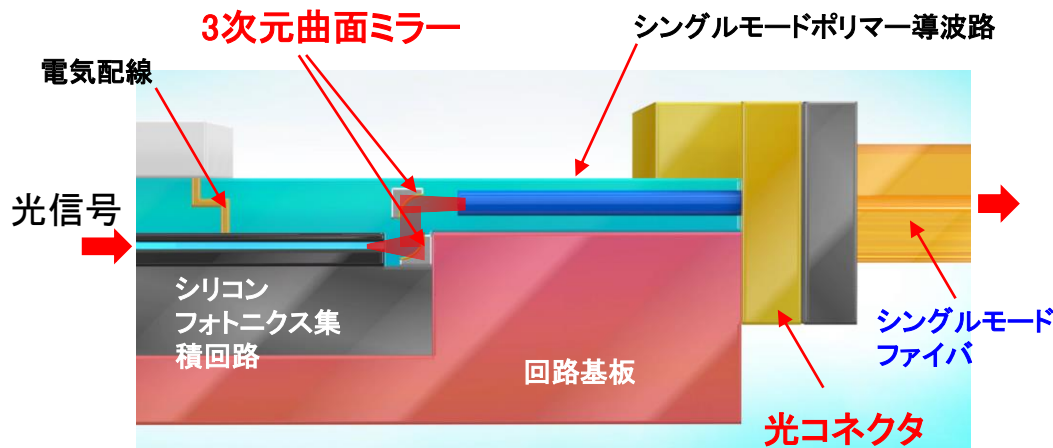
## 最終目標:

- ・16 波長多重に対応した波長偏波無依存な曲面ミラーをシリコンフォトニクスに集積
- ・上下曲面ミラーの高密度光結合 $20\text{Tbps}/\text{mm}^2$ を実現
- ・光コネクタ用位置決め構造の高精度化と高精度実装技術を確立し、12芯光接続技術を実現
- ・マルチチップ実装技術、再配線技術、放熱構造技術を確立

10Tbps/ノード広帯域化実現に向け、波長多重技術を導入するため、

シングルモードファイバの入出力が必須

⇒高性能な高密度光結合( $20\text{Tbps}/\text{mm}^2$ )を実現するために3次元曲面ミラーを導入し  
安価なパッシブ実装でシングルモードファイバを実装する

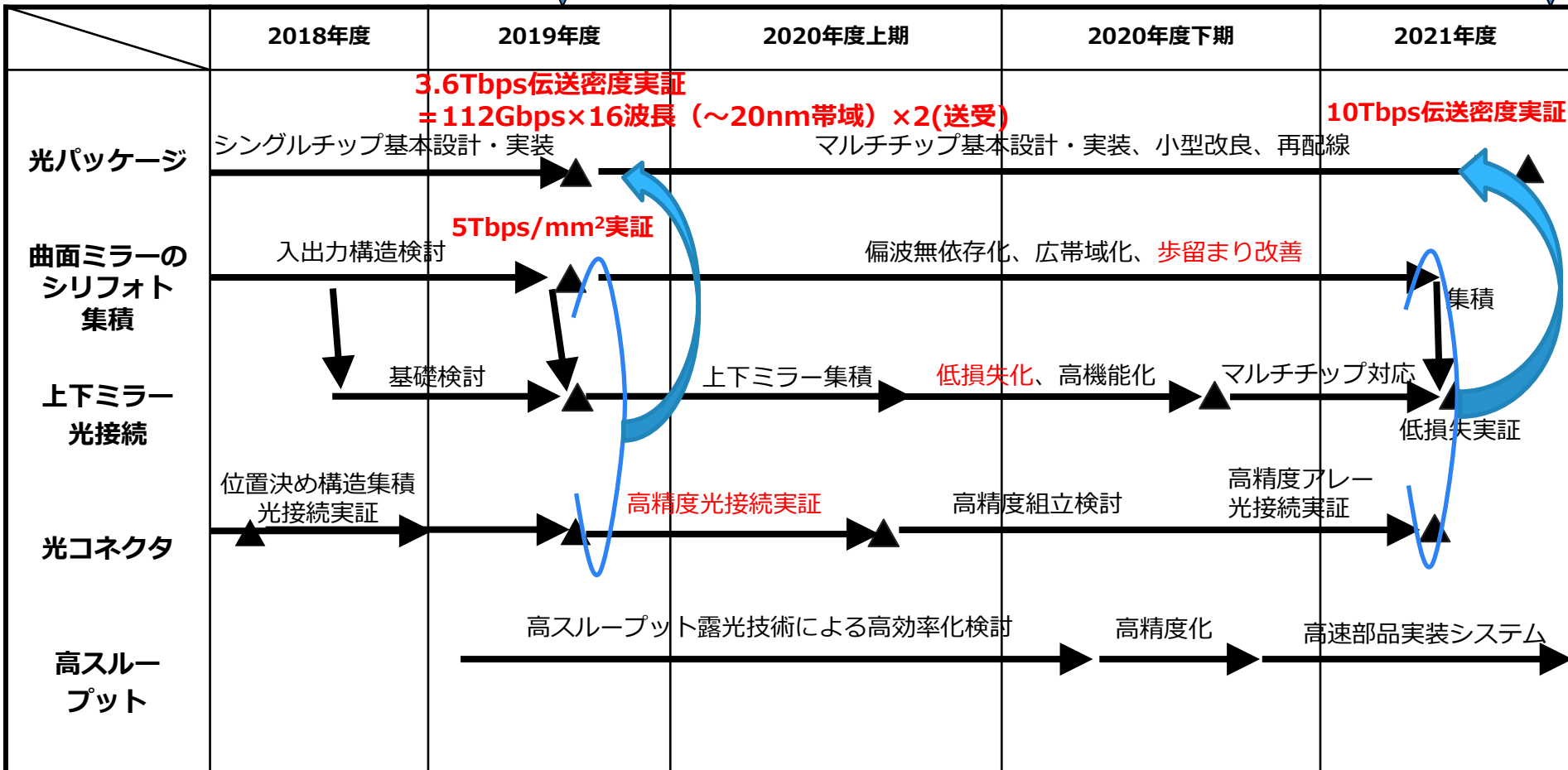


## 【特徴】

- 接続スペースの最小化
- 光コネクタ数の低減と回路基板への固定

中間評価

最終評価



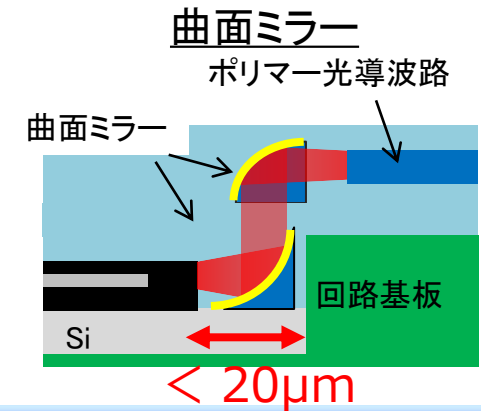
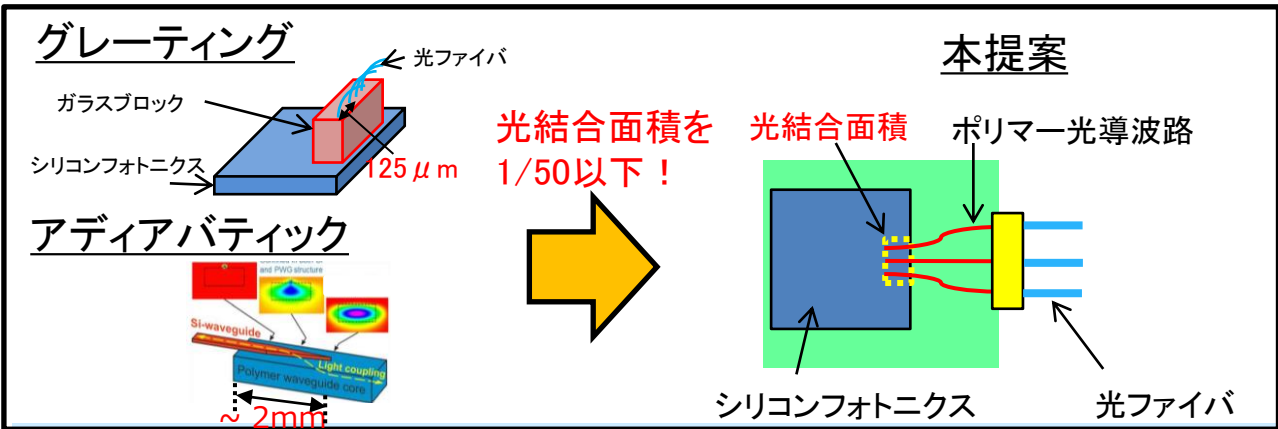


### (3)アプローチ、特徴技術

光実装技術

高性能な高密度光結合を実現するために新しい光結合手法(曲面ミラー)を提案

	グレーティング	アディアバティック	曲面ミラー(PETRA)
光リンク (実装方式)	ファイバダイレクト (アクティブ実装)	ポリマー導波路 (パッシブ実装)	ポリマー導波路 (パッシブ実装)
シリフォト結合器	グレーティング	アディアバティック	曲面ミラー
光結合面積	△ ~10 mm <sup>2</sup>	○ ~2 mm <sup>2</sup>	◎ ~ 0.15 mm <sup>2</sup>
IO密度 @100G/λ	△ ~80 G/mm <sup>2</sup>	○ ~600 G/mm <sup>2</sup>	◎ ~ 20T/mm <sup>2</sup> @16λ
光結合損失	○ ~ 2 dB	○ ~ 1.5 dB	○ 目標< 1.5 dB
波長無依存	×	○	○
偏波無依存	2D : ○, 1D : ×	○	○

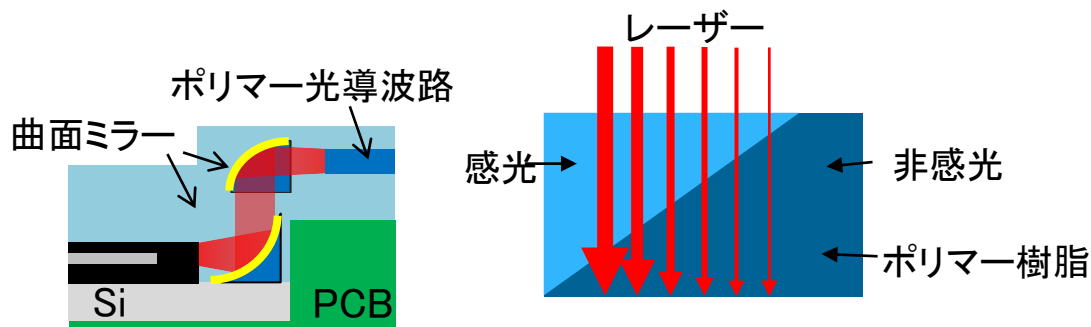


# 3次元ミラーの作製方法

光実装技術

## ■ グレースケール露光を用いた3次元立体構造の作製

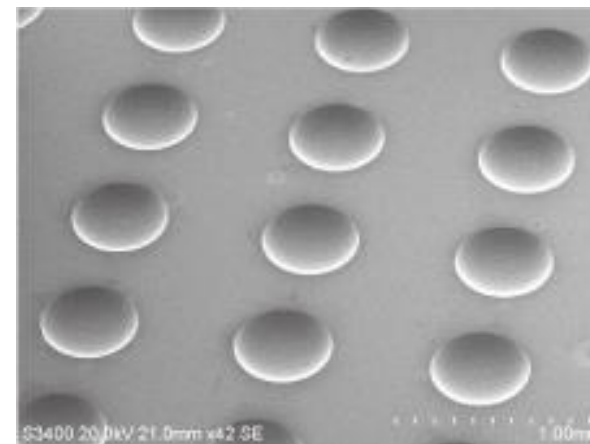
### レーザー描画を用いた曲面ミラー作製



レーザー強度で感光量を変え、  
現像後にポリマー樹脂が立体化

- ・任意の3次元ミラーが作製可能となり、  
高効率な光結合を実現
- ・露光プロセスで高精度な位置決めが可能  
(上下ミラー、ポリマー光導波路)

### レンズ形状作製例



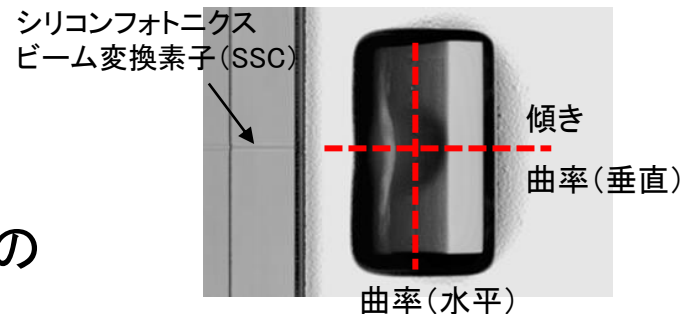
# 3次元ミラーの作製課題

光実装技術

課題: 熱硬化(キュア)等のプロセス中に形状変化



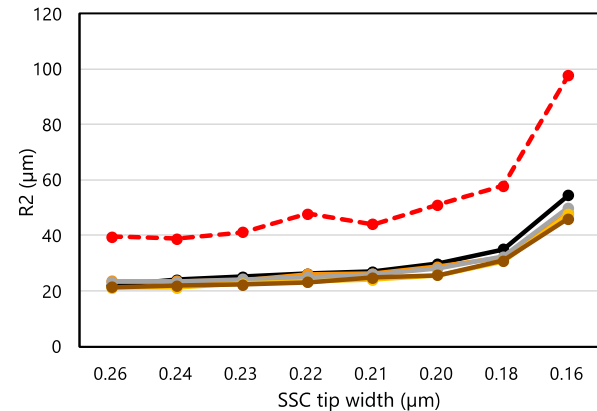
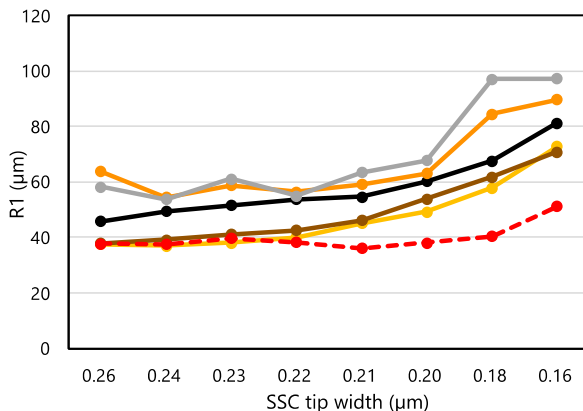
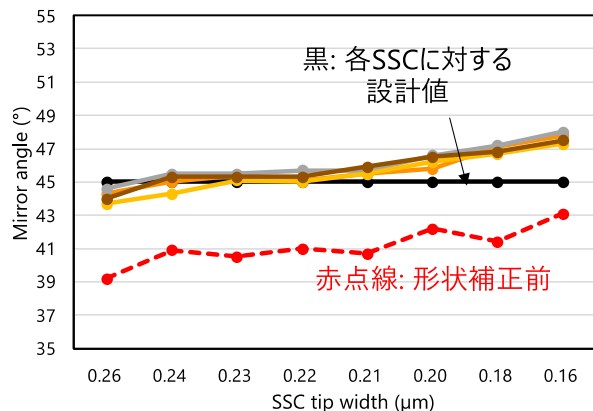
形状変化を考慮したデザイン補正を行うことで所望の構造を実現



傾き

曲率半径(垂直方向)

曲率半径(水平方向)

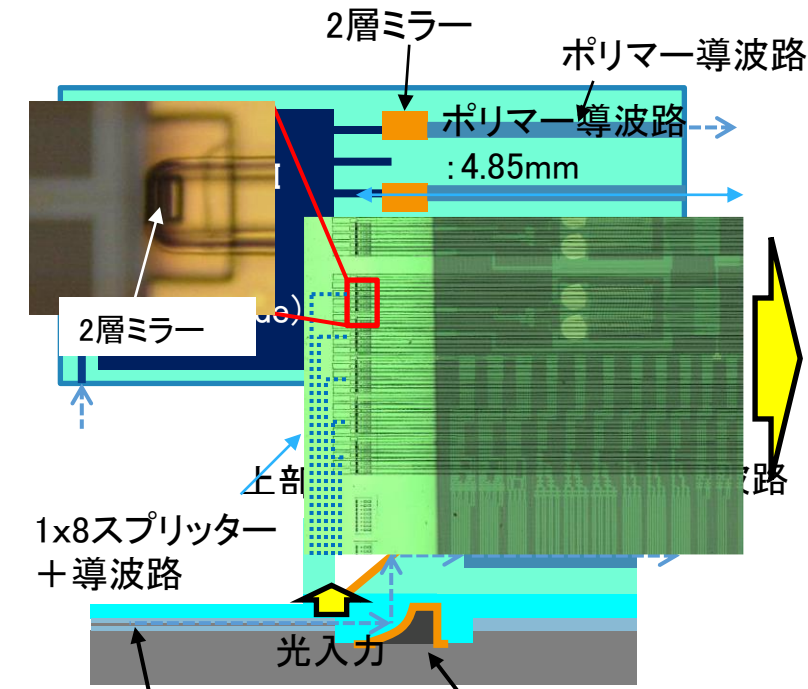


- ・8種類のシリコンSSCに対応した3次元ミラー構造(最小曲率半径:20μm)を作製
- ・水平方向では±5.0%以下のばらつきを実現。垂直方向±25.8%、角度方向±1.0% (ロス0.5dBの許容ばらつき範囲例: 曲率(水平)±21%、曲率(垂直)±23%、角度±1.1%。 ※SSC tip 200nm width)

# (4) 成果 I (光電子集積インターポーザ基板の試作) 公開

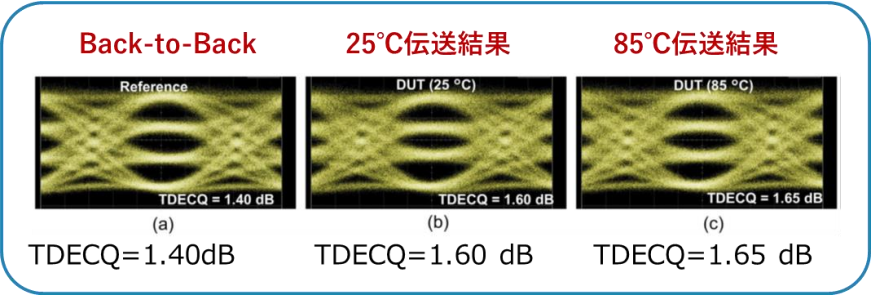
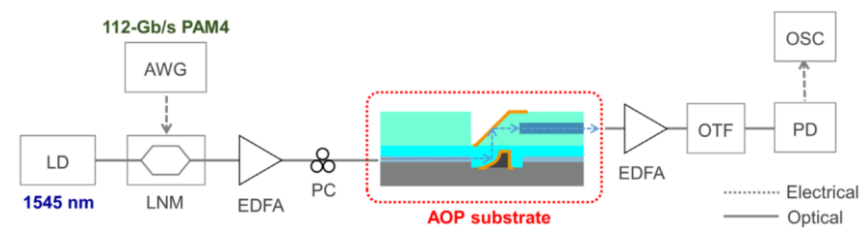
## 光実装技術

- 160nm先端幅のSSCを持つシリコン導波路に適した上下ミラーとポリマー光導波路を集積した光電子集積インターポーザ基板を試作し、ミラー損失測定  
⇒ 上下ミラー (2.85dB) + ポリマー導波路 (0.35dB) で3.2dBの低損失化を実現
- 85°Cまで良好な112Gbps伝送特性を実現



光電子集積インターポーザ基板の写真 (1x8 MMI splitter + SSCs)

光電子集積インターポーザ基板の構造図

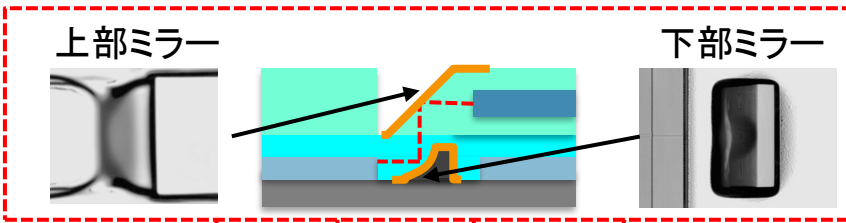


85°C、112Gbps光リンク計測

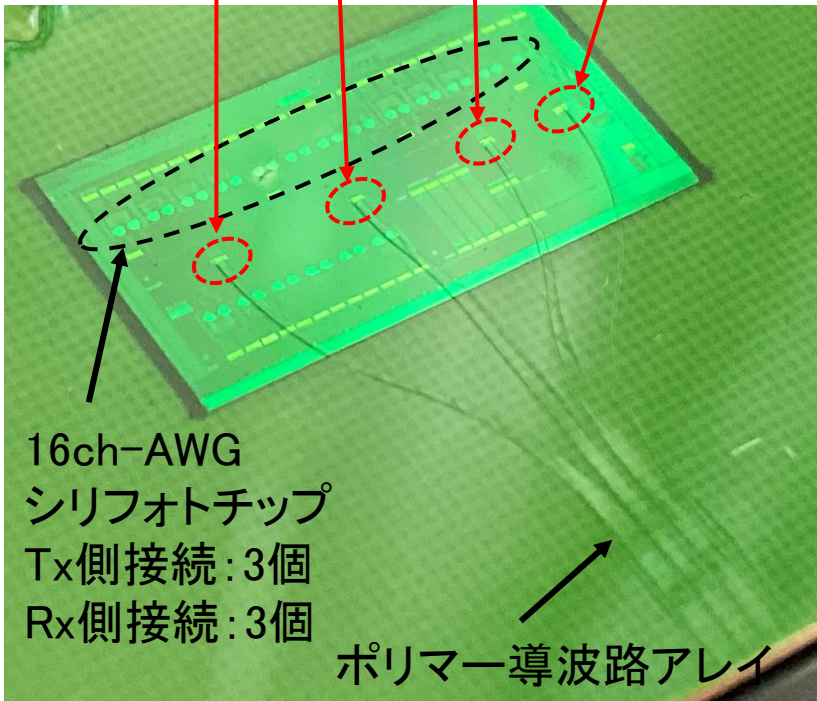
# (4) 成果Ⅱ (10Tbps (20Tbps/mm<sup>2</sup>)光電子集積インターポーザ基板)

光実装技術

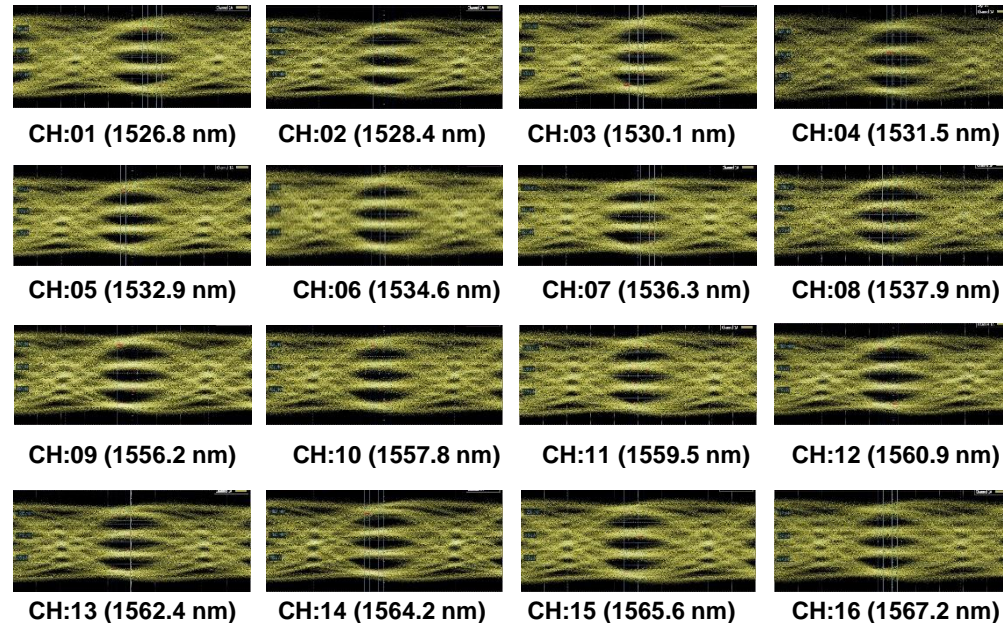
- 10Tbps光電子集積インターポーザ基板を試作
- 送受方向共に16λ-112G-PAM4信号伝送を実証



20Tbps/mm<sup>2</sup>以上の高密度光接続を実現



16λ 112G PAM4伝送特性  
(ポリマー光導波路 → ミラー → 16ch-AWG → Rx)



10Tbps光電子集積インターポーザ基板

# (4) 成果Ⅲ (光電子集積インターポーザ用光コネクタ)

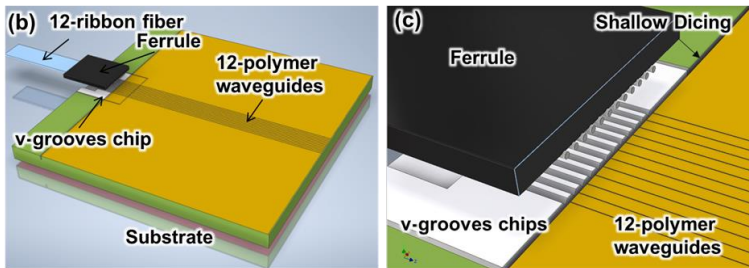
公開

光実装技術

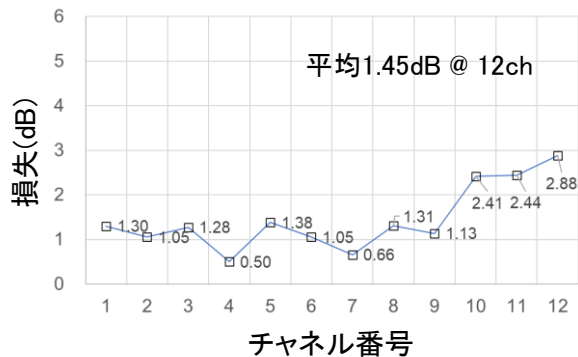
## ■ 光電子集積インターポーザ用に2種類の光コネクタを検討

### ■ 高信頼シリコンV溝コネクタ

シリコンV溝を基板に埋め込み、それを目印に導波路を製作

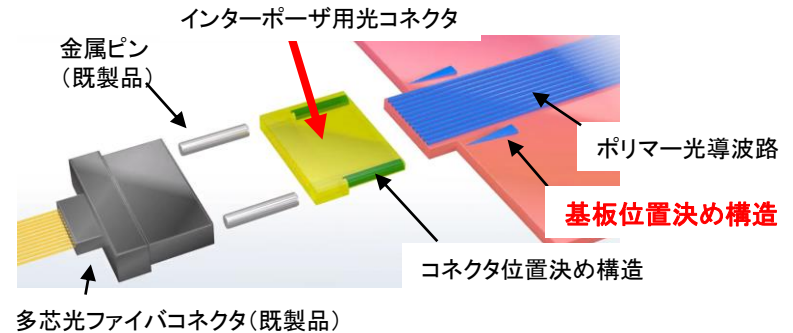


結合損失

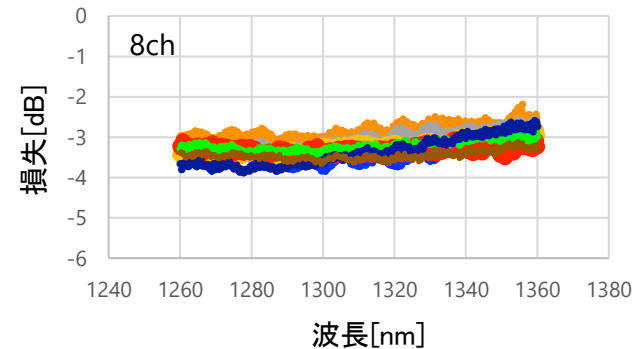


### ■ 低コスト樹脂コネクタ

基板位置決め構造、コネクタ位置決め構造、金属ピンが一直線となる機構



結合損失



- シリコンV溝及び樹脂コネクタを用いて多芯光接続を実現
- シリコンV溝タイプでは平均<math>2\text{dB}</math>@12chの接続損失を実現

## (5) 目標の達成度

公開

### 光実装技術

テーマ	2021年度末最終目標	主な成果状況	達成度
2.2.2.1(e-1) デバイス技術	<ul style="list-style-type: none"> <li>シリコンフォトニクス光入出力構造の波長無依存化・偏波無依存化を行い、シリコン導波路とポリマー光導波路の高密度光結合を実現する。</li> <li>ポリマー導波路形成の効率化技術：光調芯時間をなくした高速な部品搭載を検証する。</li> <li>高集積光コネクタ：シングルモードポリマー光導波路アレイとシングルモード光ファイバの12芯高精度光結合を実証&amp;標準化提案する。</li> <li>光パッケージ技術：マルチチップ実装技術、再配線技術を確立し、シリフォト光入出力密度 20Tbps/mm<sup>2</sup>の実現&amp;10Tbps 伝送密度の光リンク実証する。</li> </ul>	<ul style="list-style-type: none"> <li>3次元ミラーを用いて、シリコン導波路とポリマー光導波路との高密度光結合を実現。</li> <li>ポリマー導波路形成の効率化技術：インプリント法を用いた50mm角サイズのポリマー導波路一括形成法とパッシブ実装可能な光コネクタ部品搭載技術を検証。</li> <li>高集積光コネクタ：シングルモードポリマー光導波路アレイとシングルモード光ファイバの12芯高精度光結合（平均&lt;2dB）を実証。</li> <li>光パッケージ技術：光電子集積インターポーザを試作し、シリフォト光入出力密度 20Tbps/mm<sup>2</sup>の実現&amp;10Tbps 伝送密度の光リンク実証。</li> </ul>	○

達成度：◎大幅達成、○達成（年度内達成見込みも含む）、△達成遅れ、×未達

# ご参考



- ◆ SiGeを採用することで、他機関よりも変調効率が高く、低駆動電圧で小型化できることが特徴

	PETRA		IMEC			Luxtera	IBM
構造	Si/SiGe-MZ	SiGe-EA	Si-MZ	SiGe -EA	Siリング共振器	Si-MZ	SiとBaTiO <sub>3</sub> ハイブリッド・リング共振器
駆動方式	集中定数/進行波型	集中定数型	進行波型	集中定数型	集中定数型	非公開	集中定数型
速度(GHz)	30-40	>70	33	>50	>40	>40	25
パワーペナルティ(dB)	-6	-7	~-10	~-10	~-11	非公開	>-10
電圧(V)	5	2	2.5	2.5	1.5	非公開	小信号応答のみ
サイズ(μm)	200	40	1500	40	15	非公開	30
線形応答性	◎	○	◎	△	×	◎	×
消費電力	△	◎	×	◎	○	×	○
温度依存性	◎	△	◎	△	×	◎	×
その他(動作波長・プロセス)	O/Cバンド可能	C/Lバンド	O/Cバンド可能	C/Lバンド	波長制御課題	O/Cバンド可能	ハイブリッド貼り合せプロセス

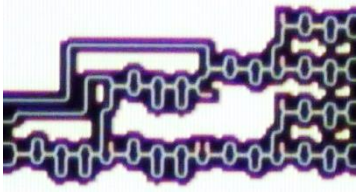
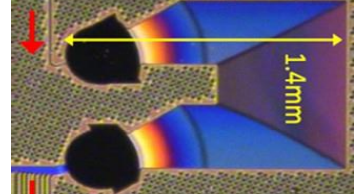
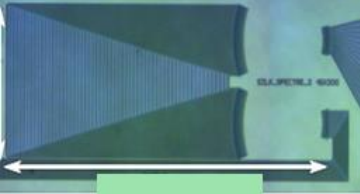
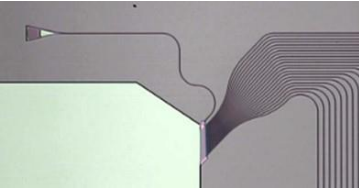
- ◆ Ge成長方法や構造の工夫により受信感度が高く、高速で小型・低電圧駆動可能であることが特徴

	PETRA	IMEC	Luxtera	Intel	IBM
構造	横型PIN	横型PIN	横型PIN	縦型PIN	MSM
量子効率(%)	80-90	60-80	80	65	40
速度(GHz)	60	33	>40	31	35
電圧(V)	3	2	2	2	1
サイズ(μm)	30	15	30	50	30
線形応答性	◎	×	×	○	×

# (6) ベンチマーク(波長多重光回路)

公開

◆ 高度な光回路設計技術と高均一で再現性の高いシリコンフォトニクス作製技術により低損失・低クロストークが特徴

波長多重回路 の上面図  研究機関	 <p>PETRA (OL 2014)</p>	 <p>PETRA (EL 2016)</p>	 <p>IMEC (OL 2013)</p>	 <p>LETI (PTL 2017)</p>
デバイス原理	<p><b>DMZI</b> delayed Mach-Zehnder interferometer</p>	<p><b>AWG</b> arrayed waveguide grating</p>	<p><b>AWG</b> arrayed waveguide grating</p>	<p><b>EG</b> Echelle grating</p>
導波路タイプ	シリコン細線	シリコン細線	シリコン細線	シリコン細線
チャンネル数	4	8	8	16
チャンネル間隔	800 GHz	100 GHz	100 GHz	100 GHz
挿入損	~1.2 dB	~1.5 dB	2~3.5 dB	1.5~2 dB
クロストーク	<-24 dB	<-17 dB	<-17 dB	<-15 dB

- ✓ 低損失化・>16λへの多チャンネル化両立のために、テクノロジー結合
- ✓ 更なる多チャンネル化(>32λ)・低クロストーク化に優位なDMZIアクティブ制御方式も開発

## ◆MZ光変調器

- ドライバーと光変調器を集積した形態での112Gbpsの報告は無い
- IBMの60Gbps送信器は6分割電極の入力信号を全て外部で位相調整しているため、実用性は低い
- 100Gbps PAM-4の報告はあるものの、スキュー調整を外部測定器で行なっており、実用化の課題は残っている

## ◆EA光変調器

- 112Gbpsの報告は無いものの、106Gbpsの報告例など高速化が進展している
- MZ光変調器ドライバーよりも消費電力は低い

MZ  
変調器EA  
変調器

	IC	Mod	$\lambda$ (nm)	NRZ or PAM	Data rate (Gbps)	PRBS	
MZ 変調器	IHP (2016)	SiGe 250nm	Si MZ 分割電極	1550	PAM-4	25 x 2	7
	トロント大 (2017)	CMOS FD-SOI 28nm	Si MZ 進行波電極	1550	NRZ	44	31
	IBM (2018)	SiGe 130nm	Si MZ 分割電極	1310	NRZ	60	7
	Ghent (2020)	SiGe 55nm	Si MZ 進行波電極	1550	PAM-4	50 x 2	15
EA 変調器	Oracle (2014)	CMOS 130nm SOI	SiGe EA	1530	NRZ	25	N/A
	HHI (2017)	SiGe 130nm	InGaAlAs EML	1300	NRZ	56	31
					PAM-4	32 x 2	
	Ghent (2020)	SiGe 55nm	SiGe EA	1565	NRZ	70	9
					PAM-4	53 x 2	
PETRA	SiGe 90 nm	Si MZ 分割電極	1310/1550	PAM-4	56 x 2	31	
		SiGe EA	1550				

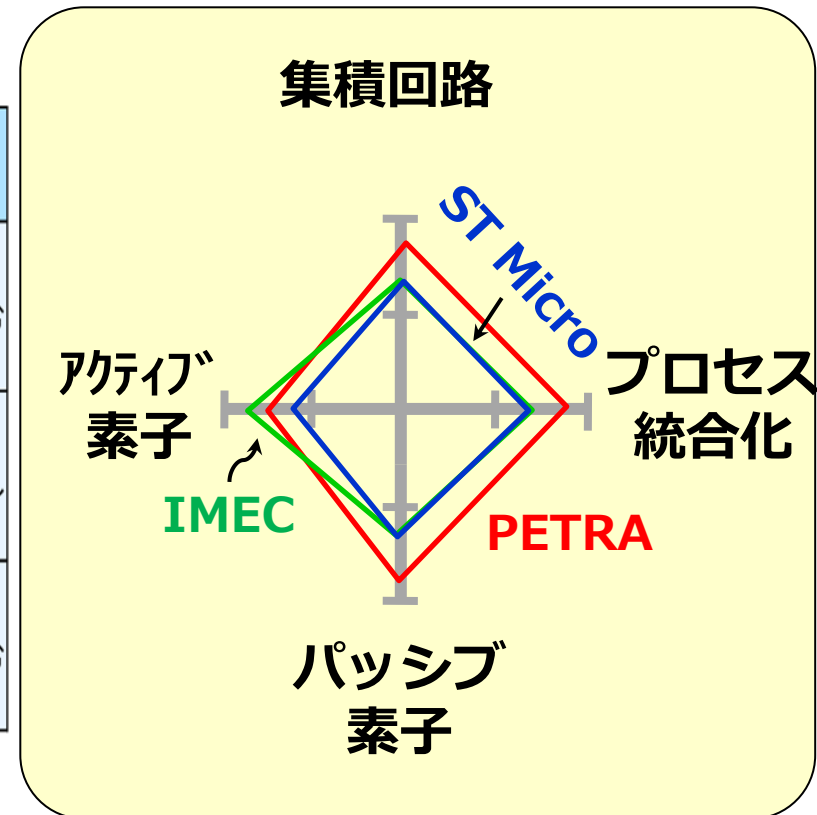
- ◆112Gbps PAM4の高速性と線形性をCMOSで両立するのは難易度が高く(特に線形性)、両立はSiGeが優位
- ◆112Gbpsの報告は無いものの、106Gbpsの報告例など高速化が進展している
- ◆ただし、106Gbpsの報告例ではPN9段までであり、実用性の観点ではまだ不十分である

	IC	PD	$\lambda$ (nm)	NRZ or PAM	Data rate (Gbps)	PRBS
ドレスデン工科大 (2018)	CMOS 28 nm	InGaAs	1550	NRZ	53	7
IMEC (2020)	SiGe 55 nm	Ge/Si APD	1310	NRZ	56	15
IBM (2015)	SiGe 130 nm	GaAs	850	NRZ	71	7
Ghent大 (2019)	SiGe 55 nm	Ge WG	1550	NRZ	90	9
				PAM-4	53 x 2	
Intel (2021)	CMOS 28 nm	Ge	1310	PAM-4	50 x 2	-
<b>PETRA</b>	<b>SiGe 90 nm</b>	<b>Ge WG</b>	<b>1310/1550</b>	<b>PAM-4</b>	<b>56 x 2</b>	<b>31</b>

300mm製造ラインでのシリコンフォトニクス回路試作を比較

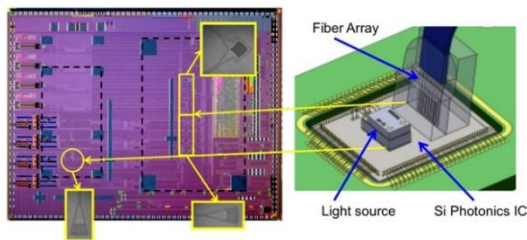
- 低損失性能と集積回路で、他機関をリード
- PETRAのみ40nm高精度加工を1.3 $\mu\text{m}$ /1.5 $\mu\text{m}$ 系向け統合プロセスとして適用[他機関は90nm、または未統合]

	パッシブ素子	アクティブ素子 [変調器/受光器]	プロセス統合化	集積回路
PETRA	◎ 細線導波路 C帯損失~0.4dB/cm	○ >25GHz動作	○ 1.3 $\mu\text{m}$ /1.5 $\mu\text{m}$ 系統合 プロセス(細線)	○ 4ch.-PSM, LD実装含む チップ面積小
IMEC	△ 細線導波路 C帯損失~1dB/cm	◎ 40GHz動作	△ 1.3 $\mu\text{m}$ /1.5 $\mu\text{m}$ 系 別プロセス(細線)	△ 4 $\lambda$ .-WDM, LD実装無し チップ面積小
STMicro	△ リブ導波路 C帯損失~0.4dB/cm	△ 25GHz動作	△ 1.3 $\mu\text{m}$ /1.5 $\mu\text{m}$ 系統合 プロセス(リブ)	△ 4ch.-PSM, LD実装含む チップ面積大

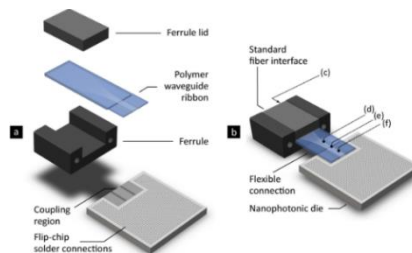


	グレーティング	アディアバティック	曲面ミラー(PETRA)
光リンク	ファイバダイレクト	ポリマー導波路経由	ポリマー導波路経由
シリフォト結合器	グレーティング	アディアバティック	曲面ミラー
光結合損失	○ ~ 2 dB	○ ~ 1.5 dB	○ 2.85 dB (目標<1.5 dB)
結合面積	△ ~ 10 mm <sup>2</sup>	○ ~ 2 mm <sup>2</sup>	◎ ~ 0.15 mm <sup>2</sup>
IO密度 @100G/λ	△ ~ 80 G/mm <sup>2</sup>	○ ~ 600 G/mm <sup>2</sup>	○ ~ 1.2 T/mm <sup>2</sup>
波長無依存	×	○	○
偏波無依存	2D : ○, 1D : ×	○	○
温度無依存	△	○	○

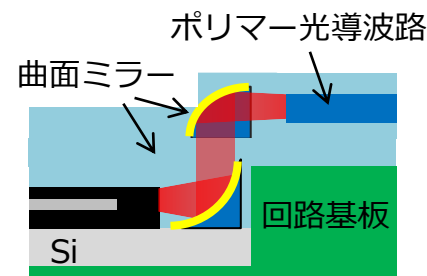
### グレーティング



### アディアバティック



### 曲面ミラー



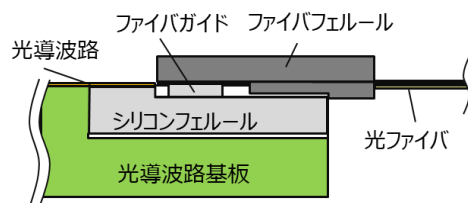
## 基板上光コネクタ

	ガラス	シリコン (PETRA)	プラスチック (PETRA)
精度	○	○	○ (< 2dB)
温度特性	○	○	△ 課題
実装方法	○	△ 課題	○
量産性	× 機械加工	○ 半導体プロセス	○ 成型
実装方式	× アクティブ	○ パッシブ	○ パッシブ
コスト	×	○	◎

### ガラス



### シリコン



### プラスチック

