

**「AIチップ開発加速のためのイノベーション推進事業」**  
**(2018年度～2022年度 5年間)**  
**(中間評価)**

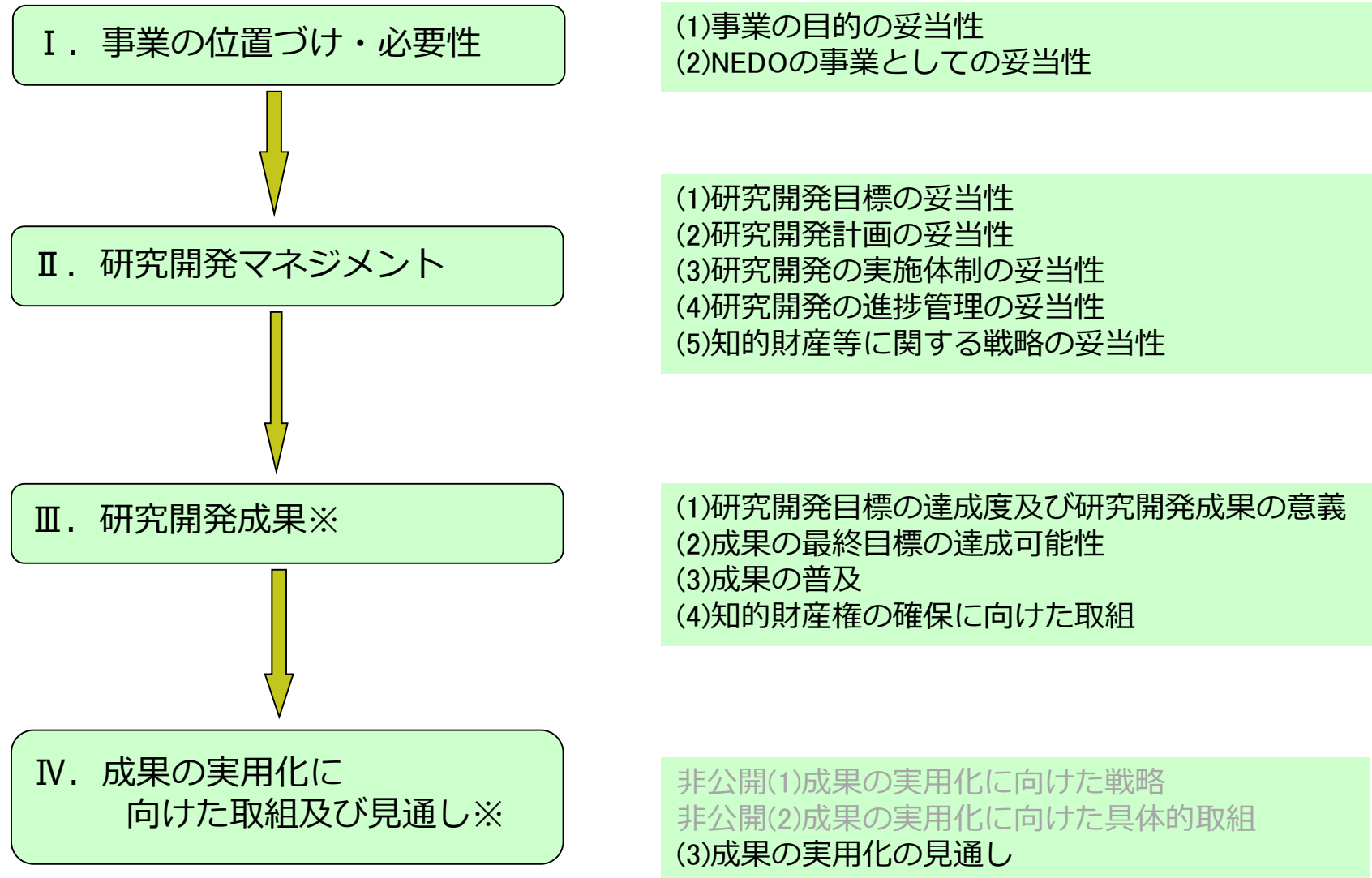
**プロジェクトの概要 (公開)**

**NEDO**

**IoT推進部**

**2020年10月5日**

# 発表内容

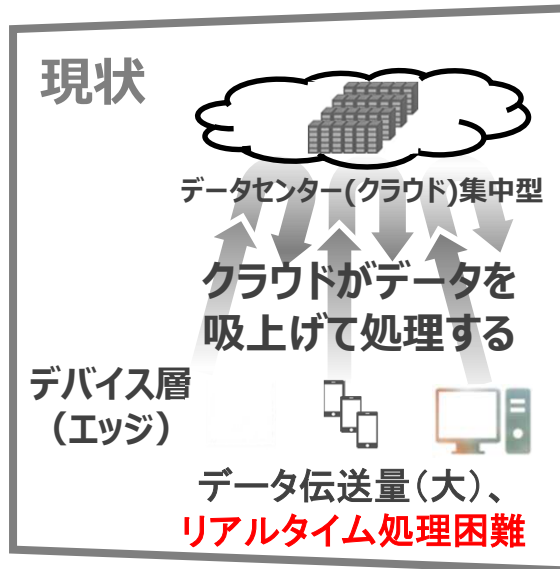


※研究開発項目①については別に実施するテーマ評価で行っているため、Ⅲ.とⅣ.の評価対象は研究開発項目②のみです。

1. 事業の位置付け・必要性  
(1) 事業の目的の妥当性

# 背景

●これまでのIT社会での課題 **情報量の増大**



**エッジ側でリアルタイムな情報処理を行うため小型かつ高度なデバイス (AIチップ) が必要**

■ IoT社会の到来によりエッジでの情報処理 (AIチップ) の必要性が増大

1. 事業の位置付け・必要性  
(1) 事業の目的の妥当性

# 課題と事業の目的

## ◆課題

開発領域

ビジネス領域

- ・ 効率よく、また正確に大規模チップの設計を行うには、**高度な設計技術、ノウハウ**が必要。
- ・ 数千万～数億個のトランジスタを集積するチップの設計では、**高額な専用ソフト（設計ツール）、検証ツール**が必要。

### 課題

設計の仕方が分からない  
設計費用が高額

中小企業  
ベンチャー企業等



- ・ アイデア
- ・ 商品企画
- ・ 要素設計

**PoC※ギャップ**

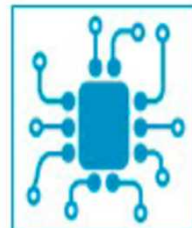
試作

～数億円程度

- ・ 高度な設計スキル
- ・ 高額な設計ツール etc...

チップの設計、性能検証 (5～10億円)

※PoC : Proof of Concept (アイデアの実証)



プロトタイプ



大企業との連携



ファウンドリ  
(量産化)

ビジネス化

ビジネス化に向けた動き

- ・ 銀行等からの投資
- ・ 大企業との共同研究
- ・ ベンチャーキャピタル



事業の目的 : PoCギャップを埋めるため、AIチップ設計のための共通基盤技術と設計ツール等を導入・整備し、「**AIチップ設計拠点**」として民間企業等に提供、日本のAIチップの開発加速を目指す。

1. 事業の位置付け・必要性  
 (1) 事業の目的の妥当性

# 政策的位置付け

科学技術政策	第5期科学技術基本計画 (2016)	「超スマート社会」(Society 5.0)の実現において、「 <b>AI技術</b> 」「 <b>デバイス技術</b> 」「 <b>エッジコンピューティング</b> 」等が、構築に必要で速やかな強化を図るのが必要な基盤技術として挙げられている。 「サイバー空間関連の基盤技術の強化 ( <b>エッジコンピューティング等</b> )」や「フィジカル空間関連の基盤技術の強化 ( <b>超小型・超低消費電力デバイス等</b> )」が重きを置くべき取組として挙げられる
	未来投資戦略(2018)	
	科学技術イノベーション総合戦略, 統合イノベーション戦略 (2018)	
産業技術政策	世界最先端デジタル国家創造宣言 官民データ活用推進基本計画 (2019)	IT活用社会のためには、 <b>高速処理が可能なデジタル環境</b> が不可欠。基盤技術としては、クラウド、 <b>エッジにおけるコンピューティング能力</b> や大容量・超高速データ送受信、記録性向上の技術が挙げられる。
研究開発プログラム 経済産業省	Connected Industriesによる社会課題の解決競争力強化 (2018)	次世代技術の研究開発 <ul style="list-style-type: none"> <li>■ 高効率・高速処理を可能とするAIチップ・次世代コンピューティングの技術開発事業、<b>AIチップ開発加速のためのイノベーション推進事業</b>、等を推進する</li> </ul>
	データを核としたオープンイノベーションの推進によるSociety5.0の実現 (2019)	イノベーションを生み出す産業基盤の強化 AI実装・研究開発/人材育成・活用 <ul style="list-style-type: none"> <li>■ <b>AIチップ開発加速のためのイノベーション推進事業</b>、等を推進する</li> </ul>
	新たな成長モデルの創出を支える基盤の整備 (2020)	イノベーションを生み出す環境整備 Society5.0実現の研究開発・社会実装 <ul style="list-style-type: none"> <li>■ <b>AIチップ開発加速のためのイノベーション推進事業</b>、等を推進する</li> </ul>

■ 本プロジェクトは、科学技術・産業技術政策を実現する事業と位置付けられる。

## 半導体集積回路開発に関する各拠点の状況

拠点名	国家支援	対象利用者	拠点概要※2		
			EDAツール提供	開発目的	大規模対応 (エミュレータ)
AIDC (本事業、日本)	○経済産業省	中小企業等	○	PoC	○
d.Lab (旧VDEC、日本)	○文部科学省	国内大学	○	PoC	×
MOSIS (アメリカ)	○DARPA craft	無制限	×	×	×
IDEC (韓国)	○韓国政府	国内中小企業/ 国内大学	○	PoC	×
TSRI (台湾)	○台湾政府※1	国内大学※1	○	PoC	×
CMP (フランス)	○フランス政府	無制限	×	×	×
CMC (カナダ)	○カナダ政府	国内	○	×	×
EUROPRACTICE (欧州)	○EU H2020 Framework	域内無制限	○	PoC	×
TTSEMI (中国)	○中国政府	国内企業	?	×	×

※1 : 企業向け構築の動きあり (詳細調査中だが、企業向けサービス開始の可能性あり)

※2 ○ : あり × : なし ? : 調査中

- いずれの拠点も国家が支援
- 日本の拠点は現在大学向けであり、民間企業向けの整備が必要
- 大規模対応 (エミュレータ) で差異化

1. 事業の位置付け・必要性  
(2) NEDOの事業としての妥当性

## NEDOが関与する意義

**事業の目的：AIチップ開発のための共通基盤技術の開発とAIチップの設計・評価・検証等の開発環境を「AIチップ設計拠点」として整備、民間企業等に提供、日本のAIチップの開発加速を目指す。**

■ 超スマート社会Society5.0実現には  
国家的な取り組みが必要

AI技術とIoT技術等との掛け合わせによって、革新的な製品やサービスを生み出し、社会実装する必要がある。**公益性**の高い取り組み。

■ 我が国のエレクトロニクス産業を支える  
技術の国際競争力強化

集積回路開発を支援する拠点機能は、AIチップ開発を担う**中核的な機能になりうるポテンシャル**を秘めており、我が国のエレクトロニクス産業のプレゼンス確保に重要。

■ 個々の民間企業では技術開発は困難

開発を支援する拠点機能の構築は、**民間企業単独ではリスク**があり、市場原理のみで推進を図ることは困難。

**N E D Oが関与し推進すべき事業**

2018~2022年度の総事業費： 83.5 億円（予定）

## 期待される経済効果

### ▶ 売上予測(2032年)

年間売上額 **750 億円**

(本事業の適用率20%で算定)



日系企業の占有率20% (約0.38兆円) と仮定

<https://weekly-economist.mainichi.jp/articles/20200204/se1/00m/020/053000c> 記載から推測



市場成長率30~35% (予想は30~70%、右図) の場合、2032年の世界市場規模1.9兆円



2021年のAIチップ市場5240億円  
(5.24billion\$, 右図、100円/\$)

※同年のエッジ領域1048億円 (1/5と仮定)

出典：PWC (AIによる市場シェアの拡大、WWW.PWC.COM/JP、2020年3月)

## GLOBAL ARTIFICIAL INTELLIGENCE CHIPS MARKET

### Market size and forecast

The global AI chips market was valued at \$0.6 billion in 2016 and will reach \$5.24 billion by 2021, growing at a CAGR of 54.25% during the forecast period.

Exhibit 06: Global AI chips market 2016-2021 (\$ billions)

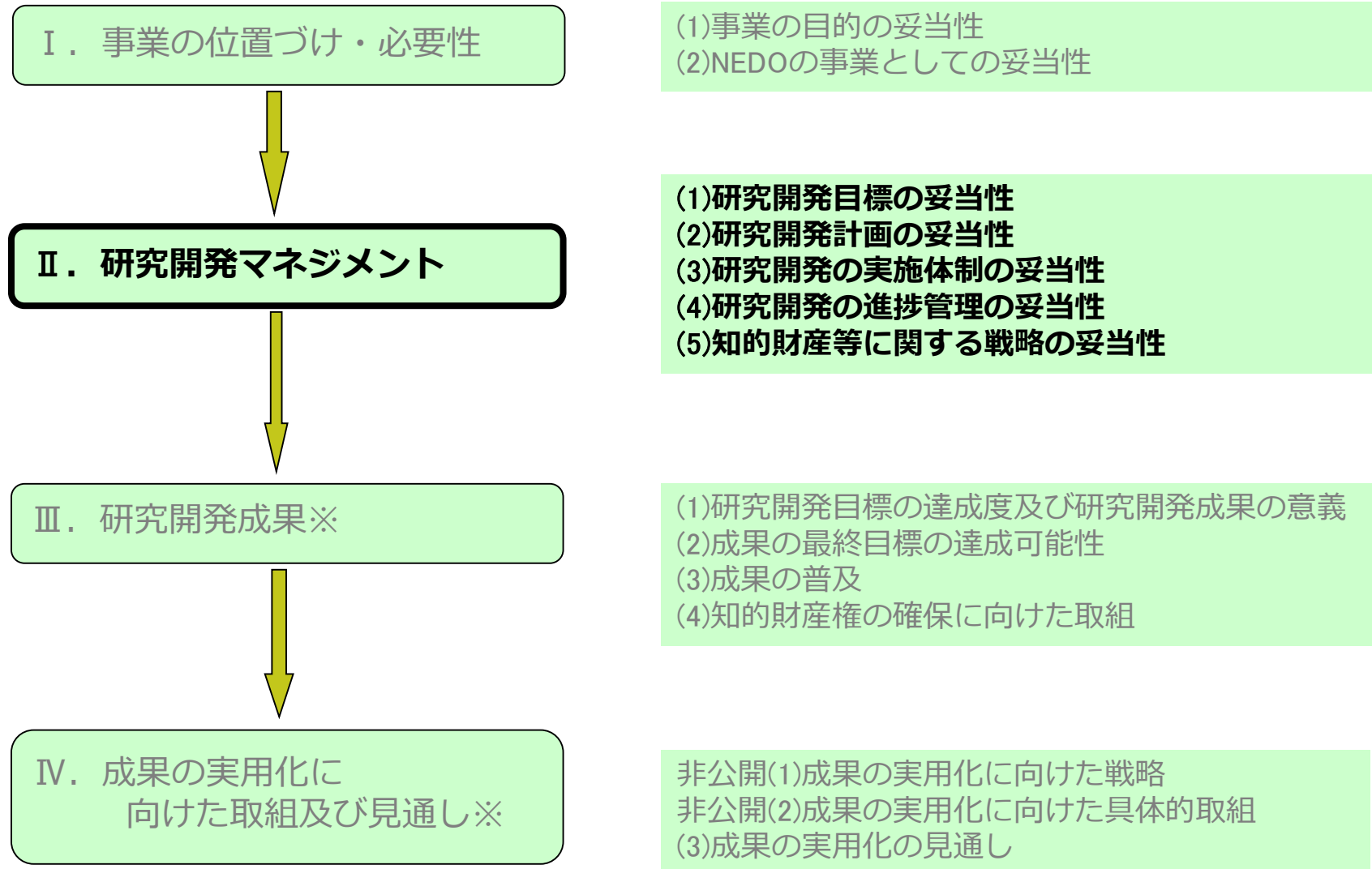


出典：IRTNTR12711\_Global Artificial Intelligence Chips Market 2017-2021

■ 総事業費に比して大きな経済効果をもたらすことが期待



# 発表内容

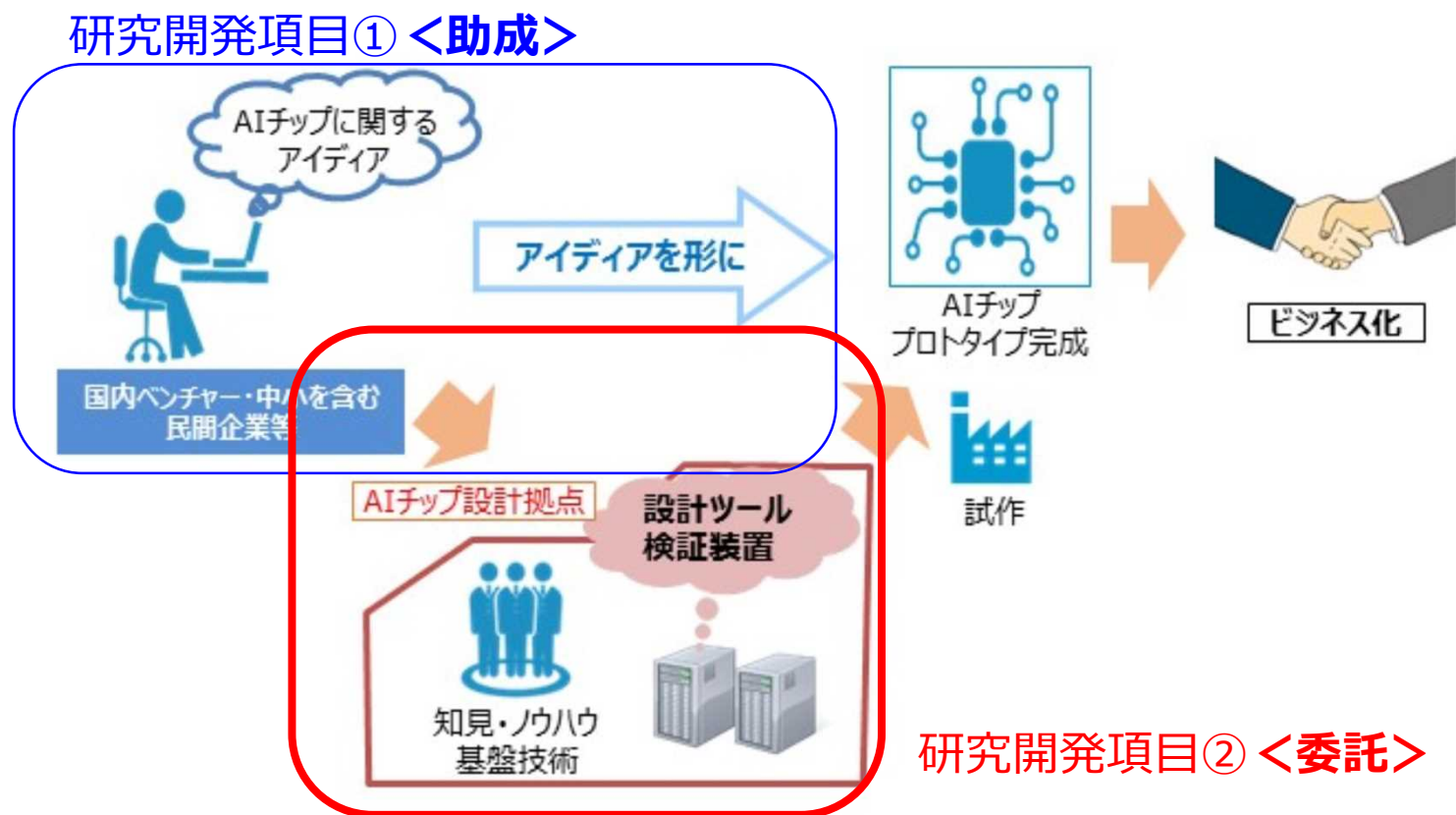


※研究開発項目①については別に実施するテーマ評価で行っているため、Ⅲ.とⅣ.の評価対象は研究開発項目②のみです。

2. 研究開発マネジメント  
(1) 研究開発目標の妥当性

# 事業の目標

大学や研究機関等による高度なAIチップ開発のための**共通基盤技術の開発**を進めると共に、その知見やAIチップの設計・評価・検証等の開発環境を**AIチップ設計拠点**として整備し、民間企業等に提供、AIチップの開発を加速する。



事業のイメージ

## 2. 研究開発マネジメント (1) 研究開発目標の妥当性

# 研究開発項目

### 研究開発項目

- ① AIチップに関するアイデアの実用化に向けた開発
- ② AIチップ開発を加速する共通基盤技術の開発

#### ① AIチップに関するアイデアの実用化に向けた開発 <助成>

##### 民間企業等 (AIチップ開発)

- ・ 民間企業等が持つアイデアを実用化するため、本事業により整備する開発環境等を活用して、AIチップ開発を実施。



研究開発期間  
2年以内/テーマ  
※毎年公募を実施  
ステージゲート方式  
でテーマ評価を実施



研究開発項目①の開発支援の一環として  
設計検証ツール・知見・ノウハウ等 提供



拠点利用による課題や改善  
点・要望等のフィードバック

#### ② AIチップ開発を加速する共通基盤技術の開発 <委託>

##### 大学・研究機関等 (拠点構築)

- ・ 高度なAIチップ開発のための基盤技術の開発。
- ・ AIチップ開発に必要な開発環境（設計ツール等）を整備。
- ・ AIチップ開発に取り組む民間企業等に対して、開発環境、基盤技術、専門的な知見・ノウハウ等を提供。
- ・ AIチップ開発を担う人材の育成。

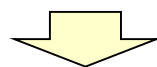


研究開発期間  
5年以内

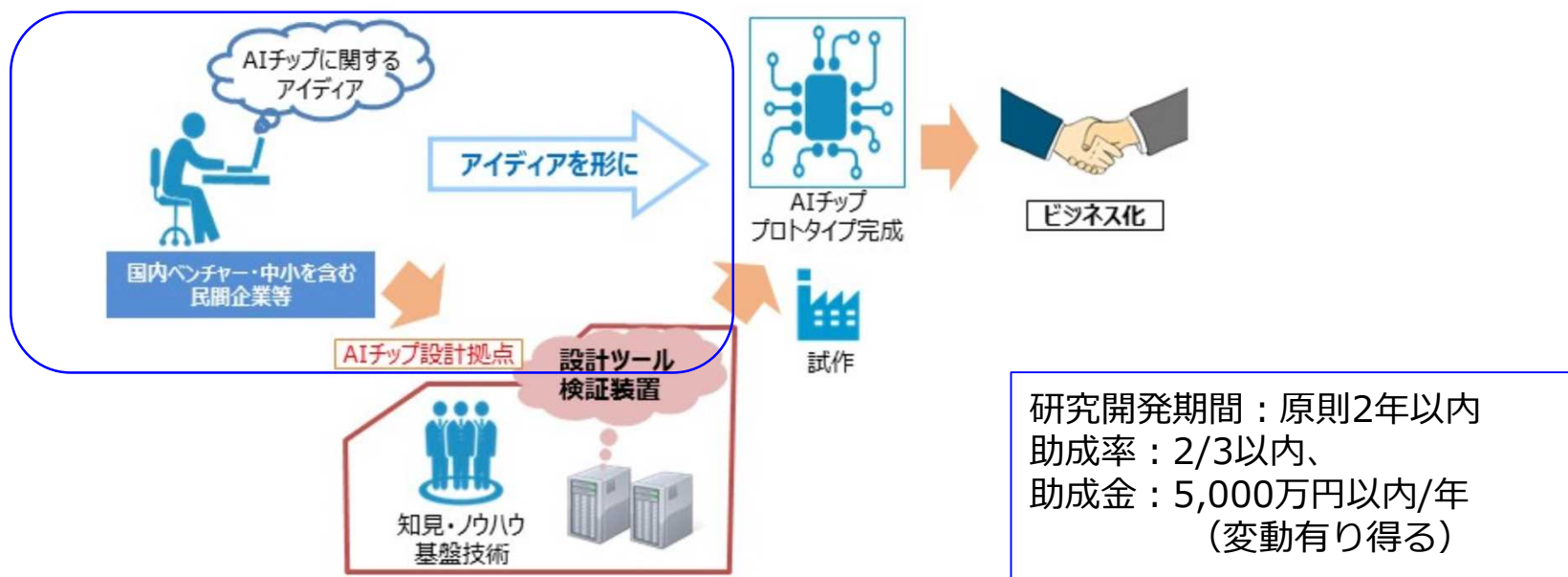
## 2. 研究開発マネジメント (1) 研究開発目標の妥当性

# 研究開発項目① <助成> の背景と狙い

- 自動走行やロボティックスの分野など、ネットワークの末端（エッジ）で高度な情報処理を行うAIチップの開発が不可欠。
- 国内中小企業等にAIチップを基にした新たなビジネス創出の種（アイデア）が存在。
- 多くの画期的なアイデアを実用化するために、AIチップに関するアイデアの実用化に向けた研究開発の加速が必要。



AIチップ専用の設計ツールを用いて論理設計等の基礎設計を行い、シミュレーション等により有効性を評価・検証する。さらに検証した成果をビジネス化するために企業との連携を進め、ビジネス化への道筋を立てる。

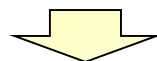


AIチップアイデア実用化のイメージ

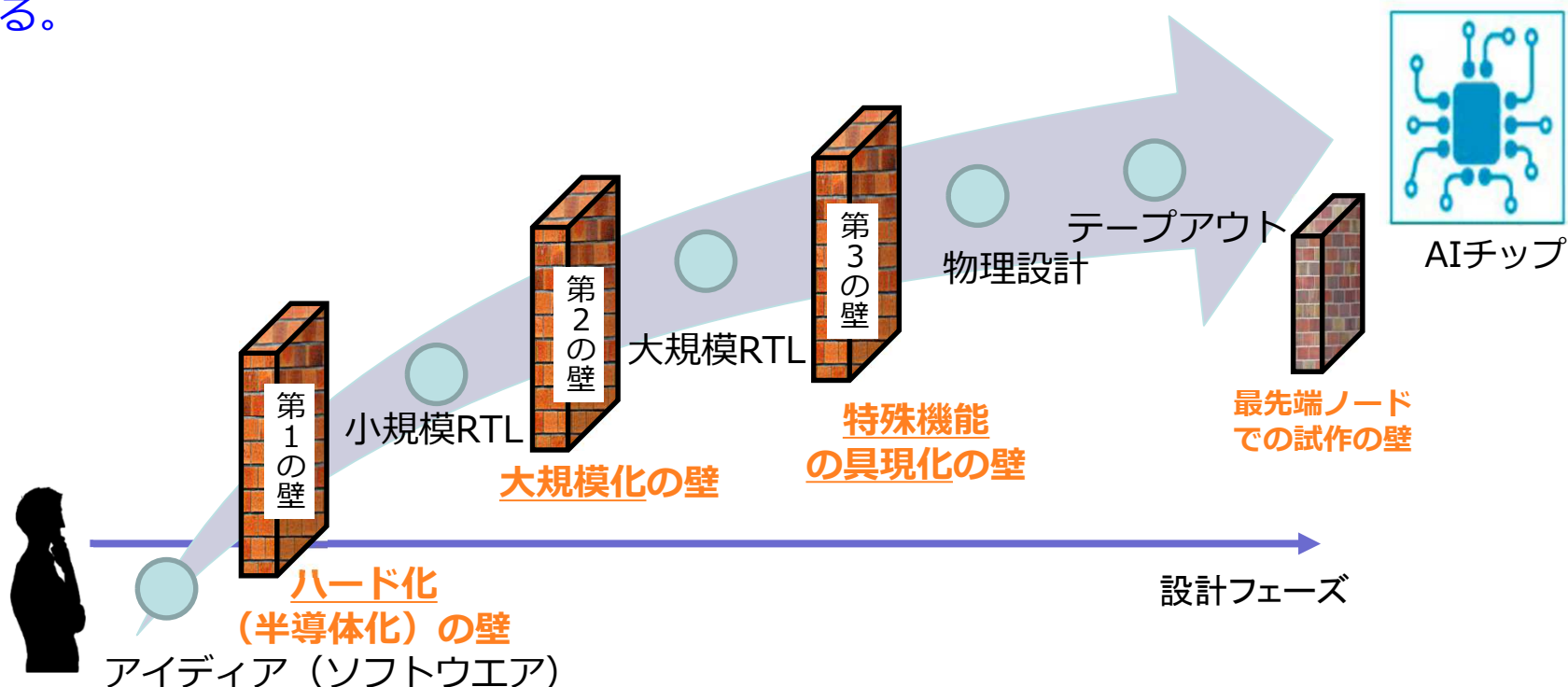
## 2. 研究開発マネジメント (1) 研究開発目標の妥当性

# 研究開発項目② <委託> の背景と狙い

- 国内中小企業等にAIチップを基にした新たなビジネス創出の種（アイデア）が存在。
- 一方、AIチップ設計には、**高額な回路設計ツール**や**検証装置**が必要。
- 加えて、各設計段階においてアイデアを**ハード化**する、**大規模化**する、**特殊機能の具現化**など行う際の**技術的な障壁**が存在するため、これらがビジネス化に向けた高いハードルとなっている。



AIチップ設計に必要な共通基盤技術開発とツール等を提供する拠点整備により、国内中小企業が有する革新的なAIチップに関するアイデアの実現化を加速させる。



## 2. 研究開発マネジメント (1) 研究開発目標の妥当性

# 研究開発項目② <委託> の各実施項目

### 実施項目1：AIチップ開発に必要な共通基盤技術の研究開発

1-1 AIチップ向け設計  
フローの研究開発

検証装置とシミュレータ  
の協調設計フロー

1-3 AIチップ設計に向け  
たリファレンスデザイン  
の研究開発

AIチップ  
リファレンスデザイン

障壁解消

1-2 ハードウェア開発  
垂直立ち上げ実現の  
ための研究開発

ソフトウェアからハード  
ウェア設計を一気通貫に実  
現できるツールチェーン

障壁解消

第2の壁

1-4 センサ機能を含む  
チップのための新規デバ  
イスモデルの研究開発

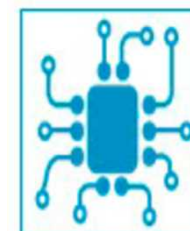
センサーなどの機能  
素子モデル化技術

障壁解消

第3の壁

1-5 国内外FABの活用  
と最適化ライブラリ  
の研究開発

国内外FABとの連携



AIチップ

2-2 人材育成と拠点機能の整備

1-1~1-5の共通基盤技術を活用した教育カリキュラム  
の整備および、AIチップ設計開発のための教育を行う

2-1 AIチップの研究開発に必要なEDAツールの整備

高額な回路設計ツール群を整備し、中小・ベンチャー企業等からの  
拠点活用事例を通じ、広く活用されるような環境として提供する



アイデア

### 実施項目2：AIチップ開発拠点の整備

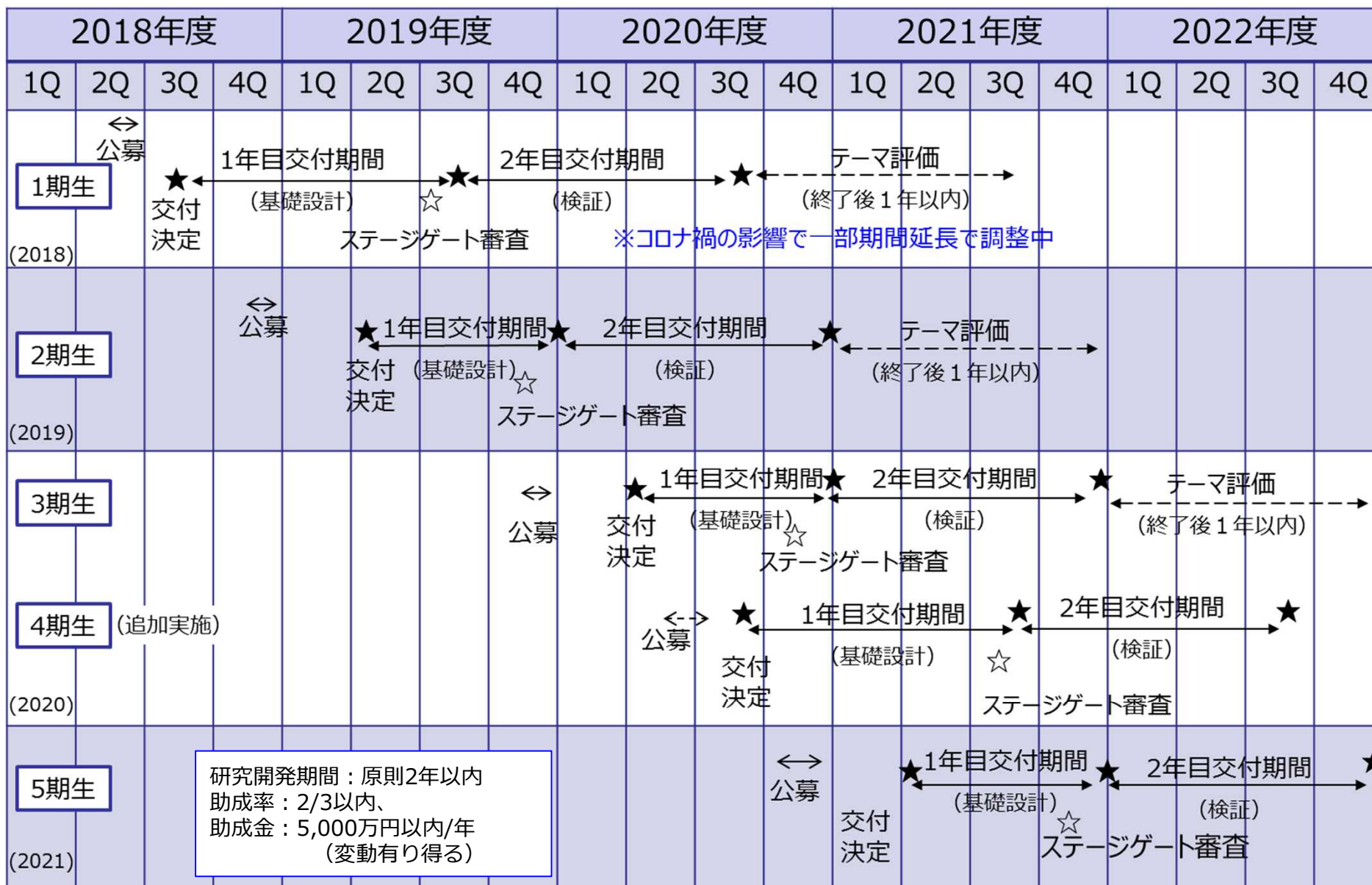
2. 研究開発マネジメント  
 (1) 研究開発目標の妥当性

## 各研究開発項目の目標

研究開発項目	研究開発中間目標・最終目標	根拠
<p>①AI チップに関する アイデア実用化に 向けた開発 〈助成〉</p>	<p><b>中間目標</b>            現状以上の性能を有するAI 向けチップの設計を行い、評価・検証が可能な段階まで到達。設計したAI 向けチップのビジネス化に向けたシナリオを作成。</p> <p><b>最終目標</b>            AI チップの設計を行い、AI チップの動作を効率化し現状以上の性能を有することをシミュレーション等により検証。検証したAI 向けチップのビジネス化の道筋を立てる。</p>	<p>アイデアの効果や技術的実現性を早期に検証するとともに、研究開発項目②の拠点の構築に向けたフィードバックを行うため。</p>
<p>②AI チップ開発を加速する共通基盤技術の開発 〈委託〉</p>	<p><b>中間目標</b>            本事業を通じて開発、整備したAI チップ設計のための共通基盤技術、学習環境、設計環境等の活用件数10 件以上。</p> <p><b>最終目標</b>            本事業を通じて開発、整備したAI チップ設計のための共通基盤技術、学習環境、設計環境等の活用件数15 件以上。</p>	<p>初年度整備の環境を早期に公開・活用し、研究開発項目①の事業者を中心とした拠点利用者から数多くのフィードバックを受けるため。</p>

2. 研究開発マネジメント  
 (2) 研究開発計画の妥当性

研究開発項目①<助成>の全体スケジュール





2. 研究開発マネジメント  
 (2) 研究開発計画の妥当性

研究開発項目② <委託> の研究開発スケジュール

実施項目	2018年度	2019年度	2020年度	2021年度	2022年度
<b>研究開発項目②</b> <b>AIチップ開発を加速する共通基盤技術の開発&lt;委託&gt;</b> 実施項目1: AIチップ開発に必要な共通基盤技術の研究開発 1-1 AIチップ向け設計フローの研究開発 1-2 ハードウェア開発垂直立ち上げ実現のための研究開発 1-3 AIチップ設計に向けたリファレンスデザインの研究開発 1-4 センサ機能を含むチップのための新規デバイスモデルの研究開発 1-5 国内外FABの活用と最適化ライブラリの研究開発 実施項目2: AIチップ開発拠点の整備 2-1 AIチップの研究開発に必要なEDAツールの整備 2-2 人材育成と拠点機能の整備			中間評価		
	拠点活用 (中間目標≧10件) → (最終目標≧15件)				
	1-1 エミュレーター協調 → アプリ向け				
	1-2 EDAツールチェーン	EDAエミュレーター協調ツールチェーン	大規模回路タイミング手法	アプリ向けツールチェーン	
	1-3 IP→CNN (畳み込みニューラルネットワーク) 用リストアップ +RNN(再帰型)用に拡張		SVM (Support Vector Machin) またはボルツマンマシン対応	まとめ・有効性実証	
	1-4 TCAD I/Fプロトタイプ			TCAD環境改良整備	
				設計フローに組み込む条件明確化	
	1-5 IP整備		IP活用設計フロー開発		
	2-1 調達	提供 最適化	最適化	最適化	最適化
	2-2 設計70-基本教材	AIチップ設計基礎教材	エミュレーター協調基礎設計教材	エミュレーター協調上級設計教材	試作ゲートウェイ機能整備・教材まとめ
	セミナー				

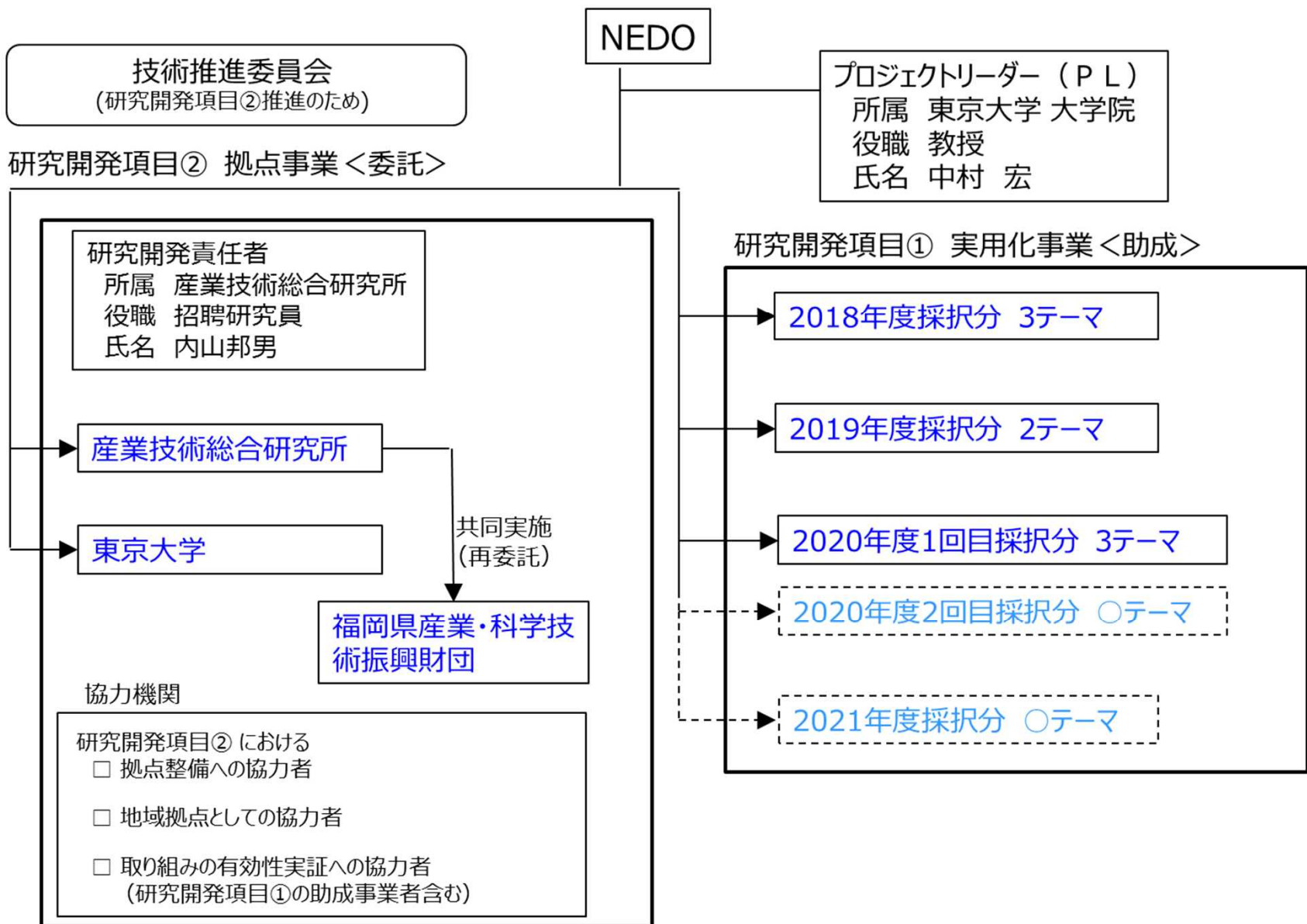
### ◆費用

(単位：百万円)

研究開発項目	2018年度	2019年度	2020年度	2021年度	2022年度	合計
① AIチップに関するアイデア実用化に向けた開発<助成>	53	278	468			799
② AIチップ開発を加速する共通基盤技術の開発<委託>	631	1658	1502			3,791
合 計	684	1,936	1,970			4,590

2. 研究開発マネジメント  
 (3) 研究開発の実施体制の妥当性

# 研究開発の実施体制



■ 研究開発項目②の進捗確認、方向性議論のため技術推進委員会を設置・運用

### 定期的なヒアリング

#### 委託事業は原則月1回、実施者から定期的なヒアリングを実施

- 研究開発進捗状況の確認
- 加速資金投入の検討
- ベンチマークの検討
- 実用化見込みの検討

#### 助成事業は原則年1回、PLと共にサイトビジットを実施

- 実用化開発の進捗状況の確認

### 機動的な加速資金の投入

#### 状況の変化などに対し、必要な加速資金を適切に投入し研究開発を加速

※これまで委託事業の研究開発項目②のテーマで活用

#### 事業内流用で予算の有効活用

### 適時、適切な計画変更

#### 必要に応じて、柔軟に適切な計画変更を行い、研究開発を推進

- 新たな研究開発項目の追加等、必要があれば基本計画等の見直しを実施
- 助成事業は1年経過時にステージゲート実施、2年目の計画を合わせて審議

## 2. 研究開発マネジメント

### (4) 研究開発の進捗管理の妥当性

### 研究開発項目① <助成> の進捗管理 (実績と予定)

	2018年度	2019年度	2020年度	2021年度	2022年度	2023年度	
研究開発項目① AIチップに関するアイデア実用化に向けた開発 <助成>	1期生	5件 基礎設計 サイトビジット	5→3件 検証(1件) 検証(2件) ステージゲート	検証(2件) 検証(1件) サイトビジット	テーマ評価 テーマ評価		
	2期生		4件 基礎設計 サイトビジット	4→2件 検証(2件) ステージゲート サイトビジット	検証(2件) サイトビジット	テーマ評価	
	3期生			3件 基礎設計 サイトビジット	検証 ステージゲート サイトビジット	検証	テーマ評価
	4期生			公募前 基礎設計 サイトビジット	検証 ステージゲート サイトビジット	検証	テーマ評価
	5期生				基礎設計 サイトビジット	検証 ステージゲート サイトビジット	検証

- 日々の進捗管理に加えて全実施者へのサイトビジットをPLと共に実施
- コロナ禍の影響を考慮し、一期生2テーマの期間延長を実施者と協議中

2. 研究開発マネジメント  
 (4) 研究開発の進捗管理の妥当性

研究開発項目① <助成> の進捗実績 (採択状況)

これまで12件採択・交付決定済み、内8件事業実施中

(※採択12件全てのテーマが研究開発項目②の拠点を活用 (予定含む) )

一期生 (2018年度) : 採択 5 件⇒ 2 年目 3 件 (ステージゲート審査結果による)

実施者名	テーマ名	2年目交付
株式会社テックイデア	AI機能を有するCMOSイメージセンサおよびセンサ装置の開発	対象
株式会社レイトロン	AIを用いた高性能リアルタイム対話インターフェースの開発	対象
東北マイクロテック株式会社	サイクリック学習機能を有する超低電力AIチップの開発	対象
株式会社Trigence Semiconductor	AIエッジ搭載音声インターフェースモジュールの研究	—
株式会社シンコム	エッジデバイスをAI化する汎用画像処理プロセッサの開発・評価	—

二期生 (2019年度) : 採択 4 件⇒ 2 年目 2 件 (終了テーマの内一件は、事業化前倒しにより2年目辞退)

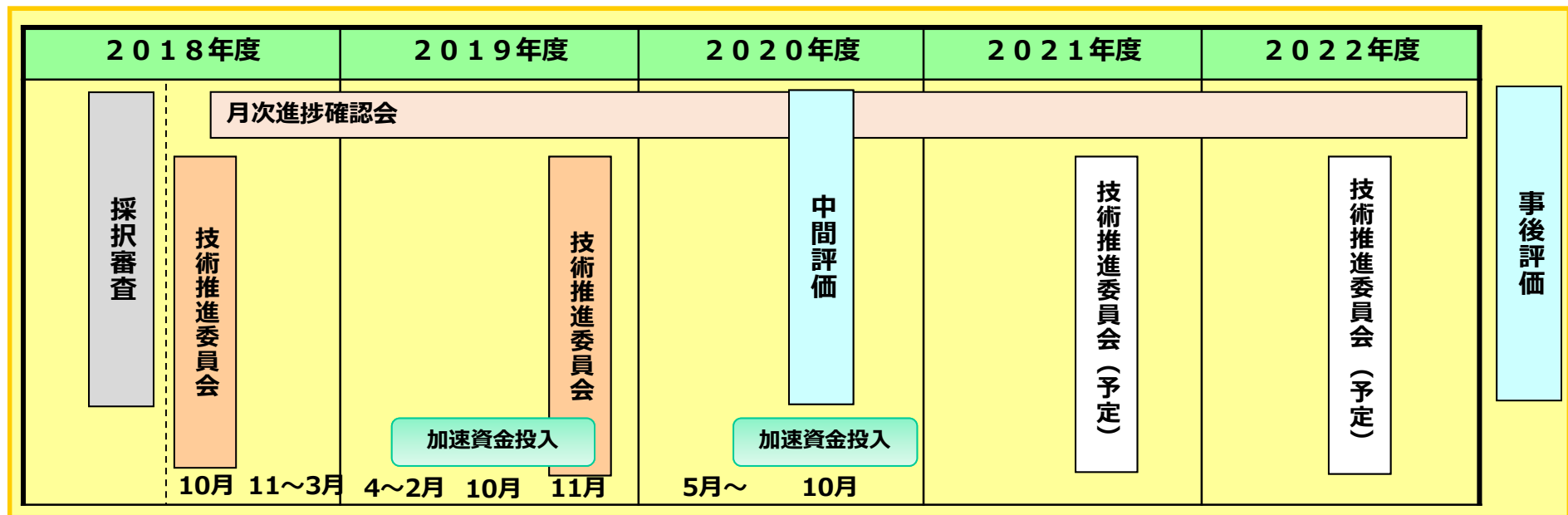
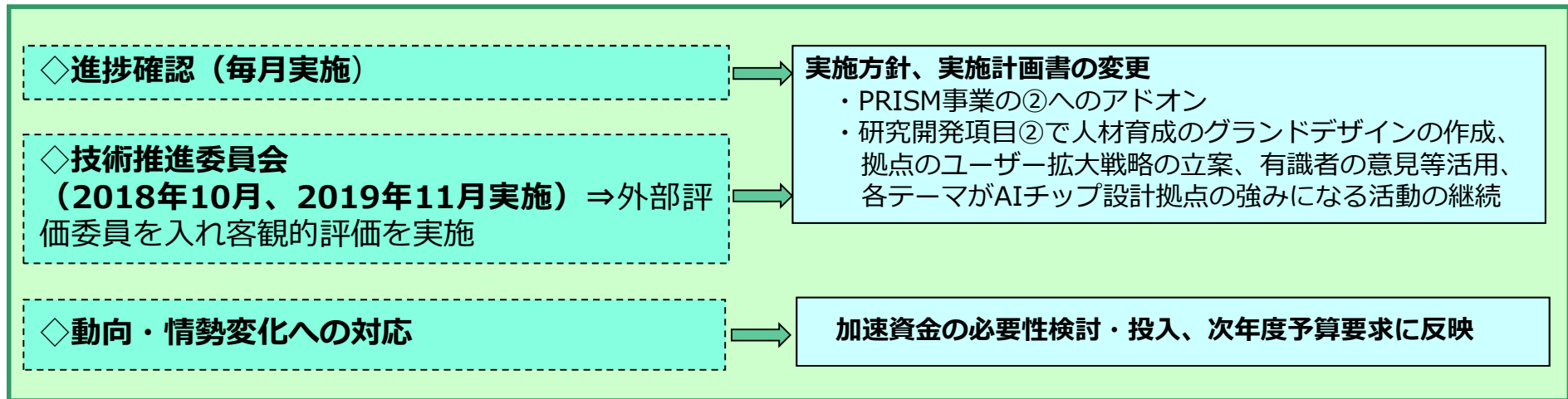
実施者名	テーマ名	2年目交付
株式会社デジタルメディアプロフェッショナル、 株式会社カイ	癌コンパニオン診断用AI病理画像システム向けAIハードウェア研究開発	対象
株式会社シグリード	AI技術でメモリの通信速度を高速化するメモリコントローラの開発	対象
株式会社ハカルス	スパースモデリング技術を用いた学習・推論エンジンを搭載するA I チップ開発	事業化前倒しのため1年目で終了
株式会社エイ・オー・テクノロジーズ	画像集合演算プロセッサ (2D-SOP) による高度画像認識基盤の開発	—

三期生 (2020年度) : 採択 3 件 (※2020年度 四期生として2回目の公募を予定)

実施者名	テーマ名	2年目交付
株式会社ネフロック	FPGAでリアルタイムに高品質な音声合成を行うリコンフィギュラブルA I チップ開発	
A M I 株式会社	心疾患自動診断アシスト機能搭載チップの実用化に向けたシステム開発	
株式会社AnchorZ	適時生体情報と利用履歴による認証システム端末用アルゴリズム・ハードウェア要素開発	

2. 研究開発マネジメント  
 (4) 研究開発の進捗管理の妥当性

研究開発項目② <委託> の進捗管理 (実績と予定)



## 研究開発項目② AIチップ開発を加速する共通基盤技術の開発 &lt;委託&gt;

動向・情勢変化		対応
1	2018年度 本事業が、内閣府官民研究開発投資拡大プログラム（PRISM）の1年目の対象施策に選定。	PRISM予算を活用しAIチップ設計に必要な28nmノードのIPコアの導入・整備を前倒し実施。
2	2019年度 拠点利用者の予想以上の増加が見込まれる中、現状の設備能力では利用者数が制限されてしまう可能性が予見。	利用者からのフィードバックを出来るだけ多く集め拠点の整備を確実に進めるため、2019年10月に加速資金の投入を決定、拠点利用者数の拡大を図るべく拠点設備の増強等を前倒し実施。
3	2019年度 助成事業においてステージゲート審査の結果などにより予算の変動が発生。	予算の有効活用のため、事業内で予算を柔軟に組み換え、委託事業へ加速資金として投入することを決定。具体的には、2019年12月に仕様書・実施計画書を変更し、実施項目1 - 5に新たな目標を追加。



## 2. 研究開発マネジメント

### (4) 研究開発の進捗管理の妥当性 研究開発項目② <委託> の動向・情勢の把握と対応 1

#### 研究開発項目② AIチップ開発を加速する共通基盤技術の開発 <委託>

##### 動向・情勢変化

2018年

本事業が、内閣府官民研究開発投資拡大プログラム（PRISM）の1年目の対象施策に選定。



外部有識者による技術推進委員会を開催し、活用内容を審議

#### 第1回技術推進委員会（2018年10月実施）

実施内容案	意見	対応
PRISM予算を活用しAIチップ設計に必要なI/Oなどの機能モジュールやIPコアの導入・整備を前倒し実施。	・提案された内容は、PRISM事業の方針、また共通基盤技術の開発（拠点）の主旨にも沿っており内容も妥当である。	実施方針、実施計画書を変更し計画通り導入を実施。

■ 技術推進委員会の審議結果を反映させ、計画を変更し事業を前倒し

研究開発項目② AIチップ開発を加速する共通基盤技術の開発 <委託>

動向・情勢変化
2019年度 拠点利用者の予想以上の増加が見込まれる中、現状の設備能力では利用者数が制限されてしまう可能性が予見。



開発促進財源（加速）の投入を決定  
 実施方針、実施計画書の変更実施

件名	金額 (百万円)	目的	成果
AIチップ設計拠点クラウドのセキュリティ強化とユーザ数拡大のための施策（実施項目2-1）	109	本拠点クラウドのセキュリティ強化とユーザー数拡大（ユーザー数：50社以上）のためにシステム強化を同年度中に実施する。	セキュリティを確保した上で。拠点の規模及び能力が拡充し、拠点ユーザー数50社以上の利用が可能になり、拠点整備の加速が期待される。

**■ 加速資金の適切な投入により、開発拠点の整備を前倒し**

## 研究開発項目② AIチップ開発を加速する共通基盤技術の開発 &lt;委託&gt;

## 動向・情勢変化

2019年  
助成事業においてステージゲート審査の結果などにより予算の変動が発生。



予算の有効活用のため、事業内で予算を柔軟に組替え、委託事業へ加速資金として投入することを決定。実施方針、実施計画書の変更を実施。

件名	金額 (百万円)	目的	成果
国内外FABの活用と最適化ライブラリの研究開発 (実施項目1-5)	172	ユーザーのAIチップ向け独自IPの評価が簡単にできるよう拠点機能として評価プラットフォームの構築を図る。	評価プラットフォーム構築に向けたテストチップの開発に着手した。

■ 事業内資金の柔軟な組替えと実施計画書の変更により、拠点の機能を向上

## 研究開発項目② AIチップ開発を加速する共通基盤技術の開発（委託）

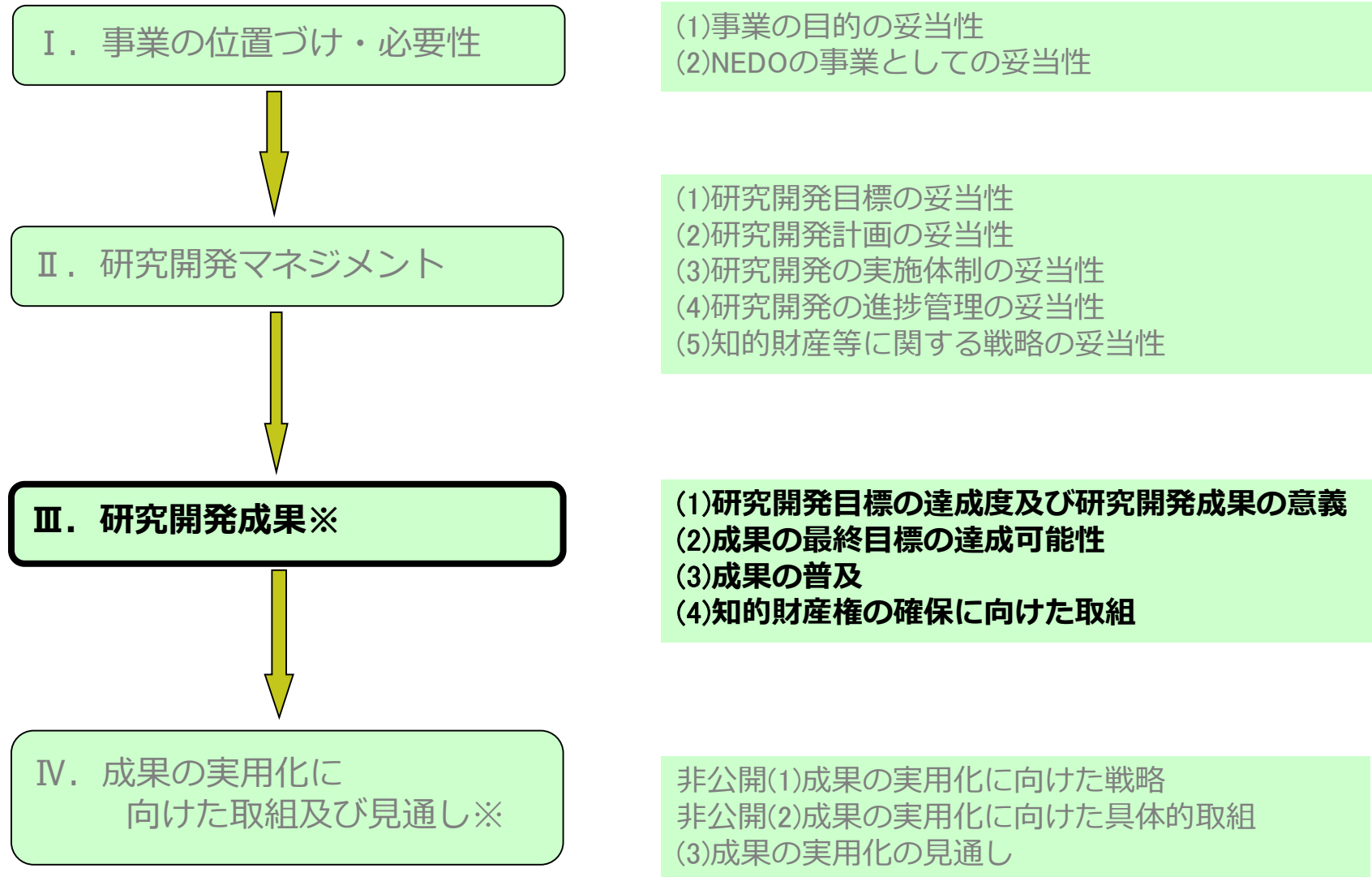
## 知的財産権等に関する方針

- ✓ 本事業内容の特異性から、独自の特許権の獲得よりは共通基盤技術として**設計技術のマニュアル化、ノウハウの蓄積等**に注力する。
- ✓ 本事業で構築した共通基盤技術は、拠点ユーザに対しては公開を原則とするが、プロジェクト終了後の拠点の継続的な自立運営を考えて、一部は非公開として拠点内部で秘匿する（下表参照）。
- ✓ 知財マネジメント、および、データマネジメントは、NEDOプロジェクトにおける知財マネジメント基本方針に則り、知財運営委員会を設置し管理している。

## 本事業で構築する共通基盤技術

分類	AIチップ開発用に構築する共通基盤技術
公開	AIチップ設計手法 リファレンスデザイン IPライブラリ 設計クラウド構成 SoCプラットフォーム
非公開	AIチップ設計手法（一部） リファレンスデザイン（一部） SoCプラットフォーム（一部）

# 発表内容



※研究開発項目①については別に実施するテーマ評価で行っているため、Ⅲ.とⅣ.の評価対象は研究開発項目②のみです。

### 3. 研究開発成果

#### (1) 研究開発目標の達成度及び研究開発成果の意義

#### 目標の達成状況と成果の意義

#### 研究開発項目② AIチップ開発を加速する共通基盤技術の開発〈委託〉

中間目標	成果	達成度	課題と解決方針
<p>本事業を通じて開発、整備したAIチップ設計のための共通基盤技術、学習環境、設計環境の活用件数10件以上を目標とする。</p>	<ul style="list-style-type: none"> <li>・活用件数26件を達成した。</li> <li>・開発・整備として、設計検証フロー並びにツールチェーンの構築、リファレンスデザインの作成、独自機能素子の物理設計環境のプロトタイプ開発、IPの整備とAIチップ向け独自IP評価手法検討と評価チップ設計、EDAツール利用環境の整備、教育コースの実施、試作ゲートウェイ機能の整備、などを行った（詳細は次ページ以降の各実施項目に示す）。</li> </ul>	○	

◎ 大きく上回って達成、○達成、△達成見込み（中間）、×未達

### 3. 研究開発成果

#### (1) 研究開発目標の達成度及び研究開発成果の意義 各個別実施項目毎の目標と達成状況 (1/4)

#### 研究開発項目② AIチップ開発を加速する共通基盤技術の開発 <委託>

実施項目	中間目標	成果	達成度	今後の課題と解決方針
1-1 AIチップ向け設計フローの研究開発	<ul style="list-style-type: none"> <li>・拠点利用者が、小・中規模の回路に対し、拠点で構築したRTL記述を用いたエミュレータ・シミュレータ協調設計検証フローで設計検証を実施（5件以上）</li> <li>・拠点利用者が、小・中規模の回路に対し、拠点で構築したネットリストレベルの記述を用いたエミュレータ・シミュレータ協調設計検証フローで設計検証を実施（3件程度）</li> <li>・エミュレータ・シミュレータ協調設計検証フローを用いることによる設計検証効率の向上を、エミュレータのみを用いた設計検証フローと比較することで（検証時間・検証カバレッジ等を用いて）可視化するとともに結果を電子的に公開する</li> </ul>	<ul style="list-style-type: none"> <li>・RTLレベルの記述を用いたシミュレータおよびエミュレータによる設計検証は7件進行中。</li> <li>・ネットリストレベルの記述を用いたエミュレータ・シミュレータ協調設計フローでの検証は実施前（0件）。</li> <li>・設計検証効率の比較確認は未。</li> <li>・設計効率の更なる向上に向け、エミュレータシミュレータ協調設計検証プラットフォームVeriForgeを導入した。エミュレータのみとの比較は検証中。</li> <li>・エミュレータ利用ガイドライン及びエミュレータ利用マニュアル（エミュレータ利用モデルを含む）を3件作成し拠点のホームページ（以下HPと略）にて公開。</li> </ul>	△ (2020年度末には達成見込み)	検証フローの使用実例を提示し10月から拠点利用者に使用して貰う。それにより年度末には3件達成の見込み。この検証時に合わせて検証効率も比較確認を行う。
1-2 ハードウェア開発垂直立ち上げ実現のための研究開発	<ul style="list-style-type: none"> <li>・モデルベースのエミュレータ・EDAツールの協調設計ツールチェーンを開発し、小・中規模の実設計において実証する。3件以上がこのモデル設計フローを活用した設計を行う</li> </ul>	<ul style="list-style-type: none"> <li>・高位合成を使ったデジタル設計【基礎編】を作成し、ここで定義されたモデル設計フローを活用した高位合成を3件設計した。</li> </ul>	○	

◎大きく上回って達成、○達成、△達成見込み（中間）、×未達

### 3. 研究開発成果

#### (1) 研究開発目標の達成度及び研究開発成果の意義

各個別実施項目毎の目標と達成状況 (2/4)

#### 研究開発項目② AIチップ開発を加速する共通基盤技術の開発〈委託〉

実施項目	中間目標	成果	達成度	今後の課題と解決方針
1-3 AIチップ設計に向けたリファレンスデザインの研究開発	<ul style="list-style-type: none"> <li>・ 畳み込み・再帰型ニューラルネットワークに対応したアクセラレータリファレンスデザインを作成する。その動作をエミュレータ上で再現し、ニューラルネットワーク用シミュレーションフレームワークの処理について、ソフトウェアによる実行結果と矛盾しない正当な計算結果が得られることを確認する。</li> </ul>	<ul style="list-style-type: none"> <li>・ 畳み込みニューラルネットワークに対応したアクセラレータリファレンスデザインを作成し、その動作をエミュレータ上で再現した。</li> <li>・ さらに、エミュレータ上で100データでの学習を例題として、ニューラルネットワーク用シミュレーションフレームワークの処理について、ソフトウェアによる実行結果と矛盾しない正当な計算結果が得られることを確認した。</li> <li>・ なお、6月フォーラムにおいて、日本ケイデンス・デザイン・システムと共同でリファレンスデザインについて紹介。簡易マニュアルを拠点HP内で公開。</li> </ul>	○	
1-4 センサ機能を含むチップのための新規デバイスモデルの研究開発	<ul style="list-style-type: none"> <li>・ ImpulseTCADをベースとしてAIチップに搭載する際に利用可能な独自の機能素子の物理設計環境のプロトタイプを、例えばフォトセンサーといった特定の用途を想定して開発・評価し、課題を抽出し、改良仕様を策定する</li> </ul>	<p>CMOSイメージセンサーピクセルのデバイスシミュレーションのWEBユーザーインタフェースのプロトタイプを開発した。関連ユーザー評価結果を元に改良仕様を策定した。</p>	○	

◎大きく上回って達成、○達成、△達成見込み（中間）、X未達



### 3. 研究開発成果

#### (1) 研究開発目標の達成度及び研究開発成果の意義

各個別実施項目毎の目標と達成状況 (3/4)

#### 研究開発項目② AIチップ開発を加速する共通基盤技術の開発<委託>

実施項目	中間目標	成果	達成度	今後の課題と解決方針
1-5 国内外FABの活用と最適化ライブラリの研究開発	<ul style="list-style-type: none"> <li>・整備すべきIPカタログの作成と整備順の策定</li> <li>・カタログに沿ったIPを整備し、拠点利用者が利用できるようにWEBに掲載する</li> <li>・AIチップ向け独自IPの評価手法を検討し、それに則った評価チップを設計する。</li> </ul>	<ul style="list-style-type: none"> <li>・整備すべきIPカタログである、PRISMにより導入したIPリストを整備しWEBに掲載した</li> <li>・拠点導入IPを最大限活用し、かつ拠点利用者の設計の実用化加速支援を目指したAi-One SoCプロジェクトを立ち上げSoCを設計した</li> </ul>	○	
2-1 AIチップの研究開発に必要なEDAツールの整備	<ul style="list-style-type: none"> <li>・EDAツールを導入、利用環境を整備し、拠点利用者へ公開することで10件程度の利用実績をあげる</li> </ul>	<ul style="list-style-type: none"> <li>・導入したEDAツールの利用マニュアルを公開、ツール利用のための環境設定ファイルをツール毎に準備、ライセンスの効率的な運用、設計データやIPの保護のために、VMにログインし、LSF（ライセンス・スケジューラ）を用いたツールの実行環境を整備し、ツール利用が進んでいる。</li> <li>・以上により、利用件数は26件となった。</li> </ul>	◎	

◎大きく上回って達成、○達成、△達成見込み（中間）、×未達

### 3. 研究開発成果

#### (1) 研究開発目標の達成度及び研究開発成果の意義

各個別実施項目毎の目標と達成状況 (4/4)

#### 研究開発項目② AIチップ開発を加速する共通基盤技術の開発<委託>

実施項目	中間目標	成果	達成度	今後の課題と解決方針
2-2 人材育成 と拠点機 能の整備	<ul style="list-style-type: none"> <li>・エミュレータ及びEDAツールを活用した設計フローの一般論（初級編）、導入EDAツールを用いたAIチップ設計論、エミュレータ・EDA協調設計検証論（初級編）を整備し、拠点利用者に対し、2019年度以降1項目あたり年間1回以上の教育コースを実施する</li> <li>・国内外の代表的なFABと契約を締結し、設計環境を導入することで設計試作ゲートウェイ機能を整備する。これを拠点利用者へ公開することで、実施項目1-1の中間目標のネットリスト検証フロー利用目標3件のうち1件程度が本設計試作ゲートウェイ機能を利用して設計手順を実施する。</li> <li>・拠点運営について運営形態等の検討を行うタスクフォース等を立ち上げる</li> </ul>	<ul style="list-style-type: none"> <li>・1-1、1-2と協調しながら教材の整備を行い、「デジタル設計の基礎」、「ハードウェア・エミュレータでの論理検証の基礎【初級編】【応用編】」「高位合成を使ったデジタル設計【基礎編】【続基礎編】【実践編】」「デジタルブロック・物理設計編」を整備した。SoC設計セミナーを4回、教育セミナーを3回実施した。また、人材育成に向けた方針を定め、それに基づき、一般向けに設計フォーラムを14回実施した（参加者数は回を追うごとに増加している）</li> <li>・代表的なFABとして、TSMCとNDAを締結しライブラリの供給を受け設計に供している</li> <li>・タスクフォースを設立して自立化の検討を開始した</li> </ul>	○	

◎大きく上回って達成、○達成、△達成見込み（中間）、×未達

### 3. 研究開発成果

#### (1) 研究開発目標の達成度及び研究開発成果の意義

#### 各個別テーマの成果と意義 (1/7)

### 実施項目 1 - 1 : A I チップ向け設計フローの研究開発

#### 【成果】

- R T L レベルの記述を用いたシミュレータおよびエミュレータによる設計検証は 7 件進行中。
- ネットリストレベルの記述を用いたエミュレータ・シミュレータ協調設計フローでの検証は実施前（0 件）。
- 設計検証効率の比較確認は未。
- 設計効率の更なる向上に向け、エミュレータシミュレータ協調設計検証プラットフォームVeriForgeを導入した。エミュレータのみとの比較は検証中。
- エミュレータ利用ガイドライン及びエミュレータ利用マニュアル（エミュレータ利用モデルを含む）を 3 件作成し拠点のホームページ（以下 H P と略）にて公開。

#### 【意義】

- エミュレータの利用を加速することで、従来乖離が多かった検証結果と実機との差を埋めることが可能となるとともに、大規模な検証での検証漏れをなくすことが可能となる。
- 実際のサンプルRTLを用いた教材整備により、難解で使いこなすことが困難と思われがちなエミュレータ利用の障壁を大幅に低減できたことで、利用者の増加が期待できる。
- さらに、教材を活用したセミナーを実施することで、エミュレータに対する理解を深め更なる利用者の獲得につながる。

ハードウェア・エミュレータでの論理検証の基礎  
【応用編】

AIチップ設計拠点  
東京大学システムデザイン研究センター

【目次】

【デジタル設計の基礎編】	【ハードウェア・エミュレータでの論理設計の基礎 (初級) 編]
1章 論理設計の基礎	6章 ハードウェア・エミュレータでの論理検証
1.1 論理設計の基礎	6.1 エミュレータの概要
1.2 論理設計の基礎	6.2 エミュレータでの論理検証の概要
1.3 論理設計の基礎	6.3 ハードウェア・エミュレータでの論理設計フロー
1.4 VeriForgeの概要	6.4 VeriForgeの概要
2章 検証の基礎	7章 ネットリストレベルの記述を用いた検証
2.1 検証の基礎	7.1 ネットリストレベルの記述
2.2 検証の基礎	7.2 MADCOでの検証の概要
2.3 検証の基礎	7.3 MADCOでの検証の概要
2.4 検証の基礎	7.4 MADCOでの検証の概要
3章 検証の基礎	A章 Appendix
3.1 VeriForgeの概要	
3.2 VeriForgeの概要	
3.3 VeriForgeの概要	
3.4 VeriForgeの概要	
4章 基本チップ（ASIC）の検証フロー	【ハードウェア・エミュレータでの論理設計の基礎 (応用) 編]
4.1 デザインの概要	8章 ニューラルネットワークの回路仕様
4.2 MADCOでの検証の概要	8.1 半導体製造のニューラルネットワーク
4.3 MADCOでの検証の概要	8.2 デザインの概要
4.4 MADCOでの検証の概要	9章 ニューラルネットワークの検証フロー
5章 基本チップ（SoC）の検証フロー	9.1 デザインの概要
5.1 デザインの概要	9.2 検証の概要
5.2 MADCOでの検証の概要	9.3 検証の概要
5.3 MADCOでの検証の概要	9.4 検証の概要
5.4 MADCOでの検証の概要	A章 Appendix

本書は【ハードウェア・エミュレータでの論理設計の基礎 (応用) 編】になります。

整備した設計フローに関するマニュアル

### 3. 研究開発成果

#### (1) 研究開発目標の達成度及び研究開発成果の意義

#### 各個別テーマの成果と意義 (2/7)

## 実施項目 1 - 2 : ハードウェア開発垂直立ち上げ実現のための研究開発

### 【成果】

- 高位合成を使ったデジタル設計【基礎編】を作成し、ここで定義されたモデル設計フローを活用した高位合成を3件設計し実証確認中。

### 【意義】

- マニュアルに加え、導入ツールに即した教材の整備、ツールごとの環境変数の一括した整備により、**EDAツール利用初心者の利用開始の障壁が劇的に低減し、利用者の増加が期待できる。**

The image shows the title page and table of contents of a textbook titled 'デジタル設計教材 高位合成を使ったデジタル設計【基礎編】' (Digital Design Textbook: High-Level Synthesis for Digital Design [Basic Edition]). The publisher is 'AIチップ設計拠点 東京大学システムデザイン研究センター' (AI Chip Design Hub, University of Tokyo System Design Research Center). The table of contents lists 15 chapters, including topics like high-level synthesis, HDL, synthesis, and verification.

【目次】		
高位合成を使ったデジタル設計【基礎編】		
1章 高位合成概論	8章 GOOIによるシミュレーション検証	14章 バイブライシク
1.1 高位合成とは	8.1 アシミュレーション作成	14.1 Architecture
1.2 高位合成での設計フロー	8.2 テラリス	14.2 スループットの検証
1.3 高位合成のメリット・デメリット	8.3 Celsoの活用	14.3 RTL生成
1.4 高位合成とSystemCの概要	8.4 SystemC記述の作成	14.4 資料確認
1.5 高位合成ツールについて	8.5 Celsoの活用	15章 サンプル回路: MAD0_FF
2章 高位合成設計フロー概要	9章 アシミュレーションに備わない検証	15.1 検証仕様書作成
2.1 Celsoについて	9.1 CDumpChecker の起動	15.2 C-Dump記述
2.2 Celsoの設計フロー	9.2 Design Checker の結果確認	15.3 設計仕様書
3章 サンプルモジュール繰り返し演習	10章 コードカバレッジの計測	15.4 SystemC 記述
3.1 サンプルモジュールの概要	10.1 Celso Coverage の起動	15.5 サンプル仕様書
3.2 基本モジュール MAD0	10.2 カバレッジ結果の確認	15.6 アシミュレーションに備わない検証
3.3 デジタル回路設計の基礎編との違い	11章 デザインフロー	15.7 コードカバレッジの取得
4章 機能仕様作成工程	11.1 サイクロの選定	15.8 デザインフロー
4.1 機能仕様書とは	11.2 サイクロの選定	
4.2 MAD0の機能仕様書	11.3 サイクロの選定	
4.3 MAD0のC-Dump記述	11.4 サイクロの選定	
5章 設計仕様作成工程	12章 シミュレーション	
5.1 設計仕様書とは	12.1 シミュレーションの準備・実行	
5.2 MAD0の設計仕様書	12.2 シミュレーションの結果確認	
5.3 MAD0のSystemC記述	12.3 シミュレーションの結果確認	
6章 コーディング工程	13章 シミュレーション	
6.1 コーディングとは	13.1 シミュレーションの準備・実行	
6.2 MAD0のコーディング	13.2 verilogの記述	
7章 アシミュレーション作成工程		
7.1 アシミュレーションとは		
7.2 リアルタイムデザイン		
7.3 MAD0のアシミュレーション		
7.4 アシミュレーション		

整備した高位合成を使った設計マニュアル

### 3. 研究開発成果

#### (1) 研究開発目標の達成度及び研究開発成果の意義

#### 各個別テーマの成果と意義 (3/7)

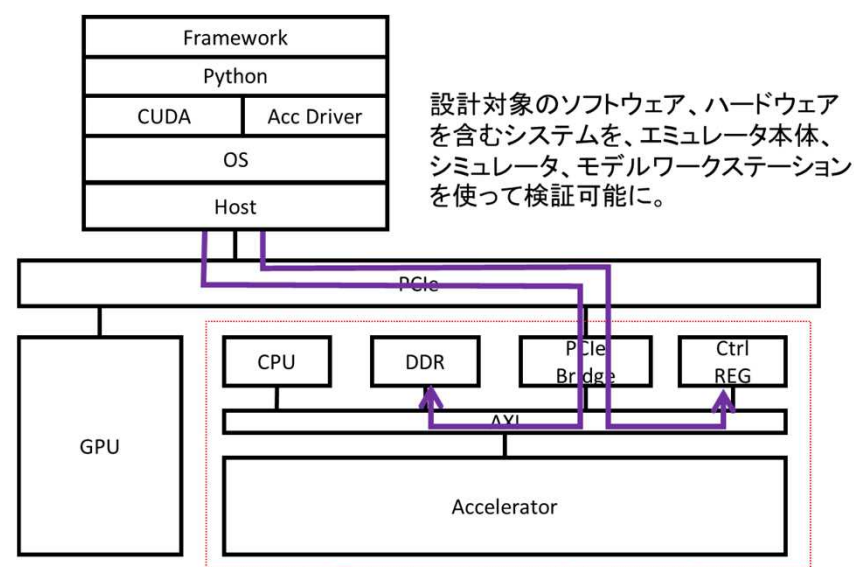
### 実施項目 1 - 3 : AIチップ設計に向けたリファレンスデザインの研究開発

#### 【成果】

- ・畳み込みニューラルネットワークに対応したアクセラレータリファレンスデザインを作成し、その動作をエミュレータ上で再現した。
- ・エミュレータ上で100データでの学習を例題として、ニューラルネットワーク用シミュレーションフレームワークの処理について、ソフトウェアによる実行結果と矛盾しない正当な計算結果が得られることを確認した。
- ・6月フォーラムにおいて、日本ケイデンス・デザイン・システムと共同でリファレンスデザインについて紹介。簡易マニュアルを拠点で公開。

#### 【意義】

- ・リファレンスデザインに含まれるチップのI/Fを参考にすることにより、多くのユーザーがハード化の障壁を乗り越えることができる。
- ・検証システムの使用方法まで公開することによって、米国大手チップメーカーでも採用されているような、チップ作成前のソフトウェア・ハードウェア両方を含めた事前検証ができるようになった。



検証フローのイメージ図

### 3. 研究開発成果

#### (1) 研究開発目標の達成度及び研究開発成果の意義 各個別テーマの成果と意義 (4/7)

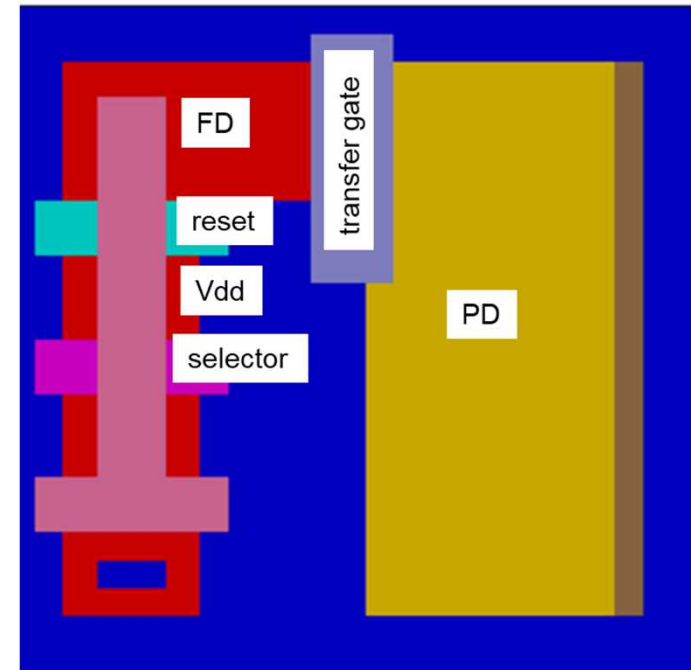
#### 実施項目 1 - 4 : センサ機能を含むチップのための新規デバイスモデルの研究開発

##### 【成果】

- CMOSイメージセンサーピクセルのデバイスシミュレーションのWEBユーザーインターフェースのプロトタイプを開発した。関連ユーザー評価結果を元に改良仕様を策定した。

##### 【意義】

- CMOSイメージセンサは、**画像認識などのAI技術には欠かせないハードウェア**であり、かつ、日本の半導体産業においてもっとも強みとなる分野の一つである。**この領域の優位性を確保することで幅広いユーザーへの貢献が見込める。**



CMOSイメージセンサーピクセルのデバイス構造レイアウト例

### 3. 研究開発成果

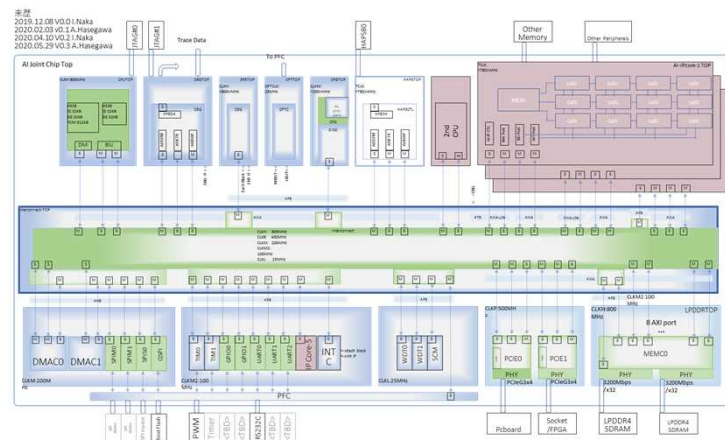
#### (1) 研究開発目標の達成度及び研究開発成果の意義

#### 各個別テーマの成果と意義 (5/7)

### 実施項目 1 – 5 : 国内外 F A B の活用と最適化ライブラリの研究開発

#### 【成果】

- 整備すべきIPカタログ、PRISMにより導入したIPリストを整備し、HPに掲載した
- 拠点導入IPを最大限活用し、かつ拠点利用者の設計の実用化加速支援を目指した“**Ai-One SoCプロジェクト**”を立ち上げSoCを設計中。



Ai-Oneブロック図

#### 【意義】

- **AIチップ開発に必要かつ、汎用的なインターフェースIP等が整備され利用可能になったことで、特殊機能の具現化が容易になる。**
- **アイデアの実証に際して、必要となる評価手法、ノウハウなどの獲得につながる。**



拠点HPのイメージ図

### 3. 研究開発成果

#### (1) 研究開発目標の達成度及び研究開発成果の意義

#### 各個別テーマの成果と意義 (6/7)

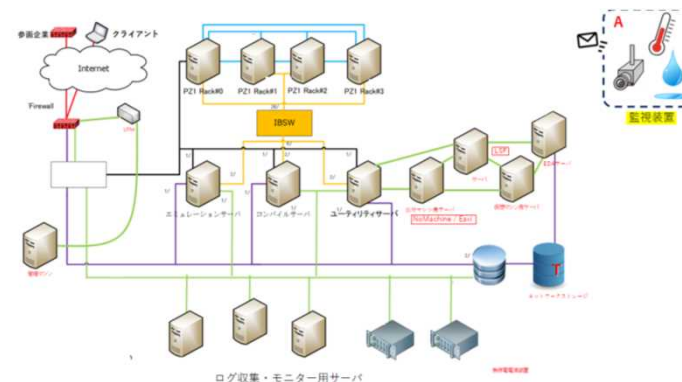
### 実施項目 2 - 1 : A I チップの研究開発に必要な E D A ツールの整備

#### 【成果】

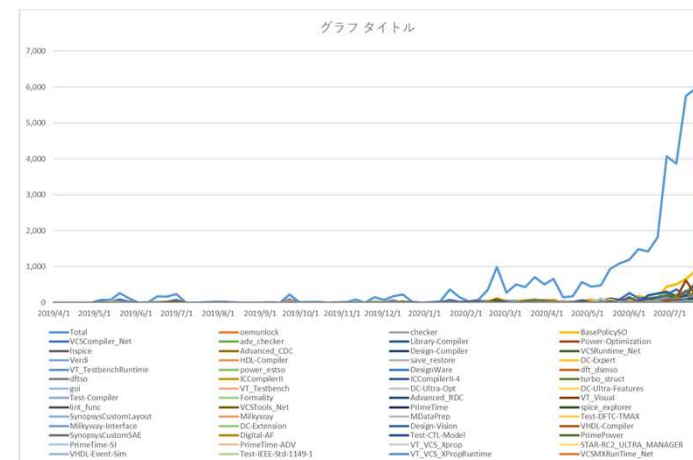
- 導入した E D A ツールの利用マニュアルを公開、ツール利用のための環境設定ファイルをツール毎に準備、ライセンスの効率的な運用、設計データや IP の保護のために、VM にログインし、LSF (ライセンス・スケジューラ) を用いたツールの実行環境を整備し、ツール利用が進んでいる。
- 利用件数は 26 件 となった。

#### 【意義】

- ユーザー間の情報漏洩の防止、設計情報の漏洩の防止、拠点の情報の漏洩防止を図りつつ、**EDA 利用の利便性を最大限担保できるシステムの構築**を行った。これにより、利用者にとって **より安心して活用できる環境かつ、多くの利用者を受け入れることが可能**となった。



拠点の利用環境整備状況



ライセンス利用状況



### 3. 研究開発成果

#### (1) 研究開発目標の達成度及び研究開発成果の意義

#### 各個別テーマの成果と意義 (7/7)

### 実施項目 2 - 2 : 人材育成と拠点機能の整備

#### 【成果】

- 「デジタル設計の基礎」、「ハードウェア・エミュレータでの論理検証の基礎【初級編】【応用編】」、「高位合成を使ったデジタル設計【基礎編】【続基礎編】【実践編】」、「デジタルブロック・物理設計編」を整備した。

教育セミナーは 3 回実施した。

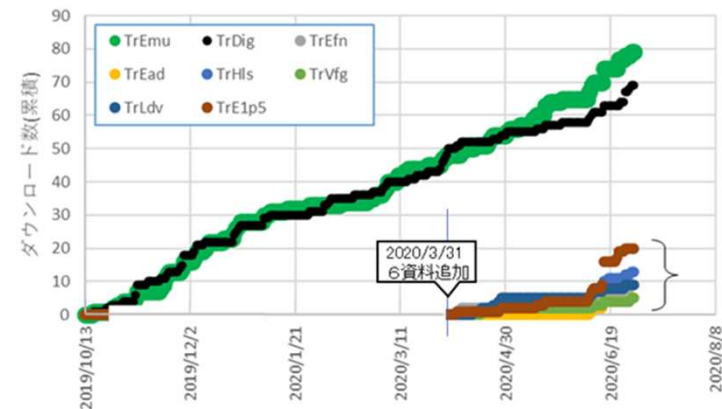
- 代表的なFABとして、TSMCとNDAを締結しライブラリの供給を受け設計に供している
- 人材育成に向けた方針を定め、それに基づき、一般向けに設計フォーラムを14回実施した。

#### 【意義】

- FABとのゲートウェイ機能の構築・強化することで、試作のハードルを軽減し、ハードウェア化の取り組みを推進。
- フォーラムやセミナーを介して様々な意見が伺え、人材育成強化方針の最適化や、より必要とされる人材育成内容の構築に反映、さらには、拠点アピールや利用促進につながる。

ハード開発経験知見	試作・製造	テスト	検証技術	EDAツール	AIアルゴリズム	AIチップ	システム設計	組込ソフト	
			エミュレーション	デジタル設計	アナログ設計	設計フロー	ML/DL等		
あり	実習 手簿	AI拠点 重点2:教材となる題材(正しいデータ、間違ったデータなどを蓄積する) 重点3:SoCを教材とした実践トレーニング							
なし	この領域のユーザー拡大が重要	マッチング	AI拠点 重点1:フォーラム・セミナー(フランクな勉強会、マッチング)を月一回以上開催						

人材育成のグランドデザイン図



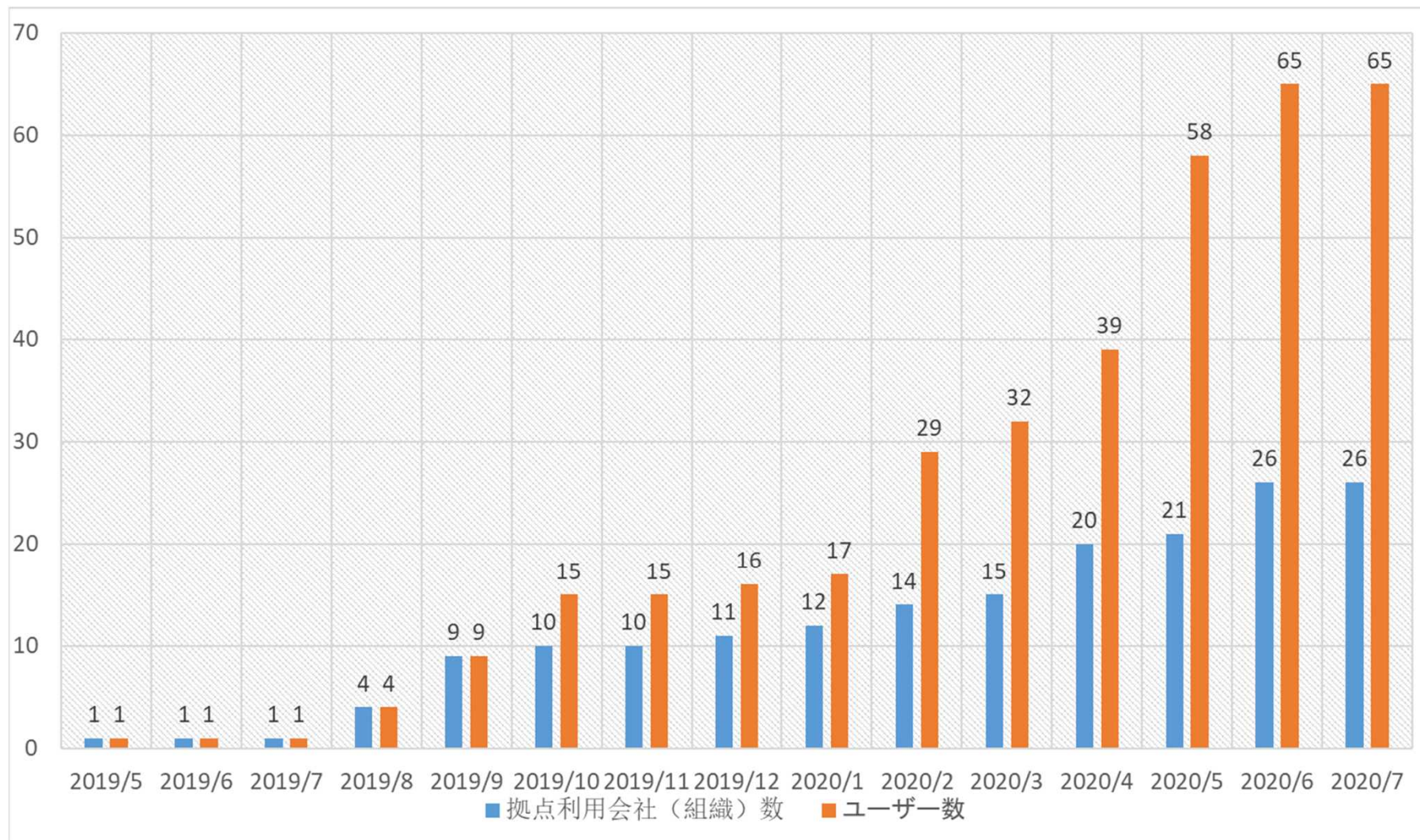
自習用教材のダウンロード数の推移

### 3. 研究開発成果

#### (1) 研究開発目標の達成度及び研究開発成果の意義

#### 拠点利用者数の推移

- これまでの登録利用者 26機関：19企業（内利用終了2社） + 7大学



### 3. 研究開発成果

#### (1) 研究開発目標の達成度及び研究開発成果の意義

#### 拠点利用者等のフィードバック状況

- フィードバック件数：拠点利用者、一般（拠点利用検討者含む）、フォーラム参加者から **合計289件**
- 拠点利用方法の向上や技術情報に関するフィードバックに関しては、拠点ウェブサイト上のFAQページやサーバ等に情報を集約し掲載。設計ツールに関しては、小規模ウェブセミナーを開催し、ノウハウを伝授している（下図、詳細非公開）。
- 上記フィードバックに対し、システム設計者、ソフト設計者を交え、技術打ち合わせを毎週～隔週実施中

#### 拠点FAQの構築状況 (2020/8/26 時点、詳細は非公開)

FAQ掲載場所と公開範囲		FAQ内容と件数			
		拠点接続	EDAツール	IP/SoC	EWS
拠点WEB	一般	10件	1件	5件	
	拠点利用者	28件	12件	58件	3件
拠点サーバ			177件		4件

### 3. 研究開発成果

#### (2) 成果の最終目標の達成可能性

#### 成果の最終目標の達成可能性 (1/3)

#### 研究開発項目② AIチップ開発を加速する共通基盤技術の開発 <委託>

実施項目	現状	最終目標 (2022年度)	達成見通し
1-1 AIチップ向け設計フローの研究開発	エミュレータの利用促進に向けエミュレータ・シミュレータ協調設計検証環境を整備し一般利用を開始 エミュレータを利用した設計検証に関する教材を整備	<ul style="list-style-type: none"> <li>・拠点利用者が、より大規模 (&gt; 1 BG) な回路に対し、エミュレータ・シミュレータ協調設計検証フローで設計検証を実施 (3件程度)</li> <li>・拠点で構築した高速チップ・超低消費電力チップ・高電力効率チップ等のアプリケーション向けのエミュレータ・シミュレータ協調設計検証フローで、拠点利用者が設計検証を実施 (事業期間全体で10件程度)</li> </ul>	計画的にトレーニングを実施することで利用の拡大を目指すことで最終目標の達成を目指す
1-2 ハードウェア開発垂直立ち上げ実現のための研究開発	導入したEDAツールの利用マニュアルを公開 高位合成設計フロー教材を整備し公開 ツール利用のための環境設定ファイルをツール毎に準備した ライセンスの効率的な運用、設計データやIPの保護のために、VMにログインし、LSF (ライセンス・スケジューラ) を用いたツールの実行環境を整備	<ul style="list-style-type: none"> <li>・アプリケーション向けのツールチェーンを策定し、拠点利用者が事業期間全体で5件程度、より大規模 (&gt; 1 BG) な設計を実施する</li> </ul>	1-5で実施しているAi-One設計・検証を通して、ツールチェーンの利用実績を積み重ねるとともに、大規模な設計の実現を目指す

### 3. 研究開発成果

#### (2) 成果の最終目標の達成可能性

## 成果の最終目標の達成可能性 (2/3)

### 研究開発項目② AIチップ開発を加速する共通基盤技術の開発<委託>

実施項目	現状	最終目標 (2022年度)	達成見通し
1-3 AIチップ設計に向けたリファレンスデザインの研究開発	サポートベクタマシン、ボルツマンマシン等の汎用化が最終年度以降の技術動向予測に合致していくかの見極め作業、並びにセンサフロントエンドマクロのあるべき姿を調査を行っている。	畳み込み・再帰型ニューラルネットワーク用アクセラレータを、サポートベクターマシン、ないしボルツマンマシンに対応したアクセラレータリファレンスデザインとして拡張するとともに、エッジ用の低消費電力システムに適用可能なセンサフロントエンドマクロを加え、リファレンスデザインのポートフォリオを完成させる。リファレンスデザインのポートフォリオは、拠点利用者等の利用を通してその有効性を実証する。	目標とする対象のネットワークについては、最新の技術動向を見極めつつ弾力的に対応することとしたい。
1-4 センサ機能を含むチップのための新規デバイスモデルの研究開発	CMOSイメージセンサーピクセルのデバイスシミュレーションのWEBユーザーインタフェースのプロトタイプを開発した。	機能デバイス設計ツールを改良し、クラウド上で利用可能な環境を構築、拠点利用者等の利用を通してその有効性を実証する。また、検討した新規デバイスIPのモデル化技術等については、AIチップ設計フローへ組み込むために必要な条件等の明確化を図る。	イメージセンサー関連ユーザーの要望に対応し達成する見込み。
1-5 国内外FABの活用と最適化ライブラリの研究開発	<ul style="list-style-type: none"> <li>PRISMにより導入したIPリストをWEBに掲載した</li> <li>Ai-One SoCプロジェクトを通してIPを最大限活用する乗り合いSoCの設計中</li> </ul>	<ul style="list-style-type: none"> <li>整備したIPを用いたアプリケーション向けの設計フローを構築し、電子的にマニュアルを作成する。構築した設計フローは拠点利用者を通してその有効性を実証する。</li> <li>AIチップ向け独自IPの評価手法を構築し、拠点利用者に提供できるよう整備する。その利用法のマニュアル等を電子的に作成しHPにて公開する。</li> </ul>	2020年度末のテーパーアウトに向けて可能な限りリソースを集中させることで、Ai-Oneを実現しそれをPoCとすることでさらなる利用促進を図り目標達成を目指す

### 3. 研究開発成果

#### (2) 成果の最終目標の達成可能性

#### 成果の最終目標の達成可能性 (3/3)

#### 研究開発項目② AIチップ開発を加速する共通基盤技術の開発〈委託〉

実施項目	現状	最終目標 (2022年度)	達成見通し
2-1 AIチップの研究開発に必要なEDAツールの整備	<ul style="list-style-type: none"> <li>・EDAライセンスを調達し運用を開始</li> <li>・EDAライセンス数の単価契約分に関して利用実績と需要予測に基づいた機動的な運用実施</li> <li>・LSFを用いたライセンスキューイングシステムの導入、VMとNoMachineを利用したセキュアなアクセスを実現したEDAの利用環境を構築し運用している</li> <li>・ライセンスの利用状況をモニタしている</li> <li>・Synopsys 19プロジェクト、138アカウント Mentor 14プロジェクト、87アカウント の利用実績（2020年7月27日現在）</li> </ul>	<ul style="list-style-type: none"> <li>・EDAツールを安定的最新バージョンに更新、利用環境を整備し、拠点利用者へ公開することで、期間全体を通し15件程度の利用実績をあげる</li> </ul>	<p>利用環境の向上を継続することで利用実績をさらに積み上げる</p>
2-2 人材育成と拠点機能の整備	<ul style="list-style-type: none"> <li>・1-1、1-2と強調しながら教材の整備を行い、「デジタル設計の基礎」、「ハードウェア・エミュレータでの論理検証の基礎【初級編】【応用編】」「高位合成を使ったデジタル設計【基礎編】【続基礎編】【実践編】」「デジタルブロック・物理設計編」を整備した。教材はすでに合計で200ダウンロード以上され活用されている</li> <li>・人材育成に向けた方針を定め、それに基づき、「フォーラム」の実施（2019年5月よりほぼ毎月実施）、「 세미나」の実施（2019年度3件、2020年度8月-9月にかけて予定中）を実施</li> <li>・TSMCとNDAを締結しライブラリの供給を受け設計に供している</li> </ul>	<ul style="list-style-type: none"> <li>・エミュレータ・EDA協調設計検証論（上級編）を整備し、各種教育カリキュラムの教育コースを充実させる</li> <li>・実施項目1-1最終目標の協調設計検証フロー利用目標10件のうち3件程度が本設計試作ゲートウェイ機能を利用して設計手順を実施する</li> </ul>	<p>1-5との連携によりAi-One SoCの設計試作を基点として、ゲートウェイ機能の利用促進を図ることで目標達成を目指す</p>

3. 研究開発成果  
(3) 成果の普及

成果の普及 (1/4)

研究開発項目② AIチップ開発を加速する共通基盤技術の開発<委託>

	2018年度	2019年度	2020年度	計
論文	0	0	0	0
研究発表・講演	0	5	1	6
新聞・雑誌等への掲載	0	2	0	2
展示会への出展	0	2	0	2
フォーラム・シンポジウム開催	1	9	4	14
セミナー開催	0	3	0	3

※2020年8月7日現在

## 研究開発項目② AIチップ開発を加速する共通基盤技術の開発〈委託〉

✓ 研究発表・講演

- 2019年7月 第1回NV-FPGA研究会、口頭発表  
発表タイトル：NEDO事業「AIチップ開発加速のためのイノベーション推進事業」  
「AIチップ設計拠点」紹介および運営方針  
発表者：内山邦男
- 2019年7月 第37回エナジーハーベストコンソーシアム総会、口頭発表  
発表タイトル：NEDO事業「AIチップ開発加速のためのイノベーション推進事業」  
AIチップ設計拠点  
発表者：内山邦男
- 2019年8月 第1回トリリオンノード研究会、口頭発表  
発表タイトル：NEDO事業「AIチップ開発加速のためのイノベーション推進事業」  
「AIチップ設計拠点」  
発表者：内山邦男
- 2019年9月 学振154委員会 第113回研究会、口頭発表  
発表タイトル：AIチップの開発を加速するAIチップ設計拠点  
発表者：内山邦男
- 2019年9月 Cadence検証フォーラム、口頭発表  
発表タイトル：論理エミュレーション技術への期待 -AIチップ設計拠点の立場から-  
発表者：内山邦男
- 2020年9月（予定） DAシンポジウム2020  
発表タイトル：AIチップ設計拠点 = 新しいパラダイムの構築に向けて =  
発表者：内山邦男



## 研究開発項目② AIチップ開発を加速する共通基盤技術の開発〈委託〉

✓ プレス発表

- 2019年10月

AIチップ開発加速のための「AIチップ設計拠点」が稼働開始

—設計・評価ツールの提供により、中小・ベンチャーのチップ開発加速を目指す—

(NEDO、産総研、東大) [https://www.nedo.go.jp/news/press/AA5\\_101211.html](https://www.nedo.go.jp/news/press/AA5_101211.html)

✓ 新聞・雑誌掲載

- 2019年10月 日本経済新聞

NEDO・産総研・東大、AIチップ開発加速のための「AIチップ設計拠点」が稼働開始

[https://www.nikkei.com/article/DGXLRSP520762\\_X01C19A0000000/](https://www.nikkei.com/article/DGXLRSP520762_X01C19A0000000/)

- 2019年10月 電波新聞

東大内のAIチップ設計拠点 NEDO、産総研などが中小企業など向けに試験運用

<https://dempa-digital.com/article/14812>

✓ 展示会

- 2019年10月 CEATEC (NEDOブース)

発表タイトル：AIチップ開発加速のための設計拠点

発表者：国立研究開発法人産業技術総合研究所、国立大学法人東京大学

- 2019年12月 NEDOフェスタin関西

発表タイトル：AIチップ開発加速のためのイノベーション推進事業

発表者：国立研究開発法人産業技術総合研究所、国立大学法人東京大学

**研究開発項目② AIチップ開発を加速する共通基盤技術の開発〈委託〉**

- ✓ フォーラム・シンポジウム開催
  - 2019年5月～2020年8月 AIチップ設計拠点フォーラム 合計13回
  - 2019年2月 AIチップ設計拠点活動開始記念公開シンポジウム
  
- ✓ セミナー開催
  - 2019年12月 高位合成ツールセミナー
  - 2020年1月 エミュレータとエミュレータ・シミュレータ協調検証環境セミナー
  - 2020年3月 論理検証に関するWEBセミナー

### 3. 研究開発成果

#### (4) 知的財産権等の確保に向けた取組

## 知的財産権の確保に向けた取組

### 研究開発項目② AIチップ開発を加速する共通基盤技術の開発〈委託〉

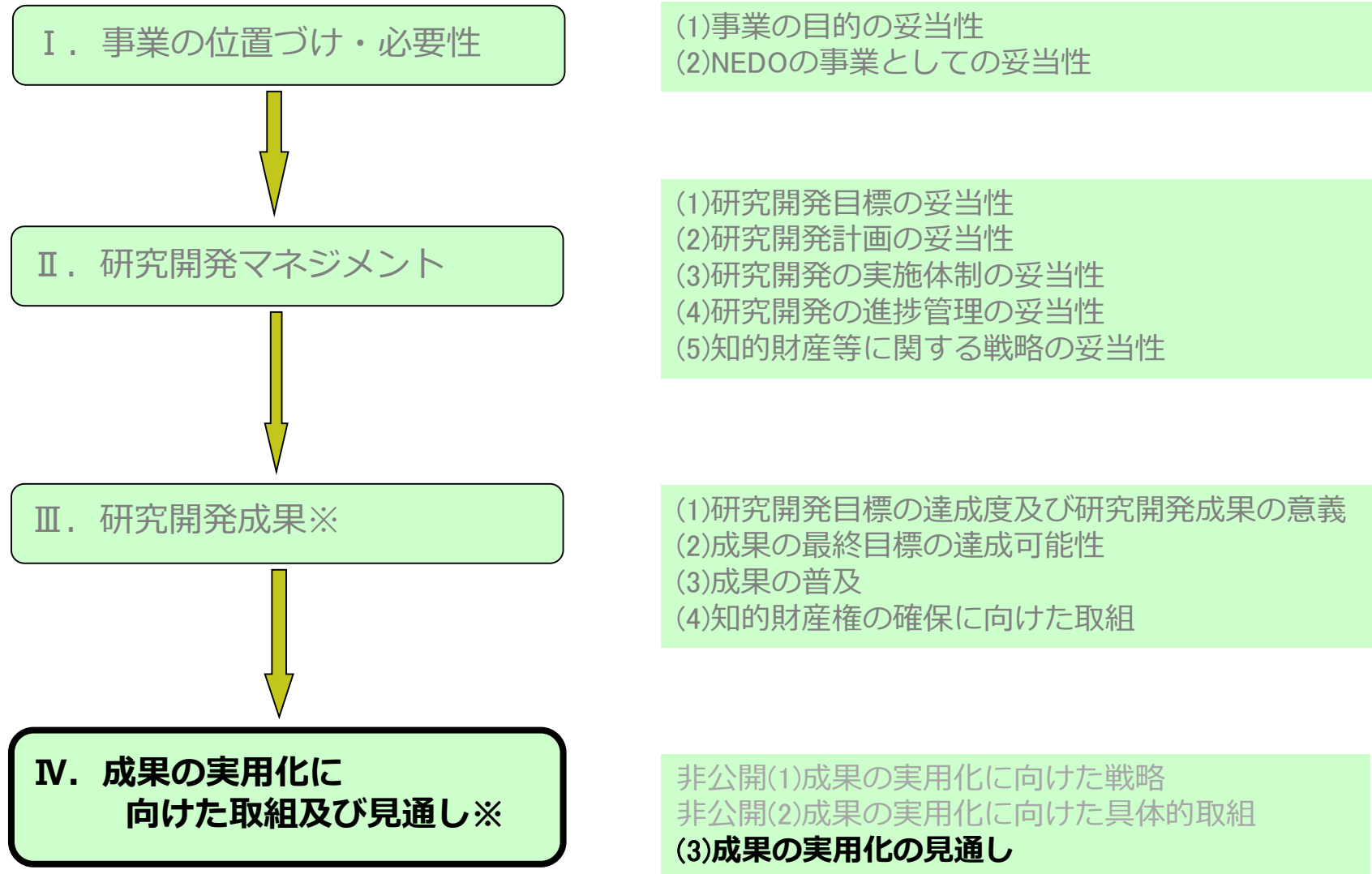
#### 戦略に沿った具体的取組

- ✓ 共通基盤技術であるEDAツールや検証装置を活用したAIチップ設計手法、IPの有効利用のためのライブラリ化、リファレンスデザイン手法、ライブラリ等の共用利用法等を構築しており、拠点の自立運営に必要なAIチップ設計手法の一部とリファレンスデザイン手法の一部は拠点内部のノウハウとして秘匿している。
- ✓ 整備済み設計マニュアル（下記6件）
  - ✓ デジタル設計の基礎
  - ✓ ハードウェア・エミュレータでの論理検証の基礎【初級編】 および 【応用編】
  - ✓ 高位合成を使ったデジタル設計【基礎編】、【続基礎編】、【実践編】

#### 共通基盤技術の状況

共通基盤技術	公開分の状況	非公開分の状況
AIチップ設計手法	運用・ノウハウ蓄積中（改良研究中）	ノウハウ蓄積中（改良研究中）
リファレンスデザイン	運用・ノウハウ蓄積中（改良研究中）	ノウハウ蓄積中（改良研究中）
IPライブラリ	運用・ノウハウ蓄積中	対象外
設計クラウド構成	運用・ノウハウ蓄積中（改良研究中）	対象外
SoCプラットフォーム	構築中	準備中

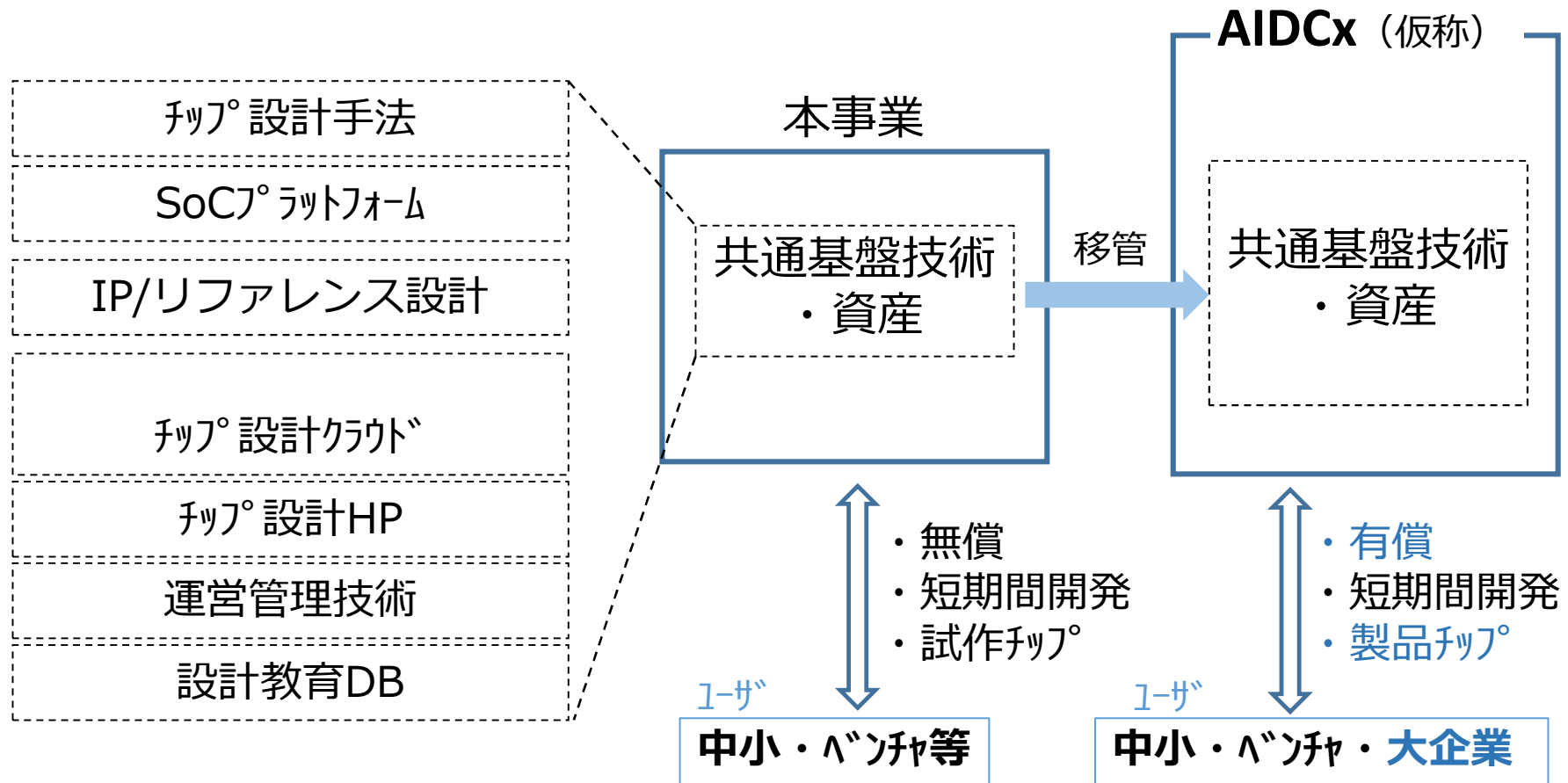
# 発表内容



※研究開発項目①については別に実施するテーマ評価で行っているため、Ⅲ.とⅣ.の評価対象は研究開発項目②のみです。

研究開発項目② AIチップ開発を加速する共通基盤技術の開発<委託>

- ・ 本事業で開発した共通基盤技術・資産を継承する自立運営組織(仮称: AIDCx)を組織化し、プロジェクト終了後も低コスト・短期間でのチップ開発を可能にする共通基盤の提供を継続させる。



---

## 研究開発項目② AIチップ開発を加速する共通基盤技術の開発〈委託〉

### (1) 事業モデルの具体化／課題

- ・ EDAベンダー、IPベンダーとの契約形態
- ・ ファブとの連携モデル
- ・ 収支モデル
- ・ AIDC x の組織形態（営利or非営利団体）
- ・ 資産移管方法

### (2) 共通基盤技術の拡充／課題

- ・ SoCプラットフォームの拡充（現状、28nm技術に対応）
- ・ AIDCx専用IPライブラリの確保
- ・ 自立資金の確保

### (3) 国の施策との連携／検討

- ・ 経済安全保障関連施策との整合性
- ・ 自立資金の確保

---

**研究開発項目② AIチップ開発を加速する共通基盤技術の開発〈委託〉**

**(1) 我が国におけるAIチップ開発の活性化**

- ・ AIDCxに共通基盤技術を集約・蓄積し、共通利用することにより、チップ開発の効率を改善し多くのアイデア実用化の創出に貢献
- ・ AIDCxを核としたチップ開発のための資金調達エコシステム構築により、資金調達プロセスを活性化

**(2) 我が国の国家/経済安全保障への貢献**

- ・ チップ設計のエンジニアリングチェーンを国内に確保
- ・ 国内半導体ファブと連携した国内でのチップ設計-生産エコシステムの確立

おわり