

# 「次世代スマートデバイス開発プロジェクト」

## 事業原簿

担当部	国立研究開発法人 新エネルギー・産業技術総合開発機構 電子・材料・ナノテクノロジー部
-----	--

## —目次—

概 要.....	概要-1
プロジェクト用語集.....	プロジェクト用語集-1
<b>I. 事業の位置付け・必要性について .....</b>	<b>1</b>
1. 事業の背景・目的・位置づけ .....	1
<b>II. 研究開発マネジメントについて .....</b>	<b>6</b>
1. 事業の目標 .....	6
2. 事業の計画内容 .....	8
2.1 研究開発の内容 .....	8
2.2 研究開発の実施体制 .....	27
2.3 研究開発の運営管理 .....	28
2.4 研究開発成果の実用化・事業化に向けたマネジメントの妥当性.....	29
3. 情勢変化への対応 .....	30
4. 中間評価結果への対応 .....	31
5. 評価に関する事項 .....	31
<b>III. 研究開発成果について.....</b>	<b>32</b>
1. 事業全体の成果.....	32
2. 研究開発項目毎の成果.....	39
2.1 研究開発項目① 車載用障害物センシングデバイスの開発.....	39
2.2 研究開発項目② 障害物検知・危険認識アプリケーションプロセッサの開発.....	102
2.3 研究開発項目③ プローブデータ処理プロセッサの開発.....	112
<b>IV. 実用化・事業化に向けての見通しおよび取り組みについて.....</b>	<b>124</b>
3. 1. 実用化・事業化に向けての見通しおよび取り組みについて.....	124

(添付資料)

- ・プロジェクト基本計画
- ・事前評価関連資料(事前評価書、パブリックコメント募集の結果)
- ・特許論文等リスト



概要

		最終更新日	2015年9月30日				
プロジェクト名	次世代スマートデバイス開発プロジェクト	プロジェクト番号	P13005				
担当推進部/ PMまたは担当者	電子・材料・ナノテクノロジー部 厨 義典(2015年7月～2015年9月現在) 電子・材料・ナノテクノロジー部 荒井 利晃(2013年11月～2015年6月)						
0. 事業の概要	<p>本事業では、次世代交通社会の実現に必須となるエレクトロニクス技術の開発を行う。具体的には、2020年度頃の市場投入を目指し、安全運転支援を実現するためのセンシングデバイスの開発、車載センサの情報から障害物を認識し危険度を判別するアプリケーションプロセッサの開発および多くの車から収集した情報を分析するプローブデータ処理プロセッサの開発を行うことで、渋滞緩和、交通事故低減に寄与し、低炭素かつ安全な次世代交通社会の基盤を整備する。併せて、我が国の自動車関連企業の競争力強化に資する。</p>						
I. 事業の位置 付け・必要性 について	<p>自動車の更なる省エネ化、安全走行の高度化による次世代交通社会の実現には、自動車の周辺情報を集め即座に状況を把握するシステムの構築が必要となる。本事業ではそのためのキーデバイスとなる、次世代の障害物センシングデバイス、プロセッサ等の半導体デバイス並びに、それらを実現する上で必要となる、半導体デバイスの低消費電力化、高速化、高集積度化のための三次元実装等の要素技術を開発し、エネルギー消費量削減・低炭素化社会の実現と、我が国の自動車産業およびエレクトロニクス産業の競争力強化に貢献する。</p>						
II. 研究開発マネジメントについて							
事業の目標	自動車の更なる省エネ化、安全走行の高度化を実現するキーデバイスとなる、次世代の車載用障害物センシングデバイス、障害物検知・危険認識アプリケーションプロセッサ、プローブデータ処理プロセッサの開発並びに、それらを実現する上で必要となる半導体デバイスの低消費電力化、高速化、高集積度化のための三次元実装等の技術を開発する。						
事業の計画 内容	主な実施事項	2013	2014	2015	2016	2017	
	研究開発項目① 車載用障害物センシングデバイスの開発(委託, 助成)						
	研究開発項目② 障害物検知・危険認識アプリケーションプロセッサの開発(助成)						
	研究開発項目③ プローブデータ処理プロセッサの開発(助成)						
開発予算 (会計・勘定別 に事業費の実績額を記載) (単位: 百万円)	会計・勘定	2013	2014	2015	2016	2017	2013～15 総額
	特別会計 (電源・需給の別)	818 (実績)	2,202 (実績)	1,706 (予定)			4,726 (予定)
	開発成果促進財源	—	—	263 (予定)			263 (予定)
	総予算額	818 (実績)	2,202 (実績)	1969 (予定)			4,989 (予定)
	(委託)	565 (実績)	1,366 (実績)	1,340 (予定)			3,271 (予定)
	(助成) : 助成率 1/2 以下	253 (実績)	836 (実績)	629 (予定)			1,718 (予定)



開発体制	経産省担当原課	商務情報政策局 情報通信機器課、製造産業局 自動車課
	プロジェクトリーダー	委託事業：無し ※テーマリーダー：株式会社デンソー基礎研究所 理事 大倉 勝徳  助成事業：無し
	委託先 助成先	研究開発項目① 委託先：株式会社 デンソー ラピスセミコンダクタ株式会社 国立研究開発法人 産業技術総合研究所 再委託先：株式会社 豊田中央研究所 株式会社 図研 株式会社 デンソー ルネサスエレクトロニクス株式会社 助成先：株式会社 デンソー  研究開発項目② 助成先：ルネサスエレクトロニクス株式会社 クラリオン株式会社  研究開発項目③ 助成先：富士通株式会社
情勢変化への対応	<p>(1) 【2014 年度】印刷 TSV 技術開発における材料開発の促進(研究開発項目①委託事業) 印刷 TSV および接合用の材料開発は、当初再委託先の材料を使って開発を進める計画だったが、該材料が目標特性を満たすことが確認できなかった。そこで、外部の幅広い候補材料からスクリーニングを行い、目標とする特性を発揮できる材料を選定し、開発を進める計画に変更するとともに、実施体制の一部を変更した。</p> <p>(2) 【2015 年度】市場競争の激化に対応した性能検証手法の効率化による最終目標達成時期の前倒し(研究開発項目②助成事業) 市場競争の激化に対応し、早期の実用化が必須となったため、性能検証手法を変更して、チップの制作時間および性能検証の期間を短縮することにより、最終目標達成時期を 2015 年度末に前倒しできる見込みが得られた。これに伴い、本研究開発項目を 2015 年度で終了することとし、計画の前倒しを行った。</p> <p>(3) 【2015 年度】開発の進展による開発の効率化(研究開発項目③助成事業) 2014 年度までの研究で、三次元実装の実プロセッサを試作する場合の課題を、三次元実装 TEG の試作、二次元実装開発結果、EDA ツールから抽出し評価する手法を開発した。これに伴い、性能確認の方法を実プロセッサによる実性能測定から新手法による性能実証に変更するとともに、性能評価の時間、項目を増やし、開発効率および評価精度の向上をはかることとした。</p>	
中間評価結果への対応	2015 年 9 月中間評価実施予定のため、現時点で記載すべき事項無し	
評価に関する事項	事前評価	2013 年度実施 担当部 電子・材料・ナノテクノロジー一部
	中間評価	2015 年度 実施予定
	事後評価	2018 年度 実施予定 ②障害物検知・危険認識アプリケーションプロセッサ開発については、計画が前倒し終了するので、2015 年度の中間評価に合わせて前倒し事後評価を実施する。
Ⅲ. 研究開発成果について	<p>① : 車載用障害物センシングデバイスの開発</p> <p>①-1 測距センサデバイス開発・回路技術 ・センサ感度 3.9 倍達成。移動体検出のリアルタイム処理目処付け。</p> <p>①-2 三次元統合設計環境の開発 ・三次元 IC 設計環境のプロト完成。</p> <p>①-3 印刷 TSV 技術の開発 ・TSV 用金属充填材料、絶縁材料の絞込み達成。基本プロセスの確立。</p> <p>①-4 印刷等によるマイクロバンプ形成技術・反り対策技術の開発</p>	

	<ul style="list-style-type: none"> <li>・7μmφの微細バンプ形成(目標:10μmφ以下)、プロセス時間30%削減。</li> <li>①-5 TSV プロセスインテグレーション技術の開発 <ul style="list-style-type: none"> <li>・初期特性評価完了。信頼性評価、構造絞込み実施中。</li> </ul> </li> <li>①-6 低応力積層/接続技術の開発 <ul style="list-style-type: none"> <li>・49,000個のバンプ接続達成(目標:10,000個)、接続部の信頼性目標達成。</li> </ul> </li> <li>①-7 三次元実装検査技術の開発 <ul style="list-style-type: none"> <li>・20μm/40μm ピッチプローブによる TSV バンプへのプローブが可能な事を確認。</li> <li>・X線 CT 装置による非破壊の不良解析性能を検証し、不良モード分類可能な事を確認。</li> </ul> </li> <li>①-8 三次元実装評価技術の開発 <ul style="list-style-type: none"> <li>・三次元 LSI の電気・熱・応力の解析評価技術を構築し、車載センサシステムの製品 TEG の設計指針を獲得。</li> </ul> </li> <li>①-助成 測距センサモジュールの開発(助成) <ul style="list-style-type: none"> <li>・発光部と受光部を組み合わせたバラックサンプルの設計が完了し試作中。</li> </ul> </li> <li>② : 障害物検知・危険認識アプリケーションプロセッサの開発 <ul style="list-style-type: none"> <li>②-1 画像意味理解プロセッサプラットフォーム技術の開発 <ul style="list-style-type: none"> <li>・性能目標(メモリスループット:80GByte/s以上、電力性能比 :1,000GOPS/W以上)の見通しを得た。</li> </ul> </li> <li>②-2 車両周辺監視用画像意味理解アプリケーションソフトウェア技術の開発 <ul style="list-style-type: none"> <li>・歩行者等を検知する移動体検知、車両等を検知する側方接近車検知、障害物等を検知する静止立体物検知などのアプリを開発。</li> <li>・それら検知結果を元に車両周囲の状況を空間マップ化して衝突危険度判定を行うロジックを開発。</li> </ul> </li> </ul> </li> <li>③ : プローブデータ処理プロセッサの開発 <ul style="list-style-type: none"> <li>③-1 三次元対応 SI/PI 設計技術の開発 <ul style="list-style-type: none"> <li>・伝送路、電源網のモデル解析を実施。25.8Gbps 伝送を実測。</li> </ul> </li> <li>③-2 : バックサイド設計技術の開発 <ul style="list-style-type: none"> <li>・電流要件を明確にし、電源供給構造を策定。各種のバックサイド設計仕様を策定。</li> </ul> </li> <li>③-3 : バックサイドウェハ処理技術の開発 <ul style="list-style-type: none"> <li>・反り100μm以下を達成。抵抗歩留り95%を確認。機能 TEG の設計を完了。</li> </ul> </li> <li>③-4 : 大電流対応の微小端子接合技術の開発 <ul style="list-style-type: none"> <li>・微小端子1ピンあたりの印加電流値を明確化。微小端子の合金化接続構造とその接合プロセスを開発。</li> </ul> </li> <li>③-5 : チップ積層プロセス技術開発 <ul style="list-style-type: none"> <li>・□23mm30万端子のチップを積層する技術を開発し、端子接続を確認。</li> </ul> </li> <li>③-6 : 積層チップのパッケージング技術・冷却技術の開発 <ul style="list-style-type: none"> <li>・パッケージ基板の材料選択と構造策定完了。微細流路構造を持つ冷却構造を開発。</li> </ul> </li> <li>③-7 : 三次元対応高性能プロセッサの開発 <ul style="list-style-type: none"> <li>・基本仕様を策定し、マクロ性能とフロアプランから目標性能達成の目途を確認済。</li> <li>・設計環境を開発し、既存マクロを三次元積層用マクロにする手法を確立した</li> </ul> </li> </ul> </li> </ul>	
	投稿論文	「査読付き」6件
	特許	「出願済」40件(うち国際出願7件)
	研究発表・講演	25件
	その他の外部発表(プレス発表等)	なし
IV. 実用化・事業化の見通しについて	<p>本事業の研究開発実施民間企業が、事業終了後コスト等を考慮しつつターゲットを明確にして、本事業の成果の実用化、事業家を進め、実績を積み上げることで更なる用途展開を図る。その際、自動車メーカーおよび部品供給企業の共同開発によりデファクトスタンダードを築くことで、競争優位を構築する。</p>	
V. 基本計画に関する事項	作成時期	2013年7月 作成
	変更履歴	なし

## プロジェクト用語集

用語	説明	分類
ADAS	Advanced Driver Assistance System の略、先進運転支援システム。事故などの可能性を事前に検知し、警告、回避するシステムである。	共通
CMOS	Complementary Metal Oxide Semiconductor の略。 MOS トランジスタの組み合わせで構成される半導体回路の一種。消費電力が低く、小型化・高集積化に適する。	共通
CPU	Central Processing Unit の略、中央処理装置。 コンピュータを構成する部品の一つで、各装置の制御やデータの計算・加工を行う電子回路のこと。	共通
FPGA	Field Programmable Gate Array の略。 利用者が独自の論理回路を書き込むことの出来るゲートアレイの一種。多数の LUT(Look Up Table)とスイッチ搭載し、これを組み合わせで回路を構成する。	共通
GPU	Graphics Processing Unit の略。 ジオメトリエンジンなどの専用ハードウェアによって画像データ処理を行う集積回路のこと。	共通
LSI	Large Scale Integrated circuit の略。 多数の素子を半導体上に一つにまとめた電子部品のうち大規模なもののこと。	共通
PDK	Process Design Kit の略。 特定の半導体プロセスで IC 設計するために使用するファイル群一式。	共通
PI	Power Integrity の略で電源品質。	共通
PLL	Phase Locked Loop の略。 周波数負帰還回路、安定した周波数の信号を発生する回路。	共通
RDL	Re-Distribution Layer の略。再配線層。	共通
SI	Signal Integrity の略。信号品質。	共通
TEG	Test Element Group の略。 LSI に発生する設計上や製造上の問題を見つけ出すための評価用素子。 LSI のプロセス開発、設計、製造などの各種段階で発生する問題点の要因を究明するため、LSI を構成する素子や構造の一部を切り出したり、原因の究明に適した専用の回路を構成することで、早期に原因を究明できるようにする。	共通
TSV	Through-Silicon Via の略。 複数のチップを積層し封止するためのシリコン基板を貫通する電極のこと。積層チップ間を最短距離で接続できることで、高機能・高速動作の IC システムの実現が可能となる。	共通
TSV-PDK	TSV の PDK。	共通

用語	説明	分類
アーキテクチャ (Architecture)	ハードウェア、OS、ネットワーク、アプリケーションソフトなどの基本設計や設計思想のこと。	共通
アルゴリズム (Algorithm)	コンピュータで計算を行うときの計算方法や手順。	共通
ビア (Via)	多層配線において、下層の配線と上層の配線を電気的につなぐ接続領域。通常は層間絶縁膜をエッチングしてビア・ホールを開口し、そのビア・ホールをメタル材料で埋め込んで形成する。	共通
メモリスループット	コンピュータシステムの性能を量的に図る指標の一つで、時間当たりのメモリ部と処理部間のデータ転送量。単位：Byte/s。	共通
三次元積層	素子の配置や配線を立体構造にして集積度を高めた半導体集積回路。配線の短縮により動作の高速化と省電力化を図ることができる。	共通
電力性能比	電力あたりの性能。単位：GOPs/W、Gflops/W。	共通
反り	(ウェハがお椀型に)変形すること。 ウェハ上に膜を成膜すると、ウェハと膜の熱膨張率差により反りが生じる。	共通
プローブ (半導体試験)	細い探針を当てて電気信号を流し、半導体回路が設計どおりに機能しているかを電気的に検査すること。そのための探針のこと。	共通
ボイド	気泡。空洞。	共通
バンブ	ワイヤーボンディングに代わるパッケージ実装方式で使用される、こぶ状の導体突起。	共通
APD	Avalanche Photo Diode の略。 逆バイアスを印加することにより光電流が増倍される高速・高感度のフォトダイオード。	①
ATI	Annular Trench Insulator の略。TSV 構造の中で絶縁層をリング状に形成して中央に導体を形成した構造。	①
CT	Computed Tomography：コンピュータ断層撮影の略であり、X線などを利用して物体を操作しコンピュータを用いて処理することで、物体の内部画像を構成する技術、あるいはそれを行うための機器。	①
Cu Via Fill	TSV の内部導体を Cu で埋め込む構造。	①
DEF	Design Exchange Format の略。 設計情報記述フォーマット。	①
DRC	design rule check の略。 半導体プロセスにおいて使用するマスクパターンや、プリント基板の設計データがデザインルール(設計規則)に違反していないかを検証するための CAD ツール(プログラム)、もしくはその工程。	①
ESD	Electro-Static Discharge の略。静電気放電。	①
FM	Foreign Material の略。異物の意。	①

用語	説明	分類
GDS II	Graphic Database System の略。 フォトマスクのデータ形式。	①
HTS	High Temperature Storage の略。高温環境内で対象電子部品の動作確認を行う寿命評価。	①
I/O (Input/Output)	IC の入出力端子。	①
KOZ	Keep-out Zone の略。デバイス配置禁止領域。	①
LEF	Library Exchange Format の略。ライブラリ記述フォーマット。	①
LSB	Least Significant Bit の略。コンピュータの最下位ビット。	①
LVS	layout versus schematic の略。 集積回路を製造するために作成したフォトマスクパターン(レイアウト)が、設計したネットリストと一致しているかを検証すること。	①
MEMS	Micro Electro Mechanical Systems の略。 機械要素部品、センサ、アクチュエータ、電子回路を一つのシリコン基板、ガラス基板、有機材料などの上に集積化したデバイス。	①
Pcell	Parameterized Cell の略。パラメタライズされたセル。	①
p-implant 層	p 型のイオンを注入された半導体の層構造。	①
SPAD	Single Photon Avalanche Diode の略。 APD をガイガーモードで動作させ、フォトン入射を電圧パルスとして検出できるフォトダイオード。	①
SPICE	Simulation Program with Integrated Circuit Emphasis の略。 電子回路のアナログ動作をシミュレーションするソフトウェア。	①
TDC	Time-to-Digital Converter の略。高精度時間測定回路。	①
THB	Temperature Humidity Bias Test の略。高温高湿度環境内で対象電子部品に電気バイアスを与えて動作確認を行う寿命評価。	①
TOF	Time Of Flight の略。光の飛行時間。	①
Velodyne	Velodyne 社の全方位 LiDAR イメージングユニットのこと。64 個のレーザー送受信センサを内蔵し、全方位 360° / 垂直視野角 26.8° の測距画像の取得が可能。	①
Via Last プロセス	TSV 加工方式の中で完成したウェハを最後に TSV 加工するプロセス。	①
アライメント	位置合わせ。	①
オーバードライブ	最初にプローブ端子が半導体の端子に触れたところからさらに押し込んで圧接すること。	①
タイムスロット	時分割多重方式を用いてデータを送るとき、一つのチャンネルが占有する時間間隔のこと。	①
ディジーチェーン	まとめて電気接続評価するために回路を数珠つなぎにすること。	①
データストリーム	連続したデータの流れのこと。	①
データパス	コンピュータシステム内の処理データの流れのこと。	①
ネットリスト	トランジスタ情報およびトランジスタ間の接続情報が記述された回路データ。	①

用語	説明	分類
ファウンダリ	半導体産業において、実際に半導体デバイス(半導体チップ)を生産する工場。	①
プロービング	金属探針(プローブ)を使って半導体の電気テストを行うこと。	①
プローブカード	ウェハ上の LSI を検査するための金属探針(プローブ)付き基板。	①
ヘテロジニアスマルチコア	異種のアーキテクチャをもつマイクロプロセッサが統合された CPU のこと。	①
マイコン (Microcontroller)	コンピュータシステムをひとつの集積回路に組み込んだもの。	①
メモリストール	メモリアクセスを要因として CPU の動作が一時的に停止すること。	①
リーク	電気回路上で絶縁されるべき部分から電流が漏れること。	①
AC-FW	Automated Chaining Framework の略。 データを準備するためのコード(転送コード)と演算を行うためのコード(演算コード)が混然一体となって記載される従来のプログラミング言語と異なり、本プロジェクトで提案する、転送コードと演算コードとを独立に記述する形に改めたプログラミングフレームワーク。	②
API	Application Programming Interface の略。 ソフトウェアコンポーネントが互いにやりとりするのに使用するインターフェースの仕様のこと。	②
CVBS	Color Video, Blank, and Sync の略。 コンポジットカラービデオ信号。	②
FPD-LinkIII	車載情報機器向けの映像通信インターフェース規格。	②
Mega カメラ	100 万画素相当の解像度を持つ車載カメラ。	②
Open VX	標準化団体 Khronos にて現在進められている Computer Vision の業界標準開発環境のこと。組込向けで、異なるアーキテクチャ間での性能可搬性を実現可能、規格適合性試験を用意する。	②
PF	プラットフォームのこと。	②
RTL	Register Transfer Level の略。 レジスタ転送レベル。集積回路設計において同期デジタル回路を記述する手法の一種。	②
SoC	System on Chip の略。 一つの IC チップに複数の回路機能が集積されてシステムの機能を持つ半導体製品。	②
TAT	Turn Around Time の略。システムに指示を入力してから結果を出力するまでの時間。	②
VGA カメラ	30 万画素相当の解像度を持つ車載カメラ。	②

用語	説明	分類
アセンブラ	人間から見て解釈しやすいニーモニック(簡略化した英単語や記号の組合せ)(アセンブリ言語)で書かれたプログラムをコンピュータが解釈可能な機械語プログラムへ変換(アセンブル)を行うプログラムのこと。	②
アプリケーション(ソフトウェア)	コンピュータの利用者がコンピュータ上で実行したい作業を実施する機能を直接的に有するソフトウェア。	②
コンパイラ	人間に分かりやすく複雑な機能や構文を持つ高水準プログラミング言語(高級言語)で書かれたコンピュータプログラムを、コンピュータが解釈・実行できる形式[オブジェクトコード(機械語の集合)]に一括して変換するソフトウェア。	②
シミュレータ (Simulator)	何らかのシステムの挙動を、それとほぼ同じ法則に支配される他のシステムやコンピュータなどによって模擬すること。	②
テストベッド	大規模なシステム開発で用いられる、実際の運用環境に近づけた試験用プラットフォームの総称。	②
ノイズキャンセル	誤検知要因になるノイズ成分を低減すること。	②
ピーク性能	コンピュータの理論ピーク性能のこと。一方で実質的な性能を実効性能とよぶ。	②
マッピング(mapping)	何かの分布や配置などを地図に重ね合わせて図示すること。	②
メニーコア	メニーコアプロセッサは、ひとつのプロセッサの中に、実際に計算などの処理を行う部分(コア)をたくさん持ったプロセッサのこと。コアが一つのプロセッサより処理速度を上げることができるが、ソフトウェアがメニーコアに対応している必要がある。	②
ランタイム マネージャ	ランタイムはコンピュータプログラムの実行時のこと。また、プログラムの実行時に必要となる実行環境やライブラリなどのソフトウェア部品のこと。正しくは「ランタイムライブラリ」「ランタイムパッケージ」「ランタイムエンジン」などと呼ばれるが、慣用的に省略してランタイムと呼称することが多い。ランタイムマネージャはこのランタイム向けのマネジメントを行う機構のこと。	②
リンカ	コンパイラによって変換されたオブジェクトコード(機械語の集合)に、必要なライブラリなどを付け加えて実行可能ファイルを生成するプログラムのこと。	②
ロジック (Logic)	処理の流れや利用しているアルゴリズムなど、コードが体現する論理のこと。	②
移動体検知	カメラ映像から歩行者などの移動体を認識するアプリケーション。	②
演算アレイ回路	メニーコアを構成するプロセッシングエレメントアレイの回路。	②
逆アセンブラ	アセンブラの逆を行うプログラムのこと。	②
空間マップ	路面認識結果等から車両周辺状況をマップ化するアプリケーション。	②

用語	説明	分類
静止立体物検知	カメラ映像から立体物を認識するアプリケーション。	②
側方接近車検知	カメラ映像から側方遠方の接近車両を認識するアプリケーション。	②
命令セット	コンピュータのハードウェアに対して命令を伝えるための言葉の語彙。	②
用意周到型 アーキテクチャ	本プロジェクトで提案し開発したアーキテクチャ。従来の汎用メニーコアでは、各コアが夫々命令を自由にメモリから読み出して実行したり、あるいはデータが必要と分かった時にメモリへ取りにいったりするように動作する(ここでは「臨機応変型アーキテクチャ」と呼ぶ)のに対して、コアごとに「データを届ける」機能、「命令を届ける」機能、「データを演算する」機能のそれぞれについて、画像意味理解処理に固有の特性を導入することが可能となり、低電力化を実現できるアーキテクチャ。	②
路面認識	カメラ映像から路面領域とそれ以外を認識するアプリケーション。	②
C4 バンプ	ワイヤーボンディングに代わるパッケージ実装方式で使用される、こぶ状の導体突起。パッケージ基板の上に電極として形成しダイと接合する。C4はControl, Collapse Chip Connectionの略。	③
IR Drop	LSI の消費電力の増大にともなう、電源配線上に生じる電源電圧降下のこと(IRは電流Iと抵抗Rの積電圧を表す)。	③
Si-IP	シリコンインターポーザ。LSI 間の配線を担うことを主な目的とするシリコンの基板。配線長や配線幅を小さくできるため、周波数の高い信号で課題となる配線の寄生容量や配線長のバラつきなどを減らせ、高周波回路の設計が容易になる。	③
ダイ (die)	半導体チップの製造工程で、円盤状のウェハに回路パターンを焼き付け、さいの目状に切り分けて得られた一枚一枚のチップのこと。これに金属端子やプラスチックのカバーなどを取り付けると半導体パッケージとなる。	③
ダイシング	半導体のウェハ上に形成された集積回路などを、ダイシングソーでさいの目状に切り分けチップ化すること。	③
エレクトロマイグレーション (Electro-migration)	電気伝導体の中で移動する電子と金属原子の間で運動量の交換が行われるために、金属原子が徐々に移動することで材質の形状に欠損が生じる現象。この効果は電流密度が高い場合に大きくなる。	③
アンダーフィル (Under fill)	IC パッケージやダイの接続信頼性を高めるために使われる接着性のある封止樹脂。IC パッケージやダイの半田ボール等の接続部分に注入される。	③
チッピング	「欠け」のこと。砥石の欠け、加工対象の欠けのどちらの意味にも使う。ワークの角や淵などがわずかに欠けてしまう現象や、砥石の砥層部分の一部が少し欠けてしまうなどのケースを「チッピング」と呼ぶ。	③



用語	説明	分類
ダイシングテープ	導体・電子部品・光学部品製造におけるダイシング工程においてワークを固定する時に使用される。タック力が極めて強いのでパッケージ飛びが起こらない。UV 照射後は瞬時に粘着力がなくなるので、容易にピックアップができる。	③
リフロー	「リフローはんだ付け」を略で、事前に常温で付けておいたはんだを、後で加熱して溶かしてはんだ付けすること。	③
クーリングプレート	CPU 等の冷却装置。	③
コア層	パッケージ等の芯材の層。支持体となる層。	③
フリップチップ	実装基板上にチップを実装する方法の 1 つ。チップ表面と基板を電氣的に接続する際、ワイヤーボンディングのようにワイヤによって接続するのではなく、アレイ状に並んだバンプと呼ばれる突起状の端子によって接続する方法。	③
フロアプラン	レイアウト実装設計の最初の工程で、チップ上にどの回路ブロックをどこに配置するかの大枠を決める作業。	③
ピラー	柱。	③
サポートウェハ	薄型ウェハの補強、反り矯正を行うための支持基板。	③

# I. 事業の位置付け・必要性について

## 1. 事業の背景・目的・位置づけ

### 1.1 事業の背景

次世代交通社会の実現には、自動車の燃焼システムの環境対応に加え、急発進、急停止、渋滞等による非効率な燃料消費の改善および人の飛び出しや走行中の急な割り込み等による衝突事故の削減など、一層の省エネ化と安全走行の高度化が重要である。その実現には、自動車の周辺情報を集め即座に状況を把握するシステムの構築が必要となり、そのための技術開発が求められている。

### 1.2 事業の目的

本事業では、このような次世代交通社会の実現に必須となるエレクトロニクス技術の開発を行う。具体的には、2020年度頃の市場投入を目指し、安全運転支援を実現するためのセンシングデバイスの開発、車載センサの情報から障害物を認識し危険度を判別するアプリケーションプロセッサの開発、多くの車から収集した情報を分析するプローブデータ処理プロセッサの開発を行うことで、渋滞緩和、交通事故低減に寄与し、低炭素かつ安全な次世代交通社会の基盤を整備するとともに、我が国の自動車関連企業の競争力強化に資することである。

### 1.3 事業の位置づけ

#### 1.3.1 政策上の位置づけ

2011年8月に閣議決定された「第4期科学技術基本計画」では、「グリーンイノベーション」を強力に推進していくことが示され、その中の「エネルギー利用の高効率化およびスマート化」において、情報通信機器やシステム構成機器の一層の省エネルギー化への取り組みが掲げられている。本プロジェクトはその方向性の中に位置しており、この基本計画を指針とした、科学技術イノベーション政策の大きな方向性の下、策定された、「科学技術イノベーション総合戦略」(2013年6月に閣議決定)では、「科学イノベーションが取り組むべき課題」として「革新的デバイスの開発による効率的エネルギー利用」が掲げられており、情報機器に関する取り組みの一項目である、「超低消費電力デバイスの基礎技術開発」の中に、「半導体チップの三次元実装化技術の開発」が挙げられている。また、翌年更新された「科学技術イノベーション総合戦略2014」(2014年6月に閣議決定)では、工程表の中に半導体チップの三次元実装化技術開発に加えて、「システム化・実装化技術の開発」として、本プロジェクトに関する、車載用センシングデバイス、障害物検知・危険認識プロセッサ、プローブデータ処理プロセッサの開発が明記されるにいたっている。

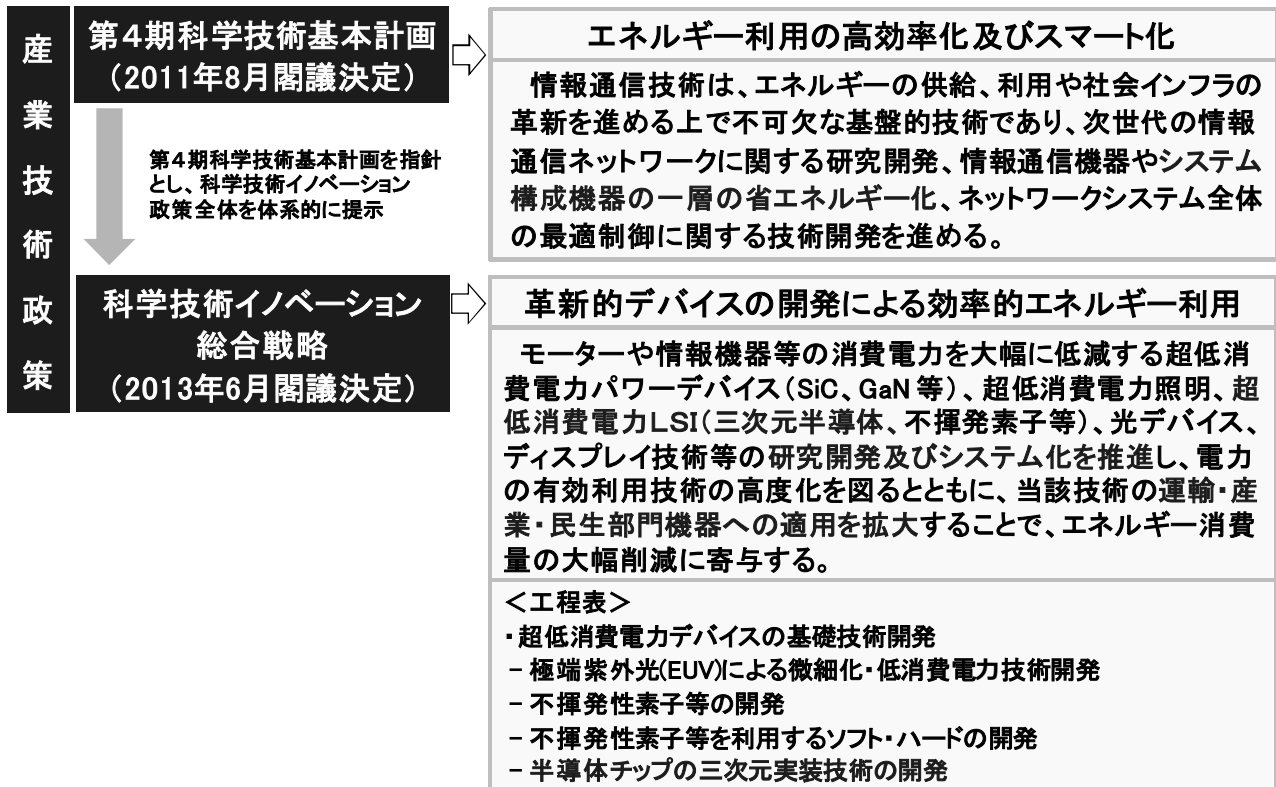


図 I . 1. 3-1 政策上の位置づけ

### 1. 3. 2 研究開発上の位置づけ

省エネ化と安全走行の高度化に対する開発の取り組みは、欧州では一層の安全性向上のための衝突回避技術開発に重点が置かれ、米国では2020年度頃の実現を目指し、各種センサとそこから得られた情報を処理して状況把握と判断を行い、車両を制御する自律走行技術の開発が進んでいる。一方、我が国では衝突回避に加え車車間通信、路車間通信技術を用いた渋滞緩和に関する技術開発が進行している。このように、次世代高度交通システムに向けた開発は、国内外、官民間問わず加速している。

また、上記技術開発の成果を受けた安全走行装置や衝突回避装置の普及に伴い、これらの装着を義務化する動きも先進国を中心に出てきており、これに合わせて次世代高度交通システム用の電子デバイス市場の拡大も進行していくものと予測される。

本プロジェクトでは、自動車の更なる省エネ化、安全走行の高度化を実現するキーデバイスとなる、次世代の障害物センシングデバイス、プロセッサ等の半導体デバイス(これらを、「次世代スマートデバイス」と称する)並びに、それらを実現する上で必要となる、半導体デバイスの低消費電力化、高速化、高集積度化のための三次元実装等の技術を開発する。その成果の波及は、エネルギー消費量削減・低炭素化社会の実現と我が国の自動車産業およびエレクトロニクス産業の競争力の強化の両方に貢献すると期待される。

#### 1.4 NEDOが関与することの意義

次世代高度交通システムでは、エレクトロニクスによる高度なセンシング技術、データ処理技術が必須であるが、現状のデバイス技術では限定的な条件下でしか使用できず、複数のセンサを組み合わせが必要であったり、処理能力の問題で機能が限定されたりするという解決すべき課題が存在する。このような課題を解決し、自動車の更なる省エネ化、安全走行の高度化を実現するキーデバイスとなる、次世代の障害物センシングデバイス、プロセッサ等の技術的競争力強化を図ることは、「我が国経済・社会の基盤としての電子・情報通信産業の発展を促進するため、電子デバイス等に関する課題について重点的に取り組む」という、NEDOの中期計画に沿ったものである。

また、「次世代スマートデバイス」では、既存の半導体微細化技術だけでは実現困難な処理速度・低消費電力特性および高集積化を実現するために、Si 貫通ビアを活用した集積回路の三次元実装技術、センサデバイスの素子技術、大量の情報を処理・認識・予測するためのハードウェア・ソフトウェア技術等の異なる技術領域を束ね、また、単独の企業だけでは成しえない難易度の高い要素技術の開発等が必要であり、民間単独で行うことはきわめて困難である。

従って本プロジェクトは、電装・半導体等各分野のメーカーおよび研究機関の英知を集めて開発を行う必要があることに加え、我が国の産業利益を支えているエレクトロニクス産業および自動車産業の国際競争力強化および世界をリードするグリーンイノベーションの実現に寄与するものであり、産業政策の面からもきわめて重要な課題であることから、国家プロジェクトとしてNEDOが関与すべきものと考えられる。

#### 1.5 実施の効果(費用対効果)

本プロジェクトは、事業期間5年間、事業規模80億円の計画で進められている。事業は委託および助成があり、委託事業はNEDO負担、助成事業はNEDO負担率1/2以下である。委託事業では、次世代スマートデバイスで必要となる、既存技術では実現困難な処理速度・低消費電力特性および高集積化を実現するために必要な要素技術の開発を車載用障害物センシングデバイスの開発(研究開発項目①)の一環として行う。助成事業では、委託事業で開発された要素技術を適用した車載用障害物センシングモジュールの開発を研究開発項目①として行うとともに、障害物検知・危険認識アプリケーションプロセッサの開発(研究開発項目②)と、プローブデータ処理用プロセッサの開発(研究開発項目③)の3テーマを実施する。

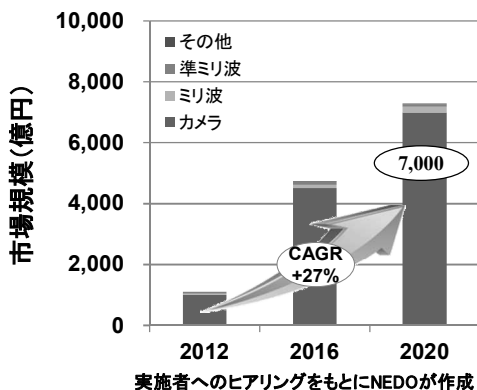
##### (1) 経済効果

車載用半導体は世界全体で2兆円以上の市場規模があり、ハイブリッド車や電気自動車、ADAS(先進運転支援システム: Advanced Driver Assistant System)の普及に伴い、これらで用いられるプロセッサ、各種センサ、パワー半導体等を中心に拡大を続けている。その中で、本プロジェクトが開発を目指している車載用障害物センシングデバイスとADAS用プロセッサの市場規模は、図I-1.5-1に示すように、2020年でそれぞれ約7,000億円と約900億円と想定される。本研究開発の成果としてシェア30%を獲得したと想定すると、車載用障害物センシ

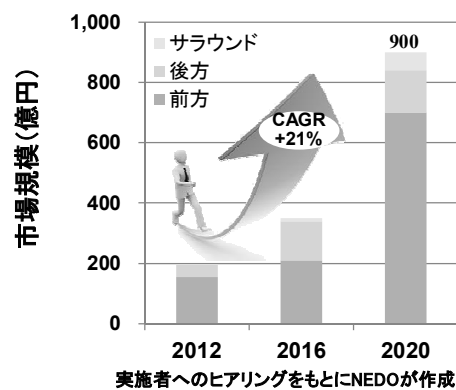
グデバイスで約 2,100 億円、先進運転支援用プロセッサで約 400 億円の市場創出効果が期待できる。

## 経済的効果

＜車載用障害物センシングデバイス市場動向＞



＜先進運転支援用プロセッサ市場動向＞



車載用障害物センシングデバイス : 約 2100億円 } の市場創出効果が見込まれる。  
 先進運転支援プロセッサ : 約 400億円 } (本研究開発の成果としてシェア30%を想定)

図 I-1.5-1 車載用デバイスの市場規模と経済効果

### (2) 省エネルギー効果

本事業の研究成果で実現される交通安全支援システムは、衝突回避等の事故低減効果だけではなく、急発進・急停止などの非効率な運転の改善、プローブデータの活用でもたらされる、渋滞の減少による省エネルギー効果が期待できる。

2020年に本事業で開発したデバイスの普及率が5%、本デバイスによる省エネ効果で25.7%の燃料節約が可能だと仮定し、我が国の自動車交通によるCO<sub>2</sub>排出量予測より、CO<sub>2</sub>排出の削減量を試算すると、図 I-1.5-2 に示すように、CO<sub>2</sub>の排出削減量は約 220 万トンと推測できる。

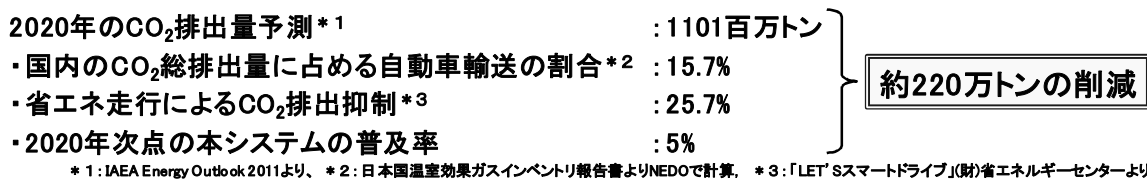


図 I-1.5-2 省エネルギー効果

### (3) その他

本事業で要素技術の開発を行う、Si 貫通ビアを活用した集積回路の三次元実装技術は、高集積化、高速化、低消費電力化を実現するというチャレンジングな課題を含み、本事業で開発するデバイスだけではなく、他の機能や用途を持った集積回路に広く応用できるものである。

よって、多機能化、高速化、小型化、省エネ化の要求がますます高まってくる、携帯情報端末用 LSI やヘルスケア用 LSI 等に適用を拡大していくことで、更に大きな経済効果や省エネルギー効果が期待できる。

#### 1.6 各技術開発分野の競合状況

本プロジェクトにおける、各技術開発分野の競合状況を、表 I-1.6-1 に示す。

表 I-1.6-1

分野	諸外国との競合状況
車載用障害物センシングデバイス	<p>&lt;現状&gt; ・ミリ波レーダー、レーザーレーダー、カメラ、超音波ソナー等を単独あるいは複数組み合わせ使用。</p> <p>・電装、カメラ、センサー等の各メーカー20社以上が市場を分け合っている。</p> <p>海外：Bosch(独)、Continental(独)、Valeo(仏)、Hella(独)、Dellphi(米)、Magna(加)、舜宇(中)等</p> <p>国内：デンソー、パナソニック、ソニー、オムロン等</p> <p>&lt;今後&gt; ・車両周辺環境の影響を受けずに障害物を検知できる。</p> <p>・高分解能・高感度化、小型化、低コスト化、高車載信頼性、三次元空間認識。</p> <p>・技術開発ステージにおいて、日米欧で競争状態。</p>
車載用情報処理プロセッサ	<p>&lt;現状&gt; ・安全支援システムの「危険認識」の段階(白線認識、障害物認識)に関する車載情報システム用LSIはMobileye(蘭)が8割の寡占状態。</p> <p>&lt;今後&gt; ・本プロジェクトで取り組む「危険予測」の段階は技術開発ステージで、日米欧で競争状態。</p>
大容量データ処理プロセッサ	<p>&lt;現状&gt; ・サーバーのシェアとリンクしており、日本の市場は現在約5%。</p> <p>・米国のIntel、Nvidia、AMD、IBM、Oracle等がほぼ独占。</p> <p>&lt;今後&gt; ・本プロジェクトの成果を国産サーバーのキーデバイスとして、本分野の国際競争力を強化。</p>
三次元積層半導体	<p>&lt;現状&gt; ・車載分野向けの高信頼性組立受託事業の計画は国内外ともなし。(PC、モバイル、ネットワーク機器向けは台、韓、米で占有)</p> <p>&lt;今後&gt; ・積層技術は技術開発段階であるが、車載品質に関するノウハウを有する、日本の電装メーカーが優位性をもつ。</p>

## II. 研究開発マネジメントについて

### 1. 事業の目標

本プロジェクトは、自動車の周辺情報を把握するシステムのキーデバイスである車載用障害物センシングデバイス、障害物検知・危険認識アプリケーションプロセッサおよびプローブデータ処理プロセッサを開発し、自動車関連企業の競争力強化に貢献することを目指すものである。

本プロジェクトでは、3項目の研究開発を実施する。以下に各研究開発項目の概要および目標を記す。

#### 研究開発項目① 車載用障害物センシングデバイスの開発

夜間を含む全天候下で20m以上先の車両や歩行者等多数の障害物の位置と距離を同時にリアルタイムで測定できるセンシングデバイスおよび三次元積層による省スペース化と高速信号伝送特性を併せ持つデバイスの小型化技術を車載品質レベルで開発する。

##### 【中間目標】(2015年度末)

- ・ 20m以上先の車両や歩行者等多数の障害物の位置と距離を同時に測定できるセンシングデバイスを開発し、性能評価を行う。その評価結果から最終目標達成のための課題を抽出し、解決の技術的見通しを明確にする。
- ・ センシングデバイスの省スペース化に資するデバイスの小型化技術の技術的見通しを明確にする。

##### 【最終目標】(2017年度末)

- ・ 走行中に夜間を含む全天候下で、20m以上先までの車両や歩行者等多数の障害物の位置と距離を同時にリアルタイムで高精度に測定するセンシングデバイスを開発する。
- ・ 車載環境下で上記のセンシング特性を有し、バックミラー裏やバンパー等限られたスペースに搭載できるデバイスの小型化技術を開発する。

#### 研究開発項目② 障害物検知・危険認識アプリケーションプロセッサの開発

センシングデバイスからの大量のデータを高速かつ低消費電力で処理できるアーキテクチャを搭載した車載用のプロセッサを開発する。

上記のプロセッサをプラットフォームとして、より多くの車両や歩行者等の障害物の動きを予測し、その衝突の危険度を判別するアプリケーションソフトを開発する。

##### 【中間目標】

- ・ 車両や歩行者等多数の障害物の動きを予測するアルゴリズムを開発し、その危険度を判別するソフトウェアの仕様を作成する。
- ・ センシングデバイスからの大量のデータを高速かつ低消費電力で処理するプロセッサのアーキテクチャを設計し、技術的見通しを明確にする。

【最終目標】(2015年度末)→市場競争の激化に対応した、性能検証開発の手法の効率化、見直しにより最終目標達成時期を2017年度末から2015年度末に前倒しする計画変更を実施。

- ・ 以下の機能を有するアプリケーションソフトを開発する。
  - 走行車両周辺の歩行者、自動車、二輪車など多数の障害物の認識
  - それぞれの障害物の動きの予測
  - それぞれの障害物の衝突危険度の判別
  
- ・ アプリケーションソフトを搭載した以下の性能を有するアプリケーションプロセッサを開発する。
  - メモリスループット : 80 GByte/s 以上
  - 単位消費電力当たり演算性能 : 1,000GOPS/W 以上  
GOPS(Giga Operations per Second)
  - 検出処理時間 : 50msec以下

#### 研究開発項目③ プローブデータ処理プロセッサの開発

車両からのリアルタイム情報と過去の渋滞モデル等から個々の自動車に安全で効率的な運転支援情報を提供するハイエンドサーバシステムに搭載されるプロセッサ(※)を開発する。具体的には、2020年度頃の実用化を目指し、テレマティクス向けサーバシステムが扱うエクサバイト規模の情報をリアルタイムで処理する低消費電力プロセッサ技術を開発する。

(※) 本事業では、回路、システム、設計技術、組立技術を重点的な対象とし、専ら新材料、新デバイス構造、新プロセスの開発を目的とするものは対象としない。

#### 【中間目標】(2015年度末)

- ・ 大容量データを高速かつ低消費電力で処理するプロセッサの要素技術を開発し、最終目標達成に必要な技術的見通しを明確にする。

#### 【最終目標】(2017年度末)

- ・ 以下の性能を有する高性能で低消費電力のプロセッサを開発する。
  - 単位消費電力当たり演算性能 : 3Gflops/W 以上
  - ピーク演算性能 : 1Tflops 以上
  - メモリスループット : 0.3Byte per flop 以上  
flops(floating-point operations per second)

NEDOは、これらの研究開発項目において、個別に設定した中間目標および最終目標性能の確認を最長2017年度までに達成すべき目標として設定し、プロジェクトの目標としている。



## 2. 事業の計画内容

### 2.1 研究開発の内容

本プロジェクトでは、3件の研究開発項目を実施する。それぞれの研究開発項目について、以下で説明する。

#### 2.1.1 研究開発項目① 車載用障害物センシングデバイスの開発

[委託事業、助成事業(助成率：1/2以下)※]

※産官の複数事業者が互いのノウハウ等を持ちより協調して実施する基盤的内容について委託事業として実施し、それ以外の場合は助成事業(助成率 1/2 以下)として実施する。

担当：デンソー株式会社

ラピスセミコンダクタ株式会社

国立研究開発法人産業技術総合研究所

##### 2.1.1.1 研究開発項目の概要

本研究開発項目では、渋滞緩和、交通事故低減に寄与し、安全運転支援を実現するためのセンシングデバイスとして、車載用測距センサを開発する。測距センサには、主にミリ波方式、ステレオカメラ方式、レーザレーダー方式があり、それぞれに長所・短所を併せ持ち、研究課題を抱えている。本事業では従来の約 1000 倍の空間分解能を持ち、昼夜問わず遠距離の歩行者・車両を検知(測距)できる測距センサの開発を行う。今回はレーザレーダー方式を当面の開発対象とし、当該特性を実現するために受光素子の感度向上と距離精度の向上を目指す。

感度向上は、高感度受光素子の採用と、受光素子の実効面積拡大(受光素子と信号処理回路の分離)により実現を目指す。距離精度の向上は、受光素子と信号処理回路を三次元的に実装して配線長を最短かつ等長とすることで、信号の遅延時間を最小かつ均等化することにより実現を目指す。高感度な受光素子の実現に不可欠となる三次元実装技術は、これまで多くの研究開発事例が報告されているものの、実用化量産化に向けた技術課題の大きさから実用化は一部のアプリケーションに留まっている。

以上より、本研究開発項目では、車載用測距センサを実現するため、以下の技術課題の解決を目指す。

課題 1 10000 画素以上の空間分解能を持つ測距センサデバイス・回路技術の開発

課題 2 三次元積層 IC を設計するための設計環境の構築

課題 3 三次元実装を実現するプロセス技術の開発

課題 4 三次元実装の検査方法/評価方法の開発

課題 5 測距センサの小型化を実現するモジュール技術の開発(助成事業)

## 2.1.1.2 研究開発項目の具体的内容 [ ( ) 内は開発サブテーマ No. ]

### 2.1.1.2-1 課題 1 : 測距センサデバイス・回路技術 (①-1)

主担当： 株式会社デンソー 測距センサ回路技術  
株式会社豊田中央研究所(再委託) 測距センサデバイス技術

本研究では、市販されている測距センサが遠方の人など自動車より小さい物体を検出できるように、空間分解能を市販品の約 1000 倍以上向上することを目的とする。具体的には、市販品の空間分解能は 10 画素程度であるが、10000 画素以上を有する測距センサを目指す。最終的には、10000 個以上の測距センサデバイスと、それぞれの測距センサデバイスからの出力を読み取り、出射から受光までの時間(TOF ; Time Of Flight)を算出する測距センサ回路、計測された TOF から高 SN 比で距離を計算する信号処理 LSI からなる三次元実装受光チップ実現の目処付けをする。また、高速・高精度で並列特性を有する読出し回路および時間計測回路に加え、測距センサの検知率を高めるデータ処理方式や並列化処理による高スループットなデジタル信号処理回路を開発する。

### 2.1.1.2-2 課題 2 : 三次元統合設計環境の開発 (①-2)

主担当： 株式会社デンソー 統合設計環境の開発  
株式会社図研(再委託) 統合設計プラットフォーム構築)  
副担当： 国立研究開発法人産業技術総合研究所

三次元半導体の特長を最大限に引き出して、高性能・高信頼性かつ低コストなセンサデバイスを実現するために必要な、IC 設計からモジュール全体の実装設計までをカバーする統合設計環境を構築する。

本研究では、三次元半導体構造モデリング技術、ツール間 I/F、TSV シミュレーションモデル、三次元向け電源線/信号線解析技術などの要素技術を開発し、IC 設計、積層チップ設計、解析を統合した設計環境を構築する。また、開発技術を製品設計につなげるため、既存の設計インフラをベースに、三次元半導体特有の設計技術やモデルを加え、全体設計フローと統合設計環境フレームワークを構築する。

### 2.1.1.2-3-1 課題 3-1 : 印刷 TSV 技術の開発 (①-3)

主担当： ラピスセミコンダクタ株式会社、住友精密工業株式会社(再委託)  
副担当： 株式会社デンソー、国立研究開発法人産業技術総合研究所

本研究では、TSV 形成処理工程を大幅に短縮・改善するために、TSV 形状に対して適用範囲の広い TSV 用金属充填技術と絶縁層形成技術の開発を行う。

TSV 用金属充填技術の開発としては、流動性の金属材料を真空環境下でウェハ上に導入し、加圧機構等によって TSV に充填したのちに固化させる技術およびそのプロセス加工装置の開発

を行う。また、TSV 用絶縁層形成技術の開発としては、絶縁材料をウェハ上にあけられたリング状他の溝の中に充填した後に焼成することにより、短時間でウェハ全面に TSV 用絶縁層を形成する技術およびそのプロセス加工装置の開発を行う。

2.1.1.2-3-2 課題 3-2：印刷等によるマイクロバンプ形成技術・反り対策技術の開発 (①-4)

主担当： ラピスセミコンダクタ株式会社、株式会社デンソー(再委託)

副担当： 国立研究開発法人産業技術総合研究所

本研究では、印刷法等による新しいバンプ形成プロセスを開発し、従来のめっきによるバンプ形成のプロセスよりも、プロセス時間の低減を実現する。最終的なバンプ径は 10 $\mu$ m 以下を目標とし、それに対応する関連技術の開発を行う。

2.1.1.2-3-3 課題 3-3：TSV プロセスインテグレーション技術の開発 (①-5)

主担当： ラピスセミコンダクタ株式会社

副担当： 株式会社デンソー、国立研究開発法人産業技術総合研究所

本事業の研究課題である車載用測距センサの距離性能を向上させる技術は、各画素からの信号を遅延時間なく伝達するために、各画素から信号を受ける信号処理 LSI までの物理的な配線を等長配線とする技術が必要である。本研究では、1 チップあたり 2 万個以上の TSV を有し、かつ車載信頼性を有する TSV 構造・形成プロセス技術開発を行うのと同時に、プロセス開発全体を効率化し、実用化へ向けた開発を行う。また、プロセス確立のために、TSV 内への金属充填プロセス開発用金属充填装置および洗浄装置等の導入を図る。

2.1.1.2-3-4 課題 3-4：低応力積層/接続技術の開発 (①-6)

主担当： ラピスセミコンダクタ株式会社、株式会社デンソー(再委託)

副担当： 国立研究開発法人産業技術総合研究所

測距誤差を小さくし、測距センサの距離性能を向上させるためには、測距センサチップと信号処理チップを上下に配置し、各画素からの信号を TSV と接続バンプを介して縦方向に結線する方法が理想であるため、車載信頼性を満足させる積層/接続技術を開発する。本研究では、車載信頼性を有する 1 チップあたり 1 万個以上の接続バンプを持つ積層/接続技術を開発する。

#### 2.1.1.2-3-5 課題 3-5：センシングデバイス、三次元積層技術に関する動向調査

主担当： 株式会社デンソー、ラピスセミコンダクタ株式会社、  
国立研究開発法人産業技術総合研究所

本開発を推進するに当たり、センシングデバイス、三次元実装技術等に関する市場動向・業界の技術動向を常に調査し、開発方針、目標の妥当性等について把握する。また下記学会等に必要に応じて参加し、情報収集もしくは各研究成果の発表・議論を行い、適宜研究内容へ反映させる。

(関連学会)

IEEE Electronic Components and Technology Conference (ECTC)

IEEE International 3D Systems Integration Conference (3DIC)

IEEE International Solid-State Circuits Conference (ISSCC)

#### 2.1.1.2-4-1 課題 4-1：三次元実装検査技術の開発 (①-7)

主担当： ラピスセミコンダクタ株式会社、  
ルネサスエレクトロニクス(再委託)

副担当： 株式会社デンソー、国立研究開発法人産業技術総合研究所、

三次元積層技術を実用化する上で、量産工程での積層構造に対する検査技術の確保が不可欠である。本研究では、電気的な評価技術として、 $20\mu\text{m}$  ピッチ/ $\phi 5\mu\text{m}$  以下のマイクロバンプを直接検知するための新プローブ材料の開発、プローブ異物洗浄技術、および表面酸化膜除去技術(微小スクラブ機構)の開発を行う。更に、非破壊測定技術として、X線や発熱解析手法等による高分解能の不良部非破壊探傷・不良解析技術を開発する。

#### 2.1.1.2-4-2 課題 4-2：三次元実装評価技術の開発 (①-8)

主担当： 国立研究開発法人産業技術総合研究所

副担当： ラピスセミコンダクタ株式会社、株式会社デンソー

本研究では、三次元実装技術を車載センサシステムに応用するにあたり、設計基板技術として重要な項目となる、TSV 技術および超多ピン接続の積層実装システムに対応した電気・熱・応力評価技術を開発する。

第一として、電気設計・計測評価技術としては、当該三次元実装技術上、不可欠な電源安定化技術に対応する電源評価技術の開発を行う。具体的にはシステム系における電源ネットワークインピーダンスが  $10\text{GHz}$  で  $1\Omega$  以下を達成できるデカップリングキャパシタ内蔵インターポーザ等の電源安定化技術およびその評価技術を開発し、三次元 LSI 積層実装システム全体で車載センサシステムに対応する  $100\text{ GB/s}\sim 1\text{ TB/s}$  程度の高速動作の安定化を目指す。

第二として、車載センサシステムで重要となる、放熱・冷却対応設計技術および評価技術を開発する。具体的には三次元積層実装 LSI 上でトランジスタ動作時に発生する局所熱(ホットスポット)の解析・計測評価技術を開発する。さらに、三次元積層実装 LSI 内から外への放熱経路の解析・計測技術も開発する。

第三として、新規 TSV および微細超多ピン接続による積層構造の不良評価技術を開発し、信頼性の高いプロセス工程を実現する。三次元実装時における微細な TSV およびバンプ接続部では熱・応力による変形が無視できないことから、微小構造体における熱・応力の連成解析技術の開発を行う。

#### 2.1.1.2-5 課題 5：測距センサモジュールの開発[助成事業(助成率：1/2 以下)] (①-助成)

主担当： 株式会社デンソー

測距センサの原理は、レーザダイオード(LD)から出射されたパルス光が物体に当たって戻ってきた光をフォトダイオードで受光し、出射から受光までの時間を計測する。本開発では、委託事業で開発した受光 IC を、高出力 LD、その光を広範囲に均一に広げるスキャナ機構、発光光学系、戻ってきた光を効率良く受光するための受光光学系、LD と受光チップの同期制御を行うマイコンボード等から成る測距センサモジュールに組み込み、測距センサの成立性検証を行う。

## 2.1.2 研究開発項目② 障害物検知・危険認識アプリケーションプロセッサの開発

[助成事業(助成率：1/2 以下)]

担当：ルネサスエレクトロニクス株式会社

クラリオン株式会社

※本研究開発項目は、2015 年度で最終目標を達成見込のため前倒し事後評価とする。

### 2.1.2.1. 研究開発項目の概要

本研究開発項目では、センシングデバイスからの大量のデータを高速かつ低消費電力で処理できる新たなアーキテクチャを搭載した車載用のプロセッサを開発する。

更に開発したプロセッサをプラットフォームとして、より多くの車両や歩行者等の障害物の動きを予測し、その衝突の危険度を判別するアプリケーションソフトを開発する。

### 2.1.2.2. 研究開発項目の具体的内容 [ ( ) 内は開発サブテーマ No. ]

#### 2.1.2.2-1 画像意味理解プロセッサプラットフォーム技術の開発 (②-1)

担当：ルネサスエレクトロニクス株式会社

次世代 ADAS の画像意味理解機能を実現するために必要なプロセッサの性能は、現世代 ADAS (=100GOPS/W) の場合と比べ、1 桁以上高い (=1000GOPS/W) ものになると予想されている。しかしながら、これまでのプロセスの微細化によって得られた電力性能比の目覚ましい向上は頭打ちしており、今後さらに微細化が進んだとしても、電力性能比の向上は多く望めない状態に直面している。また、温度依存性の高い車載環境では元々許容される電力上限が低いため、多くの現世代 ADAS では、高周波数化のアプローチよりも優れた電力性能比が期待できる並列処理のアプローチ、すなわちマルチ～メニーコアという切り札が既に利用されてしまっているため、さらなる電力性能比向上のハードルは非常に高い。そうした中、次世代 ADAS が要求する優れた電力性能比の実現に向けた課題は、下記 2 点にまとめられる。

課題 1：プロセスの微細化だけでは実現できない、現状のメニーコアよりも優れた電力性能比を持つプロセッサをいかに実現していくか。

課題 2：ますます複雑化そして高度が進む次世代 ADAS 向けソフトウェアを効率よく開発できるようにするため、既に現世代 ADAS でも問題が顕在化してきている、多数存在するコアを有効に使いこなして性能を引き出すのが困難という、メニーコアが持つ本質的な課題をどう抜本的に解決していくか。

本研究開発では、以下に示す 2 種類の技術を開発することを通じて、これらの課題を解決する。

課題 1：プロセッサによる処理は、「命令を届ける」、「データを届ける」、「データを演算する」の 3 つの作業の大きく分けられる中で、各作業に向けた回路

を、画像意味理解処理が有する特徴にそれぞれ特化して設計する、「用意周到型アーキテクチャ」技術の開発

課題2：メニーコアの性能を最大限引き出せない要因である、データを準備するためのコード(転送コード)、並びに演算を行うためのコード(演算コード)が混然一体となって記載される従来のプログラミング言語と異なり、転送コードと演算コードとを独立に記述する形に改めたプログラミングフレームワーク(AC-FW: Automated Chaining Frame Work)を開発する。

#### 2.1.2.2-1-1 画像意味理解プロセッサ技術 (②-1-1)

1000GOPS/Wの電力性能比と、画像意味理解アルゴリズムの詳細まで記述可能な汎用なプログラマビリティの実現を両立した、画像意味理解プロセッサ技術を開発する。

メニーコア型プロセッサにおける「命令を届ける」、「データを届ける」、そして「データを演算する」のそれぞれについて、画像意味理解処理に固有の特性を導入した「用意周到型アーキテクチャ」を開発することで、プログラマビリティと高い電力性能比の両立を実現する。

#### 2.1.2.2-1-2 画像意味理解プロセッサに向けたソフトウェア開発環境技術 (②-1-2)

本項目では以下の特徴を有する、画像認識において世界初のプログラミングフレームワークを開発する。

- ・プロセッサの専門知識を有しないアルゴリズム開発者であっても、用意周到型アーキテクチャに基づく画像意味理解プロセッサのピーク性能を容易に引き出せる。
- ・異なるプロセッサアーキテクチャ間でも性能可搬性を提供する。
- ・世界標準のオープン仕様に準拠し、プログラマ人口を確保できる。

転送コードと演算コードとを独立に記述する形に改めたプログラミングフレームワーク(AC-FW: Automated Chaining Framework)」を開発することで、用意周到型アーキテクチャに基づく画像意味理解プロセッサの性能をより簡単に引き出せ、かつ、性能可搬性も備えたソフトウェア開発環境を実現する。

異種アーキテクチャ間で性能可搬性を提供するプログラミングフレームワークを用意周到型プロセッサ用を実現するCコンパイラ、ランタイムライブラリの実現と、上記プログラミングフレームワークを標準化団体KhronosにおいてOpenVXとして採用獲得を目指す。

#### 2.1.2.2-1-3 前方監視用画像意味理解アプリケーションの実時間動作実証 (②-1-3)

本項目では、前方監視用画像意味理解アプリケーションソフトウェアのコアを、本事業で開発する画像意味理解プロセッサ技術向けに実装を行う。更に画像意味理解プロセッサ技術の評価システムを用いて、実装したアプリケーションソフトウェアのコアの評価を行い、システムが要求する性能で動作することを検証する。

#### 2.1.2.2-1-4 画像意味理解リファレンスデータ取得システム的设计 (②-1-4)

異なる画像意味理解アプリケーションの開発に共通で使用できる映像リファレンスデータを取得する、画像意味理解リファレンスデータ取得システムを設計する。

画像意味理解アプリケーションの開発では、

- ・危険検知レベルの目標設定
- ・アルゴリズム選定とアルゴリズム開発(辞書開発)
- ・ソフトウェアの性能評価
- ・危険検知レベルの評価

の各段階において、画像データならびに測距センサデータなどの関連データが不可欠であり、車両周辺監視画像意味理解および前方監視画像意味理解で共通に利用できる映像リファレンスデータを取得することが重要となる。

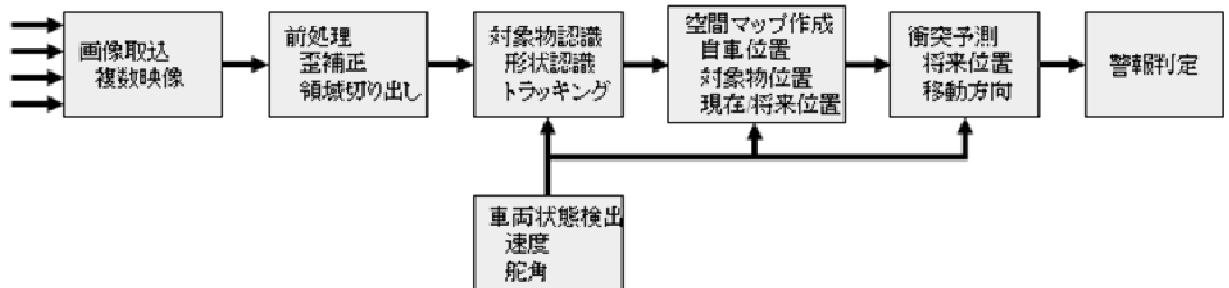
そこで、映像リファレンスデータ取得システムをテストベッドで検証を行いつつ設計する。

#### 2.1.2.2-2 車両周辺監視用画像意味理解アプリケーションソフトウェア技術の開発 (②-2)

担当：クラリオン株式会社

本開発項目では、交差点右左折などでの安全運転を支援するため、車両周囲の広い範囲で歩行者等の移動物体を検知し、その危険度を判断する、画像意味理解アプリケーションプロセッサ用のアプリケーションソフトウェア技術を開発する。

具体的には、複数の広角カメラを車両に搭載し、車両全周囲の画像を取得する。取得した画像から画像意味理解アプリケーションプロセッサを通じて歩行者等をリアルタイムに検出し、更にその位置や移動方向に関する情報を含む空間マップを作成して衝突の危険性を判定することを特徴とする画像意味理解を実現する。図Ⅱ-2.1.2-1 に本手法の処理の流れを示す。



図Ⅱ-2.1.2-1 車両周辺監視用アプリケーションソフトウェア処理の流れ

以上の一連の流れにより、複数カメラ画像から自車周辺の移動物体を検出し、警報を発することができる。



### 2.1.3 研究開発項目③ プローブデータ処理プロセッサの開発

[助成事業(助成率：1/2 以下)]

担当：富士通株式会社

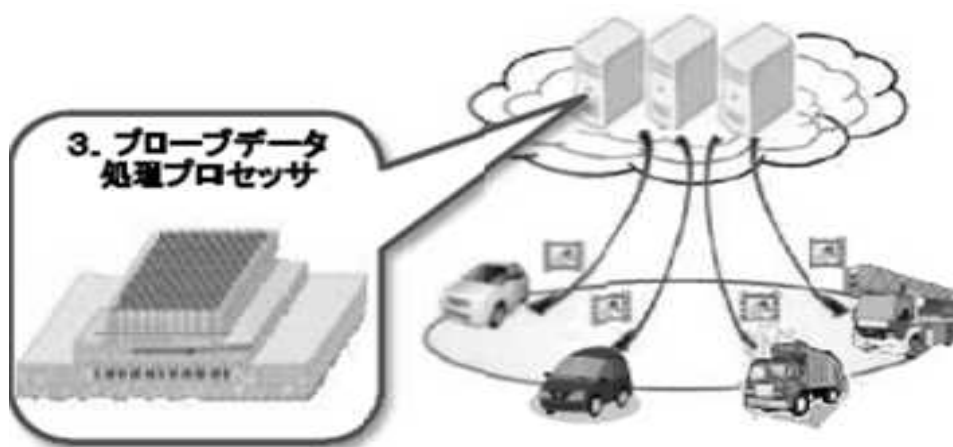
#### 2.1.3.1. 研究開発項目の概要

本開発項目では、2021 年度頃の市場投入を目指し、多くの車から収集した情報を分析するサービスシステムにて使用されるプローブデータ処理プロセッサ(図Ⅱ.2.1.3-1)の開発を行う。具体的には以下の性能を有するプロセッサ開発を最終目標とする。

[最終目標]

- ・単位消費電力当たり演算性能 : 3 Gflops/W 以上
- ・ピーク演算性能 : 1Tflops 以上
- ・メモリスループット : 0.3 Byte per flop 以上

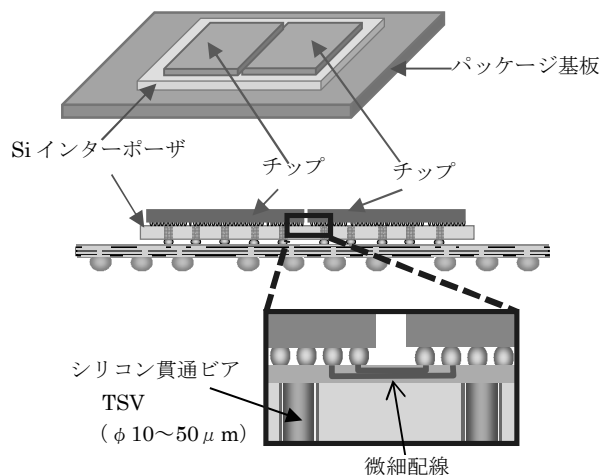
Flops(floating-point operations per second)



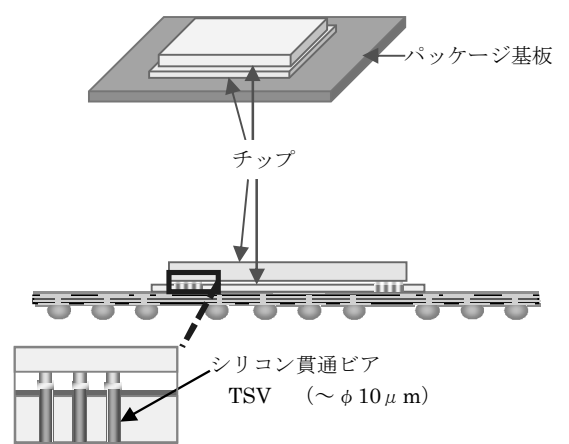
図Ⅱ.2.1.3-1 プローブデータ処理プロセッサ

上記の目標を達成するプローブデータ処理プロセッサを実現するためには、プロセッサ単体の高性能化と低消費電力化が必要である。高性能化のためには回路規模の拡大が必要であるが、従来の LSI では微細化のテクノロジーが進んでも、チップサイズの製造限界により回路規模は限定されてしまう。

今回開発を目指すプロセッサ性能の実現には、これまで以上に高集積化する必要がある。そのための手段として 2.5 次元実装(図Ⅱ.2.1.3-2)や、チップに形成した Si 貫通ビア(TSV: Through Silicon Via)を用いて縦積みする三次元実層(図Ⅱ.2.1.3-3)が挙げられる。三次元実層は、2.5 次元実装より配線長を短くして高速化を図れるほか、信号伝送での電力損失を少なくできる。すなわち、チップあたりの消費電力を下げる事ができるというメリットがあり、本プロジェクトで開発する高性能低消費電力プロセッサの実現には必須の技術である。



図Ⅱ. 2. 1. 3-2 2.5次元実装



図Ⅱ. 2. 1. 3-3 3次元実装

しかし、現在実用化されているか又は実用化に近付いている3次元実装技術は、主にモバイル向けチップの小型高集積化に適した方向の技術であって、高性能プロセッサに3次元実装技術を適用するためには従来と異なる方向の技術が必要となる。すなわち、高性能プロセッサはモバイル向けチップと比較すると、①消費電力が大きいため大電流の供給を必要とする、②消費電力が大きいため高性能な冷却を必要とする、③積層チップ間および積層チップ外部とやり取りするデータ量が多いため多数信号ピンでの高速な伝送を必要とする、④チップ面積が大きいため積層に際して位置精度や応力などの機械的な問題がある、という特徴があり、これらの特徴をカバーできる技術を新たに開発することが必要である。従って、本研究開発では、「3次元プロセッサ向け大電流供給技術・高速伝送技術の研究開発」（上記①③の解決）、「3次元プロセッサ向け大面積チップ積層技術・高性能冷却技術の研究開発」（上記②④の解決）、およびそれらの技術を用いた「3次元プロセッサの設計開発・性能予測」を目標課題として研究開発を行う。

しかし、現在実用化されているか又は実用化に近付いている3次元実装技術は、主にモバイル向けチップの小型高集積化に適した方向の技術であって、高性能プロセッサに3次元実装技術を適用するためには従来と異なる方向の技術が必要となる。すなわち、高性能プロセッサはモバイル向けチップと比較すると、①消費電力が大きいため大電流の供給を必要とする、②消費電力が大きいため高性能な冷却を必要とする、③積層チップ間および積層チップ外部とやり取りするデータ量が多いため多数信号ピンでの高速な伝送を必要とする、④チップ面積が大きいため積層に際して位置精度や応力などの機械的な問題がある、という特徴があり、これらの特徴をカバーできる技術を新たに開発することが必要である。従って、本研究開発では、「3次元プロセッサ向け大電流供給技術・高速伝送技術の研究開発」（上記①③の解決）、「3次元プロセッサ向け大面積チップ積層技術・高性能冷却技術の研究開発」（上記②④の解決）、およびそれらの技術を用いた「3次元プロセッサの設計開発・性能予測」を目標課題として研究開発を行う。

### 課題 1. 三次元プロセッサ向け大電流供給技術、高速伝送技術の研究開発

開発目標とするプロセッサは、目標性能を達成した段階で 200～300W 程度の消費電力となることが見込まれる。2008 年度～2012 年度にて実施された NEDO プロジェクト「立体構造新機能集積回路(ドリームチップ)技術開発」(以下、先行研究)においては、このような大電力を想定した研究は実施されていない。このような大電力供給を三次元積層構造で実現するためには、新たに、大電力供給に適したパッケージからチップへの電力供給経路となる TSV および TSV を経由するチップ裏面の電源配線構造が必要となる。このため、TSV だけでなく、バックサイド(裏面)の設計技術や、設計した裏面構造を実現するウェハ処理技術が必要となる。また、大電流対応の微小端子接合技術の開発も合わせて実施する必要がある。

更に高速信号の新たな伝送経路となる TSV 経由配線や大電力の電源供給 TSV 配線に対応した、Signal Integrity(SI)、Power Integrity(PI)の解析、検証技術が必要となる。

### 課題 2. 三次元プロセッサ向け大面積チップ積層技術、高性能冷却技術の研究開発

三次元プロセッサ向け大面積チップ積層技術には、チップサイズ $\square$ 20mm 以上、数万端子以上の TSV を有するチップを積層するために過剰な力をかけることなく均一に接合する新たなプロセス技術の確立が必要であり、そのチップ積層過程では下チップの発熱を上チップへ拡散できる熱伝導性の良い封止材の選定とその封止材をチップ間に均一に充填するプロセス技術の確立が必要である。また、パッケージ実装過程では大面積積層チップを搭載するために生じるパッケージ基板と積層チップ間の反りの抑制と、熱膨張係数差のために生じる膨張・収縮への耐久性確保が必要である。高性能冷却技術には、消費電力が大きいプロセッサを冷却するため高性能かつコンパクトな冷却構造の開発が必要となる。

### 課題 3. 三次元対応高性能プロセッサの開発

目標課題 1, 2 で開発した三次元対応のための要素技術の取り込みや、三次元実装によって発生するチップ分割に対応するため、フロアプランやプロセッサの基本仕様を作成が必要となる。

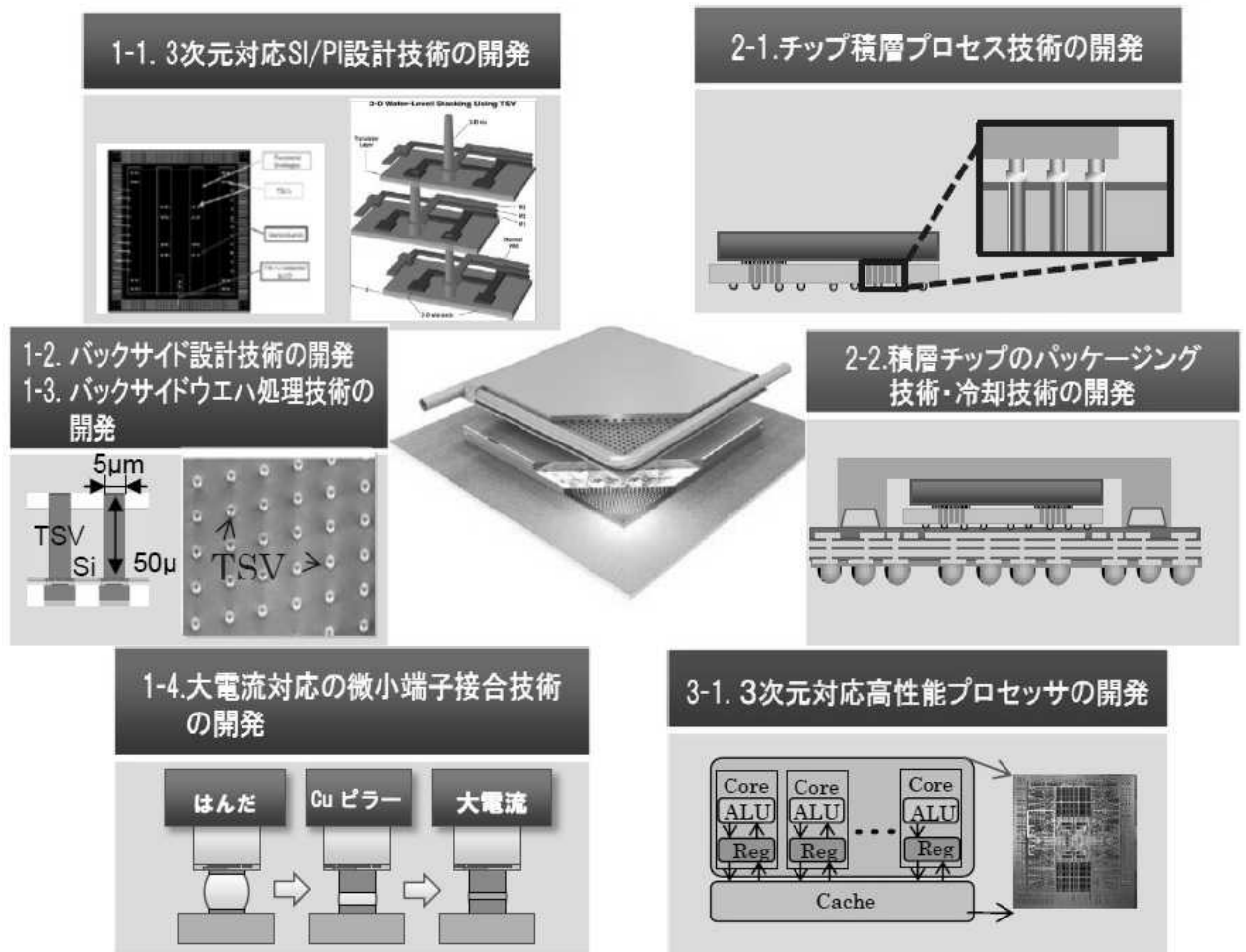
次に、その基本仕様等に基づき論理設計やレイアウト設計を行うにあたっては、面積、速度、電力等の最適化が必須であり、それらを可能とする三次元実装設計環境が必要となる。また、積層するチップ間の微小接合端子は、従来の端子に比べピッチが 1/3 以下であり、端子数が 10 倍以上になることが想定され、この微小で多数の接合端子用のテストプローブは非常に高価だけでなく、製造すらできない可能性がある。そこで従来の少ないピン数のプローブでもテスト可能な三次元実装 LSI 向けのテスト手法が必要となる。

以上、まとめると以下のような課題となる(図Ⅱ. 2. 1. 3-4)。

#### 【課題リスト】

- 課題 1-1 三次元対応 SI/PI 設計技術の開発
- 課題 1-2 バックサイド設計技術の開発

- 課題 1-3 バックサイドウエハ処理技術の開発
- 課題 1-4 大電流対応の微小端子接合技術の開発
- 課題 2-1 チップ積層プロセス技術の開発
- 課題 2-2 積層チップ(チップ積層された部品)のパッケージング技術・冷却技術の開発
- 課題 3-1 三次元対応高性能プロセッサの開発



図Ⅱ. 2. 1. 3-4 開発課題

2. 1. 3. 2. 研究開発項目の具体的内容 [ ( ) 内は開発サブテーマ No. ]

2. 1. 3. 2-1-1 課題 1-1 : 三次元対応 SI/PI 設計技術の開発 (③-1)

三次元積層構造モジュールの電力供給設計については、TSV を経由する電源配線に対し、TSV を含めた配線の電気特性モデルを作成する技術、さらに電気特性モデルを解析することで TSV 挿入によるインピーダンスの上昇、電源電圧の DC ドロップ、回路が電流を消費した時の電圧変動等の Power Integrity を検証する技術を開発する。信号配線設計については、TSV

を經由するマルチレーン高速伝送に対し、TSV の周波数依存の挿入損失・反射損失およびクロストークの影響等の Signal Integrity を評価する技術を開発する。

#### 2.1.3.2-1-2 課題 1-2：バックサイド設計技術の開発 (③-2)

大電流の供給と高速伝送を実現するため、高速信号の伝送に有利な微細な TSV を形成可能なビアミドル TSV 方式を用いて、大電流が供給できる TSV の束ね配置を検討するなど、LSI のバックサイド(裏面)構造の設計技術を開発する。

#### 2.1.3.2-1-3 課題 1-3：バックサイドウェハ処理技術の開発 (③-3)

2.1.3.2-1-2 で検討した 2 層のバックサイド(裏面)電極構造を実現するための積層チップの試作を通じた高信頼な TSV 裏面再配線プロセス技術を開発する。

#### 2.1.3.2-1-4 課題 1-4：大電流対応の微小端子接合技術の開発 (③-4)

TSV を介して積層するチップの微小な端子を通して安定に大電流を供給するため、電流密度の増加で生じるエレクトロマイグレーション耐性に優れた接続構造を開発する。

#### 2.1.3.2-2-1 課題 2-1：チップ積層プロセス技術の開発 (③-5)

上下に積層するチップは、どちらも $\square 20\text{mm}$  以上の大型サイズであり、特に下層に位置するチップは微細な TSV(直径  $5\sim 10\mu\text{m}$ )が数万個形成された厚み  $50\mu\text{m}$  を想定しているが、チップの積層工程で、薄化チップのハンドリングや積層時の反りストレスによるデバイスへのダメージが懸念される。そこで、デバイスに与えるダメージを最小限に抑えデバイスに影響を与えない薄化チップのハンドリング技術とチップ積層技術を開発する。

また、上下のチップ積層では、グリッドアレイ状に  $35\sim 50\mu\text{m}$  ピッチ間隔で配置された数万端子を高精度・高品質に接続する微細接合技術と、積層した  $20\sim 40\mu\text{m}$  のチップ間隙に上下チップの発熱を速やかに熱拡散させる高熱伝導特性を有した封止材料(アンダーフィル)をボイド無く高品質に充填するために、高熱伝導封止材料と高精度封止プロセス技術を開発する。

#### 2.1.3.2-2-2 課題 2-2：積層チップのパッケージング技術・冷却技術の開発 (③-6)

$\square 20\text{mm}$  以上の積層チップとパッケージ基板との接合では、両者の反り抑制と熱膨張係数差による繰返し熱応力への耐久性確保が重要である。この要件を満たし、超高速差動伝送を実現するパッケージ基板の仕様を開発する。また、プロセッサを高密度に実装でき、プロセッサ間の近距離接続が可能となるような、パッケージ基板サイズに近い投影面積を有し、かつチップから冷媒までの伝熱経路の近い冷却構造を開発する。また、高効率な冷却循環システムを構築するために熱輸送方式および放熱部を開発する。

#### 2.1.3.2-3 課題 3：三次元対応高性能プロセッサの開発 (③-7)

まず、三次元実装に対応した設計の最適化を可能とする三次元実装設計環境を開発する。次に、三次元実装によって変化するチップ分割等を考慮し、目標性能を満たすフロアプランとプロ

セッサの基本仕様を開発する。更に、従来の少ないピン数のプローブでもテスト可能な三次元実装 LSI 向けのテスト手法を開発する。そして、構築した設計環境のもとで策定した基本仕様に基づき、論理設計、レイアウト設計を行い、三次元実装を使用した高性能プロセッサを開発する。またプローブ処理プロセッサとしての確認のために、プローブ処理性能を含めた性能の検証をする。

2.1.4 研究開発スケジュール

以降に各研究開発項目の研究開発スケジュールを示す。

研究開発項目① 車載用障害物センシングデバイスの開発(1/2)

実施項目	2013年度		2014年度		2015年度		2016年度		2017年度		備考
	下期	上期	下期	上期	下期	上期	下期	上期	下期		
①-1：測距センサデバイス・回路技術	目標仕様策定		TEG 試作 FPGA 設計		プロト試作 →検証		ICテストサ ンプル設計		ICテスト サンプル 試作→検証		担当：(株) デンソー、 (株)豊田中 央研究所
①-2：三次元統合設計環境の開発	要素開発		設計試行		TEG 試作、I/F 開発		評価、プロト開発 設計適用、ツール化		環境整備、 リファイン		担当：(株) デンソー、 (株)図研、 (国)産業技 術総合研究 所
①-3：印刷TSV技術の開発	<金属充填技術> 初期成 立性確 認	初期プロセス開 発と材料の絞込		実証機基本仕様 作成	材料とプロセス の開発		実証機開発準備 量産に向けた課題解決				担当：ラピ スセミコン ダクタ (株)、住友 精密工業 (株)、(株) デンソー、 (国)産業技 術総合研究 所
	<絶縁層形成技術>	実証機の製作		実験機のα 機化改造	材料とプロ セスの開発	実証機 基本仕様作成	実証機開発準備 と量産に向 けた課題解決				
		初期成立性確認				プロセス技術の改善 と充填良品率向上					
①-4：印刷バンプ・反り対策技術の開発	<印刷バンプ>	初期試作、成立性確認		接合、実装評価		プロセス TEG 評価					担当：ラピ スセミコン ダクタ (株)、(国) 産業技術総 合研究所、 (株)デン ソー
	<TSV-バンプ一体型>	低コスト化検討									
	<反り対策>	TEG 試作、評価		TEG 試作、評価				車載レベル 信頼性評価			

研究開発項目① 車載用障害物センシングデバイスの開発(2/2)

実施項目	2013年度		2014年度		2015年度		2016年度		2017年度		備考
	下期	上期	下期	上期	下期	上期	下期	上期	下期		
①-5：TSV プロセスイ ンテグレー ション技術 の開発	プロセス成立性評価		プロセス TEG 評価		民生レベル信頼性評価		課題抽出		車載レベル信頼性基礎評価		担当：ラピ スセミコン ダクタ (株)、(株) デンソー、 住友精密工 業(株)、 (国)産業技 術総合研究 所
								改良条件抽出	車載レベル信頼性評価		
①-6：低応 力積層/接続 技術の開発	課題明確化		接合プロセスの確立		プロセス TEG 評価		PDK TEG 評価		車載レベル信頼性基礎評価		担当：(株) デンソー、 ラピスセミ コンダクタ (株)、(国) 産業技術総 合研究
									車載レベル信頼性評価		
①-7：三次 元実装検査 技術の開発	目標仕様策定		20/40μmP プローブ カード試作 非破壊検査設備選定		20/40μmP プローブ カード評価検証 非破壊検査性能検証						担当：ラピ スセミコン ダクタ (株)、ルネ サスエレクト ロニクス (株)、(株) デンソー、 (国)産業技 術総合研究 所
①-8：三次 元実装評価 技術の開発	設計仕様策定		SI,PI 評価、熱解析、 応力・熱解析技術開発		検証用 TEG 試作		実測と解析 の検証		試作テストサンプル の解析、評価		担当：(国) 産業技術総 合研究所、 (株)デン ソー
①-助成：測 距センサモ ジュールの 開発	目標仕様策定		TEG 試作		プロト試作 →検証		テストサン プル試作・ 改良		テストサン プル評価		担当：(株) デンソー



研究開発項目② 障害物検知・危険認識アプリケーションプロセッサの開発

実施項目	2013年度		2014年度		2015年度		備考
	下期	上期	下期	上期	下期	上期	
②-1：画像意味理解プロセッサプラットフォーム技術の開発							担当： ルネサスエレクトロニクス(株)
②-1-1：画像意味理解プロセッサ技術	アーキテクチャ の設計		RTL設計、検証	評価システム の開発	性能評価		
②-1-2：画像意味理解プロセッサに向けたソフトウェア開発環境技術	AC・FWの設計 基本APIライブラリの開発		コンパイラ開発 拡張APIライブラリの開発	マネージャの開発 動作検証			
②-1-3：前方監視用画像意味理解アプリケーションの実時間動作実証	アプリケーション 分析		アプリケーション検討	評価システム 実装	動作検証 性能評価		
②-1-4：画像意味理解リファレンスデータ取得システムの設計	テストベッド 開発		高精度化 改善検討				
②-2：車両周辺監視用画像意味理解アプリケーションソフトウェア技術の開発	ロジック基礎検討		ベースアプリ開発	画像意味理解アプリ開発	性能改善		担当： クラリオン (株)

研究開発項目③ プローブデータ処理プロセッサの開発

実施項目	2013年度	2014年度		2015年度		2016年度		2017年度		備考
	下期	上期	下期	上期	下期	上期	下期	上期	下期	
③-1：三次元対応S I / P I 設計技術の開発	解析手法調査 →	モデル作成 S I, P I 解析		S I, P I 最適化						担当： 富士通(株)
③-2：バックサイド設計技術の開発	課題抽出 →	構造策定		設計ルールの策定						
③-3：バックサイドウェハ処理技術の開発	課題抽出 →	評価技術の確立		プロセスの最適化						
③-4：大電流対応の微小端子接合技術の開発	電流密度耐性調査 →	構造策定		電流密度耐性確認 プロセス検証						
③-5：チップ積層プロセス技術の開発	方式検討 課題抽出 耐性調査 →	構造・材料・製造条件評価 課題抽出 耐性調査		技術の詳細評価と確立						
③-6：積層チップのパッケージング技術・冷却技術の開発	方式検討 課題抽出 耐性調査 →	試作製造 基本性能検証 課題抽出		技術の詳細評価と確立						
③-7：三次元対応高性能プロセッサの開発		論理仕様作成 要素回路開発 性能見積もり		論理設計 テスト設計 実装設計		試作チップ製造 パッケージ組立		試作チップ評価		

## 2.1.5 開発予算

表Ⅱ-2.1.5-1 に、本プロジェクトにおける開発予算の推移を示す。

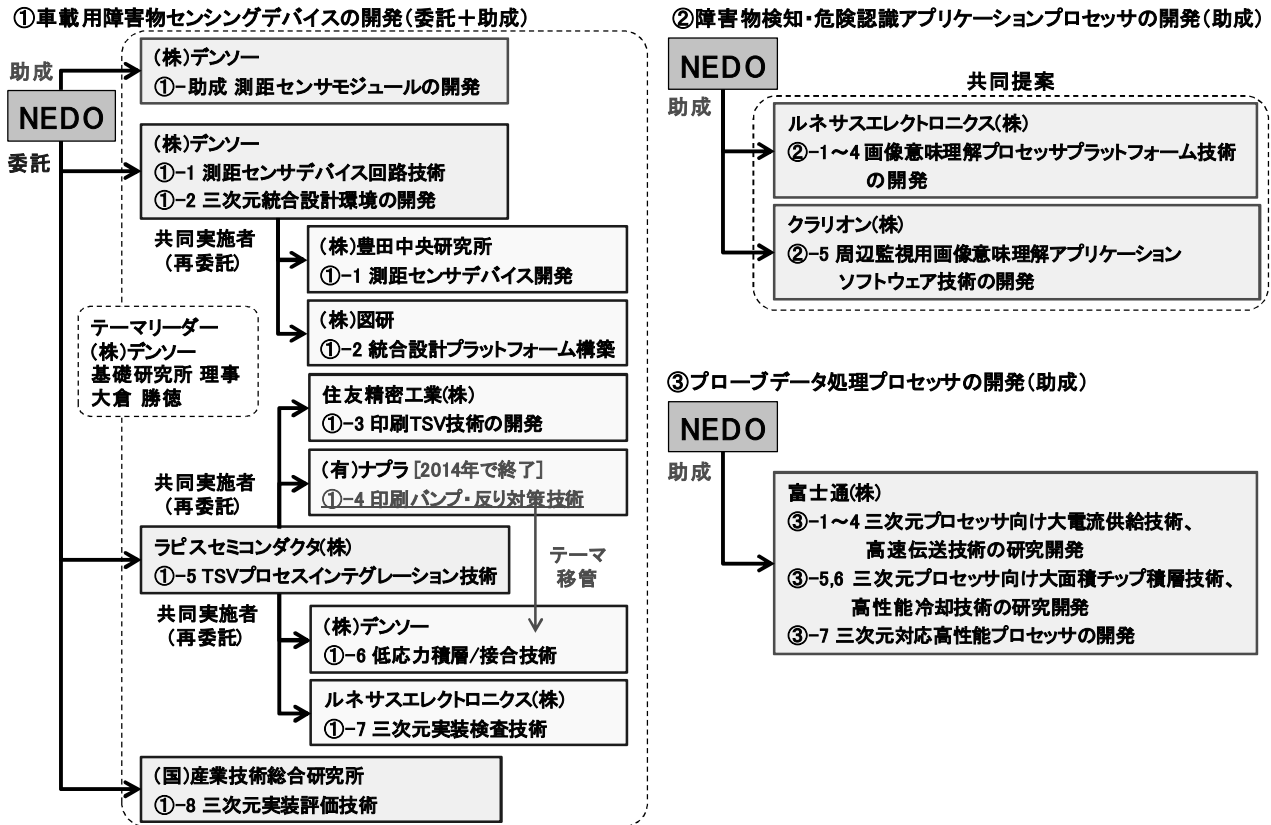
表Ⅱ-2.1.5-1 開発予算の推移

[単位：百万円、下段はNEDO負担額]

研究開発項目		2013年度 (実績)	2014年度 (実績)	2015年度 (予算)	2016年度	2017年度	合計
①車載用障害物 センシングデバ イスの開発	委託	565 565	1,366 1,365	1,077 1,077			3,008 3,008
	委託 促進予算	0 0	0 0	263 263			263 263
	助成 (1/2以下)	31 16	40 20	40 20			111 56
②障害物検知・ 危険認識アプリ ケーションプロ セッサの開発	助成 (1/2以下)	221	414	436	-	-	1,071
		111	207	218			
③プローブデータ 処理プロセッサ の開発	助成 (1/2以下)	251 126	1,217 609	783 391			2,251 1,126
合計	委託	565	1,366	1,340			3,271
	助成	503 253	1,671 836	1,259 629			3,433 1,718
	総予算	1,068 818	3,037 2,202	2,599 1,969			6,704 4,989

## 2.2 研究開発の実施体制

本プロジェクトは 3 つの研究開発項目が独立しているため、プロジェクトリーダーは置いていない。研究開発項目①は関係する実施者が多いことから、株式会社デンソーの大倉 勝徳 理事をテーマリーダーとして、その下にサブテーマリーダーを置いて研究開発を推進している。共同実施先、再委託先を含めた体制は、図Ⅱ-2.2-1 のとおりである。



図Ⅱ-2.2-1 プロジェクトの研究開発実施体制

## 2.3 研究開発の運営管理

研究開発全体の管理・執行に責任を有するNEDOは、経済産業省および研究開発責任者と密接な関係を維持しつつ、プログラムの目的および目標、並びに本研究開発の目的および目標に照らして適切な運営管理を実施する。具体的には、年2回開催するNEDO主催のプロジェクト推進委員会ほか、実施者主催の会議体への出席、本プロジェクト独自の進捗管理票(毎月1回提出)等のコミュニケーションを通してプロジェクトの運営管理にNEDOの意思を反映させている。(表II-2.3-1)

表II-2.3-1 研究開発の進捗管理

会議名	実施対象 開発項目	主催者	開催頻度	議事内容
プロジェクト 推進委員会	①②③	NEDO	2回/年x 3テーマ	・進捗報告、確認 ・開発方針・推進計画の報告、確認 ・実用化、事業化に関する報告
技術連絡会	①②③	実施者	2回/年x 3テーマ	・進捗報告、確認 ・開発方針・推進計画の報告、確認
横串WG	①委託	実施者	1回/月x 2グループ	・毎月の進捗共有 ・技術ディスカッション
知財運営 委員会	①委託	実施者	出願時 (横串WG併催)	・出願内容に関する報告、調整、 アドバイス

具体的な実施実績と今後の予定を図II-2.3-1に示す。

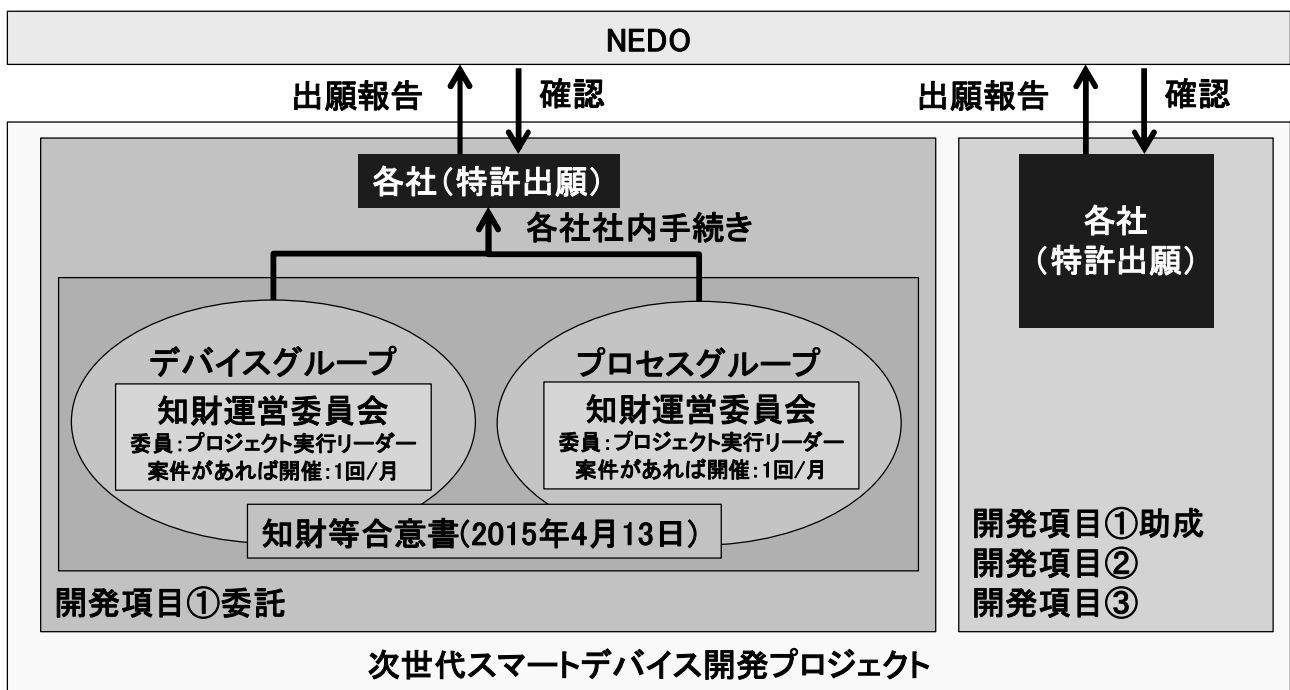
2013年度	2014年度	2015年度	2016年度	2017年度
採択委員会	PJ推進委員会	実施体制変更 PJ推進委員会 技術連絡会 開発促進財源投入 実施計画変更 中間評価 技術連絡会 PJ推進委員会	技術連絡会 PJ推進委員会 技術連絡会 PJ推進委員会	技術連絡会 PJ推進委員会
		横串WG(委託デバイスG、委託プロセスGで毎月開催)		
		知財運営委員会(横串WG併催)		
				事後評価

図II-2.3-1 進捗管理の実績と今後の予定

## 2.4 研究開発成果の実用化・事業化に向けたマネジメントの妥当性

研究成果の実用化、事業化については、年に2回実施しているプロジェクト推進委員会の中で、各テーマにおける実施者の実用化・事業化に向けた取り組みの確認、議論を行うこととし、昨年度2回目のプロジェクト推進委員会(2015年1月～2月実施)より運用を開始した。(図Ⅱ-2.3-1参照)

一方、知財マネジメントに関しては、図Ⅱ-2.4-1に示すように、開発項目①の委託テーマにおいて、知財等合意書にて実施者間の運用ルールを規定するとともに、該合意書に基づく知財運営委員会を立ち上げて、本プロジェクトの研究開発活動で出てきた知的財産の運営を行っている。



図Ⅱ-2.4-1 本プロジェクトの知財マネジメント推進体制

### 3. 情勢変化への対応

#### 3.1 印刷 TSV 技術開発における材料開発の促進

研究開発項目①「車載用障害物センシングデバイスの開発」(委託事業)における、印刷 TSV および接合用の材料開発は、当初、再委託先の材料を使って開発を進める計画であったが、その材料が目標とする特性を満たすことを確認出来なかった。そこで、当初適用を予定していた材料も含めて、外部の幅広い候補材料からスクリーニングを実施して材料の選定を行い、目標とする特性を発揮出来る材料の開発を進める計画に変更し、併せて実施体制の一部を変更した。

この変更により、スクリーニングの段階は増えたが、より好適な材料が選定でき、印刷 TSV 技術確立の目処が立った。

#### 3.2 開発状況の進展による最終目標達成時期の前倒し

研究開発項目②「障害物検知・危険認識アプリケーションプロセッサの開発」(助成事業)は、市場競争の激化に対応し、早期の実用化が必須となったため、性能検証手法を変更して、チップの制作時間および性能検証の期間を短縮することにより、最終目標達成時期を 2015 年度末に前倒しできる見込みが得られた。これに伴い、本研究開発項目を 2015 年度で終了することとし、計画前倒しの変更を行うとともに、中間評価を前倒し事後評価に変更して実施することにした。

この変更により、早期に実用化ステージに移行し、実用化、事業化を加速する。

#### 3.3 開発状況の進展による開発の効率化

研究開発項目③「プローブデータ処理用プロセッサの開発」(助成事業)は、2014 年度までの研究で、三次元実装の実プロセッサを試作する場合の課題を、三次元実装 TEG、二次元実装開発結果、EDA ツールから抽出し評価する新たな開発手法を構築した。これに伴い、プロセッサの性能確認の方法を実プロセッサによる実性能測定から新手法による性能実証に変更するとともに、性能評価の時間、項目を増やした。

この変更により、成果の有効性の早期実証、プローブデータ処理性能確認の追加、実用化時に使用するプロセスノードへの展開が容易になる。

#### (4) 開発促進財源の投入

研究開発項目①「車載用障害物センシングデバイスの開発」(委託事業)において、開発の進捗、新たな課題の発生等を踏まえ、2015 年 6 月に、263 百万円の開発促進財源の投入を行った。

その内容を表 II-3-1 に示す。

表Ⅱ-3-1 加速資金投入実績

件名：開発項目①(委託事業)への資金投入（実施年月：2015年6月、金額：合計263百万円）  
 (1) 2014年度に明らかになったセンサデバイスのノイズ発生メカニズムの究明とその対策を実施する。  
 (2) 2014年に実施した印刷TSV用材料拡充の結果、当初の予定より多数の材料を評価する必要性が生じたため。

追加実施研究開発細目	追加予算	目的 / 実施内容	成果
(1) ・測距センサデバイス/ 回路技術の開発	50百万円	・センサのノイズ発生原因究明と対策を目的としたTEG試作およびその評価の実施を追加する。 ・2016年度実施予定の三次元実装検討TEG試作へのリスク低減を目的とした、設計シミュレーションにノイズの影響等を追加する。	・ノイズ評価用TEG設計完了 ・設計シミュレーションに着手。
・三次元ICの統合設計 環境の開発	90百万円	・車載環境下におけるノイズ等の影響を明確化し、三次元IC試作時の車載信頼性確保を目的として、PDK開発TEGの試作・評価による各種IC試作用パラメータ抽出を追加する。	・PDK開発TEG設計完了。
(2)印刷TSV技術の開発	123百万円	・幅広いTSV充填候補材料からの絞り込みを加速し、2015年度内の印刷TSV技術開発を確実なものとするを目的として、評価用TEGの設計/試作、TEGの充填加工、加工したTEGの評価を追加増強する。	・充填金属材料： 13種→2種に絞り込み済。 ・絶縁層形成材料： 8種→2種に絞り込み済。 ・プロセス最適化実施中。

#### 4. 中間評価結果への対応

本プロジェクトは2015年度に中間評価の実施を予定しており、現時点において未実施のため記載すべき事項はない。

#### 5. 評価に関する事項

NEDOは、(1) 事業の位置付け・必要性、(2) 研究開発マネジメント、(3) 研究開発成果、(4) 実用化、事業化に向けての見通しおよび取り組みの4つの評価項目について、外部有識者による評価を行う。5年間の事業を実施する場合は、中間評価を2015年度、事後評価を2018年度に実施する。

なお、中間評価結果を踏まえ、必要に応じて事業の加速・縮小・中止等、見直しを迅速に行う。評価の時期については、当該研究開発に係る技術動向、政策動向や当該研究開発の進捗状況等に応じて、事業実施を前倒しする等、適宜見直すものとする。



### Ⅲ. 研究開発成果について

#### 1. 事業全体の成果

本研究では、次世代スマートデバイスとして、3つの研究開発項目

研究開発項目① 車載用障害物センシングデバイスの開発

研究開発項目② 障害物検知・危険認識アプリケーションプロセッサの開発

研究開発項目③ プローブデータ処理プロセッサの開発

について、以下の研究開発項目を実施している。

表Ⅲ-1 事業全体の成果の表

開発項目	中間目標	中間評価時の研究開発成果	達成度
①：車載用障害物センシングデバイスの開発	<ul style="list-style-type: none"> <li>・20m以上先の車両や歩行者等多数の障害物の位置と距離を同時に測定できるセンシングデバイスを開発し、性能評価を行う。その評価結果から最終目標達成のための課題を抽出し、解決の技術的見通しを明確にする。</li> <li>・センシングデバイスの省スペース化に資するデバイスの小型化技術の技術的見通しを明確にする。</li> </ul> <p>この目標達成に向けた目標、成果、達成度は以下のとおり。</p>		
①-1：測距センサデバイス・回路	<p>測距センサデバイスの感度を従来の3倍以上向上する。また、アレイ状の測距センサデバイスおよび回路のプロト品を設計・試作・評価する。測距センサデータを用いた物体検出をリアルタイムで処理可能なデジタル信号処理回路のLSIプロトを開発し、成立性を確認すること。</p>	<ul style="list-style-type: none"> <li>・測距センサデバイスの感度向上3.9倍を達成。</li> <li>・アレイ状の測距センサデバイスおよび回路のプロト品を設計・試作・評価完。</li> <li>・デジタル信号処理回路を開発し、FPGAプロトで移動体・静止物の物体検出を20fpsで実現する目途付けを完了。また、LSIプロトを開発し消費電力が1.5W以下になる見込みを確認。</li> </ul>	△ (2016年3月達成見込み)

開発項目	中間目標	中間評価時の研究開発成果	達成度
①-2：三次元統合設計環境の開発	<ul style="list-style-type: none"> <li>・ TSV 対応 IC 設計技術の基本要素を確立し、TSV-PDK1st 版をリリースする。</li> <li>・ チップ積層化に必要な基本機能を組み込んだ統合設計ツール・プロトを開発する。</li> </ul>	<ul style="list-style-type: none"> <li>・ TSV ライブラリと TSV を用いた IC 設計フローを構築し、特性値評価用 TEG の設計完。</li> <li>・ 積層設計の基本コマンド(チップ積層、接続検証、解析ツール I/F 等)を開発しツール化。</li> </ul>	△ (2016 年 3 月達成見込み)
①-3：印刷 TSV 技術の開発	<ul style="list-style-type: none"> <li>・ TSV 用金属充填技術の材料・プロセス両面での確立(直径 5<math>\mu</math>m ビアで良品率 95%以上)。</li> <li>・ TSV 用絶縁層形成技術の材料・プロセス両面での確立(良品率 95%以上)。</li> </ul>	<ul style="list-style-type: none"> <li>・ 材料は物性評価および試作評価で絞り込みを行い、金属材料充填後の残渣処理は工程改良により工法を決定したほか、材料・プロセスの確立のための開発を実施。</li> <li>・ 充填性能、発生膜応力、物性値実測結果、シミュレーションによる TSV 構造解析結果から材料の絞り込みを行ったほか、材料・プロセスの確立のための開発を実施。</li> </ul>	△ (2016 年 3 月達成見込み)
①-4：印刷等によるマイクロバンプ形成技術・反り対策技術の開発	印刷等による 10 $\mu$ m 以下の微細なバンプの形成およびプロセス時間の削減。	新工法、新構造により、プロセス時間を 30%削減し、7 $\mu$ m の微細バンプ形成を達成。	○
①-5：TSV プロセスインテグレーション技術の開発	TSV インテグ TEG の設計、試作を行い、TSV/内部配線接続部の断面構造、耐圧、容量、抵抗等の初期特性および信頼性を評価して、特性劣化要因を把握し、信頼性向上の対策指針を立て、製品 TEG の設計指針を得る。	TEG 設計・試作を行い、初期特性評価完了し、TSV 部の導通を確認した。信頼性評価に向けてプロセス改良実施し、改良版の信頼性評価を実施。	△ (2016 年 3 月達成見込み)
①-6：低応力積層/接続技術の開発	10,000 個/チップ以上のバンプ接続および接続部の信頼性の確保。	高精度アライメント技術および新接合条件により、49,000 個のバンプ接続を達成。低応力実装技術により、信頼性を確保。	○
①-7：三次元実装検査技術の開発	20 $\mu$ m ピッチのマイクロバンプへの直接プロービング、および、実装状態での非破壊による検査技術を確立する。	20 $\mu$ m/40 $\mu$ m ピッチプローブカード開発により TSV バンプへのプロービング技術、および、X 線 CT 装置の不良解析性能を検証し、非破壊による不良部探傷技術を確立した。	△ (2016 年 2 月達成見込み)

開発項目	中間目標	中間評価時の研究開発成果	達成度
①-8：三次元実装評価技術の開発	車載センサシステムに対応する三次元 LSI 積層実装システムの電気・熱・応力解析技術を構築する。	各解析技術を構築し、車載センサシステムの製品 TEG の設計指針を得た。	○
①-助成：測距センサモジュールの開発	発光部と受光部を組み合わせたバラックサンプルを試作し、成立性を検証する。	バラックサンプルを設計し、試作中。	△ (2016年2月達成見込み)

開発項目	最終目標	達成度	最終目標達成に向けた重点取組事項
②：障害物検・危険認識アプリケーションプロセッサの開発	<ul style="list-style-type: none"> <li>・アプリケーションソフトを搭載した以下の性能を有するアプリケーションプロセッサを開発する。</li> <li>　&gt;メモリスループット：80 GByte/s 以上</li> <li>　&gt;単位消費電力当たり演算性能：1,000GOPS/W 以上。</li> <li>　&gt;検出処理時間：50msec 以下。</li> <li>・以下の機能を有するアプリケーションソフトを開発する。</li> <li>　&gt;走行車両周辺の歩行者、自動車、二輪車など多数の障害物の認識。</li> <li>　&gt;それぞれの障害物の動きの予測。</li> <li>　&gt;それぞれの障害物の衝突危険度の判別。</li> </ul> <p>この目標達成に向けた目標、成果、達成度は以下のとおり。</p>	△ (2016年2月達成見込み)	
②-1-1：画像意味理解プロセッサ技術	<p>画像意味理解プロセッサ技術がメモリスループット：80 GByte/s 以上、単位消費電力当たり演算性能：1,000GOPS/W 以上、の性能を達成可能であることを見積もるとともに、開発した評価チップ上で、前方監視に加え周辺監視用アプリケーションソフトウェアが動作することを示し、用意周到型アーキテクチャに基づく画像意味理解プロセッサの有効性を実証する。</p>	△ (2016年2月達成見込み)	メモリスループットと単位消費電力当たりの演算性能は上述のように目標達成見通し。画像意味理解プロセッサ技術を実装したFPGAチップを含む評価システムを用いて、前方監視用と周辺監視用の画像意味理解アプリケーションソフトウェアの性能評価を実施し、用意周到型アーキテクチャに基づく画像意味理解プロセッサの有効性を実証し目標達成の見通し。
②-1-2：画像意味理解プロセッサに向けたソフトウェア開発環境技術	<p>用意周到型プロセッサに向けたAC-FW対応ランタイムマネージャを開発することでその有効性を実証する。また、画像意味理解APIライブラリを、用意周到型プロセッサの評価チップ上で動作検証を行い、その有効性を実証する。</p>	△ (2016年2月達成見込み)	用意周到型プロセッサに向けたAC-FW対応ランタイムマネージャを開発するとともに、画像意味理解APIライブラリを、用意周到型プロセッサの評価システムで動作検証を行い、有効性を実証し、目標達成の見通し。当社が提案した本開発フレームワークの一部仕様が業界標準規格OpenVX 1.0 Tiling Extension 暫定版にてリリース達成。

開発項目	最終目標	達成度	最終目標達成に向けた重点取組事項
②-1-3：前方監視用画像意味理解アプリケーションの実時間動作実証	前方監視用画像意味理解アプリケーションを、本事業で開発する画像意味理解プロセッサ向けに実装を行う。更に画像意味理解プロセッサの評価チップを搭載する評価ボードを用いて、実装したアプリケーションの評価を行い、システムが要求する性能で動作することを検証する。	△ (2016年2月達成見込み)	画像意味理解プロセッサにおける前方監視用画像意味理解アプリケーションの性能評価を進め、評価システムで動作解析し、システムが要求する性能で動作することを検証し目標達成の見通し。
②-1-4：画像意味理解リファレンスデータ取得システムの設計	開発したテストベッド評価に基づき、高精度化するための課題と改善策をまとめる。	○	開発したテストベッドをもとに機器特性を取得し、改善策について検討し、精度を高める方法についてまとめ、効果を確認し、目標通り完了した。
②-2：車両周辺監視用画像意味理解アプリケーションソフトウェア技術の開発	以下の機能を有するアプリケーションソフトを開発する。目標とする処理時間は50msec以下。 <ul style="list-style-type: none"> <li>・走行車両周辺の歩行者、自動車、二輪車など多数の障害物の認識。</li> <li>・それぞれの障害物の動きの予測。</li> <li>・それぞれの障害物の衝突危険度の判別。</li> </ul>	△ (2016年2月達成見込み)	車両周辺監視用アプリケーションソフトウェアを開発し、その結果を反映した車両周囲マップから障害物の動向予測および衝突危険度を判定するロジックより、以下対応を実現することで最終目標を達成する見込みが得られた。 (1)撮像素子増加によるカメラ対応(メガカメラ)。 (2)アプリケーションプロセッサ対応。 (3)アプリケーションソフト改良。

開発項目	中間目標	中間評価時の研究開発成果	達成度
③プローブデータ処理プロセッサの開発	大容量データを高速かつ低消費電力で処理するプロセッサの要素技術を開発し、最終目標達成に必要な技術的見通しを明確にする。 この目標達成に向けた目標、成果、達成度は以下のとおり。		
③-1：三次元対応 S I / P I 設計技術の開発	<ul style="list-style-type: none"> <li>・ TSV を含む伝送路のモデル解析と高速伝送の実測検証、目標：25Gbps 伝送。</li> <li>・ TSV を含む電源網のモデル解析と実測検証、目標：300W。</li> </ul>	<ul style="list-style-type: none"> <li>・ TSV を含むシリコンインターポーザと実チップの構成で、25Gbps 伝送でビットエラーレート <math>10^{-12}</math> 未満であることを実測検証した。</li> <li>・ TSV を含む電源網モデルの解析で 300W クラスの給電に必要な TSV 数を見積もった。</li> </ul>	△ (2016 年 2 月達成見込み)
③-2：バックサイド設計技術の開発	許容電流等をシミュレーションで確認し、電源供給を行う裏面再配線や Si インターポーザならびに TSV 束ねた電極などの構造を策定する。	<ul style="list-style-type: none"> <li>・ TSV を束ねる電極構造を策定し、バンプあたり許容電流 100mA の確認をシミュレーションで行った。</li> <li>・ 三次元 LSI の上チップ電源供給用厚膜多層 Si-IP および、裏面再配線電極の設計仕様を策定。</li> </ul>	△ (2016 年 2 月達成見込み)
③-3：バックサイドウェハ処理技術の開発	<ul style="list-style-type: none"> <li>・ 反り制御された薄化ウェハの裏面プロセス技術の開発</li> <li>・ 機能評価 TEG 試作と試作サイトの評価。</li> <li>・ TSV 付デバイスの高周波特性の明確化。</li> </ul>	<ul style="list-style-type: none"> <li>・ 有機系樹脂を採用した低応力の裏面プロセスを開発し、試作で反り 100<math>\mu</math>m 以下を確認した。</li> <li>・ 複数のサイトで試作ベンチマークを完了し、製造方式の違いや歩留りへの影響を評価した。</li> <li>・ 機能評価 TEG に各種モニターを作成済。高周波測定環境を構築済。</li> </ul>	△ (2016 年 2 月達成見込み)
③-4：大電流対応の微小端子接合技術の開発	TSV 束ね構造を考慮し接続部の許容電流を明確化し、その許容電流を満たす、微小端子接合構造および接合プロセスを開発する。	<ul style="list-style-type: none"> <li>・ 微小端子 1 ピンあたりの許容電流値を明確化した。</li> <li>・ その許容電流を満たす微小端子接合構造として合金化接続構造と、合金化する接合プロセスを開発した。</li> <li>・ 更に TSV 束ね構造と合金化した微小端子接続部を含む配電経路を有する積層体の試作を完了した。</li> </ul>	△ (2016 年 2 月達成見込み)

開発項目	中間目標	中間評価時の研究開発成果	達成度
③-5: チップ積層プロセス技術の開発	<ul style="list-style-type: none"> <li>・大規模チップ(*1)積層プロセス技術(ハンドリング・積層・封止材充填技術)の確立。</li> <li>(*1)</li> <li>①チップサイズ: □20mm 以上</li> <li>②TSV 付き厚さ 50<math>\mu</math>m 薄化チップ</li> <li>③多端子: 数万ピン</li> <li>④狭ピッチ: 35~50<math>\mu</math>m</li> <li>⑤チップ間封止材: 1W/m<math>\cdot</math>K 以上</li> </ul>	<ul style="list-style-type: none"> <li>・低ストレス ピックアップ技術により薄チップのハンドリング技術を確立した。</li> <li>・液状およびシート状の2種類のチップ間封止材に対応した大規模チップ積層プロセスを其々開発した。</li> <li>・高熱伝導チップ間封止材を真空塗布と塗布条件の最適化でボイドフリーとする充填方法を開発した。</li> </ul>	△ (2016年2月達成見込み)
③-6: 積層チップのパッケージング技術・冷却技術の開発	<ul style="list-style-type: none"> <li>・□20mm 以上のチップを搭載するパッケージ基板の構造の策定</li> <li>・高効率な冷却技術を開発し、冷却性能と循環経路の流量-圧力損失特性を検証する。</li> <li>・300W クラスのプロセッサチップの消費電力予測に対応した流路カスタム設計を行う。</li> <li>許容発熱密度 : 30-50W/cm<sup>2</sup> 局所 100W/cm<sup>2</sup></li> </ul>	<ul style="list-style-type: none"> <li>・低熱膨張有機材料のコア材に高密度配線層を貼り合わせた構造を策定し、試作により接続安定性を確認した。</li> <li>・微細流路(マイクロチャネル)を形成したクーリングプレートを試作し、流量 1L/min. に対し、圧力損失 5kPa で 300W の冷却が可能であることを確認した。</li> <li>・エリアに毎に流路カスタム設計が可能であることを確認した。</li> </ul>	△ (2016年2月達成見込み)
③-7: 三次元対応高性能プロセッサの開発	<ul style="list-style-type: none"> <li>・理論上最終目標を満たす基本仕様の策定。</li> <li>・三次元実装 LS1 向けのテスト手法の開発とテスト回路の論理設計</li> <li>・三次元実装に対応した設計の最適化を可能とする三次元実装設計環境を開発する。</li> </ul>	<ul style="list-style-type: none"> <li>・基本仕様と、それに基づくフロアプランを作成し、目標理論性能の達成目途を確認した。</li> <li>・テストおよび冗長機能を含んだ積層チップ間伝送回路と、その試験技術を開発し試作チップに実装した。</li> <li>・実装設計環境を開発し、三次元積層用マクロを効率的に設計する手法を開発した。</li> </ul>	△ (2016年2月達成見込み)

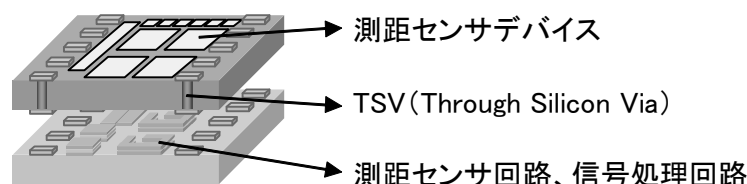
## 2. 研究開発項目毎の成果

### 2.1 研究開発項目① 車載用障害物センシングデバイスの開発

#### 2.1.1 測距センサデバイス開発・回路技術 (①-1)

担当：株式会社デンソー、株式会社豊田中央研究所(再委託)

測距センサの原理は、レーザダイオード(LD)から出射されたパルス光が物体に当たって戻ってきた光をフォトダイオードで受光し、出射から受光までの時間(TOF ; Time Of Flight)を計測する。市販されている測距センサは前方の自動車を検出する機能を有するが、遠方の人など自動車より小さい物体を検出することが望まれている。このために本研究では、空間分解能を当社市販品の1000倍以上向上することを目的とする。具体的には、市販品の空間分解能は10画素程度であるが、10000画素以上を有する測距センサを目指す。



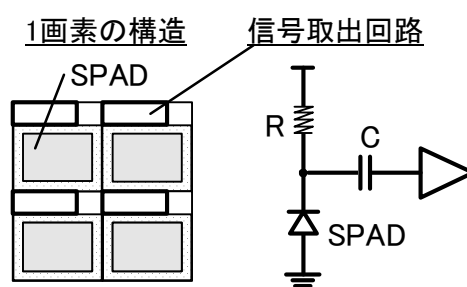
図Ⅲ. 2. 1. 1-1 三次元実装受光 IC

本研究では、アレイ状の測距センサデバイスと、そのそれぞれからの出力を読み取り TOF を算出する測距センサ回路、計測された TOF から高 SN 比で距離を計算する信号処理回路からなる三次元実装受光 IC 実現の目処付けをする。図Ⅲ. 2. 1. 1-1 に三次元実装受光 IC のイメージ図を示す。アレイ状の測距センサデバイスと測距センサ回路を三次元的に積層し、測距センサデバイスの実効面積を拡大し配線長を短縮することにより、測距センサデバイスの感度と測距精度の向上も可能になる。

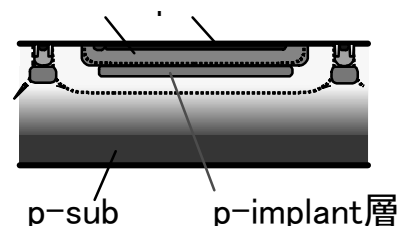
#### 2.1.1.1 測距センサデバイス

測距センサデバイスは近赤外線の受光素子として利用する Avalanche Photo Diode (APD) の一種である。APD は通常より大きな逆電圧の印加をサポートしたフォトダイオードで、内部増幅作用により感度が高められ応答も速い。この APD をガイガーモードで動作させ、フォトン入射を電圧パルスとして検出する。ガイガーモードの APD は単一フォトン入射でもパルスを出力できるので、Single Photon Avalanche Diode (SPAD) と呼ばれる。SPAD は 2000 年代に標準 CMOS プロセスで実現されるようになった。これにより、寄生容量が小さい、大規模アレイ化が容易、信号処理回路を同一チップに実装可能、などのメリットが生まれ、センサの小型化や低コスト化が期待できる。本研究では、SPAD をアレイ状に並べた構成をとる。

2013 年度は目標仕様の策定。2014 年度は、1 画素の受光デバイスを設計、TEG を試作・評価した。2015 年度は、1 画素の受光



図Ⅲ. 2. 1. 1-2 測距センサデバイス

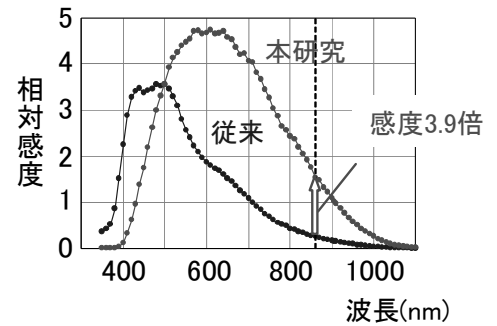


図Ⅲ. 2. 1. 1-3 SPAD 構造



デバイスを拡張して、アレイ状の受光デバイスおよび回路を設計・試作・評価する

図Ⅲ.2.1.1-2 に本研究で開発した 1 画素の測距センサデバイス構造を示す。1 画素には複数の SPAD と信号取出回路を有する。図Ⅲ.2.1.1-3 に SPAD 構造を示す。本研究の SPAD は、p-implant 層を有することを特徴としこれを持たない従来型に対し、感度を向上させることができる。図Ⅲ.2.1.1-4 に本研究で試作した測距センサデバイスの相対感度を示す。従来に対して 3.9 倍の感度を達成した。



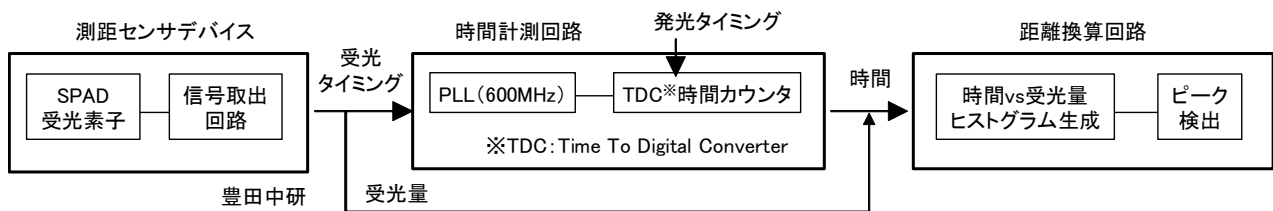
図Ⅲ.2.1.1-4 測距センサデバイスの性能

### 2.1.1.2 測距センサ回路

測距センサ回路は、複数の SPAD から同時に信号を検出する機能を持つ。障害物を検出するのに必要な距離分解能は数 10 センチであり、数ナノ秒の精度で TOF を計測する必要がある。また、アレイ素子からの時間計測精度の面内ばらつきも数ナノ秒の精度に抑える必要がある。本研究では高速・高精度で並列特性を有する読み出し回路および時間計測回路、時間を距離に換算する回路を開発する。

2013 年度は、目標仕様の策定。2014 年度は、1 画素用の測距センサ回路を設計、TEG を試作・評価した。2015 年度は、アレイ状画素用の測距センサ回路を設計・試作・評価する。

図Ⅲ.2.1.1-5 に測距センサ回路の構成を示す。前記した測距センサの原理に基づき、測距センサ回路は次の機能を有する。発光タイミングに従い LD から出射されたパルス光が物体に当たって戻ってきた光を SPAD および信号取出回路で受光し、発光タイミングからこの受光タイミングまでの時間を計測、それを距離に換算する。



図Ⅲ.2.1.1-5 測距センサ回路の構成

H27 年度は、これまでに開発した 1 画素の測距センサデバイスおよび 1 画素用の測距センサ回路を拡張して、数十画素の測距センサデバイスおよび数十画素用の測距センサ回路(時間計測回路と距離換算回路)の IC プロトを試作・評価し、本研究の目標である 10000 画素の測距センサデバイスと測距センサ回路の実現見込みが得られる予定である。

### 2.1.1.3 信号処理回路

#### 1) 背景と必要性

市販されている測距センサは前方の自動車を検出する機能を有するが、遠方の人など自動車より小さい物体を検出することが望まれている。このために本研究では、空間分解能を当社市販品の1000倍以上向上することを目的としている。具体的には、市販品の空間分解能は10画素程度であるが、10000画素以上を有する測距センサを目指している。

10000個以上の高画素化に伴って測距センサデータから物体を検出する処理量が膨大になり、車載で要求されるリアルタイム処理が困難となってくる。また、チップの消費電力の増大も問題となる。これに対して高スループットで低電力なデジタル信号処理回路の開発が必要となる。

#### 2) 課題

現状技術では、次の問題がある。

(i) 既存の制御用マイコン処理では測距データから物体を検出する処理に秒オーダーの時間が必要となる。本開発では測距センサの仕様から50ms以下(20fps相当)を目標とした。

(ii) GPUなどのデータ処理専用プロセッサでは消費電力が数十Wオーダーとなり、センサ組み込みには現実的ではない。本開発では組み込み可能な値として1.5W以下を目標とした。

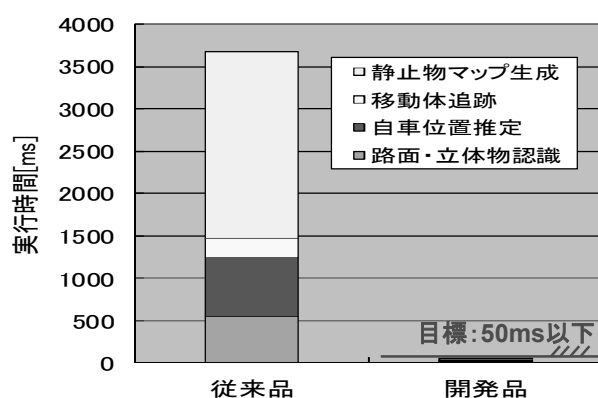
#### 3) 成果

##### (i) 信号処理回路のアーキテクチャの研究開発成果

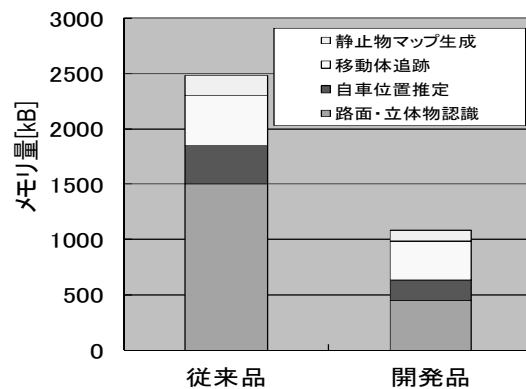
仮の測距センサとして既存の測定用のもの(Velodyne, 13万点相当)を用いた移動体・静止物の物体検知の処理に対して従来の制御用マイコン相当のCPUコアで実装した場合、約3700msの実行時間が必要だったのに対して、開発品では製品目標である50ms(=20fps)を達成できている。(図Ⅲ.2.1.1-6参照)回路サイズは約4倍程度になっているので実効的な性能効率としては18倍程度達成できていると考えている。また参考値として処理に使うメモリ量の観点では従来品では2.5MB必要だったのに対して開発品では1.1MB程度に収まっている(図Ⅲ.2.1.1-7参照)。

消費電力に関しては設計データを用いた概算値で1.5W以下であることを確認できている。

H27年度は、LSIプロトを開発し、年度末までに実機評価の予定である。LSIプロトでの処理速度、消費電力に関し、設計上は、目標達成の見込みが立っている。



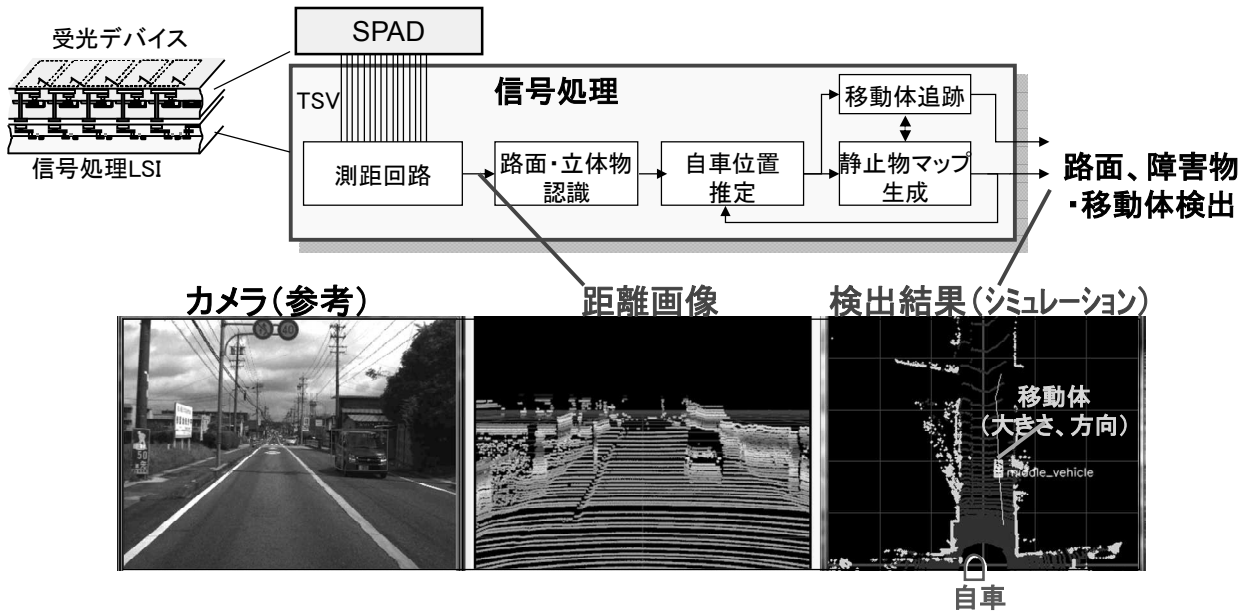
図Ⅲ.2.1.1-6 処理時間(@コア周波数100MHz時)



図Ⅲ.2.1.1-7 使用データメモリ量

(ii) 信号処理 LSI の FPGA プロトの研究開発成果

上記(i)で開発した信号処理回路について FPGA 上に実装し(FPGA プロトと呼ぶ)、移動体・静止物の物体検知の処理を組み込んで実車での基本動作評価を完了した(図Ⅲ.2.1.1-8、図Ⅲ.2.1.1-9 参照)。概ね動作は良好であり、LSI 試作への移行可と判断できる(検証用の仮のセンサとして Velodyne を使用)。



図Ⅲ.2.1.1-8 移動体・静止物の物体検知処理の概要



図Ⅲ.2.1.1-9 FPGA プロトと実車評価環境

## 2.1.2 三次元統合設計環境の開発 (①-2)

担当：株式会社デンソー、株式会社図研(再委託)、国立研究開発法人産業技術総合研究所

### 2.1.2.1 背景

三次元積層 IC 設計では、従来の IC 設計手法と設計環境に加えて「TSV を使った IC 設計」、「チップ積層化」、「チップを積層した状態での各種解析」への対応が要求される。これらの項目に対応した三次元積層 IC 向け設計環境は、現状ではまだ普及していなくて発展途上の段階にある。

まず「TSV を使った IC 設計」に対応するためには、既存の IC 設計ツールを活用して、TSV を取り扱えるように PDK(Process Design Kit)と設計フローを整備する。次に「チップ積層化」については、基板積層を得意とする基板設計ツールの機能を拡張して対応する。

今回開発する三次元積層 IC では、チップを 20 $\mu$ m まで薄化する。チップ薄化により局所的な温度上昇が発生し回路特性に影響を及ぼす可能性があるため、積層チップの熱解析が重要となる。そこで、本プロジェクトで想定するセンサモジュール設計に必要な項目 (i)～(iii)の開発に取り組んだ。

- (i) TSV 対応 IC 設計技術の確立 (TSV-PDK 開発、設計フロー構築)
- (ii) 統合設計ツール開発
- (iii) 積層チップの熱解析技術の確立

### 2.1.2.2 開発成果

#### (i) TSV 対応 IC 設計技術の確立

本プロジェクトで開発するセンサモジュールの概要は以下のとおりである。

- ・上チップ：180nm プロセス (A 社ファウンドリ)
- ・下チップ：65nm プロセス (B 社ファウンドリ)
- ・TSV、マイクロバンプ：約 5 万個。配置位置は固定。

(TSV・マイクロバンプ加工、接合の後工程は本プロジェクト)

この前提条件のもとで、IC 設計に必要な IC 設計環境を構築する。

#### (i-1) TSV-PDK 開発

TSV-PDK は、ファウンドリで用意している PDK と組み合わせて使用する (図 III. 2. 1. 2-1)。TSV-PDK の構成を図 III. 2. 1. 2-2 に示す。

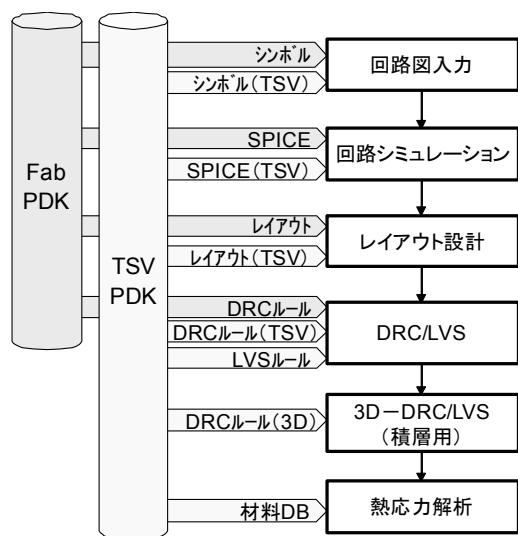


図 III. 2. 1. 2-1 ファブの PDK と TSV-PDK

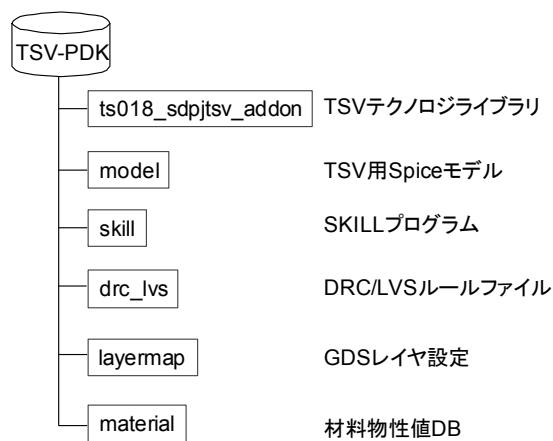
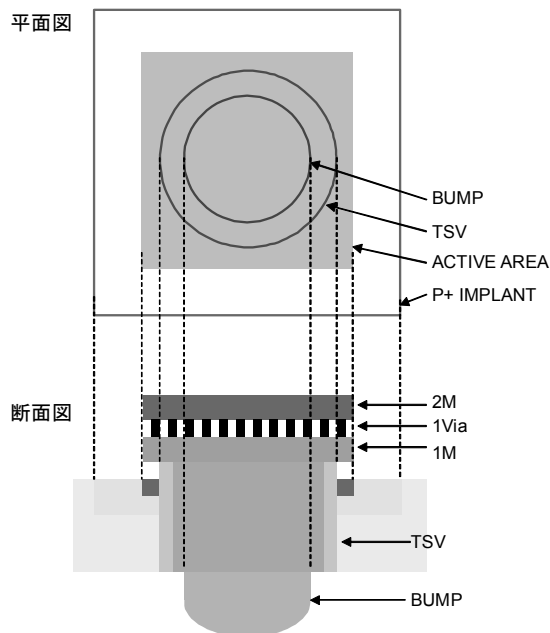


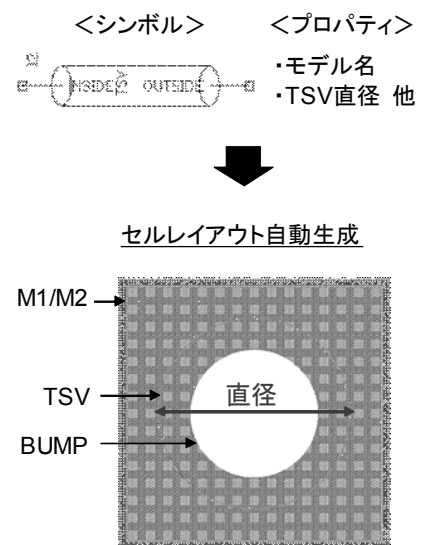
図 III. 2. 1. 2-2 TSV-PDK の構成

TSVセルは上側チップの設計に使用する。回路設計時には、TSVは受けパッド、マイクロバンプとセットで使用されるため、TSVセルはTSV、受けパッド、チップ裏面側のマイクロバンプの構成とした(図Ⅲ.2.1.2-3)。受けパッドはプロセス上のデザインルールから配線層を第1配線層と第2配線層の計2層としている。TSVセルの寄生素子成分は解析ツールと実測値から算出してPDKに登録する。

TSVセルのレイアウトを自動生成するセルを作成した(図Ⅲ.2.1.2-4)。設計ツール上で、パラメータを入力することにより、TSVセルのレイアウトを自動発生することができる。



図Ⅲ.2.1.2-3 TSVセルの構成(イメージ図)



図Ⅲ.2.1.2-4 TSVセルのレイアウト生成

TSVセルに対応したDRCルールファイル、LVSルールファイルを作成した。これらのルールファイルは、ファウンダリで用意されているルールファイルにTSVとマイクロバンプの項を加えた。運用としては、ファウンダリのルールファイルとTSV用ルールファイルとを合わせて使用する。

TSVに関わる電気的特性を評価するために、TEGを設計した。設計・評価結果は、TSV-PDK 1st版(2015年度末リリース予定)に反映する。

センサモジュールの設計と同様に、上チップは180nmプロセス(A社ファウンダリ)、下チップは65nmプロセス(B社ファウンダリ)として、後工程(TSV・マイクロバンプ形成、接合他)は本プロジェクトにて試作する。2015年度は基本特性を評価し、温度特性やばらつきの評価は2016年度以降を予定している。

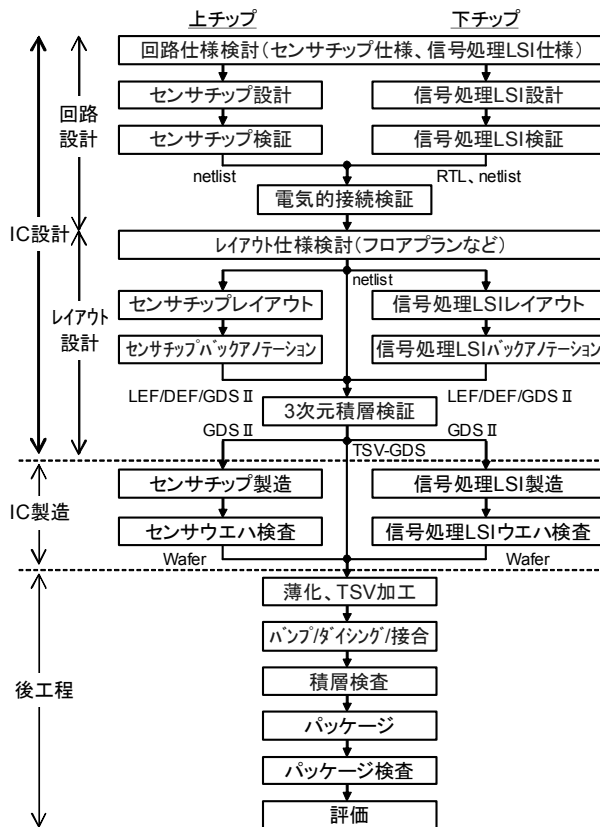
(i-2) IC 設計フロー構築

TSV を用いた IC 設計は、以下の点で従来手法と異なる。

- ・異なる半導体プロセスが混在する(本プロジェクトでは 180nm プロセスと 65nm プロセス)
- ・多数の I/O が存在する(センサモジュールの各チップの I/O 数は約 5 万個)
- ・TSV を通して電源供給と信号伝送を行なう
- ・複数の会社間で設計データの授受が発生する

(上チップ試作 : A 社、下チップ試作 : B 社、TSV 形成・接合 : 本プロジェクト)

全体フロー(図Ⅲ. 2. 1. 2-5)の中で、従来の IC 設計手法と異なる部分を青字で記す。このセンサモジュールでは、TSV を使用する回路ブロックは自動設計ツールを用いず人手で設計することを想定している。TSV 未使用のデジタル回路には従来の設計手法を適用する。



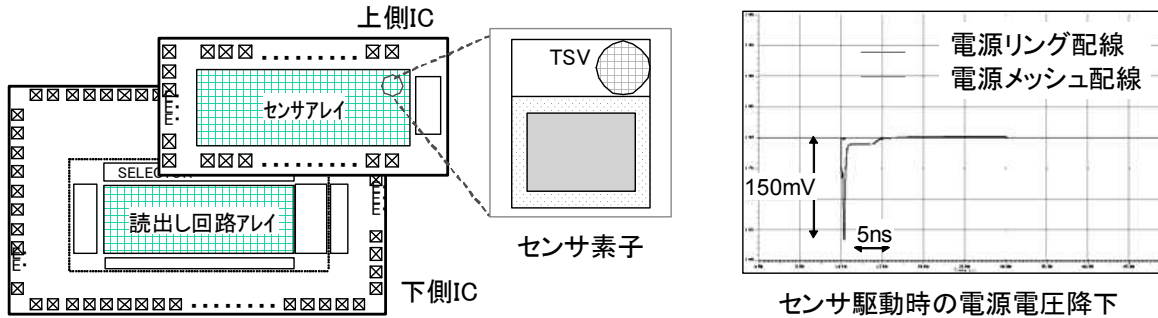
図Ⅲ. 2. 1. 2-5 三次元積層 IC の全体フロー

LEF/DEF データは、統合設計ツールにおいて、積層チップ間の接続検証や配線トレースに使用するために出力する。ファウンダリに GDS II データを提出する際、ファウンダリの PDK で未定義のレイヤを含むことは禁止されているため、TSV、マイクロバンプ、裏面再配線のレイヤを除去してデータを提出する。

(i-3) IC 設計の試行結果

以上説明した IC 設計環境を用いて、製品同等規模の IC 設計を試行した(図Ⅲ.2.1.2-6)。ここでは、画素単体の設計、チップ全体の設計(TSV 約 5 万個)、TSV により電源供給をした場合の電源電圧降下についてシミュレーションを実施した。

この試行により、TSV ライブラリと TSV 対応 IC 設計フローの妥当性を確認した。

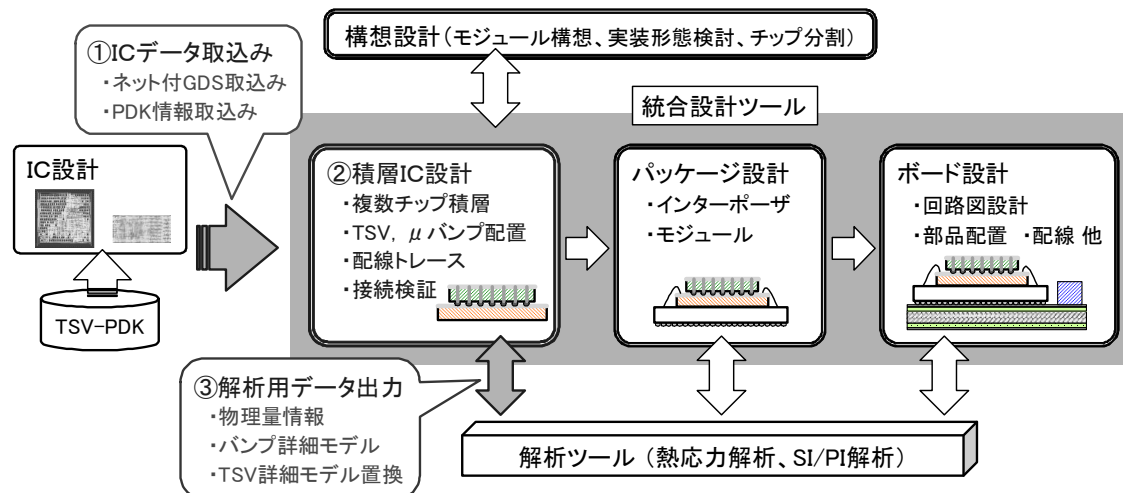


図Ⅲ.2.1.2-6 IC 設計の試行

(ii) 統合設計ツール開発

現状の基板設計ツールでは、IC チップの積層に必要な機能がないため、手作業や目視チェック等に対応することになり、設計工数増大や設計品質低下につながる。

本プロジェクト開発するセンサモジュール(2 チップ積層、TSV/マイクロバンプ 約 5 万個)をモチーフにして、積層チップ設計に必要な機能である「IC 設計ツール間インターフェース」、「チップ積層機能」、「解析ツール間インターフェース」の開発を進めた。(図Ⅲ.2.1.2-7)



図Ⅲ.2.1.2-7 統合設計ツールの開発機能

(ii-1) IC 設計ツール間インターフェース機能の開発

IC 設計データとボード設計データとではデータ量が大きく異なる。大きなサイズの IC データをツール上で三次元表示すると、表示時間が増大して、設計作業に大きな影響を与える。そこで、TSV を含む IC データを取り込み効率的に表示・編集する機能を開発した。

(ii-2)チップ積層機能の開発

チップ積層設計において、チップ間の TSV/マイクロバンプの接続を検証する DRC(Design Rule Check)と LVS(レイアウトと回路図との照合チェック)の機能は必須である。今回、DRC と LVS の専用コマンドを開発した。

また、チップ積層時に TSV を介して接続された配線について、チップをまたがってトレースする機能(ハイライト表示)の目処付けを完了した

(ii-3)解析ツール間インターフェース機能の開発

従来、TSV とマイクロバンプを含む積層チップの形状データや物理パラメータを、熱・応力解析ツールに出力する機能がないため、解析ツールのエディタを用いて入力しなおす必要があった。そこで、熱・応力解析ツールとのインターフェース機能を開発した。

解析ツールに対してマイクロバンプと TSV を正確な形状の解析用モデルに置き換えて出力する。さらに、DEF で設定したオブジェクトの材料名を解析ツールに渡す機能も合わせて開発した。これらの機能により、解析用データ作成を効率化した。

(ii-4)設計工数低減の効果(プロジェクト終了時の見込み)

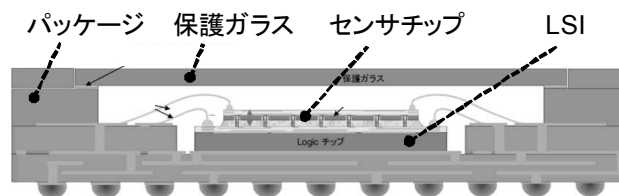
開発中の統合設計ツールによる設計工数低減の効果を検証する。本プロジェクトで想定しているセンサ積層パッケージを対象に工数低減効果を見積もった(図Ⅲ.2.1.2-8)。

モジュールの規模：チップ 2 個、TSV/マイクロバンプ 約 5 万個、配線 208 本、  
6 層セラミックパッケージ基板(BGA : 513 ピン)

前提条件：経験 5~10 年の中級レベルの技術者を想定。

オペレーション基本工数 5 秒/クリック×N 回、20 秒/文字入力×N 箇所

見積もりの結果、プロジェクト終了時点(2017 年度)で設計工数を約 1/5 に低減できる見込みを得た



図Ⅲ.2.1.2-8 見積もり対象の積層モジュール



(iii) 積層チップの熱解析技術

TSV を用いた積層チップでは、上側のチップに熱がこもる可能性があるため、設計の初期段階から積層チップ全体の熱の流れを見通しを立てながら設計する必要がある。しかし、チップの薄化(厚さ 20 $\mu$ m)や多数の TSV 絶縁膜の存在により、チップの熱伝導の様子は複雑になることが予想される(図 III. 2. 1. 2-9)。多数の TSV を含む積層チップ全体の熱伝導を、解析ツールで計算することは処理時間が膨大になる。そこで、設計の初期段階において、TSV の分布や密度を考慮して、積層チップの熱伝導を見積もる手法を検討した(図 III. 2. 1. 2-9)。

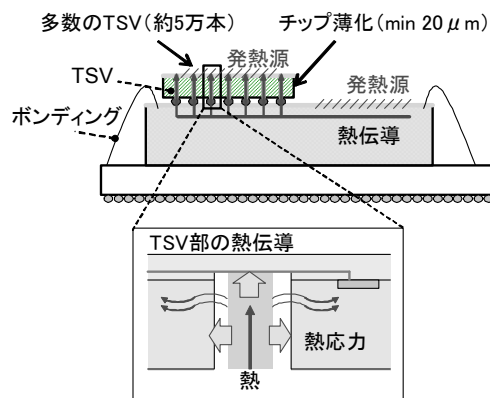


図 III. 2. 1. 2-9 積層チップの熱伝導

バンプを均質化モデルに置き換えることにより解析時間を大幅に短縮し、チップレベルの解析の可能性を示した(表 III. 2. 1. 2-1)。

表 III. 2. 1. 2-1 バンプのモデル化の効果

	詳細モデル	均質化モデル
節点数	(計算不能)	170,572
要素数	(計算不能)	23,564
メッシング時間 [秒]	(>100h)	42.6
計算時間 [秒]	(計算不能)	62

### 2.1.3 印刷 TSV 技術の開発 (①-3)

担当：ラピスセミコンダクタ株式会社、住友精密工業株式会社(再委託)、株式会社デンソー、国立研究開発法人研究産業技術総合研究所

本研究開発では TSV 形成処理工程を大幅に短縮・改善するために、TSV 形状に対して適用範囲の広い TSV 用金属充填技術と絶縁層形成技術および両装置の開発を行う。

#### (1) TSV 用金属充填技術および装置

流動性の金属材料を真空環境下でウェハ上に導入し、加圧機構等によって TSV に充填したのちに固化させる技術および装置の開発

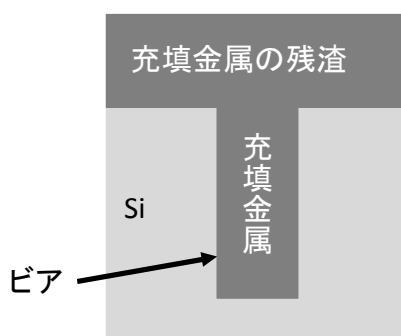
#### (2) TSV 用絶縁層形成技術および装置

絶縁材料をウェハ上にあけられたリング状他の溝の中に充填した後に焼成することにより、短時間でウェハ全面に TSV 用絶縁層を形成する技術および装置の開発

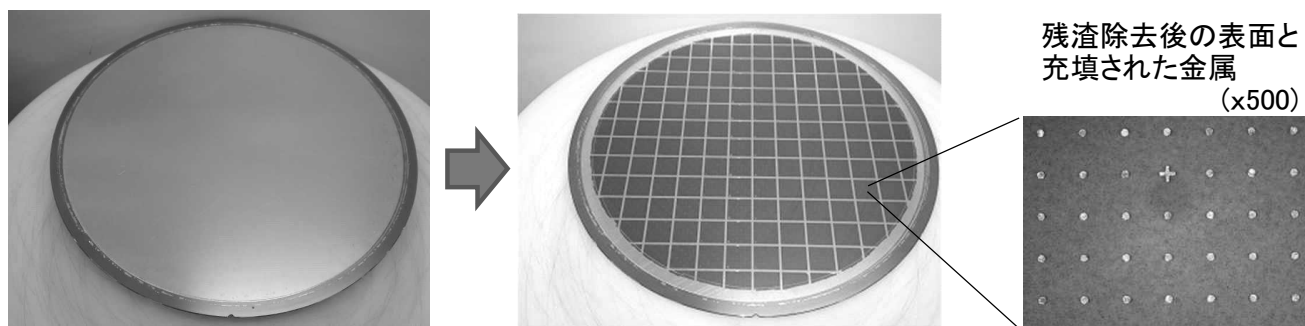
#### 2.1.3.1 TSV 用金属充填技術

本研究開発項目の目標は TSV 用金属充填技術の材料・プロセス両面で、以下の項目について技術を確立し、直径 5 $\mu$ m ビアで良品率 95%以上を達成することである。

- ・金属材料充填後の残渣処理工程の確立
  - ・アルミ配線層との安定した電気的コンタクトの確立
  - ・ストレートビアにおける充填金属の抜け対策の確立
- ・ TSV 用金属充填では貫通電極用導体をビア中に形成するために、真空中で 250~290°C 程度の熔融金属をウェハ上に薄く流し込んだ後に加圧してビアに押し込み固める手法を取っている。このため金属材料充填後のウェハ表面にはビアに入らなかった金属が薄い膜状の残渣となってウェハ表面に残り、このままでは次工程に回すことができない状態となっていた。(図Ⅲ. 2. 1. 3-1)  
この残渣を機械的に除去する金属材料充填後の残渣処理工程を確立する成果を得た。(図Ⅲ. 2. 1. 3-2)



図Ⅲ. 2. 1. 3-1 金属材料充填後の残渣

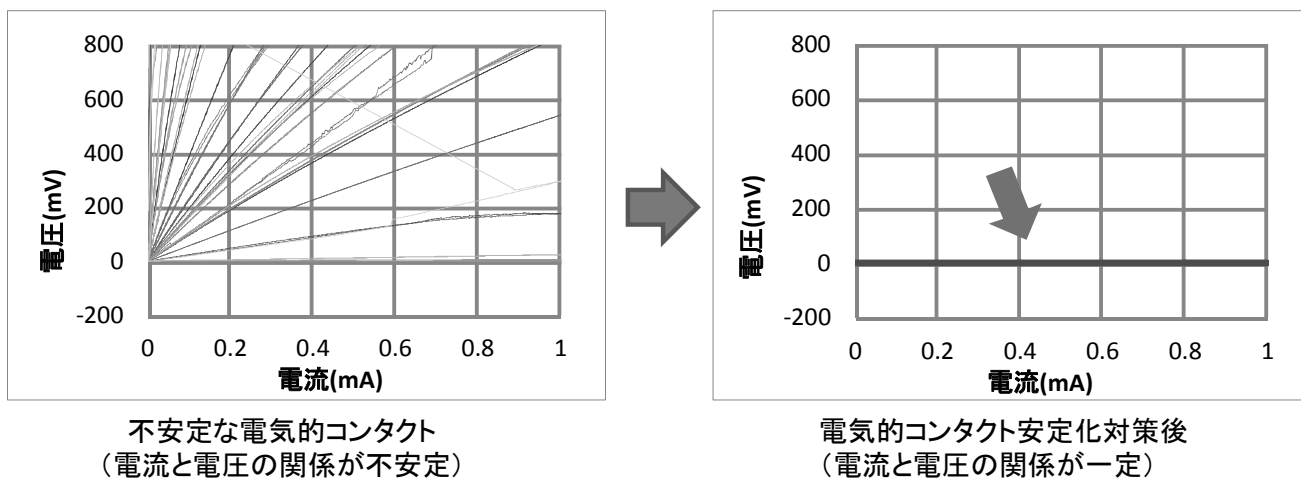


残渣が載った状態のウェハ

残渣除去後の状態

図Ⅲ. 2. 1. 3-2 金属充填後の残渣除去

- 評価試験用 TEG を作成して金属充填試験を行っている中で、アルミ配線層と充填した金属の間の電気的コンタクトが不安定な問題と、ビア側壁がストレートでなめらかな形状の場合(ストレートビア)において充填した金属がビアから抜ける問題が抽出された。  
 アルミ配線層と TSV 貫通電極間の電気的コンタクトが不安定になる原因は断面の分析結果からビアのエッチングによる穴あけ加工後にアルミ配線膜が大気にさらされることによって形成される表面酸化膜の影響によることがわかった。  
 この対策手法を確立しアルミ配線膜との電気的安定性を確保する成果を得た。(図Ⅲ. 2. 1. 3-3)  
 またこの対策手法は充填した金属の抜け防止対策にも有効であることが確認でき、両方の問題を解決する成果を得た。



不安定な電気的コンタクト  
(電流と電圧の関係が不安定)

電気的コンタクト安定化対策後  
(電流と電圧の関係が一定)

図Ⅲ. 2. 1. 3-3 電気的コンタクトの安定化

- 直径 5 $\mu$ m ビアにおける良品率(ボイドなく充填できており安定した電気的コンタクトが得られている率)に関しては熔融金属温度や加圧力等のプロセス条件の最適化と適切な金属材料選定、安定した電気的コンタクトの確立により 2015 年度末までに良品率 95%以上を達成できる見込みである。  
 これはプロセス条件の最適化・実験機の改善により安定的に達成できる見込みである。

- ・本研究開発項目の成果の意義として、TSV 用金属充填技術の材料およびプロセス両面での確立により、本技術のプロセスインテグレーションへの適用が可能になり、新世代 TSV の実際的なプロセス評価を開始することが可能になる。

#### 2.1.3.2 TSV 用金属充填装置の実証評価機を開発・製作するための基本仕様作成

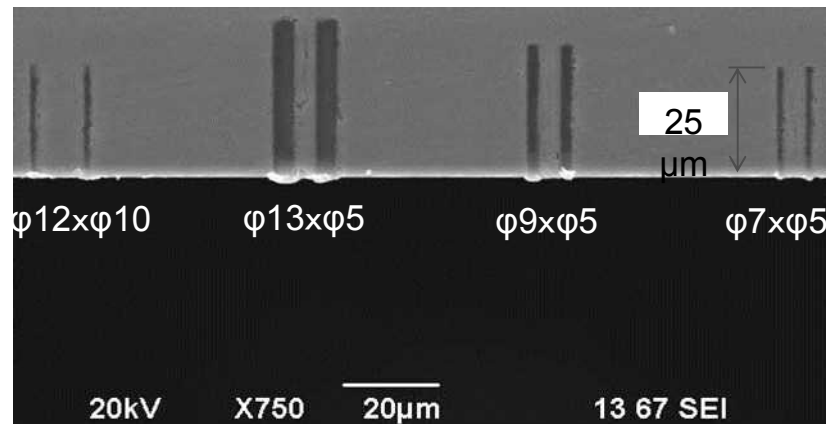
- ・評価試験用 TEG を使用した金属充填試験を通して、実験用金属充填装置の問題点抽出を行った。また実用レベルの材料消費量削減案、およびスループット向上案を作成した。これらより 2015 年度末までに装置仕様を策定して実証評価機の基本仕様を決定できる見込み。  
尚、当初計画通り 2015 年度末までに基本仕様を作成する。

- ・本研究開発項目の成果の意義は、2016 年度に量産に向けた課題解決のための実証評価機を製作し、それを活用した実証評価を進めて量産レベルのプロセス技術を確立することである。

#### 2.1.3.3 TSV 用絶縁層形成技術

本研究開発項目の目標は TSV 用絶縁層形成技術の材料・プロセス両面で、以下の項目について技術確立し、充填温度 250℃以下で幅 1.5μm 深さ 20μm のアニュラートレンチ(円形溝)に充填して良品率 95%以上を達成することである。

- ・絶縁層形成用材料候補を絞り込み、プロセス技術を確立する。
  - ・密着性、絶縁性能などから絶縁層としての性能を検証し絶縁層形成用材料を決定する。
- ・開発を開始した当初は絶縁層形成材料としてシリカ系材料を選定し、スキージ等によりアニュラートレンチに充填する手法を開発していたが、固化させるための焼成温度を 250℃以下にすることが当初想定以上に困難であることが明らかになり、シリカ系材料の適用を断念した。  
代替手段として液状の樹脂系絶縁材料中に浸漬してこれをアニュラートレンチに充填した後に 250℃以下で焼成固化する手法の開発を開始した。樹脂系絶縁材料の候補は 8 種類ほどあり、これらについて充填性能、発生膜応力、物性値実測結果等の評価を行った。またこれらのデータを使用して産総研でシミュレーションによる TSV 構造解析を行い、その結果から材料の絞り込みを達成した。
  - ・絞り込んだ候補材料を使用して充填試験を重ね、基本プロセス技術を確定した。(図Ⅲ.2.1.3-4)
  - ・絞り込んだ材料の中から密着性、絶縁性能など絶縁層としての性能を評価しており、候補材料の中から 2015 年度末までに絶縁層形成材料を決定できる見込みである。
  - ・絞り込んだ候補材料は良好な充填性を示しており、決定した材料を用いて今年度末までに幅 1.5μm 深さ 20μm のアニュラートレンチにおける良品率 95%以上を達成できる見込みである。  
これはプロセス条件の最適化により安定的に達成できる見込みである。



図Ⅲ. 2. 1. 3-4 絶縁層形成材料をアニュラートレンチに充填したサンプルの断面の電子顕微鏡写真

#### 2. 1. 3. 4 TSV 用絶縁層形成実験機の高清浄度化改造の完成

- ・ 基礎試験において樹脂系絶縁材料が良好な充填性等を示したため、2014 年度に実験機を製作し、これを使用して評価試験を進めている。しかし実験機という位置付けで必要最小限の機能で製作したために、絶縁層形成処理したウェハをこれ以降の工程の処理のために半導体製造工程に戻すことはウェハの清浄度レベルの点で問題があった。この課題解決のため 2015 年度末までに実験機を改造し、処理したウェハを半導体製造工程に戻すことが可能なプロセスインテグレーションに適用できるレベルの高度な清浄度を確保する見込み。(α機化改造の完成)  
尚、当初計画通り 2015 年度末に改造を完成する。
- ・ 本研究開発項目の成果の意義は、TSV 用絶縁層形成技術の材料およびプロセス両面での確立と、実験機の高清浄度化改造の完成により、本技術のプロセスインテグレーションへの適用が可能になり、新世代 TSV の実際的なプロセス評価を開始することである。
- ・ これら印刷 TSV 技術の開発により、画期的 TSV 形成技術実用化の目処を得ることができた。

#### ※<研究発表・講演、文献、特許等の状況>

TSV 用金属充填および絶縁層形成に関連した充填方法あるいは装置について 4 件の特許出願を行った。

## 2.1.4 印刷等によるマイクロバンプ形成技術・反り対策技術の開発 (①-4)

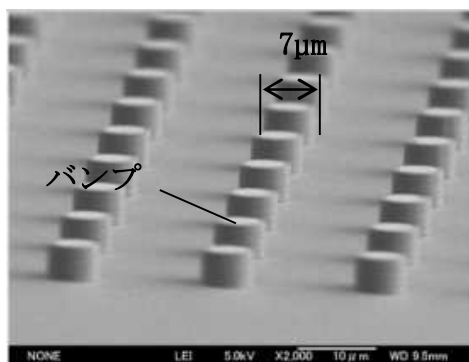
担当：ラピスセミコンダクタ株式会社、株式会社デンソー(再委託)、  
国立研究開発法人産業技術総合研究所

### 2.1.4.1 研究開発の内容

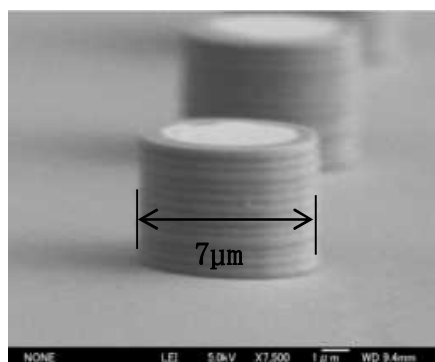
本研究では、印刷法等による新しいバンプ形成プロセスを開発し、従来のめっきによるバンプ形成のプロセスよりも、プロセス時間の削減を実現する。最終的なバンプ径は  $10\mu\text{m}$  以下を目標とし、それに対応する関連技術の開発を行う。

### 2.1.4.2 開発成果の要約

本研究では、従来のめっきによるバンプ形成のプロセスよりもプロセス時間を削減し、 $10\mu\text{m}$  以下の微細バンプ形成を実現するために、印刷方式の検討、印刷材料の選定、TEG による印刷技術の技術的検討、反り対抗層の検討を行った。その結果、新工法、新構造により、プロセス時間を 30%削減し、 $7\mu\text{m}$  の微細バンプ形成を達成した。



図Ⅲ.2.1.4-1 マイクロバンプ x2.0k 倍



図Ⅲ.2.1.4-2 マイクロバンプ x7.5k 倍

### 2.1.4.3 達成状況

本研究の達成度は以下のとおり。

表Ⅲ.2.1.4-1 達成度

研究開発項目	中間目標	成果	達成度
印刷等によるマイクロバンプ形成技術・ 反り対策技術の開発	印刷等による $10\mu\text{m}$ 以下の微細なバンプの形成	新工法・新構造により、 $7\mu\text{m}$ の微細バンプの形成を達成	○
	プロセス時間の削減	新工法・新構造により、プロセス時間を 30%削減	○

## 2.1.5 TSV プロセスインテグレーション技術の開発 (①-5)

担当：ラピスセミコンダクタ株式会社、国立研究開発法人産業技術総合研究所

### 2.1.5.1 研究開発の内容

本研究開発項目の車載用測距センサの測距性能を向上させるためには、各画素からの信号を遅延時間なく伝達する構造が必要である。具体的には、各画素から信号を受ける信号処理 LSI までの物理的な配線を等長配線とする技術が必要である。その実現手段は、SPAD アレイと信号処理 LSI を三次元に積層し、両 LSI 間を TSV(Through Silicon Via)を介して接続する構造が最も理想的である。

また、本開発製品(測距センサ)は自動車の安全運転等に重要な役割を担い、従来の TSV が多く用いられている携帯電話用カメラモジュール等の品質(民生・産業用)より高信頼性である車載品質が要求される。

本開発では1チップあたり2万個以上の TSV を有し、かつ車載信頼性を有する TSV 構造・形成プロセス技術開発を行う。また、TIA、産総研および外注先を含め可能な限り TSV 製造プロセスの試作ラインを構築し、プロセス開発全体を効率化し、実用化へ向けた開発を行う。プロセス確立のために、TSV 内への金属充填プロセス開発用金属充填装置および洗浄装置等の導入を図る。

まず、車載信頼性を目指した TSV 構造を検討し、TSV 構造を評価可能な TEG(Test Element Group)を設計・製作し、構造・プロセス・材料が車載信頼性を確保し、今後の開発に合致することが可能か、成立性の評価を実施する。TSV の構造はアニューラー・レギュラー等、絶縁材料は低温 CVD、印刷溶融絶縁材料等、Via Fill には Cu めっき、印刷溶融導電材料等の評価を行う。

目標とする信頼性は、JEITA:ED-4701 に沿った評価基準を満足することとし、主な評価基準は下記とする。

- 温度サイクル
- THB(Temperature Humidity Bias Test)
- HTS(High Temperature Storage)
- EM(Electro Migration)

本開発の目標は、

- ① アニューラー絶縁体と導体 Via から構成される TSV 構造における懸念点を抽出するとともに、要素プロセス TEG を作製して検証する。具体的には様々な大きさの径、ピッチを持つアニューラートレンチおよび Via 形成を行い、垂直性や側壁形状を評価し、想定した TSV 構造の成立性見通しの判断を行う。
- ② 要素プロセス評価結果を基に、TSV インテグ TEG の設計、試作を実施する。Cu Via Fill 技術を用いて基板内部配線に接続する TSV を形成し、再配線を介してダイジーチェーン構造等を作製する。TSV/内部配線接続部の断面構造、耐圧、容量、抵抗等の初期特性および信頼性を評価して、特性劣化要因を把握し、対策指針を立てる。  
上記指針に基づき、TSV 構造の改良を行い、バンプも含むインテグ TEG の設計、試作を実施する。また TSV とデバイス間距離と特性変動への影響を把握できるように、簡易デバイスを TEG 内に配置することを検討する。作製した TEG を用いて TSV/バンプ接続部の断面構造、容量、抵抗等の初期特性および信頼性を評価し、課題抽出を行う。

- ③ TSV、バンプ形状に加え、拡散工程を含む TEG を設計、作製し、民生機器、産業機器信頼性基準を満たすプロセス、TSV/積層構造を決定する。この結果をセンサデバイスの設計に反映可能な技術仕様書として作成する。車載信頼性基準を満足させるための改良指針をたてるとともに、次年度に予定する製品 TEG の設計指針を得る。

### 2.1.5.2 開発成果の要約

要素プロセス TEG を作製して検証した。具体的には様々な大きさの径、ピッチを持つアニュラートレンチおよび Via 形成を行い、垂直性や側壁形状を評価し、TSV 構造の成立性見通しの判断を行った。

簡易デバイスによる KOZ 等を評価可能な TSV インテグ TEG(プロセス TEG)の設計、ウェハ製作を行った。その際に、設計要求と、プロセス上の制約とすり合わせをおこない、作製可能と予想される TSV 構造を決定した。(図Ⅲ.2.1.5-1)

項目	①印刷TSV(ATI)	②Cu TSV(Regular)	③印刷TSV(Non ATI)
図			
総抵抗	7.88Ω	0.316Ω	1.48Ω
TSV抵抗	7.6Ω	0.036Ω	1.2Ω
バンプ抵抗		0.28Ω	
総容量	7.76fF	30.68fF	
TSV容量	7.5fF	30.4fF	
バンプ間容量		0.26fF	
TSV長(Si厚)		20μm	
TSVピッチ		20μm	
IM幅(KOZ)	8μm		7μm
TSV径	7μm		6μm
導体径	2μm		5μm
絶縁幅	2μm		0.5μm
導体-絶縁	0.5μm		-
TSV-IM		0.5μm	
バンプサイズ		4μm±0.35	
バンプ高さ		4μm±0.8	
バンプピッチ		20μm	

図Ⅲ.2.1.5-1 TSV 構成図

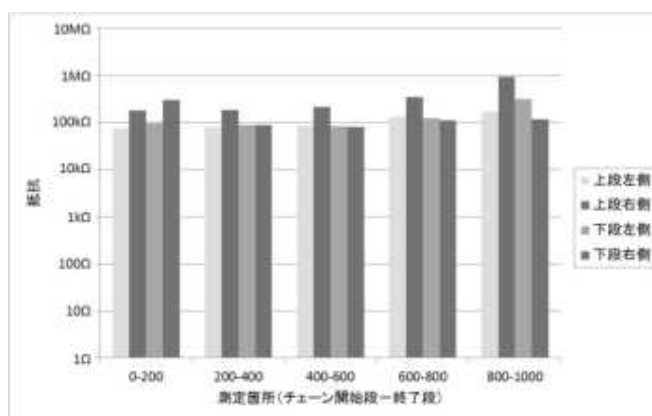
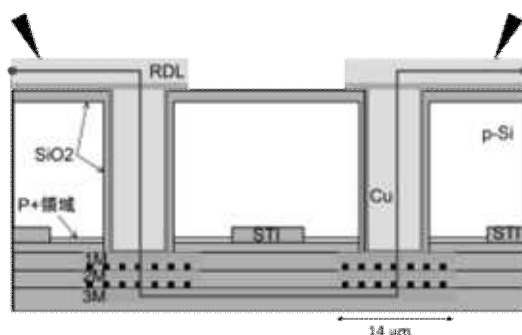
候補となる TSV 構造での TSV プロセス試作は、信頼性向上が見込まれる絶縁層の ATI 構造やコストダウンが見込まれる金属充填構造を優先するが、これらの要素技術開発時は単一 TSV・Via Last プロセス構造で Cu Via Fill プロセスを用いて試作を行った。プロセス試作が完了した TSV 部の断面構造解析や接続抵抗評価等により、目標とする TSV 径 6μm を形成するプロセスの課題抽出を行った。(表Ⅲ.2.1.5-1)



表Ⅲ. 2. 1. 5-1 課題抽出

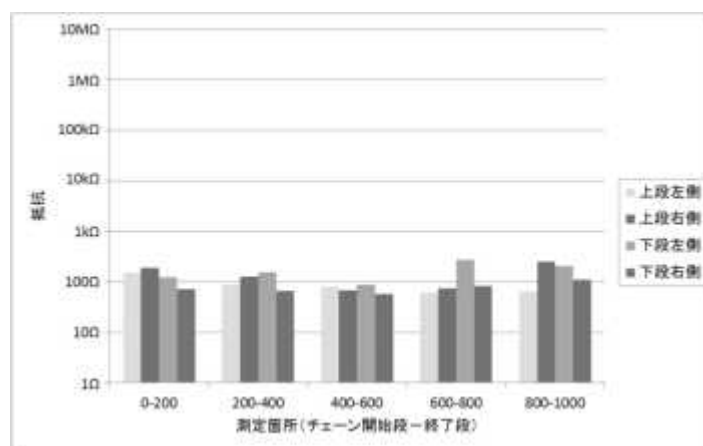
新規点	課題	原因	解析結果	対策	対策効果
TSV 径 5~6μm	特性評価での 導通不良	加工底でのコンタ クトが不安定	他の部位で問題ない ことから TSV 底に異 常ありと判断	金属充填前に追加 加工	導通不良 解消
	特性評価での リーク不良	TSV 加工底の側壁方 向にエッチングさ れている	TSV 加工底の側壁で 絶縁膜が形成されて いない	エッチング条件の 調整	リーク不 良解消
ウェハ 20μm	ウェハ割れ	加工装置の機械ク ランプ部で Si ウェハにダメージ	-	ウェハ保持方式を クランプ方式から 静電チャックに変 更	ウェハ割 れ解消

プロセス課題では特性評価(図Ⅲ. 2. 1. 5-2)において導通不良が発生する問題(図Ⅲ. 2. 1. 5-3)とリーク不良が発生する問題が抽出された。導通不良は TSV の加工底でのコンタクトが不安定状態であることがわかり、追加加工にて導通が確保できることを確認した。(図Ⅲ. 2. 1. 5-4)



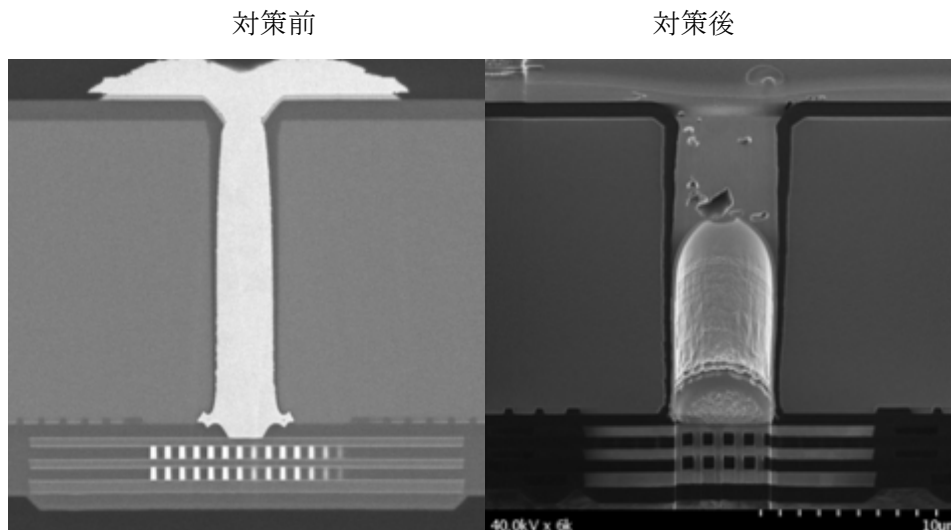
図Ⅲ. 2. 1. 5-2 TSV 特性評価の構成

図Ⅲ. 2. 1. 5-3 TSV 導通評価 対策前



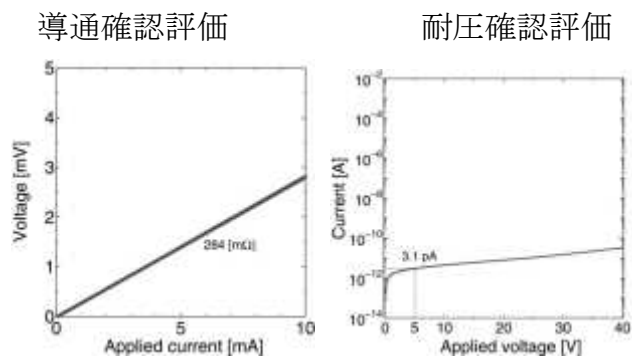
図Ⅲ. 2. 1. 5-4 TSV 導通評価 対策後

リーク不良については TSV 加工時の TSV 加工底の側面が狙い値以上にエッチングされていることがわかり、その部位でリークしていると想定した。さらに導通不良の追加加工で不良が増加することを確認した。これらよりエッチング条件の最適化により、TSV 形状の改善が可能となった。(図Ⅲ. 2. 1. 5-5)



図Ⅲ. 2. 1. 5-5 TSV 形状

それら課題抽出した結果を反映して同様の TEG を用いて評価を実施した。評価結果より特性面で導通不良やリーク不良の改善ができた。(図Ⅲ. 2. 1. 5-6)



図Ⅲ. 2. 1. 5-6 対策後特性評価

### 2.1.5.3 成果達成状況

本研究の達成度は以下のとおり。

表Ⅲ. 2.1.5-2 本研究の達成度

開発項目	中間目標	実績	評価
要素プロセス評価	TSV 構造での成立性見通しの判断	評価結果により TSV 構造で成立することを判断。	○
プロセス TEG 評価	初期特性および信頼性を評価	初期特性評価完了し、導通を確認。信頼性評価に向けてプロセス改良実施。改良版の信頼性評価を開始し、一部の評価は完了。	△2016 年 3 月末完了
TSV 構造の決定	民生信頼性レベルの構造決定と車載向け対策指針	構造案の絞り込み完了。民生信頼性は評価中。	△2016 年 3 月末完了

今回の研究成果で得られた TSV 構造で商品の信頼性耐性の向上が期待でき、TSV を用いた商品のアプリケーションが民生から産業、車載へと広げられる可能性が出てきた。

## 2.1.6 低応力積層/接合技術の開発 (①-6)

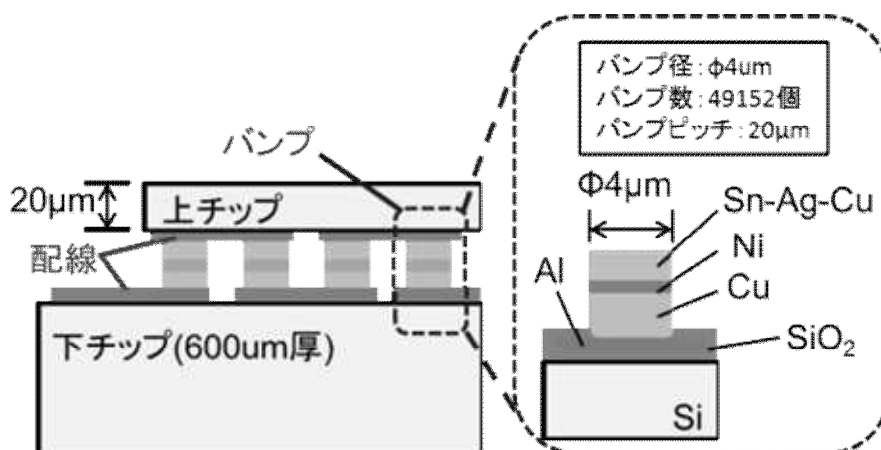
担当：ラピスセミコンダクタ株式会社、株式会社デンソー(再委託)、  
国立研究開発法人産業技術総合研究所

### 2.1.6.1 研究開発の内容

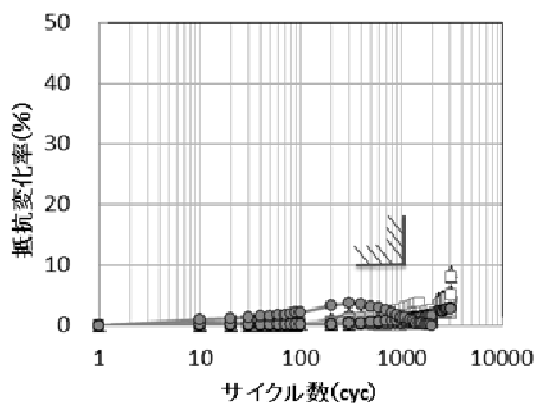
測距誤差を小さくし、測距センサの距離性能を向上させるためには、測距センサチップと信号処理チップを上下に配置し、各画素からの信号をTSVと接続バンプを介して縦方向に最短結線する方法が理想である。その実現のためには、チップ同士を上下に積層し、電気的に接続するチップ積層/接続技術が必要である。本研究では、信頼性を有する1チップあたり10,000個以上の接続バンプを持つ積層/接続技術を開発する。

### 2.1.6.2 開発成果の要約

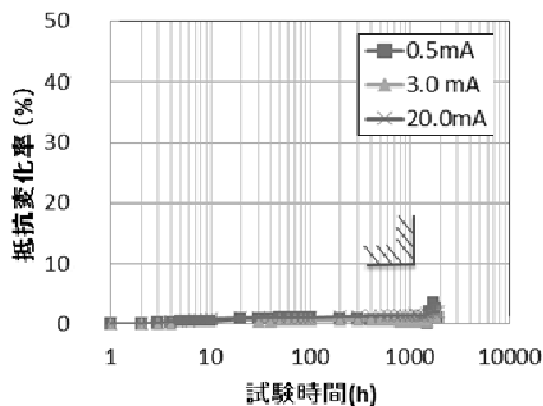
本研究では、信頼性を有する1チップあたり10,000個以上の接続バンプを持つ積層/接続技術を開発するために、TEG試作およびチップの積層/接続検討、接合部の信頼性試験および信頼性改善検討を行った。その結果、高精度アライメント技術および新接合条件により、49,000個のバンプ接続を達成し、低応力実装技術により、接続部の信頼性を確保した。



図Ⅲ. 2.1.6-1 デジタルチェーン TEG 断面構造および接続数



図Ⅲ. 2.1.6-2 温度サイクル試験結果



図Ⅲ. 2.1.6-3 高温通電試験結果

### 2.1.6.3 達成状況

本研究の達成度は以下のとおり。

表Ⅲ.2.1.6-1 達成度

研究開発項目	中間目標	成果	達成度
低応力積層/接続 技術の開発	10,000 個/チップ以上の bumps 接続	高精度アライメント技術および新接合条件により、49,000 個の bumps 接続を達成	○
	接続部の信頼性の確保	低応力実装技術により、信頼性を確保	○

※<研究発表・講演、文献、特許等の状況>

特許 2 件出願

### 2.1.7 三次元実装検査技術の開発 (①-7)

担当：ラピスセミコンダクタ株式会社、ルネサスエレクトロニクス株式会社(再委託)、株式会社デンソー(再委託)、国立研究開発法人産業技術総合研究所、

#### 2.1.7.1 研究開発の内容

イメージセンサや次世代のネットワークデバイス、車載情報システム分野など高速データ処理に対応して、三次元構造のパッケージの適用が必要となってきた。三次元実装品の歩留向上によるコストダウンや製品の垂直立上げを実現するためには、TSVの検査技術(マイクロバンプへの直接プロービング)、三次元実装品の非破壊検査技術(パッケージ状態での不良モード解析)が必要となる。

しかしながら、現状、バンプ対応のプロービングピッチは、80 $\mu\text{m}$ ピッチのプローブカードが製品開発に導入されている状況である。また、実装品の不良解析においては、実装品を加工してSEM等による2次元の解析を実施しており、解析時間も1日以上要している状況である。

このような現状に対して、20 $\mu\text{m}$ ピッチのマイクロバンプへの直接プロービングおよび実装状態での非破壊による検査技術を開発する。

基本計画として、以下のステップで開発する。

- ①マイクロバンプ接合に支障ないようにバンプ潰れがなく、電気的コンタクトが可能なプローブ材料等プローブピン仕様を設計する。プローブピン仕様設計に当たっては、TEG ウェハを用いて、コンタクト荷重、接触抵抗等の初期特性を測定し、成立性の見通し判断を行う。また、マイクロバンプの直接プローブ検査に必要な検査設備の仕様を検討する。  
非破壊測定技術に関しては、現状技術の調査、デモによる課題抽出を実施し、目標技術の実現性について見通し判断を行う。
- ②プローブピン仕様を用いて、20 $\mu\text{m}$ ピッチのバンプにコンタクト可能なプローブカードの構造設計、開発をする。プローブカードの構造設計、開発に当たっては、20 $\mu\text{m}$ ピッチバンプ形成、且つ、ダイチェーンまたは配線ショート構造のTEG ウェハを試作し、接触抵抗、耐久性等を評価する。また、20 $\mu\text{m}$ ピッチ/ $\phi$ 5 $\mu\text{m}$ 以下のマイクロバンププローブ検査に対応した高精度な自動位置合わせ機能や支持体付きウェハの搬送機能を備えた検査設備を導入し、実現性を評価する。  
非破壊測定技術に関しては、①で成立性の見通しが立った場合、抽出した課題の対策を検討し、対策実現性の評価を進める。具体的には、TSV付きチップを組み込んだPKGで、基板-チップ間やチップ-チップ間の接続部のオープンやショート、TSV内部のオープンを非破壊で確認できることを目的に、その実現性を評価する。
- ③プローブカード構造を改良して、マイクロバンプからの信号入出力で電気的特性試験を可能とする。電気的特性試験の評価には専用のTEG ウェハを試作し、評価を行う。また、必要に応じてプローブカードと検査設備間の中継配線基板の改良・開発を行い、20 $\mu\text{m}$ ピッチ/ $\phi$ 5 $\mu\text{m}$ 以下のマイクロバンプ直接プロービング技術を確立する。  
非破壊測定技術に関しては、②で開発した技術に改良を施し、評価を行う。具体的には、更なる高精細部分確認、例えば不良に至る前の前兆の判別や、検査時間の短縮などの可能性を追求する。

#### 2.1.7.2 開発成果の要約

三次元実装品のマイクロバンプへの直接プロービング技術開発は、20 $\mu\text{m}$ および40 $\mu\text{m}$ ピッチのプローブカードを開発し、TSVバンプへのプロービングが可能となった。

多ピン(1万ピン相当)の40 $\mu$ mピッチプローブカードは、量産対応のTSV導通テストを目的に、20 $\mu$ mピッチのTSVに対し、X/Yに20 $\mu$ mずらすことで数回のコンタクトで全ピンテストする。少ピン(36ピン)の20 $\mu$ mピッチプローブカードは、隣接ピン間シュートなど初期評価および詳細解析に用いる。


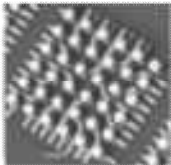

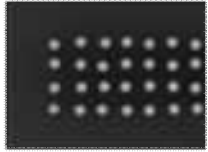
三次元実装品の非破壊検査技術の開発は、X線CT検査装置を用い条件を適正化することで、非破壊で基板-チップ間やチップチップ間の接合部の不良モード解析が可能であることを確認し実用化可能な見込みを得た。

### 2.1.7.3 成果の意義

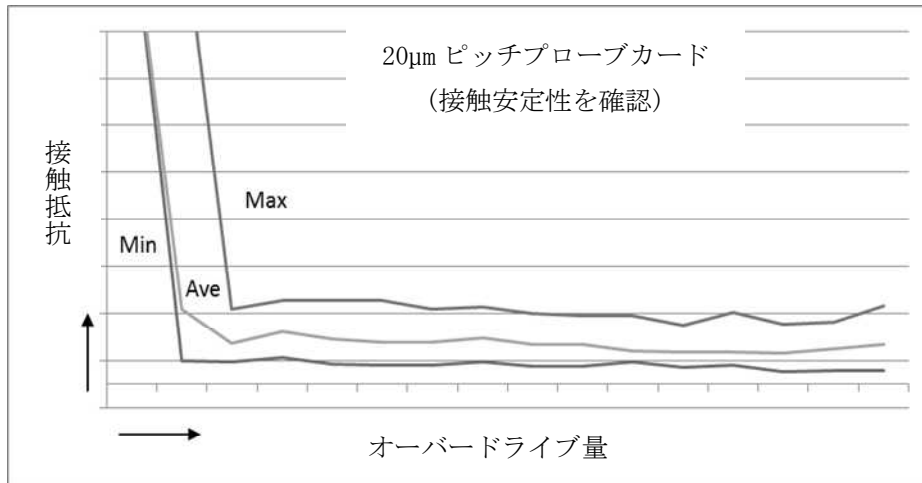
従来不可能であった、20 $\mu$ mピッチのマイクロバンププロービング開発および非破壊での三次元実装品の検査技術開発により、TSVやその接合部などの不良を早期に発見し、製造工程へのフィードバックが可能となり、三次元実装品の歩留向上によるコストダウンや製品の垂直立上げに貢献できる。

### 2.1.7.4 達成度

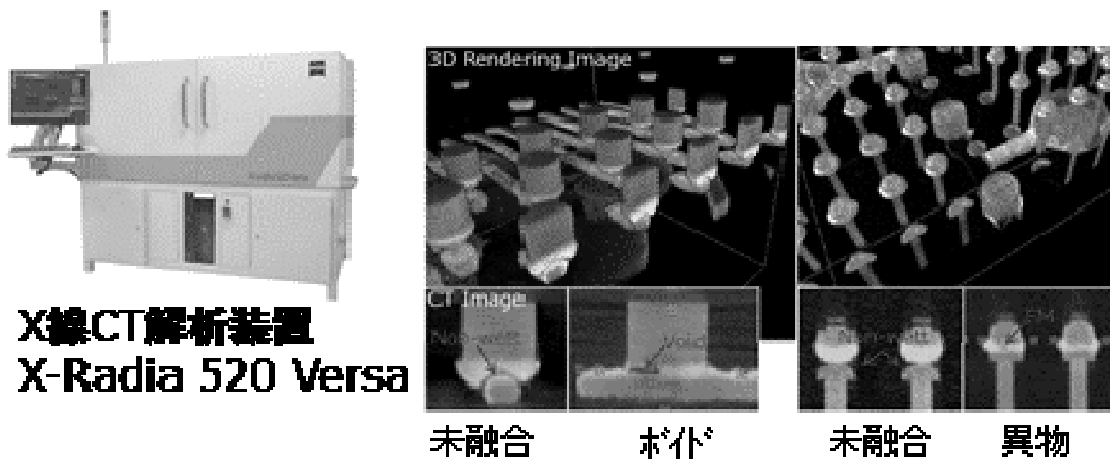
最終目標である20 $\mu$ mピッチのマイクロバンプ直接プロービング技術は、40 $\mu$ mピッチおよび20 $\mu$ mピッチのプローブカードを開発完了し、今後、2015年度末までに直接プローブ後のバンプに対する接合性の確認することで実用化可能な見込みである。また、三次元実装品の非破壊検査技術は、不良モード解析が可能なが見込みが得られたことから、今後、2015年度末までに観察評価を通じて習得した解析手法をCT検査手順書としてまとめる。更にCT検査手順書を当プロジェクトの試作サンプルのCT観察に適用してTSV内部不良の検出可否等についての検証や、検査時間短縮化の検討、初期不良モードの環境加速試験による変化追跡調査を進める。

	外観	プローブ種類
20 $\mu$ mピッチ プローブカード		 MEMS型 プローブ
40 $\mu$ mピッチ プローブカード		 垂直型 プローブ

図Ⅲ. 2.1.7-1 20 $\mu$ m/40 $\mu$ mピッチプローブカード開発



図Ⅲ. 2. 1. 7-2 20μm/40μm プローブカードの接触安定性評価結果



図Ⅲ. 2. 1. 7-3 X線CT装置による非破壊でのTSV/接合部の不良モード分類

※<研究発表・講演、文献、特許等の状況>  
特許 1 件出願



## 2.1.8 三次元実装評価技術の開発 (①-8)

担当：国立研究開発法人産業技術総合研究所、株式会社デンソー、  
ラピスセミコンダクタ株式会社

2013年度は、想定する車載用センシングデバイスを三次元 LSI 積層実装システムからの要求仕様(電気、熱、応力)の抽出し、積層チップを含む三次元実装構造全体に関する解析評価技術の仕様を策定した。この仕様を解析するための、三次元実装構造の全体解析に向けた電気・熱・応力の解析評価技術の構築を進めた。特に当該車載センサシステムでは複雑な三次元構造になることから、解析時間が長く、また解析空間が大きくなることから、高性能かつ大容量なメモリ空間を有するワークステーションを使った三次元解析装置を導入し、解析環境の整備を行った。

2014年度は、想定する車載用センシングデバイスのために、三次元 LSI 積層実装システムからの要求仕様(電気、熱、応力)に応じた、積層チップを含む三次元実装構造全体に関する解析評価技術の開発を進めた。特にトランジスタ動作によって生じるホットスポットの解析評価技術の開発において、電気・熱の連成解析評価技術の構築と、その実測評価を行うための微小部分熱解析装置の導入を行い、実測と解析が比較検証できる環境の整備を行った。また、TSV 電気特性評価用 TEG であるプロセス TEG の設計を行った。

2015年度は、想定する車載用センシングデバイスのために、三次元 LSI 積層実装システムからの要求仕様(電気、熱、応力)に応じた、積層チップを含む三次元実装構造全体に関する解析評価技術の開発を進めた。開発した解析評価技術により、プロセス TEG および PDKTEG を設計・評価することで、製品 TEG の設計指針を得た。

三次元実装技術の車載センサシステムへの応用に向け、開発する TSV 技術および超多ピン接続の積層実装システムに対応する電気・熱・応力評価技術の開発を行った。

電気設計・計測評価技術としては、当該三次元実装の電源安定化に対応する電源評価技術を開発し、三次元 LSI 積層実装システム全体で車載センサシステムに対応する動作速度におけるシステム動作安定化を目指した。

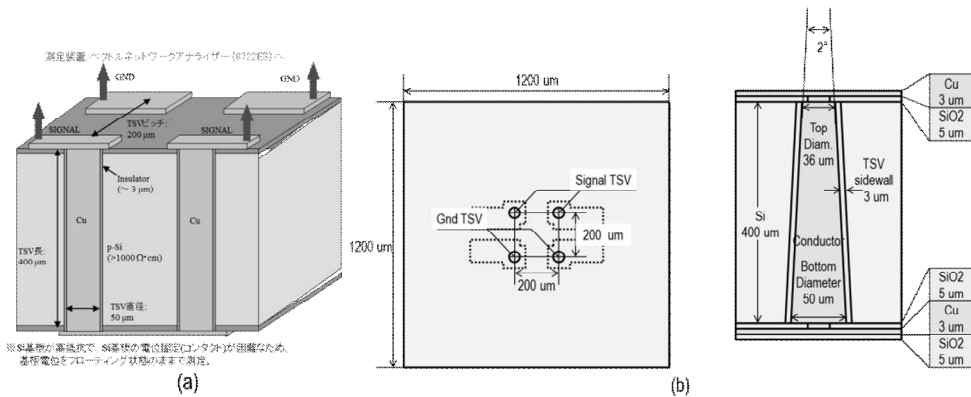
また、車載センサシステムに対応する放熱・冷却を実現する設計・評価技術を実現する。このとき、三次元積層実装 LSI におけるトランジスタ動作時に発生する局所熱であるホットスポットの抑制を目的に、ホットスポットの解析・計測評価技術の開発を行った。

また、新規 TSV および微細超多ピン接続による積層構造の不良評価技術を開発した。これは、TSV 製造プロセス時や積層接続プロセス時の不良を明らかにすることで、プロセス工程の高信頼性化を実現する。三次元実装時における微細な TSV およびバンプ接続部では熱・応力による変形が無視できない。このため、微小構造体における熱・応力の連成解析技術の開発を行った。

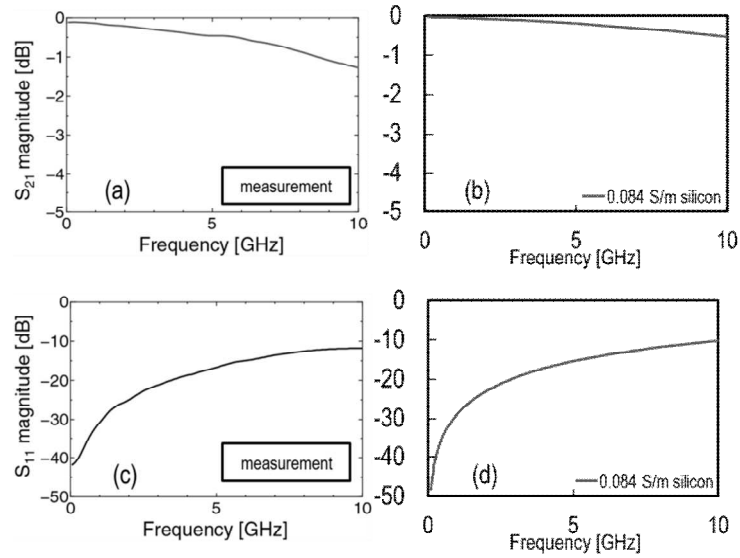
2.1.8.1 三次元実装構造の電気特性解析評価

2.1.8.1.1 三次元実装構造の全体解析に向けた電気特性の解析評価環境の構築

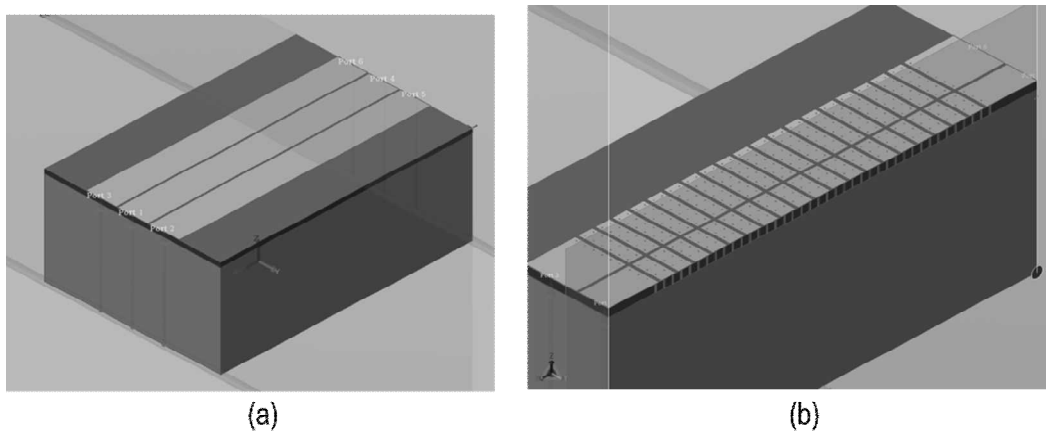
- (a) 三次元実装構造の全体解析に向けた電気解析評価環境の構築のために、電磁界解析ソフトウェア Agilent EMPro を導入し、TSV の電気的特性評価環境を構築した。EMPro は有限要素法 (Finite Element Method, FEM) を用いた解析が可能であり、時間領域差分法 (Finite Difference Time Domain, FDTD) 法に対して大規模・複雑構造の解析において有利である。図Ⅲ.2.1.8-1 (a) に示される直径 50  $\mu\text{m}$ 、高さ 400  $\mu\text{m}$  の既存 TSV について図Ⅲ.2.1.8-1 (b) に示される同寸法 TSV・同レイアウトのモデルを作成し、評価結果と EMPro を用いた解析結果を比較(図Ⅲ.2.1.8-2)、S11 パラメータにおける一致を確認した。
- (b) TSV の電気的特性評価の一環として導波路を搭載した評価チップを作成し、実測結果と EMPro による解析を比較した。導波路は接地・信号・接地の GSG タイプであり、並行平板のみで構成された導波路(図Ⅲ.2.1.8-3 (a))と TSV チェーンを含む導波路(図Ⅲ.2.1.8-3 (b)、信号線部分で切断した断面図)が存在し、それぞれ解析を行った結果を図Ⅲ.2.1.8-4 に示す。TSV 無し並行平板と TSV 込並行平板では明らかな特性変化があり、実測と比較することで TSV 特性の確からしさを確認、モデル化が可能である。このとき、EMpro で 3 次元電磁界モデルを作成し Agilent ADS により解析を行っている。



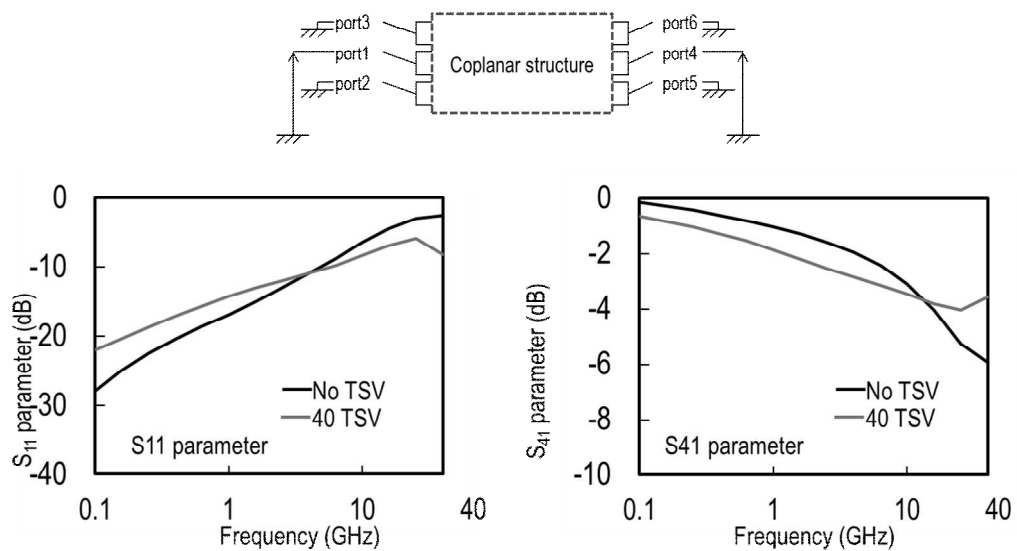
図Ⅲ.2.1.8-1 (a)既存 TSV の構造および (b)構築したモデル



図Ⅲ. 2. 1. 8-2 (a)  $S_{21}$  パラメータ実測結果、(b)  $S_{21}$  パラメータ解析結果、  
(c)  $S_{11}$  パラメータ実測結果、(d)  $S_{11}$  パラメータ解析結果



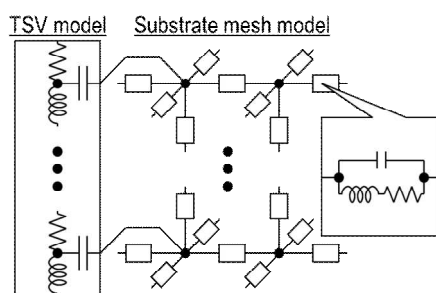
図Ⅲ. 2. 1. 8-3 (a) 並行平板 GSG 導波路モデル、(b) TSV チェーン込 GSG 導波路モデル(断面図)



図Ⅲ. 2. 1. 8-4 TSV なし/あり導波路の電気的特性解析結果

### 2.1.8.1.2 車載センサシステムの動作安定を想定したパワーインテグリティ (PI)、シグナルインテグリティ (SI) 解析評価技術の開発

SI、PI の解析評価技術開発として、図Ⅲ. 2. 1. 8-5 に示されるように TSV を含むシリコン基板を格子モデルで表現し回路解析ソフトウェア Agilent ADS 上で解析するシステムを構築した。モデル内で基板抵抗等寄生成分をメッシュ状に接続することで再現し、TSV 周囲の絶縁体による容量を接続することで基板に形成された TSV を再現した。これにより TSV 間の干渉・TSV とシリコン基板間の干渉を解析出来る為、三次元実装構造内部の SI、PI の解析に有用である。



図Ⅲ. 2. 1. 8-5 TSV を含むシリコン基板格子モデル

2.1.8.1.3 「車載センサシステムに対応する微細 TSV・接続積層構造を含むシステムの安定動作に対応する電源安定化解析評価技術の開発。またシステムレベルの要素 TEG を、開発した解析評価技術により設計・作成し、計測評価することで、製品 TEG の設計指針を得る」

#### 2.1.8.1.3.1 PI・SI 評価システムの開発

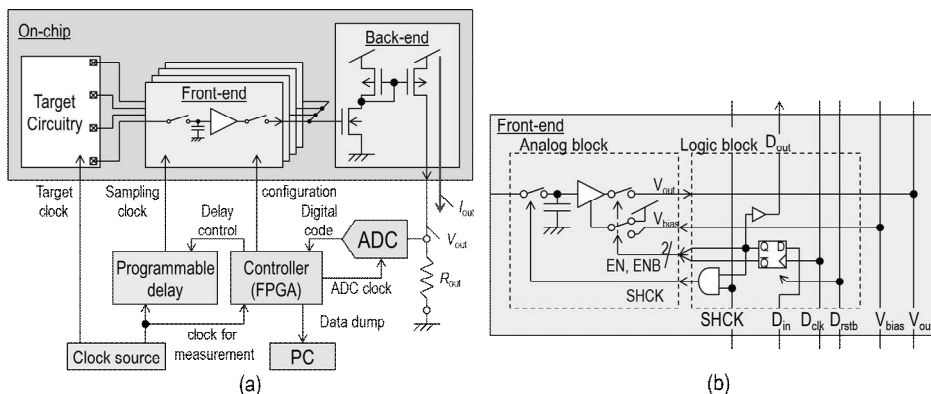
PI・SI 評価のため、図Ⅲ. 2. 1. 8-6(a) に示す電源・信号・基板等、任意の点の電圧を評価可能なシステムを開発した。このシステムでは図Ⅲ. 2. 1. 8-6(b) に示される検出回路で保持した電圧をチップ外のアナログ-デジタル変換器(ADC)によりデータ化する為、面積コストが小さく、従来のデジタル化機能の一部をチップに搭載するシステムに比べて 1000 倍以上の高速化が可能である。(NECO P08009 超ワイドバス SiP 三次元集積化技術の研究開発の評価システムと比較)

#### 2.1.8.1.3.2 PI・SI 評価チップの開発

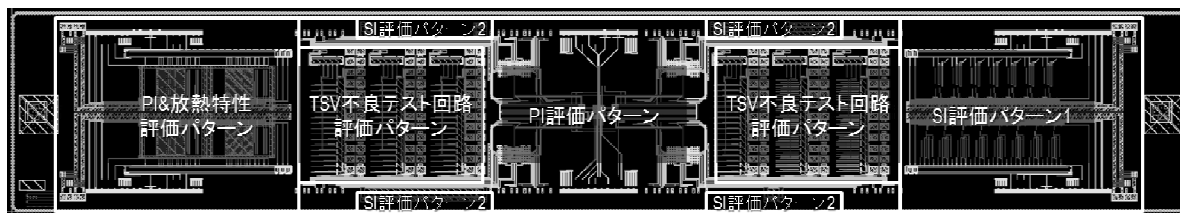
PI・SI 評価のため、0.18  $\mu\text{m}$  CMOS プロセスで PI・SI 評価チップの開発を行った。チップ内には様々な電源パターンから発生する電源ノイズを評価可能な PI 評価ブロック、TSV から基板に漏出する信号強度を評価可能な SI 評価ブロックが搭載されており、前述の PI・SI 評価システムにより PI・SI 評価が可能である。図Ⅲ. 2. 1. 8-7 に PI・SI 評価チップのレイアウトを示す。評価チップは PI 評価パターン、SI 評価パターン、後述する TSV 積層前評価システム評価パターンから成り、チップオンボード実装による評価、プローブによる評価が可能である。

2.1.8.1.3.3 PI・SI 評価システムを用いた TSV 積層前評価システムの開発

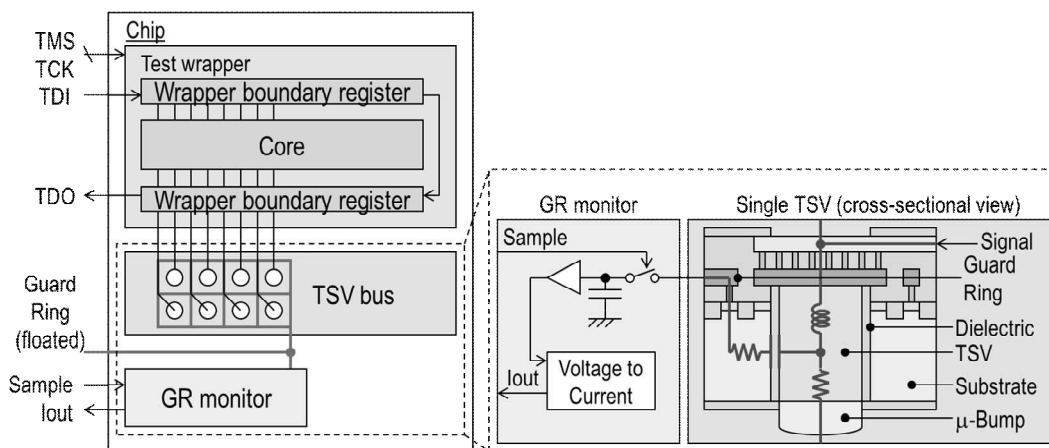
PI・SI 評価システムが TSV からシリコン基板への信号漏出という形で SI を評価出来ることから、TSV の積層前評価システムを開発した。図Ⅲ. 2.1.8-8 に TSV 積層前評価システムの全体図を示す。TSV 積層前評価システムは TSV に信号が入力された際のシリコン基板への漏出ノイズが TSV の電気的特性に依存することを利用し、シリコン基板の電位を評価することで TSV の良・不良を判断する。TSV に対し直接回路を接続する必要が無いため負荷無しで TSV 評価が可能であることが利点である。PI・SI 評価チップに TSV 積層前評価システムの評価パターン(図Ⅲ. 2.1.8-9)を搭載しており、実測による検証が可能である。



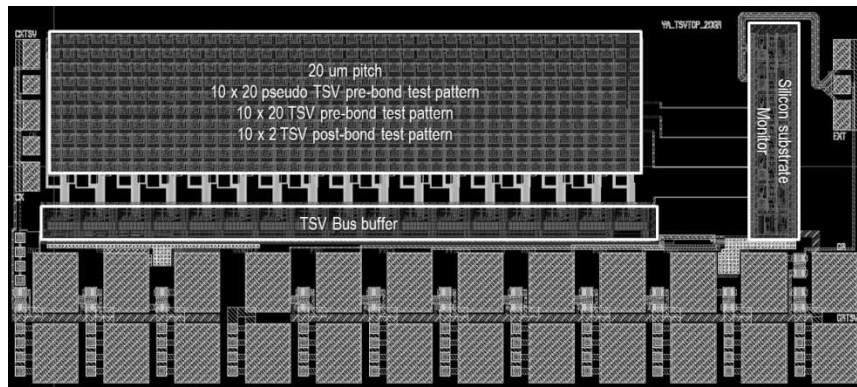
図Ⅲ. 2.1.8-6 (a) PI・SI 評価システム全体図、(b)検出回路



図Ⅲ. 2.1.8-7 PI・SI 評価チップレイアウト



図Ⅲ. 2.1.8-8 TSV 積層前評価システム全体図

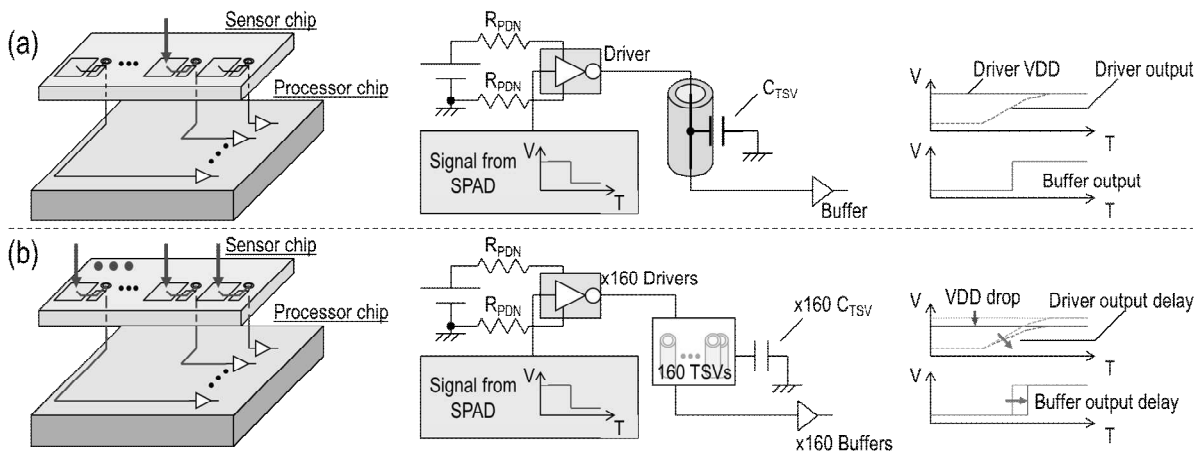


図Ⅲ. 2. 1. 8-9 TSV 積層前評価システム評価パターンレイアウト

#### 2. 1. 8. 1. 3. 4 製品 TEG のための設計指針

測距デバイスの PI・SI を議論する指標として、受光素子搭載チップからの出力信号のタイミング変動の影響が最も大きいと考えられる。これは容量の大きい TSV を多数駆動する必要がある上に、高密度に集積された受光素子により配線可能領域が制限される為である。

製品 TEG のための設計指針を導出する為に図Ⅲ. 2. 1. 8-10 に示される解析モデルを作成し、解析を行った。解析において TSV の容量は  $5\mu\text{m}$  径かつ高さ  $20\mu\text{m}$  の電極が比誘電率 3.9 で  $200\text{nm}$  厚の絶縁体で覆われている場合を想定し  $56\text{fF}$  とする。一度に動作する受光素子数が 160 のとき、最も電源電圧変動が激しくなるのは 160 素子が全て同時動作する場合(図Ⅲ. 2. 1. 8-10(b))と考えられるため、単一素子が動作する場合(図Ⅲ. 2. 1. 8-10(a))に対し最も誤差が大きいと言える。



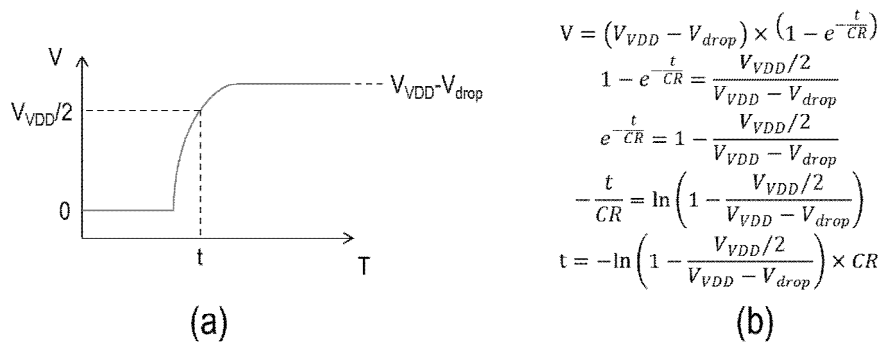
図Ⅲ. 2. 1. 8-10 (a)単一素子が動作する場合、(b)80 素子が同時動作する場合のイメージ、解析モデルブロック図、信号遅延予想

解析モデルを用いた設計指針の確からしさを、図Ⅲ. 2. 1. 8-12 に示す解析結果と比較しつつ確認した。TSV を駆動する回路が  $1.8\text{V}$  で動作し、1つあたりプロセスで提供される高耐圧インバータと同様の駆動力(出力抵抗  $9.76\text{ k}\Omega$ )を持ち、PDN のインピーダンスを VDD/VSS とともに  $10\Omega$  と仮定

すると、 $I=V/R$  より  $1.8 / (9760/160 + 10) = 25.4$  mA の電流が流れ、回路の電源電圧は抵抗比 (9760/160:10) より抵抗分圧で 254 mV の電圧降下が見積もられる。

(実際は電圧降下により回路の駆動力が低下する為、図Ⅲ. 2. 1. 8-12(a)の解析例では 203 mV 程度の電圧降下となっている。)

このとき、後に続く回路の入力閾値を  $0.9V$  (電源電圧/2) とするとバッファに論理が伝達されるまでの時間  $t$  は図Ⅲ. 2. 1. 8-11(a)に示される関係になる。C=駆動される TSV の合計容量、R=駆動されるインバータの出力抵抗と PDN の合成抵抗とすると、図Ⅲ. 2. 1. 8-11(b)より 1 素子駆動時の  $t$  と 160 素子駆動時の  $t$  の誤差は 175 ps となる。(実際は前述の電圧降下緩和により遅延量も緩和される。図Ⅲ. 2. 1. 8-12(a)の解析例では 148ps 程度に収まる。)

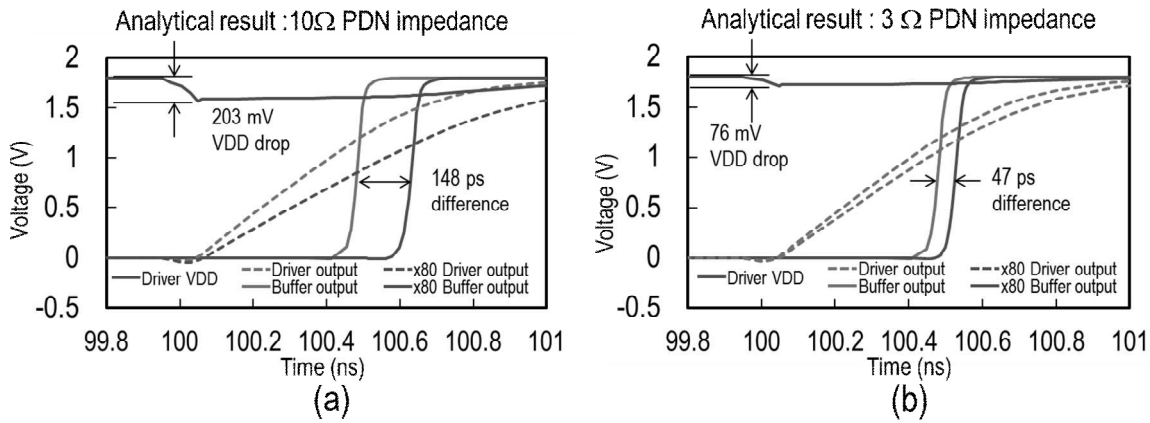


図Ⅲ. 2. 1. 8-11 (a) 閾値(電源電圧/2)に到達するまでの時間  $t$  の図、および(b)時定数より導出される時間  $t$

本プロジェクトの測距センサに搭載された時間-デジタル変換回路の最小分解能を 208 ps、許容誤差を最小分解能の 1/4 とした場合、許容できる時間誤差は 52ps である。その為、見積もられた 175 ps および解析例の 148 ps では許容範囲を超えるため改善の必要がある。

1 素子駆動時と 160 素子駆動時の誤差は RC 時定数と電圧降下量によって決定されるため、PDN のインピーダンスを下げ PI を改善することが測距精度の確保に繋がる。例えば PDN のインピーダンスを  $3\Omega$  にまで下げることによって回路の電源電圧は 80 素子駆動時でも 84 mV に収まり、遅延の差は 47.3 ps となる為、許容範囲に収まる。(図Ⅲ. 2. 1. 8-12(b)解析例では電圧降下は 76 mV となり、誤差は 47 ps となっている。)

計算および解析より、仮定する条件下においては少なくとも PDN のインピーダンスを  $3\Omega$  以下にするという設計指針が示された。



図Ⅲ. 2. 1. 8-12 (a)PDN インピーダンスが 10Ωである場合、  
および(b)PDN インピーダンスが 3Ωである場合の解析結果

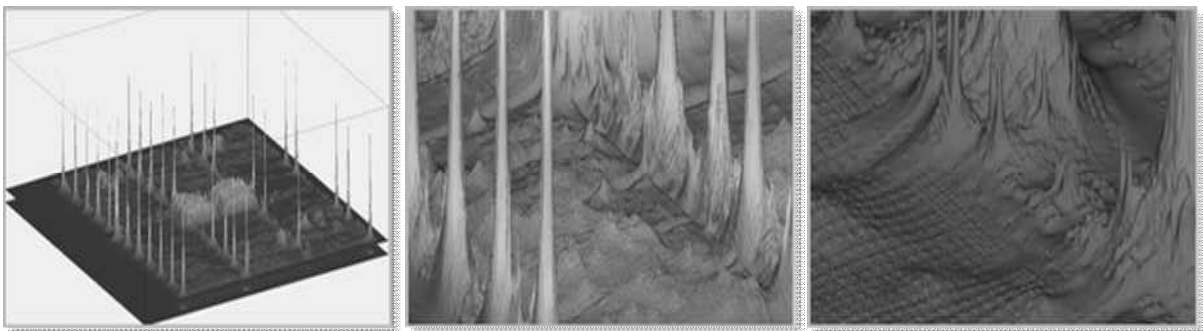
2. 1. 8. 2 三次元実装構造の熱特性解析評価

2. 1. 8. 2. 1 三次元実装構造の全体解析に向けた熱の解析評価環境の構築

三次元実装構造の全体解析に向けた熱の解析評価環境の構築として、LSI 熱解析ソフトウェアの比較評価を行った(表Ⅲ. 2. 1. 8-1)。三次元積層実装 LSI におけるトランジスタ動作時に発生する局所熱であるホットスポットの抑制を目的に、ホットスポットの解析・計測評価技術の開発のため、LSI の全エリアでナノメータの位置分解能での、熱過渡解析が可能なツールが必要である。従って、表Ⅲ. 2. 1. 8-1 より LSI の精密な熱解析が可能な Keysight Heatwave を導入した。図Ⅲ. 2. 1. 8-13 に Keysight Heatwave の解析事例を示す。

表Ⅲ. 2. 1. 8-1 LSI 熱解析ソフトウェアの比較

	ANSYS	Keysight
	Icepak	HeatWave
Full-chip analysis	△	◎
Full-chip at nanometer scales	×	○
Transient analysis	○	○

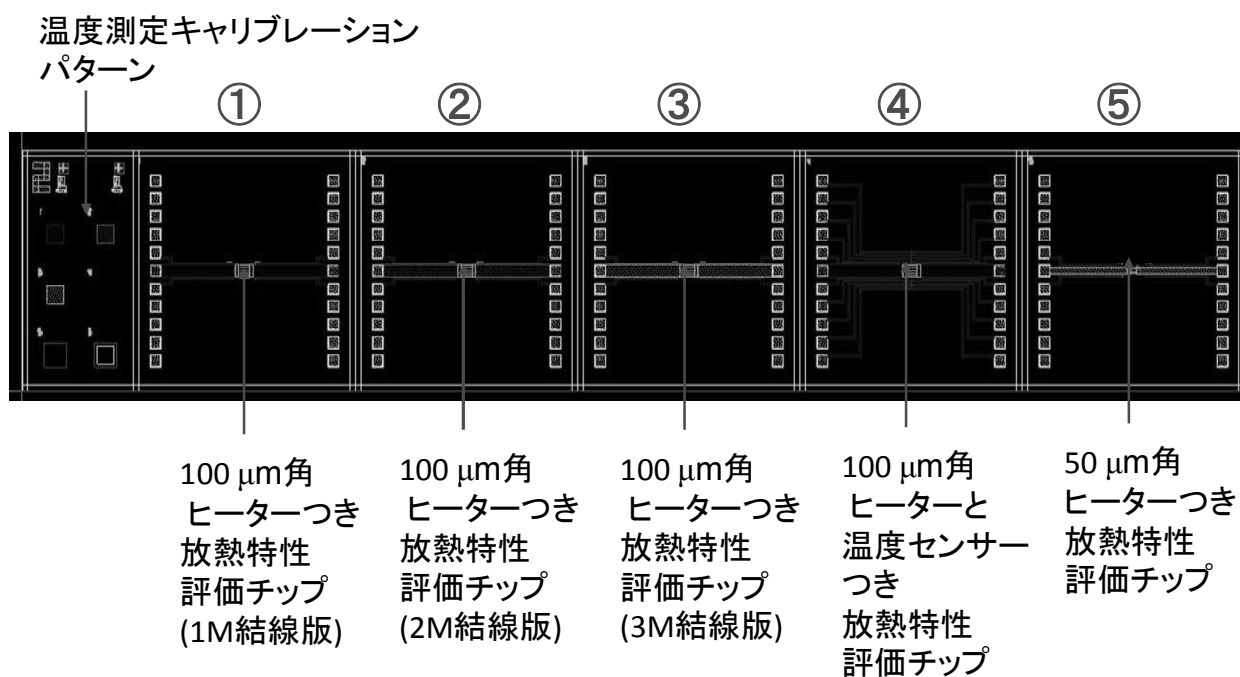


図Ⅲ. 2. 1. 8-13 Keysight HeatWave による三次元集積回路熱解析事例

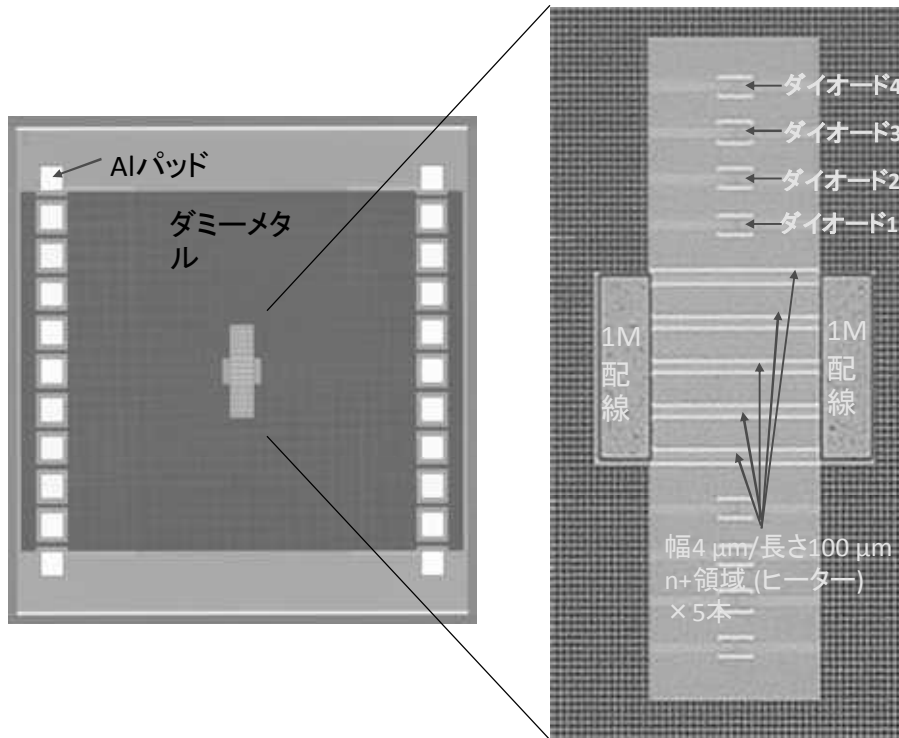


## 2.1.8.2.2 トランジスタ動作によって生じるホットスポットの解析評価技術の開発

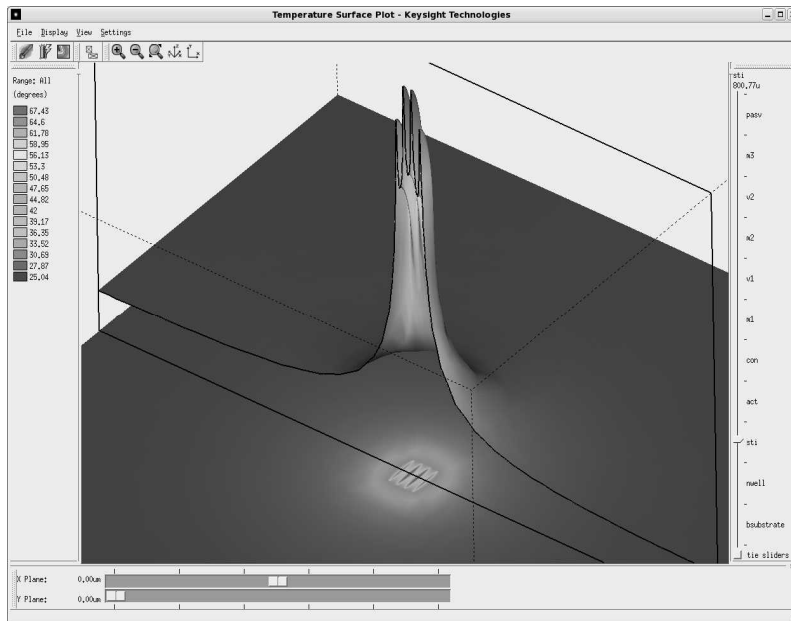
車載センサシステムに対応する三次元 LSI 積層実装システムのチップレベルおよびパッケージレベルによる放熱解析評価技術の開発の第一歩として、ヒータ TEG を設計した。シリコン基板の厚さ 725 $\mu\text{m}$  の試料と、三次元 LSI 積層実装システムの上面チップを想定する、TSV 形成時に必要となる、基板を薄化したヒータ TEG も用意した。温度センサつき放熱特性評価チップ (図Ⅲ.2.1.8-14 中の④、図Ⅲ.2.1.8-15) の、ダミーメタル、全てのレイアウトを含めた統合的な解析を行った (図Ⅲ.2.1.8-16)。また、温度センサ(ダイオード)による初段階温度測定を行った。



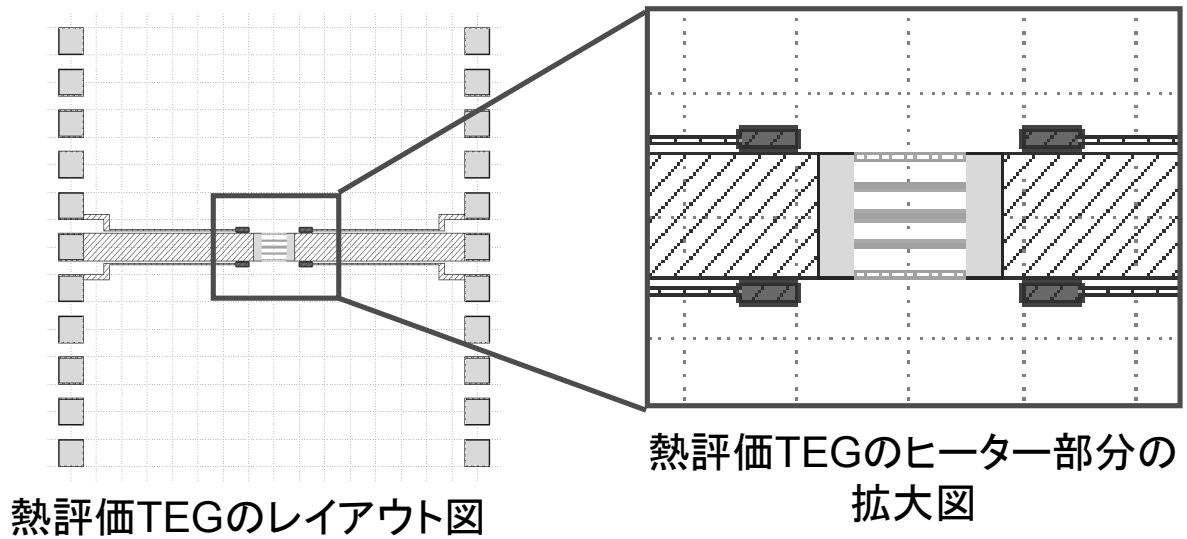
図Ⅲ.2.1.8-14 温度センサ付き放熱特性評価チップ



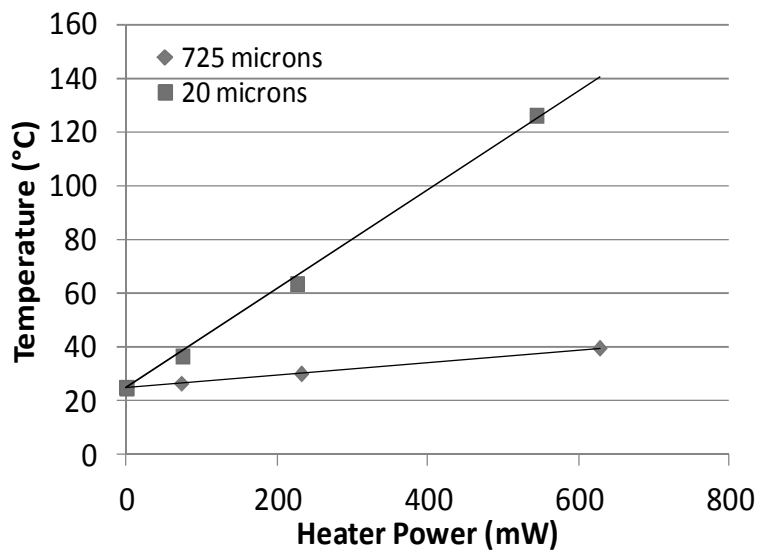
図Ⅲ. 2. 1. 8-15 温度センサつき放熱特性評価チップの拡大写真



図Ⅲ. 2. 1. 8-16 Keysight HeatWave の抵抗体ヒータによる熱の三次元プロファイル図



図Ⅲ. 2. 1. 8-17



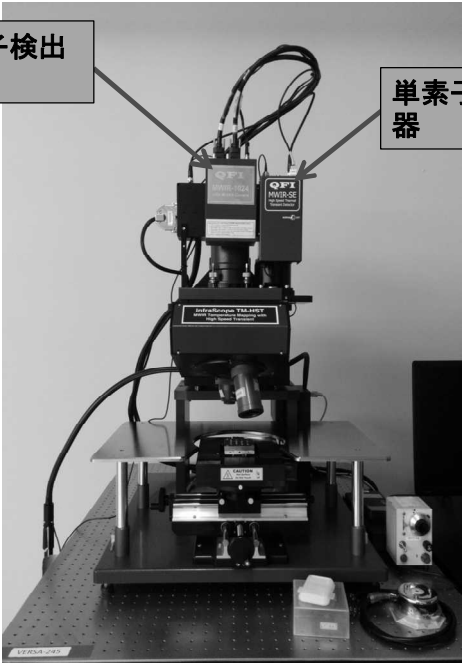
図Ⅲ. 2. 1. 8-18 ダイオード温度センサ 1 における基板膜厚の差異におけるヒータ電力と発熱温度の関係 (基板厚: 20 $\mu$ m、725 $\mu$ m、基準温度: 25 $^{\circ}$ C)

図Ⅲ. 2. 1. 8-17 のように、熱評価 TEG には、100 x 100  $\mu$ m 角内に、4 つの抵抗体を設置しており、メタルダミーとアクティブダミーを含む LSI のフルレイアウトの熱解析を行った。また、解析結果と実測結果の比較を図Ⅲ. 2. 1. 8-18 に示す。その結果、シリコン基板厚 20 $\mu$ m では、0.184 K/mW、725 $\mu$ m では 0.024 K/mW となることが分かった。これにより、シリコン基板の厚さの違いで発熱係数が約 7.7 倍違うことが分かった。

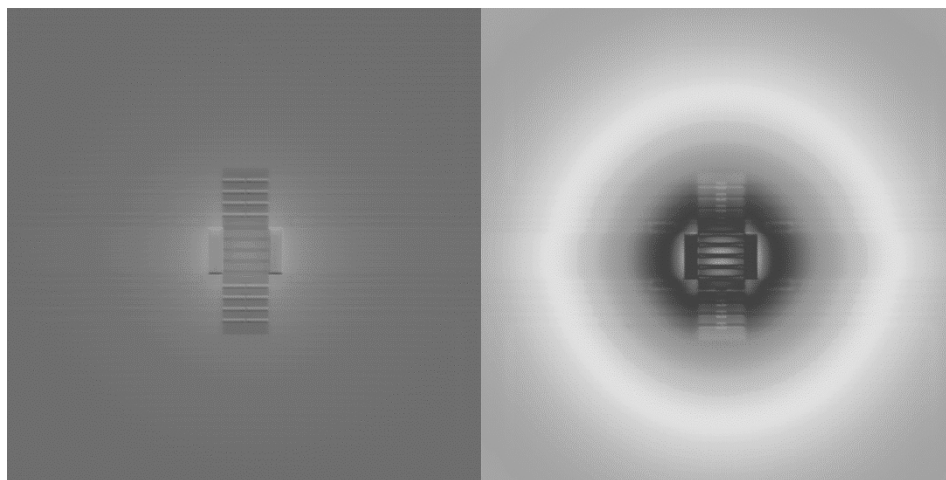
2.1.8.2.3 サーモカメラによる車載センサシステムに対応する三次元 LSI 積層実装システムのホットスポット評価の検討

電氣的な温度センサ（ダイオード）の搭載で特定の箇所の温度を測定することが可能になるが、温度分布を詳細に全面把握するため、サーモカメラ（赤外線カメラ）を導入した。表面温度分布を觀察的に取得する装置は主に 2 種類の測定方法がある。サーモカメラはサンプル表面の温度により変化する放射を検出し、温度を測定する。放射量は温度および材質の放射率により決定され、表面の材質を考慮する必要がある。表面に複数の材質があるセンシングデバイスを想定し、表面材料の放射率補正において、2 種類の材料以上に対応するものが重要である。また、サーモリフレクタンス法による温度觀察装置は、レーザーなど光源の光をサンプルの表面に当てて、反射の強度による温度を検出するものである。レーザー放射から反射検出の周期に物理的な制限があるため、回路と觀察装置の動作時の同期（ロックイン機能）が重要である。しかし、マイクロプロセッサ等、複雑な論理回路で構成している半導体チップでは、ロックインが困難なため、マイクロプロセッサを搭載した車載センシングデバイスを測定できる赤外線カメラを検討することとなった。比較検証の結果、高速な検出ロックイン機能不要で、2  $\mu\text{sec}$  の過渡現象測定が可能、世界最小の赤外線空間分解能である約 3 $\mu\text{m}$  を実現し、放射率の全自動補正機能が可能かつ放射率補正が 2 つの温度点で可能となっており、2 種類の材料以上の表面材料の放射率補正に対応し、液体窒素によるセンサの冷却時の振動の影響が無い等の理由により、QFI 社の InfraScope II を導入した。装置の仕様を表 III. 2.1.8-2 に示す。

表 III. 2.1.8-2

	
装置外観	
センサ：画素数	InSb：1024x1024 (液体窒素冷却)
位置分解能	3 $\mu\text{m}$ (時間分解能：12.5ms) 21 $\mu\text{m}$ (時間分解能：3 $\mu\text{s}$ )

時間分解能	12.5 ms
	3 $\mu$ s
温度分解能	0.05 $^{\circ}$ C (時間分解能 : 12.5ms)
	0.1 $^{\circ}$ C (時間分解能 : 3 $\mu$ s)



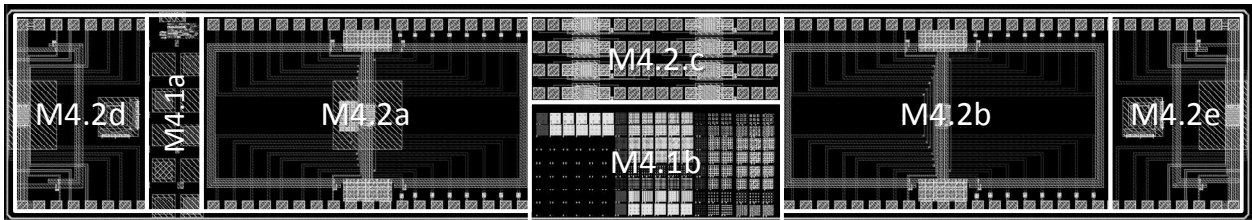
(a)

(b)



図Ⅲ. 2. 1. 8-19 (a) 729.2  $\mu$ m 厚さの基板での測定結果。入力電力 260mW、基準温度 80 $^{\circ}$ C。 (b) 24.2  $\mu$ m 厚さの基板での測定結果。入力電力 240mW、基準温度 80 $^{\circ}$ C。

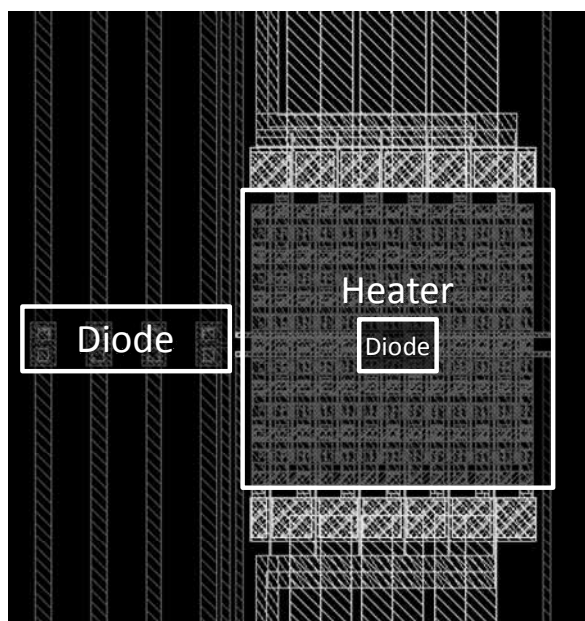
サーモカメラによる、温度センサつき放熱特性評価チップ (図Ⅲ. 2. 1. 8-14 中の④) の表面温度の観察を行った (図Ⅲ. 2. 1. 8-19)。ヒータが中心になっている、温度が低めに見える「T」の字の部分はダミーメタルが配置されなかった領域である。ドーピングされたシリコン基板において、赤外線が通過しない懸念が生じていたが、ホットチャックからシリコン基板を通過している赤外線の影響で、温度が低く見えると考えられる。太い配線では、測定の精度が高くないため、低い放射率になっているが、ダミーメタルが配置されている領域の放射率は想定より高いかつ、一定になっている。そのため、ダミーメタルにより、測定の検証が容易になると考えられる。また、中央に配置された、長細いダミー配置のない四角い領域の温度が、ヒータの真上において解析結果では一番加熱される場所にも関わらず、他の領域の温度より明らかに低いことが分かった。ダミーメタルのパターンへの放射率の影響を把握するため、図Ⅲ. 2. 1. 8-20 に示すように次の試料である PDK-TEG では、複数のダミーメタルサイズ・ピッチを評価する領域を設けた。本領域の評価による、車載センシングデバイスを含む、一般的な LSI 回路の赤外線カメラによる測定確度向上のためのダミーメタルについての指針を得ることができた。



図Ⅲ. 2. 1. 8-20 PDKTEG1\_TJ\_S(放熱特性評価)搭載ブロック

上述のようにプロセス TEG の次のサンプルとして、PDKTEG1\_TJ\_S(放熱特性評価)搭載ブロック (図Ⅲ. 2. 1. 8-20) を設計した。今回は抵抗体によるヒータの代わりに、高速 ON/OFF 可能なヒータをトランジスタにより設計した。発熱源が抵抗体より小さく、トランジスタ間に空間があるため、横にあるダイオードよりヒータの最高温度を精密に測定できる温度センサ (ダイオード) をヒータの中央にも配置した(図Ⅲ. 2. 1. 8-21)。本ブロックの詳細は下記の通りである。

- ・高速 ON/OFF が可能、トランジスタを用いたヒータ。
- ・ダミーメタルの放射率への影響を実測で評価するために複数のダミーメタルパターン。
- ・(M4) 放熱特性評価パターン・1セット。
- ・ロジック回路を模した電力調整・高速 ON/OFF 可能なヒータ。
  - (M4. 1) 温度測定キャリブレーションパターン。
  - (M4. 1a)サーモカメラ測定時の放射率を評価可能。
  - (M4. 1b)複数のダミーメタルサイズ・ピッチを評価可能。
  - (M4. 2) ヒーター・ダイオードセット。
  - (M4. 2. a)周辺 4+中央 1つのダイオードで温度を評価、計画的ダミー配置。
  - (M4. 2. b)周辺 4+中央 1つのダイオードで温度を評価、自動発生ダミー配置。
  - (M4. 2. c)中央に 1つダイオード搭載、(M4. 1b)のパターンから 8種のパターンを抜粋し小型ヒータとあわせて評価。
  - (M4. 2. d)周辺 2+中央 1つのダイオードでチップ端を加熱・評価、ダミーメタル無、TSV 無。
  - (M4. 2. e)周辺 2+中央 1つのダイオードでチップ端を加熱・評価、ダミーメタル無、TSV 有。
- ・NMOS ベースのヒータを中央に配置。
- ・5つのダイオードで距離に対する温度分布を観測可能。



図Ⅲ. 2. 1. 8-21 ヒータ回路近傍

当該 TEG によりさらなる測定精度の向上が可能となると考えられる。

#### 2. 1. 8. 2. 4 製品 TEG のための設計指針

三次元実装構造の全体解析に向けた熱の解析評価環境を構築した。また、車載センシングデバイスを積層したことを想定するヒータ付きチップを搭載した TEG に対する電氣的温度測定および赤外線カメラによる温度の測定を行い、実測とシミュレーションを比較し、測定精度の向上に向けた検討を行い、PDK-TEG を設計した。

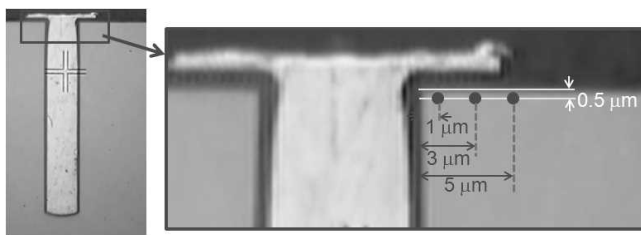
以上より、車載センシングデバイスの製品 TEG としては、(1)三次元集積回路における抜熱にアンダーフィルが不可欠、(2)温度上昇が大きい回路における、精密な温度分布を得るために、ダミーメタルおよび材料の熱伝導率依存性を考慮したシミュレーション環境が必要、(3)薄化したチップをサーモグラフィーでの測定を可能にするには、赤外線の通過を制御する、計画的ダミーメタル配置など、設計の工夫が重要、という設計指針が得られた。

### 2. 1. 8. 3 三次元実装構造の応力・熱解析評価

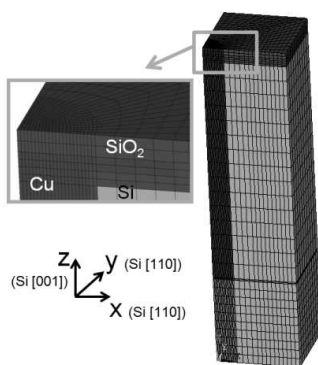
#### 2. 1. 8. 3. 1 ラマン分光法による応力分布測定と解析結果の検証

FEM シミュレーション解析検証のために、ラマン分光法による応力分布測定した。シリコン貫通電極つきチップに対して、断面加工を行ったのち、ラマン分光法を用いて、TSV 近傍の応力およびその温度変化を測定した。図Ⅲ. 2. 1. 8-22 に示される測定箇所は TSV 端より 1  $\mu\text{m}$ 、3  $\mu\text{m}$ 、5  $\mu\text{m}$  の CVD-SiO<sub>2</sub> 直下 (SiO<sub>2</sub>/Si 界面より 0.5  $\mu\text{m}$  下方の位置) の Si 領域 の 3 点とする。また、測定温度は、-55°C、常温、125°C の 3 水準とする。なお、偏光測定により、応力は、TSV の半径方向 (x 方向) と

垂直方向(z方向)の成分に分離する。TSV断面の二分の一解析モデルを図Ⅲ.2.1.8-23に示す。表Ⅲ.2.1.8-3に示される材料パラメータ使用し、測定と同じ状態でTSVが25°Cから-55°Cと25°Cから125°Cへ温度変化させた熱応力を解析した。



図Ⅲ.2.1.8-22 TSV サンプルの横断面



図Ⅲ.2.1.8-23 TSV断面の1/2の解析モデル

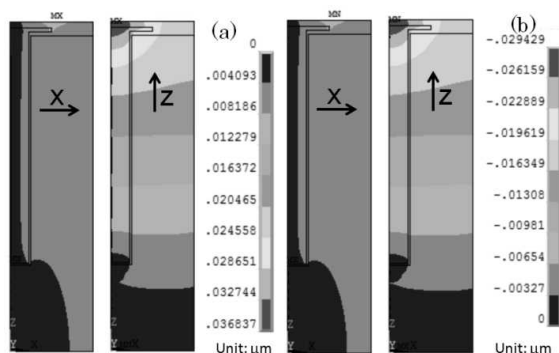
表Ⅲ.2.1.8-3 シミュレーション用材料パラメータ

Material	Young's Modulus (GPa)	Poisson Ratio	CTE (ppm/°C)
copper	121	0.34	17
Si	Ex=Ey=170 Ez=131 shear-modulus Gyz=Gzx=79.83 Gxy=51.13	YZ: 0.28 XZ: 0.36 XY: 0.064	2.8
SiO <sub>2</sub>	70	0.16	0.6
Polymer	2.9	0.4	50

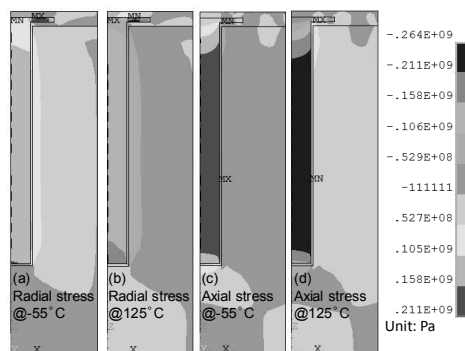
125°Cおよび-55°CでTSVの断面の半径方向(x方向)と垂直方向(z方向)の変形が図Ⅲ.2.1.8-24に示す。常温から125°Cまで100°Cの昇温では、TSVモデルが正の熱膨張を示す。常温から-55°C



まで $-80^{\circ}\text{C}$ の降温は、TSV モデルで負の熱膨張（収縮）を示す。最大膨張（収縮）は、TSV の上端中央エリアで発生する。 $125^{\circ}\text{C}$ および $-55^{\circ}\text{C}$ で TSV の断面の半径方向(x 方向)と垂直方向(z 方向)の応力は図Ⅲ. 2. 1. 8-25 に示す。TSV 金属材料の銅の線膨張係数 (CTE) は、シリコン基板より約 5 倍大きいので、昇温の場合は、銅 TSV はシリコン基板によって収縮する。また降温の場合は、TSV が膨張する。半径方向 (x 方向) の応力の最大値が、TSV 上端周辺部にある。最大軸方向 (z 方向) 応力は、銅/  $\text{SiO}_2$  界面で観察される。銅/  $\text{SiO}_2$  界面での熱の変化による収縮膨張が大きいので、熱サイクルを繰り返すと TSV ポップアップ障害等が発生する。

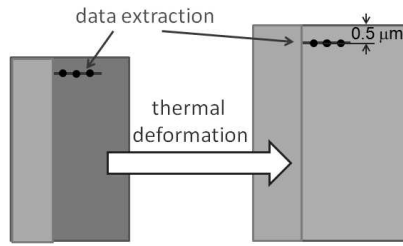


図Ⅲ. 2. 1. 8-24 (a)  $125^{\circ}\text{C}$ および (b)  $-55^{\circ}\text{C}$ で TSV の断面で TSV の半径方向(x 方向)と垂直方向(z 方向)の変形

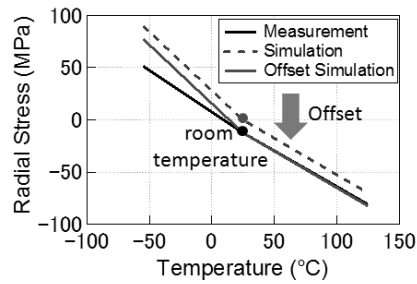


図Ⅲ. 2. 1. 8-25  $125^{\circ}\text{C}$ および $-55^{\circ}\text{C}$ で TSV の断面で TSV の半径方向(x 方向)と垂直方向(z 方向)の応力

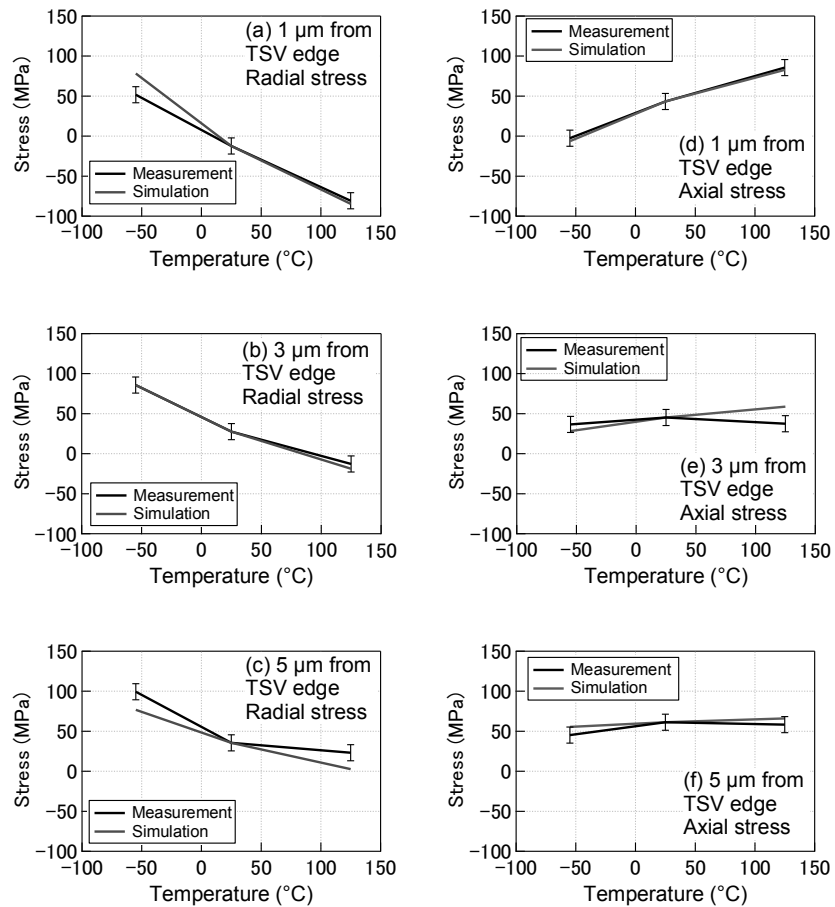
温度変化させた時、TSV XZ 断面が変形する。三箇所測定ポイントの位置も変形するが、図Ⅲ. 2. 1. 8-26 に示されるように変形後の応力値は測定ポイントの元の座標と同じ位置の応力値を採用した。解析では常温でストレスフリーとして計算したが、実測では常温で残留応力があるため、図Ⅲ. 2. 1. 8-27 に示すように、結果のオフセット処理を行った。図Ⅲ. 2. 1. 8-28 に示されるシミュレーションの 3 ポイントの半径方向および軸方向の熱応力は、測定データと比較してよく一致していた。これにより FEM シミュレーション解析方法を検証できた。検証済みのモデルは、構造および材料物性値分析のために使用する。



図Ⅲ. 2. 1. 8-26 正確の解析データを取り出され方法



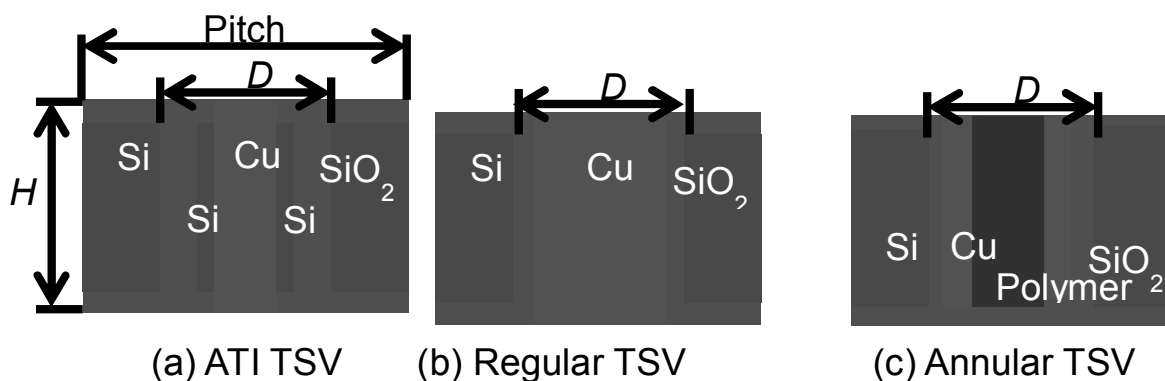
図Ⅲ. 2. 1. 8-27 常温で測定された残留応力によって解析結果オフセット方法



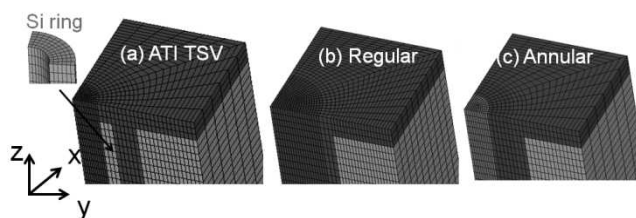
図Ⅲ. 2. 1. 8-28 応力の測定と解析結果比較

### 2.1.8.3.2 新規 TSV 構造(Annular Trench Insulation TSV)の解析

今回新規提案する ATI TSV 構造の熱応力の評価のために、図Ⅲ.2.1.8-29 に示される三種類の TSV について図Ⅲ.2.1.8-30 に示される 1/4 モデルを作成し、表Ⅲ.2.1.8-3 に示される材料パラメータを使用して、表Ⅲ.2.1.8-4 に示すモデルを解析した。25°Cから 125°Cへ温度変化させた時の三種類の TSV のストレス分布結果について図Ⅲ.2.1.8-31 に示す。ATI TSV の Si 基板の応力は他の 2 つの構造より小さいことが分かった。図Ⅲ.2.1.8-32 に示される Path A でのストレス分布を示す(図Ⅲ.2.1.8-33)。Cu-Si 間の熱膨張率が Si-SiO<sub>2</sub>間の熱膨張率より大きいとき、ATI TSV 構造はストレスを Cu-Si 間の接触面に集中させ、Si リングの外側で緩和させることが分かった。図Ⅲ.2.1.8-32 に示される Point 1 における TSV 端での TSV 直径の違いによるストレスグラフを 34 に示す。ATI TSV は他の 2 つの構造の TSV(Regular および Annular)と比較してストレスが小さいと推測される。TSV 直径 20 $\mu$ m の時に、ATI TSV の Si 基板のストレスは、従来型の TSV に比較して 30%減少した。TSV 直径が最小値 5  $\mu$ m の時には、ATI 構造は Si 基板のストレスは 30MPa 未満で、従来型の TSV より 80%小さいことが分かった。



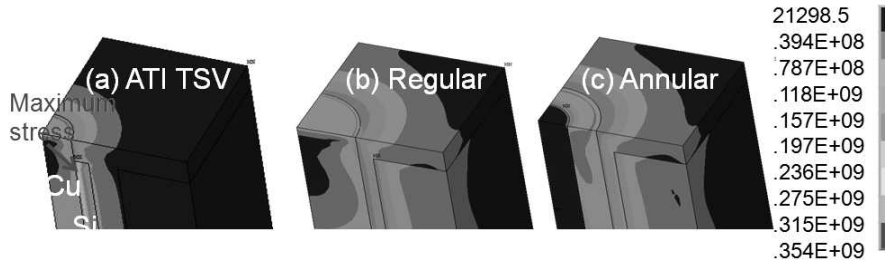
図Ⅲ.2.1.8-29 三種類 TSV の構造



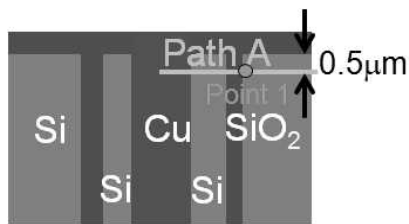
図Ⅲ.2.1.8-30 三つ TSV 構造のシミュレーションモデル

表Ⅲ. 2. 1. 8-4 解析モデル(単位:  $\mu\text{m}$ )

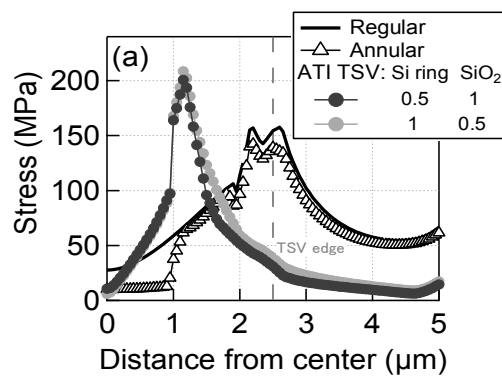
TSV type	Diameter $D$	Pitch	Height $H$	SiO <sub>2</sub> thickness	
ATI TSV	5, 10, 15, 20	twice of $D$	40	1	Si ring thickness: 0.5
Regular				0.5	
Annular					Cu thickness: 1



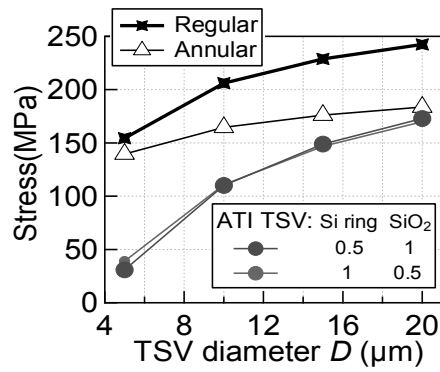
図Ⅲ. 2. 1. 8-31 25°Cから 125°Cへ温度変化させた時のストレス分布(単位: Pa)



図Ⅲ. 2. 1. 8-32 TSV 断面の Path A と Point 1 の位置

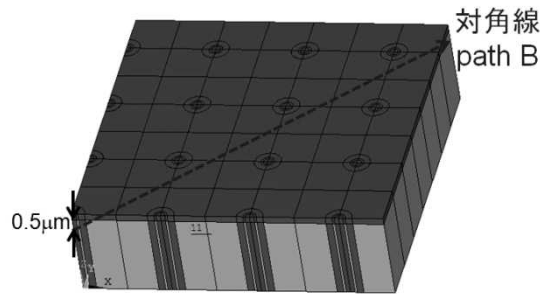


図Ⅲ. 2. 1. 8-33 Path A でのストレス分布

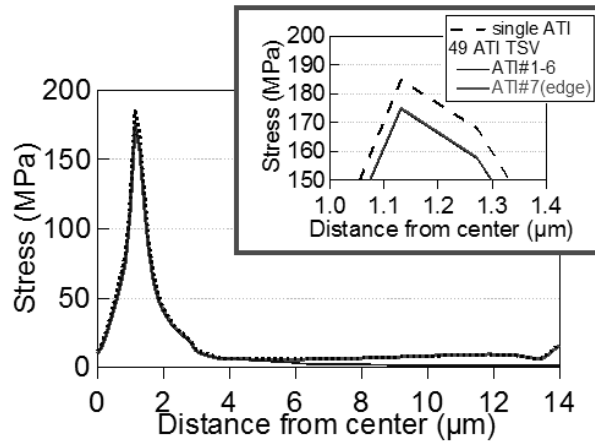


図Ⅲ. 2. 1. 8-34 Point 1 における TSV 端でのストレス

ATI TSV 相互間での熱応力影響の評価のために、図Ⅲ. 2. 1. 8-335 に示される 49 個の TSV と、1 個の TSV (6μm 径、20μm ピッチ) の解析について比較検証した。TSV 25°C から 125°C へ温度変化させた時の対角線 Path B で個々 TSV と単体 TSV ストレス分布比較結果が図Ⅲ. 2. 1. 8-36 のように示される。ATI TSV 端#7 は解析空間の端面の効果のため、ATI TSV 端#1~6 に比較して応力が大きく発生していると考えられる。また、応力値のピークも、解析空間の端面の効果により、変化している。1 の TSV 解析は 5.5% 応力が大きい。そのため、TSV の解析には、1 個の TSV の解析ではなく、解析空間の端面効果が無い TSV 配置が発生する、9 個以上の TSV の解析にて行う必要があると推測される。



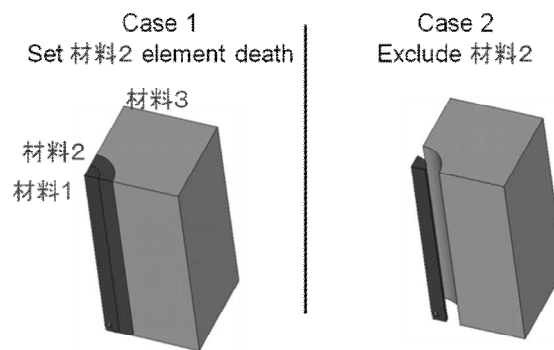
図Ⅲ. 2. 1. 8-35 49 個 (7×7) の TSV (6μm 径、20μm ピッチ) の 1/4 モデル



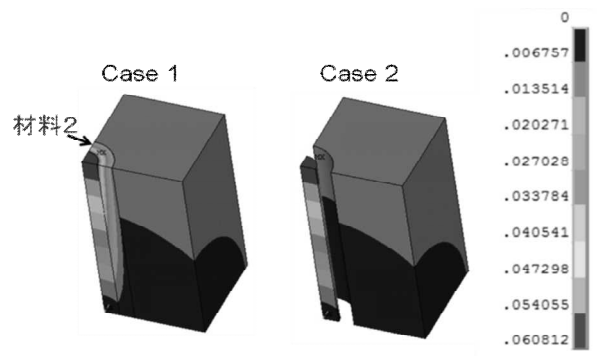
図Ⅲ. 2. 1. 8-36 TSV 25℃から 125℃へ温度変化させた時の対角線 Path B で個々ATI と単体 TSV ストレス分布比較結果

2. 1. 8. 3. 3 ATI TSV の材料とプロセス温度の決定のために、諸諸絶縁材料と金属材料の ATI-TSV プロセスフローの熱応力解析

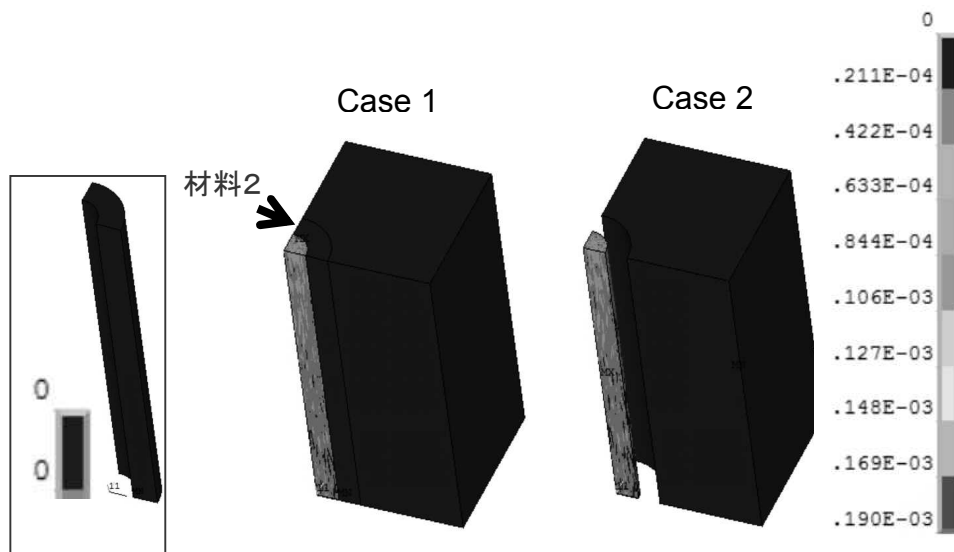
図Ⅲ. 2. 1. 8-37 に示される材料 2 が element death 機能を使用したモデルと材料 2 を削除したモデルの二つのケースについて解析を行った。TSV 25℃から 200℃へ温度変化させた時の変形とストレス分布結果を図Ⅲ. 2. 1. 8-38 と図Ⅲ. 2. 1. 8-39 に示す。材料 2 を削除した場合と、element death 機能を使用した場合の差異を比較し、変形と応力の解析結果において、2 つの解析結果の差異は無かった。図Ⅲ. 2. 1. 8-40 に示される材料 2 がある場合は、変形も応力も大きく変化することが分かった。



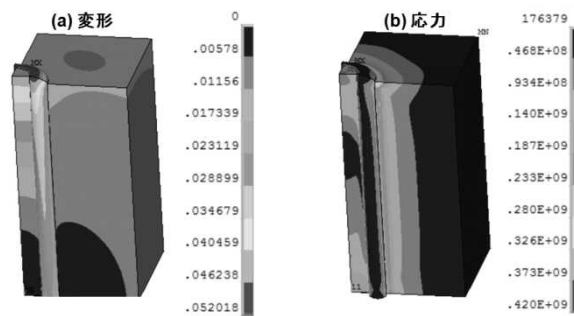
図Ⅲ. 2. 1. 8-37 element birth/death 機能検証のために二つケース解析 (材料 1: Cu, 材料 2: Insulator Ea, 材料 3: Si)



図Ⅲ. 2. 1. 8-38 TSV 25°Cから 200°Cへ温度変化させた時の変形結果(単位 : μm)



図Ⅲ. 2. 1. 8-39 TSV 25°Cから 200°Cへ温度変化させた時のストレス分布結果(単位 : Pa)

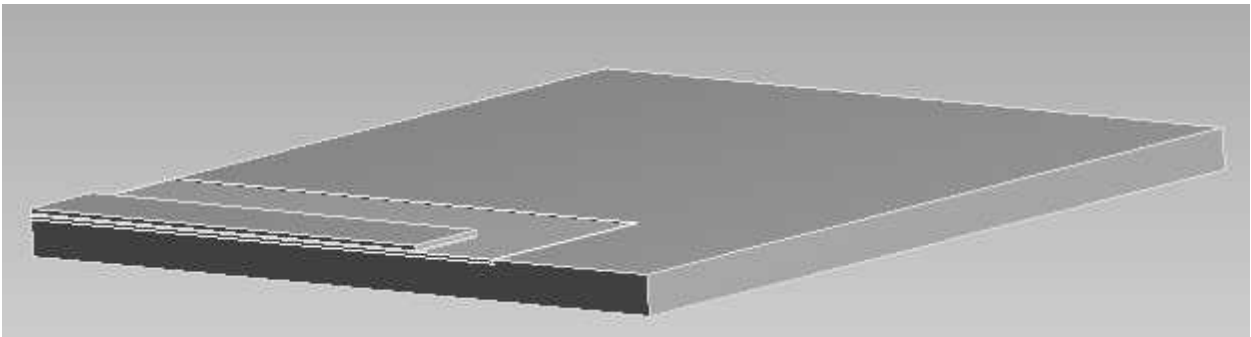


図Ⅲ. 2. 1. 8-40 材料 2 がある場合の (a) 変形(単位 : μm)と (b) 応力(単位 : Pa)

以上より、element death 機能を使用したモデルを使用することで、TSV における作製プロセスを考慮した材料とプロセス温度を決定するための解析手法について構築できることが分かった。特にこの解析手法を用いることで、ATI TSV のような複雑な形状・プロセスの構造体についての熱応力解析も可能になると考えられる。

#### 2.1.8.3.4 LSI チップ全体の熱分布から TSV の接続不良を評価する解析プロセスの開発

TSV および積層接続構造の不良解析評価に向けた応力・熱の連成評価技術の開発において、LSI チップ全体の熱分布の解析から TSV の接続不良を評価する解析プロセスを開発した。新規 TSV および微細超多ピン接続を使用した LSI 接合チップを含むモジュールの熱設計では熱膨張による TSV の力学的評価が必要となる。単純にチップサイズで FEM (有限要素法) による温度分布の解析と熱応力解析を行おうとしても、チップサイズと TSV サイズのスケール比は 1000 を超え、妥当なメッシングが行えないので精度的に使えない。解決方法として、応力集中の詳細評価のためのサブモデルによる局所解析の手法と、FRP などの複合材料の材料定数を数値的実験手法で算出する均質化法を用いることで、チップサイズと TSV サイズで一括評価可能となった。図Ⅲ. 2. 1. 8-41 に LSI 接合チップの 1/4 モデルを示す。

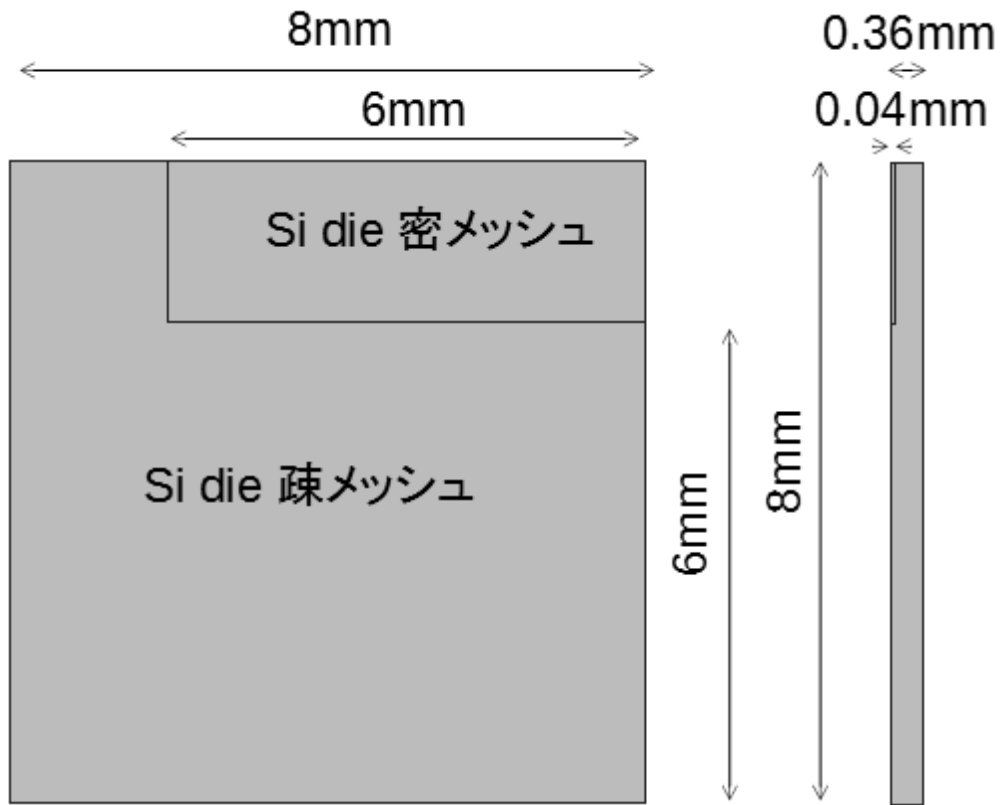


図Ⅲ. 2. 1. 8-41 LSI 接合チップの 1/4 モデル

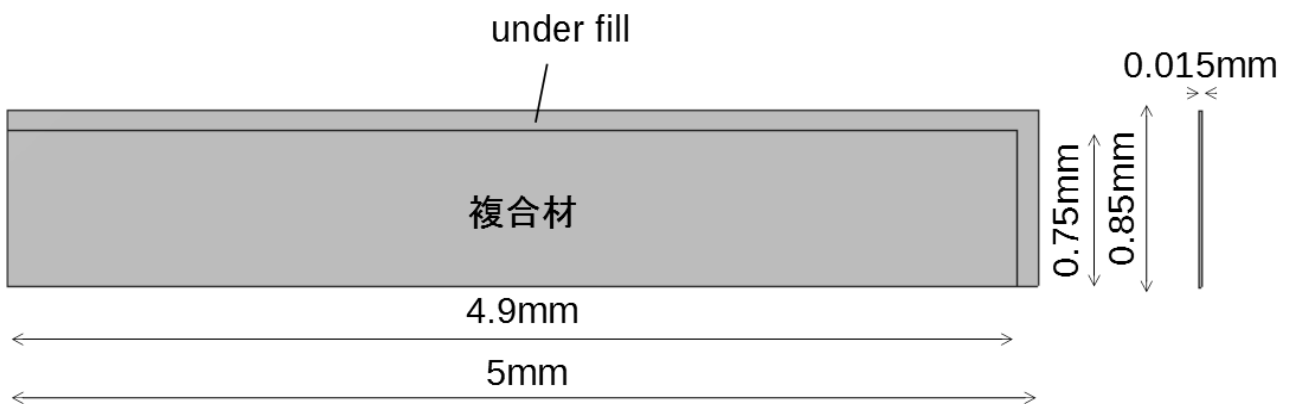


#### 2.1.8.3.4.1 LSI 接合チップ（主モデル）の概要

LSI 接合チップは TSV 等で接合した Si chip と Si die の 1/4 モデルで Si chip が発熱した際に発生する TSV の温度変化によって生じる接合境界面の歪や応力を評価するモデルである。接合部は under fill と TSV からなる複合材と under fill のみの部分で構成されている。サイズについて Si chip は  $5 \times 0.85 \times 0.05$  (単位 mm) で Si die は図Ⅲ.2.1.8-42、接合部は図Ⅲ.2.1.8-43 にサイズ概略図を示す。

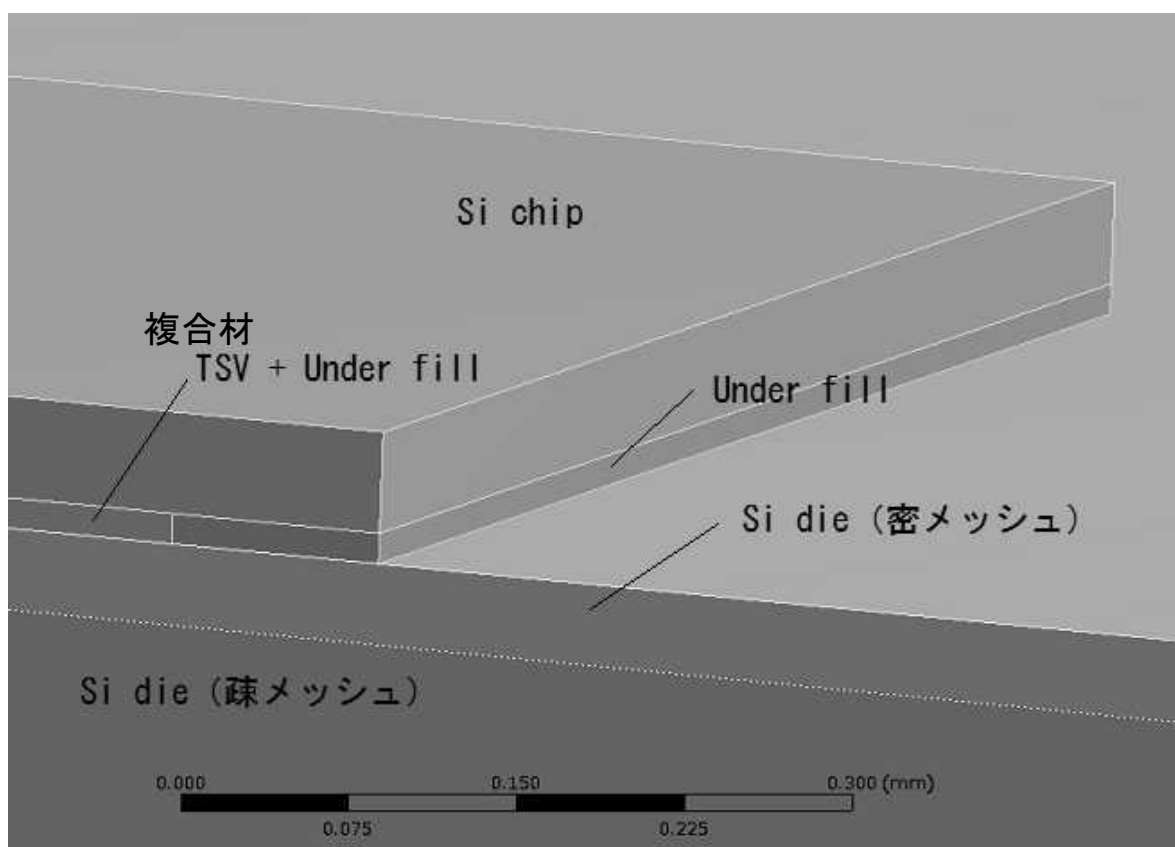


図Ⅲ.2.1.8-42 Si die のサイズ概略図



図Ⅲ.2.1.8-43 接合部（複合材と under fill のみの部分）のサイズ概略図

なおSi dieは接合部との境界面の伝熱を詳細に評価するため、メッシュを細かくさせる区分を作っている。図Ⅲ. 2. 1. 8-44にLSI 接合チップの接合部の拡大図を示す。

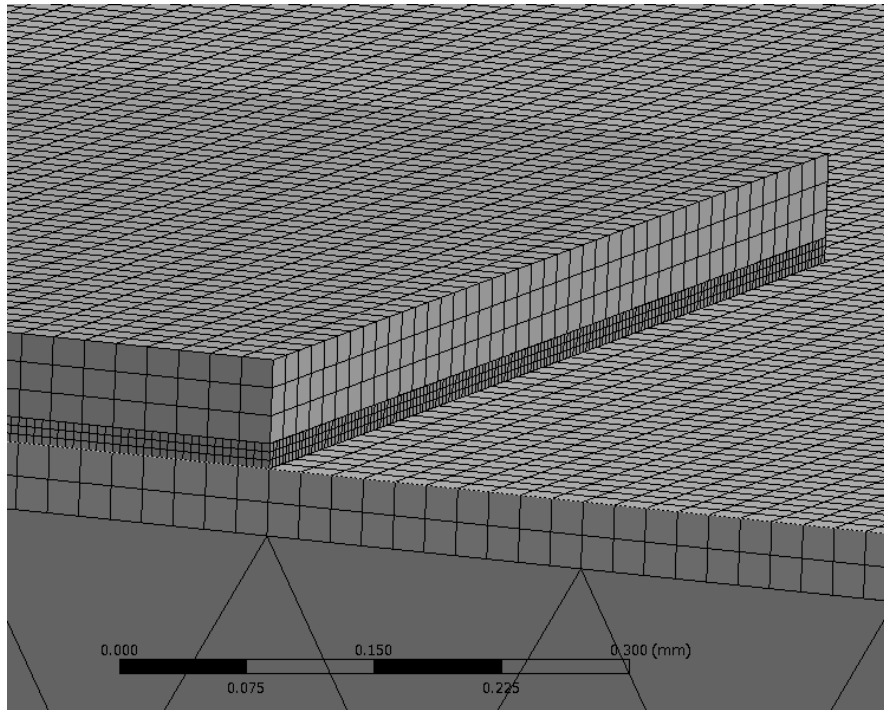


図Ⅲ. 2. 1. 8-44 LSI 接合チップの拡大図

TSVはSACバンプやCuピラー等の複数材料からなる直径 $4\mu\text{m}$ 、高さ $11\mu\text{m}$ の微小構造物で、複合材エリアに $15\mu\text{m}$ ピッチで配置しており、総数は1万6千個を超える。TSVとの境界付近を詳細評価できるサブミクロンサイズでメッシングを行うと、TSVの総体である複合材エリアの総節点数は最新式コンピュータのメモリ数百ギガバイトにデータを格納できる節点数を超えてしまうので、解析計算ができない。解決方法として複合材エリアで周期性のあるデザインを抜き出して、そこに含まれる複数の材料から新たな複合材料を作り出し、対応する材料定数を算出した。これにより複合部のメッシュサイズを大きく出来て、TSVを含むエリアをサブモデルとしてサブミクロンサイズのメッシングが可能となった。

#### 2.1.8.3.4.2 メッシングの概要

FEMの要素（メッシュ）の形状はSi die 疎メッシュは立方体2次要素、他はすべて四面体2次要素である。メッシュサイズはSi chipとSi die 密メッシュは20 $\mu\text{m}$ 、複合材料とunder fillは5 $\mu\text{m}$ 、Si die 疎メッシュは200 $\mu\text{m}$ で図Ⅲ.2.1.8-45に接合部のメッシュを示す。

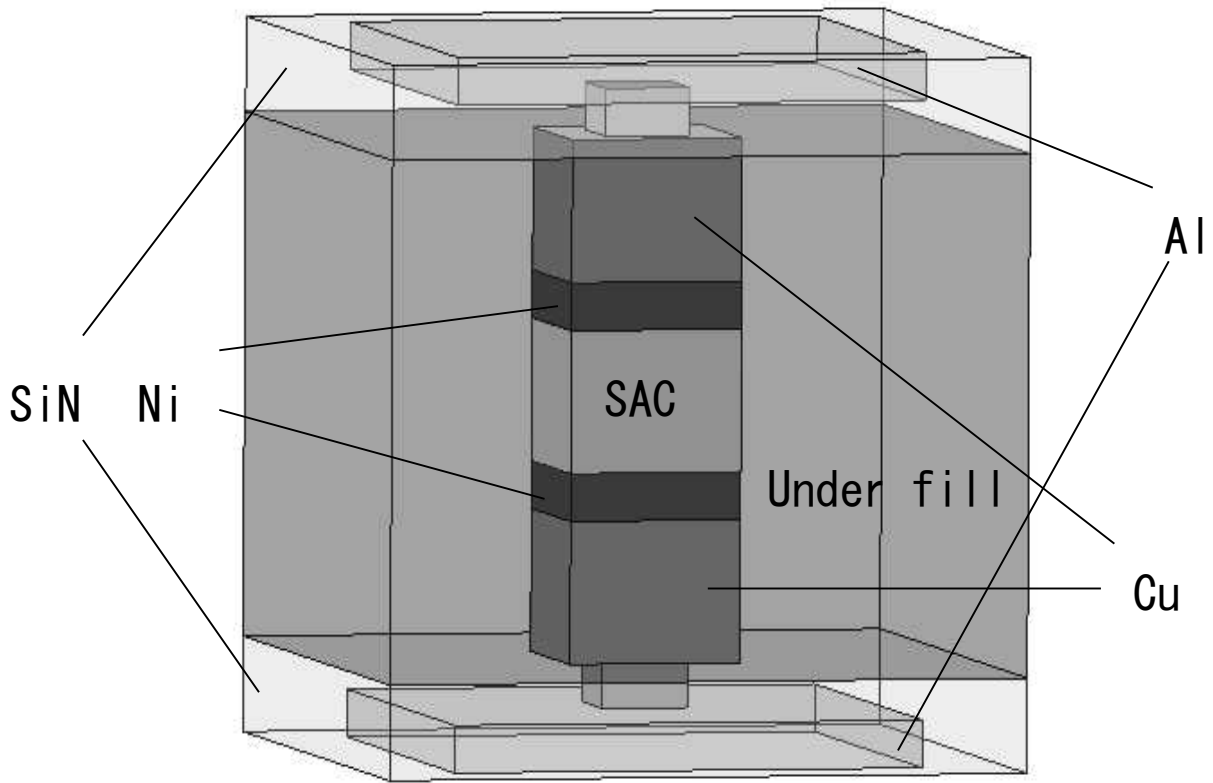


図Ⅲ.2.1.8-45 メッシュ付LSI 接合チップの拡大図

総節点数は3.12Mで総要素数は633K。サブモデルのサイズが15 x 15 x 15（単位 $\mu\text{m}$ ）なので、27個の要素で1個のサブモデルを表現している。

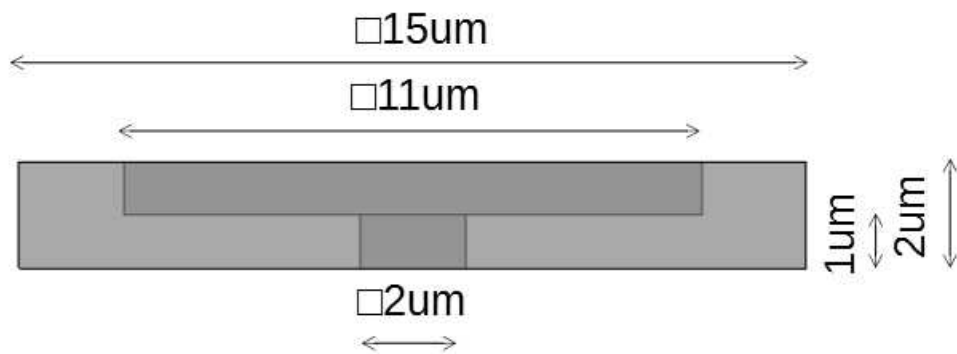
#### 2.1.8.3.4.3 サブモデルの概要

サブモデルは接合部の周期性を持つデザイン部分をまとめて新材料として材料定数を定義しなおしたものである。材料定数は例えばヤング率では構造解析ソフトウェア上で仮想的引張試験を行い算出する。図Ⅲ.2.1.8-46にサブモデルの透過図を示す。

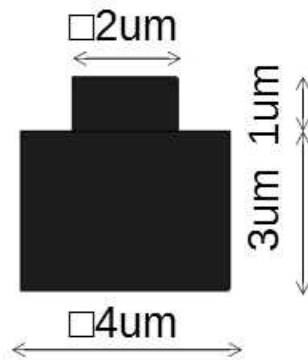


図Ⅲ. 2. 1. 8-46 サブモデル透過図

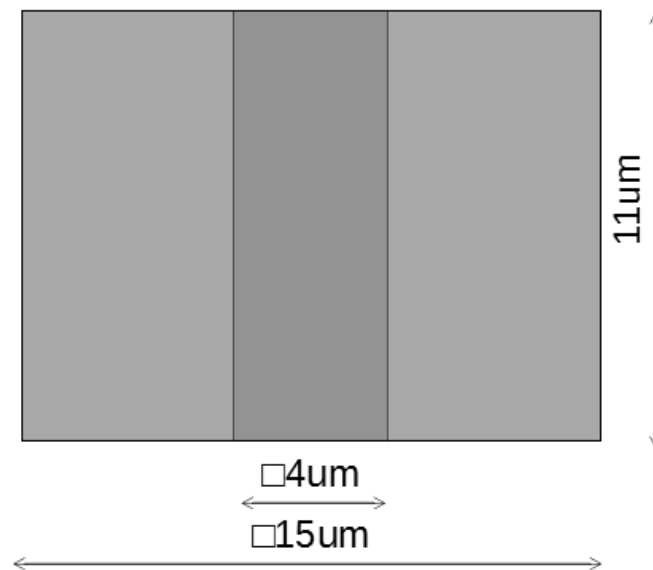
サイズについて Al は 11 x 11 x 1 (単位  $\mu\text{m}$ )、Ni は 4 x 4 x 1 (単位  $\mu\text{m}$ )、SAC (SnAgCu はんだ) は 4 x 4 x 3 (単位  $\mu\text{m}$ ) で、SiN は図Ⅲ. 2. 1. 8-47、Cu は図Ⅲ. 2. 1. 8-48、under fill は図Ⅲ. 2. 1. 8-49 にサイズ概略図を示す。



図Ⅲ. 2. 1. 8-47 SiN のサイズ概略図



図Ⅲ. 2. 1. 8-48 Cu のサイズ概略図



図Ⅲ. 2. 1. 8-49 under fill のサイズ概略図

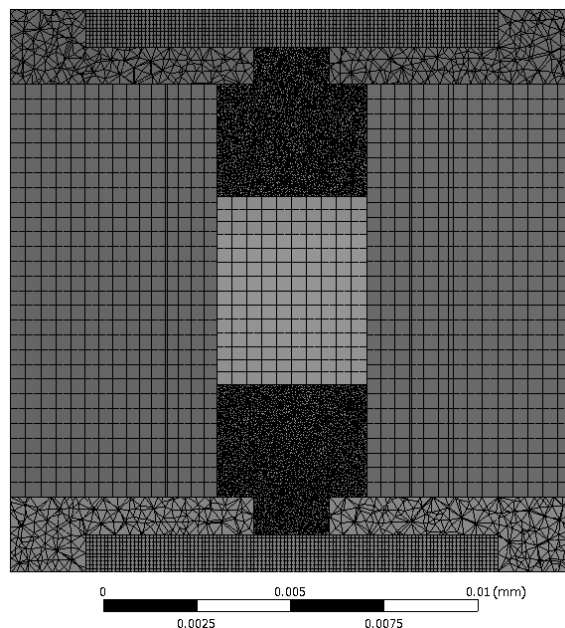
主モデルとサブモデルの計算の手順は以下の流れとなる。

- (1) 主モデルで熱分布を計算
- (2) 主モデルで熱膨張による要素毎の変位量を計算
- (3) サブモデルの境界面に主モデルで計算した変位量をインポート
- (4) サブモデルで歪や応力を計算

今回解析に使用する FEM による熱・構造解析ソフトウェア ANSYS では (1) から (4) までの計算をシームレスに行うことができる。

#### 2.1.8.3.4.4 サブモデルのメッシングの概要

メッシュ形状はCuとSiNは四面体2次要素、他はすべて立方体2次要素である。メッシュサイズはAlとCuは0.1 $\mu$ m、他はすべて0.4 $\mu$ mで図Ⅲ.2.1.8-50にサブモデルのメッシュ付き断面図を示す。

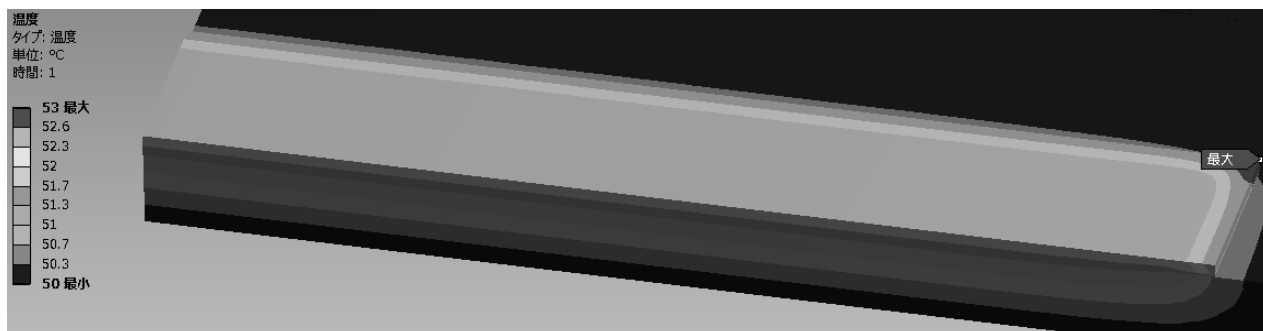


図Ⅲ.2.1.8-50 メッシュ付サブモデル断面図

総節点数は2.73Mで総要素数は1.31Mとなる。

#### 2.1.8.3.4.5 主モデルの境界条件の設定と解析結果

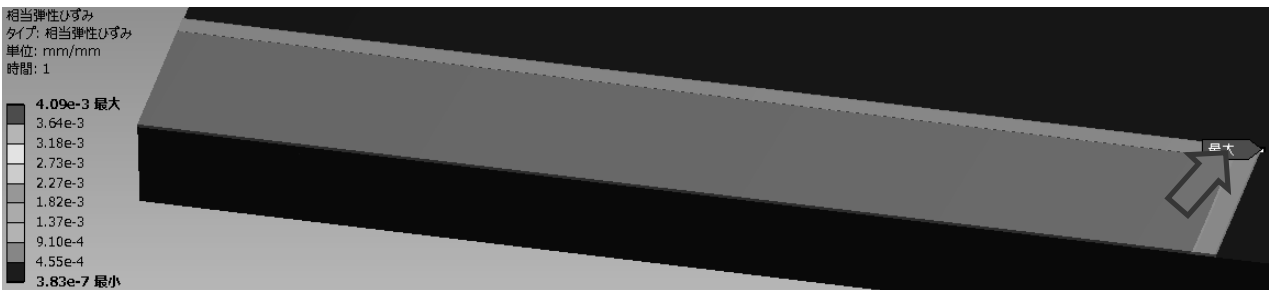
今回、Si chip表面に熱流量2Wと自然対流（Air 雰囲気25° C）による放熱が発生し、Si die底面は冷却によって50° Cに保たれている条件で定常状態の伝熱解析と熱応力解析を行った。熱応力解析の結果、温度コンター図は図Ⅲ.2.1.8-51、相当弾性歪のコンター図は図Ⅲ.2.1.8-52、相当弾性歪のSi chip非表示状態のコンター図を図Ⅲ.2.1.8-53に示す。モデルの温度差は3° C。接合部の相当弾性歪の最大値は0.409%でSi chipやSi dieの相当弾性歪は0.05%未満だと読み取れる。



図Ⅲ.2.1.8-51 LSI 接合チップの温度コンター図

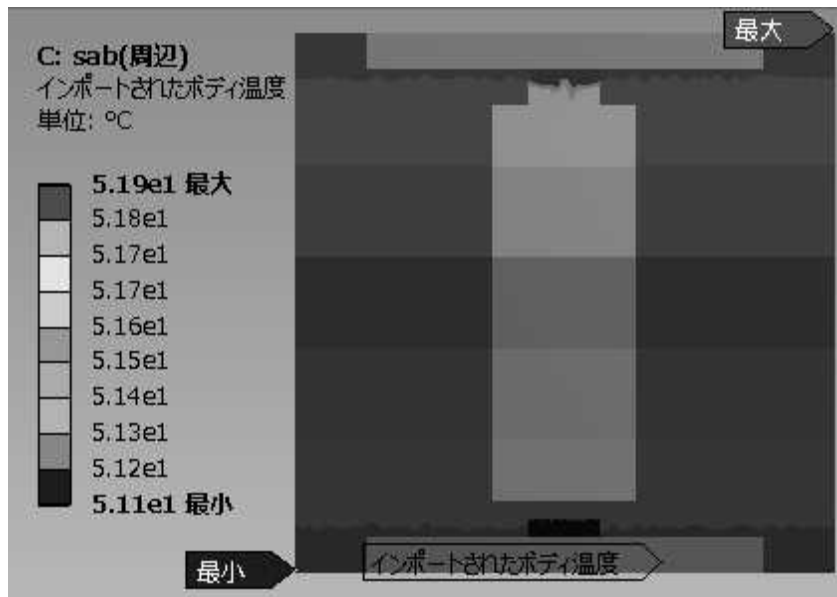


図Ⅲ. 2. 1. 8-52 LSI 接合チップの相当弾性歪コンター図



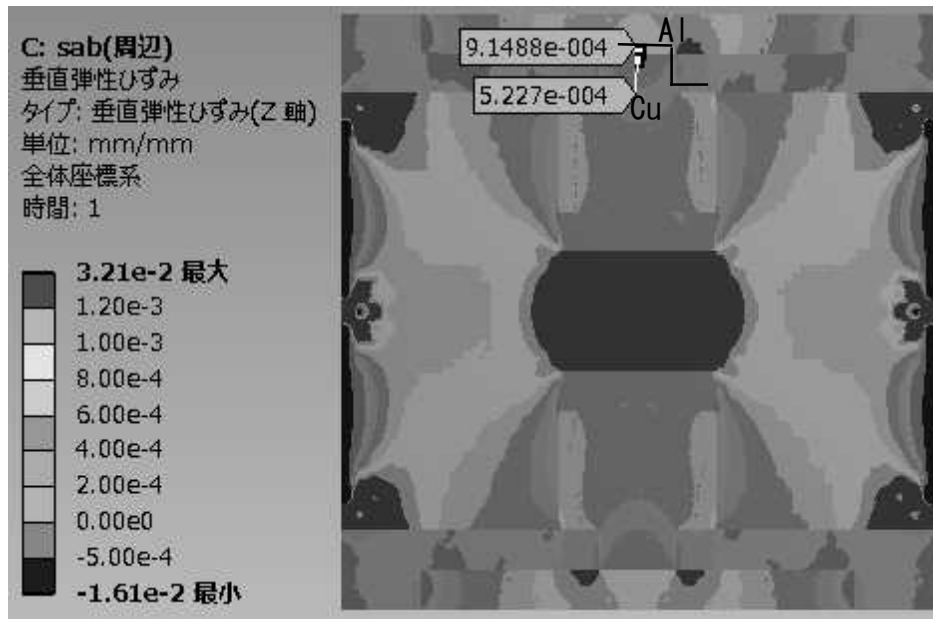
図Ⅲ. 2. 1. 8-53 LSI 接合チップの相当弾性歪コンター図 (Si chip 非表示)

今回行ったサブモデル解析は温度が高く相当弾性歪も大きい図Ⅲ. 2. 1. 8-53 の赤矢印の位置に当たる複合材のエリアで、図Ⅲ. 2. 1. 8-54 に示すように上面下面の温度差は  $0.8^{\circ}\text{C}$  となる。



図Ⅲ. 2. 1. 8-54 サブモデル断面の温度コンター図

サブモデルの構造解析の結果として、図Ⅲ. 2. 1. 8-55 にサブモデルの Y 方向の中点を結んだ ZX 断面の Z 軸垂直弾性歪のコンター図を示す。



図Ⅲ. 2. 1. 8-55 サブモデル断面の Z 軸垂直弾性歪のコンター図

Cu と Al 界面の Z 軸方向の歪の評価で TSV とパッドの接続評価が可能となる。図Ⅲ. 2. 1. 8-45 より、上部 Cu / Al 界面の Cu 側の歪は約 0.05%、Al 側は約 0.09%と差が微小なので熱応力による TSV とパッドの接続への影響は小さいと考えることが出来る。以上よりミリスケールのチップの伝熱解析からマイクロスケールの接合部の熱膨張による構造解析が可能となった。

#### 2. 1. 8. 3. 4 製品 TEG のための設計指針

三次元実装構造において重要な TSV および TSV・バンプの接続不良の熱応力解析評価環境を構築した。これにより、車載センシングデバイスの製品 TEG の設計に向けて、印刷 TSV や微細バンプの材料・プロセス選定に向けて大きく貢献できるという指針が得られた。

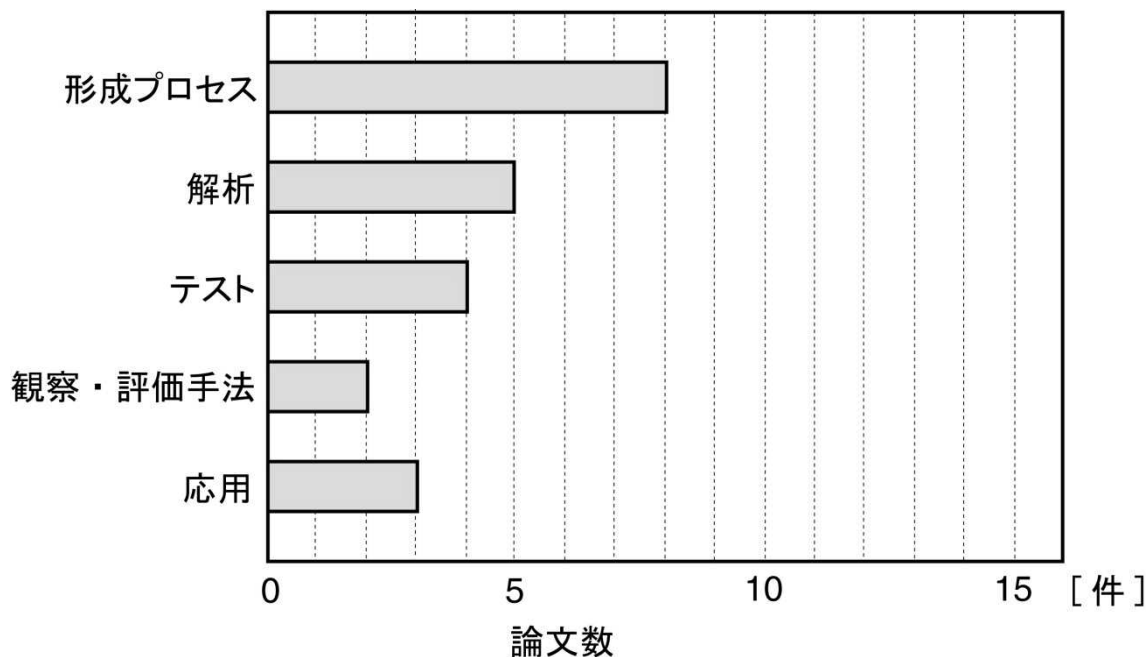


## 2.1.9 センシングデバイス、三次元積層技術に関する動向調査 (①-9)

主担当：国立研究開発法人産業技術総合研究所、ラピスセミコンダクタ株式会社、株式会社デンソー

### 2.1.9.1 技術動向調査

2014年度は、IEEE International 3D Systems InTEGration Conference (3DIC) (開催場所: Actons Hotel, Kinsale, Ireland、開催日: 2014/12/1~12/3、主催: IEEE)に参加し、主に TSV 技術に関する技術動向調査を行った。TSV に関する講演では、次の5項目が取り上げられていた。



図Ⅲ. 2.1.9-1 3DIC2014におけるTSV技術の発表項目件数

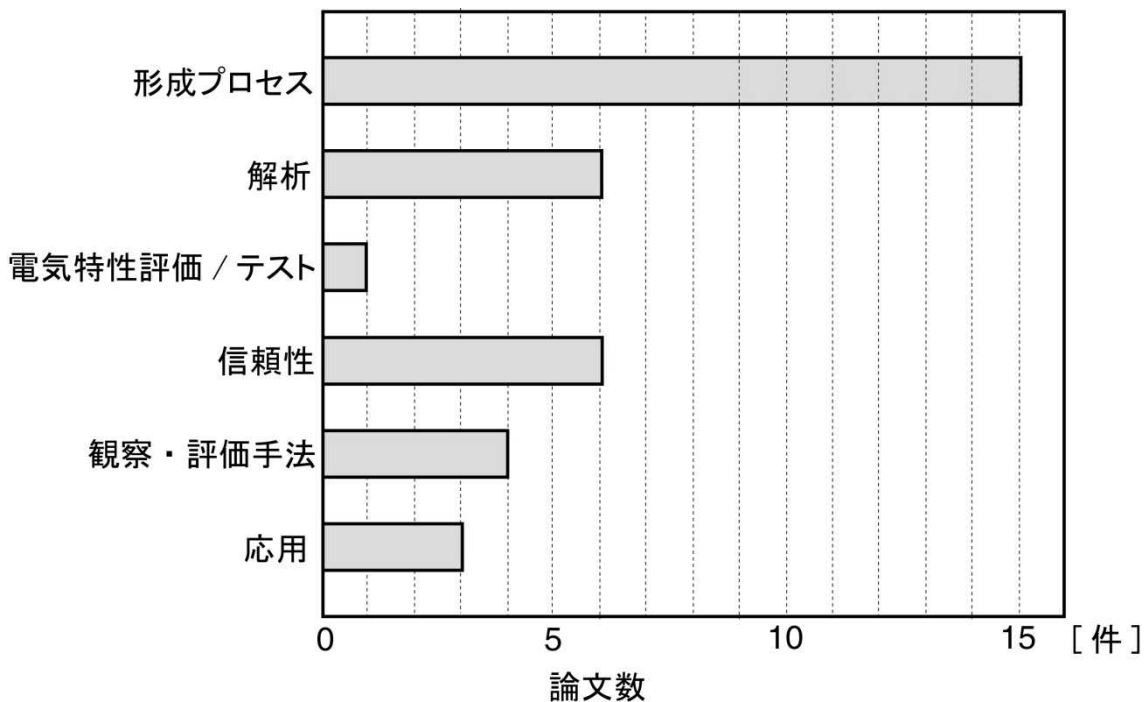
- TSVの形成プロセスとして、TSV露出技術、TSVバリア・シード膜形成技術、TSV絶縁膜技術、TSV部のSiエッチング技術など、多岐にわたって報告された。その中で注目すべき点は、TSVのバリア・シード膜形成について、無電解めっきで行う試みが3件報告されたことである。これは、現状のイオナイズドスパッタリング法ではバリア・シード膜の段差被覆性が不十分であり、次世代の微細TSV向けには、更なる段差被覆性が求められるためである。
- TSVの解析として、TSVで発生する熱/応力だけでなく、TSV周辺の基板コンタクト (TSV周辺の電位)の影響など解析されている。
- TSVのテストとして、(a) 内蔵電流検知回路を利用してTSV部分の抵抗性open不良と容量性open不良を検出する手法、(b) TSVチェーンに対してタイムドメインや周波数ドメインでの電気特性評価を行うことで、open不良やshort不良を検出する手法、などが報告された。
- TSVの観察・評価手法として、マイクロXRDが提案され、直径2~20 μmのTSV周辺で発生する応力の測定結果が示された。

- ・ TSV の応用回路として、HgCdTe FPA チップと CMOS 信号処理回路チップを積層したセンサ、3D FPGA などが紹介された。

(考察)

論文数の多さから、現状の TSV の形成プロセスにはまだ多くの課題があることがうかがえる。特に、TSV バリア・シード膜形成については、現状のイオナイズドスパッタリング法では段差被覆性が十分でない。今回報告された無電解めっき法により、バリア・シード膜の段差被覆性が改善し、それが TSV の信頼性向上につながる可能性はあるので、その動向を引き続き見ておく必要がある。

2015 年度は、IEEE Electronic Components and Technology Conference (ECTC) (開催場所: Sheraton San Diego Hotel & Marina, San Diego, U.S.A.、開催日: 2015/5/27~5/29、主催: IEEE CPMT Society、参加者: 1523 人)に参加し、主に TSV 技術に関する技術動向調査を行った。TSV に関する講演では、次の 6 項目が取り上げられていた。



図Ⅲ. 2. 1. 9-2 ECTC2015 における TSV 技術の発表項目件数

- ・ TSV の形成プロセス関連の論文数は 16 件と多く、その内容は、TSV 露出技術、TSV バリア・シード膜形成技術、TSV 絶縁膜技術、TSV 金属充填技術、TSV 部の Si エッチング技術など、多岐にわたっていた。この中で、注目すべき点は以下の 3 点である。1 点目は、TSV 金属充填技術として、

Cu 電解めっき以外の手法が提案されたことである。スーパーインクジェット技術で銀インクを充填、Injection Molded Soldering (IMS)技術で、熔融半田を充填している。これは、従来のCu電解めっきでは、TSVサイズにもよるが、充填に要する時間が長いためと考えられる。2点目は、低い熱膨張係数のCuを電解めっきする技術である。通常、Siの熱膨張係数(2.6 ppm/K)とCu(16.7 ppm/K)の差によって、温度サイクルが加わったときに、TSV周辺部に大きな熱応力が発生し、Cuの剥離・浮き上がり(ポップアップ)が起こり、信頼性を大きく低下させる。この論文では、特殊な添加剤の導入により、Cuの熱膨張係数を低減させることができるので、Cu-TSVの信頼性を向上させる可能性がある。3点目は、TSVのバリア・シード膜形成について、無電解めっきで行う試みが3件報告されたことである。これは昨年の国際学会3D-ICでも見られた傾向である。

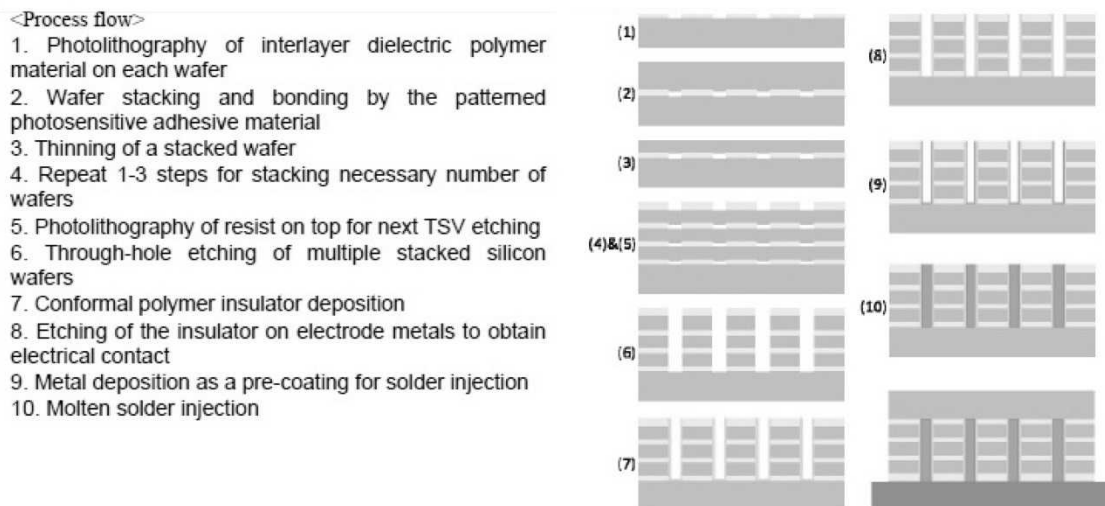
- TSVの解析として、TSVで発生する熱/応力だけでなく、TSVから能動素子へのノイズなど解析されている。
- TSVの電気特性評価として、TSVからnMOSFET/nFinFETに伝搬するノイズの実測結果が示された。
- 信頼性にかかわるTSV周囲のストレスなどについて報告がされるとともに、TSVを含むパッケージでの信頼性試験結果が報告された。
- TSVの観察・評価手法として、Ghz音響顕微鏡法でのTSV金属の未充填不良の観察結果、白色干渉法でのCu CMP後のTSV表面段差の測定結果、マイクロXRDでのHybrid Memory Cube(HMC)のTSV周囲で発生する応力分布の測定結果、などが示された。
- TSVの応用回路として、TSVインダクタなどの高周波回路向けの素子、MEMS共振器などが紹介された。

#### (考察)

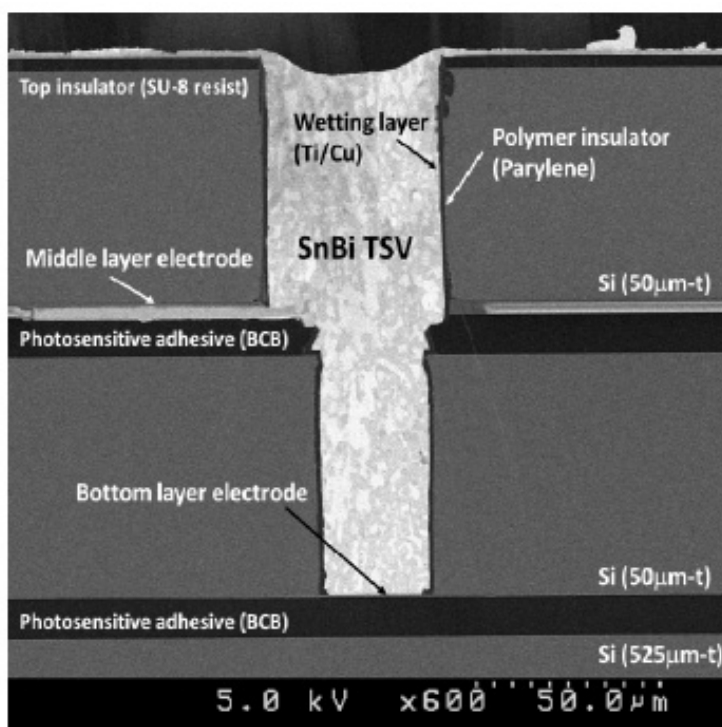
最も注目すべきは、Cu電解めっき以外の手法でのTSV金属充填方法が提案されたことである。特に、IMS技術で、熔融半田をTSVに充填する手法は、本プロジェクトの印刷TSV技術とよく似ており、今後の開発動向を追跡する必要がある。ただ、IMS技術で適用されているTSVサイズは現段階では数十 $\mu\text{m}$ であり、印刷TSV技術で対象とするTSVサイズ(6 $\mu\text{m}$ 以下)よりかなり大きい。それゆえ、微細なTSVに特化して技術開発を進めてゆけば、印刷TSV技術の優位性を確保できる可能性がある。

(参考資料: Injection Molded Soldering 技術の論文)

A. Horibe et al.: “Through Silicon Via Process for Effective Multi-Wafer InTEGration”



図Ⅲ. 2. 1. 9-3 IMS 技術によるプロセスフロー

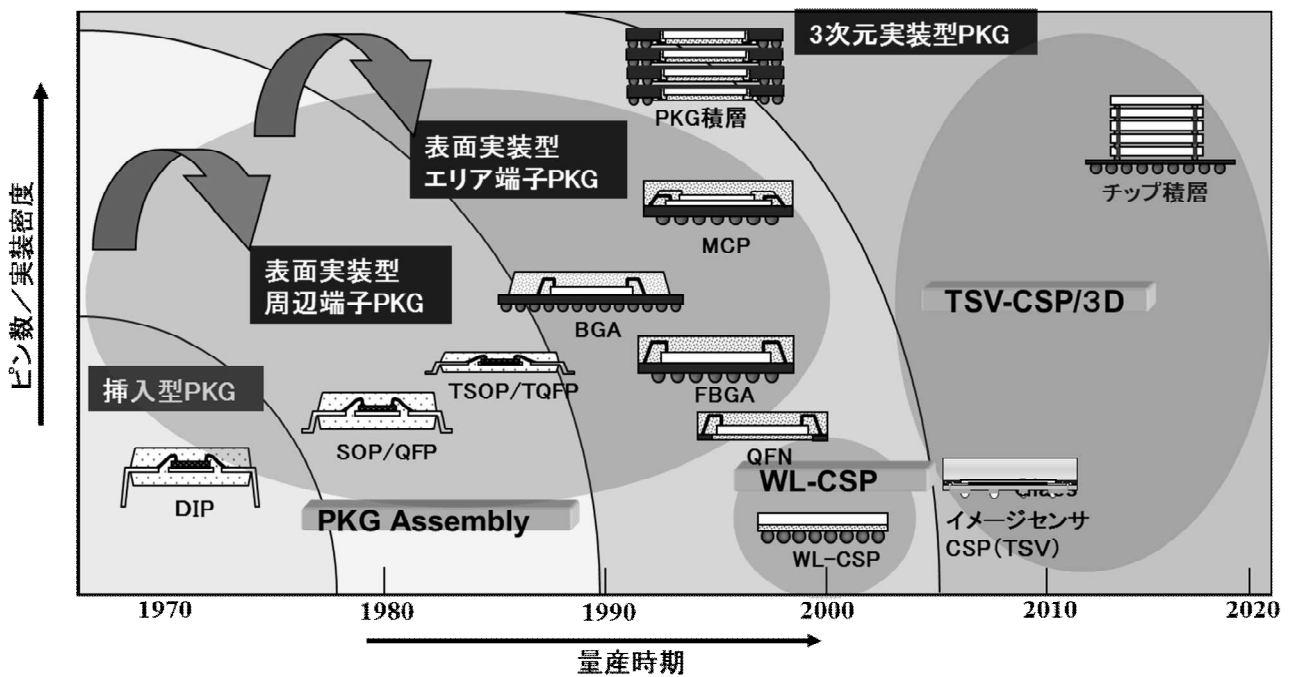


図Ⅲ. 2. 1. 9-4 IMS 技術で金属充填した TSV の断面 SEM 像

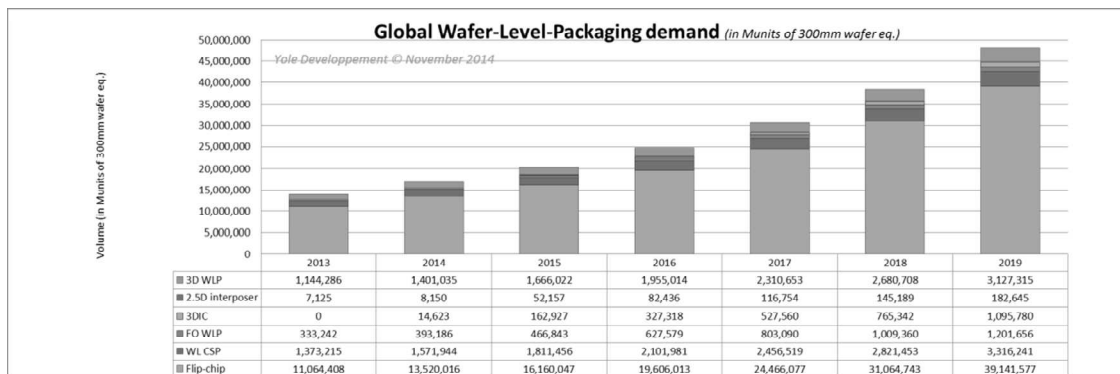
## 2.1.9.2 市場動向の調査

市場動向調査において半導体パッケージの切り口で調査を実施した。一般に半導体パッケージの傾向は高機能化、小型化の流れで開発され、昨今ではウェハレベルの配線加工を施したウェハレベルCSP(WL-CSP)の技術の展開でTSVを施した3Dパッケージが量産化されてきている。(図Ⅲ.2.1.9-5)3Dのベースとなるウェハレベルで加工するパッケージの需要は年々増加傾向であり、増加率は年23%となっている。(図Ⅲ.2.1.9-6)その中でもTSV加工を施す3Dおよび2.5Dパッケージの増加率は年25%となっており、今後のパッケージ需要を

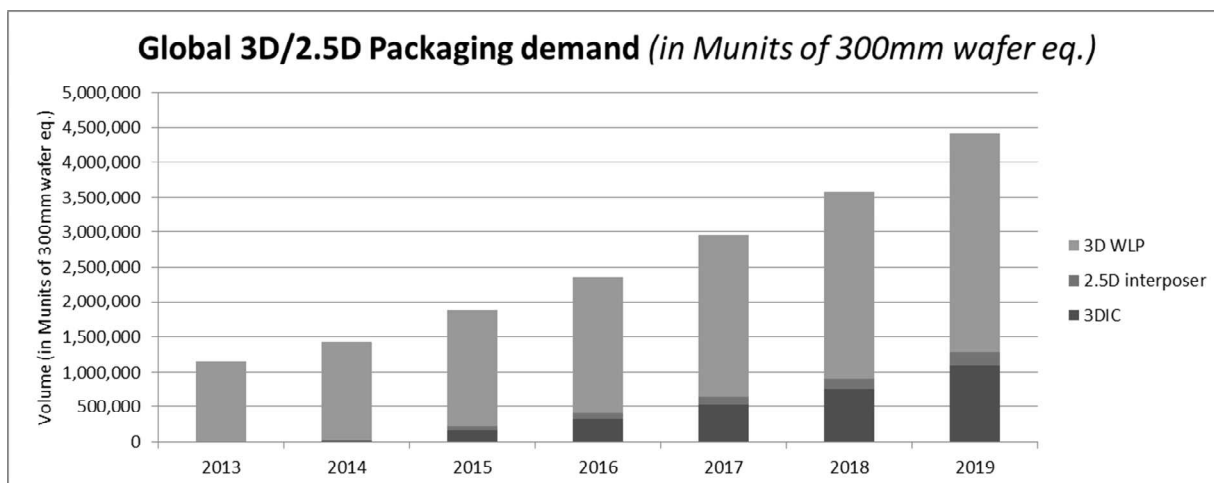
牽引するパッケージである。(図Ⅲ.2.1.9-7)今回の研究のターゲットとなるカテゴリである3D ICは2014年から立ち上がり、最も急拡大をしていくパッケージである。(図Ⅲ.2.1.9-6)



図Ⅲ.2.1.9-5 パッケージロードマップ



図Ⅲ.2.1.9-6 ウェハレベルパッケージ需要



図Ⅲ.2.1.9-7 3D/2.5Dパッケージ需要

#### 2.1.10 測距センサモジュールの開発 (①-助成)

担当：株式会社デンソー

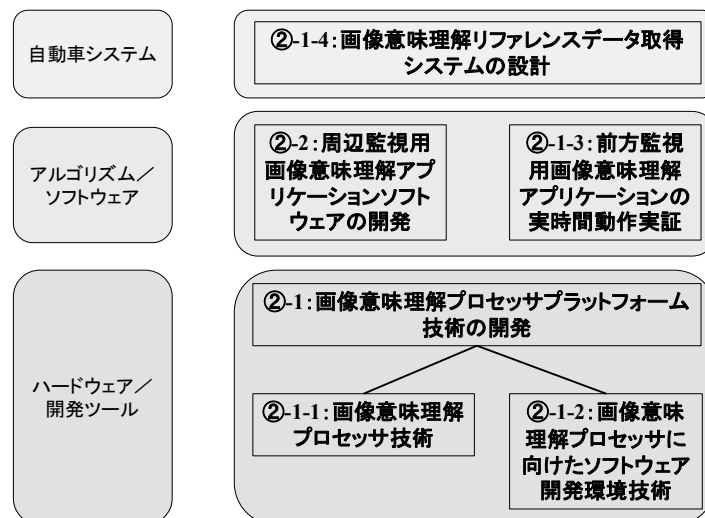
測距センサの原理は、レーザダイオード(LD)から出射されたパルス光が物体に当たって戻ってきた光をフォトダイオードで受光し、出射から受光までの時間を計測する。本開発では、委託事業で開発した受光ICを、高出力LD、その光を広範囲に均一に広げるスキャナ機構、発光光学系、戻ってきた光を効率良く受光するための受光光学系、LDと受光チップの同期制御を行うマイコンボード等から成る測距センサモジュールに組み込み、測距センサの成立性検証を行う。

## 2.2 研究開発項目② 障害物検知・危険認識アプリケーションプロセッサの開発

### 2.2.1 障害物検・危険認識アプリケーションプロセッサの開発

担当：ルネサスエレクトロニクス株式会社

図Ⅲ.2.2.1-1に「障害物検知・危険認識アプリケーションプロセッサの開発」の各研究開発項目の関係を示す。「障害物検知・危険認識アプリケーションプロセッサの開発」は将来の各種センサを装着した自動車システムを想定し、本事業で開発するハードウェア技術／開発ツール技術に基づき、本事業で開発するアルゴリズム技術／ソフトウェア技術を実装検討する。本事業では、電装品サプライヤと半導体デバイスメーカーが共同提案者として異業種の垂直連携体制を構築する。これにより、デバイス、アルゴリズム、システム利用方法のそれぞれの要求仕様や特性、さらには性能限界などを共有することが可能となり、世界トップの画像意味理解プロセッサプラットフォームならびにアプリケーションソフトウェアの開発が可能となる。自動車システムは「画像意味理解リファレンスデータ取得システムの設計(②1-4)」で実施し、ハードウェア技術やソフトウェア技術の実証のためのリファレンスデータ取得システムを開発し、精度改善策をまとめる。ハードウェア技術／開発ツール技術は「画像意味理解プロセッサプラットフォーム技術の開発(②-1)」で実施し、ハードウェア技術である「画像意味理解プロセッサ技術(②-1-1)」で電力性能比に優れたプロセッサ技術を開発し、開発ツール技術である「画像意味理解プロセッサに向けたソフトウェア開発環境技術(②-1-2)」でプロセッサを効率良く動かすためのAC-FW対応ランタイムマネージャ技術とOpenVXを含むAPIライブラリ技術を開発する。そして、アルゴリズム技術／ソフトウェア技術は「周辺監視用画像意味理解アプリケーションソフトウェアの開発(②-2)」と「前方監視用画像意味理解アプリケーションの実時間動作実証(②-1-3)」で実施し、前者では周辺監視用のソフトウェア技術の開発とアプリケーション性能評価を行い、後者では前方監視用の処理を想定してアプリケーション性能評価を行い、開発技術の有効性を実証する。



図Ⅲ.2.2.1-1 障害物検知・危険認識アプリケーションプロセッサの開発の各研究開発項目の関係

### 2.2.1.1 画像意味理解プロセッサ技術の開発

プロセッサによる処理は「命令を届ける」、「データを届ける」そして「データを演算する」の3つの作業に大きく分けられる。各作業に向けた回路を、画像意味理解処理が有する特徴にそれぞれ特化し設計を行うことによって、専用設計に匹敵する優れた電力性能比とメモリスループットが得られると考える。

まず、電力性能比(1000GOPS/W以上)と96 GByte/sのメモリスループットを目標にして、「用意周到型アーキテクチャ」のプロセッサの命令セットアーキテクチャを設計した。

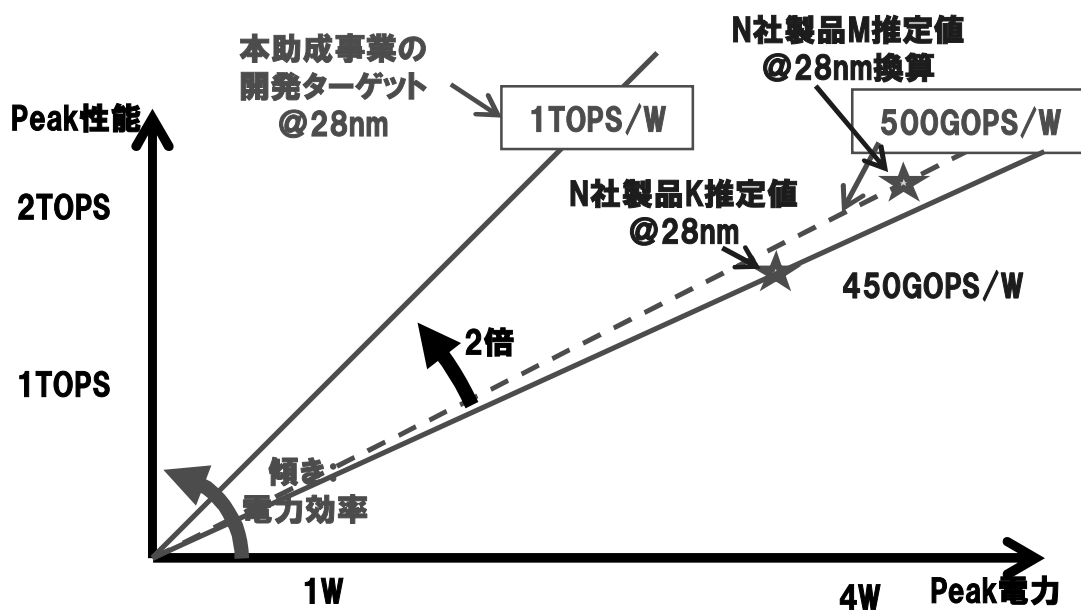
次に、プロセッサの詳細設計を実施した。開発した命令セットアーキテクチャの具現化を進め、「命令を届ける」、「データを届ける」「データを演算する」の各種機能を実現するRTL(Register Transfer Level)設計を行った。RTL記述に対しては、検証項目を抽出するとともに、各項目に対して、動作確認用入力データ(検証パターン)を作成し、妥当性の検証を行った。

そして、画像意味理解プロセッサ技術の評価用チップとして、開発TAT(Turn Around Time)が短くアーキテクチャ実証に適したFPGA(Field Programmable Gate Array)を選定し、実装を進めた。

さらに、画像意味理解プロセッサ技術を実装したFPGAを含む評価システムを用いて、前方監視用と周辺監視用の画像意味理解アプリケーションソフトウェアの性能評価を実施中である。

本開発で目標としている1000GOPS/W以上の電力性能比に対しては、その到達度を評価すべく、電力見積りを実施した。その結果、1000GOPS/W以上の見積り値であり、目標性能を達成する見込みである。メモリスループットの見積り値も96GByte/s以上であり、目標性能を達成する見込みである。

図Ⅲ.2.2.1-2に電力性能比のベンチマーク結果を示す。本事業により得られた電力性能比は高い電力性能比を誇る競合他社製品に対して、同一プロセス換算で2倍以上を達成見込みで、他社を凌駕する製品競争力を獲得見込みであり、早期の実用化、事業化が望まれる。



図Ⅲ.2.2.1-2 電力性能比のベンチマーク結果



## 2.2.1.2 画像意味理解プロセッサ用ソフトウェア開発環境の開発

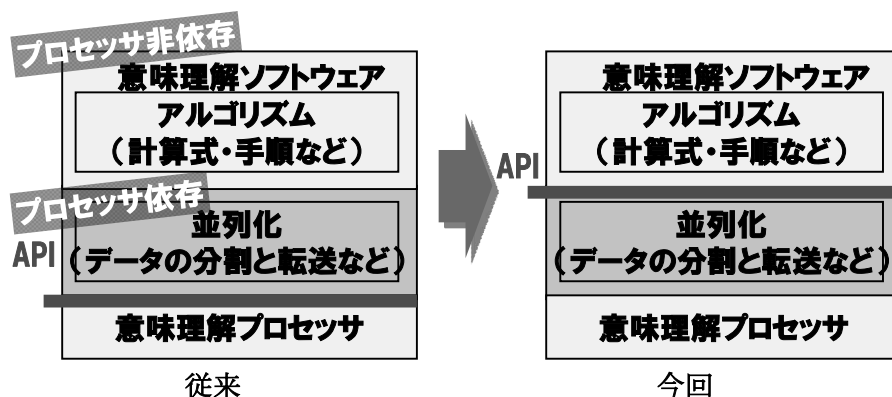
### 1) 画像意味理解プロセッサ向けプログラミングフレームワーク AC-FW の開発

用意周到型アーキテクチャに基づくメニーコアのピーク性能を、メニーコア利用熟練者でない画像意味理解処理アルゴリズム開発者であっても、容易に引き出せるプログラミングフレームワーク (AC-FW: Automated Chaining Framework) について、フレームワークを構成するツール群として、アセンブラ、逆アセンブラ、リンカ、シミュレータの開発を実施した。そして、画像意味理解プロセッサに向けた AC-FW 対応ランタイムマネージャの開発を完了見込みである。

また、標準化団体 Khronos にて進められている CV (Computer Vision) の業界標準開発環境 OpenVX 策定活動へ参画し、当社が提案した本開発フレームワークの一部仕様の OpenVX 正式版仕様への採用を働きかけ、OpenVX 1.0 Tiling Extension の暫定第 2 版としてのリリースの合意を取り付けた。

本規格では、従来に対して、API の階層を引き上げてハードウェア依存を無くすとともに、競合他社規格の標準化の動きに対抗し、当社製品の性能を引き出す有利な仕様の採択を実現した。

図Ⅲ. 2. 2. 1-3 と図Ⅲ. 2. 2. 1-4 に OpenVX の API の階層と標準化に向けた取り組みをそれぞれ示す。



図Ⅲ. 2. 2. 1-3 OpenVX の API の階層

#### ◆標準化に向けた取り組み

平成25年度9月24日 OpenVX 1.0 Tiling Extensionリリース、平成26年度1月 改版  
Khronos web(<https://www.khronos.org/registry/vx/>)掲載

- ADAS分野のイニシアチブをとるために、画像認識SW標準の仕様策定に積極的に参加
  - 業界標準化団体The Khronos GroupのOpenVX API規格
  - NVIDIA、Intel、Qualcomm、Samsung、TIなど主要半導体企業がメンバ
- RELに有利な仕様を提案し、導入可決された
  - ユーザが独自処理を追加できる枠組み
    - “User Kernel”
  - ローカルメモリを持つプロセッサに有利な枠組み
    - “User Kernel Tiling Extension”

～主なスケジュール～

2012.Jan.	OpenVX WG活動開始 RELも当初より参画
2012.Mar.	REL仕様を提案開始
2013.Sep.	REL提案仕様が可決
2013.Sep.	OpenVX 1.0 Tiling Extension 暫定版仕様公開
2014.Oct.	OpenVX 1.0正式版 仕様公開
2015.Jan.	OpenVX 1.0 Tiling Extension 暫定版仕様updated
2015.Jun.	OpenVX 1.0.1公開

図Ⅲ. 2. 2. 1-4 OpenVX の標準化に向けた取り組み

## 2) 画像意味理解 API ライブラリの開発

Khronos にて進められている OpenVX 策定活動で基本処理関数として定義されつつあった API(Application Program Interface)の正式版リリースに備えて CV 関連関数ライブラリの開発を開始し、Khronos から 2014 年 10 月にリリースされた OpenVX 正式版仕様に従い、基本処理関数として定義された API ライブラリの開発を完了した。

### 2.2.1.3 前方監視用画像意味理解アプリケーションソフトウェアの実時間動作実証

本研究開発項目 2.2.1.3 と次の 2.2.1.4 は、上述の画像意味理解プロセッサプラットフォーム技術の有効性評価のための活動である。前者では、前方監視用アプリケーションソフトウェアによるプロセッサプラットフォーム技術の有効性を評価し、後者では、自動車システムにおける有効性評価用リファレンスデータの取得準備を実施した。

前者は、以下のステップで画像意味理解プロセッサプラットフォーム技術の有効性評価を進めている。

まず、前方監視用画像意味理解アプリケーションを用意周到型アーキテクチャで実現するための演算の見積もりとメモリアクセスパタンの分析を行った。同分析に基づき用意周到型アーキテクチャに求められる演算性能および転送性能の要件抽出を行い、本要件を満たすための演算アレイ回路とメモリアクセス制御機構の実現案を作成した。

次に、検討した前方監視用画像意味理解アプリケーションの演算処理およびメモリアクセスパターンを解析した。解析結果に基づき、画像意味理解プロセッサの HW 設計と FPGA 実装を実施した。また、上記前方監視用画像意味理解アプリケーションで必要となる API を定義し、画像意味理解拡張 API ライブラリとして開発した。

そして、画像意味理解プロセッサにおける前方監視用画像意味理解アプリケーションの性能評価を進め、目標であるシステム要求性能(実時間)動作を検証する見込みである。

開発した画像意味理解プロセッサプラットフォーム技術は、実アプリケーションで高い性能を実現する見込みである。

図Ⅲ.2.2.1-5 に画像意味理解プロセッサ技術を実装した FPGA 搭載ボードを用いた評価環境を示す。



図Ⅲ.2.2.1-5 画像意味理解プロセッサ技術を実装した FPGA 搭載ボードを用いた評価環境

#### 2.2.1.4 画像意味理解リファレンスデータ取得システムの設計

本研究開発項目 2.2.1.4 では、先に述べた、後者の、自動車システムにおける有効性評価用リファレンスデータの取得準備を実施した。

まず、画像意味理解リファレンスデータ取得システムを設計した。本システムは、実車に前方監視カメラや周辺監視カメラおよびレーザーレーダーセンサなどを実装した評価データ収集車両であり、サンプルデータ収集を可能とする。このテストベッドの開発によりデータ収集が有効に行われることを確認した。

次に、画像意味理解リファレンスデータ取得システムのテストベッド高精度化への改善策検討を行った。先に作成したテストベッドをもとに機器特性を取得し、改善策について検討し、精度を高める方法についてまとめた。

そして、この改善案によってデータ収集の際に精度が改善されることを確認した。

本開発により、アプリケーションソフトウェア動作の有効性を評価する走行映像の実データ(リファレンスデータ)の取得手法を確立できた。

図Ⅲ.2.2.1-6 に画像意味理解リファレンスデータ取得システムを示す。(a)はデータ収集車両を、(b)は実際のシステム調整作業の様子を、それぞれ示す。



(a) データ収集車両

(b) 実際のシステム調整作業の様子

図Ⅲ.2.2.1-6 画像意味理解リファレンスデータ取得システム

## 2.2.2 車両周辺監視用画像意味理解アプリケーションソフトウェア技術の開発

担当：クラリオン株式会社

### 2.2.2.1 事業概要

複数のカメラで得られる全方向映像を監視し、直進ならびに右左折等の走行中や停車中において、自車周辺の歩行者・自転車や車両などの障害物を検知するとともに、自車の移動と障害物の移動を加味して衝突危険性を判定する画像意味理解アプリケーションソフトを開発する。

### 2.2.2.2 事業目標

#### 2.2.2.2.1 研究開発内容

交差点右左折などでの安全運転を支援するため、車両周囲の広い範囲で、歩行者等の移動物体を検知し、その危険度を判断するアプリケーションソフトウェア技術を開発する。

#### 2.2.2.2.2 解決手段

複数の広角カメラを車両に搭載し、車両全周囲の画像を取得する。取得した画像からリアルタイムに歩行者等を検出し、更なるその位置や移動方向に関する情報を含む空間マップを作成して衝突の危険性を判定することを特徴とする画像意味理解を実現する。

#### 2.2.2.2.3 達成目標

時速 20km 以下の速度で直進または旋回している車両で、正面から左右各 180 度の範囲の、移動中および停止中の歩行者等を検知し、その動きを予測し、その衝突危険度を判定することを目標とする。

#### 2.2.2.2.4 目標の妥当性

交差点を右左折しようとする車両は時速約 20km 以下で、直進または毎秒数十度程度の旋回運動を行っていると考えられるため、この車両状態で歩行者等の障害物を検出する性能が必要となる。

図Ⅲ.2.2.2-1 (a)～(c)に交差点付近での車両と歩行者の位置関係を示す。

図Ⅲ.2.2.2-1 (a)から、車両が右左折する際に横断中の歩行者が車両正面から左右 90 度以上の範囲に存在することが想定される。さらに図 1 (b) (c)のような歩道のない道路での右左折では正面から 180 度近くの方に存在する歩行者を巻き込み事故から保護する必要がある。

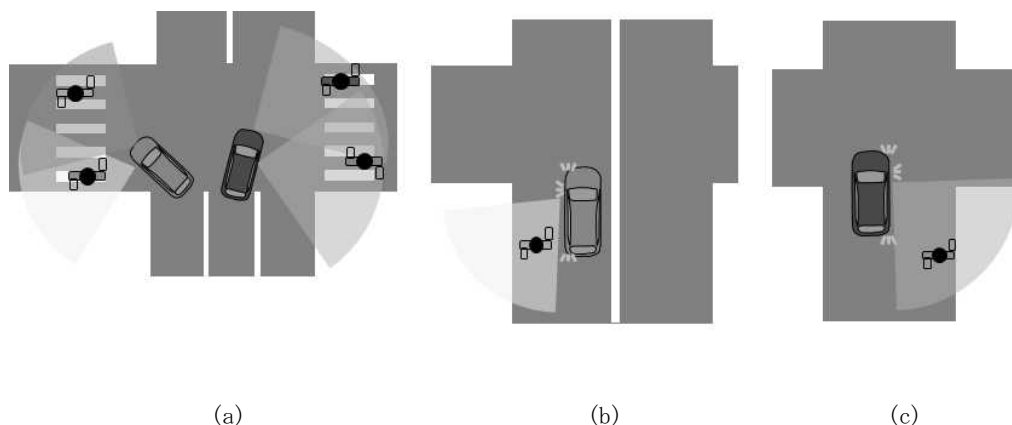
すなわち、交差点付近での事故防止を目的とする周辺監視画像認識システムにおいて、横断中の歩行者や巻き込みの可能性のある歩行者・自転車等を検出するためには、左右 180 度の検知範囲を実現することが必要である。

さらには、歩行者・自転車等の位置のみでなく移動方向を検出し、自車の移動速度・方向と合わせて衝突の危険性を判定する必要がある。

これらの検出結果を運転者に報知することができれば、ブレーキや操舵により事故を防止することができると考えられる。

また、上記自車周辺の歩行者等の障害物の検知は、交差点のみならず同様な道路への進入状況(例えば、車庫からの出庫時)などにも活用出来ると考える。

図Ⅲ. 2. 2. 2-2 (a)～(b)に活用のシーンイメージを示す。



図Ⅲ. 2. 2. 2-1 交差点付近の車両と歩行者の位置関係



図Ⅲ. 2. 2. 2-2 周辺監視の活用のシーンイメージ

### 2. 2. 2. 3 研究開発目標

本プロジェクトにおける事業目標を達成・実現するために、5つの機能のアプリケーションソフトウェアの開発と机上用検証ツールである認識シミュレータの開発を行う。

5つの機能について、概略を以下に示す。

#### (1) 移動体検知：主に歩行者を検知するロジック

移動体検知は2つのロジックで構成される。1つは、カメラ映像より動きの特徴量を抽出して背景ノイズ成分を差分化(ノイズキャンセル)して残った動きベクトルから移動体を選別して追跡(トラッキング)するロジックと、もう一方カメラ映像より形状の相似性から歩行者認識を行い選択するものである。

2つのロジック結果を統合して最終的に移動体検知として判断処理される。

検知距離性能として、目標値は16mを設定。

#### (2) 路面認識：路面と路面上にある物体の識別を図るロジック

撮像面の投影画像であるカメラ映像を一旦俯瞰映像に変換して、連続して取得されるその俯瞰映像から一致領域/不一致領域を抽出し路面領域を生成する。

検知領域性能として、目標値は10m×12mを設定。

(3) 側方接近車検知：主に、車両を検知するロジック

カメラ映像は、そのレンズ歪特性によりレンズ周辺部が湾曲するため、遠方の車両の検知性能を向上させるためにレンズ歪補正を行ったカメラ映像を元に、形状判定等を行い車両を検知する。検知距離性能として、目標値は20mを設定。

(4) 静止立体物検知：路面上にある静止物の検知用ロジック

カメラ映像から、特徴量を抽出しその特徴量を時系列にトラッキングを展開。障害物判定を行った後位置推定をして静止立体物を同定する。検知距離性能として、目標値は20mを設定。

(5) 空間マップ：上記検知結果をマッピングおよび衝突予測判断

時系列に得られる、移動体、路面、接近車両、静止立体物の検知情報を統合化し、その結果より、自車の周囲状況を把握して衝突予測および危険度の判定を行う。検知領域性能として、目標値は20m×20mを設定。

#### 2.2.2.4 研究開発成果

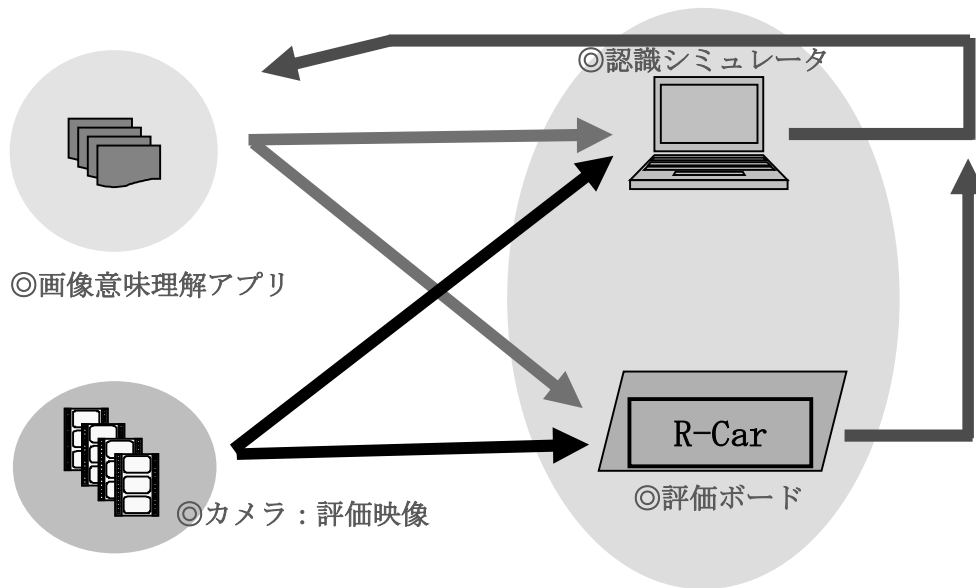
本プロジェクトで開発したアプリケーションロジックについて性能評価を行った結果を表Ⅲ.2.2.2-1に示す。

表Ⅲ.2.2.2-1 性能評価結果

開発項目	開発内容	メジャー	目標値	成果	達成度*
アプリロジック	移動体検知	検知距離	16m	8m	△
	路面認識	検知領域	10×12m	5×6m	△
	側方接近車検知	検知距離	20m	13m	△
	静止立体物検知	検知距離	20m	6m	△
	空間マップ生成	検知領域	20×20m	10×20m	△
シミュレータ	アプリロジックの机上検証ツール		—	—	○

\*：○：達成 △：2016年2月達成見込み

なお、アプリ開発および評価検証においては、図Ⅲ. 2. 2. 2-3 に示す環境で推進した。



図Ⅲ. 2. 2. 2-3 アプリ開発評価検証環境

評価検証構成は、以下の通り。

- |                |  |
|----------------|--|
| ・カメラ／映像データ     | ： VGA カメラ（または映像データ）  |
| ・評価ボード         | ： 現行ルネサス製 SoC を用いた評価ボード<br>※現行ルネサス製 SoC は来年度量産予定で本助成事業<br>開始時点のプロセッサ性能とは異なる。 |
| ・評価アプリケーションソフト | ： 現在開発中の意味理解アプリソフト   |
| ・認識シミュレータ      | ： 机上用検証ツール   |

#### 2. 2. 2. 5 事業化に向けての達成度の見通し

アプリケーションロジックの成果は、現時点では目標を満足するものではないが、以下の理由により達成可能と判断する。

##### 2. 2. 2. 5. 1 検知距離および領域：

① VGA カメラおよび Mega カメラの仕様概要(表Ⅲ. 2. 2. 2-2)から、

VGA カメラの水平画素数(720 ピクセル)に対して Mega カメラは水平画素数(1280 ピクセル)が約 1.78 倍相当。同様に垂直画角比は約 1.67 倍相当にあたる。

この比率が距離換算に相当するため、Mega カメラを採用することでほぼ 1.7 倍相当の検知距離の増加が見込まれる。

表Ⅲ. 2. 2. 2-2 カメラ仕様比較(主な項目を抜粋)

項目	仕様		
	MEGA	VGA	単位
水平画角	198.3	202.2	°
垂直画角	132.6	149.4	°
有効画素数	H : 1280×V : 800	H : 720×V : 480	画素

- ② ルネサスエレクトロニクス開発中の意味理解プロセッサに適したソフトウェア開発環境技術(プログラミング API 標準化)により、データ先読みを実現し演算ユニットの稼働率を向上させることで認識精度が改善。
- ③ アプリロジック改良にて目標達成可能。

2. 2. 2. 5. 2 処理時間 :

ルネサスエレクトロニクス開発中の意味理解プロセッサ技術により、現行ルネサスエレクトロニクス製 SoC の処理性能に比べて 3 倍以上を達成することで実現可能。

なお、処理時間については各アプリケーションを実機検証で実施(図Ⅲ. 2. 2. 2-3 を参照)。

評価結果より、アプリケーション毎で処理時間は異なるが概ね 150msec 程度と計測された。なお、ルネサスエレクトロニクスが開発されるアプリケーションプロセッサ技術が関係する画像認識エンジンの負荷率は約 30~90%程度であった。

ルネサスエレクトロニクスのプロセッサ技術により、現行ルネサスエレクトロニクス製 SoC の処理性能に比べて 3 倍以上を達成予定であるために、ほぼアプリケーションソフト処理時間は目標値である 50msec を達成することが判明。



## 2.3 研究開発項目③ プローブデータ処理プロセッサの開発

### 2.3 プロブデータ処理プロセッサの開発

担当：富士通株式会社

2015年7月末時点におけるプローブデータ処理プロセッサ開発に係わる研究成果を以下に示す。全ての開発項目については2015年度末には現状の課題を解決する見通しを得ており、中間目標は2015年度末には達成する見込みである。

#### 2.3.1 三次元プロセッサ向け大電流供給技術、高速伝送技術の研究開発

本研究項目では、2013年11月～2015年度の3年計画で、プローブデータ処理プロセッサ開発の要素技術となる三次元積層プロセッサ向けの、大電力供給を実現するための技術開発と、TSV経由で高速な伝送を行う技術の開発を行う。

三次元積層構造で大電力供給の実現のために、パッケージからチップへの電力供給経路にある、バンブ、TSV、チップ裏面の電源配線および微小端子に対して大電流対応の技術開発を行うとともに、そこで策定した構造を実現するウェハ処理技術を開発した。なおここでTSVを経由する電源配線網は、従来のフリップチップ実装の電源配線網に比べ、TSVそのものによる抵抗・インダクタンスの増加、TSVが回路のない部分にしか設置できないことによる電源配線網の局在化等の課題があり、それらの課題を解析・特性検証し、解決する技術開発を実施した。なお、三次元積層ではチップ間を高密度に信号接続するために接合端子を微小とする必要があり、そのような微小な接合端子でも上層のチップに大電力を供給するために、大電流対応の微小端子接合技術の開発もあわせて実施した。

更に、三次元積層プロセッサでは、TSVを経由してチップ外部と高速信号を入出力する必要があり、TSVを経由した伝送路に対して、高速信号の伝送品質を適切に解析し、特性検証できる技術を開発した。

これにより先の電源配線網に対する解析・特性検証と合わせて、三次元積層に対応した、Signal Integrity (SI)、Power Integrity (PI)の解析、検証技術を包含した設計技術の開発を行った。

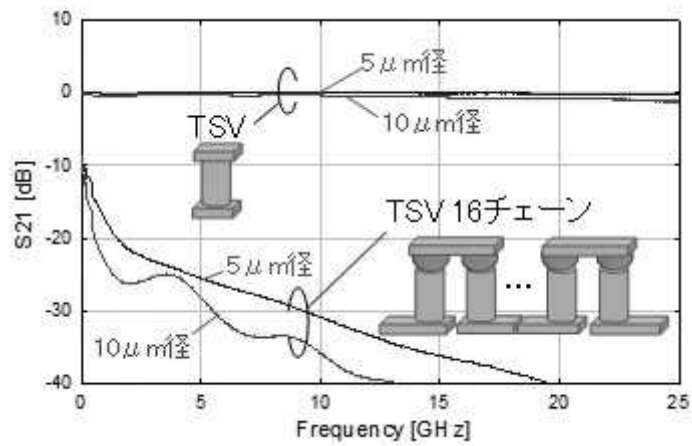
##### 2.3.1.1 三次元対応 SI/PI 設計技術の開発

[三次元積層プロセッサチップ向けシステムボード SI/PI 設計]

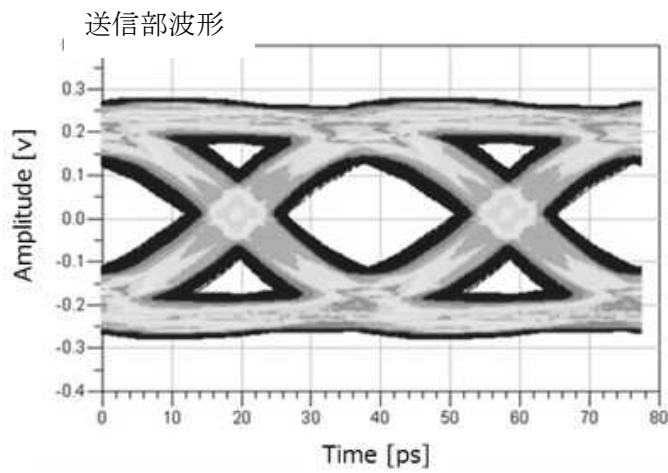
本テーマでは、パッケージ基板、電源ボードを含むシステムボードでの高速信号伝送や電源供給に対するSI/PI設計技術を開発している。

TSV経由25.8GbpsのSI解析、実測による伝送検証(図Ⅲ.2.3.1.1-2, 図Ⅲ.2.3.1.1-3)、TSV経由PI解析(図Ⅲ.2.3.1.1-3)と省スペース300A高効率電源ボード設計を実施した。また解析の基礎データとなる、5 $\mu$ m径までのTSVの透過特性を取得した(図Ⅲ.2.3.1.1-1.)。今後は、TEGでのPI実測検証とシステムボードレベルのSI/PI共存設計・検証を実施し、本SI/PI設計技術を確立する。

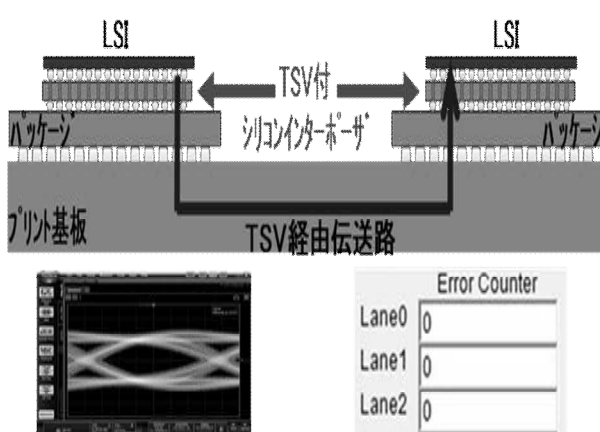
表Ⅲ.2.3.1.1-1に開発成果と達成度を示す。



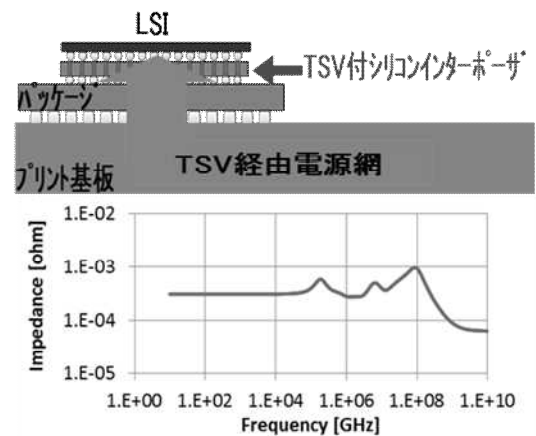
図Ⅲ. 2. 3. 1. 1-1. TSV の透過特性



図Ⅲ. 2. 3. 1. 1-2. TSV 経由 25.8Gbps 伝送 SI 解析結果



図Ⅲ. 2. 3. 1. 1-3. TSV 経由 25.8Gbps 伝送評価



図Ⅲ. 2. 3. 1. 1-4. TSV 経由 300W クラス電源網解析

表Ⅲ. 2. 3. 1. 1-1 開発成果と達成度

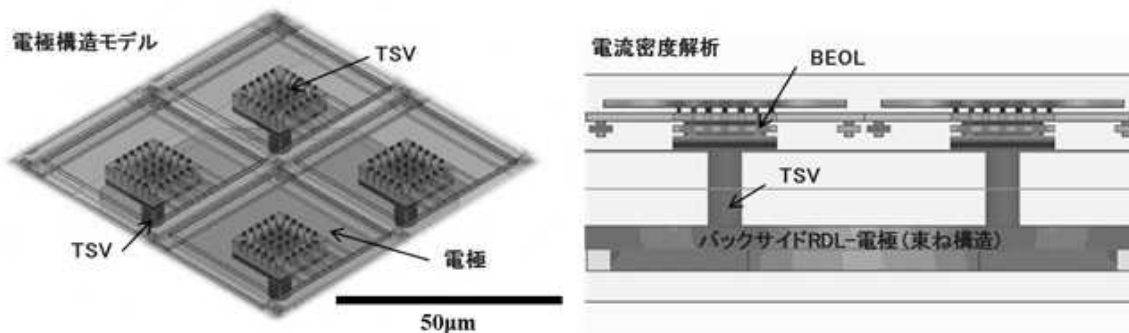
開発項目	目標値(中間)	成果
三次元積層プロセッサ向けシステムボード SI 設計技術	TSV の電気特性取得を行い、TSV を含む伝送路のモデル解析を実施。	・ TSV について実測により透過特性を取得し、それを元に TSV を含む伝送路のモデル解析を完了した。
	TSV 経由マルチレーン 25.8Gbps 伝送 BER < $10^{-12}$ 達成。	実チッププロセッサと TSV 付きシリコンインターポーザ積層による TSV 経由マルチレーン 25.8Gbps 伝送実測検証により、BER < $10^{-12}$ を確認した。
三次元積層プロセッサ向けシステムボード PI 設計技術	<ul style="list-style-type: none"> <li>・ TSV 経由 300W クラスの PI 解析と実測検証。</li> <li>・ 省スペース 300A 高効率給電ボード設計。</li> </ul>	<ul style="list-style-type: none"> <li>・ プロセッサチップ-パッケージ基板間に TSV を挿入した PI 解析により、300W クラス給電に必要な TSV 数を見積もった。</li> <li>・ 垂直給電構造向け省スペース 300A 電源ボードを設計し、高効率 88%を確認した。</li> </ul>

2. 3. 1. 2 バックサイド設計技術の開発

本テーマでは、大電流供給と高速伝送を実現する TSV およびバックサイド(裏面)設計技術を開発している。

裏面再配線構造ならびにデザインルールを検討し、バンプあたり許容電流 100mA に適した TSV 束ね構造を策定し、チップ内のビア構造を含む高精度な電源電流分布シミュレーションで各部位が許容値内であることを確認した。図Ⅲ. 2. 3. 1. 2-1 はその解析モデルと結果の一例である。また、既存のマクロを活用する設計手法に対応すべく、マクロ周辺に TSV を配置する場合の、電源電流を面内方向に低インピーダンスで通電可能な厚膜 Si インターポーザの設計仕様を確定した。今後は、機能評価 TEG を用いて、確立した裏面再配線構造、デザインルールを検証する。

表Ⅲ. 2. 3. 1. 2-1 に開発成果と達成度を示す。



図Ⅲ. 2. 3. 1. 2-1 電源電流分布解析

表Ⅲ. 2. 3. 1. 2-1 開発成果と達成度

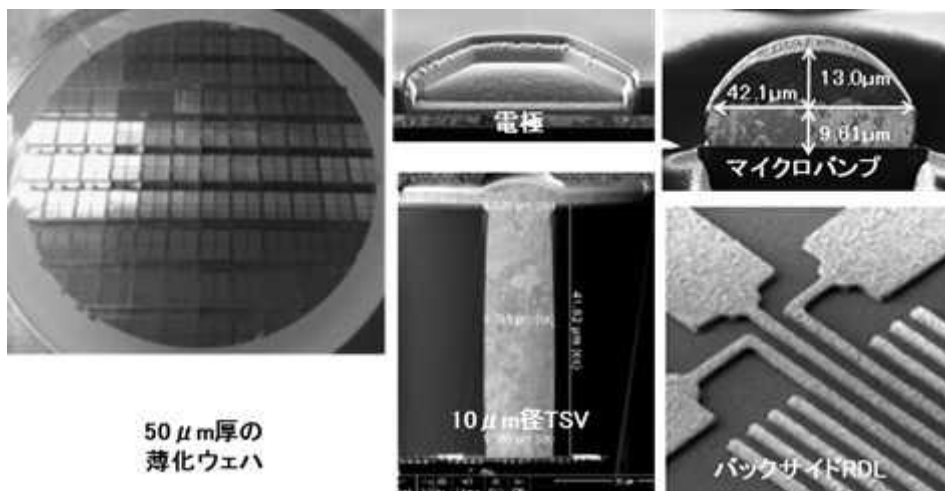
開発項目	目標値(中間)	成果
バンプ当り 100mA に適した TSV 構造	TSV 束ね構造における構造を策定し、上チップ配線を含む電源経路における電流値の確認。	・ TSV に接続するチップ内配線の構造を策定し、シミュレーションからバンプ当たり 100mA 通電時でも、チップ内配線の全ビアがチップ製造メーカーの許容値内であることを確認した。
大電流供給と高速伝送を実現する裏面再配線	量産時の製造性を考慮した裏面再配線仕様の策定。	・ 試作サイトのプロセスデザイン・ルールを鑑み、裏面の電極サイズ、ピッチ、ピラー端子径、層構成などのデザインを策定した。
上チップ電源供給用の Si インターポーザ	厚膜多層構造を中心とする Si インターポーザ設計仕様の確定。	・ 厚膜 Si インターポーザとして、銅配線層の厚さ 10 $\mu$ m、両面各 2 層の設計仕様を確定し、試作の結果、配線形成が可能であることを実証した。

2. 3. 1. 3 バックサイドウェハ処理技術の開発

本テーマでは、積層工程を考慮した、ウェハの裏面処理プロセス技術の開発を行っており、 $\square$  20mm 以上の大チップにおいて、反りを抑制した裏面形成を実現するプロセスフローの策定とそのプロセス設計を行う指針の確立を行っている。

メーカーニカル TEG および要素開発 TEG の試作を通して、高歩留り生産に向けた量産プロセスの課題を抽出し、試作サイトの最終的な歩留り検証と、ビアラスト方式を採用した TSV と裏面形成に関して改善プロセスを構築した。構築した裏面プロセスによって形成した TSV と裏面再配線の一例を図Ⅲ. 2. 3. 1. 3-1 に示す。今後は、有機系樹脂を採用することで低応力化した裏面構造を用いて設計した機能評価 TEG を、構築した裏面プロセスで試作し、反り量 100 $\mu$ m 以下に制御できることと TSV の抵抗値歩留りを再確認するとともに、構築した高周波測定環境で TSV 付デバイスの高周波特性を測定し明確化することで、薄化チップ接合における接合不良を回避しかつ高周波特性のよい裏面処理プロセスおよびその設計指針を確立する。

表Ⅲ. 2. 3. 1. 3-1 に開発成果と達成度を示す。



図Ⅲ. 2. 3. 1. 3-1 試作した要素開発 TEG

表Ⅲ. 2. 3. 1. 3-1 開発成果と達成度

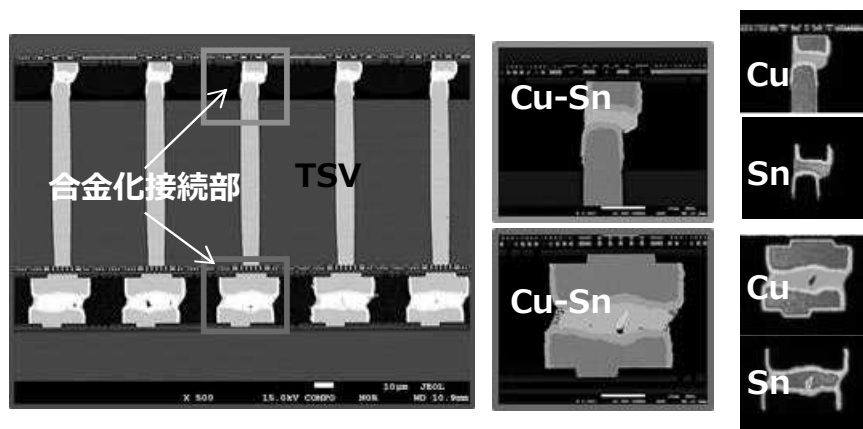
開発項目	目標値(中間)	成果
ウェハの裏面処理プロセス技術	積層工程を考慮し反りを抑制した、裏面プロセスフローを策定する。 薄化デバイスチップ(50 $\mu$ m厚)、チップサイズ $\square$ 20mm以上での反り量が100 $\mu$ m以下を達成。	<ul style="list-style-type: none"> <li>複数の試作サイトでTSV形成、薄化、裏面再配線・電極形成の各プロセスについてプロセスデザイン・ルールの評価と事前検証を完了し、基本プロセスフローを策定した。</li> <li>有機系樹脂を採用した低応力の裏面構造を試作し、100<math>\mu</math>m以下の反りを確認した。</li> </ul>
	試作サイトベンチマーク完了と歩留り確認。 (試作サイトでTSVの抵抗値歩留り95%以上)。 機能評価TEGの試作。	<ul style="list-style-type: none"> <li>各試作サイトでメーカーニカルTEGおよび要素開発TEGを試作し、プロセスの共通課題の抽出・改善を行い、TSV抵抗値歩留り95%以上を達成した。またその過程でベンチマークを完了し、製造方式の違いのTSVコンタクト歩留りへの影響度を明確化した。</li> </ul>
	裏面形成プロセス設計を行う指針の確立	<ul style="list-style-type: none"> <li>裏面再配線パターン密度に依存する薄化実デバイスの局所変形を、実測値に基づいた近似モデルを作成して予測する技術を開発し、裏面形成プロセス設計を行う指針を確立した。</li> </ul>
	機能評価TEGの試作	<ul style="list-style-type: none"> <li>試作サイト評価結果を機能評価TEGの裏面設計仕様にフィードバックし機能TEGの設計を完了した。</li> </ul>
	TSV付デバイスの高周波特性の明確化	<ul style="list-style-type: none"> <li>機能評価TEGに高周波特性評価用の各種モニターを作成した。またウェハレベル、チップ両面プローバによる高周波測定環境を構築した。</li> </ul>

#### 2. 3. 1. 4 大電流対応の微小端子接合技術の開発

本テーマではエレクトロマイグレーション耐性に優れた大電流対応の微小端子接合技術を開発している。

電流密度耐性の向上が期待される接続構造として、はんだ材料と電極材料を完全に合金化するIMC(Inter Metallic Compound)ボンディング技術により形成されるCuSn合金に着目し検討を実施した。はんだ材料(Sn等)と電極材料(Cuピラー)を完全に合金化するIMCボンディング技術を開発・試作し、TSVを含む接合部の電気的基礎データを取得した。評価に使用した合金化接続部の断面を図Ⅲ. 2. 3. 1. 4-1に示す。また、C4バンプの給電限界に対応した許容電流値をもとに、TSVを経由して2層目チップへ供給する合金化接続部の1ピンあたりの印可電流値を明確化し、TSV束ね構造と合金化接続部を含む配電経路を有する積層体の試作を完了した。今後、達成目標である合金化接続部の電流密度限界とTSV束ね構造の許容電流値の明確化により、積層チップ間の接続構造の確立を目指す。

表Ⅲ. 2. 3. 1. 4-1 に開発成果と達成度を示す。



図Ⅲ. 2. 3. 1. 4-1 評価に用いた TSV を含む合金化接続部断面

表Ⅲ. 2. 3. 1. 4-1 開発成果と達成度

開発項目	目標値(中間)	成果
大電流対応の微小端子接合技術	TSV を経由した合金化接続部の電流密度耐性評価と、接続部材料単体での電流密度耐性評価を行い、チップ間接合部構造および接合プロセスを開発。	<ul style="list-style-type: none"> <li>・C4 バンプの給電限界に対応した許容電流値をもとに、TSV を経由して2層目チップへ供給する接続部の1ピンあたりの印加電流値を明確化した。</li> <li>・はんだ材料と電極材料を完全に合金化する合金化接続プロセスと、合金化接続部を伴うチップ間の微小端子接続構造を開発した。</li> <li>・TSV 束ね構造と合金化接続部を含む配電経路を有する積層体の試作を完了した。</li> </ul>

### 2. 3. 2 三次元プロセッサ向け大面積チップ積層技術、高性能冷却技術の研究開発

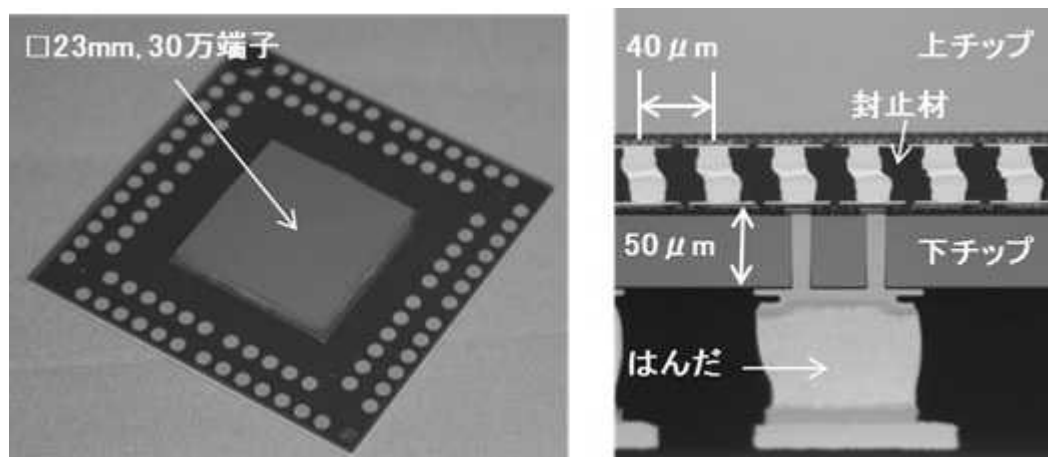
本研究項目では、□20mm 以上、数万端子以上の超多ピン接続のチップ積層を可能とするプロセス技術の開発を行う。ここでは、積層を行う上で数万端子以上のチップ間の接続を導通可能とする端子接合だけでなく、厚さ 50μm の TSV 付薄ウェハをパッケージに実装するまでの技術開発を含み、薄ウェハをチップの割れのきっかけになるチップングをより小さくなるようにダイシングする技術、ダイシングの後に薄化されたチップを割れなくピックアップする技術、ピックアップした超多ピン接続の薄チップを積層する技術、またその積層するチップ間の封止技術、積層したチップをパッケージに実装し接続信頼性を保証する技術等の開発を行っている。更に本研究項目では、大電力の高速プロセッサでも効率的に冷却可能とするためにホットスポットを集中的に冷却する冷却技術を開発している。

### 2.3.2.1 チップ積層プロセス技術開発

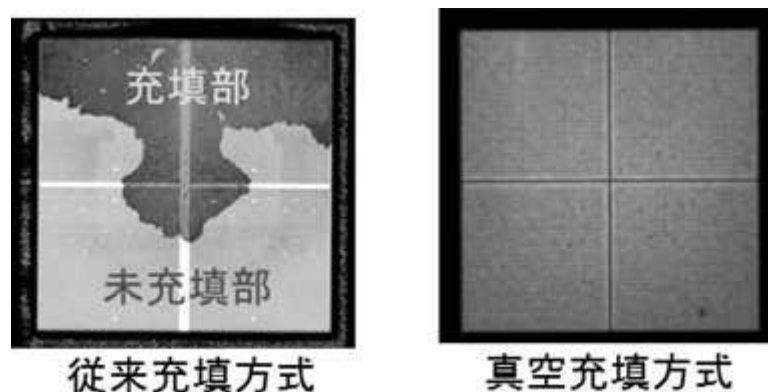
本テーマでは、2013年11月～2015年度の3年計画で、プローブデータ処理プロセッサ開発の要素技術となるチップ積層プロセス技術を開発している。

チップサイズ $\square 25\text{mm}$ のTSV付き薄チップに対してチップング $10\mu\text{m}$ 以下でダイシングでき、割れなくピックアップするハンドリング技術を確立した。また、チップサイズ $\square 23\text{mm}$ で30万端子の超多ピンチップを導通可能なように端子接合するプロセスを開発し、その積層チップ間に $1.5\text{W/m}\cdot\text{K}$ の熱伝導率を持つアンダーフィル材料(UF)をボイドなく充填可能なプロセスを開発した。今後信頼性検証を進めるとともに、薄チップハンドリング技術や、積層実装の量産化手法のブラッシュアップを行う。

表Ⅲ.2.3.2.1-1 に開発成果と達成度を示す。



図Ⅲ.2.3.2.1-1 チップサイズ $\square 23\text{mm}$ 、30万端子のチップ積層の端子接合部断面



図Ⅲ.2.3.2.1-2 積層チップ間のアンダーフィル充填状況(超音波画像)

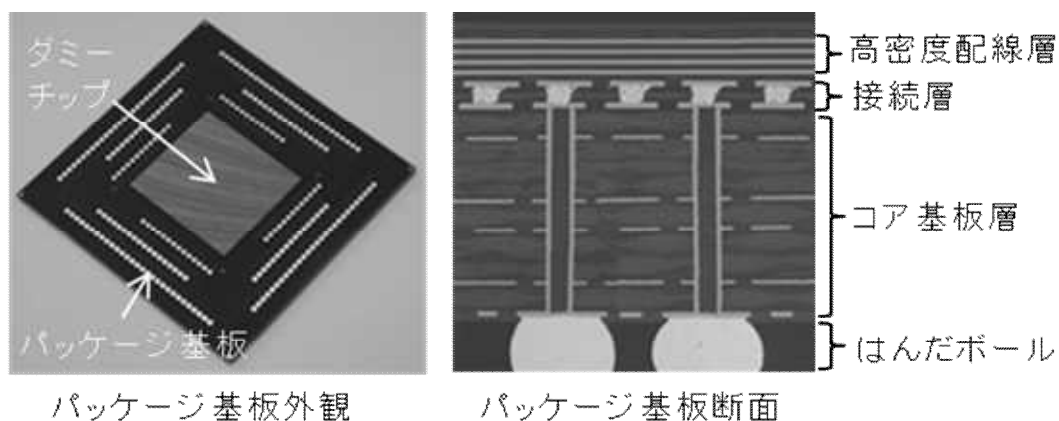
表Ⅲ. 2. 3. 2. 1-1 開発成果と達成度

開発項目	目標値(中間)	成果
薄チップハンドリング技術	チップング 10 $\mu$ m 以下で、 $\square$ 20mm 以上かつ厚さ 50 $\mu$ m チップのダイシングからピックアップ可能なハンドリング技術を確立。	厚さ 50 $\mu$ m の TSV 付薄ウェハに対し、チップング 8.1 $\mu$ m のダイシング条件を確立した。また、チップサイズ $\square$ 25mm を割れなくダイシングテープからピックアップ可能な技術を開発し、大型・薄化・脆弱チップのハンドリング技術を確立した。
積層実装の量産化技術	$\square$ 20mm 以上で数万～数十万端子のチップを導通可能とする積層プロセスの開発。	$\square$ 23mm30 万端子の TSV 付き積層チップでギ酸リフロー方式を用いた積層プロセスを開発し、端子接合の導通を確認した。また、NCF を用いたローカルリフロー方式では低荷重実装および端子接合良好となる積層プロセスを開発した。
高熱伝導 UF 選択と封止プロセス技術	熱伝導率 1W/m $\cdot$ K 以上で、 $\square$ 20mm 以上のチップへボイド無く充填可能な充填方法の開発。	アルミナフィラーを含有させることにより、熱伝導率 1.5W/m $\cdot$ K の封止材料を選択した。大気圧下での通常塗布では間隙への充填が困難であったが、真空塗布の採用と、塗布条件の最適化でボイドのない充填方法を開発した。

### 2. 3. 2. 2 積層チップ(チップ積層された部品)のパッケージング技術・冷却技術の開発

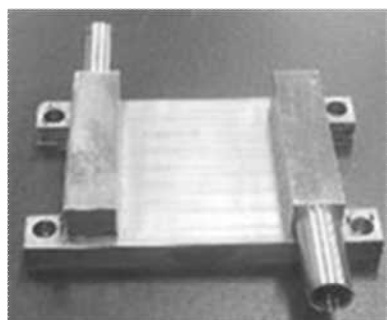
本テーマでは、2013 年 11 月～2015 年度の 3 年計画で、プローブデータ処理プロセッサ開発の要素技術となる積層チップのパッケージング技術・冷却技術を開発している。

接合部の歪を吸収可能なコア層と、高密度配線が可能な高密度配線層を貼り合わせたパッケージ構造を策定し、26 $\times$ 28mm のダミーチップを搭載して  $\square$ 63mm のパッケージを試作した。その試作パッケージをボードに搭載して接合を評価し安定性を確認した。更に、微細流路構造を形成したクーリングプレートを試作し、チップ発熱密度 60W/cm<sup>2</sup>(局所 120W/cm<sup>2</sup>)の冷却が可能なことを確認した。加えて、エリア別に微細流路の流量調整が可能なことも確認し、今後のプロセッサチップの電力予測に対応した流路カスタム設計技術確立への見通しを得た。表Ⅲ. 2. 3. 2. 2-1 に開発成果と達成度を示す。

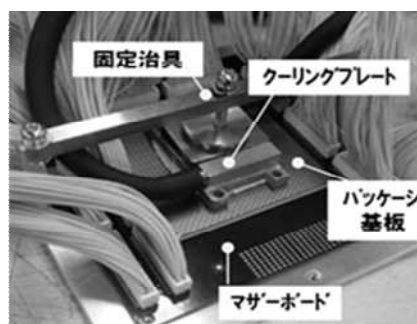


図Ⅲ. 2. 3. 2. 2-1 試作したパッケージ基板





試作クーリングプレート



局所冷却評価環境

図Ⅲ. 2. 3. 2. 2-2 試作したクーリングプレートと冷却評価環境

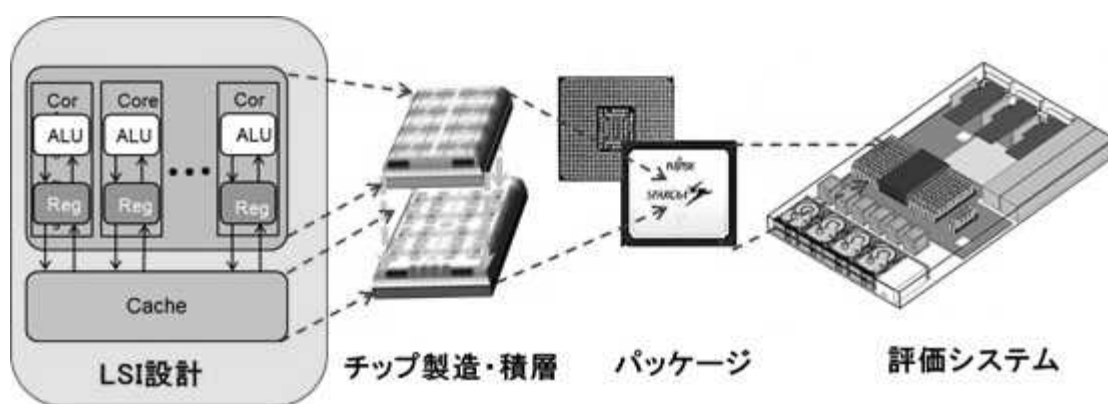
表Ⅲ. 2. 3. 2. 2-1 開発成果と達成度

開発項目	目標値(中間)	成果
パッケージ基板の材料・構成	□20mm以上の積層チップを搭載可能なパッケージ構造の策定。	積層チップおよびボードとの接合部の応力歪を吸収可能なコア層と高密度配線可能な高密度配線層を貼り合わせたパッケージ構造を策定し、26×28mmのダミーチップを搭載した□63mmのパッケージを試作した。また、そのパッケージ基板をボードに搭載し、接続安定性を確認した。コア層は3候補から低熱膨張の有機材料を選定した。
パッケージ基板のボード接合技術	□60mm相当を安定接合可能な構造の開発。	ダミーチップを搭載した□63mmパッケージをボード搭載し、錫銀銅および錫ビスマス銀の2仕様の接合構造を開発し、とも接合安定性を確認した。
積層チップ冷却技術	高効率な冷却手法の開発。冷却性能(*2)および循環経路の流量圧力損失特性を確認。プロセッサチップの消費電力予測に対応した流路カスタム設計技術の確立。 ‘(*2)許容発熱密度 30-50W/cm <sup>2</sup> (局所 100W/cm <sup>2</sup> )	微細流路構造を形成したクーリングプレートからなる、冷却技術を開発し、チップ発熱密度 60W/cm <sup>2</sup> (局所 120W/cm <sup>2</sup> )の条件で、流量 1 L/min に対し、圧力損失 5kPa、チップ上の温度差 5°C以内を確認した。更に、クーリングプレート内の微細流路の分岐開口面積をエリア別に可変し、高消費電力エリアには他エリアに比べて約5倍の流量供給が可能なことを確認しており、プロセッサチップの電力予測に対応した流路カスタム設計技術確立への見通しを得た。

### 2.3.3 三次元対応高性能プロセッサの設計開発、実証確認

本研究項目では、2014年度～2017年度の4年計画で2.3.1および2.3.2で報告した要素技術研究結果をもとにプローブ処理用プロセッサの開発を行っている。

短期間で効率的に開発を進めるため、過去の高性能プロセッサ設計資産を可能な限り流用し三次元積層に対応するための変更等の要所に注力したLSI設計開発を行う(図Ⅲ.2.3.-1)。ここでは、少ないピン数のプローブでもテスト可能な三次元実装LSI向けのテスト技術だけでなく、クロック位相差が大きくなる積層したチップ間でGHzクラスの高速な信号を伝送するための技術や、効率的に過去の設計資産を三次元積層設計の部品として取り込む設計技術を導入もしく開発した。これらの三次元積層に対応するための変更等を反映した基本仕様を元にフロアプランを作成し、目標とする性能を製造可能な面積に実装する見通しを得た。今後は設計を進め試作評価を行う予定である。また確認のために、プローブ処理性能を含めた性能の検証をする予定である。

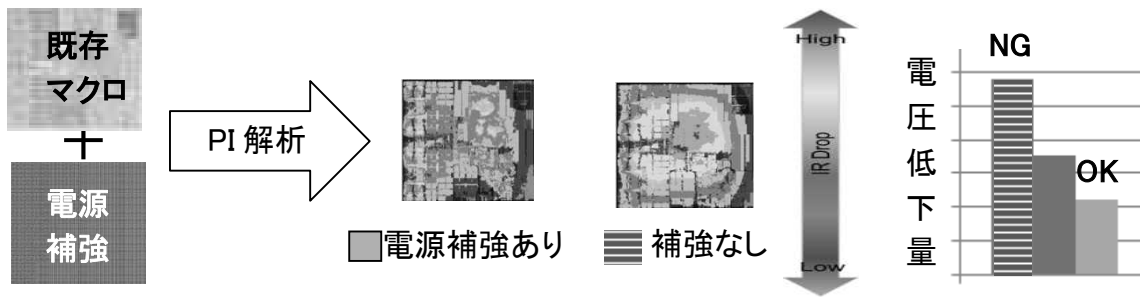


図Ⅲ.2.3.3-1 本研究開発の中でのLSI設計の位置づけ

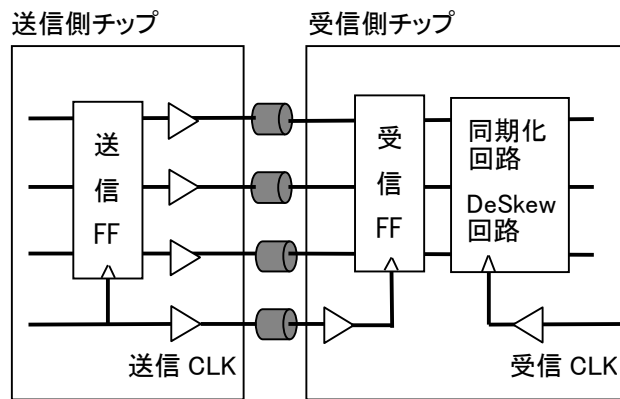
#### 2.3.3.1 三次元対応高性能プロセッサの設計開発

既存のマクロを電源強化し三次元積層チップのマクロにする手法を開発し、その手法で作成したマクロが三次元積層時に既存マクロの要求電源品質を満たすことを確認した(図Ⅲ.2.3.2.3-2)。これにより少ない工数で論理・実装・性能を維持したまま設計資産の三次元積層チップへの利用ができる目途が立った。また、積層後にチップ積層部の試験を、超多ピンの微小端子用プローブなしで実現する三次元実装LSI向けテスト手法の開発をした(特許出願処理中)。これにより積層チップの試験の低コスト化を達成した。なおチップ間でGHzクラスの高速な信号を伝送するため回路は、ソースシンクロナス伝送回路、同期化回路、Deskew回路等の既存技術を組み合わせた回路(図Ⅲ.2.3.3-3)に上記のテスト回路を追加することとした。更にこれらの設計資産、設計手法および試験手法をベースとしたプローブデータ処理プロセッサの基本仕様(図Ⅲ.2.3.3-4)を作成し、それに基づくフロアプラン(図Ⅲ.2.3.3-5)を作成し、マクロの性能とフロアプランから目標理論性能の達成の見通しを確認した。

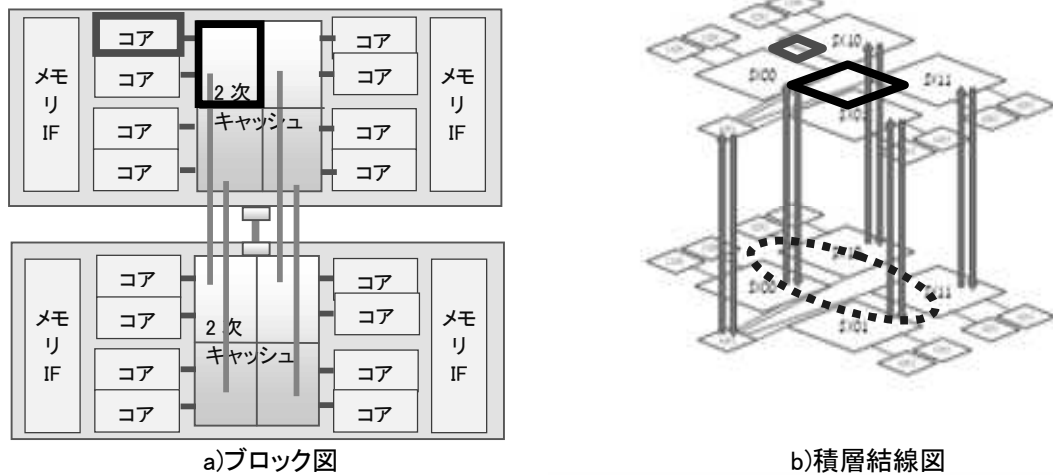
表Ⅲ.2.3.3-1 に開発成果と達成度を示す。



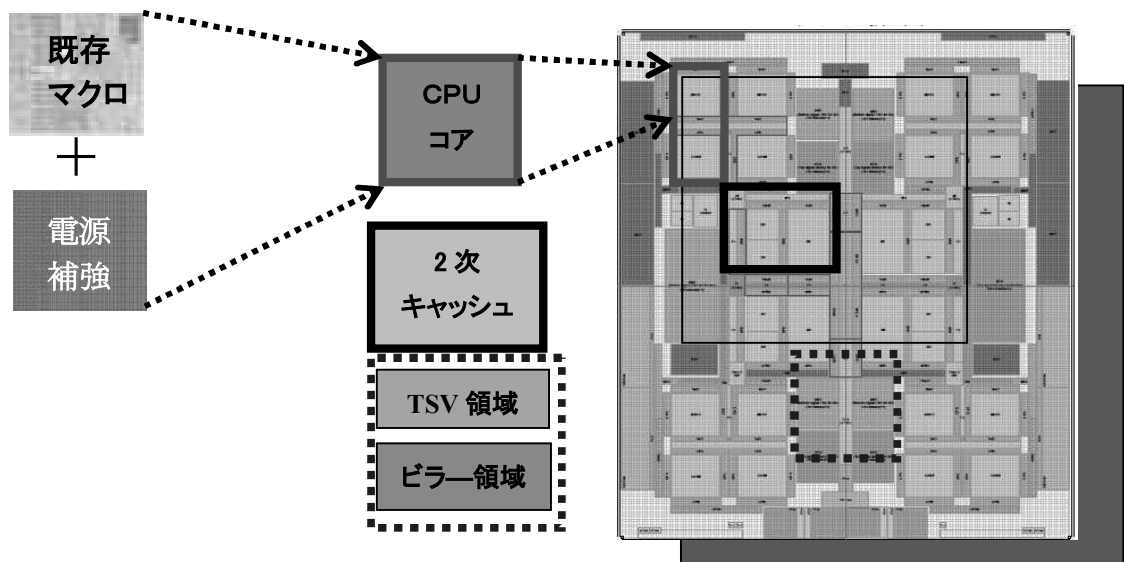
図Ⅲ. 2. 3. 3-2 既存のマクロの三次元積層チップのマクロ化とPI 検証結果



図Ⅲ. 2. 3. 3-3 積層チップ間的高速伝送回路



図Ⅲ. 2. 3. 3-4 基本仕様の一部



図Ⅲ. 2. 3. 3-5 三次元積層用マクロとフロアプラン(32 コア)

表Ⅲ. 2. 3. 3-1 開発成果と達成度

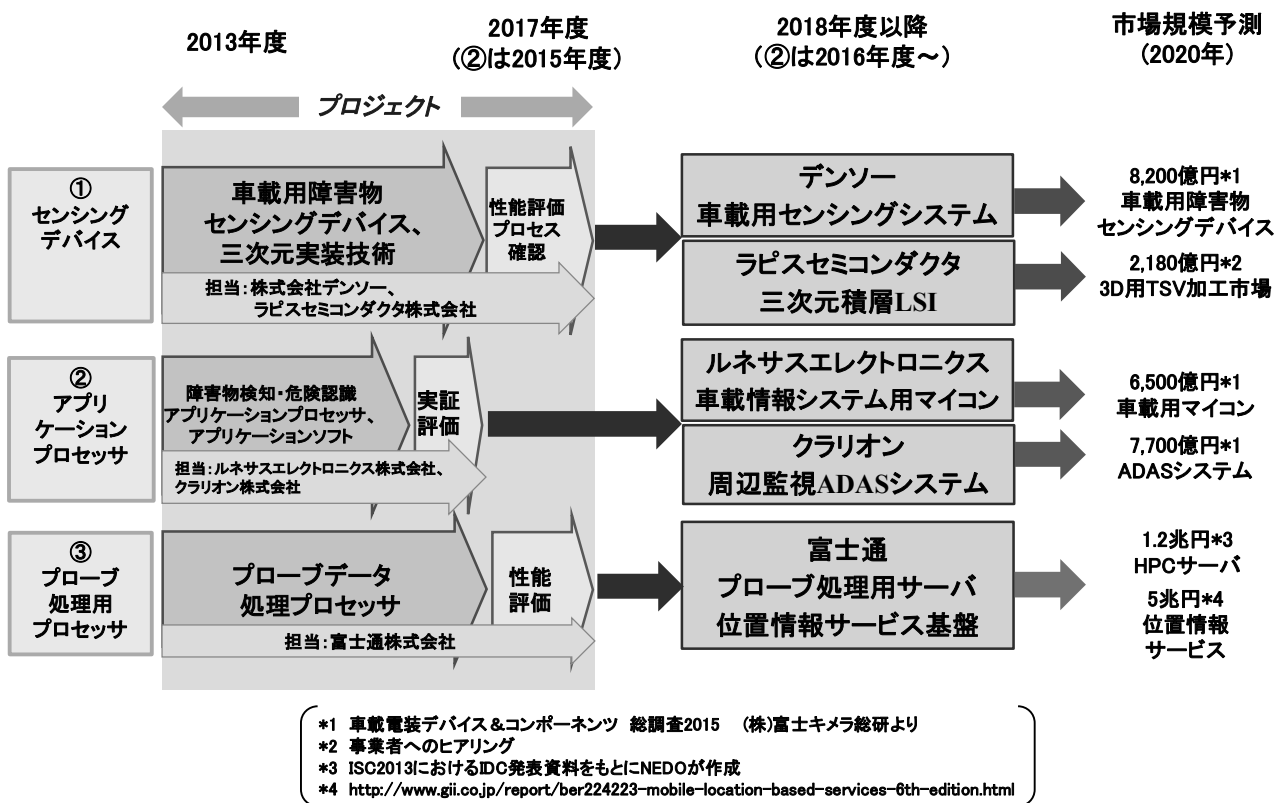
開発項目	目標値	成果
プロセッサ基本仕様	理論上の最終目標を満たす基本仕様、フロアプランを策定する。	<ul style="list-style-type: none"> <li>基本仕様を策定し、それに基づくフロアプラン等を作成した。</li> <li>マクロの性能とフロアプランから目標理論性能の達成目途を確認した。</li> </ul>
三次元実装 LSI 向けテスト手法	チップ積層部のテストを従来と同等のコストで十分なカバレッジで行う。	<ul style="list-style-type: none"> <li>従来のプローブでも試験可能な三次元実装 LSI 向けテスト手法を開発し、低コストで積層チップ間伝送を試験する手法を確立した。またこの方式を試作チップに実装し製造開始した。</li> </ul>
三次元設計手法とそれを用いたプロセッサ開発	<ul style="list-style-type: none"> <li>設計者による最適化も可能な三次元実装設計環境の開発</li> <li>その三次元実装設計環境を用いたレイアウト設計の開始。</li> </ul>	<ul style="list-style-type: none"> <li>三次元実装向けの設計環境を開発し、その上で従来の二次元で設計した設計資産を、その論理・実装・性能を維持したまま三次元設計資産として活用するための電源強化手法および評価手法を開発し、この手法で設計したマクロが積層時に既存マクロの要求電源品質を満たすことをPI 評価で確認した。</li> <li>また、この手法を用いて CPU コア部分のレイアウト設計を開始した。</li> </ul>

## IV. 実用化・事業化に向けての見通しおよび取り組みについて

### 1. 実用化・事業化に向けての見通しおよび取り組みについて

次世代スマートデバイス開発プロジェクトでは、車載用障害物センシングデバイス、障害物検知・危険認識アプリケーションプロセッサおよびそのプラットフォーム用のアプリケーションソフト、プローブデータ処理プロセッサと、三次元積層 LSI のプロセスおよび実装技術の開発を行う。

これらが当初の技術目標を達成したあかつきには、図IV-1 に示すように、車載用センシングデバイス、三次元積層 LSI、車載情報システム用マイコン、周辺監視用 ADAS システム、プローブ処理用サーバー、位置情報サービス基盤への事業展開がなされることが期待される。



図IV-1 実用化・事業化に向けた見通し

本プロジェクトは、民間企業主体の研究開発なので、成果の活用は、研究開発実施主体の民間企業となる。よって成果の実用化・事業化は、研究開発を実施した民間企業が、事業終了後市場、コスト等を考慮しながら、ターゲットを明確にして、本事業の成果を用いたビジネスを開始し、実績を積み上げることで、更なる用途展開をはかる。その際に、自動車メーカーおよび部品供給企業の共同開発により、デファクトスタンダードを獲ることで、競争優位を構築する。

「次世代スマートデバイス開発プロジェクト」基本計画

電子・材料・ナノテクノロジー部

1. 研究開発の目的・目標・内容

(1) 研究開発の目的

① 政策的な重要性

次世代交通社会の実現には、自動車の燃焼システムの環境対応に加え、急発進、急停止、渋滞等による非効率な燃料消費の改善及び人の飛び出しや走行中の急な割り込み等による衝突事故の削減など、一層の省エネ化と安全走行の高度化が重要である。その実現には、自動車の周辺情報を集め即座に状況を把握するシステムの構築が必要となり、そのための技術開発が求められている。

② 世界の取り組み状況

欧州では一層の安全性向上のために衝突回避技術に重点が置かれ、米国では平成32年度頃の実現を目指し、各種センサーを活用した自律走行技術の開発が進んでいる。

③ 我が国の状況

我が国では衝突回避に加え車車間通信、路車間通信技術を用いた渋滞緩和に関する技術開発が進行している。これらのキーデバイスになる障害物センシングデバイス、プロセッサ等の市場は、材料、チップ、モジュール、製造装置事業の総額では平成32年度で約1兆円と試算されている。

④ 本事業のねらい

本事業では、このような次世代交通社会の実現に必須となるエレクトロニクス技術の開発を行う。具体的には、平成30年度頃の市場投入を目指し、安全運転支援を実現するためのセンシングデバイスの開発、車載センサーの情報から障害物を認識し危険度を判別するアプリケーションプロセッサの開発、多くの車から収集した情報を分析するプローブデータ処理プロセッサの開発を行うことで、渋滞緩和、交通事故低減に寄与し、低炭素かつ安全な次世代交通社会の基盤を整備する。併せて、我が国の自動車関連企業の競争力強化に資する。

## (2) 研究開発の目標

### ① アウトプット目標

自動車の周辺情報を把握するシステムのキーデバイスである車載用障害物センシングデバイス、障害物検知・危険認識アプリケーションプロセッサ及びプローブデータ処理プロセッサを開発し、自動車関連企業の競争力強化に貢献する。各研究開発項目の具体的な目標は、別紙の研究開発計画に記載する。なお、目標に関しては、市場等を随時確認し、必要に応じて見直す。

### ② アウトカム目標

本技術の実用化により、急発進、急停止、渋滞等による非効率な燃料消費が改善され、平成32年度におけるCO<sub>2</sub>削減効果は約220万トン/年が見込まれる。また、市場創出効果は平成32年度で約2,500億円規模が期待される。

## (3) 研究開発の内容

上記目標を達成するために、以下の項目について、別紙の研究開発計画に基づき実施する。具体的な研究開発項目は以下の3点である。

### 研究開発項目① 車載用障害物センシングデバイスの開発

- ・夜間を含む全天候下で、多数の障害物の位置と距離を同時にリアルタイムで測定するセンシングデバイス技術の開発

### 研究開発項目② 障害物検知・危険認識アプリケーションプロセッサの開発

- ・センシングデバイスのデータを基に多数の障害物を認識し、その動きを予測し、衝突危険度を判別するアプリケーションプロセッサの開発

### 研究開発項目③ プローブデータ処理プロセッサの開発

- ・多くの車から収集された周辺情報を高速処理する情報処理用低消費電力プロセッサの開発

研究開発項目①については、産学官の複数事業者が互いのノウハウ等を持ちより協調して実施する基盤的内容の場合は、原則として委託事業として実施し、それ以外の場合は、助成事業（助成率1/2以下）として実施する。

研究開発項目②、③については、助成事業（助成率1/2以下）として実施する。

## 2. 研究開発の実施方式

### (1) 研究開発の実施体制

本事業は、独立行政法人新エネルギー・産業技術総合開発機構（以下、「NEDO」という。）が、単独ないし複数の原則本邦の企業、大学等の研究機関（原則、本邦の企業等

で日本国内に研究開発拠点を有していること。なお、国外の企業等（大学、研究機関を含む）の特別の研究開発能力、研究施設等の活用または国際標準獲得の観点から国外企業等との連携が必要な部分を、国外企業等との連携により実施することができる。）から公募によって研究開発実施者を選定し実施する。

#### （２）研究開発の運営管理

研究開発全体の管理・執行に責任を有するNEDOは、経済産業省及び研究開発実施者と密接な関係を維持しつつ、本事業の目的及び目標に照らして適切な運営管理を実施する。具体的には、必要に応じて設置されるプロジェクト推進委員会等における外部有識者の意見を運営管理に反映させる他、研究開発実施者からプロジェクトの進捗について随時報告を受けること等により進捗の確認及び管理を行うものとする。

#### 3. 研究開発の実施期間

本事業の期間は、平成25年度から平成29年度までの最長5年間とする。

#### 4. 評価に関する事項

NEDOは、（１）事業の位置付け・必要性、（２）研究開発マネジメント、（３）研究開発成果、（４）実用化、事業化に向けての見通し及び取り組みの4つの評価項目について、外部有識者による評価を行う。5年間の事業を実施する場合は、中間評価を平成27年度、事後評価を平成30年度に実施する。

なお、中間評価結果を踏まえ、必要に応じて事業の加速・縮小・中止等、見直しを迅速に行う。評価の時期については、当該研究開発に係る技術動向、政策動向や当該研究開発の進捗状況等に応じて、事業実施を前倒しする等、適宜見直すものとする。

#### 5. その他の重要事項

##### （１）研究開発成果の取扱い

###### ①成果の普及

研究開発実施者は、研究開発成果を広範に導入・普及するように努めるものとする。また、NEDOは、研究開発実施者による研究開発成果の広範な普及・導入を促進する。

###### ②標準化等との連携

研究開発成果は、標準化等との連携を図るため、標準化提案に係る評価手法の提案、データの提供等を必要に応じて実施する。

###### ③知的財産権の帰属

研究開発項目①を委託事業で実施する場合の知的財産権については、「独立行政法人



新エネルギー・産業技術総合開発機構新エネルギー・産業技術業務方法書」第25条の規定等に基づき、原則として、すべて委託先に帰属させることとする。

(2) 基本計画の変更

NEDOは、研究開発内容の妥当性を確保するため、社会・経済的状況、国内外の研究開発動向、政策動向、第三者の視点からの評価結果、研究開発費の確保状況、当該研究開発の進捗状況等を総合的に勘案し、達成目標、実施期間、研究開発体制等、基本計画の見直しを弾力的に行うものとする。

(3) 根拠法

本事業は、「独立行政法人新エネルギー・産業技術総合開発機構法」第15条第1項第1号ニ、3号に基づき実施する。

6. 基本計画の改訂履歴

- (1) 平成25年7月、制定。

(別紙) 研究開発計画

研究開発項目① 車載用障害物センシングデバイスの開発

1. 研究開発の必要性

衝突回避技術の高度化には、いかなる条件下でも障害物の場所を正確かつ速く把握することが極めて重要である。そのためには、夜間を含む全天候下で車両や歩行者等多数の障害物の位置と距離を同時にリアルタイムで測定可能なセンシングデバイスと、バックミラー裏やバンパー等限られたスペースに搭載可能なデバイスの小型化技術が不可欠である。

2. 研究開発の具体的内容

夜間を含む全天候下で20m以上先の車両や歩行者等多数の障害物の位置と距離を同時にリアルタイムで測定できるセンシングデバイス及び三次元積層といった省スペース化と高速信号伝送特性を併せ持つ車載品質のデバイスの小型化技術を開発する。

3. 達成目標

【中間目標】

- ・20m以上先の車両や歩行者等多数の障害物の位置と距離を同時に測定できるセンシングデバイスを開発し、性能評価を行う。その評価結果から最終目標達成のための課題を抽出し、解決の技術的見通しを明確にする。
- ・センシングデバイスの省スペース化に資するデバイスの小型化技術の技術的見通しを明確にする。

【最終目標】

- ・走行中に夜間を含む全天候下で、20m以上先までの車両や歩行者等多数の障害物の位置と距離を同時にリアルタイムで高精度に測定するセンシングデバイスを開発する。
- ・車載環境下で上記のセンシング特性を有し、バックミラー裏やバンパー等限られたスペースに搭載できるデバイスの小型化技術を開発する。

なお、目標は市場等を踏まえ必要に応じて見直しを行う。

## 研究開発項目② 障害物検知・危険認識アプリケーションプロセッサの開発

### 1. 研究開発の必要性

衝突回避技術の高度化には、人の飛び出し、走行中の急な割り込みなど多数の障害物を認識し、その動きを予測し、衝突の危険度を判別する技術が必須となる。

そのキーテクノロジーとして、障害物の危険度を判別するソフトウェアとそれをリアルタイムで高速演算処理するプロセッサが必要である。

### 2. 研究開発の具体的内容

センシングデバイスからの大量のデータを高速かつ低消費電力で処理できるアーキテクチャーを搭載した車載用のプロセッサを開発する。

上記のプロセッサをプラットフォームとして、より多くの車両や歩行者等の障害物の動きを予測し、その衝突の危険度を判別するアプリケーションソフトを開発する。

### 3. 達成目標

#### 【中間目標】

- ・車両や歩行者等多数の障害物の動きを予測するアルゴリズムを開発し、その危険度を判別するソフトウェアの仕様を作成する。
- ・センシングデバイスからの大量のデータを高速かつ低消費電力で動作するプロセッサのアーキテクチャーを設計し、技術的見通しを明確にする。

#### 【最終目標】

- ・以下の機能を有するアプリケーションソフトを開発する。
  - ・走行車両周辺の歩行者、自動車、二輪車など多数の障害物の認識
  - ・それぞれの障害物の動きの予測
  - ・それぞれの障害物の衝突危険度の判別
- ・アプリケーションソフトを搭載した以下の性能を有するアプリケーションプロセッサを開発する。
  - ・メモリスループット : 80 GByte/s 以上
  - ・単位消費電力当たり演算性能 : 1,000 GOPS/W 以上  
GOPS (Giga Operations per Second)
  - ・検出処理時間 : 50 msec以下

なお、目標は市場等を踏まえ必要に応じて見直しを行う。

## 研究開発項目③ プローブデータ処理プロセッサの開発

### 1. 研究開発の必要性

次世代交通社会の実現には、刻々と変化する地域交通網の状況把握・予測・対応策を個々の自動車にフィードバックする情報システムが必要である。それを司る自動車分野向けサーバーシステムには、個々の自動車からもたらされる周辺情報や車両の診断情報等のプローブ情報を、渋滞予測、事故多発マップ等の目的に応じて分析する技術の高度化が求められる。そのキーデバイスとして、膨大なデータをニーズに応じて高速演算処理できる低消費電力プロセッサが必須である。

### 2. 研究開発の具体的内容

車両からのリアルタイム情報と過去の渋滞モデル等から個々の自動車に安全で効率的な運転支援情報を提供するハイエンドサーバーシステムに搭載されるプロセッサ<sup>(※)</sup>を開発する。具体的には、平成32年度頃の実用化を目指し、テレマティクス向けサーバーシステムが扱うエクサバイト規模の情報をリアルタイムで処理する低消費電力プロセッサ技術を開発する。

(※) 本事業では、回路、システム、設計技術、組立技術を重点的な対象とし、専ら新材料、新デバイス構造、新プロセスの開発を目的とするものは対象としない。

### 3. 達成目標

#### 【中間目標】

- ・大容量データを高速かつ低消費電力で処理するプロセッサの要素技術を開発し、最終目標達成に必要な技術的見通しを明確にする。

#### 【最終目標】

- ・以下の性能を有する高性能で低消費電力のプロセッサを開発する。
    - ・単位消費電力当たり演算性能 : 3 Gflops/W 以上
    - ・ピーク演算性能 : 1 Tflops 以上
    - ・メモリースループット : 0.3 Byte per flop 以上
- flops(floating-point operations per second)

なお、目標は市場等を踏まえ必要に応じて見直しを行う。

## 事前評価書

	作成日	平成25年6月17日
1. プロジェクト名	次世代スマートデバイス開発プロジェクト	
2. 推進部署名	電子・材料・ナノテクノロジー部	
3. プロジェクト概要（予定）		
(1) 概要		
1) 背景		
<p>次世代交通社会の実現には、自動車の燃焼システムの環境対応に加え、急発進、急停止、渋滞等による非効率な燃料消費の改善及び人の飛び出しや走行中の急な割り込み等による衝突事故の削減など、一層の省エネ化と安全走行の高度化が重要である。その実現には、自動車の周辺情報を集め即座に状況を把握するシステムの構築が必要となり、そのための技術開発が求められている。</p> <p>欧州では一層の安全性向上のために衝突回避技術に重点が置かれ、米国では平成32年度頃の実現を目指し、各種センサーを活用した自律走行技術の開発が進んでいる。我が国では衝突回避に加え車車間通信、路車間通信技術を用いた渋滞緩和に関する技術開発が進行している。これらのキーデバイスになる障害物センシングデバイス、プロセッサ等の市場は、材料、チップ、モジュール、製造装置事業の総額では平成32年度で約1兆円と試算されている。</p>		
2) 目的		
<p>本事業では、このような次世代交通社会の実現に必須となるエレクトロニクス技術の開発を行う。具体的には、平成30年度頃の市場投入を目指し、安全運転支援を実現するためのセンシングデバイスの開発、車載センサーの情報から障害物を認識し危険度を判別するアプリケーションプロセッサの開発、多くの車から収集した情報を分析するプローブデータ処理プロセッサの開発を行うことで、渋滞緩和、交通事故低減に寄与し、低炭素かつ安全な次世代交通社会の基盤を整備する。併せて、我が国の自動車関連企業の競争力強化に資する。</p>		
3) 実施内容		
<p>研究開発項目① 車載用障害物センシングデバイスの開発</p> <ul style="list-style-type: none"> <li>・夜間を含む全天候下で、多数の障害物の位置と距離を同時にリアルタイムで測定するセンシングデバイス技術の開発</li> </ul> <p>研究開発項目② 障害物検知・危険認識アプリケーションプロセッサの開発</p>		

<ul style="list-style-type: none"> <li>・センシングデバイスのデータを基に多数の障害物を認識し、その動きを予測し、衝突危険度を判別するアプリケーションプロセッサの開発</li> </ul> <p>研究開発項目③ プローブデータ処理プロセッサの開発</p> <ul style="list-style-type: none"> <li>・多くの車から収集された周辺情報を高速処理する情報処理用低消費電力プロセッサの開発</li> </ul> <p>(2)規模 平成25年度予算(需給)15.3億円(委託、助成(助成率1/2以下))</p> <p>(3)期間 平成25～29年度(最長5年間)</p>
<p><b>4. 評価内容</b></p> <p><b>(1) プロジェクトの位置付け・必要性について</b></p> <p><b>1) NEDOプロジェクトとしての妥当性</b></p> <p>次世代交通社会の実現には、非効率な燃料消費の改善、衝突事故の削減など、一層の省エネ化と安全走行の高度化が重要である。また、この自動車関連分野は、自動車の安全運転支援等を通じて更なる市場の成長が見込まれており、我が国としてもその世界市場獲得は重点施策と位置付けている。</p> <p>本分野を推進するには、デバイス技術、情報処理技術等の異なる領域の技術を束ね、また、企業だけでは成しえない難易度の高い要素技術の開発等が必要となる。</p> <p>以上、本事業は次世代交通社会を実現すると共に、我が国の主要産業であるエレクトロニクス産業、自動車産業等の国際競争力を強化するものであり、また、民間企業単独では成しえないものである点から、NEDOが取り組むべきプロジェクトとして妥当である。</p> <p><b>2) 目的の妥当性</b></p> <p>本事業では、自動車の周辺情報を把握するシステムのキーデバイスである車載用障害物センシングデバイス、障害物検知・危険認識アプリケーションプロセッサ及びプローブデータ処理プロセッサを開発し、自動車関連企業の競争力強化に貢献することを目的としており、妥当な目的である。</p> <p><b>(1) プロジェクトの位置付け・必要性についての総合的評価</b></p> <p>本事業は、自動車の省エネ化と安全性向上を目指した技術開発であり、次世代交通社会の実現に必要不可欠であることから、位置付け・必要性は妥当である。</p> <p><b>(2) プロジェクトの運営マネジメントについて</b></p>

#### 1) 成果目標の妥当性

本事業では以下の研究開発を実施する。

##### 研究開発項目① 車載用障害物センシングデバイスの開発

- ・夜間を含む全天候下で、多数の障害物の位置と距離を同時にリアルタイムで測定するセンシングデバイス技術の開発

##### 研究開発項目② 障害物検知・危険認識アプリケーションプロセッサの開発

- ・センシングデバイスのデータを基に多数の障害物を認識し、その動きを予測し、衝突危険度を判別するアプリケーションプロセッサの開発

##### 研究開発項目③ プローブデータ処理プロセッサの開発

- ・多くの車から収集された周辺情報を高速処理する情報処理用低消費電力プロセッサの開発

これらを通じて、非効率な燃料消費の改善、衝突事故の削減等次世代交通社会の課題解決に必要とされる技術開発を目標としており、成果目標として妥当である。

#### 2) 実施計画の想定と妥当性

本事業の実施期間は最長5年間の研究開発を想定している。その際、事業形態については、その内容に応じて妥当な形態に変更することとしている。具体的には以下の通り。

研究開発項目①については、産学官の複数事業者が互いのノウハウ等を持ちより協調して実施する基盤的内容の場合は、原則として委託事業として実施し、それ以外の場合は、助成事業（助成率1/2以下）として実施する。

研究開発項目②、③については、助成事業（助成率1/2以下）として実施する。

#### 3) 評価実施の想定と妥当性

NEDOは、（1）事業の位置付け・必要性、（2）研究開発マネジメント、（3）研究開発成果、（4）実用化、事業化に向けての見直し及び取り組みの4つの評価項目について、外部有識者による評価を行う。5年間の事業を実施する場合は、中間評価を平成27年度、事後評価を平成30年度に実施する。

なお、中間評価結果を踏まえ、必要に応じて事業の加速・縮小・中止等、見直しを迅速に行う。評価の時期については、当該研究開発に係る技術動向、政策動向や当該研究開発の進捗状況等に応じて、事業実施を前倒しする等、適宜見直すものとする。

#### 4) 実施体制の想定と妥当性

デバイス技術、情報処理技術等を有するメーカーが相互に連携し、また自

<p>自動車及び自動車部品メーカーがユーザー視点で常に市場情報をフィードバックしながら、研究開発目標の見直し、研究開発進捗管理等のマネジメントを行う体制をとる。</p>
<p><b>5) 実用化・事業化戦略の想定と妥当性</b></p> <p>本事業のそれぞれの研究開発項目の達成目標は事業化レベルを設定しており、プロジェクト終了後自動車関連分野の機器メーカー、モジュールメーカー、デバイスメーカー、製造装置メーカー等から上市されることが想定されている。</p>
<p><b>6) 知財戦略の想定と妥当性</b></p> <p>実施する企業間での合意を想定している。</p>
<p><b>7) 標準化戦略の想定と妥当性</b></p> <p>プロジェクト内での標準化活動は想定していない。</p>
<p><b>(2) プロジェクトの運営マネジメントについての総合的評価</b></p> <p>自動車及び自動車部品メーカーからの市場情報を適宜フィードバックする体制を構築する等、妥当な実施体制が構築されることが見込まれる。更に、本事業の目標は事業化レベルを設定しており、プロジェクト終了後の上市が期待される等、妥当な運営マネジメントを行っている。</p>
<p><b>(3) 成果の実用化・事業化の見通しについて</b></p>
<p><b>1) プロジェクト終了後における成果の実用化・事業化可能性</b></p> <p>衝突回避システムなどの安全運転支援システムは小型車にまで標準搭載される動きがあり世界的に重要分野として位置付けられている。またプローブデータを活用した安全且つ効率的な交通社会の実現は、世界規模で進行中のスマートシティプロジェクトの中核である。本事業は、そのようなグローバルニーズに即して行われるものであり、開発成果が実用化・事業化に繋がる可能性は高いと判断される。</p>
<p><b>2) 成果の波及効果</b></p> <p>産業の裾野が広い自動車に搭載されることで、関連する製造装置や材料等への大きな波及効果が期待される。また、本分野における主要企業、研究機関の技術者の参画による事業レベルの技術開発を通じて、本分野における人材育成が期待される。</p>
<p><b>(3) 成果の実用化・事業化の見通しについての総合的評価</b></p> <p>本事業で開発する車載用障害物センシングデバイス、障害物検知・危険認識アプリケーションプロセッサ、プローブデータ処理プロセッサのそれぞれのターゲットは明確であり、また、安全走行に関する世界的ニーズに即して行われる事業であるため、開発成果が実用化・事業化に繋がることを期待される。</p>



「次世代スマートデバイス開発プロジェクト」に対するパブリックコメント募集の結果について

平成 25 年 7 月 30 日  
N E D O  
電子・材料・ナノテクノロジー部

NEDO POST 3 において標記基本計画（案）に対するパブリックコメントの募集を行いました結果をご報告いたします。  
みなさまからのご協力を頂き、ありがとうございました。

1. パブリックコメント募集期間  
平成 25 年 6 月 21 日～平成 25 年 7 月 4 日
2. パブリックコメント投稿数<有効のもの>  
計 1 件

1

3. パブリックコメントの内容とそれに対する考え方

ご意見の概要	ご意見に対する考え方	基本計画・技術開発課題への反映
<p><b>全体について</b></p> <p><b>【意見 1】 (1 件)</b></p> <p>本 P J は、これからの日本の技術力アップのためにも大変重要な P J であると認識している。またその出口である事業化として難易度の高い車載用途をターゲットにしていることは、達成レベルという観点から意義があるが、本技術自体はビッグデータを取り扱う用途には共通の基盤技術となるため、その確立が何よりも重要と考える。一方国としてもその完成した共通基盤技術を横展開させる（例えば医療とか）ための活動を支援する取り組みも本 P J のタイムフレームのどこかで検討する必要がある。</p> <p>また標準化という言葉の定義を明確にする必要があるが、事前評価書 2 項(2)7)内にある「プロジェクト内の標準化活動は想定していない」という一文についても基本計画 5 項(1)②の文書と矛盾しているような印象を受ける。強い武器となる判断できたタイミングで、標準化活動をしないといけないのでは？と思う。</p> <p>いずれにせよ日本のモノづくりの継続性のため、本 P J の完遂のため積極的にサポートしたい気持ちで一杯である。</p>	<p><b>【考え方と対応】</b></p> <p>この度は貴重なご意見ありがとうございました。</p> <p>本 P J は安全運転支援を実現するためのセンシングデバイスの開発、車載センサーの情報から障害物を認識し危険度を判別するアプリケーションプロセッサの開発、多くの車から収集した情報を分析するプローブデータ処理プロセッサの開発を行うことで、渋滞緩和、交通事故低減に寄与し、低炭素かつ安全な次世代交通社会の基盤を整備するものです。併せて、我が国の自動車及び自動車部品関連企業の競争力強化に資することを狙っています。従って、本 P J は自動車産業関連分野に注力する活動になります。</p> <p>また、このように分野に特化したデバイスは分野専用品になります。分野専用品はデファクトを獲ることで競争優位性を構築することを想定しているため、事前評価書 4. (2)7)で「プロジェクト内の標準化活動は想定していない」と記しております。</p> <p>他方、標準化等に係る活動は必要に応じて実施することも考えられるので、基本計画 5. (1)②において「研究開発成果は、標準化等との連携を図るため、標準化提案に係る評価手法の提案、データの提供等を必要に応じて実施する。」と記して取り組むこととしております。</p>	<p><b>【反映の有無と反映内容】</b></p> <p>特になし</p>

以上

2

## ●特許論文等リスト

【学会発表・講演】

番号	発表者	所属	タイトル	発表会・講演会名	査読	発表年	発表月日
1	中村誠	富士通	三次元積層集積デバイス向け 高アスペクト比のビア深さ測定	第75回応用物理学会 秋季学術講演会	無	2014	9.19
2	土手暁	富士通	再配線構造による薄化Siチップ の熱変形挙動	第75回応用物理学会 秋季学術講演会	無	2014	9.19
3	中村誠	富士通	Directly depth measurement system of high aspect ratio via hole for 3D stacked device	Advanced Metallization Conference 2014	無	2014	10.23
4	荒賀、菊地、 青柳	産業技術 総合研究 所	Substrate Monitoring System for Inspecting Defects in TSV-Based Data Buses	3DIC 2014	無	2014	12.1
5	フェン、 渡辺、島本、 菊地、青柳	産業技術 総合研究 所	Analysis of Thermal Stress Distribution for TSV with Novel Structure	3DIC 2014	無	2014	12.1
6	木村禎祐 他	デンソー	次世代スマートデバイス開発 プロジェクト	セミコンジャパン2014	無	2014	12.3
7	藤本裕	デンソー	環境・安全を牽引する カーエレクトロニクスと 半導体技術	ネプコンジャパン2015 半導体パッケージング 技術展	無	2015	1.16
8	村上嘉浩、 長谷川清久 他	デンソー 図研	三次元積層ICを用いた パッケージ熱応力設計	エレクトロニクス 実装学会	無	2015	3.17
9	赤松俊也	富士通	Study of Chip Stack Process and Electrical Properties for 3D- IC	11th International Conference and Exhibition On Device Packaging	無	2015	3.17
10	森田将	富士通	C4バンプ接続における 無電解Ni-B UBMのバリア特性	エレクトロニクス 実装学会春季講演大会	無	2015	3.18
11	長谷川清久 他	図研	三次元積層ICを用いた パッケージ熱応力設計	LPBフォーラム	無	2015	3.19
12	只木進二	富士通	Reliability Studies on Micro-joints for 3D-Stacked Chip	2015 International Conference on Electronics Packaging and iMAPS All Asia Conference	無	2015	4.15

番号	発表者	所属	タイトル	発表会・講演会名	査読	発表年	発表月日
13	北田秀樹	富士通	Thermal stress destruction analysis in Low-k layer by via-last TSV structure	The Electronic Components and Technology Conference (ECTC)	有	2015	5.26
14	フェン、渡辺、島本、菊地、青柳	産業技術総合研究所	Methods to Reduce Thermal Stress for TSV Scaling ~TSV with Novel Structure: Annular-Trench-Isolated TSV~	The Electronic Components and Technology Conference (ECTC)	有	2015	5.28
15	小川勝他	豊田中央研究所	A NIR-Sensitivity-Enhanced Single-Photon Avalanche Diode in 0.18 $\mu$ m CMOS	International Image Sensor Society	有	2015	6.10
16	赤松 俊也	富士通	TSVを用いた三次元実装技術の取り組み	2015年度第1回TSV応用研究会	無	2015	6.19
17	長谷川清久、村上嘉浩	図研デンソー	三次元積層ICを用いたパッケージ熱応力設計	エレクトロニクス実装学会(JIEP)システムJisso-CAD/CAE研究会	無	2015	7.27
18	荒賀、菊地、青柳	産業技術総合研究所	Guard-Ring Monitoring System for Inspecting Defects in TSV-Based Data Buses	3DIC 2015	無	2015	9.1
19	荒賀、菊地、青柳	産業技術総合研究所	シリコン基板雑音監視によるTSVバス不良検出回路	マイクロエレクトロニクスシンポジウム(MES2015)	無	2015	9.4
20	田代浩子	富士通	65nm MOSFETおよびCMOSインバータの電気特性に及ぼすTSV応力の影響	マイクロエレクトロニクスシンポジウム(MES2015)	無	2015	9.4
21	佐々木真	富士通	三次元積層LSIにおけるTSVを経由する線路の信号伝送特性	マイクロエレクトロニクスシンポジウム(MES2015)	無	2015	9.4
22	土手暁	富士通	Deformation of Thin and Large Si Die with Non-uniform RDL Pattern	ADMETA plus 2015 (応用物理学会主催)	有	2015	9.17
23	山下達弥	豊田中央研究所	A NIR-Sensitivity-Enhanced Single-Photon Avalanche Diode in 0.18 $\mu$ m CMOS	NEDO-CDTIワークショップ	無	2015	10.23
24	野村昌弘	ルネサスエレクトロニクス	Development of over 1000 GOPS/W Image Recognition Processor Platform Technologies	NEDO-CDTIワークショップ	無	2015	10.23
25	藤本裕	デンソー	カーエレクトロニクス	薄膜材料デバイス研究会	無	2015	10.30

## 論文リスト2

【論文】(査読有)

番号	発表者	所属	タイトル	発表誌名、ページ番号	査読	発表年
1	荒賀、菊地、青柳	産業技術総合研究所	Substrate Monitoring System for Inspecting Defects in TSV-Based Data Buses	IEEE proceeding of 3DIC 2014	有	2014
2	フェン、渡辺、島本、菊地、青柳	産業技術総合研究所	Analysis of Thermal Stress Distribution for TSV with Novel Structure	IEEE proceeding of 3DIC 2014	有	2014
3	フェン、渡辺、島本、菊地、青柳	産業技術総合研究所	Methods to Reduce Thermal Stress for TSV Scaling ~TSV with Novel Structure: Annular-Trench-Isolated TSV~	IEEE proceeding of ECTC 2015	有	2015
4	荒賀、菊地、青柳	産業技術総合研究所	Guard-Ring Monitoring System for Inspecting Defects in TSV-Based Data Buses	IEEE proceeding of 3DIC 2015	有	2015
5	荒賀、菊地、青柳	産業技術総合研究所	シリコン基板雑音監視による TSVバス不良検出回路	MES2015論文集	有	2015
6	田代浩子	富士通	TSVおよびSi-IP配線の電気特性に及ぼすSi基板抵抗率の影響	電子情報通信学会論文誌(特集号)	有	2015

【論文】(査読無)

番号	発表者	所属	タイトル	発表誌名、ページ番号	査読	発表年
1	吉良 秀彦	富士通	大面積チップサイズ対応の TSV チップ積層技術の開発	第 25 回マイクロエレクトロニクスシンポジウム(MES2015)	無	2015
2	佐々木 真	富士通	3次元積層 LSI における TSV を経由する線路の信号伝送特性	第 25 回マイクロエレクトロニクスシンポジウム(MES2015)	無	2015
3	田代 浩子	富士通	65nm MOSFET および CMOS インバータの電気特性に及ぼす TSV 応力の影響	第 25 回マイクロエレクトロニクスシンポジウム(MES2015)	無	2015