

研究評価委員会

「低電力回路・システム技術開発（「極低電圧要素回路技術」及び「極低電力 LSI チップ適合最適化技術」および「低電力無線/チップ間ワイヤレス技術」）」（事後評価）分科会 議事録

日時：平成 25 年 11 月 19 日（火） 9：40～18：05

場所：東京大学生産技術研究所（An 棟 4 階中セミナー室）

出席者（敬称略、順不同）

<分科会委員>

分科会長	小柳 光正	東北大学 未来科学技術共同研究センター	教授
分科会長代理	雨宮 好仁	北海道大学	名誉教授
委員	大島 賢一	鹿児島大学大学院 理工学研究科 電気電子工学専攻	准教授
委員	尾上 孝雄	大阪大学 大学院情報科学研究科 情報システム工学専攻	教授
委員	小池 帆平	独立行政法人産業技術総合研究所 ナノエレクトロニクス研究部門 エレクトロインフォマティクスグループ	グループ長
委員	向林 隆	株式会社アイティファーム	執行役員
委員	渡辺 重佳	湘南工科大学 工学部 情報工学科	教授

<推進者>

岡田 武	NEDO 電子・材料・ナノテクノロジー部	部長
関根 久	NEDO 電子・材料・ナノテクノロジー部	統括研究員
金里 雅敏	NEDO 電子・材料・ナノテクノロジー部	主任研究員
山崎 光浩	NEDO 電子・材料・ナノテクノロジー部	主査
平山 武司	NEDO 電子・材料・ナノテクノロジー部	主査
高井 伸之	NEDO 電子・材料・ナノテクノロジー部	主査

<実施者※メインテーブル着席者のみ>

桜井 貴康	東京大学 生産研究所第3部	教授
篠原 尋史	株式会社半導体理工学研究センター	社長付 技監
石黒 仁揮	慶應義塾大学 理工学部電子工学科	准教授
黒田 忠広	慶應義塾大学 理工学部電子工学科	教授
高宮 真	東京大学 大規模集積システム設計教育研究センター（VDEC）	准教授
中屋 雅夫	株式会社半導体理工学研究センター	取締役社長
中浦 一浩	システムエルエスアイ株式会社	代表取締役社長
松澤 昭	東京工業大学 大学院理工学研究科 電子物理工学専攻	教授

<企画調整>

中谷 充良 NEDO 総務企画部 課長代理

<事務局>

保坂 尚子 NEDO 評価部 主幹

加藤 芳範 NEDO 評価部 主査

議事次第

(公開セッション)

1. 開会、分科会の設置について、資料の確認
2. 分科会の公開について
3. 評価の実施方法について
4. 評価報告書の構成について
5. プロジェクトの概要説明
 - 5.1 事業の位置付け・必要性及び研究開発マネジメント
 - 5.2 研究開発成果
 - 5.3 実用化・事業化の見通し及び取り組みについて

(非公開セッション)

6. プロジェクトの詳細説明
 - 6.1 研究開発成果について
 - 6.1.1 アナログ回路技術 (アナログ技術ベース)
 - 6.1.2 ロジック回路技術
 - 6.1.3 メモリ回路技術
 - 6.1.4 アナログ回路技術 (デジタル技術ベース)
 - 6.1.5 電源回路技術
 - 6.1.6 極低電力 LSI チップ統合最適化技術
 - 6.1.7 低電力無線回路/チップ間ワイヤレス技術
 - 6.2 開発技術紹介 (デモンストレーション)
 - 6.3 実用化・事業化に向けての見通し及び取り組みについて
 - 6.3.1 株式会社東芝
 - 6.3.2 富士通株式会社
 - 6.3.3 ルネサスエレクトロニクス株式会社
 - 6.3.4 ソニー株式会社
7. 全体を通しての質疑

(公開セッション)

8. まとめ・講評
9. 今後の予定、その他
10. 閉会

議事内容

1. 開会、分科会の設置について、資料の確認

- ・開会宣言（事務局）
- ・研究評価委員会分科会の設置について、資料 1-1 および 1-2 に基づき事務局より説明
- ・小柳分科会長挨拶
- ・委員の紹介（事務局）
- ・出席者（推進者、実施者、事務局）の紹介（推進者、実施者、事務局）
- ・配布資料の確認（事務局）

2. 分科会の公開について

事務局より資料 2-1 および 2-2 に基づき説明が行われ、議題 6「プロジェクトの詳細説明」および議題 7「全体を通しての質疑」を非公開とすることが了承された。

3.4. 評価の実施方法および評価報告書の構成について

事務局より資料 3-1 から資料 3-5、資料 4 について説明が行われ、評価の実施方法および評価報告書の構成は事務局案通り了承された。

5. プロジェクトの概要説明

推進者より資料 5-1 に基づき説明が行われ、以下のような質疑応答が行われた。

【小柳分科会長】 どうもありがとうございました。ただいまの説明に関してご意見・ご質問がありましたらよろしくお願ひいたします。なお技術の詳細につきましては、後ほど議題 6 で議論する時間がありますので、ここでは主に事業の位置付け・必要性、マネジメントについてのご意見をお願いいたします。

【雨宮分科会長代理】 桜井先生にお尋ねします。最初に出された資料のしきい値の設計について（資料 5-1,p26）、このグラフはしきい値を一定にして電源電圧を下げたものでしょうか。

【桜井（実施者）】 左のほうのグラフですね。しきい値を一定にして電源電圧を下げたものです。

【雨宮分科会長代理】 そうすると、電圧ゼロに近づくにつれて、速度が遅くなるので一サイクル当たりリーク電流の流れる時間が増えるからこうなるわけですね。

【桜井（実施者）】 はい、速度は、基本的にはどんどん遅くなることになります。消費電力に関

しては、あるところからリークが多くなります。

【雨宮分科会長代理】 1 サイクルの間で例えばスイッチが1回と一定でも、演算速度が遅いためリーク時間が長くなり消費エネルギーが増えていくわけですね。そのしきい値の考え方として、例えば、速度を一定に保つようにしきい値も下げながら演算当たりのエネルギー最小をねらうのと、今のあるがままのしきい値のもとでエネルギー最小をねらうという、二つの方針があると思いますが、大まかにはしきい値は一定、いまあるものを使うというスタンスでよろしいのでしょうか。あるいは、たとえばデジタル回路によってはしきい値を設計するという方針も必要で、それもこれから考えられるということでしょうか。

【桜井 (実施者)】 この図は、しきい値も振っていろいろと計算をしたものです。しきい値を高く設定すると、速度がより遅くなる。その代わりリークは少なくなる。ある仕事をやる上で、どのくらいエネルギーが必要か、あるいは消費電力はどのくらいかというエネルギー問題としては大切ですが、そういう観点でいくとしきい値にはほとんど依りません。やはり0.3V程度のところでエネルギーはミニマムを取ることがわかってきました。

したがって、しきい値をコントロールする、あるいはしきい値を最初にターゲットを決めていく上で、いろいろ調整しても、それだけではなかなか低いエネルギーは達成できないということがわかってきました。

【雨宮分科会長代理】 それからこのしきい値電圧のばらつきですが、同じNチャンネル間、あるいはPチャンネル間でのばらつきが重要になりますか。それともNチャンネルとPチャンネルの絶対値の差のばらつきが重要ですか。Nチャンネル同士、Pチャンネル同士であれば絶対値はともかく相対値は比較的そろうと思いますが、ここで問題になるのはNとPの絶対値の違いなのか、それとも同じ伝導形のトランジスタ間でのばらつきなのか、実際にはどちらでしょうか。

【桜井 (実施者)】 ロジックに関して言いますと、Pチャンネルのしきい値とNチャンネルのしきい値の差のばらつきが大変大きな問題になります。したがって、最初に設定した値から、どちらがばらついて、その差が問題だということです。ターゲット値の差が少しずれていたことよりも、ターゲットからのチップ上の多くのトランジスタがばらつくわけですが、そのばらつきのほうがよほど大きい状態になっています。いずれにしてもそのランダムばらつきと、PチャンネルとNチャンネルの差のばらつきが大きな問題であるという結論です。

【雨宮分科会長代理】 アナログ回路についてデジタルベースとアナログベースの研究をされました。現段階の結論としては、両方とも各応用分野で甲乙つけがたく先行きはまだわからない、という状況なのでしょうか。それとも、デジタルベース、アナログベースでそれぞれ向き不向きの応用分野があり棲み分けすべき、ということなのでしょうか。

【金里 (推進者)】 いずれも非常にすばらしい成果を出していただき、両方とも目標値を達成しています。したがってこれを⑤の統合最適化技術に持っていく際に、どちらを採用すべきか、非常に悩みました。NEDOとしては、公正な判断をしたいということで、1回公募をかけています。応募していただいた技術の方向性を議論する外部の審査委員も入れて判断を行いました。

その結果として、デジタル技術ベースを統合チップに載せることになりました。ただし、両方ともに目標値を達成しておりますし、今後それぞれの方向で技術開発の成果を活かしていく道はあると考えています。

【雨宮分科会長代理】 両方が完全に同じということではなくて、あるところはこれが向き、あるところはこれが向くというようなことがあるかと思っておりますので、その点に関して具体的なお話を伺えたらと思っておりました。

【小柳分科会長】 よろしいですか。質問の意味と説明がちょっと食い違っているような感じがありました。二つ採用したいきさつの説明はよくわかったのですが。

【桜井（実施者）】 実際にアナログの研究開発をする段階においては、システム LSI と東工大のチームとは情報交換なしに走ったわけですが、成果の詳細は非公開のセッションで述べられると思いますが、それぞれ特徴ある成果が出てきているのだろうと理解しております。少なくとも私どものデジタル技術ベースに関しては、クロック時間が速いのですとか、非常にスケラブルと言いますか、周波数を変えたときに遅くすれば電力が非常に低くなるし、速くすれば高くなるというデジタルベース特有のアナログ回路に仕上がっているということです。

アナログベースのほうは私が説明するべきところではありませんが、やはり特徴があるものと思います。したがって、それぞれ適切な使い道、使われ方、あるいは使う場所があるのだろうと思っております。

公募に関しては、そのときに今まで検討したものを STARC、東京大学、慶應大学のチームとして最適な組み合わせを提案したという経緯です。

【渡辺委員】 プロジェクトの目標に対してすばらしい成果が出ているので、大変感銘を受けました。プロジェクトの目標に関して伺います。最初に標準バルク CMOS(Complementary Metal Oxide Semiconductor)のプロセスを仮定ということで、その範囲内では非常にすばらしい成果になっていると思いますが、私が思うに、しきい値は DTMOS (Dynamic Threshold voltage MOSFET) で変えればよいし、SOI (Silicon on Insulator) にすれば、またしきい値の S ファクターも変わるので、あえてここで前提としてこれを仮定されたのは、どういう位置付けなのでしょう。

【桜井（実施者）】 ご案内のように、昨今我が国の多くの半導体メーカーがファブライツで標準的な CMOS を使って設計をし、製品をつくるというサイクルに入っていることを踏まえて、特殊なものを使わずに、どこのファウンドリでもだいたい使えるような技術で、しっかり回路技術を磨いていこうというのが意図です。ただし、ご指摘のように SOI を使えば、よりよい値が実現できるのではないかと考えています。

DTMOS については、いろいろとありますが、先ほども申しましたように単にしきい値を変えることはあまり魅力的ではないという結論です。

【渡辺委員】 わかりました。それからメモリに関しては、すばらしい成果が出ていると思いますが、個人的には SRAM(Static Random Access Memory)固有の性質だと思うので、たとえばメモリとして不揮発性メモリを仮定した場合には、また違う結果になるのではないかと

と思いますが、あえてメモリとして **SRAM** に限定して目標を設定されたのはどういう理由でしょうか。

【桜井 (実施者)】 ご指摘のとおりですが、普通の **SOC** とか、いまのシステムをつくっている集積回路に最も良く使われるのがロジックとメモリは **SRAM** との組み合わせです。**SRAM** は逃れることができない。不揮発性メモリに関しても、これが載っているチップもありますが、今後いろいろな不揮発性メモリも出てくる中で、どれに限定してやるか難しい。したがって、標準的な **CMOS** をまずベースにどこでもつくれるものを押さえるということを考えて、**SRAM** を選択しているということです。

【渡辺委員】 最後にもう 1 点だけお願いします。事業化のイメージのところ、要素技術を立ち上げて、それを組み合わせて省エネのネットワーク機器に使うというようなイメージを書かれています。私もこれが一番わかりやすい商品化のイメージだと思います。それとは逆に、例えばデータセンタ・モバイルの機器の消費電力を最初に決めて、そこからトップダウンで要素技術のターゲットを決めるようなイメージの目標設定等は過去にご検討されましたか。

【篠原 (実施者)】 研究開発のアプローチとしては、そのようなアプローチもあるかと思いますが、今回についてはネットワークにつながる機器は、非常に広範囲に及びます。また 45 ページに書いているようにモバイル・情報家電、スマート社会・医療健康と、さまざまな分野に及ぶところを総合的に低消費電力化していこうという観点から、特にこれというかたちで絞ったものではありません。

それから低電圧というのは、どういったものにも使えて、低電圧による低消費電力化というのは非常に広範囲に使える汎用的な手法であろうという考えもあって、こういったアプローチとしました。

【渡辺委員】 大変よく理解できました。どうもありがとうございました。

【小池委員】 基本計画を拝見すると、全般にわたって消費電力 1/10 が非常に明快なゴールとして設定されていますが、消費電力という言葉をどういうニュアンスで使っているのか、ちょっと気になりました。たとえば先ほど見せていただいた 32 ページのグラフでは、縦軸は **Energy/cycle**、もしくは **GOPS/W** という評価をしているが、いわゆる消費電力は(電源電圧×電源電流)であり一定時間に消費されるエネルギーということであると思うのですが、そのへんはどのような使い分けをされているか教えてください。

【桜井 (実施者)】 大変重要なご指摘だと思います。ある仕事をする時にどのぐらいエネルギーがかかるかというのが、エネルギー問題では基本的に重要です。それから、将来多くデバイスが使われるような状況においては、電池のこともあると思います。電池などのエネルギーがどのぐらい持つかということは、機器がある仕事をやった上で電池がどのぐらい持つかということですので、演算当たりのエネルギーが基本的になると考えています。

したがって、根底にはエネルギー問題が大切であることを理解しつつ、エネルギーを最小化しようということが、同じ速さであれば、消費電力で表現してもかまわないということで、同じ速さで比較するときには、消費電力を使っています。

- 【小池委員】 いまの話は、たぶんロジックのエリアや、場合によってはメモリの部分もそれで納得するのですが、アナログなどは、仕事量・通信量などに置き換えて同じようにノーマライズされて評価されているという理解で合っていますか。
- 【桜井 (実施者)】 そうだと思います。たとえば無線ではビットを送信するのが一つの作業です。それでどのぐらいのピコジュール、あるいはエネルギーがどのぐらいかかるかを、従来に比べて下げることが目標となっています。
- 【尾上委員】 NEDO に質問します。3 ページの「プロジェクトの目的」で、「ファブに依存しない」というところに「ハードウェア的アプローチとソフト的アプローチ」という言葉がでていますが。ソフト的アプローチは今回の対象外で、このプロジェクトはグリーン IT プロジェクトであり、まさに「極低電力回路・システム技術開発」というハード開発だと思のですが、ソフトに関しても何かアプローチを取られましたか。
- 【平山 (推進者)】 今日の極低電力の中には含まれていないのですが、NEDO が行っていた極低電力のプロジェクト自体には、ハードウェアとソフトウェアを含んだものがあり、そのソフトウェアに関する記述がここに残っています。ソフトウェアのアプローチについては、また 12 月に同じように事後評価を行いますので、そちらでまた別に報告させていただきます。メニコアという名前です。よろしくお願いします。
- 【大島委員】 ご説明の最初にあったこの事業の目的の妥当性というところに、本研究の成果をサーバに適用すると、原発 1 基分の電力が削減できるという大変魅力的なお話がありました。本研究の電力削減の手法は、デバイスの微細化による VDD の低下のトレンドをさらに上回るような低電圧化を実現して電力を削減していくという手法を取られていると思います。こういう手法を取ると、先ほどから少しお話が出ていますが、速度が大きく低下することがありますので、たとえばサーバにこの技術を適用することを考えると、サーバの要求性能はかなり高いところにあると思います。こういったハイパフォーマンスのシステムにこの技術を適用することが可能なのか、その方策があるか、お伺いたします。
- 【平山 (推進者)】 そこはご指摘いただいたとおり、半導体集積回路は VDD を低下させるとスピードが低下してパフォーマンスが落ちてくるという性質がありますので、現状では統合 1 チップの消費電力削減目標は 2009 年度(65nm または 45nm プロセス、1.2V 電源動作)の 3 分の 1 ぐらいまでというところで進めています。大規模チップの統合化のところに出てくる B チップがこれにあたります。この B チップでは、画像処理の能力を実現するためにチップの中のアーキテクチャをいろいろと検討して、今回研究開発した要素回路技術にその新しいアーキテクチャを取り込むことで低消費電力な画像の処理を行うことができるようになってきました。したがって、アーキテクチャやソフトウェア手法の検討も進んでいけば、2009 年度(65nm または 45nm プロセス、1.2V 電源動作)の 10 分の 1 の低消費電力化が実現出来るようになっていくのではないかと考えています。
- 【大島委員】 先ほど 1 単位仕事当たりのエネルギーを指標にされているというお話でしたが、たとえばサーバなど高性能のアプリケーションを仮定すると、速度が低下しますから、確かにエネルギーは低いのですが、対時間あたりに処理できる仕事量は減る。そうすると並列

数をかなり上げないとハイパフォーマンスのシステムには適用が難しいと思います。そうすると並列化するときのオーバーヘッドが、おそらく通常の電源電圧でやったときよりは並列数が増えるので、かなり出るのではないかと思います、そこを抑えるようなアーキテクチャレベルの工夫などの検討をしましたか。

【篠原（実施者）】 統合最適化チップでの取り組みを紹介させていただきます。これはまた非公開セッションでも説明しますが、非常に低電圧で動かして、かつエネルギー効率もよくて、それ相応の処理もできるということで、Bチップでは320並列、これは機能としてはそろったもので、シングルインストラクションですが、それで並列数を非常に高くしていくというアプローチです。それからもう一つAチップでは、これはプロセッサを8個並べて、低電圧になったときの処理の速度も能力もそこそこで、エネルギーもよくするというアプローチを取っています。ただ、並列したときのソフトウェア的な解決策はどうかとなると、もう一つのプロジェクトのメニコア等の技術も必要になってくるのではないかと思います。

【大島委員】 大変よくわかりました。ありがとうございました。

【桜井（実施者）】 補足ですが、現在のデータセンタやスーパーコンピュータなどもだいぶ並列化が進んでいますので、これから多く行われるクエリーがたくさんあるようなデータマイニングなどのアプリケーションは、基本的に並列化には向いていると思います。特に今度はまだ少し身の回りのことで考えますと、画像系が大変演算処理リッチですが、それも割と並列化が進んでおり、並列化をすることのオーバーヘッドがアプリケーションによってだいぶ緩和されてきている時代なのかと思います。

実際、インテルなどもだいぶ低電圧に絞っているということでもあります。パフォーマンスを確保するための最大のネックは、やはりパワー、すなわちある仕事をやるために必要なエネルギーです。したがって、この技術がそういうところに使われるのだらうと考えております。

【小柳分科会長】 スライド12ページ、開発マネジメントの「研究開発目標の妥当性」ですが、これを見ると目標が電力1/10以下と1/3以下の点が打ってあります。そこでずっと見ていくと、電源電圧5V以下で電力も1/10というのはいいののですが、この図を見ると何となくトランジスタ数は最高でも10⁷までしかターゲットにしていらないように見えるのですが、それでよろしいのですか。この図の表示の仕方だと思いますが。

【篠原（実施者）】 統合チップを開発したほうからお話しします。私たちは、規模として見たときに、これは最低レベルと考えています。これ以上規模の大きなところで0.5Vとか低電圧で動かす。Aチップについても、これよりも規模のもっと大きなところで、実際に実証するというのでやっています。この線を引いたときの右下に来るのが大事であるという観点です。

【小柳分科会長】 実際にそうだと思いますが、この図を出されてしまうと、何となく誤解を受けるようなところがあるのではないかと思います。

【金里（推進者）】 本研究開発の4年間の目標の中では、ここまでですが、もちろんこれから先

はグラフの右側の、より大規模な回路でより低電圧動作を実現することにトライしていきたいと考えているところです。

【小柳分科会長】 もう1点だけ簡単に、このプロジェクトは大変いろいろな成果が出されて新しい手法などもいろいろ導入されていますが、実際LSIとしてやるときに最近非常に問題になっているのは、テストの関係です。テストがだんだん難しくなっていて、中にBIST (Built in Self-test) を入れるなどいろいろなことをやっています。いわゆるデザイン・フォー・テストビリティという案件ですが、こういう低電圧の動作で回路等いろいろな方式が入ってくると、そのテストのやり方が相当変わってくるのではないかと思います。そのあたりをプロジェクトの中でどうとらえているのでしょうか。

それから先ほど実用化のところの説明で、そのあたりは一応考慮しますということですが、それはあくまでも事業化するとき企業の方で考えられることになっているのでしょうか。

【桜井 (実施者)】 統合チップに関しては、いままでの設計手法の検証まで含めて、範囲内で、あるいはテスト生成方法まで含めて従来の設計、ソフトウェアの仕組みの中で何とか解決してつくり上げたことになります。したがって、その範囲内でいろいろなばらつきなども考慮しての設計が一応できたということですが、新たな技術としてダイナミックなエラー検知の技術についても検討を進めました。詳細は後ほどですが、テストビリティを上げる努力も致しました。

【小柳分科会長】 わかりました。どうもありがとうございました。

6. プロジェクトの詳細説明 (非公開)

省略

7. 全体を通しての質疑 (非公開)

省略

8. まとめ・講評

【渡辺委員】 最近は低電力の勉強をしていませんでしたが、世の中が非常に進んでいることを実感しました。会社にいたときは5V電源で動かしていて、数年前は「1Vでアナログを動かしたい」と言うと「絶対にできない」という答えしか返ってきませんでした。今日のお話を伺うと、少なくとも0.5Vでデジタルもアナログもみんな動く研究開発レベルまで進んでいるので、とても意を強くしました。

この技術の実用化、事業化に向けて、ぜひ各社で取り組みを進めて、今回の成果を世界に先駆けて日本で製品化していただくように何とぞよろしくお願いいたします。

研究的には、次はもっと低い電圧をターゲットにしたものがあるのか、それを考えるのは意味がないのか、どのような検討をするのかわかりませんが、NEDOで新たな取り組みを考えていただければと思います。今日は大変勉強になりました。どうもありがとうございました。

ございました。

【向林委員】 私は事業化の専門家なので、その観点から意見を述べさせていただきます。要素技術は素晴らしいものができていると思います。事業化という観点ではシステムエルエスアイの中浦社長が、明確なビジョンをお持ちだったことが非常に心強かったです。それ以外のデジタルアプローチの要素技術は、コストや設計環境、テスト等、製品化のための準備が数年にわたって続くと理解しました。

ただ各社が持ち帰ってそれぞれやるのは「いつか来た道」という心配があります。ここを加速するために、NEDO か国の支援が必要だと感じています。

もう一つは事業化にあたっての戦略的なビジョンです。ハイエンドのサーバやスーパーコンピュータにこの技術を応用するマーケットと、例えば、ウェアラブルデバイスに代表されるウルトラローパワーのデバイスへの応用は、戦略も組む相手も違います。省エネが目的ならインテルやクアルコムと組んで、ライセンス料を取って彼らにこの技術を使ってもらうしか現実的にはありません。

ウルトラローパワーは日本が得意なところなので、国の支援をつぎ込んででも実用化させるべきだと感じました。

【小池委員】 本日は大変多彩な技術についてお話を伺って、私自身も大変勉強になりました。どうもありがとうございました。いくつかの研究については、すでに学会発表などで聞いていたはずですが、全体像について俯瞰的にお話を伺う機会は大変貴重だと思いました。

後半の企業のビジョンについては、このプロジェクトの前提として標準 CMOS を使って、主に回路技術にシフトして開発したということですが、これが非常にスムーズな技術移転へつながったと感じました。私自身は別のプロジェクトで、かなりデバイスに特化した部分をやっていますが、そういう意味で一つの課題だと思いました。

ただ企業の方の話を聞いていて、もちろん皆さん努力された上での現状だと思いますが、今回の技術を正しく使うためには意識の切り替えが必要ではないかと思いました。車の世界で考えると、昔はスピードや馬力で競い合っていましたが、今回の ELP の技術（極低電力回路・システム技術）はいわば燃費の議論です。それがプリウスのような日本発の新しい技術につながってほしいと感じました。

【尾上委員】 本分野で日本を代表して世界をリードする先生方を中心に、非常に高いレベルの技術開発をされています。今回デモも見て、技術立証という面でも非常に感銘を受けました。事業化に関しても、両方のプロジェクトが成果を広く流通して、実用化の枠組みをうまくつくって、ほかのプロジェクトにはないところまで行っていると考えます。

事業化の課題をいくつか挙げていましたが、「餅は餅屋」というか、今回技術開発にかかわった先生方が一番よくご存じだと思うので、事業化を進める会社等との協力体制を継続して、ぜひ日本の半導体技術再興のためのコアコンピタンスを開発していただければと考えています。本日はありがとうございました。

【大島委員】 大変素晴らしい成果がたくさん出たプロジェクトだと思います。世界トップレベルの性能が非常にたくさん出ていて、その成果を統合して、今日はデモで実際に動かして見

せてもらいましたが、非常にいいプロジェクトだったと思います。

これを実用化に結びつける際には、低エネルギーに特化して技術開発をしてきたという面から、性能を担保するという観点が少し弱い印象を受けました。性能を担保するためにオーバーヘッドがあって、コストが少し上がってしまうので、このへんの観点が事業化に向けての課題だと認識しました。

ただ、出てきた成果自体は非常に尖ったいい技術です。尖っているが故に、事業に結びつけるときに、そのままでは少し使いづらいところがあるので、事業者の方々はそれをうまくつぶして、事業に結びつけていただきたいと思います。

【雨宮分科会長代理】 今日デジタル、アナログともに先端的な成果を聞かせていただいて、私の知識の範囲が広がりました。

最終的には、これらの技術がメーカーで実際に使われることが必要ですが、メーカーは電源電圧で 0.9-1V ぐらいが念頭にあって、なかなか 0.5V には踏み切れないと思います。これはお願いですが、学生さんに与えるテーマでよろしいですから、「この技術は 0.9-1V LSI の性能向上にもこれだけ寄与する」という具体例がありましたら、それをまとめて研究会なり学会大会で発表してもらえると、メーカーもより現実的な感じを受けると思います。

電圧を 0.5V まで下げた場合の体系的な研究を初めて拝見しましたが、この研究をより生かすために、「速度はともかく演算あたりのエネルギーを最小にすることが一番重要な応用分野」を考え出して、それを NEDO の手でプロジェクト化できれば良いと思います。

よくセンサーネットワーク応用という話がありますが、これは漠然としていて、演算あたりのエネルギー最小が重要なセンサーネットワークとはどのようなものか、よくわからないところがあります。センサーネットワークでも速度が必要なものは多いので、演算あたりエネルギー最小こそが重要なセンサーネットワーク応用があれば、またプロジェクト提案していただければと思います。

【小柳分科会長】 本プロジェクトは LSI の低電力化に関するものですが、これはもともと日本が非常に強い領域でした。この伝統的な強さが伝承されて、世界に冠たる成果がたくさん上がっており、大変心強い思いです。

あとは実用化です。これに関しても、参画企業の方々はかなり真摯に検討していて具体的なイメージを持ってましたが、逆に非常に慎重な面も見えてきました。そのへんはぜひ頑張って、この成果をできるだけたくさん実用化に結びつけていただきたいと思います。

LSI のビジネス化は世界との競争なので、世界に先駆けて実用化して勝つことが非常に大事です。技術的な内容は世界を凌駕する成果がたくさん出ているので、ぜひこれを世界に先駆けて実用化してもらいたいと思います。

LSI の電力は削減されないとだめですが、実用化にかけるエネルギーはどんどん投入して、そのエネルギーは削減してほしくないなので、企業の方には頑張っていただきたいと思います。

9. 今後の予定、その他

事務局から資料7により今後の予定が説明された。

10. 閉会

配布資料

- 資料 1-1 研究評価委員会分科会の設置について
- 資料 1-2 NEDO 技術委員・技術委員会等規程
- 資料 2-1 研究評価委員会分科会の公開について (案)
- 資料 2-2 研究評価委員会関係の公開について
- 資料 2-3 研究評価委員会分科会における秘密情報の守秘について
- 資料 2-4 研究評価委員会分科会における非公開資料の取り扱いについて
- 資料 3-1 NEDO における研究評価について
- 資料 3-2 技術評価実施規程
- 資料 3-3 評価項目・評価基準
- 資料 3-4 評点法の実施について (案)
- 資料 3-5 評価コメント及び評点票 (案)
- 資料 4 評価報告書の構成について (案)
- 資料 5-1 プロジェクトの概要説明
- 資料 5-2 事業原簿 (公開)
- 資料 5-3 事業原簿 (非公開)
- 資料 6-1-1 プロジェクトの詳細説明 (非公開)
研究開発成果について
 - ・アナログ回路技術 (アナログ技術ベース)
- 資料 6-1-2 プロジェクトの詳細説明 (非公開)
研究開発成果について
 - ・ロジック回路技術
- 資料 6-1-3 プロジェクトの詳細説明 (非公開)
研究開発成果について
 - ・メモリ回路技術
- 資料 6-1-4 プロジェクトの詳細説明 (非公開)
研究開発成果について
 - ・アナログ回路技術 (デジタル技術ベース)
- 資料 6-1-5 プロジェクトの詳細説明 (非公開)
研究開発成果について
 - ・電源回路技術
- 資料 6-1-6 プロジェクトの詳細説明 (非公開)
研究開発成果について
 - ・極低電力 LSI チップ統合最適化技術

- 資料 6-1-7 プロジェクトの詳細説明（非公開）
研究開発成果について
・低電力無線回路／チップ間ワイヤレス技術
- 資料 6-2 プロジェクトの詳細説明（非公開）
開発技術紹介（デモンストレーション）
- 資料 6-3 プロジェクトの詳細説明（非公開）
実用化・事業化に向けての見通し及び取り組みについて
-各社まとめ-
- 資料 6-3-1 プロジェクトの詳細説明（非公開）
実用化・事業化に向けての見通し及び取り組みについて
（株式会社東芝）
- 資料 6-3-2 プロジェクトの詳細説明（非公開）
実用化・事業化に向けての見通し及び取り組みについて
（富士通株式会社）
- 資料 6-3-3 プロジェクトの詳細説明（非公開）
実用化・事業化に向けての見通し及び取り組みについて
（ルネサスエレクトロニクス株式会社）
- 資料 6-3-4 プロジェクトの詳細説明（非公開）
実用化・事業化に向けての見通し及び取り組みについて
（ソニー株式会社）
- 資料 7 今後の予定

以上