

「極低電力回路・システム技術開発(グリーン IT プロジェクト)」  
事後評価 第一回分科会  
資料 5-2 事業原簿(公開)

「極低電力回路・システム技術開発(グリーン IT プロジェクト)」

事業原簿【公開】

担当部	独立行政法人新エネルギー・産業技術総合開発機構 電子・材料・ナノテクノロジー部
-----	--

## —目次—

### 概 要

#### プロジェクト用語集

I. 事業の位置づけ・必要性について	I-1
1. NEDOの関与の必要性・制度への適合性	I-1
1. 1 NEDOが関与することの意義	I-1
1. 2 実施の効果	I-1
2. 事業の背景・目的・位置づけ	I-3
II. 研究開発マネジメントについて	II-1
1. 事業の目標	II-1
2. 事業の計画内容	II-1
2. 1 研究開発の内容	II-1
2. 2 研究開発の実施体制	II-1
2. 3 研究開発の運営管理	II-2
2. 4 研究開発成果の実用化・事業化に向けたマネジメントの妥当性	II-3
3. 情勢変化への対応	II-3
4. 中間評価への対応	II-6
5. 評価に対する事項	II-6
III. 研究開発成果について	III-1
1. 事業全体の成果	III-1
1. 1 研究開発目標	III-1
1. 2 研究開発項目とスケジュール	III-2
1. 3 最終目標の達成状況	III-3
2. 研究開発項目毎の成果	III-5
2. 1 ロジック回路技術開発	III-5
2. 2 メモリ回路技術開発	III-29
2. 3. 1 アナログ回路技術開発（デジタル回路ベース）	III-53
2. 3. 2 アナログ回路技術開発（アナログ回路ベース）	III-77
2. 4 電源回路技術開発	III-102
2. 5 極低電力LSI統合最適化技術開発	III-119
2. 6 低電力無線回路/チップ間ワイヤレス技術開発	III-154
2. 6. 1 アクセスポイント間向け超高速通信	III-154
2. 6. 2 LSIチップ間の非接触データ転送技術によるデータ転送	III-172
2. 6. 3 センサネット等のユビタキスネットワーク向けの低電力無線	III-192
IV. 実用化・事業化に向けての見通し及び取り組みについて	IV-1
1. 実用化・事業化に向けての見通し及び取り組み	IV-1

#### 別紙：

- ・プログラム基本計画 添付1
- ・プロジェクト基本計画 添付2
- ・事前評価関連資料（事前評価書、パブリックコメント募集の結果） 添付3
- ・特許論文リスト

# 概要

		最終更新日	平成25年11月19日
プログラム（又は施策）名	ITイノベーションプログラム/エネルギーイノベーションプログラム		
プロジェクト名	極低電力回路・システム技術開発 (グリーンITプロジェクト)	プロジェクト番号	P09003
担当推進部/担当者	電子・材料・ナノテクノロジー部 平山武司 (H25年3月現在) 電子・材料・ナノテクノロジー部 万田純一 (H21年3月~H23年11月)		
0. 事業の概要	<p>(1) 概要：半導体集積回路(LSI)のさらなる高集積化、高機能化に向けて、材料・プロセス技術とともに半導体技術の車の両輪として重要な設計技術分野における低消費電力化の技術開発が求められている。本プロジェクトは、LSIにおける消費電力の1/10以下への削減を目標とした極低電圧要素回路と統合最適化技術、低電力無線技術の開発により、無線ネットワーク端末やセンサノードなど、将来の「極低電力回路・システム技術」を可能とする。</p> <p>(2) 事業規模：総事業費 40億円</p> <p>(3) 事業期間：2009年度~2012年度(4年間)</p>		
I. 事業の位置付け・必要性について	<p>地球温暖化問題は、世界全体で早急に取り組むべき最重要課題であり、経済・社会活動と地球環境の調和を実現するためには、画期的な技術革新が求められている。</p> <p>IT機器の高度化・設置台数の急激な増加に加え、ブロードバンド通信の普及等により社会で扱う情報量は急激に増大しつつある。それに伴い、ネットワークシステムを構成するIT機器が消費する電力も増大し、その省エネルギー化が重要な課題となっている。将来のネットワークシステムの省電力化のためには、基幹系・アクセス系ネットワーク、ネットワーク端末だけでなく、末端のセンサノードに至る全ての電子機器の低消費電力化が求められる。本プロジェクトは、将来のネットワークシステムに使われる半導体集積回路(LSI)の低消費電力化に貢献する極低電力回路・システム技術を開発し、我が国の半導体関連産業の国際競争力強化に資すると同時に、地球環境の温暖化抑制に貢献することを目的として、ITイノベーションプログラム・エネルギーイノベーションプログラムの一環として実施する。</p> <p>LSIの低消費電力化には、電源電圧の低電圧化が最も効果的である。しかし低電圧の条件下ではCMOS回路の動作が不安定になり、LSIの製造ばらつきやノイズなどに影響され、動作マージン減少、誤動作などの障害が、現在に比較して極めて増大する。LSIとして安定動作させるには、ロジックやメモリなど構成回路の極低電圧化はもちろん、電源電圧をきめ細かく制御する電源システム、LSIチップと外部との各種I/Oインターフェイスなど、LSIでの実用化に向けた様々な回路・システム技術、設計技術が必要である。これらの効率的な開発のためには、デバイスメーカー各社単独で取り組むよりは、共通の課題を抱える企業が協同し、トップレベルの研究ポテンシャルを有する大学と産学連携による総合的な取り組みが重要であり、このため、NEDO技術開発機構の委託事業としての技術開発が必要である。</p>		
II. 研究開発マネジメントについて			
事業の目標	<p>極低電圧要素回路技術と極低電力無線/チップ間ワイヤレス通信技術を開発し、これら要素技術の主要部分を統合最適化する技術で、LSIチップの低消費電力化を図る。同じ処理を行うための消費エネルギーを従来技術に比べ1/10以下に削減することを目標とする。</p> <p>I. 極低電圧要素回路技術 (研究開発期間 2009年度から2011年度)</p> <p>(研究開発項目①) ロジック回路技術開発:極低電圧ロジック回路の開発</p> <ul style="list-style-type: none"> <li>最先端CMOS技術を用いた、ロジック技術領域の極低電力システムLSIを実現する極低電圧CMOS回路の要素技術を開発し、これにより 16bit加算器あるいは同等以上の機能と規模を持つ回路IPを試作し、エラーレート<math>10^{-10}</math>以下を満たしつつ、本テーマの開発成果を用いていない従来技術との比較で、処理性能を揃えた条件で消費電力が1/10以下に低減できることを示す。</li> </ul> <p>(研究開発項目②) メモリ回路技術開発:オンチップ極低電圧メモリ回路の開発</p> <ul style="list-style-type: none"> <li>新しい回路技術、メモリセル技術を用いた、極小電力を実現する低電圧動作SRAMを開発し、これにより 低電力SRAMを試作し、本テーマの開発成果を用いていない従来技術との比較で、1Mbit当たりの消費電力が1/10以下に低減できることを示す。</li> </ul> <p>(研究開発項目③) アナログ回路技術開発:0.5V動作新方式PLL回路等の開発</p> <ul style="list-style-type: none"> <li>0.5V動作新方式PLL技術を開発し、これにより TEG(Test Element Group)チップによる低ジッタPLLの実証とロジックも含めた動作実証を行う。</li> </ul>		

	<p>(研究開発項目④) 電源回路技術開発：0.5Vで安定動作する新規電源回路の開発</p> <ul style="list-style-type: none"> <li>低電圧システムに適した電源回路、電源システム技術を開発し、これにより、ロジック回路と組み合わせたLSIチップを試作し、高い動作マージンを得られることを示す。</li> </ul> <p>II. 極低電力LSIチップ統合最適化技術 (研究開発期間 2011年度から2012年度)</p> <p>(研究開発項目⑤) 上記Iの要素回路技術の主要部分を統合し、省エネ制御と統合電源システムを組み合わせた極低電力LSIチップ設計手法を開発する。</p> <ul style="list-style-type: none"> <li>極低電力LSIチップの低電力効果(同じ処理を行うための消費電力が従来技術に比べ1/10以下への低減)を実証する。</li> <li>大規模で複雑なデータ処理LSIチップの大幅な低電力効果を実証し、さらに大規模化に伴う低消費電力化克服への技術提案を行う。</li> </ul> <p>III. 低電力無線/チップ間ワイヤレス技術 (研究開発期間 2009年度から2012年度)</p> <p>(研究開発項目⑥) 従来技術より1桁低電力の低電力無線回路/チップ間ワイヤレス技術を開発する。</p> <ul style="list-style-type: none"> <li>低電圧RF CMOS回路技術を用いた、低電力無線/チップ間ワイヤレス技術を開発し、これによりTEGを試作し、50pJ/bit以下の低消費電力通信技術が実用レベルであることを示す。</li> </ul>					
事業の計画内容	主な実施事項	H21fy	H22fy	H23fy	H24fy	
	I. 要素回路技術 ① ロジック回路技術開発 ② メモリ回路技術開発 ③ アナログ回路技術開発 ④ 電源回路技術開発	→	→	→		
	II. 極低電力LSIチップ統合最適化技術 ⑤ 極低電力LSIチップ統合最適化技術			→	→	
契約種類： ○をつける (委託(○) 助成( ) 共同研究(負担率( ))	会計・勘定	H21fy	H22fy	H23fy	H24fy	総額
	一般会計	-	-	-	-	-
	特別会計 (需給)	913	727	789	564	2,993
	開発成果促進財源	-	105	61	299	465
	総予算額	913	832	850	863	3458
開発体制	経産省担当原課	商務情報政策局情報通信機器課				
	プロジェクトリーダー	グループが2つに分けられるため、プロジェクトリーダーはおいていないが、統括と副統括を決めている。 統括：東京大学 桜井貴康 教授 副統括：半導体理工学研究センター 篠原尋史 研究開発第1部 部長				
	委託先 (*委託先が管理法人の場合は参加企業数及び参加企業名も記載)	企業、研究機関1：(株)半導体理工学研究センター、 (国)東京大学、(学)慶應義塾大学 共同実施先：(国)神戸大学、(国)広島大学、 (学)中央大学 企業、研究機関2：(株)システムエルエスアイ、 (国)東京工業大学				

情勢変化への対応	<p>本プロジェクトは、2010年度に研究開発項目⑤「極低電力LSIチップ統合最適化技術」を公募するに当たり、極低電圧要素技術（研究開発項目①～④）の中間成果ならびに最終目標の再検討を行い、研究開発項目を追加して委託先を公募し採択した。</p> <p>極低電圧要素技術のうち極低電力LSIチップを達成するために重要なSRAM回路技術やロジック回路技術や極低電圧電源回路の制御技術や極低電圧アナログADCの基本技術が確認された場合には、それぞれに加速資金を投入し、研究開発の促進を行った。このため、本プロジェクトの国際的先行性が確保された。</p>	
評価に関する事項	事前評価	2009年度実施 電子・情報技術開発部
	中間評価	なし
	事後評価	平成25年度 事後評価実施
Ⅲ. 研究開発成果について	<p>本研究開発に於いては、半導体製造プロセスの微細化によらず回路技術とシステム技術によるLSIチップの低消費電力化を目指し、(1)極低電圧要素回路技術、(2)極低電力LSIチップ統合最適化技術、(3)低電力無線/チップ間ワイヤレス技術を対象として技術開発を進めた。</p> <p>現在主流の電源電圧は1.2V程度だが、電源電圧を0.5V以下にすることにより処理に要するエネルギーは一桁程度低減される。しかし、このような極低電圧では、微細トランジスタのしきい値電圧ばらつきの影響が際立ってくるため、先端微細トランジスタを使った大規模な集積回路を0.5Vで動作させることは困難である。本研究開発では、回路・システム技術の観点から、ばらつき対策などを研究開発し、世界に先駆けて将来の基本技術である0.5V動作を実用レベルで達成できることを示した。</p> <p>(1) 極低電圧要素回路技術の研究開発</p> <p>①ロジック回路技術開発では、新型フリップフロップ(CLFF)で16ビット整数演算器の0.3V台の低電圧動作を実現し、消費電力を1/10以下に低減した。更に、大規模回路の低電圧動作のために、細粒度電源制御技術、パリティを活用した遅延モニタ、間欠型LC共振クロックなどを開発した。</p> <p>②メモリ回路技術開発では、ビット線振幅ばらつき対策として電荷に着目した回路を考案して、消費電力を1/10以下に低減した。低電圧でも高速な差動8TSRAMや低電圧動作に適した小振幅ライトバック8TSRAMなど、様々な要求に対応し得る技術体系を構築した。電荷注入によるメモリーセル安定性向上に関する先駆的研究開発を行った。</p> <p>③アナログ回路技術開発では、デジタル回路を多用したアーキテクチャにより、共に0.5V動作のPLLとADCを実現した。1MHzあたりの消費電力はどちらも1μW以下である。</p> <p>④電源回路技術開発では、世界に先駆けて開発したデジタルLD0と上記遅延モニタを組み合わせた適応型協調制御により、0.5V程度の入力電圧が変動してもロジック回路が正常動作することを実証した。高効率Buckコンバータなど電源回路を体系的に開発し、極低電力0.5V SoCを実現する上で必須の基盤技術を構築した。</p> <p>(2) 極低電力LSIチップ統合最適化技術の研究開発</p> <p>⑤極低電力LSIチップ統合最適化技術では、限界追求型の統合Aチップと大規模実証型の統合Bチップを題材とした。</p> <p>統合Aチップでは、ロジックとメモリをそれぞれのエネルギー最適条件で同時に動作させるチップアーキテクチャを開発し、チップの消費電力の1/10以下を達成した。</p> <p>統合Bチップでは3000万トランジスタの大規模SoCを開発し、極低電圧での動画処理を実証した。チップ全体の消費電力は1.2V時の1/3以下である。</p> <p>(3) 低電力無線回路/チップ間ワイヤレス技術の研究開発</p> <p>⑥低電力無線回路/チップ間ワイヤレス技術</p> <p>アクセスポイント間向け超高速通信（無線A）では、130GHz帯の無線通信をCMOSで初めて実現し、11Gbpsの高速通信を50pJ/bit以下で達成した。</p> <p>LSIチップ間の非接触データ転送技術によるデータ転送（無線B）では、近磁界結合方式により、送受信機対抗通信（1mm）で、10pJ/bit以下を達成した。</p> <p>センサネット等のユビキタスネットワーク向けの低電力無線（無線C）では、315MHz帯で1Mbps通信（距離1m）を、0.5V間欠サンプリング受信回路とデュアル電源方式送信回路で、どちらも50pJ/bit以下を達成した。</p>	

	<p>どの研究開発項目も、当初設定した最終目標を上回る成果を上げることが出来た。また、プロジェクト途中の加速資金投入により、世界に対するリードを確かにする成果や、統合LSIチップの一層の性能改善や機能拡張に繋がる成果が得られた。更に実用化に向けて、大規模チップや様々な用途のチップに対応出来る体系的な基盤技術の構築や、より小さなチップ面積で低電圧動作が実現できる実用的なせいかを得られた。これらの成果はISSCCやVLSI回路シンポジウムなどの主要国際会議に発表し、国際的にも高い評価を得た。</p>	
	投稿論文	「査読付き」125件、「その他」84件
	特許	「出願済」52件、うち海外出願15件
	その他の外部発表 (プレス発表等)	19件
IV. 実用化・事業化の見通しについて	<p>本事業では、半導体製造技術によらない半導体集積回路の低消費電力化に関する「ロジック回路技術」「メモリ回路技術」「アナログ回路技術」「電源回路技術」「極低電力LSIチップ統合最適化技術」「低電力無線/チップ間ワイヤレス技術」の要素技術を開発した。本事業の主体となった集中研は株式会社半導体理工学研究センター（STARC）を中心に構成され、STARCに参加した企業は事業に必要な技術要素を持ち帰り各社で事業化にむけた開発を継続する計画となっている。これらの企業は半導体ベンダーが中心であるため、その適用範囲はDAVに代表される低消費電力用途の製品から今後の展開が期待されるM2Mの製品まで範囲に入る見込みである。</p> <p>また、「アナログ回路技術」を独自のアナログ技術をベースとして開発したシステムエルエスアイ株式会社も、アナログIPの事業化を継続する計画になっている。</p> <p>事業化については平成28年度～32年度にかけてそれぞれの業界特性に応じて順次上市の見込みである。</p>	
V. 基本計画に関する事項	作成時期	2009年3月 制定
	変更履歴	2010年8月 改訂（研究開発項目⑦（メニーコア）の追加、[事後評価は別途]） 2011年3月 改訂（研究開発項目⑤の目標設定）

## プロジェクト用語集

4k テレビ	表示パネルの画素数が、フルハイビジョンの 4 倍ある高画質化を追求したテレビ。横(水平画素)が 3840(約 4000)で、1000 は 1K (キロ)という単位で表されるため、4K テレビと呼ばれる。現在主流のフルハイビジョンテレビの画素数の 4 倍の画素数となる。
ADC(Analog Digital Converter)	アナログ-デジタル変換器。A-D コンバータともいう。アナログ信号をデジタル信号に変換する回路。
AFE(Analog Front End)	アナログ・フロント・エンドとは、センサなどの信号検出デバイスと、マイコンなどのデジタル信号処理デバイスを結ぶアナログ回路のこと。
ASK(Amplitude-Shift Keying)	デジタル変調の一つの方式。デジタル信号 1、0(マーク、スペースともいう)の二進符号に対応して正弦搬送波の振幅(包絡線)を変化させる。
Body Area Network(BAN)	医療やヘルスケアなどに向けた、非常に近距離の無線通信ネットワーク。身に着ける機器(ウェアラブル機器)を中心とする場合と、体内埋め込み機器(インプラント機器)までも接続対象に含める場合の二つがある。
Buck コンバータ	チョップ方式(スイッチング方式)の DC-DC コンバータの一種で、降圧型のをいう。ステップ・ダウン・コンバータともいう。
Clock and Data Recovery(CDR)	デジタル通信において、データにクロックが重畳されている伝送路上の信号を受信し、クロックとデータを分離する機能である。デジタル信号受信における 3R 機能(波形整形-reshaping、タイミング再生-retiming、識別再生-regenerating)の一つである
CMOS (Complementary Metal Oxide Semiconductor)	相補型 MOS ともいう。nMOS FET と pMOS FET の両方を対にして相補型回路を構成した MOS デバイス。低消費電力で動作電圧範囲が広く対雑音特性にも優れている。現在、IC のほとんどが CMOS となっている。
DAC(Digital Analog Converter)	デジタル-アナログ変換器。D-A コンバータともいう。デジタル信号をアナログ信号に変換する回路。
DC(Direct Current)	時間によって大きさが変化しても流れる方向(正負)が変化しない電流である
DCO(Digitally Controlled Oscillator)	デジタル入力で制御された LC 発振回路であり、多数並列接続された MOS バラクタのそれぞれに対して"0"か"1"の制御電圧を個別に印加することで、静電容量をデジタ

	<p>的に変化させる。</p>
DVFS(Dynamic Voltage Frequency Scaling)	<p>L S I の消費電力を低減する手法のひとつで、動作状態に応じて、電源電圧 (Voltage) 及び動作周波数 (Frequency) を可変に制御する手法。</p>
EDA(Electronic Design Automation)	<p>電子回路設計用の CAD (Computer Aided Design)。論理シミュレーション、回路解析、デバイス解析、配置・配線設計、マスクパターン作成、テストパターン作成などの各ステップで EDA ツールが使われる。システム L S I (SoC) のような大規模、複雑な IC の開発には欠くことができないツール (ソフトウェア) である。</p>
FFT(Fast Fourier Transform)	<p>高速フーリエ変換とは、離散フーリエ変換 (Discrete Fourier Transform、DFT) を計算機上で高速に計算するアルゴリズム。</p>
FoM (Figure of Merit)	<p>AD 変換器のエネルギー効率を示す値で、1 変換ステップあたりの消費エネルギー量。</p>
F 級パワーアンプ	<p>無線端末のパワーアンプ (PA) の方式のひとつで、電力損失の抑制を 00K 周波数領域からアプローチする方式。時間領域からアプローチする方式を E 級パワーアンプという。</p>
HCI(Hot Carrier Injenction)	<p>ゲート絶縁膜へのホットキャリアトラップによるトランジスタ特性変動。高電界で加速された電子の電離衝突で発生する高エネルギーの電子・正孔が酸化膜中に捕獲されてトランジスタ特性が変動する現象。</p>
HDMI1.3	<p>映像・音声をデジタル信号で伝送する通信インターフェースの標準規格である High-Definition Multimedia Interface (高精細度マルチメディアインターフェース) の規格のバージョンのひとつで、SONY の次世代ゲーム機「プレイステーション 3 (PLAYSTATION3)」で搭載された。</p>
LDO(Low Drop Out)	<p>シリーズレギュレータの一種。入出力電圧差の小さい定電圧直流電源で、携帯機器などに使われる。パルス変調によって電力を制御するスイッチングレギュレータと比べて、リニアに電流電圧を制御するため電源リップルが小さく、また回路電流(回路消費電流)が小さい、回路規模が小さい、外付け部品点数が少ないなどの特長をもつ。一般的に、動作中の回路消費電流においてスイッチングレギュレータが数百 <math>\mu</math>A ~ 数 mA に対し、出力パスト</p>

	ランジスタとして MOS タイプを使うと数 $\mu$ A オーダーでの動作が可能。ただし、スイッチングレギュレータの損失がおよそ 10% に対し、LDO では電池電圧と出力電圧の差に応じて電力消費が発生するため、出力電圧、負荷電流によってはスイッチングレギュレータなどとの使い分けが必要
LOCV (Level aware On Chip Variation)	OCV マージンを回路のパス段数に依存して考慮するタイミング解析手法で、チップ内ランダムばらつきを擬似統計的に考慮する手法。
MATLAB (マトラボ)	MATrix LABoratory を略したものであり、行列計算、ベクトル演算、グラフ化や 3 次元表示などの豊富なライブラリを持った、インタプリタ形式の高性能なテクニカルコンピューティング言語、環境としての機能を持つアメリカ合衆国の MathWorks 社が開発している数値解析ソフトウェアであり、その中で使うプログラミング言語の名称でもある。
MOSFET (Metal-Oxide Semiconductor Field-Effect Transistor)	MOS 型電界効果トランジスタ。ソース、ゲート、ドレインの 3 電極があり、ゲート電極に加えた電圧によってソースとドレイン間のチャネル電流を制御する。MOSFET には n 型 MOS FET と p 型 MOS FET の 2 種類がある。バイポーラトランジスタに比べてチップ内のデバイス占有面積が小さく、製造工程が短いので高集積化に適している。
NBTI (Negative Bias Temperature Instability)	ゲート負バイアス (NBT) 印加による PMOS トランジスタの特性変動。スロートラップ現象とも呼ばれ、高温でバイアスを印加すると界面準位と正の固定電荷が増加してトランジスタ特性が変動する現象。
OCV (On Chip Variation)	同じ形状や特性に設計された複数のトランジスタや配線は同一のチップに集積されたとしても、バラついてしまう。チップ全体にわたって、同じ素子が正確に均一に仕上がるわけではないからだ。同じ形状や特性に設計された素子が 1 チップ内でバラつく現象を OCV と呼ぶ。
OOK (On-Off-Keying)	デジタル信号 1、0 に対して出力が A、0 の振幅となる ASK 方式を OOK という。
PA (Power Amplifier)	無線回路等の電力増幅器。
PDK (Process Design Kit)	ある半導体プロセスを想定したカスタム IC やアナログ IC の設計に必要な情報をまとめたものを言う。半導体

	の前工程（拡散工程）を担うファウンドリが、プロセスごとに、ユーザーであるファブレス半導体メーカーや IDM (integrated device manufacturer) の設計者に提供することが多い。
PE (Processing Element)	画像処理 L S I 等のマルチプロセッサに搭載される演算要素のこと
Phase Locked Loop(PLL)	位相同期ループ。正確な周波数追尾を行うためのサーボ回路機構で、位相比較器、ローパス（低域通過）フィルタ、電圧制御発振器（VCO）で構成されている。ビデオのモータなどの精密回転制御、通信機などの変復調、放送受信機などの民生機器に多く利用されている。
PVT ばらつき	半導体素子の P (Process=プロセス)、V (Voltage=電圧)、T (Temperature=温度) に依存したばらつきのこと。
QVGA(Quarter Video Graphics Array)	320×240 ピクセルの解像度のこと。VGA の 4 分の 1 の画素数であるためこう呼ばれる。PDA や携帯電話などで採用されている。
SAR-ADC	A/D コンバータの変換方式のひとつで、バイナリ探索アルゴリズムを応用した逐次比較 (Successive Approximation Register) 型 ADC のこと。
SIMD(Single Instruction Multiple Data)	単一命令複数データ処理。一つの命令で複数のデータを同時に処理する方式。例えば一つの加算命令で 2 つのデータ組 (A1、A2)、(B1、B2) の要素同士の加算 $A1+B1$ 、 $A2+B2$ を同時に処理することで性能向上する方式。データ組 (A1、A2)、(B1、B2) はそれぞれ一つのレジスタ上に分割して配置され、データ並列度は 2~8 の SIMD 方式が実用化されている。
SoC(System-on-a-chip)	1 つの半導体チップ上に必要とされる一連の機能（システム）を集積する集積回路の設計手法。具体的な製品としてはマイクロコントローラに特定の装置に特化した専用機能回路を混在させたものを指すことが多い。
SPICE(Simulation Program with Integrated Circuit Emphasis)	IC 用の回路シミュレータ。1975 年に米 University of California、Berkeley 校で開発された汎用回路解析（アナログ）プログラム。トランジスタ、抵抗、コンデンサなど対象回路を構成する素子レベルの回路情報をもとに、その回路の挙動をシミュレーションする。解析手法には、直流（DC）解析、交流（AC）解析および過度解

	析がある。
STA(Static Timing Analysis)	IC の設計工程で行なわれる静的なタイミング解析のこと。外部からのテストパターンを必要とせず、想定する全ての信号伝達経路の遅延を足し合わせることによって、遅延時間が最大となる径路（クリティカルパス）や最小となる径路などを分析できる。これらがタイミング仕様を満足しているかどうかで設計を検証する。
TDC(Time to Digital Converter)	計測対象となる信号の時間というアナログ情報を量子化してデジタル出力するコンバータのこと。基準信号からイベント発生までの時間や、二つのパルス間の時間などを測定できる。PLL 周波数シンセサイザや A-D 変換器などへ応用できる。
TEG(Test Element Group)	特性評価用素子。ウェハ上にチップと同様に作ることが多い。
アクセスポイント	無線 LAN 等で端末間を接続する電波中継機。
エネルギーハーベスティング	周りの環境（光・熱（温度差）・振動・電波など）から微小なエネルギーを収穫（ハーベスト）して、電力に変換する技術のことで、別名「環境発電技術」と呼ばれている。
カナリア F/F	プロセスばらつき、電源電圧のゆらぎや温度変化などが回路遅延に与える変化により発生するタイミングエラーを予報する手段のひとつ。
キャリブレーション	AD/DA 変換器等アナログ回路の自己校正・補正技術。アナログ方式とデジタル方式がある。
クロストーク (Crosstalk)	漏話。ある回路や回線に、浮遊容量、寄生容量、アースの共通インピーダンスなどの影響により、不必要な信号が漏れること。例：複数のゲートをもつロジック IC において、動作しているゲートが、静止しているゲートの出力に影響を与えること。
サイバーフィジカルシステム (Cyber Physical System)	実世界（Physical System）に浸透した組み込みシステムなどが構成するセンサーネットワークなどの情報を、サイバー空間（Cyber System）の強力なコンピューティング能力と結びつけ、より効率のよい高度な社会を実現するためのサービスおよびシステムのこと。
シグナル・インテグリティ (SI=Signal Integrity)	デジタル信号の品質を示す。例えば、信号線を通じたデジタル信号の波形に歪みがあると、信号を受け取ったデジタル L S I が正常に動かないことがある。このた

	め、特に高速伝送時などにはシグナル・インテグリティが重要になる
システムチックばらつき	以下の様なランダムではない相関があるばらつき。 <ul style="list-style-type: none"> <li>・チップ内位置，距離依存ばらつき（2つの素子間の距離に依存したばらつき）</li> <li>・ゲート密度，パターン依存ばらつき</li> <li>・配線密度，パターン依存ばらつき</li> <li>・IR ドロップ</li> <li>・クロストーク（Crosstalk）</li> <li>・ツール誤差</li> </ul>
ジッタ（Jitter）	通信やオーディオ関連の機器などにおいて発生する、信号の時間的なズレや揺らぎのことである。ジッタは、主に信号の読取装置のわずかな不安定さや、あるいは信号の伝送経路の影響などによって発生する。ジッタが発生すると、信号が隣接する信号と干渉するなどして、ノイズや音とび、音質・画質の劣化などの原因になりやすい。
スイッチトキャパシタ (Switched capacitor)	コンデンサとスイッチを組み合わせることによって、抵抗器のように電流または電圧を制限する電子回路で、電源電圧を変換する電源回路や信号処理回路に使用される。
センスアンプ（Sense Amplifier）	メモリーセルからの電圧を増幅するための回路。メモリーセルは非常に小さなコンデンサで構成されているため、ビット線に読み出された電圧は数百 mV 程度と小さい。そのため、この電圧を増幅し、デジタルレベルとして取り扱いが可能になるレベルにまで増幅する必要があり、その増幅を行なう回路。
ノイズマージン（Noise Margin）	半導体のノイズに対する動作余裕度。たとえば標準ロジック IC の場合、いろいろな種類の IC、いろいろなメーカーの IC を相互に接続したとき、各 IC の電気的特性にバラツキがあっても正確にデジタル信号が伝えられるようにするための入出力間の電圧余裕度をいう。
パワーインテグリティ (PI=Power Integrity)	プリント基板の電源層や電源ラインにおける電源電圧の品質のこと。
ビット・エラー・レート (BER=Bit Error Rate)	符号誤り率はデジタル伝送システムの主要な品質判定基準で、誤って受け取ったメッセージの文字数と各メッセージの全文字数の比で表される。符号誤り率 BER=エ

	ラービット数／全ビット数
ファウンドリ (foundry)	半導体チップの製造を専門に行う企業。ファウンドリは発注元の半導体メーカーから設計データを受け取り、その設計に沿って半導体チップを製造する。
プッシュ-プッシュ型発振器	互いに逆相の 2 つの発振回路を同相合成することにより、奇数倍波を抑圧しつつ、偶数倍波を同相合成して出力させる発振器。その特徴としては、基本発振周波数信号を抑圧し、その 2 倍の周波数信号を出力させるので、より高い周波数信号の発振に適している。
ヘテロジニアス・マルチコア (Heterogeneous multi core)	異種のアーキテクチャをもつマイクロプロセッサが統合された CPU、異種混在のマルチコアを表す用語。組み込みシステム向けのマイクロコントローラに広く使われている技術。
モンテカルロシミュレーション	乱数を用いたシミュレーションを何度も行うことにより近似解を求める計算手法。解析的に解くことができない問題でも、十分多くの回数シミュレーションを繰り返すことにより、近似的に解を求めることができる
ユビキタスネットワーク	あらゆるところ、いたるところで利用可能なコンピュータネットワークをさす。
ランダムばらつき	相関がないばらつき。統計的に扱うことができる。
レベルシフタ (Level Shifter)	電圧レベルの異なる二つのデジタル回路間で、論理レベルを変換する回路のこと。
基板バイアス制御	トランジスタの基板にバイアス電圧を印加することで、トランジスタのしきい値電圧 ( $V_{th}$ ) を制御する技術。チップの製造バラツキの影響を少なくできる。この結果、動作時のリーク電力を削減しやすくなる。
磁界結合	コイルを使って数 mm の距離を無線で通信する方式 RFIC カード (Suica, FeliCa) などに使われる

## I. 事業の位置づけ・必要性について

### 1. NEDOの関与の必要性・制度への適合性

#### 1.1 NEDO が関与することの意義

我が国半導体技術の発展は、情報家電、コンピュータ、通信装置を始め、自動車、医療機器など様々な機器の高性能化、小型化、省電力化に貢献し、情報通信産業やその他の製造業など我が国経済を牽引する産業の競争力を強化するものである。

新国家エネルギー戦略（2006年5月経済産業省）では、2030年に30%以上のエネルギー消費効率の改善を目標として掲げている。一方、情報通信機器の高度化・設置台数の急激な増加に加え、ブロードバンド通信の普及等により高精細な動画コンテンツなど大容量データが、ネットワーク情報端末を介して流れ社会で扱う情報量は急激に増大しつつある。今後、省エネルギー消費効率目標を達成するためには、全ての情報通信機器の低消費電力化が求められる。これまで情報通信機器の低消費電力化にとって重要となる半導体集積回路（LSI）の低消費電力化は半導体製造プロセスの微細化を中心として推進されてきた。

半導体製造プロセスの微細化進展により、その素子加工サイズが原子スケールに近付きつつある現状では、微細トランジスタのリーク電流や配線容量の増大にともなう消費電力の増大、微細化プロセスを開発するための研究開発投資、さらには製造設備投資の増大に代表される種々の課題が顕在化しつつある。

これら課題に対して、低リーク電流を実現するトランジスタ構造の研究開発や、低誘電率の配線層間絶縁材料等の微細化推進を可能とするための技術開発が行われ、その成果は着実に実用化されてきている。

一方で、半導体製造プロセスの微細化は更なる微細化への技術障壁の高さと研究費用の高額化ならびに製造装置が高額化してきたことなどから、進歩は減速方向にある。このため、LSIチップのアーキテクチャやチップを構成する回路やシステム面の技術を進歩させることによる低消費電力化に注目が集まってきている。製造装置の高額化は当然のように自社工場で製造されてきたマイクロプロセッサでさえ、TSMCを始めとするファブドリー工場で製造される状況も生んだ。

他方で、ロジックやメモリなどのLSIチップの要素回路の極低電力化や電源電圧をきめ細かく制御する電源回路の実現や、1つのLSIチップとしてくみ上げた場合に消費電力を抑え、ファブドリーが準備する標準的な半導体製造プロセスを使用しても低消費電力LSIチップとしての性能を確保する設計技術などが省エネルギー技術の研究課題として重要視されてきた。しかしながらこれらの研究は、製造原価を最小限にするために回路やチップをコンパクトに実現する方向で最適化された技術体系から踏み出すものであり、これらの技術を一社の民間企業が開発費を負担して進めるには時間的にも難しく、技術的な限界を追求する側面もあるため産学協同の研究体制が必要になる。

そこでNEDOは同プログラムの中で実施する他の半導体技術開発プロジェクトと同様に基本計画を策定し、それに基づいて実施者を公募し、研究開発を推進することとした。

またさらに、各国が半導体集積回路（LSI）の低消費電力に関してわが国を猛迫する中、本プロジェクトが仮に実施されなかったものと仮定すると、各企業における研究開発レベルの維持が困難となり、今後半導体集積回路の低消費電力のマーケットニーズが爆発的に拡大した暁に、速やかにニーズに応えることが出来ず、わが国の半導体産業が事業機会を逸する可能性が高い。これは、きわめて危険が大きいと言える。

上記により、本技術開発はNEDOが関与すべきものであり、また政策のひとつである「ITイノベーションプログラム」において実施すべき内容である。

#### 1.2 実施の効果

本事業の極低電力回路・システム技術の適用分野は、すでに普及が始まっているデジタル

オーディオ機器などの小型化、低消費電力の要求が多いモバイル系の製品から、今後普及が急加速することが予想され、M2M(Mashine to Mashine)などとばれて装置同士が情報交換をするネットワーク機器まで含まれる。特にM2Mのネットワーク機器は農業や橋梁等の監視に用いる小型太陽電池を用いたセンサーネットワークからスマートシティを支える各種機器まで幅広い。

この技術が開発されなかった場合、図1に示すように、2012年にネット上に流れた情報量は1905Gbpsで2006年の情報量の約3倍に過ぎませんが、ネット上の情報流通量が増大し情報爆発の時代が来ると予測される2025年ころには、2012年の総務省情報通信統計データベースによると、ネットに流れる情報量は121Tbpsと2006年の情報量の約190倍にも達し、日本国内のIT機器の消費電力だけでも5.2倍に達し国内総発電量の20%にも達する見込みである。

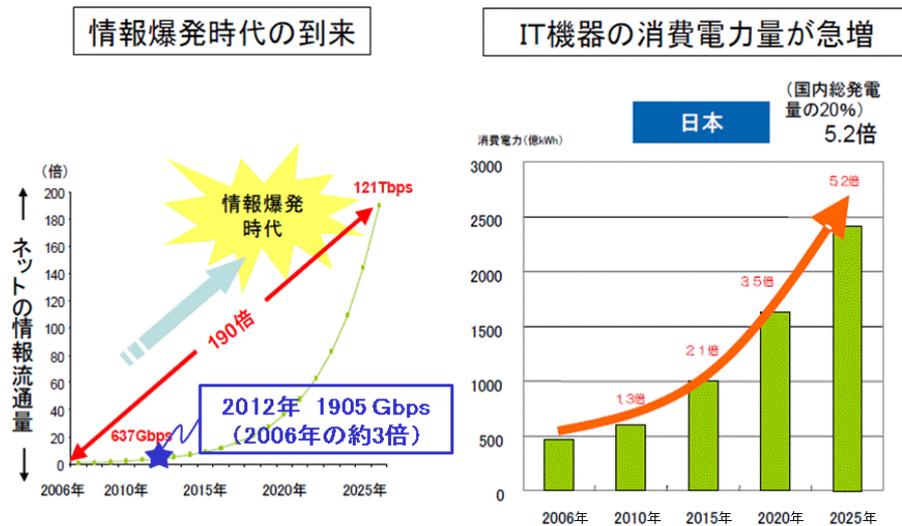


図1 情報爆発時代の到来に伴う、IT機器の消費電力量の増加

出所：グリーンITイニシアティブの推進 2008年10月 経済産業省発表資料 (2012年の情報流通量) 総務省 情報通信統計データベース

一方、このプロジェクトの研究開発成果をサーバに適用した場合を試算した結果を図2に示す。ハイエンド、ミドル、ボリュームゾーンの台数予測ならびに消費電力予測に対してシステム内のプロセッサ電力消費比率を45.8%とし、本研究成果の各要素技術の省電力9/10がプロセッサ全体で実現できたと仮定すると、約35億kWh/年の消費電力の低下が見込める。この値はほぼ原発1基分(37kWh/年)に達する。

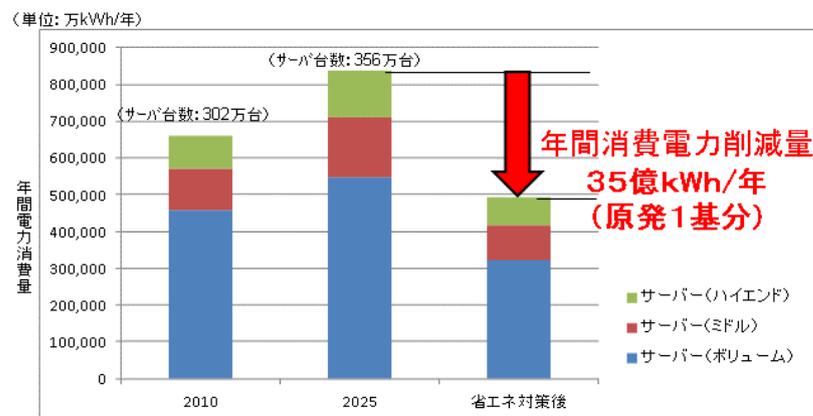


図2. プロジェクト成果で期待されるサーバの低消費電力効果

諸元：

- ・(普及台数)と(消費電力/台)：「平成24年度 我が国情報経済社会における基板整備(情報通信機器のエネルギー消費量に関する調査)：(株)NTTデータ研究所より

- ・(システム内プロセッサ電力消費比率)：「Googleを支える技術」：(株)技術評論社
- ・「2009年度(2009年度)福島第一原子力発電所」(1号機データ) (37億kWh/年) 東京電力

本事業の事業規模を表1に示す。2009年度から2012年度までの4年間の執行額は、加速資金を含めて34億5千8百万円となった。前期した大きな低消費電力効果とわが国の基幹産業である半導体産業の競争力維持強化の目的には妥当な規模であると考えられる。加速資金の投入内容と効果については、「Ⅱ. 研究開発プロジェクトについて」の、「3. 情勢変化への対応」で述べる。

表1 本プロジェクトの事業規模年度推移  
加速資金の詳細については後述

(単位:百万円)

	2009年度	2010年度	2011年度	2012年度	総額
予算	913	727	789	564	2,993
加速資金	—	105	61	299	465
総予算額	913	832	850	863	3,458

## 2. 事業の背景・目的・位置づけ

地球温暖化問題は、世界全体で早急に取り組むべき最重要課題であり、経済・社会活動と地球環境の調和を実現するためには、画期的な技術革新が求められている。

IT機器の高度化・設置台数の急激な増加に加え、ブロードバンド通信の普及等により社会で扱う情報量は急激に増大しつつある。今後、高精細な動画コンテンツなど大容量データが、ネットワーク情報端末を介して流れ、本格的なユビキタス時代を迎える2015年ごろには、膨大な数の末端のセンサノードまで情報が行き交う。それに伴い、ネットワークシステムを構成するIT機器が消費する電力も増大し、その省エネルギー化が重要な課題となっている。将来のネットワークシステム等の省電力化のためには、基幹系・アクセス系ネットワーク、ネットワーク端末だけでなく、末端のセンサノードに至る全ての電子機器の低消費電力化が求められる。電子機器の低消費電力化にとって重要なLSIの低消費電力化には、電源電圧の低電圧化が最も効果的である。

しかし、低電圧の条件下ではCMOS回路の動作が不安定になり、半導体集積回路の製造ばらつきやノイズなどに影響され、動作マージン減少、誤動作などの障害が現在に比較して極めて増大し、現在のロジック回路やメモリ回路やアナログ回路などの要素回路技術では使用に足る半導体集積回路の実現は不可能である。

低電圧下で半導体集積回路を安定動作させるには、ロジックやメモリやアナログなど構成回路の極低電圧化および電源電圧をきめ細かく制御する電源システムの実現、さらに1つの半導体集積回路にこれらの技術を搭載し、有効に機能させるための様々な回路技術・システム技術、設計技術が必要である。

半導体集積回路を、Siの閾値電圧の半分近くの低電圧で駆動し消費電力を下げる研究は汎用プロセッサから医療用プロセッサや48コアのプロセッサなどを題材に世界中で研究されはじめている。図1に半導体集積回路の低電圧動作研究結果と本プロジェクトの目標領域を示す。Intelを始めとするこれらの報告は、現行の半導体集積回路の最低動作電圧を求め、まだその対策を求める段階であり、本プロジェクトのように要素技術から研究開発し、半導体集積回路の統合最適化まで検討した例は報告されていない。

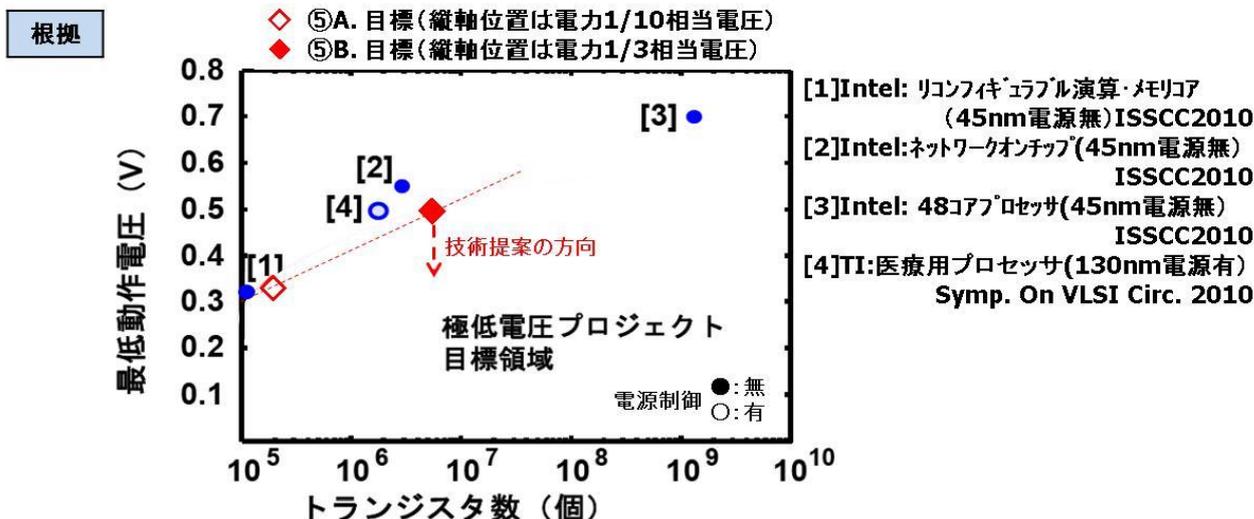


図1 半導体集積回路の低電圧動作研究結果と本プロジェクトの目標領域

また、半導体集積回路内部や半導体集積回路間そして半導体集積回路で構成される製品間の金属配線による接続が抵抗体として機能し、電力の消費や信号伝達の遅延を引き起こしている。本プロジェクトでは、これらの接続技術の低電力無線化も将来低消費電力化の有力技術になると捕らえ、研究課題として加えていく。

これらの多様な技術の効率的な開発のためには、デバイスメーカー各社単独で取り組むよりは、共通の課題を抱える企業が協同し、トップレベルの研究ポテンシャルを有する大学と産学連携による総合的な取り組みが必要である。

本プロジェクトは、将来のネットワークシステム等に用いられるLSIの低消費電力化に貢献する極低電力回路・システム技術を開発し、我が国の半導体関連産業の国際競争力強化に資すると同時に、地球環境の温暖化抑制に貢献することを目的として、ITイノベーションプログラム・エネルギーイノベーションプログラムの一環として実施する。

本プロジェクトのNEDO第二期中期計画（2008年度から2012年度）における位置を図2に示す。

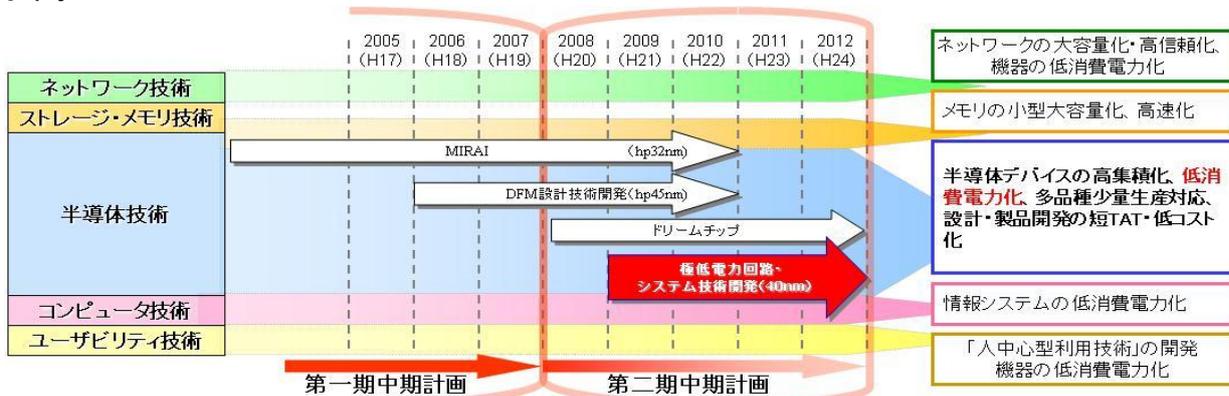


図2 NEDO第二期中期計画（2008年度から2012年度）の半導体技術

第一期中期計画から継続されてきたMIRAIプロジェクトによる半導体プロセスやデバイス技術の研究開発とDFM設計技術開発プロジェクトの終了により、半導体技術分野における微細化技術に対応した設計技術が出来上がった。これを受けて、高性能な3次元積載チップを開発するドリームチッププロジェクトと並ぶ位置に本プロジェクトは位置している。

誰もが自由な情報の発信・共有を通じて、個々の能力を創造的かつ最大限に発揮することが可能となる高度な情報通信（IT）社会の実現とわが国の基幹産業である半導体産業の競争力を維持強化し、産業発展を促進することを目指したNEDO第二期中期目標を仕上げるプロジェクトとしても、本プロジェクトは重要度が高いと言える。

## II. 研究開発マネジメントについて

### 1. 事業の目標

極低電圧要素回路技術と極低電力無線／チップ間ワイヤレス通信技術を開発し、これら要素技術の主要部分を統合最適化する技術で、LSIチップの低消費電力化を図る。具体的には、同じ処理を行うための消費エネルギーを2008年度末時点での産業界技術レベルに比べ1/10以下に削減することを目標とする。具体的には同一アプリケーションプログラム実行時の電力消費を1/10以下に削減することを目標とする。

ただし、本研究開発の対象は回路、システム、設計技術による消費電力削減であり、新材料、新プロセス、新デバイス構造による消費電力削減効果は含めない。

本プロジェクトは、大きく分類して要素回路技術の開発とLSIチップ統合最適化技術の開発と低電力/近距離ワイヤレス技術に三分して考えている。それぞれを細かく研究開発項目に分類し、各研究開発項目内でも目標を詳細に設定し、その成果管理を行っている。

### 2. 事業の計画内容

#### 2.1 研究開発の内容

上記目標を達成するために、以下の研究開発項目について、別紙の研究開発計画に基づき研究開発を実施する。

#### I. 極低電圧要素回路技術（研究開発期間 2009年度から2011年度）

低電圧で安定動作するロジック、メモリなどの回路設計技術を確立する。

（研究開発項目①）ロジック回路技術開発：極低電圧ロジック回路の開発

（研究開発項目②）メモリ回路技術開発：オンチップ極低電圧メモリ回路の開発

（研究開発項目③）アナログ回路技術開発：0.5V動作新方式PLL回路等の開発

（研究開発項目④）電源回路技術開発：0.5Vで安定動作する新規電源回路の開発

#### II. 極低電力LSIチップ統合最適化技術（研究開発期間 2011年度から2012年度）

（研究開発項目⑤）上記Iの要素回路技術の主要部分を統合し、省エネ制御と統合電源システムを組み合わせた極低電力LSIチップ設計手法を開発する。

#### III. 低電力無線／チップ間ワイヤレス技術（研究開発期間 2009年度から2012年度）

（研究開発項目⑥）従来技術より1桁低電力の低電力無線／チップ間ワイヤレス技術を開発する。

本研究開発項目は、（1）実用化まで長期間を要するハイリスクな「基盤的技術」に対して、産学官の複数事業者が互いのノウハウ等を持ちより協調して実施する事業、又は（2）試験・評価方法、基準・プラットフォームの提案等、国民経済的には大きな便益がありながらも、民間企業の研究開発投資に見合うものが見込めない「公共財の研究開発」事業であり、原則、委託事業として実施する。ただし、（1）については上記以外のもの<sup>(※1)</sup>は、共同研究事業（NEDO負担率：2/3）として実施する。

※1 民間企業単独、民間企業のみでの連携、大学等の単独等、産学官連携とならないもの。

#### 2.2 研究開発の実施体制

NEDOにおいては、研究開発効率上、最適なフォーメーションを組むことにより、研究投資額に対するパフォーマンスの最大化を強く意識している。このため、基本計画検討委員会を組織して外部有識者の意見を取り込み、基本計画を策定した。また、その結果を踏まえてNEDO外部ウェブページに「基本計画」「事前評価書」「資料」（巻末添付資料参照）を公開し、パブリックコメントを募集し、その内容（同じく巻末に添付）を適切に計画に反映した。なおこの一連のプロセ

スをNEDOポストと呼んでいる。

引き続き公募を行い実施者を広く募った。外部有識者及びNEDOメンバーからなる採択審査委員会を組織し、応募者の中から、競争の上で研究推進能力、成果の事業化への見通し、など多岐にわたる比較項目を検討し、実施者を選定した。

図2に本プロジェクトの実施体制を示す。産官学連携を強く意識し、株式会社半導体理工学研究センター（以下「STARC」と呼ぶ）を主たる実施者とし、国立大学法人東京大学や学校法人慶応義塾大学や国立大学法人東京工業大学とシステムエルエスアイ株式会社（以下、「システムエルエスアイ」と呼ぶ）を実施者として発足した。

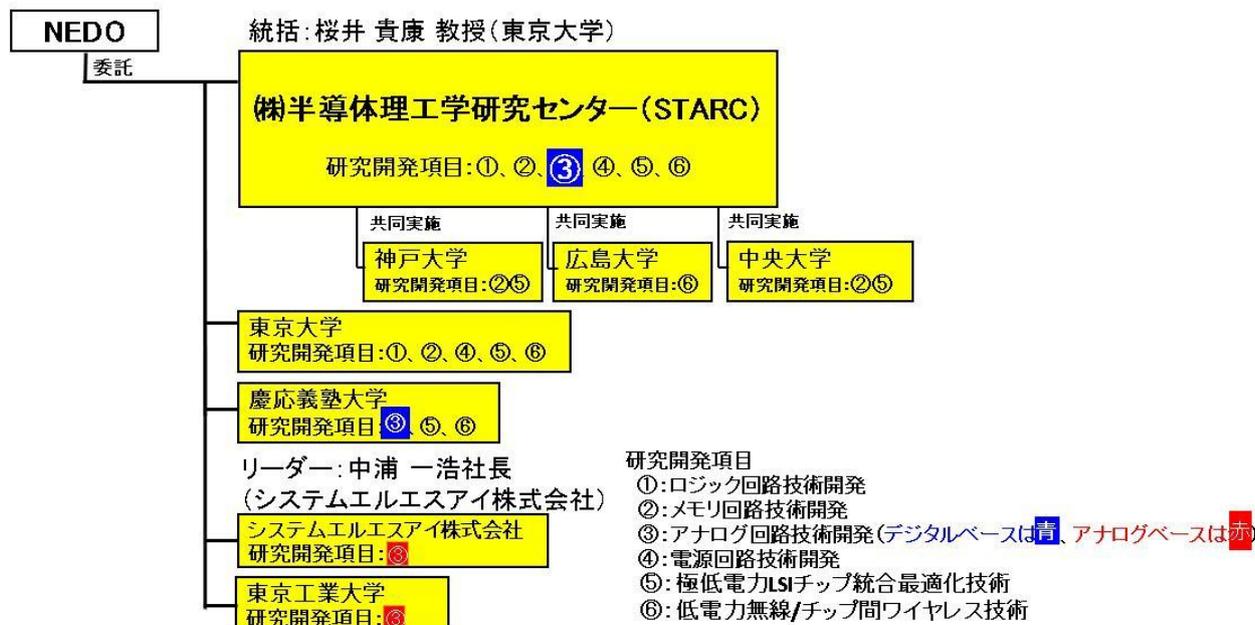


図2 本プロジェクトの実施体制

研究開発項目③アナログ回路開発について、2009年度の採択時点より、低電力化に向けてデジタル技術をベースにおく STARC/東大/慶応大のアナログ回路技術研究の提案と自社の保有するアナログ技術をベースにおくシステムエルエスアイ/東工大が存在し、採択委員より異なるアプローチによる研究なので採択するようにとの支持を受けて採択し、2つのチームに分かれている。

研究開発項目③は技術のコンタミネーションを避けるために、両陣営はまったく分離した形で推進した。一方で、陣営を二つに分離することは、2011年度に開始する予定の研究開発項目⑤ 極低電力LSIチップ統合最適化技術の基本計画や公募においてシステムエルエスアイ/東工大側にとって障壁とする可能性も考えられた。そこでNEDOは、両陣営間に研究開発項目⑤の検討ではシステムエルエスアイ/東工大のアナログ回路ベースのアナログ回路を取り込むことも考慮にいれて進めることを取り決めさせた。

この様に2つの陣営で研究を進めたためにいわゆるプロジェクトリーダー（PL）は置いていないが、研究開発項目のほとんどすべてをハンドリングする STARC/東大/慶應大には、統括として桜井貴康教授にまとめていただいた。

研究開発項目③アナログ回路開発（アナログ回路ベース）のシステムエルエスアイ/東工大チームはシステムエルエスアイの中浦和弘社長と東工大の松澤昭教授にまとめていただいた。

## 2.3 研究開発の運営管理

研究開発全体の管理・執行に責任と決定権を有するNEDOは、経済産業省及びプロジェクトリーダーに相当する総括担当者と密接な関係を維持しつつ、プログラムの目的及び目標、ならびに本プロジェクトの目的および目標に照らして適切な運営管理を実施する。具体的には、年2回開催するNEDO定期ヒアリングの他、必要に応じて随時のコミュニケーションや、外部有識者の意見を運営管理に反映させる。

## 2.4 研究開発成果の実用化・事業化に向けたマネジメントの妥当性

NEDO に於いては、随時ヒアリングを通じて進捗状況を把握し、また国内外の技術開発動向を常にウォッチすることにより、随時・適切なベンチマークに務めている。推進状況によって事業化が可能と判断出来るものに関しては早期に開発を参加企業の自主開発に切り替えを推進している。一方、知的財産権の取得についても奨励しているが、開発項目の性質上特許化するよりも戦略的に不出願にしてノウハウを守ることが好ましいものについては適切に判断すべきと考えている。

本プロジェクトの研究開発項目③アナログ回路技術開発（アナログベース）を除くほとんどの研究項目が STARC を中心とした、集中研で研究されている。そのため集中研に対しては、集中研を運営する STARC を中心として、研究開発推進時に効率的に知財を作り、活用していくためと実用化を推進する集中研の参加企業がプロジェクト終了後に知財を活用できるように日本版バイドール法を適用した上で出向元帰属とした。

このため特許の権利は、集中研への出向者申請特許は STARC に帰属後、出向元に権利を譲渡するが、特許は STARC の集中研参加企業と STARC と大学で自由に利用できる様に覚書を交わして推進した。著作権ならびにノウハウの権利については、STARC を通じて集中研への参加企業と STARC は持分均等に権利を所有する様、覚書を交わして推進している。

研究開発項目③アナログ回路技術開発（アナログ回路ベース）を担当したシステムエルエスアイ株式会社と東京工業大学については、通常通りの日本版バイドール法の適用を行った。

## 3. 情勢変化への対応

本研究開発の研究開発経緯を図3に示す。2009年度の開始にあたっては、事前検討から基本計画検討や NEDOPOST を経て、広く企業、民間研究機関、独立行政法人、大学等（委託先から再委託された研究開発実施者を含む）から公募を行い、よりよい実施体制を組むべく研究開発実施者が選定され、その上で2009年度より委託により実施している。2009年度から2010年度はⅠ．極低電圧要素回路技術の開発として①ロジック回路技術開発、②メモリ回路技術開発、③アナログ回路技術開発、④電源回路技術開発を行い、そこで得た知見をいかして2011年度に開始するⅡ．極低電力LSIチップ統合最適化技術の⑤統合最適化技術の基本計画目標設定を行った。⑤統合最適化技術も他と同様に広く委託先の公募を行い2011年度より委託している。⑤統合最適化技術は、①から④の要素回路技術を1つのLSIを組み上げる際の技術課題の発見と解決を行う研究開発を行っている。Ⅲ．低電力無線／チップ間ワイヤレス技術の⑥無線技術は他の技術より少し将来の技術でもあるので、他の研究開発項目と共に国際的な学会などに積極的に成果を問い、方向性を確認しながら進めた。

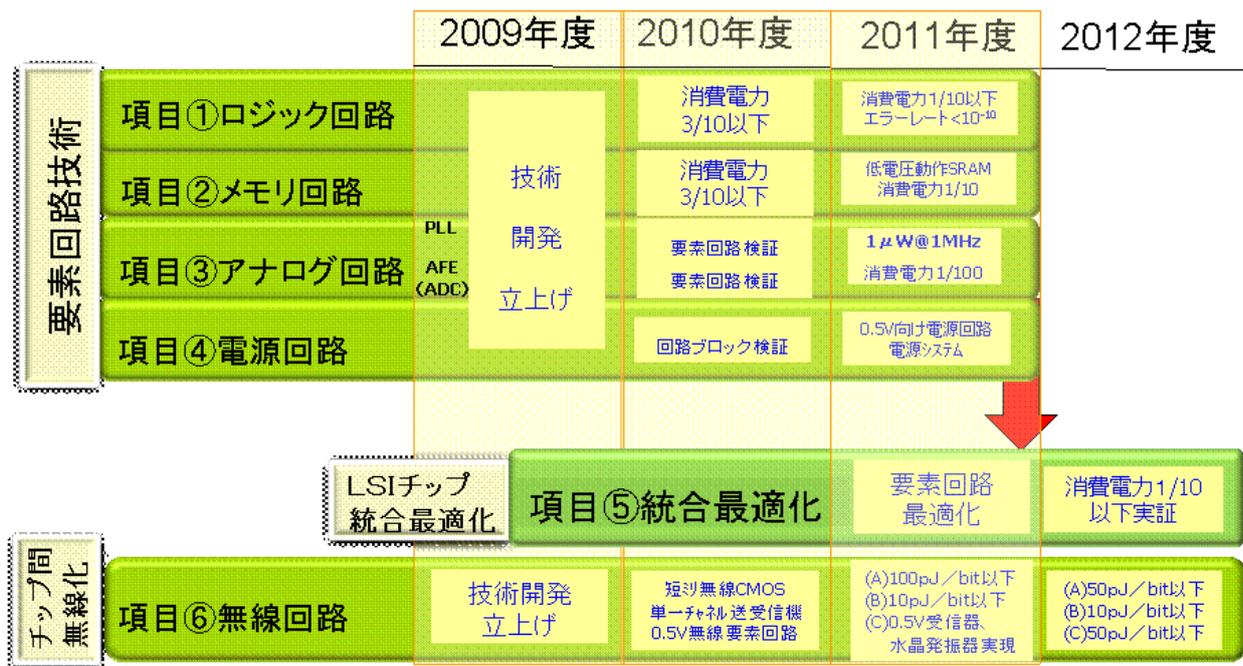


図3 「極低電力・システム技術開発(グリーンITプロジェクト)」の研究開発経緯

図4に本委託事業の実施期間中に行ったNEDOの情勢変化への対応を示す。

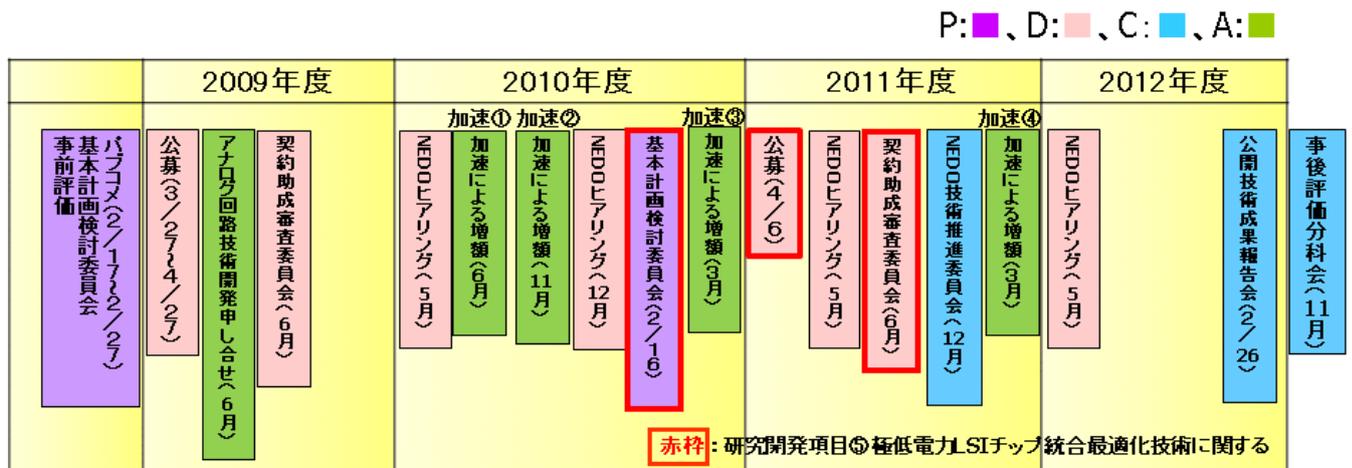


図4 本プロジェクト期間中のNEDOの情勢変化への対応

NEDOマネジメントのガイドラインに沿ってPDCAを回しているが、本プロジェクトは、要素回路技術を先行して研究開発して極低電力LSIチップ統合最適化技術の基本計画の検討や採択がある上に、要素回路技術の研究開発でもアナログ回路技術開発に2つの陣営を抱えている。そのため、図4に示す情勢変化への対応も複雑になっている。

しかし、大きく整理すると以下の4点になる。

◇研究開発項目③アナログ回路技術開発にデジタル技術とアナログ技術の異なる技術アプローチで、2グループが応募してきた(2009年4月)

→ ・両グループで事前に条件を申し合わせ、両グループそれぞれ独立して同一の目標に対して研究した。

◇NEDOヒアリングを通じて進捗を確認する（毎 5、12月）

→ 実施計画書や予算要求に反映、要素技術研究前倒しのために開発成果促進資金（以下、「加速」と言う）①②③を投入。

◇研究開発項目⑤極低電力LSIチップ統合最適化技術の追加（2011年2月）

→ ・要素回路技術の研究が進み、統合したLSIチップで回路やシステムの検証をするために基本計画に研究開発項目⑤極低電力LSIチップ 統合最適化技術を追加し、公募した。

◇NEDO技術推進委員会で外部有識者による評価による評価で実用化・事業化を意識したプロジェクト推進を求められた（2011年12月）

→ ・STARCの集中研参加企業へ実用化・事業化調査を実施し、センサー能力が必要であることが判明。

・ADCマクロの開発と実証チップ開発前倒しを判断し、加速資金④を投入

図5に本プロジェクトの加速案件の概要を示す。本研究開発では、2009年度から2012年度に合計4回の機動的な加速資金投入を行い、研究開発を促進した。

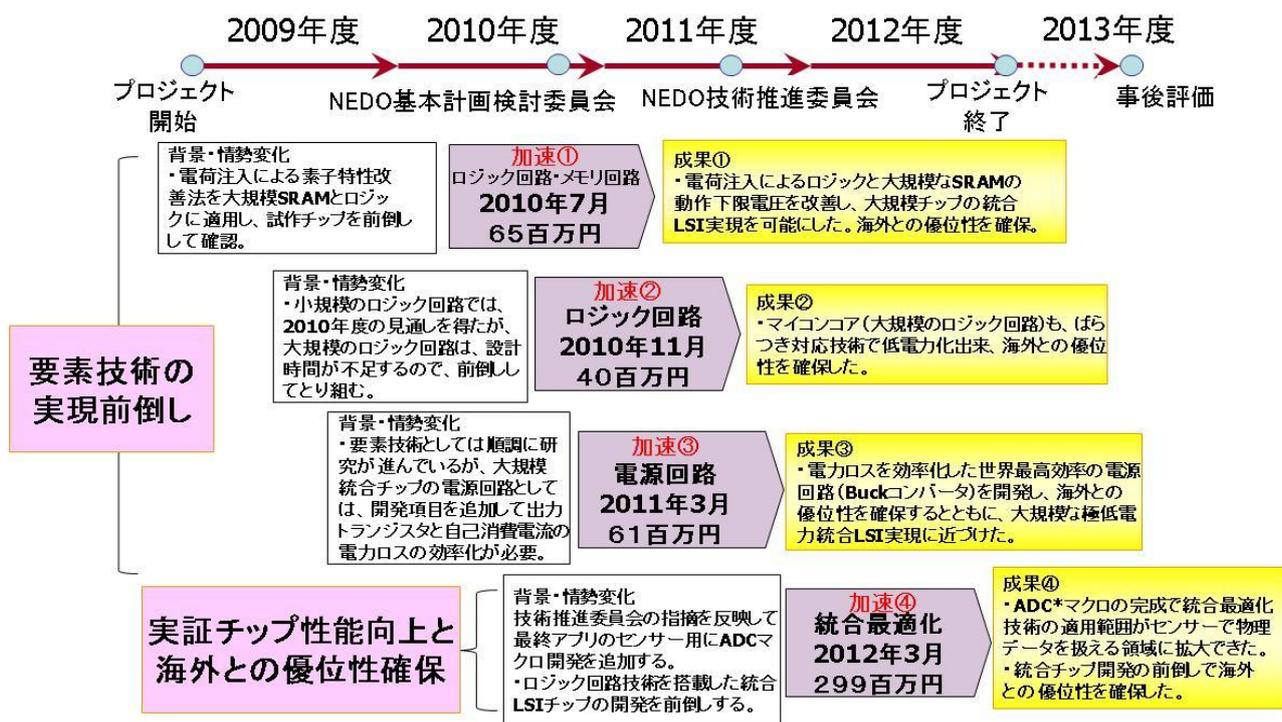


図5 加速資金投入による研究開発の促進

3回目の加速資金までは、メモリ回路やロジック回路および電源回路といった要素技術の実現前倒しに重点を置いていたが、4回目の加速資金は、2012年12月に実施した技術推進委員会の指摘を受けてSTARCの集中研参加企業に対して行った実用化・事業化の調査から、各社はアナログ量を扱うセンサー能力を求めており実証チップもアナログ信号を取り込んで処理する能力が必要であるとわかったため、ADCアナログマクロを実現して実証チップ搭載することと、実

証チップの実現を早めるための設計前倒しに投入された。

これらの加速資金の投入によって、本プロジェクトの最終研究項目 極低電力LSIチップ統合最適化技術の極低電力LSI実証チップの能力を外部の情報を受け入れて動作できるところまでに広げ、実用性を高めるとともに海外との優位性を確保できた。

#### 4. 中間評価結果への対応

本プロジェクトは4年間で終了する研究開発であるため、中間評価は対象外であり、実施しておりません。

#### 5. 評価に関する事項

本プロジェクトは、2009年度から4年間の短期のプロジェクトであるため、5年間のプロジェクトであれば3年目で実施される中間評価を実施しない。その代わりに設けたわけではないが、2010年度の極低電力LSIチップ統合最適化技術の研究開始に向けて、そこまでの研究実績から基本計画目標を見直し、委託先を広く公募し採択した。その際の採択委員は、外部の有識者であり、採択実施に当たっていろいろとご意見をいただき、この意見を委託先と共有することによって必要に応じてプロジェクトの方向性の修正や加速資金の投入等を迅速に行った。

また、平成2011年12月に外部有識者による技術推進委員会を実施し、進捗状況の確認、最終年度(2012年度)の開発内容の確認及びプロジェクトの集中研参画企業(STARCへの参画企業)の事業化にむけた取組について確認を行った。図6に本プロジェクトのNEDO技術推進委員会の概要を示す。

##### ○評価委員の先生

委員 石橋 孝一郎 様	電気通信大学	教授
委員 宇佐美 公良 様	芝浦工業大学	教授
委員 最上 徹 様	日本電気株式会社	エグゼクティブエキスパート (会社名と役職は当時のもの)

##### ○主な指摘事項

研究開発項目毎に企業と大学各々の得意とする技術力を適切に組み合わせた研究開発体制が構築できている。

最終アプリの明確化とそれを意識した開発、独立した技術開発との優先順位付が必要

•STARCの集中研参加企業に対して事業化・実用化の調査(4回のアンケート)から、最終アプリは今後期待されるセンサーネットワーク関係や低電力化が注目されるデジタルAV機器であり、センサーが必要になるため、ADC\*マクロを開発することにした。

•Intelなど海外も研究が具体化してきたために、統合LSIの大規模検証チップにADC\*マクロを積み、早期に実現するため加速④を投入。

図6 本プロジェクトのNEDO技術推進委員会(2011年12月)の概要

技術推進委員会では、実用化・事業化については最終アプリを把握して進めることと、その調査協力を依頼する対象は、LSIもセットも製造しないSTARCそのものではなく、STARCの集中研に参加して将来本プロジェクトの成果を実用化・事業化する各企業に求めるよう指摘を受けた。そこで、2011年度からSTARCへの参画会社およびシステムエルエスアイに対して4回のアンケート調査を中心とする実用化・事業化を明確化する調査を行った。

STARCの集中研への参加企業は、半導体ベンダーがほとんどでその会社のLSIチップを使用するユーザーの扱う製品が最終アプリの候補となることもあって、これから発展が期待されるM2Mなどのセンサーネット系かデジタルAV機器の小型化が候補としてあがったが、いずれもアナログ信号に対するセンサーを求めるものが多いことが分かり、「3 情勢変化への対応」に記述したとおり、ADCマクロの開発と検証チップ設計の前倒しを行うために加速資金を投入した。

以上、適宜評価活動を行いプロジェクト終了後の平成25年度に事後評価を実施する。

### III 研究開発成果について

#### 1 事業全体の成果

##### 1. 1. 研究開発目標

極低電圧要素回路技術と極低電力無線／チップ間ワイヤレス通信技術を開発し、これら要素技術の主要部分を統合最適化する技術で、LSI チップの低消費電力化を図る。同じ処理を行うための消費エネルギーを従来技術（平成 20 年度末時点での産業界技術レベル）に比べ 1/10 以下に削減することを全体ターゲットとし、具体的には研究開発項目毎に下記の最終目標を設定した。上記目標達成以外にも加速による研究開発や実用化に向けた研究開発を実施した。これについては、3. 研究開発成果で研究開発項目毎に述べる。

##### 研究開発項目① ロジック回路技術開発

極低電圧化を推進し、16 ビット加算器あるいは同等以上の機能と規模を持つ回路 TEG を先端 CMOS プロセスで試作し、ばらつき対応技術の適用により、H20 年度の産業界技術レベルの 65nm 世代@1.2 V に対して処理性能を揃えた条件で、電力 1/10 及びエラーレート 1E-10 以下を実現可能な技術を開発する。

##### 研究開発項目② メモリ回路技術開発

1Mbit の容量のメモリで、平成 20 年度の産業界技術レベルの 65nm 世代 1.2V に対して、1/10 の消費電力を達成する回路技術の開発し、SRAM の試作を行い、開発されたメモリ回路技術の検証を行う。

##### 研究開発項目③ アナログ回路技術開発

###### (1) 0.5V 動作 PLL

クロック周期の 3%以下の低ジッタ特性、および基準信号に対して数 10 クロック以内の高速ロック特性を実現する。消費電力は 10  $\mu$ W 以下 @ 10MHz、100  $\mu$ W 以下 @ 100MHz を目標とする。

###### (2) 0.5V 動作 AFE

音声等の外界信号センシングに応用するための、最小分解能が 4 mV 相当のデータコンバータおよびその基準電圧発生回路を開発し、試作チップでその性能を確認する。製品レベルの従来技術である 100  $\mu$ W @ 100kHz に対して 1 桁以上低電力での動作を目指す。

##### 研究開発項目④ 電源回路技術開発

極低電圧システムに適した電源回路、電源システム技術を開発する。最終目標として、平成 23 年度末までに以下の目標を達成する。電源電圧 0.5V 動作 LSI 向けに、(1)電源回路、(2)ロジック回路等と適応型協調制御した電源システム技術を開発する。この電源システムによって、0.5V 程度の入力電源電圧が  $\pm$ 20%変動してもロジック回路等が正常動作することを LSI チップ試作により実証する。

## 研究開発項目⑤ 極低電力 L S I チップ統合最適化技術

### (1) 統合 A チップ

小規模極低電力 LSI チップを試作し、その性能評価により同じ処理を行うための消費電力が従来技術に比べて 1/10 以下に低減される低電力効果を実証する。

### (2) 統合 B チップ

100 万トランジスタ以上 (1000 万トランジスタ程度) の大規模で複雑な画像処理用の大規模極低電力 LSI チップ (B チップ) を設計・試作し、シミュレーションまたは実測で大幅な低電力効果 (同じ処理を行うための消費電力が従来技術に比べて 1/3 以下) を実証する。

## 研究開発項目⑥ 低電力無線/チップ間ワイヤレス技術

極低電圧 RF CMOS 回路技術を研究し、これを用いた低電力無線/チップ間ワイヤレス技術を開発する。さらに、このテストチップ (TEG) を試作し、50pJ/bit 以下の低消費電力通信技術が実用レベルであることを示す。具体的には、以下の通り。

### (1) 無線 A : アクセスポイント間向け超高速無線

高解像度動画データ等を point-to-point で高速データ伝送することによりネットワーク負荷を軽減する Green by IT 技術を実現する。ここでは、50pJ/bit 以下で実現することを目指す。

### (2) 無線 B : LSI チップ間の非接触データ転送技術によるデータ伝送

大容量メモリカード等のアプリケーション向けに、10pJ/bit 以下の非接触高速インターフェースを実現することを目指す。

### (3) 無線 C : センサネット等のユビキタスネットワーク向けの低電力無線

センサネット等のユビキタスネットワーク向けに、50pJ/bit 以下で実現することを目指す。

## 1. 2. 研究開発項目とスケジュール

本技術開発の開発期間は、平成 21 年度から平成 24 年度の 4 年間である。このうち前の 3 年間 (平成 21 年度~23 年度) に研究開発項目 ~ の要素回路技術を開発し、後ろの 2 年間 (平成 23 年度、24 年度) でこれら要素回路を統合して研究開発項目 統合最適化を実施した。平成 23 年度は両者のオーバーラップ期間であり、これにより技術の伝達をスムーズに行うとともに、オーバーラップ期間を設けなかった場合と比較して 1 年の開発期間短縮が図れた。研究開発項目 無線の開発期間は、本技術開発と同じ平成 21 年度から平成 24 年度の 4 年間である。これらのスケジュールと前節に示した目標のポイントを図 -1 にまとめて示す。

また、図 III.1 下部に示した通り 4 度の加速を行い、成果の拡充を図った。各加速は次の通りである。

加速 1 : 電荷注入による素子特性の改良とゲートレベルばらつき抑制

加速 2 : ばらつき対応技術を用いた大規模ロジック回路の設計

加速 3 : 極低電圧電源回路の高効率化

加速 4 : 極低電圧 ADC のチップ統合

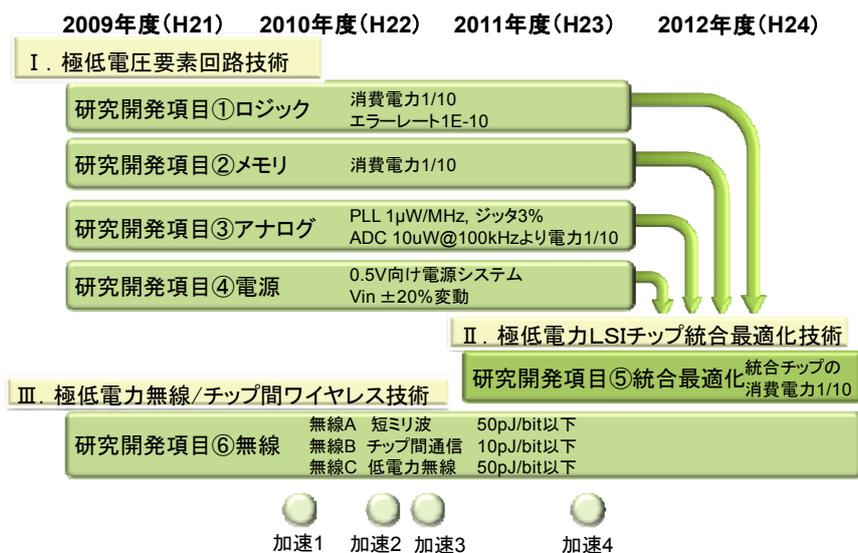


図 .1 研究開発スケジュールと加速

### 1. 3. 最終目標の達成状況

実施した各研究開発項目の最終目標に対する成果と最終目標を表 .1 左側にまとめて比較する。どの研究開発項目も当初設定した最終目標を上回る成果をあげており、達成度はどれも 100%達成である。

表 .1 成果と目標のまとめ

		最終目標に対する成果	最終目標	達成度	加速成果	実用化に向けたその他の主要成果
①ロジック		・新型フリップフロップCLFFを採用した16ビット整数演算器で、消費電力を1/14.4に低減。エラーレートは $2.8E-12$ 以下を達成	処理性能を揃えた条件で、電力1/10、エラーレート $1E-10$ 以下	100% 達成	・CPUコアを題材にして、SoC設計フローによる設計を試行した。TEG試作し、0.5V安定動作を確認。併せて0.5Vライブラリを整備した。この成果は、統合Bチップ設計に反映。	・組合せ回路のVDDminの定式化、極低電圧でのハードウェアリテラシーとシグナルインテグリティの評価解析 ・細粒度電源制御技術の有効性確認 ・パリティを活用した遅延モニタで効率良く網羅率向上 ・間欠型LC共振クロック技術による低電力効果確認
	②メモリ	・1Mbitの電荷制御型SRAMでエネルギー1/12.2を達成 ・小振幅ライトバック8TSRAMでエネルギー1/10.3を達成	1Mbitの容量のメモリで、消費電力1/10以下	100% 達成	・電荷注入技術を使って、非対称アクセスゲートSRAMを実現し50mVのメモリセル動作マージン向上を達成。	・高速用途用に低電圧で高速な相補8TSRAMを開発し、読み出し遅延を半減した。 ・SRAM自己修復技術でストレス印可後にNBTLによる寿命劣化が実用的に問題ないレベルにあることを実証した。
③アナログ	PLL	・完全デジタルアーキテクチャの採用とループフィルタ構成のダイナミックな切り替えにより、0.5V動作、消費電力 $5\mu W$ @10MHz、 $50\mu W$ @100MHz、ジッタ3%、ロックアップ時間50クロック以下を達成	ジッタ3%以下、ロック時間数10クロック、消費電力は $10\mu W$ 以下@10MHz、 $100\mu W$ 以下@100MHz	100% 達成		・PLLシステムシミュレーションを1桁以上高速化 ・TDCの分解能を1ビット以上向上、消費電力を1/4に削減、回路面積を1/5に削減
	AFE (ADC)	・内蔵容量DACと高速SARロジック技術を組み合わせて、 $0.11\mu W$ @100kHz、3.8mV (8.1bit)分解能を達成	最小分解能が4 mV相当、製品レベル従来技術である $100\mu W$ @100kHzに対して1桁以上低電力	100% 達成		・キャリブレーション技術で極小線間容量素子(0.5fF)の使用を可能とした。(省面積、低電力に有効) ・2bit/step方式による動作速度改善、自己ブーストパワーゲーティング手法などにより、パワースケーラブルな周波数レンジを大幅に拡張(0.1kHz~1MHz)。
④電源		・デジタルLDOとセットアップエラー警告信号発生機構を有するロジック回路を組み合わせた適応型協調制御により、0.5V程度の入力電圧が $\pm 28\%$ 変動してもロジック回路が正常動作することを実証した	適応型協調制御した電源システムによって、0.5V程度の入力電源電圧が $\pm 20\%$ 変動してもロジック回路等が正常動作	100% 達成	Buckコンバータに低リーク技術を適用し、出力電力 $40\mu W$ 以下で世界最高効率を達成。降圧回路として世界最低の入力電圧0.45Vでの降圧動作を達成。	・5種全ての電源回路を網羅しており、汎用性が高く、極低電力0.5V SoCを実現する上で必須の基盤技術を開発 (世界初のデジタルLDOやエネルギーハーベスト向け、80mV入力昇圧回路を含む)
⑤統合最適化	統合Aチップ	・従来の8並列モード(電源電圧1.2V)に対して、提案する1対8モード(ロジックの電源電圧0.385V、メモリの電源電圧0.5V)で、Aチップ全体のエネルギーを1/18倍に低減	小規模極低電力LSIチップで、同じ処理を行うための消費電力が従来技術に比べて1/10以下	100% 達成		・ロジックとメモリがそれぞれのエネルギー最小動作をする1対8動作アーキテクチャを開発。 ・ホールドエラー対策にCPPP(Counter Phased Pipeline)を開発し、セットアップエラー対策にPEPD(Parity-based Error Prediction and Detection)を採用。
	統合Bチップ	・3000万トランジスタ規模で、ロジック(CPU、SIMD)、メモリ(1ポート、2ポート)、電源、PLL、ADCを統合。動画処理を行って、同じ処理を行った時の消費電力が1.2V時に比べて1/3.5~1/3.1を達成	100万トランジスタ以上(1000万トランジスタ程度)の大規模で複雑な画像処理用の大規模極低電力LSIチップで、同じ処理を行うための消費電力が従来技術に比べて1/3以下	100% 達成		ADCをチップに統合。CPUと連携した実世界インターフェイス応用(オシロ機能、キャリブレーション)を確認 ・画像処理用SIMDプロセッサを開発し、QVGAの動画処理(二値化、色抽出)を実証 ・10MHzのチップ動作と1.2V比1/3以下の低電力性能の高立を実証 ・高速2ポートSRAM開発
⑥無線/チップ間通信	A 短ミリ波	・130GHz帯ASK変調を採用し、PAL方式(距離10cm)で $9.8\mu J/bit$ ( $98mW/10Gbps$ )、PA有方式(距離3m)で $19\mu J/bit$ ( $209mW/11Gbps$ )をそれぞれ達成	高解像度動画データをpoint-to-pointで高速データ伝送する技術、 $50\mu J/bit$ 以下	100% 達成		・Vラッパーにより短ミリ波デバイスモデリング精度を向上。(短ミリ波からテラヘルツ領域でのさまざまな回路を設計する際に応用可能) ・受信機と送信機のそれぞれの協調設計技術を確立。
	B チップ間通信	・近磁界結合方式を採用し、低電圧要素回路により、クロック再生回路を含む送受信機対向通信(1mm)で、 $6.4\mu J/bit$ ( $5.8mW/0.9Gbps$ )を達成	大容量メモリカード等のアプリケーション向けに、 $10\mu J/bit$ 以下の非接触高速インターフェース	100% 達成		・パルス幅自動制御システムで、PVTパラッキの影響を1/10に削減。 ・ノイズ除去機能付きの完全デジタルクロック再生回路により、ノイズ耐性が高まるだけでなく、クロストーク耐性向上によりチャンネル密度4倍増大が可能になった。
	C 低電力無線	・315MHz帯受信回路で、0.5V動作、LNAレス、間欠サンプリングにより $38\mu J/bit$ ( $38\mu W/1Mbps$ )を達成 ・315MHz帯送信回路で、デュアル電源方式にて、 $36\mu J/bit$ ( $36\mu W/1Mbps$ )を達成	センサネットワーク等のユビキタスネットワーク向けに、 $50\mu J/bit$ 以下(受信回路、送信回路それぞれ)	100% 達成		・水晶発振回路の低電圧化の設計指針を示し、0.35Vでの $4.1\mu W$ 動作を実証。

加速に対する成果と実用化に向けたその他の主要成果を表 .1 右側にまとめる。加速では、世界をリードして、統合チップの目標達成と一層の性能改善や機能拡張に繋がる成果が得られた。実用化に向けたその他の主要成果では、大規模チップや様々な用途のチップに対応出来る体系的な基盤技術の構築や、歩留まり向上やチップ面積縮小が期待できる実用的な成果が得られた。

## 2 研究開発項目毎の成果

### 2.1 ロジック回路技術開発

#### 2.1.1 目標

極低電圧化を推進し、16ビット加算器あるいは同等以上の機能と規模を持つ回路 TEG を先端 CMOS プロセスで試作し、ばらつき対応技術の適用により、平成 20 年度の産業界技術レベルの 65nm 世代 @1.2V に対して、処理性能を揃えた条件で、電力 1/10 及びエラーレート 1E-10 以下を実現可能な技術を開発する。更に加速により、実用規模の低電力 SoC を 0.5V 以下で安定動作可能な技術を開発する。

#### 2.1.2 開発方針、課題、検討方針、開発アプローチ

低電力ロジック技術の目標とする電力 1/10 の達成には低電圧技術の適用が柱となるが、極低電圧ロジック技術では、耐ばらつき技術やパワーマネジメント技術が必要となる。これら技術は幅広い SoC 製品に効用がある。表 2.1-1 にロジック回路技術開発の効用を示す。例えば、極低電力ローエンド SoC や低電圧ミドルレンジ SoC では低電圧化技術の低電力化の恩恵を享受可能である。また、先端ハイエンドモバイル SoC や先端ハイエンド SoC では耐ばらつき技術による高速低電力化が期待できる。そして、極低電力ローエンド SoC や先端ハイエンドモバイル SoC では動作モードに応じたパワーマネジメント技術による高効率化が期待できる。

表 2.1-1 ロジック回路技術開発の効用

	極低電力ロー エンドSoC	低電圧ミドルレ ンジSoC	先端ハイエンド モバイルSoC	先端ハイエンド SoC
低電圧化技術	○	○		
耐ばらつき技術			○	○
パワーマネジメ ント技術	○		○	
特徴	ボタン電池寿命 延長 電池レス(環境 給電駆動)	パッケージコス ト低減	バッテリーでの 連続稼働時間 延長	冷却コスト低減





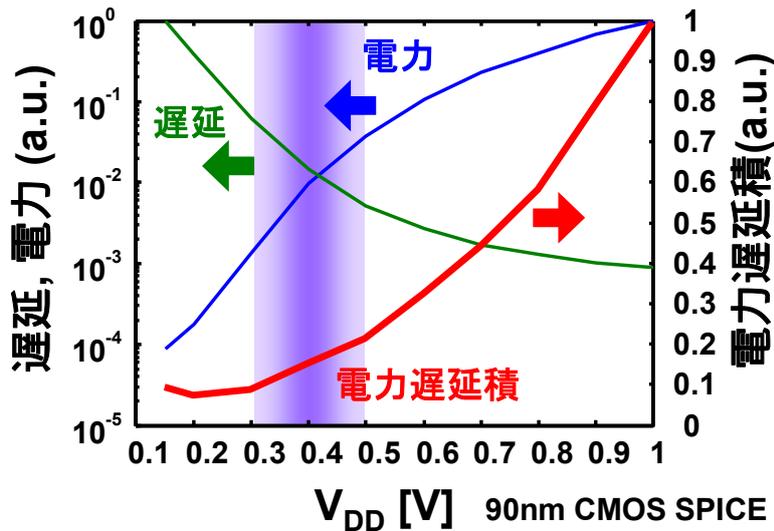



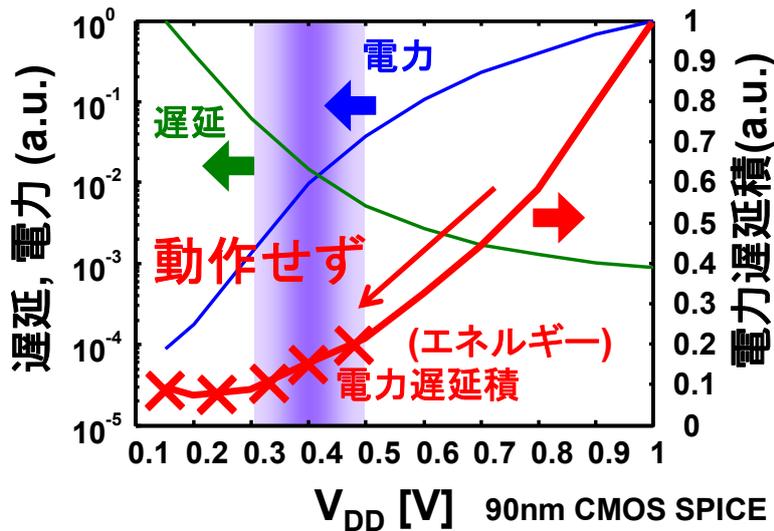
図 2.1-1 遅延、電力、及び電力遅延積の電源電圧依存性

処理性能を揃えた条件で電力 1/10 を達成するには、極限性能を追及する必要があり、電力と処理性能の特性を十分検討する必要がある。電力  $P$  と処理性能（または、クロック周波数） $f$  の式を以下に示す。

$$P = \alpha C V_{DD}^2 f + I_{LEAK} V_{DD} \quad (3. 1-1)$$

$$f \propto \frac{(V_{DD} - V_{TH})^{1.2}}{V_{DD}} \approx (V_{DD} - V_{TH}) \quad (3. 1-2)$$

ここで、 $\alpha$  は動作率、 $C$  は負荷容量、 $V_{DD}$  は電源電圧、 $V_{TH}$  はしきい値電圧、 $I_{LEAK}$  はリーク電流である。いずれも  $V_{DD}$  に依存し、 $I_{LEAK}$  も  $V_{DD}$  依存性があるため、 $P$  は低  $V_{DD}$  化により低減可能である。但し、 $f$  も  $V_{DD}$  の低下に依存して悪化する。図 III.2.1-1 に  $P$  と  $f$  の  $V_{DD}$  依存性の詳細を確認するための SPICE シミュレーション結果を示す。 $f$  は逆数の遅延を示す。 $V_{DD}$  の低下に応じて  $P$  が低下し、遅延は増加する。処理性能を揃えた条件の電力は電力遅延積で表され、しきい値電圧よりも十分高い電圧では、低  $V_{DD}$  化とともに電力遅延積は低下する。しきい値電圧程度でも低  $V_{DD}$  化に伴う電力遅延積削減は緩やかとなるが維持される。更に低  $V_{DD}$  化を行うと、かえって電力遅延積は増加する。電力遅延積はいわゆるエネルギーであり、エネルギー最小点をミニマム・エネルギー・ポイント (MEP) と呼ぶ。この特性から、極低  $V_{DD}$  化により処理性能を揃えた条件で電力 1/10 の達成可能性があることがわかる。よって、ロジック回路技術の開発方針は、0.5V 以下の極低電圧で動作するロジック技術を開発するとした。

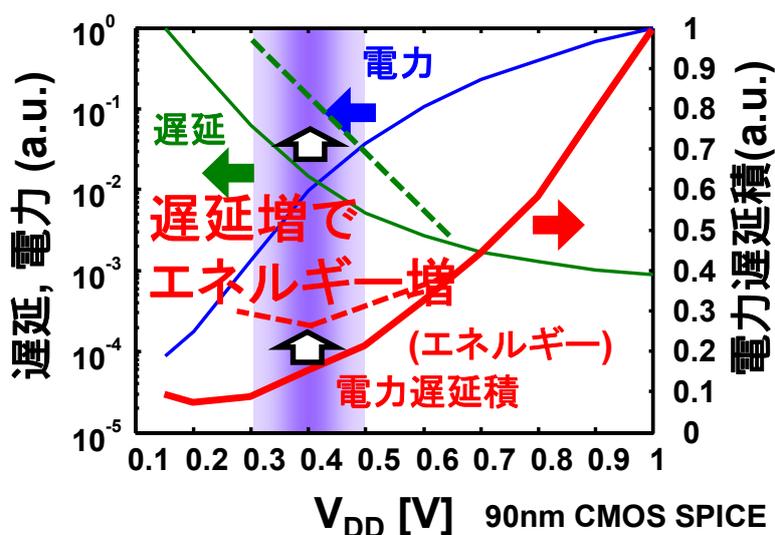


図Ⅲ.2.1-2 極低電力ロジック技術の課題:低 VDD 化の限界 (課題 1:最低可動電圧 VDDmin の存在、課題 2:低電圧パワーインテグリティ PI、シグナルインテグリティ SI の懸念)

極低電力ロジック技術の課題として、図Ⅲ.2.1-2 に低 VDD 化の限界を示す。

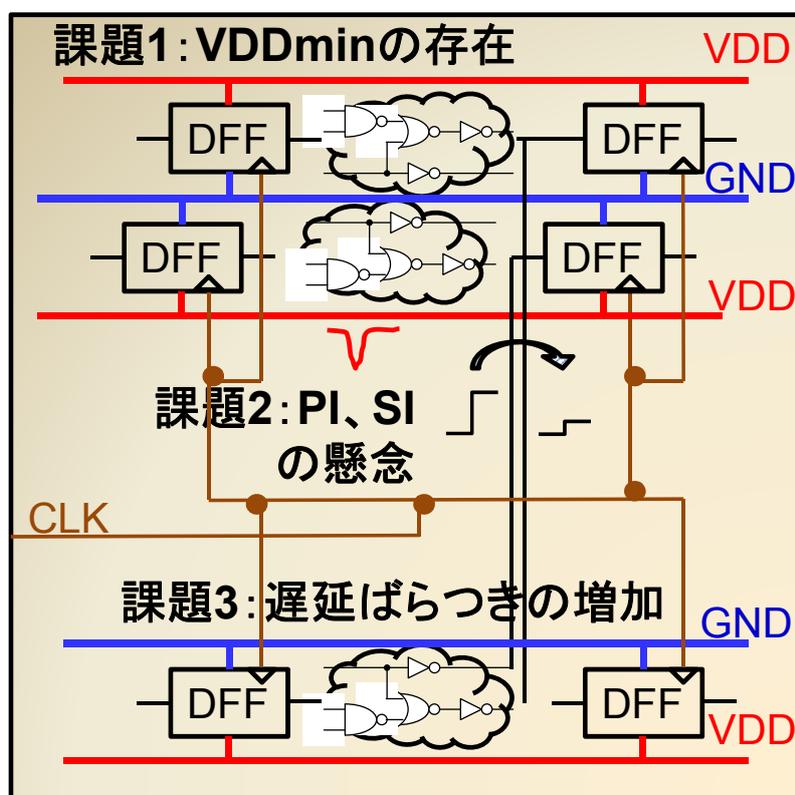
第 1 の課題は、最低可動電圧 (VDDmin) の存在である。アナログ回路やメモリ回路では VDDmin の存在が知られているが、極低電圧ではロジック回路の VDDmin の存在も懸念される。VDDmin が存在すると、ロジック回路の電源電圧が下がらず、極低電圧化による電力 1/10 の達成は困難となる。VDDmin の存在確認と特性把握が重要となる。

第 2 の課題は、シグナル&パワーインテグリティ、である。ロジック回路は電源電圧が信号振幅であり比較的大きなノイズマージンを有するが、極低電圧におけるインテグリティ問題の有無が不明である。インテグリティ問題があると、ロジック回路の電源電圧が下がらず、極低電圧化による電力 1/10 の達成は困難となる。シグナル&パワーインテグリティの傾向の把握が重要となる。



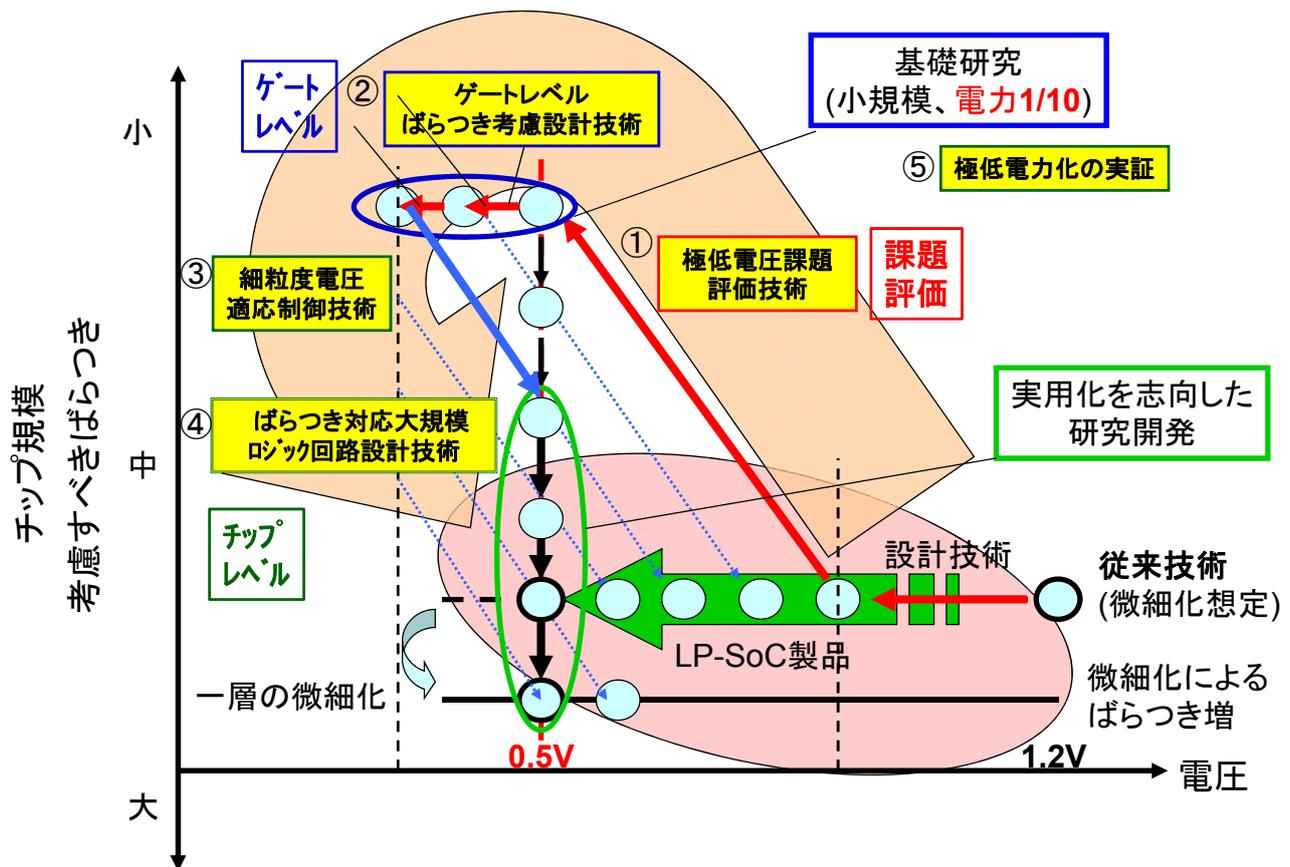
図Ⅲ.2.1-3 極低電力ロジック技術の課題:性能あたりの電力 (エネルギー) の増加 (課題 3:遅延ばらつきの増加に伴う性能低下または電力増加)

第3の課題は、遅延ばらつきの増加に伴う性能低下または電力増加である。低電圧化とともに、プロセスP、電圧V、温度Tのワーストコーナー遅延が増加することが知られている。しかしながら、これまでの報告は、定格電圧での設計回路を単に低電圧で動かしたチャンピオンデータが中心で課題を直視したものではなかった。また、低電圧で一定性能を達成する設計を行うには駆動能力を確保するためのサイズの増加が必要となる。更に、同期回路が正常動作するための条件であるホールド保証にはホールドバッファの追加挿入が欠かせない。これらトランジスタサイズの増加やホールドバッファの追加は負荷容量の増加やリーク電流の増加となり、性能あたりの電力（エネルギー）が増加してしまう。この様子を図Ⅲ.2.1-3に示す。電源電圧の低下による電力低減以上に電力が増加してしまうと極低電圧化の意味がなくなる。遅延ばらつきの増加を加味した設計試行やそのための設計パラメータの検討が欠かせない。



図Ⅲ.2.1-4 極低電力ロジック技術の課題と極低電力 SoC の関係

図Ⅲ.2.1-4に極低電力ロジック技術の課題と極低電力 SoC の関係を示す。上述の課題は通常の同期型ロジック SoC 全般に該当する課題であり、極低電圧化において、解決すべき重要な一般的な課題である。課題1のVDDminの存在は、ロジック SoC の構成要素に関わる、課題2は構成要素の電源供給、及び、信号接続に関わる、そして、課題3はロジック SoC の遅延特性に関わる。限られたプロジェクト期間の中で、試作チップを動作させるために、効率良い開発アプローチが求められた。



図Ⅲ.2.1-5 極低電力ロジック技術の開発アプローチ

図 .2.1-5 に極低電力ロジック技術の開発アプローチを示す。横軸が電源電圧であり、縦軸がチップ規模や考慮すべきばらつきの大きさを示す。従来技術に対して、実用規模の低電力 SoC 製品の電源電圧を下げるのは、上記課題が複合的に生じるため、極めて困難である。そこで、まず、極低電圧ロジックの課題評価を行い、次に、小規模で電力 1/10 を実現するためのゲートレベルの基礎研究を行い、最後に、実用規模でのチップレベルの実用化を志向した研究開発を段階的に行う。

課題評価では、極低電圧課題評価技術として、VDDmin 評価、クロストーク評価、遅延ばらつき評価に取り組んだ。

ゲートレベルの基礎研究では、ゲートレベルばらつき考慮設計技術に取り組んだ。ロジック SoC 用のプリミティブセルにおいて、フリップフロップの VDDmin が比較的高かったため、VDDmin を低減可能なフリップフロップ回路の開発に取り組んだ。

チップレベルの実用化研究では、VDDmin 対策及び遅延ばらつき対策として細粒度電圧適応制御技術、そして、ばらつき対応大規模ロジック回路設計技術として、網羅率を効率よく上げられる遅延モニタ技術や、ばらつき原因となるバッファを用いないバッファレスクロック分配技術の開発に取り組んだ。

表 .2.1-2 に極低電力ロジックの課題と開発項目の対応表をまとめる。

表Ⅲ.2.1-2 極低電力ロジックの課題と開発項目の対応表

開発項目 課題	課題評価技術 3.1.3.1	ゲートレベル技術 3.1.3.2	チップレベル技術 3.1.3.3、3.1.3.4
(1) VDDmin の存在	✓ 論理回路の VDDmin 評価解析	✓ VDDmin の高い論理回 路の改良	✓ 細粒度 VDD による VD Dmin 回避
(2) PI、SI の懸念	✓ インテグリティの評 価解析		✓ クロストークノイズ ワースト条件の回避
(3) 遅延ばらつきの増 加	✓ PVT ばらつきの評価 解析		✓ 細粒度 VDD、VDD 適応 制御によるばらつき 補償 バッファレス CLK ツ リー+LC 共振ル

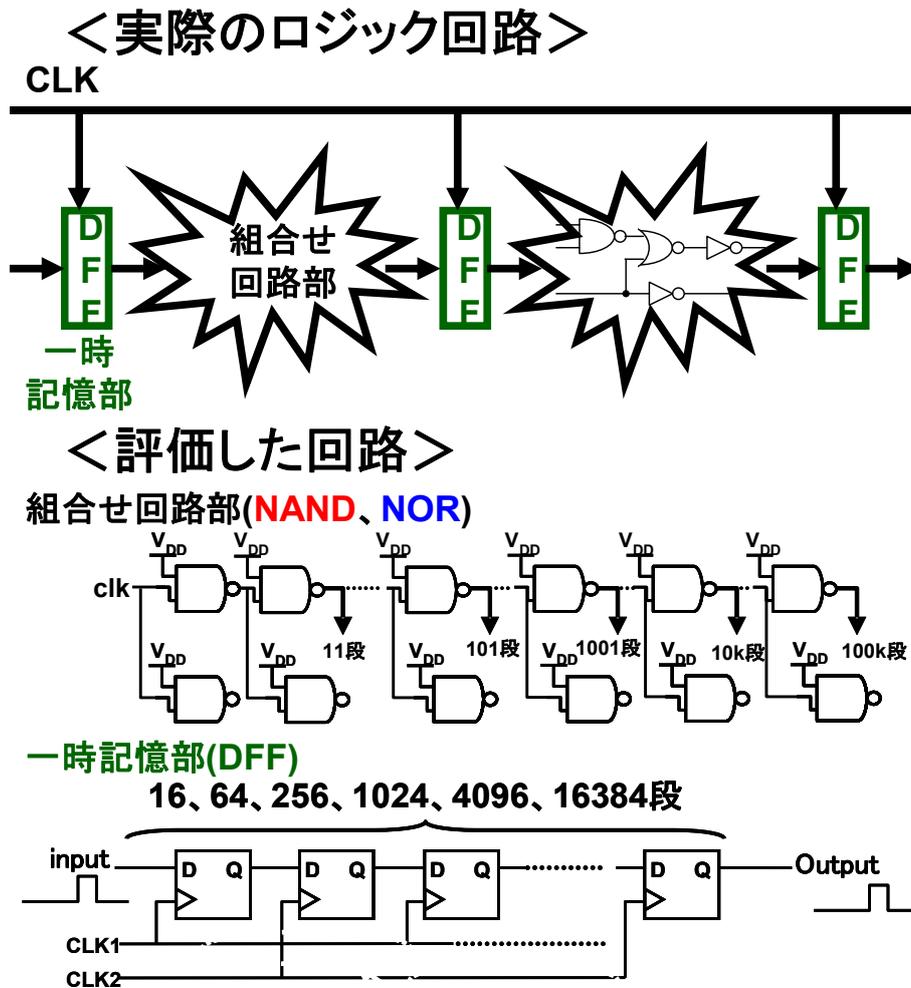
### 2.1.3 開発成果詳細

以下では、課題評価技術、ゲートレベル技術、チップレベル技術の順に開発成果詳細を報告する。

#### <課題評価技術>

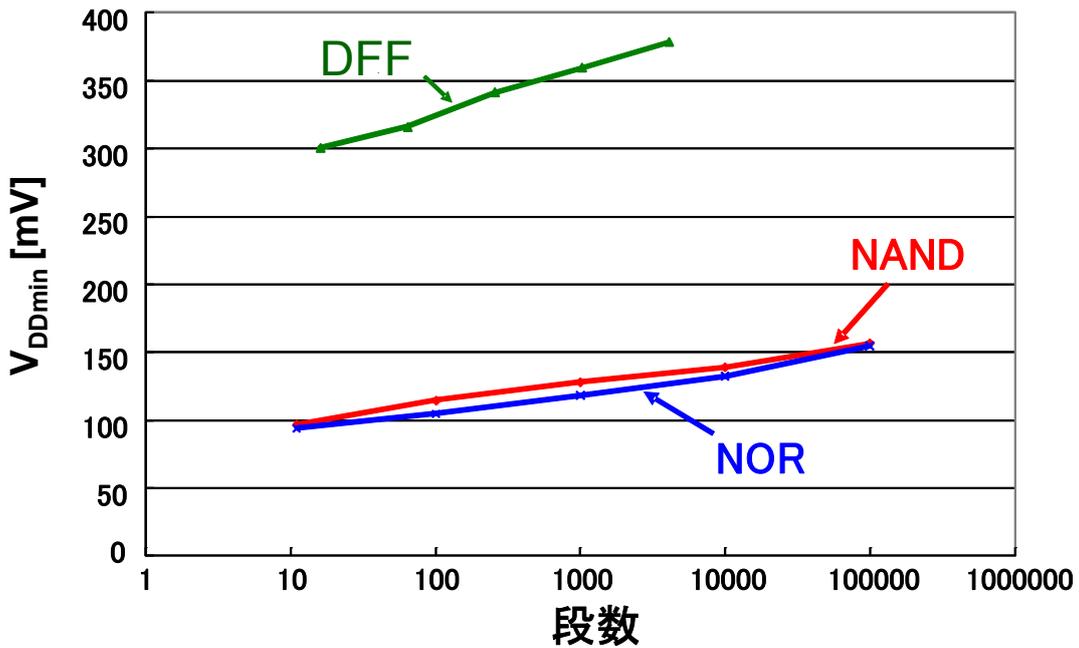
##### 2.1.3.1 極低電力課題評価技術

(1)VDDmin 評価技術 (この成果の一部は DAC 2011 で発表[1])



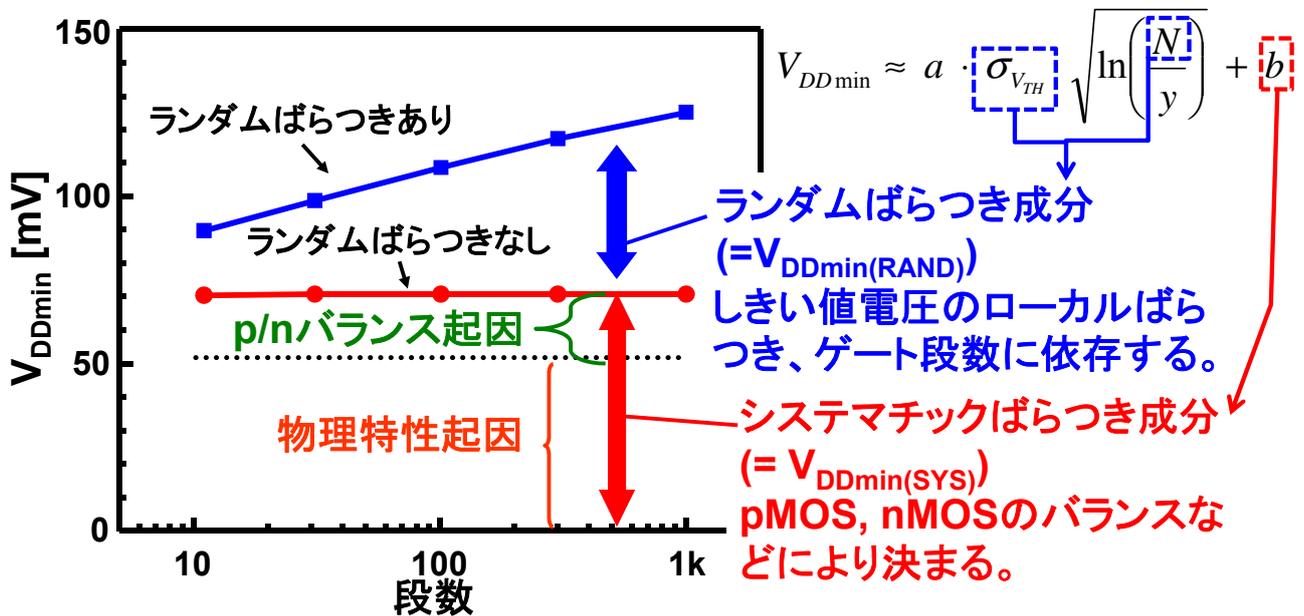
図Ⅲ.2.1-6 VDDmin 評価回路

図Ⅲ.2.1-6にVDDmin評価回路を示す。実際のロジック回路は、図の上部に示すように、論理演算を行う組合せ回路部（インバータ、NAND、NOR等の論理ゲートで構成）と一時記憶部（Dフリップフロップ（DFF）で構成）からなる。東京大学において、超多段のインバータ回路により大規模回路のVDDminを評価した研究がある。ここでは、NANDやNORやDFFの超多段回路TEGを設計、評価することで、VDDminの規模依存を評価した。



図III.2.1-7 VDDminの評価結果 (65nm CMOS)

図III.2.1-7に65nm CMOSでのVDDmin評価結果を示す。インバータと同様にNANDやNORにおいても規模に応じてVDDminが上昇すること、DFFはNANDやNORに比べてVDDminが高いこと、更に、規模に応じたVDDminの上昇ベースが大きいことが判明した。



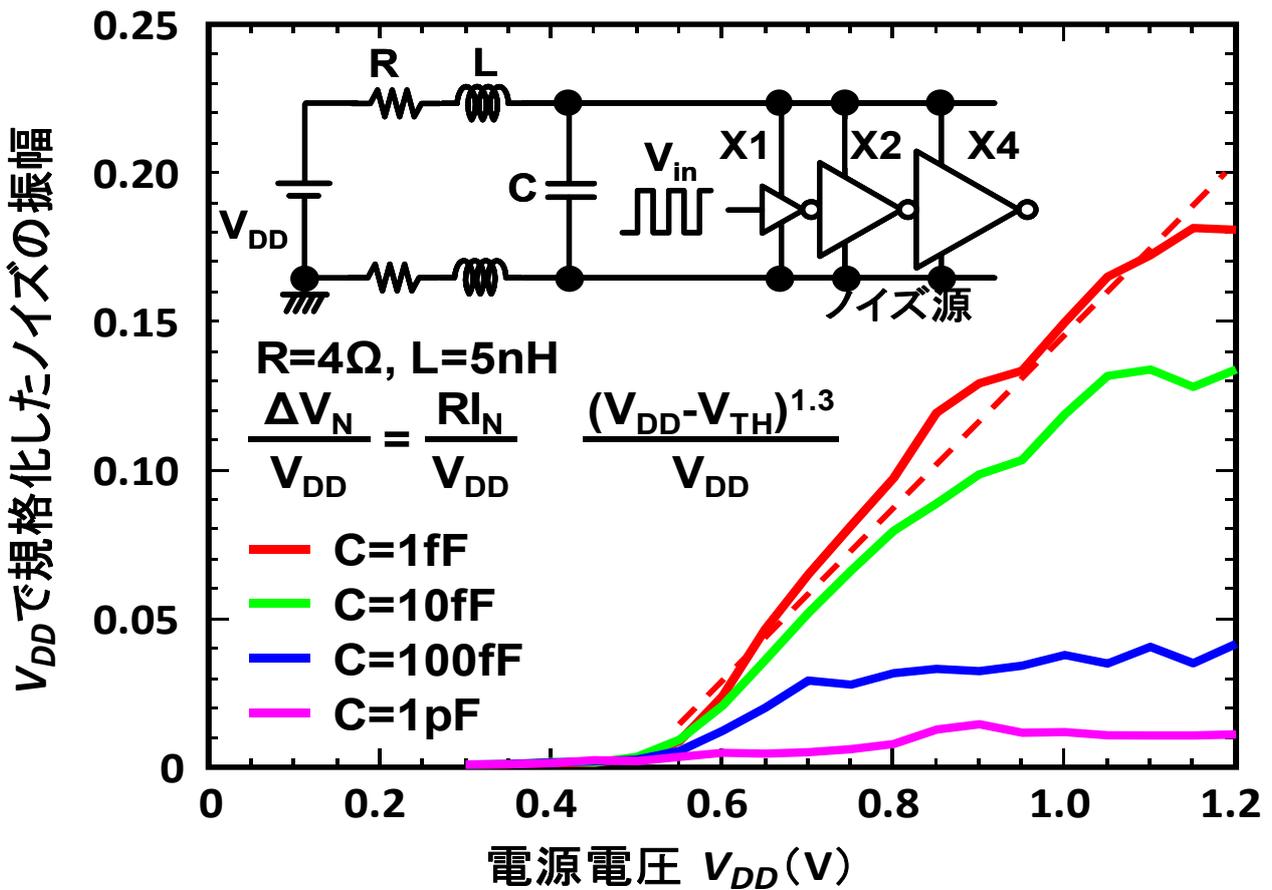
図III.2.1-8 VDDminの評価解析

図III.2.1-8にVDDminの評価解析結果を示す。VDDminの決定要因を知ることは、ゲートレベルおよびチップレベルのVDDmin対策を考慮する上で、極めて重要である。ここでは、組合せ回路のVDDminの決定要因解明に取り組んだ。その結果、規模に依存して増加する項と規模に依存

しない項があること、規模への依存は規模の対数の平方根に比例すること、比例成分としてランダムばらつき成分を含むこと、規模に依存しない項は切片となり、物理特性と p/n バランスに起因するシステムチックばらつき成分を含むことを解明した。DFF についても、DFF は複数の論理ゲートからなるため、必然的に単一の論理ゲートに比べて規模依存の項の傾きが大きくなることを説明可能である。

(2) パワーインテグリティの解析とシグナルインテグリティの評価技術

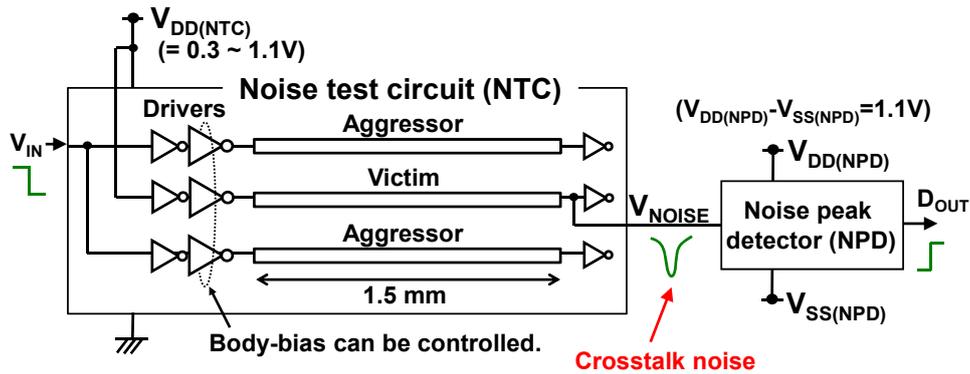
1) パワーインテグリティの解析 (この成果の一部はソサイエティ大会 2010 で発表[2])



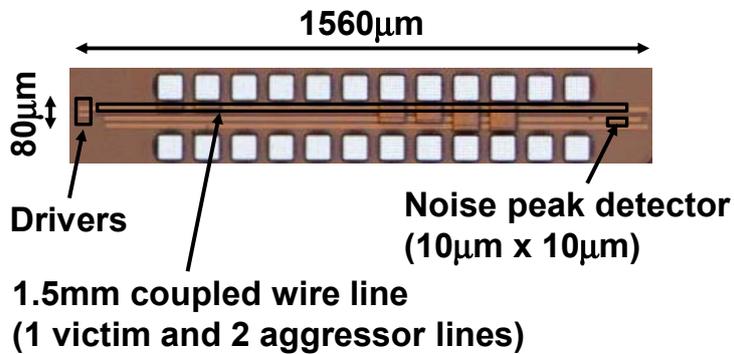
図Ⅲ.2.1-9 電源ノイズの評価回路と VDD 依存特性

パワーインテグリティの電源電圧依存について基礎検討を行った。図Ⅲ.2.1-9 に電源ノイズの評価回路と VDD 依存特性を示す。評価回路に示すように、内部回路動作に起因する電源ノイズの振幅は、電源ノイズ源をインバータの多段バッファ、電源系を LCR 回路でモデル化して見積もった結果、電源電圧とともに低下し、0.5V 以下の極低電圧では極めて小さくなることが判明した。したがって、回路動作に伴う内的要因の電源変動の影響は低下すると考えられる。但し、図Ⅲ.2.1-1 の遅延の電源電圧依存特性からわかるように、極低電圧では電源変動の遅延への影響は増加する。外的要因の電源変動の影響については引き続き注意を要する。

2) シグナルインテグリティの評価技術（この成果の一部は CICC 2012 で発表[3]）



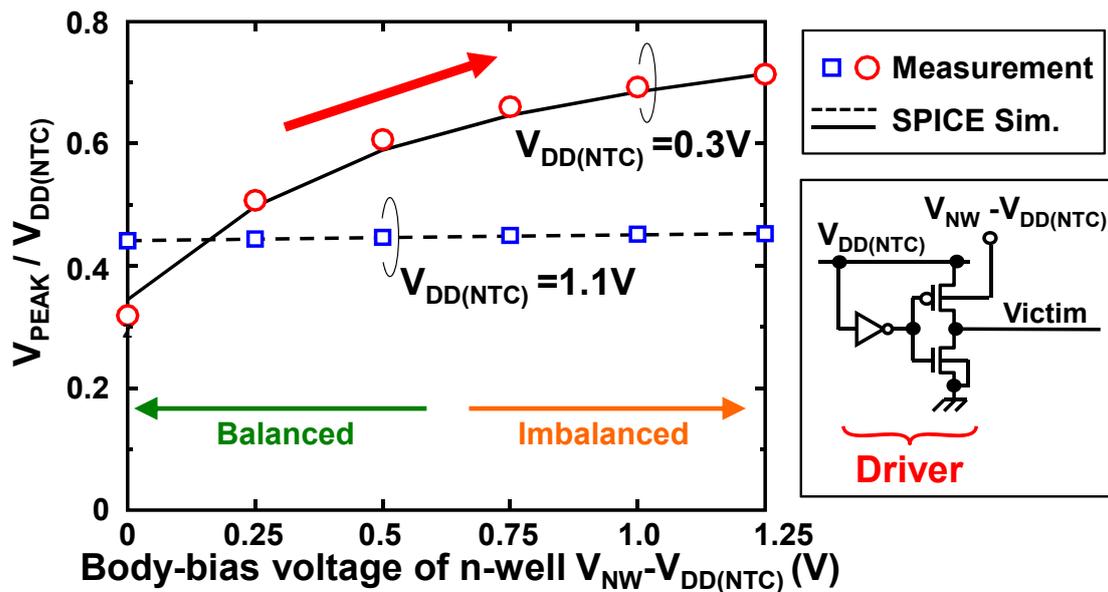
(a) 評価回路



(b) チップ写真

図Ⅲ.2.1-10 クロストークノイズの評価回路とチップ写真

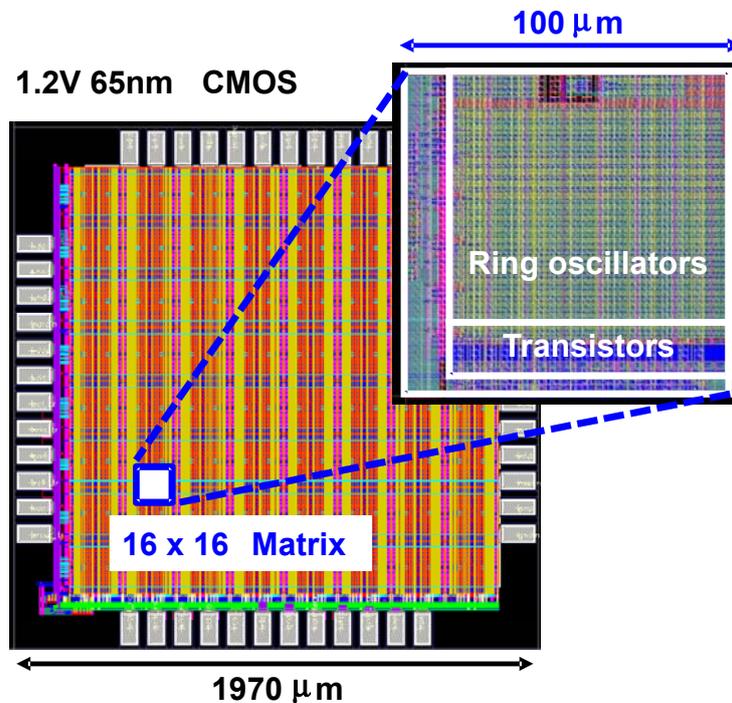
クロストークについても影響を評価した。図Ⅲ.2.1-10にクロストークノイズの評価回路（NTC）とチップ写真を示す。3本の配線を直線で1.5mm並行に走らせ、ノイズ源である送信側（両端2本）と受け側（中央1本）の配線をそれぞれ左側から信号ドライバで駆動し、配線の右側に受け側のみにノイズピーク検出回路（NPD）を設けた。信号ドライバは基板バイアス印加可能とした。



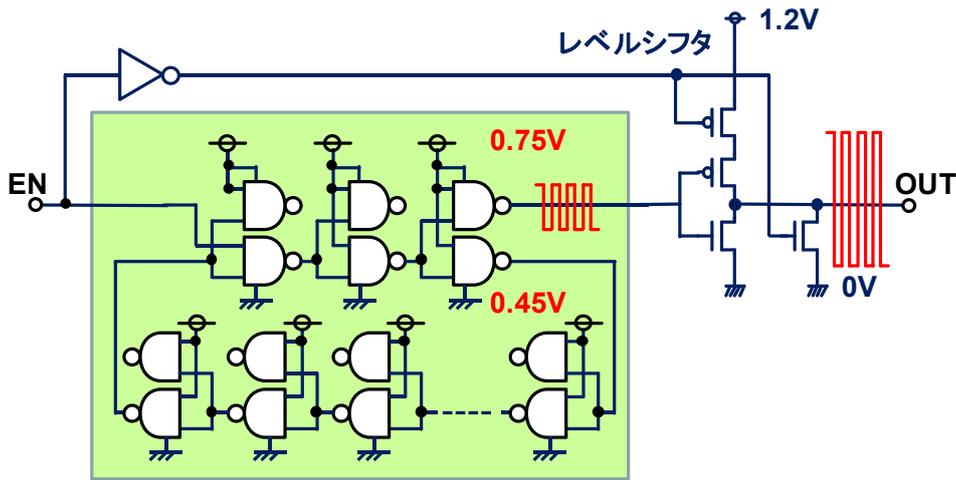
図Ⅲ.2.1-11 クロストークノイズの評価結果

図Ⅲ.2.1-11にクロストークノイズの評価結果を示す。評価の結果、p/nアンバランス時にクロストークの影響が増加することが判明した。p/nアンバランスは基板バイアス制御により生じさせた。VDDminについては記述済みであるが、p/nアンバランスはVDDminの上昇にもつながる。また、立上り遅延と立下り遅延のアンバランスにもつながりタイミング設計への悪影響も懸念される。基板バイアス制御や電源電圧制御等でp/nアンバランスの影響を低減することが必要となると考える。

(3)ばらつき評価技術（この成果の一部はDFM&Y 2012で発表[4]）



(a) レイアウト図



(b) 回路図

図Ⅲ.2.1-12 ばらつき評価用 DMATEG

遅延ばらつきの影響は重要な課題であるが、関連パラメータが多く、実測データが欠かせない。図 .2.1-12 にばらつき評価用 DMATEG (Device Matrix Array TEG)を示す。65nm 技術と 40nm 技術で DMATEG を設計、試作、測定し、極低電圧での遅延ばらつき特性の評価を実施するとともに、大規模 SoC 設計のための設計パラメータの導出にも反映させた。

<ゲートレベル技術>

2.1.3.2 ゲートレベルばらつき考慮設計技術

(1)極低電圧 DFF (この成果の一部は ISLPED 2011 で発表[5])

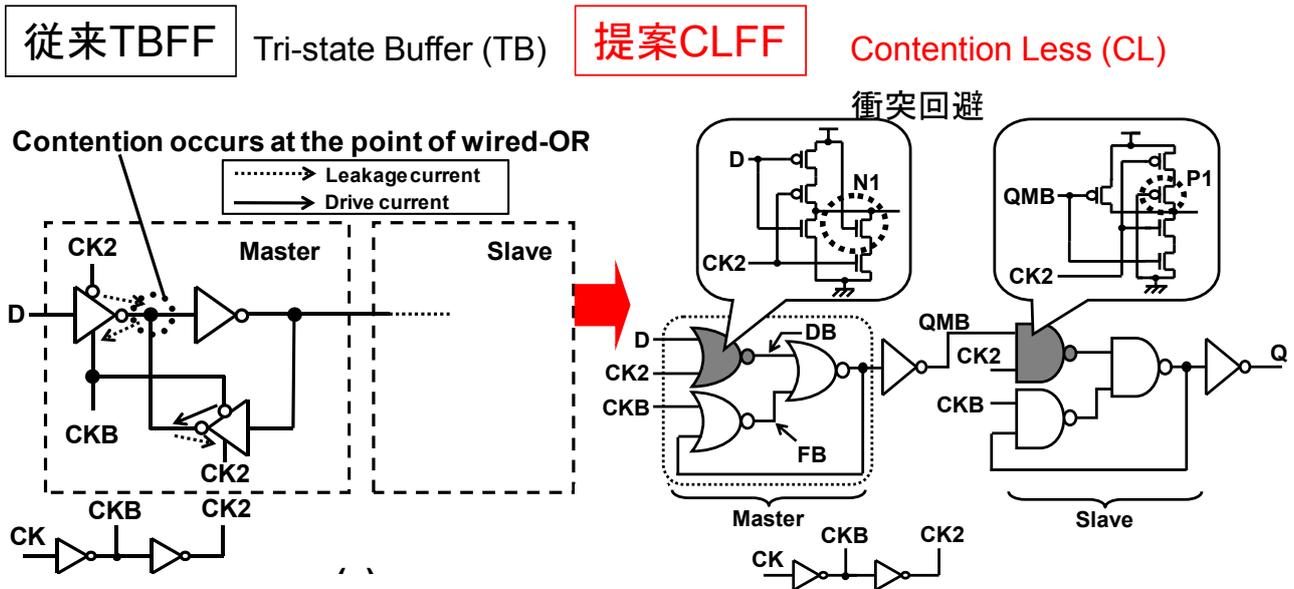


図 .2.1-13 極低電圧 DFF 回路

プリミティブセルの VDDmin 評価 (65nm) において DFF の VDDmin は高い値であったため、ゲートレベルとチップレベルそれぞれの対策技術を開発した。ここではゲートレベルの開発技術を示す (図 III.2.1-13)。従来の DFF は保持データと更新データをクロックドインバータやクロック制御の伝送ゲート出力をワイアードオアしたセクタで切り替える TBFF (Tri-state Buffer 型フリップフロップ) が一般的である。極低電圧では、この出力の衝突が DFF の VDDmin 特性の切片を増加させる一因であることを解明した。提案 DFF は NAND や NOR でセクタを構成した衝突の無い Contention Less 型であり、CLFF と呼ぶ。

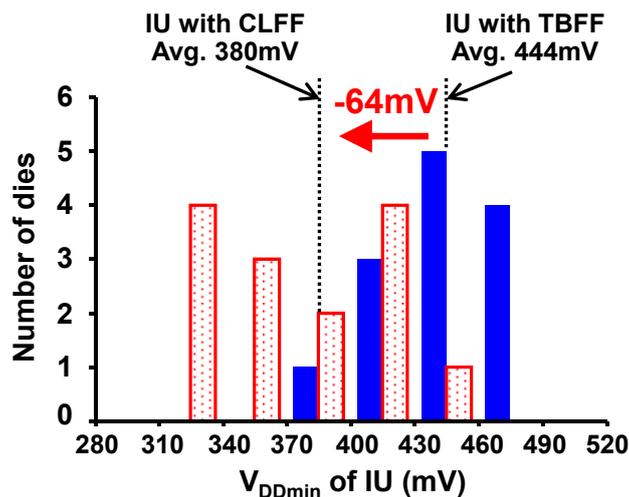


図 III.2.1-14 VDDmin の分布特性 (CLFF 対 TBFF)

図 III.2.1-14 に VDDmin の分布特性 (CLFF 対 TBFF) を示す。CLFF を用いることにより、TBFF に比べて 64mV の VDDmin の低減効果を確認した。

<チップレベル技術>

2.1.3.3 細粒度電源電圧適応制御技術

(1) 細粒度 Dual VDD 技術

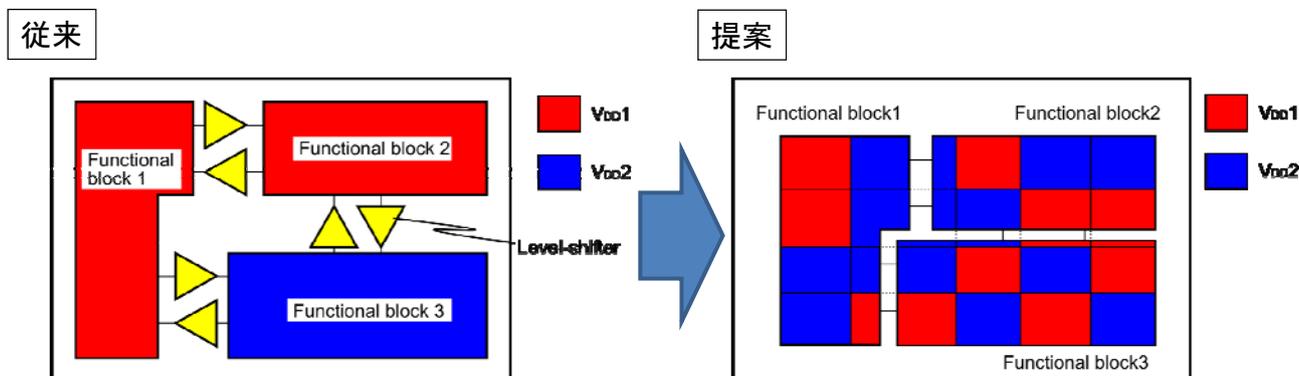
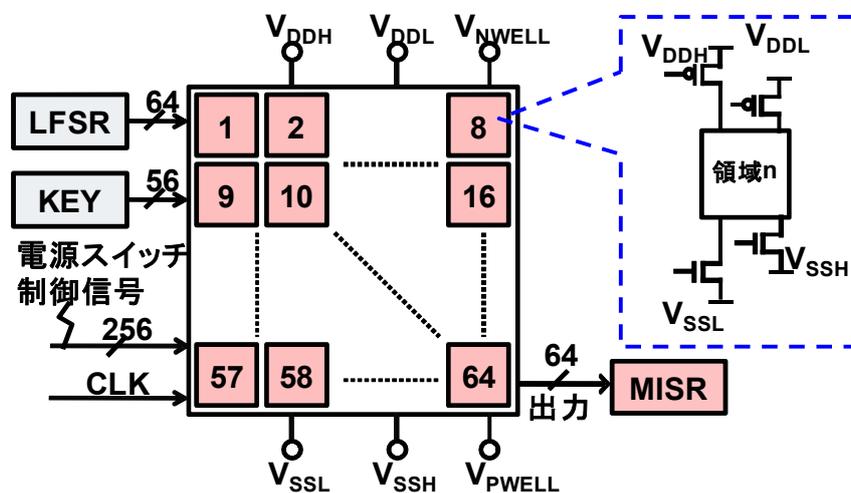


図 III.2.1-15 Dual VDD 技術の細粒度化

VDDmin 対策と遅延ばらつき対策技術として、細粒度電源電圧適応制御技術を適用した。図 2.1-15 に Dual VDD 技術の細粒度化を示す。従来のブロック単位の電圧制御技術に対して、細粒度電圧制御技術はある限定した領域のばらつきを補償可能であり、システムチックばらつき対策として有用な一方、ランダムばらつき対策としても、ホットスポット問題を緩和でき、一定の効果が期待できる。電源電圧制御方式は外入れの 2 つの VDD (VDDH と VDDL) をタイル毎に pMOS スイッチで選択する Dual VDD 選択方式とし、電位差は～100mV 程度とトランジスタのしきい値電圧よりも十分小さくすることでレベルシフタを不要とし、また、SoC 設計フローベースで実装し、実用性を考慮した。VDDmin ばらつきを～100mV 差まで吸収可能であり、遅延ばらつきについても 0.5V 電源電圧時に ±50mV で遅延を 1/2 倍～2 倍程度に変化可能であるため、十分な可制御性を有する。VDDH のブロック数を最少化できれば、電力オーバーヘッドを十分抑制できる。

(1-1) VDDmin 対策効果 (この成果の一部は ISQED 2012 で発表[6])



図Ⅲ.2.1-16 タイルベース細粒度 Dual VDD アーキテクチャ

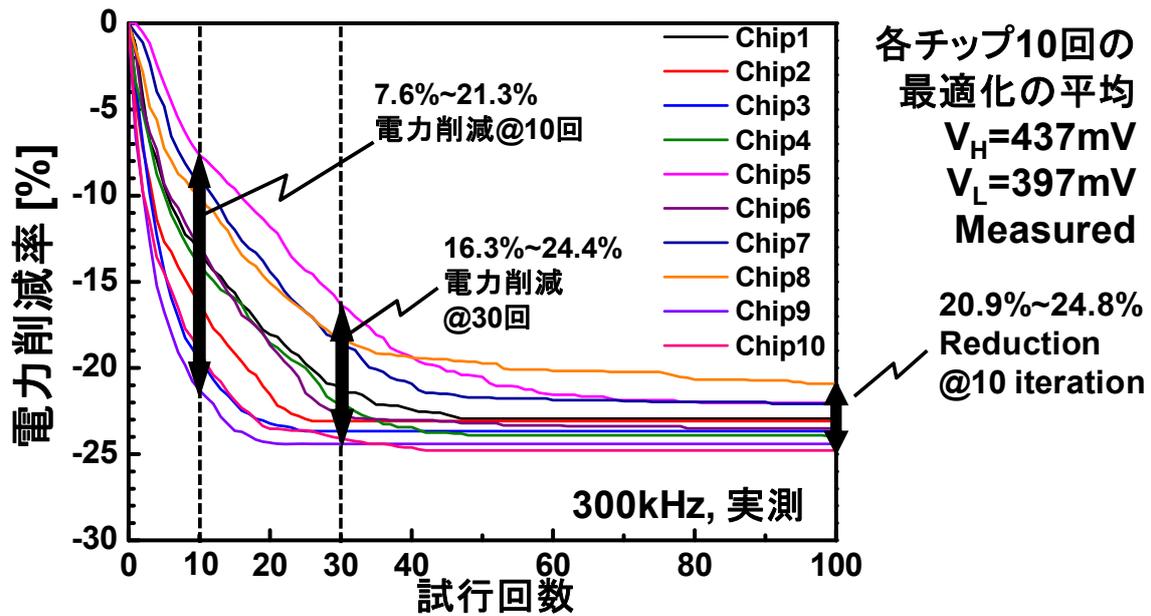
VDDmin 対策の効果を検討した。図 2.1-16 にタイルベース細粒度 Dual VDD アーキテクチャを示す。チップを 8x8 の 64 のタイルに分割し、それぞれの電源と GND を切り替え可能とした。

表 2.1-3 VDDmin のチップ間ばらつき測定結果 (65nm CMOS 技術)

**各チップのV<sub>DDmin</sub>[mV] (実測)**

Chip1	426	Chip6	433
Chip2	424	Chip7	424
Chip3	430	Chip8	435
Chip4	431	Chip9	399
Chip5	437	Chip10	404

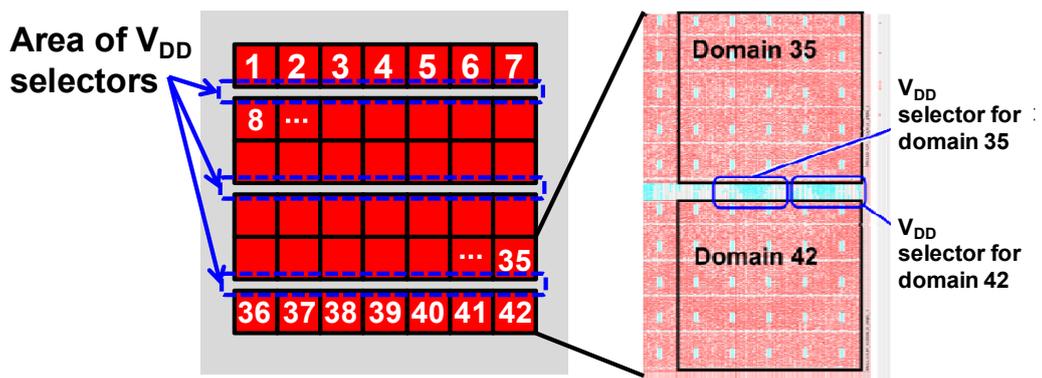
表Ⅲ.2.1-3 に 65nm CMOS 技術で試作した TEG チップの VDDmin のチップ間ばらつき測定結果を示す。10 チップを評価し、399～437mV と約 40mV の差が観測された。



図Ⅲ.2.1-17 細粒度 Dual VDD 適応制御の効果

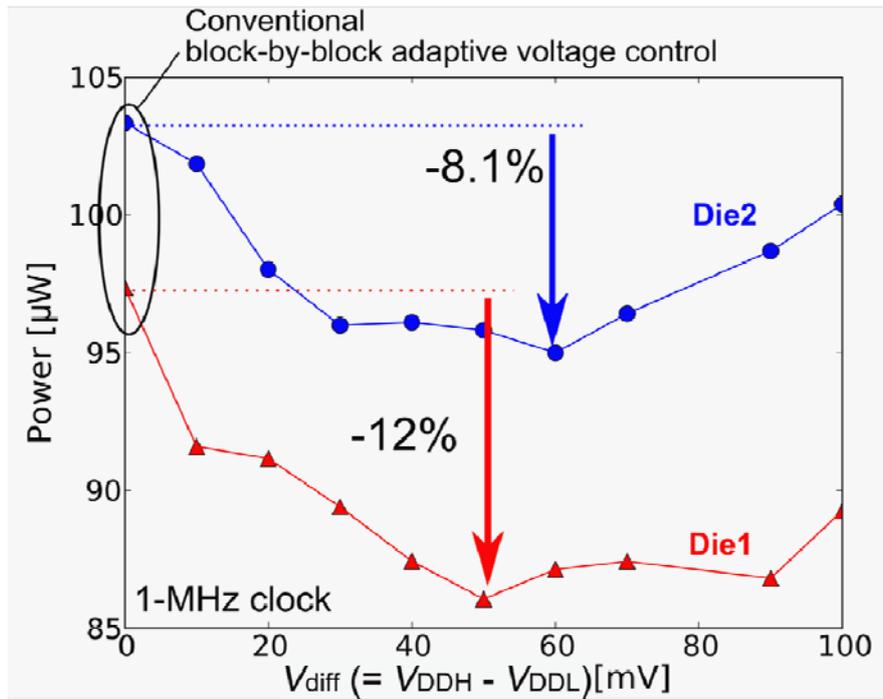
図 Ⅲ.2.1-17 に細粒度 Dual VDD 適応制御の効果を示す。横軸が試行回数、縦軸が電力削減率で、 $V_{DDH}$  を 437mV、 $V_{DDL}$  を 397mV とし、10 チップそれぞれで最適な Dual VDD の組み合わせを試行した結果を示す。各チップで 40mV 差の Dual VDD の選択により、試行回数に応じて最適化が進み、100 回の試行により、21~25%の低電力化を達成可能であることを確認した。

(1-2)遅延ばらつき対策効果（この成果は ESSCIRC 2011 で発表[7]）



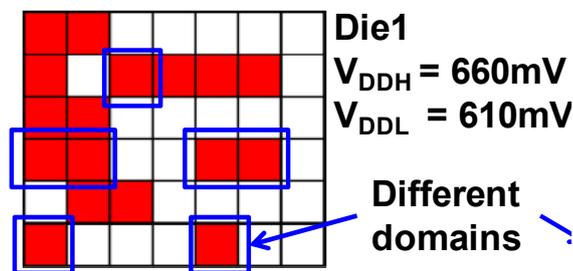
図Ⅲ.2.1-18 タイルベース細粒度 Dual VDD アーキテクチャ

遅延ばらつき対策の効果を検討した。図Ⅲ.2.1-18 にタイルベース細粒度 Dual VDD アーキテクチャを示す。7x6 の 42 タイルからなり、VDD 切り替えスイッチを上下ペアのタイル間に配置した。



図Ⅲ.2.1-19 タイルベース細粒度 Dual VDD の電位差と電力特性の関係

図Ⅲ.2.1-19 に 2 つのチップでの細粒度 Dual VDD の電位差と電力特性の関係を示す。チップ 1 では 50mV の電位差で単一 VDD に比べて 12% の低電力化を、チップ 2 では 60mV の電位差で 8.1% の低電力化を達成可能であった。

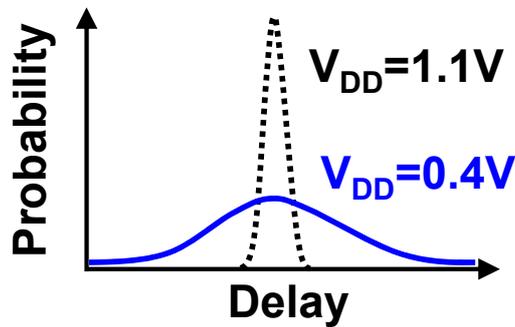


図Ⅲ.2.1-20 チップ 1 の細粒度 Dual VDD の VDDH 領域とチップ 2 との差異

図Ⅲ.2.1-20 にチップ 1 の細粒度 Dual VDD の VDDH 領域とチップ 2 との差異を示す。2 チップ間で VDDH の重複部分と非重複部分がそれぞれ存在した。重複部分は設計依存の可能性が高く、チップに依存せず VDDH が選択される可能性がある。非重複部分は遅延ばらつき依存の可能性が高く、チップ毎の最適な組み合わせはテストで導出する必要がある。テスト手段としてカナリアアフリップフロップの適用を検討した。適用チップによっては、メニコアのようにコアの設計特性が均一で設計依存の無い場合や、クリティカルパスゲート段数やパス本数によるランダムばらつきの遅延特性への影響に差異があり、また、プロセスによってもばらつきが異なるため効果の表れ方に差異が生じる可能性がある。

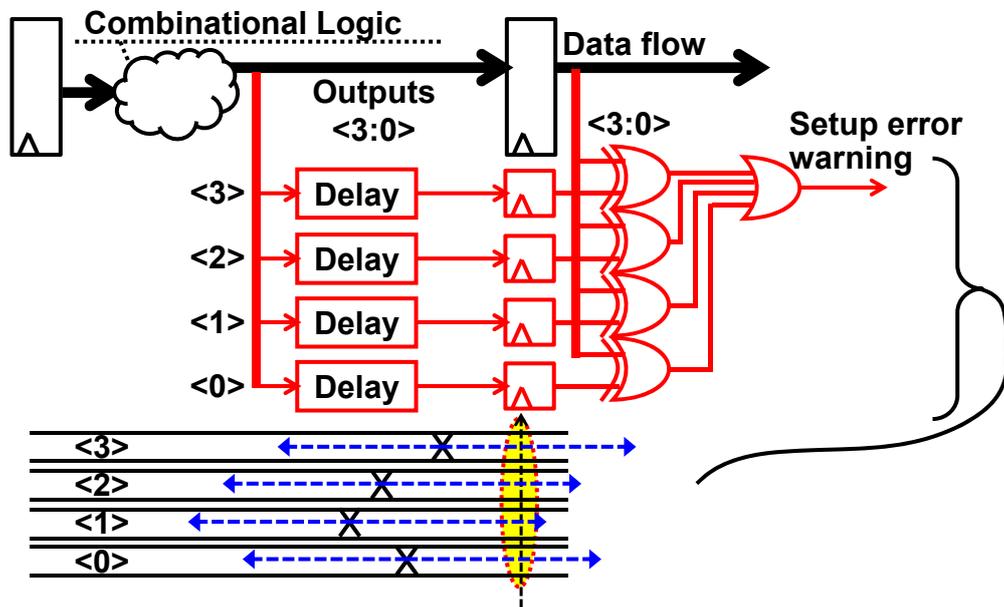
2.1.3.4 ばらつき対応大規模ロジック回路設計技術

(1)VDD 適応制御用パリティ利用遅延モニタ (この成果は ISSCC 2012 で発表[8])



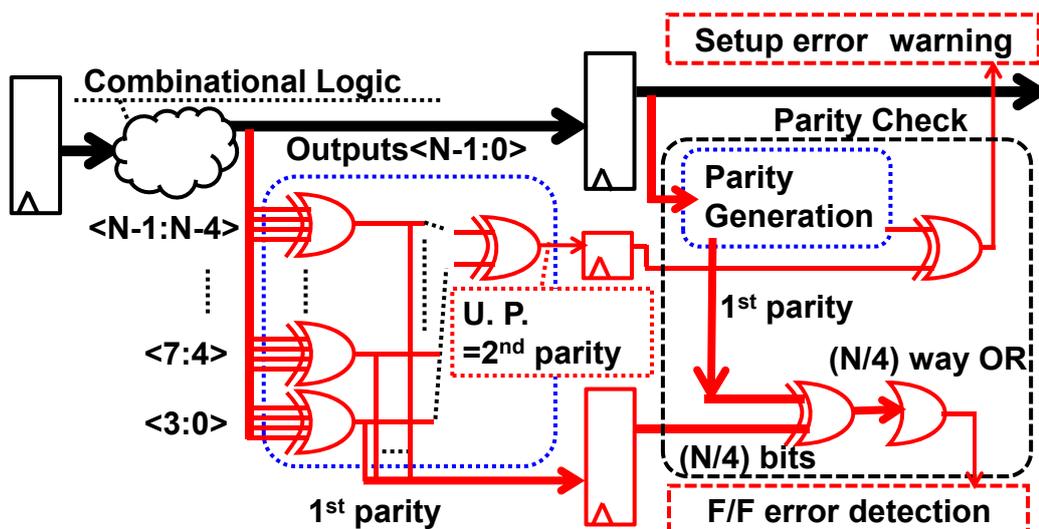
図Ⅲ.2.1-21 極低電圧での遅延ばらつき特性イメージ

遅延ばらつき補償には電源電圧や基板バイアスの適応制御が有効である。しかしながら、遅延特性の観測段において、レプリカ型のモニタの場合、実パスとのズレが懸念される。また、Razor や Canary などの実パス型のモニタの場合であっても、図Ⅲ.2.1-21 に示すように、極低電圧では遅延ばらつきが大きくなり、モニタ対象のパス数が増加する問題がある。以下では、電源電圧や基板バイアスの適応制御技術は既知であることから、提案する遅延モニタ技術について論ずる。



図Ⅲ.2.1-22 カナリア F/F における 4 ビットのフルパスモニタの例

図Ⅲ.2.1-22 にカナリア F/F における 4 ビットのフルパスモニタの例を示す。この場合、遅延素子 (Delay) と F/F がパス数追加で必要となり、面積オーバーヘッドが問題となる。



図Ⅲ.2.1-23 提案パリティ利用による遅延モニタ (PEPD)

図Ⅲ.2.1-23 に提案パリティ利用による遅延モニタ、Parity based Error detection and Prediction (PEPD) を示す。ここでは、効率よく網羅率を向上させるために遅延要素にパリティ機能を持たせた新しい方式を提案した。具体的には、遅延用バッファアレイの代わりに Exclusive OR 網を用い、従来の遅延データとの一致／不一致を比較することでタイミングマージンを検出する代わりに、パリティ信号を活用して遅延パリティデータとのパリティチェックでタイミングマージンを検出する。これにより、網羅率を上げて遅延バッファや F/F の増加は抑制され、更に、タイミングエラー以外の例えば、VDDmin が高く最初にエラー発生が懸念される DFF の機能チェックにも活用可能である。

表Ⅲ.2.1-4 実パス型遅延モニタの比較

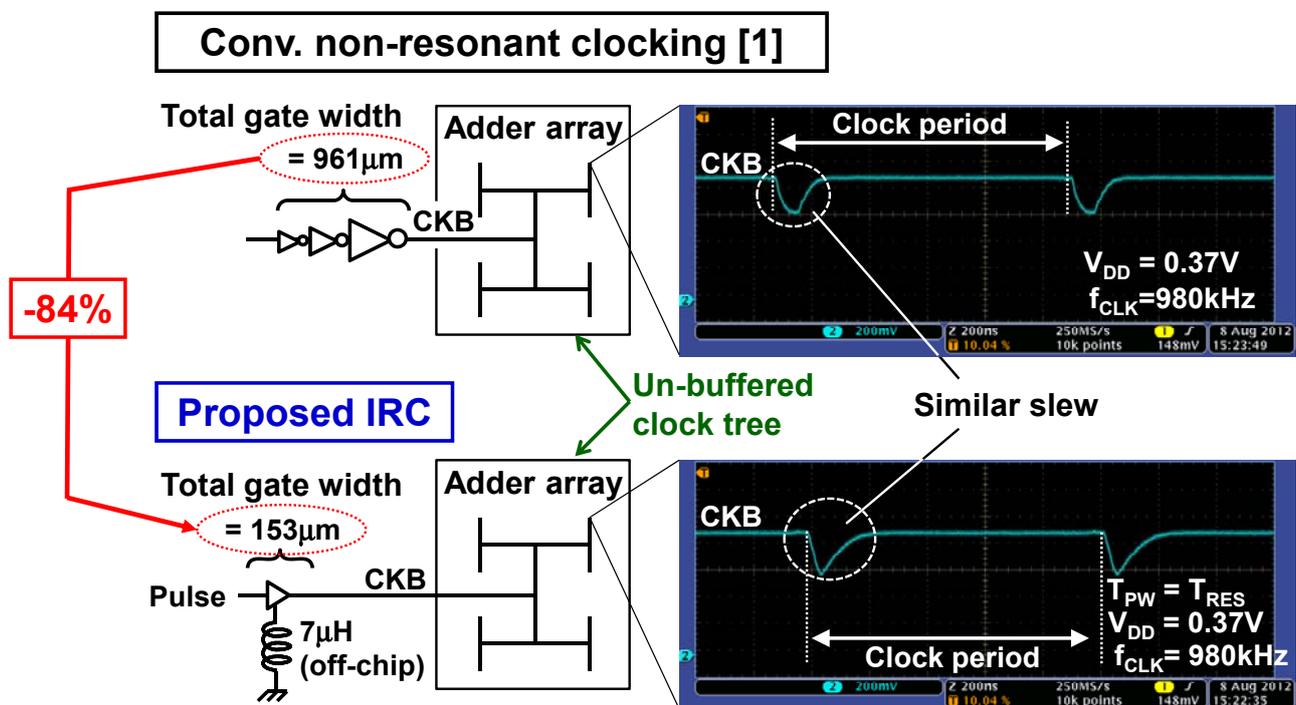
Delay monitoring method	Razor F/F [D. Bull, JSSC 2011]	Canary F/F [H. Fuketa, CICC 09]	This work (PEPD)
Setup error	Detection	Prediction ✓	Prediction ✓
Path coverage	17%	3%	100% ✓
Function error detection of F/F	NO	NO	YES ✓

表Ⅲ.2.1-4 に実パス型遅延モニタの比較結果をまとめる。パス網羅率を上げやすく、F/F の機能エラー検出に有用である。

## (2) 極低電圧大規模ロジックマクロ設計技術

ロジックマクロ設計は、一般的な SoC 設計フローでは、まず、所望の機能を RTL 設計し、次に、試作予定のプロセス技術と動作環境に応じたライブラリを用いて必要性能となるよう論理合成し、それから、自動 Place & Route (P&R) でライブラリをチップ上に配置配線し、最後に、Static Timing Analysis (STA) で setup と hold のタイミング検証を行い、複数回の繰り返しを経て、設計開発を実施する。統合最適化テーマを念頭においた場合、極低電圧動作のチップ開発が、一般的な SoC 設計フローを利用可能であるかどうかによって、設計可能な SoC の規模と機能が変わってくる。ここでは、加速により、汎用的な 32 ビットのマイコンコア (CPU) の RTL を題材に、0.5V ライブラリ開発、OCV 係数開発、を進め、極低電圧ロジック要素技術の実装検討、を行い、40nm CMOS 技術で CPU の TEG を開発した。試作評価の結果、0.5V での安定動作を確認した。

(3) 間欠型共振クロック技術 (この成果は ISSCC 2013 で発表[9])



図Ⅲ.2.1-24 従来バッファレスクロック技術と提案間欠型共振バッファレスクロック技術の比較

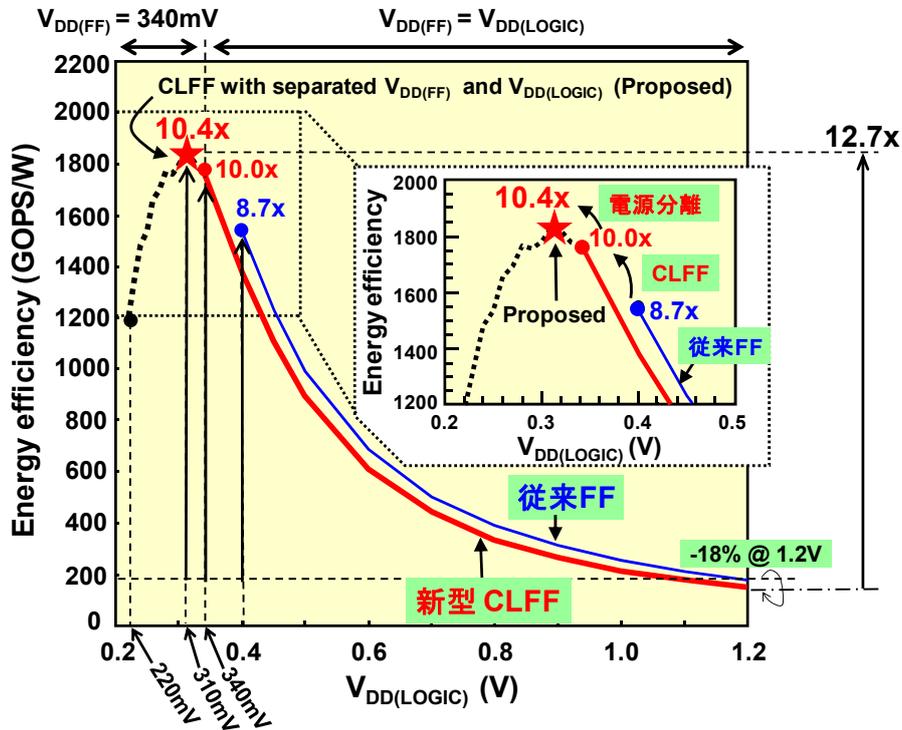
大規模 SoC の設計においては、クロック分配のばらつき対策も重要となる。クロックスキューはセットアップとホールドそれぞれのタイミング特性を悪化させる。極低電圧では相対的に配線抵抗の影響が低減することから、ツリー中のクロックバッファを除くバッファレスの構成が提案されている。これは、極低電圧で増加するばらつき要因の低減にも有用である。ここでは、更にチャージリサイクルによる低電力化が可能な LC 共振技術の適用を図った。図Ⅲ.2.1-24 に従来バッファレスクロックと提案する間欠型共振バッファレスクロックの比較を示す。LC 共振の従来技術では、共振周波数とクロック周波数が等しいものが一般的であったが、低速動作の場合、巨大な L が必要となること、サイン波のため論理しきい値近傍で波形なまりが大きくスキュー発生原因となりかねないこと、ダイナミックな周波数制御が困難なこと等の問題があった。ここでは、LC 共振回路のステップ応答波形の第一波のみを活用することで、これら間

題を回避する。これは初段の L 付クロックバッファを共振周期に応じたパルス幅で駆動することで達成可能である。クロックバッファのオン抵抗を下げるための部分昇圧の効果も含めて 36～81%の低電力化を実現した。

<極低電圧でのロジック回路動作課題を解決する要素技術を適用した極低電力化の実証>

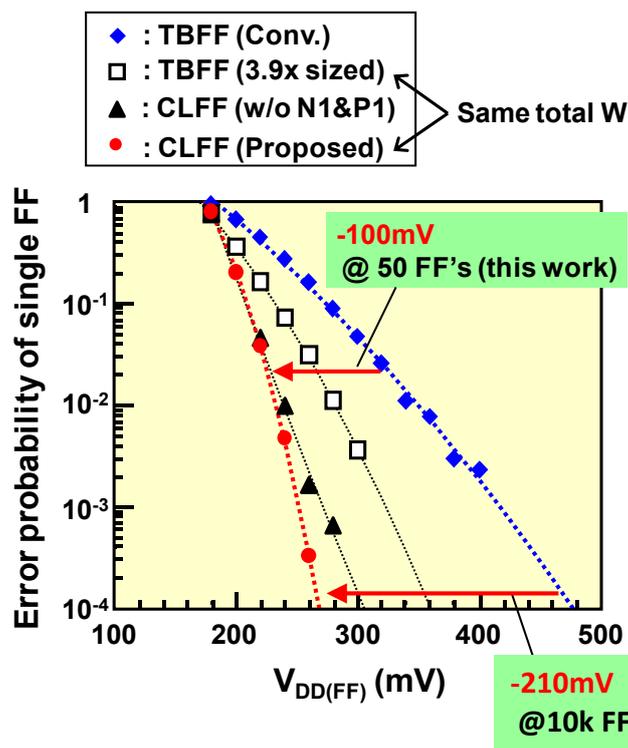
### 2.1.3.5 極低電力化の実証

(1) 16ビット整数演算回路 (この成果の一部は ISLPED 2011 で発表[5])



図Ⅲ.2.1-25 16ビット整数演算回路 TEG のエネルギー効率の VDD 依存特性

図Ⅲ.2.1-25 に 16 ビット整数演算回路 TEG のエネルギー効率の VDD 依存特性を示す。提案 CLFF により VDDmin の制限を緩和するとともに、DFF 電源分離設計により組合せ回路の電源電圧を低減する。これにより対 CLFF で電力を 1/12.7 に、従来の TBFF (3 ステートバッファ型 F/F) に比べても 1/10.4 に低減した。比較対象を TBFF にした場合に低電力効果が低下するのは、CLFF の回路オーバーヘッドにより、1.2V ではエネルギー効率が TBFF より 18%低いためである。16 ビットの整数演算回路 TEG により極低電力化を達成した。



図Ⅲ.2.1-26 DFF のエラー発生確率の VDD 依存特性

図Ⅲ.2.1-26 に DFF のエラー発生確率の VDD 依存特性を示す。4 種類の DFF はいずれも VDD の低下とともにエラー発生確率が増加するが、従来 TBFF、3.9 倍サイズ TBFF、CLFF（図Ⅲ.2.1-12 の N1&P1 無）、CLFF（提案）、の順に同じ電圧でのエラー発生確率を低減可能である。16 ビット整数演算器相当で DFF 数は 50 個程度であり、VCC を 100mV 低減可能である。DFF を 10k 個搭載する場合、210 mV の低電圧化が可能となる。

表Ⅲ.2.1-5 極低電圧動作 LSI とエネルギー効率改善効果

(\*\*対CLFF@1.2V)、(\*\*\*)対TBFF@1.2V)

Reference	Intel ISSCC08	NXP ISSCC09	Intel ISSCC09	Intel ISSCC10	This work	
CMOS technology	65nm	65nm	45nm	32nm	65nm	
	Nominal (V)	1.2	1.2	1.1	1.0	1.2
	Min. energy (mV)	320	400	300	340	310
	Min. functional (mV)	230	N.A.	230	260	220
EEIF*: Energy efficiency improvement factor	9.6x	8.3x	8x	5.7x	12.7x (**) 10.4x (***)	
Circuit type	Motion estimation accelerator	DCT & quantization	SIMD vector processing accelerator	Re-configurable arrays	Integer unit	

表Ⅲ.2.1-5に極低電圧動作 LSI とエネルギー効率改善効果のベンチマーク結果を示す。本検討により、これまでの低電力化に比べて大きなエネルギー効率を達成した。

更に、先端 40nm における CLFF 適用効果について実測評価した。電力とエラーレートは、リファレンスの 65nm の 16 ビット整数演算回路 TEG が 5.65pJ@1.15GHz、1.2V であったのに対して、0.392pJ@1MHz、0.363V と電力 1/14.4 とターゲットの 1/10 以下、また、エラーレート 2.8E-12 以下（20 並列で 5 時間エラー発生がなく測定を停止）とターゲットの 1E-10 以下、を達成した。なお、ここで測定に用いた 40nm の CLFF は、65nm の CLFF から回路を改良するとともに、F/F の電源分離を不要とした。

#### 2.1.4 開発成果まとめ

##### (1) 課題と開発内容要約

極低電力ロジックの課題は、

- 1) VDDmin の存在
- 2) PI、SI の懸念
- 3) 遅延ばらつきの増加

であった（表Ⅲ.2.1-2 参照）。極低電力ロジックでは、課題評価、ゲートレベル、チップレベル、のそれぞれで評価解析技術、及び、対策技術の検討を行った。（表Ⅲ.2.1-2 参照）。

##### (2) 開発成果とベンチマーク要約

極低電圧ロジックテーマにおいて、以下の開発成果が得られた。

まず、VDDmin の評価解析を実施し、VDDmin を律速するロジックゲート種類が DFF であることを確認するとともに、組合せ回路の VDDmin の定式化を達成した。合わせて、極低電圧でのパワーインテグリティとシグナルインテグリティの評価解析を実施し、内部動作起因では、パワーインテグリティは電圧が低下するに従い改善されること、一方、シグナルインテグリティは p/n アンバランス時に悪化することを確認した。また、極低電圧遅延ばらつき特性の評価解析を実施し、遅延ばらつきが増加することを確認した。

次に、ゲートレベルばらつき対応技術として、極低電圧 DFF 回路技術の CLFF 回路を開発し、16 ビット整数演算回路 TEG に適用し、VDDmin 低減効果を確認した。

そして、チップレベルばらつき対応技術として、細粒度電源制御技術を開発し、空間的な電源電圧制御が、VDDmin と遅延ばらつき対策に有用であることを確認した。また、時間的な電源電圧制御で必要となる遅延モニタの網羅率を効率良く向上するパリティを活用した方式を提案した。クロック信号分配においても幅広い周波数範囲で適用可能なバッファレス間欠型 LC 共振クロック技術を提案し低電力効果を確認した。また、加速により、一般的な SoC 設計フローを用いて、0.5V ライブラリを用いて 32 ビットのマイコンコア (CPU) TEG を開発し、ロジック要素技術を搭載した上で、安定動作可能であることを確認した。

最終的に、CLFF を採用した 16 ビット整数演算回路 TEG を評価し、65nm、1.2V 動作のリファレンス電力に対して、電力 1/14.4 への低減とエラーレート 2.8E-12 以下を実現し、目標とする電力 1/10、エラーレート 1E-10 以下、を達成した。

##### (3) 目標達成度と開発成果の意義

上記(2)の開発成果により、極低電力ロジックの最終目標である「極低電圧化を推進し、16ビット加算器あるいは同等以上の機能と規模を持つ回路 TEG を先端 CMOS プロセスで試作し、ばらつき対応技術の適用により、平成20年度の産業界技術レベルの65nm世代@1.2Vに対して、処理性能を揃えた条件で、電力1/10及びエラー率 $1E-10$ 以下を実現可能な技術を開発する。更に加速テーマにより、実用規模の低電力 SoC を0.5V以下で安定動作可能な技術を開発する。」を100%達成した。

開発した極低電圧ロジック要素技術は将来の極低電力 SoC の基盤技術になると考えられる。特に、エネルギーオリエンテッドなアプリケーションでの実用化が期待される。

#### 参考文献

- [1] Y. Fuketa et al., "A Closed-form Expression for Estimating Minimum Operating Voltage (VDDmin) of CMOS Logic Gates," DAC2011, June 2011.
- [2] 高橋, 他, "電源ノイズと配線間クロストークノイズの電源電圧依存性に関する一考察," ソサイエティ大会, 2010年9月.
- [3] Y. Fuketa et al., "Measurement and Modeling of Crosstalk in Subthreshold Circuit," CICC2012, Sep. 2012.
- [4] R. Takahashi et al., "Large Within-Die Gate Delay Variations in Sub-Threshold Logic Circuits at Low Temperature," DFM&Y2012, June 2012.
- [5] Y. Fuketa et al., "12.7-times Energy Efficiency Increase of 16-bit Integer Unit by Power Supply Voltage (VDD) Scaling from 1.2V to 310mV Enabled by Contention-less Flip-Flops (CLFF) and Separated VDD between Flip-Flops and Combinational Logics," ISLPED2011, Aug. 2011.
- [6] T. Yasufuku et al., "24% Power Reduction by Post-Fabrication Dual Supply Voltage Control of 64 Voltage Domains in VDDmin Limited Ultra Low Voltage Logic Circuits," ISQED2012, Mar. 2012.
- [7] A. Muramatsu et al., "12% Power Reduction by Within-Functional-Block Fine-Grained Adaptive Dual Supply Voltage Control in Logic Circuits with 42 Voltage Domains," ESSCIRC2011, Sep. 2011.
- [8] K. Hirairi et al., "13% Power Reduction in 16b Integer Unit in 40nm CMOS by Adaptive Power Supply Voltage Control With Parity-Based Error Prediction and Detection(PEPD) and Fully Integrated Digital LDO," ISSCC2012, Feb. 2012.
- [9] Y. Fuketa et al., "Intermittent Resonant Clocking Enabling Power Reduction at any Clock Frequency for 0.37V 980kHz Near-Threshold Logic Circuits," ISSCC2013, Feb. 2013.

## 2. 2 メモリ回路技術開発

### 2.2.1 目標

本研究では、新しい回路技術、メモリセル技術を用いた極低電力を実現する極低電圧動作メモリを開発し、1Mbitの容量のメモリで、平成20年度の産業界技術レベルの65nm世代1.2Vに対して、1/10の消費電力を達成する回路技術を開発し、実際にSRAMを試作して開発されたメモリ回路技術の検証を行う。

### 2.2.2 課題と開発方針

SRAMは一般的なCMOSプロセスでメモリセルを構成することが可能であり、周辺回路による制御が簡素で、容易にメモリ容量やワードビットの構成を変えることができ、かつ高速に動作可能であるというすぐれた特徴を持っている。そのため、システムLSIの中で、CPUのキャッシュメモリやプログラムやデータを格納するメモリ、画像データのバッファメモリ等、幅広く使われる重要なメモリであり、SRAMの低消費電力化を実現することは、システムLSIの低消費電力化を図るうえで、極めて重要である。SRAMは、動作時には、ワード線、ビット線、メモリセルからなるメモリアレイ部とデコーダ部などの周辺回路部における充放電電力が主たる電力消費の源となる。よく知られているように、LSIの動作周波数を $F$ 、充放電容量を $C$ 、動作電圧を $V$ とすれば、LSIの充放電電力 $P$ は $P=FCV^2$ となるため、動作電圧を下げることは消費電力低減のための有効な手段とされ、SRAMについても動作電圧を低減させる研究が数多く行われている[1-4]。SRAMの低電圧動作を行う上での大きな障害は、SRAMメモリセルの特性にある。広く使われている6トランジスタ(6T)型のメモリセルでは、読み出し時のメモリセルのデータ保持能力と、書き込み時の書き込みマージンとともに動作電圧の低下とともに劣化していくことが知られている。その上、データ保持能力と書き込みやすさの間にトレードオフの関係が存在する。書き込み動作はセルのデータを反転させる動作であるため、安定性の高いセルほど書き込みにくいという関係が存在する。このような、SRAMセルの動作マージン低下は、トランジスタの微細化が進み、トランジスタのローカルばらつきが大きくなるにつれて顕著となる。SRAMセルの動作マージン低下を回避する手段として、メモリセルのトランジスタ数を増やし、読み出しポートと書き込みポートを分離した8T型のメモリセルが提案されている。しかしながら、8Tセルを用いても、書き込み動作の非選択セルにおいて、書き込みビット線からのディスタープによりセルデータ破壊が起こり(ハーフセレクト問題)、低電圧化の決定的な解決策とはなっていない。その上、ビット線がシングルエンドであるために大きなビット線振幅が必要で、低消費電力化をするうえで必ずしも有利とならないうえに、低電圧動作時の速度劣化が著しいという課題があった。

また、トランジスタのランダムばらつきは、このようなメモリセルの動作マージン劣化を通じて低電圧動作を妨げるだけでなく、以下のようなメカニズムを通じて、SRAMの消費電力に対して大きな影響を与えることを我々は見出した[5]。SRAMの充放電電力の大きな部分はビット線の充放電電力で占められている。通常ビット線の振幅は、読み出しの高速性と消費電力の観点から小振幅動作するように設計されている。データを読み出すために、必要な最小の振幅の大きさは、センスアンプ

のオフセット電圧で決まり、数 10mV から 100mV の大きさとなる。最も速度の遅いメモリセルからの信号が、この必要最小限のビット線振幅に達する時間を待ってセンスアンプが活性化される。動作電圧が高く、トランジスタのローカルばらつきが小さい場合は、最も遅いセルからの信号が必要最小限のビット線振幅に達するまでの時間と、平均的なメモリセルからの信号が必要最小限のビット線振幅に達するまでの時間の差は小さく、ビット線振幅は全体として小振幅の領域にとどまる。しかし、動作電圧が下がり、微細化によってトランジスタのローカルばらつきが大きくなってくると、最も遅いセルからでる信号が必要最小限のビット線振幅に達するまでの時間と、平均的なメモリセルからの信号が必要最小限のビット線振幅に達するまでの時間の差が広がり、平均的な速度のビット線は、非常に大きな振幅を持つようになる。このため、単純に動作電圧を下げて、平均のビット線振幅は逆に増えてしまい、低電圧化が単純に低消費電力化に結び付かないという課題が存在する。

上記のような低電圧動作に特有な問題のほかに、一般的にメモリでは非選択ビット線が毎サイクル振幅を繰り返しているが、極低電力化を見据えた場合、本来不要な非選択ビット線の振幅による無駄な電力消費を抑制することが重要である。さらに加えて、実用性を考慮するとメモリの用途によっては、SRAM の動作電圧を下げると動作速度が著しく低下するという課題に対する配慮が必要となってくる。SRAM の極低電力化を実現するためには、上記のような諸々の課題を克服していくことが必要となる。メモリ回路技術開発では、上記の諸課題に対して、以下のような技術開発を進めた。(1)トランジスタのローカルばらつきに起因するビット線振幅の増大および非選択ビット線の無駄な充放電電力に対する技術として、電荷制御型 SRAM 技術並びにビット線振幅制限技術の開発を行った。(2)8T トランジスタのハーフセレクト問題に対しては、差動書込みワード線技術並びに低電力ライトバック技術を開発し、6T メモリセルでは困難な低電圧での低消費電力技術を開発した。(3)低電圧でも高速動作可能なメモリセルとして相補 8T 型メモリセルを使った SRAM の開発をおこなった。(4)SRAM セル自体の動作マージンを高める技術として電氣的ストレス印加による方法を検討し、SRAM セル自己修復技術の開発を行い、一層効率的な動作マージン改善方式の確立を目指して、加速資金を得て、アクセストランジスタに対する HCI(Hot Carrier Injection)技術の開発を行った。これらの技術の詳細を以下の節で説明する。

表Ⅲ.2.2-1 SRAM の低電力化の課題と開発項目の関係

開発項目 課題	電荷制御型SRAM 技術(チャージシェア 階層ビット線方式)	電荷制御型SRAM 技術(チャージコレ クト回路)	ビット線振幅制限 技術	低振幅ライトバック	相補8Tセル技術	アクセストランジス タHCI注入	SRAMセル自己修 復
ビット線の過剰な 振幅による無駄な 充放電電力	レ		レ				
非選択ビット線の 無駄な充放電電力		レ					
ハーフセレクトセル による最低動作 電圧の上昇				レ			
低電圧化による速 度性能の劣化			レ		レ		
トランジスタバラツ キによるメモリセル 動作マージンの劣 化						レ	レ

## 参考文献

- [1] S. Ohbayashi, M. Yabuuchi, K. Nii, Y. Tsukamoto, S. Imaoka, Y. Oda, M. Igarashi, M. Takeuchi, H. Kawashima, H. Makino, Y. Yamaguchi, K. Tsukamoto, M. Inuishi, K. Ishibashi, and H. Shinohara, "A 65 nm SoC Embedded 6T-SRAM Design for Manufacturing with Read and Write Cell Stabilizing Circuits," IEEE J. Solid-State Circuits, vol. 42, no. 4, pp. 820-829, Apr. 2007.
- [2] Y. Morita, H. Fujiwara, H. Noguchi, Y. Iguchi, K. Nii, H. Kawaguchi, and M. Yoshimoto, "An Area-Conscious Low-Voltage-Oriented 8T-SRAM Design under DVS Environment," Symposium on VLSI Circuits, Digest of Technical Papers, pp. 256-257, June 2007.
- [3] Qi Li, Bo Wang, and Tony T. Kim, "A 5.61 pJ, 16 kb 9T SRAM with Single-ended Equalized Bitlines and Fast Local Write-back for Cell Stability Improvement," Proceedings of European Solid-State Device Research Conference, pp. 201-204, Sept. 2012.
- [4] K. Hui, and D. Tuan, "A 16Kb 10T-SRAM with 4x read power reduction," Proceedings of IEEE International Symposium on Circuits and System, pp. 3485-3488, June 2010.
- [5] S. Moriwaki, A. Kawasumi, T. Suzuki, T. Sakurai, and S. Miyano, "0.4V SRAM with bit line swing suppression charge share hierarchical bit line scheme," Proceedings of Custom Integrated Circuits Conference, pp. 1-4, Sept. 2011.

## 2.2.3 開発成果詳細

### 2.2.3.1 ビット線充放電電力抑制技術

SRAMの消費電力の主要部分であるビット線の充放電電力を抑えることが、極低消費エネルギーSRAMを実現するうえで極めて重要である。極低電力を目指してSRAMの動作電圧を下げると、トランジスタのランダムバラツキのためにビット線の平均振幅が増えてしまうという逆説的な状況を我々は見出した。本章では、この新たな課題の説明と課題に対処するための2つのアプローチを報

告する。電荷制御型 SRAM は、読み出し時に SRAM セルからビット線に読みだされる電荷量に着目し、セル電流量がばらついても、セルから流出する電荷量を一定にそろえることによって上記課題を解決しようとするものである。また、ビット線振幅制限技術は、ビット線毎に振幅量を検知して、一定の振幅に達したセルについてはセルのグラウンドレベルを制御することによって、全体のビット線振幅をそろえるものである。この制御は、一歩進んで、振幅の遅いビット線を検知して、遅いセルの電源をブーストすることによってビット線振幅をそろえて消費電力を抑制することと、アクセスタイムを向上させることを同時に実現するものである。

### 2.2.3.1.1 電荷制御型 SRAM 技術 (この成果は CICC2011/VLSI Symp.2012 で発表)

SRAM の消費電力は、前述のように、主としてビット線の充放電電流によって消費される。したがって、SRAM の消費電力を抑えるために、ビット線の振幅量を抑えることが非常に重要になる。しかし動作電圧が、トランジスタのしきい値電圧付近になると、トランジスタのランダムバラツキによって、メモリセルのセル電流が大きくばらつく。読み出し動作を実現するために、最低限必要なビット線の振幅量は、センスアンプのオフセット値で制限され、最も遅いビット線がセンスアンプで検知されることができる最小限の振幅に達する前に、大半のビット線は、非常に大きな振幅になってしまう。その結果、低電圧動作時では、平均的なビット線振幅量が増加し、電力消費を抑えることが難しくなる。図 III.2.2-1(a) に 1.1V 動作時の、図 III.2.2-1(b) に、0.6V 動作時の従来 SRAM の読み出し時のモンテカルロシミュレーション結果を示す。動作電圧が 1.1V の時は、ビット線振幅の変化量は小さく、その平均振幅量は 136mV である。動作電圧が 0.6V の時、最も遅いビット線が振幅量を 100mV 確保しようとする、ビット線の平均振幅量が 237mV と振幅量が 1.7 倍に増加してしまう。この本来不要なビット線の振幅量の増加によって、SRAM の消費電力は増大する。このことは、単純に SRAM 動作の低電圧化を追求しただけでは、SRAM の極低消費電力化は困難であることを示しており、本プロジェクトにおいて我々が世界に先駆けて見出した SRAM の極低消費電力化実現のための大きな課題である。

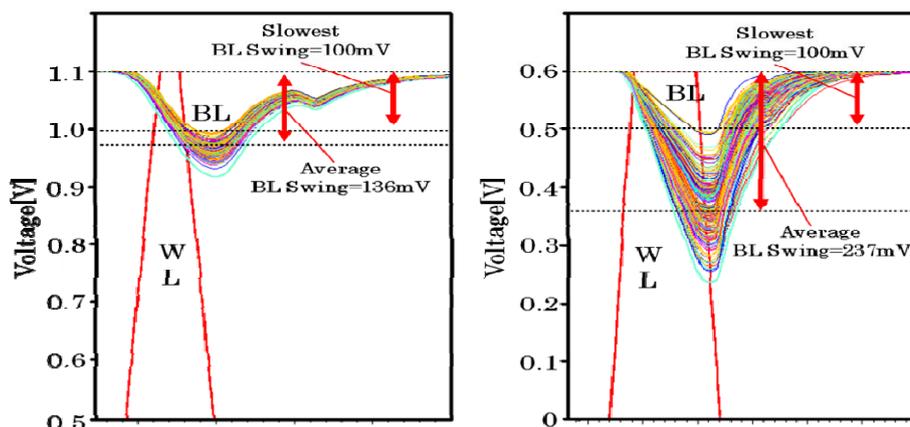
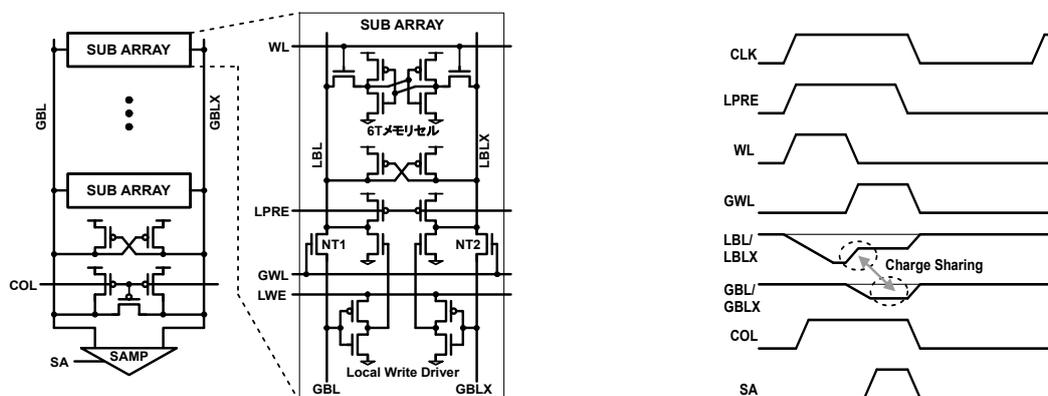


図 III.2.2-1(a) 1.1V 動作時のビット線波形

(b) 0.6V 動作時のビット線波形

この新たに見出した課題を解決するために電荷制御を利用したチャージシェア階層ビット線方式 (CSHBL) の SRAM を開発した。この技術は、フルスイングする短いローカルビット線から長いグローバルビット線にチャージシェアを使ってデータを転送することで、トランジスタのランダムバラ

ツキによるビット線振幅量の増加を抑制する技術である。図III.2.2-2(a)に提案SRAMマクロのビット線方式を示す。サブアレイ内のローカルビット線(LBL/LBLX)には、6Tメモリセルが接続され、ローカルビット線はnチャンネル・トランジスタ(NT1、NT2)によってグローバルビット線(GBL/GBLB)に接続している。そして、それらはGWL信号によって選択される。LPREとCOLは、それぞれローカルビット線とグローバルビット線のプリチャージ信号である。クロスカップル接続されたpチャンネル・トランジスタは、ローカルビット線のHigh側の電位を保持するためのキーパー回路である。



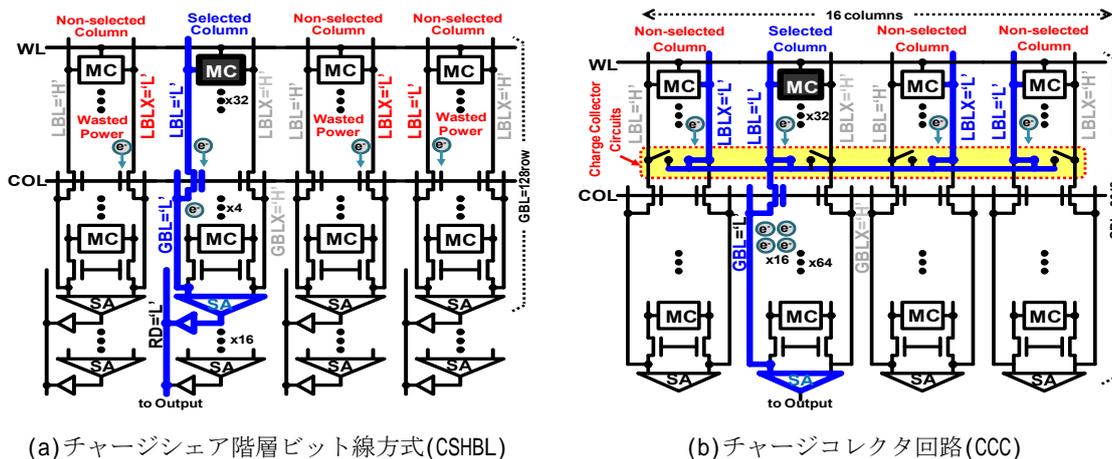
図III.2.2-2 (a)チャージシェア階層ビット線回路図 (b)シミュレーション波形

読み出し時、ワード線が選択され、どちらかのローカルビット線(LBL/LBLX)がフルスイングし、VSSまで下がる。この間nチャンネル・トランジスタ(NT1,NT2)はオフにされ、グローバルビット線(GBL/GBLX)は、Highレベルにプリチャージされている。ローカルビット線は、非常に短いため、フルスイングしてもビット線の充放電電流は小さい。選択されたワード線がオフになったあと、ローカルビット線対のどちらかはLowレベル(VSS)の状態でフローティングになっている。そして、メモリセルデータはそれに対するデータがメモリセル内に格納される。その後、グローバルビット線(GBL/GBLX)はHighレベルの状態でフローティングになり、グローバルワード線(GWL)がHighになりnチャンネル・トランジスタNT1、NT2がオンになる。するとローカルビット線に蓄えられている電荷が、チャージシェアによってグローバルビット線に転送される。チャージシェアを用いてグローバルビット線を振幅させることで、トランジスタのランダムバラツキに関係なく、振幅量を $VDD \times LBL$ の容量 $\div$ (LBLの容量+GBLの容量)に一定にすることができる。この技術を用いることで、トランジスタのランダムバラツキによるムダな電力消費を抑えることが出来、電圧の2乗に比例して電力を下げることができる。

しかし、この技術には2つの問題がある。

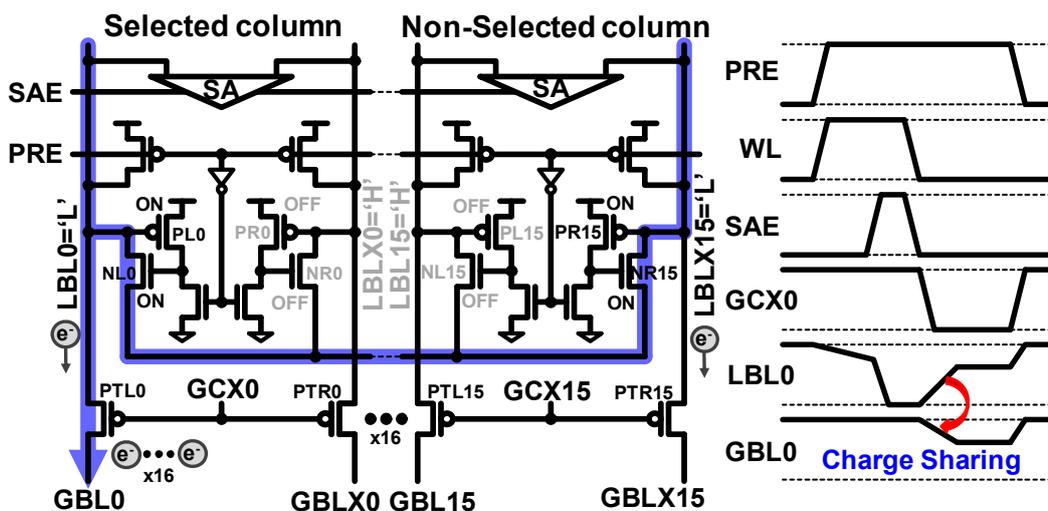
- 1) ローカルビット線の容量が少ないと長いグローバルビット線を駆動出来ない。
- 2) 非選択カラムの部分で無駄な電力を消費してしまう点に関しては、従来技術と変わらない。

この2つの問題を解決し、さらなる低消費電力を実現した、チャージコレクタ回路(CCC)を有するSRAMを開発した。図III.2.2-3にチャージコレクタ回路を有するSRAMのコンセプトを示す。そして図III.2.2-4にチャージコレクタ回路の回路図を示す。



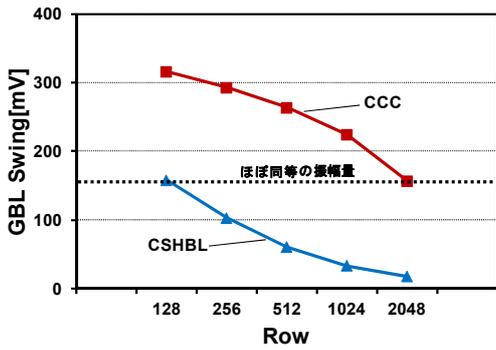
図Ⅲ.2.2-3 チャージコレクタ回路コンセプト

従来のチャージシェア階層ビット線方式は、選択カラムのローカルビット線のみで、チャージシェアを発生していた。それに対してチャージコレクタ回路は、チャージコレクタ回路を介して非選択カラムの容量も利用してチャージシェアを発生する。こうすることで、ローカルビット線の容量を大きく見せることが出来、長いグローバルビット線を駆動することができると同時に、従来無駄に捨てていた非選択カラムの電荷を有効利用することが出来る。

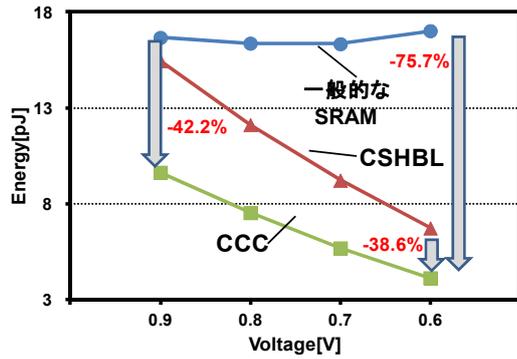


図Ⅲ.2.2-4 チャージコレクタ回路(CCC)

チャージコレクタ回路について説明する。選択カラムのビット線 LBL0 が 'L' になると、トランジスタ PLO&NLO が ON する。またこの時、非選択カラムのビット線 LBLX15 も 'L' になる、したがってトランジスタ PR15&NR15 も ON になる。すると LBLX15 が接続されて一本の長いローカルビット線に見せることが出来る。この複数カラム分のローカルビット線を利用してチャージシェアを行うことで、長いグローバルビット線を駆動することが可能となった。図Ⅲ.2.2-5 にグローバルビット線の振幅量を示す。そして図Ⅲ.2.2-6 にビット線での消費エネルギー量を示す。



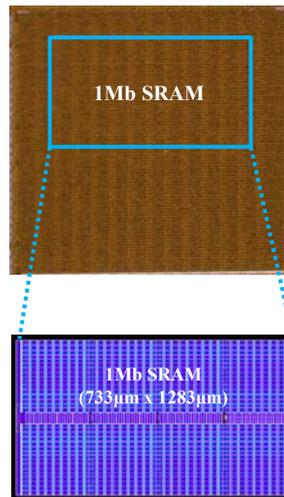
図Ⅲ.2.2-5 グローバルビット線振幅量



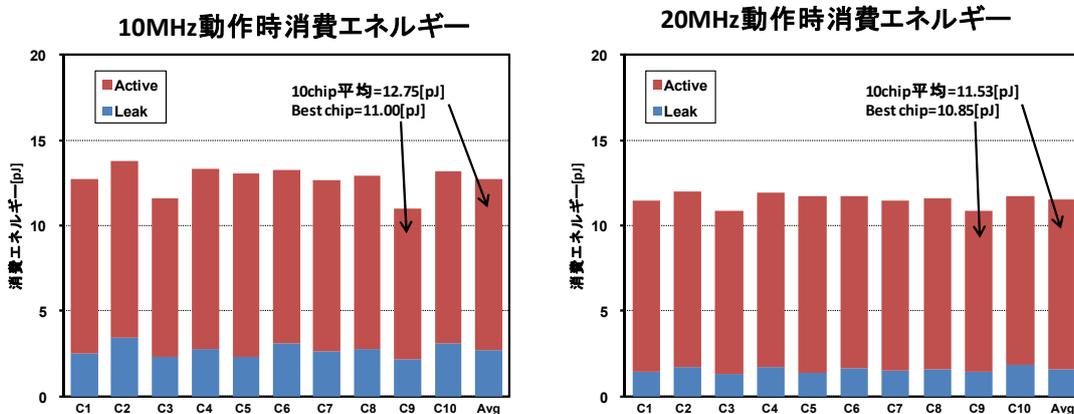
図Ⅲ.2.2-6 ビット線消費エネルギー量

図Ⅲ.2.2-5に示すように16カラム構成のSRAMの場合、チャージシェア階層ビット線(CSHBL)に比べ、チャージコレクタ回路(CCC)は、16倍長い2048rowまで駆動することが出来る。また、0.6V動作時のビット線の消費エネルギーを38.6%削減した。一般的な従来技術SRAMと比べると75.7%削減を実現している。

チャージコレクタ回路を搭載した1Mb SRAMを40nm Low stand-by powerプロセスを用いて試作した。試作したテストチップのチップ写真を図Ⅲ.2.2-7に測定結果を図Ⅲ.2.2-8に示す。

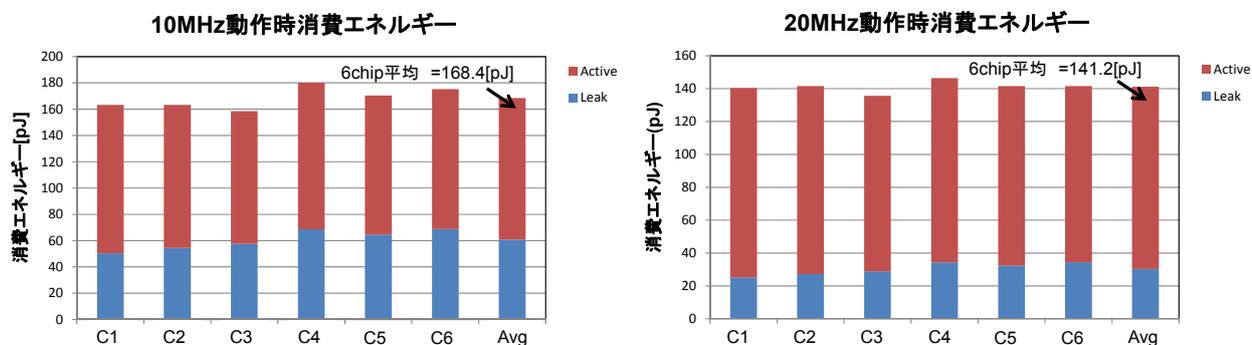


図Ⅲ.2.2-7 試作した電荷制御型SRAM(1Mbit)のチップ写真



図Ⅲ.2.2-8 電荷制御型SRAM(1Mbit)の消費エネルギー測定結果

試作したテストチップを 10 チップ測定した。最低動作電圧は、10MHz、20MHz 動作時共に、10 チップ平均 0.6V を達成した。消費エネルギーは、10MHz 動作時、12.75pJ、20MHz 動作時で 11.53pJ を達成した。従来技術を用いて試作した 1Mbit SRAM の消費エネルギーは 1.2V、10MHz、20MHz 動作時にそれぞれ 165pJ、140pJ であった（図Ⅲ.2.2-9）。本技術により、10MHz、20MHz 動作時共に最終目標消費エネルギー1/10 を達成した。



図Ⅲ.2.2-9 従来技術による SRAM(1Mbit)の消費エネルギー測定結果(1.2V)

## 2.2.3.1.2 ビット線振幅制限技術 (この成果は A-SCC20112011/ESSCIRC2012 で発表)

### (1) ビット線振幅制限回路の原理と効果

トランジスタのランダムばらつきによるビット線充放電電力の増加に対する解決策として、前述の電荷制御型 SRAM に加え、ビット線振幅リミッター回路と選択ブースト回路を開発した。図Ⅲ.2.2-10 にばらつきを考慮した場合のビット線波形を示す。遅いビット線はリーク電力増大の要因となり、早いビット線は充放電電力増大の要因となる。本技術の特徴は、ビット線の振幅ばらつきをカラム毎に制御することにより、ばらつきを抑えつつ、高速化と低消費電力化を両立させるところにある。

#### (a) ビット線振幅リミッター回路

図Ⅲ.2.2-11 にビット線振幅リミッター回路を示す。この回路は電流パスを直列に接続された NMOS トランジスタから成りカラム毎に配置される。それぞれのゲートはビット線に接続されカラムの仮想接地線(図中の  $V_{sscell\langle n \rangle}$ )を制御する。ワード線が閉じている状態では、ビット線は VDD にプリチャージされているため 2つの NMOS はオン状態にあり仮想接地線は接地されており通常の SRAM と同じ動作を行うことが出来る。ワード線が開くと、ビット線対の片側がセル電流で引き下げられる。ビット線の電位が下がると NMOS のゲートソース間電位が下がるのでセル電流が減少する。さらに振幅が大きくなり  $VDD - V_{th}$  ( $V_{th}$  は NMOS の閾値)になると NMOS はカットオフしてセル電流は遮断され振幅の増大が抑制される。図Ⅲ.2.2-12 にビット線の振幅の分布がリミッターによる変化を示す。どちらの場合も最悪(最遅)ケースのビット線振幅が 0.1V になるようにワード線を閉めるタイミングを変えている。リミッターが無いときは多数のビット線の振幅が上限の 0.5V になっている。また平均の振幅は 0.4V である。これに対してリミッターがあるときには 0.5V の振幅は無くなり、分布の平均は 0.3V に抑えられている。これによりアクティブな消費エネルギーは 25%抑えられる。

図Ⅲ.2.2-13 に振幅が小さいカラムと振幅が大きいカラムにそれぞれ振幅リミッターを動作させた波形を示す。遅いカラムにおいては仮想接地電位がほぼ 0V でセル電流にほとんど変化しないのに対して、速いカラムにおいては仮想接地電位が上昇してセル電流を減少させているのが分る。選択的にカラムのパワーダウンを実現されており、この点はすべての仮想接地のスイッチをあるタイミングで同時にカットオフするチャージシェアを利用する振幅制限に対するメリットである。図Ⅲ.2.2-14 に消費エネルギーのシミュレーション結果を示す。電源電圧 0.5V でダイナミック 20%、リーク 29%、トータルで 26%のエネルギー低減を実現している。上記のリミッターを搭載する 256kbit SRAM を作製した測定結果を図Ⅲ.2.2-15 に示す。電源電圧 0.5V で 19%のエネルギー低減を実現していることを確認した。

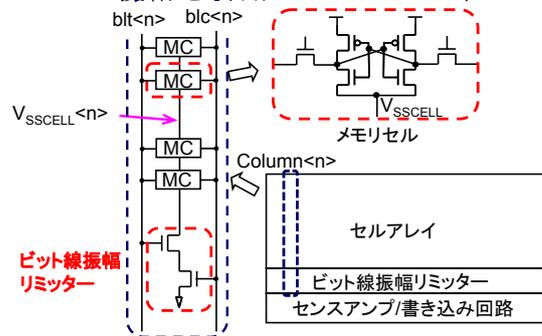
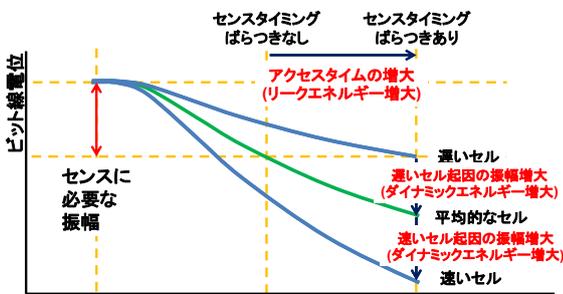
#### (b) 選択ブースト回路

上述のビット線振幅リミッター回路はランダムばらつきによる振幅ばらつきを局所的に降圧することによって補正する技術である。これに対して選択ブースト回路は局所的に昇圧することによってばらつき補正するものである。これをカラム毎でビット線の振幅をモニターしセンス動作を行う前に振幅が小さいカラムの電圧を昇圧することにより行う。これにより必要最小限のダイナミックエネルギーの増加でサイクルタイムの低減ができる。一見サイクルタイムの改善技術で消費エネルギーの低減とは無関係に思えるが、サイクルタイムの改善で平均的なビット線振幅の低減が図れるので消費エネルギー低減技術でもある。図Ⅲ.2.2-16 に選択ブースト回路の回路図と動作波形図を示す。Pre\_SAE が立ち上げるタイミングでビット線に十分振幅

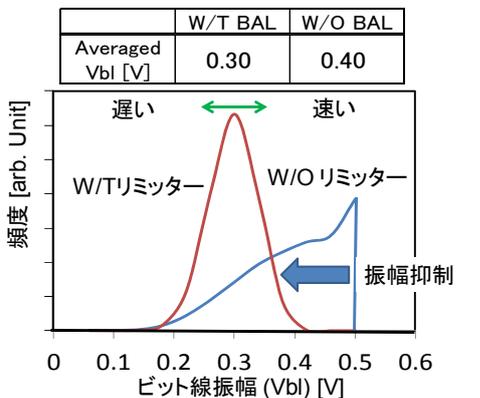
が出ているカラムには、ブーストは行われず、振幅が出ていないカラムは、仮想接地電位が負電位に接続されブーストが行われる。図Ⅲ.2.2-17にシミュレーション結果を示す。電源電圧は0.5Vで0.1Vのブーストを行っている。ブーストを行うことにより、サイクルタイムが250nsから100nsまで改善している。ブーストのため消費パワーは約1.6倍になるが消費エネルギーは35%改善している。

この回路は前述の振幅リミッター回路と組み合わせて過剰な振幅を抑制することにより一層の効果を得ることができる。図Ⅲ.2.2-18に選択ブーストと振幅リミッターを組み合わせた回路を示す。本例ではPMOSアクセスゲートタイプのセルへの適用のため振幅リミッター回路はPMOSで構成されている。さらに対称性を考慮して4個のトランジスタを使用しているが、基本的な動作は上記のビット線リミッター回路と全く同じである。違いは振幅リミッターのソースにセンス動作を行う直前に、ブーストする電圧を印加することである。これによりビット線の振幅の抑制とブーストの強さのコントロールがビット線振幅に応じて行われる。図Ⅲ.2.2-19に図

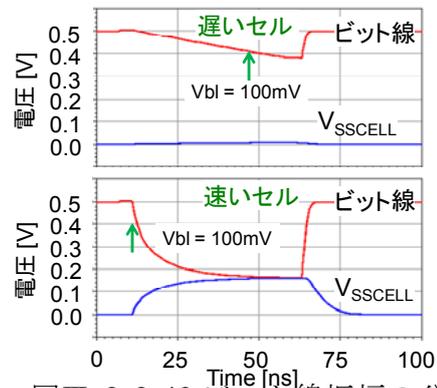
2.2-18に示した回路におけるビット線振幅のシミュレーション結果を示す。ピンクのプロットがリミッターだけを適用したもの、紺色のプロットがリミッターとブーストを組み合わせたもの、黄色のプロットは上記2つの場合の差、つまりブーストの効果を示す。45°の右上がりの直線は振幅制御技術を適用していない場合に相当する。リミッターにより不要な振幅が抑制されて、ブースト回路により小さい振幅が増大していることが判る。またもともと振幅が小さいものに対してはより強いブースト、大きいものには弱いブーストがかかっていることも判る。このような段階的な特性の改善はSRAMの速度など最悪値でその特性が決まるものには重要な特性である。振幅リミッター回路と選択ブースト回路の2つの技術を併用して44%のエネルギー改善を得た。



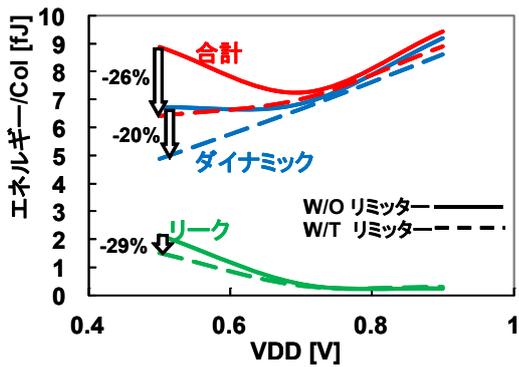
図Ⅲ.2.2-10 ビット線波形と消費エネルギー 図Ⅲ.2.2-11 ビット線振幅リミッター回路



図Ⅲ.2.2-12 ビット線振幅の分布



図Ⅲ.2.2-13 ビット線振幅の分布



図Ⅲ.2.2-14 サイクルタイム比較

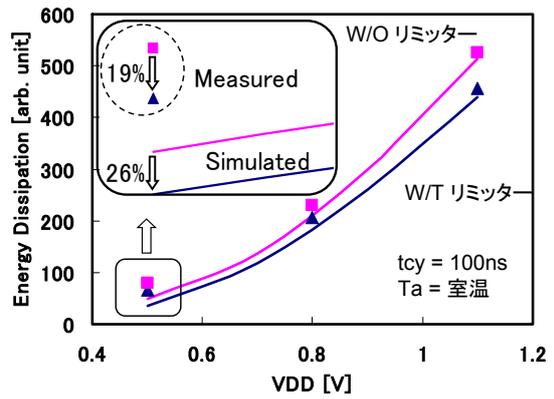
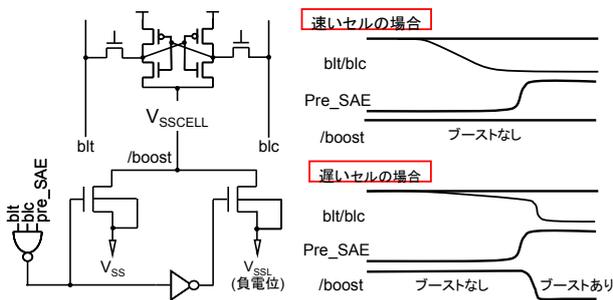
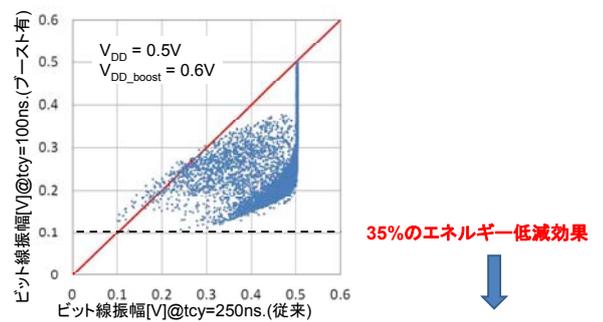


図 2.2-15 測定結果

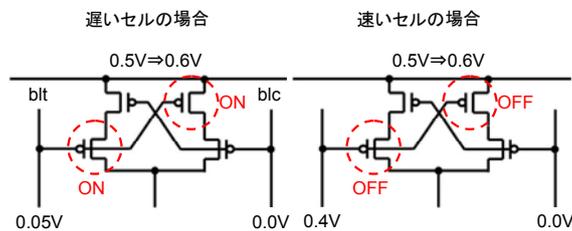


図Ⅲ.2.2-16 選択ブースト回路

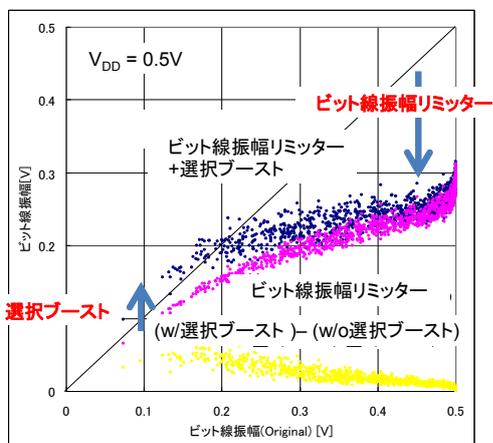


	tcy min [ns]	P(VDD) [nW/Co]	P(VDDboost) [nW/Co]	P(total) [nW/Co]	E(total) [fJ/Co]
従来	250	32.6	0	32.6	8.15
ブースト	100	40.8	11.9	52.7	5.27

図Ⅲ.2.2-17 選択ブーストのシミュレーション



図Ⅲ.2.2-18 選択ブーストと振幅リミッターの組み合わせ



	tcy [normalized]	Dynamic Power [normalized]	Leakage Power [normalized]	Total Power [normalized]	Total Energy [normalized]
Original	1.000	0.377	0.623	1.000	1.000
ビット線振幅リミッター	1.063	0.221	0.511	0.732	0.777
ビット線振幅リミッター + 選択ブースト	0.625	0.381	0.511	0.892	0.557

図Ⅲ.2.2-19 選択ブーストと振幅リミッターのシミュレーション

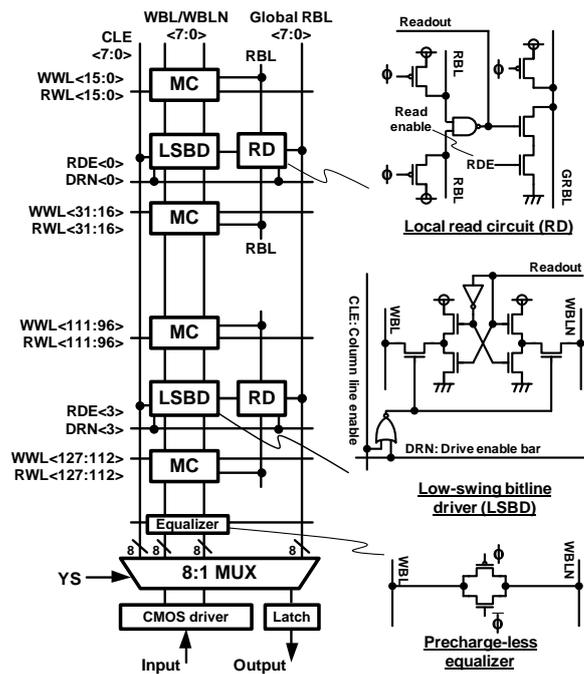
### 2.2.3.2 ハーフセレクトセルアクセスによる最低動作電圧上昇抑制技術

8T メモリセルは、読み出しポートと書き込みポートを分離することによって、6T メモリセルでは実現できない低電圧動作を狙うメモリセルであるが、書き込み動作時の非選択セルのハーフセレクト問題のため、動作電圧を十分に下げられないという課題があった。これを回避する方策としては、書き込み時にメモリセルに蓄えられていたデータを一度読みだして再び書き戻すライトバック方式が提案されている。しかし、ライトバック動作時の消費電力が大きく、極低消費エネルギーSRAMを実現するのは困難であった。そこで、低電力でライトバックを可能とする技術を開発して、極低電圧動作 8T メモリセルを実現した。

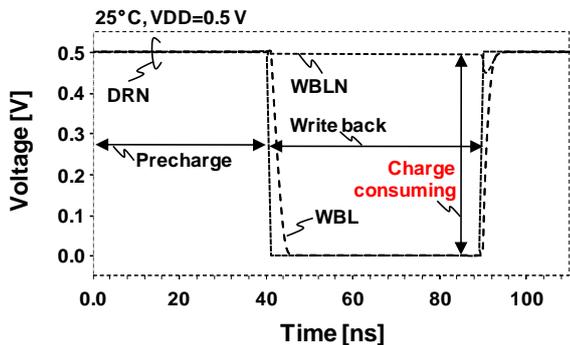
#### 2.2.3.2.1 小振幅ライトバック 8 トランジスタ SRAM (この成果は VLSI Symp.2011 で発表)

低電圧でのメモリセル動作マージンの向上を図る 8T セルでは、書き込み動作時のビット線ディスタ urb による非選択セルのデータ破壊 (ハーフセレクトセル問題) が極低電力化のための大きな課題となる。この課題を解決するために、低電圧かつ低消費電力で動作可能な低電力ディスタ urb 緩和技術の開発を行った。図 III.2.2-20 は、提案ディスタ urb 緩和回路を実装したローカルセルアレイを表している。提案技術は、プリチャージレスイコライザを用いた書き込みビット線フローティング技術と、NMOS のみで構成される小振幅ドライバ (LSBD) から構成される。小振幅ドライバを用いることにより、プルアップされる側の書き込みビット線の電圧振幅をリミットできるためハーフセレクト列における書き込みビット線の振幅を抑制可能である。本研究で設計した 8T SRAM は、シングルエンド読み出しポートを備えた 8T メモリセル (MC)、ローカル読み出し回路 (RD)、小振幅ドライバ (LSBD)、及びプリチャージレスイコライザから構成され、読み出しビット線に 16 セル、書き込みビット線に 128 セルが接続された階層ビット線構造を持つ。振幅ドライバは 32 セル当たり 1 つ存在し、書き込みドライバは 8 列 128 行のローカルセルアレイにて共有される。

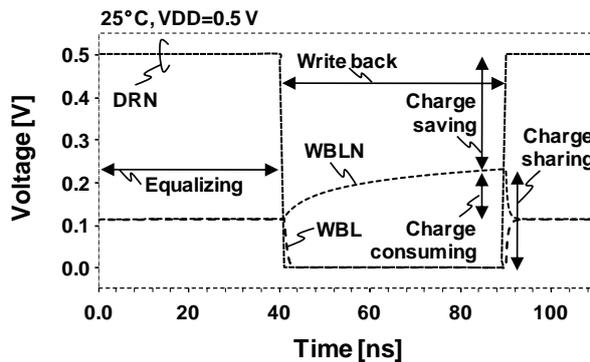
図 III.3.2-21 及び図 III.2.2-22 は、従来ライトバック手法及び提案手法を用いた場合のハーフセレクト列における書き込みビット線ペアの電圧波形を表している。従来手法では、書き込みビット線は予め電源電圧にプリチャージされており、CMOS ドライバを用いて書き込みビット線を駆動する。書き込みが行われたのち書き込みビット線は電源電圧にプリチャージされる。一方、提案手法では、書き込みビット線はプリチャージが行われずイコライズされフローティング状態に保たれる。書き込みビット線は小振幅ドライバを用いて駆動されたのち、再びイコライズが行われる。フローティングビット線はプリチャージトランジスタが不要となるため、さらにリーク電力を削減可能である。本研究では提案するディスタ urb 緩和技術を 40-nm CMOS プロセスを用いて、512-Kb 8T SRAM に実装した (図 III.2.2-23)。比較のため、従来ライトバック技術を備えた 512-Kb 8T SRAM についても、実測評価を行った。図 III.2.2-24 及び図 III.2.2-25 は、実測におけるリーク電力と書き込み時アクティブエネルギーを表している。提案手法を用いた場合、0.5V 動作時において 512-Kb SRAM マクロ全体でリーク電力を 26.0%、書き込み時アクティブエネルギーを 59.4%削減できた。図 III.2.2-26 は、1.2V 動作従来 6T SRAM と比較した場合の消費エネルギー削減効果を示す。提案技術を用いることにより、低電圧化及びアシスト技術の低電力化を実現し、消費エネルギー 1/10 を達成した。



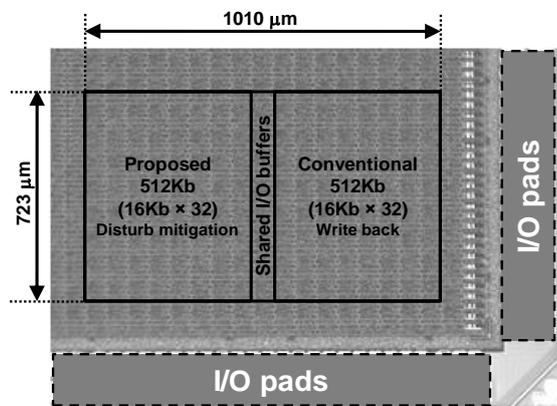
図Ⅲ. 2. 2-20 提案ディスタ urb 緩和技術及びローカルセルアレイ



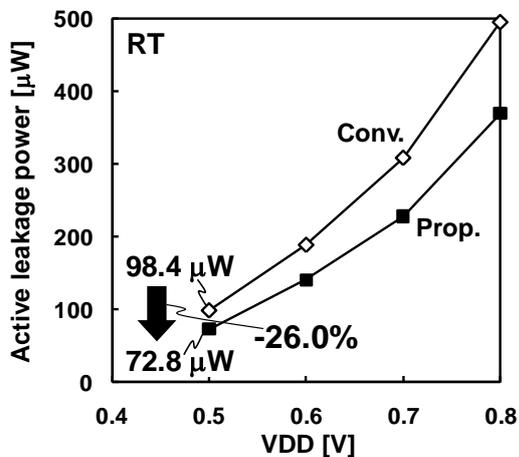
図Ⅲ. 2. 2-21 従来ライトバック適用時ビット線波形



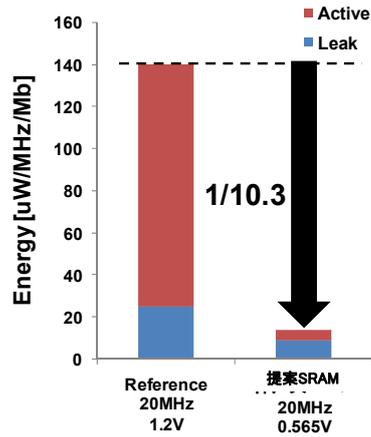
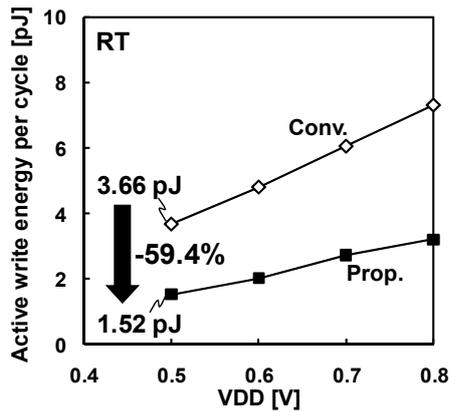
図Ⅲ. 2. 2-22 提案技術適用時ビット線波形



図Ⅲ. 2. 2-23 40-nm 512Kb SRAM Block



図Ⅲ. 2. 2-24 リーク電力削減効果



図Ⅲ.2.2-25 書き込みアクティブエネルギー削減効果

図Ⅲ.2.2-26 1.2V 従来 6T SRAM からの消費電力削減効果

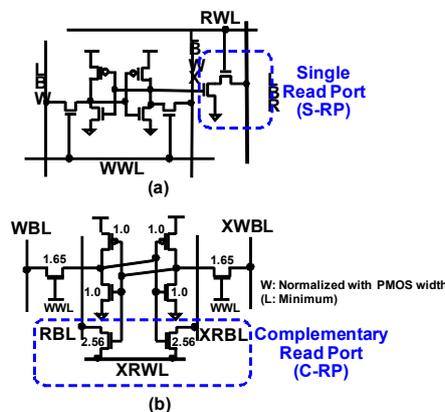
### 2.2.3.3 極低電圧動作メモリの高速化技術

SRAM を Near-Threshold 領域で動作させると、一般には、動作速度が大きく低下する。本節では、低電圧でも、高速に動作する相補型 8T メモリセルについて報告する。

#### 2.2.3.3.1 相補型 8T 型メモリセルによる高速低電力 SRAM 技術 (この成果は ESSCIRC.2010 で発表)

##### (1) 提案回路概要

低電圧に適した SRAM メモリセルとして専用リードポートを備える 8 トランジスタ (S-RP 8T) メモリセルが挙げられる (図Ⅲ.2.2-27(a))。このセルはデータ記憶部に対する読出し時のディスタ urb が無く、書き込み時のディスタ urb は、ライトバックや分割ワード線などの手法を用いることで回避できるため安定性が高い。しかしながら、読出し時は単一ビット線を用い、読出しのためのビット線振幅が大きく、低電圧では読出し速度が非常に遅くなるという問題点があった。高速化が可能な相補読出しビットラインを有する 10T や 9T メモリセルが提案されているが、非常に大きなセル面積が課題である。本節では、相補リードポートを有する 8T (C-RP 8T) メモリセル (図Ⅲ.2.2-27(b)) を提案し、差動読出しによる読出し速度向上について述べる。提案する C-RP 8T セルはシンプルな点对称レイアウトを有し、標準 6T セルに対して配線層の追加は無く、面積オーバーヘッドは比較的小さい。

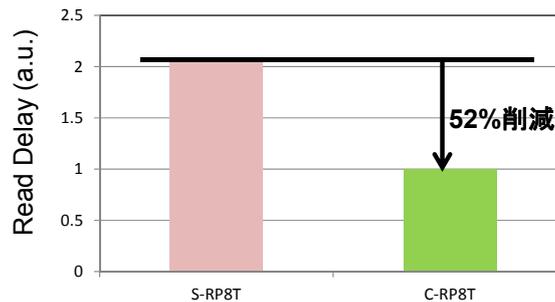


図Ⅲ.2.2-27 メモリセル回路図：

(a) 従来シングルエンド読出し 8T (S-RP 8T)、(b) 相補読出し 8T (C-RP 8T)

C-RP 8T メモリセルは2つの1トランジスタ・リードポートを備え、相補のリード・ビットライン (RBL/XRBL) に接続される。リードポートのソースは共通のリード・ワードライン (XRWL) に接続される。XRWL は非選択時に VDD にプリチャージされ、選択時には放電される。RBL/XRBL とライトビットライン (WBL/XWBL) は分離されている。これは分離されていない場合、書込み時に XRWL からビットラインに電流流入が生じ、書込みが妨げられるからである。また、従来 S-RP 8T が非対称レイアウトであるのに対し、C-RP 8T セルは標準 6T セルの両端にリードポートを配置しており、点对称のレイアウトを形成できる。

図Ⅲ.2.2-28 に、C-RP 8T と S-RP 8T の 0.5V での読出し遅延の電圧依存シミュレーション結果を比較する。C-RP 8T セルを用いた読出し遅延は S-RP 8T を用いた場合に対して 52% 低減した。



図Ⅲ.2.2-28 C-RP 8T と S-RP 8T の読出し遅延の比較(1-K Monte Carlo)

#### 2.2.3.4 電気的ストレス印加によるセル動作マージン向上技術

SRAM のメモリセルの動作マージンは、動作電圧の低下や微細化の進展に伴うトランジスタランダムバラツキの増大によって減少して、SRAM の低消費エネルギー動作の妨げとなる。本節では、チップ作製後の電気的ストレス印加により、メモリセルの動作マージンを向上させる技術について報告する。

##### 2.2.3.4.1 高電圧ストレスを利用した SRAM 自己修復技術 (この成果 VLSI Symp.2010 /SNW2012 / AWADA2012 で発表)

微細トランジスタの  $V_{th}$  ばらつきによる SRAM セルの不安定性が大きな問題となっている。不安定なセルが特に低い電源電圧 ( $V_{DD}$ ) においてフェールし、SRAM セルの歩留に深刻な影響を与える。SRAM セルの安定化のためにさまざまな方法が提案されているが、一般にこれらの方策は面積増加や速度の低下というデメリットがあった。この問題に対処するため、本研究では、製造後に高電圧ストレスを印加するという全く新しいポストファブ리케이션自己修復技術を提案している。この技術とはセル内部の相対的に強い (しきい値電圧が低い) NFET や PFET のしきい値電圧 ( $|V_{th}|$ ) のみを選択的に上昇させ、セルの不安定性を自己修復する技術である。

本手法は、ストレスを一括して SRAM セルアレイの  $V_{DD}$  電極に印加するのみという極めて簡便な手法である。図Ⅲ.2.2-29(a)を用いて本手法を説明する。WL を 0V に保ったまま、 $V_{DD}$  を 0V からストレスバイアス (本研究では 2.2V) まで上昇させる。スキャン時間は数秒である。 $V_{DD}$  が低い領域ではこのセルは各トランジスタのばらつきにより、双安定とはならず、1 か 0 のどちらかのデータしか保持できない。すなわち、記憶ノード VL と VR のうちどちらかが high で他方が low に固定されてしまう。このとき high の記憶ノードに接続されている pFET は他方の pFET より強い ( $|V_{th}|$  が低い) はずである。この pFET は ON 状態にあるので、これを "p-ON" と呼ぶことにする。一方、low 側に接続された弱いトラ

ンジスタは OFF 状態にあるので “ p-OFF ” と呼ぶ。

$V_{DD}$  を 2.2V まで上昇させると、トランジスタにストレスが印加される。NFET はストレスによる  $V_{TH}$  シフトが全く観測されなかったため、今後は pFET のみに注目して説明する。p-ON はオン状態にあり p-OFF はオフ状態にあるので、pFET へのストレスは自動的により強い “ p-ON ” のみに印加され、このトランジスタは弱くなる。その結果セルの安定性が自動的に向上する。

6T SRAM DMA TEG を 40nm プレーナバルク技術で作製し、4k ビットの SRAM について測定を行った。この TEG では、図 III.2.2-29 に示したとおり  $V_{DD}$ 、WL、2 つの BL の他に 2 つの記憶ノード (VL、VR) にもアクセス可能であり、6 つのトランジスタすべてを測定することができる。

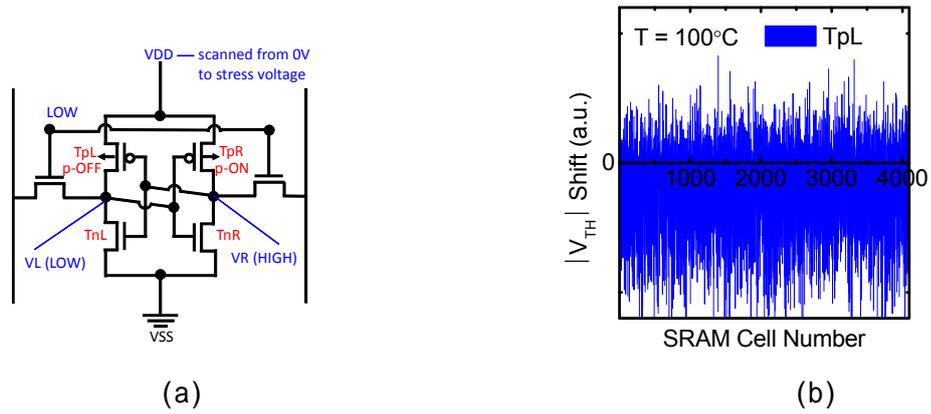
まず、2 つの pFET のうち左側の pFET (図 III.2.2-29(a) に示したとおり、これを TpL とする) に注目した。ストレスは前述の通り、 $V_{DD}$  を 0V から 2.2V までスキャンすることにより印加した。図 III.2.2-29 (b) は、 $V_{DD}$  ストレス印加前後の 4k セルの TpL の  $|V_{TH}|$  シフトである。シフトはランダムであった。内部記憶ノード VL、VR のうちどちらが High でどちらが Low になるかは完全にランダムなので、この結果はリーズナブルである。次に、2 つの PFET のうち、どちらが p-ON および p-OFF かに注目した。図 III.2.2-30(a) は  $V_{DD}$  ストレス印加前後の 4k セルの p-ON の  $|V_{TH}|$  シフトである。ほとんどすべてのセルで  $|V_{TH}|$  は正の方向にシフトしている。p-ON は強い方の pFET であるため、ストレスにより選択的に弱くなり、自己修復が達成されていることがわかる。

さらに、図 III.2.2-30(b) に  $V_{DD}$  ストレス印加前後の 4k セルの p-OFF の  $|V_{TH}|$  シフトを示す。ほぼすべてのセルで負の  $|V_{TH}|$  シフトが観測され、しかもシフト量は p-ON より大きいことがわかった。p-OFF はオフ状態であり、ゲートとソースが high、ドレインが low である。したがって、ゲート-ドレイン間に正のバイアスが印加されており、ドレイン近傍のゲート絶縁膜に負電荷が注入され、負の  $|V_{TH}|$  シフトが起こったものと考えられる。これは自己修復にとって好都合であり、p-ON よりむしろ p-OFF が自己修復に大きく貢献していることが初めて明らかとなった。

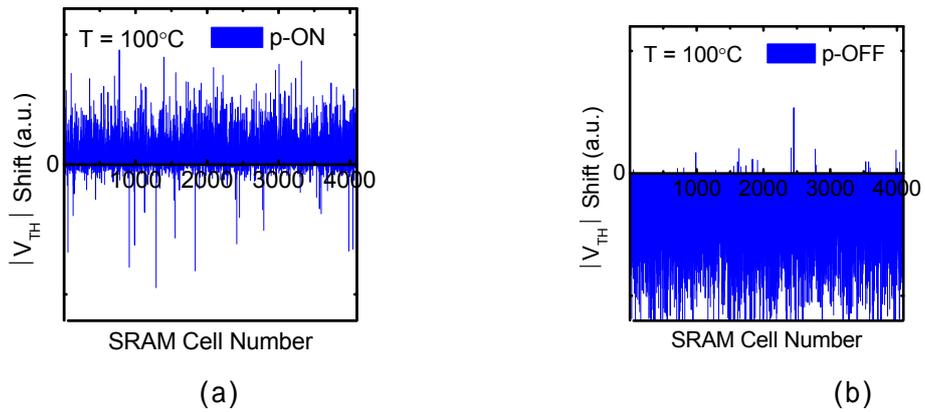
図 III.2.2-31 にストレス印加前後の RetNM 分布を示す。特に、もともと RetNM が悪かったセルにおいて RetNM の大きな改善が見られる。SRAM の歩留は最も不安定な Worst セルで決まるので、本手法は SRAM の歩留改善に極めて有効である。

なお、本手法では  $V_{DD}$  に高電圧ストレスを印加するため、信頼度の劣化が懸念される。そこで、p-ON、p-OFF トランジスタに NBTI (Negative Bias Temperature Instability) ストレスを印加し、ドレイン電流の劣化からトランジスタの寿命を測定して、ストレスを印加していない pFET (Fresh pFET) と比較した。その結果を図 III.2.2-32 に示す。P-ON と p-OFF では、わずかなトランジスタ寿命の劣化が見られるが、Fresh pFET との差は 2 倍以内である。本研究で対象としている SRAM はもともと低電圧動作を目指したものであるため、実質的には高電圧ストレス印加による信頼性の問題はほとんどないと考えられる。

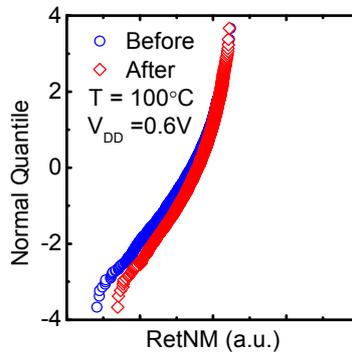
製造後の SRAM セル安定性の自己修復手法を実験により実証した。この手法はセルアレイの  $V_{DD}$  に数秒間ストレスを印加するという極めて簡便な手法である。もともと不安定なセルほど安定性が向上する。LOW 側の記憶ノードに接続された pFET の  $|V_{TH}|$  が下がるのが自己修復に大きく貢献していることが初めて明らかとなった。本手法は、特性ばらつきの影響が顕在化している集積回路において製造後に歩留向上を達成する有望な手法である。



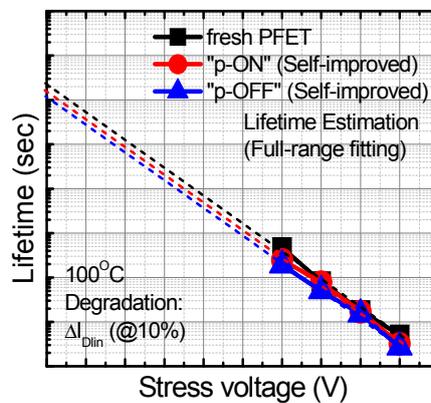
図III.2.2-29 SRAMセル (a)ストレス印加設定 (b)pFET(左側)のストレス印加前後のしきい値電圧シフト



図III.2.2-30 ストレス印加前後のしきい値電圧シフト (a) p-ON. (b) p-OFF



図III.2.2-31 ストレス印加前後における RetNM の分布



図III.2.2-32 p-ON、p-OFF および Fresh pFET におけるトランジスタ寿命のNBTI ストレス電圧依存性

### 2.2.3.4.2 HCI(Hot Carrier Injection)を利用した非対称アクセストランジスタによるメモリセルマーzin向上技術 (この成果はVLSI Symp..2010/CICC2011/ISSCC2012で発表)

前節で述べた、SRAM 自己修復技術の開発を通じて、電氣的ストレス印加によるメモリセルマーzin向上技術が大きな効果を持つことが実証された。自己修復技術がメモリアレイ上のすべてのメモリセルにストレスをかける方式に対して、特に動作マーzinの少ない少数のメモリセルを“狙って”電氣的ストレスを印加することにより、より効率的に動作マーzinを改善する方式の確立を目指して、加速資金を得て本技術の開発を行った。

#### (1)背景・目的

先端 CMOS プロセスにおける SRAM 動作マーzinの劣化に対して、SRAM のセルアレイ中のトランジスタに電荷を注入することでセルトランジスタのランダム  $V_{th}$ ばらつき自身を低減し、動作マーzinを向上する手法が提案されている。この方式はアシスト回路を用いる方式と比べて回路への実装が容易かつばらつきの分布そのものを低減することが可能であるため、注目されている。本研究は 6T-SRAM セルの片方のパスゲートトランジスタ (PG) に、ホットキャリアインジェクション (HCI) を用いて局所的に電子注入をすることで非対称 PG を形成し、動作マーzinを改善することを目的とする。そのための効率的な電荷注入方式の開発、及び電荷注入特性の評価を行った。

#### (2)提案手法の概要

PG に電子を注入するには図 III.2.2-33(a)に示すようにセル電源電圧  $V_{CELL}$  を昇圧し (セルアレイ電源線は周辺回路電源線  $V_{PERI}$  から分離されている)、両方のビット線 (BL) を接地した後、ワード線 (WL) に電圧を印加する。これにより“H”となっている内部ノードに接続された PG の内部ノード側のゲート絶縁膜にホットキャリア注入 (HCI) が生じる。

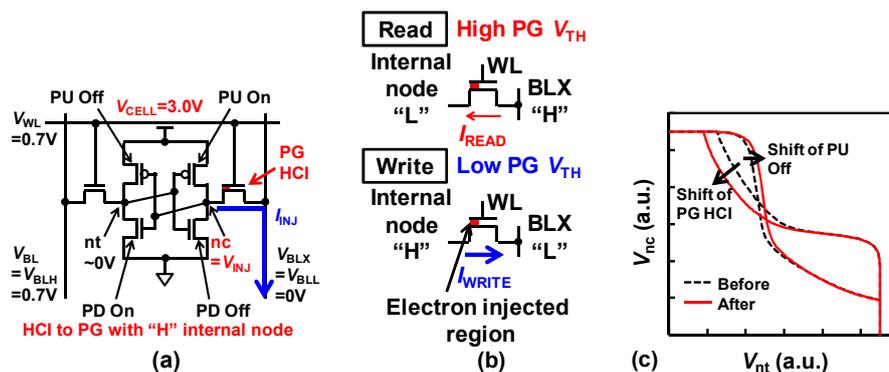


図 2.2-33 (a)提案 6T-SRAM (注入動作時) (b)非対称 PG HCI (c)注入による SNM の変化

このように HCI を行うと、図 III.2.2-33 (b)のように読み出し時は内部ノードがソースになるため、PG のしきい値電圧  $V_{th}$ が上昇するが、書き込み時はソースがビット線側になるため、 $V_{th}$ 上昇が抑制される。これにより書き込みマーzinの劣化を抑えながら読み出しマーzin (スタティックノイズマーzin) を向上することが可能となる (図 III.2.2-33(c)参照)。以降 HCI が生じた PG を PG HCI、注入時に Off 状態の P/NMOS を PU Off/PD Off、On 状態の P/NMOS を PU On/PD On と称する。

### (3)6T-SRAM アレイにおける電子注入手法

#### (3-1)全セル注入方式

本注入手法は最初に開発されたもので、図Ⅲ.2.2-34(a)に示すように全セルのどちらか片方の PG に HCI を生じさせるものである。まず、 $V_{CELL}$  を適度にゆっくり立ち上げることで、セルの 4 つのラッチトランジスタのランダム  $V_{TH}$  ばらつきで決まるデータがセルに格納される。続いて  $V_{CELL}$  を実動作電圧より低くした状態で全てのセルに疑似読み出しディスタ urb を加える。この時、PG の  $V_{TH}$  が低い一部のセルではデータが反転し得る。これで全てのセルにおいて注入すべき PG につながる内部ノードが“H”となる。この手法ではアレイ全体のデータパターンは図Ⅲ.2.2-34(b)の左図のようにランダムなパターンになる。その後  $V_{CELL}$  を 3V 程度にまで昇圧し、全ての BL を 0V にする。そして WL 電圧を行ごとに印加していく。この時、WL1 本あたり 1 秒から 10 秒程度の注入時間  $t_{INJ}$  が発生する。また、図Ⅲ.2.2-34 (b)右図で示すように選択 WL につながった全セルにて電子注入が発生するため、全ての列で注入電流が生じ続ける

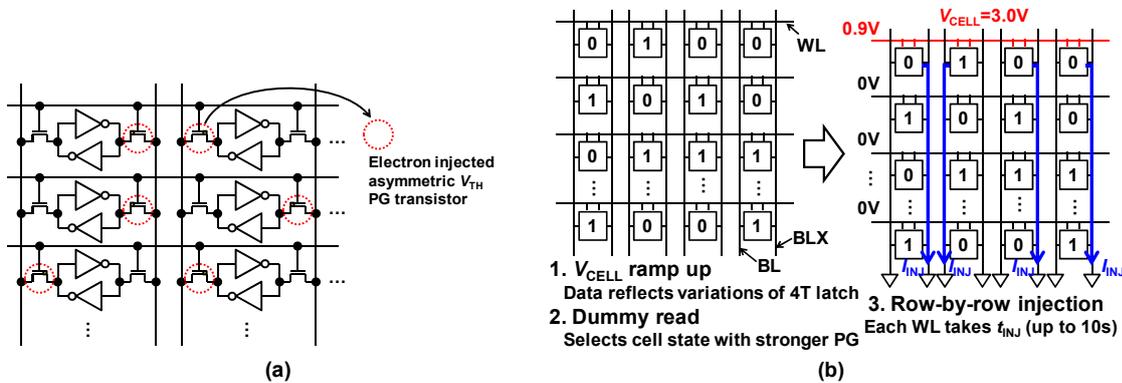


図 Ⅲ.2.2-34 全セル注入方式の(a)概要と(b)各手順におけるセルアレイ状態

#### (3-2) 不良セルへの同時注入方式

本方式は読み出しマージンの少ないセルを自動的に検出・認識しそれらのセルにのみ選択的に HCI を行うものである。不良セルを正常セルから分離する操作とその不良セルのみに注入を行う操作が必要となる。図Ⅲ.2.2-35(a)に全体制御フローを示す。本手法では 0 データの読み出しマージンが足りないセルを修復する段階と 1 データのその 2 段階からなり、各段階はさらに 3 つのステップで構成されている。0 データ読み出し不良セル修復段階においては、まず全セルに 0 データを書き込む。この時  $V_{CELL}$  や  $V_{PERI}$  はデータが正常に書けるほど十分な電圧が必要である。その後  $V_{CELL}$  を実動作時よりも低くした状態で疑似読み出しディスタ urb を全セルに加える。これにより 0 データの読み出しマージンが低いセルのみ反転し、1 データを保持することになる。最後に注入動作を行う。これは反転したセルの PG にのみ同時に HCI を生じさせるものである。この注入にかかる時間は全セル注入方式における WL 一本当たりの注入時間  $t_{INJ}$  と同程度である。1 データの読み出し不良セルの修復は先の 0 データの場合と基本的に手順は同じだが、データの極性のみ異なる。この方式では注入の動作が 2 回で済むため、全セル注入方式のようにワード線の本数回 ( $N_{WL}$  回) 繰り返されず高速な注入が可能となる。図Ⅲ.2.2-35 (b)は 0 データ修復中における注入中のセルのバイアス状態を詳細に

示したものである。左上のセルが不良によりデータが反転しており、その左の内部ノードが“H”となっている。また本手法では全ての WL および列が選択される。書き込みアンプは 0 データ修復の時は 0 データを出力するように設定する（1 データ修復時は 1 データを出力）。即ち、全 BL は書き込みアンプを通じて 0V に、全 BLX は  $V_{PERI}$  にバイアスされる。この時不良セルの左の内部ノードは“H”かつ BL は 0V であるため、不良セルの左の PG に HCI が生じそのセルの安定性が向上する。ここで、重要な点として不良セルが存在する列の他の正常セルは左の内部ノードが“L”であるため、不良セルから発生する注入電流を書き込みアンプ以外にこれらの正常セルを介して GND へと流している。不良セルの数は正常セルの数より十分少なければ BL のプルダウン用の NMOS トランジスタを用いずとも BL を低いインピーダンスで接地することが可能になる。一方、正常セルの右 PG は BLX と WL がともに  $V_{PERI}$  となっているため、オフ状態となり HCI は生じない。従って不要な PG の性能劣化と注入電流の増加を抑制することが可能になる。

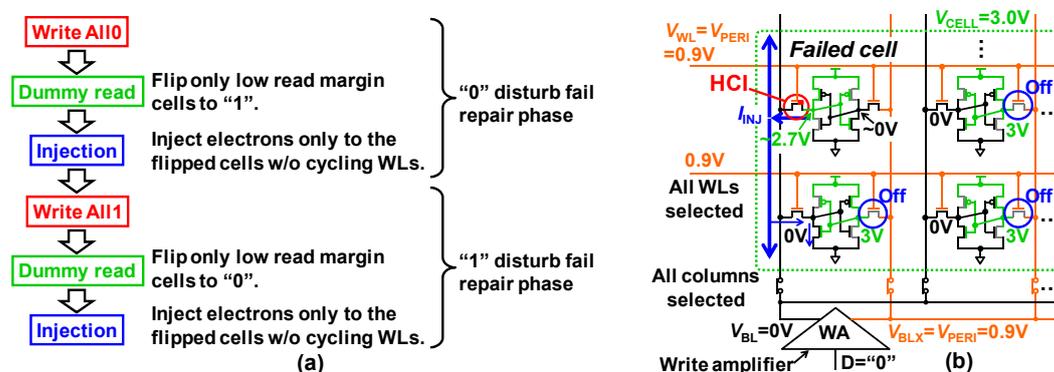


図 2.2-35 不良セルへの同時注入方式 (a)手順概要 (b)注入動作中のバイアス状態

#### (4)実測評価

##### (4-1)SRAM アレイ動作マージン確認

B 社 40nm プロセスを用いて 2、64、128kb の SRAM マクロを試作した。図 III.2.2-36(a)と 2.2-36 (b) はそれぞれ全セル注入方式と不良セルへの同時注入方式の注入前後フェイルビットカウント (Fail Bit Count: FBC) の  $V_{CELL}$  依存性 ( $V_{PERI}$  は固定電圧) である。2kb の SRAM は  $N_{WL}$  が 64 なので、前者注入方式に対して後者注入方式は 32 倍高速であるにも関わらず、注入により  $V_{CELL}$  動作マージン (ディスタープ不良と書き込み不良が共にない  $V_{CELL}$  領域) はともに 40~50mV 向上した。また、後者方式ではディスタープ不良分布の裾が主にシフトしており、正常なセルの PG 電子注入が抑制されていることを示している。書き込みマージンの劣化は後述する PU Off の  $|V_{TH}|$  低下が影響している。

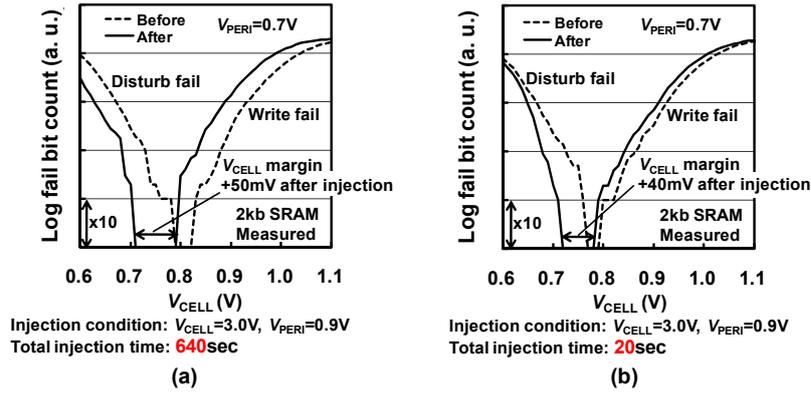


図 2.2-36 電子注入前後の FBC (a)全セル注入方式 (b)不良セルへの同時注入方式

次にシミュレーションにより読み出し遅延と読み出し消費エネルギーについて検討した。図 III.2.2-37(a)と図 III.2.2-37(b)はそれぞれ読み出し時の BL 遅延と BL 消費エネルギーを比較したものである。注入前の初期状態の場合、WL 電圧読み出しアシスト (WL 電圧のみ  $V_{PERI}$  より 0.1V 低い) を使用した場合、全セル注入方式を使用した場合、不良セルへの同時注入方式を使用した場合で比較を行った。ここで初期状態のシミュレーション結果は安定性が不十分な不良セルを含んでいることに留意する。図 III.2.2-37 (a)より BL 遅延は不良セルへの同時注入方式が全セル注入手法に対して 57% 低減できることが判明した。これは全セル注入方式では正常なセルも含めて全ての PG の性能が劣化するのに対し、不良セルへの同時注入方式では PG の  $V_{TH}$  が低いほんの一部のセル (マクロ全体の 0.1%) の PG にのみ注入が行われるためである。なお WL 電圧アシストを用いた場合、両方の PG の性能が劣化するため、片側の PG の性能のみ劣化する場合よりさらに 51%低速である。また、図 III.2.2-37(b)より BL 消費エネルギーも不良セルへの同時注入方式を使用した場合は全セル注入方式に対して 31%低減される。これは BL 振幅量の分布が不良セルへの同時注入方式を使うと減るためである。

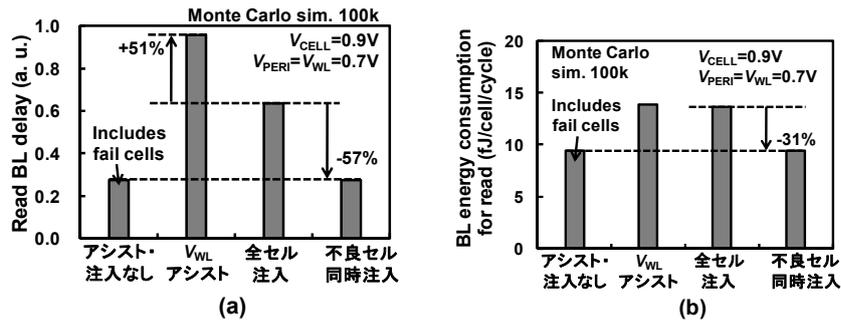


図 2.2-37 (a)BL 読み出し遅延の比較 (b) BL 読み出し消費エネルギーの比較

#### (4-2) 注入電荷保持時間、注入電流

図Ⅲ.2.2-38(a)は電子注入前後の読み出しディスタープによる不良の85°Cにおける保持特性を示している。全セル注入方式、不良セルへの同時注入方式ともに注入後のFBCが低減され、その後85で10<sup>6</sup>秒間FBCの低減が保持されていることが判明した。図Ⅲ.2.2-38(b)に不良セルへの同時注入方式における総注入電流量の注入セル数 $M_{INJ}$ 依存性を示す。グラフの傾きが不良セル毎の注入電流を表し、この注入量で65・Aから130・A程度生じる。 $M_{INJ}=0$ の時の注入電流オフセットはアレイのリーク電流である。SRAMマクロの大きさが增大するとその分リーク電流の総量が増えるため、オフセットも増える。図Ⅲ.2.2-38(c)は64kbのSRAMマクロにおいて様々な注入条件での総注入電流量を示している。注入条件によらずばらつきが大きい、注入時間が短いほど注入電流が低い傾向がある。これはPU Offの $|V_{TH}|$ 低下が注入時間に伴い増大するためにリーク電流のオフセットが増えたものと考えられる。

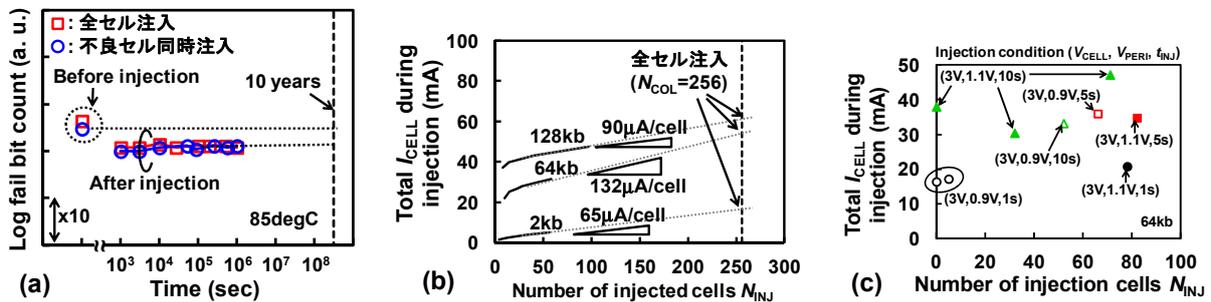


図 3.2.2-38 (a) 注入前後のディスタープ不良のFBCの85°Cにおける保持特性（注入条件  $V_{CELL}=3.2V$ 、 $V_{PERI}=0.9V$ 、総注入時間0.2sec）  
 (b) 総注入電流量の注入セル数  $M_{INJ}$  依存性（注入条件  $V_{CELL}=3.0V$ 、 $V_{PERI}=0.9V$ ）  
 (c) 64kb マクロにおける様々な注入条件下の総注入電流量。

#### (5) 結論

本研究はSRAMのPGに電子を局所注入することで読み出しに伴う不良を削減する手法、特に不良セルにのみ同時電荷注入する方式を開発した。40nm世代標準CMOSプロセスを用いてSRAMアレイ、DMA SRAM TEGを作製した。動作電圧は40mV~50mV低減された。また、読み出しにおけるビット線遅延を57%低減、ビット線消費エネルギーを31%低減された。良好な電荷注入による保持特性を得た。

#### 2.2.4 開発成果まとめ

##### (1) 課題と開発内容要約

消費エネルギー1/10を実現する、極低消費電力SRAMの課題として、(1)トランジスタのローカルばらつきに起因するビット線振幅の増大および非選択ビット線の無駄な充放電電力、(2)8Tトランジスタのハーフセレクト状態による最低動作電圧の上昇、(3)低電圧動作で速度性能の劣化、(4)トランジスタばらつきによるメモリセル動作マージンの劣化があった。これらを解決するために、(1)電荷制御型SRAM技術並びにビット線振幅制限技術の開発、(2)小振幅ライトバック技術、(3)相補8T型メモリセルを使ったSRAMの開発、(4)アクセストランジスタに対するHCI(Hot Carrier Injection)技術と、SRAMセル自己修復技術の開発を行った。

## (2) 開発成果とベンチマーク要約

電荷制御型 SRAM、小振幅ライトバック 8T SRAM については、図 III.2.2-39 のベンチマークに示したように、世界最小の消費エネルギーを達成した。電荷制御型 SRAM では、従来の低電圧のベストデータに対して 40%以上の消費エネルギー削減を実現した。ビット線振幅制御技術については、ビット線振幅リミッター回路とビット線選択ブースト回路を組み合わせることによって、37%のビット線遅延の削減と 44%の消費エネルギー削減を実現し、SRAM の高速化と低消費エネルギー化が同時に達成できることを示した。相補型 8T メモリセルの検討を行い、0.5V 動作でビット線遅延を 54%削減できることを示した。電氣的ストレス印加によるセル動作マージン改善技術として、SRAM セル自己修復技術と HCI を利用した非対称アクセストランジスタの開発を行った。これらの開発によって、電氣的ストレス印加によって、メモリセルの動作マージンが 50mV 向上することを実証した。また、新たなストレス印加手法である不良セルへの同時注入方式を開発して、ストレス印加時間を従来方式の 1/32 に短縮して、従来手法並みのセル動作マージン向上効果を上げることができた。また、電氣的ストレス印加後のトランジスタの NBTI 寿命について実用上問題ないレベルであることを示した。

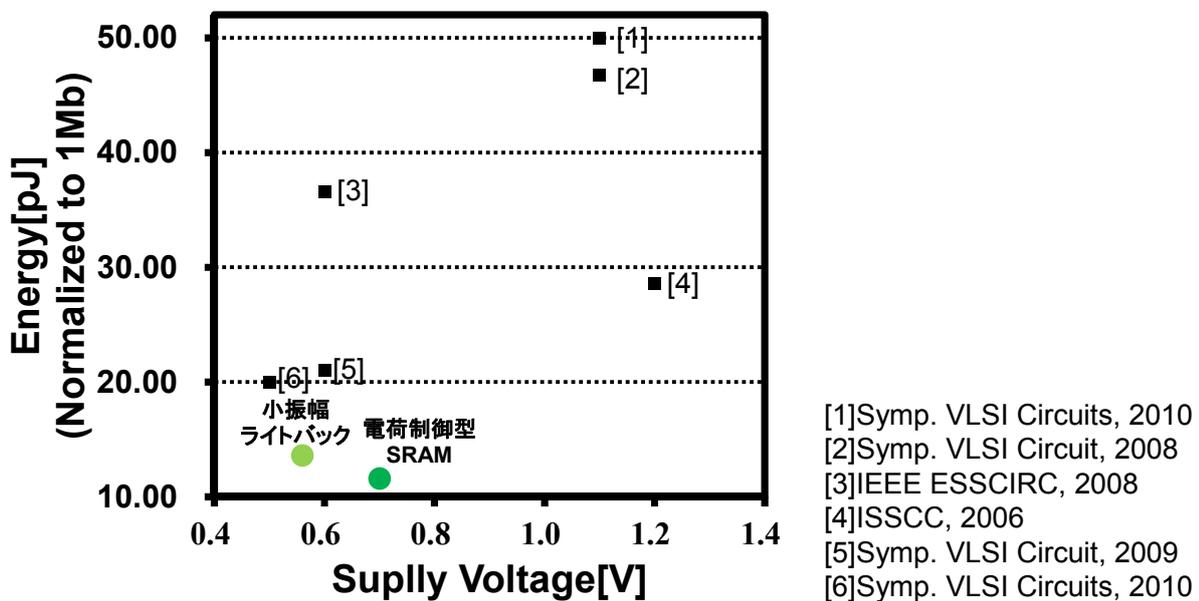


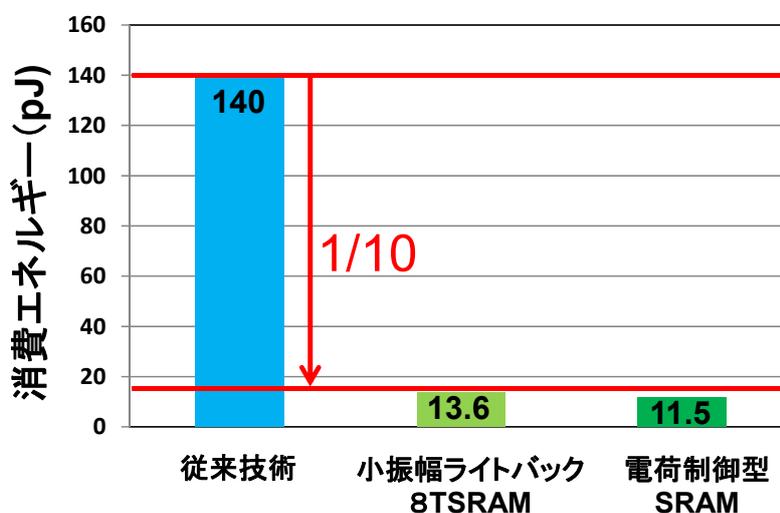
図 III.2.2-39 開発成果のベンチマーク

## (3) 目標達成度と開発成果の意義

チップ試作を通じての実証などにより、電荷制御型 1Mbit SRAM、小振幅ライトバック 512kbit 8T SRAM の 2 種類の SRAM 技術を用いて 1Mbit 換算でそれぞれ 11.5pJ、13.6pJ の消費エネルギーを実現した。従来技術を使って試作した 1Mbit SRAM では 140pJ のエネルギーを消費しており、プロジェクト目標を 100%達成することができた。(図 III.2.2-40) また、これらの SRAM は図 III.2.2-39 に示すように世界トップレベルの低消費エネルギーを実現している。

開発した SRAM 技術は、低消費エネルギー SRAM として、システム LSI 中で、キャッシュメモリやプログラムやデータを格納するメモリ、画像データのバッファメモリ等の多くの用途のメモリに応用可能である。実際に統合最適化チップでは、統合 B チップの大容量のメモリとして電荷制御型 SRAM がプログラム・データ格納メモリ、画像メモリとして使用し、高速に動作することが要求される

SIMD2 ポートワークメモリとして相補 8TSRAM を用いた。また、一層の低電圧動作が要求される統合 A チップでは、小振幅ライトバック 8TSRAM 搭載している。これにより、開発した低消費エネルギーSRAM 技術がシステム LSI 中で実用的に動作する SRAM であることを実証した。電氣的ストレス印加技術は、微細化によるトランジスタのランダムばらつきの増大による SRAM セル動作マージンの劣化という限界を打ち破る技術として広く応用展開可能なものである。本プロジェクトで開発した他の SRAM 技術と組み合わせることによって、SRAM 動作の一層の低消費エネルギー化を推し進めることが可能となる技術である。電氣的ストレス印加技術の実用化に向けての課題として、ストレス印加時間と短縮とストレス印加後のトランジスタの信頼性があげられる。ストレス印加時間については、新規に不良セルへの同時注入方式を開発して、従来方式の 1/32 の時間で、従来方式並みのメモリセルマージンの向上が実現できることを示した。また、ストレス印加後のトランジスタについての NBTI 信頼性について評価を行い、低電圧動作 SRAM の実用上問題ないレベルであることを示した。



図Ⅲ.2.2-40 消費エネルギーの目標達成度

## 2-3-1 アナログ回路技術開発 (デジタル回路ベース)

### 2.3.1.1 目標

#### 2.3.1.1.1 0.5V 動作位相ロックループ (PLL)

100kHz～数 100MHz の範囲の広い出力周波数レンジ、クロック周期の 3%以下の低ジッタ特性、および基準信号に対して数 10 クロック以内の高速ロック特性を実現する。消費電力は  $10\mu\text{W}$  以下 @ 10MHz、 $100\mu\text{W}$  以下 @ 100MHz を目標とする。

#### 2.3.1.1.2 0.5V 動作アナログフロントエンド(AFE)

音声等の外界信号センシングに応用するためのアナログフロントエンドとして、最小分解能が 4mV 相当のデータコンバータ (ADC) を開発し、試作チップでその性能を確認する。製品レベルの従来技術である  $100\mu\text{W}$  @ 100kHz に対して 1 桁以上低電力での動作を目指す。

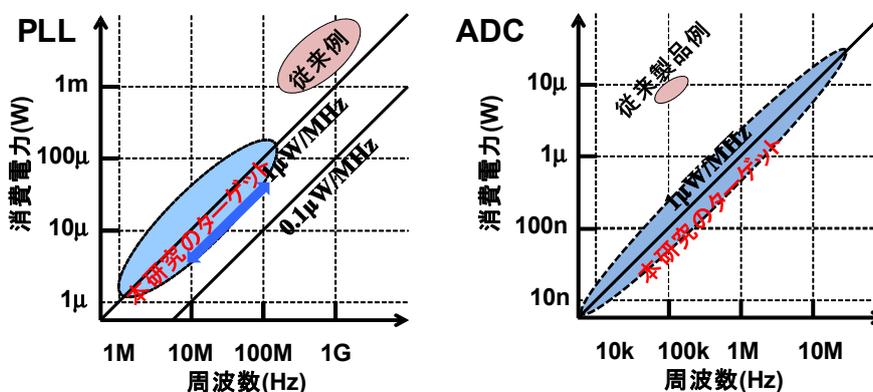


図 III.2.3.1 アナログ回路技術開発の目標消費電力性能

### 2.3.1.2 課題と開発方針

#### 2.3.1.2.1 0.5V 動作 PLL

本サブテーマでは、テクノロジースケーリングおよび低電圧動作との親和性の高い完全デジタル方式を採用する。また、幅広い周波数レンジで動作する PLL の実現を目指すために、電流制限型のリング発振器を用いることとする。様々なアプリケーションへの適用を考えると、消費電力が周波数に比例するパワースケーラブルな PLL を実現することが非常に重要となるが、デジタル方式およびリング発振器の採用は、パワースケーラブルな特性を出すうえで極めて有利である。以下に、PLL 開発の課題を挙げる。

- (1) 方式選択の正当性確認： 極低電圧動作の PLL システムにおいては、構成要素である発振器等の性能が従来の PLL の構成回路と大きく異なる。本課題に対して、システム検討、回路シミュレーション、チップ試作および評価を行ない、極低電圧動作をする要素回路の限界性能を見極める。
- (2) バラツキ対策： 極低電圧動作では、素子の特性バラツキが顕著となり、PLL のジッタ特性の劣化や場合によっては PLL システムのフィードバックループの不安定動作につながる。本課題に対しては、例えば大きな素子バラツキが存在する場合においても、周波数制御コードと周波数の間の線形性、単調性が確保されるようなデジタルキャリブレーション方式を開発する。

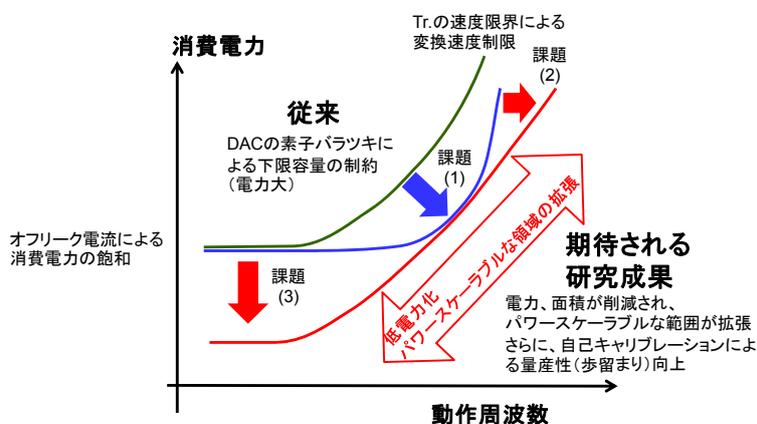
(3) 高速応答： クロック周波数や動作・スリープの切り替えを頻繁に行なう極低電圧システム LSI に適用するためには、PLL 周波数の高速な切り替えが必要となる。しかしながら、PLL の周波数切り替え速度とジッタ特性は PLL のループ帯域で規定されるため、通常、独立には決めることが出来ない。本研究では、ループ帯域のダイナミックな切り替え等の手法により高速応答を実現する。

表Ⅲ.2.3.1-1 0.5V 動作 PLL の開発項目と課題の対応

開発項目 \ 課題	2.3.1.3.1.1 システム検討	2.3.1.3.1.2 低電力時間デジタル 変換回路(TDC)	2.3.1.3.1.3 ワンチップ オールデ ジタル PLL
(1) 方式選択の正当性確認	✓	✓	
(2) バラツキ対策		✓	✓
(3) 高速応答	✓		✓

### 2.3.1.2.2 0.5V 動作 AFE

本サブテーマでは、前述の PLL と同様にテクノロジースケーリングおよび低電圧動作との親和性の高い、デジタル動作に近い電荷再配分型逐次比較方式の ADC を採用する。本方式はパワースケーラブルな特徴を実現しやすく、様々なアプリケーションに対して最適な消費電力で動作させる場合に向いている。以下に、AFE(ADC)開発の課題を挙げる。図 2.3.1-1 は、性能改善ならびにパワースケーラブル範囲拡大とこの課題の関係を示す。



図Ⅲ.2.3.1-1 0.5V-ADC の研究課題とその対策による性能向上の概念 (研究のアプローチ)

- (1) バラツキ対策： 極低電圧動作では、素子の特性バラツキが顕著となり、動作マージンを見越して大きなサイズの素子を使用すると、回路面積の増大、寄生容量の充放電等により消費電力の増大、動作速度の劣化につながる。本課題に関して、必要最小限の寸法の素子を用いることができるような、デジタルキャリブレーション技術を開発する。
- (2) 速度向上： 極低電圧動作においてはトランジスタの駆動力の著しい低減により回路の動作速度が遅くなる。本課題に対してはマルチビット方式の採用などアーキテクチャ的な工夫や局所的なブートストラップなど回路の工夫により速度低下を防ぐための手法を開発する。
- (3) 電力削減： 構成要素回路の電力配分最適化のみでは、電力の削減効果には限界がある。また、

微細デバイスを用いた場合はリーク電力も問題になる。本課題に対して、スイッチング回数を減らすなど、不要な充放電による電力消費を抑えるような手法の考案およびリーク対策手法を考案する。

表Ⅲ.2.3.1-2 0.5V 動作 AFE の開発項目と課題の対応

開発項目 \ 課題	2.3.1.3.2.1 3 値比較と DAC 補正	2.3.1.3.2.2 高速 SAR ロジック	2.3.1.3.2.3 2bit/step 方式	2.3.1.3.2.4 自己パワー ゲーティング方式
(1) バラツキ対策	✓			
(2) 速度向上		✓	✓	
(3) 電力削減	✓	✓		✓

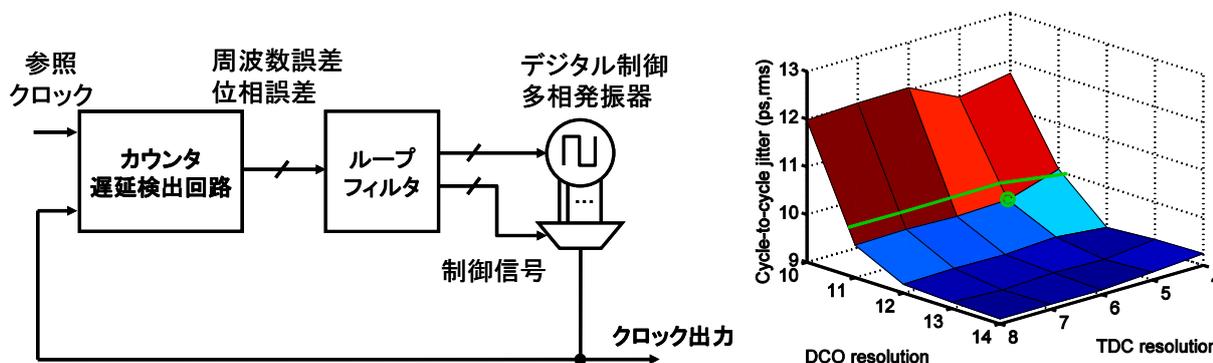
PLL、AFE のいずれも上述のとおり、電源電圧およびテクノロジーのスケーリングに適したデジタルリッチな方式を考案する。0.5V 動作の障壁となるデバイスばらつきの問題等に対して、キャリブレーション技術を積極的に取り入れることで、安定に動作する量産可能な技術の確立を目指す。

### 2.3.1.3 開発成果

#### 2.3.1.3.1 0.5V 動作 PLL

##### 2.3.1.3.1.1 システム検討

完全デジタル PLL のシステム設計においては、ループの安定性、高速応答性能、低ジッタ特性を満たすために、システムシミュレーションによる詳細な検討が必要である。通常的时间領域のシミュレーションでは非常に計算時間がかかるため、MATLAB 上で時間領域、周波数領域双方での計算を行うシステムモデルおよびプログラムを開発して、短時間での高精度なジッタ性能、応答速度等のシミュレーションを可能とした。具体的には、PLL 構成要素回路である発振器の位相雑音と周波数ステップおよび遅延検出回路の分解能が、PLL システムのジッタ性能にどのような影響として現れるかをシミュレーションで検討した。また、ロック時間短縮のための手法を取り入れ、その効果を確認した。目標電力のうち半分にあたる  $0.5 \mu\text{W}/\text{MHz}$  を DCO に分配するという前提でフリーラン位相ノイズを想定した場合、限界値として 1%以下のジッタ性能および数 10 クロックのロック時間を達成できることをシステムシミュレーションで確認した。ジッタ要求性能を 3%とした場合、DCO の消費電力をさらに半減できることが分かった。



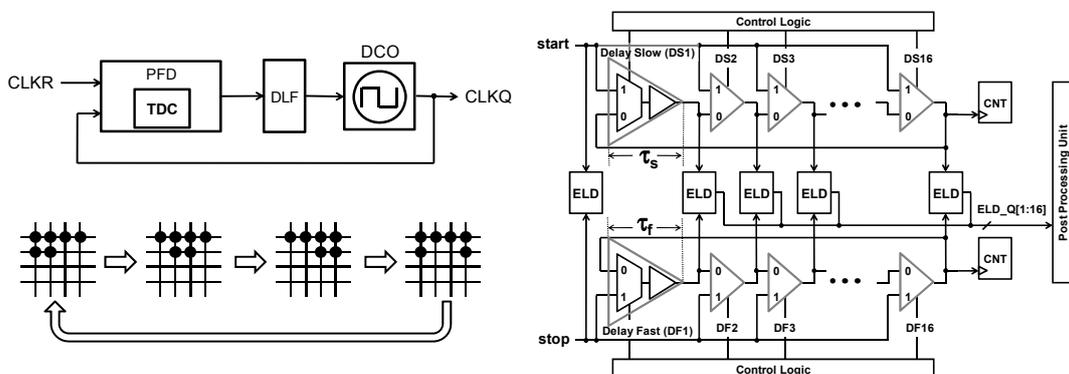
図Ⅲ.2.3.1-2 AD-PLL ブロック図 (左) システムシミュレーションによるジッタ特性 (右)

上記システムシミュレーションの結果から PLL を構築する要素回路の仕様の策定を行なった。策定した初期仕様に基づき、要素回路の中でも特に重要となるデジタル制御発振器(DCO)、遅延検出器(TDC)を設計した。要素回路の消費電力の配分を決定し、同時に多相発振器の周波数可変レンジ(10MHz~100MHz)および必要となる位相雑音特性を達成できることを回路シミュレーションで確認した。さらに、動作レベルと回路レベルの混載シミュレーション環境を構築して、システムレベルシミュレーションと同等の性能がトランジスタレベルでも実現できることを確認した。当システム検討に基づいて具体的に決定した PLL のブロック図および要素回路の仕様は、2.3.1.3.1.3 節で説明する。

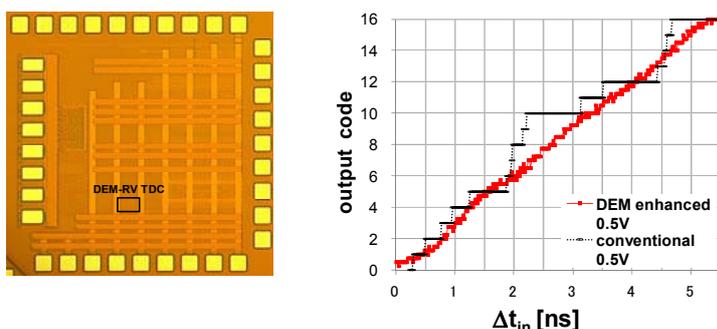
### 2.3.1.3.1.2 低電力時間デジタル変換回路(TDC)

要素ブロックとして重要となる回路は、時間デジタル変換器(TDC)とデジタル制御発振器(DCO)である。とくに、TDC は PLL のみならず様々な用途に適用できる回路ブロックであり、その低電力化および高性能化に注目が集まっている。今回、TDC の電力削減、精度向上のための技術を考案した。

図III.2.3.1-3 はダイナミックエレメントマッチング(DEM)を用いることでバラツキの影響を抑え、分解能を改善することを目指した TDC である。TDC は遅延素子とフリップフロップから構成され、遅延素子の遅延量の精度が TDC の精度を決定する。単純なインバータを用いた遅延素子では、極低電圧で動作させると閾値バラツキ等の影響で遅延が素子ごとに大きく異なる。バラツキを削減するため遅延素子を構成するトランジスタのサイズを大きくすると、回路規模および消費電力の増大につながる。そこで、今回、遅延の測定毎に使用する遅延素子を切り替え、出力を平均化することでバラツキの影響を抑える手法を提案した。外部からの信号をどの段の遅延素子から入力するかをマルチプレクサで切り替えることで使用する遅延素子を切り替える。図III.2.3.1-4 は試作したチップの写真および測定結果である。提案手法により分解能が 1bit 以上向上することを確認した。0.5V の電源電圧で 0.25uW/MHz で動作した。

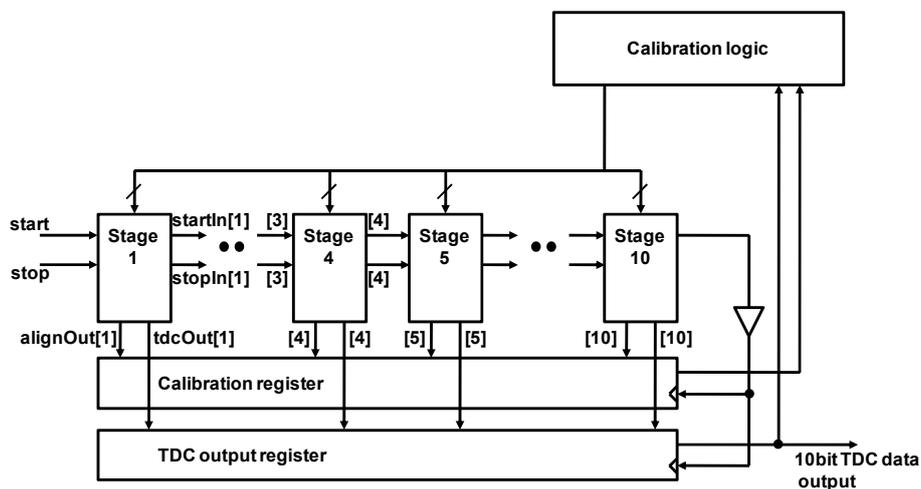


図III.2.3.1-3 ダイナミックエレメントマッチング(DEM)手法によりバラツキ耐性を持たせた TDC

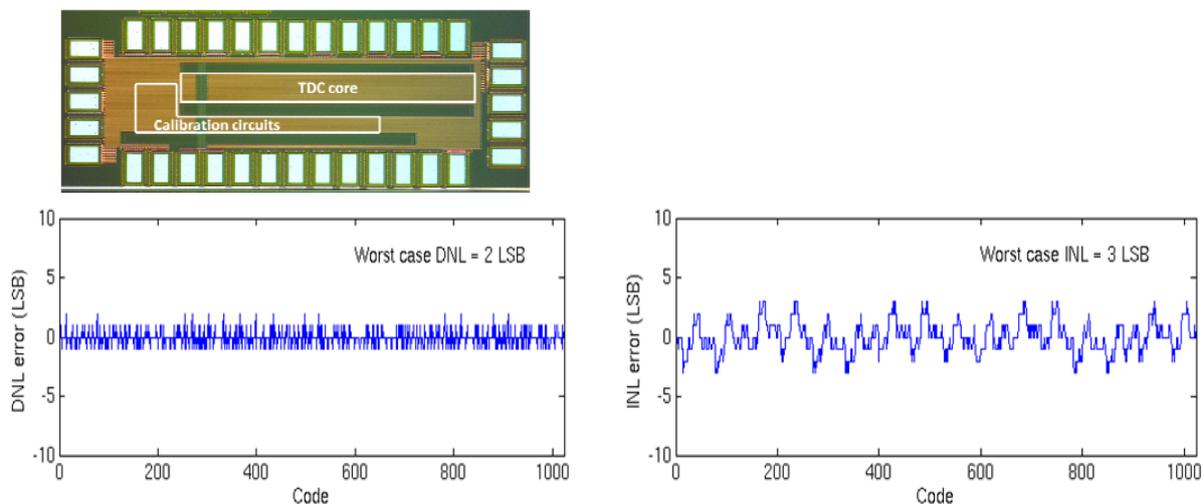


図III.2.3.1-4 試作したチップ写真(左)と DEM 手法による分解能改善の実測結果

TDC の分解能を上げると、通常的手法では遅延素子およびフリップフロップの数がビット数に対して 2 のべき乗で増加し膨大になる。そこで、高分解能用途に向けて、分解能（ビット数）と構成要素の回路がリニアに増える分解能スケラブルな TDC のアーキテクチャを提案した(図Ⅲ.2.3.1-5)。(この内容は JSSC2012 に掲載)。逐次比較型の ADC と同様にステージごとに時間を 1/2 ずつ分割して測定対象信号と基準信号のどちらが進んでいるかを検出して、次段の遅延量を選択して 1bit ずつ分解能を増加させる。ADC の場合、基準電圧を上げ下げすることは容易であるが、TDC の場合、基準信号が遅れていたからといって、次の段で時間を巻き戻して基準信号を早めることはできない。そこで、基準信号が遅れていた場合は、測定対象の信号に遅延を持たせることで、相対的に基準信号を進めることと同じ効果を持たせた。本提案アーキテクチャを用いると、ステージを一つ増やすと 1bit 分解能が改善する。従って、分解能スケラブルなアーキテクチャと言える。ただし、前述の TDC と同様に各ステージの遅延バラツキが精度の上限を決定する。今回は、フォアグラウンドで遅延バラツキを補正する仕組みを搭載した。外部から周期信号を入力してその信号から  $2^n$  周期の遅延となるように初段ステージから順次遅延量の補正を行う。



図Ⅲ.2.3.1-5 分解能スケラブルな疑似パイプライン型 TDC のブロック図



図Ⅲ.2.3.1-6 チップ写真（上）および DNL（下左）と INL（下右）のキャリブレーション後の測定結果

表Ⅲ.2.3.1-3 性能比較

Reference	This work	JSSC2009	JSSC2006	Nucl.2004
方式	pseudo-pipeline	successive approximation	counter and delay lines	delay lines
テクノロジー (nm)	65	350	350	350
周波数 (MHz)	100	100	5	160
時間分解能 (ps)	9.77	1.22	12.2	24
RMSジッター (LSB)	0.51	2.62	0.66	N/A
変換時間 (ns)	< 13	80	N/A	N/A
消費電力 (mW)	8	33	40	50
回路面積 (mm <sup>2</sup> )	0.11	1.2	0.98	0.6

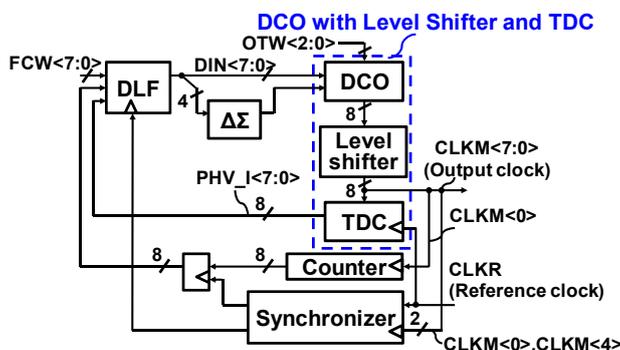
図Ⅲ.2.3.1-6に10bit構成で試作したチップの写真と測定結果を示す。10bit出力の場合に、キャリブレーション前はDNLが42LSB、INLが156LSBであったものが、キャリブレーションによりDNLは2LSB、INLは3LSBと大幅に改善した。これは、実効分解能で5.7bitもの改善に相当する。表Ⅲ.2.3.1-3に得られた性能と同程度の分解能を有する報告例との比較を示す。分解能スケーラブルなアーキテクチャとしたことで、従来例に対して消費電力が1/4程度、面積が1/5程度に削減できた。

2.3.1.2.1 課題(1)に対応して、TDCに要求される消費電力バジェットである0.3uW/MHzを達成できることが確認された。課題(2)に対応して、ばらつきに対してはDEMで1bit以上の分解能改善を達成した。さらに、TDCの適用範囲を広げる技術として分解能スケーラブルなTDCを考案し、キャリブレーションで有効分解能を5.7bit改善した。

### 2.3.1.3.1.3 ワンチップ オールデジタル PLL (この内容は A-SSCC2012 で発表)

#### (1) 全体ブロック

図Ⅲ.2.3.1-7に2.3.1.3.1.1節で記載したシステム検討結果を基に設計した0.5V動作AD-PLLのブロック図を示す。デジタルループフィルタ(DLF)、Time-to-Digital Converter(TDC)、Digitally Controlled Oscillator(DCO)、同期クロック生成回路、フィードバッククロックのカウンタ、Sigma-delta modulatorから構成される。DLFの出力ビット幅は12ビットで、上位8ビットがDCOに下位4ビットがSigma-delta modulatorにつながっている。Sigma-delta modulatorはDCOからの4分周クロックでDLFからの入力4ビット信号を時分割で1ビット化し離散的に周波数を変調する働きを持ち、これによりDCOの周波数分解能は等価的に12ビットとなる。バラツキの大きな極低電圧動作においてもDCOに要求される周波数分解能を等価的に緩和できる。設計したAD-PLLはDCOの多相クロックでTDCを動かす構成であり、DCOとレベルシフタ回路とTDCが一体となっている。



図Ⅲ.2.3.1-7 AD-PLL ブロック図

## (2) 構成ブロックの回路

AD-PLL の DCO には、メタル間容量や MOS 容量をデジタル的に変えてディレイセルの負荷を変化させ周波数を制御する方式、ワイヤード接続したディレイセルを用いて駆動数と駆動能力をデジタル的に変えて周波数を制御する方式がある。いずれも発振器のディレイセル負荷を制御して DCO を実現するため、消費電力が大きくなる。今回は電流セル DAC と Current Controlled Oscillator (CCO) を組み合わせた方式にした。

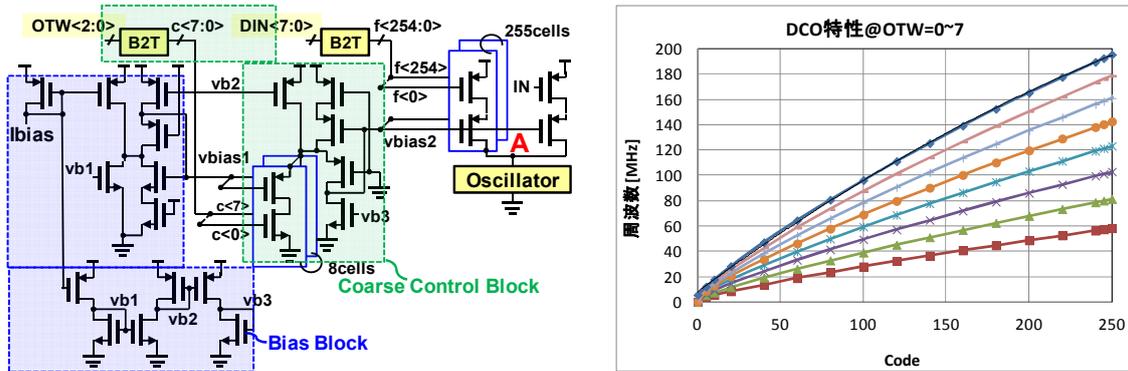


図 III.2.3.1-8 デジタル制御発振器 (DCO) の構成 (左) と、特性のシミュレーション結果 (右)

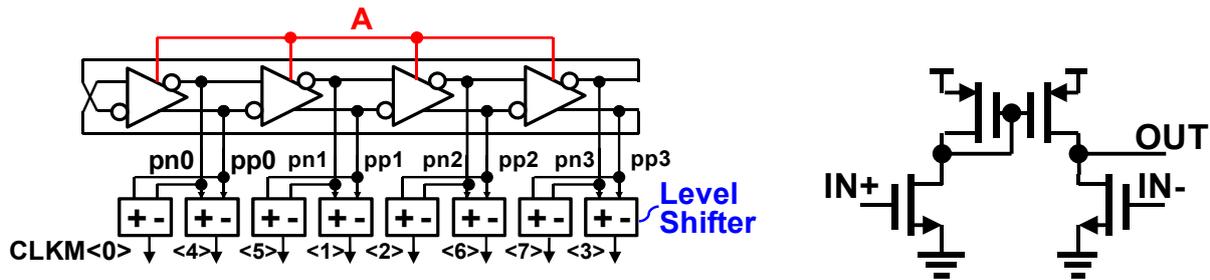
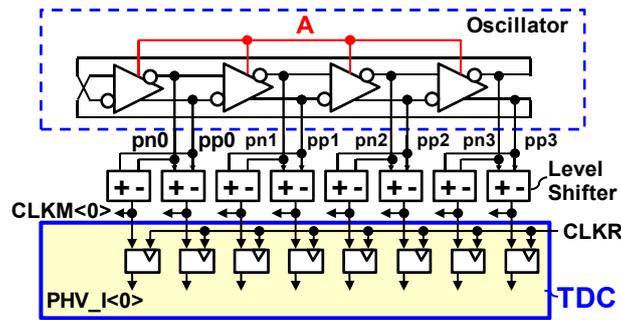
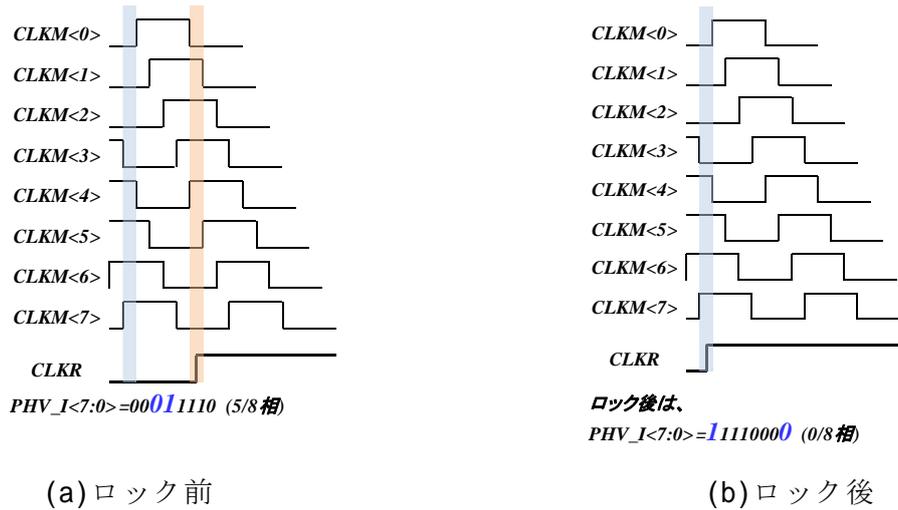


図 III.2.3.1-9 リングオシレータ (左) とレベルシフタ回路 (右) のブロック図

図 III.2.3.1-8 に設計した DCO の回路図およびシミュレーション結果を示す。リングオシレータは差動のディレイセル 4 段から成り、8 相クロックが得られる回路構成とした。各ディレイセルはインバータ 4 つで構成されるデジタルライクな回路となっているため、リングオシレータとしてもロジック回路同等の低電圧動作が期待できる。今回用いた DCO の回路構成ではリングオシレータと縦接続で PMOS 電流源トランジスタと PMOS スイッチトランジスタがあるため、リングオシレータの出力クロック (pn0、pp0、…、pp3) の振幅は電流源トランジスタのドレインノード (図 III.2.3.1-8 および図 III.2.3.1-9 の A ノード) の電圧  $V_A$  (0.25~0.3V) までしか確保できない。電源電圧 0.5 V 下で動作している場合、クロックの振幅が低下すると後段の TDC で位相誤差を判定するときに振幅の最大電圧が閾値電圧付近のため判定時間の増加や、バラツキが大きな場合は論理閾値を下回り信号が伝わらなくなる恐れがある。このためリングオシレータの後段にレベルシフタ回路を配置し、多相クロックの振幅を電源電圧の 0.5V まで増幅する構成にした (図 III.2.3.1-9 (右))。位相が 180 度ずれた 2 つの DCO クロックを入力とする、低振幅の入力に対応できて高速かつ高スルーレートで動作する回路構成にした。



図Ⅲ.2.3.1-10 TDC のブロック図



図Ⅲ.2.3.1-11 TDC のタイミングチャート

図Ⅲ.2.3.1-10 に基準クロックとフィードバッククロックの位相誤差を判定する TDC を示す。TDC では基準クロックとフィードバッククロックの位相誤差を DCO 発振クロックの 0 周期～1 周期までの範囲で判定する。設計した TDC はフリップフロップ回路を 8 つ使い、クロック入力基準クロック CLKR でデータ入力がレベルシフタ回路を通った多相クロック CLKM<0>～CLKM<7>の構成である。この TDC の動作は、基準クロック CLKR の立ち上がりエッジのタイミングで、CLKM<0>～CLKM<7>それぞれの Low、High レベルを保持する。保持した PHV\_I<0>～PHV\_I<7>のデジタル値が 0 から 1 に変わる境目をもとにして、基準クロック CLKR の立ち上がりエッジと同期している多相クロックの番号を判定する。図Ⅲ.2.3.1-11 に TDC のタイミングチャートを示す。AD-PLL がロックする前は図Ⅲ.2.3.1-11(a) のように、例えば 6 番目の多相クロック CLKM<5>と同期した場合、PHV\_I<7:0>の値は 00011110 となる。PLL では 0 相クロックをフィードバッククロックとして扱うため、図Ⅲ.2.3.1-11(a) の場合には基準クロックとフィードバッククロックの位相差が DCO クロック周期の 5/8 と判定される。位相差を判定し DCO 発振周波数へのフィードバック制御を基準クロック毎にさせることで、PLL はロックして図Ⅲ.2.3.1-11 (b) の状態になる。

今回設計した TDC は DCO 多相クロックを用いて位相誤差を算出するため、時間分解能が DCO 発振周期の 1/8、つまり 3 ビットとなる。TDC の時間分解能を上げればジッタ特性は良くなるが、追加の回路素子が増えて面積と消費電力が増加するトレードオフの関係にある。今回採用した多相発振器を用いた TDC は異なる発振周波数においても常に 1/8 周期の遅延が得られるという利点がある。通常の TDC のように検出遅延量を発振周期で規格化する必要がなく、低電力動作に向いている。2.3.1.

3.1.1 節で述べたシステム検討の結果、ターゲット Cycle-to-cycle ジッタスペック 3%に対して TDC 分解能が 3 ビットあれば十分な事が分かったので本方式を採用することとした。

AD-PLL では TDC で 1 周期の分数部分の誤差を検出し、カウンタ回路で 1 周期以上の位相誤差を判定する。位相誤差の演算は DLF にて基準クロック同期で行う。図 III.2.3.1-12 は設計した AD-PLL のブロック図で、DLF 入力信号のクロックドメインを色分けして示してある。TDC の出力信号 PHV\_I<7:0> は CLKR ドメインであり、FCW<7:0> も普段は固定値で使うが統合 B チップ協調動作の使い方を考えると CLKR ドメインである。これら 2 つの信号に対して整数の位相誤差情報に相当するカウンタ出力信号は DCO クロックドメインなので、CLKR クロックドメインへの同期化が必須である。

今回設計した AD-PLL のように電源電圧 0.5V と閾値電圧よりわずかに高い電圧で動作させる場合には、電源電圧の変動によってデジタル回路の遅延時間やフリップフロップ回路のセットアップ時間とホールド時間が大きく変動する。そこで、遅延の変動に対処するために、また AD-PLL が目標とする動作周波数の下限 10MHz と上限 100MHz の間には 10 倍の開きがあるため逡倍設定値よって Synchronizer ブロックで同期クロックのレイテンシを切り替えられるようにした。さらに、消費電力を減らすために、同期クロックのレイテンシを小さく設定して問題ない時には Synchronizer 内部で、クロックデーティングして後段のフリップフロップ回路が動作しないようにした。

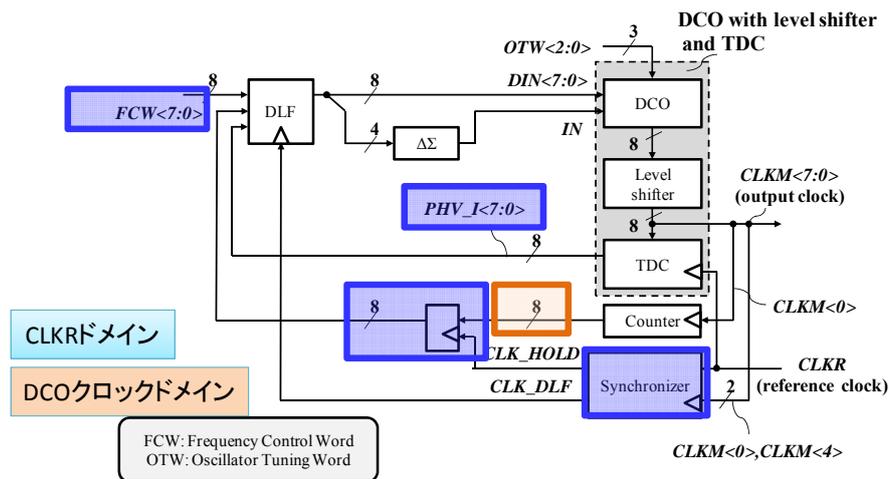


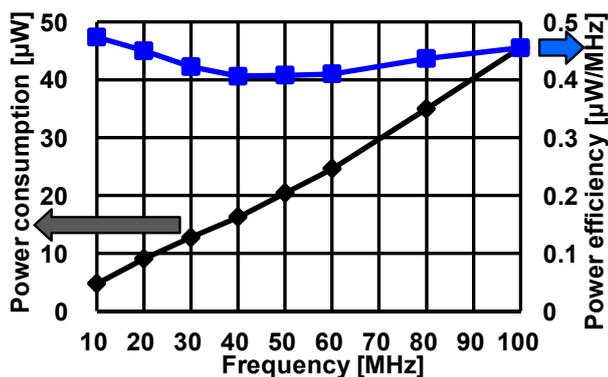
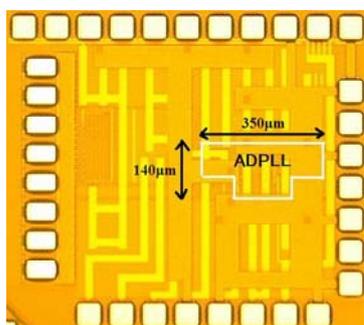
図 III.2.3.1-12 AD-PLL のクロックドメイン

### (3) 実測結果

図 III.2.3.1-13 に 40nm CMOS プロセスで試作した AD-PLL のチップ写真を示す。AD-PLL のレイアウトサイズは  $350\ \mu\text{m} \times 140\ \mu\text{m}$  でコア面積は  $0.037\text{mm}^2$  である。また DCO の面積は  $0.028\text{mm}^2$  である。図 2.3.1-14 に AD-PLL の消費電力と電力効率の測定結果を示す。電源電圧 0.5V で入力クロック周波数が 1MHz のとき、10MHz 発振時の消費電力は  $4.735\ \mu\text{W}$  で効率  $0.47\ \mu\text{W}/\text{MHz}$ 、100MHz 発振時は  $45.516\ \mu\text{W}$  で効率  $0.46\ \mu\text{W}/\text{MHz}$  の結果が得られた。10MHz~100MHz にわたってパワースケーラブルな特性が得られており、目標性能に対してさらに半減することができ世界最小レベルの消費電力を達成した。図 III.2.3.1-15 に 100MHz 動作時の AD-PLL 出力クロック周期のタイムトレンドを測定した結果を示す。図 III.2.3.1-16 に cycle-to-cycle ジッタの測定結果を示す。Cycle-to-cycle ジッタは 100MH

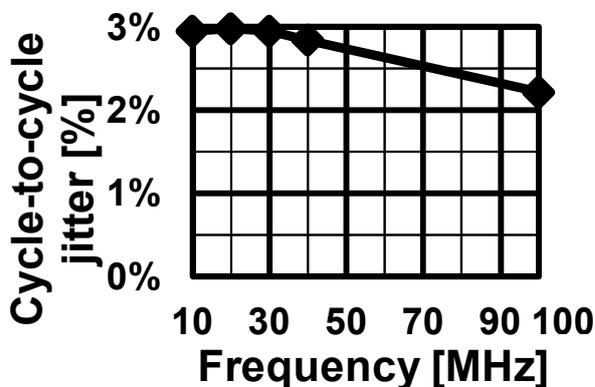
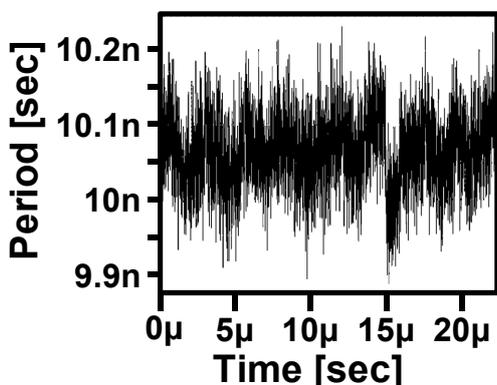
z 動作時に 0.221nsec(周期の 2.21%)であり、動作範囲 10~100MHz のすべてで 3%以下を達成した。図Ⅲ.2.3.1-17 は AD-PLL のスタンバイを解除してから 20MHz に周波数ロックするまでの出力周波数のタイムトレンドを測定した結果である。18  $\mu$  sec の時点でスタンバイを解除してから 60  $\mu$  sec の時点でロックしており、ロックまでに要した時間は 42  $\mu$  sec、入力クロック 1MHz の 42cycle 相当であった。図Ⅲ.2.3.1-18 に動作範囲 10MHz~100MHz におけるロックアップ時間の測定結果を示す。グラフ Y 軸は入力クロック 1MHz のサイクル数単位であり、動作周波数 100MHz にロックするときは 48cycle であった。動作範囲 10MHz~100MHz のすべてでロックアップ時間 50cycle 以下を達成した。

表Ⅲ.2.3.1-4 に性能比較表を示す。0.5V の極低電圧で 0.5uW/MHz というトップレベル低電力動作を実現した。



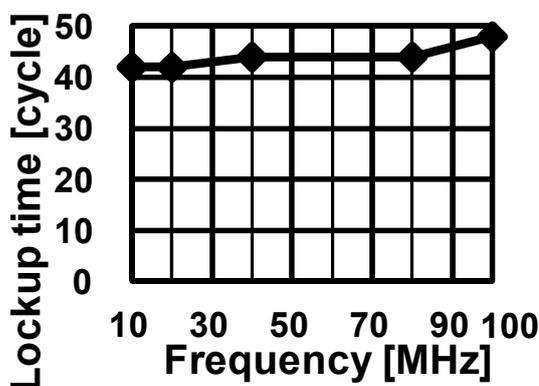
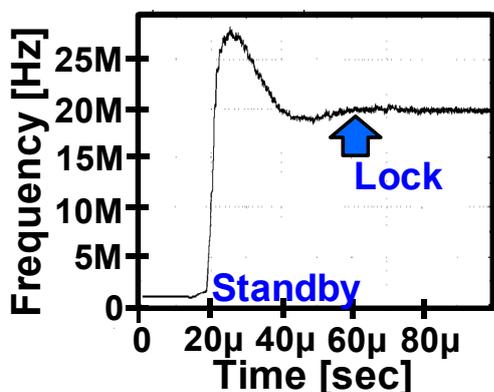
図Ⅲ.2.3.1-13 0.5V 動作 AD-PLL のチップ写真

図Ⅲ.2.3.1-14 AD-PLL 消費電力と電力効率



図Ⅲ.2.3.1-15 出力クロック周期のタイムトレンド

図Ⅲ.2.3.1-16 Cycle-to-cycle ジッタ



図Ⅲ.2.3.1-17 ロックアップ過程の評価結果

図Ⅲ.2.3.1-18 ロックアップ時間

表Ⅲ.2.3.1-4 性能比較表

発表学会	本研究	VLSI2007	ISSCC2009	ISSCC2011	ISSCC2012
研究機関		国立台湾大学	国立台湾大学	Oregon State Univ.	Samsung
テクノロジー(nm)	40	180	65	130	32
VDD(V)	0.5	0.5	1.2	1.0	0.85
消費電力( $\mu$ W/MHz)	0.5	2.4	4.5	2.6	2.0
出力範囲(MHz)	10~100	1900~1940	470~1130	400~3000	700~1800
PLLアーキテクチャ	デジタル	アナログ	アナログ	デジタル	デジタル
発振器方式	Ring	LC	Ring	Ring	Ring
ジッター(%)	3	N.A	0.5	0.8	0.2

### 2.3.1.3.2 0.5V 動作 AFE

本テーマにおける課題は、2.3.1.2.2 で述べた通り、バラツキ対策、速度向上、さらなる電力削減である。

極低電力動作のためには、回路を構成する容量素子を熱雑音限界が許容する極限まで小さくする必要がある。素子サイズ削減は高速動作、回路面積の削減（コスト削減）にもつながる。ただし、その場合素子バラツキが著しく大きくなり精度の確保が困難となる。2.3.1.3.2.1 で提案する手法はキャリブレーションによりバラツキ対策をすることで極小サイズの容量の使用を可能とし、電力を削減できる技術である。2.3.1.3.2.2 では SAR ロジックを幅広い電圧範囲で高速・低電力動作する新規考案の差動フリップフロップを用いて構成することで、ADC の速度向上、電力削減を図っている。2.3.1.3.2.3 では、回路オーバーヘッドなく 2bit/step を実現する方式を考案して、特に極低電圧動作で電力効率を維持したまま従来の速度限界を打破している。2.3.1.3.2.4 では、低速域でのリーク電力を遮断する手法を提案し、リーク電力を 98% カットしている。以下に、各成果の詳細を述べる。

#### 2.3.1.3.2.1 3 値比較器および内蔵 DAC キャリブレーションによる極低電圧・低電力化技術 (この内容は VLSI 回路シンポジウム 2011 で発表)

##### (1) ADC の構成

逐次比較型(SAR)-ADC を用いても 0.5V という従来の半分以下の電圧での動作は非常に難しい。

0.5V 動作時には比較器はサブスレッショルド領域での動作となり速度が格段に遅くなる。特に入力信号差が小さくなると、比較結果が未確定であるメタステーブル状態が長く続く。メタステーブルを避け、精度を改善する手法として 2 つの比較器を用いる手法が提案されているが、複数の比較器を用いるため、面積オーバーヘッドが大きく、また比較器間のオフセットが問題となる。もう一つの極低電圧動作の問題は、トランジスタの電流駆動力低下に伴う DAC のセトリング時間の増大である。動作速度は容量値に反比例し消費電力は容量に比例するため、DAC で用いる容量値を熱雑音で

規定される最低の容量へ近づけたい。また、小さな容量素子を用いることにより、素子サイズも小さく抑えられ面積削減にも寄与する。しかしながら、容量を小さくするとばらつきが増大し、容量間の相対精度を確保するのが困難になる。

これらの課題を解決するために、単一比較器で 3 レベルを判定する手法、および内蔵 DAC の容量ミスマッチをデジタル的に補正する手法を考案して、テストチップにより効果を実証した。図 III . 2. 3. 1-19 にこれらの問題を解決する提案手法を盛り込んだ逐次比較型 ADC の構成を示す。

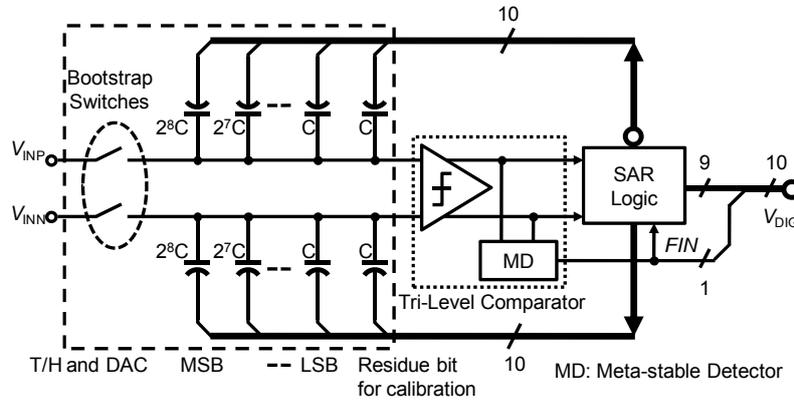


図 III . 2. 3. 1-19 設計した電荷再配分方式逐次比較型 ADC のブロック図

## (2) 3 値比較器

例えば 40nm-CMOS で設計された 1V で動作する 8 bit 分解能 ADC であれば、LSB 電圧は 4mV となり、そのときの比較時間は大体 100psec である。しかしながら、同じ条件で電源電圧が 0.5V に下がると、LSB レベルの信号の比較時間は大幅に増加して 100 nsec 程度かかるようになる。このようなメタステーブル状態が逐次比較周期より長くなると誤動作につながる。これを回避するために比較時間を増大させると、ADC 全体の動作が遅くなる。

提案する 3 値比較器(図 III . 2. 3. 1-20(b))ではメタステーブル状態を積極的に用いて、提案する 3 値サーチアルゴリズム(図 III . 2. 3. 1-20(d))と組み合わせることによって、高速、低消費電力、小面積の比較器を実現している。判定終了にかかった時間を測定することで入力信号の絶対値を判定することができ、単一比較器で 3 レベルの検出が可能となる。さらに、バイナリサーチアルゴリズムに対して、内蔵 DAC の分解能が同一の場合 1bit 相当の分解能の向上が期待される。逆に言えば、ADC に同一の分解能を要求する場合、内蔵 DAC の分解能は 1bit 削減できるため DAC 容量の削減、従って、消費電力の削減と動作速度の向上につながる。考案した 3 値比較器の回路図を図 III . 2. 3. 1-21 に示す。極めてシンプルな構成で実現できる。遅延量を補正することで中間レベルの入力レンジを設定できる。

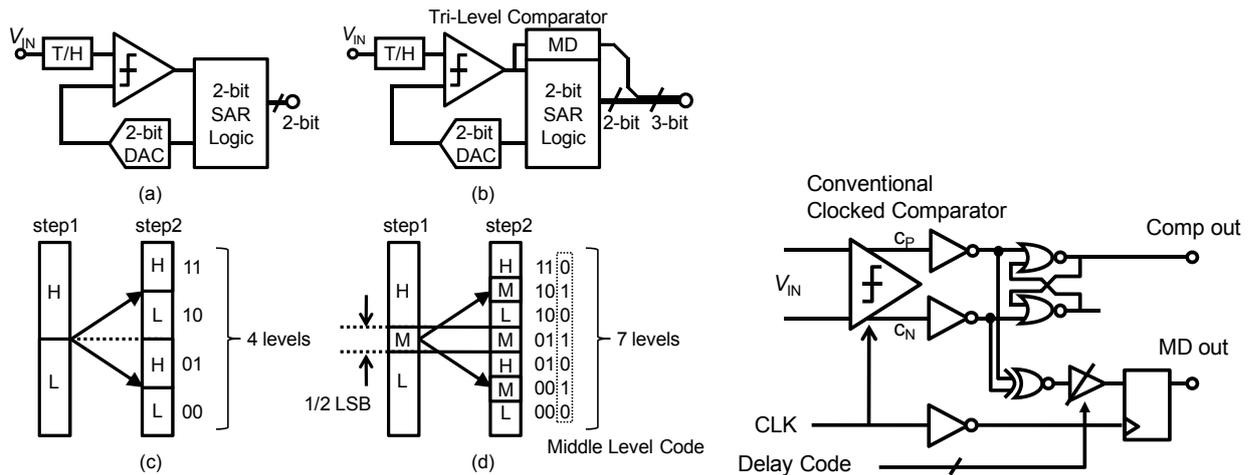


図 III.2.3.1-20 (a)従来の SAR-ADC と (c)バイナリサーチ、 図 III.2.3.1-21 3 値比較器の構成 および提案する (b)3 値比較器と (d)3 値サーチ

### (3) 再構成可能な DAC とそのデジタルキャリブレーション

消費電力低減と面積削減のため、 $0.5fF$  の微小単位容量素子使用に挑戦した。この値は現状のデバイスミスマッチにより規定される値より遥かに小さくファウンダリから提供されている容量素子の  $1/10$  以下のサイズである。図 III.2.3.1-22 のように補正用の構成を付け加えることで小さな容量値と高い精度が両立できる DAC を提案した。4 層メタル(M4)と 5 層メタル(M5)の 2 つのメタル層のみを用いて作製され、特別な製造プロセスは必要としない。単位容量のサイズは  $2\mu m \times 0.3\mu m$  である。サブ容量の接続がデジタルキャリブレーションによって立ち上げ時に選択される。サブキャパシタは常にどこかの bit に接続するようにしており、無駄なく広い補正範囲を実現している。

サブキャパシタをどの bit に接続するのかが決めるための手順は次の通りである。MSB 容量の下部電極を VDD にそれ以外の容量の下部電極を GND に接続して、外部から  $VDD/2$  を印加して、容量に保持する。サンプリングスイッチをオフとしたあと、MSB の下部電極を GND にそれ以外を VDD に接続する。もし、DAC にミスマッチがなければ、これらの 2 つの容量値は理想的には同じ値を示し、DAC の上部電極の電位は変化しないが、僅かでもミスマッチがあった場合は DAC の上部電極電位は変化する。この電位変化を ADC 内部に搭載している比較器を用いることによって検出する。得られた極性情報を元に、サブキャパシタの接続を変化させて、また同様の比較動作をキャパシタが入力コードをスイッチする前後で同じになるまで行う。MSB の補正動作が終わったら次の bit の補正動作に移り、この補正動作を LSB キャパシタの補正が終了するまで順次行う。このキャリブレーション動作を通して、必要な入力信号は外部から与えるラフな DC 信号( $VDD/2$ )のみであり、それ以外の参照電圧は必要ない (実際の回路構成は差動動作なので差動信号としては  $0V$  を検出すれば良い)。

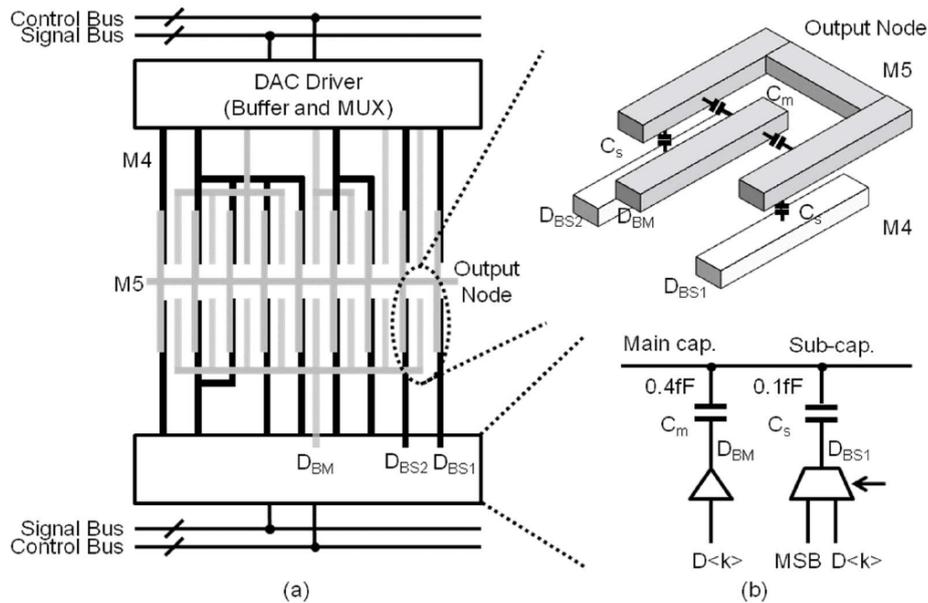


図 III.2.3.1-22 配線間容量を用いた  $0.5\text{fF}$  の微小ユニット容量で構成された再構成可能 DAC  
 (a) 全体図、(b) 容量部分の拡大図および接続回路図

#### (4) 実測結果

図 III.2.3.1-23 は試作した ADC のチップ写真であり、 $40\text{nm}$ -CMOS プロセスを使って設計試作を行っている。コア部分の消費面積は  $160\mu\text{m} \times 70\mu\text{m}$  であり、非常に小さな面積で実現している。また、試作した逐次比較型 ADC は単一の  $0.5\text{V}$  電源電圧で動作している。図 III.2.3.1-24 は、微分非直線性 (Differential nonlinearity、DNL) ならびに積分非直線性 (Integral nonlinearity、INL) の測定結果である。補正動作を行う前の DNL と INL はそれぞれ  $+24.5/-1$  LSB と  $+15.2/-13.7$  LSB であった。DAC のデジタルキャリブレーションおよび 3 値比較動作により、それぞれ  $+1.4/-0.8$  LSB と  $+0.9/-1.1$  LSB まで改善された。図 III.2.3.1-25 は測定した ADC の FFT 結果、およびサンプリング周波数とダイナミックレンジの関係である。3 値比較器を使用した時の SNDR、SFDR はそれぞれ  $46.8$  dB と  $58.2$  dB であり、通常のバイナリサーチを用いたときと比べて SNDR は  $3.4\text{dB}$  改善している。

達成分解能は  $7.5\text{bit}$ 、動作周波数は  $1.1\text{MS/s}$ 、消費電力は  $1.2\mu\text{W}$  であり、 $0.5\text{V}$  動作の ADC では試作時点で世界最高エネルギー効率を達成した。

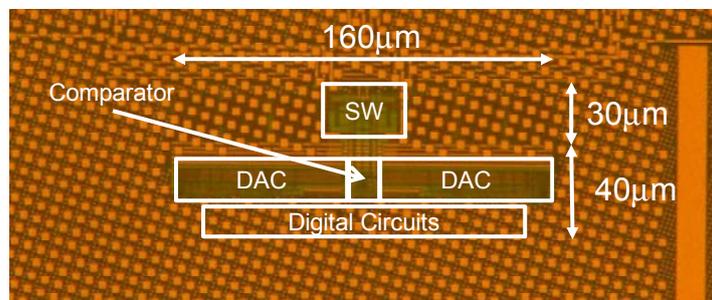


図 III.2.3.1-23 試作した SAR-ADC のチップ写真

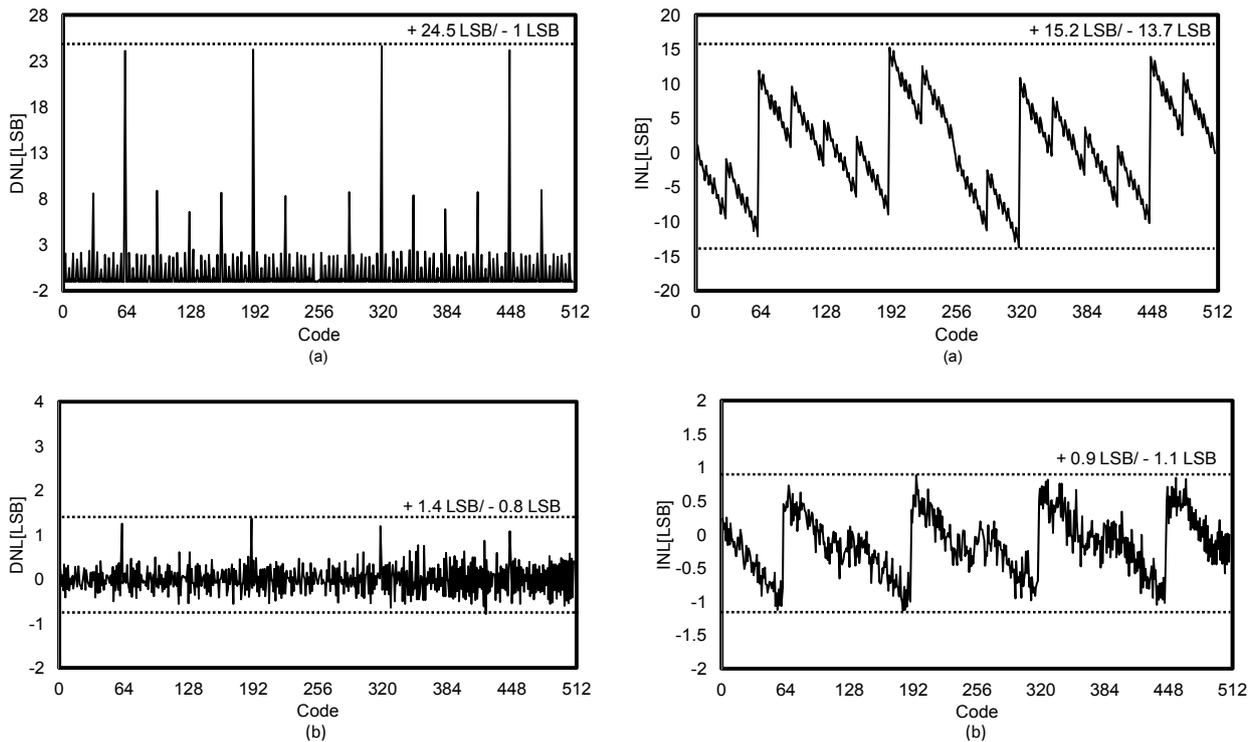


図 III.2.3.1-24 DNL と INL の測定結果 (デジタルキャリブレーション前 (a) と後 (b) の結果)

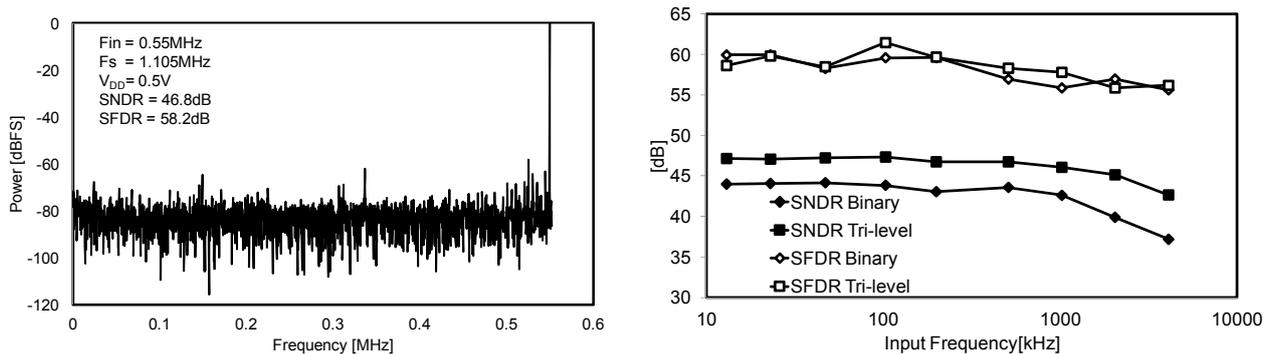
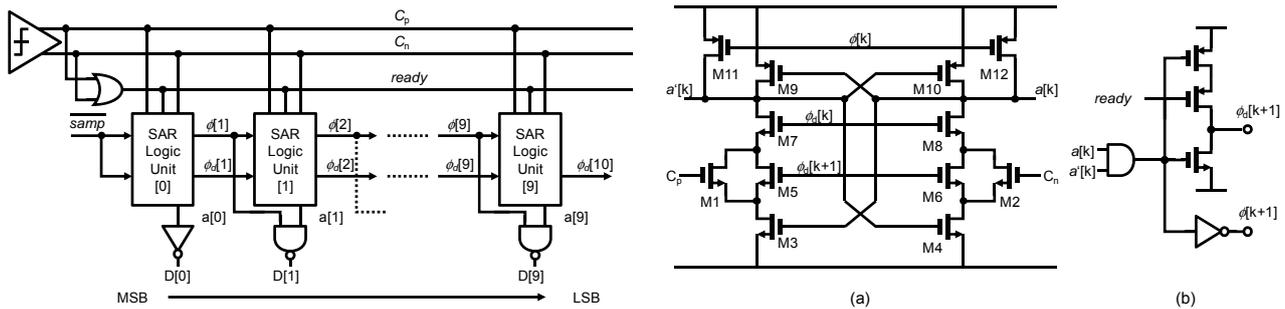


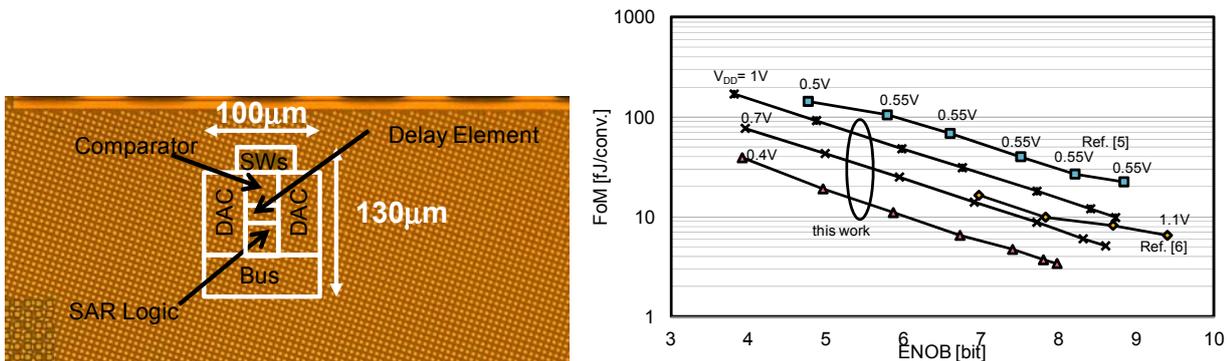
図 III.2.3.1-25 FFT の結果(左)とダイナミックレンジと周波数の関係 (右)

### 2.3.1.3.2.2 差動フリップフロップを用いた高速 SAR ロジック (この内容は IEICE2012 に掲載)

前節では、主にデジタルキャリブレーションによる DAC の低容量化と 3 値比較器の導入による極低電圧・低電力動作の実現手法に関して説明をした。今回目指した 8 ビット程度の SAR-ADC の場合、逐次比較ロジック (SAR) の ADC 全体に占める割合も無視できないものとなる。また、ロジック回路はアナログに比べて低電圧化が容易とはいえ、0.5V まで低下すると動作速度の低下が著しく、場合によっては安定動作が出来なくなる。



図Ⅲ.2.3.1-26 SAR ロジック全体構成 (左) と差動フリップフロップユニット回路図 (右(a)と(b))



図Ⅲ.2.3.1-27 試作チップ写真(左)と実測で得られた特性 (右)

表Ⅲ.2.3.1-5 性能比較表

	[1]	[2]	This work [3]	
Process	90nm	90nm	40nm	
VDD	1V	1V	0.4V	0.5V
Fs	1MHz	10.24MHz	160kHz	1.0MHz
ENOB	8.7-bit	7.7-bit	8.0-bit	8.1-bit
Power	1.9μW	26.3μW	0.14μW	1.1μW
Area	0.0259mm <sup>2</sup>	0.0205mm <sup>2</sup>	0.0125mm <sup>2</sup>	
FoM	4.4fJ/conv.	12fJ/conv.	3.4fJ/conv.	3.8fJ/conv.

[1] M. V. Elzaker, JSSCC vol.45, No.5, May 2010 pp.1007-1015

[2] Pieter Harpe, ESCCIRC2010, pp.214-217

[3] A. Shikata, H. Ishikuro. et.al., IEICE-C Feb. 2013

そこで、極低電圧で動作する SAR ロジックを考案して、ADC に組み込みさらなる低電力化を図った。提案した SAR ロジックの構成を図Ⅲ.2.3.1-26 左図に示す。逐次比較に必要なタイミング信号は ADC 内部で生成する非同期構成であり、低電圧化で特に動作が困難となるフリップフロップの改善として、図Ⅲ.2.3.1-26 右図の差動フリップフロップ回路を提案した。従来例として、高速化、低電力化のためにフリップフロップにダイナミック回路が使用されることがあるが、極低電圧動作時に動作補償をすることが困難であった。今回提案した回路はフリップフロップがデータを取り込んだ後、自らラッチをかけるスタティックな動作を行い、極低電圧においても幅広い周波数レンジで動作することを可能とした。

図Ⅲ.2.3.1-27 に試作したチップ写真と得られた性能を示す。回路は 0.4V まで動作して、最良の性能指標 (FoM) として 3.4fJ/conv.step が得られた。表Ⅲ.2.3.1-5 は性能比較表であり、世界最高の

エネルギー効率を達成している。

本試作チップには、高速 SAR ロジックに加え、2.3.1.3.2.1 に記載した内蔵 DAC のデジタルキャリブレーション技術が搭載されている。本試作チップにより、目標である分解能 4mV を上回る分解能 3.8mV (差動入力振幅が 1V で 8.1bit) を達成し、消費電力も目標が 100  $\mu$ W @100kHz から 1桁以上低電力化に対して、0.11  $\mu$ W@100kHz を実現し、目標を 100%達成した。

### 2.3.1.3.2.3 2bit/step 方式の導入による動作速度改善 (この内容は ESSCIRC2012 で発表)

#### (1) ダイナミック判定閾値調整比較器による 2bit/step の実現

逐次比較型 ADC は構造的にデジタル的な動作をするため低電圧化、低電力化に向いており、さらにパワースケーラブルな特性を出しやすい。しかし、1回のデータ変換をするために分解能分のステップを逐次行う必要があり、フラッシュ型やパイプライン方式に比べると変換速度は遅い。

各逐次比較ステップで 1 ビットずつ変換するのではなく、m ビット変換すると 1bit/step 方式に対して、変換速度を m 倍にすることができ、これまでも、一回のステップで 2bit 変換する方式が提案されているが、面積、電力のオーバーヘッドが大きかった。

提案する 2bit/step 方式では、比較器の判定閾値を各ステップでダイナミックに切り替えることで、比較器を 2 つ、内蔵 DAC を 1 つで実現される。図 III.2.3.1-28 にそのブロック図を示す。比較器が 2 つあるが、1st コンパレータが通常の動作を行い、その結果に基づき 2nd コンパレータの判定閾値をダイナミックに切り替える。8bit のデータを得るために 4 回のサイクルを繰り返す。二つの比較器は順に動作するため比較器の遅延は短縮できないが、DAC のセットリングのための待ち時間はトータルで半減される。極低電圧では DAC のセットリング時間が極めて長くなるため、本提案手法は変換時間短縮に大きな効果がある。

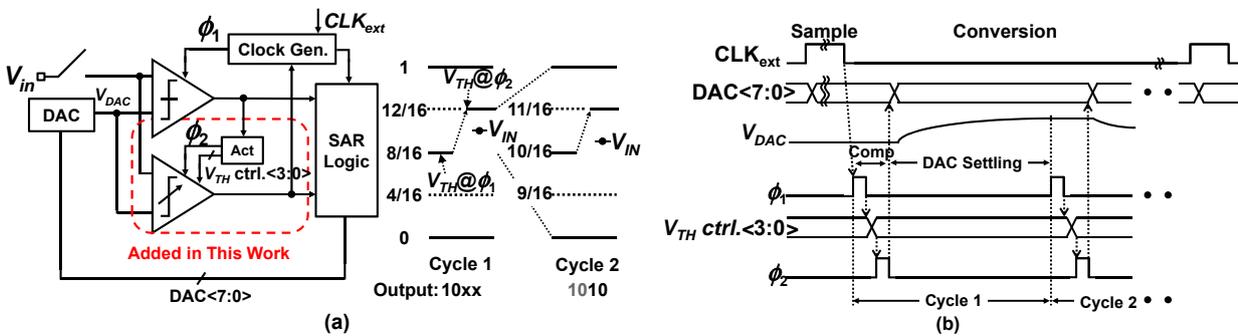


図 III.2.3.1-28 (a) 提案する 2bit/step 方式 (b) タイミングチャート

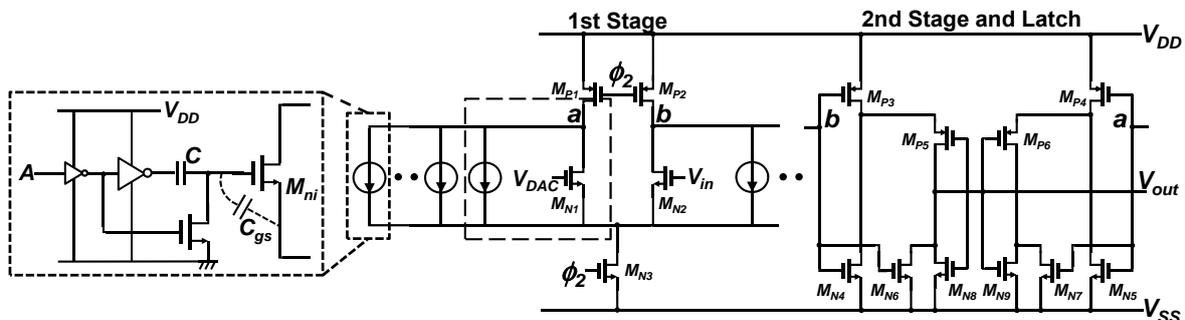


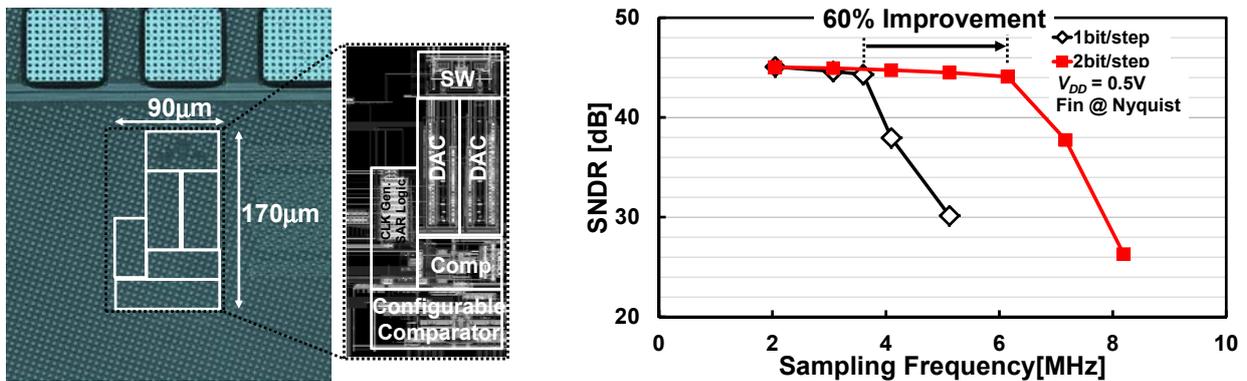
図 III.2.3.1-29 判定閾値可変コンパレータの回路図

2nd コンパレータの判定閾値を切り替える方法として、コンパレータ出力に非対称の容量を接続する方法があるが、動作速度の低下および消費電力の増大につながり、また、今回の用途で必要となる幅広い可変範囲を得ることが非常に難しい。そこで、今回は図Ⅲ.2.3.1-29に示すように入力差動対に並列に可変電流源を配置することで、判定閾値を調整できるようにした。ただし、通常のアナログ回路で使用するような高精度の電流源を使用するには、基準電流源やミラー回路が必要となりオーバーヘッドが大きい。そこで、容量分圧を用いた極めて簡単なバイアス回路を用いて、電流源のゲート電極に印加する方式を用いることとした。PVT バラツキに対する耐性を考慮する必要があるが、プロセスバラツキに関しては、フォアグラウンドキャリブレーションで判定閾値をキャリブレーションすることで対処する。電源電圧変動に対しては、信号入力差動対のコモンモードと電流源のゲート電圧が電源電圧の変動に対して同じように変化するような構成とすることで対応できるような工夫をした。温度変動は時定数が非常に長いので、間欠的にキャリブレーションを行えば対処可能である。

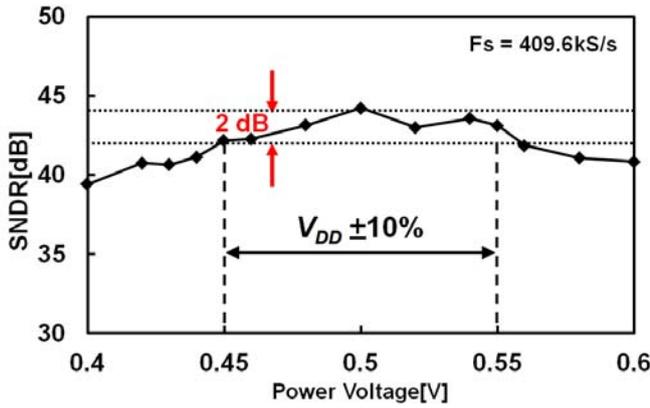
## (2) 実測結果

図Ⅲ.2.3.1-30(左)は試作したチップ写真である。従来の2bit/step回路とは違いDACを1つしか用いないため(図ではN-DACとP-DACである)、90 $\mu\text{m}$  x 170 $\mu\text{m}$ と面積は小さい。

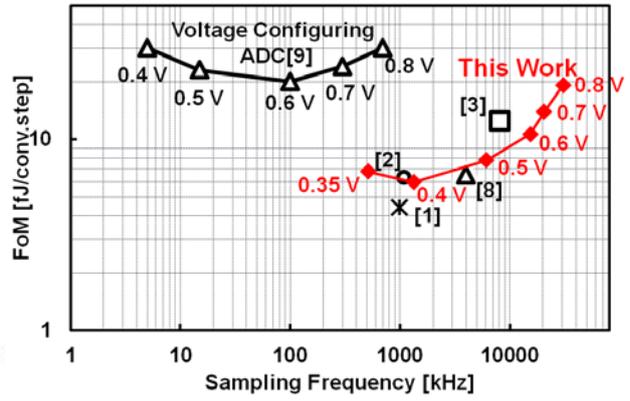
図Ⅲ.2.3.1-30(右)は、1bit/stepモードと2bit/stepモードの動作速度の実測結果である。1bit/stepモードに対して、2bit/stepモードでは60%程度の速度改善効果が得られた。電源電圧変動時のENOBの劣化を図Ⅲ.2.3.1-31(左)に示す。±10%の電源変動においても、精度劣化は2dB以内に抑えられている。試作したチップは図Ⅲ.2.3.1-31(左)に示すように、0.35Vまで動作することを確認した。従来の性能固定の専用設計されたADCと比較して、同等のレベルのエネルギー効率を幅広い周波数、電源電圧範囲で実現している。



図Ⅲ.2.3.1-30 試作チップ写真(左)と動作速度の改善結果(右)



図Ⅲ.2.3.1-31 電源電圧変動耐性(左)

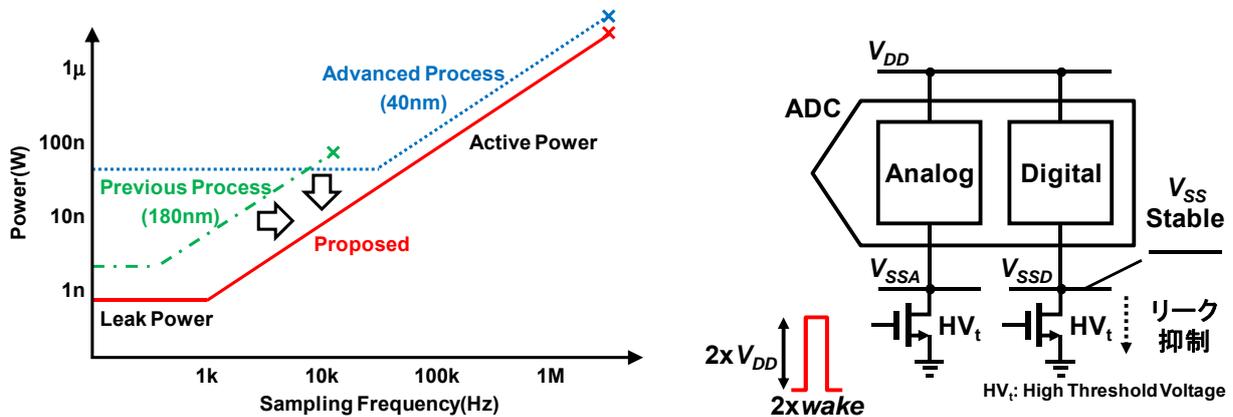


達成性能の比較(右)

### 2.3.1.3.2.4 リーク電力削減のための自己ブーストパワーゲーティング技術

(この内容は A-SSCC2012 で発表)

非同期型 SAR ADC では、1 サイクルの中で①実際に AD 変換をしている (アクティブ状態) ととき、②それを終えて待機しているとき (スタンバイ状態) の 2 つの状態がある。消費電力は 1 サイクルあたりのアクティブ状態の消費エネルギーと変換周波数の積で決まり、パワースケーラブルな特性が得られる。しかし、微細 MOS を使用するとスタンバイ時のリーク電力が無視できなくなり、特に低速時はリーク電力が支配的となり、40nm プロセスにおいては数十 kHz 程度の周波数以下になると消費電力が一定となる(図Ⅲ.2.3.1-32 (左) 青線)。0.18 $\mu\text{m}$  プロセスではリーク電流は小さくなるが、最高速度が制限されてしまう(図Ⅲ.2.3.1-32 (左) 緑線)。最高速度を維持しつつ、低速領域の低消費電力化を実現する、つまりパワースケーラブルな周波数レンジを拡げるには、先端プロセスにおけるリーク電流の問題を解決しなければならない(図Ⅲ.2.3.1-32 (左) 赤線)。



図Ⅲ.2.3.1-32 リーク電流の影響(左)と提案する自己ブーストパワーゲーティング手法(右)

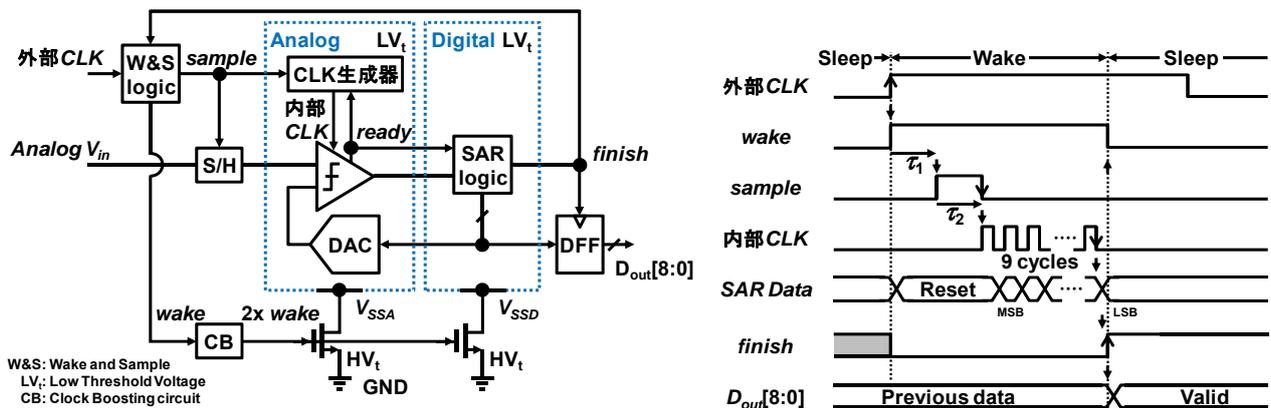
リーク電流を解決する技術として、デジタル回路ではパワーゲーティングが用いられる。これは VSS 線と GND の間に、閾値の高いトランジスタ (High Threshold Voltage; HVt) を挿入して、スタンバイ時にはこのフッタースイッチを OFF とすることでリーク電力を削減するという技術である。しかし、スイッチのオン抵抗により GND 電位が揺れるため、アナログ回路に対して適用することが困難である。特に本研究で目指すような極低電圧の下では、オン抵抗がより大きくなるため精度が劣化しやすくなる。今回、図Ⅲ.2.3.1-32 (右) に示す自己ブーストパワーゲーティングを提案した。ス

イッチを駆動する信号を局所的に昇圧して、極低電圧でもオン抵抗を小さくする。

低速領域においてリーク電流の影響が大きくなるのは、消費電力に関してだけではない。アナログ信号のT/H用のスイッチには on 抵抗を減らすためにクロックブートストラップ技術が用いられるが、トラック時間が長くなると、サンプリングスイッチのゲート電圧が低下してオン抵抗が高くなり精度が劣化する。通常は外部から供給したクロックの High の区間でトラッキングを行うため、低周波でトラッキング時間が長くなり精度劣化につながる。そこで今回は、外部から供給されるクロックの立ち上がりエッジから回路を起動して、ある一定時間のパルスを内部で生成してトラッキングに用いることとした。サンプリング周波数が低くなっても、トラッキング時間が一定に保たれるため上記の問題を回避することが出来る。

全体の構成は図Ⅲ.2.3.1-33 (左) のようになっている。外部からのクロックの立ち上がりで回路が起動し、それ以降の1サイクル中のシーケンスは、回路内部のW&S logicおよびクロック生成器で生成されたタイミングで動作する完全非同期構成となっている。変換動作が完了すると自動的にパワーゲーティングスイッチが Off となり、sleep モードに入る。

青い点線で囲まれた部分は、1回のAD変換につき9回動作を行う部分である。したがってAD変換速度に大きな影響を与えるため、速度を落とさないよう、閾値の小さなトランジスタ (Low Threshold Voltage; LVt) で構成している。それ以外の低速動作部分は、リーク電流を削減するためにフッターを含めて HVt トランジスタで構成している。



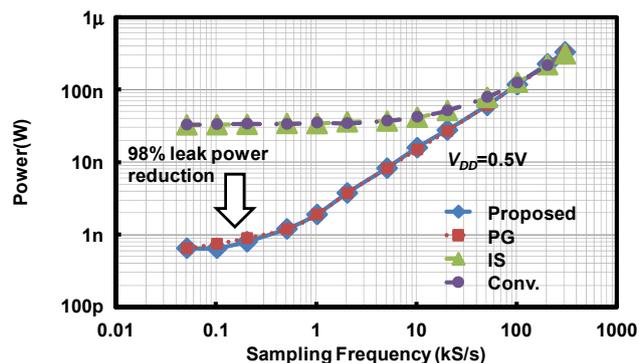
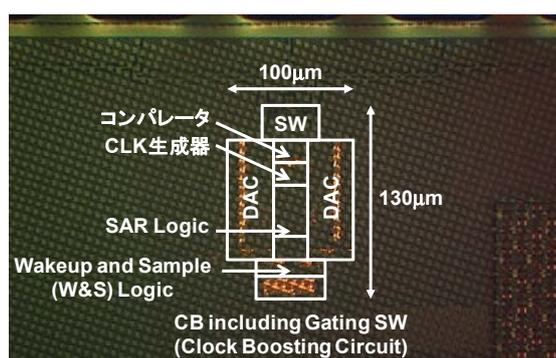
図Ⅲ.2.3.1-33 開発した自己ブーストパワーゲーティング SAR-ADC (左) とタイミングチャート (右)

図Ⅲ.2.3.1-34 (左) に 40nmCMOS プロセスで試作したチップ写真を示す。サイズは 100um x 130um である。

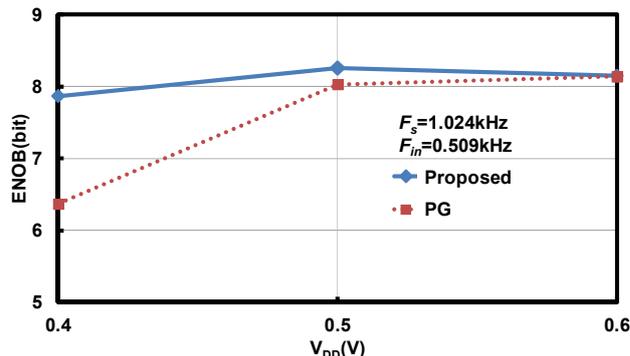
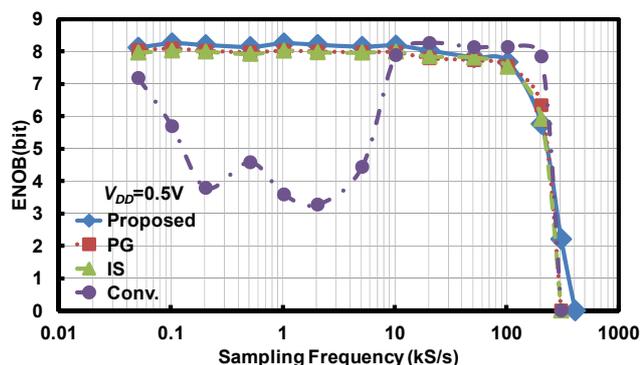
図Ⅲ.2.3.1-34 (右) はサンプリング周波数と消費電力の関係である。搭載した回路は提案手法の効果を比較するために4つのモードで動作させることができる。青線(Proposed)は Boosted Power Gating と内部 sample 信号生成を用いたものであり、今回提案する完全非同期型動作である。赤線(PG)は昇圧を行わない従来の Power Gating を適用し、内部 sample 信号生成を行った場合、緑線(IS)は Power Gating を行わず、内部 sample 信号生成のみを行った場合、紫線(Conv.)は Power Gating 及び内部 sample 信号生成をいずれも行わなかった場合である。提案手法により、低速域で飽和していた 33nW のリーク電力を、650pW まで削減できた (消費電力を約 98%削減)。

図Ⅲ.2.3.1-35 (左) は ENOB とサンプル周波数の関係を示したものである。紫線の従来回路 (外部クロックでトラッキング) では、低周波領域で Bootstrap スイッチの線形性が悪くなり精度が劣化している。提案手法である、内部で短いパルスの sample 信号を生成した場合 (青・赤・緑線)、低周波領域でも高い ENOB を維持することができる。提案した sample 信号の内部生成手法では、ジッタの影響により  $F_s=100\sim 200\text{kHz}$  という高周波領域では ENOB が低くなっているが、この問題に対しては、低周波領域と高周波領域で自動的に両者のモードを切り替えられるようにすれば回避できる。

図Ⅲ.2.3.1-35 (右) は ENOB と  $V_{DD}$  の関係を示したものである。電源電圧を  $0.4\text{V}$  まで下げると、自己ブーストパワーゲーティングの効果が顕著に表れている。



図Ⅲ.2.3.1-34 試作チップ写真と (右) と消費電力の実測結果 (右)



図Ⅲ.2.3.1-35 有効分解能の測定結果と (右) とブーストパワーゲーティングの効果実証 (右)

表Ⅲ.2.3.1-6 に性能比較を示す。試作した回路は  $0.4\text{V}$  という超低電圧の下で動作が可能である。このとき、サンプル周波数  $F_s=0.1\text{kHz}$  において、 $560\text{pW}$  という世界最小電力での動作を実現した。

表Ⅲ.2.3.1-6 性能比較表

	ISSCC2011	CICC2011	ESSCIRC2011 (本グループ)	本方式 (本グループ)	
$V_{DDA} / V_{DD}(V)$	0.4 / 0.4	0.5 / 0.5	0.6 / 0.7	0.4 / 0.4	
サンプル周波数 (kHz)	N/A	1	1	0.1	1
ENOB (bit)	N/A	8.52	7.6	7.9	7.9
消費電力 (nW)	4	2.5	130	0.56	1.8
コア面積 ( $\text{mm}^2$ )	0.212	0.05	0.019	0.013	
CMOS プロセス (nm)	65	180	40	40	

#### 2.3.1.4 開発成果まとめ

##### (1) 課題と開発内容要約

###### (A) 0.5V 動作 PLL

100kHz～数 100MHz の範囲の広い出力周波数レンジ、クロック周期の 3%以下の低ジッタ特性、および基準信号に対して数 10 クロック以内の高速ロック特性を実現、さらに、消費電力は 10  $\mu$ W 以下 @ 10MHz、100  $\mu$ W 以下 @ 100MHz という目標を達成する上での課題は、要素ブロックの性能限界を見極め、消費電力を極限まで絞ること、極低電力動作を実現する上で必須となるバラツキ耐性の実現、高速応答の実現であった。

これらの課題を克服するために、目標性能を達成する上で最適な要素回路の方式、仕様を決定するために、高速、高精度にシミュレーションを行えるシステムモデルを開発した。バラツキ耐性の確保のためにデジタルキャリブレーションやダイナミックエレメントマッチングを導入した TDC を考案してその効果を実証した。また、PLL のアーキテクチャとしてバラツキ耐性が強くテクノロジースケーリングとの親和性の高い完全デジタル方式のアーキテクチャを採用した。高速応答の課題に対してはデジタル PLL の強みを生かした、ループの構成を詳ダイナミックに切り替える手法を開発した。

###### (B) 0.5V 動作 AFE

音声等の外界信号センシングに応用するための、最小分解能が 4 mV 相当のデータコンバータおよびその基準電圧発生回路を開発し、試作チップでその性能を確認する。製品レベルの従来技術である 100  $\mu$ W @ 100kHz に対して 1 桁以上低電力での動作を目指す。以上の目標を達成するうえでの課題は、低電圧で問題となるバラツキ対策、またサブスレッショルド領域での動作で問題となる速度低下の防止、さらに、先端デバイスで問題となるリーク電力の削減であった。

バラツキ対策としてデジタル的な動作を行う逐次比較型 ADC を採用し、さらにデジタルキャリブレーションを行うことで内蔵 DAC のサイズを極限まで小型化し、充放電電力を削減した。高速のために、メタステーブル状態を積極的に利用した 3 値比較器の考案、2bit/step 方式の導入を行った。また、リーク電力削減のために、自己ブーストパワーゲーティング手法を提案しその効果を実証した。

##### (2) 開発成果とベンチマーク要約

###### (A) 0.5V 動作 PLL

アーキテクチャおよび要素回路の仕様検討のためのシステムモデルの構築においては、MATLAB 上で時間領域および周波数領域の双方を用いたプログラムを開発して従来よりも 1 桁程度高速に PLL システムのシミュレーションを行うことを可能とした。同モデルを用いた系統的なシミュレーションにより、目標ジッタを達成する上での TDC および DCO の分解能および位相ノイズの仕様を決定した。決定した仕様に基づき行った要素回路の設計結果から、消費電力の限界値として目標に対してさらに半減できることを確認した。

重要な要素回路である TDC において、ダイナミックエレメントマッチングを用いることでバラツキの影響を抑え 1bit 以上の分解能向上を実現した (図Ⅲ.2.3.1-4)。さらに、疑似パイプライン方式を提案して分解能スケラブルな TDC を実現し、従来例に比べて消費電力を 1/4 に回路面積を 1/5 に削減した(表Ⅲ.2.3.1-3)。

PLL システムとしてはシステム検討の結果をもとに完全デジタルアーキテクチャを採用しさらにデジタルループフィルタの機能をダイナミックに切り替えることで高速応答を可能とした。試作チップにより 0.5V で動作する PLL として世界最小の電力での動作を実現した(表Ⅲ.2.3.1-4)。10MHz ~100MHz の区間でパワースケーラブルな特性を実現し、出力周波数あたりで規格化した消費電力として 0.5  $\mu$ W/MHz 以下を達成した。また、3%以下の低ジッタ性能、および 40 サイクル以下の高速ロックを実現した。

#### (B) 0.5V 動作 AFE

バラツキ対策としての内蔵 DAC の容量バラツキをチップ試作後にデジタル的にキャリブレーションする手法の開発では、単位容量として 0.5fF という極めて小さな配線間容量素子を使用することを可能とした。さらに 3 値比較器を提案、導入することで、DAC の総容量を半分に削減する手法を開発した。極低電圧でも安定・高速に動作する SAR ロジックを考案して、前述の手法と組み合わせることで 0.4V 動作で 3.4fJ/conv.step という世界最高レベルのエネルギー効率での動作を実現した(表Ⅲ.2.3.1-5)。高速化の手法として提案した 2bit/step 方式により、エネルギー効率、回路サイズをほとんど劣化させることなく、従来より動作速度を 60%向上させることが可能とした(図Ⅲ.2.3.1-30)。自己ブーストパワーゲーティングにより、リーク電力を 98%削減することを可能とし、低速域で 0.4V では 560pW という世界最小電力で動作することを可能とした(表Ⅲ.2.3.1-6)。

2.3.1.3.2.1 で記載した内蔵容量 DAC および 2.3.1.3.2.2 で記載した高速 SAR ロジックの技術を合わせて、ワンチップ ADC を設計、試作、評価し、最終目標である最小分解能 4 mV 相当に対して実測で 3.8mV、100  $\mu$ W @100kHz に対して、0.11  $\mu$ W@100kHz を実現した。分解能 3.8mV は、入力信号が差動振幅で 1.0V(電源電圧 0.5V がフルスケール)に対して ENOB が 8.1bit 相当する。

### (3) 目標達成度と開発成果の意義

#### (A) 0.5V 動作 PLL

試作したワンチップ PLL システムの測定結果として、ジッタ性能およびロック時間はそれぞれ 3% 以下、40 サイクル以下であり目標を 100%達成した。消費電力は目標の 1  $\mu$ W/MHz に対してさらに半減して 0.5  $\mu$ W を達成した。

ダイナミックエレメントマッチングや疑似パイプライン方式の提案により、重要な構成要素である TDC の分解能を改善する手法を開発した。TDC は PLL 以外にもオンチップのクロックジッタやスキューモニター、レーダー等の距離測定といった様々なアプリケーションに使用できるため波及効果の高い成果である。今回開発した 0.5V PLL は完全デジタル方式のため、テクノロジー依存性が低く汎用性の高い技術である。また、ダイナミックなループ構成の切り替えによる高速応答は、例えば Dynamic Voltage and Frequency Scaling (DVFS) との親和性が高く、システムの低電力化実現の際に重要となる技術である。さらに、低周波から高周波までカバーできる技術であり、これまで適用が困難であったセンサーネットワークのようなアプリケーションにも容易に PLL を搭載することが可能となり、新規市場の創造につながるものである。

#### (B) 0.5V 動作 AFE

容量バラツキをキャリブレーションする技術、3 値比較器および高速 SAR ロジックの導入により、最終目標である最小分解能 4 mV 相当に対して実測で 3.8mV、100  $\mu$ W @100kHz から 1 桁以上低電力に対して、0.11  $\mu$ W@100kHz を実現し、目標を 100%達成した。

達成されたエネルギー効率および回路面積の小ささは世界最高水準であり、デジタル的な手法

を採用したことにより、テクノロジーの依存性の少ない汎用的に使える技術である。統合チップでの CPU と組み合わせた自己完結型キャリブレーションの実チップによる実証により、実用の際に重要となる歩留まりの大幅な向上につながることを示した。それに加えて、**2bit/step** 方式の実現によりエネルギー効率の劣化なく動作速度を **60%** 向上させることができた。さらに、自己ブーストパワーゲーティング手法の導入により、低速域のリーク電力を大幅に低減するという成果も得られた。これは、パワースケーラブルな周波数レンジを大幅に拡張 (**0.1kHz~1MHz**) することにつながり、温度や加速度のような低速信号モニタから音声のような中速信号、映像のような高速信号まで、様々な周波数域の信号に対して一つの ADC で常に最適な電力効率で信号変換させることができるという重要な意義をもった成果となっている。

## 2. 3. 2アナログ回路技術開発（アナログ回路ベース）

### 2. 3. 2. 1 目標

モバイル機器及び設置型センサー等に対する超低消費電力化への要求は留まるところを知らない。そこで使用されるSoC (System on chip) に要求される基幹機能ブロックとしてPLLがあるが、当ブロックは SoC の性能を決定する基幹機能ブロックであり、元来厳しい要求仕様を満たすには構成ブロック 中でも比較的大きな消費電力及び十分な動作電源電圧が必要とされてきた。

この度、SoCの超低消費電力化を実施するに当たっては、最も有効である電源電圧を0.5Vまで下げ て全回路を動作させるという目標が設定され、本研究ではPLL回路の性能を維持しながら0.5V電源動作を実現するという野心的な目標にチャレンジする運びとなった。

0.5V動作では、十分な耐雑音性、ダイナミック・レンジを確保するために全回路部品を完全差動回路で実現し、また比較的電流駆動能力の低いP型FETの閾値を回路上の工夫で補い、0.5V動作に対応した。

### 2. 3. 2. 2 課題と開発方針

#### 2. 3. 2. 2. 1 超低消費電力PLL

目標仕様として、以下のような仕様を設定した。

- ① 動作電源電圧：0.5V
- ② ジッター：クロック周期の1%以下
- ③ 周波数レンジ：10MHz～100MHzまで連続設定が可能
- ④ 消費電力：10uW以下@10MHz, 100uW以下@100MHz
- ⑤ 90nm以下の標準CMOSプロセスを使用

#### 2. 3. 2. 2. 2 低位相雑音PLL

目標仕様は、HDTV（高精細テレビ）に対応するため、以下の仕様とした。

- ① 位相雑音：-90dBc@1kHz offset (DB-T仕様)
- ② 位相雑音：-105dBc@20kHz offset (ATS-C仕様) 基本機能の開発が成功裏に完了したので、今後の展開としては、超低消費電力PLL、低位相雑音PLLのIPとして、また超低消費電力PLL IC製品として、ビジネス展開を模索して行く。

#### 2. 3. 2. 2. 3 0.5V, 7bit 低電力ADC

目標仕様として、以下のような仕様を設定し開発を実施した。

- ① 動作電源電圧：0.5V
- ② 消費電力：3mW以下@1GS/s
- ③ 精度：7bit

#### 2. 3. 2. 2. 4 0.5V, 10bit 電流出力型DAC

目標仕様として、以下のような仕様を設定し開発を実施した。

- ① 動作電源電圧：0.5V
- ④ 消費電力：2mW以下@1GS/s
- ⑤ 精度：10bit

#### 2. 3. 2. 2. 5 0.5V 広帯域・低位相雑音LC型VCO

目標仕様として、以下のような仕様を設定し開発を実施した。

- ① 動作電源電圧：0.5V
- ② 消費電力：15mW以下
- ③ 出力周波数：100MHz～8GHz

## 2. 3. 2. 3 開発成果

### 2. 3. 2. 3. 1 超低消費電力 PLL

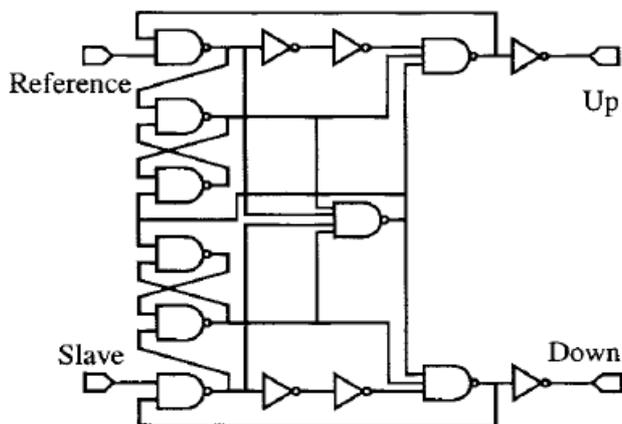
#### 2. 3. 2. 3. 1. 1 アーキテクチャの選択

21年度に本プロジェクトを開始するに当たり、業界の論文を精査し現状の到達段階の確認を行った。その結果、全低消費電力PLL回路論文のうち、完全デジタル回路によるPLLの実現例は60%程度を占めており半導体製造技術の進展に伴う回路の移植の容易性に優れるデジタル回路によるPLL 実現が大いに期待されていることがわかった。しかしながら、特性面での到達状況は、ジッター性能は今回の仕様に対して、2倍程度悪く、さらに消費電力は10倍程度悪いことが判明した。消費電力が最も大きな部品はTDC(time to digital converter)であるが、この部品はPLL性能を上げれば上げる程、消費電力が増える構造をしており、この時点で主流であるアーキテクチャでは、今回の超低消費電力を実現することはまず不可能であり、目的達成のためには、大きな困難が予想された。それに対して、残りの40%を占めるアナログ回路によるPLL回路は、ジッター性能は今回の仕様に対して、同じく2倍程度悪いが、消費電力は3倍程度悪い状態にあり、目標を2年半で実現するには、後者のアプローチがより実現性が高いと判断し、選択した。

#### 2. 3. 2. 3. 2 0.5V動作PLL構成部品の開発

##### 2. 3. 2. 3. 2. 1 位相・周波数検出器

図Ⅲ. 2-3-2-1-1に位相周波数検出器を示す以前からよく使用されている回路であるが電源電圧0.5Vでは十分な動作速度が得られないのでPFETに関してはNWELLを高抵抗を介してGNDに接続することで、閾値を実効的に下げ、電流駆動能力を補償して使用している。

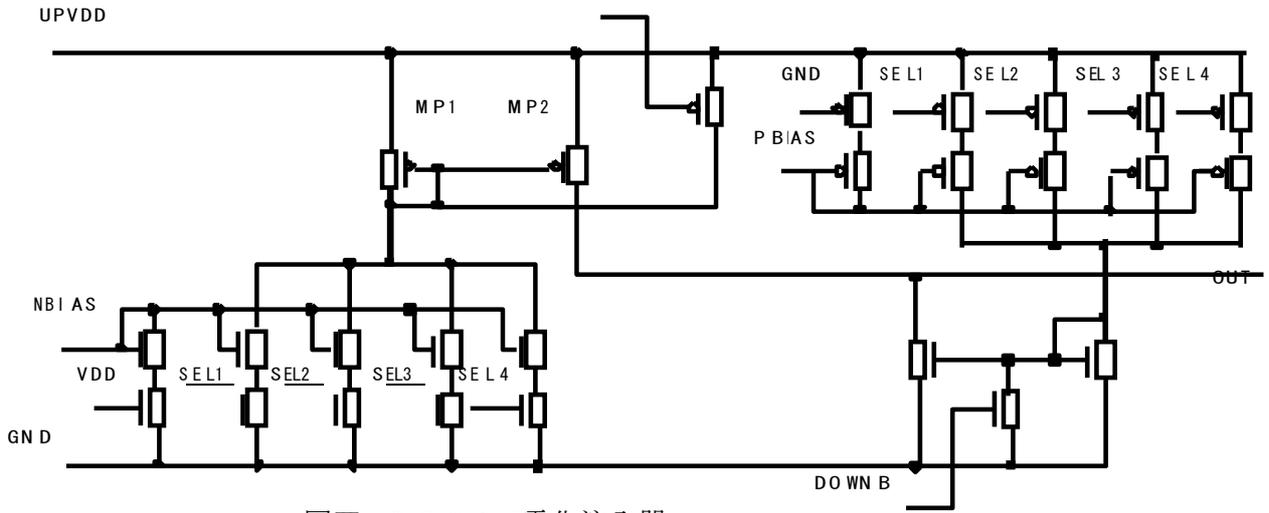


図Ⅲ. 2-3-2-1-1位相・周波数検出器

##### 2. 3. 2. 3. 1. 2. 2 電荷注入器

図Ⅲ. 2-3-2-1-2 に電荷注入器を示す。完全作動動作とするため本回路および本回路が充電する次段のLPF (Low pass filter) を2組使用し、全体として差動動作を実現し、電源または他信号線からの雑音の影響を抑制している。

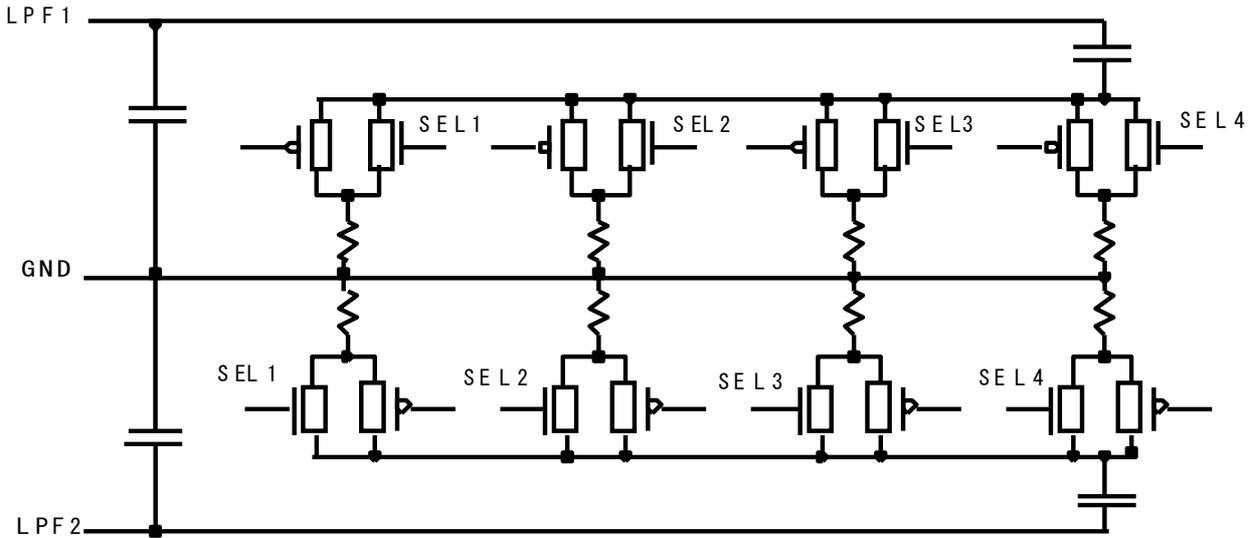
本回路に於いても、PFETの電流駆動能力を上げるため、NWELLを高抵抗を介してGNDに接続している。電荷注入器の利得を可変にするため、2倍の重み付けをした5段階の利得を選択できるようになっている。



図Ⅲ. 2-3-2-1-2電化注入器

2. 3. 2. 3. 1. 2. 3 低周波透過フィルタ

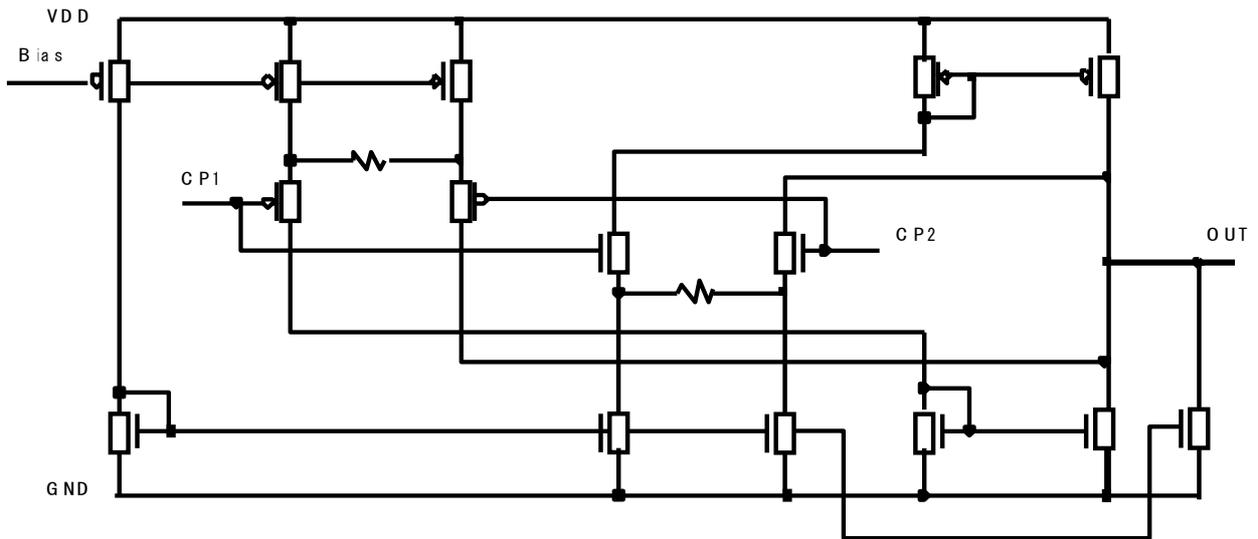
図Ⅲ. 2-3-2-1-3に低周波透過フィルタを示す。前記電荷注入器から注入された電荷を積分して次段の電圧制御発信器の制御電圧に変換するため、抵抗と容量で形成された2次のLag-Leadフィルタを使用している。この回路にもダンピング係数を可変にするため、2倍の重み付けをした4段階の抵抗値を設けてある。



図Ⅲ. 2-3-2-1-3低周波透過フィルタ

2. 3. 2. 3. 1. 2. 4 電圧・電流変換器

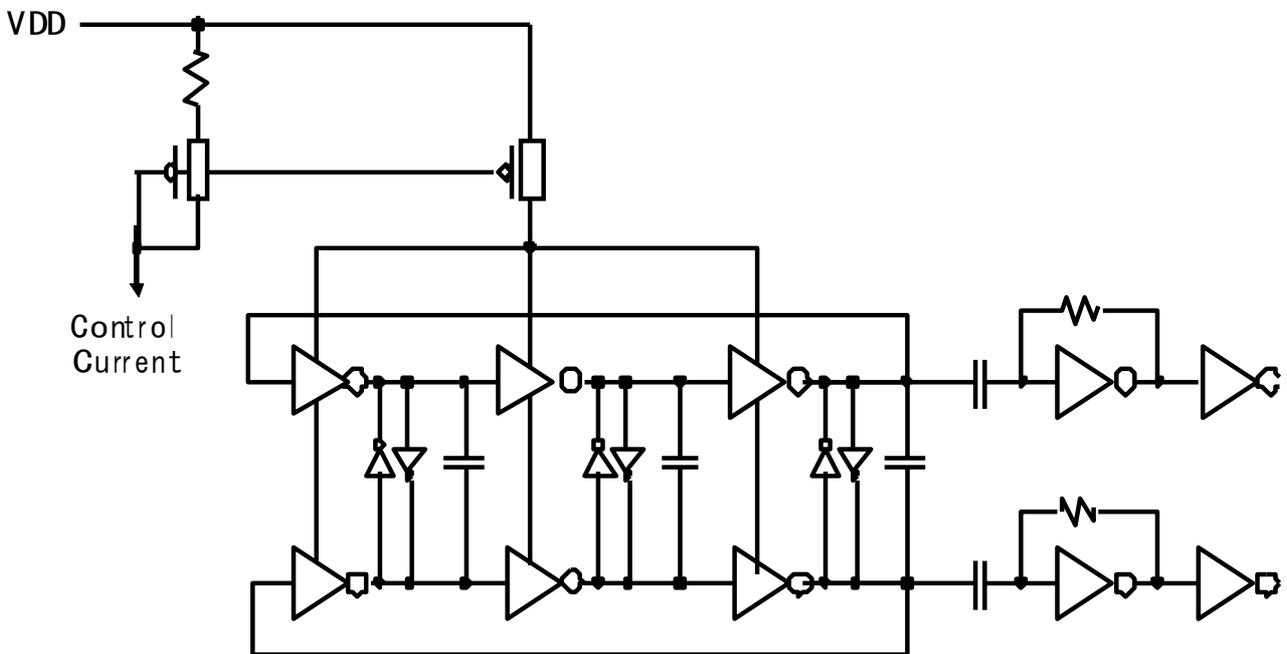
図Ⅲ. 2-3-2-1-4に電圧・電流変換器を示す。2組の低周波透過フィルタ出力電圧を差動制御電圧信号として受けとり、その値に比例した電流値を出力する回路である。その他の回路と同様、完全差動回路で構成されており、またPFETの電流駆動能力を上げるため、NWELLを高抵抗を介してGNDに接続している。



図Ⅲ. 2-3-2-1-4電圧・電流変換器

### 2. 3. 2. 3. 1. 2. 5 電流制御発信器

図Ⅲ. 2-3-2-1-5に電流制御発信器を示す。3段の差動型インバータ・リング・オシレータから構成されており、発振周波数は制御電流値で制御される。2組のリング・オシレータの中間ノードに接続されている弱いインバータは、コモンモード発振を抑える働きをしている。また、リング・オシレータの出力は、その電圧レベルが発振周波数によって変化するので、容量でACカップリングした後、自己バイアス型インバータを駆動している。本回路に於いてもPFETの電流駆動能力を上げるため、NWELLを高抵抗を介してGNDに接続している。

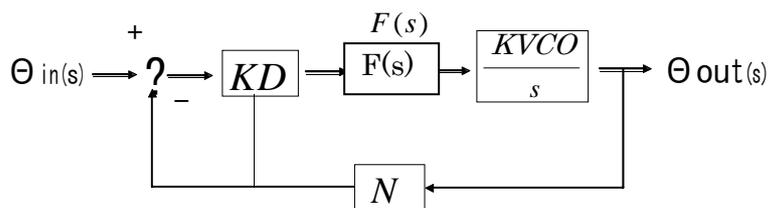


図Ⅲ. 2-3-2-1-5電流制御発信器



2.3.2.3.1.3.2 各種パラメータの決定

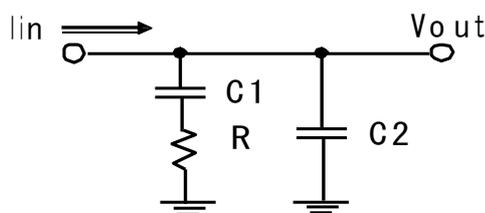
図Ⅲ. 2-3-2-1-8にPLL全体の伝達関数を示す。



図Ⅲ. 2-3-2-1-8PLL全体の伝達関数

また、図Ⅲ. 2-3-2-1-9に2次のLag-Lead Filterの回路図を示す。 使用した各種パラメータは以下の通りである。

- KD = 位相・周波数検出器の利得 [A/rad]
- F(s) = 低周波透過フィルタのインピーダンス [V/A]
- KVC0/s = 電圧・電流変換器利得 \* 電流制御発信器利得 [rad/sec-V]
- N = 出力クロックの分周比



図Ⅲ. 2-3-2-1-9次のLag-Lead Filterの回路図

図Ⅲ. 2-3-2-1-9のフィルタの伝達関数はC1>>C2の場合、以下で表現できる。

$$F(s) = \frac{V_{out}}{I_{in}} = \frac{1 + sRC1}{sC1} \quad \text{..... ①}$$

この伝達関数①を図a-8で示したPLL全体の伝達関数に代入すると、PLL全体の閉ループ伝達関数は②と表すことができる。

$$T(s) = \frac{\theta_{out}(s)}{\theta_{in}(s)} = \frac{G(s)}{1 + GH(s)} = \frac{KD \cdot KVC0[(1 + sRC1) / C1]}{s^2 + s[N \cdot KD \cdot KVC0 \cdot R] + \frac{N \cdot KD \cdot KVC0}{C1}} \quad \text{..... ②}$$

ここで②の伝達関数の分母を以下の形に変形すると

$$s^2 + 2s\zeta\omega_n + \omega_n^2 \quad \text{..... ③}$$

$\omega_n$ ,  $\zeta$ , C1, R; を求めることができる。

$$\omega_n^2 = \frac{N \cdot KD \cdot KVC0}{C1} \quad \text{..... ④}$$

$$\zeta = \frac{N \cdot KD \cdot KVC0 \cdot R}{2\omega_n} \quad \text{..... ⑤}$$

$$C1 = \frac{N \cdot KD \cdot KVCO}{\omega_n^2} \quad \text{----- ⑥}$$

$$R = \frac{2\zeta\omega_n}{N \cdot KD \cdot KVCO} \quad \text{----- ⑦}$$

ここで、以下の一般的によく行なわれる選択をする。

$$\omega_n = \frac{2\pi \cdot f_{REF}}{10}$$

$$\zeta = 0.7$$

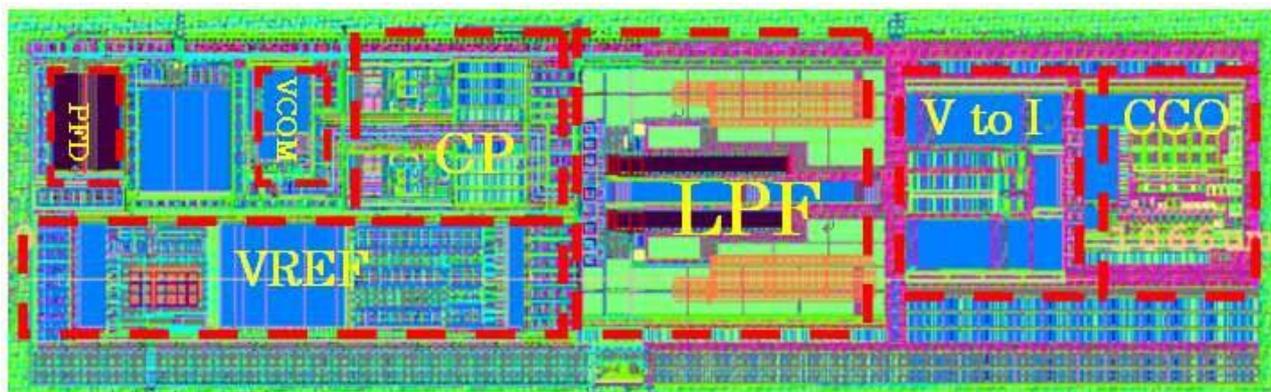
$$C2 = \frac{C1}{10}$$

以上の考察より、PLLの全パラメータは表Ⅲ. 2-3-2-1-1のように決定される。

表Ⅲ. 2-3-2-1-1 PLLの全パラメータ

パラメータ	値	単位	備考
KVCO	2.80E+09	rad/sec-V	$90e6 * 2\pi / 0.2$
N	1/8	-	-
KD	1.60E-06	A/rad	$10 \mu A / 2\pi$
f <sub>REF</sub>	6.25E+06	Hz	
ω <sub>n</sub>	3.90E+06	rad/sec	10% of f <sub>REF</sub>
C1	37	pF	
C2	3.7	pF	
R	9.8	Kohm	

表Ⅲ. 2-3-2-1-1を反映したPLL回路のレイアウト図を図Ⅲ. 2-3-2-1-10に示す。



図Ⅲ. 2-3-2-1-10 表Ⅲ. 2-3-2-1-1を反映したPLL回路のレイアウト図

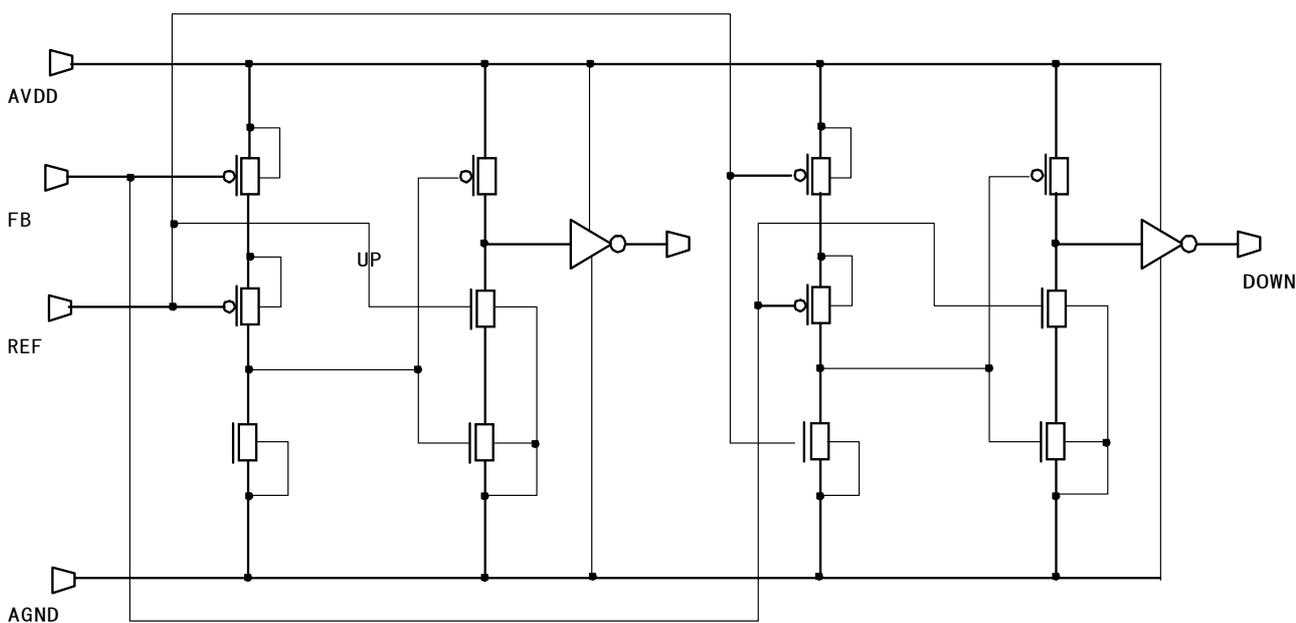
2. 3. 2. 3. 2 低位相雑音 PLL  
2. 3. 2. 3. 2. 1 アーキテクチャの選択

高精細テレビは、チャンネル間の干渉を抑えるために低位相雑音特性への要求がSoC用PLLに対して2桁以上厳しい。この仕様を0.5V動作で満たすため、21年度に本プロジェクトを開始するにあたり、業界の論文を精査し現状の到達段階の確認を行った。その結果、デジタル回路構成のPLLでの報告は皆無であったが、アナログ回路構成で3.3V動作で本仕様を満たす報告が存在した。その報告を基に、特性を維持しながら3.3V動作を0.5V動作まで下げるといった野心的な課題に挑戦すべく、以下の様にアーキテクチャを決定した。

- ①LC型VCOを採用
- ②広帯域PLL構成を採用
- ③前項SoC用超低消費電力PLLLと出来るだけ構成ブロックの共通化を行なう。

2. 3. 2. 3. 2. 2 0.5V動作低位相雑音PLL構成部品の開発  
2. 3. 2. 3. 2. 2. 1 位相・周波数検出器 (PFD)

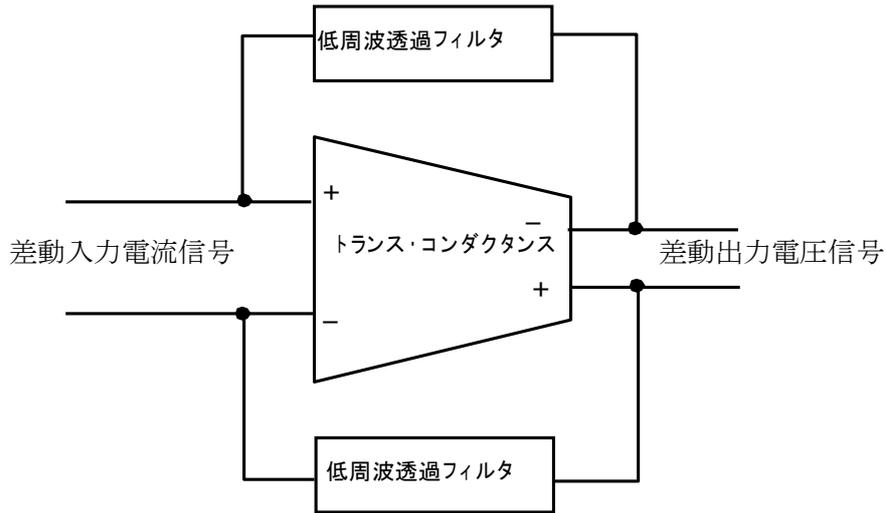
図Ⅲ. 2-3-2-2-1に位相・周波数検出器を示す。本PLLでは、基準入力周波数が前項SoC向PLLよりも高いので、高周波動作可能な位相・周波数検出器を新たに設計した。この回路方式では、0.5V動作でも100MHz以上の周波数で動作が可能である。



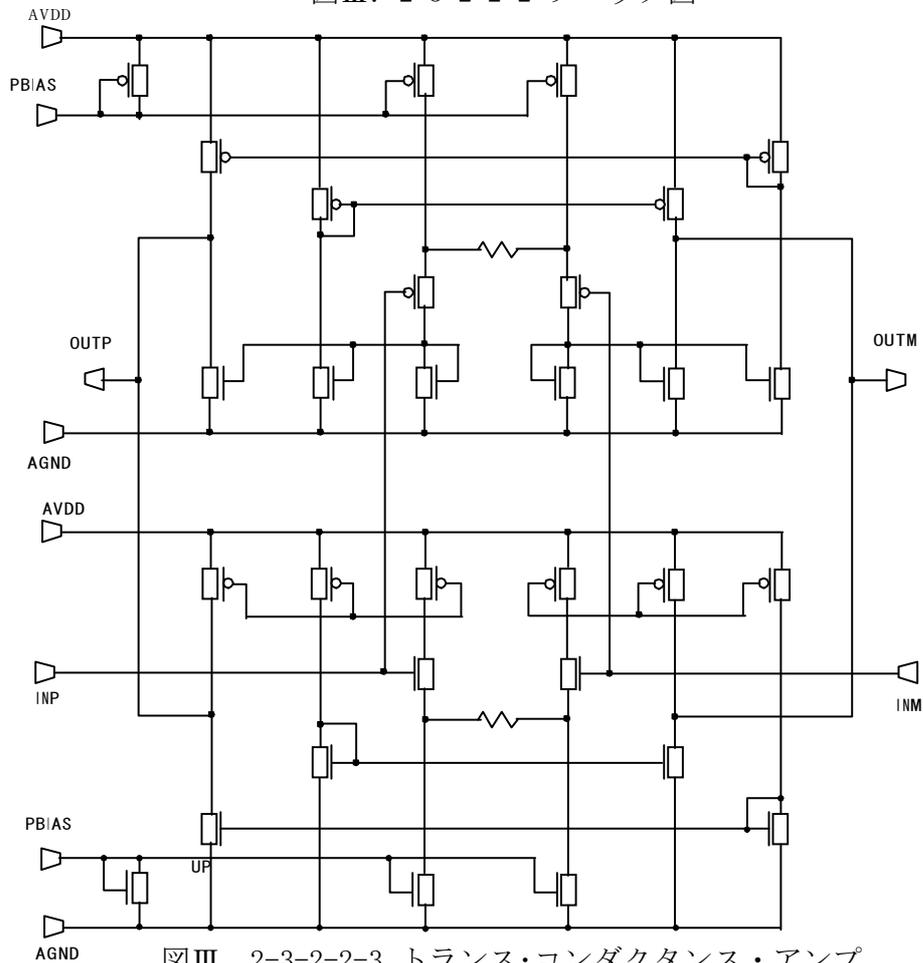
図Ⅲ. 2-3-2-2-1位相・周波数検出器

2. 3. 2. 3. 2. 2. 2 トランス・コンダクタンス・アンプ(OTA)

図Ⅲ. 2-3-2-2-3にトランス・コンダクタンス・アンプを示す。2組の電荷注入器から出力される差動電流を受け、低周波透過フィルタを通して積分し差動電圧信号として出力する、差動電流—差動電圧変換器である。0.5V動作でも十分なダイナミック・レンジを確保できるように、電源電圧とGNDの間をすべて能動動作するような回路構成にしてある。この構成を取る最大の理由は、付随するコモンモード制御器により、両差動入力信号電圧が基準電圧(0.25V)に保たれるが、そのことは電荷注入器(CP)の出力電圧が一定電圧であることを意味し、電荷注入器(CP)からの出力電流が一定に保たれ、位相ノイズを低減することに貢献できることにある。



図Ⅲ. 2-3-2-2-2 ブロック図

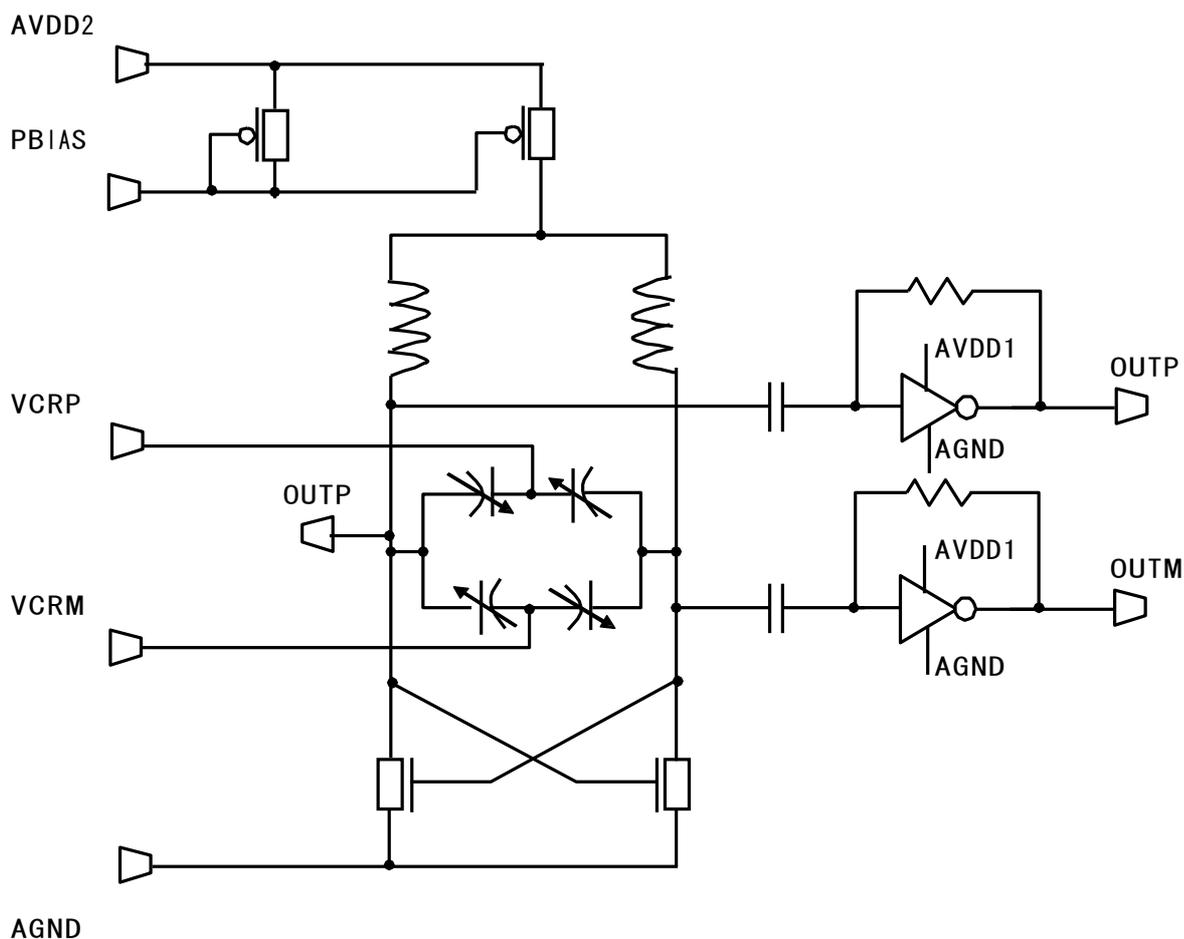


図Ⅲ. 2-3-2-2-3 トランス・コンダクタンス・アンプ

### 2. 3. 2. 3. 2. 2. 3 LC型電圧制御発振器 (LC-VCO)

図Ⅲ. 2-3-2-2-4にLC型電圧制御発振器を示す。ここでは通常の構成に対して2点の改善を実施している。

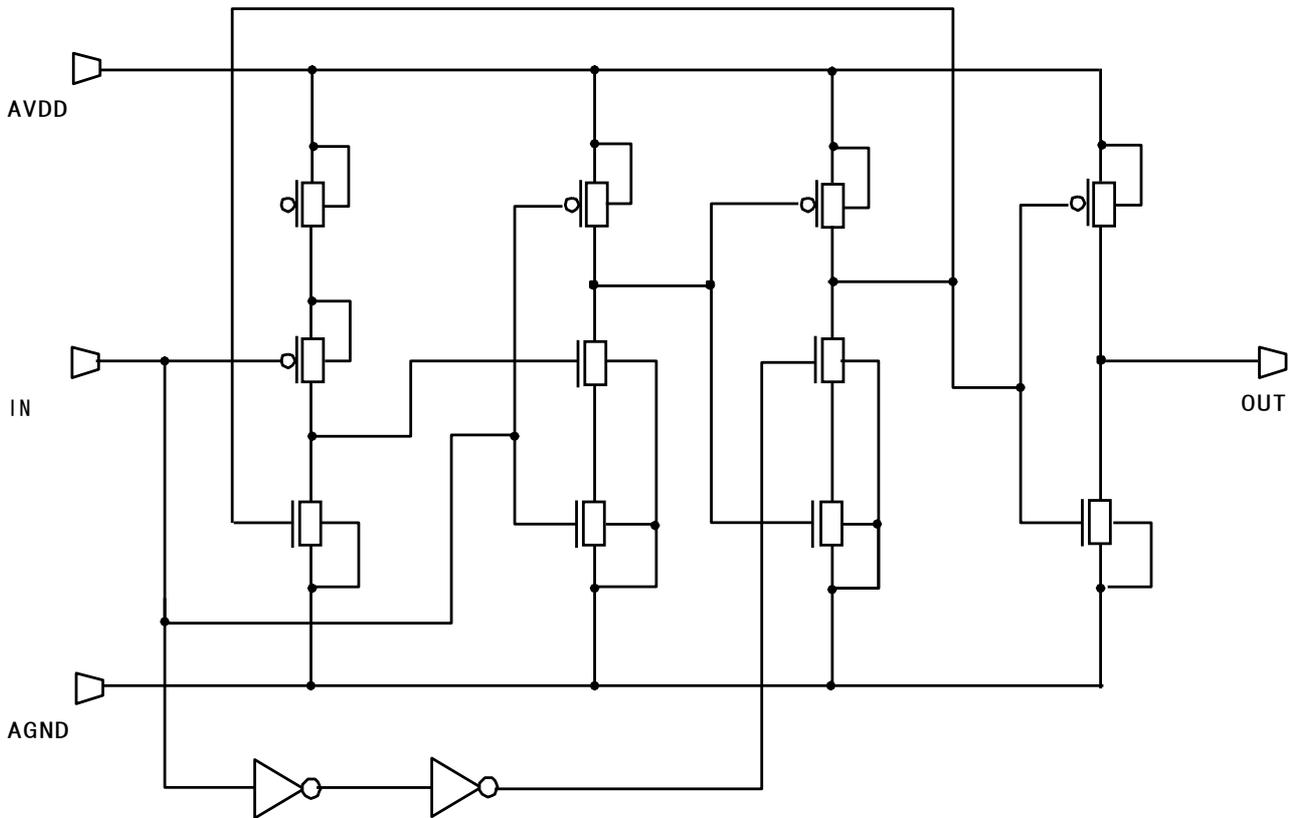
- 1) C(容量)の値が2つの制御電圧 VCRP, VCRM の差だけによって決定され、それらの絶対値には依存しないように、4つの可変容量を対抗して並列接続している。
- 2) 発振器本体とその出力を受け取るロジック回路の電源が分けてあるので両者が相対的に変動しても、常にロジック回路が最適条件で動作するように、本体からの出力電圧を容量でカップリングし、自己バイアスしたインバータで受け取る構成にしている。



図Ⅲ. 2-3-2-2-4 LC型電圧制御発振器

2. 3. 2. 3. 2. 2. 4 高周波分周器(Divider)

図Ⅲ. 2-3-2-2-5に高周波分周器を示す。前項で使用したDF/Fを使った分周器ではスピードが足りないの でGHz帯の信号を分周するために新たにこの高周波分周器を設計した。

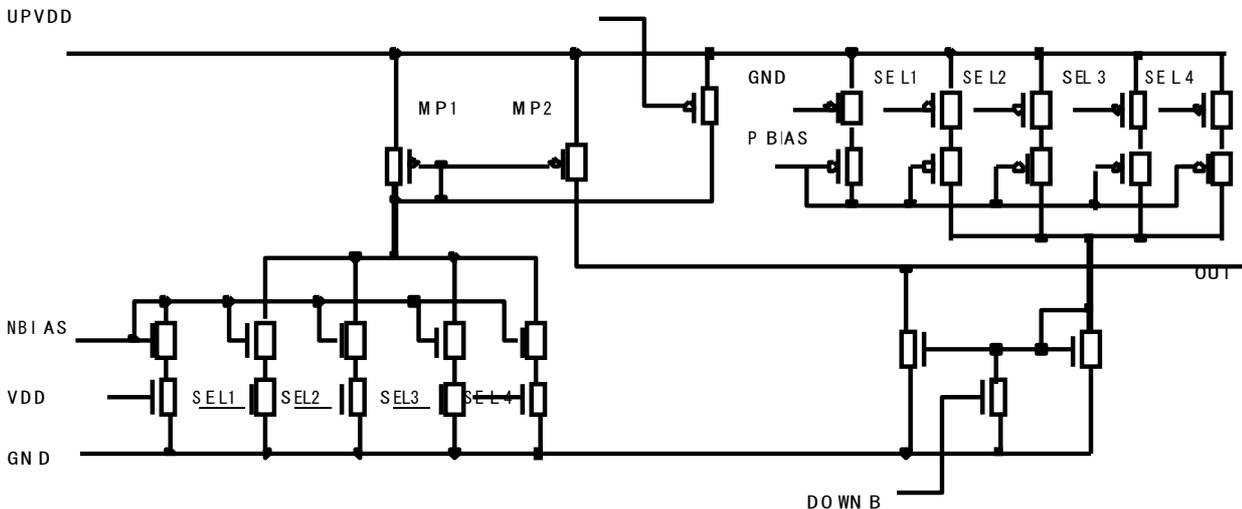


図Ⅲ. 2-3-2-2-5高周波分周器

2. 3. 2. 3. 2. 2. 5 電荷注入器(CP)

図Ⅲ. 2-3-2-2-6 に電荷注入器を示す。完全作動動作とするため本回路および本回路が充放電する次段の LPF (Low pass filter) を 2 組使用し、全体として差動動作を実現し、電源または他の信号線からの雑音の影響を抑制している。

本回路に於いても、PFET の電流駆動能力を上げるため、NWELL を高抵抗を介して GND に接続している。電荷注入利得を可変にするため、2 倍の重み付けをした 5 段階の利得から選択できるようになっている。本回路構成は、超低消費電力 PLL の同ブロックと同一設計である。

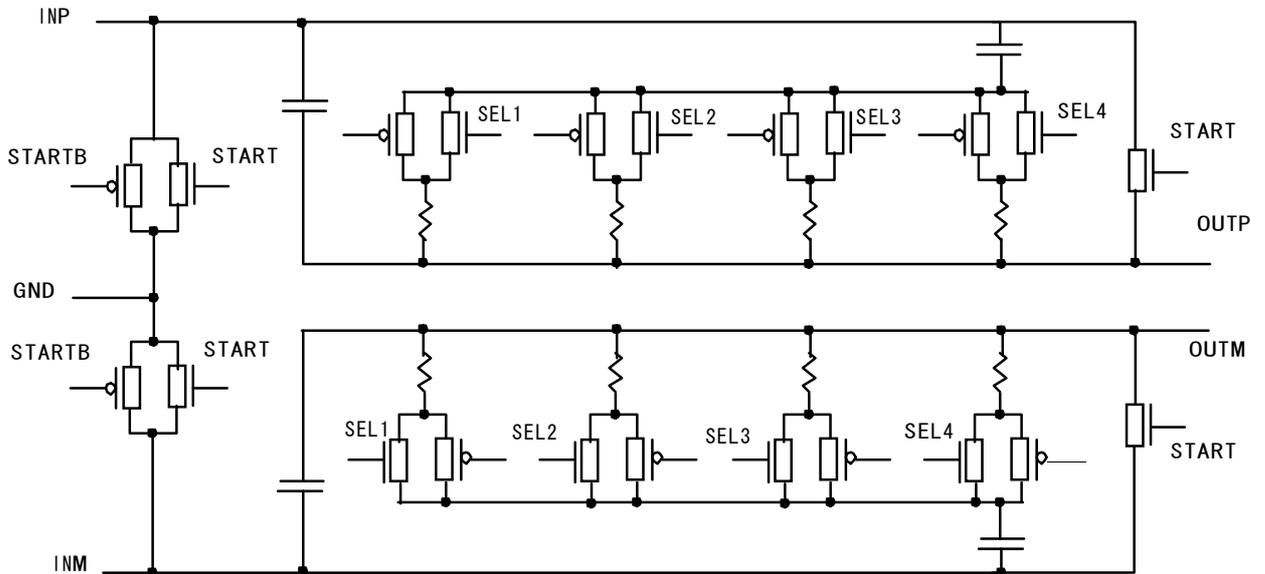


図Ⅲ. 2-3-2-2-6電荷注入器

2. 3. 2. 3. 2. 2. 6 低周波透過フィルタ (LPF)

図Ⅲ. 2-3-2-2--7に低周波透過フィルタを示す。超低消費電力 PLL の場合と違って、本 PLL の場合は、低周波透過フィルタをトランス・コンダクタンス・アンプの入出力間に接続して使用するの  
ので、4端子構成となっている。

フィルタ本体の左側に位置するトランスファーマゲートは、PLL電源立ち上げ時に INP と INM を短絡し、電圧制御発振器が確実に発振を開始することを保証している。フィルタ本体の右側に位置するスイッチも同様の働きをする。

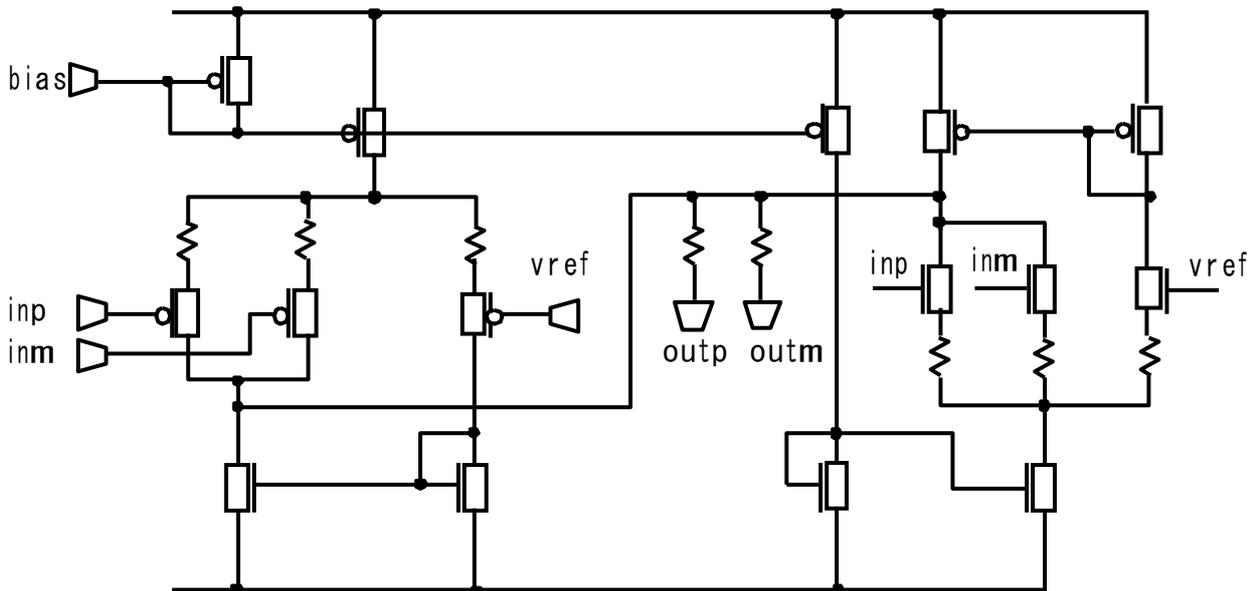


図Ⅲ. 2-3-2-2-7低周波透過フィルタ

2. 3. 2. 3. 2. 2. 7 コモンモード制御器 (CMC)

図Ⅲ. 2-3-2-2-8にコモンモード制御器を示す。本PLLには2組のコモンモード制御器が使用されている。

- ① 2組の電荷注入器 (CP) 出力電圧を基準電圧と同一電圧に制御するために用いられ、両者がバランスするように2組の電荷注入器のバイアス電流を制御する。
- ② 電圧制御発振器の両入力の平均電圧を基準電圧と同一電圧に制御するために用いられ、両者がバランスするようにトランス・コンダクタンス・アンプ (OTA) のバイアス電流を制御する。



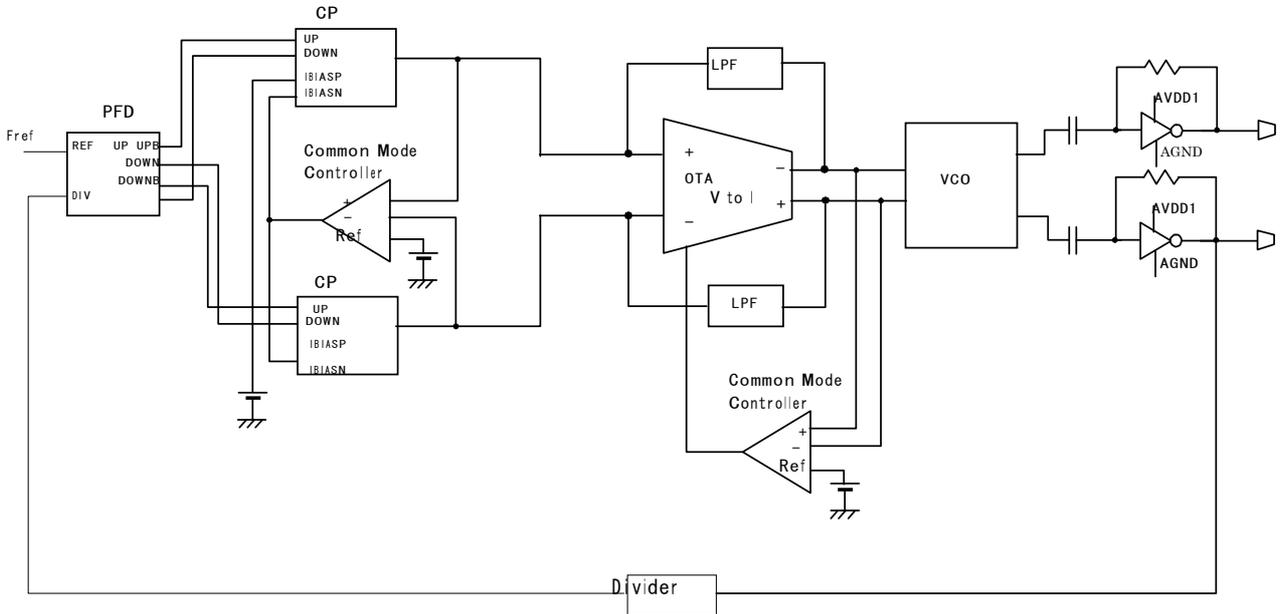
図Ⅲ. 2-3-2-2-8コモンモード制御器

2. 3. 2. 3. 2. 3 0.5V動作低位相雑音PLL統合チップの開発および試作

2. 3. 2. 3. 2. 3. 1 低位相雑音PLL統合チップ

図Ⅲ. 2-3-2-2-9に全構成部品を統合した低位相雑音PLLのブロック図を示す。

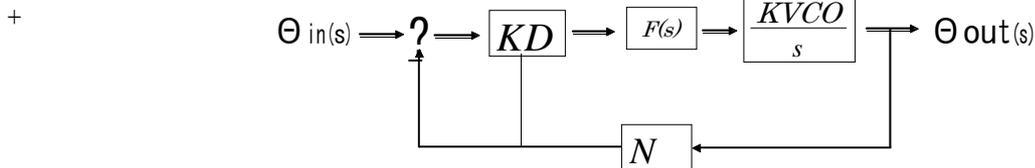
21, 22年度前半はTSMC 90nm標準CMOSを使って全構成部品を1チップ上に集積し、22年度後半, 23 年度はTSMC 65nm標準CMOSを使って全構成部品を1チップ上に集積した。



図Ⅲ. 2-3-2-2-9全構成部品を統合した低位相雑音PLLのブロック図

2. 3. 2. 3. 2. 3. 2 各種パラメータの決定

図Ⅲ. 2-3-2-2-10にPLL全体の伝達関数を示す。  $F(s)$



図Ⅲ. 2-3-2-2-10 PLL全体の伝達関数

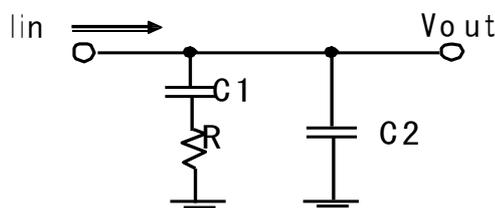
また、図Ⅲ. 2-3-2-2-11に2次Lag-Lead Filterの回路図を示す。 使用した各種パラメータは以下の通りである。

$KD$  = 位相・周波数検出器の利得 [A/rad]

$F(s)$  = 低周波透過フィルタのインピーダンス [V/A]

$KVCO/s$  = 電圧・電流変換器利得 \* 電流制御発信器利得 [rad/sec-V]

$N$  = 出力クロックの分周比



図Ⅲ. 2-3-2-2-11 2次Lag-Lead Filterの回路図

図Ⅲ. 2-3-2-2-10のフィルターの伝達関数はC1>>C2の場合、以下で表現できる。

$$F(s) = \frac{V_{out}}{I_{in}} = \frac{1 + sRC1}{sC1} \dots\dots\dots ①$$

この伝達関数①を図b-10で示したPLL全体の伝達関数に代入すると、PLL全体の閉ループ伝達関数は②と表すことができる。

$$T(s) = \frac{\theta_{out}(s)}{\theta_{in}(s)} = \frac{G(s)}{1 + GH(s)} = \frac{KD \cdot KVCO(1 + sRC1) / C1}{s^2 + s[N \cdot KD \cdot KVCO \cdot R] + \frac{N \cdot KD \cdot KVCO}{C1}} \dots\dots\dots ②$$

ここで②の伝達関数の分母を以下の形に変形すると

$$s^2 + 2s\zeta\omega_n + \omega_n^2 \dots\dots\dots ③$$

$\omega_n, \zeta, C1, R$ ;を求めることができる。

$$\omega_n^2 = \frac{N \cdot KD \cdot KVCO}{C1} \dots\dots\dots ④$$

$$\zeta = \frac{N \cdot KD \cdot KVCO \cdot R}{2\omega_n} \dots\dots\dots ⑤$$

$$C1 = \frac{N \cdot KD \cdot KVCO}{\omega_n^2} \dots\dots\dots ⑥$$

$$R = \frac{2\zeta\omega_n}{N \cdot KD \cdot KVCO} \dots\dots\dots ⑦$$

ここで、本PLLでは広帯域幅PLLを採用するので以下の選択をする。

$$\omega_n = \frac{2\pi \cdot f_{REF}}{3}$$

$$\zeta = 0.7$$

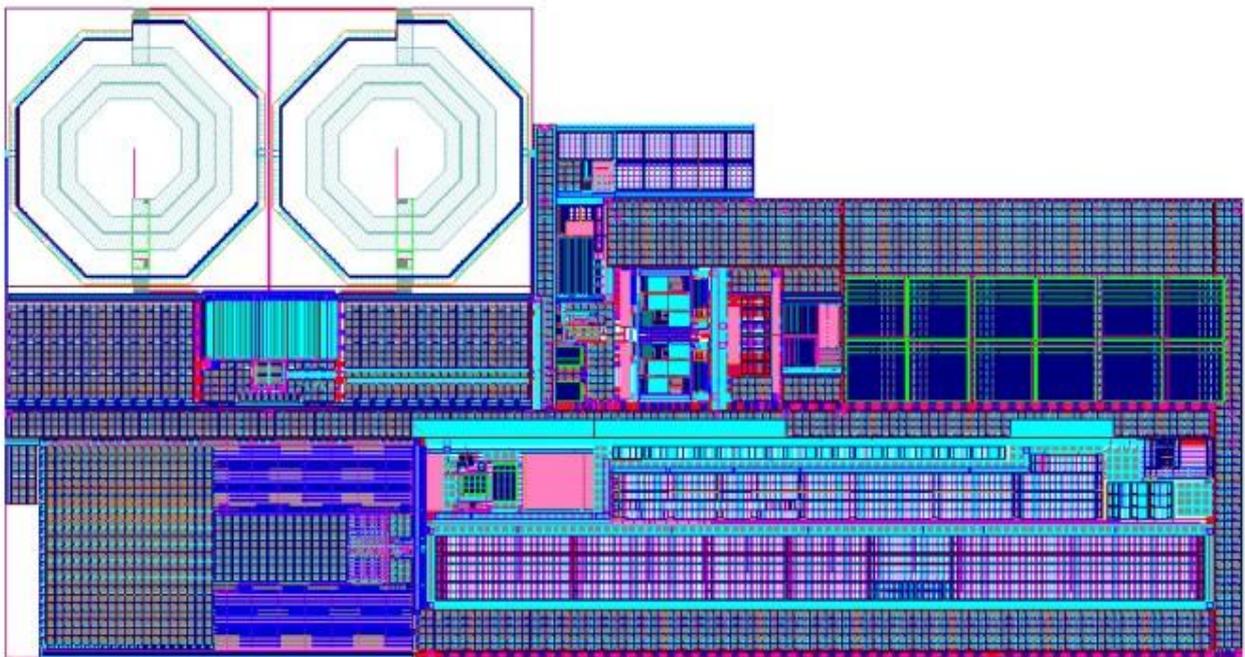
$$C2 = \frac{C1}{10}$$

以上の考察より、PLLの全パラメータは表Ⅲ. 2-3-2-2-1のように決定される。

表Ⅲ. 2-3-2-2-1 P L L の全パラメータ

パラメータ	値	単位	備考
KVCO	1.00E+09	rad/sec-V	$160 \mu\text{A} * 2\pi /$
N KD	1/32	- A/rad	1.0
fREF	6.20E-03	Hz	-
$\omega_n$	5.00E+07	rad/sec pF	$39 \mu\text{A} / 2\pi$
C1	1.04E+08	pF Kohm	33% of fREF
C2	18		
R	1.8		
	20		

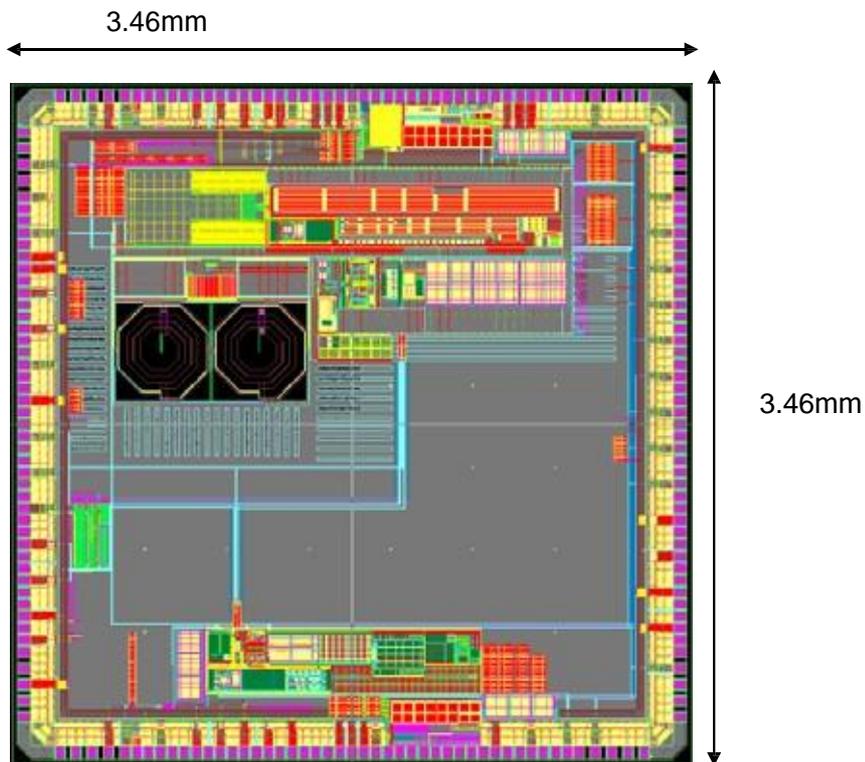
表Ⅲ. 2-3-2-2-1を反映したPLL回路のレイアウト図を図Ⅲ. 2-3-2-2-12に示す。



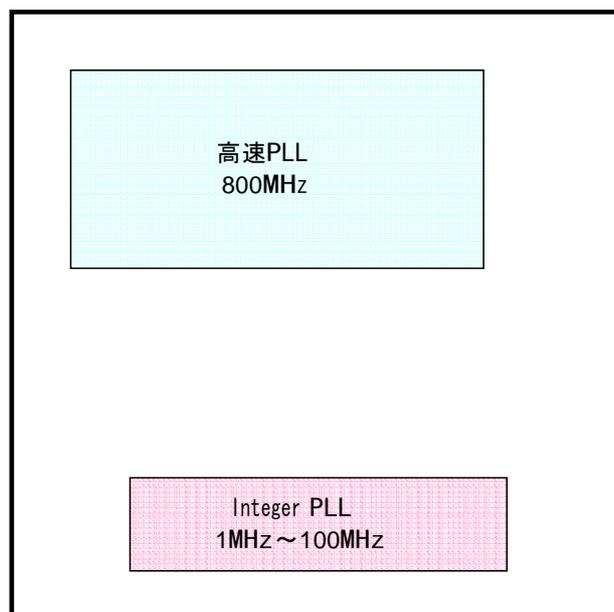
図Ⅲ. 2-3-2-2-12表Ⅲ. 2-3-2-2-1を反映したPLL回路のレイアウト図

2. 3. 2. 3. 2. 4 チップ全体のレイアウト

図Ⅲ. 2-3-2-2-13にチップ全体のレイアウトを示し、図Ⅲ. 2-3-2-2-13に対応するフロアプランを示す。



図Ⅲ. 2-3-2-2-13チップ全体のレイアウト図

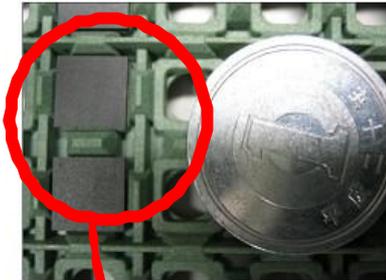


図Ⅲ. 2-3-2-2-14フロアプラン

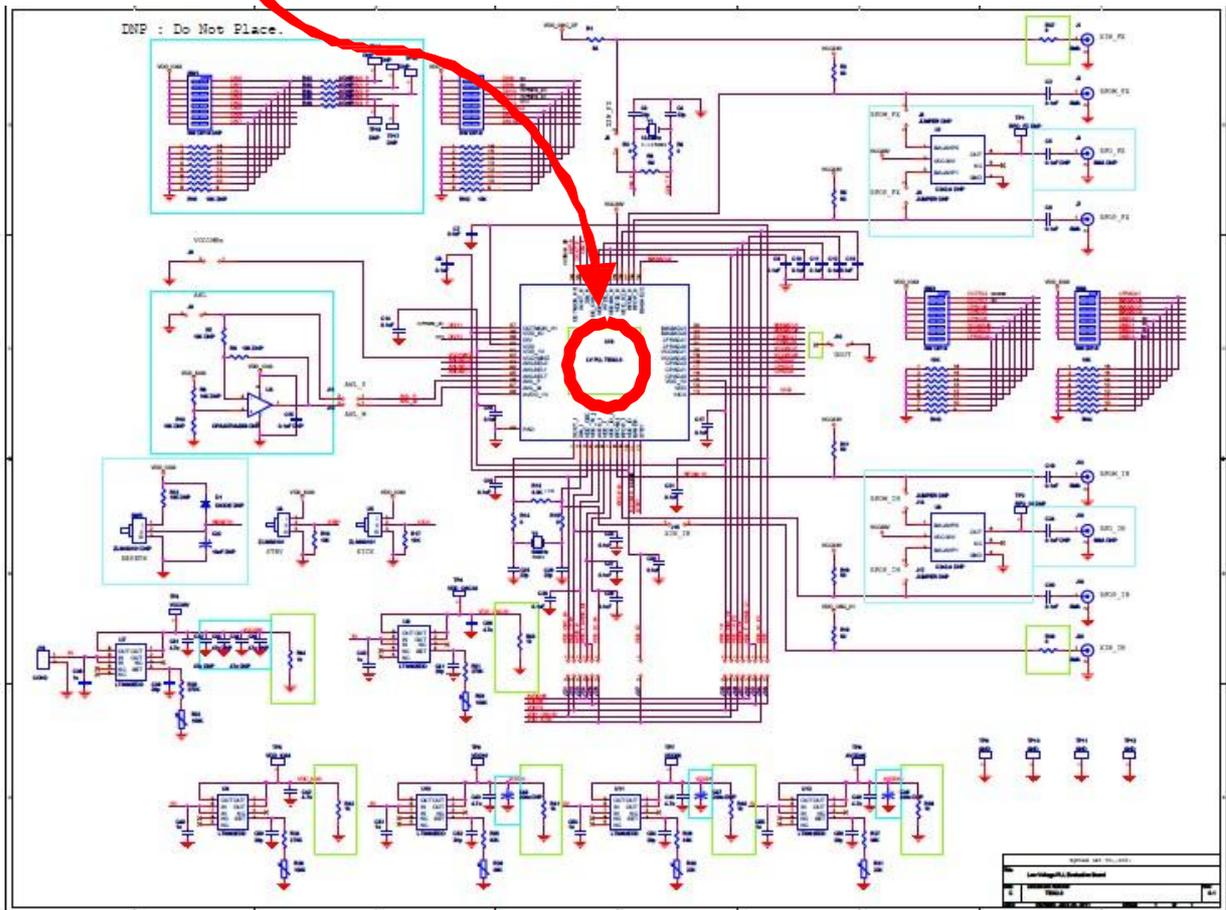
### 2. 3. 2. 3. 2. 5 評価ボード開発と評価

2種類のPLLの特性を評価するため、ICチップを図Ⅲ. 2-3-2-2-15に示すように48ピンQFNに組み立て、図Ⅲ. 2-3-2-2-16に示す評価基板を作成し、評価を実施した。

PLL IC 7mmx7mm



図Ⅲ. 2-3-2-2-15 特性評価用ICチップ

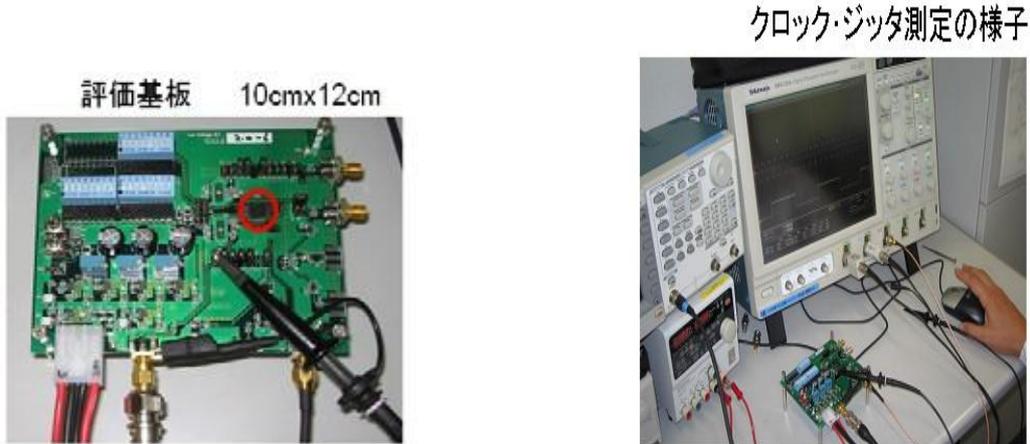


図Ⅲ. 2-3-2-2-16特性評価基板

2. 3. 2. 3. 2. 5. 1 超低消費電力PLL評価結果

図Ⅲ. 2-3-2-2-17に作成した評価基板を示す。

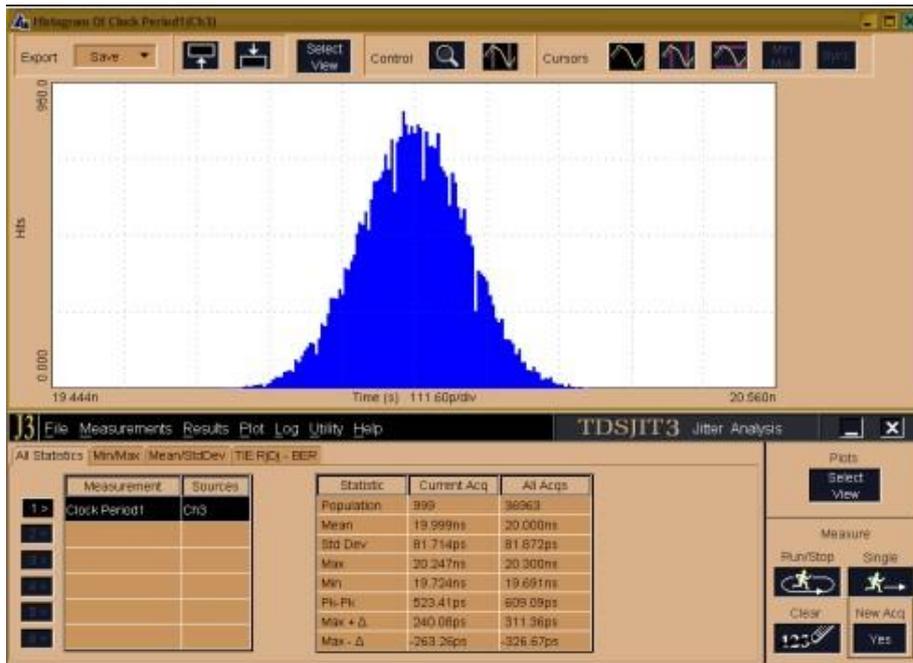
また、図Ⅲ. 2-3-2-2-18には、クロック・ジッター評価の様子を示す。



図Ⅲ. 2-3-2-2-17 評価基板

図Ⅲ. 2-3-2-2-18

代表的なクロック・ジッター測定結果を図Ⅲ. 2-3-2-2-19に示す。



図Ⅲ. 2-3-2-2-19クロック・ジッター測定結果の例

測定結果を表Ⅲ. 2-3-2-2-2に示すが、全項目に関して、目標値を満たすことができた。

表Ⅲ. 2-3-2-2-2超低消費電力PLL測定結果

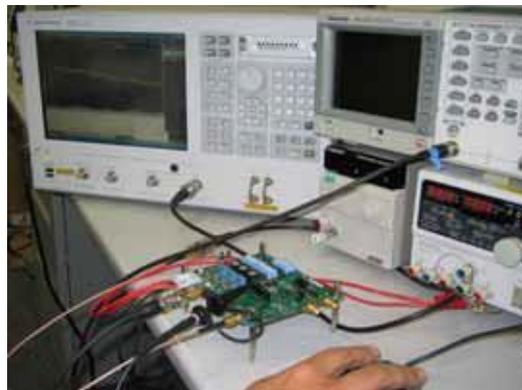
電流制御発信器 周波数	基準周波数	Divider	ジッター (シグマ)	消費電力
10MHz	1.25MHz	8	0.32% 目標: 1%	8.8uW 目標: 10uW
50MHz	6.25MHz	8	0.41% 目標: 1%	38uW 目標: 50uW
100MHz	12.5MHz	8	0.82% 目標: 1%	67uW 目標: 100uW

2. 3. 2. 3. 2. 5. 2 低位相雑音PLLの評価結果

図Ⅲ. 2-3-2-2-20に作成した評価基板を示す。また、図Ⅲ. 2-3-2-2-21には、位相雑音測定の様子を示す。



図Ⅲ. 2-3-2-2-20



図Ⅲ. 2-3-2-2-21

代表的なクロック・ジッタ測定結果を図Ⅲ. 2-3-2-2-22に示す。



図Ⅲ. 2-3-2-2-22

測定結果を表Ⅲ. 2-3-2-2-3に示すが、全項目に関して、目標値を満たすことができた。

表Ⅲ. 2-3-2-2-3低位相雑音PLL測定結果

出力発振周波数	基準周波数	Divider	位相雑音	備考
800MHz	50MHz	32	-91dBc	DVB-T仕様
			目標: -90dBc	@1kHz
			-105.5dBc	ATS-C仕様
			目標: -105dBc	@20kHz

2. 3. 2. 3. 3 0.5V, 7bit 低電力 ADC

2. 3. 2. 3. 3. 1 概要

表記低電圧ADCはフラッシュ型のA/D変換方式を用いた。フラッシュADCは分解能Nに対して $2^N$ 個の比較器を必要とするため、1ビットの拡張を図った場合には面積、消費電力共に2倍に増大するという課題がある。そこで本課題では、比較器の出力信号遅延時間を比較することで比較点を形成することができる遅延補間技術を考案し、小面積化、低消費電力化を行った。そして0.5V, 7bit フラッシュADCを設計試作し、評価を行った。

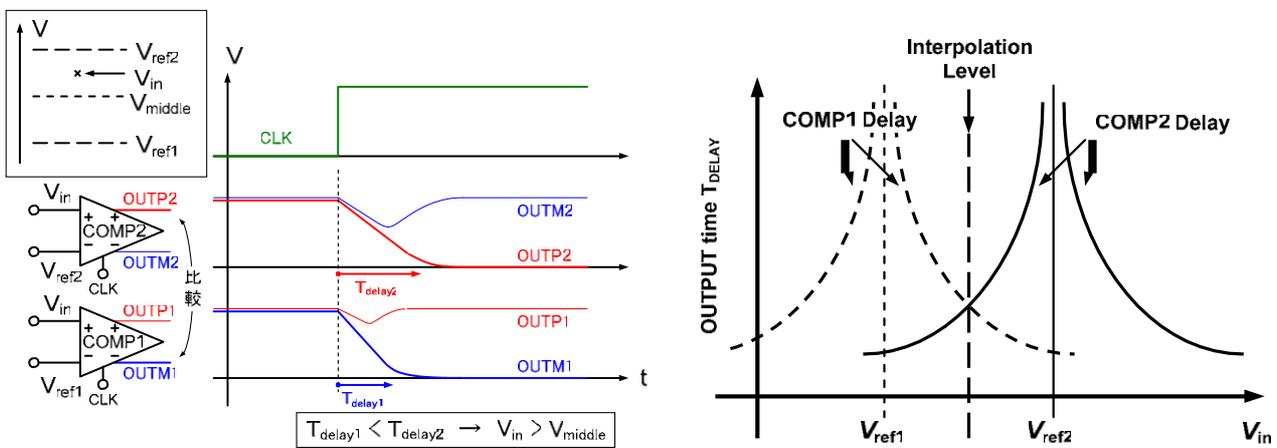
2. 3. 2. 3. 3. 2 回路設計

ラッチ型比較器は、差動入力に対してどちらの信号が大きいかを判定するための回路である。通常この判定を用いてフラッシュADCを構成する。一方でラッチ型比較器は入力信号振幅に対して判定結果を出力する遅延時間が変化するという特性を持つ。そこで図Ⅲ. 2-3-2-3-1に示すように、この特性を利用して、2つの異なるしきい値を有する比較器の出力遅延時間を比較することで、異なるしきい値の中間の補間比較点が生成できる。遅延時間の比較動作は図Ⅲ. 2-3-2-3-1のCOMP1のOUTM1 とCOMP2のOUTP2の出力を2つのNOR回路からなるSRラッチ回路を用いて比較することで実現できる。SRラッチ回路のオフセットばらつきは、前段のラッチ型比較器の利得により大幅に低減できるため、特別なオフセット補償回路を設けなくても十分な精度が得られる。このため面積の増加、消費電力を大幅に低減でき、面積では従来の2倍に対して1.15倍、消費電力では2倍に対して1.16倍に抑えられることを確認した。

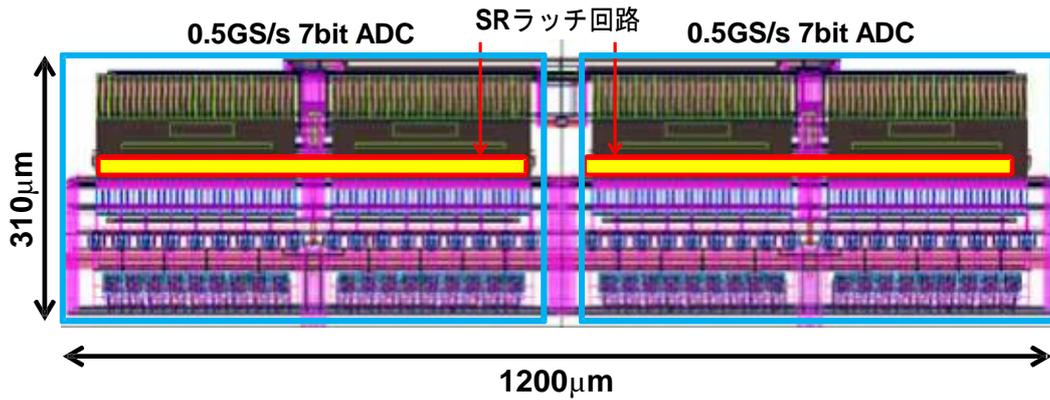
2. 3. 2. 3. 3. 3 評価結果

以上の技術を実証するため90nm CMOSプロセスを用いて試作を行った。図Ⅲ. 2-3-2-3-2にレイアウトを示す。7bit フラッシュADCを2チャンネル搭載し、インターリーブ動作をさせている。チップ面積は $0.372\text{mm}^2$ となった。図Ⅲ. 2-3-2-3-3に測定結果を示す。0.5V時に0.7GS/sまで、0.6V時に1GS/sまでの正常動作が確認された。図Ⅲ. 2-3-2-3-4に動作周波数と消費電力の関係を示す。リーク電流を除いた動作電力は0.5V, 1GS/s動作時に3.0mW (リーク電流を除く), 5.2mW (リーク電流を含む), 0.6V, 1GS/s動作時に3.7mW (リーク電流を除く), 9.2mW (リーク電流を含む)となった。

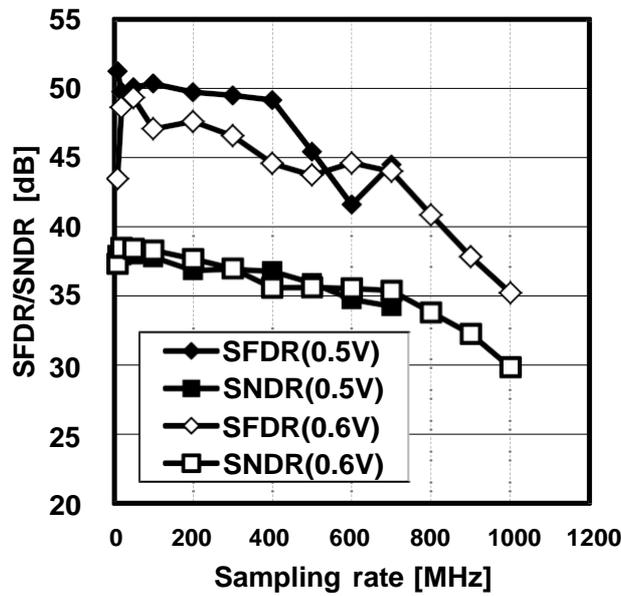
目標は0.5V, 1GHz動作時に3mWであったので、ほぼ目標を達成した。このような低電圧で1GHzの超高速動作を実現したADCは未だに存在しないので、アナログ回路の低電圧化にとって大きな前進である。



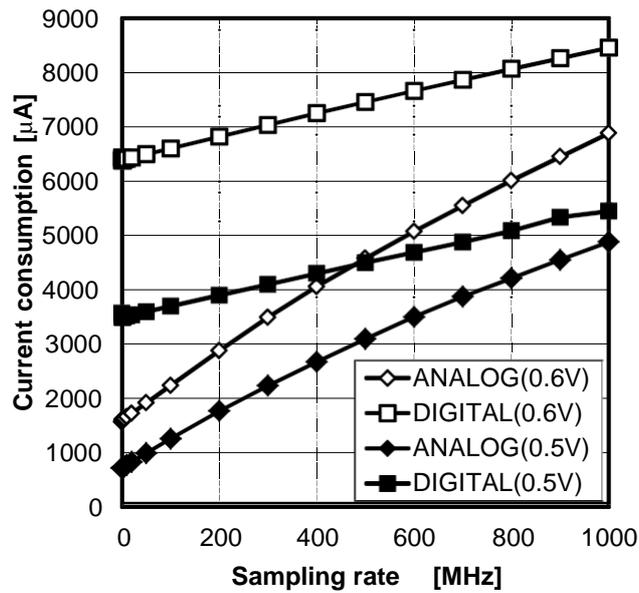
図Ⅲ. 2-3-2-3-1. 補間動作の概念図



図Ⅲ. 2-3-2-3-2. ADCのレイアウト



図Ⅲ. 2-3-2-3-3. 測定結果



図Ⅲ. 2-3-2-3-4. 消費電流

2. 3. 2. 3. 4 0.5V, 10bit 電流出力型 DAC

2. 3. 2. 3. 4. 1 概要

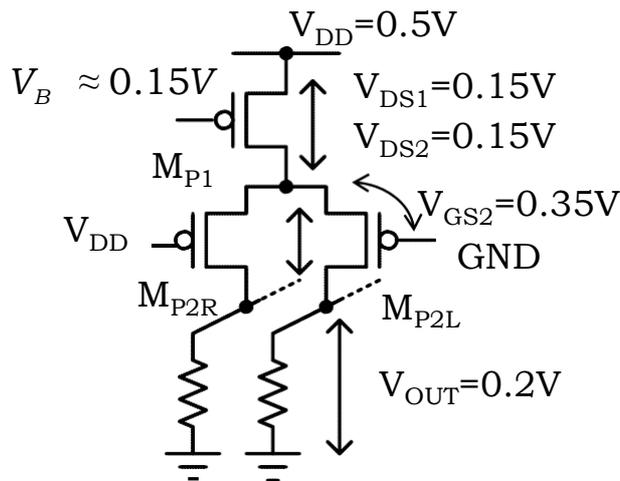
本課題では、図Ⅲ. 2-3-2-4-1に示すように電流源の動作電圧最適化を行った。また、低電圧動作ではオペアンプを用いた基準電圧の生成が困難であるため、図Ⅲ. 2-3-2-4-2に示す比較器と抵抗DACを用いた構成によるバイアス電流制御回路を開発し、低電圧化でも安定に動作できるようにした。

2. 3. 2. 3. 4. 2 回路設計

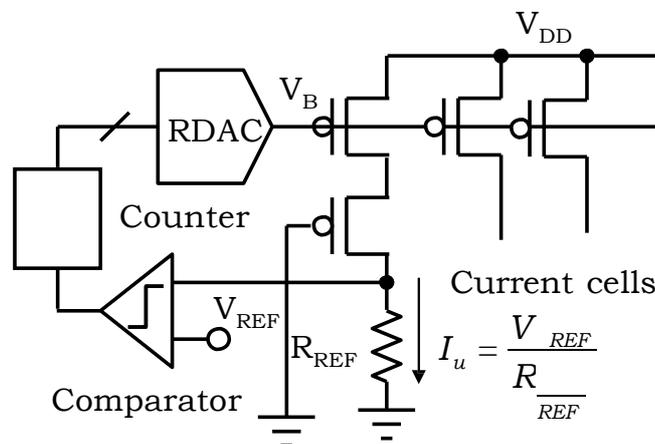
平成22年度の評価結果ではサンプリング周波数が750MS/sと目標の1GHzに対して未達であったので、高速化を目的としてDACのデジタルデータ入力回路と評価ボードの改善を行った。デジタル入力回路はパッド端からDACまでのバッファ段数を見直し、高速動作時にもDACに適切な振幅でデータを与えられるよう改善した。また、チップ実装時のワイヤボンディングによるインダクタンス成分を考慮して、信号経路に適切なダンピング抵抗を挿入し高速化を図った。

2. 3. 2. 3. 4. 3 評価結果

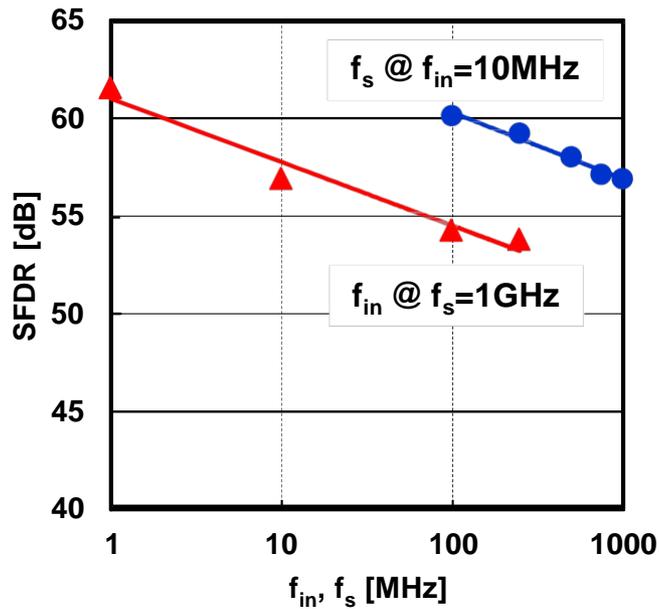
評価の結果図Ⅲ. 2-3-2-4-3に示すように変換周波数1GS/sまで出力周波数10MHzにおけるSFDRは57dB以上となることが確認された。また、変換周波数1GS/s、出力周波数250MHzにおいてSFDR 54dBが得られ、前回評価時よりも+12dB改善した。0.5V動作で1GS/sの変換速度の達成は初めてであり、アナログ出力電流を除く消費電力は1.9mWと低電力化も同時に達成した。目標は0.5V, 1GHz, 2mWであったので、当初目標を達成した。



図Ⅲ. 2-3-2-4-1. 電流源回路



図Ⅲ. 2-3-2-4-2. 電流制御回路



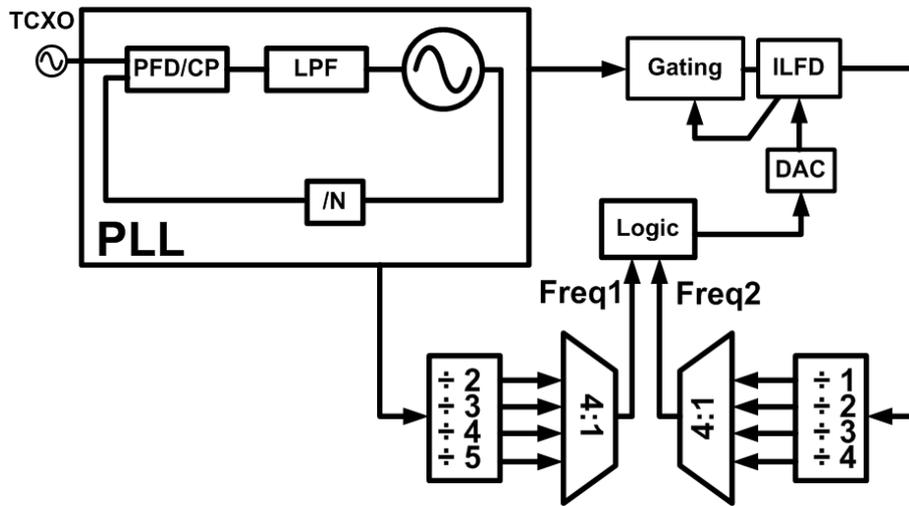
図Ⅲ. 2-3-2-4-3. 評価結果

- 2. 3. 2. 3. 5 0.5V 広帯域・低位相雑音 LC 型 VCO
- 2. 3. 2. 3. 5. 1 概要

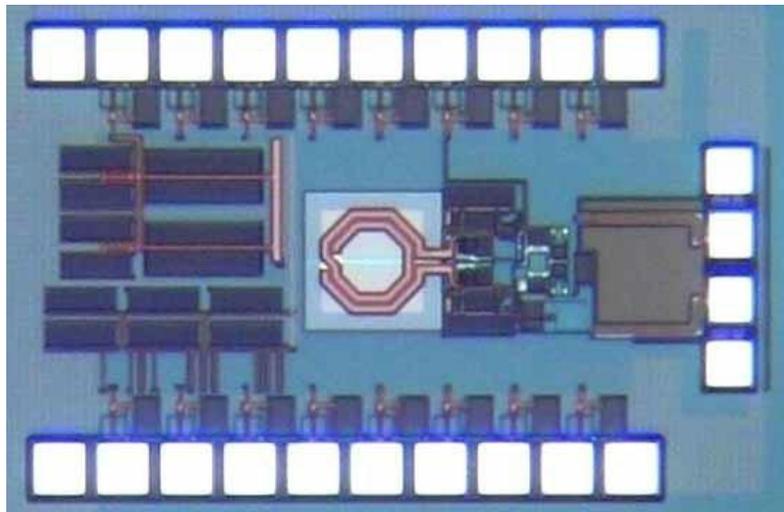
0.5V の低電圧での動作が可能であることと、消費電力が小さいことを理由に、LC 型の電圧制御発振器 (VCO) の検討を行った。LC 型はリング型に比べると理論上1000 倍以上の低消費電力化 が期待できる。一方、周波数可変範囲に課題があり、本研究では、LC 型 VCO でなおかつ分周比 が切り替え可能な周波数分周器を組み合わせることにより、幅広い周波数出力が可能となる方式 を考案した。

- 2. 3. 2. 3. 5. 2 回路設計及び評価結果

図Ⅲ. 2-3-2-5-1 に全体のブロック図を示す。LC 型 VCO は低位相雑音である一方、周波数可変範囲が狭いという問題がある。また、リング VCO は周波数可変帯域が広いが、位相雑音特性が悪い。これら 2 つを注入同期技術により組み合わせることで、低位相雑音かつ広帯域な発振器を実現した 8-11GHz で LC 型 VCO を発振させ、その信号を 100MHz から 9GHz で発振可能なリング VCO に注入同期することにより、リング VCO から出力される信号の位相雑音を大幅に改善されることで、LC 型 VCO と比べても遜色のない位相雑音特性を実現した。本年はリング VCO の周波数キャリブレーション回路を作成した。図Ⅲ. 2-3-2-5-2 に CMOS プロセスで試作した回路のチップ写真を示す。回路解析において、消費電力は全体では 12mW であった。周波数範囲として、100MHz から 8.8GHz の出力が可能である。



図Ⅲ. 2-3-2-5-1. 回路ブロック図



図Ⅲ. 2-3-2-5-2. チップ写真

## 2. 3. 2. 4 開発成果まとめ

### (1) 課題と開発内容要約

#### (A) PLL回路ブロック

0.5Vで動作する超低消費電力PLL回路ブロックの開発に成功した。1MHz-100MHz間は連続設定が可能であり、出力クロックのジッターは1%以内に抑えている。また、消費電力は、 $1\mu\text{W}/1\text{MHz}$ を実現した。SoCに搭載されるための回路ブロックとしては、デジタル回路だけによる実現が望ましいが、 $1\mu\text{W}/1\text{MHz}$ という超低消費電力仕様を満たすことは極めて困難であり、本研究ではアナログ回路を使用して目標を実現した。開発した回路ブロックは、1) 位相・周波数比較器、2) 電荷注入器、3) 低周波透過フィルタ、4) 電圧・電流変換器、5) 電流制御発振器、6) コモンモード制御器、7) プログラム型周波数分周器である。これら全てを0.5Vで動作させ、かつ十分な電源雑音抑圧性能及びダイナミック・レンジを確保するため、全部品は完全差動回路で実現した。また、0.5V動作でも十分な電流駆動能力を確保するための回路上の工夫を施した。21年、22年度前半はTSMC社90nm標準CMOSを使って全構成部品を1チップ上に集積し、22年後半、23年度は、TSMC社65nm標準CMOSを使って全構成部品を1チップ上に集積試作チップを作成し、QFN48ピン・パッケージに組み立て、また、組み立てたICを評価するため、評価基板を設計、製作し、性能評価を行なった。その結果、目標仕様を全て満たすことができた。

#### (B) ADC回路ブロック

0.5Vで動作する精度7bit、変換速度1GS/sのADC回路ブロックの開発に成功した。フラッシュ型のAD変換方式を用いたが、通常のコンパレータを並列にする構造では128個のコンパレータが必要となり、面積及び消費電力上好ましくない。本研究では比較器の出力信号遅延時間を比較する新方式を開発して、0.5Vで1GHz動作の低消費電力ADCを実現し、目標仕様を満たした。

#### (C) 電流出力型DACの回路ブロック

0.5Vで動作する精度10bit、変換速度1GS/sのDAC回路ブロックの開発に成功した。0.5Vでは従来のオペアンプを用いた構成が取れないので、比較器と抵抗DACを用いた新しいバイアス電流制御回路を開発し、0.5Vで1GHz動作の低消費電力の電流出力型DACを実現し、目標仕様を満たした。

#### (D) 広帯域低位相雑音VCOブロック

低電圧動作が可能なLC型電圧制御発振器を有する低消費電力PLLを開発した。従来のLC型VCOでは広周波数可変範囲動作を実現することは困難であったが、新たに分数分周が可能な注入同期回路を開発し、幅広い周波数出力と低位相雑音特性の両立を達成した。100MHzから8.8GHzの周波数範囲の出力が可能であり、消費電力は12mWであった。

## 2. 4 電源回路技術開発

### 2.4.1 目標

電源電圧 0.5V 動作 LSI 向けに、(1)電源回路、(2)ロジック回路等と適応型協調制御した電源システム技術を開発する。この電源システムによって、0.5V 程度の入力電源電圧が±20%変動してもロジック回路等が正常動作することを LSI チップ試作により実証する。

### 2.4.2 課題と開発方針

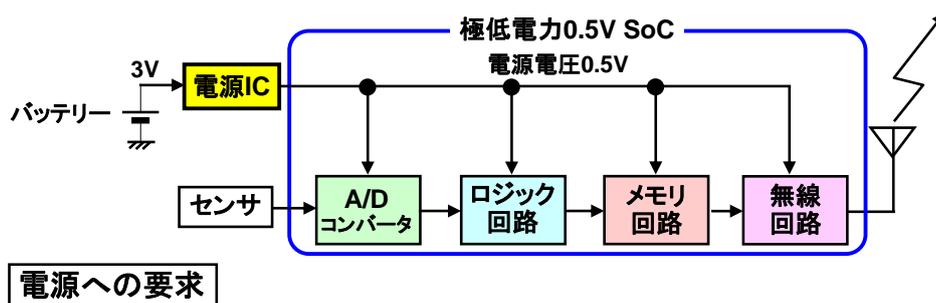
本電源回路技術開発の背景の説明として、図Ⅲ.2.4-1 に極低電力 0.5V SoC (System on Chip)における電源回路への要求事項を示す。SoC では図Ⅲ.2.4-1 に示すように、A/D コンバータ、ロジック回路、メモリ回路、無線回路など様々な回路が 1 チップに搭載される。最も単純に 0.5V SoC を実現するためには、バッテリー出力 (例えば 3V) を電源 IC で 0.5V へ降圧して SoC に供給する方法が考えられる。しかし、この方法には図Ⅲ.2.4-1 に示す 4 つの要求事項がある。

第 1 の要求事項は、0.5V 程度の極低電圧で動作するロジック回路等では通常の 1.1V 動作に比べ、回路遅延が電源電圧変動に対して非常に敏感になって誤動作しやすくなるので、電源電圧を一定に制御してやる必要がある。

第 2 の要求事項は、3.5 章で後述するように、SoC に搭載される各回路ブロックは最適な電源電圧がそれぞれ異なる点である。従って、SoC 内で複数の電源電圧を必要とする。

第 3 の要求事項は、電源電圧 0.5V では PVT(process、 voltage、 temperature)ばらつきに起因する回路特性のばらつきが大きい点である。そこで、ばらつきをチップ動作時に補正するために可変電源電圧を必要とする。

第 4 の要求事項は、電源 IC の入力電圧は通常 1V 以上であるため、2.4.3.1.4 節で後述する約 0.1V の入力電圧での動作を必要とするエネルギーハーベスティングには対応できないので、低い入力電圧からの昇圧を実現することである。



#### 電源への要求

- (1) 低電圧では回路遅延が電源電圧変動に対して**敏感**  
→電源電圧を一定に制御
- (2) 各回路を電力最小にするための電源電圧がそれぞれ異なる  
→チップ内で**複数**電圧が必要
- (3) 0.5V設計では回路特性のばらつきが大きい  
→ばらつきを補正するためには**可変**電圧が必要
- (4) 電源の**入力**は通常**1V以上**  
→バッテリー入力のみに対応

図Ⅲ.2.4-1 極低電力 0.5V SoC における電源回路への要求事項

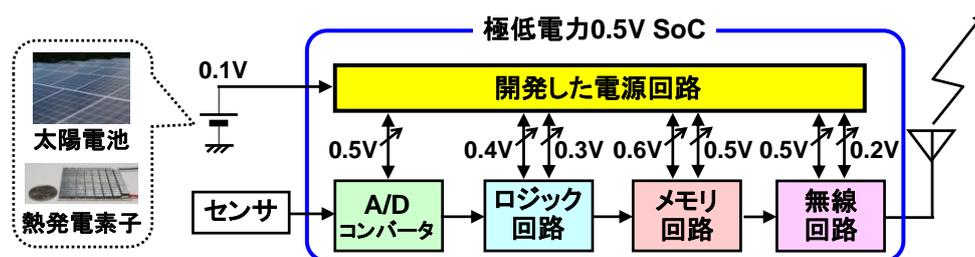
図Ⅲ.2.4-1 に示した要求事項に応えるために、新しい電源回路を開発した。開発した電源回路の意義を図Ⅲ.2.4-2 に示す。

第1に、SoC内の各回路ブロックと電源回路の間で、必要な電源電圧をフィードバック制御する適応型協調制御を行うことにより、低電圧でも安定動作を実現できる。

第2に、SoCの外部ではなく内部に電源回路を搭載することにより、複数の電源回路を搭載することが容易となり、SoC内の各回路ブロックが必要とする最適電源電圧をそれぞれ供給することが可能になる。従って、SoC内の各回路ブロックの消費電力を最小化することができ、低消費電力なSoCを実現することができる。

第3に、電源回路もSoCに搭載されているため、電源回路と各回路（A/Dコンバータ、ロジック回路、メモリ回路、無線回路など）の間でばらつき補正のために電源電圧のフィードバック制御を行うことが可能になる。従って、従来のワースト設計における不要な設計マージンを削減できるため、SoCを低電力化することができる。フィードバック制御の具体例は2.4.3.2節で後述する。

第4に、0.1V入力からの昇圧動作が可能な電源回路を新規開発した。これにより、室内光動作の単セル太陽電池や温度差2℃程度で熱発電素子から出力される約0.1Vを利用したエネルギーハーベスティングが可能となる。エネルギーハーベスティングの具体例は2.4.3.1.4節で後述する。

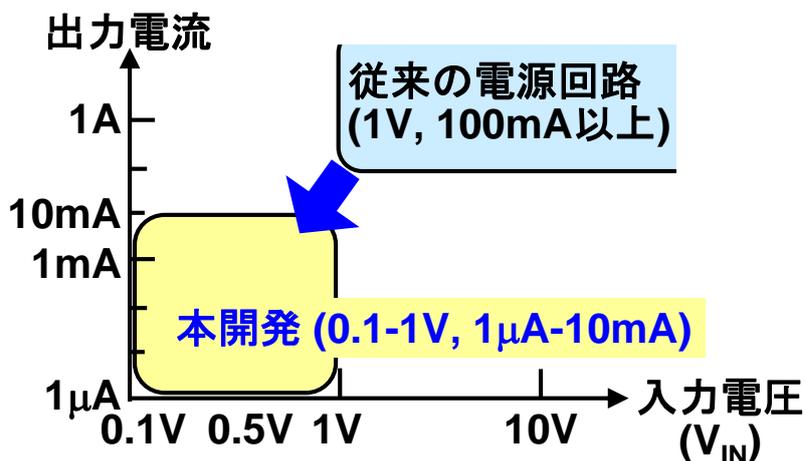


- (1) 適応型協調制御  
→低電圧でも安定動作
- (2) 0.5V設計では必須の複数電源電圧を各回路へ供給  
→低電力化
- (3) 可変電源電圧でばらつき補正  
→不要な設計マージンを削減できるため低電力化
- (4) 0.1Vからの昇圧  
→エネルギーハーベスティングに対応

図Ⅲ.2.4-2 開発した電源回路技術の意義

2.4.1節で述べた「0.5V程度の入力電源電圧が±20%変動してもロジック回路等が正常動作することを実証する」という目標に対しては、ロジック回路と電源回路をフィードバック動作させることによりロジック回路動作に必要な最低限の電源電圧を供給する「適応型協調制御 0.5V電源システム」により実現する。この適応型協調制御 0.5V電源システムを実現するための要素回路として、0.5Vで動作する電源回路が求められる。この電源回路のターゲット仕様と、課題・提案技術を以下で説明する。2.4.1章で述べた電源電圧0.5V動作LSIは極低電力であるため、従来よりも「低入力電圧」「低出力電流」の電源回路が必要となる。図Ⅲ.2.4-3に

本開発における電源回路のターゲットを示す。従来の市販の電源回路は入力電圧が 1V 以上、出力電流が 100mA 以上であるものが大部分であるため、電源電圧 0.5V 動作 LSI にそのまま適用するのは困難である。これに対して、本開発における電源回路のターゲットは、「入力電圧が 0.1V から 1V、出力電流が  $1\mu\text{A}$  ~ 10mA」であり、従来の電源回路よりも「低入力電圧」「低出力電流」である。従来の方式の電源回路において、単純に「低入力電圧化」「低出力電流化」を行うと、電源回路の効率が低下し、さらには電源回路としてファンクションしなくなる。



図Ⅲ. 2. 4-3 本開発における電源回路のターゲット

図Ⅲ. 2. 4-4 に低入力電圧、低出力電流電源の 3 つの課題と提案技術を示す。

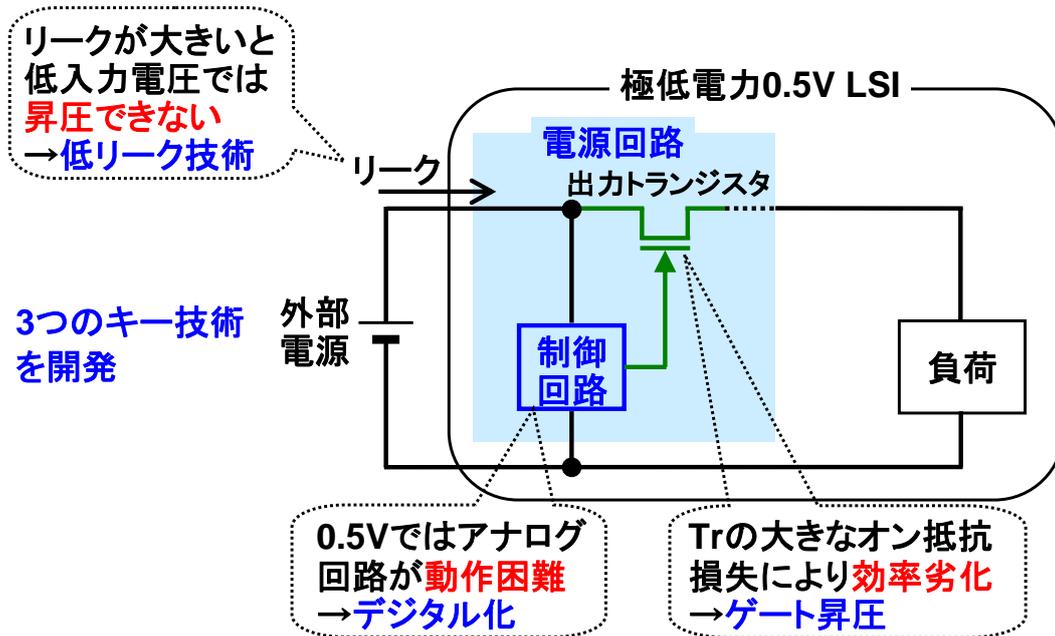
第 1 の課題は低入力電圧によるトランジスタのオン抵抗増加による電源回路の効率低下である。この課題を解決したのが電源の「加速」テーマに該当する。通常、電源回路の中で用いられるパワートランジスタは、電源回路の入力電圧でオンオフ動作を行う。その入力電圧が 0.5V 以下に下がると、電源回路の中で用いられるパワートランジスタのしきい電圧（例えば、0.4V）と同等、またはそれ以下となってしまうため、パワートランジスタのオン抵抗が高くなってしまふ。従って、電源回路の効率が低下する。また、低出力電流化によっても、制御回路の電力オーバーヘッドが顕在化するため電源回路の効率が低下する。

第 2 の課題は、電源回路の中の制御回路が入力電圧 0.5V 以下では、電源回路としてファンクションしなくなる点である。例えば、2. 4. 3. 1. 1 節で後述するリニアレギュレータで、従来方式の制御回路においてはオペアンプが用いられる。また、2. 4. 3. 1. 3 節で後述する Buck コンバータで、従来方式の制御回路においてはアンプが用いられる。これらのオペアンプ、アンプに代表されるアナログ回路を電源電圧 0.5V 以下で動作させることは一般に困難である。

第 3 の課題は、低入力電圧の昇圧回路において入力リーク電流が大きいと入力電圧を下げられない点である。2. 4. 3. 1. 4 節で後述するエネルギーハーベスティング用の Boost コンバータでは、起動用のチャージポンプ回路の出力のリーク電流が大きいと、Boost コンバータの入力電圧 (=起動電圧) を下げることができない。

以上の 3 つの課題を解決するため、新たに 3 つの技術を開発した。第 1 の課題に対して、ゲート昇圧技術を開発することにより、電源回路の効率を向上させた。第 2 の課題に対して、制御回路のデジタル化技術を開発することにより、入力電圧 0.5V 以下でもファンクションする電源回路を実現した。第 3 の課題に対して、低リーク技術を開発することにより、入力電圧

80mV 以上で動作する昇圧回路を実現した。



図Ⅲ. 2. 4-4 低入力電圧、低出力電流電源の 3 つの課題と提案技術

図Ⅲ. 2. 4-4 で示した 3 つの課題と、2. 4. 3 章で示す開発項目との対応表を表Ⅲ. 2. 4-1 に示す。

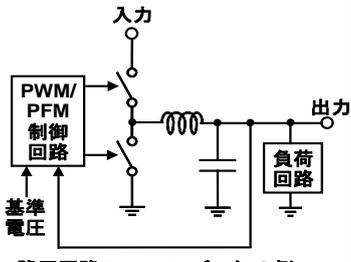
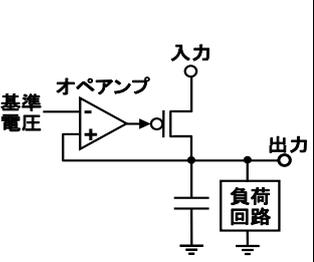
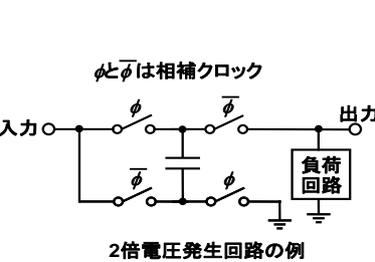
表Ⅲ. 2. 4-1 電源回路の課題と開発項目の対応表

課題	2. 4. 3. 1. 1 リニアレギュレータ	2. 4. 3. 1. 2 スイッチトキャパシタ電源回路	2. 4. 3. 1. 3 降圧 DC-DC コンバータ (Buck コンバータ)	2. 4. 3. 1. 4 昇圧 DC-DC コンバータ (Boost コンバータ)	2. 4. 3. 2 適応型協調制御 0.5V 電源システム
(1) 低入力電圧における効率低下		✓ ゲート昇圧	✓ ゲート昇圧		
(2) 0.5V では制御回路のアナログ回路が動作困難	✓ デジタル化		✓ デジタル化		✓ デジタル化
(3) 昇圧回路において入力リーク電流が大きいと入力電圧を下げられない				✓ 低リーク技術	

## 2.4.3 開発成果詳細

### 2.4.3.1 0.5V 動作可能な新規要素電源回路の開発

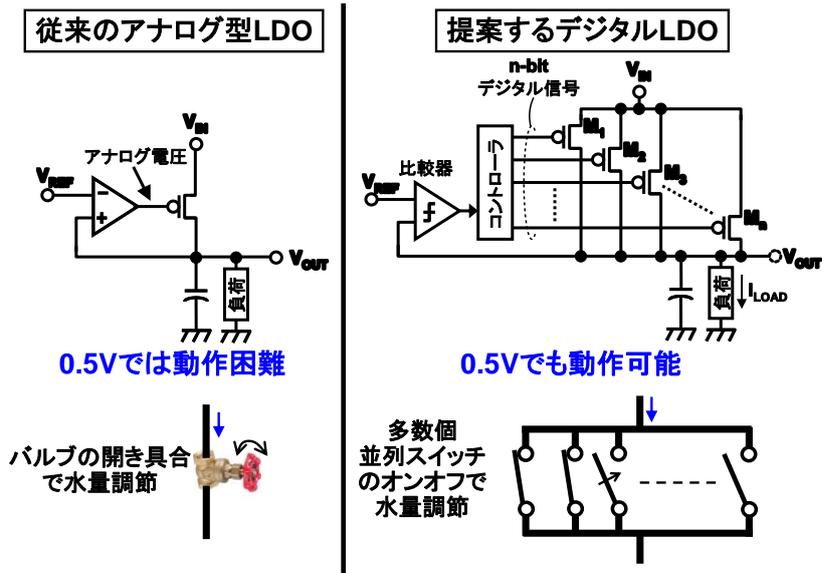
図Ⅲ.2.4-3で示した本開発のターゲットを実現する0.5V動作可能な電源要素回路一式を開発した。図Ⅲ.2.4-5に開発した電源要素回路一式を示す。電源電圧0.5V動作LSI向けに必要なとされる電源回路を網羅的に開発した。一般に、電源回路は図Ⅲ.2.4-5に示すように、「DC-DCコンバータ」「リニアレギュレータ」「スイッチトキャパシタ電源回路」の3種類に大別される。これら3種類の電源回路には図Ⅲ.2.4-5に示す長所と短所があるので、用途によって使い分けがされる。さらにこれらの電源回路を降圧と昇圧に分類すると、リニアレギュレータは昇圧できないため、全部で5通りの電源回路が存在する。様々な極低電力LSIチップに対応できるよう、これら5通りの電源回路すべてを開発した。開発した電源回路の代表的な入力電圧と出力電圧を図Ⅲ.2.4-5に示す。次章から、それぞれの電源回路の詳細を説明する。

名前	<ul style="list-style-type: none"> <li>・DC-DCコンバータ</li> <li>・スイッチングレギュレータ</li> </ul>	<ul style="list-style-type: none"> <li>・リニアレギュレータ</li> <li>・シリーズレギュレータ</li> <li>・LDO(Low Drop-Out)</li> </ul>	<ul style="list-style-type: none"> <li>・スイッチトキャパシタ電源</li> <li>・チャージポンプ</li> </ul>
回路	 <p>降圧回路(Buckコンバータ)の例</p>		 <p>2倍電圧発生回路の例</p>
長所	高効率 出力電流大	低リップル インダクタ不要	高効率 インダクタ不要
短所	インダクタが必要 リップル大	効率低い (効率≒出力電圧/入力電圧)	出力電圧が固定 出力電流小
降圧	0.45V入力→0.4V出力	0.5V入力→0.45V出力	1V入力→0.5V出力
昇圧	0.08V入力→1.3V出力		0.5V入力→1V出力

図Ⅲ.2.4-5 開発した電源要素回路一式

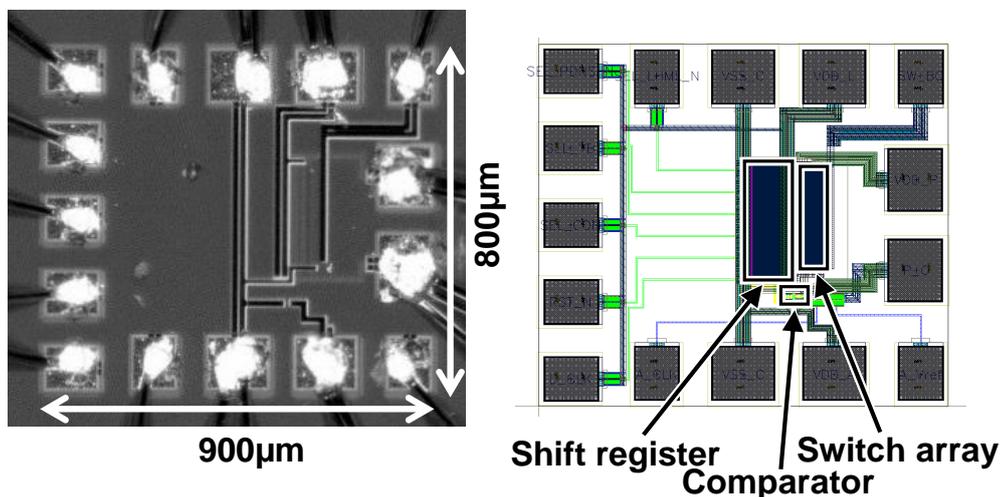
#### 2.4.3.1.1 リニアレギュレータ

本節では0.5V入力、0.45V出力のLow Drop-Out (LDO)リニアレギュレータについて述べる。図Ⅲ.2.4-6に従来のアナログ型LDOと提案するデジタルLDO(この内容はCICC2010で発表)の回路図を対比して示す。従来のアナログ型LDOでは、pMOSのゲート電圧をオペアンプでアナログ電圧制御する。一方、提案のデジタルLDOでは、n個のpMOSを並列接続し、比較器のデジタル出力に応じてpMOSのゲート電圧をデジタル信号でオンオフ制御する点が異なる。入力電圧( $V_{IN}$ )が0.5Vにおいては、アンプが電源電圧0.5Vで動作困難であるため、従来のアナログ型LDOは実現困難である。一方、提案のデジタルLDOでは、アナログ回路をデジタル回路(コントローラ、比較器)で置き換えたため、0.5Vでも動作可能である。

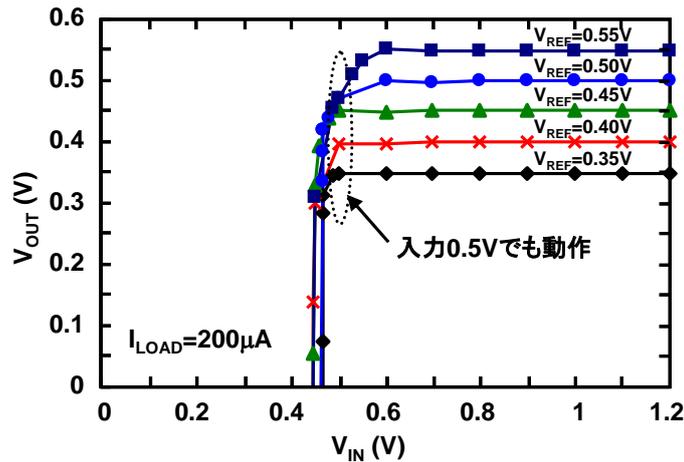


図Ⅲ. 2. 4-6 従来のアナログ型 LDO と提案する 0. 5V 入力 of デジタル LDO の回路図

図Ⅲ. 2. 4-7 に 65nm CMOS で試作したデジタル LDO のチップ写真とレイアウトを示す。図Ⅲ. 2. 4-8 にデジタル LDO の出力電圧 ( $V_{OUT}$ ) の入力電圧 ( $V_{IN}$ ) 依存の実測結果を示す。参照電圧 ( $V_{REF}$ ) を変化させた。アナログ回路をデジタル化することにより、世界最低の入力電圧 0. 5V におけるレギュレータ動作を実証した。表Ⅲ. 2. 4-2 に従来のレギュレータとの比較を示す。開発したデジタル LDO は世界最低の入力電圧 (0. 5V) ・出力電圧 (0. 45V) と、世界最小の制御部の消費電流 ( $2. 7 \mu A$ ) を達成した。



図Ⅲ. 2. 4-7 65nm CMOS で試作したデジタル LDO のチップ写真とレイアウト



図Ⅲ. 2. 4-8 デジタル LDO の出力電圧 ( $V_{OUT}$ ) の入力電圧 ( $V_{IN}$ ) 依存の実測結果

表Ⅲ. 2. 4-2 従来のレギュレータとの比較

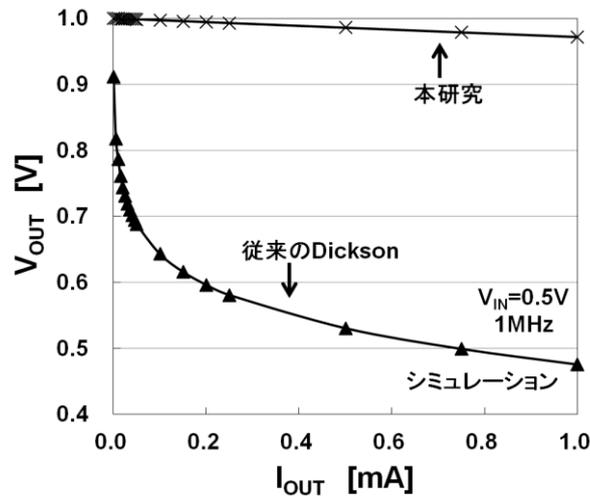
	Unit	ISSCC06 (インテル)	JSSC05 (インテル)	JSSC07 (TI)	ISSCC08 (香港大)	本研究
レギュレータ	-	Half $V_{DD}$ generator	LDO	LDO	LDO	LDO
制御方式	-	デジタル	アナログ	アナログ	アナログ	デジタル
CMOS Technology	-	90nm	90nm	350nm	350nm	65nm
最小入力電圧	V	2.4	1.2	2	1.05	0.5
出力電圧	V	1.2	0.9	1.8	0.9	0.45
出力電流	mA	1000	100	200	50	0.2
制御部の消費電流	$\mu$ A	25700	6000	20 to 320	4.02 to 164	2.7
電流効率	%	97.5	94.3	99.8	99.7	98.7

#### 2. 4. 3. 1. 2 スイッチトキャパシタ電源回路

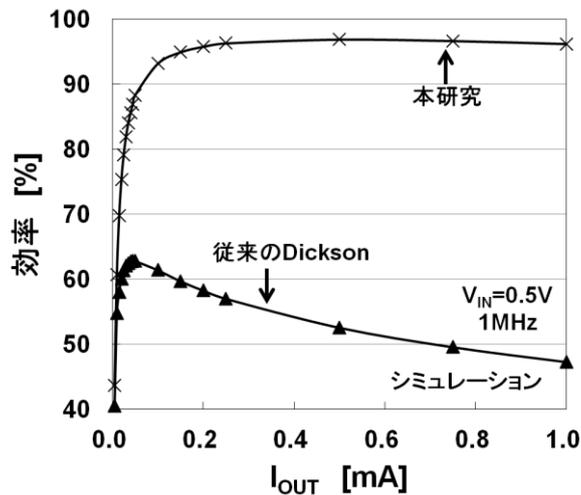
本節では 0.5V 入力、1V 出力のゲート昇圧技術を採用したスイッチトキャパシタ昇圧回路(チャージポンプ回路)について述べる(この内容は電気学会電子回路研究会 2011 で発表)。図Ⅲ. 2. 4-9 に示す従来の Dickson 2 倍昇圧チャージポンプ回路ではダイオードスイッチのしきい電圧 ( $V_{th}$ ) による電圧降下により、0.3V~0.5V 入力では出力電圧および効率が大きく劣化してしまう問題がある。これを解決する手段としてゲート昇圧が考えられる。ゲート昇圧を用いたチャージポンプ回路が文献[1][2]で報告されている。文献[1]では 1.2  $\mu$ m CMOS プロセスを用いてゲート昇圧を用いたチャージポンプ回路が提案・実証されているが、入力電圧が 2V~3V と高く、また実測での効率が示されていない。そこで、本研究では 2 倍昇圧チャージポンプ回路[1]が 0.3V~0.5V 入力という Near-threshold 領域においても効率の大幅な劣化なく動作するかどうかを 65nm CMOS でのチップ試作・実測により検証した。

図Ⅲ. 2. 4-10 に示す回路が文献[1]のゲート昇圧方式を適用した本研究で用いた 2 倍昇圧チャージポンプ回路である。本回路は、出力に  $V_{IN}$  の 2 倍の電圧が出力される。MOS トランジスタのゲート  $g_1$  は図Ⅲ. 2. 4-10 に示すようにブースト容量  $C_{b1}$  により、0.5V~1.0V の電圧振幅で動作し、MOS トランジスタのゲート昇圧することで MOS トランジスタのスイッチ動作を実現している。このため MOS トランジスタのしきい電圧による電圧降下が発生しない。



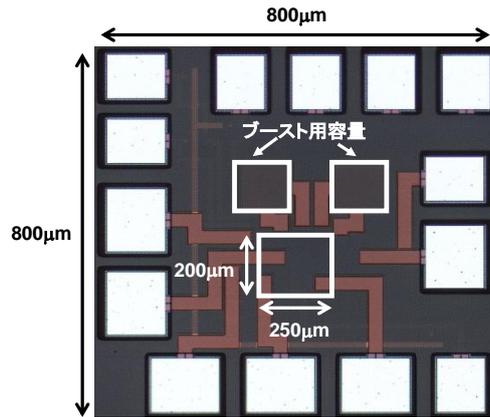


図Ⅲ.2.4-11 本研究と従来の Dickson 2 倍昇圧チャージポンプ回路の出力電圧の出力電流依存の比較 (シミュレーション)

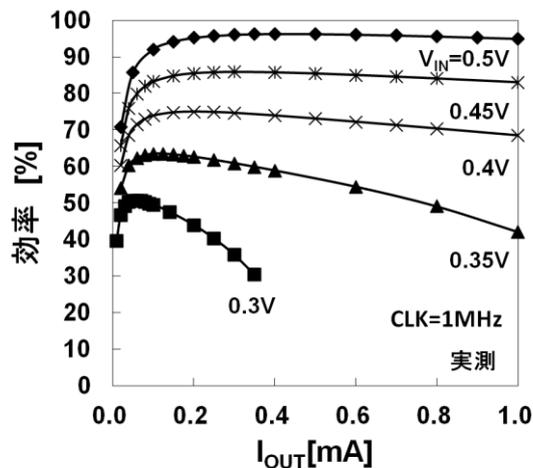


図Ⅲ.2.4-12 本研究と従来の Dickson 2 倍昇圧チャージポンプ回路の効率の出力電流依存の比較 (シミュレーション)

本研究の 2 倍昇圧チャージポンプ回路を 65nm CMOS プロセスで試作した。図Ⅲ.2.4-13 にチップ写真を示す。チップサイズは  $800\mu\text{m} \times 800\mu\text{m}$  であり、アクティブエリアは  $200\mu\text{m} \times 250\mu\text{m}$  である。ゲート昇圧用の容量はオンチップの MIM 容量を用いた。試作チップおよびフライコンデンサ  $C_f$  (47nF)、出力の平滑コンデンサ  $C_d$  (100nF) のチップ容量を評価基板上に実装して測定を行った。図Ⅲ.2.4-14 はクロック周波数 1MHz における、入力電圧を 0.3V から 0.5V に変化させた時の効率の出力電流依存の実測結果である。入力電圧 0.5V、出力電流 0.4mA の時にピーク効率 96% を達成した。



図Ⅲ.2.4-13 65nm CMOS で試作した 2 倍昇圧チャージポンプ回路のチップ写真



図Ⅲ.2.4-14 2 倍昇圧チャージポンプ回路の効率の出力電流依存の実測結果

参考文献：

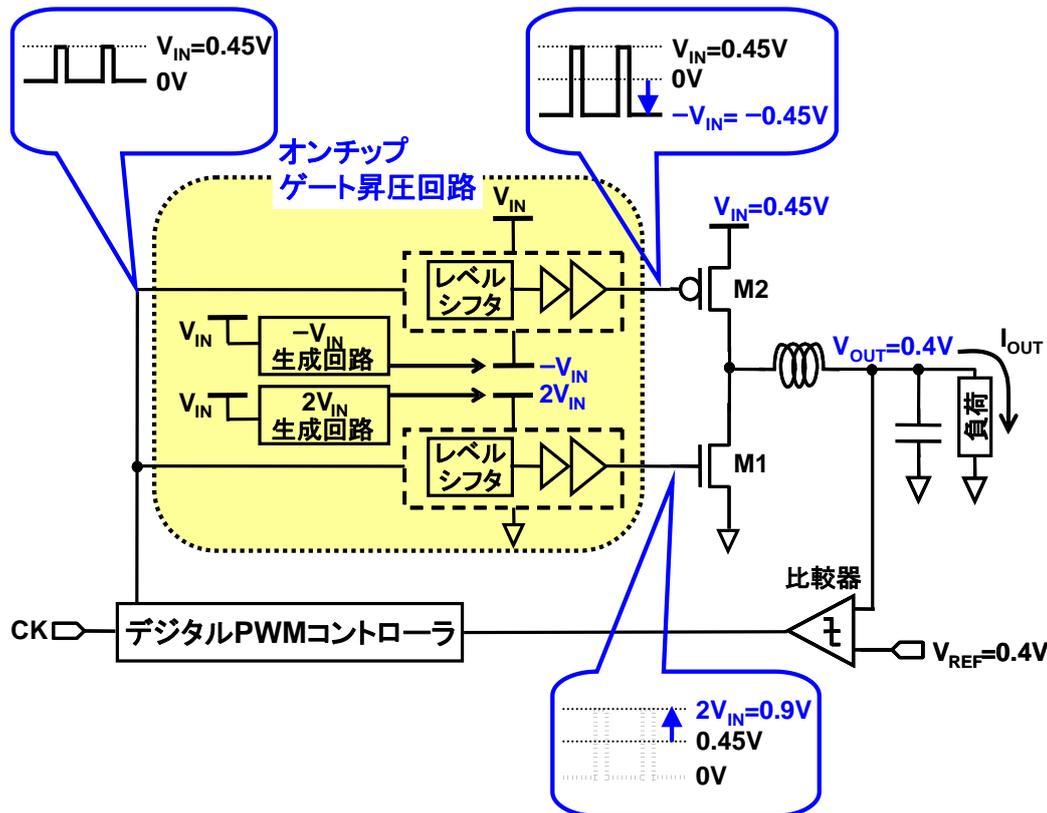
- [1] H. San, H. Kobayashi, T. Myono, T. Iijima, N. Kurokawa: “Highly-Efficient Low-Voltage-Operation Charge Pump Circuits Using Bootstrapped Gate Transfer Switches”, “IEEJ Transactions on Electronics, Information and Systems”, pp.1339-1345, 2000.
- [2] T. Matsukawa, H. San, H. Kobayashi, M. Yoshizawa, N. Kuroiwa, T. Myono, T. Suzuki, Y. Onaya: “High-Efficiency Charge Pump Circuits”, 第 17 回 回路とシステム (軽井沢) ワークショップ, pp.69-74, Apr. 2004.

#### 2.4.3.1.3 降圧 DC-DC コンバータ (Buck コンバータ)

本節では 0.45V 入力、0.4V 出力の降圧 DC-DC コンバータ (Buck コンバータ) について述べる。図Ⅲ.2.4-4 で述べた「低電圧ではトランジスタのオン抵抗が高いため、抵抗損失が大きい」問題に対処する方法として、本節ではゲート昇圧技術について述べる。この抵抗損失は電力変換効率が重視される電源回路において、特に深刻な問題となる。そこで、効率を改善するために、電力変換効率に関係する少数のトランジスタのみのゲート電圧をオンチップで昇圧する局所ゲート昇圧技術が有効である。

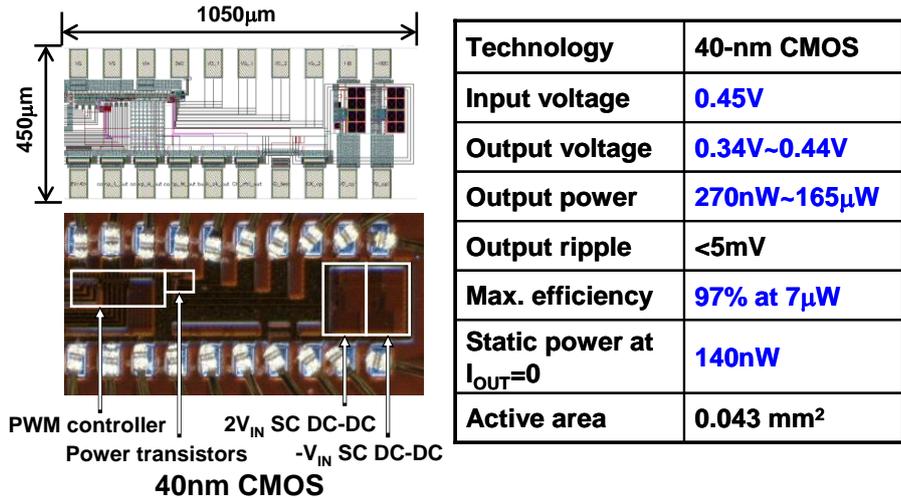
図Ⅲ.2.4-15 に局所ゲート昇圧技術を適用した 0.45V 入力、0.4V 出力の Buck コンバータ (この内容は VLSI 回路シンポジウム 2012 で発表) のブロック図を示す。バックコンバータにおい

て、効率を決める重要なトランジスタは M1 と M2 である。従来では、M1 と M2 のゲート電圧は 0V か 0.45V であるので、トランジスタのオン抵抗が高い問題があった。そこで、オンチップ昇圧回路で入力電圧 ( $V_{IN}$ ) の 2 倍の電圧 ( $2V_{IN}$ ) と負電圧 ( $-V_{IN}$ ) を生成し、M1 がオン時には 0.9V を、M2 がオン時には  $-0.45V$  を印加することにより、トランジスタのオン抵抗を大幅に低減することができた。2 倍電圧生成回路は 2.4.3.1.2 で述べたチャージポンプ回路をオンチップ版 (=外付けの容量なし) に改造して搭載した。

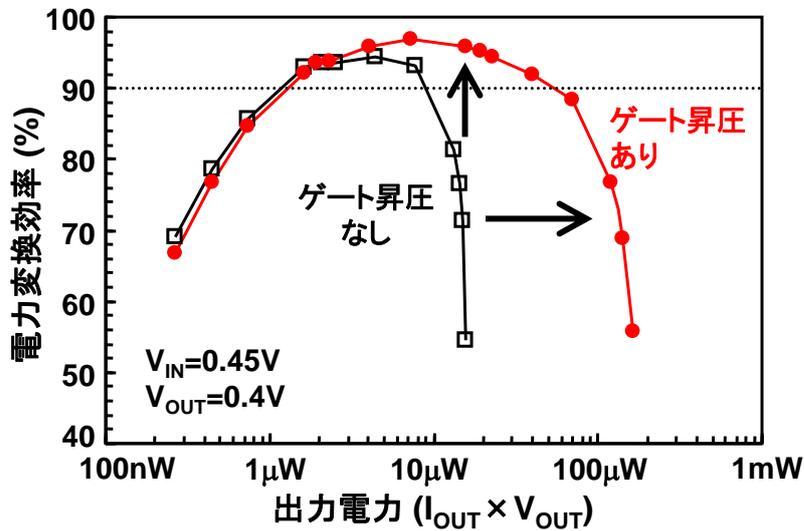


図Ⅲ.2.4-15 局所ゲート昇圧技術を適用した 0.45V 入力、0.4V 出力の Buck コンバータ

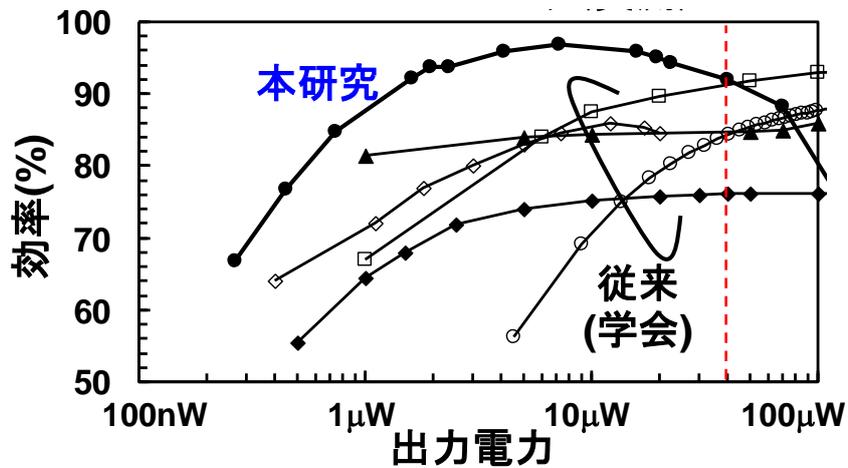
図Ⅲ.2.4-16 に 40nm CMOS で設計・試作した Buck コンバータのチップ写真・レイアウトと諸元を示す。図Ⅲ.2.4-17 に局所ゲート昇圧有無のバックコンバータの電力変換効率の出力電力依存の実測結果を示す。局所ゲート昇圧により、出力電力を約  $10\mu\text{W}$  から約  $100\mu\text{W}$  へ 1 桁増加させ、出力  $15\mu\text{W}$  における効率を 55% から 96% へ改善することに成功した。図Ⅲ.2.4-18 に本 Buck コンバータと低出力電力の従来の降圧回路との比較を示す。本 Buck コンバータは出力電力  $40\mu\text{W}$  以下において、世界最高効率を達成した。また、降圧回路としては世界最低の入力電圧 (0.45V) での降圧動作を達成した。



図Ⅲ. 2. 4-16 40nm CMOS で設計・試作した Buck コンバータのチップ写真・レイアウトと諸元



図Ⅲ. 2. 4-17 ゲート昇圧有無の Buck コンバータにおける効率の出力電力依存の実測

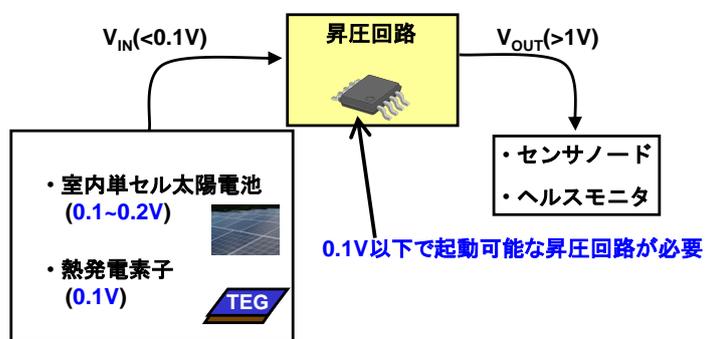


図Ⅲ. 2. 4-18 本 Buck コンバータと低出力電力の従来の降圧回路との比較

#### 2.4.3.1.4 昇圧 DC-DC コンバータ (Boost コンバータ)

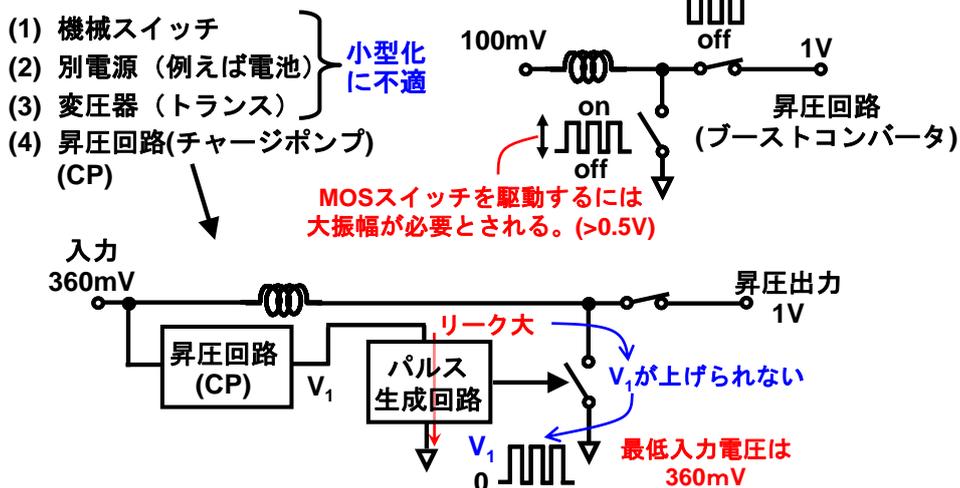
本節ではエネルギーハーベスティング向けの 80mV 入力、1.3V 出力の昇圧 DC-DC コンバータ (Boost コンバータ) について述べる。図Ⅲ.2.4-19 に 0.1V 入力の昇圧回路の用途を示す。ターゲットアプリケーションはエネルギーハーベスティングにより動作するバッテリーレスの無線センサノードである。室内光で動作させた単セル太陽電池や熱発電素子により得られた 0.1V~0.2V の電圧から通常の LSI を動作させる場合、0.1V~0.2V の電圧を 1V 以上へ昇圧する必要がある。そこで、0.1V 以下でも起動可能な昇圧回路を開発した。

図Ⅲ.2.4-20 に従来の低電圧入力の昇圧回路の課題を示す。従来のエネルギーハーベスティング向け昇圧回路は、「機械スイッチ」「電池」「トランス」など小型化に適さない追加外付け部品を必要とした。また、チャージポンプ回路で起動する回路も提案されているが、図Ⅲ.2.4-4 で説明したように、パルス生成回路のリークが大きいいため、入力電圧を 360mV 以下に下げることができない課題があった。



図Ⅲ.2.4-19 0.1V 入力の昇圧回路の用途

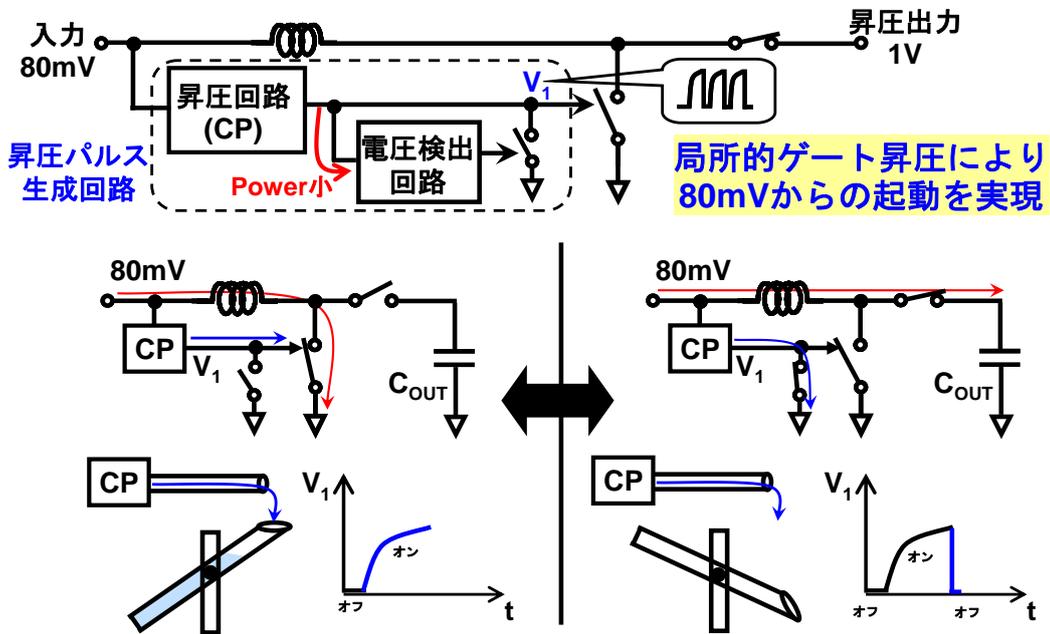
#### 従来の起動手法：



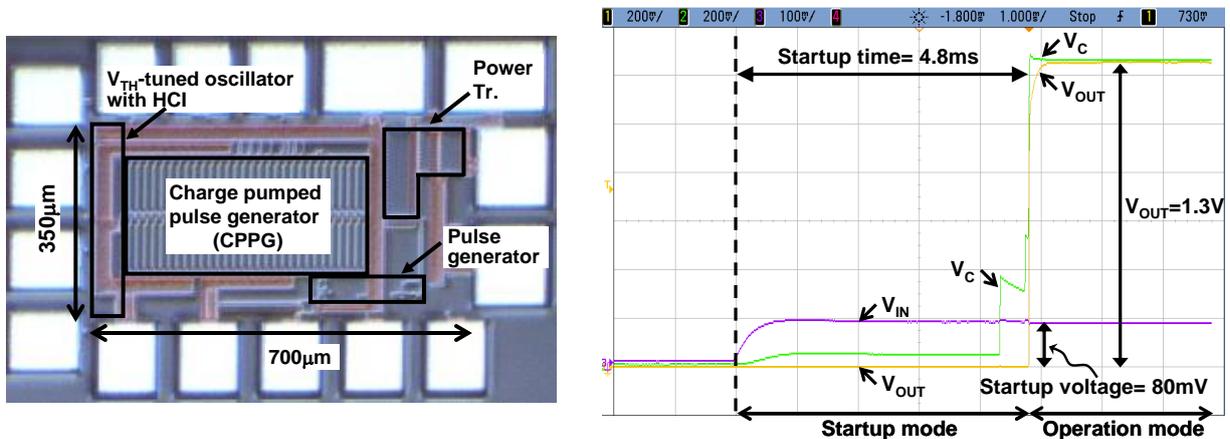
図Ⅲ.2.4-20 従来の低電圧入力の昇圧回路の課題

そこで、図Ⅲ.2.4-21 に開発した 80mV 入力での昇圧が可能な昇圧回路を示す (この内容は A-SSCC2011 で発表)。ブーストコンバータのパワートランジスタのゲート電圧を新規開発した昇圧パルス生成回路で直接駆動することにより低リークな昇圧動作を行えるため、トランジスタ

タのしきい電圧よりも低い入力電圧においても、昇圧動作を実現することができる。図Ⅲ.2.4-22に65nm CMOSで試作した80mV入力での昇圧が可能な昇圧回路のチップ写真と、昇圧波形の実測結果を示す。昇圧パルス生成回路(CPPG)を用いることにより、入力電圧80mVから1.3Vへ4.8msでの昇圧を実証した。



図Ⅲ.2.4-21 80mV入力での昇圧が可能な昇圧回路の回路図

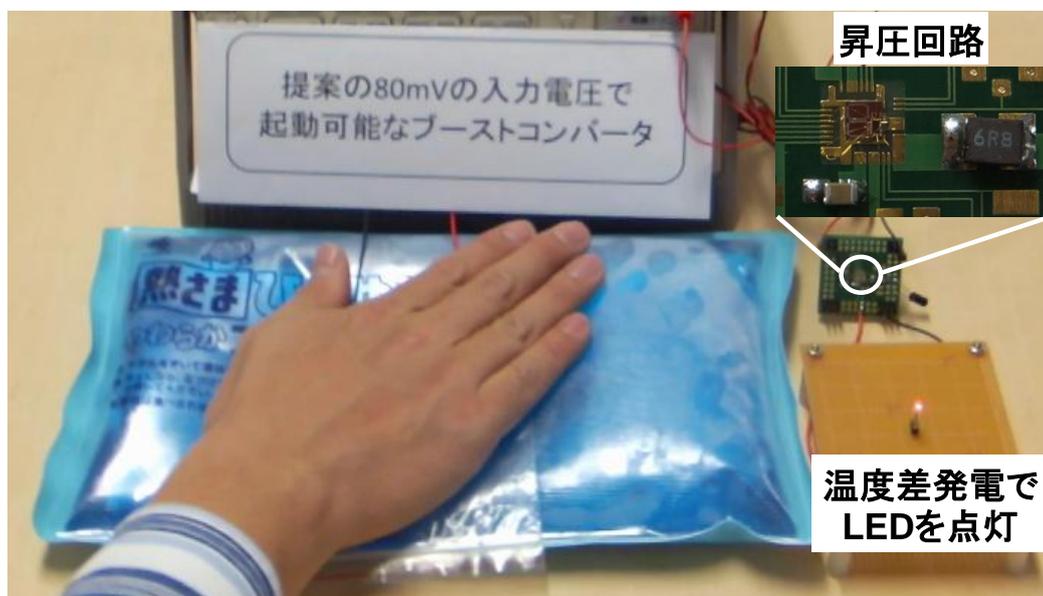


図Ⅲ.2.4-22 65nm CMOSで試作した昇圧回路のチップ写真と、80mV入力からの昇圧波形の実測

表Ⅲ.2.4-3に本昇圧回路と従来の低電圧入力昇圧回路との比較を示す。トランス、機械スイッチ、電池など追加の外付け部品を用いない昇圧回路としては世界最低の入力電圧80mVからの昇圧を実証した。本昇圧回路を用いて、エネルギーハーベスティングのデモを行った。図Ⅲ.2.4-23に80mV入力昇圧回路を用いた温度差発電のデモの写真を示す。熱発電素子から得られた0.1V程度の電圧を1V以上に昇圧して、LEDを点灯することに成功した。

表Ⅲ. 2. 4-3 従来の低電圧入力昇圧回路との比較

Ref	起動			最高効率	LSI プロセス
	追加外付け部品	最低電圧	起動時間		
Linear tech.	1:100 トランス	20mV	10s	40% $V_{IN}=60mV$	N/A
ISSCC 2010	機械スイッチ	35mV	18ms	58% $V_{IN}=50mV$	350nm CMOS
JSSC 2010	外付け電源	650mV	N/A	75% $V_{IN}=100mV$	130nm CMOS
ISSCC 2011 (本研究)	なし	95mV	262ms	72% $V_{IN}=100mV$	65nm CMOS
A-SSCC 2011 (本研究)	なし	80mV	4.8ms	72% $V_{IN}=50mV$	65nm CMOS

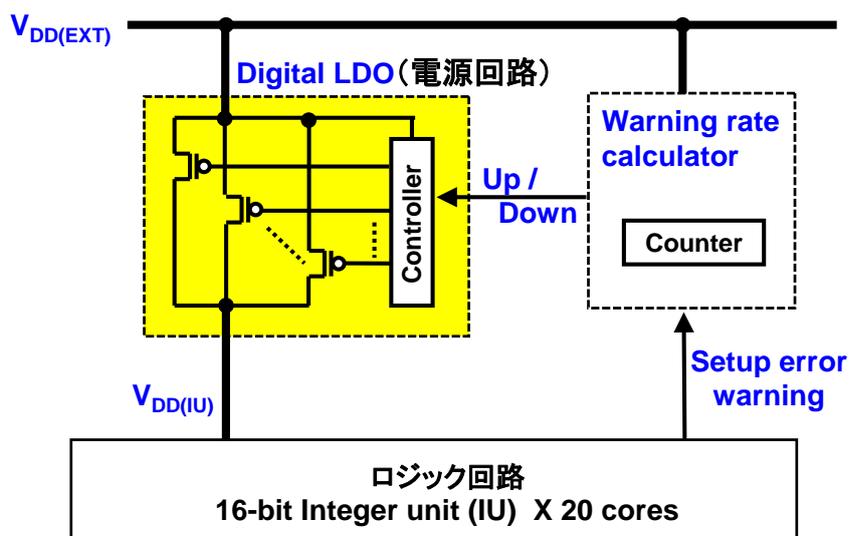


図Ⅲ. 2. 4-23 80mV 入力昇圧回路を用いた温度差発電のデモ

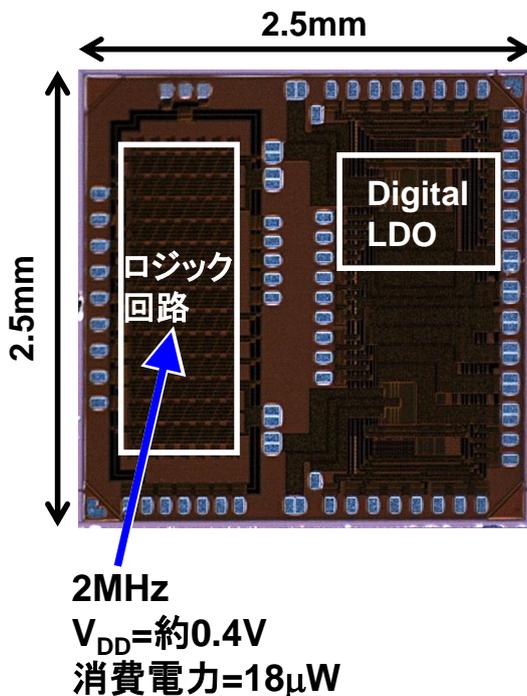
#### 2. 4. 3. 2 適応型協調制御 0. 5V 電源システム

図Ⅲ. 2. 4-1 で述べたように、LSI を 0. 5V で動作させると、プロセス・電圧・温度ばらつきにより回路特性が大きくばらついてしまう。そこで、0. 5V 動作 LSI の安定動作と低消費電力を実現するために、ロジック回路と電源回路の適応型協調制御 0. 5V 電源システムを開発した。図Ⅲ. 2. 4-24 に適応型協調制御 0. 5V 電源システムのブロック図を示す（この内容は ISSCC2012 で発表）。整数演算回路を 20 コア並べたロジック回路は、新規開発した「セットアップエラー警告信号発生機構」を有している。セットアップエラー警告確率が一定となるようにロジック回路へ供給する電源電圧 ( $V_{DD(IU)}$ ) を、2. 4. 3. 1. 1 章で述べたデジタル LDO でフィードバック制御する世界初の適応制御を採用した。これにより、プロセス・電圧・温度ばらつきがあってもロジック回路が誤動作を行わない必要最低限の電源電圧で常に動作できるので、ロジック回

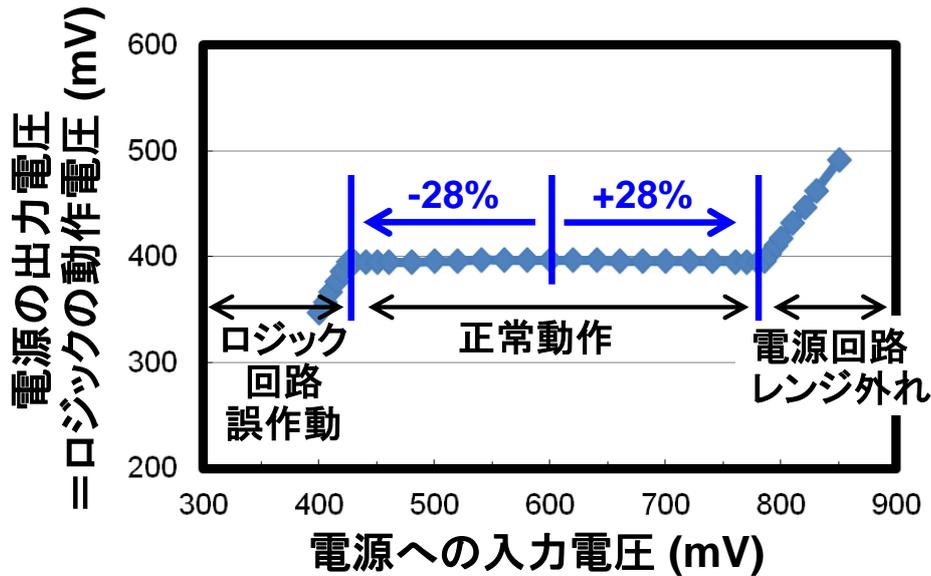
路の消費電力を最小化できる。図Ⅲ. 2. 4-25 に 40nm CMOS で試作した適応型協調制御 0.5V 電源システムのチップ写真を示す。図Ⅲ. 2. 4-26 に適応型協調制御 0.5V 電源システムの実測結果を示す。ロジック回路のクロック周波数を 2MHz で固定して、ロジック回路が誤動作しない必要最低の電源電圧を適応型協調制御 0.5V 電源システムで生成した。この場合、ロジック回路を 2MHz で動作させるために必要最低の電源電圧は 0.4V である。電源への入力電圧を 0.6V の入力電圧が  $\pm 28\%$  変動しても、電源回路の出力すなわちロジック回路の電源電圧が 0.4V を維持してロジック回路が正常動作することを実証した。これにより、2. 4. 1 章で述べた電源回路技術開発の最終目標「0.5V 程度の入力電源電圧が  $\pm 20\%$  変動してもロジック回路等が正常動作すること」を達成した。



図Ⅲ. 2. 4-24 適応型協調制御 0.5V 電源システムのブロック図



図Ⅲ. 2. 4-25 適応型協調制御 0.5V 電源システムのチップ写真 (40nm CMOS)



図Ⅲ. 2. 4-26 適応型協調制御 0.5V 電源システムの実測結果。0.5V 程度の入力電圧が±28%変動してもロジック回路が正常動作することを実証した。

#### 2. 4. 4 開発成果まとめ

##### (1) 課題と開発内容要約

極低電力 0.5V SoC (System on Chip)における従来の電源回路の4つの要求は(1) 入力電圧が変動しても安定動作、(2) 複数電源電圧、(3) 可変電源電圧、(4) 低い入力電圧(約 0.1V)への対応であった(図Ⅲ. 2. 4-1 参照)。これらの要求を実現するため(1) 適応型協調制御、(2) オンチップ電源回路、(3) 適応型協調制御 0.5V 電源システム、(4) 0.1V 入力からの昇圧動作が可能な電源回路を開発した(図Ⅲ. 2. 4-2 参照)。

本開発における電源回路の要素回路としてのターゲットは、「入力電圧が 0.1V から 1V、出力電流が  $1\mu\text{A}\sim 10\text{mA}$ 」であり、従来の電源回路よりも「低入力電圧」「低出力電流」である(図Ⅲ. 2. 4-3 参照)。低入力電圧、低出力電流電源の3つの課題は(1) トランジスタのオン抵抗損失による効率劣化、(2) 0.5V ではアナログ回路が動作困難、(3) リークが大きいと低入力電圧では昇圧できない点であった(図Ⅲ. 2. 4-4 参照)。これらの課題を克服するため(1) ゲート昇圧、(2) デジタル化、(3) 低リーク技術を開発した(図Ⅲ. 2. 4-4 参照)。

##### (2) 開発成果とベンチマーク要約

リニアレギュレータに関して、デジタル LDO を世界で初めて提案し、世界最低の入力電圧(0.5V)・出力電圧(0.45V)と、世界最小の制御部の消費電流( $2.7\mu\text{A}$ )を達成した(表Ⅲ. 2. 4-2 参照)。

Buck コンバータに関して、局所ゲート昇圧技術を適用し、出力電力  $40\mu\text{W}$  以下において、世界最高効率を達成した。また、降圧回路としては世界最低の入力電圧(0.45V)での降圧動作を達成した(図Ⅲ. 2. 4-18 参照)。

Boost コンバータに関して、低リーク技術を適用し、トランス、機械スイッチ、電池など追加の外付け部品を用いない昇圧回路としては世界最低の入力電圧 80mV からの昇圧を実証した。(表Ⅲ. 2. 4-3 参照)。

### (3) 目標達成度と開発成果の意義

世界初の電源回路である「デジタル LDO」と、世界初の「セットアップエラー警告信号発生機構」を有するロジック回路を組み合わせ、世界初の適応型協調制御 0.5V 電源システムを提案・実証した。これを用いて、0.5V 程度の入力電圧が±28%変動してもロジック回路が正常動作することを実証した。これにより、電源回路技術開発の最終目標「0.5V 程度の入力電源電圧が±20%変動してもロジック回路等が正常動作すること」を 100%達成した。

本テーマで開発された電源回路は、5 種全ての電源回路を網羅しており、汎用性が高く (図Ⅲ. 2. 4-5 参照)、極低電力 0.5V SoC を実現する上で必須の基盤技術となる (図Ⅲ. 2. 4-2 参照)。

さらに、80mV 入力での昇圧が可能な昇圧回路は、バッテリーレスの無線センサノードに向けた 0.1V 入力のエネルギーハーベスティングも新たに可能とし、半導体のアプリケーション拡大に貢献する (図Ⅲ. 2. 4-19、図Ⅲ. 2. 4-23 参照)。

## 2. 5 極低電力 LSI 統合最適化技術

2.1 から 2.4 で述べた研究開発項目①～④の成果の主要部分を統合して、極低電力 LSI チップ設計手法を開発した。この研究開発の狙いは、次の 3 点である。これらを実施しつつ、目標の低消費電力特性達成を図った。

- (1) 各要素回路技術の効果の実証 (ロジック、メモリ、電源、PLL、ADC)
- (2) 異なる回路ブロック統合ならではの解決策の提案と実証
- (3) 応用機能の実証

極低電力 LSI チップとしては、低消費電力特性を追求する限界追求型の統合 A チップと、大規模で応用機能実証まで行う大規模実証型の統合 B チップの 2 チップに分けて実施した。

### 2.5.1 目標

統合 A チップと統合 B チップの最終目標はそれぞれ、以下の通りである。

#### 【統合 A チップの最終目標】

小規模極低電力 LSI チップ (A チップ) を試作し、その性能評価により同じ処理を行うための消費電力が従来技術に比べて 1/10 以下に低減される低電力効果を実証する。

#### 【統合 B チップの最終目標】

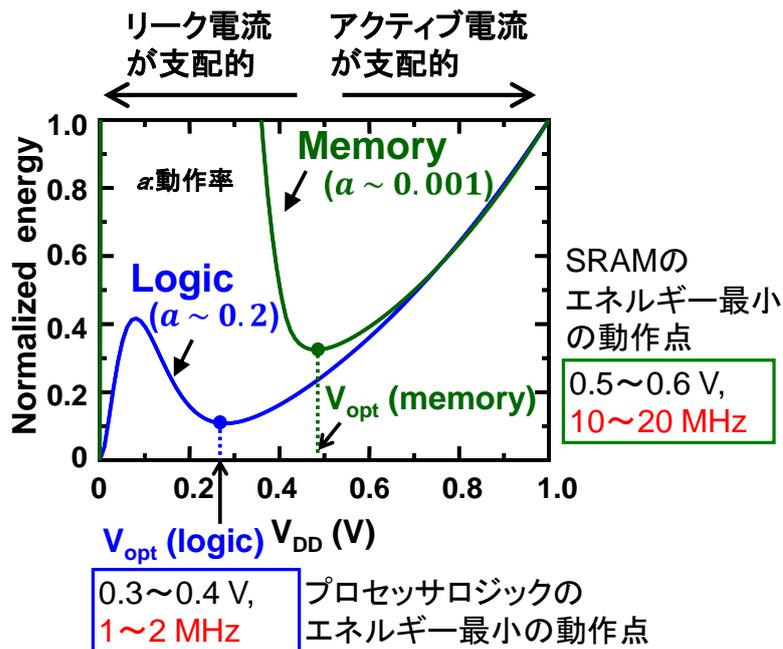
100 万トランジスタ以上 (1000 万トランジスタ程度) の大規模で複雑な画像処理用の大規模極低電力 LSI チップ (B チップ) を設計・試作し、シミュレーションまたは実測で大幅な低電力効果 (同じ処理を行うための消費電力が従来技術に比べて 1/3 以下) を実証する。さらに、大規模化に伴う低消費電力化克服の技術提案を行う。

### 2.5.2 課題と開発方針

#### 2.5.2.1 統合 A チップ

本開発の目的は、ロジック回路と SRAM とを組み合わせ、そこに、これまでに開発してきた要素技術を投入するとともに、アーキテクチャを最適化し、これらが統合されたチップレベルで低電圧低消費エネルギー、即ち、高エネルギー効率のプロセッサシステムを構築することである。一方で、ロジック回路、SRAM それぞれの動作時エネルギーが最小となる領域は、概していえば、図 III. 2.5-1 のように、ロジック回路については 0.3V~0.4V、1~2MHz 近傍、一方、SRAM についてのそれは 0.5V~0.6V、10MHz~20MHz 近傍と互いに異なることがこれまでの実験から分かっている。従って本開発の 3 つの課題は、

- (1) 消費エネルギーが最も小さくなる動作点 ( $V_{DD}$ 、 $f_{CLK}$ ) はロジック回路とメモリとは異なる。これを同時に満たすアーキテクチャを構築する必要がある。
- (2) 標準  $V_{DD}$  の常識とは異なり、メモリの方が高速である。速度の違いを活用したアーキテクチャが求められる。
- (3) SRAM は 0.5V、ロジックは 0.35V という低電圧で正常動作させる。



図Ⅲ. 2. 5-1 ロジック回路と SRAM のエネルギーの電源電圧依存のシミュレーション結果

以上で示した課題と、2. 5. 3 章で示す開発項目との対応表を表Ⅲ. 2. 5-1 に示す。

表Ⅲ. 2. 5-1 電源回路の課題と開発項目の対応表

開発項目	A チップアーキテクチャ	ロジック	メモリ	Buck コンバータ
課題				
(1) 最低エネルギー動作を実現する電源電圧がロジックとメモリで異なる	✓ 1 対 8 動作	✓ スイッチングレイヤ		✓ 電源回路のオンチップ化により単電源供給で可
(2) 低電圧で動作するのが困難 (SRAM と Buck コンバータ: 0. 5V、ロジック : 0. 35V)		✓ CLFF PEPD CPP	✓ 8T セル	✓ オールデジタル制御

### 2. 5. 2. 2 統合 B チップ

本開発の目的は、ロジック、メモリ、電源、PLL、ADC を大規模に組み合わせ、そこに、これまで開発してきた要素技術を投入するとともに、想定アプリケーションに適合したアーキテクチャを選択し、これらが統合されたチップレベルで想定アプリケーションを低電圧低電力に実現可能であることを実証することである。統合 B チップのアーキテクチャには、極低電圧下の低速でも並列処理による一定以上の情報処理が可能で、かつ電力効率の高い SIMD プロセッサの搭載を想定した。SIMD はハードウェア規模が大きく、本、大規模実証の目的にも合致する。アプリケーションとしては

高いデータ並列性を有し、リアルタイムの動作確認が容易な動画像処理を想定した。

統合 B チップの課題は、1) ロジック、メモリ、電源、アナログ (PLL、ADC) の各テーマの要素技術の大規模 SoC による実証、2) 応用機能の実証、及び、3) 電源を含めた電力 1/3 以下の達成である。最終的に総トランジスタ数は 3 千万以上に及ぶ大規模 SoC であり、ロジック機能マクロと、メモリ、電源、PLL、ADC の各カスタムマクロを連携動作させ、応用機能を実証する課題 1, 2 のハードルは低くない。また、電力 1/3 以下は統合 A チップの 1/10 以下に比べて抑制された目標であるが、動画像処理アプリケーションを考慮して 10MHz 以上の動作速度を目指したため低電圧化に制限があること、オンチップ電源の電力変換効率は実装上の制約 (寄生抵抗増) と使用上の制約 (高効率電流レンジからのズレ) により劣化が予想されること、から課題 3 と速度性能の両立も容易でないことが懸念された。

表 III. 2. 5-2 統合 B チップの課題と開発項目の対応表

開発項目 課題	B チップアーキテクチャ	ロジック	メモリ	電源	アナログ
(1) ロジック、メモリ、電源、アナログ (PLL、ADC) の各テーマの要素技術の大規模 SoC による実証	✓ SIMD、CPU 搭載ヘテロマルチ	✓ SIMD と CPU に適用	✓ 1 ポートメモリと 2 ポートメモリに適用	✓ 電源回路に適用	✓ PLL と ADC に適用
(2) 応用機能の実証	✓ CPU で ADC のソフトウェアキャリブレーション、SIMD で動画像処理	✓ CPU (実績有) SIMD (新規) の組合せ	✓ 1 ポート (実績有) と 2 ポート (新規 SIMD 用) の組合せ	✓ Buck コンバータ (実績有) のマルチ化、迂回パス確保	✓ PLL (実績有) と ADC (実績有) の活用、迂回パス確保
(3) 電源を含めた電力 1/3 以下の達成	✓ SIMD、CPU 搭載ヘテロマルチ	✓ 低電圧 DFF 細粒度 VDD 高精度 OCV	✓ チャージシェア、コレクト (1 ポート) 高速 8T セル (2 ポート)	✓ マルチ Buck コンバータ	✓ 低電圧デジタル化

対応策として、表 III. 2. 5-2 に統合 B チップの課題と開発項目の対応表を示す。まず、課題 3 の達成に必要な低電圧化と電源変換の高効率化技術を実現するため、次の要素技術を採用した。

ロジックでは、VDDmin の律速要因である DFF に低電圧 DFF 要素技術を採用した。応用機能実証のための必要性能を低電圧で達成するため、性能を律速する可能性のあるホットスポットを改善可能な細粒度 VDD 要素技術を採用した。また、性能を毀損するホールドバッファの挿入

を低減するための要素技術を採用するとともに、OCV 精度を改善し、ばらつきの段数緩和効果を考慮した LOCV を遅延見積りに採用した。

メモリでは、低電力要素技術を採用するとともに、必要性能を低電圧で達成するために、低電圧での高速化を図った。通常の内蔵メモリにおいては低電力要素技術のチャージシェア、チャージコレクト技術を用いた 1 ポートメモリを採用するとともに、高速化の改良を施した。最も高速アクセスが要求される SIMD ワークメモリにおいては高速 2 ポートメモリを採用した。メモリテーマでは高速 8T SRAM の要素技術を有するが、これを 2 ポートメモリに拡張した。

電源では、ロジックとメモリは VDDmin が異なり、必要性能を実現するための電源電圧も異なる可能性がある。それぞれの電源電圧の最適化が可能となるようロジック(細粒度 VDD 対応)と 1 ポートメモリと 2 ポートメモリの電源供給を専用化した。電源回路については電力変換効率を重視し、各電源にシリーズレギュレータよりも効率が高く、低入力電圧でも効率が維持できる高効率 Buck コンバータをそれぞれに用意し、縦続接続による効率低下を回避した。電源回路の高効率特性を維持するには実装における寄生抵抗の低減が欠かせない。複数電源のマクロ化により電源配線優先のレイアウトを施すとともに、フロアプラン上、電源マクロをチップ隅に配置し電源配線と電源ピンを多目に割り当て、寄生抵抗の増加を抑制した。また、電力変換効率の高い電流レンジで使用することも重要である。上述の電源の専用化においては電圧値とともに負荷電流の均一化にも配慮した。更に、Buck コンバータは電源リップルが比較的大きいことが問題であるが、この対策として搭載マクロ協調の適応制御技術により影響の緩和を図った。

アナログでは、低電圧動作での安定動作が可能ないように、PLL と ADC とともに低電圧デジタル化要素技術を採用した。

課題 1 の大規模 SoC 実証に対しては、ヘテロジニアス・マルチコアプロセッサアーキテクチャを採用した。ヘテロマルチは異なる種類の処理を並列に実行できるため電力効率の高さでも定評がある。構成する要素マクロは、設計評価実績のあるマクロの組合せと、新規開発のマクロの組合せの両方からなる。ロジックテーマの大規模設計技術で実績を積み重ねた極低電圧要素技術搭載のマイコンコアを CPU として搭載し、同様に動作実績のある極低電圧要素技術搭載の 1 ポートメモリ、PLL、そして ADC をベースに統合 B チップ向けの改変を加えたマクロで基本チップ動作を固めるとともに、新設計となる 2 ポートメモリを含む SIMD プロセッサを動画画像処理エンジンとして別コアに用意した。各マクロにはテスト用インターフェースを用意し、可制御性、可観測性を持たせ、低電力実証の備えとした。電源については、電源回路を迂回可能な実装とした。

課題 2 の応用機能の実証に対しては、動作実績のある ADC と CPU の組合せによる実世界インターフェース応用をまず固めるとともに、新設計の SIMD (2 ポートメモリを含む) と CPU の組合せによる動画画像処理応用を最終目標として用意した。他に、要素ブロック間の協調制御用に CPU による電源、PLL、の制御機能も追加搭載した。

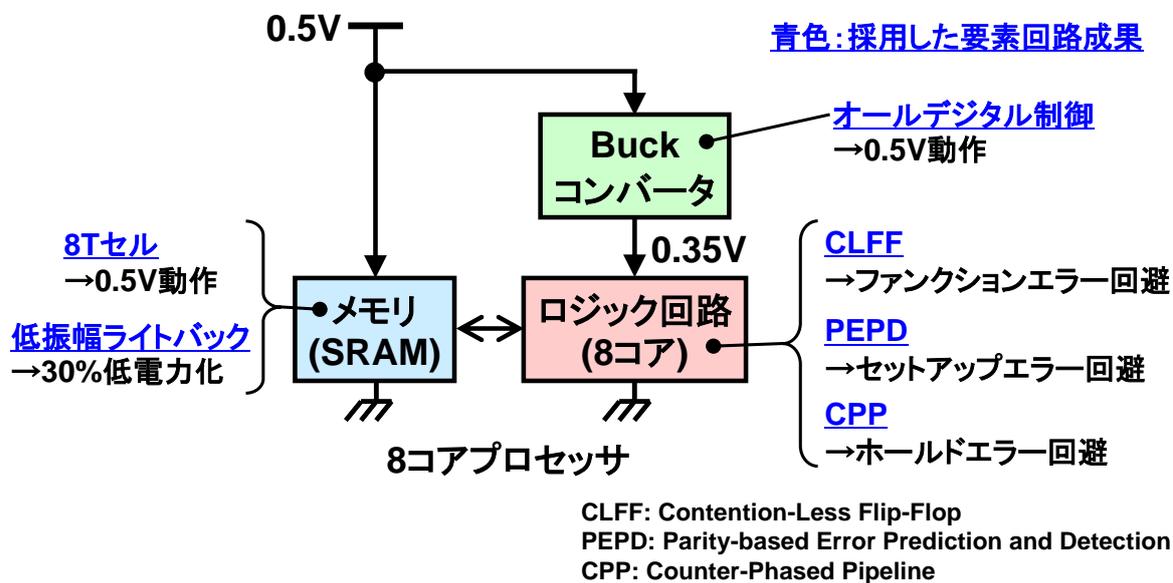
### 2.5.3 開発成果詳細

#### 2.5.3.1 統合 A チップ

##### (1) 全体アーキテクチャ

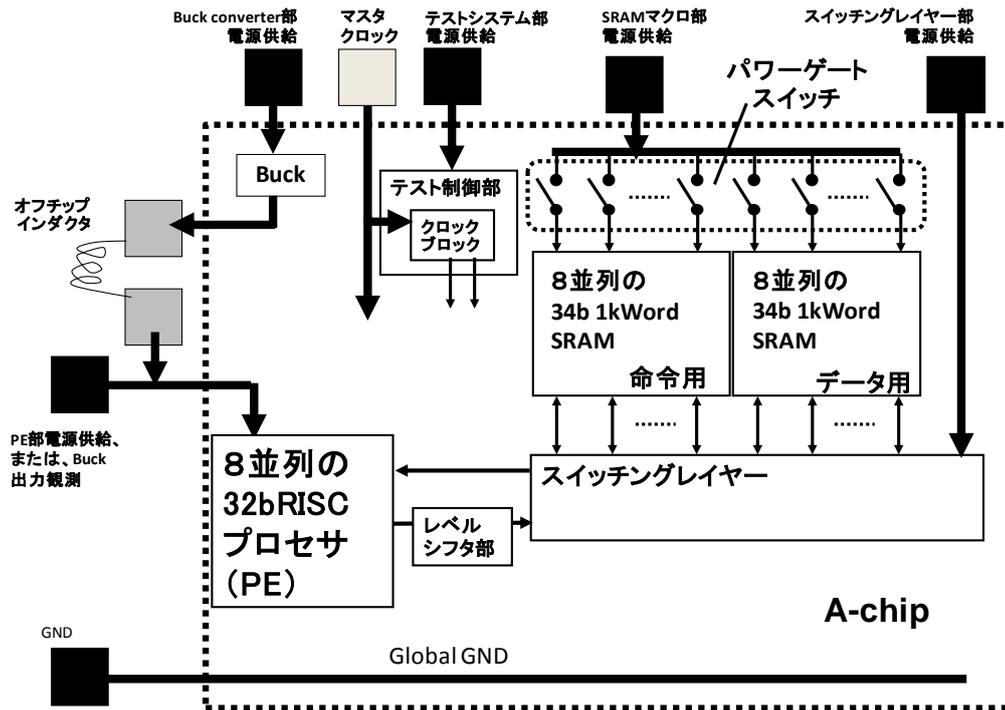
図 III.2.5-2 に A チップの概略ブロック図と A チップで同載された要素回路を示す。ロジック

ク回路とメモリそれぞれをエネルギー最小動作させるため、ロジック回路とメモリを異なる電源電圧・クロック周波数で動作させる。ロジックの電源電圧(例えば 0.35V)はメモリの電源電圧(例えば 0.5V)よりも低いため、外部から供給された 0.5V をオンチップの Buck コンバータで 0.35V へ降圧する。



図Ⅲ.2.5-2 Aチップの概略ブロック図とAチップで同載された要素回路

図Ⅲ.2.5-3にAチップの詳細ブロック図を示す。主な電源系統は、システム部(典型的には1.1V)、SRAMマクロ部(典型的には0.5V)、スイッチングレイヤ部(典型的には0.5V)、PE(32bRISCプロセッサ)部(典型的には0.35V)、PE部とスイッチングレイヤ部の間にあるレベルシフタ部(典型的には0.4V)、スイッチングレイヤ部とシステム部の間にあるレベルシフタ部(典型的には0.8V)、Buckコンバータ入力(典型的には0.5V)があり、それぞれ独立した電源パッドを持ち、独立に消費電流を計測可能である。Buckコンバータではオフチップのインダクタを用いた。SRAMマクロにはパワーゲーティングのスイッチがそれぞれあり、後述する動作モードにおいて使用されないマクロの電力を削減できるようになっている。



図Ⅲ.2.5-3 Aチップの詳細ブロック図

図Ⅲ.2.5-3において、高速モード（8並列動作モード）と低電力モード（1対8動作モード）の2つの動作モードがある。Aチップを特徴づける最大のものは、この動作モードである。この動作モードを司る部位をスイッチングレイヤーという。Aチップには32b RISCプロセサ（PE）が8個搭載されている。このプロセサを通常良くある方法で並列に動作させるため、1つのPEに対応するように34b（2bはパリティの為、論理上は32b）1kword SRAMが命令用、データ用にそれぞれ用意されている。こうして8並列のPEとSRAMが独立して動作できる。この形態で動作するモードを8並列モードと呼ぶ。この場合、全てのパワーゲートスイッチはオンしている。ただし、次に説明する1対8モードとの整合性を取る為に、あるCPU動作サイクルにおいてSRAMへの書き込み要求が複数発生した場合には、固定的優先順位にもとづく排他制御を行った上で、全てのSRAMに対して共通のアドレス、データの書き込みを行う。この結果、全てのSRAMの内容はコヒーレントになる。1対8動作モードでは、図示されるように8並列あるSRAMグループのうち1つしか用いない。この場合、8並列の内、1セットのパワーゲートスイッチはオンし、7セットのパワーゲートスイッチはオフしている。SRAMをPEに対して8倍の動作周波数で動作させ、SRAMの1つの動作サイクルごとに、順番に1つずつPEのリクエストを処理する。使用されていないSRAMマクロについてはパワーゲーティングスイッチをOFFにし、余計な電力を消費させない。

8並列動作モードというのは、いわば従来例に相当し、PE、SRAMの全てが同じ周波数、同じ位相のクロックで動作する。全ての部分に同じ電圧、例えば1.2Vを与え、PE、SRAM共に120MHzのクロックを与えて同期して動作させるといった場合に用いる。また、本システムは非常にロバストな構造を有しており、例えばPE、SRAMを共に0.4Vで動作させ、1MHzの低速クロックで共に同期して動作させるということも可能である。

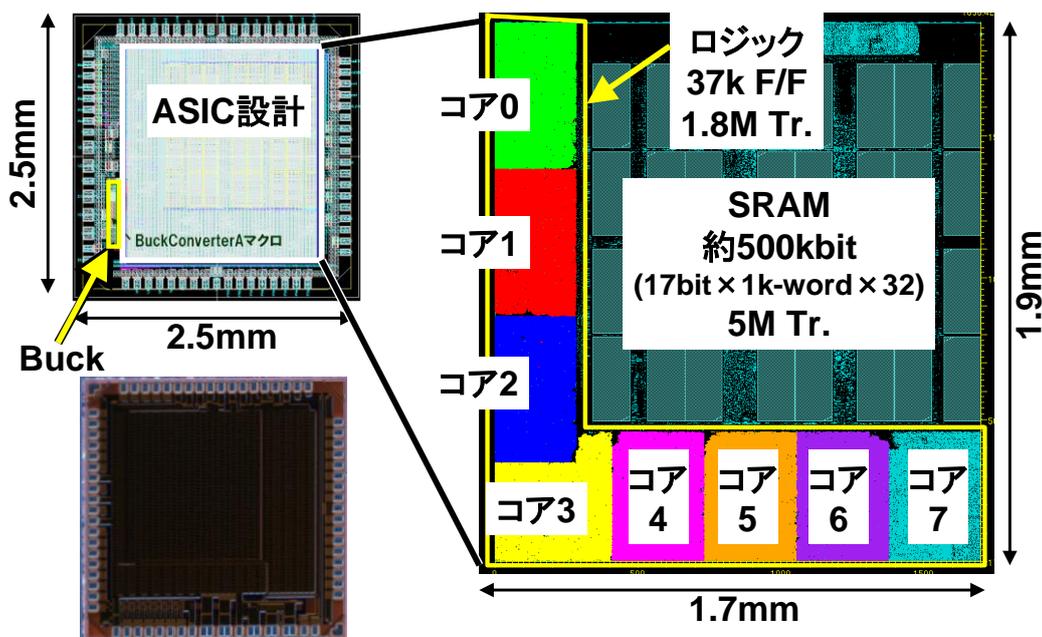
そして、1対8動作モードというものが、Aチップを最も特徴づけるものである。主に

低電圧で動作させる場合に用いられるモードであり、例えば SRAM を 0.5V、12MHz、PE を 0.4V、1.5MHz で動作させることが出来る。この場合、PE と SRAM の動作周波数比は必ず 1 : 8 でなければならない。2つの動作モードにおいては、用いられる SRAM の個数が異なるものの、

- PE から見えるアドレス領域 (記憶容量)
- PE から見える記憶内容
- PE に対して供されるアクセスバンド幅

については揃っている、ということに注意しなければならない。つまりは、PE 側から見た場合の SRAM の論理的挙動は、8 並列モード、1 対 8 モードの双方において常に等しい。これによって 8 並列の PE において達成されている演算量 (OPS) = PE の動作周波数 [Hz] x 8 という量でもって条件を揃えた上で、8 並列モード、1 対 8 モードにおける演算効率性 (GOPS/W)、もしくは消費エネルギー (J) の比較を行うことが出来る。

図Ⅲ.2.5-4 に A チップ全体のチップ写真とレイアウトを示す。RISC コアを 8 個、Buck コンバータを 1 個、SRAM を搭載している。A チップのチップサイズは 2.5mm 角、A チップ全体の総トランジスタ数は約 800 万個である。

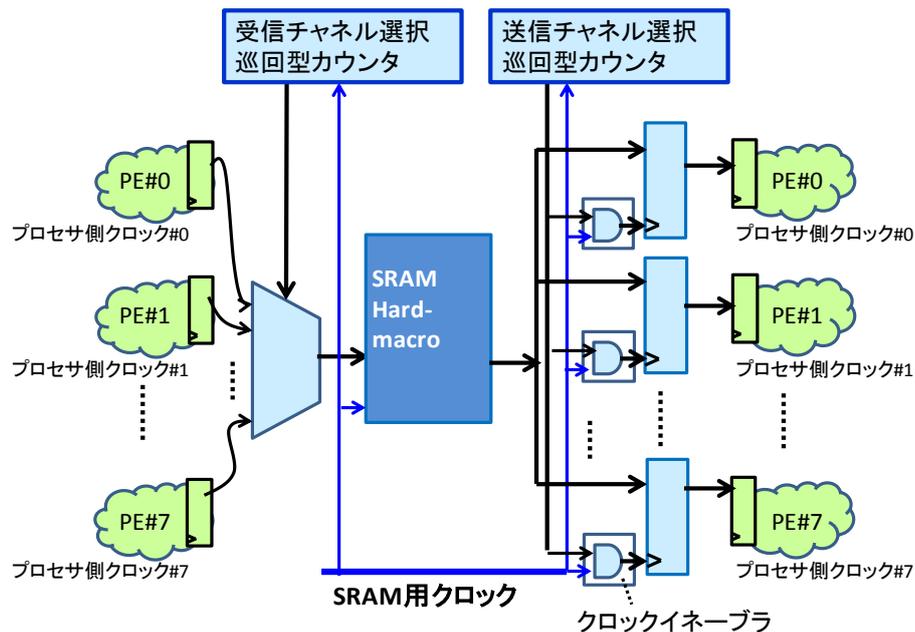


図Ⅲ.2.5-4 A チップ全体のチップ写真とレイアウト

## (2) ロジック回路

8 並列動作モードと 1 対 8 動作モードのモード切り替えを行うために必要なのが、スイッチングレイヤである。図Ⅲ.2.5-5 にスイッチングレイヤの回路概略図を示す。簡略化のため、ある 1つの SRAM が選ばれ、1 対 8 モード動作時に活性化される部分について示している。この構造は、8 : 1 : 8 の MUX-DEMUX 構造に他ならない。受信側、送信側のチャンネルに 8 つの PE を割り当て、SRAM 部分を通信経路に見立てて、送受信チャンネル番号を規則正しく巡回させて動作する MUX-DEMUX 通信回路に酷似するものである。RTL 記述によって設計され、通常の ASI

動作する MUX-DEMUX 通信回路に酷似するものである。RTL 記述によって設計され、通常の ASIC 設計手法によって実装した。



図Ⅲ. 2. 5-5 スイッチングレイヤの回路概略図

図Ⅲ. 2. 5-2 で示したように、ロジック回路を 0.35V で動作させる場合の課題は、(1)ファンクションエラー、(2)セットアップエラー、(3)ホールドエラーの3つである。以下で、3つの課題に対する対策を示す。

#### (2-1) ファンクションエラー対策

ロジック回路のファンクションエラーとして、純論理ゲートの誤動作とフリップフロップの誤動作の2種類がある。ファンクションエラーを起こす最低稼働電圧  $V_{DDmin}$  を定義する。ここで言う純論理ゲートとは NAND、NOR、Inverter の類を指し、フリップフロップを含まない論理ゲート群のことを言う。

3.1 章で述べたとおり、NAND、NOR、Inverter の類が誤動作するのは 0.1V~0.2V の世界であって、我々のターゲット 0.3V~0.4V の領域においては、その誤動作を気にしなくて良い。一方、フリップフロップの  $V_{DDmin}$  は純論理ゲートの  $V_{DDmin}$  よりも高く、ロジック回路全体の  $V_{DDmin}$  決定する要因となるので問題である。従来の、CMOS トランスマッションゲート (TG) をスイッチ構造として採用するフリップフロップにおいては、低電圧下においてトランジスタの  $I_{on}/I_{off}$  電流比が劣化し、コンテンション問題が起き、誤動作が発生し易くなる。従って、この要因を取り除いた構造を持つ CLFF (Contention Less Flip Flop) (この内容は ISLPED2011[1] で発表) ならば低電圧下においても誤動作しにくく出来る。つまり、フリップフロップ以外の NAND、NOR、Inverter の類のものについては、従来通りのスタティック CMOS 論理回路で構成される各種論理ゲートの ASIC スタンダードセルライブラリをそのまま使用し、フリップフロップについては CLFF を用いれば良い。

## (2-2) セットアップエラー対策

ロジック回路のセットアップエラー対策として 3.1 章で述べた Parity-based Error Prediction and Detection (PEPD) を採用した (この内容は ISSCC2012[2] で発表)。図 III. 2. 5-6 にプロセッサパイプラインへの PEPD 技術適用概念図を示す。PEPD はパリティ生成・検査の仕組みを応用したセットアップエラーマージンの in-situ 観測手法であり、セットアップエラーの真のエラーが起こる前に事前警告を行う。A チップの 32b RISC プロセッサでは、組み合わせ論理回路の出力に対してパリティ生成を行う為の RTL 記述を追加することによってインプリした。

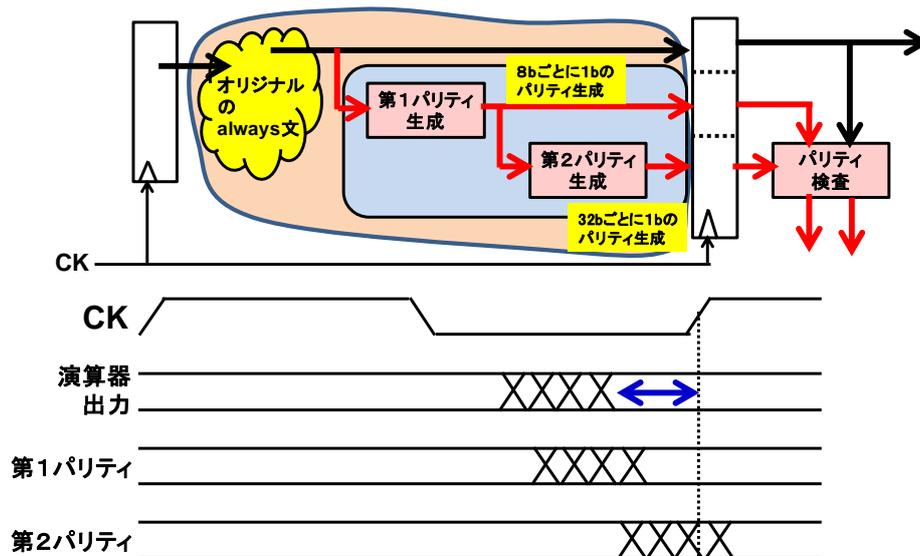
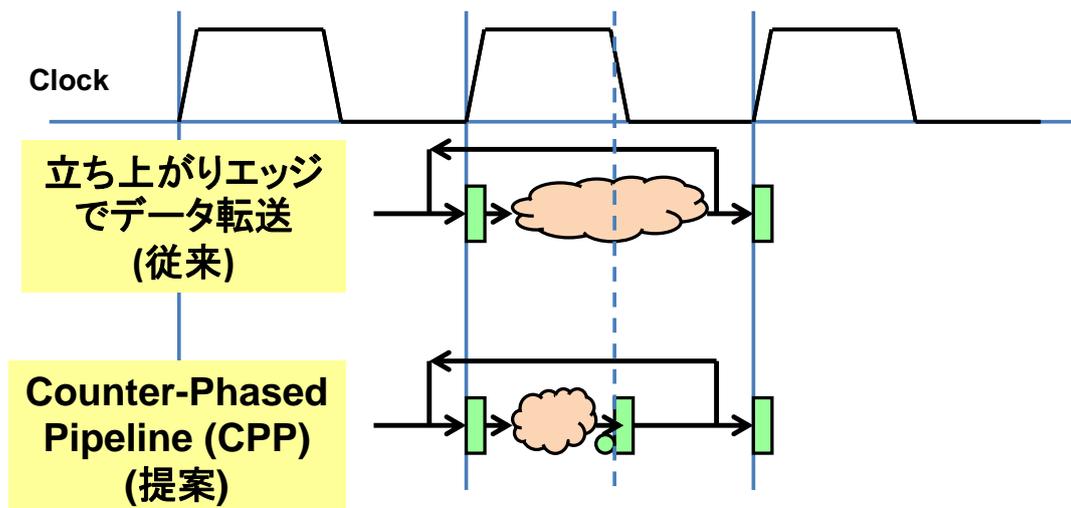


図 III. 2. 5-6 プロセッサパイプラインへの PEPD 技術適用概念図

## (2-3) ホールドエラー対策

低電圧ではチップ内の遅延ばらつきが大きくなるため、ホールドエラー回避用のホールドバッファの必要数が増える問題がある。ホールドエラーの起きるメカニズムを考えれば、ホールドエラーとは、パイプラインレジスタ間における、クロックの同エッジ間転送経路 (例えば、立ち上がりエッジ→立ち上がりエッジ) のみにおきる現象である。従って、図 III. 2. 5-7 に示すように、逆相で作動するパイプラインレジスタを挿入し、逆相同士 (立ち上がりエッジ→立ち下がりエッジ、立ち下がりエッジ→立ち上がりエッジ) で転送しあえば、ホールドエラーは原理的に起き得ない。これを CPP (Counter Phased Pipeline) と呼ぶ。A チップでは 32b RISC プロセッサパイプラインの全てについて、CPP を適用した。RTL 記述によって CPP を実装した。

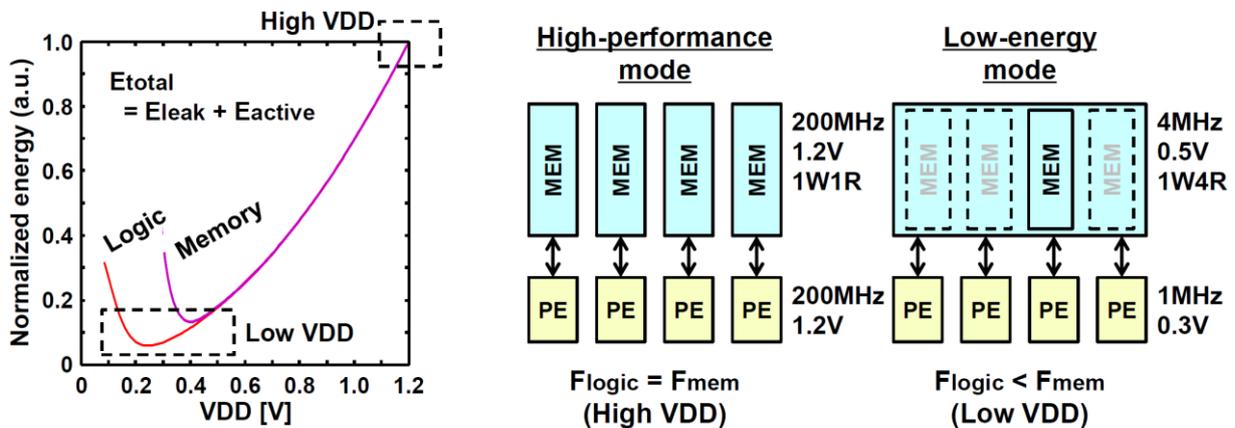
CPP の最大のメリットは、ホールド補償の為の OCV 係数を過剰に設定しないことである。一般には、低電圧においては遅延バラツキが増大する為、OCV 係数を通常よりも大きく設定し、つまりは非常に大きなマージンを取り、過剰な数のホールドバッファ挿入を行う。本技術は、その様な過剰な OCV 設定、過剰なホールドバッファ挿入を一切必要としない。過剰なホールドバッファ挿入が無いことと引き換えに、CPP 構造の適用によってフリップフロップの数が増えてしまうのである。ここにはトレードオフがあつて、本稿の目論見では、0.3V 台という条件では従来の OCV 係数によるホールドエラー補償という設計手法では破たんする。CPP 構造を用いれば、標準電圧のタイミングライブラリでもって、標準 VDD に基づいた通常の OCV 係数で、通常の ASIC 設計をしたとしても、原理的にホールド違反が起きない。



図Ⅲ.2.5-7 CPPによるホールドエラー対策

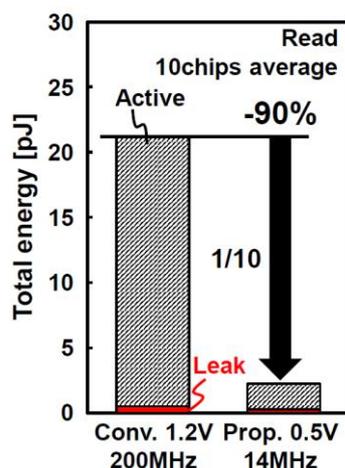
(3) メモリ回路

図Ⅲ.2.5-8は、低電圧化を進めた場合のロジック及びメモリの電力効率依存性を示す。メモリはロジックに比べて活性化率が低いため、電力効率が高くなる動作電圧がロジックに比べて高くなることが知られている。統合Aチップでは、ロジック部(PE)及びメモリ部を、電力効率を最大となるような動作領域で用いるため、図Ⅲ.2.5-9に示すような2つのモード(高電圧1対1(PE対メモリ)動作モード及び低電圧1対8動作モード)を持つ。



図Ⅲ.2.5-8 ロジック・メモリ 電力効率電源電圧依存性 図Ⅲ.2.5-9 メモリ時分割マルチコアアーキテクチャ

40nm 17Kb 8T SRAMのチップ試作と実測評価を行った。図Ⅲ.2.5-10は、従来200MHz 1.2V動作SRAMと14MHz 0.5V動作時の提案SRAMの読出し時消費エネルギー実測結果を示す。提案技術を用いる事により、10チップ平均で、従来SRAMに比べて消費エネルギー1/10を達成した。



図Ⅲ. 2. 5-10 消費電力削減効果

#### (4) 電源回路

図Ⅲ. 2. 5-2 に示す様に 0.5V 程度の入力に対して、ロジック回路が必要な入力電圧へ高効率で降圧する表Ⅲ. 2. 5-3 に示す仕様の A チップ用 Buck コンバータを開発した。図Ⅲ. 2. 5-11 は開発した Buck コンバータのブロック図である。Buck コンバータは、内部クロック生成回路、デジタルパルス幅変調 (PWM) コントローラ、電流不連続モード (DCM) コントローラ、出力スイッチ回路及びクロックドコンパレータから構成されており、差動増幅器などのアナログ回路の利用を最低限にして、デジタル回路で制御部を実現することで消費電力の低減を実現した。

以下動作について説明する。内部クロック生成回路は入力クロック (CK) からデジタル PWM コントローラで利用するクロック CK1 及び CK3 とクロックドコンパレータに利用するクロック CK2 を生成する。クロックドコンパレータはクロック CK2 に同期して参照電圧 ( $V_{REF}$ ) と出力電圧 ( $V_{OUT}$ ) を比較し結果 (CP) を図Ⅲ. 2. 5-12 に示すデジタル PWM コントローラへ入力する。デジタル PWM コントローラは、双方向シフトレジスタ (Bi-directional shift register) とデジタル PWM 生成回路より構成される。

表Ⅲ. 2. 5-3 A チップ用 Buck コンバータの仕様

Aチップ電源仕様	
$V_{IN}$	0.5~0.6V
$V_{OUT}$	0.35V~
$I_{OUT}$	0.2~1.0mA (type:0.5mA)
効率	>70%
$F_{CK}$	6.4MHz
L	220uH
PWM Method	Clock Base PWM Control
Control Mode	CCM & DCM

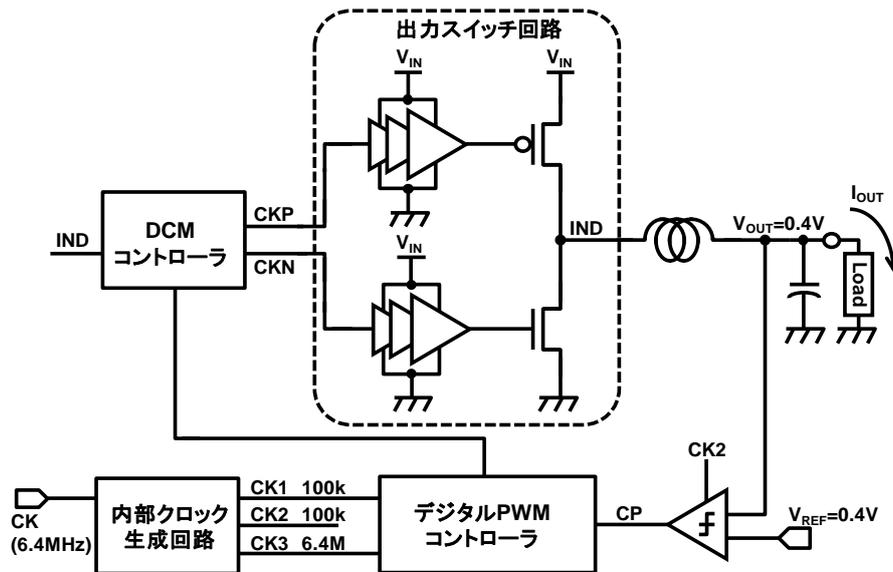


図 III. 2. 5-11 開発した A チップ用 Buck コンバータのブロック図

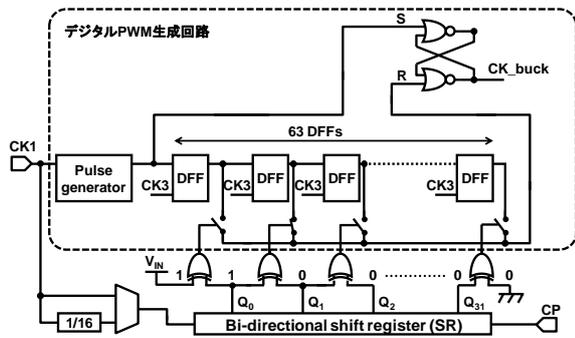


図 III. 2. 5-12 デジタル PWM コントローラ

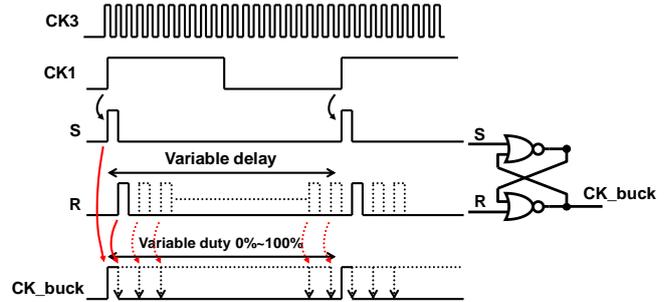
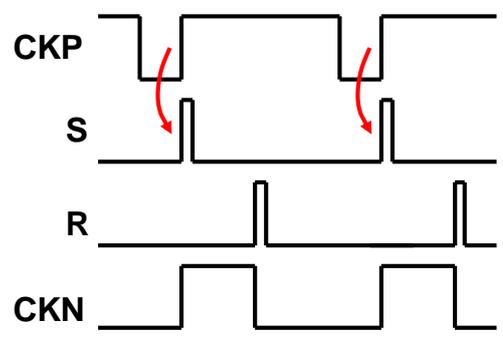
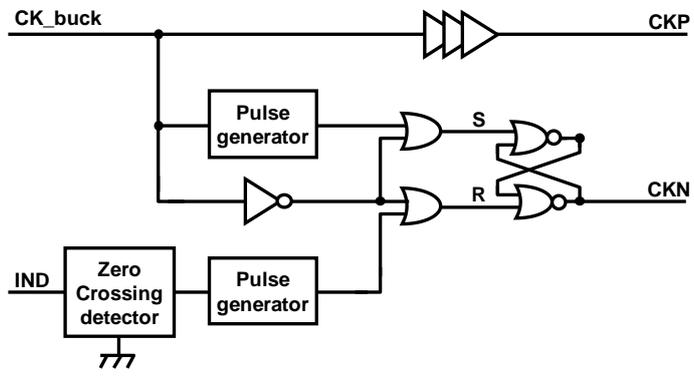


図 III. 2. 5-13 PWM 信号生成

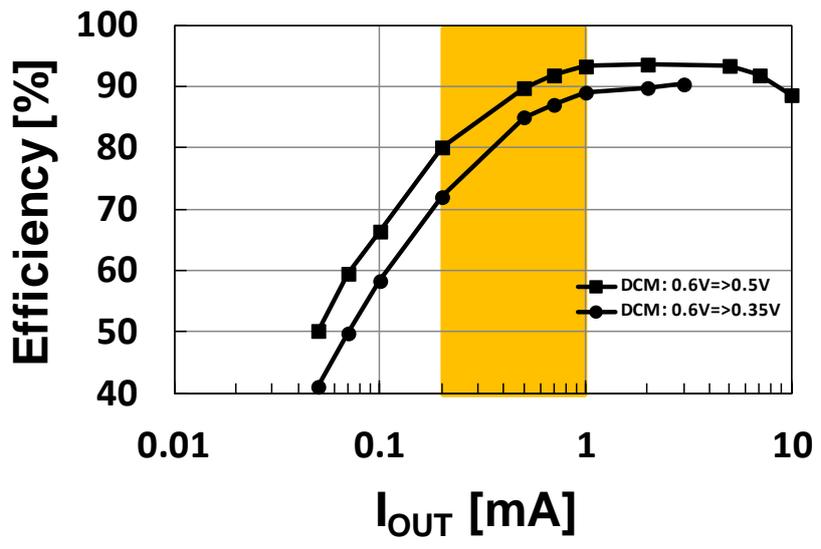
デジタル PWM 生成回路は、クロック CK1 の立上りエッジ毎にパルス生成回路 (Pulse generator) により生成させたパルスは SR フリップフロップ (SR-FF) をセットし、後段の D-フリップフロップ (D-FF) チェーンに入力される。D-FF チェーンに入力されたパルスは CK3 により D-FF チェーンを伝搬していき、双方向シフトレジスタにより選択されたタップより SR-FF のリセット入力に入力されることで、図 III. 2. 5-13 に示すように PWM 信号 CK\_buck を発生させる。双方向シフトレジスタは、クロック CK1 の周期で PWM 信号のデューティ比を調整する。双方向シフトレジスタの動作クロックを分周して PWM 信号のデューティ比更新頻度を遅くすることで、出力安定性が増加し出力リップルの低減を実現した。図 III. 2. 5-14 に示す DCM コントローラは PWM 信号 CK\_buck から最終的に図 III. 2. 5-15 に示す出力スイッチ制御用の CKP 及び CKN を生成する。DCM コントローラの Zero Crosssing detector (ZCD) は図 III. 2. 5-11 の IND 端子の電圧と GND レベルを比較するコンパレータであり、IND 端子の電圧が GND レベル以下であれば Low レベル、GND レベルより高い場合は High レベルを出力する。これにより、インダクタに逆流電流が発生すると NMOS 出力スイッチの寄生抵抗で IND 端子の電圧が GND レベルより高くなることで逆流電流の検知を実現した。DCM コントローラは ZCD の逆流電流検出信号の立上りエッジからパルスを生じて、NMOS 出力スイッチの制御信号を OFF 状態に変更することで逆流電流による効率低下を防止する。

図Ⅲ. 2. 5-16はBuckコンバータの効率の出力電流依存の実測結果を示す。仕様の出力電流0.2mA~1.0mAの範囲において、効率70%以上を実証した。このBuckコンバータを用いて、Aチップ全体を動作させることにも成功した。



図Ⅲ. 2. 5-14 DCM コントローラ

図Ⅲ. 2. 5-15 パワートランジスタの制御信号



図Ⅲ. 2. 5-16 Buck コンバータの効率の出力電流依存の実測

#### (5) 統合 A チップの評価結果

図Ⅲ.2.5-4 で示した A チップを用いて、従来の 8 並列モードと提案する 1 対 8 モードの消費電力削減効果を実測した。測定条件は以下の通りである。

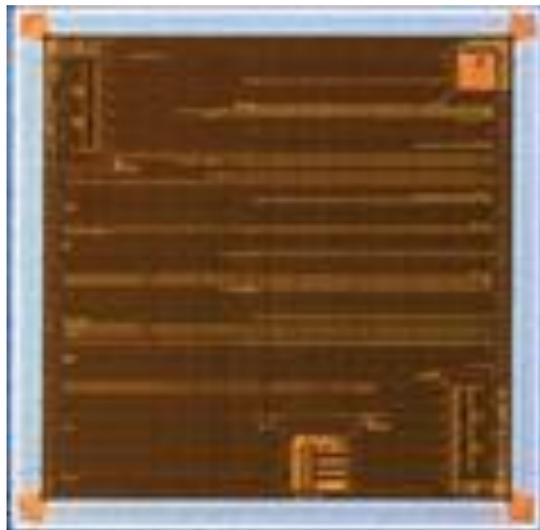
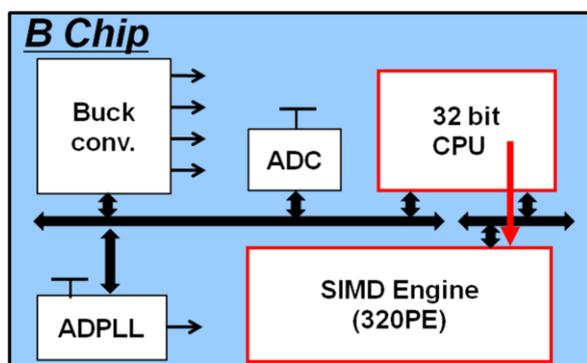
- ・ 室温
- ・ クロック周波数 : 1.5MHz (1 対 8 モードの SRAM とスイッチングレイヤは 12MHz)
- ・ 従来の 8 並列モードの電源電圧 : 1.2V
- ・ 提案の 1 対 8 モードにおける:
  - ・ Buck コンバータ入力電圧 : 0.5V
  - ・ Buck コンバータ出力電圧 : 0.385V ←PE はこの電圧で動作
  - ・ SRAM の電源電圧 : 0.5V
  - ・ スwitchングレイヤの電源電圧 : 0.5V

1 対 8 モードにおける PE の電源電圧 0.385V は、PE の最小エネルギー動作領域である。また、SRAM の電源電圧 0.5V も、SRAM の最小エネルギー動作領域である。つまり、提案アーキテクチャにより、ロジック回路と SRAM がそれぞれ同時にエネルギー最小動作を実現することに成功した。A チップにおける従来の 8 並列モードと提案する 1 対 8 モードのエネルギーをそれぞれ実測した。8 並列モードでは、Buck コンバータを動作させていないが、1 対 8 モードでは Buck コンバータのエネルギーも含んでいる。実測の結果、A チップ全体のエネルギーは、従来手法 (8 並列モード、PE とメモリともに 1.2V) では 4654pJ であり、提案手法 (1 対 8 モード、PE 0.385V、メモリ 0.5V) では 254.5pJ であった。提案手法により、エネルギーは 1/18 倍に低減されたことが実証された。

以上により、A チップの最終目標である「同じ処理を行うための消費電力が従来技術に比べて 1/10 以下に低減される低電力効果を実証する」を達成した。

## 2.5.3.2 統合 B チップ (この成果の一部は Symposium on VLSI Circuits 2012 で発表 [1])

### (1) 全体アーキテクチャ



図Ⅲ. 2. 5-17 統合 B チップブロック図とチップ写真

図Ⅲ. 2. 5-17 に B チップのブロック図とチップ写真を示す。CPU、SIMD エンジン、オールデジタル PLL (ADPLL)、Buck コンバータ、そして ADC からなる。Buck コンバータから複数の電源電圧が供給され、ADPLL からクロック信号が供給される。CPU がコントローラとして機能し、SIMD エンジンをはじめとする搭載マクロを制御する。40nm CMOS 技術で試作し、チップサイズは 5mm 角、3 千万トランジスタを搭載した。0.5V~0.6V で 10MHz 以上の動作を目標とした。

### (2) ロジック回路

極低電圧で動作するロジック部は、CPU と SIMD エンジンである。それぞれに極低電力ロジック要素技術を搭載した。CPU ロジックはランダムロジックであり、SIMD は規則的なアレイ構造である。機能ブロックのアーキテクチャに応じた要素技術の適用効果の違いを確認可能である。

#### (2-1) CPU

CPU は商用化されている 32 ビットの汎用マイコンコアであり、ロジックテーマの大規模ロジックマクロ設計技術検討で利用実績のあるものをベースとした。ロジック技術として低電圧 DFF、タイルベースの細粒度 Dual VDD 技術を適用した。ロジックテーマで用意した極低電圧スタンダードセルライブラリを用い、論理合成と自動配置配線の一般的な設計ツールを用いて設計し、スタティックタイミング解析 (STA) ツールでタイミング検証を行った。ロジックテーマ初期は確実に動作させるために極めて大きい OCV 係数を用いたが、遅延や面積オーバーヘッドが大きかった。統合 B チップ設計においては、ばらつき見積り精度を上げて、OCV 係数を絞り込んだ。また、論理ゲートの多段接続構成においては、ランダムばらつきの緩和効果がみられることが知られるが、これを反映可能な LOCV を適用した。

## (2-2) SIMD

SIMD は研究開発用の動画処理プロセッサで 320 個の 4 ビットのプロセッシングエレメント (PE) からなる。ロジック技術として低電圧 DFF 技術の 1 つとして提案した CLFF と、PE 単位の細粒度 Dual VDD 技術を適用した。EDA ツールの利用は CPU と同様とした。PE ロジック部とワークメモリとの密な信号の授受を最短距離で結ぶレイアウト設計を適用し、所望の性能確保を図った。

## (3) メモリ回路

CPU と SIMD の内蔵メモリに 1 ポート SRAM を利用する一方、SIMD の PE 用のワークメモリに 1 リード 1 ライトの 2 ポート SRAM を利用する。

1 ポート SRAM はメモリテーマで 1M ビット容量 (32k ワード×32 ビット) のマクロを開発済みである。CPU の内蔵メモリとして 32 ビット長、SIMD の命令メモリとして 64 ビット長、画像メモリとして 16 ビット長が必要となる。5mm 角のチップサイズへの収容性も考慮し、それぞれのワード数を規定し、8k ワード×32 ビット (ワードドライバ中央配置) のメモリマクロを基本単位とし、16 ビットの縮退版を含む 2 種類のマクロを用意した。メモリマクロ機能として、8 ビット単位の Partial ライト機能を追加するとともに、より低電圧で所望の処理性能を達成するよう動作速度を改善するために、センスアンプ周りも変更を加えた。1 ポート SRAM の要素技術としては、チャージシェア、チャージコレクト技術を適用した。

2 ポート SRAM は SIMD ワークメモリ用に少ワードの 8 ビット長の高速アクセスメモリを新規開発する必要性が生じた。高速 SRAM 用に要素技術開発した相補 8T 技術を 2 ポート SRAM 向けに拡張した。

### (3-1) 1 ポート SRAM

#### 1) 統合 B チップ搭載マクロ仕様と概要

##### 1-A) マクロ仕様

統合 B チップに搭載する 1 ポート SRAM の仕様は、次の通りである。

表 III. 2. 5-4 統合 B チップ搭載 1 ポート SRAM マクロ仕様

機能	・クロック同期式 1port-SRAM ・8bit 単位の Partial Write 機能
動作電圧	・1. 2V~0. 6V
動作周波数	・20MHz@0. 6V
Word/Bit 構成	・8Kw×16b (128Kb) ・8Kw×32b (256Kb)

##### 1-B) 搭載回路技術

統合 B チップに搭載する SRAM には、要素回路技術で効果を確認した 2 種類の回路技術を搭載している。

- ・電荷制御型 SRAM 技術 (チャージコレクタ回路)
- ・チャージシェアライト方式

### 1-C) 統合 B チップに搭載するにあたっての回路変更点

統合チップに搭載するに辺り、下記 2 点の回路変更を行った。

- ・動作速度の改善
- ・Partial Write 機能の追加。

動作周波数 20MHz (0.6V 時) を達成するために、センスアンプ周りの回路を変更し、動作速度の改善を行った。また、統合 B チップ用に Partial Write 機能を追加した。

### 2) 回路変更箇所詳細説明

#### 2-A) 動作速度改善

動作速度を改善するために、下記回路図に示すようにセンスアンプをカラムスイッチの前に置き、センスアンプ起動信号 (LSAE) が起動するまでの間、カラムスイッチの制御信号 (LBLK) を”L”にしてカラムスイッチを閉じて置く。こうすることで、ビット線が振幅している間、カラムスイッチから先の負荷を見せないようにすることで、読み出し速度を改善した。この変更で読み出し速度を約 12% 改善した。今回の変更による面積オーバーヘッドは、わずか 1.7% である。

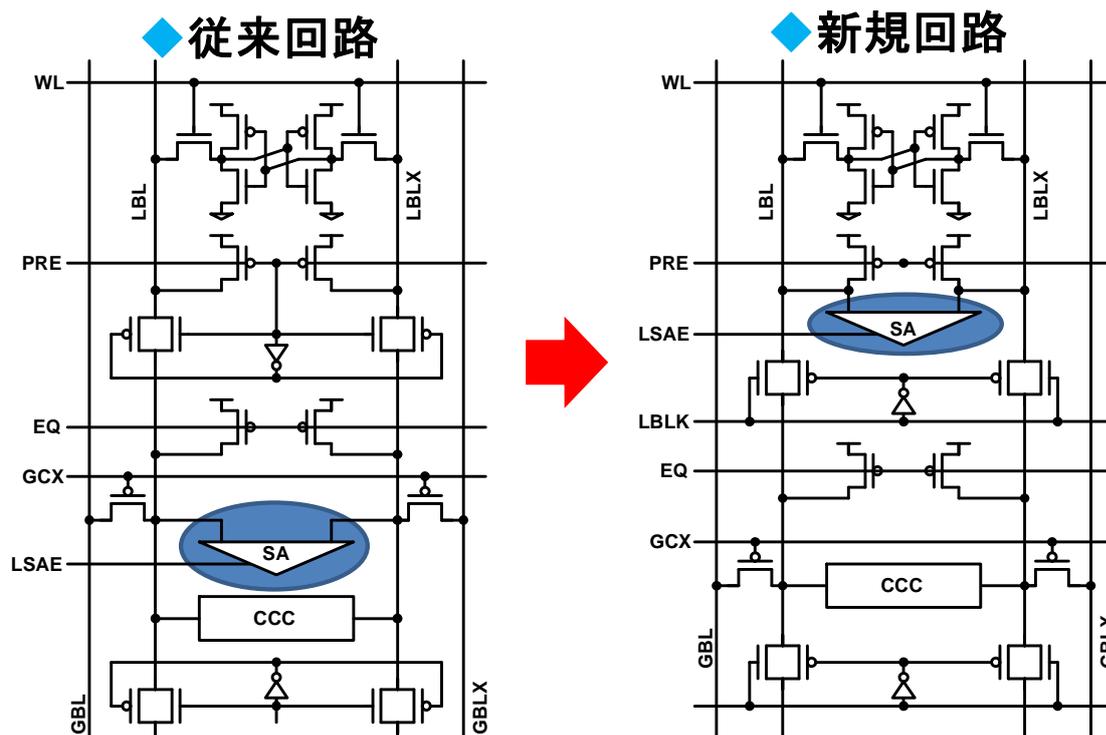
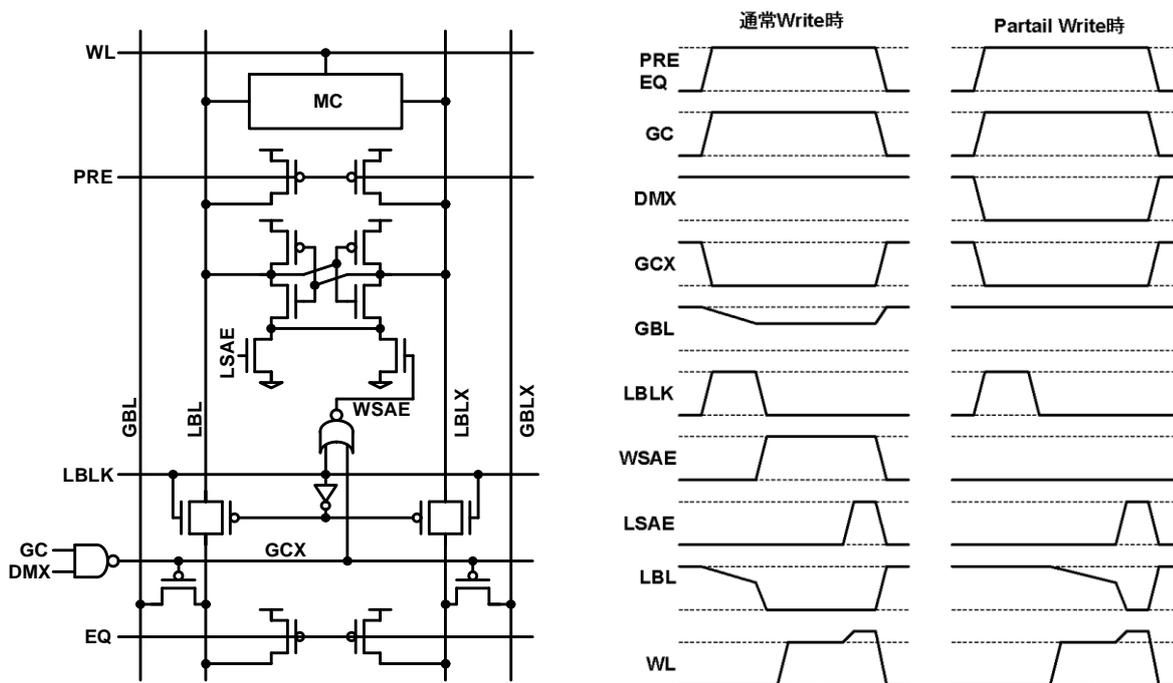


図 III. 2. 5-18 統合 B チップ搭載 1 ポートメモリのセンスアンプ部回路変更

### 2-B) Partial Write 機能の追加

統合 B チップに搭載する 1 ポート SRAM には、32bit(もしくは 16bit)の内、8bit のみデータ書き込みを行う Partial Write の機能が必要になる。その機能を実現するために、センスアンプの周辺回路を変更した。



(a) 回路図

(b) タイミングチャート

図 III. 2. 5-19 統合 B チップ搭載 1 ポートメモリの Partial Write 対応

### 3) 単体試作チップ評価結果

40nm Low Standby Process で、試作チップを作製し評価を行った。評価結果は以下の通り。20MHz 動作時で統合 B チップ目標、消費電力 1/3 を達成した。

表 III. 2. 5-5 統合 B チップ搭載 1 ポートメモリの評価特性

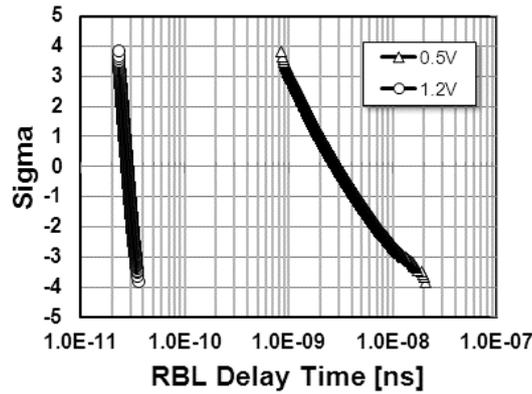
動作電圧	<ul style="list-style-type: none"> <li>• 1. 2V~0. 650V (8Kw×16b)</li> <li>• 1. 2V~0. 625V (8Kw×32b)</li> </ul>
動作周波数	<ul style="list-style-type: none"> <li>• 10MHz、20MHz</li> </ul>
消費電力(高電圧動作時)	<ul style="list-style-type: none"> <li>• 43. 3pJ@1. 2V、20MHz (8Kw×16b)</li> <li>• 47. 6pJ@1. 2V、20MHz (8Kw×32b)</li> </ul>
消費電力(低電圧動作時)	<ul style="list-style-type: none"> <li>• 8. 2pJ@0. 650V、20MHz (8Kw×16b)</li> <li>• 10. 3pJ@0. 625V、20MHz (8Kw×32b)</li> </ul>

### (3-2) 2ポートSRAM

統合Bチップで想定する画像処理はSIMDプロセッサによる実現が高い電力効率を達成可能と期待される。SIMDのような超並列型アレイプロセッサは汎用プロセッサに対して動作周波数を抑制可能であるが、極低電圧動作のため要求性能は高く、信号処理データの授受の中心をなし、動作率の高いPEワークメモリには、高速アクセスタイム(<10ns @0.6V)、高バンド幅、低電力が求められる。機能としては、1Read/1Write 2ポートSRAM(1R/1W 2P-SRAM)が求められる。

低電力SRAMを実現するためには、低電圧化、小振幅ビット線(BL)読み出し動作、サイクルタイムの高速化が有効である。しかしNear-threshold-voltage (NTV)領域までの低電圧化はメモリセルトランジスタのしきい値電圧のランダムバラツキの影響を受け、ビット線(BL)遅延時間の大幅な増大を引き起こし、Readアクセスタイム劣化を引き起こす。よって、一般的に画像処理プロセッサ用途で幅広く使われているシングルエンド型の2ポートSRAMでは読み出しビット線(RBL)をフルスウィングするため、低電圧における高速アクセスタイムの実現は厳しい。一方、低電圧、高速アクセスタイムを両立するSRAMとしてReadポートを差動にした1ポート相補読み出し型(Complementary Read Port : C-RP) 8T-SRAMが従来提案されている。しかしながら、0.5VのNear-threshold regionでは、読み出しビット線(RBL)を差動にしても0.5Vではワーストの読み出しビット線(RBL)読み出し時間が劣化し、読み出しビット線の高速化には限界がある。図III. 2. 5-20に従来のC-RP 8T-SRAM(RBLに接続されるメモリセル数は64セル)構成における1.2Vと0.5Vにおける読み出しビット線(RBL)遅延時間分布の統計モンテカルロシミュレーション結果を示す。1.2Vでは最大と最小で3倍程度の読み出しビット線(RBL)遅延時間がかかるのに対し、0.5Vでは最大と最小で23倍の読み出しビット線(RBL)遅延時間がかかる。これは低電圧化に伴ってメモリセルトランジスタのしきい値電圧のランダムバラツキの影響が大きくなるためである。低電圧化は、BL読み出し時間の増大だけでなく、ライトマージン劣化によるライト不良やライト時間(CLK起動からメモリセルデータ反転90%までの時間)の増大も引き起こす。

上記課題を解決するために、我々は相補読み出し型8T-SRAMの2ポート化を行い、かつ低電圧におけるBL読み出し時間の更なる高速化技術と同時Read/Write動作に対応した低電圧ライトアシスト技術(ライトマージンの改善によりライト時間の高速化)を提案する。低電力SIMD向けの低電圧、高速アクセス、高速ライト、エネルギー効率の高い新規1Read/1Write 2ポートSRAMマクロ回路を開発した。



図Ⅲ. 2. 5-20 従来の相補読み出し型 8T-SRAM リードビット線遅延時間分布のモンテカルロシミュレーション結果

表Ⅲ. 2. 5-6 統合 B チップ搭載 2 ポートメモリの開発ターゲット

		Power [uW] @2Kb	Energy [uW/MHz]=[pJ] @2Kb
①	Ref 1.2V@20MHz	222.60	11.13
②	Target @20MHz	74.20	3.71

※Ref回路は同一構成の40nm 2Kb Single-end 2Port 8T-SRAM Macro (Sim) Memory Cell Array、I/O回路のみ異なる回路構成

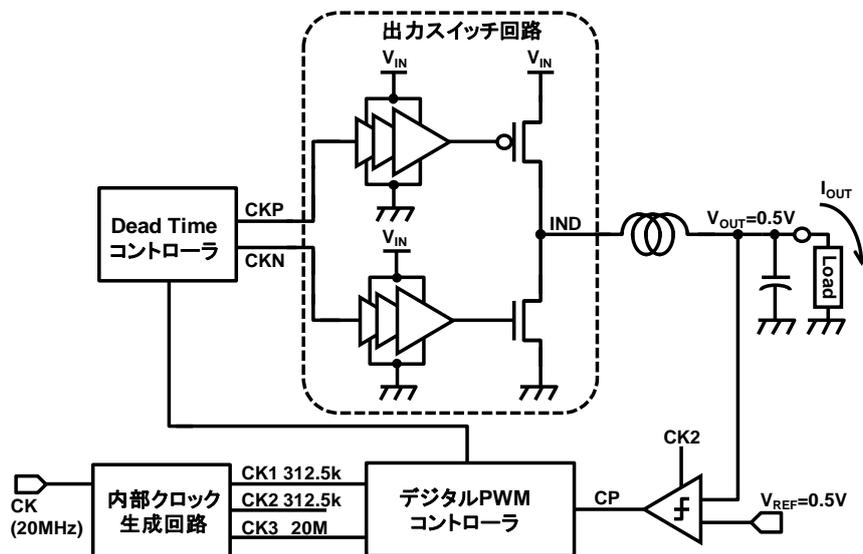
**Energy Efficiency  $\leq$  1/3**  
(レファレンス回路1.2V比)

表Ⅲ. 2. 5-6 は消費エネルギーの開発ターゲットを示す。消費エネルギーのレファレンス値は、同一構成の 40nm 2Kb Single-end 2 ポート 8T-SRAM マクロの 1. 2V、20MHz 動作時の消費エネルギーのシミュレーション値を用いている。レファレンス回路は本提案回路と、メモリセルアレイ、センスアンプ部のみ異なる回路構成であり、その他の周辺回路については同一回路を用いている。消費エネルギーの開発ターゲットは 1. 2V、20MHz 動作時のレファレンス消費エネルギー値 11. 13pJ の 1/3 である 3. 71pJ となる。本提案回路は 0. 55V、20MHz 動作時の消費エネルギーは 2. 26pJ であり、従来レファレンス回路 1. 2V 比で 1/5 の低消費エネルギー値を実現した。

(4) 電源回路

表Ⅲ. 2. 5-7 統合 B チップ搭載電源仕様

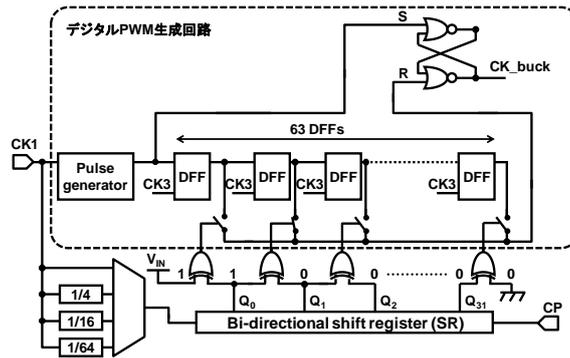
Bチップ電源仕様	
$V_{IN}$	0.6~0.7V
$V_{OUT}$	0.3V~0.65V
$I_{OUT}$	1.0~10mA (type: 5mA)
効率	>80%
$F_{CK}$	20MHz
$F_{SW}$	312.5kHz
L	47uH



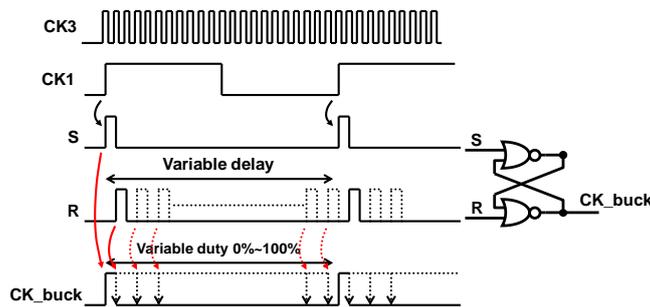
図Ⅲ. 2. 5-21 統合 B チップ搭載電源回路の全体ブロック図

B チップ用電源回路 (B チップバックコンバータ) は各回路ブロックが必要な入力電圧へ高効率で降圧する電源回路であり、表Ⅲ. 2. 5-7 に示す仕様の B チップバックコンバータを開発した。

図Ⅲ. 2. 5-21 は開発したバックコンバータのブロック図である。開発した B チップバックコンバータは、内部クロック生成回路、デジタル PWM コントローラ、Dead Time コントローラ、出力スイッチ回路及びクロックドコンパレータから構成されており、差動増幅器などのアナログ回路の利用を最低限にして、デジタル回路で制御部を実現することで制御部の消費電力の低減を実現した。

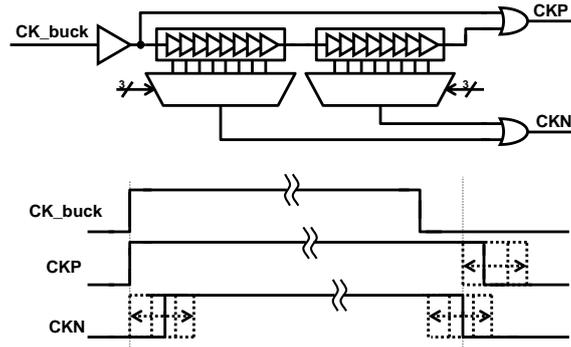


図Ⅲ. 2. 5-22 統合 B チップ搭載電源のデジタル PWM コントローラ



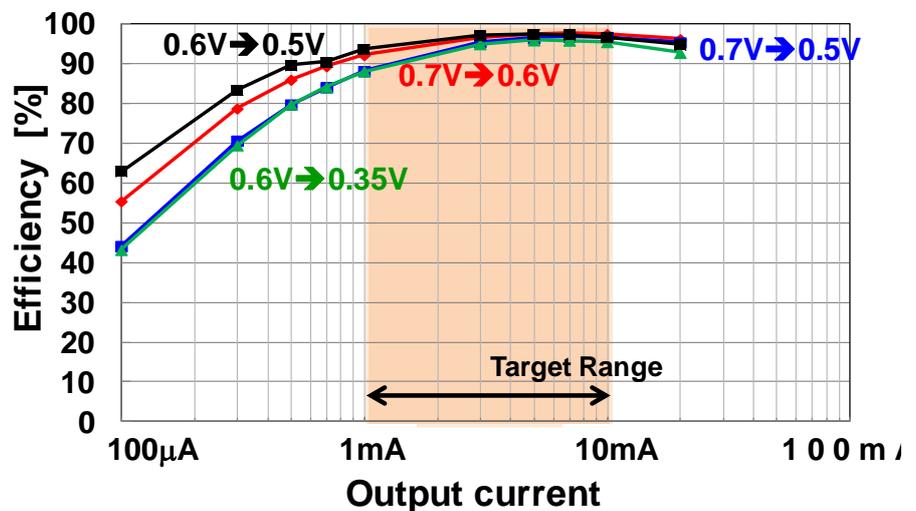
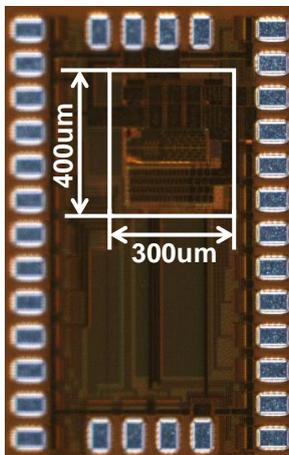
図Ⅲ. 2. 5-23 統合 B チップ搭載電源の PWM 信号生成

以下動作について説明する。内部クロック生成回路は入力クロック (CK) からデジタル PWM コントローラで利用するクロック CK1 及び CK3 とクロックドコンパレータに利用するクロック CK2 を生成する。クロックドコンパレータはクロック CK2 に同期して参照電圧 ( $V_{REF}$ ) と出力電圧 ( $V_{OUT}$ ) を比較し結果 (CP) を図Ⅲ. 2. 5-22 に示すデジタル PWM コントローラへ入力する。デジタル PWM コントローラは、双方向シフトレジスタ (Bi-directional shift register) とデジタル PWM 生成回路より構成される。デジタル PWM 生成回路は、クロック CK1 の立上りエッジ毎にパルス生成回路 (Pulse generator) によりパルスさせたパルスは SR フリップフロップ (SR-FF) をセットし、後段の D-フリップフロップ (D-FF) チェーンに入力される。D-FF チェーンに入力されたパルスは CK3 により D-FF チェーンを伝搬していき、双方向シフトレジスタにより選択されたタップより SR-FF のリセット入力に入力されることで、図Ⅲ. 2. 5-23 に示すように PWM 信号 CK\_buck を発生させる。双方向シフトレジスタは、クロック CK1 の周期でクロックドコンパレータの比較結果 CP したがって、内部データの 0/1 の境界を左右に移動するし、デジタル PWM 発生回路の出力タップを選択することで、PWM 信号のデューティ比を調整する。



図Ⅲ. 2. 5-24 統合 B チップ搭載電源の Dead Time コントローラ

B チップバックコンバータは出力電流のターゲットレンジが 1mA~10mA であるため出力スイッチのサイズが大きくなるため、PMOS 出力スイッチと NMOS 出力スイッチが同時 ON 状態になった場合には貫通電流による効率低下が懸念される。そのため図Ⅲ. 2. 5-24 に示す Dead Time コントローラは PMOS 出力スイッチの制御信号 CKP の立上りエッジに対する NMOS 出力スイッチの制御信号 CKN の立上りエッジ及び、NMOS 出力スイッチの制御信号 CKN の立下りエッジに対する PMOS 出力スイッチの制御信号 CKP の立下りエッジをそれぞれ数段~数十段のバッファデレイを調整することによって、PMOS 及び NMOS 出力スイッチの両方が OFF 状態になるように実測により調整する回路を採用した。



図Ⅲ. 2. 5-25 統合 B チップ搭載電源回路の単体チップ写真 (左) と出力電流-効率特性 (右)

図Ⅲ. 2. 5-25 左図に 40nm CMOS にて試作したバックコンバータ単体のチップ写真を示す。図Ⅲ. 2. 5-25 右図はバックコンバータの出力電流に対する変換効率の実測特性であり、出力電流 1mA~10mA の範囲で効率 80%以上を実証した。

### (5) 0.5V 動作 PLL

統合 B チップに載せる PLL は、平成 21 年度～平成 23 年度の 3 年間にアナログ回路技術開発にて回路設計、試作、評価済みの 0.5V 動作 PLL をベースにして、協調制御動作で要求される機能に対応できるよう設計開発した。ベースとしたワンチップ完全デジタル PLL (ADPLL) は、基準クロックとフィードバッククロックの位相誤差を低電力で求めるために、多相発振器の多位相クロックを用いて Time-to-Digital Convertor (TDC) で演算する構成である。PLL の帯域は調整可能で 100kHz と高めにすれば周波数追従性を改善でき、低めにすれば安定性を改善できる。図 III. 2. 5-26 が統合 B チップ向けに設計した ADPLL 全体のレイアウトである。図 III. 2. 5-27 に帯域設計結果を示す。

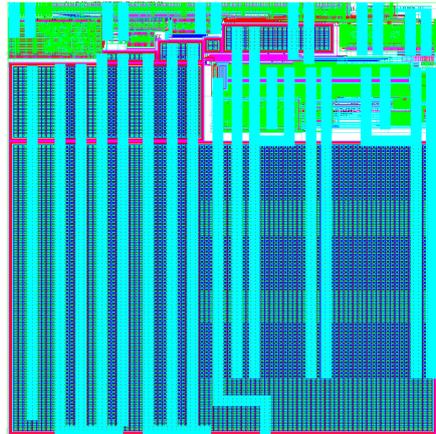


図 III. 2. 5-26 統合 B チップ搭載 ADPLL レイアウト

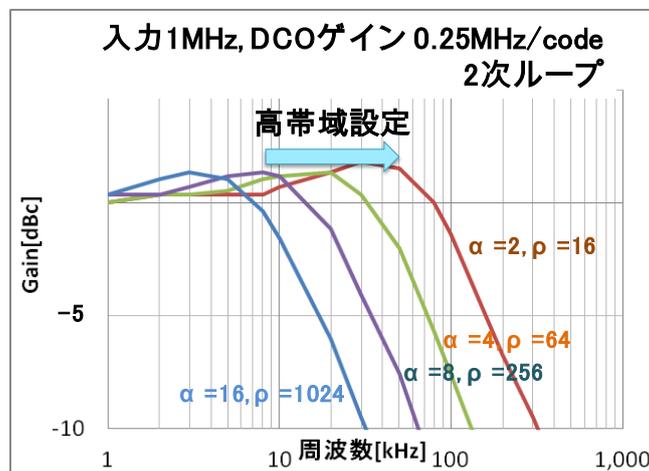


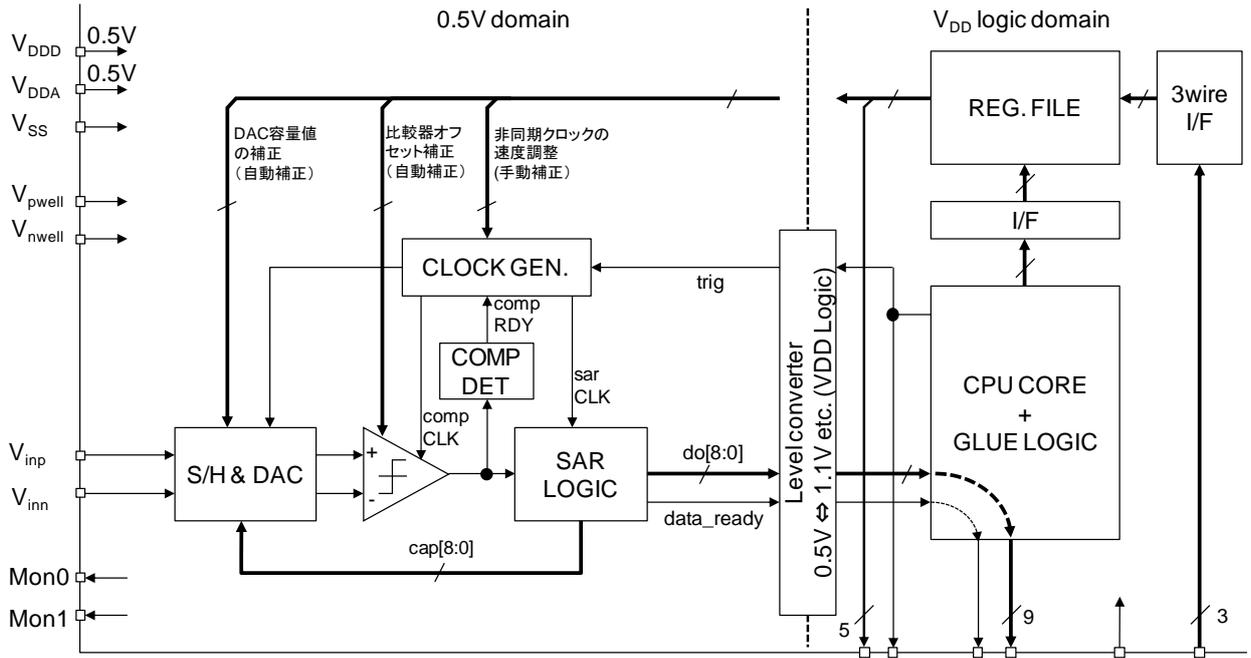
図 III. 2. 5-27 統合 B チップ搭載 ADPLL 帯域設計結果

## (6) A/D コンバータ

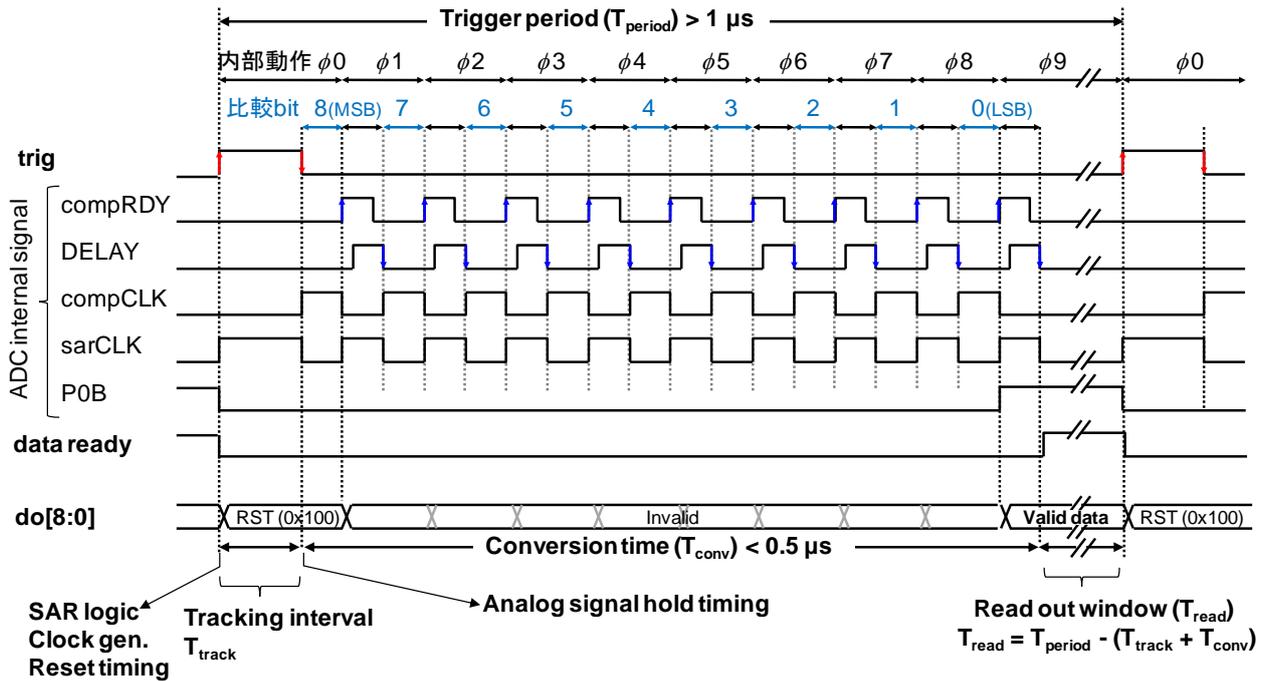
アナログ回路技術で開発した電荷再分配方式逐次比較型 A/D コンバータ (ADC) をベースとして、統合チップ用の ADC を設計して搭載した。大きな目的は、実世界インターフェース応用であり、統合チップに搭載された CPU を利用して、ADC の特性向上のための各種デジタルキャリブレーションをソフトウェアで実装することが可能である。

図Ⅲ. 2. 5-28 に統合チップに搭載した ADC のブロック図とロジック部とのチップ内 I/F を示す (各ブロックの構成の詳細はアナログ回路技術の章を参照のこと)。ロジック側から ADC にはサンプリング用のトリガ信号 (trig) が供給され、変換終了後のデータ (do[8:0]) および変換終了信号 (data\_ready) がレベルシフタを介してロジック側に渡される。また、ロジック側に配置された制御用レジスタ (図中、REG. FILE) のデータが ADC に接続されており ADC のキャリブレーション等に使用することができる。今回は、電荷再分配型内蔵 D/A コンバータ (DAC) の容量補正、コンパレータのオフセット調整、内部非同期クロック生成用のタイミング制御信号をデジタル的に調整できるようになっている。ADC 単体の評価を可能とするため、trig 信号および変換データ (do[8:0]) はロジック部をバイパスして外部から直接入出力できるようになっている。

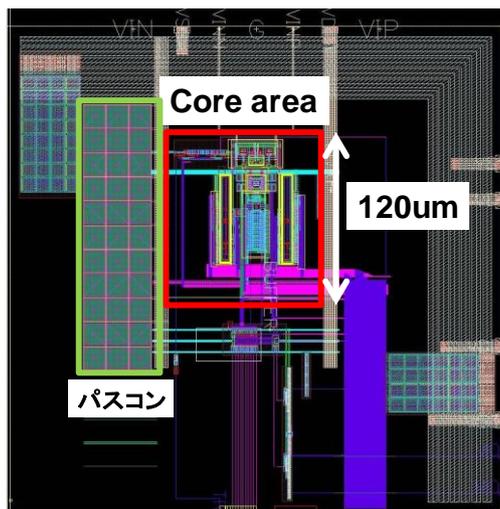
図Ⅲ. 2. 5-29 は統合チップに搭載した ADC の内部動作のタイミングチャートである。ロジック側から供給される trig 信号の立ち上がりを検出して、内部クロック生成ブロック (CLOCK GEN) がアナログ信号サンプル用のパルスを生成する (サンプル時間は設定により trig 信号で決定することもできるようになっている)。サンプルパルスが立ち下がった後に、逐次比較用のクロック (compCLK) が生成される。本クロックは、各逐次比較ステップにおいてコンパレータの比較完了検出および内部遅延素子により非同期に生成される。逐次比較が終了して LSB まで変換が完了したのち data\_ready 信号が High となりロジック側でデータ do[8:0] を読みとることで一回の A/D 変換が完了する。0. 5V 動作時において変換速度を最高 1usec (1Ms/sec) の目標仕様として設計を行った。図Ⅲ. 2. 5-30 は設計した ADC のレイアウトである。



図Ⅲ. 2. 5-28 統合 B チップ搭載 ADC のブロック構成とロジック部との I/F 仕様

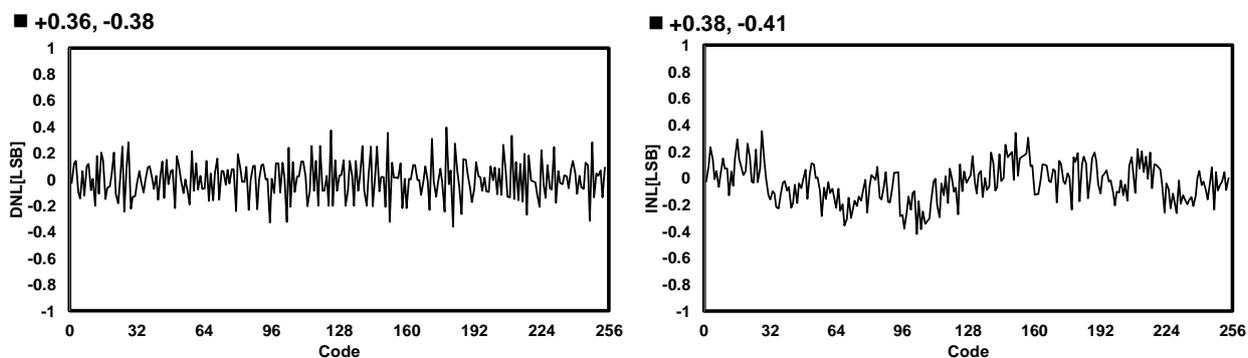


図Ⅲ. 2. 5-29 統合 B チップ搭載 ADC の内部動作タイミングチャート



図Ⅲ. 2. 5-30 統合 B チップ搭載 ADC のレイアウト図

図Ⅲ. 2. 5-31 に試作した統合チップのキャリブレーション後の DNL (左図) および INL (右図) の実測結果を示す。電源電圧 0.5V、1MS/sec において、消費電力が  $0.9\mu\text{W}$ 、有効分解能 (ENOB) が 7.7 bit であり、規格化したエネルギー効率  $4.6\text{fJ/conv. step}$  であった。目標性能を達成すると同時に、統合チップにおいても世界最高レベルのエネルギー効率を確認した。ENOB が 7.3bit 程度に低下するが、電源電圧が 0.4V でも動作することを確認した。また、40nm-CMOS プロセスの通常電圧である 1.1V まで動作することも確認済みである (この時の最高変換速度および消費電力は、それぞれ 80Ms/sec、 $350\mu\text{W}$  であった)。



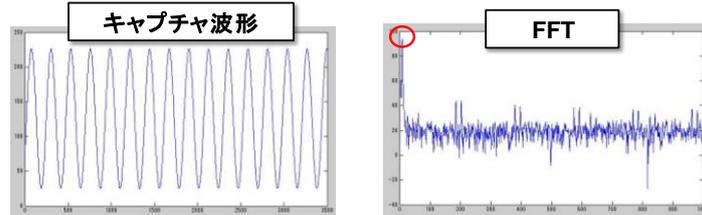
図Ⅲ. 2. 5-31 統合 B チップ搭載 ADC の DNL (左) および INL (右)

## 実世界インターフェイス

- ADCは 0.5V, 1MS/秒, 1.3 $\mu$  Wで動作
- CPUとメモリと周辺機能がADCと連携して信号処理を実現
- **オシロ処理**: アナログ入力をADC変換しCPUを介してチップ外に出力
- **キャリブレーション処理**: ADCの比較器、DACをキャリブレーションし精度を改善



<オシロ処理例>



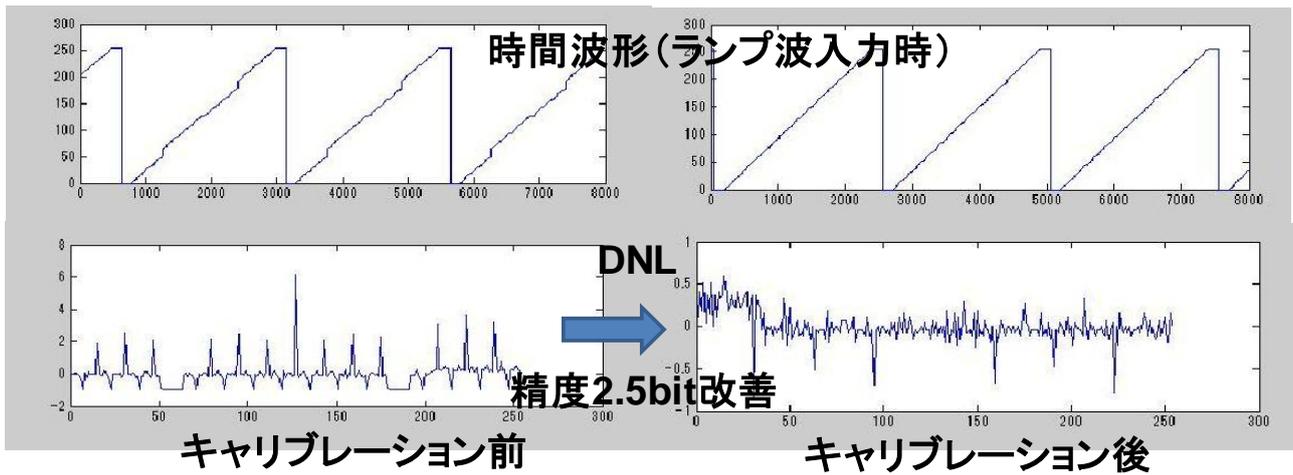
図Ⅲ. 2. 5-32 統合 B チップによる実世界インターフェイス応用

### (7-1) 実世界インターフェイス応用

統合チップ B に搭載した ADC と CPU の連携による実世界インターフェイス応用として、図Ⅲ. 2. 5-32 に示した通り、オシロ処理と ADC キャリブレーション処理を動作実証した。

オシロ処理では、アナログ信号入力を ADC でデジタル信号に変換し、デジタル値を CPU で取り込み、チップ外に出力した。ADC をはじめ、CPU のロジック、メモリ、周辺機能の連携動作を確認できた。

ADC キャリブレーション処理では、本統合チップに搭載した ADC の CPU を用いたソフトウェアによる自動キャリブレーションプログラムの実装評価を実施した。前述のとおり本 ADC では、内蔵 DAC の容量ミスマッチ、比較器のオフセット、および非同期クロック生成回路のタイミングをデジタル的に調整することが可能である。アナログ回路技術における ADC 単体の開発時には、これらの設定値を外部機器を用いてキャリブレーションしていたが、実用化のためには自動化が必須である。今回、比較器のオフセット検出およびキャリブレーション、内蔵 DAC の容量ミスマッチの検出およびキャリブレーションを行うプログラムを開発した（キャリブレーション手法の詳細はアナログ回路技術の章を参照のこと）。今回開発した方式では、外部から高精度な参照信号を一切必要としないことがポイントとなっている。キャリブレーション時には、適当に生成したおおよそ  $V_{DD}/2$  である直流電圧を ADC に入力するだけでキャリブレーションを行うことができる。図Ⅲ. 2. 5-33 は CPU 上のソフトウェアで実装した自動キャリブレーションを実行前後の特性の変化の実測結果を示す（ランプ波入力）。キャリブレーション前後で有効分解能が 2.5bit 改善することを確認した。より複雑な処理を極低電圧で実行できることを確認できた。



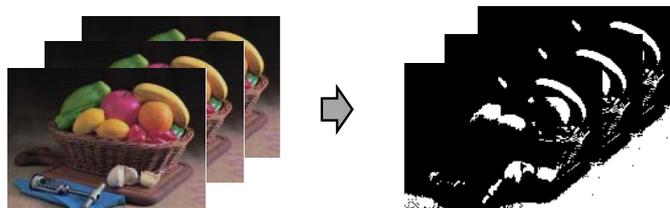
図Ⅲ. 2. 5-33 統合 B チップ搭載 ADC の CPU によるソフトウェアキャリブレーション前後の波形 (ランプ波)

### (7-2) 動画像処理の実証

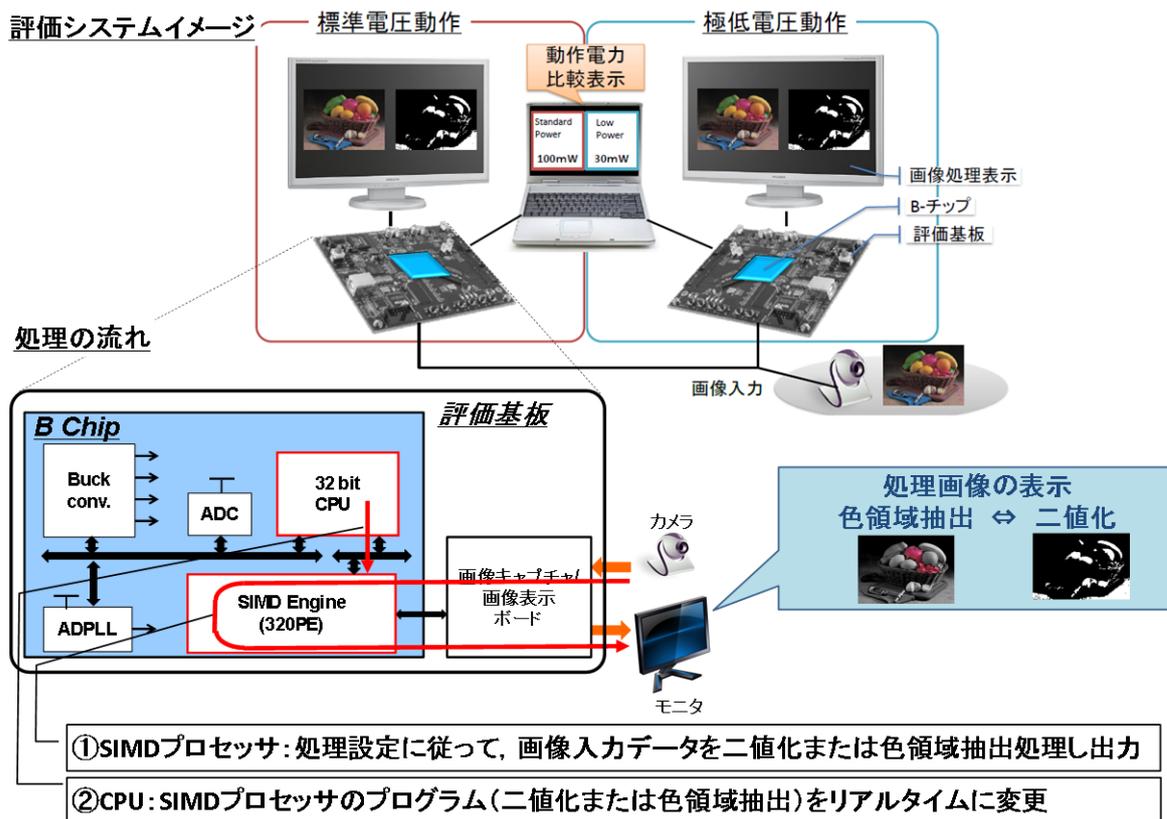
統合チップ B に搭載した SIMD と CPU の連携による応用として、動画像処理を動作実証した。想定するシステムは、フィルタリングなどの動画像処理である。図Ⅲ. 2. 5-34 に示した通り、SIMD エンジンで 10MHz 前後の周波数で多並列動作することにより、QVGA (320×240 画素) の画素数の画面で、動画像処理 (15 フレーム/秒) することを目標とした。同じ処理を行うための消費電力が従来技術に比べて低電圧化により 1/3 以下で実現できることも目指した。

## 動画像処理

- SIMD 10MHz @  $V_{Logic}=0.5V$
- QVGA (320x240画素)、15フレーム/秒、
- 各種フィルタリング処理(2値化、色領域抽出etc)



図Ⅲ. 2. 5-34 統合 B チップによる動画像処理



図Ⅲ. 2. 5-35 統合 B チップの動画像処理評価システムイメージと画像処理の流れ

図Ⅲ. 2. 5-35 に統合 B チップの動画像処理評価システムイメージと画像処理の流れを示す。

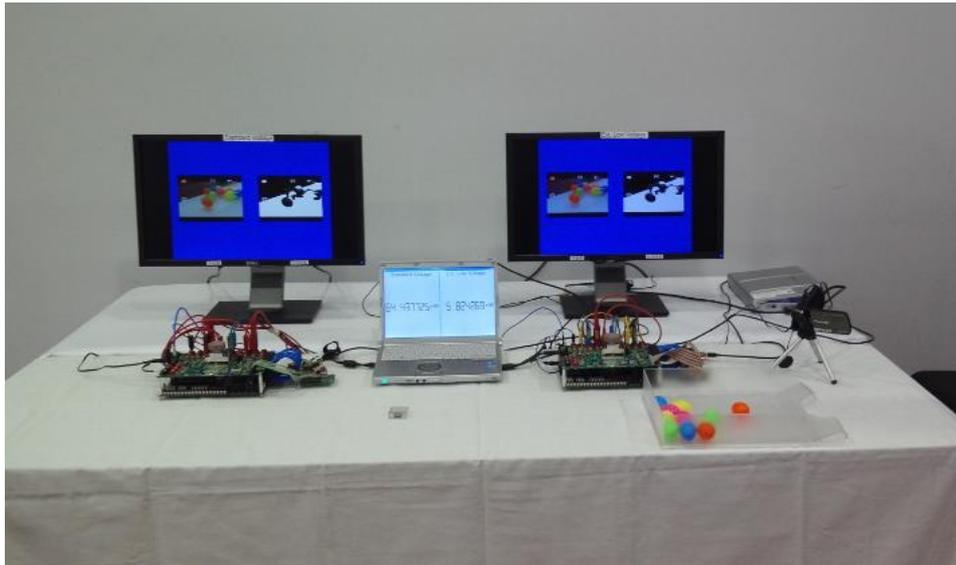
評価システムイメージは、標準電圧動作と極低電圧動作の評価システムを並べ、それぞれの動画像処理を原画と並べて確認するとともに、同じ処理での動作電力を比較表示し、低電力効果を示す。

画像処理の流れは、カメラから原動画像を入力し、評価ボード上で前処理を行い、SIMD エンジンにて二値化または色領域抽出の動画像処理を行い、再び評価ボード上で今度は後処理を行い、モニタに原動画像と処理動画像を表示する。カメラからの原動画像は撮影動画像だけでなく、メモリに記憶した動画像も利用可能である。

CPU は動画像フレーム毎のキックと SIMD 実行処理プログラムをリアルタイムに切り替える制御を行う。後者は具体的には、SIMD プロセッサのフレーム処理完了割込みをカウントして、一定フレーム枚数毎に SIMD プロセッサのプログラム（二値化または色領域抽出）の切り替え指示を行う。

画像サイズは QVGA (水平 320 画素×垂直 240 ライン)、フレームレートは 15 フレーム/秒以上、である。

図Ⅲ. 2. 5-36 に実際の機器構成写真を示す。



図Ⅲ. 2. 5-36 統合 B チップの動画像処理評価システム写真  
(ELP シンポジウム展示 (2013 年 2 月 26 日開催) )

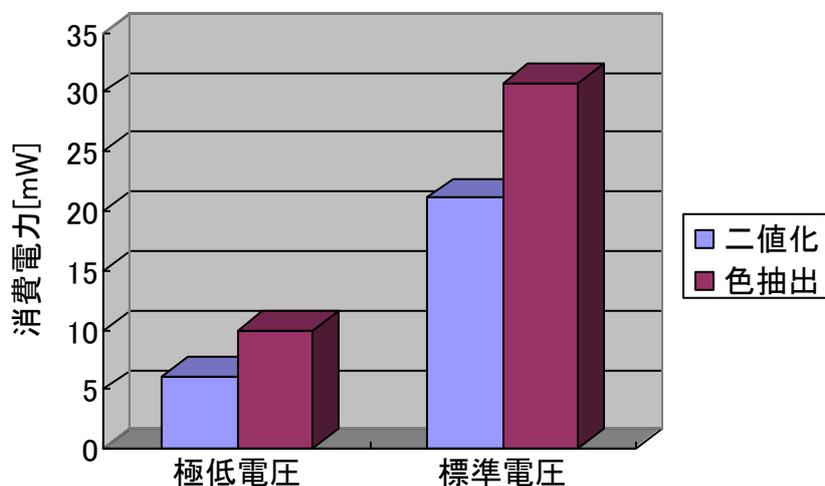
表Ⅲ. 2. 5-8 統合 B チップの動画像処理電力の比較 (極低電圧 vs. 標準電圧)

		極低電圧動作 <sup>※1</sup>	標準電圧動作 <sup>※2</sup>
電 源 電 圧	供給源	搭載バックコンバータ	外部
	VDDLogic	0.6 V	1.2 V
	VDDMem	0.65 V	1.2 V
ク ロ ッ ク	SYSCLK	1MHz (PLL 入力)	1MHz (PLL 入力)
	CPUCLK	5MHz	5MHz
	SIMCLK	10MHz	10MHz
性 能	画像サイズ	QVGA	QVGA
	フレームレート <sup>※3</sup>	30~60 frame/s	30~60 frame/s
電 力	消費電力 (標準電圧比)	6.1~9.9 mW (28.9~32.2%)	21.1~30.7 mW (100%)

※1 評価チップ：サンプル、※2 評価チップ：サンプル、※3 画像処理：二値化及び色抽出処理

表Ⅲ. 2. 5-8 に、上記動画像処理評価システムを用いて実測した消費電力の評価結果をまとめる。極低電圧動作と標準電圧動作の電源電圧とクロックの各条件および性能と電力を比較する。電源電圧は極低電圧動作は搭載バックコンバータを介してロジック部 (VDDlogic) に 0.6V、メモリ部 (VDDMem) に 0.65V を供給する。外部からはそれぞれ 0.1V 高い、0.7V と 0.75V を供給する。標準電圧動作時は外部から 1.2V を供給する。クロックは、ともに外部から 1MHz を入力し、搭載 PLL で逡倍したクロック信号を、CPU には 5MHz を、SIMD には 10MHz を供給する。性能は、いずれも、画像サイズが QVGA、フレームレートが 30~60 フレーム/秒を実現する。電力は、極低電圧動作が 6.1~9.9mW で、標準電圧動作が 21.1~30.7mW であった。電力が低い方が二値化処理、高い方が色抽出処理

である。極低電圧動作により、電力を 28.9～32.2% (1/3.46～1/3.10)に低減できた。これより、当初目標である「動作電圧 1.2V に対し、極低電圧動作の消費電力を 1/3 以下へ削減」の達成を確認できた。



図Ⅲ. 2. 5-37 統合 B チップの動画像処理内容と供給電源電圧による消費電力比較

図Ⅲ. 2. 5-37 に消費電力の比較結果を棒グラフで示す。

## 2.5.4 開発成果まとめ

### 2.5.4.1 統合 A チップ

#### (1) 課題と開発内容要約

プロセッサシステムの 1/10 以下の低電力化を達成するためには、

- ・最低エネルギー動作を実現する電源電圧がロジックとメモリで異なる
- ・低電圧で動作させるのが困難（SRAM と Buck コンバータ：0.5V、ロジック：0.35V）

の 2 つの課題を解決する必要があった（表 III.2.5-1 参照）。

これらの課題を解決する、1 対 8 動作アーキテクチャを提案し、これを実現するためのスイッチングレイヤ、Buck コンバータを開発した。さらに、低電圧動作を実現するため、ロジック回路に CLFF、PEPD、CPP を適用し、Buck コンバータではオールデジタル制御を採用した（表 III.2.5-1 参照）。

#### (2) 開発成果とベンチマーク要約

電源回路もワンチップに搭載したプロセッサシステムとして、低電圧化によりエネルギー 1/18 倍を達成したのは世界初である。

#### (3) 目標達成度と開発成果の意義

従来の 8 並列モード（電源電圧 1.2V）に対して、提案する 1 対 8 モード（ロジックの電源電圧 0.385V、ロジックの電源電圧 0.5V）は A チップ全体のエネルギーを 1/18 倍に低減した。従って、A チップの最終目標である「同じ処理を行うための消費電力が従来技術に比べて 1/10 以下に低減される低電力効果を実証する」を 100%達成した。

開発した A チップのアーキテクチャと、ロジック・メモリ・電源回路の低電圧要素回路技術は将来の極低電力 SoC の基盤技術になると考えられる。

### 2.5.4.2 統合 B チップ

#### (1) 課題と開発内容要約

統合 B チップの課題は、

- 1) ロジック、メモリ、電源、アナログ（PLL、ADC）の各テーマの要素技術の大規模 SoC による実証
- 2) 応用機能の実証
- 3) 電源を含めた電力 1/3 以下の達成

であった。統合 B チップでは、研究開発項目①～④のロジック、メモリ、電源、アナログテーマで実績のある成果の中から、上記 1) に適した技術を採用し改変すると共に、2 ポートメモリを含む SIMD プロセッサを動画処理エンジンとして新たに設計し、これらを統合した。40nm CMOS 技術を用いて 5mm 角の画像処理 SoC 上に実装した。搭載トランジスタ数は 3 千万である。

#### (2) 開発成果とベンチマーク要約

要素ブロックの協調動作および応用機能実証として、ADC と CPU の連携動作を実世界インターフェース応用としてオシロ機能と ADC キャリブレーション機能で確認した。また、SIMD と CPU の連携動作を動画処理（二値化と色抽出）応用で確認した。極低電圧動作による低電力効果の確認では、QVGA（320×240）、30～60 フレーム/秒の動画処理において、1.2V 動作のリファレンス電力に対して、電源回路を含む電力消費を 1/3.46～1/3.10 に低減した。

### (3) 目標達成度と開発成果の意義

統合Bチップの最終目標と比較すると、規模は目標の100万トランジスタ以上（1000万トランジスタ程度）に対して3000万トランジスタ、複雑さに対してはCPUとSIMDのヘテロマルチプロセッサアーキテクチャ、画像処理用に対してはQVGA画面の動画処理（二値化と色抽出）、低消費電力効果は同じ処理を行うための消費電力が従来技術に比べて1/3以下に対して1/3.46～1/3.10であり、100%達成した。この時のSIMDの動作速度は10MHzである。

開発したBチップは実用規模のSoCであり、アプリケーションとして動画処理を行いつつ、極低電圧で10MHzのチップ動作と1.2V比1/3以下の低電力性能の両立を実証したことの意義は大きい。搭載した極低電圧要素技術は将来の極低電力Socの基盤技術になると考えられる。特に、エネルギーオリエンテッドなアプリケーションでの実用化が期待される。

### 参考文献：

- [1] H. Fuketa, K. Hirairi, T. Yasufuku, M. Takamiya, M. Nomura, H. Shinohara, and T. Sakurai, "12.7-times Energy Efficiency Increase of 16-bit Integer Unit by Power Supply Voltage ( $V_{DD}$ ) Scaling from 1.2V to 310mV Enabled by Contention-less Flip-Flops (CLFF) and Separated  $V_{DD}$  between Flip-Flops and Combinational Logics," International Symposium on Low Power Electronics and Design (ISLPED), pp. 163-168, Aug. 2011.
- [2] K. Hirairi, Y. Okuma, H. Fuketa, T. Yasufuku, M. Takamiya, M. Nomura, H. Shinohara, and T. Sakurai, "13% Power Reduction in 16b Integer Unit in 40nm CMOS by Adaptive Power Supply Voltage Control with Parity-Based Error Prediction and Detection (PEPD) and Fully Integrated Digital LDO," IEEE International Solid-State Circuits Conference (ISSCC), pp. 486-487, Feb. 2012.
- [3] M. Nomura et al., "0.5V Image Processor with 563 GOPS/W SIMD and 32bit CPU Using High Voltage Clock Distribution (HVCD) and Adaptive Frequency Scaling (AFS) with 40nm CMOS," 2013 Symposium on VLSI Circuits, June 2013.

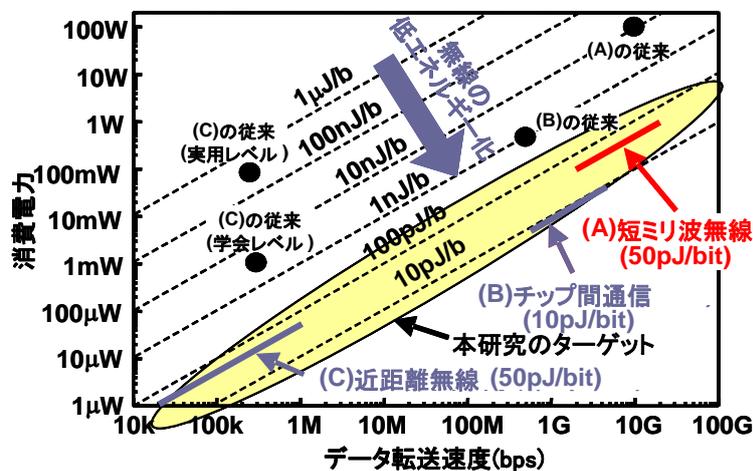
## 2. 6 低電力無線回路/チップ間ワイヤレス技術開発

本研究開発では、従来技術と比べ 1bit あたりの通信エネルギーを 1 桁以上削減した低電力無線/チップ間ワイヤレス技術を開発する。アプリケーションやデータレート・電力が異なる 3 種類の低電力無線回路技術を開発することにより、様々な無線通信の電力を多面的に削減する。それぞれのターゲットと従来技術との比較を図Ⅲ. 2. 6. 1-11 に示す。

### 2. 6. 1 アクセスポイント間向け超高速通信

#### 2.6.1.1 目標

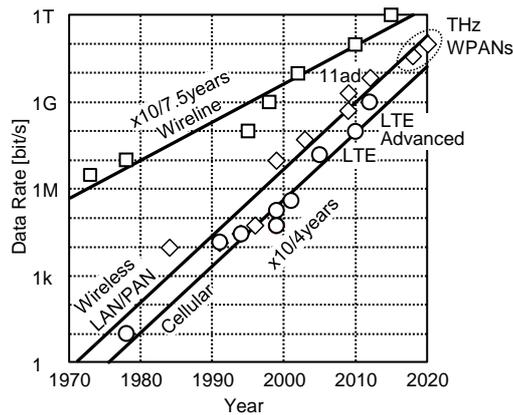
小項目	無線A	無線B	無線C
研究内容	短ミリ波無線	チップ間通信	近距離無線
最終目標	50pJ/bit	10pJ/bit	50pJ/bit



図Ⅲ. 2. 6. 1-1 3 種類の低電力無線回路技術のターゲットと従来技術との比較  
(無線 A をハイライト)

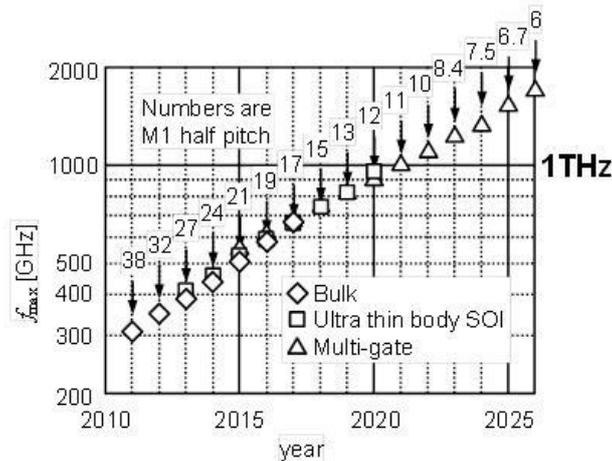
本研究開発では、10Gbps を超える超高速無線の低電力化を実施する。ターゲットと従来技術との比較を図Ⅲ. 2. 6. 1-1 にハイライトで示す。最終目標として、極低電圧 RF CMOS 回路技術を開発し、これを用いた低電力無線/チップ間ワイヤレス技術を開発する。さらに、このテストチップ (TEG) を試作し、50pJ/bit 以下の低消費電力通信技術が実用レベルであることを示す。具体的には、高解像度動画データ等を point-to-point で高速データ伝送することによりネットワーク負荷を軽減するグリーン IT 技術を実現する。ここでは、50pJ/bit 以下で実現することを目指す。

### 2.6.1.2 課題と開発方針



図Ⅲ. 2.6.1-2 有線と無線通信のデータレートの進展

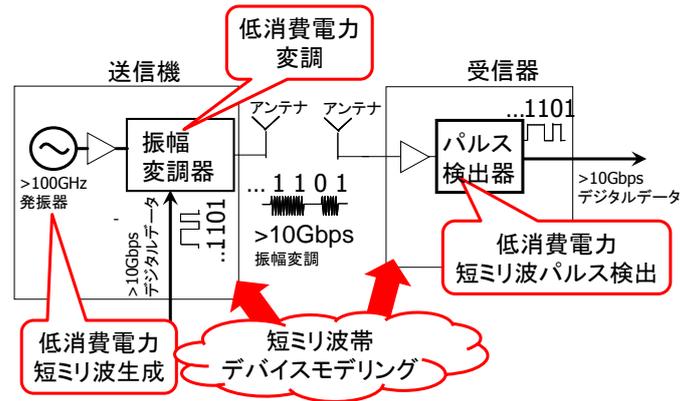
短ミリ波は 100GHz から 300GHz の周波数帯域である。この周波数を研究する目的のひとつは超高速通信を実現することにある。ここで、有線と無線通信のデータレートは図Ⅲ. 2.6.1-2 に示すように年々伸びている [1]。特に、無線通信の伸びは有線の伸びに比べてはるかに大きい。現在、60GHz 帯無線通信はミリ波帯で最も注目されている通信帯域であるが [2]-[14]、IEEE802.11ad のような高速な無線通信の標準化が行われており、そこでは 6 から 7Gbps の通信を目指している。無線通信速度は現在 4 年で 10 倍の進化を遂げているが、このままの進化が進めば 2020 年には 100Gbps に達すると予想されている。60GHz 通信よりも高速な無線通信を実現するために、キャリア周波数も 60GHz より高い周波数を研究する必要がある。短ミリ波の 1 つである D 帯 (110-170GHz) を研究する目的のひとつが短ミリ波のなかで最も低い周波数帯域であるからである。



図Ⅲ. 2.6.1-3 NMOSFET の最大動作周波数 (f<sub>max</sub>) の進展

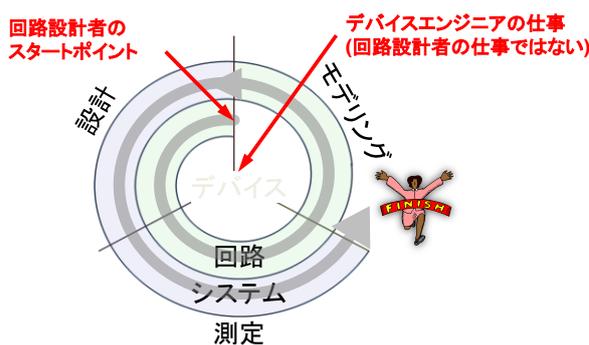
CMOS集積回路を用いた送信機および受信機は、化合物半導体で作られるものに比べて低価格で低消費電力な回路を実現することができるので、普及に役立つと考えられる。シリコン素子の高周波特性はGaAs MESFETやInP HBTのような化合物半導体素子に比べて劣るが、化合物半導体を用いた送受信系では消費電力も大きくなってしまふ。一方で、ゲート長の縮小により、CMOSテクノロジーを用いたNMOSFETの最大動作周波数 (f<sub>max</sub>) は量産テクノロジーでも300GHzを超えている。NMOSFETのf<sub>max</sub>はまた増加し続けており、国際半導体テクノロジーロードマップ (ITRS) の2012 RFAMS [17] の見通しによる

と図Ⅲ. 2. 6. 1-3に示すように2020年ごろに1THzを超えると予想されている。システム実装を考えると、特にモバイル応用では、CMOS回路はD帯でさえ強力な候補となるはずである。

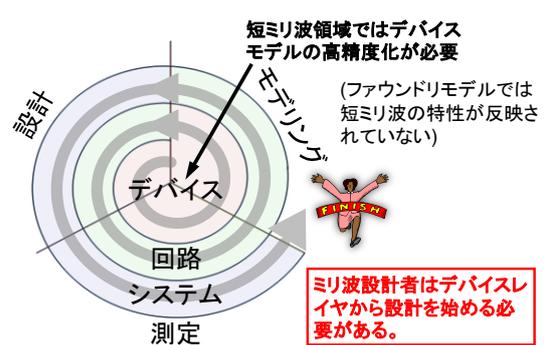


図Ⅲ. 2. 6. 1-4 短ミリ波極低電力超高速トランシーバ開発方針

図Ⅲ. 2. 6. 1-4に本研究で開発するトランシーバのブロック図と開発方針を示す。超高速通信を極低消費電力で実現するためには、要素回路技術の開発と並び、短ミリ波設計で利用可能なデバイスモデリングを行う必要がある。図Ⅲ. 2. 6. 1-5に示すように、CMOSチップを実現するためには、一般に、デバイス、回路、システムの3レイヤーの開発が必要になる。それぞれのレイヤーでは、設計、測定、モデリングの3つのタスクがさらに必要となる。一般のアナログやRFCMOS回路の設計者は回路レイヤーから設計を始める。プロセス設計キット(PDK)は通常ファウンドリから供給され、デバイスの設計や評価、モデルの構築はデバイスエンジニアの仕事と考えられ回路設計者が実施する必要はない。しかし、一方、ミリ波、特にD帯では必ずしもPDKが供給されるわけではないので、図Ⅲ. 2. 6. 1-6に示すようにデバイスレイアウトの設計から始める必要がある。その結果、たとえファウンドリのPDKが利用可能であっても、オリジナルなPDKからミリ波帯へのカスタマイズが通常必要になる。その結果、アナログ/RFとミリ波設計のもっとも大きな違いはデバイスレイヤーにあると言える。本プロジェクトにおいてもデバイスからシステムまで一貫して研究開発を実施した。



図Ⅲ. 2. 6. 1-5 通常のアナログ/RF CMOS 設計



図Ⅲ. 2. 6. 1-6 短ミリ波回路設計

表Ⅲ. 2. 6. 1-1は、本研究プロジェクトで開発した技術と課題の対応表である。以下、要素技術について記述を進めるが、説明の関係上、必ずしも図Ⅲ. 2. 6. 1-6に示した短ミリ波CMOS回路の開発順序とは一致していないことに注意を要する。

表Ⅲ. 2. 6. 1-1 本プロジェクトで開発した技術と課題の対応

開発項目 課題	2. 6. 1. 3. 1 アドミタンスラ ッパー	2. 6. 1. 3. 2 PA レス送信機	2. 6. 1. 3. 3 受信器協調設計	2. 6. 1. 3. 4 送信器協調設計
(1) 短ミリ波デバ イスモデリング	レ			
(2) 短ミリ波送受 信システムアーキ テクチャ		レ		
(3) 短ミリ波送受 信回路の設計・試 作・評価			レ	レ

表中には、本プロジェクトの主要な成果 4 項目と、それに対応する課題の関係を記述している。アドミタンスラッパーは短ミリ波領域で MOSFET の特性を回路シミュレータで用いるためのモデルを作成するために本プロジェクトで開発したモデルである。また、PA レス送信機は、近距離で短ミリ波を用いた超高速通信を極低電力で実現するために開発した送信機アーキテクチャである。受信機では、短ミリ波増幅回路と検出器の協調設計を行うことにより極低電力で 10Gbps の通信速度を実現した。以下、2. 6. 1. 3 の開発成果で順に詳細を記述する。

### 2. 6. 1. 3 開発成果

#### 2. 6. 1. 3. 1 アドミタンスラッパーを用いたデバイスモデリング (IEICE Trans. Electron. 2012 にて発表)

##### (1) 開発内容

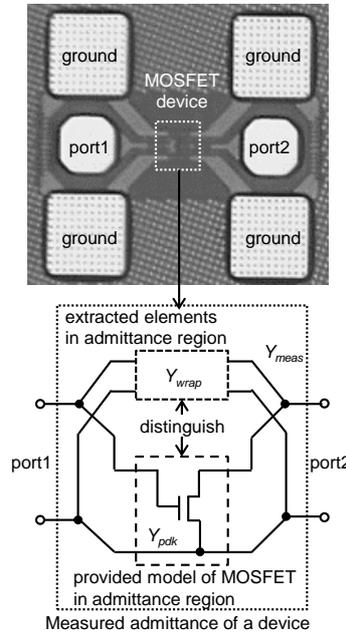
DC から 100GHz を超える MOSFET のバイアス依存特性をモデル化する手法を提案する。ファウンダリからも RF モデルが供給される場合もあるが、通常 20GHz あるいは 40GHz までの特性が保証されたモデルであり、100GHz 以上の短ミリ波領域では誤差が大きくそのまま用いることはできない。そこで、ファウンダリから提供される MOSFET モデルの低周波特性と、短ミリ波に及ぶ高い周波数での実測値をそれぞれアドミタンス行列 (Y 行列) で表し、その誤差を MOSFET に並列接続された非線形 Y 行列により修正することとした。この Y 行列は寄生素子と見做すことができ、非線形素子の非対称性をもあらわすことができる。この寄生素子成分に対応した Y 行列をアドミタンスラッパー (Y ラッパー) と呼び、Y ラッパーを用いたデバイスモデリングをアドミタンスラッパーモデル (Y ラッパーモデル) と呼ぶことにする。確からしさをいくつかの点にバイアスされた 1 段のソース接地増幅器の測定結果と比較することで確認する。

#### アドミタンスラッパー (Y ラッパー) モデル

図Ⅲ. 2. 6. 1-7 はラッピングパラメータ  $Y_{wrap}$  と  $Y_{pdk}$  を分離する方法を示す。アドミタンス領域において、測定結果  $Y_{meas}$  は  $Y_{wrap}$  と  $Y_{pdk}$  の和である。それゆえ、期待される  $Y_{wrap}$  の抽出パラメータは次のように計算される。

$$Y_{wrap} = Y_{meas} - Y_{pdk} = \begin{pmatrix} y_{11} & y_{12} \\ y_{21} & y_{22} \end{pmatrix} \quad (1)$$

この操作により提供モデルと後述するラッピングパラメータの分離が可能になる。それゆえこの分離はパラメータ抽出に着目するよい方法である。 $Y_{wrap}$  のパラメータ抽出が成された後、提供モデル  $Y_{pdk}$  はラッパー  $Y_{wrap}$  により包まれる。我々はこの包まれたモデルを  $Y$  ラッパーモデルと呼ぶ。我々はアドミタンス領域の代わりにインピーダンス領域を使い同様の操作をすることが可能であるが、2端子測定のリミットによりそれらを同時に行うことはできない。アドミタンス領域を使うと MOSFET の非対称な伝達特性を簡単に表すことができる。



図Ⅲ.2.6.1-7 アドミタンスラッパー測定エレメントの顕微鏡写真（上）と等価回路図（下）；抽出される要素はアドミタンス領域での測定結果 ( $Y_{meas}$ ) と提供モデル ( $Y_{pdk}$ ) との差分 ( $Y_{wrap}$ ) で表される

### パラメータ抽出

図Ⅲ.2.6.1-8(a)は  $Y$  ラッパーモデルを構成する  $\pi$  回路網を示す。この回路網は4つのアドミタンス枝と2つの電圧制御電圧源からなる。この構成は相互アドミタンスを表すことができる。 $y_{in}$ 、 $y_r$ 、 $y_f$ 、及び  $y_{out}$  はそれぞれ入力、逆、順、及び出力アドミタンスを表す。この電圧制御電圧源はお互いに入力電圧  $v_1$  と出力電圧  $v_2$  を参照する。 $Y$  パラメータの定義より  $Y$  行列はつぎのように表現することができる。

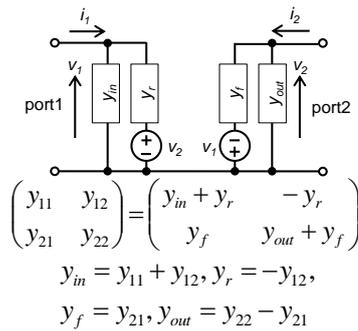
$$\begin{pmatrix} y_{11} & y_{12} \\ y_{21} & y_{22} \end{pmatrix} = \begin{pmatrix} y_{in} + y_r & -y_r \\ y_f & y_{out} + y_f \end{pmatrix}$$

(2)

式(2)を変形することで各アドミタンス枝が次のように得られる。

$$\begin{cases} y_{in} = y_{11} + y_{12} \\ y_r = -y_{12} \\ y_f = y_{21} \\ y_{out} = y_{22} - y_{21} \end{cases}$$

(3)



$$Y(s) = G(\omega) + jB(\omega) \approx \frac{b_1 s}{1 + a_1 s + a_2 s^2}$$

measured data      estimated model

$$Y(s) \approx \frac{sC}{1 + sRC + s^2 LC}$$

equivalent

$$R = a_1 / b_1$$

$$L = a_2 / b_1$$

$$C = b_1$$

(a) 非対称な相互アドミタンスを表現可能な変更された  $\pi$  回路網

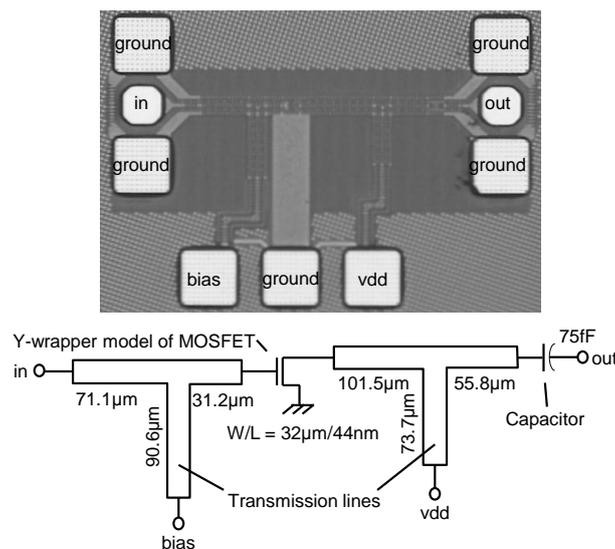
(b) 有理多項式を経由して全てのアドミタンス枝 ( $y_{in}$ 、 $y_r$ 、 $y_f$  及び  $y_{out}$ ) は素子値 ( $R$ 、 $L$  及び  $C$ ) で表現することができる

図Ⅲ. 2. 6. 1-8 変更された  $\pi$  回路網とその枝の RLC 回路網表現

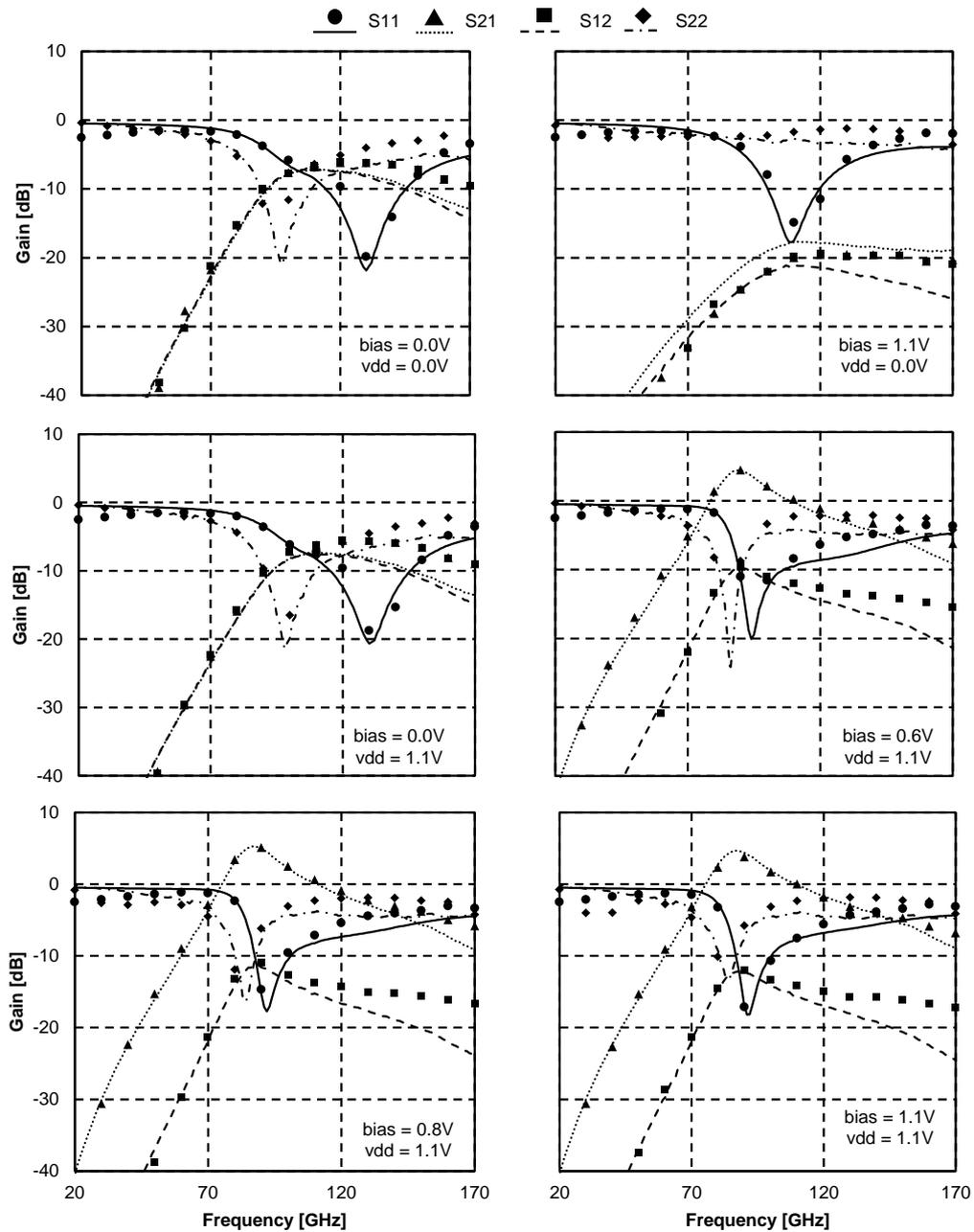
(2) 評価結果

1 段ソース接地増幅器

MOSFET モデルの正当性を評価するために 40nm CMOS 技術を用いて 1 段ソース接地増幅器を試作した (図Ⅲ. 2. 6. 1-9). MOSFET は 2 つの伝送線路に挟まれる形で配置される。伝送線路は整合回路網として動作するとともに、ゲートとドレインにそれぞれバイアスと電源 (vdd) を供給する。出力端の手前に DC 阻止用のコンデンサも配置されている。図中の「in」と「out」はそれぞれ 2 端子測定時の入出力端子を表している。MOSFET の Y ラッパーモデルを用いて同じ回路構成で解析する。図Ⅲ. 2. 6. 1-10 では MOSFET の Y ラッパーモデルを用いた解析結果と増幅器の測定結果が示されている。解析と測定は様々なバイアス電圧条件で行われた。このグラフには増幅器の散乱係数の周波数応答が示されている。印と線はそれぞれ測定結果と解析結果である。全てのバイアス点と周波数において MOSFET の Y ラッパーモデルは測定結果とよく一致する。



図Ⅲ. 2. 6. 1-9 Y ラッパーモデルの妥当性を評価するための 1 段ソース接地増幅器の顕微鏡写真 (上) と回路図 (下)



図Ⅲ.2.6.1-10 各ゲート、ドレインバイアス条件における測定された散乱係数とYラッパーモデルの散乱係数

(3) まとめ

Yラッパーと呼ぶ新しいMOSFETのモデル抽出方法を提案した。測定結果から提供モデルを差し引くことで抽出されるべき要素にのみ着目することができるようになった。この抽出されたバイアス依存のパラメータは有理多項式で表現される。このYラッパーモデルの正当性は1段アンプの解析結果と測定結果を比較することにより、解析結果と測定結果は非常に良く合っていることで確認された。

### 2.6.1.3.2 PA レス送信機 (IMS 2012 にて発表)

#### (1) 開発内容

50pJ/bit 以下の極低電力で 10Gbps の超高速通信を実現するには送信機の低電力化が必要になる。ここで、送信機において電力増幅器 (PA) はおよそ全体の 50% の消費電力を占める。したがって、PA を省略し、目的の超高速通信を実現できれば送信機の消費電力を 1/2 にすることができる。そこで、我々は 1m 以下の近距離において PA を省略した PA レス送信機を提案する。図 III. 2.6.1-11 は提案する電力増幅器無し送信機の構成を示す。送信機バッファと電力増幅器は従来の送信機から取り除かれ、基本波発振器はプッシュ - プッシュ発振器に置き換えられている [28]。D 帯では MOSFET の利得は大きく低下する。プッシュ - プッシュ発振器は第 2 高調波を出力するため、コアの MOSFET の直接の負荷にはならず、D 帯においての利得低下の影響を受けない。加えて容量のような複素インピーダンス負荷は発振周波数に大きな影響を与えないためバッファは取り除くことができる。結果としてプッシュ - プッシュ型の発振器は大きな出力をだすことができる。我々はスイッチを減らした ASK 変調器を採用した。

図 III. 2.6.1-12 は提案する電力増幅器無し D 帯 ASK 変調器の回路図である。左側は発振器で右側は変調器である。発振器は相互結合した MOSFET (M1、M2) とひとまきのコイルからなる。コイルのインダクタンスと MOSFET の寄生容量から共振周波数が決まる。コイルの直径と MOSFET の大きさを適切に選ぶことで望む発振周波数が得られる。ひとまきコイルの中心タップが発振器の出力端で、ここから源発振の第二高調波が出力される。BG<sub>OSC</sub> 電圧は発振周波数を少しだけ変えることができる。変調器は  $\lambda/4$  長の伝送線路でできている電源 VDD 供給線と DC 阻止用コンデンサ C と長さ l の両端にスイッチがついた伝送線路からなる。伝送線路の片側は出力端でもある。スイッチのゲートはベースバンドから RF 信号へのキックバックを防ぐために 50  $\Omega$  の抵抗が付加されている。また BG<sub>MOD</sub> はスイッチの閾値電圧を変えることができる。スイッチはベースバンド信号が「1」のとき開き、「0」のとき閉まる。また変調器は適切な負荷・opt を発振器に提供するためのマッチング回路としても動作する。これにより、変調器の入力インピーダンスをプッシュ - プッシュ型の発振器に出力電力が最大になる負荷とすることができる。

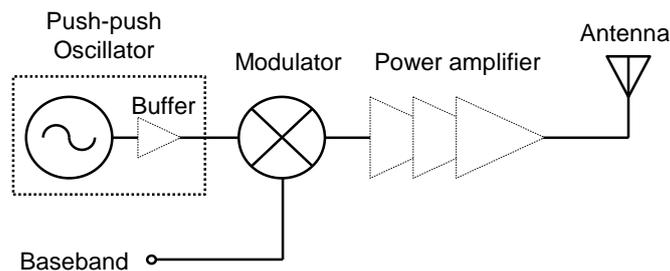
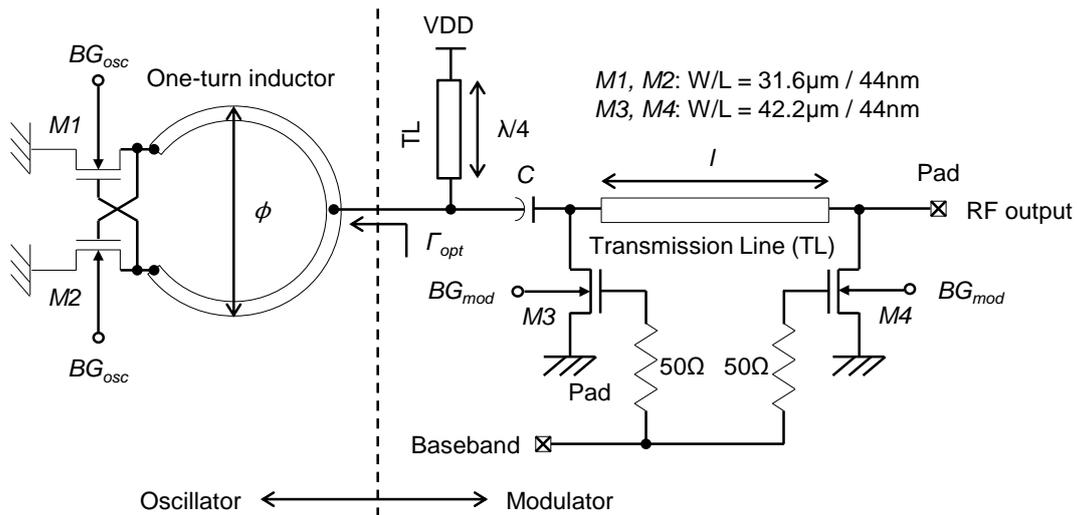
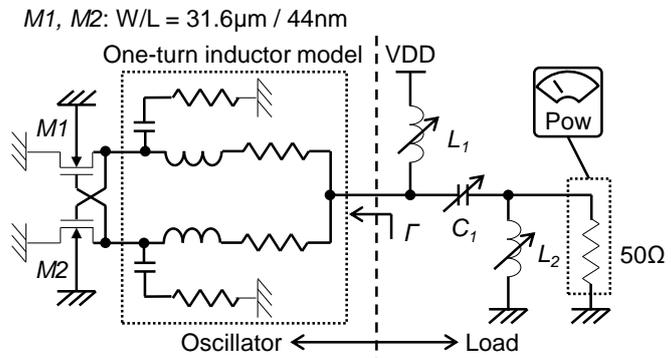


図 III. 2.6.1-11 プッシュ - プッシュ型発振器を含む提案する ASK 送信機の構成 (点線は従来の ASK 送信機から取り除かれた部分)

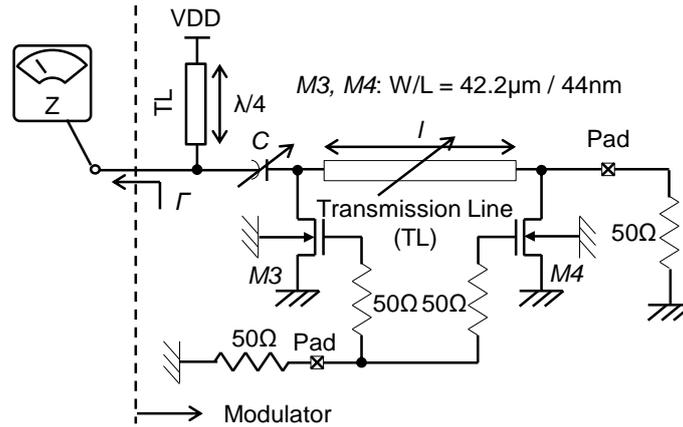


図Ⅲ. 2. 6. 1-12 発振器と変調器のみより構成された提案する ASK 送信機の回路図

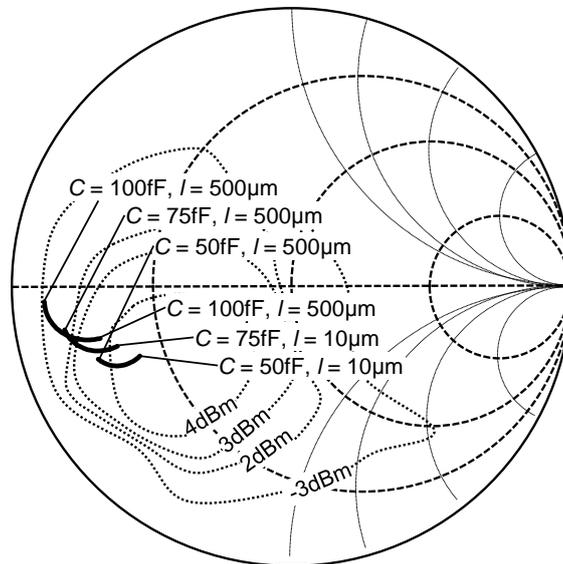
図Ⅲ. 2. 6. 1-13 は発振器の最適負荷を見積もるための回路である。ひとまきコイルはコイルとコンデンサと抵抗でモデル化され、その中心タップは 50Ω 抵抗を Γ 平面上の複素インピーダンスに写像する 2 つのコイル L1、L2 と 1 つのコンデンサ C1 からなる回路につながる。そして発振器の出力電力は 50Ω 抵抗において観測される。そして最適負荷 Γ<sub>opt</sub> が発振器に供給されているとき発振器より最大の電力を取り出すことができる。図Ⅲ. 2. 6. 1-14 は解析に用いられる変調器の回路である。「1」のときの状態に固定する為にスイッチのゲートは 50Ω 抵抗を介して接地される。そして RF 出力もアンテナの代わりに 50Ω 抵抗に接続される。変調器の入力インピーダンスはコンデンサ C と伝送線路長 l により調整される。この変調器は後述するとおり容量性入力インピーダンスを作り出すことができる。図Ⅲ. 2. 6. 1-15 に示す通り、プッシュ-プッシュ型発振器は最適な負荷インピーダンスがあり、その負荷インピーダンスは容量性である。もし負荷インピーダンスが最適であれば出力電力は 4dBm 以上である。一方、変調器の入力インピーダンスは容量性領域において、コンデンサ C と線路長 l (図Ⅲ. 2. 6. 1-14) を調整することで変えることができる。発振器の最適インピーダンスは容量性であり、変調器は容量性入力インピーダンスを作り出すことができるため、この 2 つの回路は損失無しで接続することができる。一方従来手法では、バッファの最適インピーダンスは誘導性であり、変調器と接続するためには損失のある整合回路もしくは、直接つないで反射損失を許容しなくてはならない。出力端においても同様の損失が発生する。



図Ⅲ. 2. 6. 1-13 最適 Γ を解析するための回路；負荷は複素インピーダンスを発生する



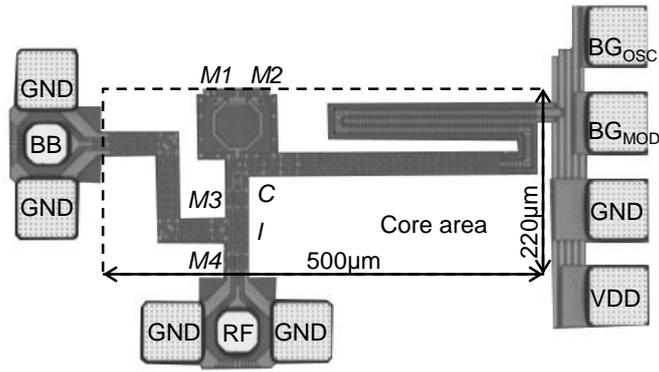
図Ⅲ.2.6.1-14 負荷調整解析に用いられる変調器の回路図；変調器の入力インピーダンスはCとIを調整することで変更可能



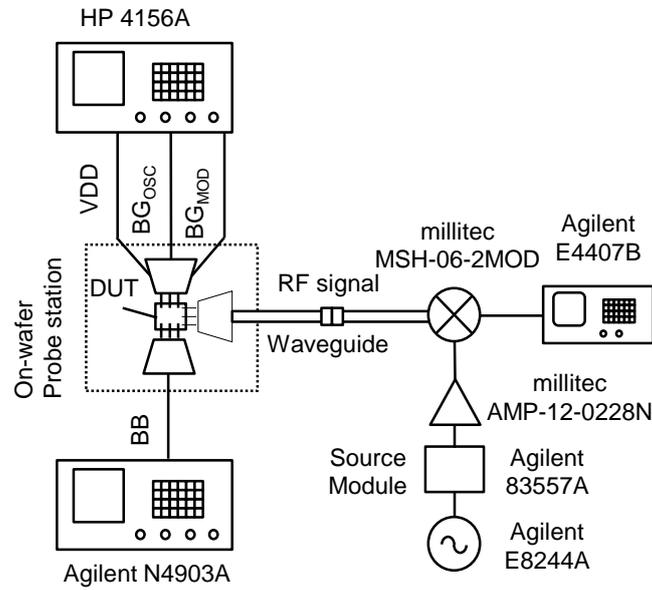
図Ⅲ.2.6.1-15 発振器の出力電力の等高線図とΓ平面上でCとIで変わる変調器の入力インピーダンス

(2) 評価結果

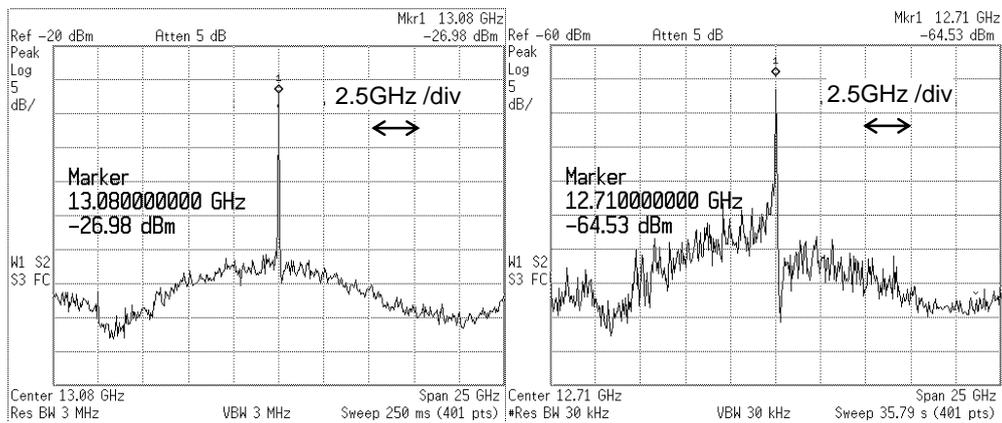
我々は 120GHz、135GHz、150GHz の 3つの送信周波数を持つ送信機（各々Tx120, Tx135, Tx150）を CMOS 40nm LPプロセスを用いて試作した。図Ⅲ.2.6.1-16は120GHz（Tx120）の顕微鏡写真である。占有されるコア面積は 500 x 200 μmである。左側のパッドはベースバンド用（BB）の端子である。下側のパッドはRF出力（RF）用の端子である。右側のパッドはDCバイアス端子である。ひとまきコイルは顕微鏡写真の中心に見え、変調器はコイルとRFパッドの間に見ることができる。図Ⅲ.2.6.1-17はスペクトラムを観測するための環境である。ベースバンドポート（BB）へはPRBS信号を入力するためにAgilent N4903が接続される。図Ⅲ.2.6.1-18は10Gbps 2<sup>10</sup>-1 PRBSが入力されたときの出力スペクトラムである。中心周波数は搬送波の周波数である。スペクトラムは搬送波を中心に上下10Gbpsずつ広がっている。



図Ⅲ. 2. 6. 1-16 Tx120 送信機の顕微鏡写真；コア面積 0. 11mm<sup>2</sup>

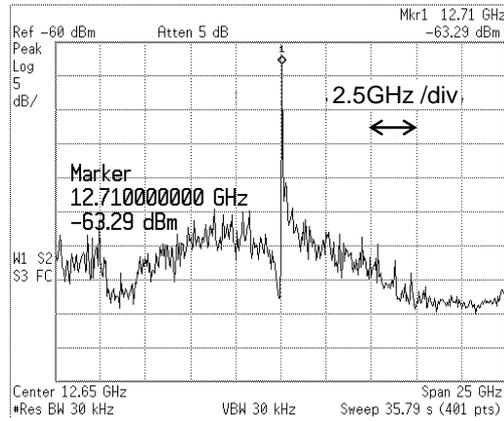


図Ⅲ. 2. 6. 1-17 スペクトラム測定環境



(a) Tx120 送信機

(b) Tx135 送信機

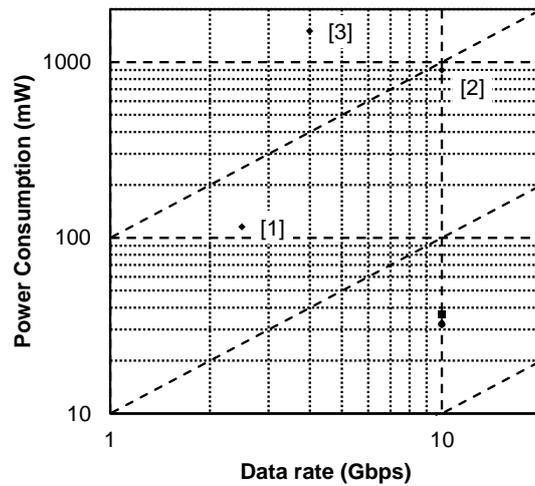


(c) Tx150 送信機

図Ⅲ.2.6.1-18 10Gbps  $2^{10}-1$  PRBS 入力時の送信機の出カスペクトラム。

(3) ベンチマーク

図Ⅲ.2.6.1-19は本研究を含むD帯送信機のエネルギー効率である。報告した送信機はD帯送信機の中で最高のエネルギー効率を達成している。Tx120、Tx135及びTx150のエネルギー効率はそれぞれ3.2、3.3及び3.7 pJ/bitである。表Ⅲ.2.6.1-2は本研究を含む最新のD帯送信機である。我々の送信機はRF出力が比較的高いにも関わらず、最高の通信速度を最低の消費電力で達成している。



図Ⅲ.2.6.1-19 D帯送信機の電力効率比較

表Ⅲ.2.6.1-2 他のミリ波送信機 (D帯) と提案する送信機の比較。

	This work			[1]	[2]	[3]	[4]
	Tx120	Tx135	Tx150				
Technology	40nm CMOS	40nm CMOS	40nm CMOS	65nm CMOS	SiGe HBT	SiGe BiCMOS	SiGe BiCMOS
Frequency	120GHz	135GHz	150GHz	140GHz	165GHz	140GHz	122GHz
Data rate	10Gbps	10Gbps	10Gbps	2.5Gbps	10Gbps	4Gbps	N/A
Modulation	ASK	ASK	ASK	ASK	N/A	ASK	CW
Power dissipation	32.1mW	33.1mW	36.7mW	115mW	900mW	1500mW	57.5mW
RF Power	-1.8dBm	-5.1dBm	-7.5dBm	N/A	-3.5dBm	-8dBm	5dBm

(4) まとめ

我々は送信電力、送信速度を損なうことのない電力増幅器無しの送信機を提案した。変調器の挿入損をできる限り減らし、変調器からプッシュ-プッシュ型発振器への最適負荷を供給することで大きな電力を出力させることを可能とした。我々は 120、135 及び 150GHz の搬送波で 10Gbps の送信機を CMOS 40nm 技術で試作し、それらの消費電力は 32.1、33.1 及び 36.7mW で、RF 電力は -1.8、-5.1 及び -7.5dBm でエネルギー効率はそれぞれ 3.2、3.3、3.7pJ/bit であった。我々は報告した送信機が D 帯送信機の中で最高のエネルギー効率を持つことを確認した。これにより、短ミリ波送受信システムにおいて PA レス送信機を用いることがシステムの低消費電力化に有効であることが示された。

2.6.1.3.3 受信器協調設計を用いた 135GHz 送受信機 (VLSI シンポジウム 2012 にて発表)

(1) 開発内容

マルチ・ギガビット級の無線通信システムを、ASK 変調方式を用いて実現するためには、広いキャリア周波数帯域幅が必要となる。そのためには受信器において、利得と群遅延を広い動作周波数帯域内で一定値にすることが重要であり、受信器 RF 部の構成要素である低雑音増幅器とディテクタの協調設計による最適化が欠かせない。図 III.2.6.1-20 に低雑音増幅器とディテクタの協調設計の様子を示す。設計時、シミュレーションにより低雑音増幅器とディテクタ内の群遅延を可能な限り所望帯域内で周波数特性を持たず一定となる様にした。回路シミュレーションによりパラメータを最適化する手法に関し、回路内低雑音増幅器の入力部へ理想的なミキサ素子と 135GHz の理想的な発振器素子を配置した。そして、データ信号周波数についての周波数応答をみる方法で受信器の最適化を行なった。利得と群遅延のシミュレーション結果を図 III.2.6.1-20(c) に示す。図より、低雑音増幅器のみで最適化した場合より、ディテクタまでを含めて最適化した場合の方が、所望帯域内において利得と群遅延の曲線をより平坦化できることが判る。

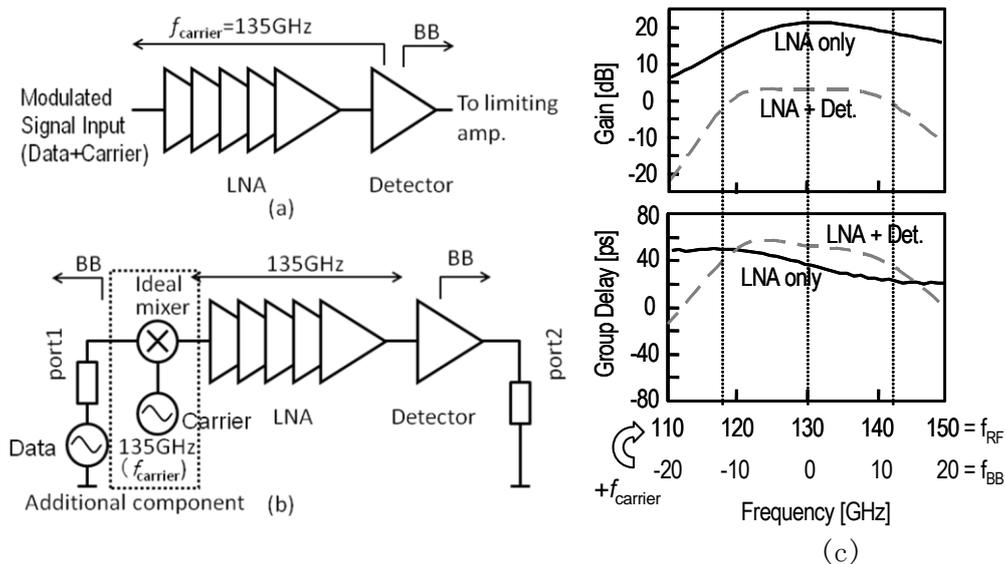
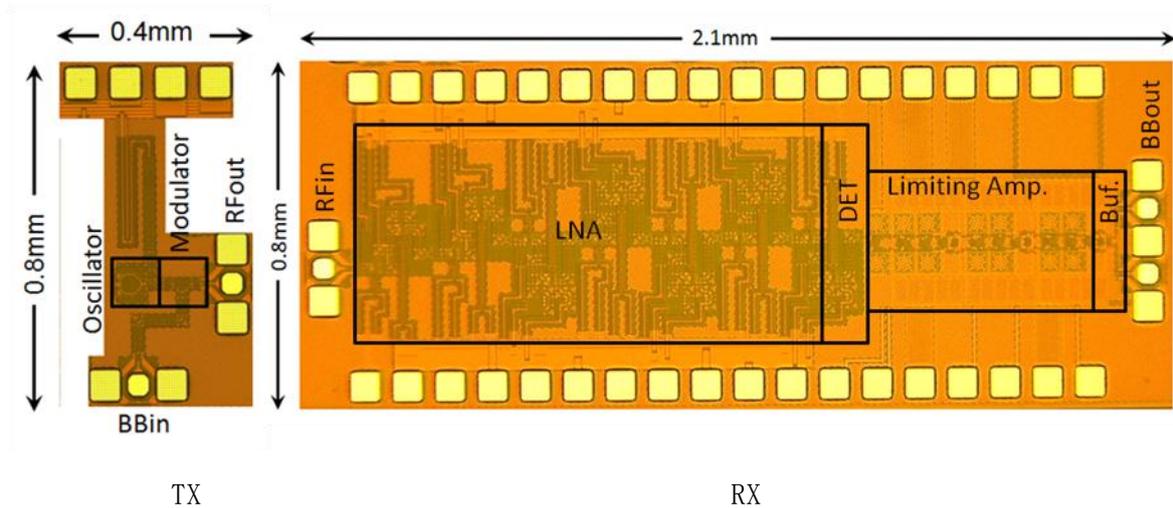


図 III.2.6.1-20 受信器内低雑音増幅器とディテクタの協調設計。(a) 対象回路ブロック (b) シミュレーション用回路スキマティック (c) 利得と群遅延のシミュレーション結果

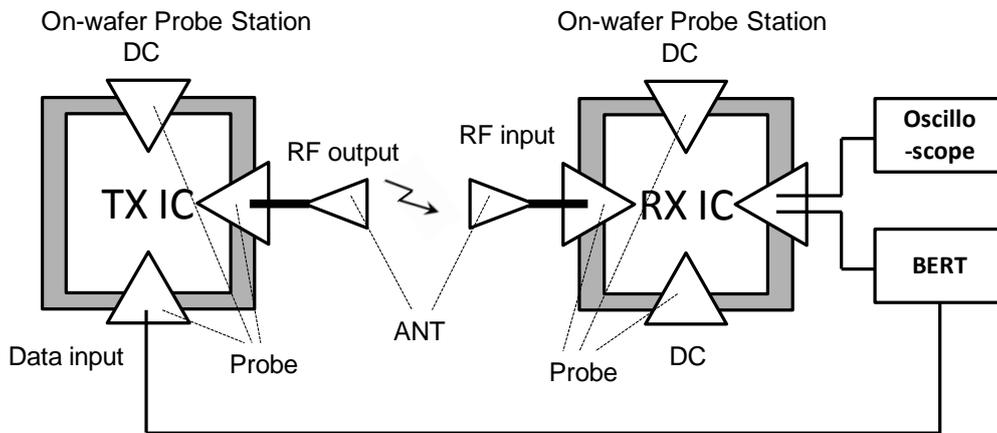
(2) 評価結果

図Ⅲ. 2. 6. 1-21 に送信器と受信器チップの顕微鏡写真を示す。送信器のパッドを含むコアエリア面積は  $0.32\text{mm}^2$ 、受信器チップの面積は  $0.8\text{mm} \times 2.1\text{mm}$  である。図Ⅲ. 2. 6. 1-22 に送信器と受信器 135GHz 無線信号を用いる測定系を示す。送信器 IC と受信器 IC は異なるオンウエハ・プローブ・ステーションへ配置した。送信器 IC から出力される無線 RF 信号は、市販品のアンテナとプローブを通り、受信器 IC の RF 入力端子へ送られる。デジタル入力信号は、市販測定器であるビット・エラー・レート・テスター (BERT) で生成した、 $2^{31}-1$  の疑似ランダム・ビット・シーケンス (PRBS) データ信号を用いた。測定時間 100 秒の条件下でデータレートとビット・エラー・レート (BER) を測定した。測定系の無線信号伝搬距離は  $0.1\text{m}$  とした。

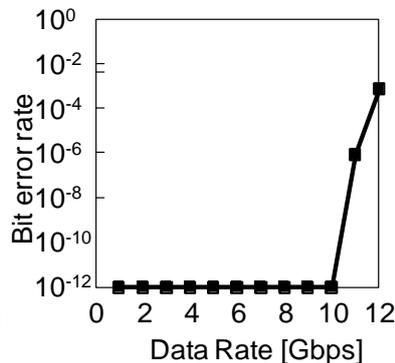
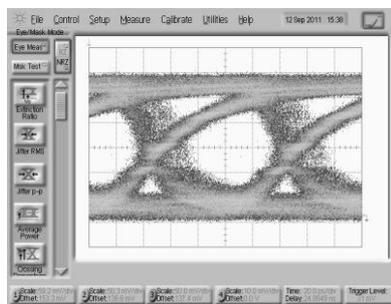
図Ⅲ. 2. 6. 1-22 に測定した 135GHz 送信器と受信器の無線通信特性を示す。試作した送信器と受信器を用いた無線伝搬により、アイ・パターンが得られた。なお、ビット・エラー・レートのグラフにおいて、 $\text{BER}1 \times 10^{-12}$  とは測定値がビットエラーレート・テスターの最低検波レベル以下であるという意味である。測定結果より、最大データレートは、BER が  $10^{-11}$  以下の条件下で、 $10\text{Gbps}$  を得た。消費電力は送信器 IC が  $17.9\text{mW}$ 、受信器 IC が  $80.5\text{mW}$  である。



図Ⅲ. 2. 6. 1-21 送信器と受信器チップの顕微鏡写真



図Ⅲ. 2. 6. 1-22 送信器と受信器 135GHz 無線信号を用いる測定系



TX	Oscillator	17.9
	Modulator	0
RX	LNA	59.8
	Detector	0.7
	BB Amp	16.8
	Buffer	3.1
Total		98.4

unit : mW

(a) アイ・パターン (b) データレートと BER の特性 (c) 消費電力

図Ⅲ. 2. 6. 1-23 135GHz 送信器と受信器の無線通信特性 (測定値)

表Ⅲ. 2. 6. 1-3 動作周波数 100GHz 以上 CMOS 送信器・受信器の既存発表との性能比較

	[5]	[6]	[7]	This Work
Technology	65nm CMOS	65nm CMOS	65nm CMOS	40nm CMOS
Frequency	120 GHz	120 GHz/140 GHz	116 GHz	135 GHz
TX, RX Blocks	TX, RX	RX only	TX only	TX, RX
Wireless Propagation	no	yes	no	yes
Power Consumption	80.9 mW *	85.7 mW (120GHz) 111.7 mW (140GHz)	200 mW **	98 mW
Maximum Data Rate	9 Gbps	3.0 Gbps (120GHz) 3.6 Gbps (140GHz)	>10 Gbps	10 Gbps
BER	10 <sup>-9</sup>	10 <sup>-11</sup>	N/A	10 <sup>-11</sup>

\* LNA is not included, \*\* PA is included

### (3) ベンチマーク

表Ⅲ. 2. 6. 1-3 に動作周波数 100GHz 以上の CMOS 送信器および受信器の既存発表との性能比較を示す。表より、提案した送信器と受信器で構成される通信機は、データレート 10Gbps、トータル消費電力 98mW の性能であり、この帯域で無線伝送を達成した初の通信機である。提案した通信機が高性能を達成できた主な理由は、ASK 変調方式を採用することにより回路構成を単純にしたため、および、135GHz 受信器の動作周波数範囲にわたり群遅延を周波数の変化に対し平坦にしたためである。

### (4) まとめ

40nm CMOS プロセスを用いた新しい ASK 変調方式の送信器、受信器チップセットを新規に提案した。単純な回路と変調方式を採用することにより、通信機の低消費電力化を図った。試作した 135GHz の通信機において、最大データレート 10Gbps、消費電力 98mW の性能を達成した。

#### 2. 6. 1. 3. 4 送信器協調設計を用いた 132GHz 送受信機

送信器協調設計により、世界で初めて 3m の距離で 11Gbps を実現する CMOS 130GHz 無線機を、208.9mW で実現した。詳細説明は省略する。

## 2.6.1.4 開発成果のまとめ

### (1) 課題と開発内容要約

表Ⅲ.2.6.1-4 本プロジェクトで開発した技術と課題の対応

開発項目 課題	2.6.1.3.1 アドミタンスラッ パー	2.6.1.3.2 PA レス送信機	2.6.1.3.3 受信器協調設 計	2.6.1.3.4 送信器協調設計
(1) 短ミリ波デバイ スモデリング	レ			
(2) 短ミリ波送受信 システムアーキテク チャ		レ		
(3) 短ミリ波送受信 回路の設計・試作・評 価			レ	レ

短ミリ波を用いた超高速通信を 50pJ で達成する上での課題は

- (1) 短ミリ波デバイスモデリング
- (2) 短ミリ波送受信システムアーキテクチャ
- (3) 短ミリ波送受信回路の設計・試作・評価

であった。これらの課題を克服するためアドミタンスラッパ、PA レス送信機、受信機協調設計、送信器協調設計の技術を開発した。開発した技術と課題の対応を表Ⅲ.2.6.1-4 に再掲する。

### (2) 開発成果とベンチマーク要約

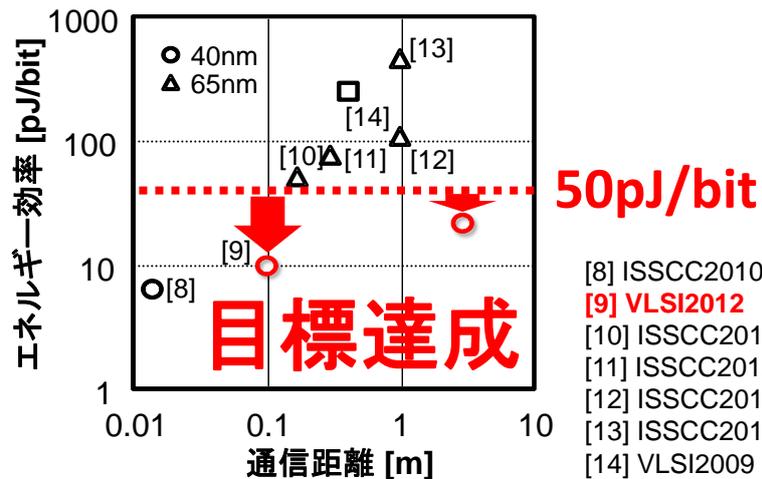
アドミタンスラッパに関しては短ミリ波で顕著となる NQS 効果をうまく取り入れることにより、短ミリ波での MOSFET の特性を正確に表すモデルを構築することができた。図Ⅲ.2.6.1-10 に示すように、ソース接地増幅回路を用いたベンチマークでは、Y ラッパを用いたシミュレーション結果が D 帯まで実測結果に一致することを示すことができた。

PA レス送信機では送信機で最大の消費電力を要する電力増幅回路を削除することにより低消費電力化を達成し、図Ⅲ.2.6.1-19 のベンチマークに示したように PA レス送信機は D 帯送信機の中で最高のエネルギー効率 3.2pJ/bit を達成している。

受信器協調設計では、ASK 変調された D 帯信号の包絡線を維持し 10Gbps の通信速度を実現することに成功した。受信器協調設計を用いた 135GHz CMOS 送受信回路を用いたベンチマークでは、表Ⅲ.2.6.1-2 に示すように、100GHz を超える短ミリ波通信で 10Gbps の通信速度を実現しながら世界最高のエネルギー効率 9.8pJ/bit を示している。

また、送信器協調設計では、通信距離拡大のための送信器協調設計をすることにより、132 GHz CMOS 送受信回路で、20pJ/bit を切る 19pJ/bit のエネルギー効率を世界で初めて 3m の通信距離で実現した。

(3) 目標達成度と開発成果の意義



図Ⅲ. 2. 6. 1-24 本プロジェクトで実現した送受信機のエネルギー効率と通信距離のベンチマーク

(2) に記したように、デバイスモデルから回路技術に至るまで短ミリ波で低消費電力彫刻通信を実現するための各技術を活用し、チップ試作を通じての実証などにより、アクセスポイント間超高速無線において 50pJ/bit のエネルギー効率を達成するという当初目標を図Ⅲ. 2. 6. 1-24 に示す通り 100%達成した。

それに加えて、今後のアプリケーションが期待できる短ミリ波からテラヘルツ領域でのさまざまな回路を設計する際に応用可能なデバイスモデリング技術を確立したという成果も得られた。PA レス送信機の成果は送信機の低消費電力技術として他のアプリケーションにも利用可能であり、受信機と送信機のそれぞれの協調設計での成果は 10Gbps 超の通信で必要となる超広帯域 RF 回路において ASK 変調以外の通信方式にも役立つものと期待される。特に、送信器協調設計では、超広帯域通信を実用的な通信距離で実現する上で必須の技術であり、実用化に際して重要な意義をもった成果となっている。

4k テレビのストリーミング伝送が可能な HDMI1.3 では 10.2Gbps の通信速度がサポートされるが、本プロジェクトの成果を用いれば、家庭内で 4k テレビの無線ストリーミング伝送を 200mW 程度の極低電力で実現できるようになる。他にも大容量の情報を瞬時に無線で伝送できる、サーバー内のボード間通信を無線で置き換えることが可能になるなど、本プロジェクトで得られた研究成果を活用すれば大容量通信が必要となる様々な用途に応用を広げることができるであろう。

参考文献

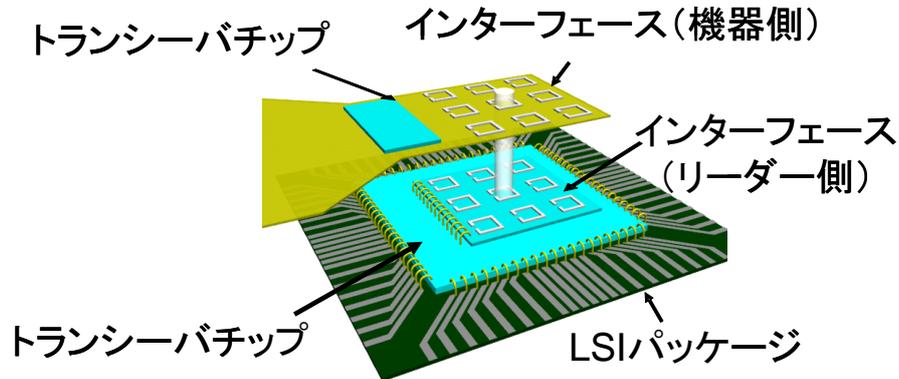
[1] Zhiwei Xu, Q. J. Gu, Yi-Cheng Wu, A. Tang, Yu-Ling Lin, Ho-Hsian Chen, Chewnpu Jou, M.-C.F. Chang, "D-band CMOS transmitter and receiver for multi-giga-bit/sec wireless data link," 2010 IEEE Custom Integrated Circuits Conference (CICC), pp. 1-4, 2010.  
[2] I. Sarkas, E. Laskin, J. Hasch, P. Chevalier, S.P. Voinigescu, "Second generation transceivers for d-band radar and data communication applications," 2010 IEEE MTT-S International Microwave Symposium Digest (MTT), pp. 1328-1331, 2010.  
[3] E. Laskin, P. Chevalier, A. Chantre, B. Sautreuil, S.P. Voinigescu, "165-GHz

- Transceiver in SiGe Technology," IEEE Journal of Solid-State Circuits, Vol. 43, No. 5, pp. 1087-1100, 2008.
- [4] K. Schmalz, W. Winkler, J. Borngraber, W. Debski, B. Heinemann, J.C. Scheytt, "122 GHz ISM-band transceiver concept and silicon ICs for low-cost receiver in SiGe BiCMOS," 2010 IEEE MTT-S International Microwave Symposium Digest (MTT), pp. 1332-1335, 2010.
- [5] R. Fujimoto, M. Motoyoshi, K. Takano, and M. Fujishima, "A 120-GHz Transmitter and Receiver Chipset with 9-Gbps Data Rate using 65-nm CMOS Technology," Asian Solid-State Circuit Conf., pp. 281-284, Nov. 2010.
- [6] R. Fujimoto, M. Motoyoshi, K. Takano, and M. Fujishima, "A 120-GHz/140-GHz dual-channel ASK receiver using standard 65 nm CMOS technology," European Microwave Integrated Circuits Conference, pp. 628-631, Oct. 2011.
- [7] N. Deferm, and P. Reynaert, "A 120GHz 10Gb/s phase-modulating transmitter in 65nm LP CMOS," IEEE Int. Solid-State Circuit Conf., pp.290-292, Feb. 2011.
- [8] K. Okada et al., ISSCC, pp. 160-162., 2011.
- [9] K. Okada et al., ISSCC, pp. 218-220., 2012.
- [10] Shih-Jou Huang et al., ISSCC, pp. 168-170., 2011.
- [11] A. Siligaris et al., ISSCC, pp. 162-164., 2011.
- [12] Huaide Wang et al., VLSIC Symp., pp. 95-96., 2010.
- [13] K. Kawasaki et al., ISSCC, pp. 414-415., 2010.
- [14] N. Ono et al., VLSI Symp., pp. 50-51., 2012.
- [15] Sanming Hu et al., JSSC, vol. 47, No. 11, pp. 2654-2664., 2012.

## 2. 6. 2 LSI チップ間の非接触データ転送技術によるデータ転送

### 2.6.2.1 目標

本研究項目では、低電力化と共にデータレートのスケーラビリティを重視した 10pJ/bit 以下の非接触インターフェースを開発する。パルス信号を用いた微小コイル間の磁界結合通信を用いて実現する（図Ⅲ.2.6.2-1 参考）。データレートのスケーラビリティを確保するために、チャンネルの並列配置数を容易に変更できる方式を開発する。



図Ⅲ.2.6.2-1 磁界結合を用いた非接触高速通信インターフェースの概念図

### 2.6.2.2 課題と開発方針

本研究開発項目では、下記の3つの課題項目に分けて、研究開発を行った。

#### (1) 極低電圧動作送受信機の開発

本テーマのチップ間非接触 I/F は、ポータブル機器への応用や Package-on-Package (PoP) への応用を想定している。LSI パッケージ越しの通信や機器筐体を構成する材料の厚さを想定して、通信距離は 1mm を目標とした。通信方式としては、微小コイル間の近接磁界結合を用いたパルスベースの通信方式を採用した。近接場通信として、磁界結合を用いた方式以外にも容量結合を用いた方式がある。しかし、通信距離が 1mm の場合、容量結合を用いた方式では容量電極と Si 基板間の距離が通信距離に対して圧倒的に短く、寄生容量による受信信号振幅の著しい減衰が問題となる。磁界結合においても Si 基板を流れる渦電流の問題等があるが容量結合ほどの信号減衰は引き起こさない。また、容量結合であれば先端プロセスで電源電圧が低下するとそのまま受信信号振幅の減衰につながる。一方磁界結合において受信振幅は、送信電流によって決まるため、極低電圧化においても電流を増やす手段を講じれば信号振幅を確保できる。従ってテクノロジースケーリングとの親和性が高い。

ただし、近接磁界を用いた通信においても、通信距離がコイルサイズよりも遠くなると受信信号が急速に減衰する。コイルサイズを大きくすると自己共振周波数が低くなりデータレートが低下するため、データレートが決まるとコイルサイズの上限がきまる。データレートが 1Gbps の場合コイルサイズは 1~2mm 程度が上限となる。今回は通信距離がコイルサイズと同程度となるため、受信信号が微弱となり、それを増幅するための増幅器等が必要となる。もともと、パルス方式磁界結合は送受信機の回路をシンプルに実現することができ、極低電圧動作に向けた方式であるが、微弱信号を低電力で増幅する回路を極低電圧で設計することは大きなチャレンジである。特に、低電圧動作で問題となる閾値バラツキの回路性能に与える影響を解決する

手段が必要となる。本課題項目では、送受信システムのうちクロック再生回路を含まないスタティックなブロック、特に技術的なハードルの高い極低電圧増幅器を中心に開発を行なう。まずは単一チャンネルにおいて、極低電圧で動作する送受信システムを設計、試作、評価する。

### (2) 極低電圧動作クロック再生回路の開発

データレートのスケラビリティを確保するために、チャンネルの並列化に向けた方式が必要となる。特にパルス通信ではデータ再生の際のタイミング精度が通信品質に大きな影響を与える。各チャンネルが独立に受信データ判定タイミングを再生（クロック再生）することで、チャンネル間のスキューの影響を受けないようにすることが重要となる。本課題項目では、送受信システムのうちダイナミックなブロックの中でも特に重要なタイミング再生部の開発を行なう。

### (3) ノイズ耐性向上のための技術開発

受信信号強度が弱まると特に実使用条件では外部ノイズの影響が大きくなり通信品質が問題となる。また、チャンネル並列化に伴いチャンネル間クロストークの影響が通信品質を劣化させる可能性がある。信号品質の劣化を防ぐための手段を導入することが必要であるが、特に受信側のクロック再生において、外乱ノイズやチャンネル間クロストークが存在する状況においても安定したクロックを再生することが重要となる。本課題項目では、特にクロック再生回路に関して PLL 等の技術を用いたノイズ耐性向上のための方法を開発する。

表Ⅲ. 2. 6. 2-1 に本研究テーマの課題項目と以下の各節で述べる開発成果の関係を示す。

表Ⅲ. 2. 6. 2-1 課題と開発成果の関係

開発項目 課題項目	2. 6. 2. 3. 1 極低電圧 パルス送 信機	2. 6. 2. 3. 2 パルス幅 自動制御 回路	2. 6. 2. 3. 3 極低電圧 受信 アンプ	2. 6. 2. 3. 4 間欠動作 受信 アンプ	2. 6. 2. 3. 5 完全デジ タルクロ ック再生	2. 6. 2. 3. 6 送受信機 システム 対向通信
(1) 極低電圧 送受信機	✓	✓	✓	✓		✓
(2) クロック 再生回路				✓	✓	✓
(3) ノイズ耐性 向上（並列化）			✓		✓	✓

## 2. 6. 2. 3 開発成果

### 2. 6. 2. 3. 0 送受信機システム構成

図Ⅲ. 2. 6. 2-2 に今回開発した送受信機システムのブロック図と信号波形の概要を示す。

送信機は送信データおよびクロックからパルス電流を生成して送信コイルに供給する。送信コイルに供給されたパルス電流により磁界が発生して、受信コイルに電圧が誘起される。受信側は、コイルに誘起された受信信号電圧を増幅するアンプ、増幅された信号からデータを再生するためのヒステリシスコンパレータ、およびクロック再生回路から構成される。

動作の概要は以下の通りである。

パルス送信器は送信クロックの立ち上がりエッジにおいて、送信データの”0”、”1”に応じて極性の異なる電流パルスを生成する。送信データが”0”であれば負のパルス電流を、”1”であれば正のパルス電流を生成する。パルス電流に比例した磁界が送信コイルにより発生し、その時間変化に比例した電圧信号が受信コイルに誘起される。従って、受信信号電圧波形は送信電流波形の時間微分となりダブルピークとなる。ダブルピークの最初のピークの極性は、送信パルス電流の極性と一致するため、受信側で再生されたクロックで最初のパルスの極性を検出すれば送信データを再生することができる。ただし、パルス幅が短く受信クロックのタイミング制御が困難となるため、実際はヒステリシスコンパレータでパルスの極性をホールドすることで、非同期にラフに NRZ 送信データを再生する。このラフな再生データには必然的にグリッチのようなパルスが残る。また、外乱ノイズが存在する場合や、チャンネル並列化をした場合の隣接チャンネルからのクロストークが存在すると、同様に再生データにノイズに起因したグリッチ波形が生じる。再生クロックでリタイミングすることでグリッチを取り除き完全な NRZ データ再生を行う。これらのノイズ等が存在する場合でも高品質でジッタの少ないクロックを再生できるように、クロック再生回路にはノイズ除去機能が要求される。

セルラーや無線 LAN のように搬送波を用いる送受信機と異なり、本アーキテクチャでは非常にシンプルな回路で送受信機が実現できるため、低電圧化、低電力化に向いている。しかしながら極低電圧での動作を実現するためには、前節で述べた様々な課題が立ちはだかる。

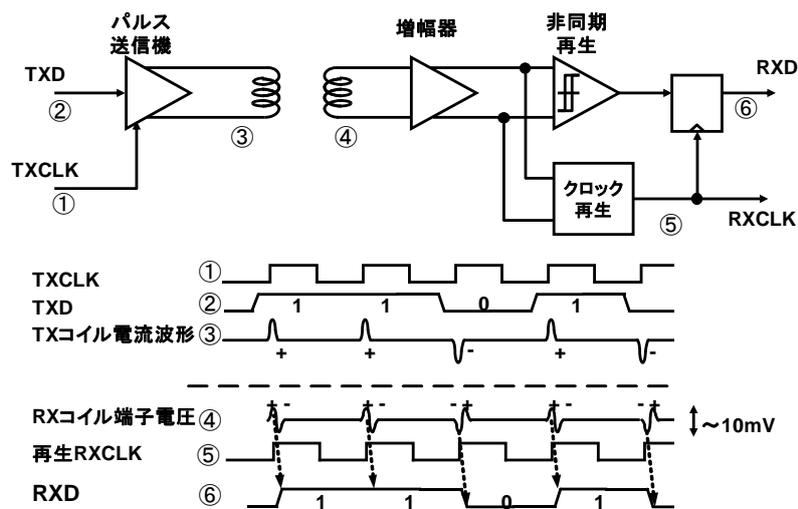


図 III. 2. 6. 2-2 送受信機システムの構成と信号波形の概略

### 2. 6. 2. 3. 1 極低電圧パルス送信機 (この成果は RWS2011 にて発表)

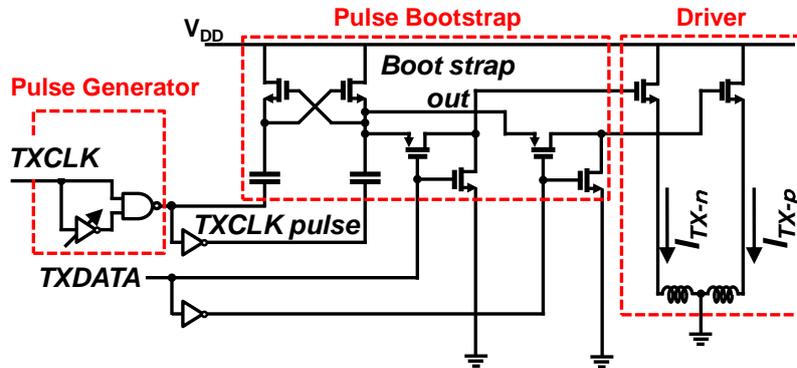
図 III. 2. 6. 2-3 に極低電圧 (0.5V) で動作する、パルス送信器の回路図を示す。

パルス生成部、局所的パルス昇圧回路、出力ドライバから構成される。

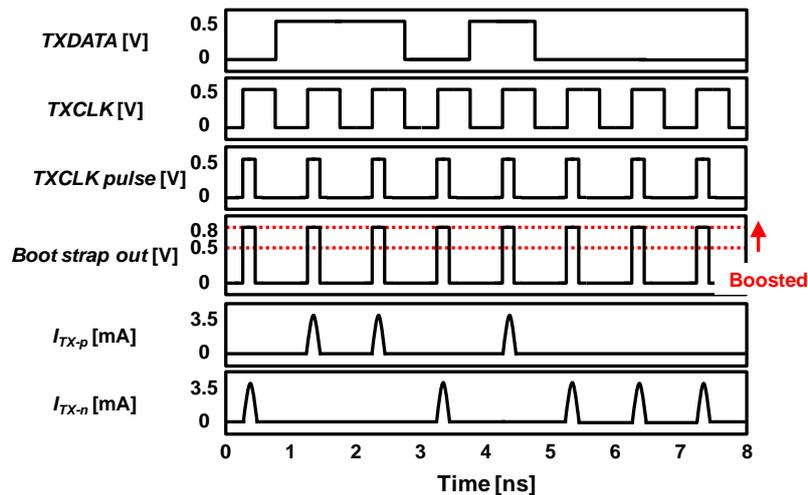
送信機の消費電力は主に出力段のドライバ部で決まる。磁界結合による受信信号振幅は電流パルス波形の時間微分で決まるため、受信振幅を確保するには送信パルス電流を大きくする必要がある。一方で消費電力は電源電圧と送信パルス電流 (平均値) の積で決まるため、電源電圧を極力低くすることが低消費電力動作につながる。

パルス生成部では、CMOS インバータベースの可変遅延素子 (反転) と NAND ゲートを用いて、送信クロックの立ち上がりエッジのタイミングでパルス信号を生成する。送信コイルに供給す

るドライバ回路は非常にシンプルであるが、0.5Vの極低電圧ではスイッチのオン抵抗が高くなり、コイルに供給できる電流値が小さくなる。従って、ドライバのゲートに供給するパルスの電圧を昇圧回路により昇圧する。具体的にはパルス生成回路で生成したパルスをブートストラップ回路で0.8V程度まで昇圧する。昇圧したパルスを送信データの”0”、”1”に応じて、出力ドライバを構成する左右のnMOSFETに振り分ける。各ノードの信号波形は図Ⅲ.2.6.2-4のようになる。



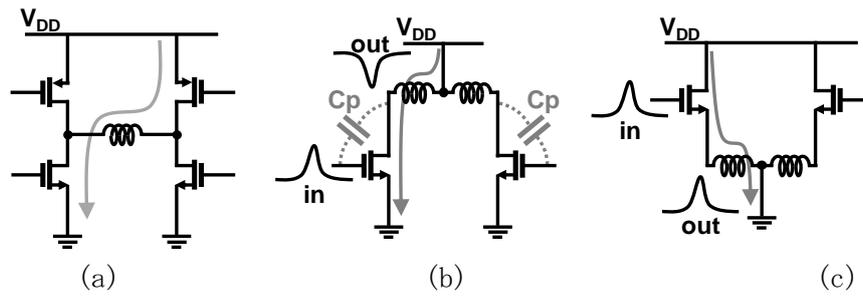
図Ⅲ.2.6.2-3 極低電圧(0.5V)パルス送信機の回路図



図Ⅲ.2.6.2-4 極低電圧(0.5V)パルス送信機各ノードの波形概略

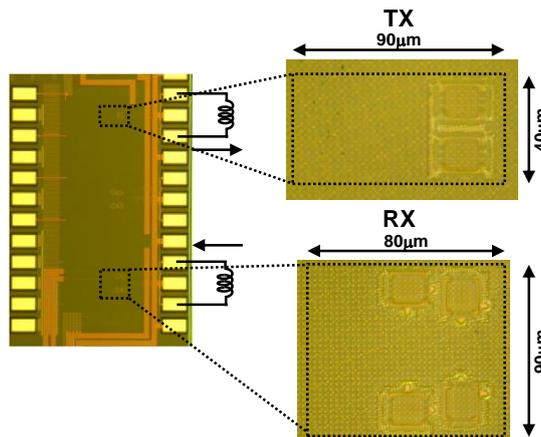
コイルを駆動する出力ドライバのトポロジーとして、図Ⅲ.2.6.2-5のようなものが考えられる。(a)はpMOS、nMOSでHブリッジ構成としたもの、(b)はnMOSをソース接地的に使用したもの、(c)は今回提案した、nMOSをソースフォロワ的に使用したものである。

(a)の方式はパルス電流が二つのトランジスタを流れるため、直列抵抗が大きくなり極低電圧動作に向いていない。(b)はnMOSへのゲート入力と出力が逆相で動作するためミラー効果によりゲート・ドレイン間の寄生容量が大きく見えて周波数帯域が狭くなる。提案した(c)の方式は、入力と出力が同相で動作するため帯域を広く取ることができる。また、後述するように受信機の増幅器として低入力インピーダンスのゲート接地型のアンプを使用しており、回路トポロジーが(c)に近いものとなっている。従って、送受信機のトランジスタを共用することも原理的に可能となる。これは、別々のトランジスタを使用する場合に比べて寄生容量をさらに減らすことを可能とする。

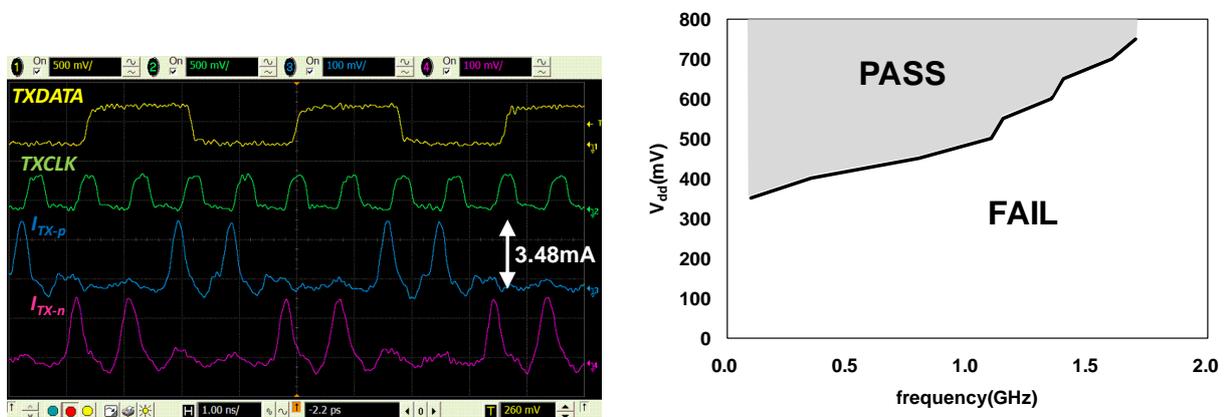


図Ⅲ. 2. 6. 2-5 パルス送信機出力段の形式の比較

図Ⅲ. 2. 6. 2-6 に 65nm-CMOS プロセスで試作したチップ写真を示す。非常にシンプルな構成のためサイズは  $40\mu\text{m} \times 90\mu\text{m}$  と小さい。試作したパルス送信機で生成した信号波形の実測結果を図Ⅲ. 2. 6. 2-7(左)に示す。電源電圧 0.5V において 1.1Gbps まで動作し、0.75V まで上げると 1.7Gbps でパルスを生じ出すことを確認した。0.5V、1.1Gbps 動作時で消費電力は 1mW であり、低電力のパルス送信機として動作することを確認した。図Ⅲ. 2. 6. 2-7(右)に送信機の動作範囲を評価した結果を示す。電源電圧を下げて行くと、局所昇圧回路での昇圧が不十分となり、生成されたパルス信号の振幅がぶれ始める。Pass/Fail の判別はパルス振幅が 10%以上変動する条件で判定した。



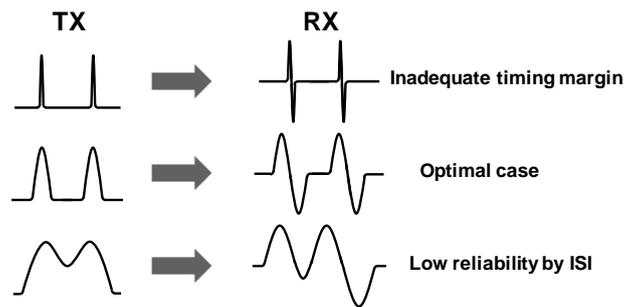
図Ⅲ. 2. 6. 2-6 極低電圧パルス送受信機のテストチップ写真



図Ⅲ. 2. 6. 2-7 極低電圧パルス送受信機の測定結果。波形（左）および Shmoo plot（右）

### 2.6.2.3.2 送信パルス幅自動調整方式（この成果は RWS2012 にて発表）

前節で提案した送受信機は非常にシンプルな構成であり、試作チップにより極低電圧・低電力での動作を実証することができた。実使用条件では、図Ⅲ.2.6.2-8 に示すように PVT バラツキにより送信パルス電流のパルス幅が変動する。例えば電源電圧が高くなり、遅延素子の遅延が短くなるとパルス幅が短くなり、受信機での復調が困難となる。一方、電源電圧が下がると遅延が大きくなるため、いわゆる符号間干渉 (ISI) によるパルス波形の重なりが生じ、同様に受信機でのデータ再生が困難となる。そこで、PVT バラツキ存在時においても、最適なパルス幅を保持できるように自動調整機能を搭載することが必要となる。

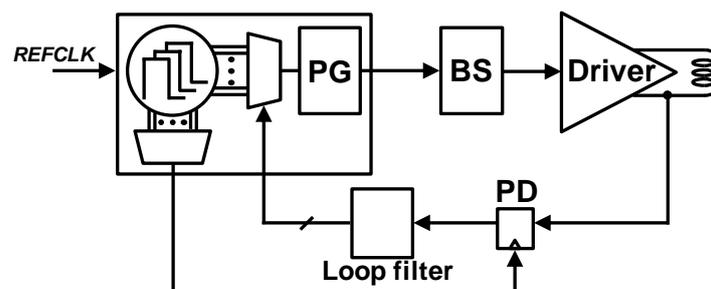


図Ⅲ.2.6.2-8 送信電流信号のパルス幅変動が受信機に与える影響

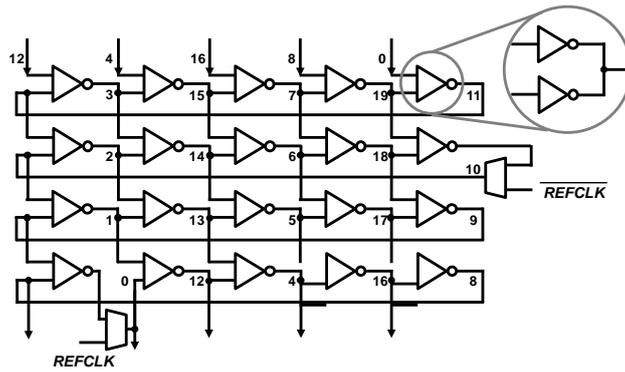
上記課題に対処するために、今回、図Ⅲ.2.6.2-9 に示すようなパルス幅調整回路を考案した。

送信機ブロックは前節と同様にパルス生成部、パルス昇圧部、出力ドライバ部から構成される。パルス生成部では前節の遅延素子の代わりに、図Ⅲ.2.6.2-10 に示す多相信号を生成できるアレイ型のリング発振器を用いた。同リング発振器は、外部クロックから位相補間により多相を生成するモードでも使用できるようになっている。また、出力ドライバ部のパルスエッジを検出して多相発振器から適切な位相を選択するためのフィードバックループも組み込まれている。

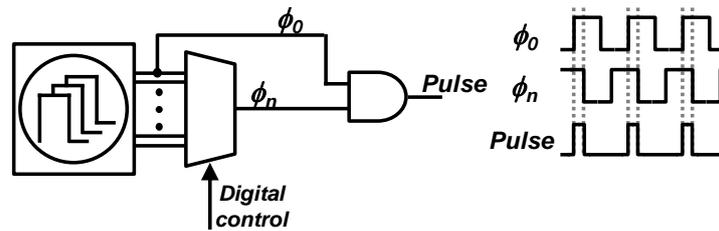
多相信号を発生するためには多段のリング発振器を使用する機会が多いが、段数が多くなると発振周波数が下がる。特に今回は極低電圧でも 1Gbps 前後の動作を目指しているため、通常のリング発振器を使用することは困難である。一方、アレイ発振器は段数の少ないリング発振器を並列に配置し、各リング発振器間を結合することで、高い発振周波数を保ちながら多相信号を生成することができる。この発振器を PLL 等で精度の高い基準クロックにロックすると、非常に高い周波数、位相精度の多相信号を生成することができる。また、前述のとおり外部から基準クロックを供給して位相補間モードとして使用すると PLL を構成する必要もない。このようにして生成した精度の高い多相クロックから、図Ⅲ.2.6.2-11 に示すように二つの位相クロックを選択して、パルスを生成すると PVT バラツキの存在下でも、安定して精度の高いパルス幅を生成することが可能となる。



図Ⅲ.2.6.2-9 パルス幅制御機構を導入した送信機

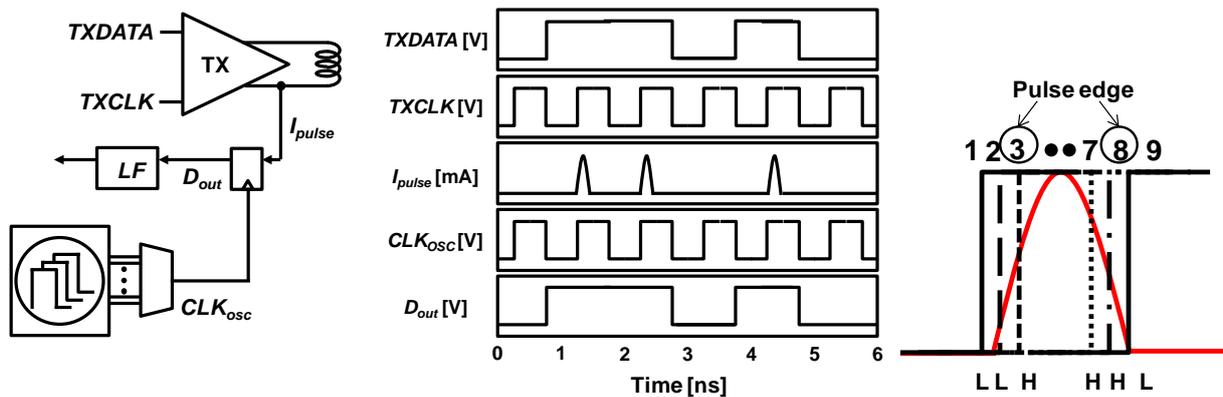


図Ⅲ. 2. 6. 2-10 パルス幅制御機構に使用した多相アレイ発振器（位相補間器としても使用可）

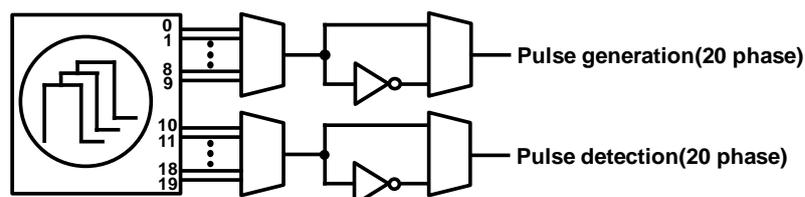


図Ⅲ. 2. 6. 2-11 パルス生成部のブロック図

以上の方法で多相発振器を用いたパルス発生回路により安定したパルスを生成することが可能となるが、後段のパルス昇圧回路および出力ドライバの性能も PVT バラツキの影響を受けるため、実際にコイルに供給されるパルスの幅はばらつく可能性がある。そこで、さらに出力ドライバ部でのパルスの幅を検出して、それが最適になるよう多相クロックの位相を選択するフィードバック経路を搭載した。



図Ⅲ. 2. 6. 2-12 出力段でのパルス幅検出機能のブロック図およびタイミングチャート



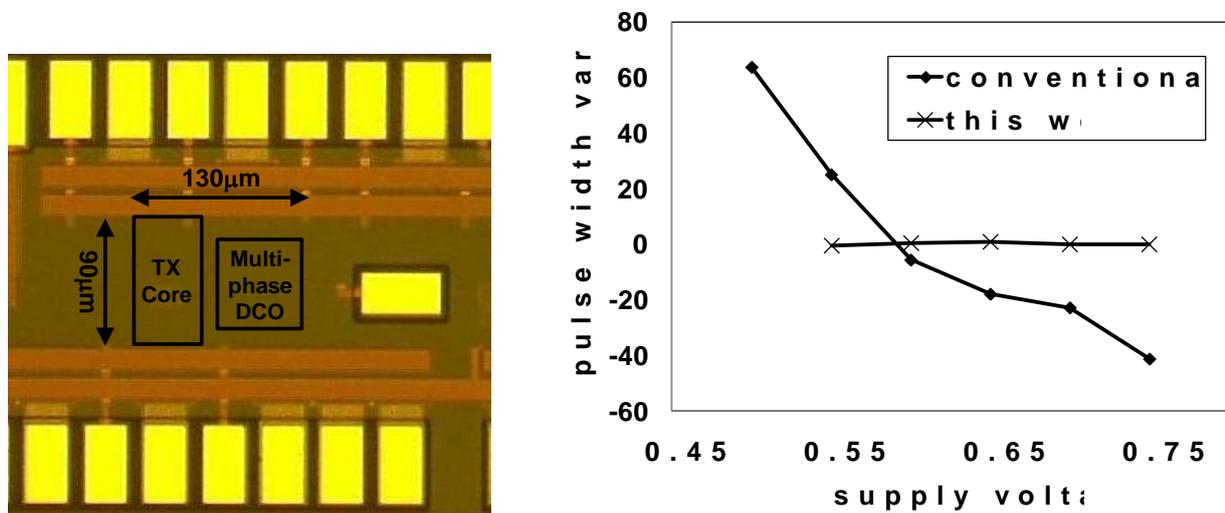
図Ⅲ. 2. 6. 2-13 パルス生成および検出用の位相選択部

出力ドライバ部におけるパルス幅検出の方法を図Ⅲ. 2. 6. 2-12 に示す。多相アレイ発振器から供給されるクロックでフリップフロップを駆動し、そのタイミングにおける出力ドライバのパルスの有無を検出する。クロックの立ち上がりエッジのタイミングにおいてパルスが存在すればフリップフロップの出力は 1 となり、パルスが存在しなければ 0 となる。多相アレイ発振器から選択する位相をセレクタで走査して、フリップフロップの出力が 0 から 1 になる選択コードおよび 1 から 0 に変わる選択コードを検出する。両者の位相差からパルス幅を算出することが可能となる。図Ⅲ. 2. 6. 2-13 に示すように、多相アレイ発振器は 1 つでパルス生成および検出の双方に用いている。したがって、回路面積と消費電力を削減できると同時に、本手法ではパルス生成の位相と検出用の相対位相は確定しているため、シンプルな方法で高精度にパルス幅を検出することができる。

図Ⅲ. 2. 6. 2-14(左)に 65nm-CMOS で試作したチップ写真を示す。

多相発振器を搭載しているために、前述の送信機よりは大きくなっているが、それでも  $90\mu\text{m} \times 130\mu\text{m}$  という小さなサイズに収まっている。

図Ⅲ. 2. 6. 2-14(右)は、パルス幅を制御しない場合とした場合に、電源電圧を変化させてパルス幅の変動を測定した結果である。パルス幅制御機能を搭載したことで、電源電圧変動の存在時にも安定したパルスを生成出来ることが確認できた。電源電圧が 0.7V のときに 0.85Gbps を 4.1mW で達成した。本試作においては、アレイ発振器および後段のマルチプレクサのレイアウトにおいて配線間寄生容量が大きくついたため消費電力が大きくなったが、レイアウトの工夫により消費電力を半減させることが可能であると考えている。

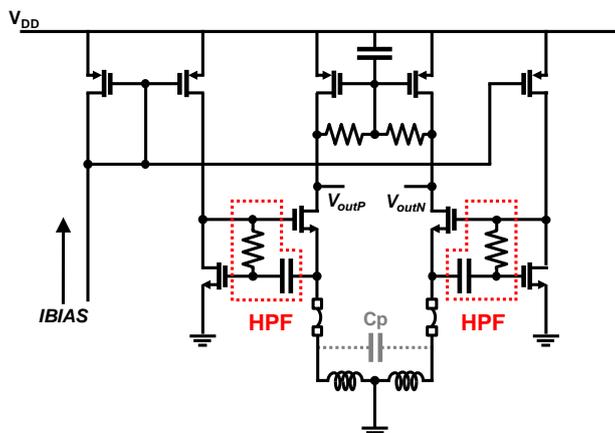


図Ⅲ. 2. 6. 2-14 パルス幅調整機能付き送信器のテストチップ写真 (左) とパルス幅制御機能による電源電圧変動耐性の実測値 (右)

### 2.6.2.3.3 低電圧受信アンプ（この成果は RWS2011 にて発表）

今回の非接触インターフェースは通信距離が 1mm 程度と非常に短いものの、無線であることには変わりなく、また結合器となるインダクタのサイズも 1~2mm に制約されるため、受信コイルに誘起される信号電圧の振幅は 10mV 程度と小さい。従って、データ再生を行う前に信号を増幅する必要がある。

0.5V といった極低電圧で動作させるためには、アンプの構成にも考慮が必要である。磁界結合インターフェースでは結合器としてコイルを用いるが、アンプの入力インピーダンスが高いとコイルと並列に存在する寄生容量により、等価的に伝送線路の周波数応答に鋭い共振ピークが現れ、受信パルス信号に著しいリングングが発生する。これは、データレートが上がると符号間干渉となりデータ再生の信頼性を落とす原因となる。コイルに並列に抵抗を付けることでダンピングすることも可能であるが、信号電力の損失につながり不利である。



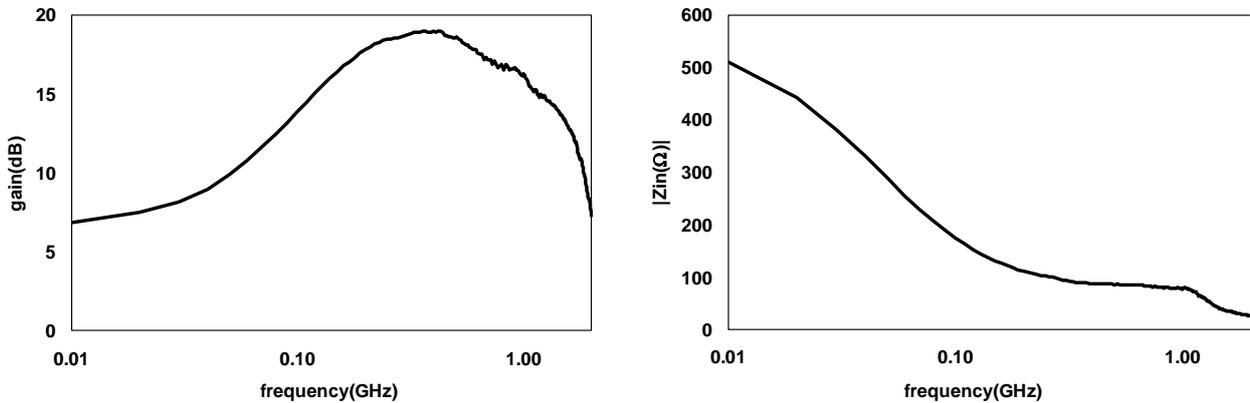
図Ⅲ. 2. 6. 2-15 極低電圧受信アンプ

そこで、図Ⅲ. 2. 6. 2-15 に示すように、信号の主経路はゲート接地型のアンプを採用して入力インピーダンスを下げ等価的にダンピング効果を得ることとした。この形式は、2.6.2.3.1 節で説明したパルス送信機の出力段と同じ形式のため、両者を共有することも原理的に可能である。さらに RC による高域通過フィルタを介してパルス信号をソース接地アンプで増加して、ゲート接地回路のゲートに入力することでゲインをブーストすると同時に、信号帯域におけるアンプの入力インピーダンスを下げダンピング効果をさらに上げるような構成とした。本方式では低周波側のゲインが抑えられるため、不要帯域のノイズを抑える効果も有している。ゲート接地段の出力で電流信号を負荷抵抗により電圧に変換して後続のヒステリシスコンパレータに信号を受け渡している。トランジスタの縦積み数が 2 のため、電源電圧 0.5V での動作にも向いている。

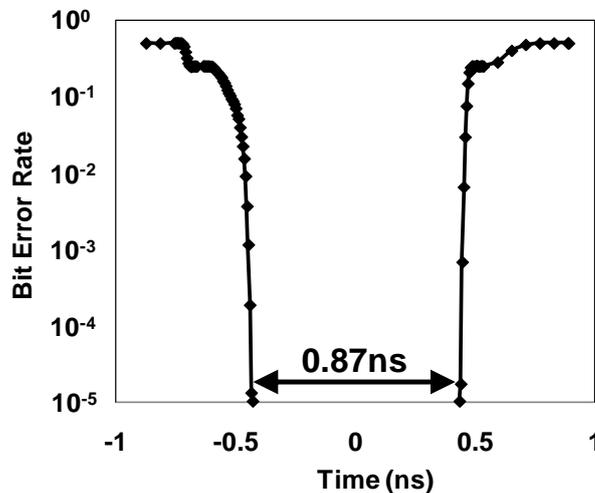
2.6.2.3.1 節の図Ⅲ. 2. 6. 2-6 に 65nm-CMOS プロセスで試作した受信機のチップ写真を示す。回路のサイズは 80um×90um と小さい。図Ⅲ. 2. 6. 2-16 はテストチップの受信アンプゲイン(左)および入力インピーダンス(右)の周波数特性である。電源電圧は 0.5V であり、消費電力は 0.34mW であった。ピークゲインが 18dB 程度得られており、その周波数帯における入力インピーダンスは 100Ω 以下である。また低周波域におけるゲインが抑えられており、入力インピーダンスも高くなっているため、目論見通り不要信号帯域でのノイズの除去に効果を発揮できる。

図Ⅲ. 2. 6. 2-17 に対向通信実験時のバスタブカーブを示す。送信機は 2.6.2.3.2 節で説明したものを使用した。クロック再生回路は搭載していない。通信距離は 1mm の時の結果であり、デ

ータレートは 850Mbps とした。本実験結果から、十分なタイミングマージンが確保されていることが分かる。



図Ⅲ. 2. 6. 2-16 極低電圧受信アンプ利得 (左) と入力インピーダンス (右) の周波数特性

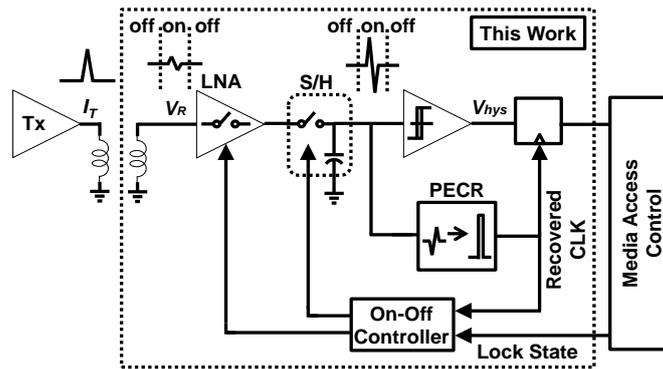


図Ⅲ. 2. 6. 2-17 対向通信時のバスタブカーブ  
(送信機は 2. 6. 2. 3. 2 節のものを使用、クロック再生回路無し)

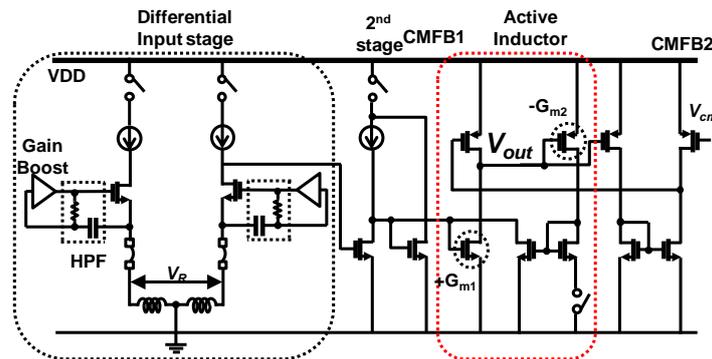
#### 2. 6. 2. 3. 4 受信機の間欠動作による低電力化 (この成果は RWS2013 にて発表)

本研究テーマで採用しているパルススペースの磁界結合による非接触通信は、回路構成がシンプルで小面積、低消費電力での動作に向いている。しかしながら、無線通信であることに変わり無く、受信信号を増幅するためのアンプが受信機で必要になる。このアンプは通常、バイアスのために DC 電流を流す必要があり、データレートによらず一定の電力を消費する。高速通信であれば他の回路ブロックの消費電力が大きく、アンプの消費電力はあまり目立たないが、通信速度を落とすと他の回路ブロックは比例して電力が下がるため、相対的にアンプの電力が大きくなり、ビットあたりのエネルギー効率を劣化させる要因となる。低速においてもエネルギー効率を改善するには、受信アンプもパルスを受信したときのみ動作をさせる間欠動作が求められる。

この目的のため、今回、低速通信用に受信アンプを間欠動作させる受信機を考案した。



図Ⅲ. 2. 6. 2-18 アンブ間欠動作のために開発した受信機システムのブロック図



図Ⅲ. 2. 6. 2-19 間欠動作アンプの回路図

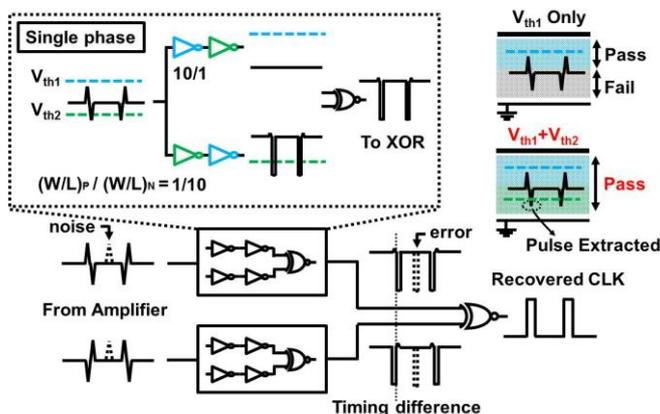
図Ⅲ. 2. 6. 2-18 はアンプを間欠動作させるために提案、開発した受信機システムのブロック図である。システムは間欠動作受信アンプ、コモンモード電圧保持用の S/H 回路、ヒステリシスコンパレータ、受信パルスから簡易的にクロック信号パルスを抽出する回路 (PECR) および抽出されたクロックパルスの遅延量および幅を調整して、アンプのオン/オフを制御する回路 (On-Off controller) から構成される。

図Ⅲ. 2. 6. 2-19 に間欠動作型の受信アンプの回路図を示す。基本は 2. 6. 2. 3. 3 節で説明した、ゲインブースト型のゲート接地アンプである。アンプの帯域を拡大するために出力ノードにアクティブインダクタを配置して、出力ノードの寄生容量をキャンセルするようにした。アンプ本体およびアクティブインダクタのバイアス電流をスイッチでオン/オフ制御できるような構成となっている。

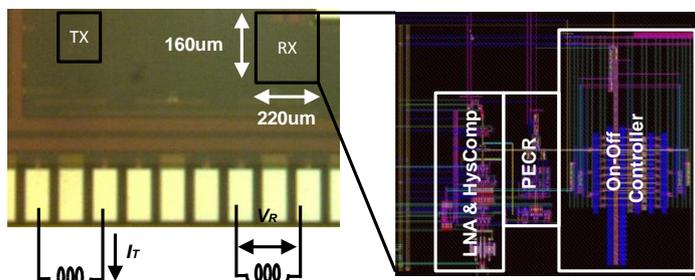
図Ⅲ. 2. 6. 2-20 に受信パルスからクロック成分を抽出するための回路を示す。前述した通り、受信信号パルスは送信電流パルスの時間微分波形となるため、ダブルパルスとなる。論理閾値が異なるインバータを使用して、正極のパルスもしくは負極のパルス部を検出してフルスイングまで増幅する。アンプ出力の差動信号のうちそれぞれの経路において当操作を行い、その出力の論理和を取るとダブルパルスを単一パルスに変換することができる。このように非常にシンプルな回路を用いて抽出されたクロックパルスの幅および遅延を調整して、前述の間欠動作型アンプのオン/オフ制御に用いる。実際の通信においては、通信リンクが確立されるまでは常時オンの状態で待ち受け、信号の受信およびクロック再生が完了した後、アンプのオン/オフ制御を有効にすればよい。

図Ⅲ. 2. 6. 2-21 は 65nm-CMOS プロセスで試作したチップ写真およびレイアウトである。アンプ以外の部分は、ほぼロジックセルで構成されているため面積オーバーヘッドは小さい。図Ⅲ. 2. 6. 2-2

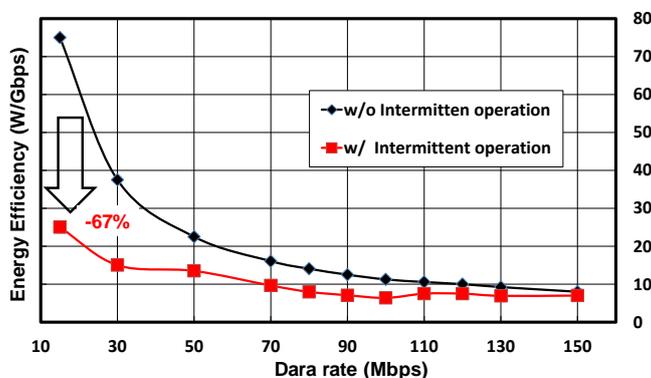
2は低速動作時のアンプ間欠動作による消費電力削減効果である。間欠動作をすることにより低速通信時に最大で67%の電力削減効果が得られた。また、高速動作時には間欠動作を未使用状態として、0.8Vで1.76mW、1.6Gbpsで動作することを確認した。



図Ⅲ. 2. 6. 2-20 受信パルスからクロック成分を抽出するための回路



図Ⅲ. 2. 6. 2-21 試作チップ写真とレイアウト



図Ⅲ. 2. 6. 2-22 低速通信時での間欠動作による電力削減効果の測定値

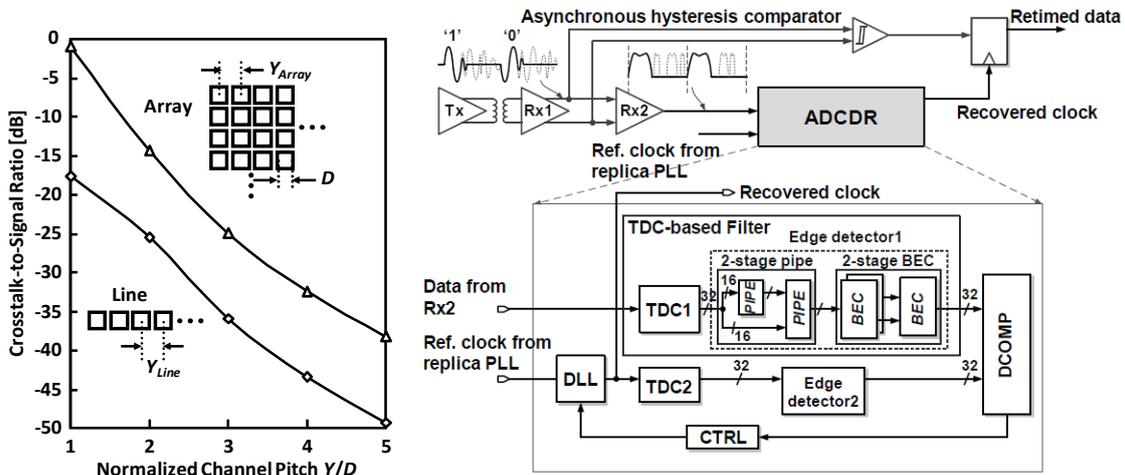
### 2. 6. 2. 3. 5 オールデジタルクロック再生回路 (AD-CDR)

(1) ノイズ除去機能付き AD-CDR (この成果は A-SSCC2011 にて発表)

高速送受信システムにおいては、送信側のクロックと同期したクロックが受信側で必要となる。手法としては、クロック専用チャネルを用意してクロック信号を送信する方法と、データチャネルからクロック再生回路と用いてクロック成分を抽出する方法がある。前者は、複雑なクロック再生回路が不要であるが、クロック専用送受信機とチャネルが必要となり、また並列チャネル数が増えてくると、各データチャネルへのクロック分配時におけるスキューが問題となる。後者は、クロック専用チャネルが不要となり、また、多チャンネル送信時においても、

クロック分配が不要で単にチャンネル数を増やすだけで済むというメリットがある。従って必要データレートに応じてチャンネル数を増やせばよく、データレートのスケーラビリティが確保しやすい。

本テーマでも、クロック再生回路を搭載して、受信データ信号からクロック信号を再生する手法を採用した。アナログ回路技術のテーマである PLL の開発と同様に、低電圧動作、テクノロジースケールへの親和性を考慮して、オールデジタル方式のクロック再生回路 (All-Digital Clock Data Recovery: AD-CDR) を考案して、設計試作した。また、非接触インターフェースであり、外界からのノイズが混入しやすいため、クロック再生回路にノイズ除去機能を持たせることとした。特にチャンネル並列化すると、図Ⅲ. 2. 6. 2-23(左)に示すようにクロストークの影響で受信信号の S/N 比が劣化し通信品質が劣化する可能性がある。例えばチャンネルを二次元アレイ状に並べるとインダクタサイズとピッチがほぼ同じ場合、信号とクロストークがほぼ同じレベルとなる。クロストークを除去する機能が無ければ、チャンネルピッチはコイルサイズの少なくとも倍以上必要となるが、ノイズ除去機能があればチャンネルピッチをコイルサイズ +  $\alpha$  程度まで狭めることができる。従って、クロストークに対する耐性も考慮する必要がある。

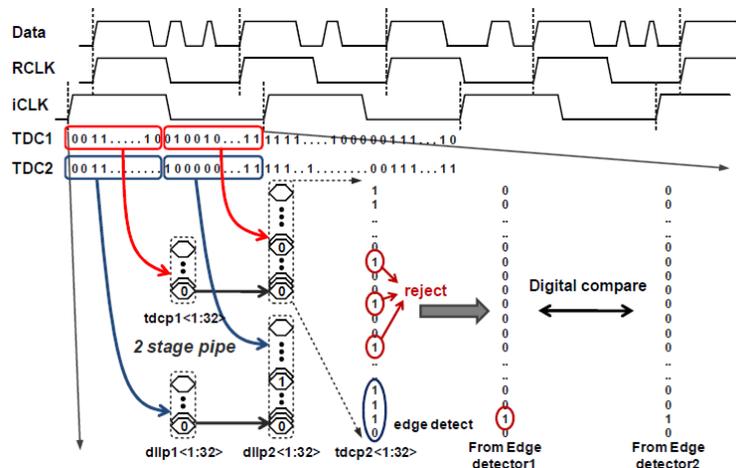


図Ⅲ. 2. 6. 2-23 チャンネル間クロストークの影響 (左)

とノイズ除去機能付き完全デジタルクロック再生回路 (AD-CDR) のブロック図 (右)

図Ⅲ. 2. 6. 2-23(右)にノイズ除去機能付き AD-CDR のブロック図を示す。受信信号はダブルパルスとなっているため、一旦絶対値回路 (図中の Rx2) を通して、単極のシングルパルスに変換する。変換されたシングルパルスをフリーランの発振器および TDC ベースのデジタル変換器を用いて、図Ⅲ. 2. 6. 2-24 に示すように高速に 01...シリアルパターンに変換していく。データレートに対して、20~30 倍のオーバーサンプリングを行う。この段階では変換されたパターンには受信パルスに加えて、ノイズパターンも混入している可能性がある。受信データのサンプリングと並行して、受信機が持つ参照クロックも同様に高速サンプリングをして 01...パターンに変換する。参照クロックは送信器のクロックとほぼ同じ周波数であるが、僅かの周波数誤差 (水晶発振器程度の精度を想定) を持ち、位相は送信クロックとは無関係である。ノイズの混入した受信波形パターンを、バブルエラー除去回路を通してノイズに起因したパルスを取り除く。”1” が 3 以上連続する場合を受信パルスとして残し、それ以下の場合にはノイズを判断して除去する (何個連続するかの判断は可変)。その後、受信波形のパルス信号のエッジと、参照クロックから生成された 01...パターンのエッジを、エッジ検出回路を用いて検出して両者

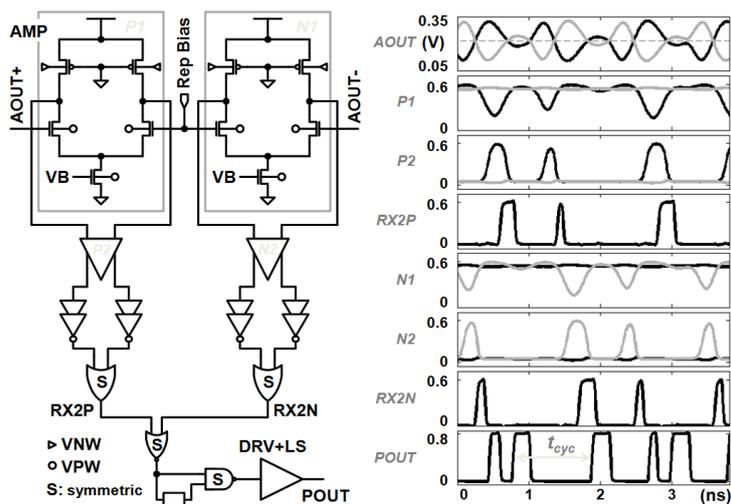
の位置を比較する。エッジが一致していなければ、参照クロックから構成された DLL の選択位相を切り替えて、エッジが一致するまでフィードバック制御を行う。エッジが一致した時点でクロック再生が完了したと判断して、再生クロックとして受信機に供給する。



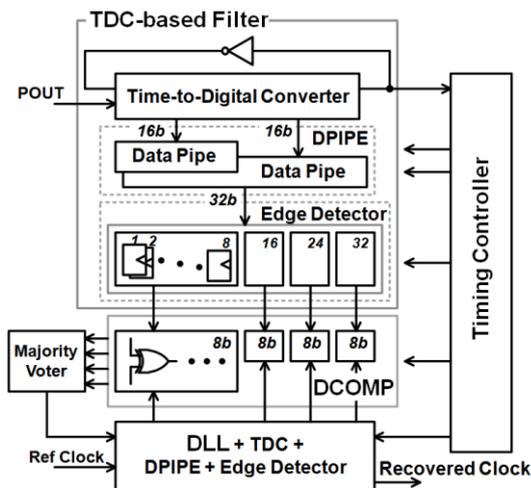
図Ⅲ. 2. 6. 2-24 ノイズ除去機能付き AD-CDR の動作原理

図Ⅲ. 2. 6. 2-25 はダブルパルスから単極のシングルパルスに変換する絶対値生成回路である。比較器をベースとしてダブルパルスの各パルスの絶対値を取った後、OR 演算により単一パルスにマージする。受信アンプの差動出力のうち+信号と-信号を、それぞれ、2つの比較器に入力する。比較器の入力差動対の一方は受信アンプのレプリカで生成された、コモンモードレベルに接続されている。比較器にパルス信号が入ってくると、比較器がそれを増幅する。インバータを数段接続してフルスイングの信号にする。その後、フルスイングとなったダブルパルスの各パルスの論理和を OR ゲートで取りシングルパルスとする。

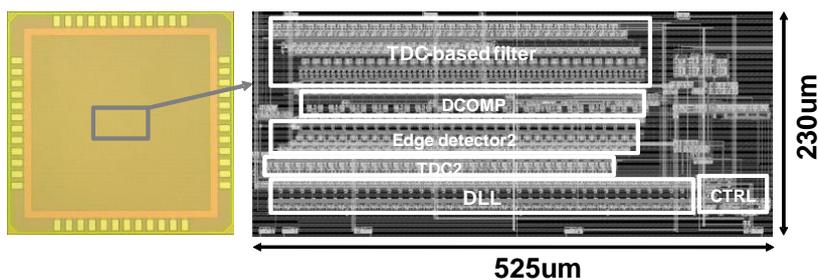
図Ⅲ. 2. 6. 2-26 はオールデジタルクロック再生回路である。前述した通り、フリーラン発振器のクロック信号で駆動した TDC ベースの高速サンプリング回路で、単極に変換された受信パルスおよび受信機の参照クロックを高速サンプリングし、01…パターンに変換する。TDC は 3 2 段構成となっており、TDC 出力を 16bit に分割して、それぞれ、正相、逆相のクロックで後段のラッチ (Data Pipe) に保持する。16bit に分割することで、早く出力される TDC の前半のデータおよび遅れて出力される後半のデータを、それぞれマージを持ってラッチに取り込むことが可能となる。その後バブルエラー除去回路を用いて、ノイズに起因したパルス信号を除去したのち、デジタルエッジ検出回路で受信信号パルスのエッジを検出する。同様の回路が参照クロックの処理経路にも配置されており、最終的に受信パルスのエッジと参照クロックのエッジが比較される。両者のエッジが一致していなければ、一致するようにフィードバック制御を行う。エッジが一致した時点で、そのクロック信号を再生クロックとして出力する。このようにクロック再生回路の全てのブロックがデジタル回路で構成されているため、比較的 low voltage 化が容易である。またテクノロジーが微細化された場合でも容易にポータビリティすることができる。



図Ⅲ. 2. 6. 2-25 ダブルパルスから単極パルスに変換する回路(Rx2)とそのシミュレーション波形



図Ⅲ. 2. 6. 2-26 AD-CDR の内部構造



図Ⅲ. 2. 6. 2-27 試作チップ写真

図Ⅲ. 2. 6. 2-27 は 90nm-CMOS プロセスで試作したオールデジタルクロック再生回路のレイアウトおよびチップ写真である。本試作時には各種モニター回路等を搭載しており面積が大きくなっている。2. 6. 2. 3. 6 節で説明する対向通信用に 65nm-CMOS プロセスで設計試作した際は、回路・レイアウトのブラッシュアップおよびモニター機能を除外することでサイズを 1/5 に縮小している。

図Ⅲ. 2. 6. 2-28 はパルスパターン発生器でクロストーク等のノイズを模擬した受信信号を、試作

した AD-CDR チップに入力した場合のクロック再生波形を測定した結果である。ノイズが存在しない場合および存在する場合について、それぞれ実験を行った。データレートは 1Gbps である。ノイズの有無によらず低ジッタのクロックが再生されていることがわかる。図 III. 2. 6. 2-29 は Shmoo plot の実測結果である。データレートが 1Gbps のとき 0.7V の低電圧動作でもクロックが再生できることを確認した。また右図の通り、1.2V の電圧においては、2Gbps までクロックを再生できることを確認した。1Gbps@0.7V における消費電力は 3.48mW であった。

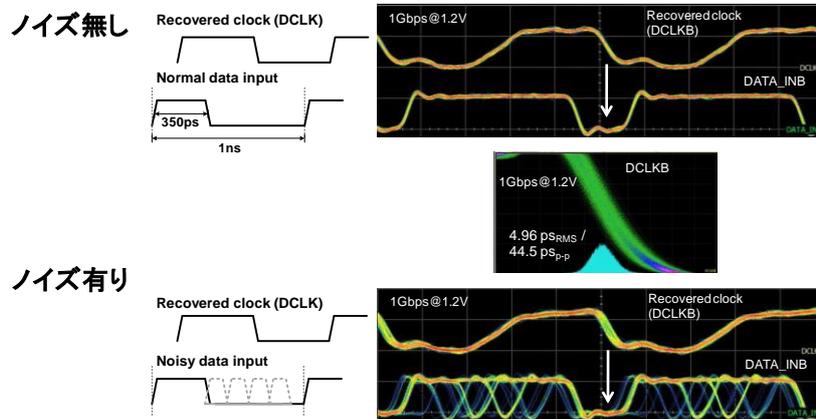


図 III. 2. 6. 2-28 ノイズの有無によるクロック再生回路の動作確認

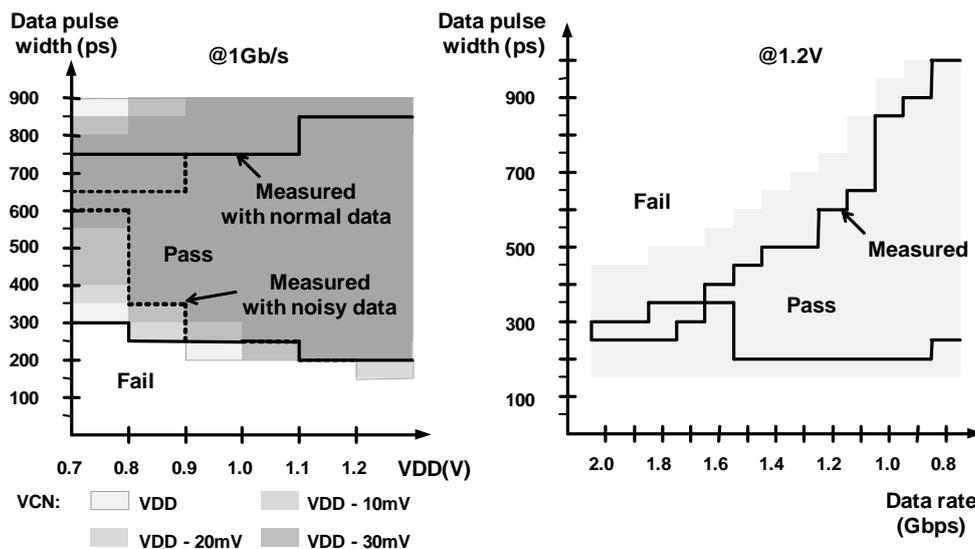


図 III. 2. 6. 2-29 試作 AD-CDR の Shmoo plot

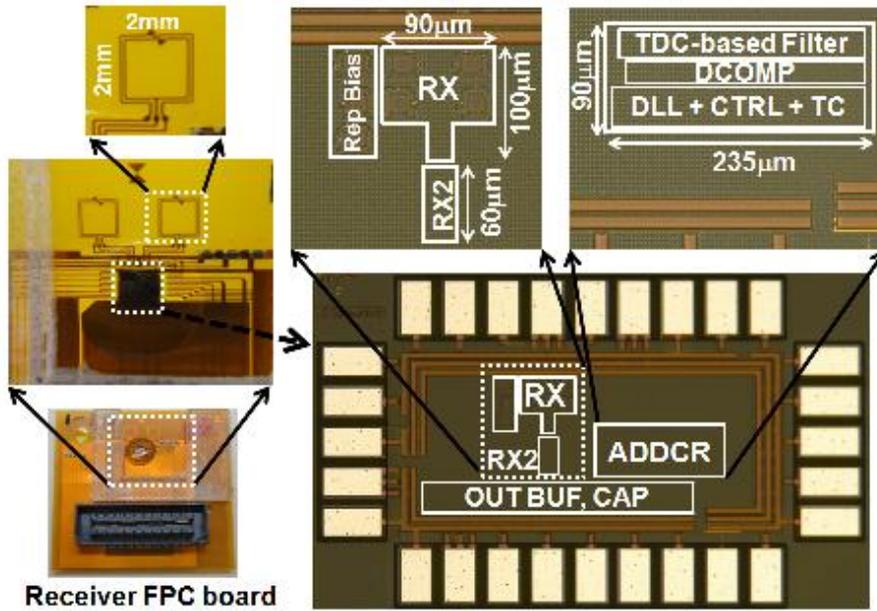
#### 2. 6. 2. 3. 6 送受信機システムの対向通信試験

前節までに開発した技術をベースとして、クロック再生回路を含む送受信機を用いて、対向通信性能を評価した。送信機として 2. 6. 2. 3. 1 節で開発した回路を、受信機として 2. 6. 2. 3. 3 節および 2. 6. 2. 3. 5 節で開発した回路をベースに送受信機システムを構成した。

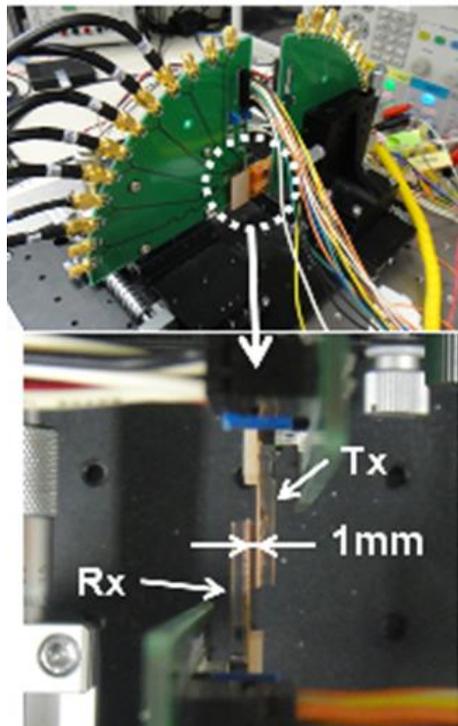
図 III. 2. 6. 2-30 は 65nm-CMOS を用いて設計したテストチップの写真および FPC 基板の写真である。クロック再生回路は、2. 6. 2. 3. 5 節で説明したものをベースとしているが、回路およびレイアウトの改善を行い、また、不要なテスト回路を省くことでサイズは 1/5 程度となっている。送受信コイ

ルは、FPC の配線層を用いて形成しており、サイズは 2mm 角である。

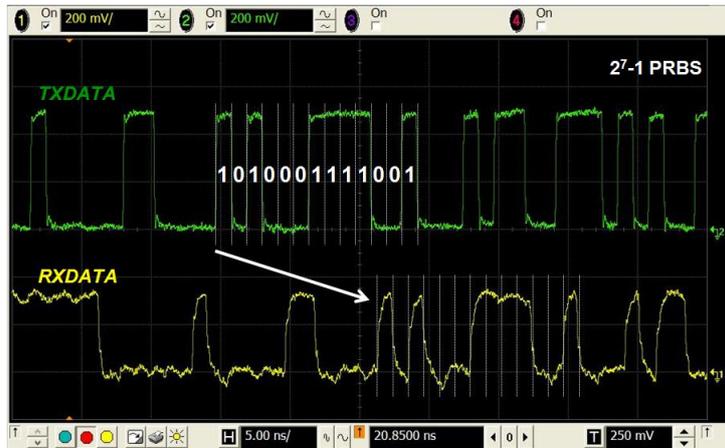
図Ⅲ. 2. 6. 2-31 に対向通信性能評価用の実験セットアップの写真を示す。送受信機モジュールである FPC 基板を、コネクタを介して装着するために PCB 基板を用いた治具を用意し、PCB 基板を光学定盤上に配置した可動ステージに固定している。通信距離および水平方向の合わせずれの影響は可動ステージ上についたマイクロメータを用いて正確に調整することができる。



図Ⅲ. 2. 6. 2-30 対向通信性能評価用に構築した送受信モジュール (左) と AD-CDR を含む送受信チップ写真 (右)



図Ⅲ. 2. 6. 2-31 対向通信性能評価用に構築した実験セットアップ



図Ⅲ. 2. 6. 2-32 クロック再生回路込みの送受信機システム対向通信実験の結果

図Ⅲ. 2. 6. 2-32 に対向通信時の送受信機の波形を示す。送信機および受信機のアンプは 0.6V、クロック再生回路は 0.8V で動作させている。また、通信距離は 1mm である。表Ⅲ. 2. 6. 2-2 に送受信機システムの達成性能を示す。通信速度は 0.9Gbps で消費電力は 5.8mW、エネルギー効率は 6.4pJ/bit であり、目標の 10pJ/bit より少ないエネルギーで動作させることが可能となった。表Ⅲ. 2. 6. 2-3 に対抗技術との比較を示す。有線と無線の違い、あるいは通信距離の違いがあるため、単純な比較はできないが、DDR3 規格用のトランシーバチップ、あるいは TransferJet に比較すると 1 桁から 2 桁程度少ないエネルギーで動作させることができています。

表Ⅲ. 2. 6. 2-2 クロック再生回路込みのワンチップ送受信機システムの達成性能

Process	65nm CMOS				
Blocks	Tx	Rx	Rx2	Rep Bias	ADDCR
Area*	90μm x 40μm	100μm x 90μm	60μm x 20μm	100μm x 40μm	235μm x 90μm
VDD	0.6V	0.6V			0.8V
Power Dissipation	0.9mA (0.54mW)	3.8mA (2.28mW)			3.7mA (2.96mW)
Data Rate	900Mb/s @ 1-mm distance				
Energy / bit	6.42pJ/b/Ch				

\*Total area is 0.039mm<sup>2</sup>.

表Ⅲ. 2. 6. 2-3 性能比較

発表学会	[1]	[2]	This work
テクノロジー(nm)	40	90	65
データレート(Gbps/ch.)	1.6	0.52	0.9
方式	有線 DDR3	無線 TransferJet	無線
通信距離(mm)	-	30	1
消費電力(mW/ch.)	57	331	5.8
エネルギー効率(pJ/bit)	35.7	636	6.4

[1] JSSC vol.47, No4, pp.911-925, 2012 (ASEモードでは5pJ/bit)

[2] ISSCC pp.440-441, Feb. 2012

#### 2. 6. 2. 4 開発成果まとめ

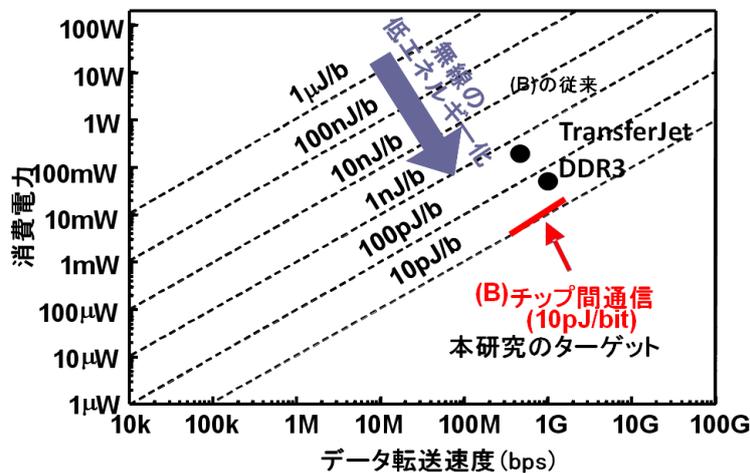
##### (1) 課題と開発内容要約

本研究テーマでは、回路構成がシンプルで並列化に適した、サイズがミリメートル程度の微小コイルを用いたパルス方式磁界結合を基本方式とした。エネルギー効率 10pJ/bit という目標を達成する上での課題は、極低電圧で動作するパルス送信機および受信アンプの実現、クロック再生回路の開発、外乱ノイズに対する耐性の確保であった。これらの課題を克服するため、局所的パルス昇圧方式を用いた極低電圧パルス送信機、パルス幅自動制御回路、極低電圧受信アンプ、間欠動作受信機システム、ノイズ除去機能付き完全デジタルクロック再生回路を研究開発し、最終的にクロック再生回路を含む送受信機をワンチップに集積して対向通信性能を評価した。また、チャンネル並列化の際に、チャンネル密度を上げるとチャンネル間クロストークが通信品質に与える影響を可能性がある。チャンネル高密度化の課題として、クロストークを一種のノイズと見なし、クロック再生回路のノイズ除去機能に組み込むことを試みた。

##### (2) 開発成果とベンチマーク要約

パルス昇圧回路を用いた送信機に関しては 0.5V で 1.1Gbps、1mW 動作が得られ、世界的に先駆けて優れた成果が出ている。パルス幅自動制御回路に関しては、アレイ型多相リング発振器を用いて電源電圧が±10%変動したバラついた場合でもパルス幅の変動を5%以内に抑えることが可能となった。当手法により、従来手法における±50%程度のバラツキを1/10に削減できた。極低電圧受信アンプでは、周波数特性を持たせたゲインブースト型ゲート接地アンプを構成することで、寄生容量に強く、不要周波数帯域のノイズを除去できるようなアンプを実現して、0.5V で 0.34mW の低消費電力動作を実証した。また、低速データ通信において、良好なエネルギー効率を維持するために間欠動作を行う受信機システムを考案してテストチップにより67%消費電力を削減できることを確認した。ノイズ除去機能付き完全デジタルクロック再生回路に関しては、TDCベースの高速サンプリング回路でデジタル変換した信号をもとに構成して、並列チャンネルからのクロストークを含むノイズ存在時にもクロック再生が可能な回路を実現した。ノイズ除去機能が無ければチャンネルピッチが

インダクタサイズの2倍以上は必要であったが、ノイズ除去機能の搭載によりチャンネルピッチをインダクタサイズと同程度まで狭めることが可能となる。最後にクロック再生回路を含む送受信機の対向通信の評価システムを構築して、目標性能である 10pJ/bit をクリアし、さらに 36%良いエネルギー効率である 6.4pJ/bit (1チャンネルで 5.8mW/0.9Gbps)を達成した。これは、表Ⅲ.2.6.2-3のベンチマークで示したように、有線のDDR3規格の従来例に対して1/5程度、近接場通信を用いたTransferJetに対して1/100のエネルギー効率である。



図Ⅲ.2.6.2-33 ベンチマーク

### (3) 目標達成度と開発成果の意義

極低電圧送信機、受信アンプ、完全デジタルクロック再生回路で開発した技術を活用し、送受信機チップ試作を通じての実証などにより、10pJ/bit という目標を100%達成し、さらに目標値に対して34%エネルギー効率を改善した6.4pJ/bitを達成した。本テーマで開発した高速非接触I/Fは、ポータブル機器間の無線データ伝送を可能とし、また、他にもPackage-on-Packageによる小型、大容量メモリモジュール実現の道を切り開く潜在能力を有し、新たな技術領域を開拓することが期待される。

また、上記成果以外にも、パルス幅の自動制御システムの開発成果はPVTバラツキの影響を1/10以下に削減することを可能とし、実用化に際して歩留まり向上、動作時の環境変動に対する耐性をもたせるという重要な意義を持っている。さらに、受信機の間欠動作は低速データ通信時においてもエネルギー効率を維持できるもので、適用可能なアプリケーションの幅を広げることができる。

ノイズ除去機能付きの完全デジタルクロック再生回路は単に外乱ノイズを除去するだけでなく、チャンネル並列化においてクロストーク耐性を向上させることができる。結果として2次元アレイ状にチャンネルを配置する場合、チャンネルピッチを1/2に狭めることができ、チャンネル密度を4倍に増大させることができる。これもPoP等の高密度実装が要求される用途への適用可能性を拡げる成果である。

## 2. 6. 3 センサネット等のユビキタスネットワーク向けの低電力無線

### 2.6.3.1 目標

センサネット等のユビキタスネットワーク向けに 50pJ/bit (1Mbps で 50・W 以下) 以下の低電力無線技術を開発する。

### 2.6.3.2 課題と開発方針

近年、無線センサノードの実現が期待されている。我々の身の回りに配置された小型かつ多数個の無線センサノードが、人間生活の安心・安全・快適・健康に貢献するアンビエント・インテリジェンスの世界を実現することが期待されている。しかし、無線センサノードの実現へのハードルは依然として高い。無線センサノードは、超多数個での運用が予想されている。そのため、その消費電力は単体では大きくなくとも、超多数個で運用すると全体では膨大な電力を消費する。そのため、個々の無線センサノードの低消費電力化が重要である。

無線センサノードの消費電力は、主に無線トランシーバの消費電力で決定される。消費電力を減らすには電源電圧を下げるのが有効であるが、電源電圧が無線伝送の品質を大きく左右するため、無線トランシーバの低電圧化及び低消費電力化がデジタル回路に比べて難しい。例えば、受信回路においてアンテナと接続されたキャリア周波数の信号を増幅する LNA は、高速で動作するため低電圧化が困難である。受信信号をダウンコンバートした後の IF 周波数の信号処理において低電圧動作を実現する手法としてサンプリング回路を用いたデジタル RF があるが、サンプリング回路はクロック信号で動作するためサンプリング回路の消費電力が増加してしまう問題がある。

送信回路においては、通信距離が短い無線センサノードであれば、送信アンテナからの出力電力を下げることで、送信回路の消費電力を下げる方法が考えられる。しかし、出力電力を下げることで送信回路の効率が下がって消費電力が低減しにくい問題がある。

一方、無線トランシーバにおいて、キャリア周波数を生成する PLL の消費電力は一般的に大きい。

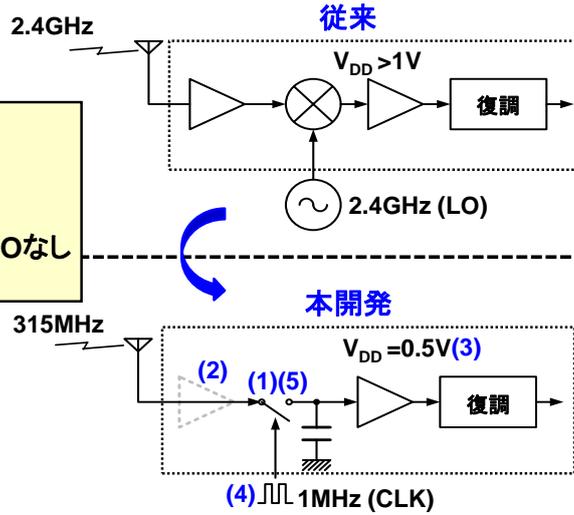
そこで、本開発の無線トランシーバでは低消費電力化を達成するため図 III. 2. 6. 3-1 に示すように、(1)アナログミキサをサンプリングミキサで置換、(2)LNA を使用しないミキサ・ファースト・アーキテクチャの採用、(3) (1) と (2) によって可能となった 0.5V 動作、(4) キャリア周波数生成用の PLL (Local Oscillator: LO) が不要な受信回路アーキテクチャ、(5) 間欠サンプリングの新規提案、という 5 つの低消費電力化手法を用いた。

キャリア周波数としては一般的な 2.4GHz 帯の代わりに本開発では ARIB STD-T93 (特定小電力無線局) の 315MHz を用いた。315MHz を用いた理由は 3 点ある。第 1 の理由は、低電圧 (例えば、0.5V) で動作する回路は低速であるため、2.4GHz の信号を扱えないが 315MHz であれば扱えるからである。第 2 の理由は、大気中の電波伝搬損失はキャリア周波数の 2 乗に比例するので、低周波のキャリア周波数を用いるほど電波伝搬損失が小さいので、送信電力を下げ受信感度を悪くできるため、トランシーバが低電力化できるからである。第 3 の理由は、キャリア周波数が低いほど電波の直進性が少なく、電波が回り込むので Body Area Network (BAN) のように障害物のある環境での通信に適しているからである。

一方、送信回路では出力電力が -20dBm と超低出力な場合でも、高効率な無線送信を可能にするデュアル電源電圧方式を提案した。

RF: Radio Frequency  
LNA: Low Noise Amplifier  
LO: Local Oscillator

低電力化のアプローチ  
(1) デジタルRF  
(2) LNAなし  
(3) 低電圧 (0.5V)  
(4) キャリア生成用のLOなし  
(5) 間欠動作



図Ⅲ. 2. 6. 3-1 本開発で使用了した低消費電力化手法

本章で示した課題と、2. 6. 3. 3 章で示す開発項目との対応表を表Ⅲ. 2. 6. 3-1 に示す。

表Ⅲ. 2. 6. 3-1 センサネット向け低電力無線の課題と開発項目の対応表

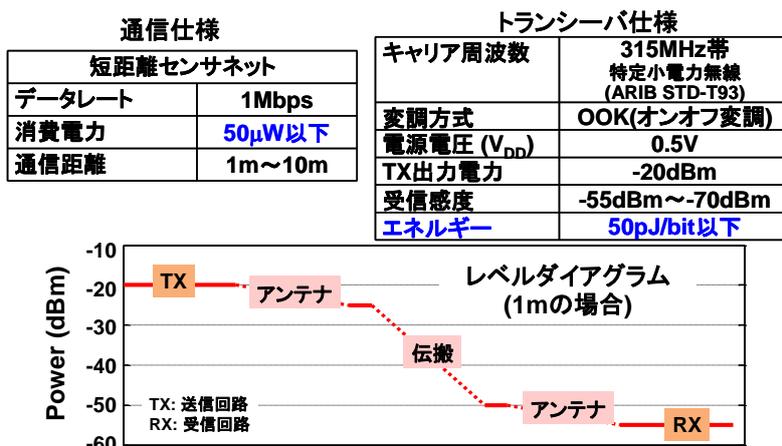
課題 \ 開発項目	2. 6. 3. 3 受信回路	2. 6. 3. 3 送信回路
(1) 低電源電圧で動作しない	✓ デジタル RF LNA なし	
(2) PLL (LO) の消費電力が大	✓ LO 不要の受信	
(3) サンプリグ回路の消費電力が大	✓ 間欠動作	
(4) -20dBm 出力の場合、送信機効率が低下する		✓ デュアル電源電圧

### 2. 6. 3. 3 開発成果詳細

#### (1) 無線トランシーバの仕様設計

本開発では無線センサーネットワークの中でも医療・ヘルスケア向けボディエリアネットワークを念頭に通信距離 1m で低消費電力な無線通信を行うことを目標としている。315MHz の電波が 1m 伝搬した時の伝搬減衰は 25dB であり、送受信のアンテナのゲインを -5dBi とすると、送信回路の出力電力と受信回路の最低受信感度の差は 35dB 以上となる必要がある。本開発では送受信双方での

消費電力を最小化するため、送信回路の出力電力及び受信回路の最低受信感度の設計目標をそれぞれ-20dBm 及び-55dBm とした。本開発における無線トランシーバの目標仕様を図Ⅲ. 2. 6. 3-2 に示す。



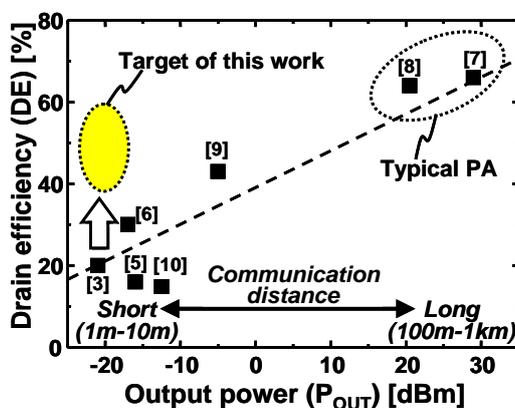
図Ⅲ. 2. 6. 3-2 無線トランシーバの目標仕様

## (2) 回路設計

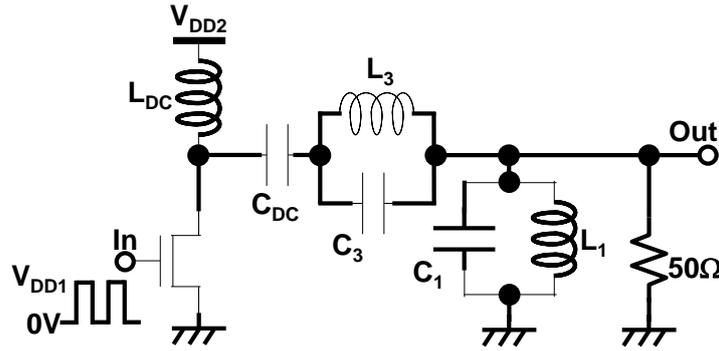
### (2-1) 送信回路の設計

出力電力が-20dBm のとき、20%以上の送信効率を実現しうる送信機を開発した（この内容は ESS CIRC2012[4]で発表）。図Ⅲ. 2. 6. 3-3 にこれまでに報告されているパワーアンプ[3、 5-10]の出力電力とそのドレイン効率(DE: Drain efficiency)の関係を示す。図Ⅲ. 2. 6. 3-3 に示されているように、パワーアンプは出力電力が小さくなるとともに、ドレイン効率が悪化し、高効率な無線送信が難しい。

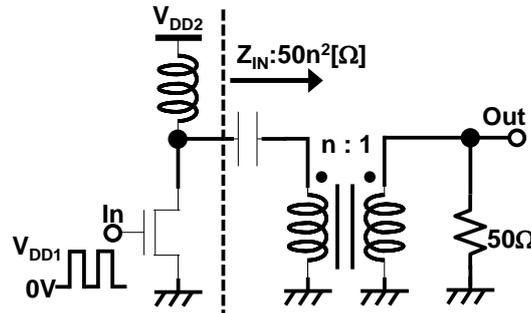
図Ⅲ. 2. 6. 3-4 に本開発で採用した F 級パワーアンプの回路図を示す。F 級パワーアンプでは負荷と並列に挿入された並列共振器が基本波の周波数  $f_0$  で共振し、トランジスタと終端抵抗の間に直列に挿入された並列共振器が  $3f_0$  で共振することによって、負荷回路の終端抵抗が 3 次高調波において高くなるようになっている。そのため、トランジスタにかかる電圧波形が正弦波より急峻になりトランジスタによる損失を小さくすることができる。この直列に挿入された並列共振器は  $(3f_0, 5f_0, 7f_0, \dots, (2m+1)f_0)$  というように数を増やしていくと、トランジスタにかかる電圧波形がより矩形波に近づいていく。このとき、トランジスタにかかる電圧及び電流は、どちらか一方が 0 となる。そのため、トランジスタがオンになっている場合でもトランジスタによる損失は 0 となり、理論上の最大効率は 100%となる。



図Ⅲ. 2. 6. 3-3 パワーアンプの出力電力とドレイン効率の関係



図Ⅲ. 2. 6. 3-4 F級パワーアンプの回路図

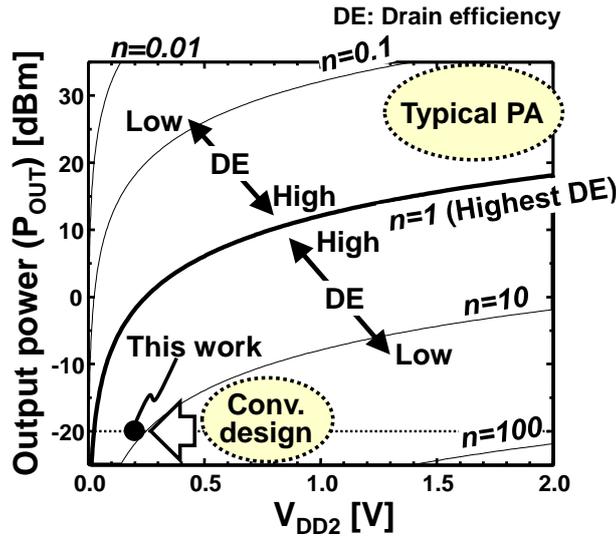


図Ⅲ. 2. 6. 3-5 F級パワーアンプにおけるインピーダンス変換の概念図

F級パワーアンプは前述のように共振器を付加することによって送信効率の改善を行なっているが、この共振器はインピーダンス変換の役割も果たしている。図Ⅲ. 2. 6. 3-5 に共振器をトランスで置き換えたインピーダンス変換の概念図を示す。F級パワーアンプの出力電力は、このインピーダンス変換比  $n$  及び電源電圧  $V_{DD2}$  を用いて次のように書ける[11]。

$$P_{OUT} = \frac{\left(\frac{4}{\pi} \times V_{DD2}\right)^2}{2n^2 \times 50(\Omega)} \propto \left(\frac{V_{DD2}}{n}\right)^2 \quad (1)$$

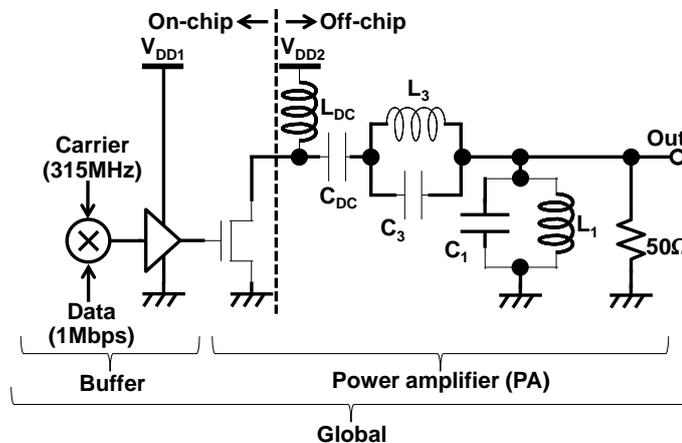
図Ⅲ. 2. 6. 3-6 にインピーダンス変換比  $n$  及び  $V_{DD2}$  を変化させて式1を用いて計算した  $P_{OUT}$  を示す。図Ⅲ. 2. 6. 3-6 において  $n=1$  のとき、インピーダンス変換は必要なく、インピーダンス変換部での損失が0となるため、ドレイン効率は最大になる。携帯電話やWLANのような出力電力の大きな従来のパワーアンプ ( $P_{OUT}=20\sim30\text{dBm}$ ) の設計では、このインピーダンス変換比  $n$  はおよそ  $1\sim0.1$  である。しかしながら、本開発でターゲットとする超低出力 ( $P_{OUT}=-20\text{dBm}$ ) なパワーアンプを従来の電源電圧  $V_{DD2}=0.5\sim1\text{V}$  [3, 5-6] で設計するとそのインピーダンス変換比  $n$  は  $20\sim30$  となってしまう。そのため、インピーダンス変換部での損失が増加し、送信効率が悪化してしまうという問題があった。本開発では、このインピーダンス変換部での損失に注目し、インピーダンス変換部での損失を最小化するようにバッファ及びパワーアンプの電源電圧をそれぞれ最適化した。



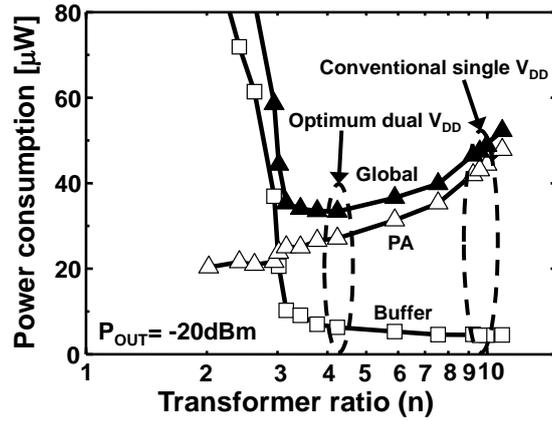
図Ⅲ. 2. 6. 3-6 出力電力のインピーダンス変換比と  $V_{DD2}$  による変化

以下では、このインピーダンス変換での損失及びバッファでの消費電力を最小化するための手法について述べる。図Ⅲ. 2. 6. 3-7 に本開発で実装した F 級パワーアンプ及びバッファ、ミキサの構成を示す。この送信機は 1Mbps の OOK (On-Off-Keying) で変調された 314MHz の搬送波を  $P_{OUT} = -20$  dBm で送信する。図Ⅲ. 2. 6. 3-7 で示した送信機は、主にバッファ及びパワーアンプで電力を消費する。従来の高出力なパワーアンプ ( $P_{OUT} = 20$  dBm ~ 30 dBm) では、バッファの消費電力 ( $P_{BUFFER}$ ) に比べてパワーアンプの消費電力 ( $P_{PA}$ ) が非常に大きかったため、パワーアンプのみの消費電力を考慮すればよかったが、本開発で対象とする超低出力 ( $P_{OUT} = -20$  dBm) では送信機全体の消費電力 ( $P_{TOTAL}$ ) に占めるバッファの消費電力の割合が大出力の場合と比べて大きいので、バッファの消費電力も考慮した総合効率 (GE: Global efficiency) を最大にするような回路設計が必要である。

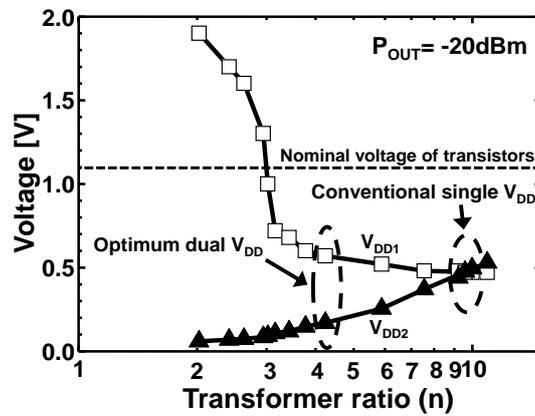
上で述べたように本開発で目標とする超低出力 ( $P_{OUT} = -20$  dBm) なパワーアンプでは、インピーダンス変換比が非常に大きく、パワーアンプの効率を高めるには、そのインピーダンス変換比を小さくする必要がある。このインピーダンス変換比を変えるには図Ⅲ. 2. 6. 3-7 に示した回路の  $L_1$ 、 $L_3$ 、 $C_1$ 、 $C_3$  を固定したまま  $L_{DC}$  及び  $C_{DC}$  をそれぞれ変える必要がある。



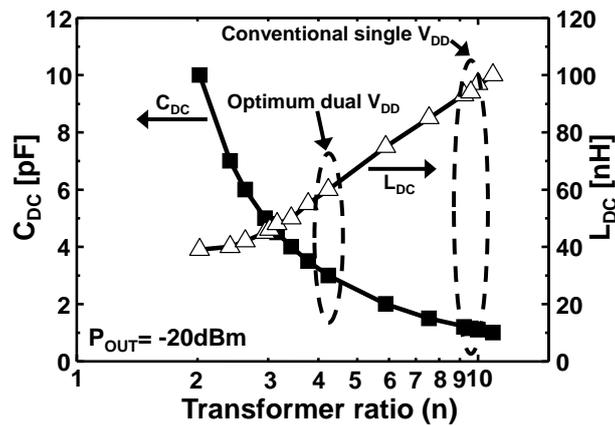
図Ⅲ. 2. 6. 3-7 F 級パワーアンプを用いた低出力送信機の回路図



(a)



(b)



(c)

図Ⅲ. 2. 6. 3-8 変換比  $n$  を変化させたときの各種シミュレーション結果 ; (a)消費電力 ( $P_{TOTAL}$ 、 $P_{BUFFER}$ 、 $P_{PA}$ )、(b)最適電源電圧 ( $V_{DD1}$  及び  $V_{DD2}$ )、(c)  $L_{DC}$  及び  $C_D$

図Ⅲ. 2. 6. 3-8(a)、(b)、(c)に  $L_{DC}$  及び  $C_{DC}$  をそれぞれ変化させて変換比  $n$  を変化させたときの消費電力 ( $P_{TOTAL}$ 、 $P_{BUFFER}$ 、 $P_{PA}$ )、電源電圧 ( $V_{DD1}$  及び  $V_{DD2}$ )、 $L_{DC}$  及び  $C_{DC}$  のシミュレーション結果をそれぞれ

示す。図Ⅲ.2.6.3-8(a)はインピーダンス変換比  $n$  が減少していくとともにパワーアンプの消費電力が下がっていき、全体の消費電力も減っていくことを示している。しかし、この消費電力の減少は  $n=4.2$  で底を打ち、これ以上インピーダンス変換比  $n$  を小さくしても全体の消費電力は減少しない。これは、 $P_{OUT}=-20\text{dBm}$  を維持するには、インピーダンス変換比  $n$  の減少とともに  $V_{DD1}$  を上げ、 $V_{DD2}$  を下げる必要があることに起因している。インピーダンス変換比  $n$  が減少するとパワーアンプの消費電力はインピーダンス変換部での損失が減るため  $n=1$  の点まで減少を続ける。しかし、インピーダンス変換比  $n$  の減少とともに  $V_{DD1}$  は上昇するため、バッファの消費電力が増加することになる。送信機の消費電力はバッファとパワーアンプでの消費電力によって決定されるため、最終的な送信機の効率を高めるためにはバッファ及びパワーアンプの消費電力の総和が最小になる  $n=4.2$  の点で動作させる必要がある。

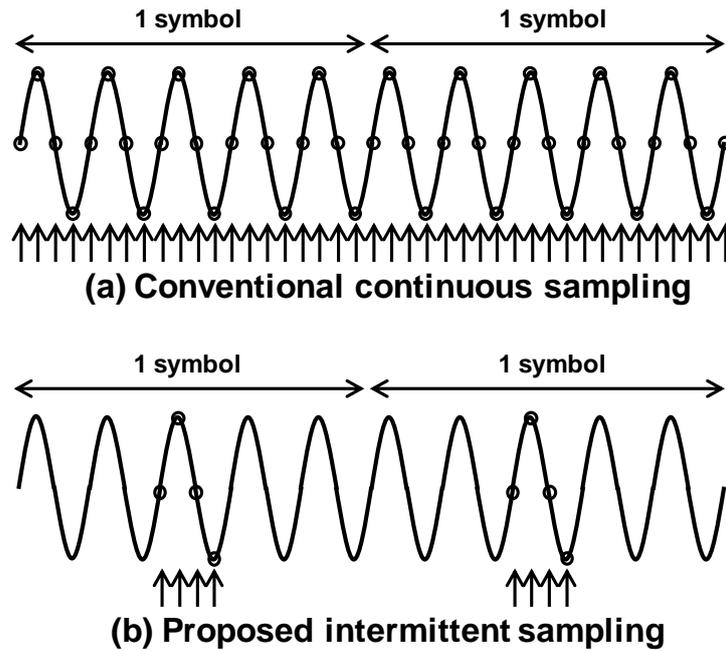
本開発では、このインピーダンス変換比  $n$  を最適化するための最適  $V_{DD}$  制御をデュアル電源電圧方式と呼び、従来の単電源電圧方式 ( $V_{DD1}=V_{DD2}$ ) と区別して評価を行う。

## (2-2) 受信回路の設計

本節では受信回路について説明する（この内容は VLSI 回路シンポジウム 2012[3]で発表）。図Ⅲ.2.6.3-9に(a)連続サンプリング及び本開発で提案する(b)間欠サンプリングの概略を示す。連続サンプリング方式では、常に受信される搬送波をサンプリングしており、サンプリングには搬送波の4倍の周波数 ( $4 \times 315\text{MHz}$ ) の高周波クロックが必要である。しかし、OOK 変調方式では、1シンボルごとに搬送波の有無が観測されるため、1シンボルの信号を全てサンプリングする必要はなく、1度判定が出来てしまえば、残りの時間は無駄な電力を消費していることになる。そこで、本開発で提案する間欠サンプリングでは、無駄な消費電力を削減するために、1シンボル内で、信号を全てサンプリングするのではなく、1度だけサンプリングを行なっている。その結果、高周波クロックが不要になるだけでなく、後段のアンプの動作周波数も下げることができ、無線受信回路の低電圧化と低消費電力化が可能となる。

しかし、この様にサンプリング点数を大幅に削減すると、エリアジング効果により、広帯域な白色性の熱雑音が折り返され、所望帯域中の雑音電力が増加し、雑音指数 (NF) が悪化する。参考文献 [2] の NF は 6.5dB である。一方、1Mbps、315MHz、OOK 変調波を 1シンボルに 1回の割合で間欠サンプリングした場合の NF は、エリアジング効果により 27dB まで悪化する。

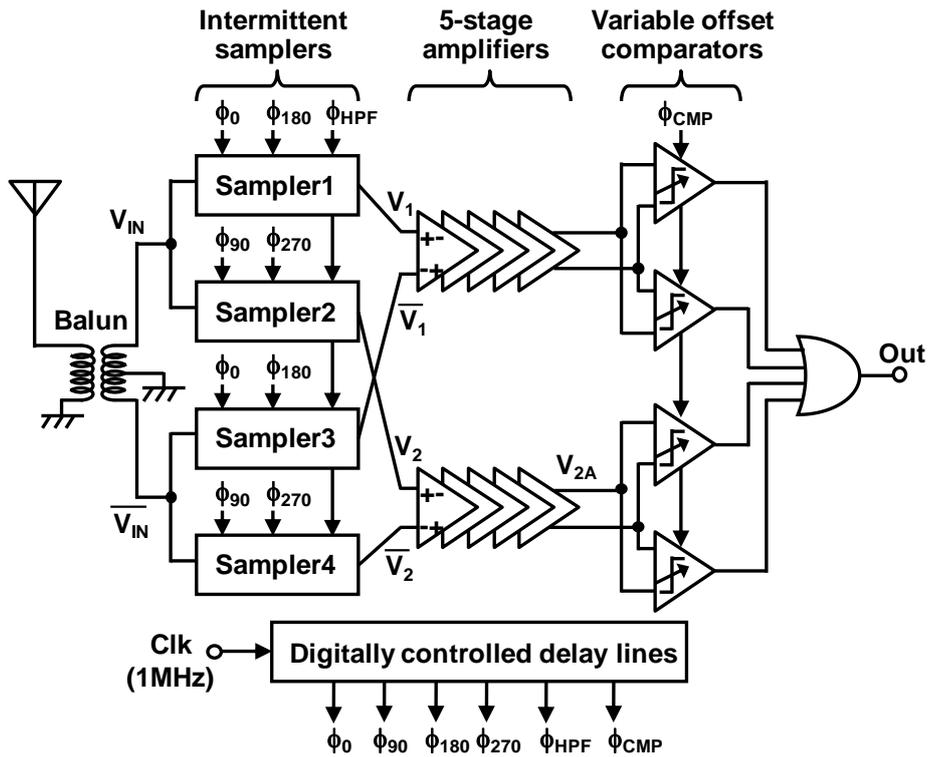
本開発の無線通信のターゲット仕様を、通信距離 1m とした。そのため、最低受信感度は  $-55\text{dBm}$  となり、1MHz 当たりの熱雑音電力  $-114\text{dBm}$  に比べて 60dB 以上のマージンがある。そこで、雑音よりもエネルギー効率を重視し、間欠サンプリング方式を採用した。2.6.3.2 節で述べたように、サンプリング回路はアンプに代表される従来のアナログ回路よりも低電圧動作に向いている。そこで開発ではサンプリング回路の低電圧動作と間欠動作の二重の効果によってサンプリング回路の低電力化を行った。



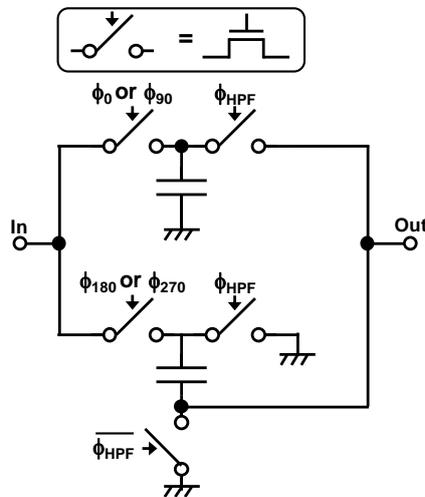
図Ⅲ. 2. 6. 3-9 連続サンプリング(a)と間欠サンプリング(b)の比較

図Ⅲ. 2. 6. 3-10 及び図Ⅲ. 2. 6. 3-11 にそれぞれ無線受信回路の構成及び間欠サンプリングミキサを示す。図Ⅲ. 2. 6. 3-9 で示す間欠サンプリングでは理想的には1シンボル中に1回だけサンプリングを行えばよい。しかし、1シンボルに1回1位相サンプリングだけの場合は、たまたま搬送波の位相 $0^\circ$ でサンプリングすると、“1”を受信しているにもかかわらず、サンプリング値がゼロとなり、“0”と復調してしまい、誤りとなる。この問題を回避する為に、提案する間欠サンプリング方式では、1シンボルに1回、図Ⅲ. 2. 6. 3-9(b)の様にサンプリング間隔( $\Delta T$ )が $T/4$ である4相をサンプリングしている。これにより、“1”を受信した場合には、4相中の1個以上のサンプリング値は必ず有意な値となるので、正しく復調する。そのサンプリングクロック及び減算クロック( $\phi_0$ 、 $\phi_{90}$ 、 $\phi_{180}$ 、 $\phi_{270}$ 及び $\phi_{HPF}$ )はデジタル制御されたディレイラインによって生成されており、搬送波と同じ周波数のクロック(315MHz)は必要としない。

図Ⅲ. 2. 6. 3-11 に示した回路で、サンプリングミキサとハイパスフィルタを実装している。まず、 $\phi_{HPF}$ のLow期間で、受信波を、 $\phi_0$ ( $\phi_{90}$ )、 $\phi_{180}$ ( $\phi_{270}$ )の立下りタイミングでサンプリングする。次に、 $\phi_{HPF}$ の立ち上がりで、2つのキャパシタの向きを変えて接続することで、2つのサンプリング値の減算処理を行う。この減算処理がハイパスフィルタと見なせ、315MHz搬送波を通過させ、DC付近のノイズを除去することが可能となり、3dBの受信感度の向上が可能となる。

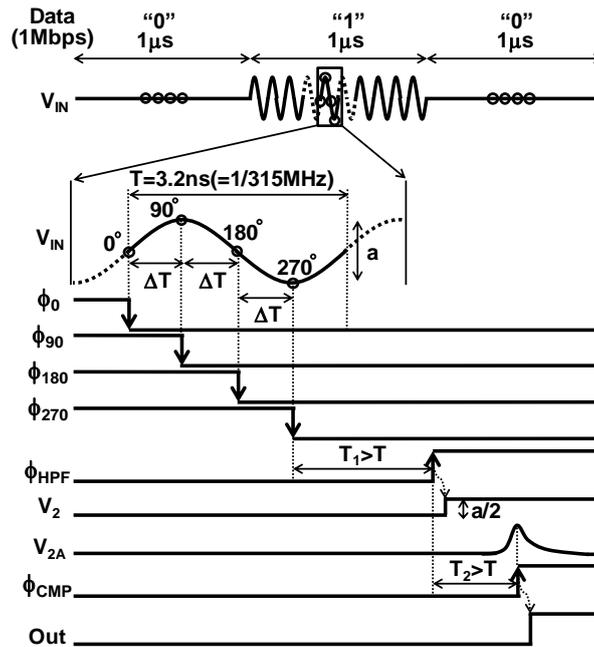


図Ⅲ. 2. 6. 3-10 間欠サンプリングを用いた無線受信回路



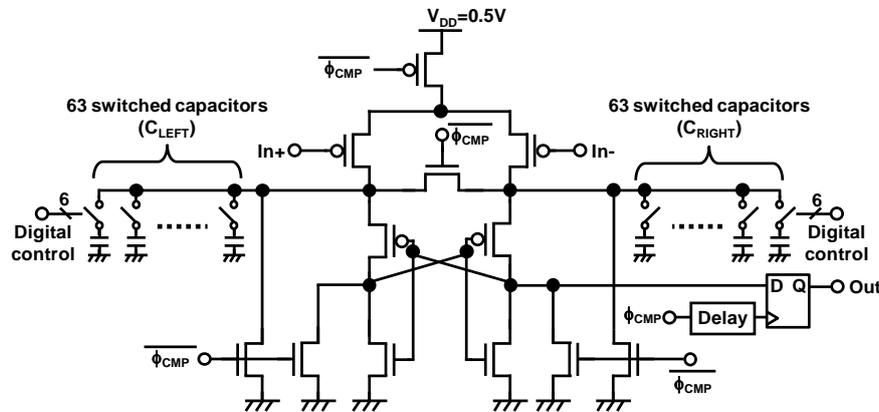
図Ⅲ. 2. 6. 3-11 サンプリングミキサ

図Ⅲ. 2. 6. 3-12 に図Ⅲ. 2. 6. 3-10 に示した無線受信回路のタイミングチャートを示す。受信データが“1”の場合、受信信号 ( $V_{IN}$ ) はサンプリングミキサで  $\phi_0$ 、 $\phi_{90}$ 、 $\phi_{180}$ 、 $\phi_{270}$  のタイミングでサンプリングされ、 $\phi_{HPF}$  のタイミングで減算される。その減算結果 ( $V_1$ 、 $V_2$ ) は5段のIFアンプに送られ、増幅される。本無線受信回路で用いているオフセットキャンセルIFアンプはDC成分を通さないため、IFアンプの出力波形 ( $V_{2A}$ ) は過渡応答を示すが、IFアンプの出力波形が最大点となるタイミングでコンパレータクロック ( $\phi_{CMP}$ ) によってコンパレータがデータの復調を行い、データの受信が完了する。



図Ⅲ. 2. 6. 3-12 タイミングチャート

図Ⅲ. 2. 6. 3-13 に本受信回路で用いたコンパレータの回路図を示す[12]。このコンパレータは、左右のキャパシタの容量比によって左右のキャパシタの充放電時間が変わることを利用して閾値の調整が可能である。IF アンプのバラつきに起因するゲインの変化などには、この閾値を調整することで対応が可能である。



図Ⅲ. 2. 6. 3-13 閾値可変サンプリングコンパレータ

### (3) 測定結果

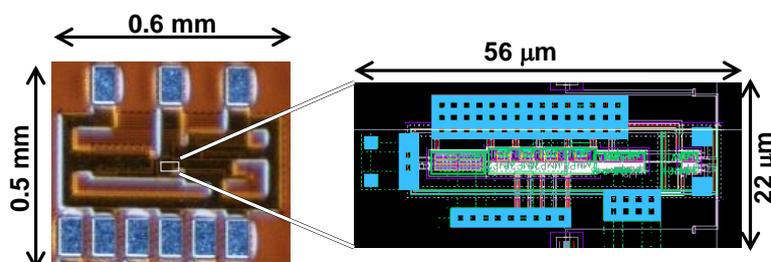
#### (3-1) 送信回路の測定結果

提案したデュアル電源電圧方式の従来の単電源方式に対する優位性を比較するために、表Ⅲ. 2. 6. 3-2 のようなパラメータで 40nm CMOS を用いて無線送信機を実装した。このとき  $C_1$ 、 $C_3$ 、 $L_1$ 、 $L_3$  はそれぞれ 11pF、12pF、22nH、2.7nH であり、単電圧方式とデュアル電源電圧でそれぞれ  $C_{DC}$ 、 $L_{DC}$ 、 $V_{DD1}$ 、 $V_{DD2}$  を変化させて測定を行った。

図Ⅲ. 2. 6. 3-14 に本開発で実装した送信機のチップ写真を示す。 $C_1$ 、 $C_3$ 、 $L_1$ 、 $L_3$ 、 $C_{DC}$ 、 $L_{DC}$  はそれぞれチップ素子を用いてプリント基板上に実装した。

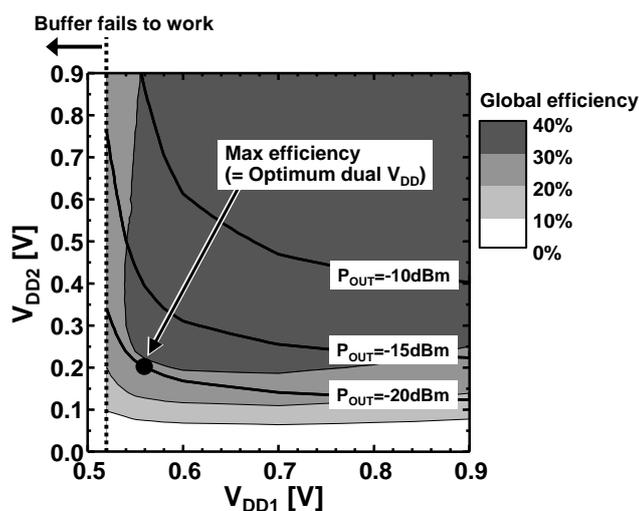
表Ⅲ. 2. 6. 3-2 単電源方式及びデュアル電源電圧で用いた設計パラメータ

	Conventional single $V_{DD}$	Proposed dual $V_{DD}$
$V_{DD1}$ [V]	0.47	0.56
$V_{DD2}$ [V]	0.47	0.2
$C_{DC}$ [pF]	1	3
$L_{DC}$ [nH]	100	60

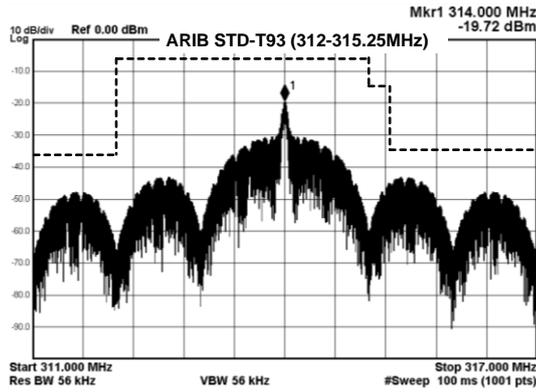


図Ⅲ. 2. 6. 3-14 チップ写真及びレイアウト

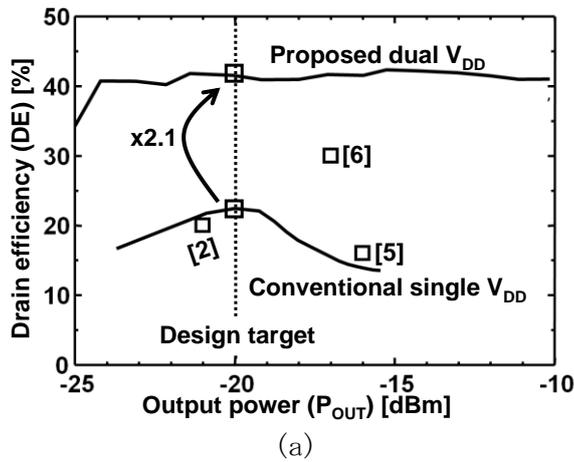
図Ⅲ. 2. 6. 3-15 に本開発で提案したデュアル電源電圧方式による送信効率の変化を示す。図Ⅲ. 2. 6. 3-15 では  $V_{DD1}$  及び  $V_{DD2}$  を変化させており、 $P_{OUT}=-20\text{dBm}$  では、 $V_{DD1}=0.56\text{V}$ 、 $V_{DD2}=0.2\text{V}$  の条件で送信効率が最大になることが確認できた。図Ⅲ. 2. 6. 3-16 にそれぞれ 1Mbps の OOK 変調信号を入力したときの送信スペクトルの実測結果を示す。図Ⅲ. 2. 6. 3-16 から  $P_{OUT}=-20\text{dBm}$  かつ ARIB STD-T93(特定小電力無線局)のスペクトラムマスクを満たしていることが確認できる。図Ⅲ. 2. 6. 3-17 (a) 及び (b) に単電圧方式及びデュアル電源電圧方式、先行研究の出力電力 ( $P_{OUT}$ ) とドレイン効率 (DE) 及び総合効率 (GE) の関係を示す。単電圧方式では  $V_{DD1}=V_{DD2}$  で電源電圧を変化させることによって出力電力を変化させているのに対し、デュアル電源電圧方式では  $V_{DD1}$  及び  $V_{DD2}$  にそれぞれ独立な電源電圧を使用している。 $P_{OUT}=-20\text{dBm}$  の点で比較を行うとデュアル電源電圧方式は単電源電圧方式と比較してドレイン効率が 2.1 倍、総合効率が 1.5 倍となった。



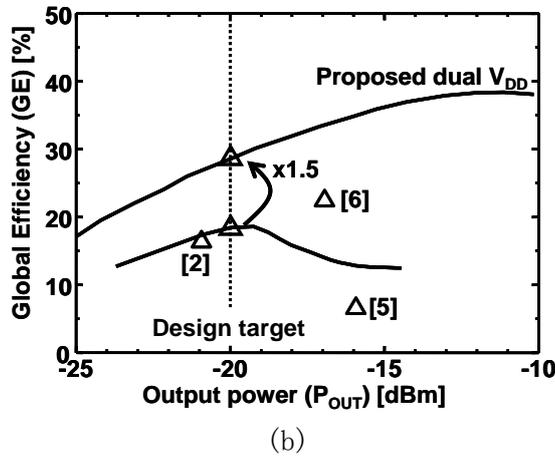
図Ⅲ. 2. 6. 3-15 総合効率 (GE) の  $V_{DD1}$  及び  $V_{DD2}$  による変化



図Ⅲ. 2. 6. 3-16 出力電力の周波数スペクトル



(a)



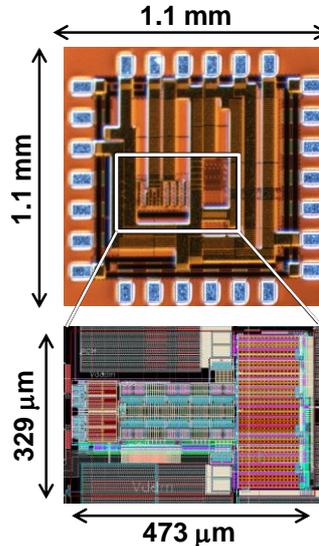
(b)

図Ⅲ. 2. 6. 3-17 (a) ドレイン効率と(b)総合効率の先行研究との比較

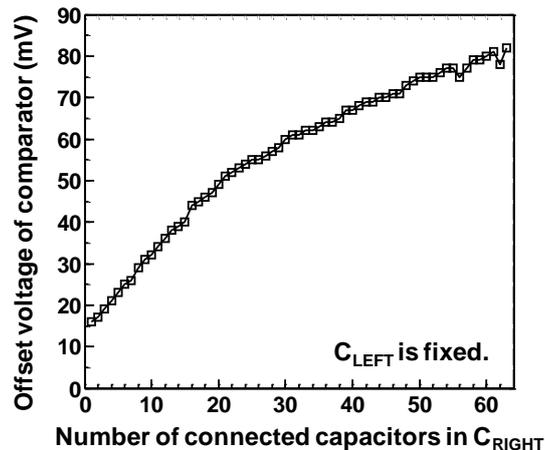
本開発ではデュアル電源電圧方式の優位性について述べた。しかし、本方式では従来例の単電源電圧方式と比較して2つの異電圧が必要であり、その2つの電圧を作り出すDC-DCコンバータの消費電力を考慮しなければならないという問題がある。もし、DC-DCコンバータの変換効率が66%以下であるなら、本方式を使用するメリットはなくなってしまう。しかし、入力電圧が0.45Vで出力電力が2・W～50・Wの範囲で変換効率が90%以上のBuckコンバータが我々の電源回路開発チームからすでに報告されており（本事業原簿の2.4.3.1.3節を参照）[13]、本開発で報告したデュアル電源電圧方式はDC-DCコンバータの変換効率を考慮しても有効であることを確認した。

### (3-2) 受信回路の測定結果

図Ⅲ. 2. 6. 3-18 に受信回路を 40-nm CMOS で実装したときのチップ写真及びレイアウトを示す。図Ⅲ. 2. 6. 3-19 に閾値可変サンプリングコンパレータの実測結果を示す。64 個のキャパシタを切り替えることで、閾値が 15mV~80mV の範囲で変化していることが確認できた。



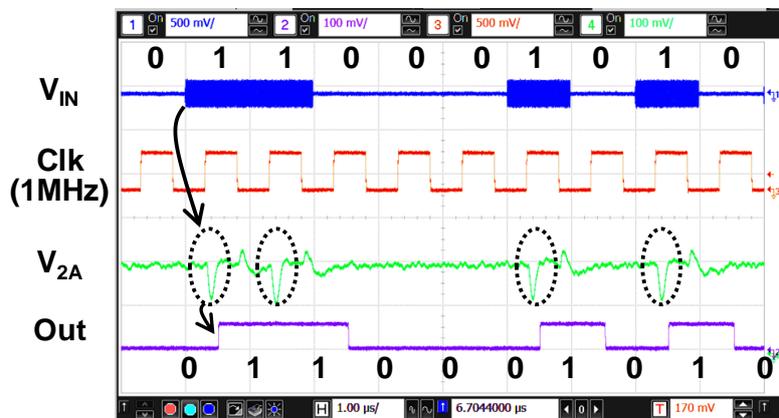
図Ⅲ. 2. 6. 3-18 受信回路のチップ写真とレイアウト



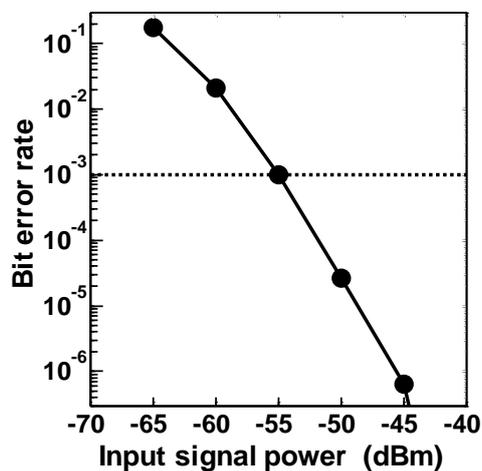
図Ⅲ. 2. 6. 3-19 閾値可変サンプリングコンパレータの実測結果

図Ⅲ. 2. 6. 3-20 に、図Ⅲ. 2. 6. 3-10 で示した RX 各部で測定されたオシロスコープ波形を示す。1 番上の波形は 1Mbps の PRBS データで 00K 変調された送信波である。これを受信し、2 番目の 1MHz クロックからディレイラインが生成した  $\phi_0$ 、 $\phi_{90}$ 、 $\phi_{180}$ 、 $\phi_{270}$  で間欠サンプリングを行う。V<sub>2A</sub> は、間欠サンプリングでキャパシタに保持された電位を 5 段差動アンプで増幅した出力電圧である。受信波の“1”では出力が無く、“0”ではサンプリングした信号が増幅されている。この差動アンプ出力はコンパレータで検出されて、最後の波形の様に“0110…”と、送信波と一致している。提案する間欠サンプリング方式で、受信波を正しく復調している。図Ⅲ. 2. 6. 3-21 に無線トランシーバの BER の測定結果を示す。BER = 10<sup>-3</sup> となる受信機の受信電力を最低受信感度と定義すると、-55 dBm となった。図Ⅲ. 2. 6. 3-22 に無線トランシーバの通信実験の写真を示す。電波暗室にて、開発した送信回路と受信回路に市販の 315MHz 帯のアンテナを接続して通信実験を行った。その結果、

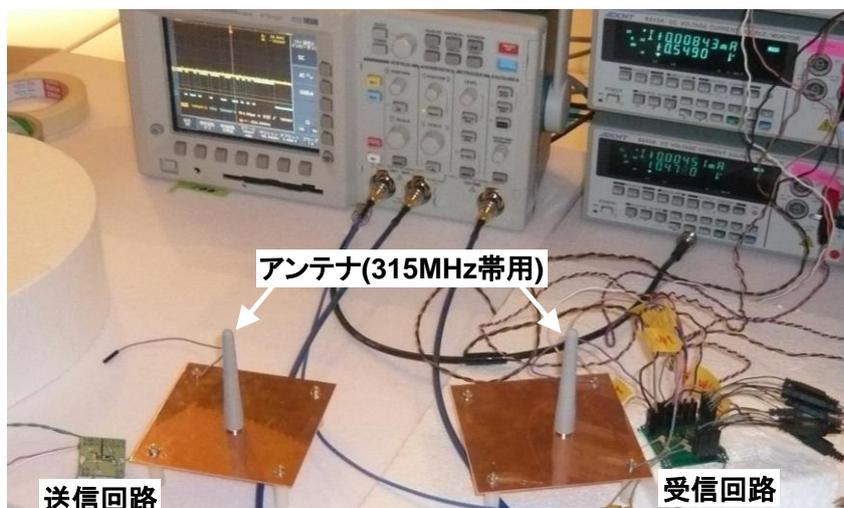
距離 1m での無線通信動作を確認した。表Ⅲ. 2. 6. 3-3 に 0.5V 単電源の送信回路と受信回路の測定結果をまとめて示す。



図Ⅲ. 2. 6. 3-20 受信回路のオシロスコープ波形



図Ⅲ. 2. 6. 3-21 BER の入力電力依存の実測



図Ⅲ. 2. 6. 3-22 無線トランシーバの通信実験の写真

表Ⅲ. 2. 6. 3-3 0.5V 単電源の送信回路と受信回路の測定結果

<b>CMOS</b>		<b>40nm</b>	
<b>Supply voltage</b>		<b>0.5V</b>	
<b>Carrier frequency</b>		<b>315MHz</b>	
<b>Data rate</b>		<b>1Mbps</b>	
<b>Clock frequency</b>	<b>RX</b>	<b>1MHz</b>	
	<b>TX</b>	<b>315MHz</b>	
<b>Modulation</b>		<b>OOK</b>	
<b>RX sensitivity</b>		<b>-55dBm</b>	
<b>TX output power</b>		<b>-21dBm</b>	
<b>Power</b>	<b>RX</b>	<b>Sampler</b>	<b>3<math>\mu</math>W</b>
		<b>Amplifier</b>	<b>30<math>\mu</math>W</b>
		<b>Comparator</b>	<b>2<math>\mu</math>W</b>
		<b>Delay lines</b>	<b>3<math>\mu</math>W</b>
		<b>Total</b>	<b>38<math>\mu</math>W</b>
	<b>TX</b>	<b>Total</b>	<b>52<math>\mu</math>W</b>
<b>Energy</b>	<b>RX</b>	<b>38pJ/bit</b>	
	<b>TX</b>	<b>52pJ/bit</b>	
<b>Core area</b>	<b>RX</b>	<b>156000<math>\mu</math>m<sup>2</sup></b>	
	<b>TX</b>	<b>1230<math>\mu</math>m<sup>2</sup></b>	

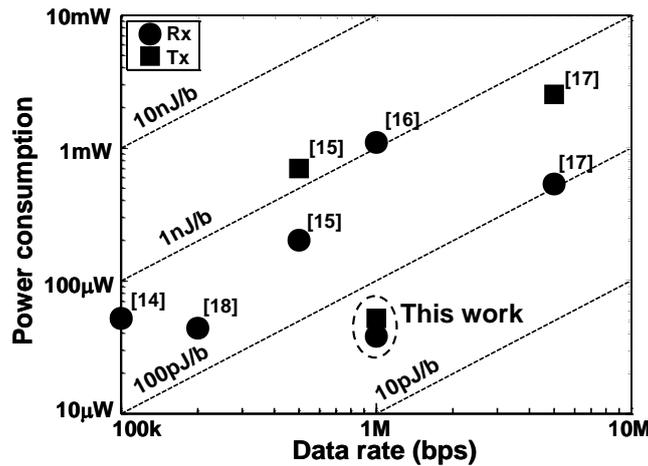
(4) ベンチマーク

表Ⅲ. 2. 6. 3-4 に本開発で実装したデュアル電源電圧方式の送信回路と先行研究との比較を示す。本開発で提案したデュアル電源電圧方式を採用した送信回路のドレイン効率及び総合効率はそれぞれ 42%及び 28%であり、36pJ/bit という現時点での世界最高のエネルギー効率を達成した。

図Ⅲ. 2. 6. 3-23 に先行研究[14-18]との比較を示す。本開発で提案した無線トランシーバは世界最小の 38pJ/bit (受信回路) 及び 36pJ/bit (送信回路) のエネルギー効率での無線通信が可能であることが示された。

表Ⅲ. 2. 6. 3-4 本開発の送信回路と先行例との比較

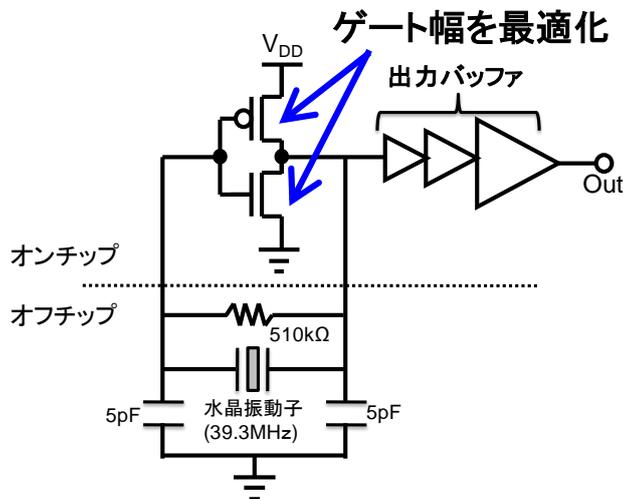
	Unit	[5]ISSCC'09	[6]JSSC'11	本研究 (単電源)	本研究 (2電源)
<b>CMOS technology</b>	nm	130	130	40	40
<b>Supply voltage</b>	V	1	1	0.5	V <sub>DD1</sub> :0.56 V <sub>DD2</sub> :0.2
<b>Frequency</b>	MHz	300-450	400	315	315
<b>Data rate</b>	Mbps	0.1	0.2	1	1
<b>PA class</b>	-	Edge-combiner	Edge-combiner	Class F	Class F
<b>Output power (P<sub>OUT</sub>)</b>	dBm	-16	-17	-21	-20
<b>Power consumption of TX (P<sub>TOTAL</sub>)</b>	$\mu$ W	400	90	52	36
<b>Global efficiency (P<sub>OUT</sub>/P<sub>TOTAL</sub>)</b>	%	6.3	22	16	28
<b>Energy</b>	pJ/bit	4000	450	52	36



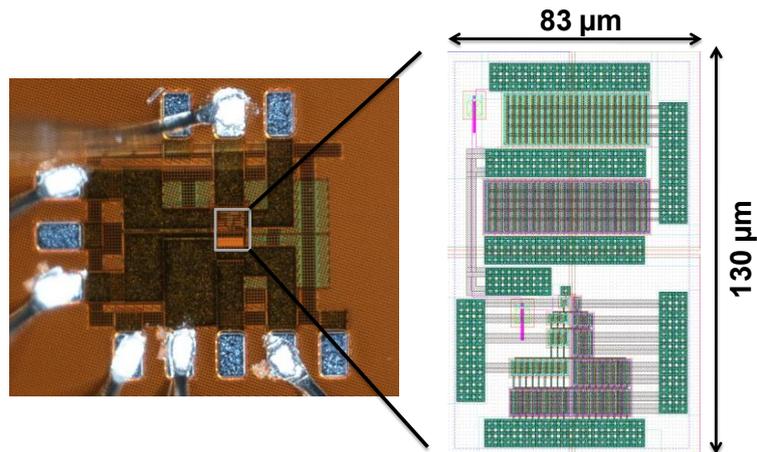
図Ⅲ. 2. 6. 3-23 先行研究との比較

### (5) 低電圧水晶発振回路

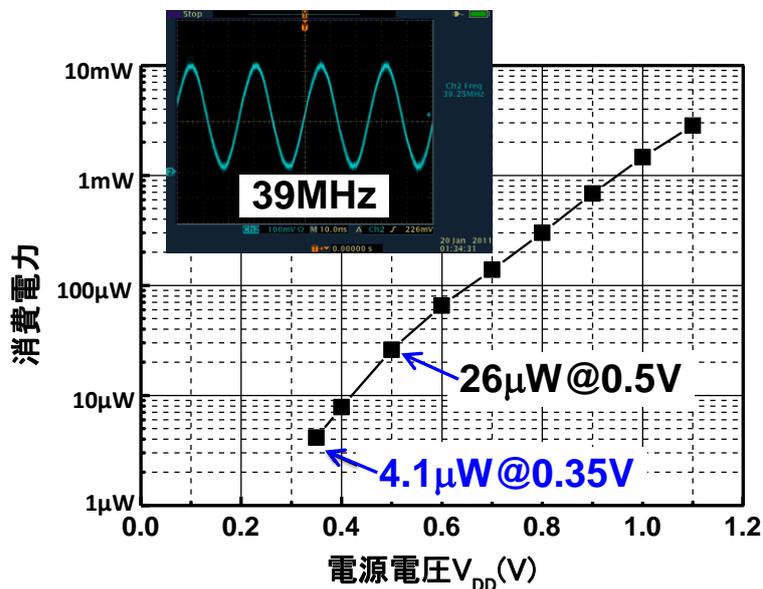
(1)-(4)で述べた送信回路と受信回路に加え、キャリア周波数を生成するのに必要な水晶発振回路の低電圧化の開発も行った（この内容は ISLPED2012[19]で発表）。39MHz の水晶発振回路を 8 通り倍して 315MHz のキャリア周波数を生成することを想定して、水晶発振回路の周波数は 39MHz とした。(1)-(4)で送信回路と受信回路を 0.5V で動作させることに成功したが、無線のトランシーバ全体の 0.5V 動作を目指した場合、水晶発振回路がネックとなる。従来の水晶発振回路は 1V 以上で動作しており、0.5V 動作の実現可能性が不明であった。そこで、本研究では水晶発振回路の低電圧化の設計指針を示した [19]。図Ⅲ. 2. 6. 3-24 に水晶発振回路の回路図を示す。ターゲットの電源電圧に応じて、水晶発振回路中の CMOS インバータ回路のゲート幅を最適化することがキーである。図Ⅲ. 2. 6. 3-25 に 40nm CMOS プロセスで試作した水晶発振回路のチップ写真とレイアウトを示す。図Ⅲ. 2. 6. 3-26 に 39MHz 水晶発振回路の消費電力の電源電圧依存の実測結果を示す。電源電圧 0.5V での消費電力は 26・W であった。世界最低の電源電圧 0.35V で、MHz 帯の水晶発振回路としては世界最小の 4.1・W の消費電力を実現した。図Ⅲ. 2. 6. 3-26 に電源電圧 0.35V における水晶発振回路の 39MHz 出力波形の実測も示す。



図Ⅲ. 2. 6. 3-24 水晶発振回路の回路図



図Ⅲ. 2. 6. 3-25 40nm CMOS プロセスで試作した水晶発振回路のチップ写真とレイアウト



図Ⅲ. 2. 6. 3-26 39MHz 水晶発振回路の消費電力の電源電圧依存の実測結果と電源電圧 0.35V における水晶発振回路の 39MHz 出力波形の実測

#### (6) まとめ

無線センサノードを実現するための 0.5V 動作の 1Mbps、315MHz 帯無線トランシーバを実現した。送信回路ではデュアル電源電圧方式を用いた低出力送信機を提案した。従来の単電源電圧方式と比較すると、本開発で提案したデュアル電源電圧方式はドレイン効率及び総合効率をそれぞれ 2.1 倍及び 1.5 倍にすることができた。一方、受信回路では、従来の連続サンプリングと比べて消費電力を大幅に低減する間欠サンプリングを提案・実証した。また、LNA レスのアーキテクチャによりオール 0.5V 動作を実現した。以上により、送信回路は 36pJ/bit (1Mbps で 36  $\mu$ W)、受信回路は 38 pJ/bit (1Mbps で 38  $\mu$ W) を実現した。これらはいずれも UHF 帯 (300MHz~3GHz) のセンサネット向け無線としては世界最低エネルギーである。

#### 2. 6. 3. 4 開発成果まとめ

##### (1) 課題と開発内容要約

センサネット等のユビキタスネットワーク向けに 50pJ/bit (1Mbps で 50 $\mu$ W 以下) 以下の低電力無線技術を開発した。キー技術は以下の 4 つである (表 III. 2. 6. 3-1 参照)。

- (1) 受信回路を 0.5V で動作させるため、LNA なしで受信信号を直接サンプリングする受信方式を提案した。
- (2) 受信回路において、315MHz のキャリア周波数を生成する LO の消費電力を削減するため、1MHz のクロック信号で受信が可能なアーキテクチャを提案した。
- (3) 受信回路においてサンプリング回路の消費電力を削減するため、間欠サンプリングを提案した。
- (4) 送信回路において、-20dBm 出力の場合、送信機効率が低下して送信機の消費電力が増加するのを回避するため、デュアル電源電圧送信機を提案した。

## (2) 開発成果とベンチマーク要約

1Mbps において、受信回路及び送信回路の消費電力をそれぞれ 38 $\mu$ W 及び 36 $\mu$ W とすることができた。その結果、世界最小の 38pJ/bit (受信回路) 及び 36pJ/bit (送信回路) のエネルギー効率での無線トランシーバを実現した (図 III. 2. 6. 3-23 参照)。

また、無線のトランシーバ全体の 0.5V 動作でネックとなるキャリア周波数生成用 39MHz 水晶発振回路の低電圧化の設計指針を示し、世界最低の電源電圧 0.35V で、MHz 帯の水晶発振回路としては世界最小の 4.1 $\mu$ W の消費電力を実現した。

## (3) 目標達成度と開発成果の意義

センサネット等のユビキタスネットワーク向けの低電力無線の最終目標「50pJ/bit 以下」を 100%達成した。

無線センサノードを用いた M2M で実世界の情報を収集し、集めたビッグデータをクラウドで処理する「サイバーフィジカルシステム」が近年注目されているが、本テーマの無線技術は低消費電力の無線センサノードを実現する上で必須の技術である。開発した無線技術は消費電力が 50 $\mu$ W 以下であるので、エネルギーハーベスティングで動作するバッテリーレスの無線センサノードの実現にも貢献する技術である。

本開発では、キャリア周波数 315MHz、電源電圧 0.5V、送信電力-20dBm、受信感度-55dBm という特定の仕様に向けた回路設計を行ったが、開発した間欠サンプリング技術やデュアル電源電圧送信機は各ユーザの仕様に応じて適用可能な汎用的な技術である。従って、キャリア周波数・送信電力・受信感度の仕様変更に応じて電源電圧やサンプリング頻度を変えることにより本開発の成果を適用可能である。

## 参考文献：

- [4] R. B. Staszewski, C.-M. Hung, K. Maggio, J. Wallberg, D. Leipold, and P. T. Balsara, "All-Digital Phase-Domain TX Frequency Synthesizer for Bluetooth Radios in 0.13 $\mu$ m CMOS," IEEE International Solid-State Circuits Conference, pp. 272-273, Feb. 2004.
- [5] M. C. M. Soer, E. A. M. Klumperink, Z. Ru, F. E. van Vliet, and B. Nauta, "A0.2-to-2.0GHz 65nm CMOS Receiver Without LNA Achieving >11dBm IIP3 and <6.5 dB NF," IEEE International Solid-State Circuits Conference, pp. 222-223, Feb. 2009.
- [6] A. Saito, K. Honda, Y. Zheng, S. Iguchi, K. Watanabe, T. Sakurai, and M. Takamiya, "An All 0.5V, 1Mbps, 315MHz OOK Transceiver with 38- $\mu$ W Carrier-Frequency-Free Intermittent Sampling Receiver and 52- $\mu$ W Class-F Transmitter in 40-nm CMOS," IEEE Symposium on VLSI Circuits, pp. 38-39, June 2012.
- [7] S. Iguchi, A. Saito, K. Watanabe, T. Sakurai, and M. Takamiya, "2.1 Times Increase of Drain Efficiency by Dual Supply Voltage Scheme in 315MHz Class-F Power Amplifier at Output Power of -20dBm", 38th European

- Solid-State Circuits Conference, pp. 345–348, Sep. 2012.
- [8] S. Rai, J. Holleman, J. Pandey, F. Zhang, and B. Otis, “A 500 · W neural tag with 2 · Vrms AFE and frequency-multiplying MICS/ISM FSK transmitter,” IEEE International Solid-State Circuits Conference, pp. 212–213, Feb. 2009.
- [9] J. Pandey and B. Otis, “A sub-100 · W MICS/ISM band transmitter based on injection-locking and frequency multiplication,” IEEE J. Solid-State Circuits, vol. 46, no. 5, pp. 1049–1058, May 2011.
- [10] J. Lindstrand, C. Bryant, M. Tormanen, and H. Sjoland, “A 1.6–2.6GHz 29dBm injection-locked power amplifier with 64% peak PAE in 65nm CMOS,” European Solid-State Circuits Conference, pp. 299–302, Sept. 2011.
- [11] J. Fritzin, T. Sundstrom, T. Johansson, and A. Alvandpour, “Reliability study of a low-voltage class-E power amplifier in 130nm CMOS,” IEEE International Symposium on Circuits and Systems, pp. 1907–1910, June 2010.
- [12] K. Natarajan, J. S. Walling, and D. J. Allstot, “A Class-C power amplifier/antenna interface for wireless sensor applications,” IEEE Radio Frequency Integrated Circuits Symp., pp. 1–4, June 2011.
- [13] G. Papotto, F. Carrara, A. Finocchiaro, and G. Palmisano, “A 90nm CMOS 5Mb/s crystal-less RF transceiver for RF-powered WSN nodes,” IEEE International Solid-State Circuits Conference, pp. 452–454, Feb. 2012.
- [14] P. Reynaert and M. Steyaert, RF Power Amplifiers for Mobile Communications. Springer, 2006.
- [15] P. Nuzzo, F. D. Bernardinis, P. Terreni, and G. V. der Plas, “Noise Analysis of Regenerative Comparators for Reconfigurable ADC Architectures,” IEEE Transactions on Circuits and Systems-I, Vol. 55, pp. 1441–1454, July 2008.
- [16] X. Zhang, P. Chen, Y. Ryu, K. Ishida, Y. Okuma, K. Watanabe, T. Sakurai, and M. Takamiya, “A 0.45-V input on-chip gate boosted (OGB) buck converter in 40-nm CMOS with more than 90% efficiency in load range from 2 · W to 50 · W,” IEEE Symposium on VLSI Circuits, pp. 194–195, June 2012.
- [17] N. M. Pletcher, S. Gambini, and J. M. Rabaey, “A 2GHz 52 · W Wake-Up Receiver with -72dBm Sensitivity Using Uncertain-IF Architecture,” IEEE International Solid-State Circuits Conference, pp. 524–525, Feb. 2008.
- [18] B. W. Cook, A. D. Berny, A. Molnar, S. Lanzisera, and K. S. J. Pister, “An Ultra-Low Power 2.4GHz RF Transceiver for Wireless Sensor Networks in 0.13 · m CMOS with 400mV Supply and an Integrated Passive RX Front-End,” IEEE International Solid-State Circuits Conference, pp. 370–371, Feb. 2006.
- [19] M. Crepaldi, L. Chen, K. Dronson, J. Fernandes, and P. Kinget, “An Ultra-Low-Power Interference-Robust IR-UWB Transceiver Chipset Using Self-Synchronizing OOK Modulation,” IEEE International Solid-State Circuits Conference, pp. 226–227, Feb. 2010.
- [20] M. Vidojkovic, X. Huang, P. Harpe, S. Rampu, C. Zhou, L. Huang, K. Imamura, B. Busze, F. Bouwens, M. Konijnenburg, J. Santana, A. Breeschoten, J. Huisken, G. Dolmans, and H. de Groot, “A 2.4GHz ULP OOK Single-Chip Transceiver for Healthcare Applications,” IEEE International Solid-State Circuits Conference, pp. 458–459, Feb. 2011.
- [21] J. Pandey and B. P. Otis, “A Sub-100 · W MICS/ISM Band Transmitter Based on Injection-Locking and Frequency Multiplication,” IEEE Journal of Solid-State Circuits, Vol. 47, No. 5, pp. 1252–1260, May 2012.
- [22] A. Saito, Y. Zheng, K. Watanabe, T. Sakurai, and M. Takamiya, “0.35V, 4.1uW, 39MHz Crystal Oscillator in 40nm CMOS,” International Symposium on Low Power Electronics and Design, pp. 333–338, Aug. 2012.

## IV 実用化・事業化の見通し及び取り組みについて

### 1. 実用化・事業化の見通し及び取り組み

本研究開発により、目標に対する成果だけでなく表Ⅲ.1 成果と目標のまとめの右端欄に記した実用化に向けた様々な成果も得られた。それらは個々に実用化・事業化に供される技術であるが、その集大成が統合 B チップである。ばらつき影響が大きい極低電圧でありながら、3000 万トランジスタの大規模 SoC を効率良く設計し、低電圧・低電力で動画像処理できることを実証した。

STARC では、研究開発成果の技術移転を、研究員を STARC に派遣するなどして本プロジェクトを支援した支援企業 9 社に対して、2011 年 3 月からほぼ半年に 1 回ずつ計 6 回実施した。このようにプロジェクト実施期間中から技術移転することにより、支援企業は早い段階で初期の技術見極めすることが出来た。

プロジェクト終了後は、支援企業各社において、コスト、設計生産性、品質、一層の性能改善、市場開拓などの観点から、独自に追加開発を行う予定である。また、社内外の事業部門、製造部門、顧客と連携して、事業化に向けた体制を構築し、役割分担を明確にする。

実用化・事業化が想定されている LSI のアプリケーション分野は、モバイル機器、デジタル家電、M2M の機器やシステムなどが挙げられる。これらは、支援企業各社が得意としていて本プロジェクト成果を活用することによって優位性を高められる分野であり、また今後市場の大幅な伸びが見込まれる分野である。マイルストーンを設けて事業化に向けた技術や事業性を見極めを行ったうえで、順調に進めば 2017 年～2018 年からこれらの分野の LSI を事業化する予定である。

## イノベーションプログラム基本計画

(別 添)

平成20・03・27産局第1号

平成20年4月1日

### ITイノベーションプログラム基本計画

#### 1. 目的

我が国が目指す高度情報通信ネットワーク社会の構築に向け、経済成長戦略大綱、IT新改革戦略、科学技術基本計画及び技術戦略マップ等に基づき、情報化の進展に伴うエネルギー消費量の増大等の課題にも考慮しつつ、その基盤となる情報通信機器・デバイス等の情報通信技術を開発し、実社会への利用を促進する。また、情報システム・ソフトウェアについて品質、信頼性及び生産性の向上を推進し、組込みソフトウェア産業強化、オープンソースソフトウェアを安心して活用するための環境整備、独創的な人材の発掘等、我が国産業競争力強化のための必要な基盤整備を実施することによって、ITの利活用の深化・拡大を図り、より豊かな国民生活を実現するとともに、我が国の経済活力の向上を図ることを目的とする。

#### 2. 政策的位置付け

- 「経済成長戦略大綱」（2006年7月財政・経済一体改革会議。2007年6月改訂、経済財政諮問会議報告）  
IT革新による競争力強化、IT革新を支える産業・基盤の強化に必要な研究開発の推進に対応
- 「第3期科学技術基本計画」（2006年3月閣議決定）  
国家的・社会的課題に対応した研究開発の重点推進4分野である情報通信分野、分野別推進戦略（2006年3月総合科学技術会議）における重点分野である情報通信分野に位置づけられるもの。
- 「IT新改革戦略」（2006年1月高度情報通信ネットワーク社会推進戦略本部）  
次世代のIT社会の基礎となる研究開発の推進等に対応。

#### 3. 達成目標

- (1) 情報経済社会を形成する上で必要不可欠な基盤技術である情報通信機器・デバイス等に関しては、「革新的な技術の確立」と「その開発成果の普及促進」を図る。

##### 【目標】

- ・情報通信機器・デバイス産業の付加価値額を、2020年度において、2007年度比で、約50%増加させる。
- ・半導体の微細化に係る革新的基盤技術の開発（テクノロジーノード45nm以細）
- ・情報家電の音声認識のタスク率（95%以上の達成）
- ・革新的な大型ディスプレイ技術の開発（消費電力を現状機器と比較して約50%以下）
- ・革新的なネットワーク機器技術の開発（消費電力を現状機器と比較して60%以下）

- (2) 経済社会システムの信頼性確保に大きく寄与する情報システム・ソフトウェアに関しては、品質、信頼性及び生産性の向上や産学官の開発リソースの連携強化により、「人材育成」と「ソフトウェア工学の開発」等を積極的に推進する。

##### 【目標】

- ・情報サービス・ソフトウェア産業の付加価値額を、2015年度において、2004年度比で、約25%増加させる。

- ・ 組込みシステム等の不具合発生率（2011年度までに2006年度比50%減）

#### 4. 研究開発内容 [プロジェクト]

－ 中 略 －

### II. 省エネ革新

#### [i] 情報ネットワークシステムの徹底的省エネの実現

##### (1) グリーンITプロジェクト（運営費交付金）（再掲）

###### ①概要

エネルギー需給構造の高度化を図る観点から行うものであり、IT化の進展によりネットワークを流れるデータ量が大幅に増加する中で、情報通信機器による消費電力量の大幅な増大に対応し、環境調和型IT社会の構築を図るため、個別のデバイスや機器に加え、ネットワーク全体での革新的な省エネルギー技術の開発を行う。

###### ②技術目標及び達成時期

2012年度までに、情報通信機器・システムのエネルギー消費効率を2倍に向上させる基盤技術を開発する。

###### ③研究開発期間

2008年度～2012年度

##### (2) 次世代高効率ネットワークデバイス技術開発（運営費交付金）（再掲）

###### ①概要

エネルギー需給構造の高度化を図る観点から行うものであり、ネットワークで伝送されるデータ量の爆発的増加に伴い、関連機器の消費エネルギーが増大している中で、ネットワーク全体の消費電力量を抑制することが喫緊の課題であり、消費エネルギーの低減に大きく貢献するルータ・スイッチの高速化のための研究開発を実施するとともに、機器そのものの消費エネルギーを低減するための研究開発を実施する。

###### ②技術的目標及び達成時期

2011年度までに、1チャンネルあたり40Gbps超の通信速度に対応するトラフィック計測・分析・管理技術や40Gbpsのインターフェース、さらなる通信速度向上（100Gbps超）を実現するハードウェア技術、SFQ（単一磁束量子）スイッチに関する基盤技術を開発する。

###### ③研究開発期間

2007年度～2011年度

－ 中 略 －

#### 5. 政策目標の実現に向けた環境整備

##### 【法律】

- ・ 情報処理の振興を目的に、昭和45年に情報処理の促進に関する法律が制定。
- ・ 半導体集積回路の回路配置の適正な利用の確保を目的に、昭和63年に半導体集積回路の回路配置に関する法律が制定。

##### 【税制】

- ・ 情報セキュリティ強化を確保しつつ生産性の向上を図るためのIT投資に対し、35%特別償却又は7%税額控除（情報基盤強化税制）。
- ・ ソフトウェアを含む機械装置等に対し、30%特別償却又は7%税額控除（中小企業投資促進税制）。

##### 【国際標準化】

各プロジェクトで得られた成果のうち、標準化すべきものについては、適切な標準化活動（国際

規格（ISO/IEC）、日本工業規格（JIS）、その他国際的に認知された標準の提案等）を実施する。特に、産学連携ソフトウェア工学の実践における組込みソフトウェア開発については、国際標準の動向を踏まえた開発を促進することにより、プロジェクトの成果の幅広い普及を促進する。

#### 【関係機関との連携】

各プロジェクトのうち、研究開発を効率的・効果的に推進する観点から関係機関との連携が必要なものについては、これを積極的に行う。

但し、関係機関が行う研究開発等の独自性を妨げるものではない。

#### 【導入普及促進】

成果の普及を図るため、これまでの終了プロジェクトの成果の全部または、一部についてはオープンソースソフトウェアとして公開する。

#### 【プロジェクト等間の連携について】

高信頼な組込みソフトウェアの開発では、ソフトウェアエンジニアリングセンター（SEC）において提供される各種エンジニアリング手法を開発現場に適用し、当該技術の効果を明らかにしながら開発を進める。

#### 【その他】

##### ・グラント事業

NEDOの産業技術研究助成事業を活用し、萌芽的・革新的な情報通信関係の技術シーズの発掘を行う。また、ソフトウェア分野の独創的な技術やビジネスシーズを有した人材を発掘する。

##### ・事業終了後の連携

産学官連携の研究体制を通して活動を行い、これらの事業の終了後も各分野の研究者・技術者が有機的に連携し、更に新たな研究を作り出す環境を構築する。

##### ・人材育成

ハードウェア分野においては、出来る限り大学との連携を重視し、各種フェローシップ制度を活用しつつ、最先端の情報通信基盤研究現場への学生等の参画を推進することにより次世代の研究開発人材の育成を図る。また、ソフトウェア分野における独創的な人材を発掘し、育成するとともに、優秀な人材が集うコミュニティを構築するなど、発掘された人材の才能をさらに伸ばすための取組を進める。

##### ・広報／啓発

毎年10月を「情報化月間」としている。

#### 6. 研究開発の実施に当たっての留意事項

事業の全部又は一部について独立行政法人の運営費交付金により実施されるもの（事業名に（運営費交付金）と記載したものは、中期目標、中期計画等に基づき、運営費交付金の総額の範囲内で、当該独立行政法人の裁量によって実施されるものである。

## エネルギーイノベーションプログラム基本計画

### 1. 目的

資源に乏しい我が国が、将来にわたり持続的発展を達成するためには、革新的なエネルギー技術の開発、導入・普及によって、各国に先んじて次世代型のエネルギー利用社会の構築に取り組んでいくことが不可欠である。他方、エネルギー技術開発は、長期間を要するとともに大規模投資を伴う一方で将来の不確実性が大きいことから、民間企業が持続的な取組を行うことは必ずしも容易ではない。このため、政府が長期を見据えた将来の技術進展の方向性を示し、官民双方がこの方向性を共有することで、将来の不確実性に対する懸念が緩和され、官民において長期にわたり軸のぶれない取組の実施が可能となる。以下に5つの政策の柱毎に目的を示す。

#### 1-I. 総合エネルギー効率の向上

1970年代以来、官民をあげて省エネルギーに取り組み、産業構造の転換や新たな製造技術の導入、民生機器の効率改善等により世界最高水準の省エネルギーを達成している。今後、「新・国家エネルギー戦略」に掲げる、2030年までにGDPあたりのエネルギー利用効率を約30%向上を実現していくためには、産業部門はもとより、全部門において、総合エネルギー効率の向上に資する技術開発とその成果の導入を促進する。

#### 1-II. 運輸部門の燃料多様化

ほぼ100%を石油に依存する運輸部門は、我が国エネルギー需給構造上、最も脆弱性が高く、その需給構造の次世代化は、将来に向けた早急な対策が不可欠な課題となっている。

「新・国家エネルギー戦略」に掲げる目標（2030年に向け、運輸部門の石油依存度が80%程度となることを目指す）の実現のためにも、官民が中長期的な展望・方向性を共有しつつ、技術開発と関連施策を推進する。

#### 1-III. 新エネルギー等の開発・導入促進

太陽光、風力、バイオマスなどの新エネルギーは、エネルギー源の多様化や地球温暖化対策の観点から重要である。しかし、現時点では経済性や出力安定性といった普及へ向けての課題が存在する。

そのため、これらの課題解決に向けた技術開発の推進及び新エネルギーの導入促進のための関連施策の実施により、更なる新エネルギーの普及を推進する。

#### 1-IV. 原子力等利用の推進とその大前提となる安全の確保

原子力発電は供給安定性に優れ、運用時にCO<sub>2</sub>を排出しないクリーンなエネルギー源である。安全確保を大前提に核燃料サイクルを含む原子力発電を着実に推進する。

#### 1-V. 化石燃料の安定供給確保と有効かつクリーンな利用

化石燃料資源の大宗を輸入に依存する我が国にとって、その安定供給の確保は国家安全保障に直結する課題である。このため、石油・天然ガス等の安定供給確保を目指し、我が国企業による資源国における資源開発等に対する支援等の施策を進めるとともに、その有効かつクリーンな利用を図る。

## 2. 政策的位置付け

- エネルギー基本計画（2007年3月閣議決定）

重点的に研究開発のための施策を講ずべきエネルギーに関する技術及びその施策として、

  1. 総合エネルギー効率の向上に資する技術
  2. 原子力利用の推進とその大前提となる安全の確保に資する技術
  3. 運輸部門のエネルギー多様化に資する技術
  4. 新エネルギーに関する技術
  5. 化石燃料の安定供給確保と有効かつクリーンな利用に資する技術

以上が位置づけられている。
- 新・国家エネルギー戦略（2006年5月）

世界最先端のエネルギー需給構造の実現を図るため

  1. 省エネルギーフロントランナー計画
  2. 運輸エネルギーの次世代化計画
  3. 新エネルギーイノベーション計画
  4. 原子力立国計画

以上の計画が位置づけられている。また、資源外交、エネルギー環境協力の総合的な強化を図るため、「総合資源確保戦略」が位置づけられている。
- 第3期科学技術基本計画（2006年3月閣議決定）

国の存立にとって基盤的であり国として取り組むことが不可欠な研究開発課題を重視して研究開発を推進する「推進4分野」であるエネルギー分野、分野別推進戦略（2006年3月総合科学技術会議）における「推進4分野」であるエネルギー分野に位置付けられている。
- 経済成長戦略大綱（2006年7月財政・経済一体改革会議）

資源・エネルギー政策の戦略的展開として

  1. 省エネルギーフロントランナー計画
  2. 次世代自動車・燃料イニシアティブ等による運輸エネルギー次世代化
  3. 新エネルギーイノベーション計画
  4. 原子力立国計画
  5. 資源外交、環境・エネルギー協力等の総合的な強化

以上が位置づけられている。
- 京都議定書目標達成計画（2005年4月閣議決定）

「京都議定書の約束を達成するとともに、更に「脱温暖化社会」に向けて長期的・継続的な排出削減を進めるには、究極的には化石燃料への依存を減らすことが必要である。環境と経済の両立を図りつつ、これらの目標を達成するため、省エネルギー、未利用エネルギーの利用等の技術革新を加速し、効率的な機器や先進的なシステムの普及を図り、世界をリードする環境立国を目指す。」とされている。

### 3. 達成目標

#### 3-I. 総合エネルギー効率の向上

転換部門における「エネルギー転換効率向上」、産業部門における「製造プロセス向上」、民生・運輸部門における「省エネルギー」などにより、エネルギー消費効率を2030年度までに少なくとも30%改善することを目指す。

#### 3-II. 運輸部門の燃料多様化

バイオマス由来燃料、GTL、BTL、CTLなどの新燃料、電気自動車や燃料電池自動車などの導入により、現在ほぼ100%の運輸部門の石油依存度を2030年までに80%程度とすることを目指す。

#### 3-III. 新エネルギー等の開発・導入促進

太陽光、風力、バイオマスなどの新エネルギーの技術開発や燃料電池など革新的なエネルギー高度利用を促進することにより、新エネルギー等の自立的な普及を目指すことで、エネルギー源の多様化及び地球温暖化対策に貢献する。

#### 3-IV. 原子力等利用の推進とその大前提となる安全の確保

2030年以降においても、発電電力量に占める比率を30～40%程度以上とすることを目指すため、高速増殖炉サイクルの早期実用化、既設軽水炉代替へ対応する次世代軽水炉の開発、軽水炉技術を前提とした核燃料サイクルの確立、放射性廃棄物対策などの技術開発を推進する。

#### 3-V. 化石燃料の安定供給確保と有効かつクリーンな利用

石油・天然ガスの化石燃料の安定供給確保を目指し、資源獲得能力の強化に資する先端的な技術開発を推進するとともに、環境負荷低減のために化石燃料の効率的かつクリーンな利用を促進するための技術開発・導入を目指す。

### 4. 研究開発内容

#### 4-I. 総合エネルギー効率の向上

－ 中 略 －

#### 4-I-iv. 省エネ型情報生活空間創生技術

##### (1) グリーンITプロジェクト (運営費交付金)

###### ①概要

情報化社会の進展に伴うIT機器の消費電力の大幅な増大に対応し、抜本的な省エネを実現するため、サーバ、ネットワーク機器等の各装置の省エネに加え、省エネ型の巨大コンピューティング技術（グリーン・クラウドコンピューティング技術）、パワーエレクトロニクス技術を開発する。

###### ②技術目標及び達成時期

2012年度までに、IT機器・システムのエネルギー消費効率を2倍に向上させる基盤技術を開発する。

###### ③研究開発期間

2008年度～2012年度

##### (2) 次世代高効率ネットワークデバイス技術開発 (運営費交付金)

###### ①概要

エネルギー需給構造の高度化を図る観点から行うものであり、ネットワークで伝送されるデータ量の爆発的増加に伴い、関連機器の消費エネルギーが増大している中で、ネットワーク全体の消費電力量を抑制することが喫緊の課題であり、消費エネルギーの低減に大きく貢献するルータ・スイッチの高速化のための研究開発を実施するとともに、機器そのものの消費エネルギーを低減するための研究開発を実施する。

###### ②技術的目標及び達成時期

2011年度までに、1チャンネルあたり40Gbps超の通信速度に対応するトラフィック計測・分析・管理技術や40Gbpsのインターフェース、さらなる通信速度向上（100Gbps超）を実現するハードウェア技術、SFQ（単一磁束量子）スイッチに関する実現を可能とするための基盤技術を開発する。

### ③研究開発期間

2007年度～2011年度

#### (3) 次世代大型低消費電力ディスプレイ基盤技術開発（運営費交付金）

##### ①概要

エネルギー需給構造の高度化を図る観点から行うものであり、次世代の大型液晶及び大型プラズマディスプレイに関する低消費電力ディスプレイを実現するための研究開発を行う。

##### ②技術的目標及び達成時期

2011年度までに、液晶に関しては、高効率バックライト、革新的なTFTアレイプロセス技術・製造装置及び低消費電力型の画像処理エンジン等に係る技術を確立する。また、プラズマディスプレイに関しては、超低電圧駆動等に係る技術を確立する。

### ③研究開発期間

2007年度～2011年度

#### (4) 有機発光機構を用いた高効率照明の開発（運営費交付金）

##### ①概要

エネルギー需給構造の高度化を図る観点から行うものであり、蛍光灯に代わる高効率照明として有機EL発光機構を用いるための技術開発課題（発光効率、演色性、面均一性、生産コスト）等を明らかにし、それをブレイクスルーしうる技術シーズを抽出する。

##### ②技術目標及び達成時期

2009年までに現在一般に普及している蛍光灯照明に代わる高効率照明としての必要スペックを達成するとともに、次世代照明として同じく期待されているLEDとの差別化要素を技術的に達成し、大面積／高スループット／低コストで量産するプロセス技術を開発する。また、現在蛍光灯の間接・拡散照明が用いられている照明機器を代替する有機EL照明を実用的なコストで製造できる技術を確立する。

### ③研究開発期間

2007年度～2009年度

#### (5) マルチセラミックス膜新断熱材料の開発（運営費交付金）

##### ①概要

住宅やビルなどの冷暖房における大幅な省エネを実現する画期的な断熱性能を持つ壁および窓材料を、セラミックスのナノ多孔体構造やポリマー複合化構造などからなるマルチセラミックス膜アセンブリ技術によって開発する。

なお、本事業は、エネルギー需給構造の高度化を図る観点から行うものである。

##### ②技術目標及び達成時期

2011年度までに、熱貫流率（熱の伝わりやすさ）が $0.3\text{W}/\text{m}^2\text{K}$ 以下、壁厚さ $10\text{mm}$ 程度の超断熱壁材料および熱貫流率が $0.4\text{W}/\text{m}^2\text{K}$ 以下、光（可視光）透過率が $65\%$ 以上（Low-Eガラス使用）、ヘイズ率が $1\%$ 以下の超断熱窓材料を実現する。

### ③研究開発期間

2007年度～2011年度

－ 中 略 －

## 5. 政策目標の実現に向けた環境整備（成果の実用化、導入普及に向けた取組）

### 5-1. 総合エネルギー効率の向上

- 事業者単位の規制体系の導入
- 住宅・建築物に係る省エネルギー対策の強化

- セクター別ベンチマークアプローチの導入と初期需要創出（高効率機器の導入補助等）
- トップランナー基準の対象機器の拡充等
- アジアにおける省エネルギー対策の推進を通じた我が国の国際競争力の向上
- 国民の省エネルギー意識の高まりに向けた取組

#### 5-Ⅱ. 運輸部門の燃料多様化

- 公共的車両への積極的導入
- 燃費基準の策定・改定
- アジアにおける新エネルギー協力
- 国際標準化による国際競争力向上

#### 5-Ⅲ. 新エネルギー等の開発・導入促進

- 事業者支援補助金等による初期需要創出
- 新エネルギーベンチャービジネスに対する支援の拡大
- 新エネルギー産業構造の形成
- 電気事業制度・ガス事業制度の在り方の検討

#### 5-Ⅳ. 原子力利用の推進とその大前提となる安全の確保

- 電力自由化環境下での原子力発電の新・増設の実現
- 資源確保戦略の展開
- 次世代を支える人材育成
- 中小型炉の海外市場への展開、我が国原子力産業の国際展開支援
- 原子力発電拡大と核不拡散の両立に向けた国際的枠組み作りへの積極的関与
- 国と地域の信頼強化

#### 5-Ⅴ. 化石燃料の安定供給確保と有効かつクリーンな利用

- 資源国等との総合的な関係強化（研究開発の推進・協力、人材育成・技術移転、経済関係強化など）
- 化石燃料のクリーンな利用の開拓

### 6. 研究開発の実施に当たっての留意事項

事業の全部又は一部について独立行政法人の運営費交付金による実施されるもの（事業名に（運営費交付金）と記載したものは、中期目標、中期計画等に基づき、運営費交付金の総額の範囲内で当該独立行政法人の裁量によって実施されるものである。

また、事業名に（採択テーマ）と記載された事業は、提案公募事業により採択されたテーマを記載したものであり、その採択や評価等は、提案公募事業の実施機関の責任の下、実施されるものである。

IV. 低消費電力メニーコア用アーキテクチャとコンパイラ技術（研究開発項目⑦）は技術分野が異なっているため、別途事後評価分科会を行います。今回は対象外です。

## 添付資料 2

# プロジェクト基本計画

P09003

(ITイノベーションプログラム・エネルギーイノベーションプログラム)  
「極低電力回路・システム技術開発（グリーンITプロジェクト）」基本計画

電子・材料・ナノテクノロジー部

### 1. 研究開発の目的・目標・内容

#### (1) 研究開発の目的

地球温暖化問題は、世界全体で早急に取り組むべき最重要課題であり、経済・社会活動と地球環境の調和を実現するためには、画期的な技術革新が求められている。

情報通信機器の高度化・設置台数の急激な増加に加え、ブロードバンド通信の普及等により社会で扱う情報量は急激に増大しつつある。今後、高精細な動画コンテンツなど大容量データが、ネットワーク情報端末を介して流れ、本格的なユビキタス時代を迎える2015年ごろには、膨大な数の末端のセンサノードまで情報が行き交う。それに伴い、ネットワークシステムを構成する情報通信機器が消費する電力も増大し、その省エネルギー化が重要な課題となっている。将来のネットワークシステム等の省電力化のためには、基幹系・アクセス系ネットワーク、ネットワーク端末だけでなく、末端のセンサノードに至る全ての電子機器の低消費電力化が求められる。電子機器の低消費電力化にとって重要となる半導体集積回路(LSI)の低消費電力化には、電源電圧の低電圧化が最も効果的である。しかし、低電圧の条件下ではCMOS回路の動作が不安定になり、LSIの製造ばらつきやノイズなどに影響され、動作マージン減少、誤動作などの障害が、現在に比較して極めて増大する。LSIとして安定動作させるには、ロジックやメモリなど構成回路の極低電圧化はもちろん、電源電圧をきめ細かく制御する電源システム、LSIチップと外部との各種I/Oインタフェースなど、LSIでの実用化に向けた様々な回路・システム技術、設計技術が必要である。また、プロセッサコアを中心としたシステムの消費電力削減を図るにはソフトウェアによる電力制御技術も必要である。これらの効率的な開発のためには、デバイスメーカー各社単独で取り組むよりは、共通の課題を抱える企業が協同し、トップレベルの研究ポテンシャルを有する大学と産学連携による総合的な取り組みが必要である。

本プロジェクトは、将来のネットワークシステム等に使われるLSIの低消費電力化に貢献する極低電力回路・システム技術を開発し、我が国の半導体関連産業の国際競争力強化に資すると同時に、地球環境の温暖化抑制に貢献することを目的として、ITイノベーションプログラム・エネルギーイノベーションプログラムの一環として実施する。

当該研究開発事業は、産業界も資金等の負担を行うことにより、市場化に向けた産業界の具体的な取り組みが示されていることを条件として実施する。

## (2) 研究開発の目標

極低電圧要素回路技術と極低電力無線／チップ間ワイヤレス通信技術を開発し、これら要素技術の主要部分を統合最適化する技術で、LSIチップの低消費電力化を図る。具体的には、同じ処理を行うための消費エネルギーを従来技術(\*1)に比べ1/10以下に削減することを目標とする(\*2)。また、ソフトウェアによる電力制御技術によりプロセッサコアを中心としたシステムの低消費電力化を図る。具体的には同一アプリケーションプログラム実行時の電力消費を1/10以下に削減することを目標とする。なお、目標の詳細については、別紙の研究開発計画を参照のこと。

(\*1) 従来技術とは、以下 平成20年度末時点での産業界技術レベルを示す。

(\*2) 本研究開発の対象は回路、システム、設計技術による消費電力削減であり、新材料、新プロセス、新デバイス構造による消費電力削減効果は含めない。

## (3) 研究開発の内容

上記目標を達成するために、以下の研究開発項目について、別紙の研究開発計画に基づき研究開発を実施する。

### I. 極低電圧要素回路技術 [委託事業] (研究開発期間 平成21年度から平成23年度)

低電圧で安定動作するロジック、メモリなどの回路設計技術を確立する。

(研究開発項目①) ロジック回路技術開発: 極低電圧ロジック回路の開発

(研究開発項目②) メモリ回路技術開発: オンチップ極低電圧メモリ回路の開発

(研究開発項目③) アナログ回路技術開発: 0.5V動作新方式PLL回路等の開発

(研究開発項目④) 電源回路技術開発: 0.5Vで安定動作する新規電源回路の開発

### II. 極低電力LSIチップ統合最適化技術 (研究開発項目⑤) [委託事業]

(研究開発期間 平成23年度から平成24年度)

上記Iの要素回路技術の主要部分を統合し、省エネ制御と統合電源システムを組み合わせた極低電力LSIチップ設計手法を開発する。

本研究開発項目は、実用化まで長期間を要するハイリスクな「基盤的技術」に対して、産学官の複数事業者が互いのノウハウ等を持ちより協調して実施する事業であり、委託事業として実施する。

### III. 低電力無線／チップ間ワイヤレス技術 (研究開発項目⑥) [委託事業]

(研究開発期間 平成21年度から平成24年度)

従来技術より1桁低電力の低電力無線／チップ間ワイヤレス技術を開発する。

**IV. 低消費電力メニーコア用アーキテクチャとコンパイラ技術（研究開発項目⑦）は技術分野が異なっているため、別途事後評価分科会を行います。今回は対象外です。**

#### IV. 低消費電力メニーコア用アーキテクチャとコンパイラ技術（研究開発項目⑦）

[委託事業、共同研究（NEDO負担率：2／3）]

（研究開発期間 平成22年度から平成24年度）

ソフトウェアによる周波数・電圧制御等の電力制御でシステムの低消費電力化を図るためのメニーコア用アーキテクチャの検討、及びコンパイラ技術の研究開発を行う。

本研究開発項目は、（1）実用化まで長期間を要するハイリスクな「基盤的技術」に対して、産学官の複数事業者が互いのノウハウ等を持ちより協調して実施する事業、又は（2）試験・評価方法、基準・プラットフォームの提案等、国民経済的には大きな便益がありながらも、民間企業の研究開発投資に見合うものが見込めない「公共財の研究開発」事業であり、原則、委託事業として実施する。ただし、（1）については上記以外のもの<sup>（※1）</sup>は、共同研究事業（NEDO負担率：2／3）として実施する。

※1 民間企業単独、民間企業のみでの連携、大学等の単独等、産学官連携とならないもの。

### 2. 研究開発の実施方式

#### （1）研究開発の実施体制

本研究開発は、独立行政法人新エネルギー・産業技術総合開発機構（以下、「NEDO」という。）が、単独ないし複数の原則本邦の企業、大学等の研究機関（原則、本邦の企業等で日本国内に研究開発拠点を有していること。なお、国外の企業等（大学、研究機関を含む）の特別の研究開発能力、研究施設等の活用または国際標準獲得の観点から国外企業等との連携が必要な部分を、国外企業等との連携により実施することができる。）から公募によって研究開発実施者を選定後、共同研究契約等を締結する研究体を構築し、委託して実施する。

共同研究開発に参加する各研究開発グループの有する研究開発ポテンシャルの最大限の活用により効率的な研究開発の推進を図る観点から、必要に応じて研究体にはNEDOが委託先決定後に委嘱する研究開発責任者（プロジェクトリーダー）を置き、その下に研究者を可能な限り結集して効果的な研究開発を実施する。

#### （2）研究開発の運営管理

研究開発全体の管理・執行に責任と決定権を有するNEDOは、経済産業省及びプロジェクトリーダーと密接な関係を維持しつつ、プログラムの目的及び目標、並びに本研究開発の目的及び目標に照らして適切な運営管理を実施する。また、必要に応じて、外部有識者の意見を運営管理に反映させる。

### 3. 研究開発の実施期間

本研究開発の期間は、平成21年度から平成24年度までの4年間とする。

#### 4. 評価に関する事項

NEDOは、技術的および政策的観点から見た技術開発の意義、目的達成度、成果の技術的意義並びに将来の産業への波及効果等について、外部有識者による研究開発の事後評価を平成25年度に実施する。なお、評価の時期については、当該研究開発に係る技術動向、政策動向や当該研究開発の進捗状況などに応じて、前倒しする等、適宜見直すものとする。

#### 5. その他の重要事項

##### (1) 研究開発成果の取り扱い

###### ①成果の普及

得られた研究開発成果のうち、共通基盤技術に係るものについては、プロジェクト内で速やかに共有した後、NEDOおよび実施者が協力して普及に努めるものとする。

###### ②産業財産権の帰属

委託研究開発の成果に関わる産業財産権については、「独立行政法人新エネルギー・産業技術総合開発機構 新エネルギー・産業技術業務方法書」第25条の規定等に基づき、原則として、すべて委託先に帰属させることとする。

##### (2) 基本計画の変更

NEDOは、基本計画の内容の妥当性を確保するために、社会・経済的状況、内外の技術開発動向、政策動向、プログラム基本計画の変更、評価結果、研究開発費の確保状況、当該研究開発の進捗状況等を総合的に勘案し、達成目標、実施期間、研究開発体制等、基本計画の見直しを弾力的に行う。

##### (3) 根拠法

本プロジェクトは、独立行政法人新エネルギー・産業技術総合開発機構法第15条第1項第1号ハに基づき実施する。

#### 6. 基本計画の改訂履歴

- (1) 平成21年3月、制定。
- (2) 平成22年8月、改訂（研究開発項目の追加）
- (3) 平成23年3月、改訂（研究開発項目⑤の目標設定）

## (別紙) 研究開発計画

### 研究開発項目① ロジック回路技術 (研究開発期間 平成21年度から平成23年度)

#### 1. 研究開発の必要性

ロジック回路部の消費電力は電源電圧に大きく依存し、電源電圧を極限まで低減した「極低電圧(0.5V以下)動作のロジック回路技術」が求められている。すでに微細化に伴う素子構造の縮小化によりプロセス起因、或いは使用している物質・材料固有のばらつきが顕在化しているが、極低電圧ではこれらの影響が更に増加する。チップ間やブロック間のシステムティックばらつきの影響を低減するには電源電圧やしきい値電圧の適応制御が有効と知られているが、これまでロジック技術領域ではそれほど問題視されていなかったランダムばらつきへの対策が必要になる。このためには、極低電圧でのロジック回路動作課題を的確に抽出する評価技術と、それを解決する回路技術の開発が強く求められている。

#### 2. 研究開発の具体的内容

ロジック技術領域における低電力CMOS LSIに適した、極低電圧CMOS回路技術の実現に求められる極低電圧での回路動作課題を抽出する評価技術と、それを解決する回路技術を開発する。

##### (1) 極低電圧での回路動作課題を解決する回路技術の開発

- ①ベースとなる電源電圧やしきい値電圧の適応制御技術
- ②ばらつき耐性を実現する細粒度適応制御技術、例えば、ランダムばらつきの影響を低減するパイプラインタイミングの局所適応制御技術や構成要素の冗長化技術等
- ③極低電圧動作回路技術、耐ノイズ回路技術

##### (2) 極低電圧での回路動作課題を抽出する評価技術の開発

TEG試作を通じた、ロジック基本回路の低電圧特性やばらつき耐性に関する評価・解析基盤技術開発

##### (3) 実用製品に適用できるレベルの実証チップの試作

(1)により最先端CMOS技術で実証チップを試作、評価し低電力性能を実証する。

#### 3. 達成目標

最終目標として、平成23年度末までに以下の目標を達成する。

最先端CMOS技術を用いた、ロジック技術領域の極低電力システムLSIを実現する極低電圧CMOS回路の要素技術を開発し、これにより 16bit加算器あるいは同等以上の機能と規模を持つ回路IPを試作し、エラーレート $10^{-10}$ 以下を満たしつつ、本テーマの開発成果を用いていない従来技術との比較で、処理性能を揃えた条件で消費電力が1/10以下に低減できることを示す。

## (別紙) 研究開発計画

研究開発項目② メモリ回路技術 (研究開発期間 平成21年度から平成23年度)

### 1. 研究開発の必要性

ロジック技術領域と同様に、メモリ技術領域でも、一層の低電力化のために革新的新技術の導入が必須である。具体的には、不揮発性メモリ技術や3次元実装技術の利用に加えて、極低電力のオンチップメモリが求められている。また、微細化に伴う素子構造の縮小化により、トランジスタのリーク電流が増大して、動作時電力のみでなくオンチップメモリの待機時の電力の低減も重要な課題となっている。オンチップメモリとして重要なSRAMの技術領域では、メモリ動作がトランジスタのばらつきに敏感なため、低電力、低電圧動作にかかわるブレイクスルーが強く求められている。

### 2. 研究開発の具体的内容

低電力メモリの基盤技術として、ロジック回路と同じプロセス、材料で製造でき、コスト面で有利なバルクCMOS技術を使った低電力SRAM技術を開発する。動作電源電圧はSRAMとして、最小動作電力となる電源電圧を本プロジェクトの中で見極めていく。

(1) メモリ周辺回路の制御によりメモリセルの動作マージンを高める技術の開発

①メモリ周辺回路の電圧制御、タイミング制御技術により、メモリセルの動作マージンを向上させつつ低電圧化を図り、低電力化を実現する。

②周辺回路による電圧制御のための高効率オンチップDC-DCコンバータの開発

(2) 低電圧動作メモリセルの開発

(1)の検討により、必要に応じて、現在、一般的な6トランジスタセル以外の可能性を検討する。新規メモリセルの開発は、産業界の実用化の可能性を睨みながら判断する。

①低電圧新規メモリセルの開発

②上記メモリセルに対応する最適な周辺回路技術の構築

(3) TEG (Test Element Group) 試作による実証

(1)、(2)で開発した技術を総合的に組み合わせた上で、SRAMを作製し低消費電力性能実証を行う。

### 3. 達成目標

最終目標として、平成23年度末までに以下の目標を達成する。

新しい回路技術、メモリセル技術を用いた、極小電力を実現する低電圧動作SRAMを開発し、これにより低電力SRAMを試作し、本テーマの開発成果を用いていない従来技術との比較で、1Mbit当たりの消費電力が1/10以下に低減できることを示す。

## (別紙) 研究開発計画

### 研究開発項目③ アナログ回路技術 (研究開発期間 平成21年度から平成23年度)

#### 1. 研究開発の必要性

システムを集積するLSI (SoC等)において、ロジック、メモリ、アナログ回路の搭載は、必要不可欠なものである。このためロジックとの同電圧で動作するアナログ回路、或いはロジック回路と接続性・親和性を持ったアナログ回路が要求される。

デジタル回路においてはとくに、ロジックと同電位で安定動作するクロック位相調整回路PLL (Phase Lock Loop)は不可欠であり、従来技術の延長線上には抜本的な解決策が見あたらない。従来技術とは異なる発想に基づく研究開発に取り組み、実用化開発に向けての指針を提示することが求められている。

#### 2. 研究開発の具体的内容

##### (1) 0.5V動作新方式PLL技術の開発

ロジック回路の安定動作を行うためには、クロック信号の安定性能が要求される。クロックのジッタ<sup>(\*3)</sup>特性の劣化はシステム全体にダメージを与え、動作不具合の要因となり得る。またロジックと異電位でのクロック源では、レベルシフタの挿入などによるジッタの悪化が懸念される。これらの問題を解決するために、0.5Vロジック回路と共存できるアナログ回路である0.5V動作低ジッタ性能PLLを開発する。

①ロジックと同電位0.5V動作PLL回路を開発する。

②低電力で広帯域(1MHz～)に適用可能なPLLアーキテクチャーを開発する

(2) その他のアナログ回路(A/Dコンバータ、比較器、増幅器等)

(3) TEGチップ試作による実証

(\*3) ジッタ：時間軸上における信号のゆらぎのこと

#### 3. 達成目標

最終目標として、平成23年度末までに以下の目標を達成する。

0.5V動作新方式PLL技術を開発し、これにより、TEGチップによる低ジッタPLLの実証とロジックも含めた動作実証を行う。

## (別紙) 研究開発計画

### 研究開発項目④ 電源回路技術 (研究開発期間 平成21年度から平成23年度)

#### 1. 研究開発の必要性

0.5V動作でのロジック回路においてもロジックへの電源電圧に誤差が無く、急峻負荷変動においても電圧降下が無い電源が必須である。ロジック或いはシステムLSIの0.5V安定動作を確保するために、従来のシステム設計を見直し、新たな発想によるロジック回路への電源供給システムを開発する。

#### 2. 研究開発の具体的内容

デジタル回路およびメモリ回路に0.5Vを安定に供給するには、既存の開発電源回路技術では、低消費電力性能が期待できない。したがってロジック側の動作状態、情報から電力管理を行う協調制御した電源構成等の技術により、安定かつマージンのある低電力電源システムを開発する。

(1) 極低電圧ロジック回路を安定動作させる電源システムの開発

①ロジックの消費電力情報をフィードバックする電源システムを開発する。

②最適電圧に可変可能な電源システム開発する。

(2) 供給電力として0.5Vを想定した低消費電力昇降圧DC/DCコンバータの開発

①供給電圧0.5Vから電源回路内基準電圧発生回路を開発する。

②供給電力から見た最適電力効率となる構成を検討し、高効率な電源システムを開発する。

(3) 実証

(1)・(2)で開発した要素回路技術を用いた電源システムの試作により、低消費電力化性能の実証を行う。

#### 3. 達成目標

最終目標として、平成23年度末までに以下の目標を達成する。

低電圧システムに適した電源回路、電源システム技術を開発し、これにより、ロジック回路と組み合わせたLSIチップを試作し、高い動作マージンを得られることを示す。

## (別紙) 研究開発計画

### 研究開発項目⑤ 極低電力LSIチップ統合最適化技術

(研究開発期間 平成23年度から平成24年度)

#### 1. 研究開発の必要性

本プロジェクトで開発される極低電圧要素回路技術を適用し、LSIチップ全体として統合化するための最適化技術が求められる。

#### 2. 研究開発の具体的内容

極低電圧要素回路技術では、低電力化のために極低電圧で動作する要素回路技術を開発する。開発された極低電圧要素回路技術の主要部分を統合し、LSIチップとして最適な性能を発揮させるための、省エネ制御と統合電源システムを組み合わせた極低電力LSIチップ統合最適化技術(極低電力LSIチップ設計手法)を開発する。極低電力LSIチップ統合最適化技術を適用した、極低電力LSIチップを試作し、低消費電力化効果を実証する。

##### (1) 極低電力LSIチップ統合最適化技術

電源回路やロジック回路、メモリ回路等の要素技術開発との連携を取り、LSIチップとして最適な性能を導き出すチップアーキテクチャを決定する。

##### (2) 極低電力LSIチップを試作し、その性能評価を行う。

(3) 上記(2)に比較してより大規模(100万トランジスタ程度)で複雑なデータ処理LSIチップを設定し、必要な設計環境を用いて、その消費電力のシミュレーション又はチップ試作による実証を行う。

#### 3. 達成目標

最終目標として、平成24年度末までに以下の目標を達成する。

(1)(2)により 極低電力LSIチップの低電力効果(同じ処理を行うための消費電力が従来技術に比べ1/10以下への低減)を実証する。

(3)により 大規模で複雑なデータ処理LSIチップの大幅な低電力効果を実証し、さらに、大規模化に伴う低消費電力化克服への技術提案を行う。

## (別紙) 研究開発計画

### 研究開発項目⑥ 低電力無線回路/チップ間ワイヤレス技術

(研究開発期間 平成21年度から平成24年度)

#### 1. 研究開発の必要性

将来のネットワーク社会においては、①LSIチップ間の非接触データ転送技術によるデータ伝送、②センサネット等のユビキタスネットワーク、③アクセスポイント間的高速伝送、高解像動画信号等の無線による高速データ転送の必要性が急速に進むことが予想される。したがって、電力削減のためにはLSIの演算処理部分と同じく、無線技術領域でも革新的低電力技術の導入が必須である。ユビキタス社会の基盤技術として、低電力の無線回路/チップ間ワイヤレス技術の開発が強く求められている。

#### 2. 研究開発の具体的内容

低電力インタフェースの基盤技術として、無線距離と伝送速度を等しくして比較した場合、従来技術より一桁省電力の低電力無線/チップ間ワイヤレス技術を開発する。開発した要素回路技術は試作による低消費電力化性能の実証を行う。

用いる技術は汎用性あるいは値段を考えバルクCMOS技術を前提とする。電源は0.5V以下とするが、低電力化のために昇降圧技術を用いることもある。

#### 3. 達成目標

最終目標として、平成24年度末までに以下の目標を達成する。

低電圧RF CMOS回路技術を用いた、低電力無線/チップ間ワイヤレス技術を開発し、これにより、TEGを試作し、50pJ/bit以下の低消費電力通信技術が実用レベルであることを示す。

研究開発項目⑦は技術分野が大きく違うため、別途事後評価分科会を行います。今回は対象外です。

(別紙) 研究開発計画

研究開発項目⑦ 低消費電力メニーコア用アーキテクチャとコンパイラ技術

(研究開発期間 平成22年度から平成24年度)

1. 研究開発の必要性

情報通信機器や車載機器等の高度化・設置数の急激な増加に伴い、情報処理量とエネルギー消費量の増大が見込まれ、これらの機器に組み込まれるプロセッサの高性能化・高機能化だけでなく低消費電力化が重要な課題となっている。そこで、多数のプロセッサコアをワンチップに搭載したメニーコア・プロセッサ<sup>(\*)</sup>によって、この課題を解決することが有望と考えられているが、平成21年度 of メニーコア・プロセッサ先導研究で得られた知見によれば、高性能・高機能かつ低消費電力のメニーコア・プロセッサの実現には、ソフトウェアによる周波数・電圧等のきめ細かい電力制御を行うことが必要である。コア数が増えるに伴い、人間がアプリケーションプログラムの中に電力制御の仕組みを組み込んでいくことには非常に困難が伴うため、API (コンパイラへの指示) 等を用いたコンパイラ技術の開発が必須である。

(\*) コア数が32~64以上を指す。

2. 研究開発の具体的内容

低消費電力メニーコア用アーキテクチャを検討し、組み込み用のメニーコア・プロセッサ及び各種サーバ上でコンパイラの動作を可能とするAPI (コンパイラへの指示) を策定する。そのAPIを用いたコンパイラを開発し、組み込み向けアプリケーションプログラムで評価する。評価結果をもとにアーキテクチャとAPIへのフィードバックを行う。

併せて提案する技術を適用するアプリケーションの拡大に向けた検討を行う。

3. 達成目標

最終目標として、平成24年度末までに以下の目標を達成する。

あるべき低消費電力メニーコア用アーキテクチャを提案し、開発するコンパイラ技術を用いて既存技術と比べて電力当たりの処理性能2倍を達成する。かつ、メニーコア・プロセッサ上で組み込み向けアプリケーションプログラム実行時の電力消費量を1/10以下にする。

## 添付資料 3

### 事前評価書（案）

	作成日	平成21年2月16日
1. 事業名称 (コード番号)	極低電力回路・システム技術開発（グリーンITプロジェクト）	
2. 推進部署名	電子・情報技術開発部	
3. 事業概要	<p>(1) 概要：半導体集積回路（LSI）のさらなる高集積化、高機能化に向けて、材料・プロセス技術とともに半導体技術の車の両輪として重要な設計技術分野における低消費電力化の技術開発が求められている。本プロジェクトは、LSIにおける消費電力の1/10以下への削減を目標とした極低電圧要素回路と統合最適化技術、低電力無線技術の開発により、無線ネットワーク端末やセンサノードなど、将来の「極低電力回路・システム技術」を可能とする。</p> <p>(2) 事業規模：総事業費 40億円（未定）</p> <p>(3) 事業期間：平成21年度～24年度（4年間）</p>	
4. 評価の検討状況	<p>(1) 事業の位置付け・必要性</p> <p>地球温暖化問題は、世界全体で早急に取り組むべき最重要課題であり、経済・社会活動と地球環境の調和を実現するためには、画期的な技術革新が求められている。</p> <p>IT機器の高度化・設置台数の急激な増加に加え、ブロードバンド通信の普及等により社会で扱う情報量は急激に増大しつつある。それに伴い、ネットワークシステムを構成するIT機器が消費する電力も増大し、その省エネルギー化が重要な課題となっている。将来のネットワークシステムの省電力化のためには、基幹系・アクセス系ネットワーク、ネットワーク端末だけでなく、末端のセンサノードに至る全ての電子機器の低消費電力化が求められる。本プロジェクトは、将来のネットワークシステムに使われる半導体集積回路（LSI）の低消費電力化に貢献する極低電力回路・システム技術を開発し、我が国の半導体関連産業の国際競争力強化に資すると同時に、地球環境の温暖化抑制に貢献することを目的として、ITイノベーションプログラム・エネルギーイノベーションプログラムの一環として実施する。</p> <p>LSIの低消費電力化には、電源電圧の低電圧化が最も効果的である。しかし低電圧の条件下ではCMOS回路の動作が不安定になり、LSIの製造ばらつきやノイズなどに影響され、動作マージン減少、誤動作などの障害が、現在に比較して極めて増大する。LSIとして安定動作させるには、ロジックやメモリなど構成回路の極低電圧化はもちろん、電源電圧をきめ細かく制御する電源システム、LSIチップと外部との各種I/Oインタフェースなど、LSIでの実用化に向けた様々な回路・システム技術、設計技術が必要である。これらの効率的な開発のためには、デバイスメーカー各社単独で取り組むよりは、共通の課題を抱える企業が協同し、トップレベルの研究ポテンシャルを有する大学と産学連携による総合的な取り組みが重要であり、このため、NEDO技術開発機構の委託事業としての技術開発が必要である。</p>	

## (2) 研究開発目標の妥当性

### <目標>

極低電圧要素回路技術と極低電力無線/チップ間ワイヤレス通信技術を開発し、これら要素技術の主要部分を統合最適化する技術で、LSIチップの低消費電力化を図る。同じ処理を行うための消費エネルギーを従来技術に比べ1/10以下に削減することを目標とする。

#### (1) 極低電圧要素回路技術

ロジック回路技術開発:極低電圧ロジック回路の開発

メモリ回路技術開発:オンチップ極低電圧メモリ回路の開発

アナログ回路技術開発:0.5V動作新方式PLL回路等の開発

電源回路技術開発:0.5Vで安定動作する新規電源回路の開発

#### (2) 極低電力LSIチップ統合最適化技術

(1)の要素回路技術の主要部分を統合し、省エネ制御と統合電源システムを組み合わせた極低電力LSIチップ設計手法を開発する。さらに、企業による実証的な研究開発を行う。

#### (3) 低電力無線/チップ間ワイヤレス技術

従来技術より1桁低電力の低電力無線/チップ間ワイヤレス技術を開発する。

### <妥当性>

LSIの低消費電力化には、電源電圧の低電圧化が最も効果的である。現在、電源電圧1V近辺で使われているLSIの電源電圧を、0.5V以下まで下げ、動作スピードの適応制御など回路対策とあわせることにより、同じ処理を行うための消費エネルギーは1/10程度にできる。しかし0.5VはCMOS回路の安定動作の下限電圧に近く、その動作マージンは、1V近辺で使われているLSIに比べLSIの製造ばらつきやノイズなどに大きな影響を受ける。このため、0.5V化の研究は行われているが、0.5V以下で安定動作するLSIチップ化という観点からは実用化には遠い。設定された各技術開発項目は、極低電力回路・システム化を実現する上で解決すべき基盤技術であり、大きな電力削減効果が期待できる。従って、上記の目標設定は妥当であると考えられる。

## (3) 研究開発マネジメント

公募を実施し、最適な研究開発体制を構築する。また、必要に応じて、外部有識者の意見を求め、その評価結果を踏まえて事業全体について見直しを行い、適切な運営管理に努める。

## (4) 研究開発成果

低消費電力が期待できる極低電力回路・システムの実現に向けた革新的な技術開発が達成される。

従来技術に比べ1/10以下という大きな電力削減効果が期待され、IT機器における国内電力消費量を抑制することが可能となる。また、国際競争力の強化にも資する。

## (5) 実用化・事業化の見通し

本開発成果の実用化の見通しとして、平成24年度末までに、本プロジェクトの研究開発成果をもとに、企業が実用化を念頭に置いたアプリケーションを設定し、その消費電力のシミュレーション又はチップ試作による実証を行う。

## (6) その他特記事項

低電力技術は、わが国が得意とし、今後とも世界をリードし、今後の日本の産業競争力強化のための必須技術である。本低電力技術開発によって達成されるブレークスルー技術は、日本の半導体ならびにアプリケーション分野において革新的製品を排出させる導火線となるもので、産業界がその実現を待望しているものである。

## 5. 総合評価

地球温暖化防止に向けたIT機器の低消費電力化を目指した本事業の意義と必要性は非常に高く、NEDOで実施する事業として適切であると判断する。

「極低電力回路・システム技術開発基本計画（案）」に対するパブリックコメント募集の結果について

平成21年3月3日  
NEDO技術開発機構  
電子・情報技術開発部

NEDOPOST3において標記基本計画（案）に対するパブリックコメントの募集を行いました結果をご報告いたします。  
お寄せいただきましたご意見を検討し、別添の基本計画に反映させていただきました。  
みなさまからのご協力を頂き、ありがとうございました。

1. パブリックコメント募集期間  
平成21年2月17日～平成21年2月27日
2. パブリックコメント投稿数＜有効のもの＞  
計3件
3. パブリックコメントの内容とそれに対する考え方

ご意見の概要	ご意見に対する考え方	基本計画への反映
<p>1. 研究開発の目的 (2)研究開発の目標</p> <p>[意見1] ロジックの目標のエラーレートにはソフトエラーのような間欠エラーも含めて調べてください。</p>	<p>本プロジェクトでは、低電圧条件下における極低電力LSIチップの実証を目指しておりますので、実用化の観点からエラーレートを設定しておりますが、間欠エラーレートの調査も必要に応じて実施いたします。</p>	<p>特になし</p>
<p>[意見2]1(2)研究開発の目標に書かれた1/10以下の目標は非常に高く、それに(*2)の制約を設けることは、次の理由で適当でないと考えられます。</p> <p>(a) 製造ばらつきの影響はプロセスが微細化された場合の方が大きいので、微細化への対応を排除するような制約を設けることは適当ではありません。</p> <p>(b) 1/10の目標は非常に高いので、0.5V動作だけでは達成できません。微細化やプロセス改良による寄生容量の削減と組み合わせると、ようやく可能性が見えるレベルと思われれます。回路技術だけで目標達成するために、特定の応用に特化した非常に特殊な回路を開発するようなことになれば、技術の汎用性が損なわれることになり、かえって産業界に貢献できなくなることが危惧されます。</p> <p>(c) 技術戦略マップ上の位置付けに引用された技術ロードマップでは、2008年は0.1μW/G @500MHz、プロジェクト完了の2012年は0.08μW/G @800MHz、翌2013年は0.05μW/G@1GHzとなっています。周波数を揃えて比較しても2008年を基準として1/2(2012年)～1/4(2013年)の削減に止まります。これに対して1/10の目標は、通常の微細化やプロセス改良の効果を含めても、トレンドを十分に上回ることは明らかです。</p> <p>以上の点と本プロジェクトは回路・システム開発を主眼とすることを考慮して、次の修正案を提案させていただきます。</p> <p>(修正案)p1、最下行の「1/10以下」を「主として回路技術により概ね1/10」に変更する。</p> <p>(修正案)p2、第3行の(*2)を、「既存技術の延長線上にない新デバイス構造による消費電力削減効果は含めない」に変更する。</p>	<p>ご指摘のように、消費電力 1/10 の達成目標はチャレンジングであり、またロードマップからもトレンドを上回っておりますが、この目標値については外部有識者から成る基本計画検討委員会でご検討いただき、さらに米国 MITでは、新しい製品分野に向けた極低消費電力回路技術の開発が進められている状況です。日本において、2012年に極低電圧での安定動作技術をもつことは、エレクトロニクス製品の省電力化において、数年の時間的な国際的技術優位性をもつことができ、ぜひこのチャレンジングな目標を達成していきたいと考えます。</p> <p>(*2)についてですが、低電圧下での安定な回路動作実現のためにはバラツキへの対応が重要と考えられます。バラツキは基本的には世代が進むと増加する方向ですので、この研究開発の出口時点で広く用いられているプロセス等を用いることができます。ただし、あくまでも本研究開発の対象は回路、システム、設計技術による消費電力削減である事を考慮して、基本計画に反映いたします</p> <p>P. 2 (*2)の記載を以下のように変更する。 『(*2)本研究開発の対象は回路、システム、設計技術による消費電力削減であり、新材料、新プロセス、新デバイス構造による消費電力削減効果は含めない。』</p>	

<p>【意見3】 ばらつきを考慮した0.5V動作回路の実用的な研究開発を推進するため、ロジック、メモリ、統合最適化において、消費電力1/10の達成目標を、理想値とオーバーヘッドを考慮した現実的な値の範囲である1/3～1/5程度に変更すべき。0.5Vではチップ間のばらつきの影響が一層大きくなるとともに、チップ内のばらつきも顕在化するため、0.5Vでの安定動作を実現するためにはこれまでにない革新的な技術開発が求められます。ばらつきを考慮した0.5V動作回路はチャレンジ目標として適切であり、企業として本プロジェクトの成果をぜひ活用したいと考えます。但し、現状の1.2Vから0.5Vに電源電圧を低下した場合、消費電力は理論的に1/10に達しないので、0.5V動作回路の本質的研究を推進するために、企業による実証的な研究開発目標値を見直す必要があると考えます。目標値としては、理想値が<math>(0.5/1.2)^2=0.1736</math>であり、革新回路技術のオーバーヘッドを最大1.5～2倍まで許容すると、理想値を含めた電力目標1/3～1/5程度が妥当と思われる。</p>	<p>ご指摘のように、消費電力 1/10 の達成目標はチャレンジングではありますが、この目標値については外部有識者から成る基本計画検討委員会でご検討いただき、さらに米国 MITでは、新しい製品分野に向けた極低消費電力回路技術の開発が進められている状況です。日本において、2012年に極低電圧での安定動作技術をもつことは、エレクトロニクス製品の省電力化において、数年の時間的な国際的技術優位性をもつことができ、ぜひこのチャレンジングな目標を達成していきたいと考えます。</p>	<p>特になし</p>
<p>【意見4】 デバイスプロセスの影響を考慮すべき。研究開発の目標における条件として、(*2)新材料、新プロセス、新デバイス構造による消費電力削減効果を含めない、の記載がございしますが、0.5V の極低電圧においては、デバイスばらつきの影響を考慮し、それに合った回路技術を研究開発すべきと考えます。将来のデバイスプロセス動向を見据えて、そこでの効果も含めて、主に回路技術によって目標を達成すべきと考えます。但し、特殊なデバイス構造による効果は実用上の問題があり除くべきと考えます。具体的な表現例としては、(*2)主として回路技術により達成し、特殊なデバイス構造による消費電力削減効果は含めない。とすべきと考えます。</p>	<p>低電圧下での安定な回路動作実現のためにはパラツキへの対応が重要と考えられます。パラツキは基本的には世代が進むと増加する方向ですので、この研究開発の出口時点で広く用いられているプロセス等は用いることができます。ただし、あくまでも本研究開発の対象は回路、システム、設計技術による消費電力削減である事を考慮して、基本計画に反映いたします。</p>	<p>P. 2 (*2)の記載を以下のように変更する。 『(*2)本研究開発の対象は回路、システム、設計技術による消費電力削減であり、新材料、新プロセス、新デバイス構造による消費電力削減効果は含めない。』</p>
(3) 研究開発の内容		

<p>【意見5】 ロジックやメモリでナノワイヤトランジスタや単一電子トランジスタなどの利用も探すべきです。消費電力を下げるには電流のon/off比を上げることが必要で、上記のものはどちらも有利です。</p>	<p>ナノワイヤトランジスタや単一電子トランジスタの技術は、将来低消費電力化には大きく貢献するものと考えておりますが、現在研究開発段階にあります。本プロジェクトでは、平成24年度末までに極低電力LSIチップの実証を目指しており、実用レベルにあるプロセス、材料、構造を前提にした設計技術の開発を実施いたします。</p>	<p>特になし</p>
<p>【意見6】 回路を休ませるといことはその分使わないので性能を落として使うことと同じです。であれば、High-kなど使わず酸化膜厚が厚いトランジスタで作ればよいのです。</p>	<p>どの様なアプリケーションを実用化するかににより、用いるプロセス、材料、構造が違ふと考えられますが、本プロジェクトでは、ハイパフォーマンスLSIも適用範囲に考えて、極低電力LSIチップの開発を実施します。</p>	<p>特になし</p>
<p>【意見7】 (別紙)研究開発計画 研究開発項目5 極低電力LSIチップ統合最適化技術には、(3)企業による実証的な研究開発の達成目標として、「目標については平成22年度末までに…別途設定する。」とあります。このように目標をプロジェクト開始時に設定せずに状況に応じて後ほど別途設定することは、企業における研究開発の実態を反映したものであり、妥当と思われる。 本プロジェクトで開発された技術は普遍的なものであっても、アプリケーションによって最適な要素技術の組み合わせや適用する製造プロセスは変化しますし、必ずしも0.5Vが最適ではないかもしれません。そこで、次の修正案を提案させていただきます。 (修正案)p8の下から2行目「(3)に係わるアプリケーション、目標については」を、「(3)に係わるアプリケーションとそれに対応した目標については」に変更する。</p>	<p>ご指摘のように、企業による実証的な研究開発の達成目標には実用化の観点から設定する必要が有ると考えますので、基本計画に反映いたします。</p>	<p>P. 9 達成目標(3)に係わる記載を以下のように変更する。 『(3)に係わるアプリケーションとそれに対応した目標については平成22年度末までに、研究開発項目①～④及び⑥の要素技術開発進捗状況を考慮し、別途設定する。』</p>

以上

【特許等】

出願日	出願番号	出願に係わる特許等の表題	出願人
2010/5/24	2010-118100	半導体記憶素子の電圧特性調整方法およびチャージポンプ並びにチャージポンプの電圧調整方法	東京大学
2010/9/10	2010-203369	半導体集積回路	パナソニック
2010/9/14	2010-205155	電源回路	日立
2010/9/17	2010-208748	昇圧回路およびブーストコンバータ	東京大学
2010/11/5	2010-248241	位相デジタル変換器	ルネサスエレクトロニクス
2010/11/22	2010-260338	スタティックRAM	富士通セミコンダクター
2010/12/27	2010-291150	時間デジタル変換器	慶應大学
2011/1/13	2011-4548	半導体集積回路及び電源電圧適応制御システム	ルネサスエレクトロニクス
2011/1/27	2011-014726	ディレイラッチ回路、および、ディレイフリップフロップ (A Delay Latch Circuit)	ソニー
2011/1/28	2011-016245	半導体記憶装置	東芝
2011/2/9	2011-025605	電源装置	東京大学
2011/2/9	2011-025604	METHOD AND APPARATUS FOR SIGNAL DESKEW (シグナルデスキューの方法及び装置)	東京大学
2011/2/18	2011-033619	電圧検出回路	東京大学

2011/2/24	2011-038350	半導体装置	富士通
2011/3/23	2011-064935	半導体記憶装置	東芝
2011/3/31	2011-077214	情報処理装置、情報処理システム、情報処理装置の制御方法、および、プログラム (Semiconductor Integrated Circuit)	ソニー
2011/5/23	2011-114534	比較器及びAD変換器	慶應大学
2011/6/9	2011-129195	差動入力回路および差動入力回路の電圧特性調整方法	東京大学
2011/6/11	2011-130757	書込み用ビットラインの充放電電力を削減する半導体記憶装置	神戸大
2011/9/2	2011-191850	半導体装置	富士通, 東京大学
2011/9/9	2011-196715	昇圧回路	東京大学
2011/9/12	2011-198002	集積回路および集積回路の制御方法	ソニー
2011/9/12	2011-197939	集積回路	ソニー
2011/9/12	2011-197940	集積回路	ソニー
2011/9/12	2011-197941	集積回路	ソニー
2011/9/15	2011-201604	スタティックランダムアクセスメモリの電圧特性調整方法	東京大学

2011/10/13	2011-226144	復調装置および無線通信システム	シャープ
2011/11/21	2011-173764	スタティックRAM	富士通セミコンダクター
2012/1/17	2012-006978	情報処理装置および情報処理装置の制御方法	ソニー
2012/1/17	2012-006979	情報処理装置および情報処理装置の制御方法	ソニー
2012/3/21	2012-064455	半導体記憶装置	東芝
2012/3/23	2012-068330	ASK信号発生器	東芝
2012/4/27	2012-102930	半導体記憶装置およびその制御方法	富士通セミコンダクター
2012/5/1	2012-104507	半導体記憶装置およびそのデータ書き込み方法	富士通セミコンダクター
2012/5/17	2012-113480	時間デジタル変換器	ルネサスエレクトロニクス
2012/6/8	2012-131403	受信装置および無線通信装置	シャープ
2012/9/10	2012-198657	クロック周波数制御装置、半導体装置	ルネサスエレクトロニクス
2012/9/10	2012-198259	信号伝送回路	東京大学
2012/9/12	2012-200045	増幅器及び送信機	東京大学

【研究発表・講演】

発表年月日	発表媒体	発表タイトル	発表者
2009/7/7	日経マイクロデバイス「0.5V 駆動LSIへの挑戦～LSI 低電圧化の技術シナリオ～」セミナー	アナログ・RF回路の低電圧化へのアプローチ	松澤 昭
2009/7/18	IEEE Symposium on VLSI Circuits	A 0.114-mW Dual-Conduction Class-C CMOS VCO with 0.2-V Power Supply	Kenichi Okada, You Nomiyama, Rui Murakami, and Akira Matsuzawa
2009/7/23	電子情報通信学会シリコンアナログRF研究会（於 東京工業大学）	0.2V電源で動作可能な0.114mWデュアルコンダクションClass-C VCO	岡田 健一, 野見山 陽, 村上 墨, 松澤 昭
2009/8/25	STARCフォーラム/シンポジウム2009	0.2V Dual-Conduction Class-C 電圧制御発振器	原 翔一, 野見山 陽, 村上 墨, 岡田 健一, 松澤 昭
2009/9/17	電子情報通信学会 ソサイエティ大会（於 新潟大学）	0.5V駆動LSIの実現に向けたLC型発振器によるクロック発生の検討	佐藤高洋, 原 翔一, 岡田健一, 松澤 昭
2009/9/17	電子情報通信学会 ソサイエティ大会（於 新潟大学）	Class-C VCOを用いたクロック発生器の位相雑音特性の解析	浅田 大樹, 原 翔一, 岡田 健一, 松澤 昭
2009/9/17	電子情報通信学会 ソサイエティ大会（於 新潟大学）	リング発振器用低雑音電流源の検討	韓 政勲, 岡田 健一, 松澤 昭
2009/11/	Cross-strait Elite University IC Design Workshop	A 9.3MHz to 5.7 GHz Tunable LC-based VCO Using a Divide-by-N Injection-Locked Frequency Divider	Shoichi Hara, Kenichi Okada, and Akira Matsuzawa
2009/11/16～18	IEEE Asian Solid-State Circuits Conference (A-SSCC)	A 9.3MHz to 5.7 GHz Tunable LC-based VCO Using a Divide-by-N Injection-Locked Frequency Divider	Shoichi Hara, Kenichi Okada, and Akira Matsuzawa
2009/11/30	Invited Technical Workshop for Open Innovation～Green ICE at Tokyo Tech～	An ultra-low energy analog and RF circuit technology for emerging applications	Akira Matsuzawa

2010/2/1	IEICE Transactions on Fundamentals of Electronics	The Optimum Design Methodology of Low-Phase-Noise LC-VCO Using Multiple-Divide Technique	Shoichi Hara, Rui Murakami, Kenichi Okada, and Akira Matsuzawa
2010/2/7	IEEE International Solid-State Circuits Conference (ISSCC) Student Research Preview	A 10MHz to 7GHz Quadrature Signal Generation Using a Divide-by-4/3, -3/2, -5/3, -2, -5/2, -3, -4, and -5 Injection-Locked Frequency Divider	Shoichi Hara, Kenichi Okada, and Akira Matsuzawa
2010/2/11	(invited) IEEE International Solid-State Circuits Conference (ISSCC) Forum	An Ultra-Low-Power Analog and ADC Circuit	Akira Matsuzawa
2010/3/16	東北大学 電子情報通信学会	各種CMOSゲート・チェーンの最低可動電圧のモンテカルロ法によるシミュレーション	飯田 智士
2010/3/18	招待講演 電子情報通信学会総合大会 (於 東北大学)	超高速ADCの低FoM化技術	松澤 昭・宮原 正也
2010/5/	招待講演 電子情報通信学会集積回路研究専門委員会 LSIとシステムのワークショップ 2010	超低電力アナログ・RF回路技術：健康・環境などの新分野開拓に向けて	松澤 昭
2010/6/1	IEICE Transactions on Electronics	A Wide-Tunable LC-based Voltage-Controlled Oscillator Using a Divide-by-N Injection-Locked Frequency Divider	Shoichi Hara, Kenichi Okada, and Akira Matsuzawa
2010/6/1	IEICE Transactions on Electronics	Analysis of Phase Noise Degradation Considering Switch Transistor Capacitances for CMOS Voltage Controlled Oscillators	Rui Murakami, Shoichi Hara, Kenichi Okada, and Akira Matsuzawa
2010/6/15	Symposium on VLSI Circuits 2010	70% Read Margin Enhancement by Vth Mismatch Self-Repair in 6T-SRAM with Asymmetric Pass Gate Transistor by Zero Additional Cost, Post-Process, Local Charge Injection	宮地 幸祐
2010/6/15	Symposium on VLSI Technology 2010	Direct Measurements, Analysis, and Post-Fabrication Improvement of Noise Margins in SRAM Cells Utilizing DMA SRAM TEG	平本 俊郎
2010/6/16 ~18	IEEE Symposium on VLSI Circuits (VLSI Circuits)	10MHz to 7GHz Quadrature Signal Generation Using a Divide-by-4/3, -3/2, -5/3, -2, -5/2, -3, -4, and -5 Injection-Locked Frequency Divider	Shoichi Hara, Kenichi Okada, and Akira Matsuzawa

2010/6/18	電気学会 研究調査委員会	ミリ波（100GHz以上）における回路設計の課題	藤本 竜一
2010/6/22	SDM研究会	70% Read Margin Enhancement by Vth Mismatch Self-Repair in 6T-SRAM with Asymmetric Pass Gate Transistor by Zero Additional Cost, Post-Process, Local Charge Injection	宮地 幸祐
2010/7/21	(招待講演) 電子情報通信学会 シリコンアナログRF研究会 (於 大阪)	10MHz to 7GHz Quadrature Signal Generation Using a Divide-by-4/3, -3/2, -5/3, -2, -5/2, -3, -4, and -5 Injection-Locked Frequency Divider	原 翔一, 岡田 健一, 松澤 昭
2010/8/16	Integrated Circuits and Devices in Vietnam (ICDV2010)	A device-modeling technique for high-frequency circuits operated at over 100 GHz	藤本 竜一
2010/8/16 ~8/18	Integrated Circuits and Devices in Vietnam (ICDV2010)	On-Chip Spiral Inductor Design and Modeling Methodologies for Millimeter-Wave Applications	Uroschanit Yodprasit
2010/8/27	SDM/ICD研究会	プロセス工程後の局所的電子注入による非対称パスゲートトランジスタを有する6トランジスタ型SRAMとその読み出し時安定性の向上	宮地 幸祐
2010/9/13	ESSCIRC 2010	0.5 - V, 150 - MHz, Bulk - CMOS SRAM with Suspended Bit Line Read Scheme	鈴木 利一
2010/9/14	2010秋季応用物理学会	SRAMのばらつき一括自己修復手法	平本 俊郎
2010/9/14	2010秋季応用物理学会	作製後の6T-SRAMにおける電子の局所注入による非対称アクセストランジスタを用いた読み出し安定性の改善	宮地 幸祐
2010/9/15	2010秋季応用物理学会	極低電圧動作チャージトラップSRAM・強誘電体SRAM	竹内 健
2010/9/15	電子情報通信学会 ソサエティ大会 (於 大阪府立大学)	基板バイアスによる比較器のオフセット補償技術に関する検討	浅澤 豊旗, 山岸 世明, 宮原 正也, 松澤 昭

2010/9/19	CICC 2010	0.18-V Input Charge Pump with Forward Body Biasing in Startup Circuit using 65nm CMOS	陳 柏宏
2010/9/19	CICC 2010	0.5-V Input Digital LDO with 98.7% Current Efficiency and 2.7- $\mu$ A Quiescent Current in 65nm CMOS	大熊 康介
2010/9/19	CICC 2010	Elimination of Half Select Disturb in 8T-SRAM by Local Asymmetric Pass Gate Transistor	本田 健太郎
2010/9/24	SSDM	A 0.5V 1.4mW 750MHz 10b CMOS Current Steering DA	N. Shimasaki, R. Ito, M. Miyahara, A. Matsuzawa
2010/9/25	URSI Asia-Pacific Radio Science Conference (AP-RASC)	Phase Noise Scaling of LC-VCO for Ultra Low Supply Voltage	Wei Deng, Kenichi Okada, and Akira Matsuzawa
2010/10/1	電子情報通信学会誌, 93巻, 11号 (平成22年11月号)	極低電圧動作による低エネルギーLSI	高宮 真
2010/11/7	ICCAD 2010	Four Pitfalls of Misleading Energy and Performance Claimed in Sub/Near Threshold Digital Systems	Yu Pu
2010/11/8	A-SSCC 2010	0.6V voltage Doubler and Clocked Comparator for Correlation-based Impulse Radio UWB Receiver in 65nm CMOS	劉 樂昌
2010/11/8	A-SSCC 2010	A 120-GHz Transmitter and Receiver Chipset with 9-Gbps Data Rate using 65-nm CMOS Technology	藤本 竜一
2010/11/8	A-SSCC 2010	A Phase-to-Digital Converter for Wide Tuning Range and PVT Tolerant ADPLL Operating Down to 0.3V	林 勇
2010/11/8	A-SSCC 2010	1V Input, 0.2-V to 0.47-V Output Switched-Capacitor DC-DC Converter with Pulse Density and Width Modulation (PDWM) for 57% Ripple Reduction	張 信
2010/11/8	Tutorial IEEE Asian Solid-State Circuits Conference (A-SSCC)	An ultra low-power analog circuit and ADC design	Akira Matsuzawa

2010/11/8 ~10	IEEE Asian Solid-State Circuits Conference (A-SSCC)	A 0.5-V, 0.05-to-3.2 GHz, 4.1-to-6.4 GHz LC-VCO using E-TSPC frequency divider with forward body bias for sub-picosecond-jitter clock generation	Wei Deng, Kenichi Okada, and Akira Matsuzawa
2010/11/10	Synopsys Engineering Seminar Series	Random Variability in Transistors and SRAM: Measurement, Analysis, and Improvement	平本 俊郎
2010/11/11	ICCAD: Workshop on Variability Modeling and Characterization	Measurements and Post-Fabrication Self-Improvement of SRAM Cell Stability	平本 俊郎
2010/11/12	Solid State Technology and Devices Seminar	Variability in Transistors and SRAM: Measurement, Analysis, and Improvement	平本 俊郎
2010/11/22	シリコンアナログRF研究会 2010年11月	ワイドチューニングレンジ、かつ、PVTばらつき耐性のある位相デジタル変換器	林 勇
2010/11/22	電子情報通信学会シリコンアナログRF研究会（於 東京工業大学）	A 0.5V, 1.2mW, 110fJ, 600MS/s, 5Bit Flash ADC	宮原 正也, James Lin, 吉原 慶, 松澤 昭
2010/12/2	招待講演 第2回Technical Workshop for Open Innovation「Green ICE Initiativeの展開」	低電力アナログ・RF回路技術：戦略と実	松澤 昭
2010/12/6	International Workshop on Millimeter Wave Wireless Technology and Applications	A 0.5 V, 1.2 mW, 160 fJ, 600 MS/s 5 bit Flash ADC	James Lin, Kei Yoshihara, Masaya Miyahara, and Akira Matsuzawa
2010/12/6	International Workshop on Millimeter Wave Wireless Technology and Applications	Phase noise scaling of LC voltage-controlled oscillator for future 0.5-V sub-picosecond-jitter clock generation	Wei Deng, Kenichi Okada, and Akira Matsuzawa
2010/12/7	APMC 2010	D-Band 3.6-dB-Insertion-Loss ASK Modulator with 19.5-dB Isolation in 65-nm CMOS Technology	藤本 竜一
2010/12/10	APCCAS 2010	0.5 V Multi-Phase Digital Controlled Oscillator with Smooth Phase Transition Circuit	アブル ハサン ジョハリ

2010/12/10	APCCAS 2010	A 0.5V 65nm-CMOS single phase clocked bootstrapped switch with rise time accelerator	志方 明
2010/12/10	APCCAS 2010	A 0.5V 6-bit Scalable Phase Interpolator	熊木 聡
2010/12/16	電子情報通信学会技術研究報告 (IEICE ICD研究会(大阪))	アンビエント・エレクトロニクスと集積回路	更田 裕司
2010/12/17	IEICE ICD研究会 2010年12月	A1-V Input, 0.2-V to 0.47-V Output Switched-Capacitor DC-DC Converter with Pulse Density and Width Modulation (PDWM) for 57% Ripple Reduction	張 信
2010/12/17	IEICE ICD研究会 2010年12月	Misleading Energy and Performance Claimed in Sub/Near Threshold Digital Systems	Yu Pu
2010/12/17	IEICE ICD研究会 2010年12月	起動回路に向けた基板順バイアス型 0.18-V入力チャージポンプ回路	陳 柏宏
2010/12/20	IEEE SSCS 関西チャプター 技術講演会 2010年12月	A 120-GHz Transmitter and Receiver Chipset with 9-Gbps Data Rate using 65-nm CMOS Technology	藤本 竜一
2011/1/	IEEE/ACM Asia South Pacific Design Automation Conference (ASP-DAC),	An Ultra-Low-Voltage LC-VCO with a Frequency Extension Circuit for Future 0.5-V Clock Generation	Wei Deng, Kenichi Okada, and Akira Matsuzawa
2011/1/16	IEEE Radio Wireless Week 2011	A 2.6-mW 106-GHz Transmission-Line-Based Voltage-Controlled Oscillator Integrated in a 65-nm CMOS Process	Uroschanit Yodprasit
2011/1/17	IEEE Radio & Wireless Symposium 2011	An 0.5V, 0.91pJ/bit, 1.1Gb/s/ch transceiver in 65nm CMOS for high-speed wireless proximity interface	松原岳
2011/2/20	ISSCC 2011	A 95mV-Startup Step-Up Converter with VTH-Tuned Oscillator by Fixed-Charge Programming and Capacitor Pass-On Scheme	陳 柏宏

2011/2/21	ISSCC 2011(Forum)	Pitfalls in Deep-volt Logic Design	更田 裕司
2011/2/28	電子情報通信学会 総合大会 (於 東京都市大学)	A 0.5-V CMOS Power Amplifier with Adaptive Bias for Short-Rang Low-Power Applications	呉 鋭, 岡田 健一, 松澤 昭
2011/2/28	電子情報通信学会 総合大会 (於 東京都市大学)	Design of 0.5-V LC-VCO for Low-voltage and Low-jitter Clock Generator	ウェイ デン, 岡田 健一, 松澤 昭
2011/2/28	電子情報通信学会 総合大会 (於 東京都市大学)	Dual-Conduction Class-C VCOにおけるFoMの改善	竹内 康揚, 岡田 健一, 松澤 昭
2011/3/4	電子情報通信学会 総合大会 2011年3月	極低電圧動作可能なCMOSフリップフロップの設計	片岡 直之
2011/3/14	電子情報通信学会 総合大会 2011年3月	0.18-V Input Charge Pump with Forward Body Biasing	陳 柏宏
2011/3/24	応用物理学会春季大会 2011年3月	局所電子注入非対称パスゲートトランジスタを用いた8T-SRAMにおけるハーフセレクトディスタージブの抑制	宮地 幸祐
2011/3/25	2011年春季応用物理学関係連合講演会	極低電圧動作による超低電力回路設計技術	高宮 真
2011/4/1	IEICE Trans. Electron	Device-Modeling Techniques for High-Frequency Circuits Operated at over 100GHz	藤本 竜一
2011/4/10	IEICE Electronics Express	An Ultra-Compact LC-VCO Using a Stacked-Spiral Inductor	Rui Murakami, Toshihiko Ito, Kenichi Okada, and Akira Matsuzawa
2011/4/19	【依頼講演】集積回路研究会 2011年4月	サスペンディッド・ビットライン読出し方式を用いた0.5V 5.5nsecアクセスタイムバルク CMOS8T SRAM	鈴木 利一

2011/4/19	集積回路研究会 2011年4月	局所電子注入による非対称パスゲートトランジスタを用いた8T-SRAMにおけるハーフセレクトディスターブの抑制	宮地 幸祐
2011/5/1	TCAS II	Post-Silicon Clock De-skew Employing Hot-Carrier Injection Trimming With On-Chip Skew Monitoring and Auto-Stressing Scheme for Sub/Near Threshold Digital Circuits	Yu Pu
2011/5/16	IEEE International Symposium on Circuits and Systems (ISCAS)	A 15.5 dB, Wide Signal Swing, Dynamic Amplifier Using a Common-Mode Voltage Detection Technique	James Lin, Masaya Miyahara, and Akira Matsuzawa
2011/5/19	シリコンアナログRF研究会 2011年5月	電流効率98.7%0.5-V入力 65nmCMOSデジタルレギュレータ	大熊 康介
2011/6/5	DAC2011	A Closed-form Expression for Estimating Minimum Operating Voltage (VDDmin) of CMOS Logic Gates	更田 裕司
2011/6/5~7	IEEE Radio Frequency Integrated Circuits Symposium (RFIC)	A 25MHz-6.44GHz LC-VCO Using a 5-port Inductor for Multi-band Frequency Generation	Wei Deng, Kenichi Okada, and Akira Matsuzawa
2011/6/13	Symposium on VLSI Circuits 2011	315MHz Energy-Efficient Injection-Locked OOK Transmitter and 8.4 $\mu$ W Power-Gated Receiver Front-End for Wireless Ad Hoc Network in 40nm CMOS	劉 樂昌
2011/6/13	Symposium on VLSI Circuits 2011	A Voltage-Reference-Free Pulse Density Modulation (VRF-PDM) 1-V Input Switched-Capacitor 1/2 Voltage Converter with Output Voltage Trimming by Hot Carrier Injection and Periodic Activation Scheme	張 信
2011/6/14	(invited) IEEE Symposium on VLSI Technology	Can FinFET/FDSOI Compensate for the Stagnation in Scaling?	Kenichi Okada
2011/6/14	Symposium on VLSI Circuits 2011	A 0.5V 1.1MS/sec 6.3fJ/conversion-step SAR-ADC with Tri-Level Comparator in 40nm CMOS	志方 明

2011/6/14	Symposium on VLSI Circuits 2011	A 40-nm 0.5-V 512-Kb 8T SRAM with Disturb Mitigation scheme	吉本 秀輔
2011/6/18	(invited) International Symposium on Low Power VLSI Design	Energy efficient A/D converter design	Akira Matsuzawa
2011/7/8	電気学会研究会 2011年7月	0.5Vアナログ回路設計の課題	石黒 仁揮
2011/7/22	IEICE ICD研究会 2011年7月	0.5V動作の高速近接無線通信用送受信機的设计	松原 岳志
2011/7/25	IEICE ELEX 2011	140GHz CMOS amplifier with group delay variation of 10.2ps and 0.1dB bandwidth of 12GHz	本良 瑞樹
2011/7/28	VLSIシンポジウム報告会 (東工大)	A 0.5V 1.1MS/sec 6.3fJ/conversion-step SAR-ADC with Tri-Level Comparator in 40nm CMOS	志方 明
2011/7/28	VLSIシンポジウム報告会 (東工大)	A 40-nm 0.5-V 512-Kb 8T SRAM with Disturb Mitigation scheme	吉本 秀輔
2011/8/1	ISLPED 2011	12.7-times Energy Efficiency Increase of 16-bit Integer Unit by Power Supply Voltage (VDD) Scaling from 1.2V to 310mV Enabled by Contention-less Flip-Flops (CLFF) and Separated VDD between Flip-Flops and Combinational Logics	更田 裕司
2011/8/1	ISLPED 2011	Designing Ultra-Low Voltage Logic	桜井 貴康
2011/8/1	ISLPED 2011	Investigation of Determinant Factors of Minimum Operating Voltage of Logic Gates in 65-nm CMOS	安福 正
2011/8/1	ISLPED 2011	Reduction of Minimum Operating Voltage (VDDmin) of CMOS Logic Circuits with Post-Fabrication Automatically Selective Charge Injection	本田 健太郎

2011/8/3	電子情報通信学会 シリコンアナログRF研究会 (於 京都)	A 25MHz-6.44GHz LC-VCO Using a 5-port Inductor for Multi-band Frequency Generation	ウェイ デン, 岡田 健一, 松澤 昭
2011/8/7~10	(invited) IEEE International Midwest Symposium on Circuits and Systems (MWSCAS)	Multi-standard CMOS Frequency Synthesizers for Cognitive Radios	Kenichi Okada
2011/8/10	MWSCAS 2011	Device-Modeling and Circuit-Design Techniques for CMOS Transceivers in THz Region	藤本 竜一
2011/8/26	IEICE ICD研究会 2011年8月	エネルギーハーベストを用いた無線センサノードに適用可能な0.5V極低電力回路技術	高宮 真
2011/8/26	IEICE ICD研究会 2011年8月	自動選択電荷注入を用いたCMOSロジック回路の最低可動電圧 (VDDmin) の低減	本田 健太郎
2011/8/26	IEICE ICD研究会 2011年8月	低電圧動作可能なコンテンションレス・フリップフロップと2種の電源電圧による整数演算回路のエネルギー効率向上の実証	更田 裕司
2011/9/12	ESSCIRC 2011	A 40nm 50S/s - 8MS/s Ultra Low-Voltage SAR ADC with Timing Optimized Asynchronous Clock Generator	関本 竜太
2011/9/12~16	IEEE European Solid-State Circuits Conference (ESSCIRC)	A Feedback Class-C VCO with Robust Startup Condition over PVT Variations and Enhanced Oscillation Swing	Wei Deng, Kenichi Okada, and Akira Matsuzawa
2011/9/13	ESSCIRC 2011	12% Power Reduction by Within-Functional-Block Fine-Grained Adaptive Dual Supply Voltage Control in Logic Circuits with 42 Voltage Domains	村松 篤
2011/9/13	IEICEソサイエティ大会 2011年9月	論理ゲートの最低可動電圧(VDDmin)の決定要因の分析	安福 正
2011/9/13	電子情報通信学会 ソサイエティ大会	A High-Speed Clock-Scalable Dynamic Amplifier for Mixed-Signal Applications	James Lin, Masaya Miyahara, and Akira Matsuzawa

2011/9/14	電子情報通信学会 ソサイエティ大会	周波数可変範囲を考慮した LC 型電圧制御発振器の性能指数の定義	佐藤 高洋, 岡田 健一, 松澤 昭
2011/9/13 ~16	電子情報通信学会 ソサイエティ大会 (於 北海道大学)	遅延時間補間を用いた0.5V 6-bit 500MS/s FLASH ADCの検討,	真野 息吹, 宮原 正也, 松澤 昭
2011/9/13 ~16	電子情報通信学会 ソサイエティ大会 (於 北海道大学)	注入同期型周波数通倍器におけるロックレンジについての検討	竹内 康揚, 村上 墨, 岡田 健一, 松澤 昭
2011/9/18	CICC 2011	0.4V SRAM with Bit Line swing Suppression Charge Share Hierarchical Bit Line Scheme	森脇 真一
2011/9/18	CICC 2011	Statistical VTH Shift Variation Self-Convergence Scheme Using Near Threshold VWL Injection for Local Electron Injected Asymmetric Pass Gate Transistor SRAM	宮地 幸祐
2011/9/29	SSDM 2011	A Zero Additional Process to Standard CMOS, 8F2, Scalable Embedded Flash Memory with Drain-side Assisted Erase Scheme	宮地 幸祐
2011/10/9	EuMIC2011	A 120 GHz/140 GHz dual-channel Ask receiver using standard 65 nm CMOS technology	藤本 竜一
2011/10/10 ~11	IEEE MTT-S European Microwave Conference (EuMC)	An Improved Dual-Conduction Class-C VCO Using a Tail Resistor	Yasuaki Takeuchi, Kenichi Okada, and Akira Matsuzawa
2011/10/20	電子回路研究会 2011年10月	0.5V入力、効率96%のゲートブースト方式チャージポンプ回路の実証	劉 良勝
2011/10/25 ~28	(invited)ASICON 2011	Energy Efficient ADC Design With Low Voltage Operation	Akira Matsuzawa

2011/11/14	A-SSCC2011	A 0.6V Noise Rejectable All-Digital CDR with Free Running TDC for a Pulse-Based Inductive-Coupling Interface	Won-Joo Yun
2011/11/14	A-SSCC2011	A 80-mV Input, Fast Startup Dual-Mode Boost Converter with Charge-Pumped Pulse Generator for Energy Harvesting	陳 柏宏
2011/11/14	A-SSCC2011	Energy Efficiency Degradation Caused by Random Variation in Low-Voltage SRAM and 26% Energy Reduction by Bitline Amplitude Limiting (BAL) Scheme	川澄 篤
2011/11/19	NPC研究会 2011年11月	低電力LSI技術・極低電圧ロジック技術	野村 昌弘
2011/11/24	シリコンアナログRF研究会 2011年11月	65nm-CMOSを用いた120GHz/140GHzデュアルチャンネル受信機	藤本 竜一
2011/12/5	IEDM2011	Device-Circuit Interactions in Extremely Low Voltage CMOS Designs (Invited)	更田 裕司
2011/12/9	電子回路研究会 2011年12月	100GHz以上で動作する無線機的设计に関する検討	藤本 竜一
2011/12/16	IEICE ICD研究会 2011年11月	低電圧・極低電力ロジック回路技術	更田 裕司
2012/1/15	RWS2012	125 GHz CMOS Oscillator Controlled by p-type Bulk Voltage	小野 直子
2012/1/15	RWS2012	A 0.7V 851Mbps/ch Inductive-Coupling Transceiver with Adaptive Pulse Width Controller in 65nm CMOS	松原 岳志
2012/1/27	[招待講演]SDM研究会 2012年1月	低電圧・極低電力CMOSロジック回路における回路特性のデバイスパラメータ依存性の評価	更田 裕司
2012/1/30	ASP-DAC2012	A 120-mV Input, Fully Integrated Dual-Mode Charge Pump in 65-nm CMOS for Thermoelectric Energy Harvester	陳 柏宏

2012/1/30	IEEE/ACM Asia South Pacific Design Automation Conference (ASP-DAC)	A PVT-robust Feedback Class-C VCO Using an Oscillation Swing Enhancement Technique	Wei Deng, Kenichi Okada, and Akira Matsuzawa
2012/2/1	IEICE Transactions on Fundamentals of Electronics, Communications and Computer Sciences	A Dual-conduction Class-C VCO for a Low Supply Voltage	Kenichi Okada, You Nomiyama, Rui Murakami, and Akira Matsuzawa
2012/2/19	ISSCC 2012	Simultaneous Pinpoint Fail-Repair Injection 6T-SRAM with 57% Less Read Delay, 31% Read Energy Reduction, 256-Times Shorter Injection Time and 3% Area Saving	宮地 幸祐
2012/2/20	ISSCC 2012	13% Power Reduction in 16b Integer Unit in 40nm CMOS by Adaptive Power Supply Voltage Control With Parity-Based Error Prediction and Detection(PEPD) and Fully Integrated Digital LDO	平入 孝二
2012/2/19 ~23	IEEE International Solid-State Circuits Conference (ISSCC) Student Research Preview	Injection Locked 1.17GHz 7.2mW Dual Ring VCOs with Synthesizable All Digital PVT Calibration Circuitry	Ahmed Musa, Han Jeonghoon, Kenichi Okada, and Akira Matsuzawa
2012/3/19	ISQED 2012	24% Power Reduction by Post-Fabrication Dual Supply Voltage Control of 64 Voltage Domains in VDDmin Limited Ultra Low Voltage Logic Circuits	安福 正
2012/3/19	ISQED 2012	A 40-nm 256-Kb 0.6-V Operation Half-Select Resilient 8T SRAM with Sequential Writing Technique Enabling 367-mV VDDmin Reduction	寺田 正治
2012/3/20	IEICE総合大会2012年3月	0.55V水晶発振回路におけるCMOSインバータの多段化による40%の低電力化	鄭 雲飛
2012/3/20	IEICE総合大会2012年3月	315MHz低出力F級パワーアンプにおけるデュアル電源電圧による高効率化	井口 俊太
2012/3/21	IEICE総合大会 2012年3月	低エネルギーLSIを実現する0.5V極低電圧回路・システム	篠原 尋史

2012/3/21	電子情報通信学会 総合大会 (於 岡山大学)	A Startup Ensured Class-C VCO with Enhanced Oscillation Swing	ウェイデン, 岡田 健一, 松澤 昭
2012/4/1	IEICE Trans. Electron	A 40-nm 0.5-V 12.9-pJ/Access 8T SRAM Using Low-Energy Disturb Mitigation Scheme	吉本 秀輔
2012/4/1	JSSC	A 0.5V 1.1MS/sec 6.3fJ/conversion-step SAR-ADC with Tri-Level Comparator in 40nm CMOS	志方 明
2012/4/23 ~24	【依頼講演】 IEICE ICD研究会 (岩手)	低電力ディスタ urb緩和技術を備え た40nm 0.5V 12.9pJ/access 8T SRAM	吉本 秀輔
2012/4/23 ~24	IEICE ICD研究会 (岩手)	高速、低消費電力6T-SRAMを実現す る電荷の同時注入による不良セルの 修復技術	宮地 幸祐
2012/4/24	【依頼講演】 IEICE ICD研究会 (岩手)	ビット線振幅量を抑えるチャージ シェア階層ビット線方式を用いた 0.4V動作SRAM	森脇 真一
2012/5/28 ~5/30	LSIとシステムのワークショップ	0.5V 12.9pJ/accessを実現する低電 力ライトバック技術を備えた40nm 8T SRAM	吉本 秀輔
2012/6/1	IEEE TCAS II	A 1-V Input Switched-Capacitor Voltage Converter with Voltage- Reference-Free Pulse Density Modulation	張 信
2012/6/1	IEICE ELEX (電子ジャーナ ル)	A 40-nm 256-Kb Half-Select Resilient 8T SRAM with Sequential Writing Technique	吉本 秀輔
2012/6/4	DFM&Y2012	Large Within-Die Gate Delay Variations in Sub-Threshold Logic Circuits at Low Temperature	高橋 亮
2012/6/10 ~11	SNW2012	Self-Improvement of Cell Stability in SRAM by Post Fabrication Technique	Anil Kumar

2012/6/12	VLSI回路シンポジウム	A 0.45-V Input On-Chip Gate Boosted (OGB) Buck Converter in 40-nm CMOS with More Than 90% Efficiency in Output Power Range from 2mW to 50mW	張 信
2012/6/12 ~15	VLSI回路シンポジウム	135 GHz 98 mW 10 Gbps ASK Transmitter and Receiver Chipset in 40 nm CMOS	本良 瑞樹
2012/6/12 ~15	VLSI回路シンポジウム	A 13.8pJ/Access/Mbit SRAM with Charge Collector Circuits for Effective Use of Non-Selected Bit Line Charges	森脇 真一
2012/6/12 ~15	VLSI回路シンポジウム	An All 0.5V, 1Mbps, 315MHz OOK Transceiver with 38- $\mu$ W Career-Frequency-Free Intermittent Sampling Receiver and 52- $\mu$ W Class-F Transmitter in 40-nm CMOS	齊藤 晶
2012/6/17 ~22	IMS2012	17.8mW 10Gbps Transmitter for 120GHz ASK Transceiver	片山 光亮
2012/6/27 ~29	AWADA2012	Reliability Measurement of PFETs under Post Fabrication Self-Improvement Scheme for SRAM	Nurul Ezaila Alias
2012/7/1	電子情報通信学会英文論文誌	A 120-GHz Transmitter and Receiver Chipset with 9-Gbps Data Rate using 65-nm CMOS Technology	藤本 竜一
2012/7/5	半導体・集積回路技術シンポジウム (東海大学)	SRAMセル安定性の一括ポストファブリケーション自己修復技術	平本 俊郎
2012/7/20	CMOS Emerging Technologies conference	Ultra-Low Voltage Logic Design for Extremely Low-Power Circuits	更田 裕司
2012/7/25 ~27	ISLPED2012	A 40-nm 256-Kb Sub-10 pJ/Access 8T SRAM with Read Bitline Amplitude Limiting (RBAL) Scheme	吉本 秀輔
2012/7/30	ISLPED2012	0.35V, 4.1uW, 39MHz Crystal Oscillator in 40nm CMOS	斎藤 晶

2012/8/2	【招待講演】ICD研究会（札幌）	0.5V動作低エネルギー回路と応用	篠原 尋史
2012/8/3	ICD研究会（札幌）	0.45-V input higher than 90% efficiency buck converter with on-chip gate boost	張 信
2012/8/3	ICD研究会（札幌）	38 $\mu$ Wの間欠サンプリング受信回路と52 $\mu$ WのF級送信回路を備えたオール0.5V動作の1Mbps, 315MHz帯無線トランシーバ	井口 俊太
2012/8/2~3	電子情報通信学会 SDM研究会	SRAM セル安定性の一括ポストファブ리케이션自己修復技術	Anil Kumar
2012/8/13	ICDV2012	Low Voltage Switched-Capacitor Voltage Converter with Improved Light Load Efficiency	張 信
2012/9/9~12	CICC2012	Measurement and modeling of crosstalk in subthreshold circuit	更田 裕司
2012/9/11~14	応用物理学会（愛媛大学・松山大学）	NBTI Measurements of PFETs under Post Fabrication Self-Improvement Scheme for SRAM	Nurul Esaila Alias
2012/9/11~14	応用物理学会（愛媛大学・松山大学）	SRAMセル安定性の一括ポストファブ리케이션自己修復技術	Anil Kumar
2012/9/13	電子情報通信学会 ソサイエティ大会（於 富山大学）	低電圧動作にむけたMOM容量を用いた比較器のオフセット補償	真野 息吹, 宮原 正也, 松澤 昭
2012/9/17	ESSCIRC2012	2.1 Times Increase of Drain Efficiency by Dual Supply Voltage Scheme in 315MHz Class-F Power Amplifier at Output Power of -20dBm	井口 俊太
2012/9/17	ESSCIRC2012	60% Cycle Time Acceleration, 55% Energy Reduction, 32Kbit SRAM by Auto Selective Boost (ASB) Scheme for Slow Memory Cells in Random Variations	山本 安衛

2012/9/17	ESSCIRC2012	An 8bit 0.35-0.8V 0.5-30MS/s 2bit/step SAR ADC with Wide Range Threshold Configuring Comparator	吉岡 健太郎
2012/9/25 ~27	SSDM2012	150GHz Divide-by-Three CMOS Frequency Divider with Power Line Injection	高野 恭弥
2012/10/14 ~17	CSICS2012	Short-Millimeter-Wave CMOS Design for Ultrahigh-Speed Wireless Communication	藤島 実
2012/10/29	【招待講演】 ICSICT2012	Variability in Scaled MOSFETs: Measurements, Analysis, and Suppression	平本 俊郎
2012/10/29 ~10/30	【招待講演】 ICSICT2012	Millimeter-Wave and Terahertz CMOS Design	藤島 実
2012/10/29 ~30	EuMIC2012	Evaluation of De-embedding Technique Accuracy Depending on De-embedding Patterns for CMOS Circuits up to 110 GHz	小野 直子
2012/11/8	IEEE/ACM Workshop onVMC	Extremely Low Power VLSI Circuits with Low Voltage Operation	高宮 真
2012/11/12 ~14	A-SSCC2012	A 0.5V 10MHz-to-100MHz 0.47 $\mu$ W/MHz Power Scalable AD-PLL in 40nm CMOS	平工 泰之
2012/11/12 ~14	A-SSCC2012	A 40nm CMOS Full Asynchronous Nano-Watt SAR ADC with 98% Leakage Power Reduction by Bootstrapped Self Power Gating	関本 竜太
2012/11/21	RFIT Symposium	Millimeter-wave and terahertz CMOS design	藤島 実
2012/12/3	IEEE EDSSC	A 0.5 V, 420 MSps, 7-bit flash ADC using all-digital time-domain delay interpolation	James Lin, Ibuki Mano, Masaya Miyahara, and Akira Matsuzawa

2012/12/4 ~7	APMC2012	A 113 GHz 176 mW Transmitter and Receiver Chipset using 65-nm CMOS Technology	小野 直子
2012/12/14	電子情報通信学会 シリコンアナログRF研究会 (於 会津大学)	A 10MHz-6.6GHz Quadrature-Output Frequency Synthesizer for Multi-band Transceivers	Wei Deng, Ahmed Musa, 岡田 健一, 松澤 昭
2012/12/18	ICD研究会 (東工大)	デュアル電源電圧方式による315MHz帯無線送信回路の高効率化	井口 俊太
2013/1/22	ASP-DAC2013	A Low Voltage Buck DC-DC Converter Using On-Chip Gate Boost Technique in 40nm CMOS	張 信
2013/1/22 ~25	ASP-DAC2013	315MHz OOK Transceiver with 38- $\mu$ W and 36- $\mu$ W Transmitter in 40-nm CMOS	井口 俊太
2013/1/22 ~25	ASP-DAC2013	A 40-nm 0.5-V 12.9-pJ/Access 8T SRAM Using Low-Power Disturb Mitigation Technique	吉本 秀輔
2013/1/20 ~23	RWS2013	14.4mW 10Gbps CMOS Limiting Amplifier with Local DC Offset Cancellers	高野 恭弥
2013/1/23	IEEE/ACM Asia South Pacific Design Automation Conference (ASP-DAC)	A Fractional-N Harmonic Injection-locked Frequency Synthesizer with 10MHz-6.6GHz Quadrature Outputs for Software-Defined Radios	Wei Deng, Teerachot Siriburanon, Ahmed Musa, Kenichi Okada, and Akira Matsuzawa
2013/2/17 ~2/21	ISSCC2013	Intermittent Resonant Clocking Enabling Power Reduction at any Clock Frequency for 0.37V 980kHz Near-Threshold Logic Circuits	更田 裕司

2013/2/	IEEE Journal of Solid-State Circuits	Class-C VCO with Amplitude Feedback Loop for Robust Start-up and Enhanced Oscillation Swing	Wei Deng, Kenichi Okada, and Akira Matsuzawa
2013/2/19	IEEE International Solid-State Circuits Conference (ISSCC)	A 0.022mm <sup>2</sup> 970μW Injection-Locked PLL with -243dB FOM using Synthesizable All-Digital PVT Calibration Circuits	Wei Deng, Ahmed Musa, Teerachot Siriburanon, Masaya Miyahara, Kenichi Okada, and Akira Matsuzawa
2013/3/5	電子情報通信学会 シリコンアナログRF研究会 (於 中央大学)	A PVT-tolerant Dual-loop Injection-locked PLL for Clock Generation	Wei Deng, Ahmed Musa, Teerachot Siriburanon, 宮原 正也, 岡田 健一, 松澤 昭
2013/3/18	(招待講演), IEEE SSCS Kansai Chapter ISSCC報告会 (於 大阪)	A 0.022mm <sup>2</sup> 970μW Injection-Locked PLL with -243dB FOM using Synthesizable All-Digital PVT Calibration Circuits	Wei Deng, Ahmed Musa, Teerachot Siriburanon, 宮原 正也, 岡田 健一, 松澤 昭
2013/3/22	電子情報通信学会 総合大会 (於 岐阜大学)	A Dual-Loop Injection-Locked PLL with All-Digital PVT Calibration System	Wei Deng, Ahmed Musa, Teerachot Siriburanon, 宮原 正也, 岡田 健一, 松澤 昭
2013/4/1	IEICE Transactions on Electronics	A Study of Stability and Phase Noise of Tail Capacitive-Feedback VCOs	Ahmed Musa, Kenichi Okada, and Akira Matsuzawa
2013/6/2~4	IEEE Radio Frequency Integrated Circuits Symposium (RFIC)	A Current-Reuse Class-C LC-VCO with an Adaptive Bias Scheme	Teerachot Siriburanon, Wei Deng, Kenichi Okada, and Akira Matsuzawa

2013/6/12 ~14	VLSI回路シンポジウム 2013	0.5V Image Processor with 563 GOPS/W SIMD and 32bit CPU Using High Voltage Clock Distribution (HVCD) and Adaptive Frequency Scaling (AFS) with 40nm CMOS	野村 昌弘
2013/6/12 ~14	VLSI回路シンポジウム 2013	93% Power Reduction by Automatic Self Power Gating (ASPG) and Multistage Inverter for Negative Resistance (MINR) in 0.7V, 9.2 · W, 39MHz Crystal Oscillator	井口 俊太
2013/6/12 ~14	VLSI回路シンポジウム2013	A 0.0058mm <sup>2</sup> 7.0 ENOB 24MS/s 17fJ/conv. Threshold Configuring SAR ADC with Source Voltage Shifting and Interpolation Technique	吉岡 健太郎
2013/9/18	電子情報通信学会 ソサイエティ大会 (於 福岡工業大学)	Class-C 型電圧制御発振器における適応バイアス回路の低雑音化の検討	中田 憲吾, 木村 健将, 竹内 康揚, 岡田 健一, 松澤 昭
2013/9/19	電子情報通信学会 ソサイエティ大会 (於 福岡工業大学)	3Dインダクタによるノイズフィルタリングを施した2次高調波を利用した電圧制御型発振器の検討	木村 健将, 岡田 健一, 松澤 昭
2013/9/19	電子情報通信学会 ソサイエティ大会 (於 福岡工業大学)	A Current-Reuse Class-C VCO using Dynamic Start-up Circuits	Teerachot Siriburanon, Wei Deng, 岡田 健一, 松澤 昭
2014/1予定	IEEE Journal of Solid-State Circuits	A Compact, Low Power and Low Jitter Dual-Loop Injection Locked PLL Using All-Digital PVT Calibration	Ahmed Musa, Wei Deng, Teerachot Siriburanon, Masaya Miyahara, Kenichi Okada, and Akira Matsuzawa

【受賞実績】

- ASP-DAC 2012 Best Design Award, 2012/2/2, 陳 柏宏, "A 120mV Input, Fully Integrated Dual-Mode Charge Pump in 65-nm CMOS for Thermoelectric Energy Harvester"
- A-SSCC 2012 Best Design Award, 2012/11/13, 関本竜太, "A 40nm CMOS Full Asynchronous Nano-Watt SAR ADC with 98% Leakage Power Reduction by Boosted Self Power Gating"

【外部発表】  
 プレス発表等：

発表先	発表/展示タイトル	発表日	発表/説明者
日刊工業新聞	「グリーン IT プロ受託、半導体理工研 東大・慶大と連携」(プレス発表)	2009-07-07	—
電波新聞	「0.5V 動作の LSI 開発へ、半導体 9 社、3 大学が連携」(プレス発表)	2009-07-07	—
STARC フォーラムシンポジウム 2009	グリーン化の切り札：極低電力・システム技術(発表)	2009/08/03	篠原 尋史
EDSFair2010	極低電力回路・システム技術開発 (展示)	2010/1/28-29	篠原 尋史他
STARC フォーラムシンポジウム 2010	見えてきたエネルギー10分の1への道 -極低電力回路・システム開発の初年度成果と今後- (発表)	2010/8/26	篠原 尋史
CEATEC2010	<極低電力回路・システム技術開発(グリーン IT プロジェクト)> 0.5V 以下の LSI 回路技術で消費電力 1/10 (展示)	2010/10/5-8	NEDO に資料提供 (篠原 尋史他)
EDSFair2011	極低電力回路・システム技術開発 (全体概要/要素回路) (展示)	2011/1/27-28	篠原 尋史他
日本経済新聞	半導体省エネへ新技術 慶應大、無線センサーの電力を 1/10 に減らす回路	2011/6/20	慶應大学
日本経済新聞	微小電圧で LSI 駆動 東大、1 ミリ角の回路開発	2011/9/26	東京大学
CEATEC2011	未来のコンピュータを根底から支える極低電力 LSI - 極低電力回路・システム開発(グリーン IT プロジェクト) -(展示)	2011/10/4-8	NEDO に資料提供 (篠原 尋史他)
EDSFair2011fall	極低電力回路・システム技術開発 (展示)	2011/11/16-18	篠原 尋史他
EDSFair2011fall	アンビエント・エレクトロニクス実現に向けた環境発電/無線給電と極低電力技術 (発表)	2011/11/18	高宮 真
セミコンジャパン 2011	未来のコンピュータを根底から支える極低電力 LSI - 極低電力回路・システム開発(グリーン IT プロジェクト) -(展示)	2011/12/7-9	NEDO に資料提供 (篠原 尋史他)
STARC シンポジウム FY2011	エネルギー1/10 への挑戦 -極低電力回路・システム開発 3 年間の成果と今後 (発表)	2012/02/01	篠原 尋史
CEATEC2012	極低電力回路・システム技術開発(展示&発表)	2012/10/2-6	NEDO に資料提供 (篠原 尋史他)
A-SSCC2012	極低電力回路・システム技術開発 (展示)	2012/11/13-14	篠原 尋史他
ET2012	極低電力回路・システム技術開発 (展示)	2012/11/14-16	篠原 尋史他
STARC シンポジウム 2013	「回路で実現するエネルギー1/10 -極低電力回路・システム技術開発の総合成果-」 (発表)	2013/01/31	篠原 尋史
ELP 公開シンポジウム	「極低電力回路・システム技術開発の概要」他全 12 テーマ (発表)	2013/02/26	桜井 貴康他