



「低電力回路・システム技術開発
(グリーンITプロジェクト)」
(事後評価)第1回分科会
資料5-1プロジェクトの概要説明

「極低電力回路・システム技術開発 (グリーンITプロジェクト)」

(2009年度～2012年度 4年間)

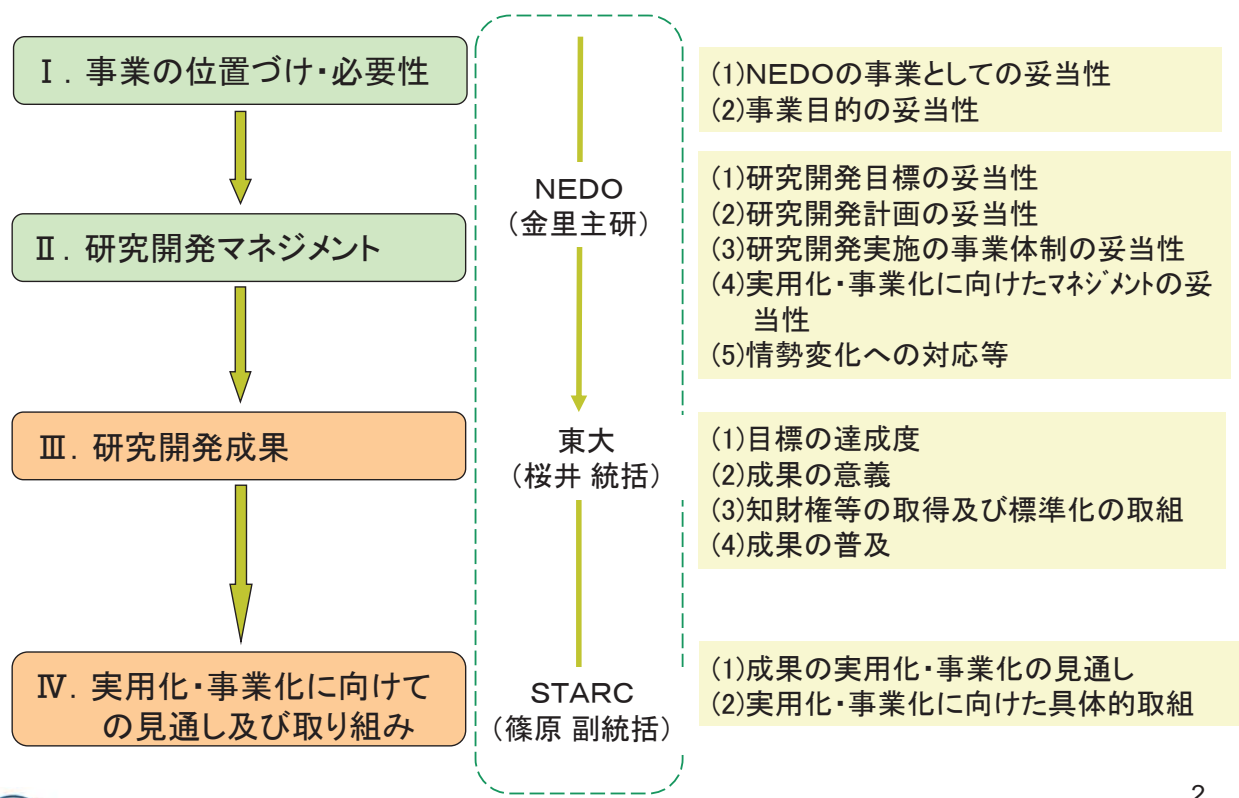
プロジェクトの概要説明 (公開)

I. 事業の位置付け・必要性

II. 研究開発マネジメント

NEDO 電子・材料・ナノテクノロジー部

発表内容



(1)NEDOの事業としての妥当性(プロジェクト実施の背景)

プロジェクト実施の社会的背景

地球温暖化対策は喫緊の世界的、国家的課題



抜本的CO₂排出抑制、省エネ技術の必要性

プロジェクトの目的

低消費電力省エネ情報通信デバイスの実現による電力損失の削減

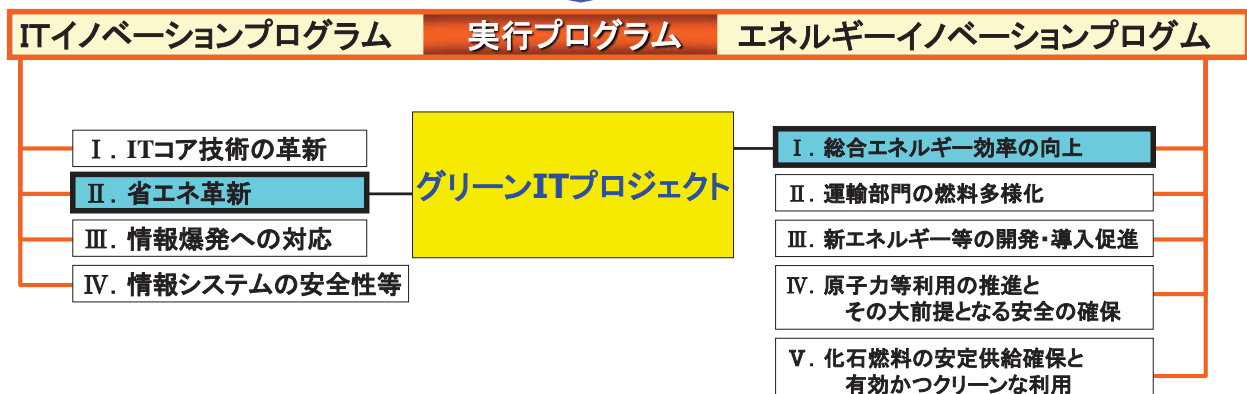


ファブに依存しない(微細化/高集積化に頼らない)回路技術とシステム技術のハードウェア的アプローチにより省電力化を検討する。

「第三期科学技術基本計画(2006年3月)」、「エネルギー技術戦略の基本的考え方(2006年5月)」、「新・国家エネルギー戦略(2006年5月)」等における重要な省エネ技術としての位置付け。

(1)NEDOの事業としての妥当性(政策上の位置付け)

「第三期科学技術基本計画」「新国家エネルギー戦略」政策下の「ITイノベーション」・「エネルギーイノベーションプログラム」を具現化するグリーンITプロジェクトとして実施



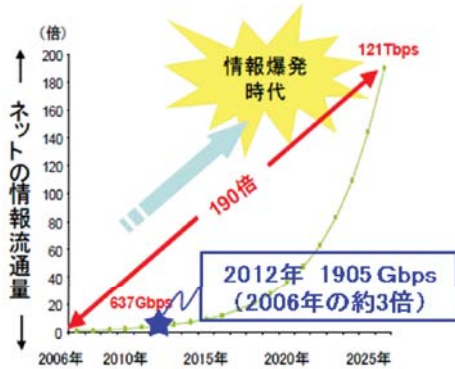
I. 事業の位置付け・必要性について

公開資料

(1) NEDOの事業としての妥当性(政策上の位置付け)

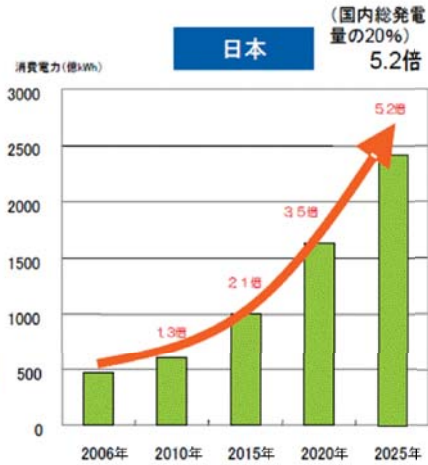
省エネルギー化・温室効果ガス削減のためには革新的技術開発が不可欠

情報爆発時代の到来



- 微細化／高密度化
- 小型化(3次元化)

IT機器の消費電力量が急増



- パワーエレクトロニクス
- 極低消費電力回路設計



出所：(図表) グリーンITイニシアティブの推進 2008年10月 経済産業省発表資料 (2012年の情報流通量) 総務省 情報通信統計データベース

I. 事業の位置付け・必要性について

公開資料

(1) NEDOの事業としての妥当性(政策上の位置付け)

エネルギー政策(ITの省エネルギー化)の対象: 省エネ型情報機器・システム

I-4. エネルギー政策(Cool-Earth-エネルギー革新技術計画)

- 2050年に世界の温室効果ガスを半減するためには、革新技術開発が不可欠となる。
- このような認識を踏まえ、本年3月、経済産業省は、「Cool Earth - エネルギー革新技術計画」を策定。その中で、我が国が重点的に取り組むべき21の技術を選定し、これら技術のロードマップを提示した。
- **省エネ型情報機器・システム**、HEMS/BEMS、高効率照明、パワエレをはじめ、エネルギー利用効率向上の多くはITエレクトロニクス技術に期待。低炭素化も、太陽光発電等はIT技術。



- [IT関連分野]
- ITの省エネ
 - **省エネ型情報機器・システム**
 - パワーエレクトロニクス
 - 次世代高効率照明
 - ITによる省エネ
 - HEMS/BEMS/地域レベルのEMS
 - 高度道路交通システム
 - 低炭素化
 - 革新的太陽光発電

社会全体の効率化に貢献する「グリーンIT」

グリーンITイニシアティブ

(第2回)

2008年5月

経済産業省
商務情報政策局



I. 事業の位置付け・必要性について

公開資料

(1) NEDOの事業としての妥当性 (NEDOプロジェクトとして取り組む必要性)

○社会的必要性大

◆ 情報通信技術の開発、省エネルギー技術の開発は、国家的重点課題

〔本プロジェクトは、半導体集積回路(LSI)設計技術分野における低消費電力化の技術開発〕

◆ 我が国半導体メーカの共通的な課題の解決を図ろうとするもの

〔我が国企業の共通課題を協同体制で解決を図ろうとするものであり、その成果は、我が国半導体産業の国際競争力強化に貢献するもの〕

◆ 成果は、速やかに半導体メーカ等に移管され、実用に供されることを目指すもの

〔開発技術は、参加各社のLSI設計に適用可能〕

○民間企業だけで取り組む事が困難

◆ 効率的な開発のためには、共通な課題を抱える企業が共同し、大規模な産学連携による総合的な取り組みが重要

NEDOプロジェクトとしての実施

「極低電力回路・システム技術開発(グリーンITプロジェクト)」

2009(H21)年度～2012(H24)年度

「グリーンITプロジェクト」の一環

7



I. 事業の位置付け・必要性について

公開資料

(2) 事業目的の妥当性(プロジェクトの目的)

情報量の急激な増大

IT機器の高度化・設置台数の増加、ブロードバンド通信の普及、高精細な動画コンテンツネットワークシステムを構成するIT機器の消費電力も増大

電子機器の低消費電力化が必要

ポイントとなる半導体集積回路(LSI)の低消費電力化には、電源電圧の低電圧化が最も効果的

電源電圧の低電圧化における技術課題

CMOS回路の動作が不安定になり、LSIの製造ばらつきやノイズなどに影響され、動作マージン減少、誤動作などの障害が、現在に比較して極めて増大

回路技術・システム技術の観点から、既存の半導体プロセスでLSIの低消費電力化を実現する技術開発に取り組む

8

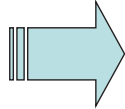


I. 事業の位置付け・必要性について

(2) 事業目的の妥当性 (NEDO中期目標における位置付け)

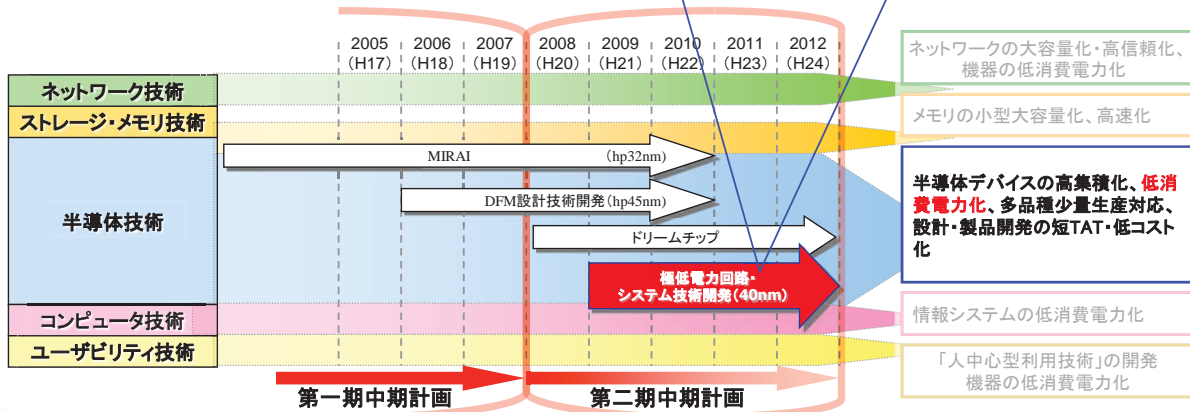
NEDO 第二期中期目標(2008~2012)

- 誰もが自由な情報の発信・共有を通じて、個々の能力を創造的かつ最大限に発揮することが可能となる高度な情報通信(IT)社会の実現
- 我が国経済の牽引役としての産業発展の促進



半導体技術分野における微細化技術に対応した設計技術

「極低電力回路・システム技術開発(グリーンITプロジェクト)」



I. 事業の位置付け・必要性について

(2) 事業目的の妥当性(プロジェクト実施により期待される効果)

期待される省エネ効果: サーバ適用時

●市場創出効果(サーバ)

普及台数(サーバ合計)

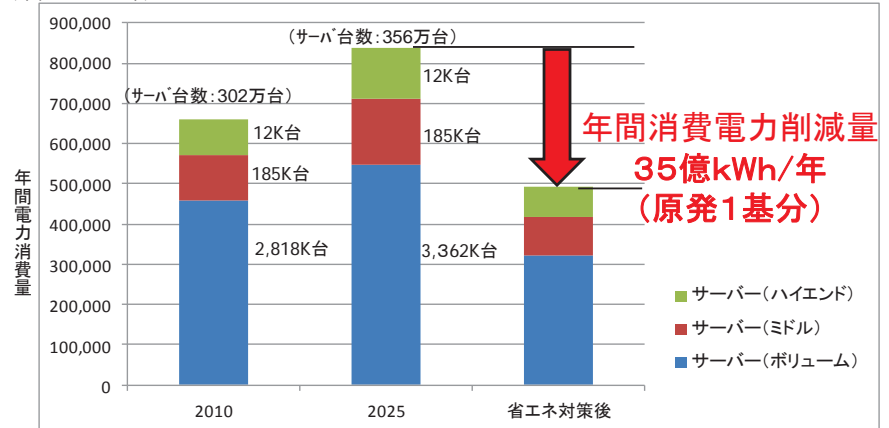
2010年: 302万台

2025年: 356万台

●省エネ効果

(年間消費電力削減量)

(単位: 万kWh/年)



年間消費電力削減量 = (普及台数) × (一台当たりの消費電力量) × (システム内プロセッサ電力消費比率) × (低消費電力効果)

2025年の1台当たりの消費電力量は(ハイエンド:107,237, ミドル:8,760, ボリューム:1,630 [kWh/年台]) システム内のプロセッサ電力消費比率を45.8%、本研究技術により消費電力が従来の1/10になるとして試算

諸元:

・(普及台数)と(消費電力/台):「平成24年度 我が国情報経済社会における基盤整備(情報通信機器のエネルギー消費量に
関する調査」:(株)NTTデータ研究所より

・(システム内プロセッサ電力消費比率):「Googleを支える技術」:(株)技術評論社

・「2009年度(平成21年度)福島第一原子力発電所」(1号機データ)(37億kWh/年)東京電力



(1) 研究開発目標の妥当性 (I. 極低電圧要素回路技術)

| 研究開発項目 | 研究開発項目(最終目標) |
|-------------|---|
| ①ロジック回路技術開発 | ・電源電圧0.5Vで16bit加算器あるいは同等以上の機能と規模を持つ回路IPのエラーレート 10^{-10} 以下、消費電力を2009年度(65nm or 45nmプロセス、1.2V電源で動作)の1/10以下に低減 |
| ②メモリ回路技術開発 | ・電源電圧0.5VでSRAM 1Mbitあたりの消費電力を2009年度(65nm or 45nmプロセス、1.2V電源で動作)の1/10以下に低減 |
| ③アナログ回路技術開発 | PLL* ・0.5VでLSIチップを動作させる、0.5V動作新方式PLL技術開発 ・LSIチップの安定動作に必要なクロック周期3%以下の低ジッタ特性 ・消費電力が2009年度(65nm or 45nmプロセス、1.2V電源で動作)の1/10以下に低減(1μ W@1MHz, 10μ W@10MHz, 100μ W@100MHz) |
| | AFE** (ADC***) ・0.5Vで最小分解能が4mV相当 ・消費電力が2009年度(65nm or 45nmプロセス、1.2V電源で動作)の1/100以下に低減(1μ W@100kHz) |
| ④電源回路技術開発 | ・電源回路とロジック回路等の適応型協調制御した電源システムで、0.5VでLSIチップを安定動作させるために、0.5V程度の入力電源電圧が±20%変動しても、ロジック回路が正常動作 |

・デジタル技術ベースで極低電力アナログ回路を目指す **STARC/慶應大**

・アナログ技術ベースで極低電力アナログ回路を目指す **システムエルエスアイ/東工大**

③については優劣つけがたい技術である事が判明したため、採択委員会の意見に従って双方を採択し、同じ目標で研究開発に取り組ませた。



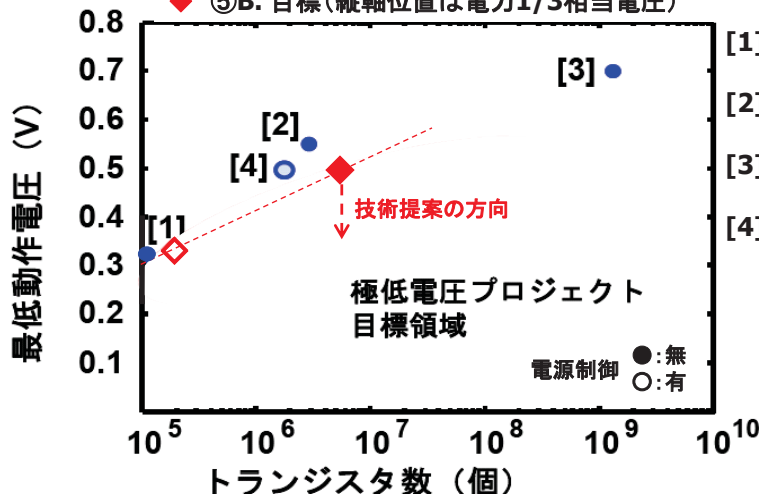
*:PLL: Phase Locked Loop, **:AFE: Analog Front End, ***:ADC: Analog to Digital Converter

(1) 研究開発目標の妥当性 (II. 極低電力LSIチップ統合最適化技術)

| 研究開発項目 | 研究開発項目(最終目標) |
|--------------------|---|
| ⑤極低電力LSIチップ統合最適化技術 | A.研究項目①~④の成果を①チップに統合し、電源電圧0.5Vで消費電力が2009年度(65nm or 45nmプロセス、1.2V電源で動作)の1/10以下になるLSIチップアーキテクチャの実現 B.大規模で複雑な電源電圧0.5Vのデータ処理LSIチップの消費電力が、2009年度(65nm or 45nmプロセス、1.2V電源で動作)の1/3以下になる低電力効果を実証し、さらに大規模化に伴う低消費電力化克服への技術提案 |

根拠

- ◇ ⑤A. 目標(縦軸位置は電力1/10相当電圧)
- ◆ ⑤B. 目標(縦軸位置は電力1/3相当電圧)



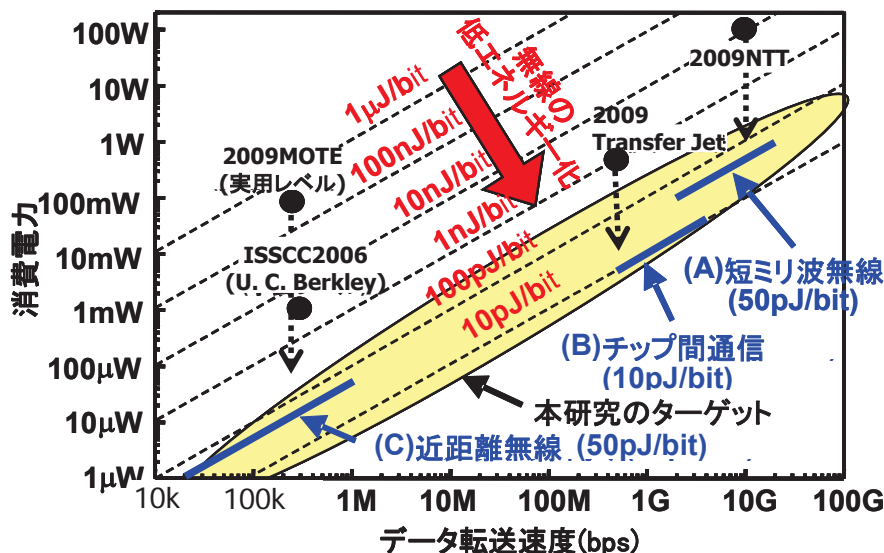
- [1]Intel: リコンフィギュラブル演算・メモリコア (45nm電源無) ISSCC2010
- [2]Intel: ネットワークオンチップ(45nm電源無) ISSCC2010
- [3]Intel: 48コアプロセッサ(45nm電源無) ISSCC2010
- [4]TI: 医療用プロセッサ(130nm電源有) Symp. On VLSI Circ. 2010



(1) 研究開発目標の妥当性 (Ⅲ. 低電力無線/チップ間ワイヤレス技術)

| 研究開発項目 | 研究開発項目(最終目標) |
|--------------------|---|
| ⑥低電力無線・チップ間ワイヤレス技術 | <ul style="list-style-type: none"> 低電圧RF: CMOS回路を用いた、電源電圧0.5Vの低電力無線/チップ間ワイヤレス技術開発 TEGを試作し、50pJ/bit以下の低消費電力通信技術が実用レベルであること |

根拠



II. 研究開発マネジメントについて

(2) 研究開発計画の妥当性(プロジェクト開発項目及び実施計画)

- 毎年目標を設定して目標管理・進捗管理を実施
- 要素技術を並行して開発後統合最適化する方式で段階的に技術開発を推進

| | | 2009年度 | 2010年度 | 2011年度 | 2012年度 |
|---------|-----------------|---------------------------------|--|---|---|
| 要素回路技術 | 項目①ロジック回路 | 技術開発 PLL AFE (ADC) 立上げ | 消費電力 3/10以下 | 消費電力1/10以下 エラーレート<10 ⁻¹⁰ | 項目⑤統合最適化 |
| | 項目②メモリ回路 | | 消費電力 3/10以下 | 低電圧動作SRAM 消費電力1/10 | |
| | 項目③アナログ回路 | | 要素回路検証 要素回路検証 | 1μW@1MHz 消費電力1/100 | |
| | 項目④電源回路 | | 回路ブロック検証 | 0.5V向け電源回路 電源システム | |
| チップ間無線化 | LSIチップ 統合最適化 | | | 要素回路 最適化 | 消費電力1/10 以下実証 |
| | 項目⑥無線回路 | 技術開発 立上げ | 短ミリ波無線CMOS 単一チャネル送受信機 0.5V無線要素回路 | (A)100pJ/bit以下 (B)10pJ/bit以下 (C)0.5V受信器、 水晶発振器実現 | (A)50pJ/bit以下 (B)10pJ/bit以下 (C)50pJ/bit以下 |



II. 研究開発マネジメントについて

公開資料

(2) 研究開発計画の妥当性(プロジェクト開発総事業費)

(単位:百万円)

| | 2009年度 | 2010年度 | 2011年度 | 2012年度 | 総額 |
|------|--------|--------|--------|--------|-------|
| 予算 | 913 | 727 | 789 | 564 | 2,993 |
| 加速資金 | — | 105 | 61 | 299 | 465 |
| 総予算額 | 913 | 832 | 850 | 863 | 3,458 |

「極低電力回路・システム技術開発(グリーンITプロジェクト)」
2009年度~2012年度
開発総費用 34億5千8百万円



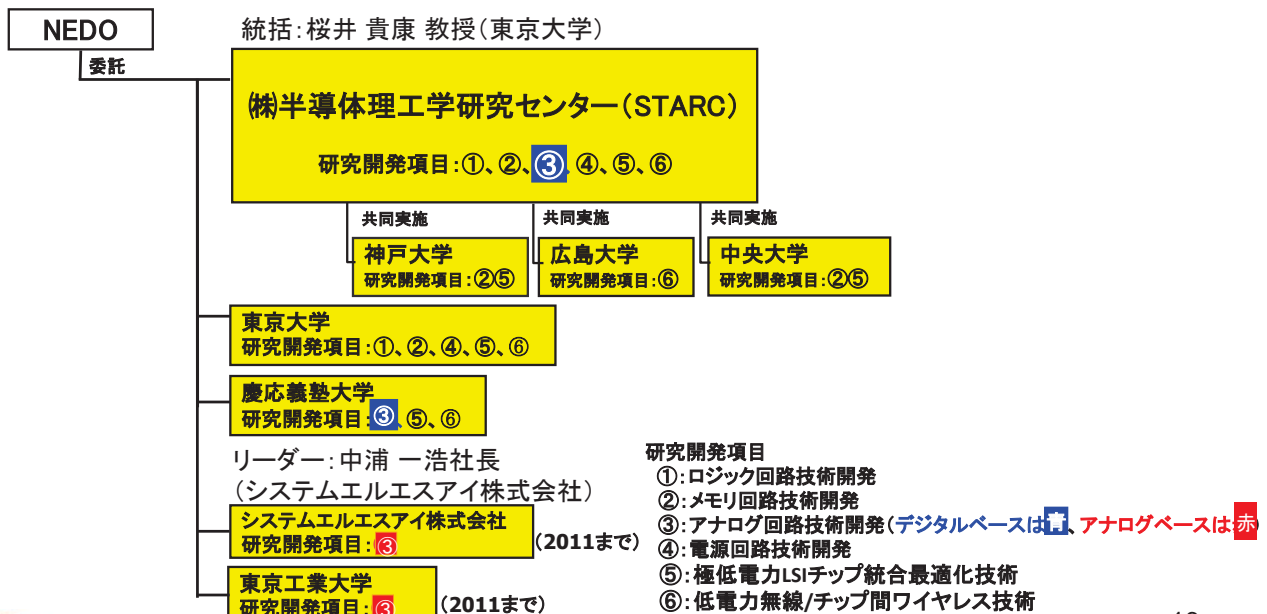
15

II. 研究開発マネジメントについて

公開資料

(3) 研究開発実施の事業体制の妥当性(目標達成に向けた体制の構築)

- (株)半導体理工学研究センター(STARC)中心に産官学連携の研究開発
- アナログ回路開発では、アナログ技術ベースで研究開発する東京工業大学とデジタル技術ベースで研究開発する慶應義塾大学の双方のアプローチで研究開発を実施した。



16

II. 研究開発マネジメントについて

公開資料

(3) 研究開発実施の事業体制の妥当性(目標達成に向けた体制の構築)

集中研 極低電力ラボ (東京大学駒場)



17

II. 研究開発マネジメントについて

公開資料

(3) 研究開発実施の事業体制の妥当性(実用化に向けた体制の構築)

▶ 研究開発の推進、参加支援企業へ実用化・事業化促進に向けた会議を設定と運営指示

| 会議の対象 | 会議名 | 頻度 | 内容 |
|-------------|--------------|------|--------------------------------|
| プロジェクトの外部 | STARCシンポジウム | 年1回 | STARC全体の取り組み紹介(NEDO後援) |
| | 公開成果報告会 | 最終年度 | プロジェクト成果をプレゼン(NEDO共催) |
| | ELP成果報告会 | 年1回 | プロジェクト成果を紹介 |
| プロジェクトメンバ | リーダー会議 | 毎月 | 各リーダーがプロジェクト運営を協議 |
| | 発明審査会 | 随時 | 発明審査 |
| | テーマ会議 | 毎週 | 研究開発項目毎にプロジェクト内部で進捗等管理 |
| | 情報交換合宿 | 年1回 | 研究開発項目間で人的交流、情報交換 |
| STARC参加支援企業 | 支援ワーキング | 毎月 | 参加支援企業幹部へプロジェクト進捗報告 |
| | 各テーマ別サブワーキング | 3ヶ月毎 | 参加支援企業メンバーへ進捗報告 |
| | STARC支援企業報告会 | 年1回 | STARC全体の活動を報告 |
| | 支援企業技術移転セミナー | 適宜 | 実用化に興味のある支援企業への技術移転、計16回、71テーマ |



ELP成果報告会の様子



合宿の様子

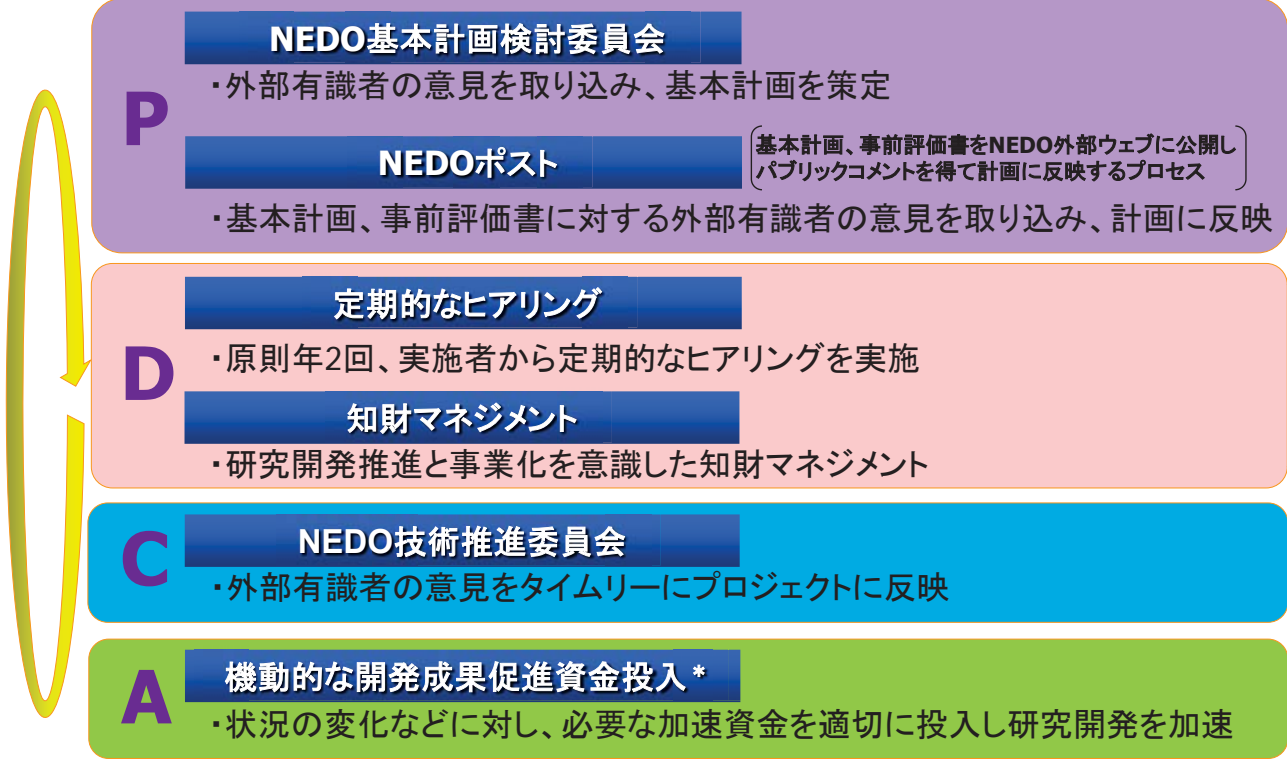


支援企業技術移転セミナーの様子⁸



(4) 研究開発成果の実用化・事業化に向けたマネジメントの妥当性

▶ 研究開発全体でPDCAに沿ってマネジメント

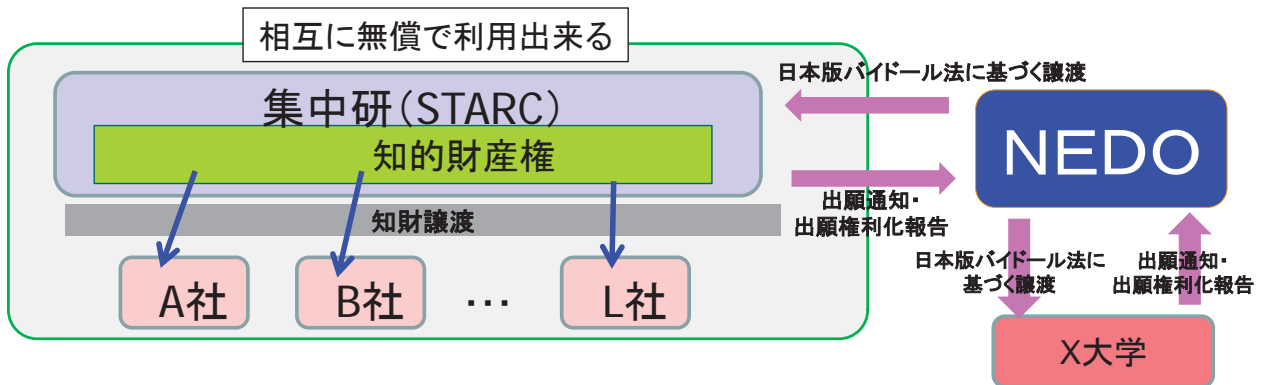


* : 開発成果促進資金投入の事を以降“加速”と表記する。

事業化を意識した効率的な知的財産マネジメント

知的財産権の取り扱い

- ・ (日本版バイドール法により) 知的財産権は一旦STARCに帰属し、発明者の出向元へ譲渡される。
- ・ 知的財産権の使用権について
 STARCの集中研に参加する各社は、全知的財産権の使用権を得る。



(5) 情勢変化への対応等

P: ■、D: ■、C: ■、A: ■

| | 2009年度 | 2010年度 | 2011年度 | 2012年度 | |
|--|--|---|---|---|---------------------|
| | <p>事前評価 基本計画検討委員会 パブコメ(2/17/22/27)</p> <p>公募(3/27/4/27)</p> <p>アナログ回路技術開発申し合せ(6月)</p> <p>契約助成審査委員会(6月)</p> | <p>加速① NEDOヒアリング(5月)</p> <p>加速② 加速による増額(7月)</p> <p>加速③ 加速による増額(11月)</p> <p>NEDOヒアリング(12月)</p> <p>基本計画検討委員会(2/16)</p> <p>加速による増額(3月)</p> | <p>公募(4/6)</p> <p>NEDOヒアリング(5月)</p> <p>契約助成審査委員会(6月)</p> <p>NEDO技術推進委員会(12月)</p> <p>加速④ 加速による増額(3月)</p> | <p>NEDOヒアリング(5月)</p> <p>公開技術成果報告会(2/26)</p> | <p>事後評価分科会(11月)</p> |
| | <p>赤枠: 研究開発項目⑤極低電力LSIチップ統合最適化技術に関する</p> | | | | |

- ◇ 研究開発項目③アナログ回路技術開発にデジタル技術とアナログ技術の異なる技術アプローチで、2グループが応募(2009年4月) → 両グループで事前に条件を申し合わせ、同一の目標に対して両グループ独立に研究させた。
- ◇ NEDOヒアリングを通じプロジェクトの進捗確認(毎 5, 12月) → 実施計画書や予算要求に反映、要素技術研究前倒しのために加速資金①②③投入
- ◇ 研究開発項目⑤極低電力LSIチップ統合最適化技術の追加(2011年2月) → 要素回路技術の研究が進み、統合したLSIチップで回路やシステムの検証をするため基本計画に研究開発項目を追加し、公募を実施した(2011年4月)
- ◇ NEDO技術推進委員会で外部有識者による評価で実用化・事業化を意識したプロジェクト推進を求められた(2011年2月) → STARC参画企業への実用化事業化調査を実施し、センサ能力が必要であることが判明
ADC*マクロ開発と実証チップ開発前倒しのため加速資金④投入



* : ADC: Analog to Digital Converter

II. 研究開発マネジメント (4) 研究開発成果の実用化・事業化に向けたマネジメント

外部の知見を入れた進捗チェック

▶ 4年間のプロジェクトのため中間評価は無く、NEDO技術推進委員会を実施(2011年12月)

○ 評価委員の先生

- | | | |
|-------------|----------|---------------------------------|
| 委員 石橋 孝一郎 様 | 電気通信大学 | 教授 |
| 委員 宇佐美 公良 様 | 芝浦工業大学 | 教授 |
| 委員 最上 徹 様 | 日本電気株式会社 | エグゼクティブエキスパート (会社名と役職は当時のもの) |

○ 主な指摘事項

研究開発項目毎に企業と大学各々の得意とする技術力を適切に組み合わせた研究開発体制が構築できている。

最終アプリの明確化とそれを意識した開発、独立した技術開発との優先順位付が必要

• STARCの集中研参加企業に対して事業化・実用化の調査(4回のアンケート)から、最終アプリは今後期待されるセンサーネットワーク関係や低電力化が注目されるデジタルAV機器であり、センサーが必要になるため、ADC*マクロを開発することにした。

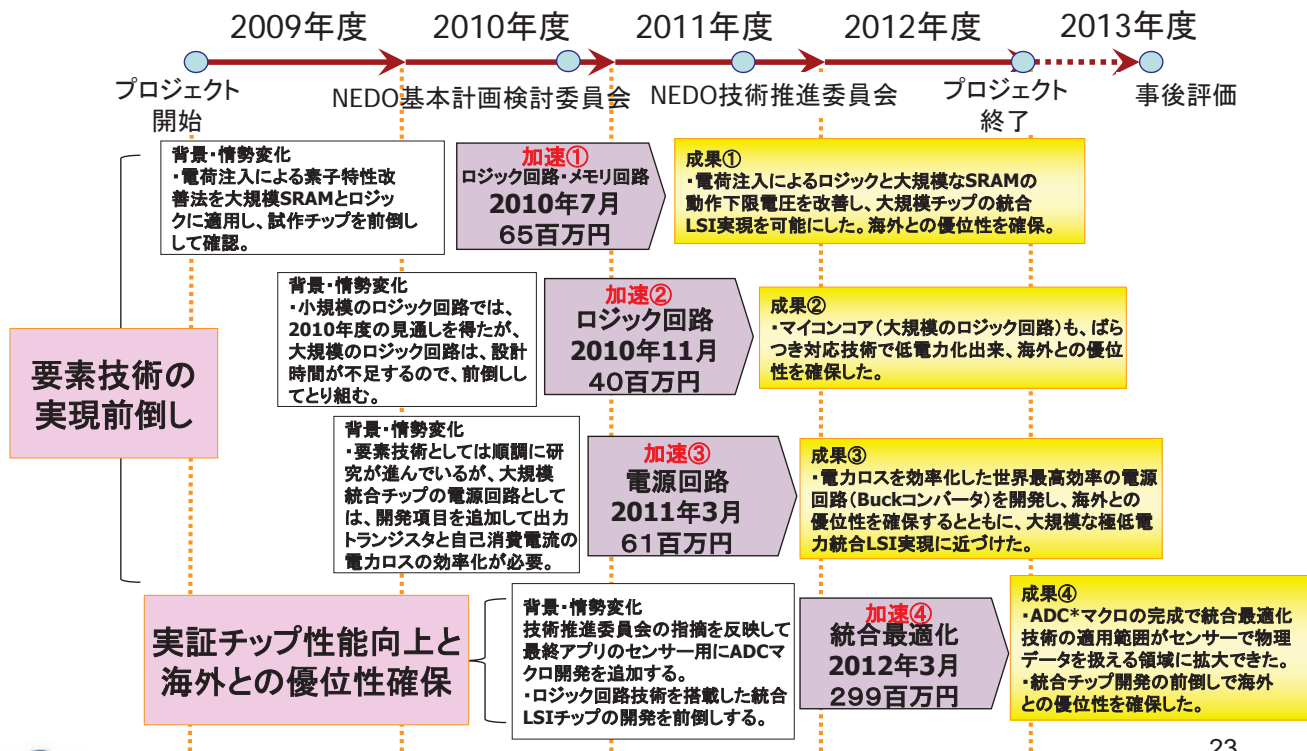
• Intelなど海外も研究が具体化してきたために、統合LSIの大規模検証チップにADC*マクロを積み、早期に実現するため加速④を投入。



* : ADC: Analog to Digital Converter

(5) 情勢変化への対応等(加速資金投入による研究開発の推進)

➤ 要素技術開発の目標実現を前倒しし、統合化チップの成果を高めた



*: ADC: Analog to Digital Converter

成果普及(外部企業との事業連携促進)

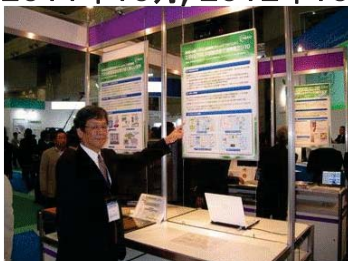
➤ 研究成果の社外へのアピールによる企業連携や事業化の促進

SEMICON、CEATEC2011、CEATEC2012のNEDOブースにて極低電力回路・システム技術の研究開発成果を展示し、成果のプレゼンテーションを実施

公開技術成果報告会(NEDOは共催 2013年2月)、STARCシンポジウム2010、2011、2013(NEDOは後援)で研究開発成果の報告やデモンストレーションを実施

国内企業へのアピールにより、研究成果の活用・普及を促進
外部ユーザ・外部有識者との意見交換を実施

CEATEC 2011, 2012
(2011年10月, 2012年10月)



SEMICON JAPAN 2011
(2011年12月)



公開技術成果報告会
(2013年2月26日@東京大学)



「極低電力回路・システム技術開発 (グリーンITプロジェクト)」

(事後評価)
(2009年度～2012年度 4年間)

プロジェクトの概要(公開)

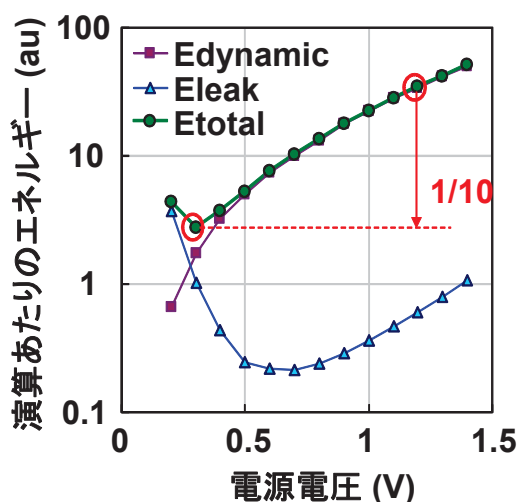
3. 研究開発成果について

2013年 11月19日

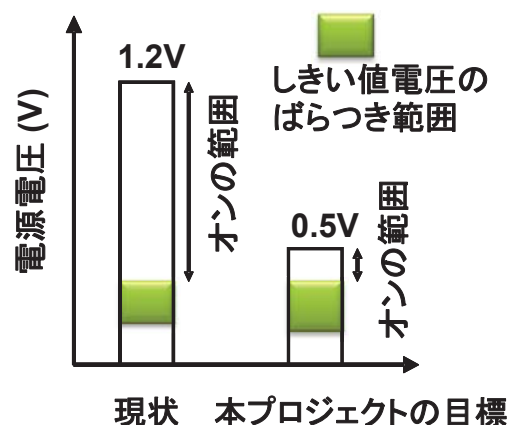
25

3. 研究開発成果について プロジェクトの目標

- LSI電源電圧の極低電圧化(極力**0.5V以下**)により、消費電力を1/10に
- 量産可能な**標準バルクCMOSプロセスを仮定**(主に65nm, 45nm)
将来も含め微細デバイスでの大きなランダムしきい値電圧ばらつきに対応



エネルギー効率の電源電圧依存性



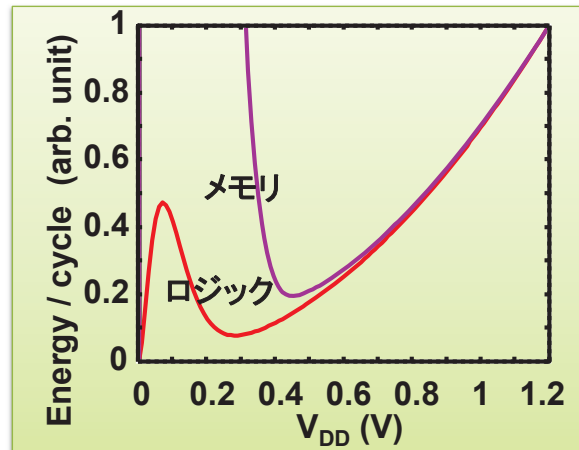
本プロジェクトの電源電圧目標

3. 研究開発成果について

公開資料

0.5V以下動作による極低電力化と課題解決のアプローチ

- しきい値電圧ばらつきの影響が、現状電源電圧以上に増大回路トポロジー、アーキテクチャ、電圧制御、オールデジタル化、ローカルブーストなどの技術開発。理論的把握。
- 統合化では、異種電圧の利活用



エネルギー効率の電源電圧依存性

1

27

3. 研究開発成果について

公開資料

個別研究開発項目の目標と達成状況(1)

| テーマ | 研究開発目標(最終目標) | 主要成果 | 達成度 |
|-------|---|---|-----|
| ①ロジック | <ul style="list-style-type: none"> ・ロジック技術領域の極低電力システムLSIを実現する極低電圧CMOS回路の要素技術開発 ・16bit加算器同等以上の機能と規模を持つ回路IPを試作(エラーレート 10^{-10}以下) ・処理性能を揃えた条件下で消費電力が1/10以下に低減 | <ul style="list-style-type: none"> ・極低電圧CMOS回路の要素技術開発 : <ul style="list-style-type: none"> (a) ファンクション不良対策: CLFFを開発してVDDminを低減、 (b) タイミング不良対策: 高VDDクロック設計技術で技術不使用時よりも面積、遅延、消費電力を全て改善、細粒度VDD適用制御技術で消費電力8%~25%削減、パリティ利用遅延マージンモニタ開発 ・CLFFを適用した16bit整数演算IPを40nm CMOSで試作し、エラーレート2.8×10^{-12}以下を実測確認 ・上記16bit整数演算IPで消費電力1/14.4を達成 ・更に、間欠型共振クロック技術開発で、クロック消費電力の36%~81%削減を実測確認 | ○ |
| ②メモリ | <ul style="list-style-type: none"> ・極小電力を実現する低電圧動作SRAM開発 ・低電力SRAM試作 ・1Mbit当たりの消費電力が1/10以下に低減 | <ul style="list-style-type: none"> ・低電圧動作SRAM開発: <ul style="list-style-type: none"> (a) 高密度で低電圧動作時の無駄なビット線電力を抑制する電荷制御型SRAMを開発 (b) より低い電圧で動作する小振幅ライトバック8T SRAMを開発 ・(a)と(b)の低電力SRAMを40nm CMOSで試作 ・(a)の実測で1Mbit当たりの消費電力 1/12.2 を達成し世界最小 ・(b)の実測でも1Mbit当たりの消費電力 1/10.3達成 ・更に、(c)低電圧でも高速動作可能な相補8T型メモリセルを用いたSRAMを開発し実用化範囲を拡大、(d)本プロジェクトオリジナル技術であるストレス印加によるメモリセルマージン向上技術で一層の低電圧動作を実現 | ◎ |

(◎:大幅達成、○:達成、△:未達、×:大幅未達)

3. 研究開発成果について

公開資料

個別研究開発項目の目標と達成状況(2)

| テーマ | 研究開発目標(最終目標) | 主要成果 | 達成度 |
|-----------|--|---|-----|
| ③ アナログ | <ul style="list-style-type: none"> 0.5V動作新方式PLL技術開発 TEGチップによる低ジッタPLLの実証とロジックも含めた動作実証 | デジタルベースのアプローチ <ul style="list-style-type: none"> 完全デジタルアーキテクチャの0.5V動作PLLを開発 40nm CMOSでPLLのTEGを試作し、0.5V動作、ジッタ3%以下を実証した。また統合チップに適用し、ロジックとメモリも含めた動作を実証 PLLの消費電力5μW@10MHz、50μW@100MHzの世界最小を達成し、ロックアップ時間50クロック以下の高速ロックを実現 更に、その他アナログ回路としてADCを開発: 内蔵DACのデジタルキャリブレーションと高速SARロジック技術により、0.4Vで0.14μW@160kHz、8bit分解能を達成、FoM 3.4fJ/convは世界最小 また、リーク削減技術や2bit/stepによる速度向上技術により、0.1kHz~6MHzの広い範囲で低消費電力を実現 | ○ |
| | | アナログベースのアプローチ <ul style="list-style-type: none"> 低電圧位相同期回路等を開発 800MHz発振時の位相雑音が-91dBc@1kHz、-105.5cBc@20kHzを達成 消費電力も、100μW@100MHzを達成 更に、その他アナログ回路としてADCとDACを開発、低電圧比較器やデジタル電流制御技術の開発により ADC:0.5V、5bit、0.6GSps Flash ADCと0.6V、7bit、1GSps、Flash ADCを実現。従来に対し、10倍以上の変換周波数と世界最小のFoMを達成。1GHz動作は世界初。 DAC:0.5V、10b、1GSpsを達成。消費電力2.4mVは従来比1/5 | ○ |
| ④電源 | <ul style="list-style-type: none"> 低電圧システムに適した電源回路、電源システム技術開発 ロジック回路と組み合わせたLSIチップ試作し、高い動作マージンを得られること | <ul style="list-style-type: none"> 電源回路の5分類を網羅し、0.5V SoCを実現する上で必須の電源回路技術を構築: 主要な成果は(a)世界初のデジタル方式のLDO、(b)低電圧低消費電力で世界最高効率のバックコンバータ、(c)外付け部品無しで世界最低電圧からスタートアップする80mV入力昇圧回路 そして、デジタルLDOを用いた適応型協調電源システムを開発 適応型協調電源システムをロジック回路(16bit整数演算器)と組み合わせたLSIチップを40nm CMOSで試作し、0.5V程度の入力電圧が$\pm 28\%$変動してもロジック回路が正常動作することを実証 | ◎ |

(◎:大幅達成、○:達成、△:未達、×:大幅未達)

事業原簿(公開版)Ⅲ-4

29

3. 研究開発成果について

公開資料

個別研究開発項目の目標と達成状況(3)

| テーマ | 研究開発目標(最終目標) | 主要成果 | 達成度 |
|------------|--|--|-----|
| ⑤ 統合最適化 | (1)新アーキテクチャ決定(2)極低電力LSIチップ試作と評価、により極低電力LSIチップの低電力効果(同じ処理を行うための消費電力が従来技術に比べ1/10以下への低減)の実証 | (1) 統合チップにおける最適エネルギー効率を導き出すために、ロジックとメモリが異電圧、異周波数で動作する新アーキテクチャを決定 (2) ロジック、メモリ、電源を統合した600万トランジスタ規模の極低電力LSIチップを40nm CMOSで試作して評価 (1)(2)により、0.385V、メモリ0.5V動作でLSIチップ全体の消費電力を1/18に低減を実証 ・更に、ホールドエラー対策のGPP(Counter Phased Pipeline)とセットアップエラー対策のPEPD(Parity-based Error Prediction and Detection)によりタイミング不良を回路・システム技術で回避 ・また、アドレス先読み機構で本アーキテクチャでのメモリ消費電力を50%以上削減 | ◎ |
| | (3)大規模で複雑なデータ処理LSIチップの大幅な低電力効果を実証し、さらに、大規模化に伴う低消費電力化克服への技術提案 | (3) 3000万トランジスタの大規模で、QVGA動画処理を行うLSIチップを設定。 ロジック(CPU、SIMD)、メモリ(1ポート、2ポート)、電源、PLL、ADCを統合したLSIチップをSoC設計環境を用いて設計。 40nm CMOSで試作評価し、同一動画処理時の消費電力が1/3.5~1/3.1に低減することを 実証。 320並列SIMDプロセッサの0.45V動作では、SIMDとして世界最高電力効率の563GOPS/Wを達成。 さらに、ロジック電源PLL協調制御を技術提案し、上記大規模LSIチップに搭載して平均周波数10%向上(電力効率10%向上に相当)を達成。また、ロジックで技術提案した高VDDクロック技術を大規模なSIMDプロセッサとCPUコアに適用し、面積、遅延、消費電力への効果を実証した。 | ◎ |

(◎:大幅達成、○:達成、△:未達、×:大幅未達)

事業原簿(公開版)Ⅲ-4

30

3. 研究開発成果について

公開資料

個別研究開発項目の目標と達成状況(4)

| テーマ | 研究開発目標(最終目標) | 主要成果 | 達成度 |
|--------------------|---|---|-----|
| ⑥ 無線/ チップ間通信 | ・低電圧RF CMOS回路技術を用いた、低電力無線/チップ間ワイヤレス技術開発 ・TEGを試作し、50pJ/bit以下の低消費電力通信技術が実用レベルであること | 無線A 短ミリ波通信 ・130GHz帯ASK変調方式で、無線送受信機を開発。 ・40nm CMOSで試作。実用的用途が広がる距離3m、ビットエラー率 10^{-12} 以下の条件で、19pJ/bit (209mW/11Gbps) を達成。CMOSでは世界初の短ミリ波無線通信に成功。 ・更に、デバイスモデリング技術としてYラッパーなどを開発し、シミュレーション精度を向上 | ○ |
| | | 無線B チップ間ワイヤレス ・近磁界結合によるチップ間通信を低電圧要素回路で実現する技術を開発 ・65nm CMOSで試作。POP(Package on Package)の実用化が可能な距離1mmの対向通信を0.6Vで行い、6.4pJ/bit (5.8mW/0.9Gpps)を達成。 ・更に実用性向上のため、パルス幅自動制御システムでPVTバラツキの影響を1/10に削減し、ノイズ除去機能によるクロストーク耐性向上でチャンネル密度を4倍増 | ○ |
| | | 無線C 低電力無線 ・315MHz帯(特定小電力無線)OOK変調方式で無線送受信RF回路を開発。 受信回路はLNAレス、間欠サンプリングにより0.5V動作と低消費電力を実現。 送信回路は低電圧デュアル電源方式によりパワーアンプの効率を向上。 ・ポディーエリアネットワークへの実用化が可能な距離1m、ビットエラー率 10^{-3} (誤り訂正を想定)の条件で、受信回路は38pJ/bit (38μ W/1Mbps)を、送信回路は36pJ/bit (36μ W/1Mbps)を達成。ともにこのクラスでは世界最小電力。 | ○ |

(◎:大幅達成、○:達成、△:未達、×:大幅未達)

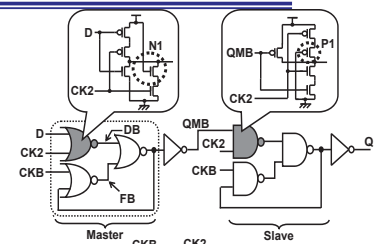
3. 研究開発成果について

公開資料

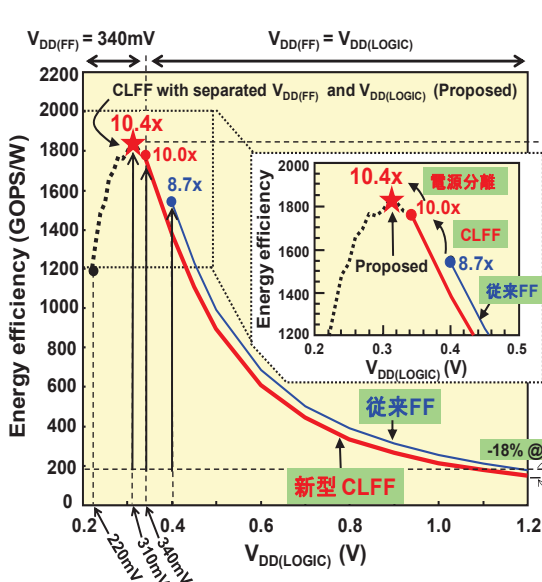
(1) 極低電力ロジック技術

目標: 極低電圧を使用し消費電力1/10

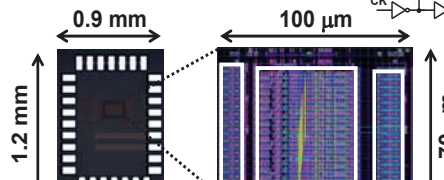
極低電圧設計の課題検証、基礎データ取得
異電源駆使、新規FFなどの新ソリューション



CLFF回路



16bit整数演算回路TEG



ベンチマーク

| Reference | Intel ISSCC08 | NXP ISSCC09 | Intel ISSCC09 | Intel ISSCC10 | This work |
|---|-------------------------------|--------------------|------------------------------------|------------------------|---------------------------|
| CMOS technology | 65nm | 65nm | 45nm | 32nm | 65nm |
| Nominal (V) | 1.2 | 1.2 | 1.1 | 1.0 | 1.2 |
| Min. energy (mV) | 320 | 400 | 300 | 340 | 310 |
| Min. functional (mV) | 230 | N.A. | 230 | 260 | 220 |
| EEIF*: Energy efficiency improvement factor | 9.6x | 8.3x | 8x | 5.7x | 12.7x (**) 10.4x (***) |
| Circuit type | Motion estimation accelerator | DCT & quantization | SIMD vector processing accelerator | Re-configurable arrays | Integer unit |

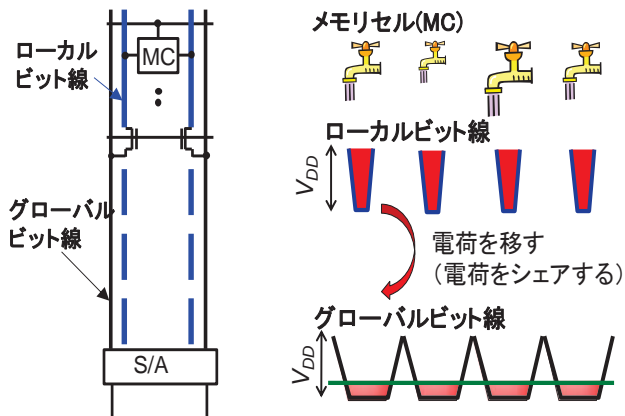
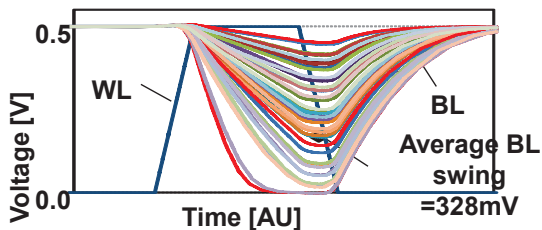
消費電力1/10実証。エラーレート 10^{-10} も実測。

3. 研究開発成果について
極低電力メモリ技術

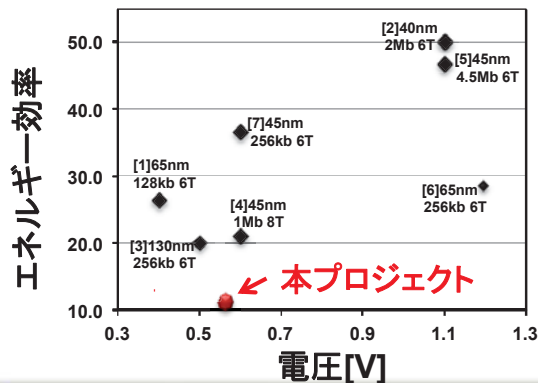
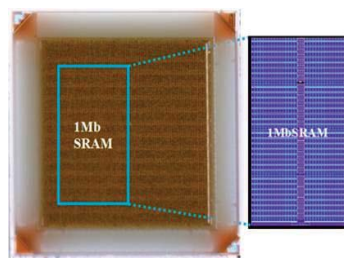
公開資料

目標:消費電力1/10 (1Mbit容量)

- ばらつき対策:電流読み出しから電荷読み出しへ
- ストレス印加によるメモリセルマーzin向上技術



51



11pJ·Access/Mbitの世界最小消費エネルギーを実現。消費電力1/10を実証

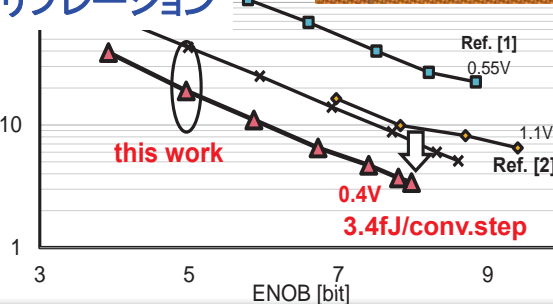
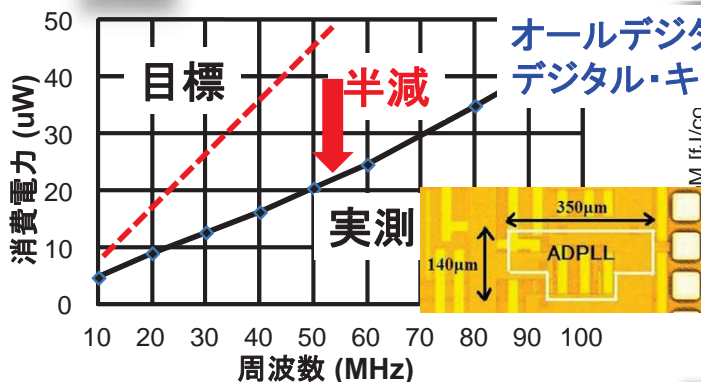
33

3. 研究開発成果について
極低電力アナログ回路技術(デジタル技術ベース)

公開資料

PLL 目標 1μW/MHz, ジッタ3%

ADC 目標 10μW/1MHz



- 0.5V動作で世界最小電力0.5μW/MHzを実現
- ジッタ 3%,ロック時間 数10クロック以下を達成
- 10MHz~100MHzの間でパワースケーラブル

- ・世界最高効率(3.4fJ/conv.step)を達成
- 1.1μW/1MHz 8.1bit (目標10μW/1MHz)
- ・0.5Vで動作速度1MS/sec, 分解能 8bit
- ・2bit/step動作で60%速度改善
- ・自己パワー遮断でリークを98%カット

クロック、メモリ用クロック供給(統合最適化)

CPUを用いたADCのソフトウェア・デジタルキャリブレーション(統合最適化)

3. 研究開発成果について

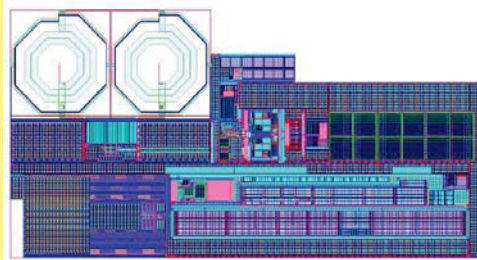
公開資料

極低電力アナログ回路技術(アナログ技術ベース)

- PLL** 0.5V, 1~800Mhz, 1% rmsジッター PLL
消費電力: 0.1mW@100Mhzを達成
- ADC** 1) 0.5V, 5bit, 0.6GSps Flash ADC
0.5V動作において10倍以上の変換周波数と世界最小のFoM*を達成
2) 0.6V, 7bit, 1.0GSps Flash ADC
0.6Vの低電圧動作で世界で初めて1GHzを達成
- DAC** 0.5V, 10bit, 1GSps DAC
0.5V動作で世界で初めて1GS/sを達成世界最小の消費電力
- VCO** 0.5V LC-VCO 50MHz~6.4GHzの広帯域発振器
0.5V動作で、最高のFoM*を達成

PLLとVCOの成果を合体して
超位相雑音PLLを作成

800Mhz発振時の位相雑音
-91dBc@1kHz
-105.5dBc@20KHz



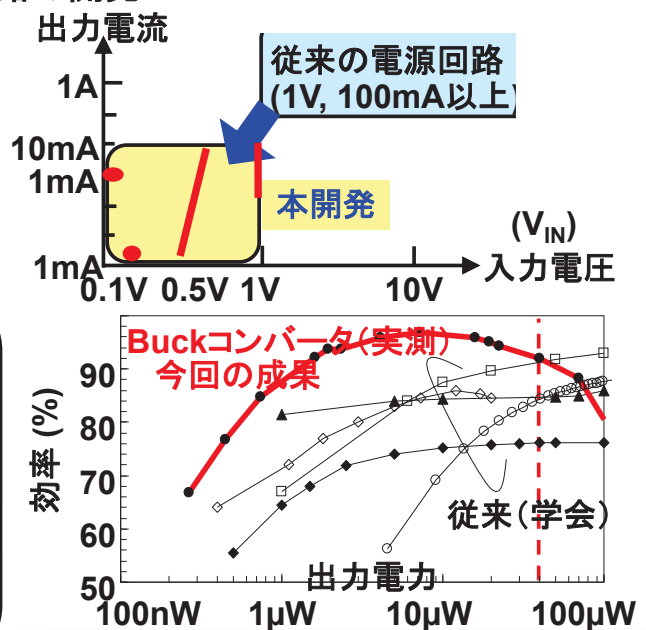
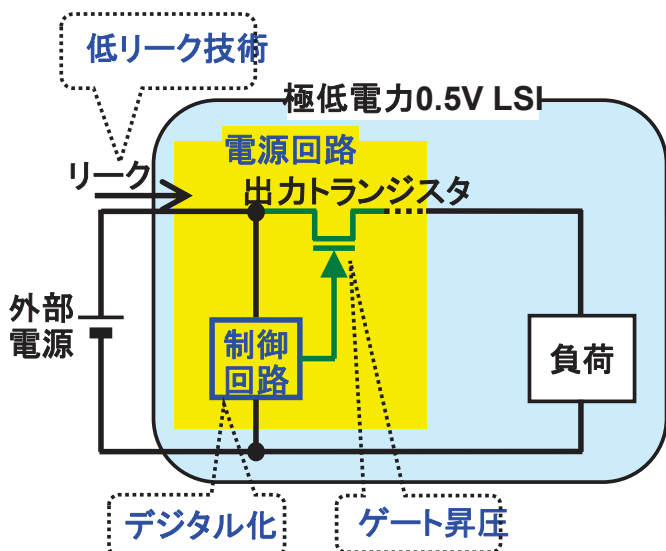
3. 研究開発成果について

公開資料

極低電力LSI用電源技術

目標: 0.5V以下の領域の電源回路の開発

新規ソリューション
局所ゲート昇圧
リーク削減技術
デジタル化



低入力電圧の電源回路を網羅できる技術一式を提案・実証

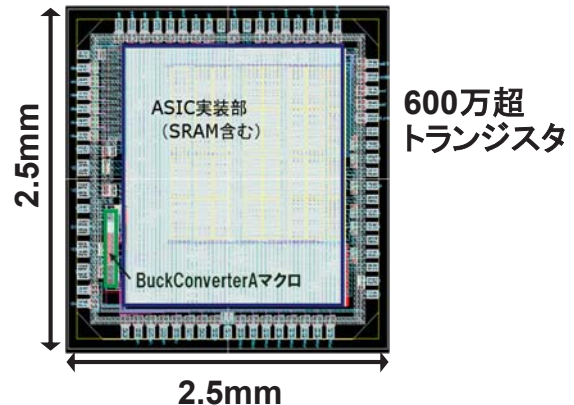
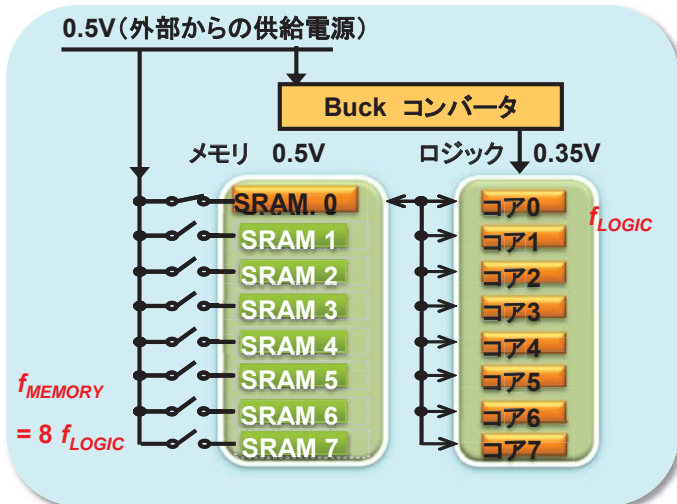
3. 研究開発成果について

公開資料

極低電力LSIチップ統合最適化技術(Aチップ)

目標:[**極限追求型**] ロジック、メモリ、電源等の要素技術開発との連携により、LSIチップとして最適な性能を導き出すチップアーキテクチャを決定、消費電力が従来技術に比べ1/10以下への低減を実証する

- エネルギー最適マルチコアアーキテクチャ
- ロジックとメモリがそれぞれを最適な条件で動作



600万超
トランジスタ

ロジックとメモリの動作を最適化
ロジック 0.35V、メモリ0.5V
 $f_{LOGIC} : f_{MEMORY} = 1 : 8$
消費電力1.2V時の1/10以下を達成

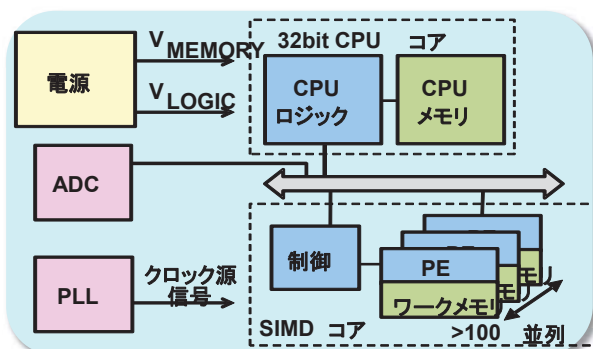
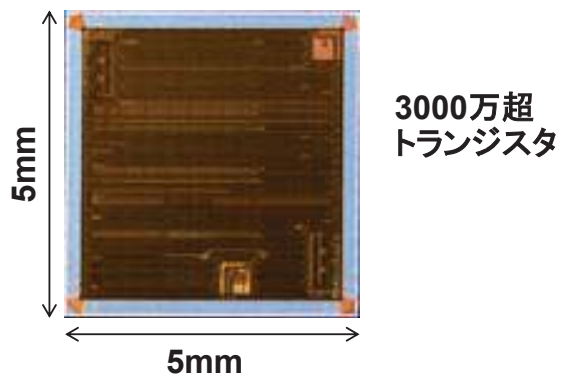
3. 研究開発成果について

公開資料

極低電力LSIチップ統合最適化技術(Bチップ)

目標:[**大規模実証型**] 大規模で複雑なデータ処理LSIチップで、大幅な低電力効果 (1/3以下)を実証する

- CPU(低消費電力マイコン)とSIMD(大規模並列で速度課題を克服)のヘテロマルチコア
応用機能
 - 動画像処理 (SIMD+CPU)
 - 実世界インターフェイス(ADC+CPU)
- 回路・システム技術
 - 細粒度複数電圧設計
 - 要素ブロック協調動作
 - 高効率Buckコンバータ



・応用機能 デモ実施
(1) 動画像処理QVGA 2値化、色領域抽出
(2) ADCによる波形キャプチャ
・ロジック主要部分0.5Vで、消費電力1.2V時の1/4以下を達成

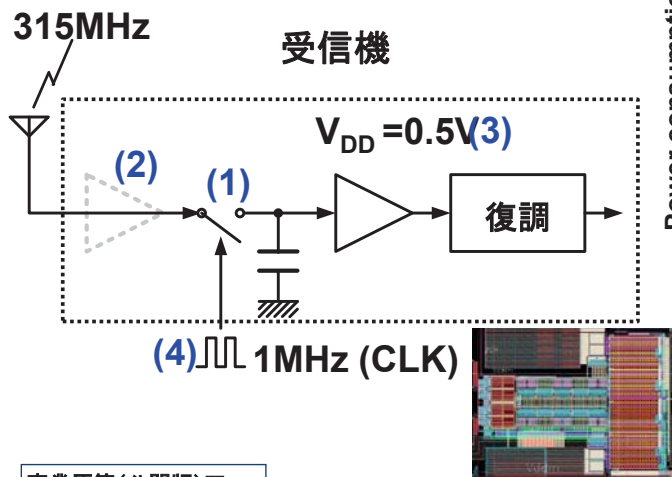
3. 研究開発成果について
極低電力近距離無線

公開資料

目標: 50pJ/bit以下の近距離無線回路の実現

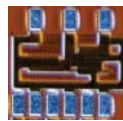
新規アーキテクチャ/回路ソリューション

- (1) デジタルRF
- (2) LNAなし
- (3) 低電圧 (0.5V)
- (4) キャリア生成用のLOなし
- (5) 異電圧利用

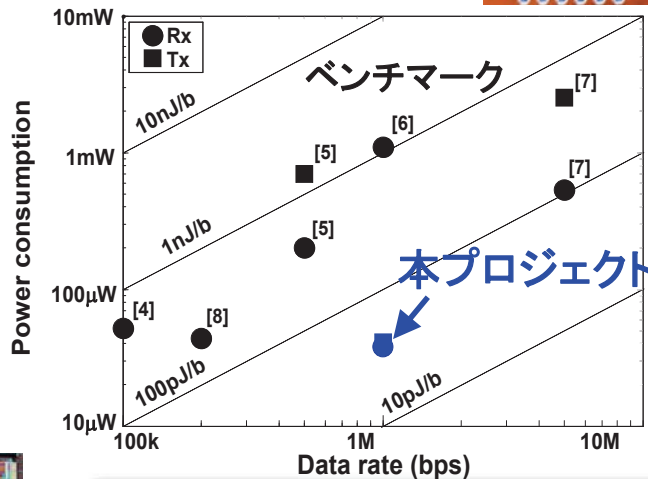
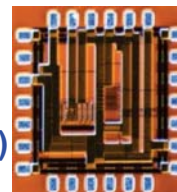


事業原簿(公開版) III-208

送信回路
(52pJ/bit)



受信回路
(38pJ/bit)



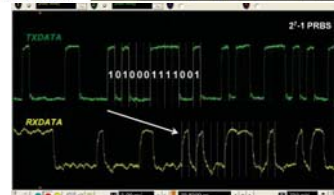
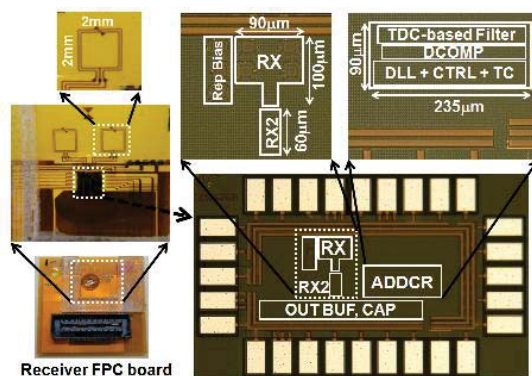
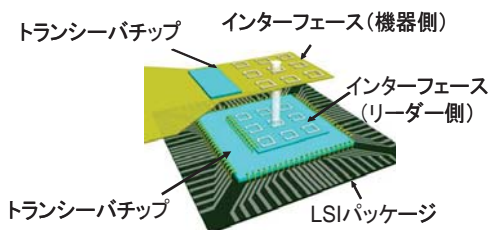
受信回路: 38pJ/bit < 50pJ/bit
送信回路: 36pJ/bit < 50pJ/bit

3. 研究開発成果について
極低電力チップ間通信技術

公開資料

目標: 10pJ/bit/ch 並列チャネル、パッケージ間非接触インターフェイス

- 極低電圧パルス生成回路および受信アンプ
- オールデジタルクロック再生回路(ノイズ除去機能付き)



クロック再生回路を含む送受信機の対向通信で6.4pJ/bit < 10pJ/bit (目標) 900Mbpsの性能を達成

| | JSSC2012 | ISSCC2012 | This work |
|------------------|------------|-------------------|-----------|
| テクノロジー(nm) | 40 | 90 | 65 |
| データレート(Gbps/ch.) | 1.6 | 0.52 | 0.8 |
| 方式 | 有線 DDR3 | 無線 TransferJet | 無線 |
| 通信距離 | - | 30 mm | 1 mm |
| 消費電力(mW/ch.) | 57 | 331 | 0.8 |
| エネルギー効率(pJ/bit) | 35.7 | 636 | 6.4 |

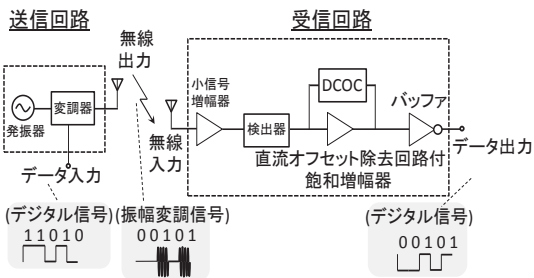
事業原簿(公開版) III-190

3. 研究開発成果について
高エネルギー効率短ミリ波無線

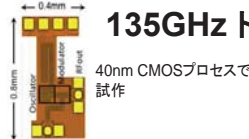
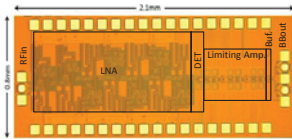
公開資料

目標: 短ミリ波帯通信を50pJ/bit以下の低消費電力で実現

設計基礎から見直し、新規回路導入など



D帯: 110-170GHz, ASK: Amplitude Shift Keying, DCOC: 直流オフセット除去回路



135GHz トランシーバ

40nm CMOSプロセスで試作

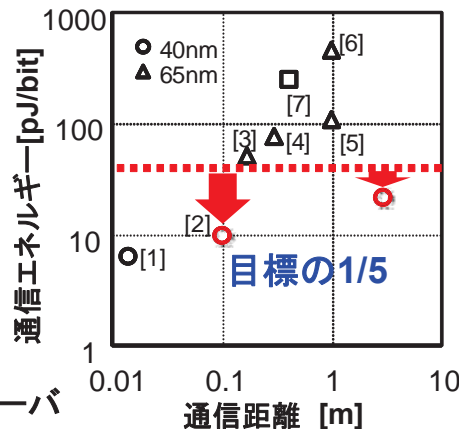
$$\frac{\text{Data Rate}}{\text{Power Consumption}} = \frac{98.4\text{mW}}{10\text{Gbps}} = 9.8\text{pJ/bit}$$



無線通信試験

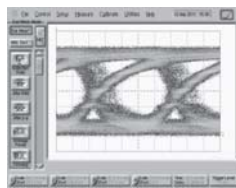
VLSI Symposium 2012

事業原簿(公開版)III-169

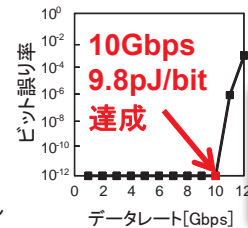


50pJ/bit

- [1] ISSCC2010
- [2] VLSI2012
- [3] ISSCC2011
- [4] ISSCC2012
- [5] ISSCC2011
- [6] ISSCC2011
- [7] VLSI2009



10Gbpsにおけるアイパターン

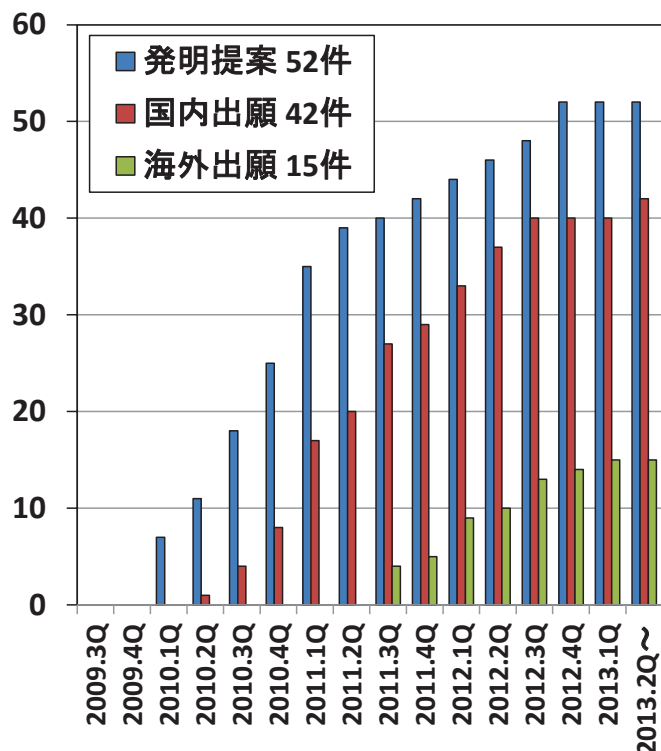
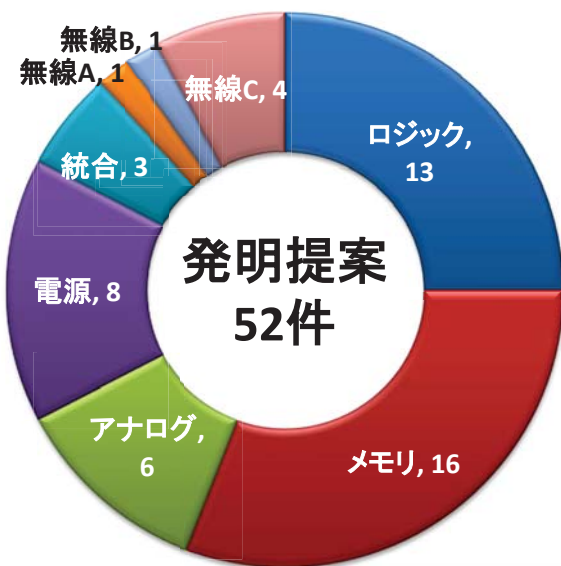


10Gbps短ミリ波無線通信を9.8pJ/bit実証

- デジタル入力は $2^{31}-1$ 疑似乱数信号
- 無線距離は0.1m

3. 研究開発成果について
特許出願状況

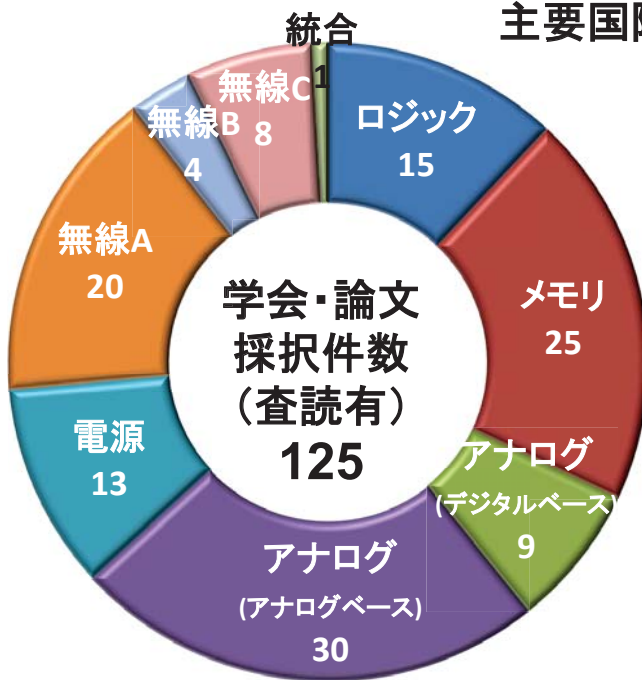
公開資料



3. 研究開発成果について

学会・論文採択状況

公開資料



| | |
|---------------------|-----|
| ISSCC | 5件 |
| Symp. on VLSI Circ. | 11件 |
| ESSCIRC | 7件 |
| CICC | 6件 |
| A-SSCC | 14件 |

学会・論文採択総数 125
 発表済119、採択済6
 STARC 23、大学 82

43

公開資料

「極低電力回路・システム技術開発 (グリーンITプロジェクト)」

(事後評価)
(2009年度～2012年度 4年間)

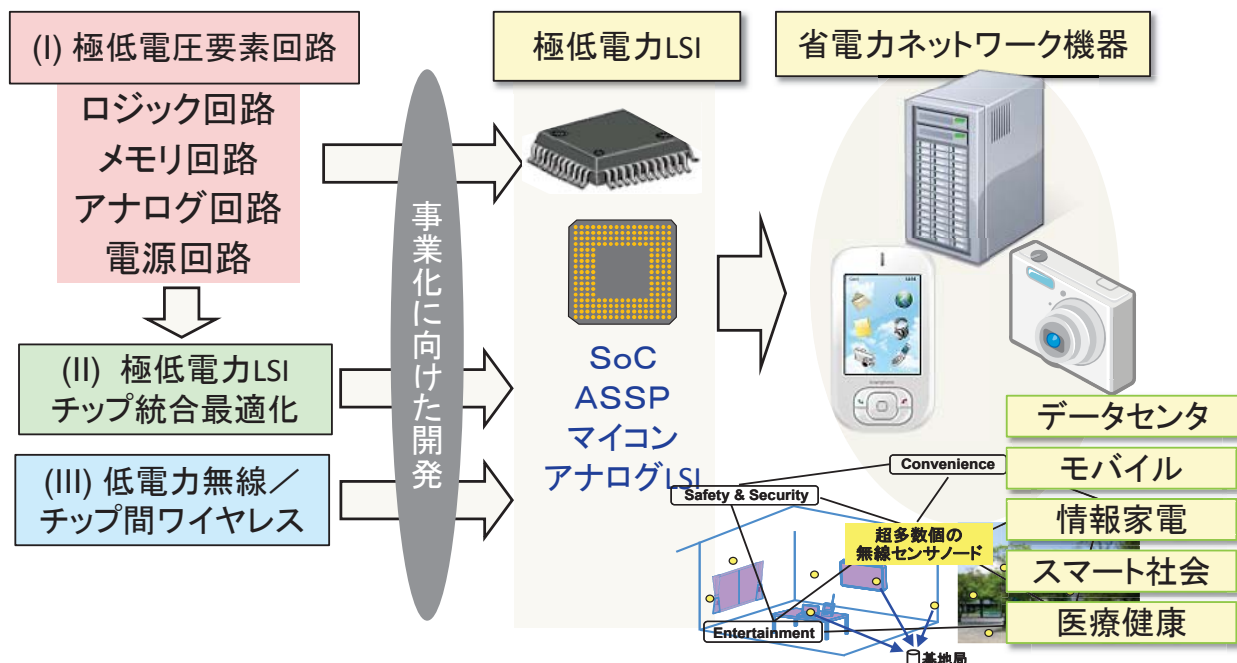
プロジェクトの概要 (公開)

IV. 実用化・事業化に向けての見通し及び取り組み

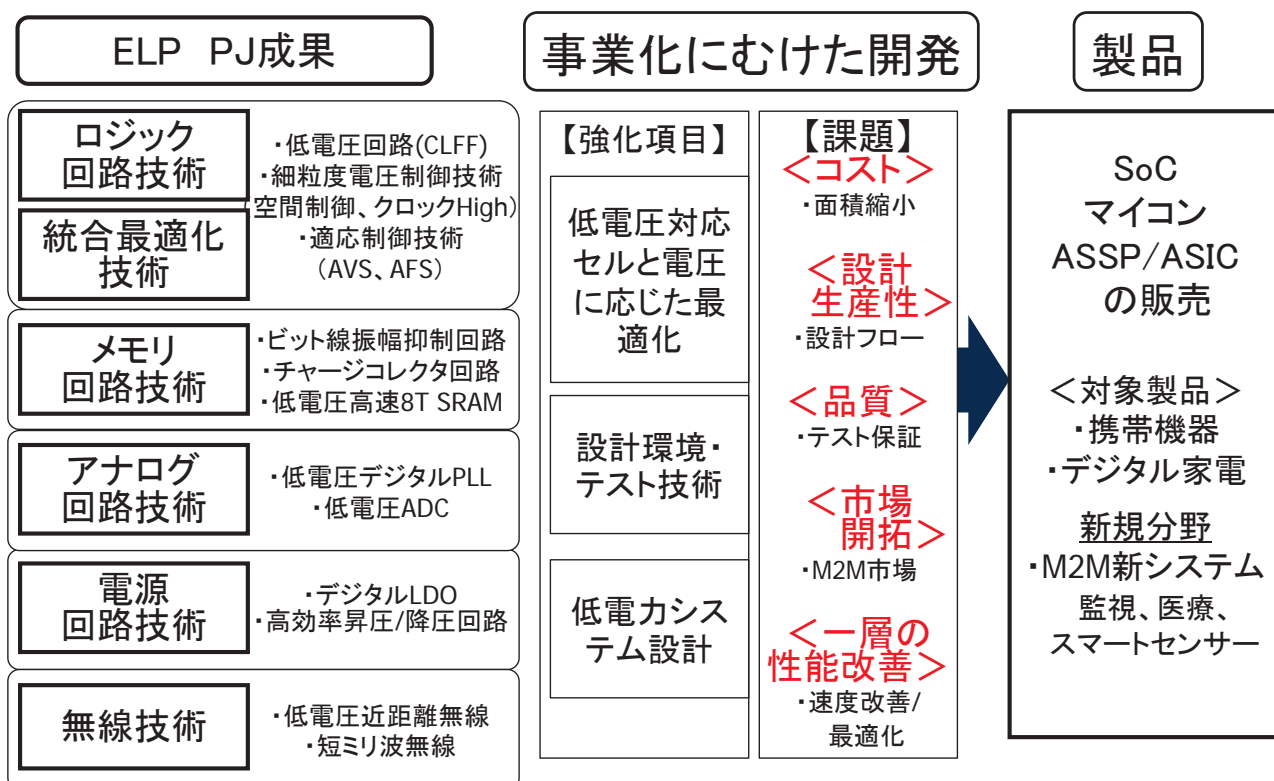
2013年 11月19日

44

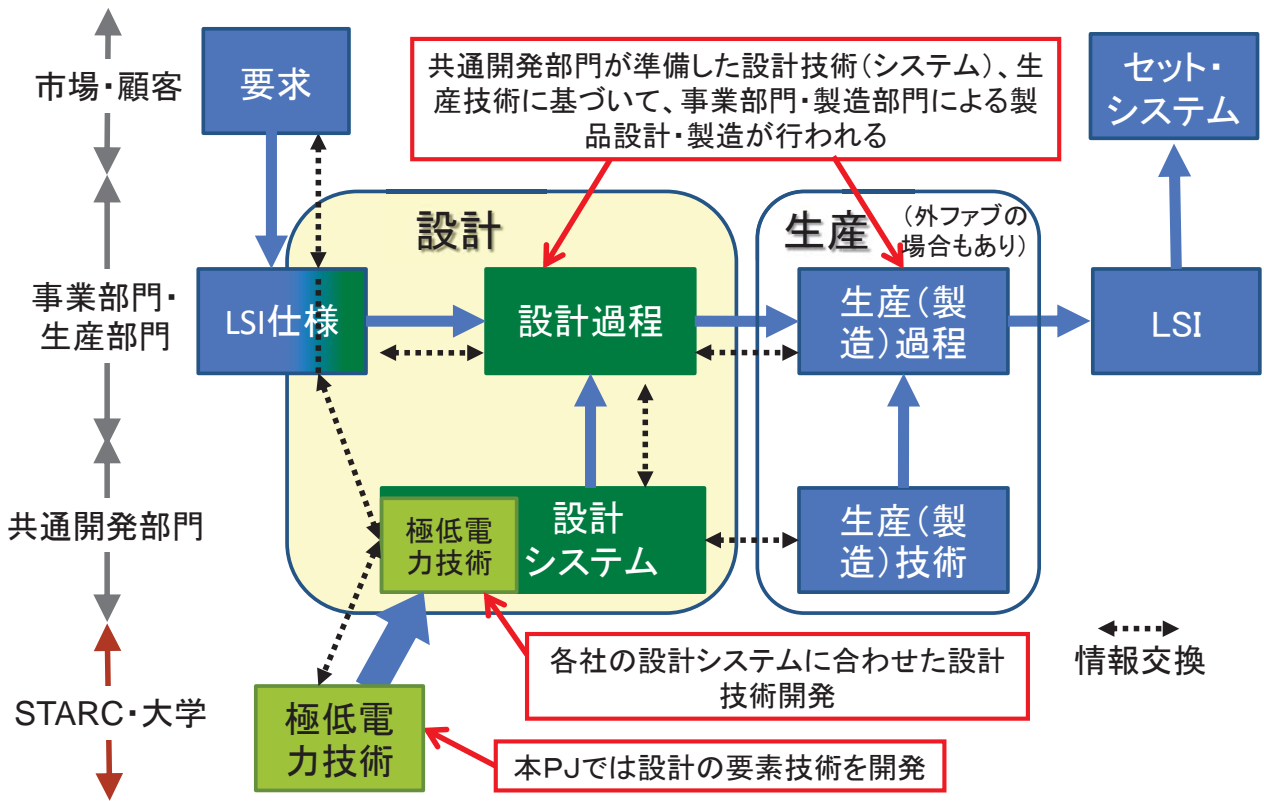
成果の実用化のイメージ



適用するPJ成果と事業化に向けた開発と製品

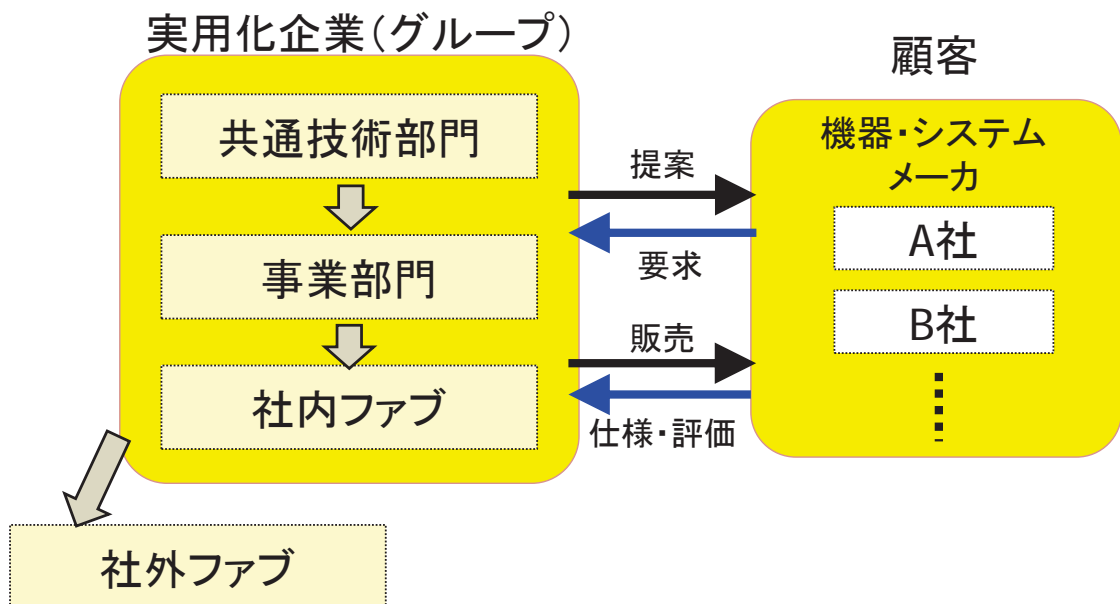


技術と製品の流れ

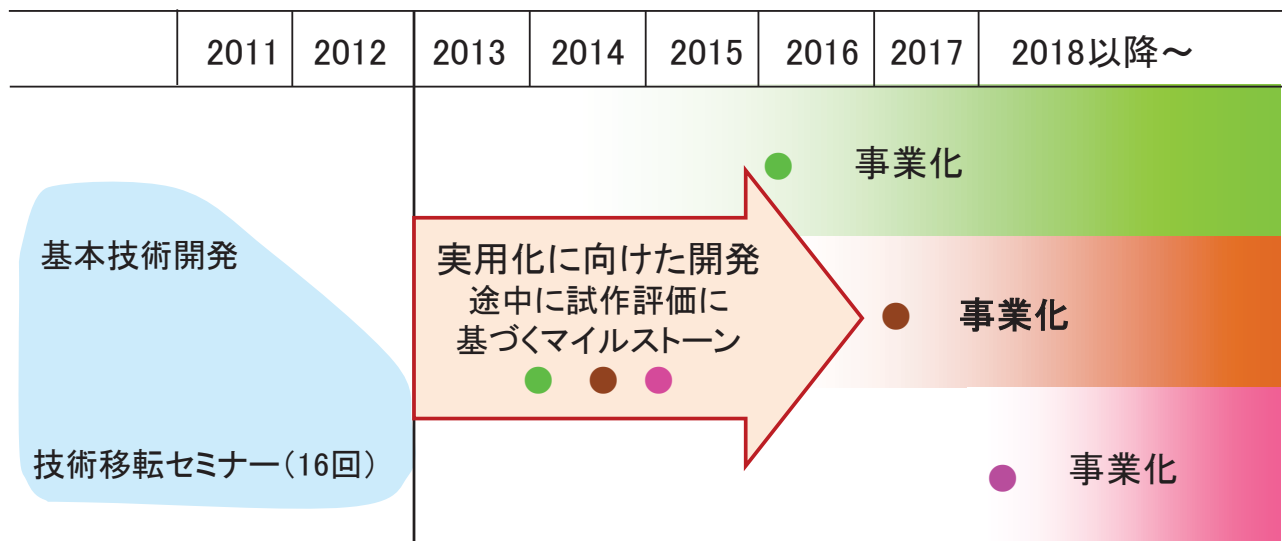


事業化の体制

共通技術部門でPJからの技術移転受けと追加の技術開発を行い、事業部門で製品設計し、社内または社外ファブでチップ製造して、製品を販売



マイルストーン



● ● ● : 事業化に向けたマイルストーン