

「ノーマリーオフコンピューティング基盤技術開発」

事業原簿

【公開版】

| | |
|-----|--|
| 担当部 | 独立行政法人新エネルギー・産業技術総合開発機構 電子・材料・ナノテクノロジー部 |
|-----|--|

| | |
|--|-------------|
| 概要..... | 概要-1 |
| プロジェクト用語集..... | プロジェクト用語集-1 |
| I. 事業の位置付け・必要性について | 1 |
| 1. NEDO の関与の必要性・制度への適合性 | 1 |
| 1.1 NEDO が関与することの意義 | 1 |
| 1.2 実施の効果(費用対効果) | 2 |
| 2. 事業の背景・目的・位置づけ | 3 |
| 2.1 事業の背景 | 3 |
| 2.2 事業の目的 | 4 |
| 2.3 事業の位置づけ | 4 |
| II. 研究開発マネジメントについて..... | 5 |
| 1. 事業の目標..... | 5 |
| 2. 事業の計画内容 | 7 |
| 2.1 研究開発の内容..... | 7 |
| (1) 課題と開発すべき技術 | 7 |
| (2) 事業内容 | 10 |
| (3) 研究開発スケジュール..... | 19 |
| (4) 開発予算 | 27 |
| 2.2 研究開発の実施体制 | 28 |
| 2.3 研究開発の運営管理 | 28 |
| 2.4 研究開発成果の実用化・事業化に向けたマネジメントの妥当性 | 29 |
| 3. 情勢変化への対応 | 31 |
| 4. 中間評価結果への対応..... | 31 |
| 5. 評価に関する事項..... | 31 |
| III. 研究開発成果について | 32 |
| 1. 事業全体の成果 | 32 |
| 2. 研究開発項目毎の成果..... | 39 |
| 2.1 ①-1 高速低消費不揮発メモリスシステムによる携帯情報端末低電力化技術 | 39 |
| 2.2 ①-2 スマートシティ・センサー ネットワーク低電力化技術 | 44 |
| 2.3 ①-4 ヘルスケア応用生体情報計測センサーネットワーク低電力化技術 | 55 |
| 2.4 ②-1 ノーマリーオフ評価基盤・プラットフォームの研究開発 | 60 |
| 2.5 ②-2 超高速不揮発メモリを活用するノーマリーオフメモリスシステムの研究開発 | 65 |
| 2.6 ②-3 ノーマリーオフコンピューティングシステム設計方法論の研究開発 | 66 |
| IV. 実用化・事業化に向けての見通し及び取り組みについて | 77 |
| 1. 実用化・事業化に向けての見通し及び取り組みについて | 77 |

(添付資料)

- ・プロジェクト基本計画
- ・事前評価関連資料(事前評価書)
- ・論文リスト

概要

| | | 最終更新日 | 平成 25 年 8 月 6 日 | | | | |
|--------------------|--|----------|-----------------|-------|-------|-------|---|
| プロジェクト名 | ノーマリーオフコンピューティング 基盤技術開発 | プロジェクト番号 | P11001 | | | | |
| 担当推進部/担当者 | 電子・材料・ナノテクノロジー部 田崎 英明(平成 23 年 9 月～平成 24 年 3 月) 電子・材料・ナノテクノロジー部 島山 敦(平成 24 年 4 月～平成 24 年 12 月) 電子・材料・ナノテクノロジー部 波佐 昭則(平成 25 年 1 月～平成 25 年 3 月) 電子・材料・ナノテクノロジー部 高橋 伸幸(平成 25 年 4 月～平成 25 年 8 月現在) | | | | | | |
| 0. 事業の概要 | 我が国が優位性をもつ不揮発性素子に関わるハードウェア技術の更なる高度化と併せて、不揮発性素子を用いる機器・システム等のアーキテクチャ、ソフトウェア及びシステム化の要素技術を世界に先駆けて確立する。 | | | | | | |
| I. 事業の位置付け・必要性について | スマートグリッドやクラウドコンピューティングといった流れの中、今後コンピュータが社会のあらゆる局面で活用されることが予測されるが、その実現のためには、メンテナンスの観点・低炭素化の観点から更なる機器・システムの低消費電力化が求められる。しかしながら、半導体の微細化を中心とした従来技術では機器・システムの高集積化と低消費電力化の両立が困難になってきており、新たな技術的アプローチが求められる。電源を切っても情報を保持できる次世代不揮発性素子は、この点で大きな可能性を秘めている。本プロジェクトは、同素子を用いた低消費電力システムの実現のための基盤技術の確立を目指すものである。 | | | | | | |
| II. 研究開発マネジメントについて | | | | | | | |
| 事業の目標 | 次世代センサーネットワーク、モバイル情報機器、サーバ等、不揮発性素子を用いると想定される機器・システムにおいて、不揮発性素子を用いたハードウェア技術、ソフトウェア技術、コンピュータアーキテクチャの一体的な開発により、システムとしての低消費電力性能(電力あたりの性能)を本事業開始時に対して 10 倍とすることを実証する。 | | | | | | |
| 事業の計画内容 | 主な実施事項 | H23fy | H24fy | H25fy | H26fy | H27fy | |
| | ①-1 高速低消費不揮発メモリシステムによる携帯情報端末低電力化技術 | ← | | | | | → |
| | ①-2 スマートシティ・センサーネットワーク低電力化技術 | ← | | | | | → |
| | ①-3 インテリジェントビルを指向するセンサーネットワーク低電力化技術 | ← | → | | | | |
| | ①-4 ヘルスケア応用生体情報計測センサーネットワーク低電力化技術 | ← | | | | | → |
| | ②-1 ノーマリーオフ評価基盤・プラットフォームの研究開発 | ← | | | | | → |
| | ②-2 超高速不揮発メモリを活用するノーマリーオフメモリシステムプラットフォームの研究開発 | ← | | | | | → |
| | ②-3 ノーマリーオフコンピューティングシステム設計方法論の研究開発 | ← | | | | | → |

| | | | | | | | |
|--|--|--|-------|-------|-------|-------|-------|
| 開発予算 (百万円) 契約種類: (共同研究 負担率(1/2)) | 会計・勘定 | H23fy | H24fy | H25fy | H26fy | H27fy | 総額 |
| | 特別会計(需給) | 426 | 661 | 645 | | | 1,731 |
| | 総予算額 | 426 | 661 | 645 | | | 1,731 |
| 開発体制 | 経産省担当原課 | 商務情報政策局 情報通信機器課 | | | | | |
| | プロジェクト リーダー | 中村 宏 東京大学大学院情報理工学系研究科 教授 | | | | | |
| | 共同研究先 | 共同研究先:(株)東芝、ルネサスエレクトロニクス(株)、ローム(株) 共同実施先:東京大学 再委託先:電気通信大学、東北大学、独立行政法人産業技術総合研究所、大阪大学、はこだて未来大学、立命館大学、神戸大学、オムロンヘルスケア(株) | | | | | |
| 情勢変化への 対応 | <p>(1)実施テーマの見直し整理による実施方針・計画の変更 プロジェクト開始年度に設定されたテーマに関して見直し、重複と目標の明確化を実施。その結果、「インテリジェントビルを指向するセンサーネットワーク低電力化技術(日本電気(株)、NEC システムテクノロジー(株))」を平成 23 年度を持って終了した。これにより、平成 24 年度より、実施テーマを一部削除し、実施体制を変更した。</p> <p>(2)プロジェクトリーダーによる実施方針・計画の変更 平成 24 年度 5 月より、プロジェクトリーダー(中村 宏 東京大学教授)を置いた実施体制として、プロジェクトの運営を行っている。</p> <p>(3)事業組合の設置による実施方針・計画の変更 平成 24 年度 7 月より、ノーマリーオフコンピューティング有限責任事業組合(LLP)を置いた実施体制として、プロジェクトの管理を行っている。</p> | | | | | | |
| 中間評価結果 への対応 | 平成 25 年 7 月中間評価実施予定のため現時点記載すべき事項無し | | | | | | |
| 評価に関する 事項 | 事前評価 | 平成 22 年度実施 担当部 NEDO 電子・材料・ナノテクノロジー部 | | | | | |
| | 中間評価 | 平成 25 年度 実施予定 | | | | | |
| | 事後評価 | 平成 28 年度 実施予定 | | | | | |
| Ⅲ. 研究開発成 果について | <p>①-1:高速低消費不揮発メモリシステムによる携帯情報端末低電力化技術 高速・低消費電力(3ns, 50 μA)で書き込み動作可能なMTJ記憶素子を実現し、これを用いてアクセスタイムは5ns以下のDRAM/MRAMハイブリッド回路を設計した。新しいメモリ階層を導入したプロセッサの消費電力シミュレーションの結果と総合して、従来のキャッシュメモリと比較して電力効率10倍以上となる条件を明確化した。</p> <p>①-2:スマートシティ・センサー ネットワーク低電力化技術 自律適応型電源制御技術と評価用ソフトウェアの仕様策定・設計を行い、センサーノード電力プロファイル評価環境を使い電力削減効果を評価し、従来のマイコンを用いたセンサーノード(通信除く)と比較し10倍のノーマリーオフ低電力化性能に到達可能かを評価し、技術課題を明確化した。</p> <p>①-4:ヘルスケア応用生体情報計測センサーネットワーク低電力化技術 生体情報処理に特化して間歇動作指向アルゴリズム、電源管理アーキテクチャ、メモリアーキテクチャの研究開発を行い、試作開発およびシステムレベル評価を実施し、システムと</p> | | | | | | |

| | | |
|---------------------|--|--|
| | <p>しての電力消費性能を5倍、平均消費電流38μAを実現した。</p> <p>②-1: ノーマリーオフ評価基盤・プラットフォームの研究開発 種々の応用分野のアプリケーションに対して、ノーマリーオフ制御評価を実行できる実機評価環境(集中研評価ボード)の仕様設計を完了し、②-3で検討する詳細な電力性能情報を取得するためのエミュレーション技術の試作・評価を実施し、仕様を決定した。</p> <p>②-2: 超高速不揮発メモリを活用するノーマリーオフメモリシステムプラットフォームの研究開発 実際の使用環境に近い状態で、プロセッサ電力・性能を評価することが可能なシミュレーション環境を構築した。これにより、L1キャッシュメモリ以上の階層はSRAMを、L2キャッシュメモリにSTT-MRAMとDRAMのハイブリッドメモリを用いる新型メモリ階層での電力評価を行い、電力効率が10倍以上となるプロセッサの動作条件(動作時間/待機時間比率など)を求めることが可能になった。</p> <p>②-3: ノーマリーオフコンピューティングシステム設計方法論の研究開発 不揮発メモリを用いたシステムのノーマリーオフ電力モデルの定式化し、②-1、②-2と連携して、汎用性を指向するソフトウェア技術としてのアクティビティ局所化手法および高速不揮発RAMの性能/電力向上のためのMRAMとSRAM/DRAMを効果的に使い分けるハイブリッドキャッシュアーキテクチャを開発した。</p> | |
| | 投稿論文 | 「査読付き」 39 件、「その他」 79 件 |
| | 特 許 | 「出願済」 54 件(うち外国出願 25 件)、「登録」 0 件、「実施」 0 件 特記事項: なし |
| | その他の外部発表(プレス発表等) | <ul style="list-style-type: none"> ・ノーマリーオフコンピューティング基盤技術開発プロジェクト公開シンポジウム(第1回)(2013年4月16日)横浜情報文化ホール ・プレスリリース 2012年12月10日 不揮発キャッシュメモリ向け高性能 STT-MRAM の開発(東芝) ・Web 掲載 日経 Tech-On! 2012年9月20日 2012年11月20日 2013年4月23日 トラ技ニュース 2012年10月25日 |
| IV. 実用化・事業化の見通しについて | ノーマリーオフコンピューティング基盤技術開発では、具体的な3つの応用製品、携帯情報端末、スマートシティ・センサーネットワーク、ヘルスケア応用をターゲットに開発を行う。これらが当初の技術目標を達成したあかつきには、スマートメモリシステム、マイコン、特定用途向けLSIという半導体製品として、PJ終了後、それぞれ事業化されることが期待できる。 | |
| V. 基本計画に関する事項 | 作成時期 | 平成23年3月 作成 |
| | 変更履歴 | 平成23年7月 独立行政法人新エネルギー・産業技術総合開発機構法の改正に伴う改訂 |

プロジェクト用語集

| 用語 | 説明 | 分類 |
|-----------------------------------|--|-----|
| スイッチング動作 | トランジスタのオープン状態とショート状態を切り替えること。 | 共通 |
| ダイナミック電力 | スイッチング動作により消費する電力。 | 共通 |
| スタティック電力 | スイッチング動作を行わなくても電源が投入されているだけで消費する電力。 | 共通 |
| パワーゲーティング | 不要な回路素子の電力供給を停止する電力制御手法。 | 共通 |
| 揮発性メモリ | 電力供給が行われなくなると記憶内容が不定となるメモリ。 | 共通 |
| 不揮発性メモリ | 電力供給が行われなくとも記憶内容を保持できるメモリ。 | 共通 |
| メモリ階層 | 高速小容量のメモリから大容量低速のメモリまで、多種のメモリを組み合わせることで、アクセス速度と容量を両立するメモリ構成。 | 共通 |
| SRAM | Static Random Access Memory の略。通常は6つのトランジスタの組で形成されるメモリである。トランジスタプロセスのみで作製できること、各種メモリ中で最も動作速度が高速であるという特徴があるが、面積が大きい、電源を切ると記憶が失われる揮発性である、という欠点もある。 | 共通 |
| DRAM | キャパシタに電荷を保持することによりデータを記憶するメモリ。長期間の保持が出来ないので、定期的リフレッシュが必要である。揮発性である。 | 共通 |
| 損益分岐点(BET) | 2種類の制御手法を比較し、その損益が逆転する点。 | 共通 |
| CMOS | MOSFETを相補型に配置したゲート構造。 | 共通 |
| ロジック回路 | 論理演算を行う回路。 | 共通 |
| 携帯情報端末 | 情報を携帯して扱うための小型機器。 | ①-1 |
| MTJ (Magnetic Tunnel Junction) | トンネル磁気抵抗効果を発現するトンネル接合であり、強磁性膜 / トンネル絶縁膜 / 強磁性膜から構成される。2層の強磁性膜の相対的な磁化(スピン)方向により、トンネル絶縁膜におけるスピン偏極電子のトンネル確率(抵抗)が変化する。 | ①-1 |
| スピンRAM | 電流磁場方式のMTJに、一定方向の電子スピンをもつ電流だけを通過させる膜(スピンフィルタ材料)を付加し、スピントルクによる電子の反転作用によって書き込みを行うメモリ。不揮発メモリ。 | ①-1 |
| 微細化 | 半導体をより小型にすること。 | ①-1 |

| | | |
|---------------|--|-----|
| センサーネット | 多数のセンサーを空間に散在させそれらが協調して情報を収集するシステム。 | ①-2 |
| スマートシティ | センサーネットなどの先端技術を用いて社会インフラを効率化・高度化した都市。 | ①-2 |
| 動作アクティビティ | 全実行時間に対する、真に動作しなければならない時間の比率。 | ①-2 |
| サイバーフィジカルシステム | 実世界との関わりを意識し、サイバー空間のコンピューティング能力を組み合わせ、社会的な課題を解決しようとする試み。 | ①-2 |
| インテリジェントビル | 電力通信インフラを強化した高付加価値オフィスビル。 | ①-2 |
| ヘルスケア | 健康の維持や増進のための健康管理。 | ①-4 |
| 強誘電体 | 外部に電場がなくても電気双極子が整列しており、かつ双極子の方向が電場によって変化できる物質。 | ①-4 |
| FeRAM | 強誘電体メモリ。強誘電体のヒステリシスを利用し情報を記録するメモリ。不揮発メモリ。 | ①-4 |
| ウェアラブル | 身につけて持ち歩くことができること。 | ①-4 |
| SoC | 一つの半導体チップ上に必要とされる一連の機能を数隻する設計手法。 | ①-4 |
| 不揮発 FF | 従来の揮発フリップフロップに不揮発メモリを組み合わせることにより、不揮発性を付加したフリップフロップ。 | ①-4 |
| レジスタ | プロセッサなど論理回路の内部でフリップフロップなどにより情報を保持する装置。 | ①-4 |

I. 事業の位置付け・必要性について

1. NEDO の関与の必要性・制度への適合性

1.1 NEDO が関与することの意義

電機製品の省電力化という観点で見ると、半導体素子の微細化技術は長らく大きな役割を果たしてきた。しかしながら近年微細化が極限まで進んだ結果、リーク電流が増加し構造的にも閾値電圧の更なる低下は困難になってきており、電機製品の更なる省電力化のためには従来とは視点が異なるアプローチが求められるようになってきている。

他方、近年 FeRAM、MRAM 等、次世代不揮発性素子の急速な性能向上が達成されており、これら次世代不揮発性素子を有効に利用すれば従来の素子技術では達成が出来ない程の細粒度で電力を制御し省電力化を実現する「ノーマリーオフコンピューティング」が可能になることが予測される。

これを産業への影響という観点で見た場合、現在のコンピューティングの在り方自身を変革する可能性もあり、世界に先駆けてこの分野の研究開発に取り組むことは我が国の産業競争力強化という文脈でも大きな意義を有すると考えられる。

実際、2006年3月に閣議決定された「第3期科学技術基本計画」で、重点推進4分野の一つとして情報通信分野が上げられ、具体的に、エネルギー消費増大の課題にも配慮した「IT イノベーションプログラム基本計画」(2006年4月、経済産業省制定)に展開された。さらに、2011年8月に閣議決定された「第4期科学技術基本計画」では「グリーンイノベーション」を強力に推進していくことが示され、その中に、情報通信機器やシステム構成の一層の省エネ化への取り組みがあげられている。直近では、「日本再興戦略」(2013年6月、閣議決定)で提示された「世界最高水準のIT社会の実現」に向けて、「科学技術イノベーション総合戦略」(2013年6月、閣議決定)で、第4期科学技術基本計画と整合をとる形で、長期ビジョンと短期プログラムが設定された。この中で、2030年までの目標である「革新的デバイスによるエネルギー効率向上及びエネルギー消費の削減」に対して、中間段階において達成しておくべき姿(2020年頃)として、情報機器では、「10倍程度の電力効率のノーマリーオフコンピューティング技術を実現すること」、としている(図 I-1)。

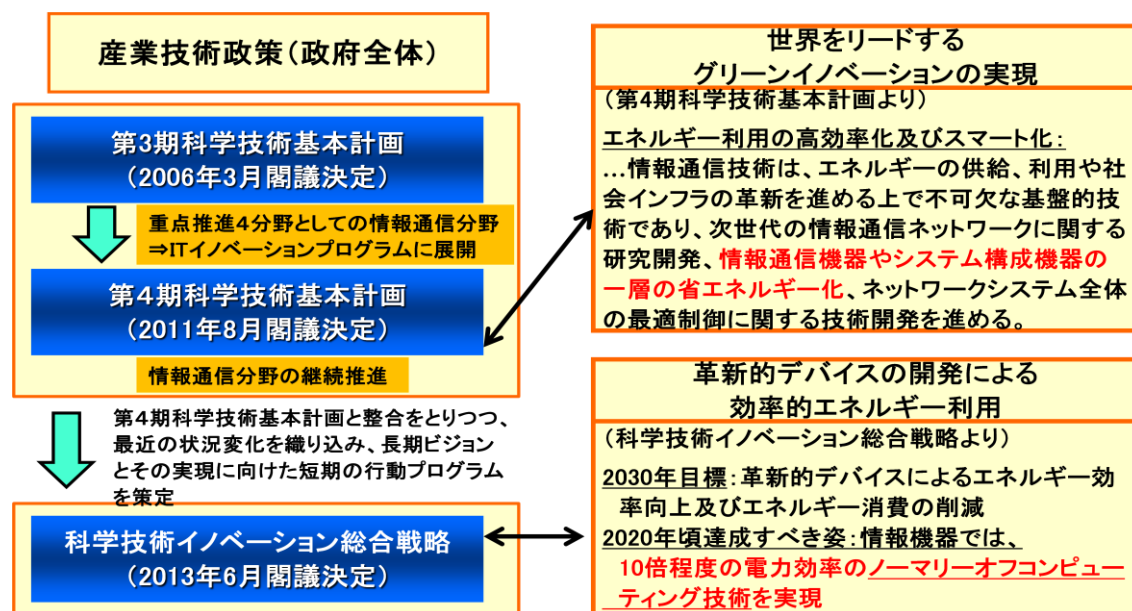


図 I-1 政策上の位置づけ

本プロジェクトは、将来の情報通信分野における低炭素社会を実現する中核的・革新的技術であり、我が国エレクトロニクス産業の優位性の確保と情報化社会の推進にとって大きな意義を持つものである。

しかしながら「ノーマリーオフコンピューティング」の実現には素子技術のみならず、基本ソフトウェアの見直し、コンピュータアーキテクチャの再検討など多岐にわたる側面からのアプローチが必要であり、また従来の延長線上にない画期的な挑戦でリスクも高く、民間単独では行うことは極めて困難である。

従って本プロジェクトは、産学官の英知を結集して開発を行う必要があることに加え、その関連産業の国際競争力強化、および国家的重点目標である高度情報化社会の実現に寄与するものであり、産業政策・情報政策の面からも極めて重要な課題であることから、国家プロジェクトとして NEDO が関与すべきものと考えられる。(図 I-2)

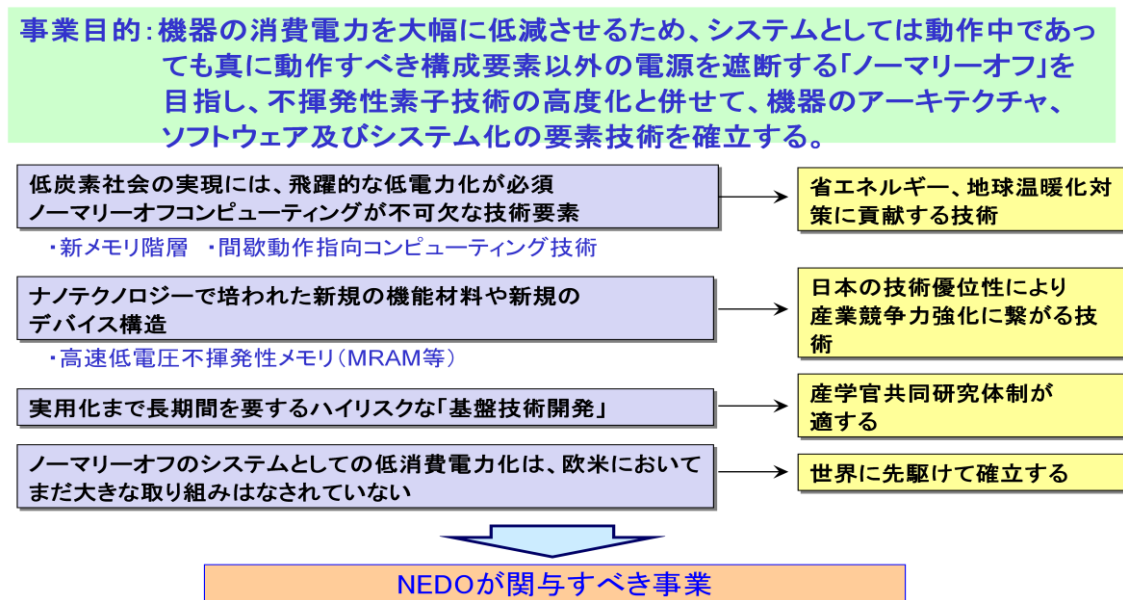


図 I-2 NEDO が関与する意義

1.2 実施の効果(費用対効果)

本プロジェクトは、事業期間 5 年間、事業規模約 65 億円の計画で進められている。内、NEDO 負担率は 1/2 である。

(1) 経済効果

半導体分野は、現在、世界全体で約 25 兆円の市場が存在し更に拡大している。その中で、本プロジェクトが開発を目指しているノーマリーオフ技術は、大きな省エネ効果を武器に新たな製品群を生み出し、日本半導体製品の市場優位性を確保出来るものと期待される。即ち、ノーマリーオフ用不揮発メモリ技術、低消費電力マイコン技術、低消費電力 LSI 技術の確立を通して、新たなノーマリーオフ技術適用市場が展開され、例えば本事業で対象とする各半導体製品では、半導体(携帯情報端末用)、省電力マイコン、及び省電力 LSI を合わせて計約 7,000 億円の経済効果が期待される。

更に、その応用展開により、スマートシティ向け・生体情報向け各種センサーネットワーク分野やモ

バイル・携帯機器分野をはじめとして、社会に広く超低消費電力型コンピュータの普及を促進することで、大きな経済的波及にも貢献できる。一例として、国内パソコン・スマートフォン機器の2030年での市場を予測し、ノーマリーオフの普及を50%と仮定して試算すると、その経済的インパクトは、約7,000億円のレベルに達すると考えられる。

(2) 省エネルギー効果

本プロジェクトの研究成果であるノーマリーオフコンピューティングにより、IT機器の省エネを、キーデバイスの低電力化で実現したと仮定すると、2030年には、23億kWhの電力削減が期待される。

また、炭酸ガス削減量に換算すると、128万トン/年である。世界では、GDP比ベースでの案分を仮定すると、2,000～3,000万トン/年の省エネ効果の期待に相当する。

2. 事業の背景・目的・位置づけ

2.1 事業の背景

スマートグリッドやクラウドコンピューティングといった流れの中、ネットに流れる情報量の爆発的な増加、それに伴うIT機器の待機電力を含む消費電力の急激な増加も指摘されており(図 I-3)、今後コンピュータが社会のあらゆる局面で活用されるためには、メンテナンスの観点・低炭素化の観点から更なる機器・システムの低消費電力化が求められる。電源を切っても情報を保持できる次世代不揮発性素子は、この点で大きな可能性を秘めている。

当該分野のデバイス開発においては我が国の技術的水準は最先端にあって大きな発展の可能性を秘めているが、不揮発性素子やその周辺分野の更なる技術向上が必要である。他方でコンピュータアーキテクチャやソフトウェアの面では諸外国に比べて必ずしも研究開発が盛んでなく、早急な取り組みが求められる。また、次世代不揮発性素子については今まで各国で盛んな取り組みが行われており、一部実用化も図られている。ただし、コンピューティングシステム全体としての取り組みは顕在化しておらず、我が国が世界の開発をリードできる可能性がある。

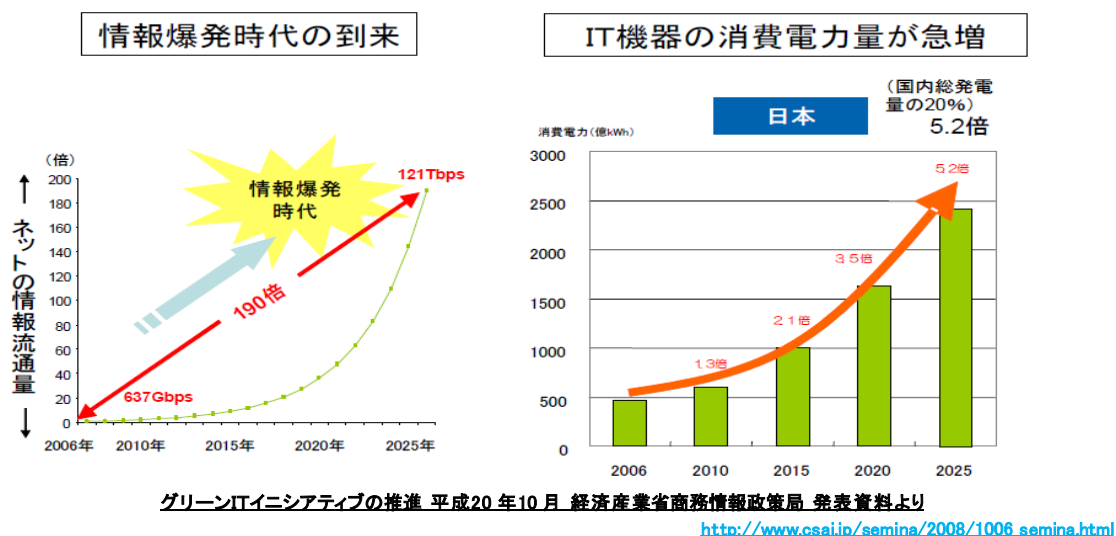


図 I-3 ネット情報量、IT 情報機器の予測

2.2 事業の目的

本プロジェクトの目的は、システムとしては動作中であっても真に動作すべき構成要素以外の電源を遮断する「ノーマリーオフ」を目指し、我が国が優位性を持つ不揮発性素子に関わるハードウェア技術の更なる高度化と併せて、不揮発性素子を用いる機器等のアーキテクチャ、ソフトウェアおよびシステム化の要素技術を世界に先駆けて確立することにより、同素子の特性を活かした新市場を創出し、併せて超低消費電力機器の普及により、温室効果ガスの削減に寄与することである。

2.3 事業の位置づけ

欧米においては、大型の産学連携ナノエレクトロニクス拠点の整備がここ数年で飛躍的に進み、不揮発性素子を含む次世代デバイスに関する実用化を目指した研究が活発に行われている。しかしながら、コンピューティングシステム全体をとらえての研究開発は、まだ一部でしかなく、米国政府の MRAM を中心にしたコンソーシアムへの支援や韓国政府のメモリ素子だけでなくシステム応用の研究開発への支援が行われつつある。今後の新たなシステム開発も加えた研究開発が活発化するであろう状況を放置すれば、我が国の技術開発の競争力を失いかねない。

以上のように、本プロジェクトは、世界に先駆けてノーマリーオフコンピューティングの確立を目指すこととしており、その成果の波及はわが国の競争力の確保と、エネルギー消費削減・低炭素化の両方に貢献すると期待されるため、本プロジェクト推進の必要性は高い(図 I-4)。

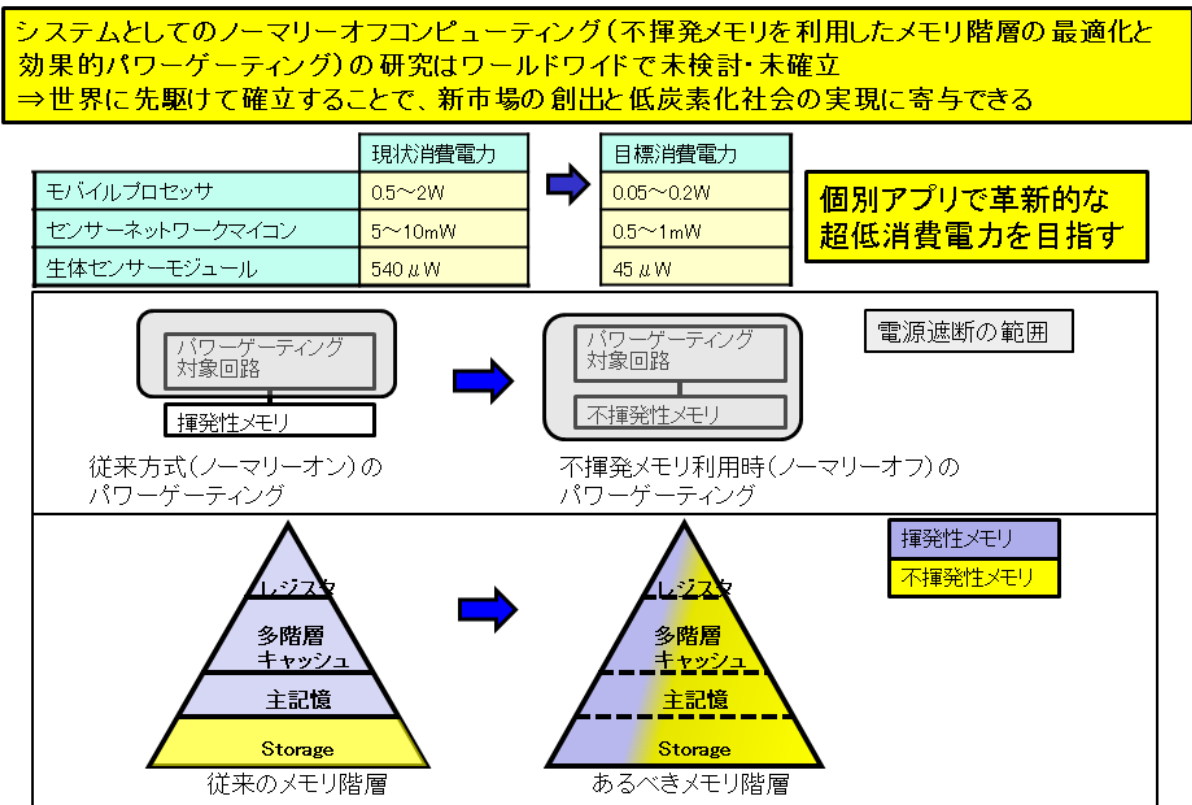


図 I-4 ノーマリーオフコンピューティングの優位性

II. 研究開発マネジメントについて

1. 事業の目標

コンピューティングシステムの構成要素である半導体素子の消費電力は、スイッチング動作に伴って消費されるダイナミック電力と、待機時にも消費されるスタティック電力がある。素子の微細化によりこのスタティック電力が消費電力全体において占める割合が増大し問題となっており、システムの低消費電力性能(電力当たりの性能)を向上させるには、この待機時のスタティック電力を削減することが重要となっている。

この問題に対し、パワーゲーティング(Power Gating:電源遮断)が有望な手法として期待されている。パワーゲーティングされた部分は通電しないため、スタティック電力を消費しないからである。そこで、動作中のコンピュータシステムといえども、必ずしも全ての構成要素が常に必要な処理をしているわけではないことに着目し、パワーゲーティングを使い不要部の電源を遮断しその部分のスタティック電力を抑えることができれば、大幅な消費電力削減効果が期待される。

また、揮発性メモリを不揮発性メモリに置き換えることも同様に効果的である。揮発性メモリは待機時においても情報を保持するためだけに電力を消費するが、不揮発性メモリは電力を消費せずに情報を保持できるからである。コンピュータシステムにおいて、メモリに期待される本質的な役割は情報を記憶することであり、各メモリ素子に着目するとアクセスされる頻度は極めて低いことがわかっている。したがって、メモリにおける消費電力のほとんどは待機時のものであり、メモリに不揮発性メモリを用いることで待機時電力を抑えることができ、やはり消費電力の削減が期待できる。

さらに、これらの2つの手法を融合し、不揮発性メモリを導入したシステムにおいてパワーゲーティングを適用すると、その相乗効果により大きな低電力化効果を得ることが期待できる。従来のパワーゲーティングでは、揮発性素子の情報は失われてしまうため、正しい動作を再開するための情報を保持する素子の電源は遮断することができず、その適用範囲と電力削減効果には明らかな限界があった(図 II-1-(A))。しかし、不揮発性素子を使えば、電源遮断部の情報を不揮発性メモリで保持することでこの制約から解放されるためその適用範囲を広げることができ、パワーゲーティングによる低電力効果をより大きくすることができるからである(図 II-1-(B))。

以上のように、本事業の目的は、このパワーゲーティング技術と不揮発性メモリの相乗効果により、システムとしては動作中であっても真に動作すべき構成要素以外の電源を遮断する「ノーマリーオフ」を提唱し、それを実現可能にする不揮発性素子を用いたハードウェア技術、ソフトウェア技術、コンピュータアーキテクチャの一体的なコンピューティング基盤技術の開発によりシステムの消費電力を大幅に削減し、システムとしての低消費電力性能(電力当たりの性能)を本事業開始時に対して10倍とすることを実証することである。

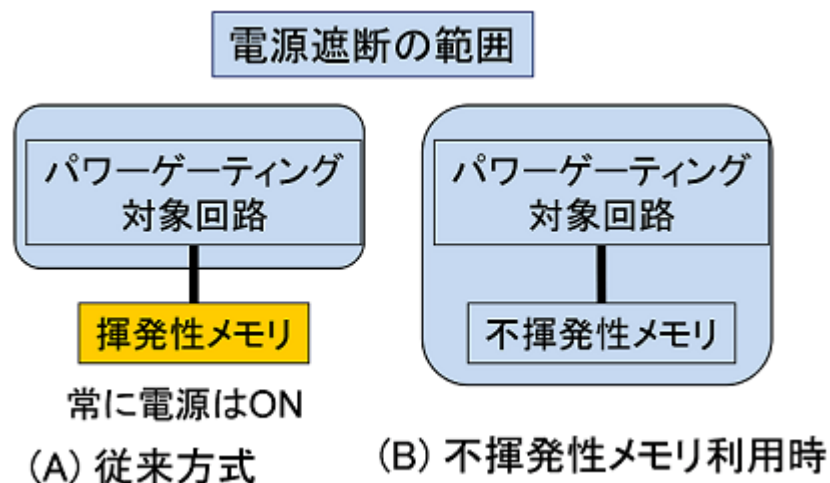


図 II-1 パワーゲーティングの対象

【中間目標】

次世代センサーネットワーク、モバイル情報機器、サーバ等、不揮発性素子を用いると想定される機器・システムにおいて、事業終了時に求められると予測される処理性能を満たすことを前提に、不揮発性素子を用いたハードウェア技術、ソフトウェア技術、コンピュータアーキテクチャの一体的な開発により、システムとしての低消費電力性能(電力あたり性能)が10倍となる見込みを、実験・シミュレーションにより示す。

【最終目標】

次世代センサーネットワーク、モバイル情報機器、サーバ等、不揮発性素子を用いると想定される機器・システムにおいて、事業終了時に求められると予測される処理性能を満たすことを前提に、不揮発性素子を用いたハードウェア技術、ソフトウェア技術、コンピュータアーキテクチャの一体的な開発により、システムとしての低消費電力性能(電力あたりの性能)を本事業開始時に対して10倍とすることを実証する。

2. 事業の計画内容

2.1 研究開発の内容

(1) 課題と開発すべき技術

1. 事業の目標で述べた「ノーマリーオフコンピューティング」の実現には大きく2つの課題が存在する。

【課題1】: 不揮発性メモリの特性と従来メモリ階層とのミスマッチ

図 II-2 に従来の不揮発性メモリと揮発性メモリの比較を示す。この図からわかるように、これまでの不揮発性メモリのアクセス時間は、従来のメモリ階層を構成するSRAMよりも遅い。そのため、従来のメモリ階層をそのまま不揮発性メモリで構成しようとする、高速なキャッシュメモリを実現できないため大きな性能低下を招く。また不揮発性素子の性能は、性能的に大きなギャップのあるDRAMとStorageの間に位置するが、従来のメモリ階層はこの性能範囲に位置する記憶素子を活用するような設計になっていない。

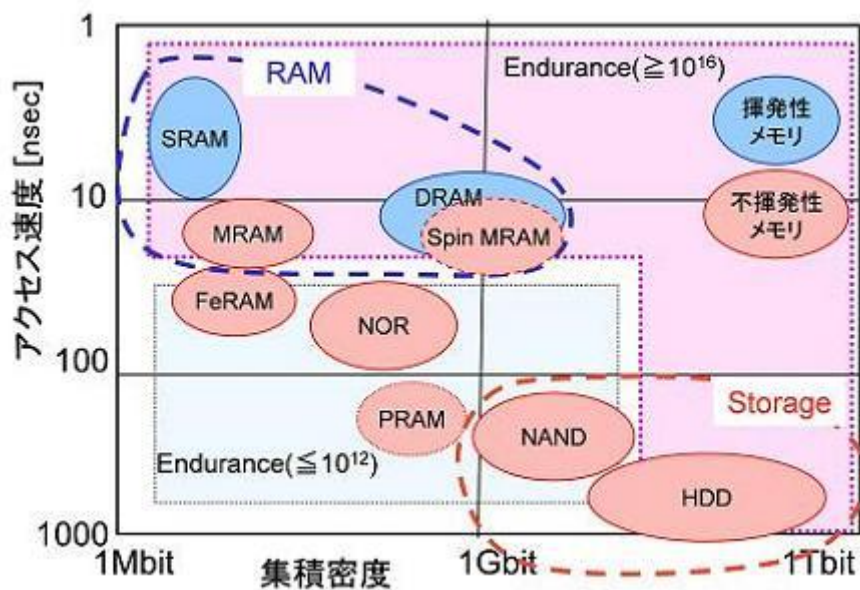


図 II-2 現状での揮発性メモリと不揮発性メモリの比較

【課題2】: パワーゲーティングの時間粒度限界

パワーゲーティングの際には、再開に必要な情報を不揮発性メモリに保存し対象回路の電源を遮断する。しかし、不揮発性メモリへの書き込みは大きなエネルギーを必要とする。またパワーゲーティング自体もエネルギーを消費する。したがって、実効的に消費電力を削減するためには電源遮断によるエネルギー削減がこの余分なエネルギー消費と同じになる損益分岐点(BET: Break Even Time)よりも長い時間、パワーゲーティングを行う必要がある。つまり、できるだけ時間粒度の粗い間歇動作を実現する必要がある。

この課題を解決し、ノーマリーオフコンピューティングによる低電力化の恩恵を享受するために以下の2つの技術開発を行う。

【技術開発1】: 揮発性メモリと不揮発性メモリが混在する新しいメモリ階層

従来のメモリ階層は、CPUの論理演算処理部へのデータ供給能力向上を目的として設計されてきている。すなわち、集積度の向上のみを頼りに、論理演算処理部の近くに搭載するメモリを大容量化するに對してメモリを大容量かつ高速に見せるためのメモリ階層最適化が行われてきた。搭載可能なキャッシュメモリをできるだけ論理演算処理部の近くに配置し、そして多階層化することで高速性も実現して実装する手法はその典型である(図 II-3左)。しかし、例えばキャッシュメモリに限っても、多くのアクセスされない情報が保持されていることが10年以上前より指摘されており、揮発性メモリが消費するスタティック電力の大部分は不要な情報の保持に費やされている。これは、揮発性メモリで構成されているキャッシュメモリを、スタティック電力を消費しない不揮発性メモリで構成することで消費電力を大きく削減できる可能性を示唆している。しかしながら、不揮発性メモリには揮発性メモリに比べてアクセス速度が遅く、アクセス時(特に書き込み時)の消費エネルギーが大きいという短所もある。したがって、揮発性メモリと不揮発性メモリの長所をお互いに補完しあえる新しいメモリ階層の構築が必要となる。

また、DRAMとStorageの間には性能的に大きなギャップがあるため、従来のメモリ階層においては、上位メモリ階層からDRAMで構成される主記憶まではハードウェアによる制御、Storageを含む主記憶より下の階層は基本ソフトウェア(オペレーティングシステム)が制御している。しかし、DRAMとStorageの間に不揮発性素子を導入する場合には、メモリ階層間の性能差が縮小される傾向になるため、ハードウェアとソフトウェアのどちらがメモリ階層のどの範囲を司るのか、という点に関しても再検討する必要がある(図 II-3右)。

本技術開発では、上記2つの点を勘案して、揮発性メモリと不揮発性メモリが混在しその長所を發揮できる新しいメモリ階層の検討・提案を行う。

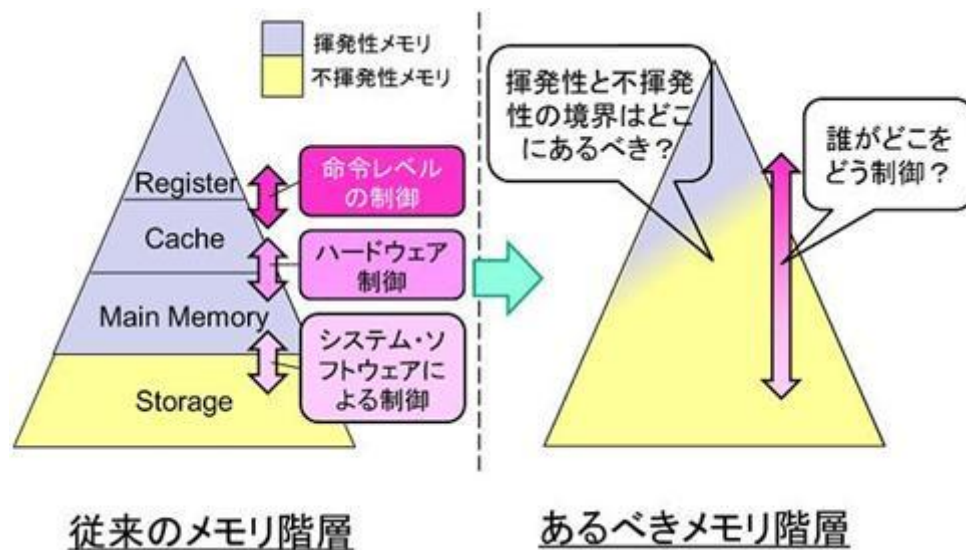


図 II-3 不揮発性メモリを採用する新しいメモリ階層

【技術開発 2】: 間歇動作を指向するコンピューティング手法の開発

前節の課題 2 でも挙げたように、頻繁なパワーゲーティングや頻繁な不揮発性メモリへのアクセスは却って消費電力を増大してしまう。低電力効果を向上させるためには、1 回のパワーゲーティング時間を最悪でも損益分岐点となる時間以上とし、しかもできるだけ長くする必要がある。このためには、コンピュータシステム内の動作アクティビティを時空間上でまとめ、できるだけ大きい粒度での間歇動作を実現することが重要となる。従来のコンピューティング手法は、処理スループット向上を目標としており、集積度向上を頼りに多くのトランジスタを投入し、投入したトランジスタの利用率を向上させることを目指しているため、動作アクティビティは時空間上で分散される傾向にある。これに対し、本提案では、動作すべき真に必要なトランジスタを必要時にのみ動作させ、しかもそ

のアクティビティをできるだけまとめる(=局所化させる)、新しいコンピューティングパラダイムを提案する。ノーマリーオフコンピューティングによる低消費電力性能向上を目指すためには、この新しいコンピューティングパラダイムを実現する設計最適化手法を開発する必要がある。

コンピュータシステム内の動作アクティビティの時空間上の位置は、アプリケーションが必要とする処理をコンピュータシステムのハードウェア上へマッピングする過程で決定される。したがって、時空間上での粗い粒度の間歇動作を実現するためには、この過程を担う以下の全てのレイヤを統合的に検討する必要がある(図 II-4)。

- ・必要とする動作アクティビティを規定するアプリケーションのアルゴリズム
- ・マッピングされる先のハードウェア、特に不揮発性メモリを含むメモリアーキテクチャ
- ・アルゴリズムで規定された処理をハードウェア上へスケジューリングするオペレーティングシステム(基本ソフトウェア)とアーキテクチャ(含むコンパイラ)

本技術開発では、上記のアルゴリズム～基本ソフトウェア～アーキテクチャの設計階層間の協調によるブレークスルーで、動作アクティビティの革新的な局所化技術を開発することで、真のノーマリーオフコンピューティングの実現を目指す。

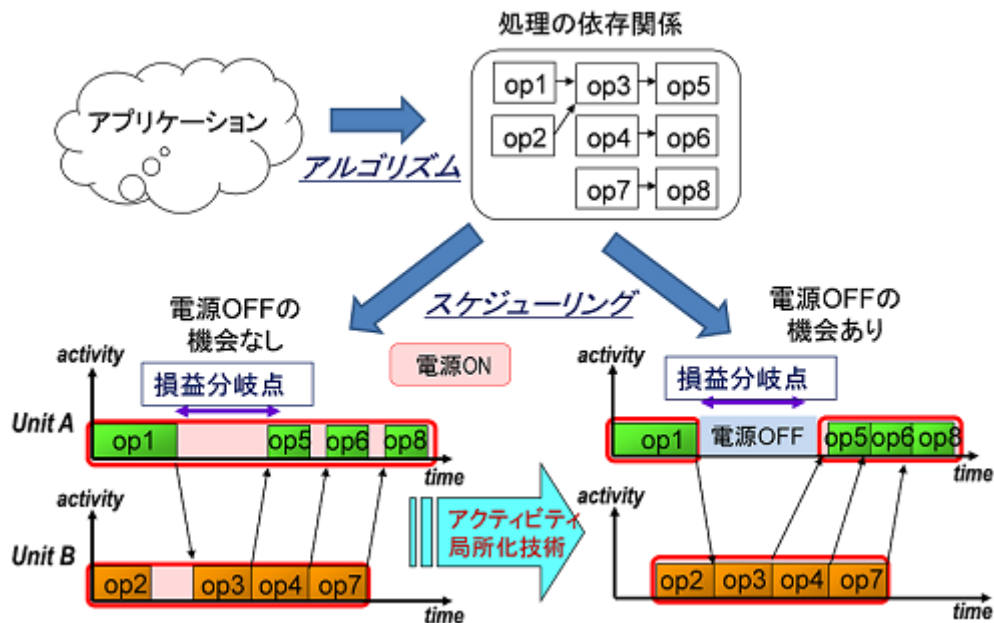


図 II-4 動作アクティビティの局所化によるノーマリーオフコンピューティング

上記 2 つの開発すべき技術、すなわち、望まれるメモリ階層、および、実現可能な間歇動作の粒度は、明らかに実現すべき処理の特徴に依存する。そこで、研究開発項目①「次世代不揮発性素子を活用した電力制御技術の開発」では、今後コンピュータシステムが社会で活用される重要な応用分野として、次世代センサーネットワーク、モバイル情報機器をとりあげ、各応用領域において低消費電力性能(消費電力あたりの性能) 10 倍を達成する電力制御技術の開発を目指す。

【技術開発 1】のメモリ階層の観点からは、定常的に要求される処理能力、ピーク時に要求される処理能力、さらに、【技術開発 2】の間歇動作の粒度の観点からは、それらの比率、およびピークの処理性能が要求される頻度が、開発すべき電力制御技術に大きな影響を与えられ考えられるが、センサーネットワークにおいてはその応用形態によってこれらの特徴が異なる。そこで、スマートシティとヘルスケアの 2 つの分野を想定し、モバイル情報機器と合わせて 3 つの応用領域で技術開発を実施する。この研究開発は、応用領域を指向したノーマリーオフコンピューティングの最適化技術であるので、各領域に強みを持つ参加企業が、目標達成に向けて独立した分散研の形態で、この研究開発項目①「次世代不揮発性素子を活用した電力制御技術の開発」に取り組む。

一方で、今後の社会活動が必要とするコンピューティングの形態は変化することが予想され、応用分野固有の最適化のみでは、長期にわたり真に産業力のある技術に育て上げるには不十分である。そこで、研究開発項目①の検討結果をより普遍的な技術かつ長期的な産業競争力を有し、新しい応用領域へも適用可能なコンピューティング技術とするために、研究開発項目②「将来の社会生活を支える新しい情報システムにおいて飛躍的なノーマリーオフ化を実現する新しいコンピューティング技術の検討」を、参加企業ならびに東京大学が連携・協力し、集中研方式で遂行する。研究開発項目②では、設計階層間で協調して実現する電力制御技術の共通基盤化を行うことで、ノーマリーオフコンピューティングを実現するコンピュータシステムの構築手法と設計方法論の確立を目指す。研究開発項目①との相乗効果を発揮するために、研究開発項目②は研究開発項目①に対して、評価基盤・プラットフォームの提供を行い、逆に研究開発項目①は研究開発項目②に対し、低消費電力性能 10 倍を実現する定量的な根拠とその技術の共有、さらに、各応用分野において、今後システムに対して要求されるであろうスペックのロードマップを提供する。

以上のように、応用分野を指向したノーマリーオフコンピューティング技術開発である研究開発項目①「次世代不揮発性素子を活用した電力制御技術の開発」は、参加企業が独立した分散研方式で実施する。一方、研究開発項目②「将来の社会生活を支える新しい情報システムにおいて飛躍的なノーマリーオフ化を実現する新しいコンピューティング技術の検討」は、参加企業と東京大学が協力・連携し、集中研方式で実施する。集中研と分散研が担当する研究開発項目および集中研と分散研の対応は図 II-5 のようになる。

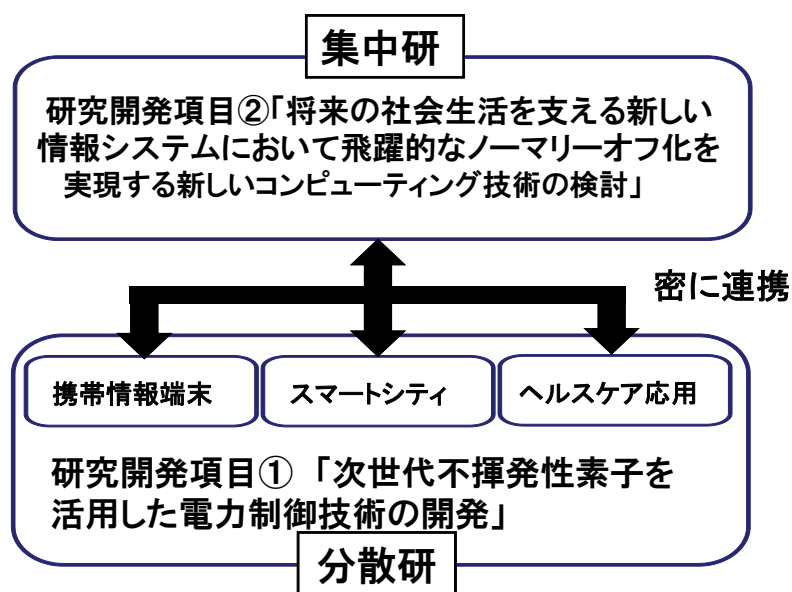


図 II-5 実施体制の概略

(2) 事業内容

本研究では、2つの大きな研究開発項目において、あわせて以下の7つの研究項目を実施する。
研究開発項目①「次世代不揮発性素子を活用した電力制御技術の開発」(分散研方式で実施)

- ①-1: 高速低消費不揮発メモリシステムによる携帯情報端末低電力化技術
- ①-2: スマートシティ・センサー ネットワーク低電力化技術
- ①-3: インテリジェントビルを指向するセンサーネットワーク低電力化技術(平成 23 年度で終了)
- ①-4: ヘルスケア応用生体情報計測センサーネットワーク低電力化技術

研究開発項目②「将来の社会生活を支える新しい情報システムにおいて飛躍的なノーマリーオフ化を実現する新しいコンピューティング技術の検討」(集中研方式で実施)

- ②-1: ノーマリーオフ評価基盤・プラットフォームの研究開発
- ②-2: 超高速不揮発メモリを活用するノーマリーオフメモリシステムプラットフォームの研究開発
- ②-3: ノーマリーオフコンピューティングシステム設計方法論の研究開発

①-1 高速低消費不揮発メモリシステムによる携帯情報端末低電力化技術

(担当:株式会社 東芝)

スマートフォンやタブレット端末などの携帯情報端末は、年々使用台数が増え続けている。これに伴い、総エネルギー消費量が増大している。これらの携帯情報端末では、ディスプレイや無線部品と並んでプロセッサの消費電力が大きな割合を占めている。ディスプレイや無線部品は、使用しない時に電源を瞬時に遮断し、使用する時に電源を瞬時に通電でき、「ノーマリーオフ」動作が可能である。一方、プロセッサは内蔵するメモリが揮発メモリであるため、電源を遮断するとメモリのデータが消失する。電源を遮断するためには、一度不揮発のメモリにデータを退避させなければならない。よって、不要な場合でもほとんど電源が遮断できず、プロセッサのみ「ノーマリーオン」状態となっている。さらに、携帯情報端末向けのプロセッサは、年々性能を上げており、動作周波数も増加傾向にあり、PC向けのプロセッサの動作周波数に近づいている。これまで、CMOS微細化と低消費電力回路設計とプロセッサのアーキテクチャにより、プロセッサの消費電力を抑えてきたが、これらの技術による低消費電力化も飽和傾向にある。さらに、CMOS微細化に伴い、リーク電流の増大が著しく増大しており、現状のままではプロセッサの消費電力は一方向的に増大することになる。この結果、バッテリーの持ち時間が短縮することになり、ユーザが充電を繰り返す結果、エネルギー消費量が増加し続けることになる。本研究開発では、携帯情報端末向けプロセッサ(ノーマリーオンプロセッサ)と比較して、携帯情報端末として利用した場合で、電力効率が10倍となるプロセッサ(ノーマリーオフプロセッサ)を実証することを目標とする。

携帯情報端末向けプロセッサでは、既存のパワーゲーティングによって、ロジック回路部は頻繁に電源遮断することにより効率的に電力削減されている。しかし、メモリ部は電源遮断するとデータを消失してしまうため、電源遮断できる機会が少ない。メモリ部の大半がキャッシュメモリである。従って、消費電力のかなりの部分をキャッシュメモリが消費することになる。携帯情報端末向けプロセッサのいくつかの例を調べると、典型的な使用状況で消費電力の70～90%をキャッシュメモリが消費している。キャッシュメモリを不揮発化することで、この消費電力を削減することが期待できる。

しかし、その際に、既存の不揮発メモリの動作速度と動作時電力が、従来型の揮発メモリより遥かに大きいという問題があり、キャッシュメモリの不揮発化が困難であった。さらに、キャッシュメモリとして置き換えるメモリは、高い書き込み耐性がある不揮発メモリである必要がある。この特性を持つメモリは現時点ではスピンRAM以外にはない。しかし、現在のスピンRAMの書き込み速度は中速の領域(数十nsのアクセス時間)にとどまっており、書き込み速度の遅さゆえに性能の低下も招いてしまう。したがって、携帯情報端末のノーマリーオフ動作を実現し、かつ消費電力低減を実現するために、高速動作可能(最低10ns以下、理想的には5ns以下のアクセス時間)で低消費電力の新規な不揮発スピンRAMを開発する必要がある。さらに、今後キャッシュメモリが1MB,2MB・・・と容量が増大していくことと、プロセッサを構成するCMOSは微細化が40nm,28nm,22nm・・・と進展していくことを考えると、不揮発スピンRAMのメモリセルをより小型化していく技術の開発も必要である。微細化により単位面積あたりのメモリ容量が増大すると、キャッシュメモリ効率が高まり、メモリシステム全体が高速化するという利点も大きい。これらの技術により、キャッシュメモリの不揮発化が実現できれば、先に述べたキャッシュメモリが消費している電力分の70～90%をほぼ0に削減することが可能となる。

また、メモリシステム全体の観点から、不揮発メモリの置き換えには、メモリ階層化のミスマッチと、パワーゲー

ティングの時間的粒度限界の2つの問題がある。これらを解決することにより、電源遮断の頻度をもっと高めることができるようになるため、プロセッサの消費電力の無駄を削減できる。キャッシュメモリ不揮発化にこの効果を加味すると、演算性能を低下させることなく、トータルでプロセッサの消費電力を10分の1以下にすることが期待できる。

これらの事項を考慮し、東芝は、「高速・低消費電力不揮発 RAM の開発」と「高速低消費不揮発キャッシュメモリ回路・システムの開発」と「超高速不揮発メモリを活用するノーマリーオフメモリシステムの開発」の3つを行う。

①-2 スマートシティ・センサー ネットワーク低電力化技術

(担当:ルネサスエレクトロニクス株式会社)

スマートシティ・センサーネットワークは、サイバーフィジカルシステムの応用分野の一つとして、今後広く普及すると見込まれている。センサーネットワークの情報流通量は、2013年から2020年に約10倍増加すると予想される。一方、スマートシティ・センサーネットワークでは、応用システムに依存して、用いられるセンサー種類とセンサー毎のデータ取得時間間隔が異なる場合が想定される。センサーノードごとに複数種類のセンサーが接続されるマルチセンサー構成とバッテリーによる動作時間の延長も求められている。本スマートシティ・センサーネットワーク低電力化技術開発では、こうした市場動向から、従来比10倍の低電力化性能を有するスマートシティ・センサーネットワーク対応ノーマリーオフ技術を開発する。本開発では、従来のマイコンを用いたセンサーノードと比較し10倍のノーマリーオフ低電力化性能とするために、センサー特性評価・センサー応用技術、電源制御技術、センサーノードシステム電力プロファイル評価環境の開発を行い、センサーノード低電力化技術統合評価および実証デモンにて開発する技術の有効性を確認する。また、常時電源ON領域の低電力化に向けた低電力化回路技術の検討も行う。本開発では、①-2全体としての統合設計評価を行い、実証デモンシステムの知的バス停構成機能(通信を除く)について、従来のマイコンを用いたセンサーノードと比較し10倍のノーマリーオフ低電力化性能を実証することを目標とする。

「スマートシティ・センサーネットワーク低電力化技術」の開発では、図 II-6に示す開発スキームで集中研と連携して技術課題の解決に取り組む。

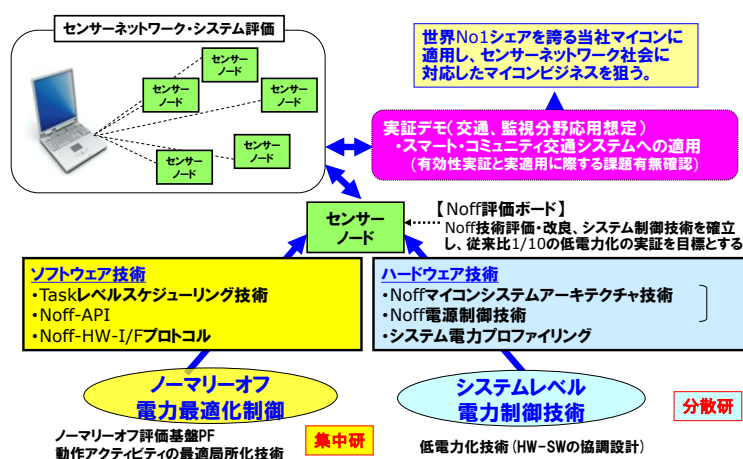


図 II-6 スマートシティ・センサーネットワーク低電力化技術」開発スキーム

図 II-7 の集中研②-1 と連携したノーマリーオフ・マイコンシステムアーキテクチャをベースとして、各構成要素の損益分岐時間 BET(Break Even Time)に基づき電源供給を自律的に制御する技術を開発する。併せて、常時電源が供給される RTC の低電力化についても低電力化回路技術検討を行う。

各技術課題と対応する集中研及び各再委託先大学の連携は図 II-8 のとおりである。

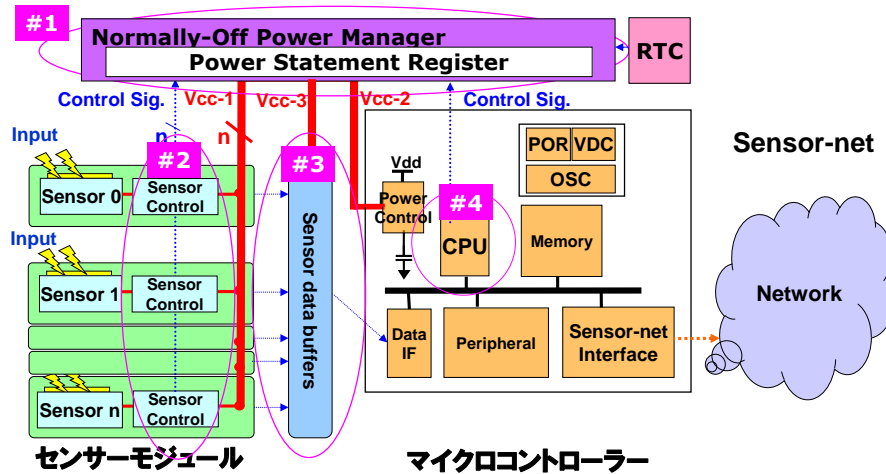


図 II-7 階層型ノーマリーオフマイコンシステムアーキテクチャ

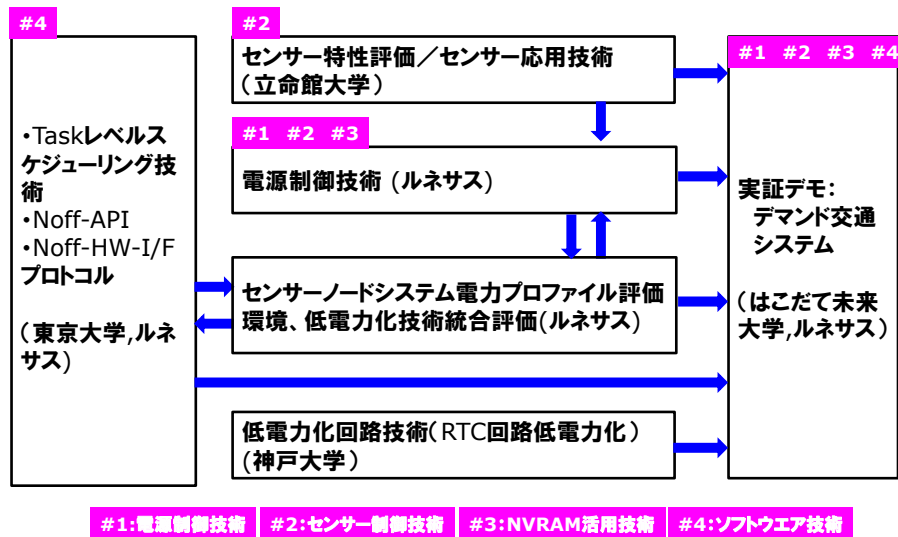


図 II-8 集中研及び各再委託先大学の連携

①-3 インテリジェントビルを指向するセンサーネットワーク低電力化技術

(担当: 日本電気株式会社、NECシステムテクノロジー株式会社)

※本研究項目は平成 23 年度で終了した。

本サブテーマ①-3『インテリジェントビルを指向するセンサーネットワーク低電力化技術』において、日本電気とNECシステムテクノロジー(株)は、兵庫県立大学(共同実施)および早稲田大学(共同実施)と協力し、インテリジェントビルの高度化に対して必要となるスマート環境センサー(複数のセンサーを持ち、総合的に判断した結果を無線で基地局に送信する無線センサー端末)の実効的なメンテナンスフリー化(15年間電池交換不要化)を目指す低電力コンピューティング技術の研究開発を、次世代不揮発性素子を最大限活用して行う。更には、スマート環境センサーと協調して、ビルのインテリジェント化を実現する無線基地局の電力削減も検討し、最終的にはスマート環境センサーのメンテフリー性能の実証実験を行う。

本サブテーマは、インテリジェントビルの高度化に対して有効であるセンサーネットワークの低電力化技術を開発し、市場要求の強い無線センサー端末の実質上メンテナンスフリー化を実現して新市場を創出すること及びビルのインテリジェント化によって実現されるエネルギー消費高効率化による温室効果ガスの削減に寄与す

ることを目的としている。

実施内容の概要について述べる。ノーマリーオフコンピューティング技術をセンサー端末に導入し、端末内全体を不揮発化すれば、不要な時に不要なチップやチップ内の不要箇所の電源を最適に遮断することにより、電源制御のために発生する余分な電力を最小限にしながら、待機電力が削減できる。更にCPUや通信(RF)チップにおいて、新たな基本ソフトを導入し、データや設定のロードやセーブの時間を廃止し高速に立ち上げることで、その間の電力を削減することもできる。効果はこれだけではなく、待機電力を気にせずに高度な演算性能を持つCPUやオフローダを導入できるようになり、センサーと基地局の通信頻度を減らしても不便さをユーザーに感じさせない高度な電源制御アルゴリズムや高度な通信プロトコルを導入できる。ここでの基地局は、例えば、センサーからの情報で無駄電力を削減するグリーントップ(一般用語:スマートタップ)のようなものを示している。

上記のような研究開発により、センサー端末の1/10以下の省電力化を可能にできると考えている。システム構成は図 II-9に示すように不揮発オフローダーチップを加えたものを現時点では想定している。

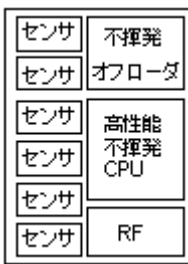


図 II-9 目標とするスマート環境センサーのシステム構成

次に想定しているデバイスについて述べる。インテリジェントビルを指向するセンサーネットワークを省電力化したシステムを構築するために想定している不揮発素子は、2種類ある。それは、我々が不揮発性素子のデバイス特性として、1.書換え回数制限 と 2.電気信号の切替回路(スイッチ回路)に適用した際の寄生容量に注目しており、

- それぞれの特性は 1.パワーゲーティングする際の制御の容易性⇒静的電力の削減の容易性、
2.パワーゲーティングする回路への充放電電力⇒通常回路動作時の動的電力、

に関連すると考えているからである。現在のデバイス技術のトレンドにおいて、1の特性に関して書換え回数制限なしという良い特性を示すのは磁性体関連デバイスであり、FeRAMでも、10の14乗回以上というある程度良い特性が得られており、検討に値すると考えている。2の特性に関しては配線の接続部(ビア)に作りこめるというナノブリッジ(固体電解質)もしくはReRAMが良い特性を示す。尚、システムにどのデバイスを採用するかは入手性、コスト(価格)、耐環境性など、他にも選択要素は数多く存在するので、狭く限定せずに検討する。

①-4 ヘルスケア応用生体情報計測センサーネットワーク低電力化技術

(担当:ローム株式会社)

急速な高齢化に伴い、生活習慣病の予防が社会の大きな課題とされている。生活習慣病予防のためには日常生活における生体基礎データの集積が必要となる。生体情報を継続的に集積するためには、ユーザーにその存在を意識させないウェアラブルな生体情報センシングシステムを実現しなければならない。そこで本研究開発テーマ①-4『ヘルスケア応用生体情報計測センサーネットワーク低電力化技術』では、センシング、データ処理、通信機能を備えたインテリジェントなウェアラブルセンサーLSI を中核とした、生体基礎データ収集システムの実用化を目指す。図 II-10 に想定するシステムの構成を示す。センサー部は生体に貼り付けて使用するため、そのサイズと重量に大きな制約が存在する。これらの制約によってバッテリー容量が制限されるため、センサーLSI の消費電力は限界まで削減しなければならない。



図 II-10 システム構成

①-4 では、本ヘルスケア応用に特化してアーキテクチャの最適化を行い電力性能の改善を進めるが、②-3『ノーマリーオフコンピューティングシステム設計方法論の研究開発』において「不揮発 FF(強誘電体を用いたフリップフロップ)を用いた不揮発 CPU の構成とプログラミング手法」の研究を実施し、抽象化したセンサーネット応用に対して、不揮発 CPU の構成とプログラムを最適化し、①-4 と②-3 の相乗効果を発揮することを目指す。

市場の要求として、本システムは小型電池(容量 10mAh)で 2 週間以上の動作が求められている。平均電流としては $30 \mu A (=10mAh \div 14 \text{日} \div 24h)$ となる。現状、従来技術を用いた同等のシステムの平均電流が $200 \mu A$ であるので、10 分の 1 の低消費電力化を達成すれば、市場要求も満たすことができる。

研究開発項目② 将来の社会生活を支える新しい情報システムにおいて飛躍的なノーマリーオフ化を実現する新しいコンピューティング技術の検討 (集中研方式で実施)

(担当:ルネサスエレクトロニクス株式会社、株式会社 東芝、ローム株式会社、共同実施先:東京大学)

研究開発項目②「将来の社会生活を支える新しい情報システムにおいて飛躍的なノーマリーオフ化を実現す

る新しいコンピューティング技術の検討」では、参加企業ならびに東京大学が連携・協力し、集中研方式で遂行することで、設計階層間で協調して実現する電力制御技術の共通基盤化を行い、ノーマリーオフコンピューティングを実現するコンピュータシステムの構築手法と設計方法論の確立を目指す。研究開発項目①との相乗効果を発揮するために、研究開発項目②は研究開発項目①に対して、評価基盤・プラットフォームの提供を行い、逆に研究開発項目①は研究開発項目②に対し、低消費電力性能 10 倍を実現する定量的な根拠とその技術の共有を実行する。

②-1 ノーマリーオフ評価基盤・プラットフォームの研究開発

(担当:ルネサスエレクトロニクス株式会社)

ノーマリーオフ評価基盤・プラットフォーム研究開発(②-1)においては、特に上記の研究開発項目②における「開発項目①に対する評価基盤・プラットフォームの提供」を実現するために、

②-1-1 ノーマリーオフ実機評価環境

②-1-2 ノーマリーオフ評価エミュレーション環境

を構築し、ノーマリーオフ・システムの電力消費性能を評価するための基盤となる評価技術・プラットフォームを各分散研に提供する。

②-2 超高速不揮発メモリを活用するノーマリーオフメモリシステムプラットフォームの研究開発

(担当:株式会社 東芝)

ノーマリーオフコンピューティング実現に向けたプロセッサアーキテクチャにおいて、プロセッサ内部に搭載すべき不揮発メモリ階層化構造の最適化が重要となる。既に説明したように、不揮発メモリの置き換えには、メモリ階層化のミスマッチと、パワーゲーティングの時間的粒度限界の 2 つの問題がある。メモリ階層化のミスマッチの課題解決のために、レジスタや SRAM 等の揮発メモリと、単一または複数種の不揮発メモリをヘテロ的に積層した階層メモリ構造を網羅的に設計し、その中で電力効率の良い構造を選択する必要がある。同時に、パワーゲーティングの時間粒度限界の課題解決のために、メモリの物理的空間粒度と、パワーゲーティングの時間粒度の相関を考慮しながら、設計したメモリ階層構造ごとに、最も電力効率の良い時間粒度を選択する必要がある。(ここでの時間粒度は、数十 ns から数 μ s の範囲となると予測される。数十 ns に近い時間粒度では、一つのアプリケーション実行中の電源遮断(Run-time Power Gating)の機会が生まれる。数 μ s に近い時間粒度では、複数のアプリケーションが順番に動作する際の、一つのアプリと次のアプリの動作の間に電源遮断する機会が生まれる。)

②-3 ノーマリーオフコンピューティングシステム設計方法論の研究開発

(担当:株式会社 東芝、ルネサスエレクトロニクス株式会社、ローム株式会社、共同実施先:東京大学)

基本計画に記載されているように、将来の社会生活を大きく変革させるような技術革新を実現するためには、既存の応用分野を対象とした機器・システムの漸進的な性能向上と並行して、新しい応用領域へも適用可能なコンピューティング技術の検討を開始する必要がある。研究開発項目①においては、想定する応用分野の特徴を利用したノーマリーオフコンピューティングの最適化技術を開発するが、本研究項目では①で開発する技術の本質的な方法論を体系化しノーマリーオフ最適化技術として確立することを目指す。これにより、普遍的かつ飛

躍的な優位性を有し、新しい応用領域へも適用可能なノーマリーオフコンピューティングシステムの設計方法論を確立することを目指す。また、これも基本計画に記載されていることだが、新たなコンピューティング技術を広く展開するためには、その優位性が適切に評価されることが必要である。このため、電力消費性能を評価する基盤・プラットフォームも開発する。この開発は②-1 および②-2 で開発されるプラットフォームを統合・拡張することで行う。

・ノーマリーオフ最適化技術

設計方法論の確立に必要なノーマリーオフ最適化技術を開発する。開発すべき技術は、間歇動作を指向するコンピューティング手法と、揮発性メモリと不揮発性メモリが混在する新しいメモリ階層である。ハードウェアにおける時空間軸上の動作アクティビティの位置は、アプリケーションで規定される処理をハードウェアへマッピングする方法によって決定され、このマッピングはアプリケーションとハードウェア実装の間に位置する全ての設計階層、基本ソフトウェア、コンパイラ、およびアーキテクチャによって決定される。また、望ましい動作アクティビティの粒度は、用いる不揮発性メモリの特性に依存する。そのため、不揮発性素子による低電力効果を最大化するためには、不揮発性メモリを含むメモリ階層の構成方式と、その構成における不揮発性素子の長所を最大限活用できるようなハードウェア上への動作アクティビティのマッピング手法を協調して最適化する技術、すなわちノーマリーオフ最適化技術の開発が必要となる。

この技術開発を、以下の方針で行う。

ルネサスエレクトロニクスとロームはセンサーネットワークを主たる対象分野として、クロック周波数がそれほど高くないマイコンの不揮発化を研究開発項目①でそれぞれ実施している。ここでは、ルネサスエレクトロニクスはRAMの不揮発化、ロームはFF(フリップフロップ)の不揮発化を中心に検討する予定であり、不揮発性メモリを適用するメモリ階層は同じではない。また、携帯情報端末を対象とする東芝は、クロック周波数が高い高性能プロセッサにおけるキャッシュメモリの不揮発化を研究開発項目①で実施しており、やはり不揮発性メモリを適用するメモリ階層は異なる。また、研究開発項目①では、各社は異なる特性を持つ不揮発性メモリを想定して設計の最適化を目指している。ハードウェア上の動作アクティビティは、観測するメモリ階層によって異なる傾向を示すことを考えると、これらの情報を集約し、各メモリ階層に各不揮発性メモリを適用する場合の評価・検討を網羅的に行えば、動作アクティビティの粒度と不揮発性メモリに求められる特性との関係が得られ、メモリ階層の構成方式に関する一般的な知見が得られる。

さらに、アクティビティの決定要因が基本ソフトウェア、コンパイラ、アーキテクチャのどれに依存するかの比重もメモリ階層によって異なることを考慮すれば、既に得られているメモリ階層の構成方式に関する知見と動作アクティビティの粒度最大化手法を統合することで、不揮発性素子による低電力効果を最大化できるメモリ階層の構成方法、動作アクティビティのマッピング方式を統合した、ノーマリーオフ最適化技術を開発できる。

このような検討を行い、研究開発項目①の各テーマにおいて低消費電力性能(消費電力当たりの性能)10倍を実現する定量的な根拠と技術を共有し一般化することで、設計方法論としての体系化を目指す。

・ノーマリーオフ評価技術

研究開発項目①では多様な応用分野と種々の不揮発メモリを用いた、システムに依存したノーマリーオフ最適化技術が開発される。その効果を詳細に解析し設計方法論へフィードバックするためには、②-1 および②-2 で開発する評価基盤プラットフォーム上で、研究開発項目①の評価を実現することが必要となる。このために、開発される2つの評価基盤プラットフォームを統合する。②-1 で開発するプラットフォームは、プロセッサコアチップは変更せず、プロセッサの外部にあるメモリを不揮発化した場合の評価を行うことを目指している。しかしプロセッサコアチップ内の高速メモリ(キャッシュメモリやフリップフロップ)を不揮発化した場合の評価を直接行うことはできない。一方②-2 で開発するプラットフォームは、プロセッサコア内のキャッシュメモリを不揮発化した場合の評価のみが行える。そこで、これらのプラットフォームを統合し、多様なメモリ階層を不揮発化した場合の評

価が可能な評価技術を開発する。この開発では種々の不揮発メモリのモデリングを行う必要があるが、このモデリングにおいて、ノーマリーオフ最適化技術に大きな影響を与えるアプリケーションの重要な特徴量も整理する。

その後、研究開発項目①における各応用分野が、今後システムに対して要求するスペックのロードマップを、同定した重要な特徴量を含めて提供してもらい、②-1 および②-2 で開発する評価基盤プラットフォーム上で評価を行う。この結果を、研究開発項目①で達成された性能や消費電力と比較することで、ノーマリーオフ最適化技術自身の改良点も見出すことができる。このように、ノーマリーオフ最適化技術とノーマリーオフ評価技術を連携させることで、新しい応用領域へも適用可能なノーマリーオフコンピューティング技術の設計方法論として確立することを目指す。

(3) 研究開発スケジュール

以降に各研究開発項目の研究開発スケジュールを示す。

①-1 高速低消費不揮発メモリ システムによる携帯情報端末低電力化技術

(担当:株式会社 東芝)

| 実施項目 | 23年度 | | 24年度 | | 25年度 | | 26年度 | | 27年度 | | |
|---------------------------------------|----------------------|----|------------------|----|-----------------------|-----|-----------------|-------|---------------------------|----|--|
| | 上期 | 下期 | 上期 | 下期 | 上期 | 下期 | 上期 | 下期 | 上期 | 下期 | |
| ①-1-1. 高速・低消費電力不揮発RAMの開発 | | | 100 fC 第1フェーズ | | 第2フェーズ | | 50 fC 第1フェーズ | | 第2フェーズ | | |
| ①-1-1-(ア). 高速スピン注入記憶素子の設計技術の開発 | 高速設計に有利な条件の明確化 | | 高速化と信頼性両立方法探索 | | | | | | | | |
| ①-1-1-(イ). 高速・低電流書き込みスピン注入記憶素子材料の研究開発 | 高垂直磁気異方性、低飽和磁化性材料の開発 | | | | 高垂直磁気異方性、低飽和磁化性材料の高度化 | | | | 不揮発 RAM 適用結果を受けて材料の更なる高度化 | | |
| ①-1-1-(ウ). 高速・低消費電力スピン注入記憶素子の開発 | 高速磁化反転素子の開発 | | | | 高速磁化反転素子の高度化 | | | | | | |
| | 高速磁化反転変動の評価手法の確立 | | | | 反転確率変動の制御方法確立 | | | | | | |
| ①-1-1-(エ). 高速スピン磁化反転の評価 | 高速磁化反転新手法の提案 | | | | 高速磁化反転新手法の改善 | | | | | | |
| | 高速反転特性評価 | | | | マイノリティーエラーの現象解明と対策提案 | | | | | | |
| ①-1-1-(オ). 高速・低消費電力不揮発メモリアレイ回路の開発 | 構造絞り込み設計 | | 試作、評価 | | | 再設計 | | 試作、評価 | | | |

| 実施項目 | 23年度 | | 24年度 | | 25年度 | | 26年度 | | 27年度 | |
|--|------|--------------|----------------|----|------|----|--------------------------|----|------|----|
| | 上期 | 下期 | 上期 | 下期 | 上期 | 下期 | 上期 | 下期 | 上期 | 下期 |
| ①-1-2-(ア). 周辺回路の開発 | | 周辺回路開発 | キャッシュメモリ周辺回路開発 | | | | | | | |
| ①-1-2-(イ). 高速インターフェース回路の開発 | | | インターフェース設計 | | | | | | | |
| | | | メモリ制御部設計 | | | | HWの開発 | | | |
| ①-1-2-(ウ). ノーマリーオフコンピューティング動作のためのメモリ階層化構造の開発 | | | | | | | | | | |
| | | メモリ階層の基本構造設計 | | | | | ノーマリーオフプロセッサ 評価システム開発 | | | |

①-2 スマートシティ・センサー ネットワーク低電力化技術

(担当:ルネサスエレクトロニクス株式会社)

| 実施項目 | 23年度 | | 24年度 | | 25年度 | | 26年度 | | 27年度 | |
|-----------------------------------|--------------|----|---------------------|----|--------------------------------|----|--------------------------|----|-----------------------|----|
| | 上期 | 下期 | 上期 | 下期 | 上期 | 下期 | 上期 | 下期 | 上期 | 下期 |
| ①-2. スマートシティ・センサーネットワーク低電力化技術 | | | | | | | | | | |
| ①-2-1. センサー特性評価・応用技術開発 | 技術調査 | | センサー拡張ボード設計・試作 | | センサー拡張ボード設計・評価、ドライバ設計 | | センサー拡張ボード設計・評価、ドライバ設計・改良 | | センサー拡張ボード設計・評価、ドライバ改良 | |
| ①-2-2. 電源制御技術 | 技術調査 | | 電源制御方式仕様策定 | | 電源制御機能一次設計・評価 | | 電源制御機能二次設計・評価 | | 電源制御機能改良設計・評価 | |
| ①-2-3. センサーノードシステム電力プロファイル評価環境 | NoFF 評価ボード仕様 | | NoFF 評価ボード設計・評価 | | センサーノード実装設計、モータ等 SW 設計、評価① | | 改良設計、評価② | | 改良設計、評価 | |
| ①-2-4. センサーノード低電力化技術統合評価 | | | 評価用アプリケーション SW 技術調査 | | 評価用 SW 設計 | | 評価・改良設計 | | 評価・改良設計 | |
| ①-2-6. 実証デモ | 技術調査 | | デモ仕様検討 | | デモ HW 試作、SW 仕様検討、簡易性能評価用 SW 設計 | | 統合一次設計評価、デモ SW 設計評価 | | 統合二次設計評価、デモ SW 改良 | |
| ①-2-7. 低電力化回路技術 | | | 回路設計、試作・評価① | | 試作・評価② | | 評価・改良設計① | | 評価・改良設計② | |

①-3 インテリジェントビルを指向するセンサーネットワーク低電力化技術

(担当:日本電気株式会社、NECシステムテクノロジー株式会社)

本実施項目は平成 23 年度で終了した。

| 実施項目 | 23年度 | |
|--|------|----|
| | 上期 | 下期 |
| ①-3-1. システムアーキテクチャ | | → |
| ①-3-2. 基本ソフトウェア技術(通信プロトコル)とアルゴリズム(アプリソフト上の電力制御アルゴリズム) | | → |
| ①-3-3. 基本ソフトウェア技術(OS) | | → |
| ①-3-4. ハードウェア設計技術 | | → |

①-4 ヘルスケア応用生体情報計測センサーネットワーク低電力化技術

(担当:ローム株式会社)

| 実施項目 | 23年度 | | 24年度 | | 25年度 | | 26年度 | | 27年度 | |
|---|------|----|------|----|------|----|------|----|------|----|
| | 上期 | 下期 | 上期 | 下期 | 上期 | 下期 | 上期 | 下期 | 上期 | 下期 |
| ①-4-(1). 不揮発メモリを用いたシャドウメモリアーキテクチャ | | | | | | | | | | |
| プロトタイプ作成 | | → | → | → | → | | | | | |
| シャドウメモリアーキテクチャ開発 | | → | → | | | | | | | |
| シャドウメモリデバイス開発 | | → | → | | | | | | | |
| 低電圧デバイス開発 | | | | | → | → | → | → | | |
| LSI 設計、試作、評価 | | | → | → | → | → | → | → | → | |
| ①-4-(2). 生体情報処理に特化した超低消費電力 VLSI アーキテクチャ | | | | | | | | | | |
| イベントドリブン電源管理開発 | | → | → | → | | | | | | |
| センサー間協調開発 | | | → | → | | | | | | |
| 専用エンジン開発 | | | | | → | → | → | → | | |
| インスタントオン通信方式開発 | | → | → | → | → | → | | | | |
| ①-4-(3). 間歇動作を指向する生体情報処理アルゴリズム | | | | | | | | | | |
| 仕様検討 | | → | → | → | → | → | → | → | | |
| アルゴリズム作成 | | → | → | → | → | → | | | | |
| フィールドテスト | | | | | | | → | → | → | → |

②-1 ノーマリーオフ評価基盤・プラットフォームの研究開発

(担当:ルネサスエレクトロニクス株式会社)

| 実施項目 | 23年度 | | 24年度 | | 25年度 | | 26年度 | | 27年度 | |
|------------------------------|-----------|----|----------------|----|--------------|----|----------------------|----|----------------------|----|
| | 上期 | 下期 | 上期 | 下期 | 上期 | 下期 | 上期 | 下期 | 上期 | 下期 |
| ②-1.ノーマリーオフ評価基盤・プラットフォーム研究開発 | | | | | | | | | | |
| ②-1-1. ノーマリーオフ実機評価環境 | | | | | | | | | | |
| (1) 集中研ノーマリーオフ評価ボード | 評価ボード仕様検討 | | 評価ボード製作・評価 | | 実機評価の展開 | | | | | |
| (2) ノーマリーオフ・ソフトウェア技術 | プログラム仕様検討 | | プログラム開発・評価 | | プログラム改良・評価 | | 集中研②-3と連携し分散研への提案検討① | | 集中研②-3と連携し分散研への提案検討② | |
| ②-1-2. ノーマリーオフ評価エミュレーション環境 | 技術調査 | | エミュレーション環境仕様検討 | | エミュレーション環境構築 | | | | | |

②-2 超高速不揮発メモリを活用するノーマリーオフメモリシステムプラットフォームの研究開発

(担当:株式会社 東芝)

| 実施項目 | 23年度 | | 24年度 | | 25年度 | | 26年度 | | 27年度 | |
|---|---|----|------|----|------|----|------|----|------|----|
| | 上期 | 下期 | 上期 | 下期 | 上期 | 下期 | 上期 | 下期 | 上期 | 下期 |
| ②-2.超高速不揮発メモリを活用するノーマリーオフメモリシステムプラットフォームの研究開発 | <p>プロセッサのパワーゲーティングの時間粒度測定 </p> <p>プロセッサ評価用シミュレータ開発 </p> <p>性能評価、シミュレータの改良 (第1世代:単純構成) </p> <p>性能評価、シミュレータの改良 (第2世代:複雑構成) </p> <p>新規可変階層構造の設計、シミュレータへの組み込み、性能評価 </p> <p>シミュレータへの将来メモリ特性の組み込み、性能評価 </p> | | | | | | | | | |

②-3 ノーマリーオブコンピューティングシステム設計方法論の研究開発

(担当:東大、株式会社 東芝、ルネサスエレクトロニクス株式会社、ローム株式会社)

| 実施項目 | 23年度 | | 24年度 | | 25年度 | | 26年度 | | 27年度 | | 備考 |
|-------------------------------------|--------------|----|-------------|----|-----------------|----|-------------------------|----|----------|----|-----------------------|
| | 上期 | 下期 | 上期 | 下期 | 上期 | 下期 | 上期 | 下期 | 上期 | 下期 | |
| ②-3. ノーマリーオブコンピューティングシステム設計方法論の研究開発 | | | | | | | | | | | 東大まとめ |
| ②-3-(1). ノーマリーオブ最適化技術 | 小規模プログラムでの検討 | | 応用プログラムでの検討 | | 最適化手法の体系化、問題点整理 | | 分散研①と連携・最適化手法改良 | | | | 主担当:東大 副担当:東芝、ルネサス |
| ②-3-(2). ノーマリーオブ評価技術 | 不揮発メモリのモデリング | | 最適化用の特徴量抽出 | | | | 分散研①と連携・特徴量に基づくロードマップ検討 | | 設計方法論の提示 | | 主担当:東大 副担当:各社 |

(4) 開発予算

以下に、本プロジェクトにおける開発予算の推移を示す。

(単位:百万円)

| | H23 年度 | H24 年度 | H25 年度 | H26 年度 | H27 年度 | 合計 |
|----------------|-----------|-----------|-----------|-----------|-----------|-------|
| ①-1 携帯情報端末 | 337 | 463 | 432 | - | - | 1,232 |
| ①-2 スマートシティ | 142 | 431 | 409 | - | - | 982 |
| ①-3 センサーネットワーク | 102 | - | - | - | - | 102 |
| ①-4 ヘルスケア応用 | 39 | 51 | 48 | - | - | 138 |
| ②-1 評価基盤 | 206 | 319 | 343 | - | - | 868 |
| ②-2 メモリシステム | 5 | 9 | 9 | - | - | 23 |
| ②-3 設計方法論 | 20 | 48 | 49 | - | - | 117 |
| 総開発予算 | 851 | 1,321 | 1,290 | - | - | 3,461 |
| 内、NEDO 負担額 | 426 | 661 | 645 | | | 1,731 |

2.2 研究開発の実施体制

プロジェクトリーダーを、中村 宏 東京大学教授として、ノーマリーオフコンピューティング有限責任事業組合が事務管理を中心に補佐しながら、研究開発項目を推進している。共同実施先、再委託先を含めた体制は図 II-11 の通りである。

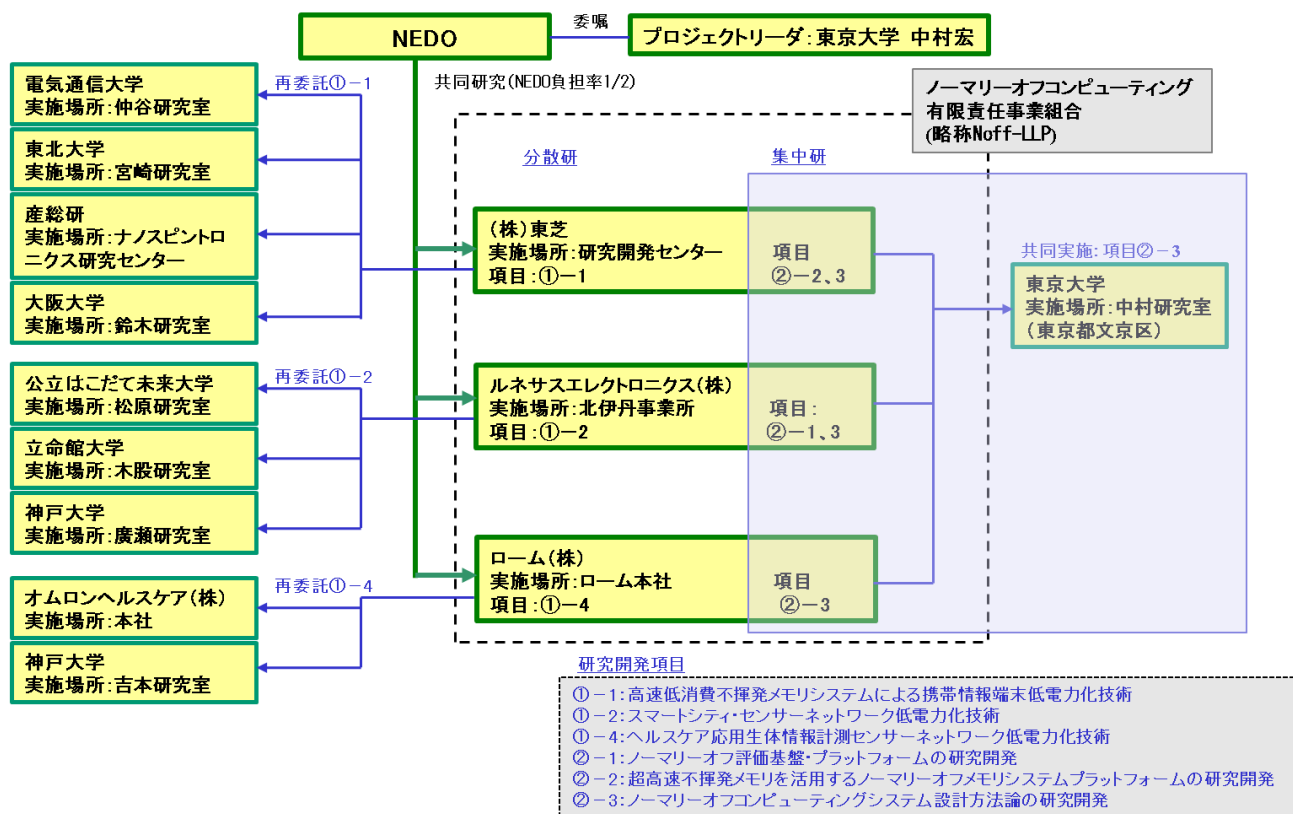


図 II-11 本プロジェクトの研究開発実施体制

2.3 研究開発の運営管理

(1) 委託元 (NEDO)

予算所要額ヒアリングを年 1 回開催

平成 24 年度 5 月 10 日

平成 25 年度 5 月 13 日

(2) 委託先

(a) プロジェクト運営に関し下記のプロジェクト会議を開催(平成 24 年 5 月～)

・Noff-PJ 会議: 月例開催

1. 広報戦略策定
2. 広報予定・広報結果レビュー

(b) 分散研毎に進捗報告会議を開催

1、2 ヶ月に 1 回開催

(c) ノーマリーオフコンピューティング基盤技術開発プロジェクト公開シンポジウム(第1回)を開催(平成25年4月16日)

横浜情報文化ホールにて計8件の講演およびプロジェクト報告を実施。

(d) ノーマリーオフコンピューティング関連技術調査会議(第一回研究会)(平成25年6月24日)

本事業以外で関係が深い関連技術について関係研究者・技術者を招き、ノーマリーオフコンピューティングに関する議論を実施。

2.4 研究開発成果の実用化・事業化に向けたマネジメントの妥当性

研究成果の実用化、事業化に向けて、関連の各種運営会議等を実施した(図 II-12)。委託元(NEDO)と委託先(各実施者)の合同による会議を実施(平成24年12月)し、研究開発の進捗チェックとともに、各実施者の実施しているテーマの実用化・ビジネスモデルを確認、議論した。また、平成25年4月に開催した公開シンポジウムでは、各実施者の実用化の利用先を想定した外部有識者の招待講演を加え、併設した意見交換会も含めて、実用化、事業化に向けての外部聴取を実施した。

| 日程 | 会議名 | 議事内容・報告・連絡事項 |
|--------------------|---|---|
| 平成24年5月 ～(月例開催) | Noff-PJ会議 (広報委員会) | 1. 広報戦略策定 2. 広報予定・広報結果レビュー |
| 平成24年 12月6日 | プロジェクトヒアリング 会議 | 1. プロジェクト運営と進捗確認 2. 各社事業展開計画 |
| 平成25年 4月16日 | ノーマリーオフコンピューティング基盤技術開発プロジェクト公開シンポジウム(第1回) | <p>■横浜情報文化ホールにて下記8件の講演を実施。(成果報告と招待講演)</p> 1. プロジェクト概況報告 中村 宏(東京大学) 2. 「スマートシティ・センサー ネットワーク低電力化技術」(ルネサス) 3. 「道南地域を対象とした階層型デマンド交通とノーマリーオフコンピューティング技術への期待」(はこだて未来大) 4. 「エネルギーハーベスト活用低消費電力センサーネット」(日立:招待講演) 5. 「高速低消費電力磁性体メモリによるノーマリーオフプロセッサの開発」(東芝) 6. 「ユーザ実利用におけるスマホ省電力化に向けた取り組み」(NTTドコモ:招待講演) 7. 「ヘルスケア応用生体情報センサーの小型、低電力化」(ローム) 8. 「人々の健康を支援するLSIとシステム」(オムロンヘルスケア:招待講演) |
| 平成25年 6月24日 | ノーマリーオフコンピューティング関連技術調査会議(第1回研究会) | <p>■関係研究者・技術者を招待し、ノーマリーオフコンピューティング技術について議論。 テーマ)IGZO素子とReRAMの最新動向について。</p> |

図 II-12 本プロジェクトの各種運営会議

一方、知財マネジメントに関しては、図 II-13 に示すように集中研テーマに関しては、実施者間の運用ルールを規定し、分散研の知財とともに、全体の事務管理をLLPにより運営することとした。

- ・ 知財マネジメント強化のため知財の創出/権利化を推進する体制を構築
- ・ プロジェクト研究開発活動で出てきた知的財産の取り扱いを規定し推進

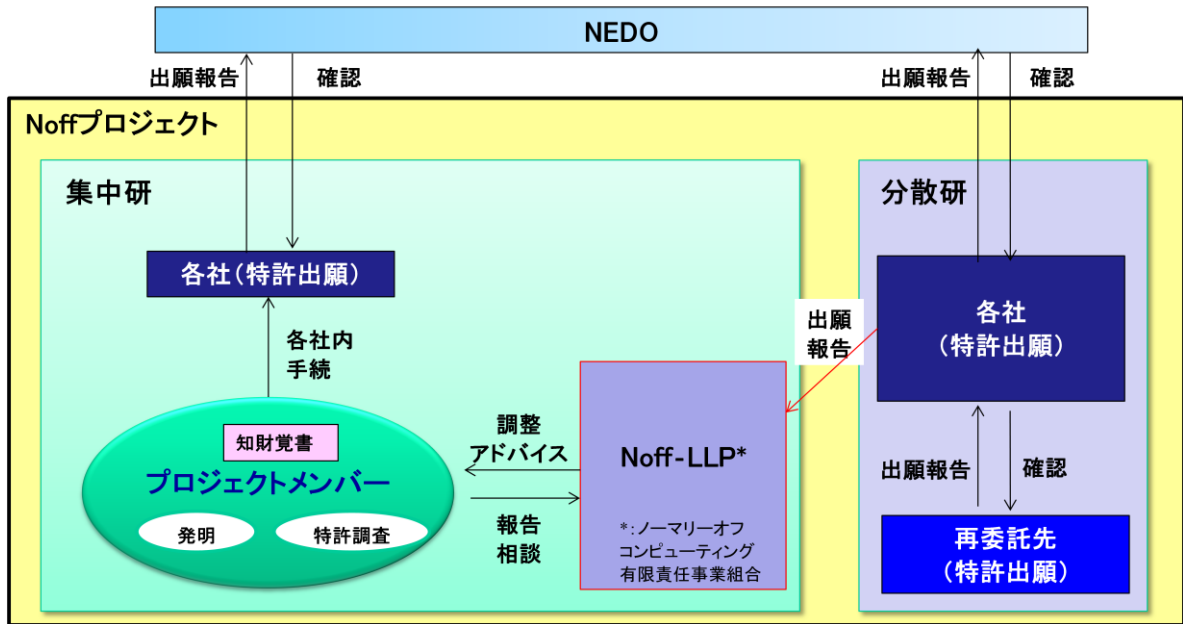


図 II-13 本プロジェクトの知財マネジメント推進体制

3. 情勢変化への対応

(1) 実施テーマの見直し整理による実施方針・計画の変更

プロジェクト開始年度に設定されたテーマに関して見直し、重複の整理と目標の明確化を実施した。その結果、「インテリジェントビルを指向するセンサーネットワーク低電力化技術(日本電気(株)、NECシステムテクノロジー(株))」を平成23年度を持って終了した。これにより、平成24年度より、実施テーマの一部削除と実施体制が変更された。具体的には、分散研テーマは、携帯情報端末、スマートシティ、及びヘルスケアの3分野となり、コンピューティングのカバーする領域(コンピューティングに必要なピーク性能と処理量変動の大きさ)の重なりを解消し、集中研テーマでは役割分担と分散研との連携を明確化した。

(2) プロジェクトリーダーによる実施方針・計画の変更

平成24年度5月より、プロジェクトリーダー(中村 宏 東京大学教授)を置いた実施体制として、プロジェクトの運営を行う。

(3) 事業組合の設置による実施方針・計画の変更

平成24年度7月より、ノーマリーオフコンピューティング有限責任事業組合(LLP)を置いた実施体制として、プロジェクトの管理を行う。

4. 中間評価結果への対応

本プロジェクトは平成25年度に中間評価の実施を予定しており、現時点において未実施のため記載すべき事項はない。

5. 評価に関する事項

NEDO 技術開発機構は、技術的及び政策的観点から、研究開発の意義、目標達成度、成果の技術的意義ならびに将来の産業への波及効果等について、外部有識者による研究開発の中間評価を平成25年度、事後評価を平成28年度に実施する。また、中間評価の結果を踏まえて必要に応じプロジェクトの加速・縮小・中止等見直しを迅速に行う。なお、評価の時期については、当該研究開発に係わる技術動向、政策動向や当該研究開発の進捗状況等に応じて、前倒しする等、適宜見直すものとする。

III. 研究開発成果について

1. 事業全体の成果

本研究では、2つの大きな研究開発項目

(1)次世代不揮発性素子を活用した電力制御技術の開発

(2)将来の社会生活を支える新しい情報システム

における飛躍的なノーマリーオフ化を実現する新しいコンピューティング技術の検討において、以下の研究項目を実施している。

表III-1 事業全体の成果の表

| | 中間目標 | 中間評価時の研究開発成果 | 達成度 |
|-------------------------------------|--|--|-------------------------|
| ①-1: 高速低消費不揮発メモリシステムによる携帯情報端末低電力化技術 | 【①-1 全体】MTJ 記憶素子の反転(書き込み)速度、反転電流の実測データと、新しいメモリ階層を導入したプロセッサの消費電力シミュレーションの結果とを総合して、従来のキャッシュメモリと比較して電力効率 10 倍以上を示すとともに、これを実現するための主要課題を明確化する。この目標達成に向けた、開発項目ごとの目標、成果、達成度は以下のとおり。 | | |
| | ①-1-1 高速・低消費電力不揮発 RAM の開発((ア)~(エ)単体メモリ素子 MTJ の開発): 高速・低消費電力不揮発 RAM の開発のため、高速・低電流で動作する MTJ 素子と RAM メモリアレイ回路の開発を行う。単体メモリ素子性能として、50 μ A、2ns の達成を目指す。 | 30nm 以下の垂直磁化方式の MTJ を作製し、高速・低消費電力(3ns, 50 μ A)で書き込み動作を実現。中間目標の 50 μ A、2ns は来年 3 月までに達成の見込みである。 | △ (平成 26 年 3 月達成見込み) |
| | ①-1-1(オ) 高速・低消費電力不揮発メモリアレイ回路の開発(不揮発キャッシュ用メモリアレイ回路の開発): 上記 MTJ 素子を使って、従来のキャッシュメモリと同等の速度で動作可能で、SRAM よりも待機電力が小さく、かつ面積が小さいメモリアレイ回路の新規設計。 | 上記 MTJ を用いて 10ns 未満で高速・低消費電力動作可能(ノーマリーオフ型)で、SRAM よりも小型となるメモリ回路を 4 種類新たに設計した。この一つで、DRAM/MRAM ハイブリッド回路にて、動作時の L2 キャッシュメモリ消費電力が従来の約 1/3 を示した。アクセスタイムは 5ns 以下。これは、L2 以下の階層のキャッシュメモリとして、十分な性能である。 | ○ |

| | | | |
|--|---|--|---|
| | ①-1-2 高速低消費不揮発キャッシュメモリ回路・システムの開発:従来のキャッシュメモリと比較して電力効率 10 倍以上を示すとともに、これを実現するための主要課題を明確化する。 | 実用上では L2 キャッシュメモリは、動作時間/待機時間の比率が 10 分の 1 以下である。上記の DRAM/MRAM ハイブリッド回路で、これらを元に分析した結果、不揮発キャッシュメモリの平均消費電力は、従来の 10 分の 1 以下を得た。 | ○ |
|--|---|--|---|

| | 最終目標 | 達成見込み | 最終目標達成に向けた重点取組事項 |
|-------------------------------------|--|-------|--|
| ①-1: 高速低消費不揮発メモリシステムによる携帯情報端末低電力化技術 | MTJ 記憶素子を搭載した不揮発キャッシュメモリを搭載したプロセッサの評価システムで測定した結果から電力効率の評価を行い、従来のキャッシュメモリと比較して 10 倍以上を示す。 | ○ | より高速で低消費電力動作が可能な STT-MRAM の開発と、ノーマリーオフ動作に適したキャッシュ用制御回路・インターフェース回路の開発による、キャッシュメモリ全体の低消費電力化。 |

| | 中間目標 | 中間評価時の研究開発成果 | 達成度 |
|-------------------------------|---|---|--------------------------|
| ①-2: スマートシティ・センサーネットワーク低電力化技術 | 自律適応型電源制御技術と評価用ソフトウェアの仕様策定・設計を行い、センサーノード電力プロファイル評価環境を使い電力削減効果を評価し、従来のマイコンを用いたセンサーノード(通信除く)と比較し 10 倍のノーマリーオフ低電力化性能に到達可能かを評価し、技術課題の明確化を行い対策について検討する。 中間目標達成に向けた、開発項目は以下のとおり。 | 各開発項目ごとの研究成果は以下のとおり。 | |
| (1) センサー特性評価・センサー応用技術 | 評価対象として一次選定した 8 種類のセンサーについて、センサーのノーマリーオフ制御適用時の特性評価、センサー毎の BET(損益分岐時間)を定量評価し、センサーノードシステム電力低減に向けてセンサーに対する効果的なノーマリーオフ制御ドライバ(ソフトウェア)の試作・評価を行う。 | (1) センサーノードシステムへのノーマリーオフ技術適用に向けて、温度・湿度センサーについてセンサー特性への影響・BET 測定を行い、BET の環境変動量を定量的に把握した。これら結果に基づきセンサーへのノーマリーオフ制御ドライバ(ソフトウェア)の仕様策定を行い設計に着手した。 | △(計画通り、平成 25 年 9 月完了見込み) |

| | | | |
|--|--|--|---------------------------|
| | <p>(2) 電源制御技術</p> <p>マルチセンサーシステム、センサーデータ収集の高精度化・多様化に対応でき、かつアプリケーションプログラマにとってユーザビリティの高い電源制御技術の仕様を策定し、試作・評価する。</p> | <p>(2) センサーノードシステムの電源制御技術として、各構成要素の BET を用いることにより、柔軟性と高いユーザビリティを備えた自律適応型電源制御機構を考案し仕様を策定完了。(特許出願準備中)</p> | ○ |
| | <p>(3) センサーノードシステム電力プロファイル評価環境</p> <p>集中研②-1 と検討したアーキテクチャおよび(2)の電源制御技術を実装して電力削減効果を定量評価可能なセンサーノード内システム電力プロファイル評価環境(ハードウェア、評価用ソフトウェア)を構築する。</p> | <p>(3) ノーマリーオフ技術の低電力効果を定量的に評価しうる測定精度を有し、集中研②-1 と連携したアーキテクチャの試行容易なセンサーノード・システム電力プロファイル評価環境(ハードウェア)を設計し、動作確認を完了した。</p> | △(計画通り、平成 25 年 9 月完了見込み) |
| | <p>(4) センサーノード低電力化技術統合評価</p> <p>(1)~(3)を組み合わせ、評価アプリケーションを用いてシステム電力評価を行い、従来のマイコンを用いたセンサーノード(通信除く)と比較し 10 倍のノーマリーオフ低電力化性能に到達可能かを評価し、技術課題の明確化を行い対策について検討する。</p> | <p>(4) 電力プロファイル評価環境上への自律適応型電源制御技術と評価プログラムの設計は平成 25 年 9 月までに実施。これらを組み合わせたセンサーノード(通信除く)の 10 倍の低電力化性能達成可能性評価し、技術課題の明確化・対策検討を平成 25 年度末までに実施する。</p> | △(計画通り、平成 26 年 3 月完了見込み) |
| | <p>(5) 実証デモ</p> <p>環境計測・監視システム応用の一例として、デマンド交通システムを使ったノーマリーオフセンサーネットワーク実証に向けたデモシステムの仕様を策定する。</p> | <p>(5) 実証デモシステム評価に向けて、システム挙動分析を主眼とした知的バス停試作機的设计完了。</p> | △(計画通り、平成 25 年 12 月完了見込み) |
| | <p>(6) 低電力化回路技術</p> <p>システム低電力化に向けて、常時電源 ON 領域の低電力化技術を開発する。主要機能である RTC クロック生成回路の低電力化として、従回路電力(約 1 μW、水晶発振子の場合)の半減を目標とする。</p> | <p>(6) ノーマリーオフ動作適用対象外となる RTC 向けのクロック生成回路の低電力化について回路設計・試作を完了し、低電力化の目標(約 0.5 μW)を達成した。</p> | ○ |

| | 最終目標 | 達成見込み | 最終目標達成に向けた重点取組事項 |
|------------------------------|---|-------|--|
| ①-2:スマートシティ・センサーネットワーク低電力化技術 | センサーノード(通信を除く)について、従来のマイコンを用いたセンサーノードと比較し10倍のノーマリーオフ低電力化性能実証を目指す。 | ○ | 以下を重点取組事項として活動予定。 ・自律適応型電源制御技術の評価環境上での試作・評価・改良。 ・実証デモシステムへのノーマリーオフ技術適用に向けたオンデマンド交通システムの特性分析とそれを考慮した電源制御技術とシステム制御技術の協調制御。 |

| | 中間目標 | 中間評価時の研究開発成果 | 達成度 |
|-----------------------------------|---|---|-----|
| ①-4:ヘルスケア応用生体情報計測センサーネットワーク低電力化技術 | 全体: 生体情報処理に特化して間歇動作指向アルゴリズム、電源管理アーキテクチャ、メモリアーキテクチャの研究開発を行い、試作開発およびシステムレベル評価を実施し、システムとしての電力消費性能を5倍、平均消費電流を40 μ Aとする。 | 現在試作が完了している FeRAM 混載 LSI(32bit MCU, 心拍センサ)を用いたシステムに生体信号処理アルゴリズムを実装した場合の消費電流 38 μ A を実現した。 | ○ |
| | 要素(1)間歇動作指向アルゴリズム、電源管理アーキテクチャの研究開発を行い、試作開発およびシステムレベル評価にて電力消費性能を10倍としうる見込みを示す。 | 高信頼心拍抽出アルゴリズムの開発、専用ハードウェアによる低消費電力化、および、それと組み合わせたアナログフロントエンドの低消費電力化により、従来の心拍計測ICを用いた構成に対して消費電力を20分の1以下に削減した。 | ◎ |
| | 要素(2)メモリアーキテクチャの研究開発を行い、試作開発およびシステムレベル評価にて電力消費性能を10倍としうる見込みを示す。 | FeRAM を混載した生体センサーLSI を試作し、システムモジュールとして生体センサーシステム動作中に FeRAM 部を簡潔動作させることにより、FeRAM 部の平均消費電力を10分の1以下に削減した。 | ○ |
| | 要素(3)不揮発デバイスの低電圧化として現状の1.5Vから0.9V動作の見込みを示す。 | 不揮発デバイスの低電圧化として現状の1.5Vから0.9V動作の目処を得た。 | ○ |

| | 最終目標 | 達成見込み | 最終目標達成に向けた重点取組事項 |
|-----------------------------------|---|-------|--|
| ①-4:ヘルスケア応用生体情報計測センサーネットワーク低電力化技術 | 心拍、体温、3軸加速度、心電波形計測・解析機能を有するウェアラブル生体モニタリングシステムを完成させる。システム全体の動作時間の最適化を図り、電力消費性能10倍、平均消費電流20 μ Aを達成する。 | ○ | <ul style="list-style-type: none"> 新規不揮発メモリアーキテクチャ適用などによる「アクティブ電力の削減」。 適応的サンプリングなどによる「アクティブ時間の削減」。 |

| | 中間目標 | 中間評価時の研究開発成果 | 達成度 |
|-------------------------------|---|---|----------------------|
| ②-1:ノーマリーオフ評価基盤・プラットフォームの研究開発 | ノーマリーオフ評価基盤・プラットフォームの必須構成要素である以下の2つの技術の第1次版開発を行う。 | | |
| | (1)ノーマリーオフ実機評価環境 種々の応用分野のアプリケーションに対して、ノーマリーオフ制御評価を実行できる実機評価環境(集中研評価ボード)を構築する。 | 平成25年度は、前年度に試作した集中研評価ボードの評価結果をフィードバックすることにより、集中研評価ボードの改良設計を行う。子基板変更によりCPU変更が可能で、かつ、複数の評価ボードを連結することで、②-3のTaskスケジューリング技術の評価を実施可能な、集中研評価ボードの仕様設計を完了した。 | △(計画通り、平成25年9月完了見込み) |
| | (2)ノーマリーオフ評価エミュレーション環境 集中研②-3で検討する詳細な電力性能情報を取得するためのエミュレーション技術を、(1)で開発したノーマリーオフ実機評価環境に実装する。 | 集中研②-3と連携して策定した電力性能評価のための情報を取得可能なエミュレーション機能の試作・評価を実施し、仕様を決定した。その試作結果を元に、エミュレーション機能をノーマリーオフ実機評価環境に実装する。 | △(計画通り、平成26年3月完了見込み) |

| | 最終目標 | 達成見込み | 最終目標達成に向けた重点取組事項 |
|-------------------------------|--|-------|--|
| ②-1:ノーマリーオフ評価基盤・プラットフォームの研究開発 | ノーマリーオフ低電力化のためのソフトウェア技術の提案と、分散研の従来比1/10の電力化実証を支援し、ノーマリーオフ電力性能評価の基盤となる評価技術・プラットフォームを確立する。 | ○ | 各分散研①のノーマリーオフ・システムの電力消費性能を評価するための共通の基盤となり、かつ、②-3で開発するノーマリーオフ最適化技術(Taskレベルの動作アクティビティ局所化技術)を適用して、ノーマリーオフ電力消費性能評価を実機上で実行できる、評価環境となるように開発する。 |

| | 中間目標 | 中間評価時の研究開発成果 | 達成度 |
|--|--|--|--|
| ②-2: 超高速不揮発メモリを活用するノーマリーオフメモリシステムプラットフォームの研究開発 | ①-1の不揮発メモリの実験結果を元に、携帯情報端末用プロセッサの性能/消費電力が10倍以上を達成するための技術課題を抽出する。 (本目標達成のため、②-3の成果である電力評価基盤技術と、プロセッサアーキテクチャを用いる。) | 実際の使用環境に近い状態で、プロセッサ電力・性能を評価することが可能なシミュレーション環境を構築した。これにより、L1キャッシュメモリ以上の階層はSRAMを、L2キャッシュメモリにSTT-MRAMとDRAMのハイブリッドメモリを用いる新型メモリ階層での電力評価を行い、電力効率が10倍以上となるプロセッサの動作条件(動作時間/待機時間比率など)を求めることが可能になった。 | ○ |
| | 最終目標 | 達成見込み | 最終目標達成に向けた重点取組事項 |
| ②-2: 超高速不揮発メモリを活用するノーマリーオフメモリシステムプラットフォームの研究開発 | 分散研で改良設計されるノーマリーオフメモリシステムを搭載するプロセッサのシミュレーション環境を構築し、携帯情報端末用プロセッサの性能/消費電力が従来に比べて10倍以上となることの実証を支援する。 | ○ | より複雑なメモリ階層化構造とそれを利用した低消費電力プロセッサの基本設計。 実際のユーザの使用環境に近い電力評価方法の構築し、メモリシステムと②-3のプロセッサアーキテクチャを再改良して、電力効率10倍以上となるアプリケーションの範囲を拡大する。 |

| | 中間目標 | 中間評価時の研究開発成果 | 達成度 |
|-------------------------------------|---|--|-----|
| ②-3: ノーマリーオフコンピューティングシステム設計方法論の研究開発 | 不揮発メモリを用いたシステムのノーマリーオフ電力モデルの定式化。 | フリップフロップ、キャッシュメモリ、メインメモリに不揮発メモリを用い、パワーゲーティング手法を用いた場合の消費電力のモデル・定式化を行い、今後どのような不揮発性メモリを開発すべきか、またそのような不揮発性メモリが実現した場合のノーマリーオフ最適化技術の評価を可能にした。 | ○ |
| | ②-1 と連携して、汎用性を指向するソフトウェア技術としてのノーマリーオフ最適化技術を開発するとともに、分散研への提案サポートを行う。 | 集中研実機評価環境でのセンサー応用想定実機評価から得られた情報を元に、センサーネットワーク・マイコンシステムにMRAM をメインメモリとして実装する場合のタスクスケジューリング技術によるアクティビティ局所化手法の提案を行った。そして、ソフトウェア視点でのノーマリーオフ電力最適化技術の適用により従来比 8 割減の低電力化を達成した。 | ○ |
| | ②-2 と連携して、高速不揮発 RAM の性能/電力向上のためのプロセッサアーキテクチャの開発を行う。 | 携帯情報端末を対象に、MRAM と SRAM/DRAM を効果的に使い分けるハイブリッドキャッシュメモリのアーキテクチャ手法を開発し、7 割程度の低電力化を達成できることを示した。 | ○ |

| | 最終目標 | 達成見込み | 最終目標達成に向けた重点取組事項 |
|-------------------------------------|--|-------|---------------------------------------|
| ②-3: ノーマリーオフコンピューティングシステム設計方法論の研究開発 | メモリ階層全体を最適化してノーマリーオフコンピューティングの評価可能な環境を構築し、分散研で開発される技術へのフィードバックを行うとともに、その知見の共有と一般化により、新しい応用領域へも適用可能な設計方法論を確立する。 | ○ | 新しい応用領域に対してもシステム全体を最適化する統一的な設計方法論の開発。 |

2. 研究開発項目毎の成果

研究開発項目① 次世代不揮発性素子を活用した電力制御技術の開発

2.1 ①-1 高速低消費不揮発メモリシステムによる携帯情報端末低電力化技術

(担当:株式会社 東芝)

①-1-1-(ア). 高速スピン注入記憶素子の設計技術の開発(担当:株式会社 東芝、再委託先:電気通信大学)

スピン注入磁化反転速度と記憶素子の材料定数や素子形状の関係について調査し、高速書き込みに有効な条件を明確化した。まず、熱安定性指標を一定に保ったまま MTJ 素子を微細化したときの、パルス電流幅による反転電流の変化を評価した。得られた結果はパルス幅が 30ns 以上で長い場合は反転電流は MTJ サイズに依存せず、微細化しても低電流化の効果はないが、パルス幅がナノ秒程度以下に短くなると反転電流が上昇し、その上昇量は素子サイズが小さいほど小さいことがわかった。この結果より、MTJ サイズの微細化による書き込み高速化・低消費電力化を定量的に示した。また、記憶層の材料を飽和磁化の小さい材料にすることによる高速低消費電力書き込みも同様にシミュレーションによって評価し、1 次目標とした電流パルスでの書き込みをシミュレーションベースで示した。

さらに、高速書き込み、リードディスタース回避技術としてのアシスト書き込み技術などのスピン注入反転に関するシミュレーションによる詳細検討により、第二次設計着手への基礎を固めた。

①-1-1-(イ). 高速・低電流書き込みスピン注入記憶素子材料の開発(担当:株式会社 東芝、再委託先:東北大学)

高垂直磁気異方性定数並びに 200emu/cc 以下の低飽和磁化を示す磁性材料の開発を目的とし、結晶系材料を中心に材料探索を行った。

記憶層用材料として、高垂直磁気異方性定数・低飽和磁化・低磁気摩擦定数を示すと考えられる結晶系磁性材料薄膜の開発を行った。元素組成がストイキオ近傍で飽和磁化が 300emu/cc 前後、垂直磁気異方性定数が約 5Merg/cc の垂直磁化エピタキシャル薄膜を開発した。

参照層用材料では、記憶層用材料と同様に高垂直磁気異方性定数・低飽和磁化を示しつつも、大きな磁気摩擦定数を示す新規磁性材料薄膜の開発を狙い、結晶系材料に重元素を添加した薄膜材料の開発を行った。重元素を約 5%添加した材料で、飽和磁化が約 150emu/cc で垂直磁気異方性定数が約 10Merg/cc の垂直磁化エピタキシャル薄膜を開発した。

これらの抽出した材料をベースに、添加元素を加えた材料や成膜条件の検討、膜成長制御などの検討により、必要とされる高垂直磁気異方性と、低飽和磁化をかなりの程度両立させる材料を見出した。系統だった実験を行うことにより、どういった材料系が適しているのかをある程度明らかにした。また、それらの実験から選択された材料を用いて垂直 MTJ を形成し、新規磁性材料で TMR を確認するに至った。

①-1-1-(ウ). 高速・低消費電力スピン注入記憶素子の開発 (担当:株式会社 東芝、再委託先:産総研)

低 Ms、高 Ku な材料、主に結晶系以外(多結晶材料等)、成膜条件等検討を行い、特殊な成膜条件による改善技術を構築した。また、磁化反転に関して新しい原理に基づく方式の可能性検討を行い、有力

方法を抽出した。具体的には高い磁気異方性を持つ記憶層の磁化反転をアシストするために適したMTJのセル構造を提案し、共鳴周波数をおよそ1/3以下にすることが可能なことをシミュレーションで確認した。これによりアシスト技術の実現可能性を格段に高めた。

①-1-1-(エ). 高速スピン磁化反転の評価 (担当:株式会社 東芝、再委託先:大阪大学)

試作した高速・低消費スピン注入記憶素子の磁化反転特性をナノ秒オーダーの短パルスを用いて評価するための装置を導入し測定プログラムを作製した。また、素子の高周波特性を評価し、1次目標とした電流パルスによる書き込みを実証した。

短パルスから長パルスに至る広帯域の統一的なスピン反転理論を構築した。この理論に基づき、遷移領域での磁化反転の解析式をつくり、遷移領域での磁化反転の解析を可能とした。また、磁化反転速度を支配するパラメータを実験的に明らかにし、さらに高速、低電流化を実現するための指標を得た。

①-1-1-(オ). 高速・低消費電力不揮発メモリアレイ回路の開発 (担当:株式会社 東芝)

平成24年度にサブ30nmサイズのMTJ素子を作製した(図2.1-1)。高速書き込み3nsec,低電流書き込み50μA(書き込み時間×書き込み電流=150fC、これが小さいほどバッテリー消費量が少ない。)を達成し、高速かつ低電流で動作する。従来、書き込みの高速性と低電流性を同時に達成するのは困難であったが、そのトレードオフを破った。このバッテリー消費相当の電化量は世界最小で、しかも他の報告例よりも10分の1以下である(図2.1-2)。この素子をキャッシュメモリに適用したとの想定シミュレーションでハイエンドプロセッサのSRAMベースのキャッシュメモリと比べて、メモリセル単体あたりの平均消費電力(アプリケーション動作時)がおよそ1/3となることを示した。SRAMを凌駕したのは世界初であり、現時点でも世界唯一である。さらなる素子の改良により、平成25年度末までに100fC達成の見込みである。

世界最高の高速性×低消費電力を併せ持つ
STT-MRAMを開発

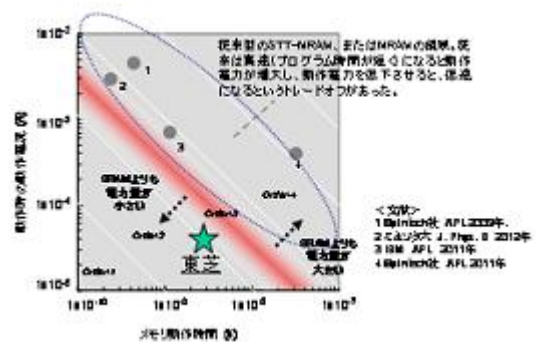
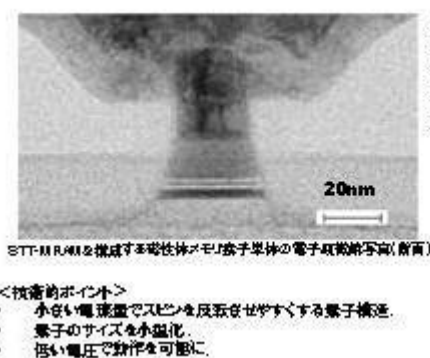


図 2.1-1 開発した世界最高の低電力性能 MTJ

図 2.1-2 MTJとSRAMのバッテリー消費量性能の比較

このMTJ素子を用いて、高速、低消費電力で動作可能なメモリセル回路の設計を行った。この設計で、新しい『ノーマリーオフ型のメモリセル回路』という新しいコンセプトを導入した。従来提案されていた高速回路では、SRAMと同様に、PMOSトランジスタとNMOSトランジスタが、電源からグランドにかけて直結するリークパスを持っており、これがリーク電流の原因となっていた。電源遮断しない限り、電流が流れ続けるので、このタイプの回路は『ノーマリーオン型メモリセル回路』である。電力遮断による待機電力削減方

法(所謂パワーゲーティング)だと、電源遮断復帰に時間がかかり、またその分余分なエネルギーを消費するため、電力削減効率が高くないということが分かっている。さらに、メモセルの周辺回路面積が増大するという問題もある。

これに対して、ノーマリーオフ型では、ノーマリーオン型のようなリークパスが無い。図 2.1-3 に設計した主なメモセル回路を示す。ノーマリーオフ型メモリは、リークパスが無く、待機状態ではメモセル回路はほとんど消費電力が 0 である。よって、どんなに短い時間間隔でも、例えばシステムクロックの 1GHz で 1 サイクル分(1ns)という短い時間であっても、待機電力が削減される。

従来大容量向けに使われるメモセルである、1MTJと1個のNMOSトランジスタのメモセルが、ノーマリーオフ型である。しかし、これは動作速度が遅い問題があり、キャッシュメモリとして必要な 10ns 以下で動作することが出来なかった。一方、下の回路は、高速性に工夫を施し、全て 10ns 未満で動作できる。

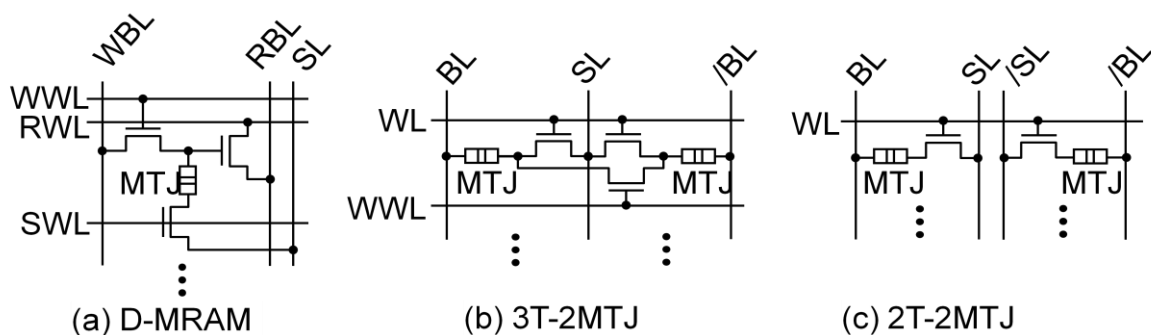


図 2.1-3 新しいコンセプトである『ノーマリーオフ型メモセル回路』の設計例

この中で、(a)について、②で開発された消費電力評価シミュレータを用いて、プロセッサ動作時のキャッシュメモリ(L2)の消費電力を計算した。このメモリのアクセス時間は 5ns 以下である。図 2.1-1 に示すように、ノーマリーオン型(リークパスを含む STT-MRAM 回路)の場合、SRAM よりもむしろ総電力が増えてしまう結果となった。一方、(a)のノーマリーオフ型で、かつ①-1 で得られた最新の MTJ 素子を用いた回路では、消費電力が平均で 1/3 程度に低減できることが確認できた。なお、このとき D-MRAM は、DRAM と MRAM モードを使い分けることが出来、図 2.1-4 の計算では、最初のリードアクセスが 5 回あった場合に、MRAM モード MTJ に書き込みを行い、それまでは DRAM モードとして使うことで、消費電力を下げる工夫を盛り込んでいる。なお、この特徴を利用し、効率をさらに上げるためのアーキテクチャを②-3 にて開発している。

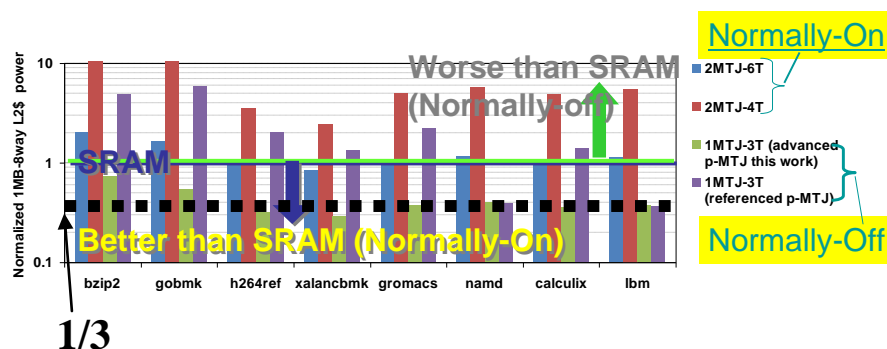


図 2.1-4 STT-MRAM を用いた L2 キャッシュメモリの消費電力ベンチマークの相対比較 (SRAM ベースのキャッシュを 1 とする)

平成 24 年度までに達成された高速・低電流な書き込み特性(3nsec、50 μ A 以下)を示す MTJ をベースにしたメモリアレイ回路用の CMOS+MTJ の 1Mb のメモリアレイ試作を行い動作検証した。メモリアレイの周辺回路として、高速の読み出し回路・書き込み回路、セル選択するための回路などを設計し、上記メモリアレイ回路と一緒に試作した。また、メモリセル回路には上記の様々な回路をテスト回路として盛り込んでいる。図 2.1-5 に、試作したメモリアレイ回路の拡大写真を示す。試作回路の実測値として、最も高速なものでは、(c)の回路であり、5ns 以下でのメモリアクセスを確認している(図 2.1-6)。これは、SRAM より面積の小さいメモリアレイとしては、世界最高速である。

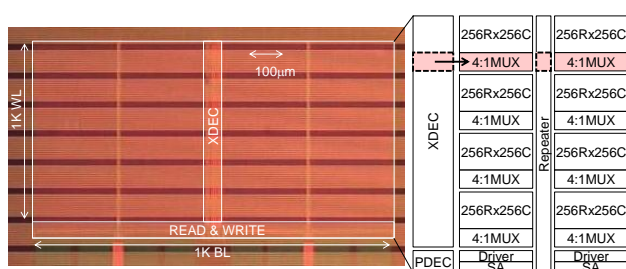


図 2.1-5 試作したメモリアレイチップの表面写真

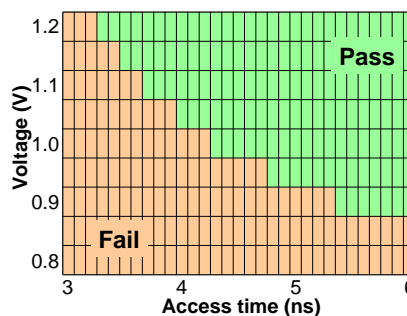


図 2.1-6 メモリアレイのアクセス
テスト結果

また、並列直列変換回路と、高速ラッチ回路を組み合わせることにより、不揮発キャッシュ用の高速インターフェース回路を開発した。STT-MRAM が SRAM よりも 2 倍以上容量を大きくすることが可能であるため、これによって、対 SRAM で 2 倍以上のインターフェース部の高速化が可能となること、明らかになった。この高速インターフェース回路は、量産技術として開発されているマイクロバンプまたは基板貫通電極 (TSV) 接続による積層構造を用いたものも検討した(図 2.1-7)。クアッドコアのプロセッサをもとに、TSV 配置のレイアウト設計も行った。量産可能と見込まれている TSV のサイズが 40~50 μ m と大きいため、インターフェースに使える TSV が数千本程度と考えられる。このため、並列度を高めることが必要ということなどが明らかになった。

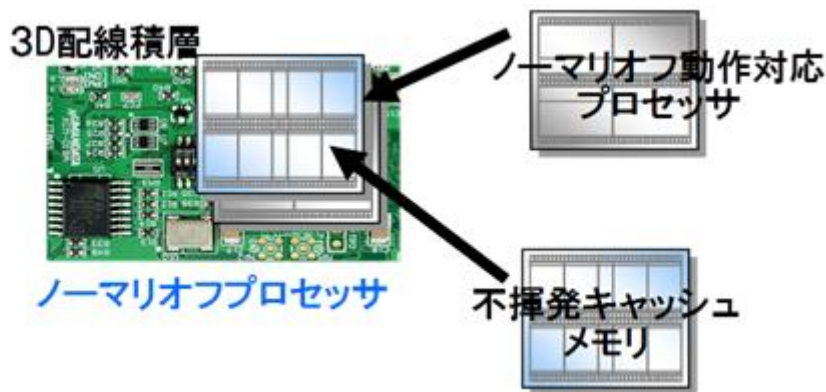


図 2.1-7 3D 積層型のノーマリーオフプロセッサ

①-1の成果を総合し、さらに実際のユースケースをベースに消費電力性能について考える。実際のユースケースでは、L2 キャッシュが動作状態となる時間は、平均で全体の数%程度であり、多くても10%未満と考えられる。よって、実用上ではL2 キャッシュメモリは、動作時間/待機時間の比率が10分の1以下である。不揮発キャッシュ用のSTT-MRAMメモリアレイ回路では、動作時の平均動作電力が従来のSRAMメモリアレイに比べて3分の1以下に削減できることが、前述の研究成果で示されている。不揮発キャッシュメモリの待機状態では、メモリアレイ部以外をパワーゲートすることで、消費電力を0にできる。一方、SRAMは、待機状態において、電源電圧を減らすことで動作時の消費電力の6~7割まで減らすことができる。また、メモリアレイ以外のキャッシュ回路部の消費電力はメモリアレイの約2割程度となる。これらをもとに計算すると、キャッシュメモリの平均消費電力は、STT-MRAMによる不揮発化により従来の6~7%(10分の1以下)にまで低下することが分かる。これがプロセッサ全体の消費電力削減にどのくらい寄与するかを、②-2の研究開発において分析している。

2.2 ①-2 スマートシティ・センサー ネットワーク低電力化技術

(担当:ルネサスエレクトロニクス株式会社)

ルネサスエレクトロニクスは、次世代不揮発性素子を活用した電力制御技術の開発として、スマートシティ・センサー ネットワーク低電力化技術の開発を実施する。

①-2-1 センサー特性評価・センサー応用技術

(担当:ルネサスエレクトロニクス株式会社、再委託先:立命館大学)

平成23年度は、センサーを含む要素技術調査を実施し、調査で得た知見をもとに、Noff評価ボードについて基本仕様を策定し、継続して詳細仕様を検討した。現状のセンサー技術と技術動向を調査し、センサー拡張ボードに搭載するセンサー候補一次選定を行った。ノーマリーオフ動作を適用した場合のセンサー特性への影響、損益分岐時間測定、電力を考慮したセンサー応用技術開発に対応したセンサー拡張ボード仕様(0次版)作成を、再委託先である立命館大学と完了した。

平成24年度は、平成23年度に選定したセンサーを搭載したセンサー拡張ボードの設計・試作を完了し、温度センサーと湿度センサーのセンサー電力評価に着手した。これまでに、代表的センサーである温度センサーと湿度センサーについて、電源ON・OFF動作がセンサー特性に及ぼす影響評価および損益分岐時間測定を完了した。本特性評価において、ノーマリーオフ電源制御の重要なパラメータである損益分岐時間が周囲環境により変動するという知見を得た。

表 2.2-1 に測定を予定しているセンサー一覧を示す。

表 2.2-1 測定対象センサー一覧

| センサ種類 | 外観 | メーカ/型名 | 仕様・性能 | 電源 / ON時間 |
|-----------|---|---------------------------|--|--------------------|
| 人感センサー-1 |  | 日本セラミック TS-3NAU | 出力:2.9mVo-p@43.54mW/cm ² 視野角:111° | 電源不要 N.A. |
| 人感センサー-2 |  | パナソニック AMN21111 | 検出距離:5m 視野角:100° × 82° | 5V, 300μA 45s |
| 加速度センサ |  | Analog Devices ADXL335 | 3軸、±3g、感度300mV/g、帯域 XY軸0.5~1600Hz、Z軸0.5~550Hz | 3V, 350μA 1ms |
| 温度センサ |  | ROHM BD1020HFV | 感度:-8.2mV/°C 計測温度範囲:-30~100°C | 3V, 4μA 5s |
| 湿度センサ |  | TDK CHS-SS | 測定範囲:20 to 85%RH 公称精度:±5%RH | 5V, 0.6mA 1min |
| 照度センサ |  | ROHM BH1600FVC | 光電流:60μA/100lx ピーク波長:560nm | 3V, 90μA 128μs |
| IRアレイセンサー |  | Panasonic AMG8832 | 視野角:60° 画素数:8×8 | 3.3V, 4.5mA 15s |
| CMOSセンサ |  | 日本ケミコン NCM03-S | 信号画素数:640(H)×480(V) | 2.8V, 45mW N.A. |

以下にこれまでに電力測定を完了したセンサーの測定結果を示す。

(1)温度センサー

図 2.2-1 に温度センサーの動作電流と電源立上げ時のオーバーヘッド電流の測定結果を示す(測定対象デバイスはローム社温度センサーBD1020HFV)。図に示されるように、センサー電源立上げ時に定常電流よりはるかに大きな突入電流が流れることが確認できた。この電流値を積分した結果、オーバーヘッドによる消費電荷は $0.18\mu\text{C}$ であった。オーバーヘッドによる電荷量と定常電流をもとに、温度センサーを周期的に電源遮断した場合の消費電力削減率を図 2.2-2 に示す。この図から本センサーの損益分岐時間(BET)は 42ms であることがわかる。つまり、本センサーを使用しない期間が 42ms 以上の場合は未使用時に電源遮断することで電力削減可能になる。また、温度により、BET 値変動があることを確認できた。センサー用アナログ回路の電源を OFF→ON した場合、今回測定した回路ではアナログ回路出力安定時間に 50ms を要する(図 2.2-3)。従ってセンサーとアナログ回路に対するノーマリーオフ電源制御では、これらを考慮した起動シーケンスを検討する必要があり、平成 25 年度に技術検討を行う予定である。

(2)湿度センサー

図 2.2-4 に湿度センサーの動作電流と電源立上げ時のオーバーヘッド電流の測定結果を示す(測定対象デバイスは TDK 社湿度センサーCHS-SS)。図に示されるように、センサー電源立上げ時に定常電流の 3 倍の突入電流が流れることが確認した。この電流値を積分した結果、オーバーヘッドによる電荷は $1.0\mu\text{C}$ であった。オーバーヘッドによる電荷量と定常電流をもとに、湿度センサーを周期的に電源遮断した場合の消費電力削減率を図 2.2-5 に示す。この図から本センサーの損益分岐時間(BET)は 6.9ms (@湿度 40%)であり、温度センサーに比べて $1/6$ と短い。一方、センサー用アナログ回路

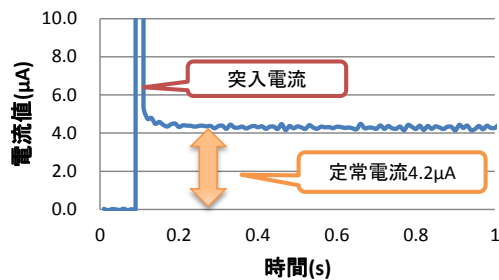


図 2.2-1 温度センサーの消費電流測定結果

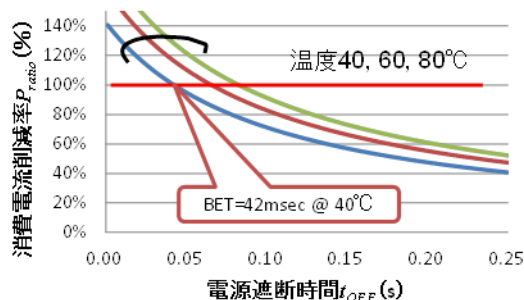


図 2.2-2 温度センサーの損益分岐時間

| | 温度センサ(40°C) |
|-------------------------|-------------------|
| アナログ出力安定時間 t_{stable} | 50ms |
| 動作電流値 I_{active} | 4.2μA |
| 突入電流積分値 Q_{in} | $0.18\mu\text{C}$ |

図 2.2-3 温度センサー特性

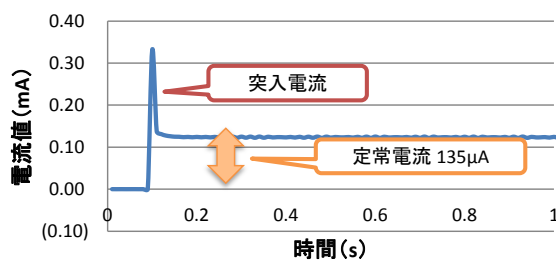


図 2.2-4 湿度センサーの消費電流測定結果

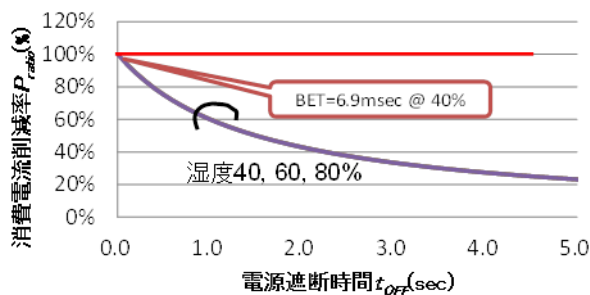


図 2.2-5 湿度センサーの損益分岐時間

の電源を OFF→ON した場合、今回測定した回路ではアナログ回路出力安定時間に 1500ms と非常に長い時間を要する(図 2.2-6)。

平成 25 年度は引き続き人感センサー等の損益分岐時間測定を含む特性評価を行うとともに、センサー特性評価結果に基づいたセンサー毎の Noff 制御ドライバ(ソフトウェア)の仕様策定を行い設計を進める予定である。

| | 湿度センサ(40%) |
|-------------------------|------------|
| アナログ出力安定時間 t_{stable} | 1500ms |
| 動作電流値 I_{active} | 135uA |
| 突入電流積分値 Q_{in} | 1uC |

図 2.2-6 湿度センサー特性

①-2-2 電源制御技術 (担当:ルネサスエレクトロニクス株式会社)

平成 23 年度は、センサーを含む要素技術調査を実施し、調査で得た知見をもとに、Noff 電源制御技術について基本仕様を策定し、継続して詳細仕様を検討した。

平成 24 年度は、センサーノードシステムの電源制御技術として、各構成要素の BET を用いることにより、柔軟性と高いアプリケーションプログラマにとってユーザビリティを備えた自律適応型電源制御機構を考案し仕様初版を策定完了。(特許出願準備中)

平成 25 年度は、自律適応型電源制御機構の試作設計を行い、「①-2-3 センサーノードシステム電力プロファイル評価技術」で開発する Noff 評価ボード上に実装して提案方式の有効性確認、課題抽出を行い、技術改良を検討する予定である。

①-2-3 センサーノードシステム電力プロファイル評価環境

(担当:ルネサスエレクトロニクス株式会社)

平成 23 年度は、センサーノードを構成する各要素の技術調査を実施し、調査で得た知見をもとに、Noff 評価ボードについて基本仕様を策定し、継続して詳細仕様を検討した。平成 24 年度は、Noff 評価ボード、不揮発 RAM 拡張ボード、センサー拡張ボード、及び Noff 制御チップ(FPGA を使用)を組み合わせた環境で電力プロファイルを評価・解析するための各ソフトウェアの仕様を策定した。図 2.2-7 と図 2.2-8 に Noff 評価ボードの概要と Noff 評価ボード写真を示す。平成 25 年度には、これら電力プロファイルを評価するための各ソフトウェア設計を行うとともに、アプリケーションレベル評価に向けて、Noff モニタ、センサーNoff-API の設計および、各ソフトウェア設計を実施する予定である。本環境を用いることにより、電源制御技術をはじめとする要素技術の効果検証、実用化に向けた課題抽出を定量的かつ効率よく行えるようになる。

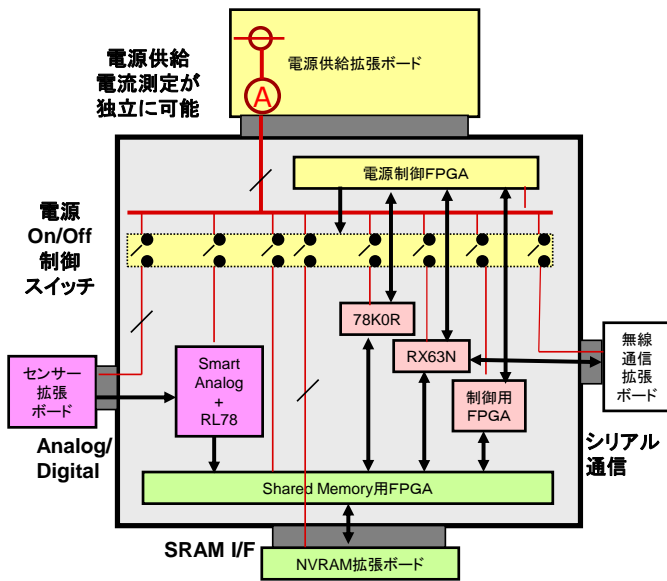


図 2.2-7 ノーマリーオフ評価ボード概要

システムステータスと消費電流値をリンクして測定結果を取得

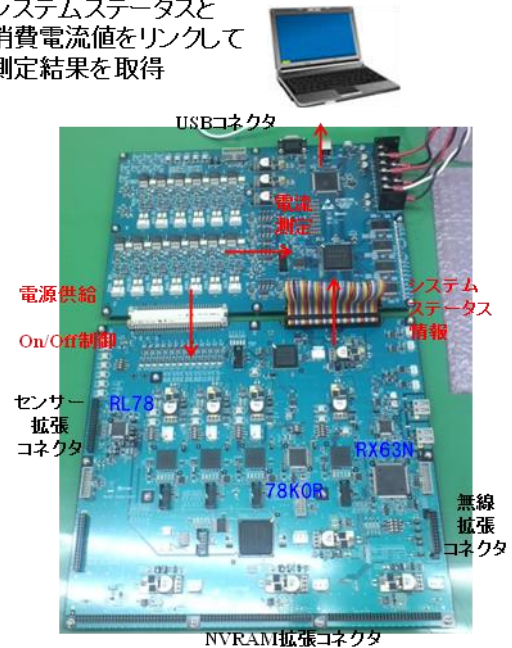


図 2.2-8 ノーマリーオフ評価ボード写真

①-2-4 センサーノード低電力化技術統合評価 (担当:ルネサスエレクトロニクス株式会社)

平成 24 年度は、①-2-3 で開発した Nooff 評価ボード・不揮発 RAM 拡張ボード・センサー拡張ボード、及び Nooff 制御チップ(FPGA を使用)を組み合わせた環境で電力プロファイルを評価・解析するための評価用アプリケーションソフトウェアの技術調査を行った。電力プロファイル評価環境上での電源制御技術試作と評価用アプリケーションソフトウェアの設計は平成 25 年 9 月までに実施する予定である。これらを組み合わせて、センサーノード(通信除く)にノーマリーオフ動作制御を適用した場合のシステム電力プロファイル評価・解析を行い、センサーノード(通信除く)の 10 倍の低電力化性能達成可能性推定し、技術課題の明確化・対策検討を平成 25 年度末までに実施する予定である。

①-2-5 実証デモ (担当:ルネサスエレクトロニクス株式会社、再委託先:はこだて未来大学)

本課題では、現在運行しているバスシステムを基幹交通、基幹交通の各バス停から目的地への移動を支線交通と位置付ける階層的な運行モデルに基づき、支線部分のデマンド化を支援することで、「予約不要」「高頻度運行」が可能な利便性の高いデマンド交通の実現を目指すものである。なお、本課題で構築する公共交通を支えるバス停等のシステムは「屋外設置」「多点」「メンテナンスフリー」を理想とし、非整備環境におけるユビキタスセンサネットワーク環境の具体的課題と位置付けることが可能である。

平成 23~25 年度における当該課題の研究成果は以下の 2 点に集約される。

- (1)階層的な運行モデルの考案とそれに基づいた実証実験フィールドの選定
- (2)デマンド交通を支える知的バス停システムの設計と構築

以下、各成果について詳述する。

(1) 階層的な運行モデルの考案とそれに基づいた実証実験フィールドの選定

デマンドバスは、タクシーと同様に、ユーザの現在地(自宅など)から目的地まで、あるいはその逆を直接接続するように運行するケースが多い。これを複数ユーザの乗合にて実施することでバス運行の効率化を試みているケースもあるが、概して、バスの運行距離は長くなる傾向にあり、バスの運行頻度の低下や、それに伴う「ユーザのデマンド」に対する即応性を損なっている。北海道のように、土地が広く、且つ、集落が点在する場合は、さらにその傾向が顕著である。これに対し報告者らは、ユーザの移動行程を精査し、「デマンド化すべき部分」と「デマンド化する必要のない部分」を明確に区分することで、デマンドバスの運行距離を短くし、ユーザのデマンドに対する即応性を高めることができる階層的デマンド交通モデルを考案した。

(1)ー1 階層的デマンド交通モデル

階層的デマンド交通モデルでは、現在運行しているバスシステムを基幹交通、基幹交通の各バス停から目的地への移動を支線交通と区分する。ユーザは、基幹交通と支線交通を組み合わせることで目的地への移動を行う。基幹交通では、大型バスが既存の時刻表に従って間歇運行をしており、一般的に長距離移動となる。この運行頻度は、過疎地等では、1時間～2時間に1本など、極めて低頻度であることも多いが、その地に暮らすユーザにとっては、既存の時刻表に従ったライフスタイルが確立しており、低頻度運行は必ずしもユーザの利便性を損ねてはいないと思われる。一方、支線交通は、基幹交通のバス停からの乗り換えや徒歩にて移動する。ここで乗り換え時間や徒歩時間が長い場合、ユーザの移動全体に対する利便性の評価に直結するものと思われる。階層的デマンド交通モデルでは、この支線交通をデマンド化することにより、ユーザの移動に対する利便性の向上を目指すものである。デマンド交通モデルの様子を図 2.2-9 に示す。

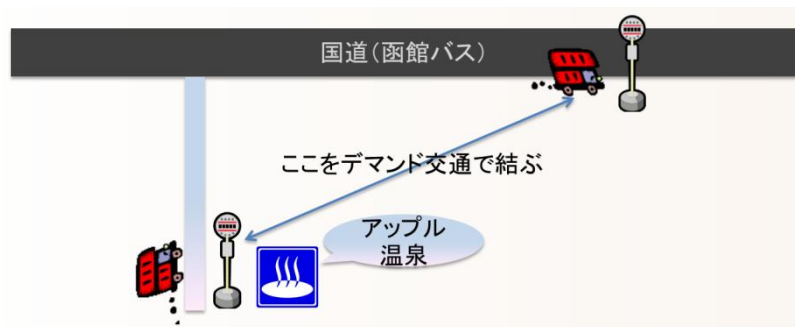


図 2.2-9 階層型デマンド交通

(1)ー2 実証実験フィールドの選定

上記の提案モデルに基づいたデマンド交通システムの実証実験フィールドとして北海道亀田郡七飯町を選定した。北海道亀田郡七飯町は、函館市の北に隣接し、総人口は 28,941 名である。町内をほぼ南北に国道 5 号線が貫き、主たる交通機関は、この国道 5 号線を運行するバス(函館バス株式会社が運行)と、それとほぼ平行に走る JR のみである。バス停から病院、役場等の目的地へのアクセスは徒歩が中心である。しかし、バス停・目的地間は 500 メートル以上離れているものも多い。さらに、街全体が東西方向になだらかな傾斜を為していることから、バス停と目的地には高低差があり、必ずしもアクセスが良いとは言えない。以上のような状況から、七飯町にて、国道 5 号線を運行するバスを基幹交通、バス停から各目的地への徒歩アクセスを支線交通、とみなすことが可能であり、提案モデルの検証フィール

ドとしては最適であると判断した。なお、目的地としては七飯町アップル温泉(北海道亀田郡七飯町中野194-1)を取り上げ、最寄バス停(大中山バス停)との間でのデマンドバス運行をモデルケースとして設定した。デマンド交通システム実証実験は、平成25年9月15～21日の1週間での実施とし、現在準備を進めている。

(2) デマンド交通を支える知的バス停システム

本研究にて開発、運用する階層的デマンド交通サービスは、大きくは、「利用者」「バス停」「配車サーバ」「バスアプリ」「デマンドバス」「基幹バス」から構成される。このうち、利用者、バス停、配車サーバ、デマンドバス、バスアプリの振る舞いについて、図2.2-10にまとめる。なお、利用者とデマンドバスを除く各要素(仕組み)の概要は以下の通りである。

(A) 知的バス停システム(バス停)

ユーザのバス利用のデマンドを検知し、情報管理サーバに送信する機能を有する。他に、バス接近情報等、情報キオスクとしての機能も付与する。

(B) 情報管理センター(配車サーバ)

各バス停から回収される情報を一元管理する仕組みである。同時に、デマンドバス運行スケジューラを実装する。

(C) デマンドバス運行指示アプリケーション(バスアプリ)

情報管理センターが算出したデマンドバス運行スケジュールを実際のデマンドバス運転手に指示するためのアプリケーションである。

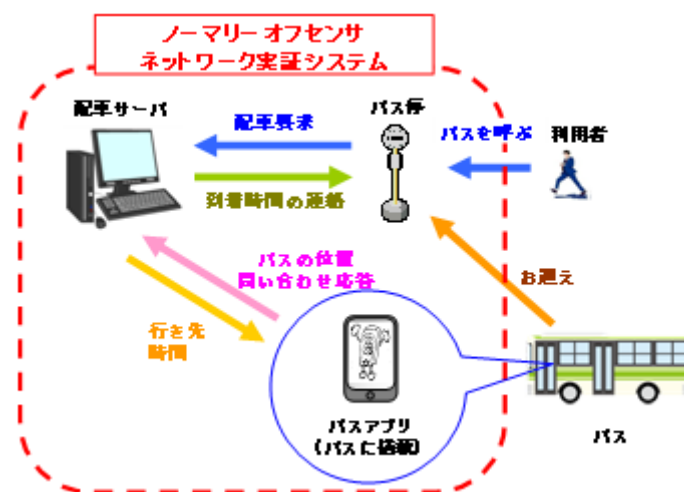


図 2.2-10 階層型デマンド交通サービスにおける各要素の振る舞い

以下では、特に、(A) 知的バス停システムについて、設計および実装の状況を詳述する。なお、上述したように、バス停は、「屋外設置」「多点」「メンテナンスフリー」を理想とし、非整備環境におけるユビキタスセンサネットワーク環境の具体的な課題と位置付けており、ノーマリーオフを意識した設計を行っている。

(2)-1 知的バス停システムの設計

知的バス停システムの概要を図2.2-11に、また、知的バス停システムに必要な機能を表2.2-2にまとめる。

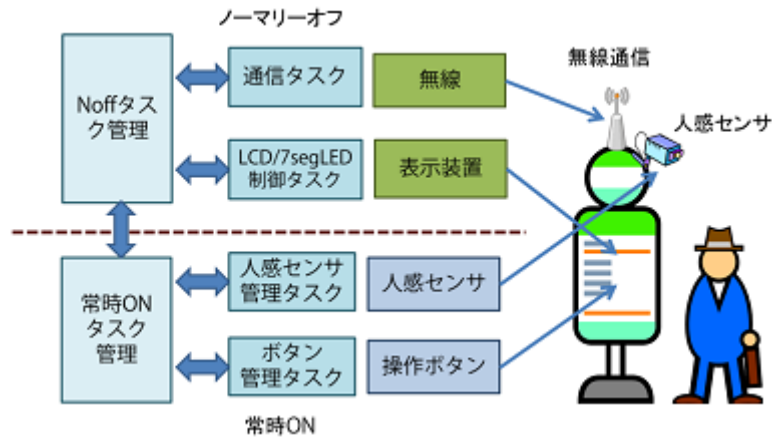


図 2.2-11 知的バス停システムの概要図

表 2.2-2 知的バス停システムに必要な機能

| 概要 | 詳細 |
|-------------|--|
| ユーザ検知機能 | 人感センサを用いて、ユーザの(バス停への)近づきを検知する。この後、無線モジュール等が起動する。 |
| バス呼び出し機能 | バス呼び出し用のボタンを設置する。バス呼び出し時に、ユーザが押下する。 |
| ユーザへの情報提示機能 | 小型 LCD と 7SegLED を設置する。デマンドバス到着時刻、現在時刻等を表示する。 |
| 防水機能 | 通常の降雨に耐えられるレベルの防水機能を有する。 |
| 通信機能 | 配車サーバとの通信機能を有する。 <ul style="list-style-type: none"> ・バス利用要求情報の送信(バス停→配車サーバ) ・バス到着予想時刻の受信(配車サーバ→バス停) |
| セキュリティ対策 | 盗難、いたづら等に対するセキュリティ対策を施す。 |
| 監視、ログ機能 | 実証実験中の各モジュールの振る舞いを記録・蓄積する。 |

(2)ー2 知的バス停システムの構築

前章で述べた設計を受けて、知的バス停システムを構築した。報告書作成日現在にて、ハードウェア構築はほぼ完了しており、内部ソフトウェアのテスト作業を進めている。配車サーバやバスアプリの構築も同時に進めており、平成 25 年 9 月の実証実験には十分間に合う予定である。構築した知的バス停システムでハードウェアイメージ図を図 2.2-12 に示す。また、構築した知的バス停システムの外観を図 2.2-13 に示す。

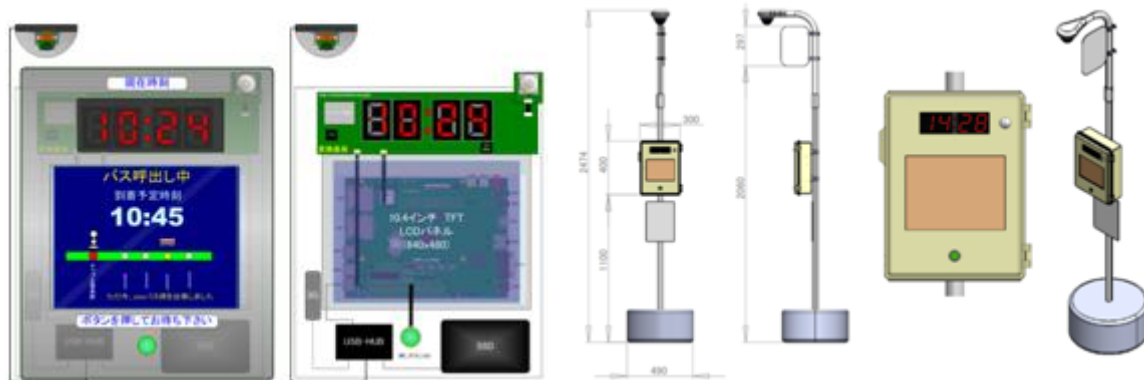


図 2.2-12 知的バス停システムのハードウェアイメージ



図 2.2-13 知的バス停システムの外観(左から全景、表示部、制御部、天頂カメラ)

①-2-6 低電力化回路技術 (担当:ルネサスエレクトロニクス株式会社、再委託先:神戸大学)

ワイヤレスネットワークシステムを超低電力で動作するための重要な要素回路の一つに、時間計測用発振回路(RTC: Real Time Clock)がある[1]-[3]。ノーマリーオフ動作の適用対象外となるRTCは、システムの電力を超低電力に抑えるため、超低電力で実現する必要がある。さらにシステム全体を1チップ化するために、CMOS回路技術で構成する必要がある。そこで以下では、本研究で実施した超低電力で動作するオンチップRTCの研究経過について報告する。

(1)研究内容

従来回路では、コンパレータのオフセットと遅延時間を補正するために、① V_{REF}' 生成と②クロック生成とを交互に繰り返すことで時間計測を実現した(図 2.2-14(a))[3]。しかし、低い基準電圧を用いると、クロック生成時までに V_{REF}' 生成が間に合わなくなり、正しく動作しない課題があった。そこで、低い基準電圧の使用時において、クロック生成時までに V_{REF}' 生成が間に合うようなアーキテクチャを検討した(図 2.2-14(b))。この回路は、従来回路の V_{REF}' 生成期間とクロック生成期間に加え、リセット期間を追加した。このアーキテクチャを実現するための回路を図 2.2-15 に示す。提案回路のCLKブロックと V_{REF}' ブロックには、図2.2-16の(a)、(b)に示す回路構成を用いる。コンパレータの入力電圧である V_{S1} は、基準電圧よりも少し低い電圧である V_X に、 V_1 は基準電圧 V_{REF} にセットされる。そして、基準電流 I_{REF} によって V_{S1} は

充電され、 V_{REF} に達したとき、コンパレータの出力の反転によって V_{S1} は充電から放電へと切り換わる。そして、再び V_{S1} が V_{REF} に達したとき、 V_{REF}' が生成され、保持される。そして従来回路と同様に、 V_{REF}' を用いてクロック生成を行うことで時間計測を行うことができる。

また、バイアス回路として、しきい値参照型のバイアス回路を用いた。 V_{REF} は NMOS のしきい値電圧に近い電圧となり、 I_{REF} は V_{REF}/R に依存した電流となる。また、負または正の温度依存性をもつ 2 種類の抵抗を直列に接続することで抵抗の温度依存性をキャンセルすることができ、さらに抵抗のトリミングを行うことで、絶対値の発振周波数を補正できる。

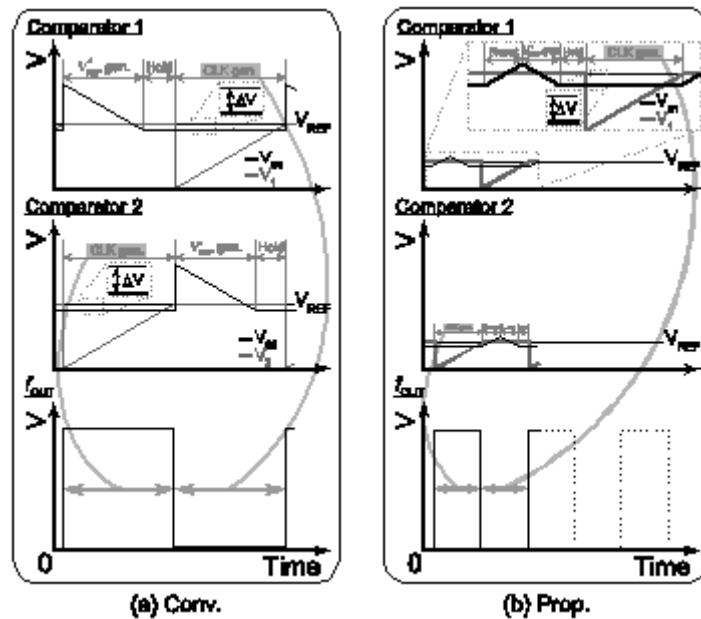


図 2.2-14 従来回路と提案アーキテクチャのタイミングダイアグラム

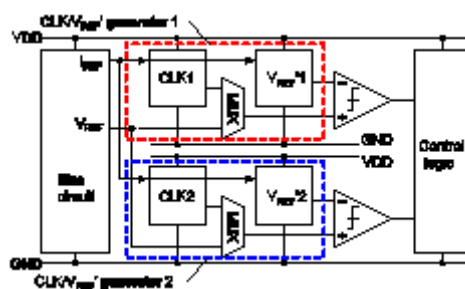


図 2.2-15 提案アーキテクチャ

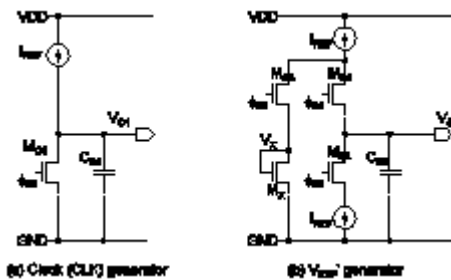


図 2.2-16 (a) クロック生成回路と (b) V_{REF}' 生成回路

(2)測定評価

図 2.2-17(左)に提案回路のチップの写真を示す。使用プロセスは $0.18 \mu\text{m}$ CMOS プロセスである。高抵抗ポリシリコン抵抗 R_N $2.62 \text{ M}\Omega$ と拡散抵抗 R_P $1.49 \text{ M}\Omega$ 、 C_{C1} 、 C_{C2} 、 C_{S1} 、 C_{S2} 共にそれぞれ MIM キャパシタ 1.72 pF を用いた。また、 R_N は $2.37 \text{ M}\Omega$ から $2.81 \text{ M}\Omega$ 、 R_P は $1.38 \text{ M}\Omega$ から $1.64 \text{ M}\Omega$ までトリミング可能である。チップ面積は 0.105 mm^2 であった。図 2.2-17(右)に電源電圧 1.0 V 、室温での出力波形を示す。発振周波数は 32.55 kHz 、消費電力は $0.472 \mu\text{W}$ であった。図 2.2-18 に $-40 - 100 \text{ }^\circ\text{C}$ までの温度依存性と $1.0 - 1.8 \text{ V}$ までの電源電圧依存性の測定結果を示す。温度依存性は $\pm 0.84\%$ 、電源電圧依存性は $\pm 0.44\%$ 、トータル $\pm 1.28\%$ であった。図 2.2-19 に同一チップ上での 20 サンプルの発振周波数ばらつききのヒストグラムを示す。平均 32.87 kHz 、標準偏差 0.457 kHz であり、変動係数は 1.39% であった。図 2.2-20 にトリミング可能な発振周波数変動範囲のグラフを示す。標準抵抗値に対して、 -6.8% から $+10.8\%$ までトリミングすることが可能であった。

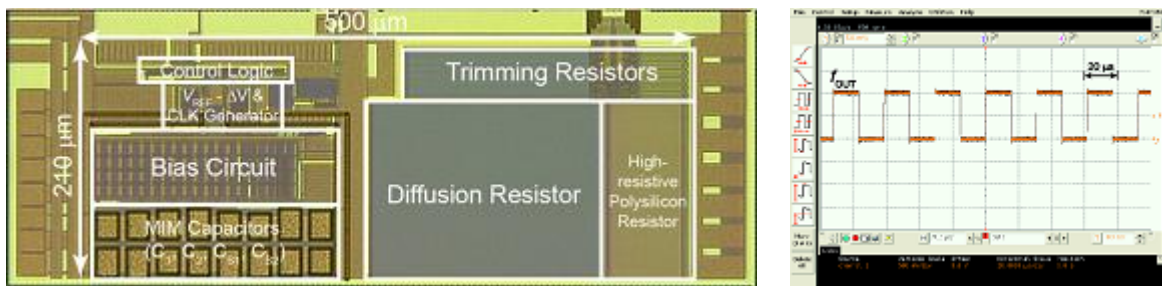


図 2.2-17 提案回路のチップ写真(左)と出力波形 ($V_{DD} = 1.0 \text{ V}$) (右)

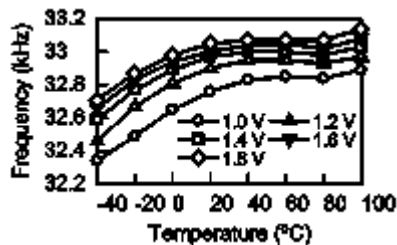


図 2.2-18 温度・ V_{DD} 依存性

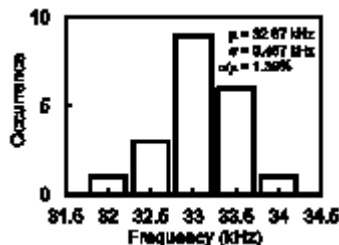


図 2.2-19 ヒストグラム

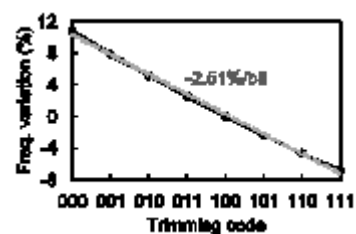


図 2.2-20 トリミング性能

(3)まとめ

表 2.2-3 に各 RTC の性能比較を示す。提案回路では、 32 kHz の発振周波数を実現し、 $0.5 \mu\text{W}$ 以下の超低電力を実現した。今後は、さらなる超低電力、発振周波数の高精度化を目指す予定である。

表 2.2-3 各 RTC の性能比較

| Ref. | [1] | [2] | [3] | This work |
|--------------------------|----------------------|-----------------------|----------------------|--|
| Type | Relaxation | Relaxation | Relaxation | Relaxation |
| Temp. | -40 - 90 °C | -20 - 100 °C | -40 - 120 °C | -40 - 100 °C |
| Supply voltage | 0.725 - 0.9 V | 1.6 - 3.2 V | 0.8 - 1.8 V | 1.0 - 1.8 V |
| Frequency | 100 kHz (@0.8 V) | 32.768 kHz(@1.6 V) | 6.66 kHz (@1.5 V) | 32.55 kHz (@1.0 V) |
| Current dissipation | 0.35 μ A | 2.8 μ A | 0.63 μ A | 0.47 μ A |
| Power dissipation | - | - | - | 0.47 μ W |
| Start-up time | 1 cycle | N/A | N/A | 108 μ s (@1.0 V) |
| Temperature variation | $\pm 0.68\%$ | $< \pm 0.1\%$ | -0.62 - 0.29% | $\pm 0.84\%$ |
| Supply voltage variation | $\pm 0.82\%$ | $< \pm 0.1\%$ | -0.86 - 0.12% | $\pm 0.44\%$ |
| Chip area | 0.12 mm ² | 0.048 mm ² | 0.09 mm ² | 0.105 mm² |

参考文献

- [1] T. Tokairin et al., "A 280 nW, 100 kHz, 1-cycle start-up time, onchip CMOS relaxation oscillator employing a feedforward period control scheme," in VLSI Circuits Symp. Dig. Tech. Papers. June, 2012, pp. 16-17.
- [2] K.-J. Hsiao, "A 32.4 ppm/°C 3.2-1.6V self-chopped relaxation oscillator with adaptive supply generation," in VLSI Circuits Symp. Dig. Tech. Papers. June, 2012, pp. 14-15.
- [3] K. Tsubaki, T. Hirose, Y. Osaki, S. Shiga, N. Kuroki, and M. Numa, "A 6.66-kHz, 940-nW, 56ppm/°C Fully On-chip PVT Variation Tolerant CMOS Relaxation Oscillator," 19th IEEE International Conference on Electronics, Circuits, and Systems (ICECS), pp. 97-100, 2012.

2.3 ①-4 ヘルスケア応用生体情報計測センサーネットワーク低電力化技術

(担当:ローム株式会社)

目的とする常時計測可能な貼り付け型生体情報計測センサーノードには、以下に挙げる条件が求められる。

1. 生活習慣を分析するための長期間(最低 2 週間)のデータロギング
2. 生データ(心電、加速度情報)から意味データへ変換するオンノードプロセッシング
3. 貼り付け時のインターフェースとログデータの通信
4. 正確なデータ取得のため、ノイズ耐性の高いセンサーノードの軽量、小型化

貼り付け型センサーノードを構成する要素の内、重量に対して最も支配的な要素はバッテリーである。バッテリーの重量とサイズを削減するためにはバッテリー容量の削減、つまり低消費電力化が必要となる。

生体情報計測システムでは、システム全体の消費電力に対して以下の 3 点が課題となる。

1. 生体信号を処理するアナログ回路(主に増幅器とアナログ/デジタル変換器)の動作時電力
2. ロギングデータを保持するメモリの待機電力
3. データ通信回路の消費電力

現在入手可能な心電用アナログフロントエンド LSI では、低消費電力なものでも $100 \mu\text{A}$ 以上の電流が常時流れることになる。待機状態の揮発性メモリにも(容量に依存するが) $1 \mu\text{A}$ から $10 \mu\text{A}$ 程度の電流が常時流れる。また、通信回路はアクティブになる時間が極めて短い、Bluetooth Low Energy (BLE)のような低消費電力な通信規格でも動作時には 10mA から 20mA 程度の電流を消費する。仮に通信回路のアクティブ率が 0.1% であったとしても、平均するとやはり $10 \mu\text{A}$ 程度の消費電流となる。

そこで我々はノーマリーオフコンピューティング技術を用いてこれらの課題を解決し、超低消費電力かつウェアラブルな生体情報計測システムを実用化するための技術開発を行なっている。

(1)アナログフロントエンドの省電力化技術開発成果

アナログフロントエンドの省電力化技術として、短期間自己相関を用いた瞬時心拍抽出手法を開発している。ウェアラブルな生体情報計測システムでは、様々なノイズが心電図に混入する。特に問題となるのは筋電ノイズと電極起因ノイズである。他のノイズは(コストを度外視すれば)回路的な工夫やフィルタによって除去可能であるが、筋電ノイズと電極起因ノイズは心電図と同様の周波数帯域にも現れるため単純なフィルタで除去することは難しい。一般的に、心電図の SNR を向上させるためには、アナログフロントエンド(増幅器、アナログフィルタ、AD 変換器)の高性能化が必要となる。しかし、増幅器の同相除去比(CMRR)や増幅率、位相特性などの性能は概ね消費電力とトレードオフの関係にあり、増幅器の高性能化によるノイズ対策には限界がある。一方で、心電図をデジタル領域で処理するために必要な帯域(1kHz 以下)を持つAD変換器はサブ μW 級の消費電力で実現可能である。そこで我々はプロセスケーリングによる低消費電力化が容易なデジタル領域での演算によるノイズ対策手法の検討を行った。

提案手法では心電図における QRS 群の波形の相似性を利用し、自己相関関数を用いて瞬時心拍を抽出する。ウェーブレットフィルタによってベースライン変動と高周波ノイズを除去し、次に、1.5 秒間の信号を含むウィンドウを定義し、同じ長さのウィンドウを評価時刻から過去に遡ってスライドさせな

から相関係数を求めていく。このとき相関係数が最大となるスライド幅が心拍数と一致する。

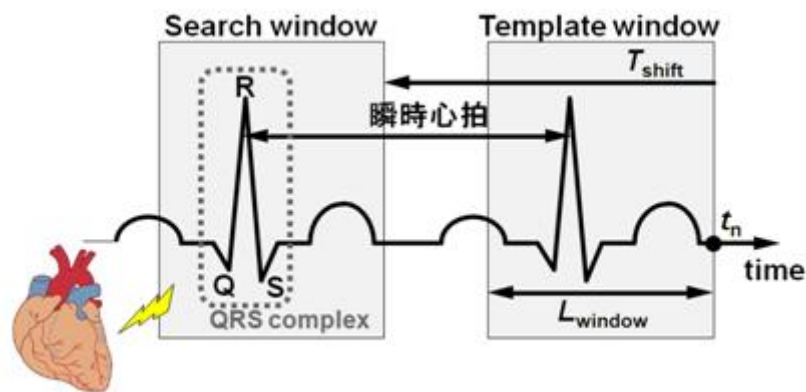


図 2.3-1 心拍計測アルゴリズム

従来、自己相関による心拍取得は、より大きなノイズが問題となる非侵襲式の生体信号計測装置で用いられていた。しかし従来の応用例では、長期間(30s)の心電図に対して平均心拍数を求めることを目的としており、演算量も多い。これに対して提案手法では相関係数の計算手順やパラメータ設定、ウィンドウ幅などを工夫することで演算量を削減し、リアルタイム処理を実現した。130nm CMOS プロセスを用いて提案手法の専用ハードウェア化を行い、平均消費電流 $1.5 \mu\text{A}$ 以下で動作することを確認している。

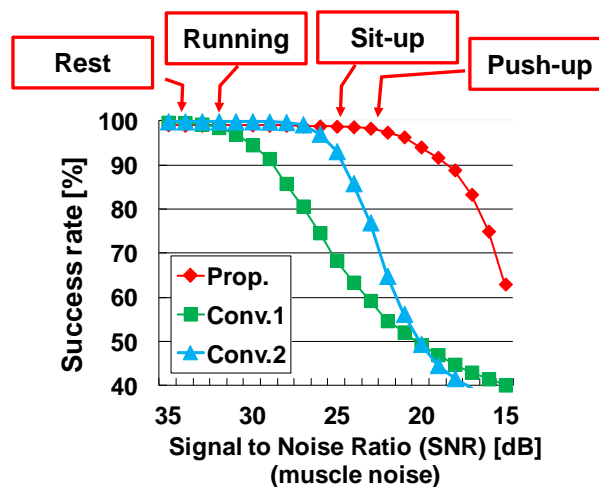


図 2.3-2 心拍取得のノイズ耐性

平成 24 年度までの成果として、上記のアルゴリズムを 2 件の国際学会に採択された。また、上記アルゴリズムと必要最小限のアナログフロントエンドを組み合わせることで、従来技術に対して心拍取得に必要な消費電力を 30 分の 1 以下に削減した。

(2) データロギング用メモリの省電力化技術開発成果

心電図などの生体信号を扱う上で必要となるサンプリングレートは高々 1 kS/s 程度であり、LSI の動作速度に対して十分に遅いためシステムの稼働率が非常に低いという特徴がある。一方、アプリケーションからの要求として最低でも 24 時間の生体情報をロギングする必要があり、データを保持する

メモリの容量は増大する。従来の SRAM (Static Random Access Memory) のような揮発性メモリでは待機時の消費電流がメモリ容量に比例して増大するため、待機状態の多いシステムでは大きなオーバーヘッドとなる。従って、強誘電体メモリ (Ferroelectric Random Access Memory, FeRAM) などの不揮発メモリを用いたノーマリーオフコンピューティングは生体情報計測システムの低消費電力化に対して大きく貢献する。

ロギングデータを保持するメモリの待機電力削減のための基本方針として、我々は FeRAM を用いている。しかし、単純に SRAM を FeRAM に置き換えただけではデータの書き込み・読み出しに対する電力オーバーヘッドが問題となるため、生体信号処理アルゴリズムの最適化によるデータ量の削減、及び新規メモリアーキテクチャの検討を行っている。これらの成果については平成 25 年度中の発表を目指している。

(3)さらに、低消費電力化に際して重要となる不揮発メモリの動作電圧の低減のため、強誘電体キャパシタの動作電圧の低減を目指している (現在の量産可能な標準動作電圧は 1.5V)。平成 24 年度までの成果として、FeRAM (強誘電体メモリ) および強誘電体キャパシタの低電圧特性を評価し、強誘電体特性の電圧軸方向のシフト量が重要なパラメータであることを特定した。電圧軸シフト量に影響するプロセスパラメータとしては、上部電極形成前の熱処理が重要であることを特定し、熱処理条件の最適化により 0.9V 動作の目処を得ている。

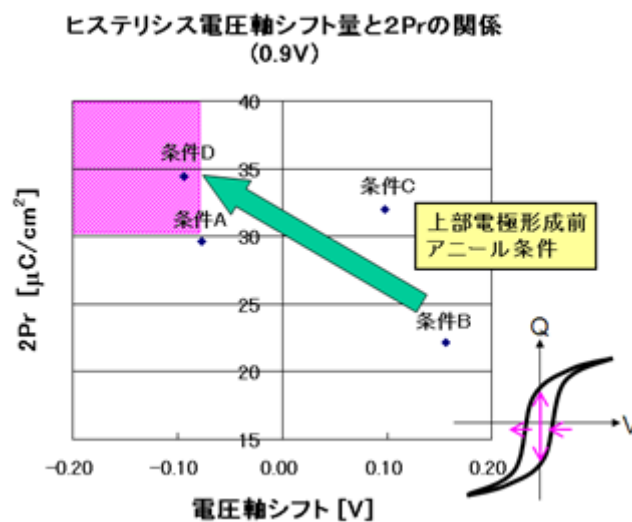


図 2.3-3 0.9V 動作可能な強誘電体キャパシタ

(4)NFC 通信機能を有するウェアラブル生体情報計測システムの試作データの読み出しやパラメータ設定、動作確認などのための通信時に消費するエネルギーは、生体情報計測システムの低消費電力化において大きな課題である。

通信中の消費電流はデータロギング中の消費電流に対して1桁ほど多いため、通信回路がアクティブになる時間は最小化しなければならない。通信回路のアクティブ時間を削減する最も基本的な手段は転送データ量の削減であり、ここでもオンノードプロセッシングとノーマリーオフコンピューティングは大きな役割を果たしている。

また、生体情報計測のような稼働率の低いアプリケーションでは通信回数そのものは少ないため、データ送受信だけではなく通信待受のために消費される受信電力の小さい通信方式が望ましい。一方、送受信距離と伝送レートに関しては制約が少ない。従って、BLE、Near Field Communication (NFC)、ZigBee (IEEE802.15.4)、Body Area Network (BAN, IEEE 802.15.6)などが通信方式の主な候補となる。本研究では特にNFCに着目し、前述した提案技術と組み合わせることで超低消費電力なウェアラブル生体情報計測システムの設計を行っている。

パッシブ通信モードのNFCを用いることで、送受信に必要な電力をリーダ・ライタ側(スマートフォンなど)でまかなうことができ、センサー側の送受信回路はノーマリーオフとなる。また、待ち受け動作も磁界検出用ロジックの電力消費のみで実現できる。

平成 23 年度に FeRAM と基本的な心電取得用アナログ回路、および NFC タグ IC とのインターフェースを集積した生体信号計測 SoC を試作し、NFC と FeRAM を用いる提案システムの有効性を確認した。提案 SoC は 130nm 強誘電体メモリプロセスを用いて試作した。電源電圧 3V、動作周波数 32kHz において 1 秒おきに心拍数と加速度を FeRAM に書き込む動作試験を行い、SoC 単体の消費電力は $13.1 \mu\text{A}$ であった。混載した FeRAM を間歇動作させることで、電源等の周辺回路の電力を削減し、FeRAM 部の平均消費電流を数十 μA から $1 \mu\text{A}$ に削減した。

平成 24 年度から平成 25 年度にかけて短期間自己相関を用いた瞬時心拍取得回路と 32-bit MCU (Cortex M0) を生体信号計測 SoC に集積し、提案 SoC と加速度センサー IC 及び NFC タグ IC から構成されるウェアラブル生体情報計測システムの試作・性能評価を行った。平成 23 年度の試作は個別ブロック(アナログフロントエンド、FeRAM、メモリインターフェースと NFC 制御ブロック、加速度センサインタフェース)の機能評価が目的であり ADC と MCU を集積していなかった。これに対して平成 24 年度試作では Cortex-M0 コアを集積しており、オンボードでの生体信号処理アルゴリズム評価が可能である。LSI 単体での平均消費電流は $12.7 \mu\text{A}$ であった。MCU と ADC、及び SRAM の集積による消費電力の増大を、特にアナログ回路の低電圧動作等によって相殺し、平成 23 年度試作とほぼ同じ消費電力で実現した。現状の生体信号処理アルゴリズムで動作させた場合の提案 LSI、加速度センサー、NFC タグ IC、レギュレータ等を含めたシステム全体の消費電流はおおよそ $38 \mu\text{A}$ であり、従来技術に対して 5 分の 1 まで削減されている。

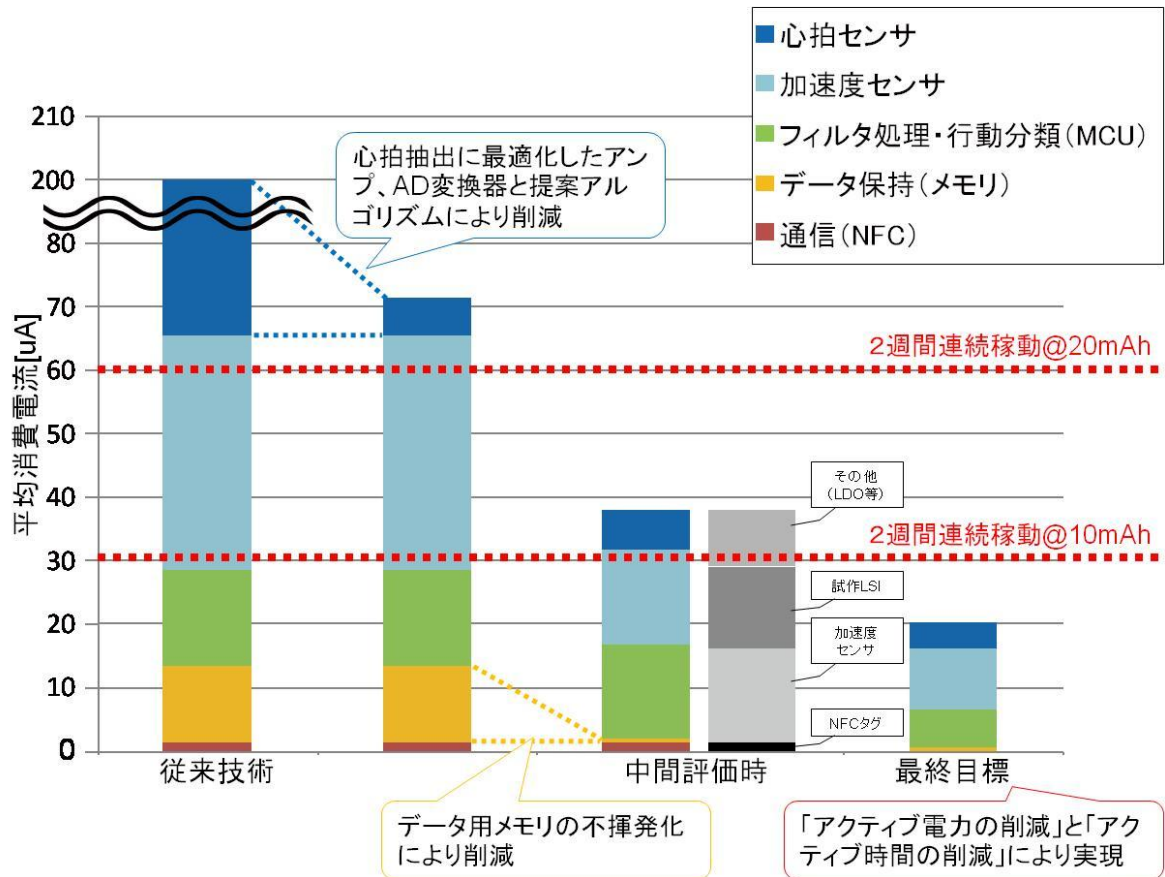


図 2.3-4 電力削減の内訳

研究開発項目② 将来の社会生活を支える新しい情報システムにおいて飛躍的なノーマリーオフ化を実現する新しいコンピューティング技術の検討

2.4 ②-1 ノーマリーオフ評価基盤・プラットフォームの研究開発

(担当:ルネサスエレクトロニクス株式会社)

研究開発項目②「将来の社会生活を支える新しい情報システムにおいて飛躍的なノーマリーオフ化を実現する新しいコンピューティング技術の検討」(集中研)では、参加企業ならびに東京大学が連携・協力し、集中研方式で遂行することで、設計階層間で協調して実現する電力制御技術の共通基盤化を行い、ノーマリーオフコンピューティングを実現するコンピュータシステムの構築手法と設計方法論の確立を目指す。一方、研究開発項目①(分散研)では、多様な応用分野と種々の不揮発メモリを用いた、システムに依存したノーマリーオフ最適化技術が開発されるが、①で得られた効果を詳細に解析して、研究開発項目②の汎用的な設計方法論へフィードバックするためには、①の各研究項目に対して、共通に使える評価基盤プラットフォームを用いて、研究開発項目①の評価を実現することが必要となる。

研究開発項目 ②-1 においては、上記①の共通的な評価の必要性を満たし、かつ、②-3 で開発するノーマリーオフ最適化技術の電力消費性能評価を適切に実現できる

②-1-1 ノーマリーオフ実機評価環境

②-1-2 ノーマリーオフ評価エミュレーション環境

を構築し、研究開発項目②及び①で活用することにより、ノーマリーオフ・システムの電力消費性能を評価するための共通の基盤となる評価基盤・プラットフォームを確立する。

②-1-1 ノーマリーオフ実機評価環境

ノーマリーオフ実機評価環境においては、集中研 Noff 評価ボードを開発する。

集中研 Noff 評価ボードは、マイコン、センサー、電源回路などを搭載し、本評価ボードを用いてノーマリーオフを実現するアーキテクチャ開発・検証・実証などを行う。また、評価ボード仕様検討時に各分散研と連携して、センサー拡張ボード、メモリ拡張ボード等を着脱可能な仕様とすることにより、本 Noff 評価ボードに分散研のセンサーやメモリを接続してノーマリーオフアーキテクチャの検証・実証が可能な評価基盤プラットフォームを実現する。

平成 23 年度は、Noff 評価ボード、メモリ拡張ボード、センサー拡張ボード、通信装置の仕様検討のベースとなるノーマリーオフアーキテクチャの基本構成についての検討を東京大学/中村研究室と共同で実施し、ノーマリーオフアーキテクチャの基本構成の検討を完了した。

平成 24 年度は、前年度から継続して、分散研と連携しながら、集中研 Noff 評価ボード、メモリ拡張ボード、センサー拡張ボード、通信装置の仕様、Noff-HW-IF プロトコルの詳細仕様策定を行い、集中研 Noff 評価ボードの設計・試作・評価を実施した(図 2.4-1, 図 2.4-2)。

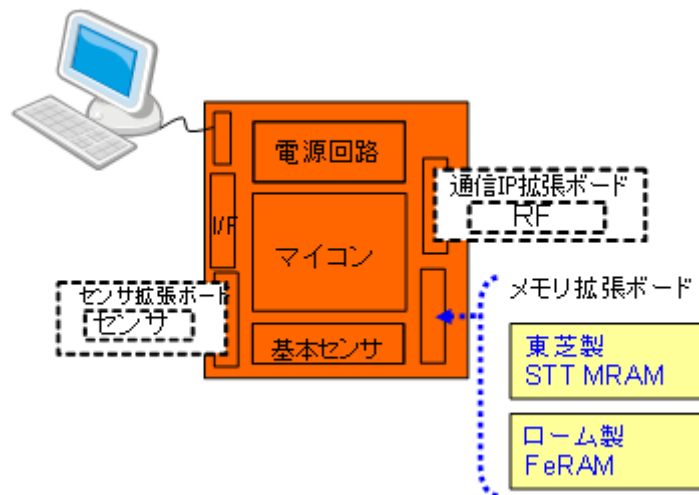


図 2.4-1 集中研用ノーマリーオフ評価ボード(試作版)

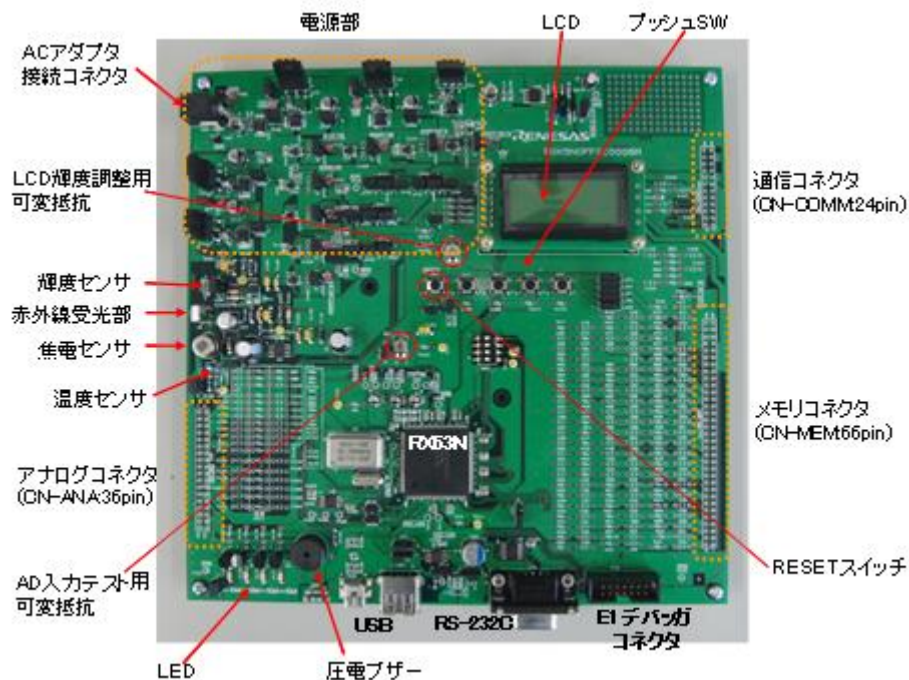


図 2.4-2 集中研用ノーマリーオフ評価ボード写真(試作版)

そして、本試作ボードによる実機評価結果から、センサーシステムにノーマリーオフ制御を適用した場合の電力削減効果の見積もりを実施した(図 2.4-3)。

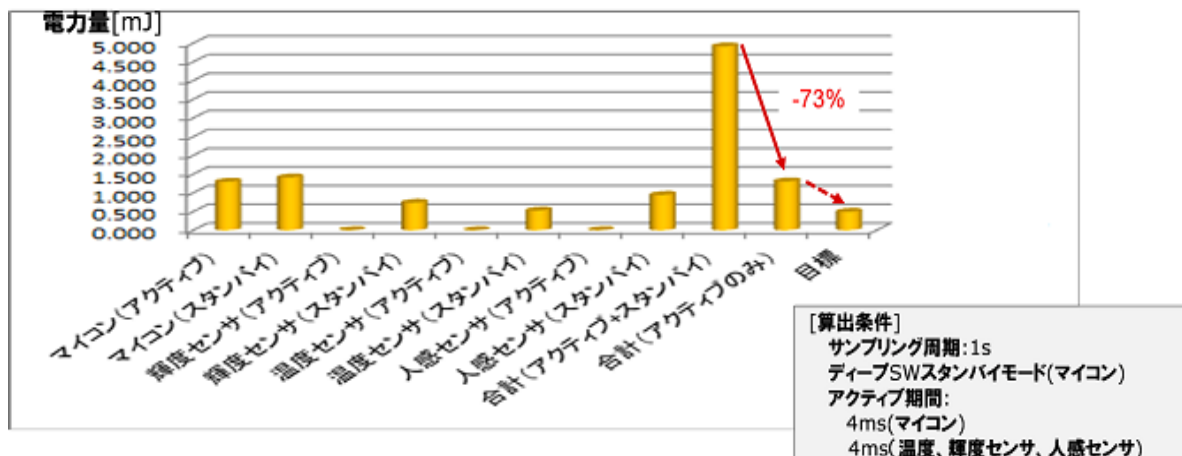


図 2.4-3 センサーシステムの消費電力量

図 2.4-3 に示すセンサーシステムにおける、マイコン及びセンサーのアクティブ(動作)消費電力量は、全体の 27%であり、一方、スタンバイ消費電力量は、全体の 73%である(ただし、通信は除く)。これにより、ノーマリーオフ制御適用により、理想的(電源 ON/OFF 遷移に伴うオーバーヘッドがない理想ケース)には 73%の電力量削減が可能であることが判る。よって、本研究の目標である 90%削減を実現するためには、

- 1) 電源 ON 遷移に伴うオーバーヘッド電力の削減
- 2) アクティブ電力の削減

の両方の課題を克服することが必要である。研究開発項目②-1においては、②-3と連携して、Task スケジューリング手法によるソフトウェア技術視点からの上記課題に対する電力削減手法の開発を進める予定である。(Task スケジューリング手法に関する成果は、②-3を参照。)

平成 25 年度は、平成 24 年度に試作した集中研 Noff 評価ボードの実機評価結果をフィードバックすることにより、分散研のセンサー/メモリ拡張ボードへの接続、子基板変更により CPU 変更が可能で、かつ、複数の評価ボードを連結して階層アーキテクチャ評価を実施可能な、集中研 Noff 評価ボードの仕様設計を完了した。今後平成 25 年度中に、評価ボードの作成・評価を行い、各分散研で利用可能できるノーマリーオフ実機評価環境を構築する(図 2.4-4)。

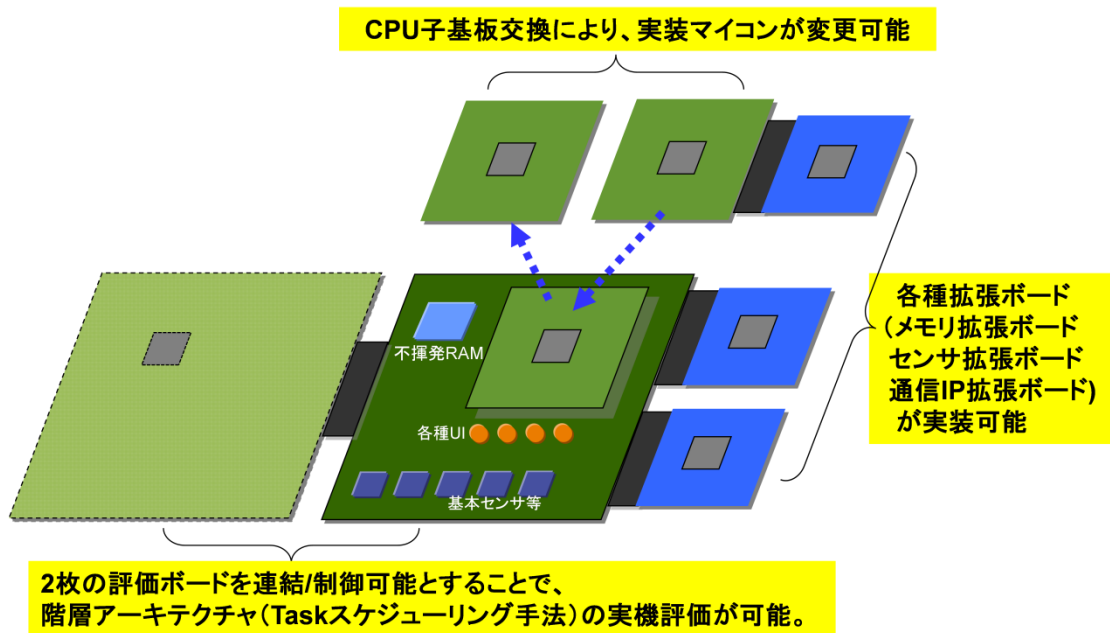


図 2.4-4 集中研用ノーマリーオフ評価ボード

②-1-2 ノーマリーオフ評価エミュレーション環境

平成 23 年度は、ノーマリーオフ評価エミュレーション環境構築手法の基本方針の検討を実施し、ノーマリーオフの基本構成要素であるマイコンモデル、SRAM モデル、センサーモデルの仕様検討を完了した。

平成 24 年度は、前年度で検討した各モデルの情報から、詳細な電力及び性能評価を実現するための情報の絞込みを行った。そして、②-3 で検討する多様なアーキテクチャに適用可能で、しかも上記情報を取得可能なノーマリーオフ評価エミュレーション技術の概略仕様の策定を実施した。評価エミュレーションを実行する際は、マイコンの実行 Task 情報をコード化して、マイコン内蔵の DAC 電位として外部に出力させる。この Task 情報及び消費電流を外部の計測器で測定することで、Task 処理毎のマイコンやセンサーの電力プロファイル情報を取得することが可能となる(図 2.4-5)。

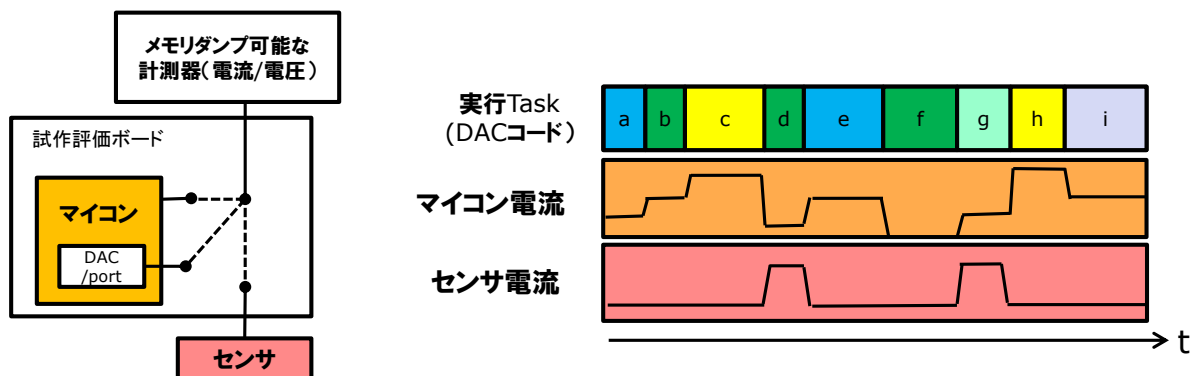


図 2.4-5 評価エミュレーション環境

平成 25 年度は、平成 24 年度の策定結果に基づきノーマリーオフ評価エミュレーション機能の方式設計・試作・実機評価実施し、仕様を決定した。(図 2.4-6)。今後平成 25 年度中に、その試作結果を元にし

て、評価エミュレーション機能を、②-1-1 で開発するノーマリーオフ実機評価環境に実装する。

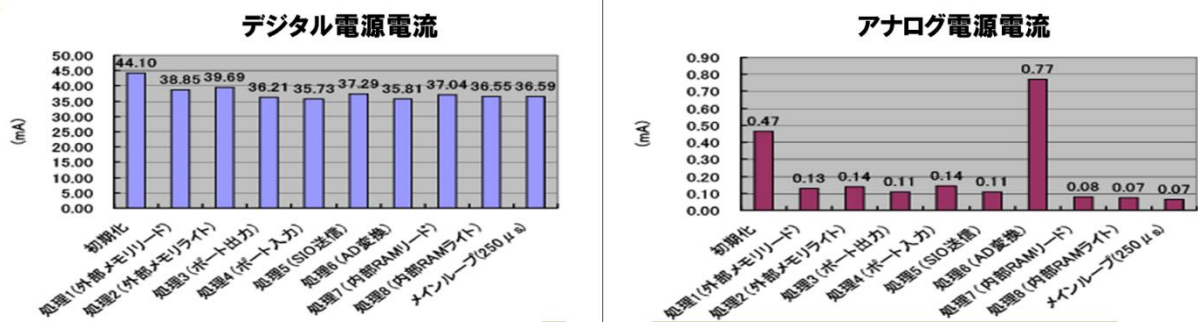


図 2.4-6 電流測定

2.5 ②-2 超高速不揮発メモリを活用するノーマリーオフメモリシステムの研究開発

(担当:株式会社 東芝)

①-1 で、開発された STT-MRAM による超高速不揮発 RAM 回路をどのメモリ階層に配置して用いるべきかを明らかにするためには、プロセッサの性能と電力を実際にモバイルプロセッサで使われるアプリに近い環境で評価する必要がある。このため、Synopsis 社製の Virtualizer という、大規模なアプリケーションソフトを動かすことができるプロセッサのエミュレータを使って、この中に STT-MRAM による L1 または L2 キャッシュメモリのモデルを導入し、メモリアクセスログをサイクル精度でトレースできる環境を構築した。これを用いて、コンテンツがリッチで処理の重い 2 種類のアプリケーションソフト (MPEG 画像再生と、動画ゲーム) を実際に動作させて性能と電力を評価する環境を構築した。このケースでは、意図したパワーゲーティングによる電源遮断を入れておらず、①-2 で開発された STT-MRAM のメモリセル回路がノーマリーオフ動作をするために、アプリ処理中にある数十 ns 以下の非常に短い待機時間でもメモリアレイ部の消費電力をほぼ 0 にできることを利用して、消費電力を低減している。消費電力算定の結果、L1 と L2 キャッシュメモリに①-2 で開発された STT-MRAM を用いると、キャッシュメモリの消費電力が 2 割程度低減するのに対して、L1 を従来型の SRAM のままにして、L2 キャッシュのみ STT-MRAM に変えた場合に、キャッシュメモリの半分以上を削減することが可能であることが計算できることが分かった。この結果はこれまでの検討に整合している。つまり、L1 キャッシュは L2 キャッシュよりもアクセス頻度が高く、STT-MRAM は SRAM に比較して、アクティブ状態の消費電力が大きいため、その分動作時の消費電力が増えてしまったためと考えられる。一方 L2 キャッシュでは、メモリがアクティブな状態での電力が増える分よりも、待機電力が減る分のほうが大きく上回ったため、大きな消費電力削減の効果が得られた。

これに加えて、実際のユースケースを考慮して、アプリケーションが短時間停止しているような状況も加味し、プロセッサが段階的にパワーゲーティングしていく状態の遷移を考慮して、アプリケーション停止時間をパラメータとして、電力効率(性能/消費電力)の変化を評価した。電力効率が 10 倍以上となるプロセッサの動作条件の範囲が分かってきた。この範囲は、まだ限定的である。その背景には評価したアプリケーションは 2 種類のみで、ともに処理が重たいという理由もあるが、キャッシュメモリと、アーキテクチャの改良により、この条件をさらに広げることが期待できる。後者については、②-3 の研究開発の対象である。

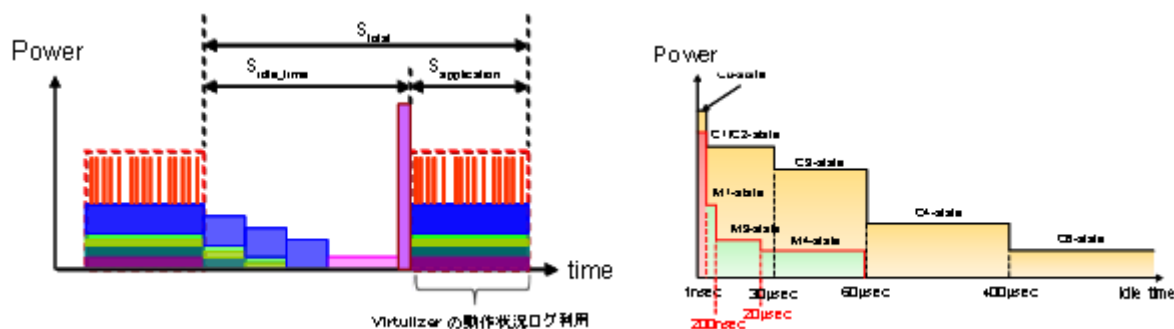


図 2.5-1 アクティブ状態からアイドル状態に向けてのパワーゲーティングの状態の時間遷移(左図)。右図は、従来型の遷移(オレンジ色)と、不揮発キャッシュメモリを用いた場合の遷移(緑色)。

2.6 ②-3 ノーマリーオフコンピューティングシステム設計方法論の研究開発

(担当:株式会社東芝、ルネサスエレクトロニクス株式会社、ローム株式会社、共同実施先:東京大学)

設計方法論の確立に必要なノーマリーオフ評価技術と最適化技術の開発を目指し、以下を行った。

ルネサスエレクトロニクスと東大は、マイコンにおける RAM 不揮発化、ロームと東大は、やはりクロック周波数がそれほど高くないヘルスケア応用分野で、FF(フリップフロップ)の不揮発化を検討し、不揮発化がもたらす低消費電力化効果を最大化するアーキテクチャ技術を検討した。また、東芝と東大は、クロック周波数が高い高性能プロセッサにおけるキャッシュメモリに STT-RAM を適用した場合に、低電力化効果を増大で可能なキャッシュメモリの構成方式を検討した。以降、順に詳細を述べる。

②-3-1 ノーマリーオフ評価技術

ノーマリーオフ最適化技術では、メモリ階層における FF、キャッシュメモリ、RAM の不揮発化を検討するが、評価技術として、各々の方式の消費電力をモデリングし定式化した。これらのモデリングでは、不揮発メモリと揮発メモリの read/write の速度およびエネルギー、論理部の電源遮断時と非電源遮断時の消費電力および電源遮断時のエネルギーオーバーヘッドで、パラメータとして与えている。これにより、アーキテクチャを変更した場合だけでなく、不揮発性メモリ自身の特性を変えた場合の電力も評価できる。そのため、今後どのような不揮発性メモリを開発すべきか、またそのような不揮発性メモリが実現した場合のシステムアーキテクチャの検討も可能とした。

以降では(1)不揮発 FF によるパワーゲーティング(PG)と(2)不揮発バッファを備えたマイコンシステムの評価技術について述べる。

(1) 不揮発 FF による PG の電力モデル

不揮発 FF(フリップフロップ)をプロセッサに搭載した場合のエネルギー削減効果を明らかにするために、不揮発 FF を用いた PG の電力モデルを作成し、その他の PG 手法と比較検討を行った。

既存の PG 手法では、PG 時のプロセッサ状態を保持するためには、何らかの手法によりプロセッサ状態を外部の不揮発メモリに書き出す必要がある。

ソフトウェア制御を用いた書き出し手法では、プロセッサ状態量の大きさに比例した時間とエネルギーが必要となる。ハードウェア制御を用いた手法としてはスキャンチェーンを用いる方法が考えられるが、スキャンチェーンは全 FF を直列に繋いでいるため、プロセッサ状態量に比例した電力と時間がかかり、エネルギーはプロセッサ状態量の 2 乗に比例する。

不揮発 FF を用いた PG ではプロセッサ中の FF をすべて不揮発 FF に置き換えることにより、任意のタイミングで全 FF の状態を一括して、待避/復帰が可能である。これらの操作は一括して行われるため、プロセッサの規模によらず一定時間で行うことが出来る。また、エネルギーはプロセッサ状態量に比例となる。

以上の考察に基づき図 2.6-1 に示す PG のエネルギーモデルを構築した。図中の赤色の点線は理想的な PG を表しており、赤線よりも上の部分が PG のオーバーヘッドエネルギーである。各変数の定義は以下の通り。

- Scontext: プロセッサ状態量
- Tstore/Trestore: プロセッサ状態の待避/復帰時間

- Trestart: 状態復元後通常実行に戻るまでの時間
- Tsleep: アイドル時間
- Pactive: 通常動作時の消費電力
- Pstore/Prestore: プロセッサ状態の待避/復帰時の消費電力
- Prestart: 状態復元後通常実行に戻るまでの消費電力
- Poff: 電源遮断時の消費電力 (=0)
- Er/Ew: 不揮発 FF または不揮発メモリの 1bit あたりの読み書きエネルギー
- Eon/Eoff: プロセッサ全体を ON/OFF するオーバーヘッドエネルギー

これらの変数を使い PG 1 回あたりのオーバーヘッドエネルギー EOH は以下の式で表される。

$$EOH = Pstore \cdot Tstore + Prestore \cdot Trestore + Prestart \cdot Trestart + (Er + Ew) \cdot Scontext + Eon + Eoff$$

この結果から、Poff が 0 であれば、EOH は Tsleep に独立であることがわかる。

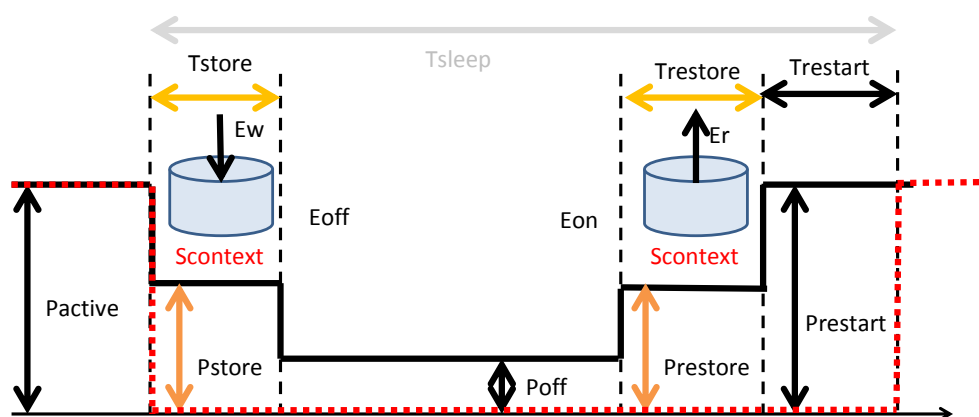


図 2.6-1 高速 PG のエネルギーモデル

このエネルギーモデルを用いた、各手法における PG 1 回あたりのオーバーヘッドの比較結果を図 2.6-2 PG オーバーヘッドに示す。ここで、プロセッサ状態量は 400bit とし、PG を全く行わなかった場合の消費エネルギーを 1 とした相対値で表す。ハードウェア制御のエネルギーは非常に大きく、この図の範囲外となっている。この結果から不揮発 FF を用いることにより、ソフトウェア制御方式と比較して PG 1 回あたりのオーバーヘッドエネルギーを 1/75 まで削減できることがわかった。また、相対エネルギーが 1、すなわちオーバーヘッドが有効となる損益分岐点 (BET) についても、ソフトウェア制御では 100ms 弱であるのに対し、不揮発 FF の BET は数 ms 秒であり、より短時間のアイドルであってもエネルギー削減が可能であることがわかった。

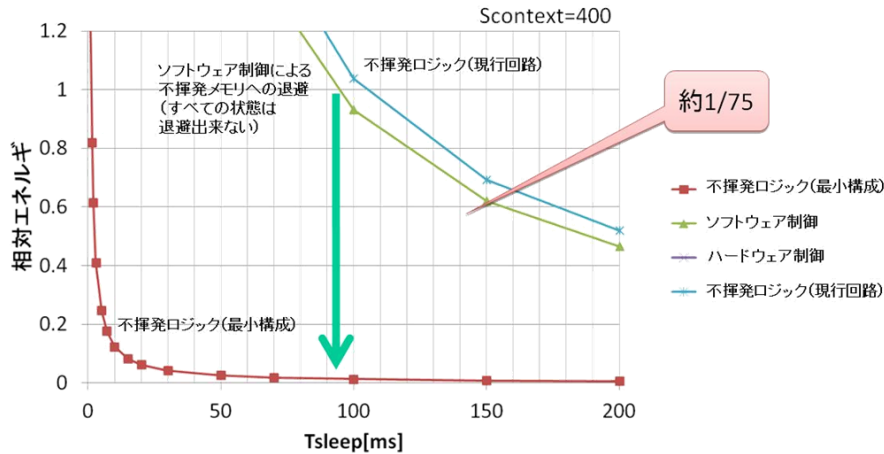


図 2.6-2 PG オーバーヘッド

以上のことから動作中のアイドル時間の分布に加えて、プロセッサ規模やメモリの消費電力によって最適な PG 制御が変化することがわかった。高速 PG に対応するためにはあらかじめ不揮発 FF をプロセッサコアに搭載する必要があるため、対象とするアプリケーションの特性を十分理解して搭載の有無を判断することが重要である。

この結果を①-4 にフィードバックすることにより、MCU 部への不揮発フリップフロップの搭載を検討し、さらなる低消費電力化を目指す。

(2) 不揮発メモリを備えたマイコンシステムの電力モデル

②-1 における実機評価環境上でのセンサー応用想定実機評価から得られた情報を元に、センサーネットワーク・マイコンシステム向けのノーマリーオフ電力モデルの開発を行った。このモデルは、階層型アーキテクチャにタスクスケジューリング手法を適用したアーキテクチャであり、プロセッサに加えて不揮発メモリや電力制御オーバーヘッドの評価が重要である(図 2.6-3)。

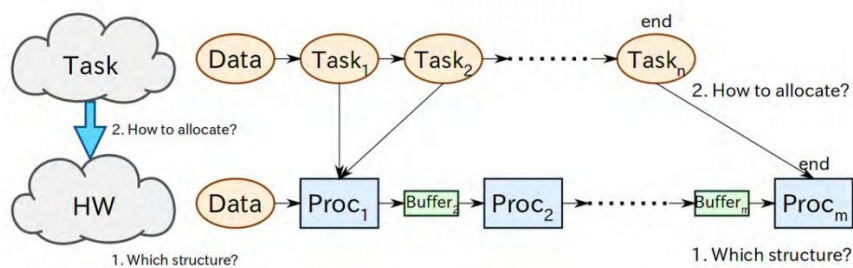


図 2.6-3 階層型アーキテクチャ

このようなアーキテクチャの評価を行うため、図 2.6-4 に示す電力モデルの構築を行った。電力制御を全く行わない場合(図 2.6-4 上段)は、動作時のダイナミック電力に加えて、スタティック電力が常時流れる。従来型 PG ではプロセッサが動作していない区間で PG 制御を行うことで、スタティック電力を削減できる。ただし、PG 制御を行うため、パワーマネージャ追加が必要であり、ON/OFF 時のダイナミック電力とともに、スタティック電力が常時流れる(図 2.6-4 中段)。階層型 PG では、まとめ処理を行うためのバッファのダイ

ナミック電力とスタティック電力がかかる(図 2.6-4 下段)。

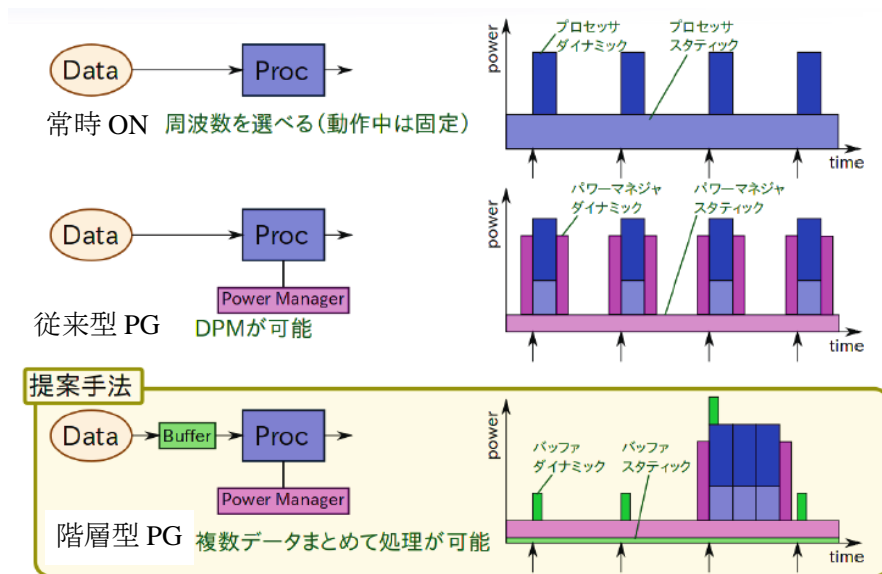


図 2.6-4 階層型アーキテクチャの電力モデル

②-3-2 ノーマリーオフ最適化技術

ノーマリーオフ最適化アーキテクチャとして、特に、RAM の不揮発化によりマイコンの電源を OFF にする機会を増大可能なシステム構成と従来の揮発キャッシュに加えて不揮発キャッシュを搭載したハイブリッドキャッシュアーキテクチャを検討した。また、それらの効果を検討するために、前述の評価技術を用い、現実的な応用アプリケーションプログラムの主要部を用いて電力評価を行った。

以降ではこれらの最適化技術を(1)センサーネットワーク向けノーマリーオフマイコンシステムと(2)携帯情報端末向けノーマリーオフキャッシュアーキテクチャに対して適用することにより、それぞれの応用領域でどのような特徴量が全体の消費エネルギーを決定づけるのかを明らかにする。

(1) センサーネットワーク向けノーマリーオフマイコンシステムの最適化

②-3-1 で開発したノーマリーオフ電力モデルを用いることにより Task 負荷情報/処理デッドライン/データ入力周期(センサーサンプリング周期等)/各階層のプロセッサ動作電力/リーク電力/電源 ON/OFF のオーバーヘッド電力等をインプットに応じて、消費エネルギーが最小となる、プロセッサ構成及び Task 割り当てを出力するタスクスケジューリング技術を開発した(図 2.6-5)。

対象システムに応じてこれらの入力パラメータを適切に与えることにより、分散研の各種システム評価への活用が可能である。

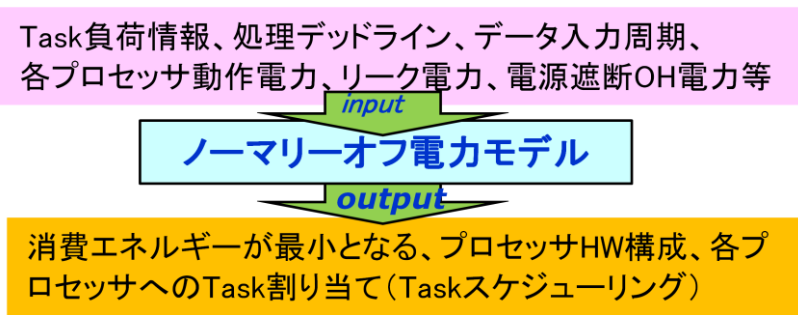


図 2.6-5 電力モデルを用いたタスクスケジューリング

さらに、センサー応用を想定したタスクスケジューリング技術によるアクティビティ局所化手法の提案を行い、分散研①のセンサー応用向けノーマリーオフアーキテクチャ確立のサポートを実施した。

従来型 PG (パワーゲーティング) 制御においては、図 2.6-6(左)のようにセンサーのサンプリング周期に同期して、プロセッサをアクティブ状態にするため、センサーのサンプリングの度に、電源 ON/OFF のオーバーヘッド電力消費が発生して、トータルの電力量が大きくなってしまふ。今回提案した階層型 PG 制御においては、図 2.6-6(右)のように、センシングデータがバッファにたまった時点で初めて、プロセッサはアクティブ状態になって、まとめ処理を実行するため、電源 ON/OFF の回数を最適化することができ、システムトータルの電力消費を大幅に削減することが可能である。

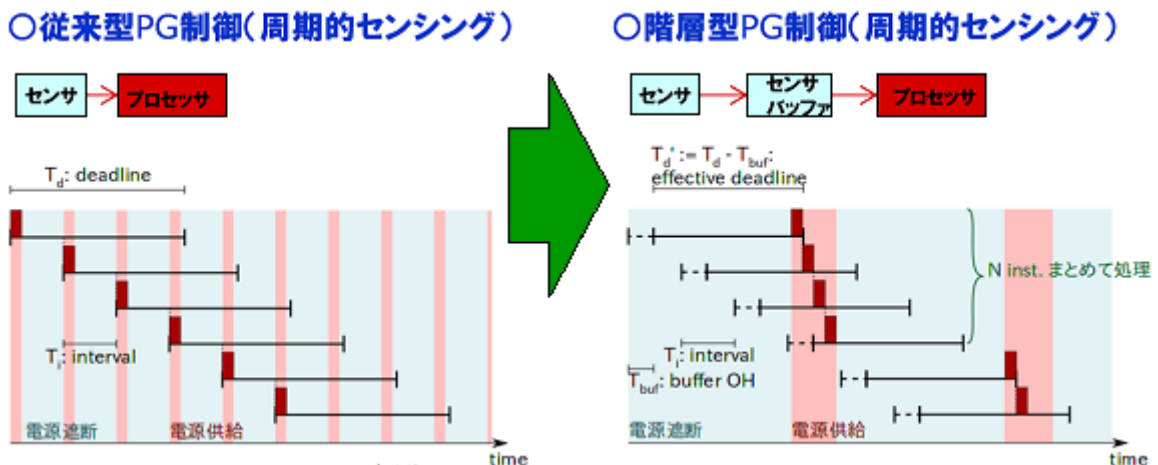


図 2.6-6 センシング動作と電力制御(左:従来型、右:階層型)

火災報知センサーを例に提案手法を適用、電力モデルから消費電力を予測した結果を図 2.6-7 に示す。青線が電源制御を全く行わない場合のセンシング 1 回あたりの消費エネルギーを示しており、リーク電流が常時流れ続けるため、センシング周期が長くなるにつれ、センシング 1 回あたりの消費電力が増加している。それに対して、PG 制御を行った赤色と黄色の結果ではセンシング周期にかかわらず、ほぼ一定のエネルギー消費となっている。これはセンシング処理の合間に PG 制御を行うことにより、リーク電流を削減したためである。また、従来型 PG 制御と比較して提案する階層型 PG 処理ではプロセッサによる処理をセンシング結果がある程度バッファに溜まった段階で一括して処理を行うため、PG 回数の削減に成功している。その結果、センシング 1 回あたりの消費エネルギーを大幅に削減することに成功した。

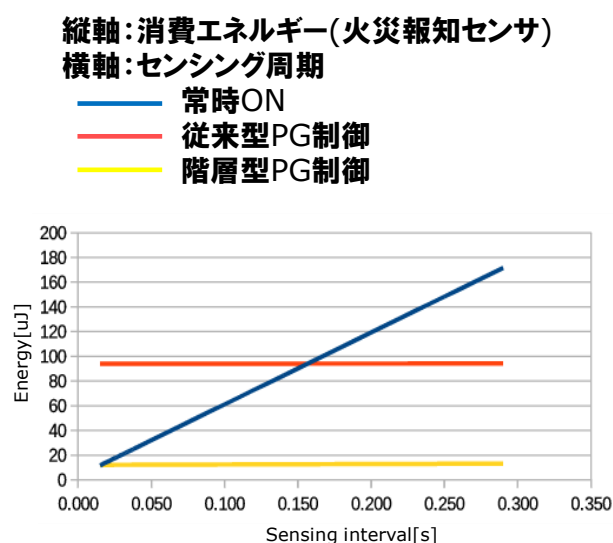


図 2.6-7 火災報知センサーの消費エネルギー

図 2.6-7 に示したように、センシング間隔によって最適な電源制御は異なり、状況に応じた制御手法の選択が重要であることが明らかとなった。

(2) 携帯情報端末向けノーマリーオフキャッシュアーキテクチャの最適化

携帯情報端末に搭載される 2 次キャッシュは従来 SRAM で構成されていたが、これを MRAM または MRAM と DRAM を組み合わせた構成に置き換えた構成についての評価を行った。

以降、(2) - 1 では 2 次キャッシュを SRAM から MRAM に置き換えた場合の評価、(2) - 2 では 2 次キャッシュを MRAM と DRAM のハイブリッド構成とした場合の評価を行う。

(a) (2) - 1 MRAM キャッシュメモリの最適化および評価

ここでは、比較的動作率が低い利用状況を想定し、2 次キャッシュメモリを MRAM に置き換えた場合の電力制御について、電力削減率とオーバーヘッドの比較検討を行った。

用意したアプリケーションのアイドル時間の割合を図 2.6-8 に示す。この図より ping や netperf ではほぼ 100%の時間がアイドル時間であり、もっともアイドル時間の割合が低い mutex でも 30%弱のアイドル時間が存在することがわかる。

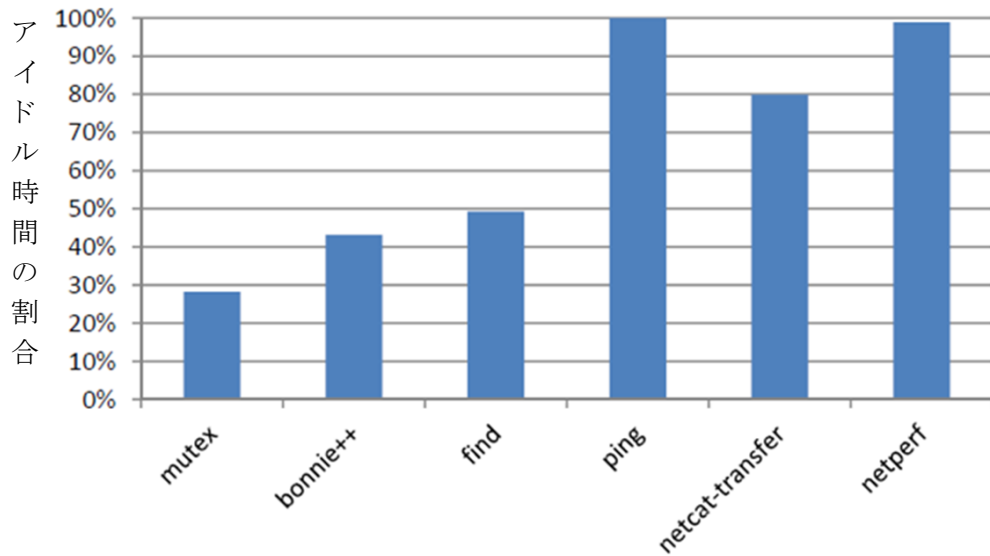


図 2.6-8 アイドル時間の割合

次に、各ベンチマークを実行中に 2 次キャッシュに含まれるデータのうち、再びアクセスされるデータの割合を図 2.6-9 に示す。この結果から再利用率の高いベンチマークであっても 13%程度のデータしか再利用されないことがわかる。

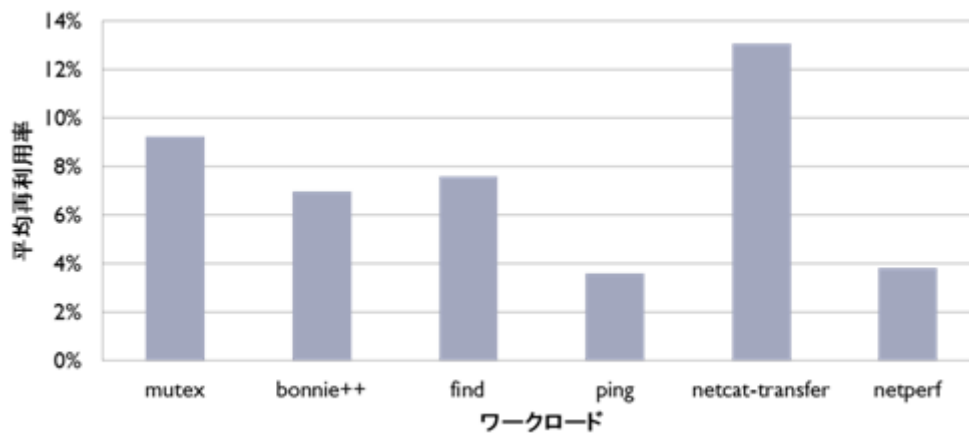


図 2.6-9 2 次キャッシュの再利用率

以上のような特徴を持ったプログラムを対象にキャッシュメモリの電源管理について比較検討を行う。今回比較対象とした方式は以下の 4 方式である。

- SRAM+電源遮断
2 次キャッシュを SRAM とし、アイドル時に電源遮断をおこなう。2 次キャッシュの内容は全て失われる。
- SRAM+待避
2 次キャッシュを SRAM とし、アイドル時に再利用されるデータのみを不揮発メモリに待避し、電源遮断を行う。電源復帰時には不揮発メモリから SRAM へデータの復帰を行う。(再利用されるデー

タは理想的に全て予測可能と仮定した。)

- MRAM
2次キャッシュをMRAMとする。STT-RAM自体はアイドル時に電力を消費しないが周辺回路が若干の電力を消費する。
- MRAM+周辺遮断
2次キャッシュをMRAMとし、アイドル時に周辺回路の電源遮断を行う。電源遮断によりアイドル時の消費電力は0になるが、電源遮断のために時間およびエネルギーのオーバーヘッドが必要となる。

SRAMを用いて電源遮断を行わなかった場合を基準とした電力削減率を図2.6-10に示す。この結果から、単純にMRAMに置き換えただけでは、SRAMと理想的な待避を組み合わせた手法に劣ることもあるが、周辺回路の電源遮断を組み合わせることにより最大の電力削減を達成できることがわかる。

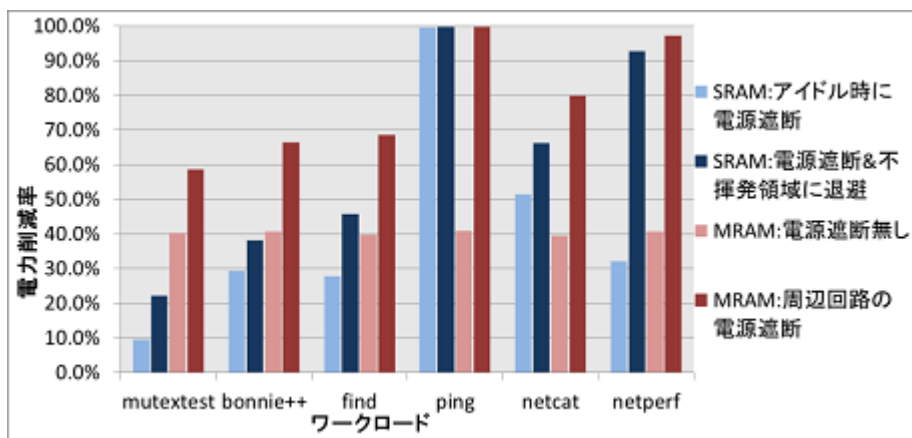


図 2.6-10 電力削減率

次に、実行時間に与える影響を調べるために、実行時間の増加率を測定した。結果を図2.6-11に示す。SRAMに置き換えただけでは2次キャッシュのデータが失われるため、実行時間が大幅に増加していることがわかる。MRAMを用いる方式では、MRAM自体の読み書き速度がSRAMよりも遅いため、最大15%の実行時間増加が発生している。

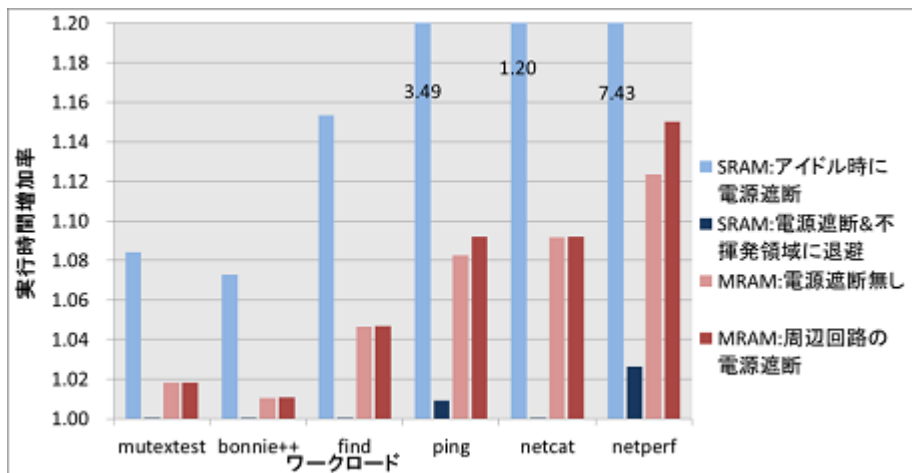


図 2.6-11 実行時間増加率

今回のプログラムではそもそもアイドル時間の割合が長いため、実行時間の増加を許容範囲に抑えるこ

とができると考えられるが、アイドル時間の割合が少ない利用形態では注意深く適用を検討する必要があると考えられる。また、各種メモリのパラメータによっても最適な制御手法は大きく影響を受けることがわかった。

(b) (2) -2 ハイブリッドメモリの最適化および評価

②-2では、プロセッサ内のメモリ階層において、L1キャッシュまでは従来型のSRAMベースのキャッシュとして、L2キャッシュ以下をSTT-MRAMに置き換える構造を検討した。②-3では、さらに電力効率を上げる方法として、メモリ階層の中でL1キャッシュよりも上の階層は揮発メモリ(SRAMまたはフリップフロップ)で、L2キャッシュよりも下の階層は、揮発メモリと不揮発メモリのハイブリッド型メモリが適しているということを明らかにした。(図 2.6-12)

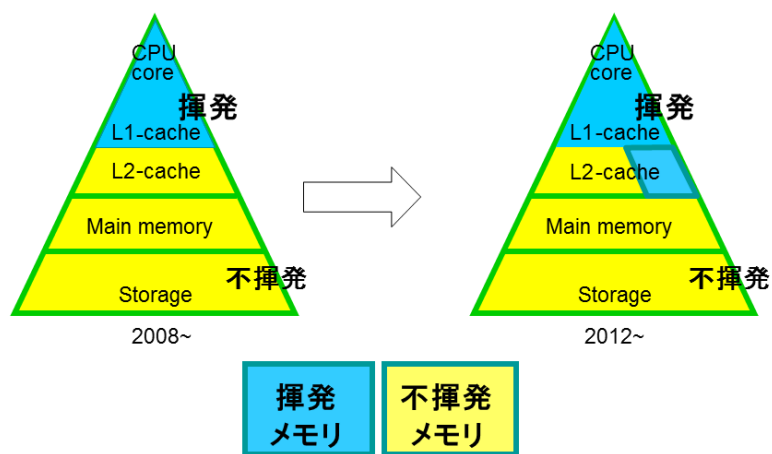


図 2.6-12 揮発メモリと不揮発メモリを使い分ける新しいメモリ階層

GEM5 というシミュレータを改良して、①-1 で具体化した超高速不揮発メモリをキャッシュメモリに搭載したプロセッサについて、ベンチマークソフト(特徴的な処理を行う多数の小規模ソフトからなるSPEC2006 を利用)のシミュレーションを可能となる環境を整えた。これを利用して MRAM と揮発メモリ (SRAM や DRAM) との組み合わせによるハイブリッドキャッシュ構造のメモリシステムを評価することを可能とした。これを利用して、①-1 で開発された DRAM/MRAM のハイブリッドキャッシュメモリシステムを評価した。この際、短時間で消えても良いデータは DRAM に、長時間保持したいデータは MRAM に保持するという使い分けの手順を開発し、プロセッサシミュレータに組み込んで評価できるようにした。DRAM のほうが MRAM よりも高速で低消費電力(短時間データ保持の場合)であるので、MRAM 単体よりも、消費電力を下げる事が出来る事が確認された。演算性能の劣化はほとんどの場合数%未満に抑えられていた。(図 2.6-13)

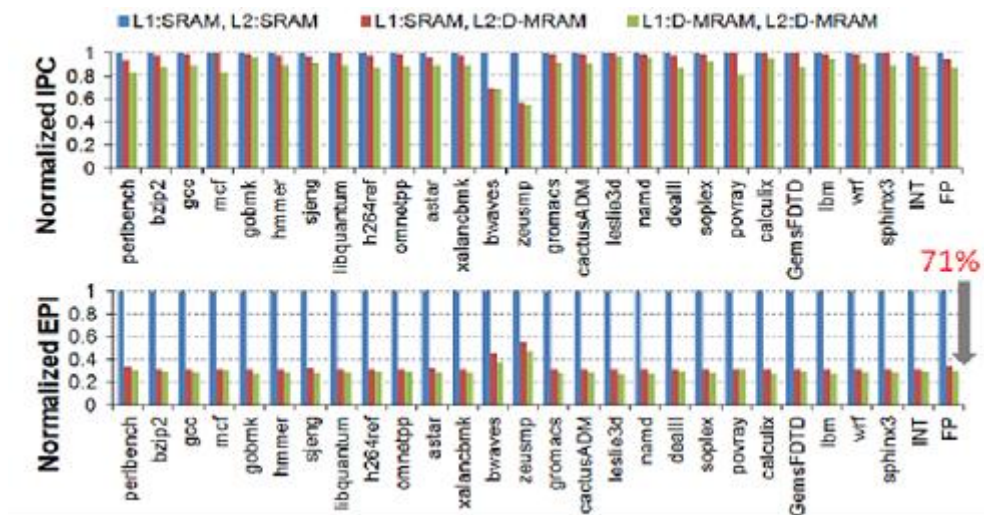


図 2.6-13 STT-MRAM/DRAM ハイブリッド型の L2 キャッシュメモリを用いたプロセッサの性能とキャッシュメモリの消費電力の比較

今後、これらのアーキテクチャ改良を盛り込んで、電力効率向上の効果を定量化していく予定である。また、これらのアーキテクチャをさらに改良しつつ、ハードウェア側への要求事項をより明確にし、MTJ 素子、メモリセル回路、キャッシュメモリシステム、メモリ階層構造の更なる改良により、電力効率 10 倍以上となる動作条件の幅を広げていく。

特許、論文、外部発表等の件数(内訳)

| 区分 年度 | 特許出願 | | | 論文 | | その他外部発表 (プレス発表等) |
|----------|------|-----|--------|------|-----|---------------------|
| | 国内 | 外国 | PCT※出願 | 査読付き | その他 | |
| H23FY | 8件 | 4件 | 0件 | 7件 | 27件 | 2件 |
| H24FY | 18件 | 21件 | 0件 | 27件 | 29件 | 5件 |
| H25FY | 3件 | 0件 | 0件 | 5件 | 23件 | 4件 |

(※Patent Cooperation Treaty :特許協力条約)

IV. 実用化・事業化に向けての見通し及び取り組みについて

1. 実用化・事業化に向けての見通し及び取り組みについて

ノーマリーオフコンピューティング基盤技術開発では、具体的な3つの応用製品、携帯情報端末、スマートシティ・センサーネットワーク、ヘルスケア応用をターゲットに開発を行う。これらが当初の技術目標を達成したあかつきには、以下の図 IV-1 に示すような、スマートメモリシステム、マイコン、特定用途向けLSIという半導体製品として、PJ 終了後、それぞれ事業化されることが期待できる。

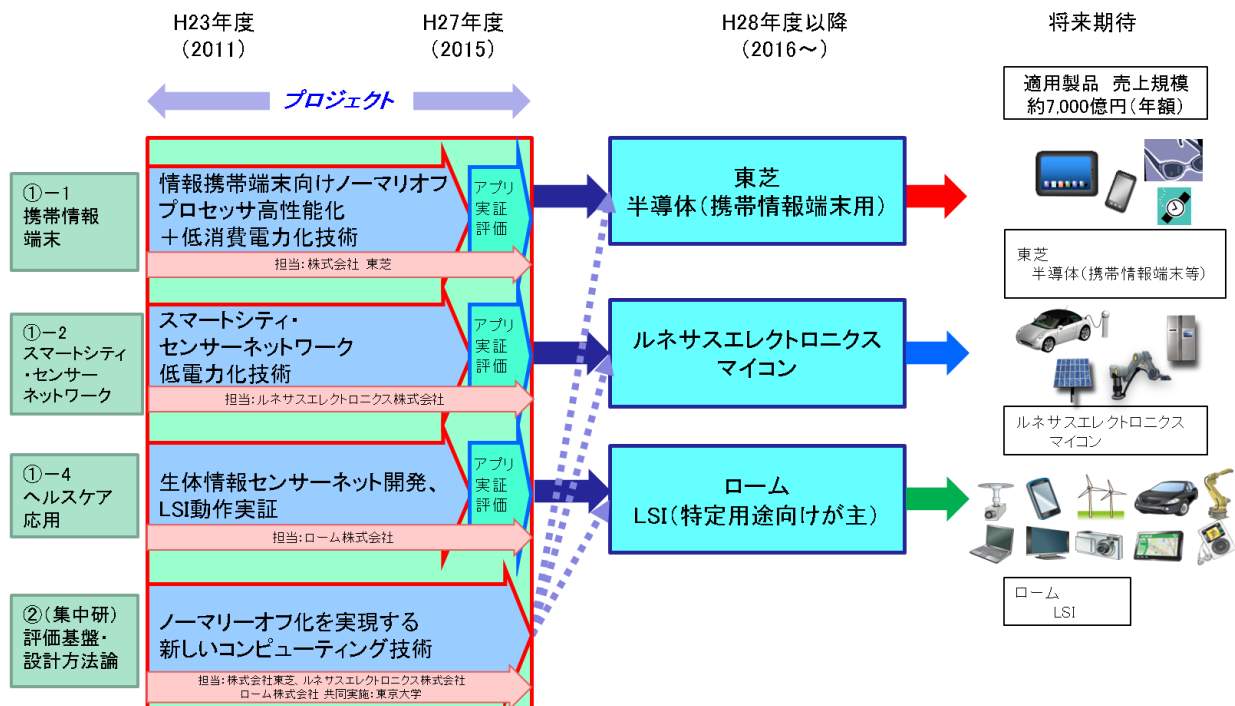


図 IV-1 実用化、事業化の概要

①-1+②-2: 携帯情報端末向けノーマリーオフプロセッサ

①-1 と②-2 の研究開発項目の成果により、以下の事業が候補となる。

- ・ プロセッサとして販売、SoC として販売
- ・ キャッシュメモリ単体部品の販売
- ・ キャッシュメモリをウエファーで販売(プロセッサへの実装はプロセッサベンダー)
- ・ 要素技術や IP の社外へのライセンス

これら可能性は多岐にあるため、市場の動向、顧客ニーズ、など事業性を分析しつつ、研究開発の成果に基づき、開発コスト、製品コストを予測し、売り上げ、収益性が十分見込めると判断できた段階で、上記いずれかの事業のための製品技術開発に着手する。

①-2 スマートシティ・センサー ネットワーク低電力化技術

サイバーフィジカルシステムは、スマートコミュニティの基盤技術であり、センサーからインターネットに実時間で流し込まれる社会環境や自然環境のデータを処理することで、高度なサービスの実現を目指している(図 IV-2)。

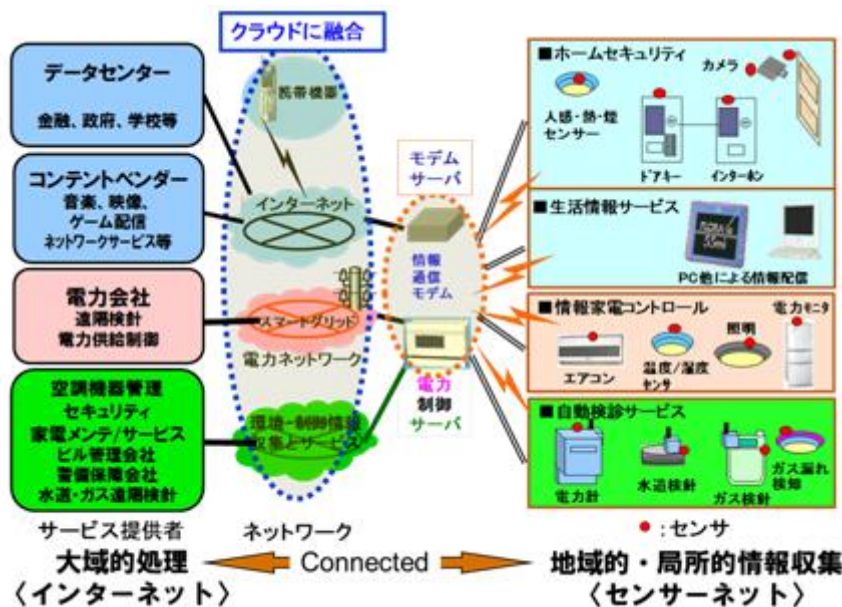


図 IV-2 サイバーフィジカルシステム

このように、社会環境・自然環境の情報をリアルタイムに収集するために、多種多様なセンサー端末が広範に使用されることになる。サイバーフィジカルシステムの発展とともに膨大化するセンサー端末をいかに低電力化するかが性能面で重要となる。

ルネサスエレクトロニクスは、本プロジェクトで得られた技術(ノーマリーオフ・HW アーキテクチャ、ノーマリーオフ電源制御技術、タスクスケジューリング技術等)をマルチセンサー系マイコンへ適用することで、環境・計測モニター応用に向けた次世代のノーマリーオフ・マイコンの事業化を推進する。

①-4 ヘルスケア応用生体情報計測センサーネットワーク低電力化技術

大きな分野としては、日本の成長分野の一つである「医療・介護・健康」を狙う。新しいデバイスやアーキテクチャを含む商品を市場に投入するためには、目標とする市場や商品仕様を明確化、先鋭化し、橋頭保市場を確保する必要がある。分散研方式で実施する①-4 では、貼り付け型の成体情報計測センサーモジュールの中核をなす LSI の開発を行う。事業化することが目的であるため、LSI の開発方針は、量産化可能なデバイス(ここでは FeRAM 技術)を用い、量産可能な回路技術(ここでは、信頼性や歩留り、動作保障範囲確保が可能な技術)を用いて、LSI を設計、試作することとしている。

また、商品としては LSI だけでなく、モジュール全体の電力が減ることが重要なので、モジュールの総電力の電力を削減することを目指している。

ロームとしての事業化の形態は、

- ・LSI (FeRAM や不揮発 FF を混載したもの)
- ・各種センサー (加速度センサー等)

を想定している。

2017 年に市場参入し、2025 年には貼り付け型センサーLSI の市場として 300 億円を目指している。

①-4 で得られる成果が特定用途に特化したものであるため、集中件方式の②-3 で行う研究成果を用いて、応用範囲 (応用商品) の拡大、汎用化を進め、売上増に繋げる。

(I T イノベーションプログラム)

「ノーマリーオフコンピューティング基盤技術開発」基本計

電子・材料・ナノテクノ

1. 研究開発の目的・目標・内容

(1) 研究開発の目的

① 政策的な重要性

スマートグリッドやクラウドコンピューティングといった流れの中、今後コンピュータが社会のあらゆる局面で活用されることが予測されるが、その実現のためには、メンテナンスの観点・低炭素化の観点から更なる機器・システムの低消費電力化が求められる。しかしながら、半導体の微細化を中心とした従来技術では機器・システムの高集積化と低消費電力化の両立が困難になってきており、新たな技術的アプローチが求められる。電源を切っても情報を保持できる次世代不揮発性素子は、この点で大きな可能性を秘めている。本プロジェクトは、同素子を用いた低消費電力システムの実現のための基盤技術の確立を目指すものである。

なお、本プロジェクトは「ITイノベーションプログラム」の一環として実施する。

② 我が国の状況

当該分野のデバイス開発においては我が国の技術的水準は最先端にあつて大きな発展の可能性を秘めており、不揮発性素子やその周辺分野の更なる技術向上が必要である。他方でコンピュータアーキテクチャやソフトウェアの面では諸外国に比べて必ずしも研究開発が盛んでなく、早急な取り組みが求められる。

③ 世界の取り組み状況

次世代不揮発性素子については今まで各国で盛んな取り組みが行われており、一部実用化も図られている。ただしシステム化といった点ではまだ大きな取り組みは顕在化しておらず、我が国が世界の開発をリードできる可能性がある。

④ 本事業のねらい

我が国が優位性を持つ不揮発性素子に関わるハードウェア技術の更なる高度化と併せて、不揮発性素子を用いる機器等のアーキテクチャ、ソフトウェアおよびシステム化の要素技術を世界に先駆けて確立することにより、同素子の特性を活かした新市場を創出し、併せて超低消費電力機器の普及により、温室効果ガスの削減に寄与することを目的とする。

(2) 研究開発の目標

① アウトプット目標

これまで、次世代強誘電体メモリの研究開発や、半導体アプリケーションチッププロジェクトおよびスピントロニクス不揮発性機能技術プロジェクト等において様々なメモリの個別開

発が行なわれ、それぞれ一定の成果を上げている。

しかしながら、これらのプロジェクトで相応の開発成果が出ているものの現状の揮発性メモリに即座に置き換わる性能の実現までには至っておらず、将来の機器・システムに採用されるためには、更なる性能向上が求められる。さらに、デバイスの開発に限らず、基本ソフトウェアやコンピュータアーキテクチャの開発が必要である。

これらを踏まえ本事業は、先行的に進めている「高速不揮発メモリ機能技術開発」事業の成果と連携しつつ、将来的な機器へのスムーズな導入を考慮した、デバイス・基本ソフトウェア（例えば、OS、コンパイラ、ライブラリ、API等）・コンピュータアーキテクチャ全体の研究開発を行うものである。

【最終目標】

次世代センサーネットワーク、モバイル情報機器、サーバー等、不揮発性素子を用いると想定される機器・システムにおいて、事業終了時に求められると予測される処理性能を満たすことを前提に、不揮発性素子を用いたハードウェア技術、ソフトウェア技術、コンピュータアーキテクチャの一体的な開発により、システムとしての低消費電力性能（電力あたりの性能）を本事業開始時に対して10倍とすることを実証する。

【中間目標】

次世代センサーネットワーク、モバイル情報機器、サーバー等、不揮発性素子を用いると想定される機器・システムにおいて、事業終了時に求められると予測される処理性能を満たすことを前提に、不揮発性素子を用いたハードウェア技術、ソフトウェア技術、コンピュータアーキテクチャの一体的な開発により、システムとしての低消費電力性能（電力あたり性能）が10倍となる見込みを、実験・シミュレーションにより示す。

② アウトカム目標達成に向けての取り組み

標準化や普及活動等、本研究開発事業に関連して必要とされる取り組みを行う。

③ アウトカム目標

これらの取り組みにより、我が国が技術的優位性を有する不揮発性素子のニーズをより強固にするとともに、新規コンピューティングを活用した機器による既存市場におけるシェア拡大と新規市場の創出を目指す。また、ノーマリーオフ型の電子機器の普及が拡大されると、2030年におけるCO₂削減効果は約3000万トン／年になると試算される。

(3) 研究開発の内容

上記目標を達成するために、以下の研究開発項目について、別紙の研究開発計画に基づき研究開発を実施する。

【共同研究事業（NEDO負担率：1／2以下）】

① 次世代不揮発性素子を活用した電力制御技術の開発

- ② 将来の社会生活を支える新しい情報システムにおいて飛躍的なノーマリーオフ化を実現する新しいコンピューティング技術の検討

以上の研究開発項目①②は、NEDOおよびプロジェクトリーダーの指導のもと、密に連携して実施するものとする。

2. 研究開発の実施方式

(1) 研究開発の実施体制

本研究開発は、NEDOが、単独ないし複数の原則、本邦の企業、大学等の研究機関（原則、本邦の企業等で日本国内に研究開発拠点を有していること。なお、国外の企業等（大学、研究機関を含む）の特別の研究開発能力、研究施設等の活用または国際標準獲得の観点から国外企業等との連携が必要な部分を、国外企業等との連携により実施することができる。）から公募によって研究開発実施者を選定し実施する。

本研究開発において、効率的な研究開発の推進を図る観点から、原則として当事業にはNEDOが共同研究先決定後に指名する研究開発責任者（プロジェクトリーダー）を置き、その下に研究者を可能な限り結集して効率的な研究開発を実施する。

(2) 研究開発の運営管理

研究開発全体の管理・執行に責任を有するNEDOは、経済産業省及び研究開発実施者と密接な関係を維持しつつ、プログラムの目的及び目標、並びに本研究開発の目的及び目標に照らして適切な運営管理を実施する。具体的には、必要に応じて設置される技術検討委員会等における外部有識者の意見を運営管理に反映させる他、四半期に一回程度プロジェクトリーダーとともにプロジェクトの進捗について報告を受けること等により進捗の確認及び管理を行うものとする。

3. 研究開発の実施期間

本研究開発の期間は、平成23年度から平成27年度までの5年間とする。

4. 評価に関する事項

NEDOは、技術的及び政策的観点から、研究開発の意義、目標達成度、成果の技術的意義並びに将来の産業への波及効果等について、外部有識者による研究開発の中間評価を平成25年度事後評価を平成28年度に実施する。また、中間評価結果を踏まえ必要に応じプロジェクトの加速・縮小・中止等見直しを迅速に行う。なお、評価の時期については、当該研究開発に係る技術動向、政策動向や当該研究開発の進捗状況等に応じて、前倒しする等、適宜見直すものとする。

5. その他の重要事項

(1) 研究開発成果の取扱い

① 共通基盤技術の形成に資する成果の普及

共同研究によって得られた研究開発成果のうち、共通基盤技術に係るものについては、プロジェクト内で速やかに共有した後、NEDOおよび実施者が協力して普及に努めるものとする。

② 知的基盤整備事業又は標準化等との連携

得られた研究開発の成果については、知的基盤整備事業又は標準化等との連携を図るため、データベースへのデータの提供、標準案の提案等を積極的に行う。

③知的財産権の帰属

共同研究の成果に関わる知的財産権については、「独立行政法人新エネルギー・産業技術総合開発機構新エネルギー・産業技術業務方法書」第25条の規定等に基づき、原則として、すべて共同研究先に帰属させることとする。

(2) 基本計画の変更

NEDOは、研究開発内容の妥当性を確保するため、社会・経済的状況、国内外の研究開発動向、政策動向、プログラム基本計画の変更、評価結果、研究開発費の確保状況、当該研究開発の進捗状況等を総合的に勘案し、達成目標、実施期間、研究開発体制等、基本計画の見直しを弾力的に行うものとする。

(3) 根拠法

本プロジェクトは、独立行政法人新エネルギー・産業技術総合開発機構法第15条第1項第1号ニに基づき実施する。

(4) その他

産業界が実施する研究開発との間で共同研究を行う等、密接な連携を図ることにより、円滑な技術移転を促進する。

6. 基本計画の改訂履歴

(1) 平成23年3月、制定。

(2) 平成23年7月、独立行政法人新エネルギー・産業技術総合開発機構法の改正に伴う改訂。

(別紙) 研究開発計画

研究開発項目①「次世代不揮発性素子を活用した電力制御技術の開発」

1. 研究開発の必要性

従来の電子機器においては、非動作時においても状態を保つために多くの電力を浪費している。動作時にのみ必要な電力を供給する技術を開発することで上記のムダを排除し、劇的な低消費電力化を実現することができる。そこで、事業終了時に予測される次世代不揮発性素子の性能を前提に、次世代センサーネットワーク、モバイル情報機器、サーバー等の機器・システムにおいて、間歇動作等を志向する新たな電力制御技術の検討が必要である。

2. 研究開発の具体的内容

フラッシュメモリを除く次世代不揮発性素子の性能を最大限活かすための消費電力を抑える動作技術を志向する新しいメモリアーキテクチャ、基本ソフトウェア、アルゴリズム等を開発する。また、必要に応じて、デバイスそのものの技術開発により、上記の消費電力を抑える動作技術に求められる次世代不揮発性素子の性能(レーテンシ、スループット、耐久性などを含む)を実現する。

3. 達成目標

【最終目標】

事業終了時に予測される次世代不揮発性素子の性能を満たすことを前提に、次世代センサーネットワーク、モバイル情報機器、サーバー等から研究開発実施者が想定するアプリケーションにおいて、劇的な低消費電力化を志向する新しいメモリアーキテクチャ、基本ソフトウェア、アルゴリズムのデザインを提示するとともに、必要に応じて間歇動作等に求められる次世代不揮発性素子の性能を提示し、システムとしての低消費電力性能(電力あたり性能)が10倍となることを実証する。

【中間目標】

事業終了時に予測される次世代不揮発性素子の性能を満たすことを前提に、次世代センサーネットワーク、モバイル情報機器、サーバー等から研究開発実施者が想定するアプリケーションにおいて、劇的な低消費電力化を志向する新しいメモリアーキテクチャ、基本ソフトウェア、アルゴリズムのデザインを提示するとともに、必要に応じて間歇動作等に求められる次世代不揮発性素子の性能を提示し、システムとしての低消費電力性能(電力あたり性能)を本事業期間中に10倍と見込みを、実験・シミュレーションにより示す。

研究開発項目②「将来の社会生活を支える新しい情報システムにおいて飛躍的なノーマリーオフ化を実現する新しいコンピューティング技術の検討」

1. 研究開発の必要性

将来の社会生活を大きく変革させるような技術革新を実現するためには、既存の応用分野を対象とした機器・システムの漸進的な性能向上と並行して、新しい応用領域へも適用可能なコンピューティング技術の検討を開始する必要がある。

他方、このような取り組みを効果的に進めるにあたってはそれを評価するための基盤・プラットフォームの整備が重要となるが、現状では電力消費性能に関する評価技術が確立されていない状況である。そこで、上記のような先駆的な研究開発を評価するための技術の開発が必要である。

2. 研究開発の具体的内容

次世代不揮発性素子ならではの機能を活かした画期的なコンピューティング技術の開発を行う。他方、新たなコンピューティング技術を広く展開するためには、その優位性が適切に評価されることが必要である。このため、本事業全体を通して利用可能な、デモシステムの電力消費性能を評価する基盤・プラットフォームを開発する。

3. 達成目標

【最終目標】

新規コンピューティング技術について、中間目標時に提案した目標を達成するほか、実用化までの更なる技術的課題を明示する。

また併せて、デモシステムの電力消費性能を評価するための基盤となる評価技術・プラットフォームを確立する。

【中間目標】

新しい応用領域への情報通信技術の適用に向けてあるべきコンピューティング技術を提案しその実現に向けた課題およびその課題を克服するための目標と当該目標を達成するための検討方針を明示する。

また併せて、デモシステムの電力消費性能を評価するための基盤となる評価技術・プラットフォームを明確化する。

●事前評価書

| | |
|---|---|
| 作成日 | 平成23年2月8日 |
| 1. 事業名称 (コード番号) | ノーマリーオフコンピューティング基盤技術開発 (P11001) |
| 2. 推進部署名 | 電子・材料・ナノテクノロジー部 |
| 3. 事業概要 | <p>(1) 概要：新市場を創出すること、併せて超低消費電力機器の普及により、温室効果ガスの削減に寄与することを目的に、我が国が優位性を持つ不揮発性素子に関わるハードウェア技術の更なる高度化と併せて、これを用いるアーキテクチャ、ソフトウェアおよびシステム化の要素技術を世界に先駆けて確立する。</p> <p>(2) 事業規模：総事業費（国費分） 12億円（1／2共同研究）</p> <p>(3) 事業期間：平成23年度～27年度（5年間）</p> |
| 4. 評価の検討状況 | |
| <p>(1) 事業の位置付け・必要性</p> <ul style="list-style-type: none"> ・電機製品の省電力化という観点で見ると、半導体素子の微細化技術は長らく大きな役割を果たしてきた。しかしながら近年微細化が極限まで進んだ結果、リーク電流が増加し構造的にも閾値電圧の更なる低下は困難になってきており、電機製品の更なる省電力化のためには従来とは視点が異なるアプローチが求められるようになってきている。 ・他方近年 FeRAM、MRAM、PRAM、ReRAM 等次世代不揮発性素子の急速な性能向上が達成されており、これら次世代不揮発性素子を有効に利用すれば従来の素子技術では達成が出来ない程の細粒度で電力を制御し省電力化を実現する「ノーマリーオフコンピューティング」が可能になることが予測される。 ・これを産業への影響という観点で見た場合、現在のコンピューティングの在り方自身を変革する可能性もあり、世界に先駆けてこの分野の研究開発に取り組むことは我が国の産業競争力強化という文脈でも大きな意義を有すると考えられる。 ・しかしながら「ノーマリーオフコンピューティング」の実現には素子技術のみならず、基本ソフトウェアの見直し、コンピュータアーキテクチャの再検討など多岐にわたる側面からのアプローチが必要であり、また従来の延長線上にない画期的な挑戦でありリスクも高く民間単独では行うことは極めて困難である。 ・従って本プロジェクトは、NEDOが持つ高いネットワーク機能やマネジメント機能を活用し、官民が協同した国家プロジェクトとして取り組むことが適切と考えられる。 | |

(1) 研究開発目標の妥当性

・本プロジェクトでは「次世代センサーネットワーク、モバイル情報機器、サーバー等、不揮発性素子を用いたハードウェア技術、ソフトウェア技術、アーキテクチャ技術の適応先と想定される各機器・システムにおいて事業終了時に求められると予測される処理性能を前提に、不揮発性素子を用いたハードウェア技術、ソフトウェア技術、コンピュータアーキテクチャの一体的な開発により、システムとしての低消費電力性能（電力あたりの性能）を本事業開始時に対して 10 倍にするための要素技術開発」を目標として掲げることを予定している。

・目標設定値を柔軟にするのは、適用される市場毎に求められる性能が異なるためである。例えばスマートフォンやタブレット端末市場においては高い処理性能と低消費電力性能の両立が求められることが予測されるが、他方で今後拡大が期待されるセンサーネットワーク市場においてはメンテナンスフリーのセンサーが志向されており、最低限必要な処理性能とずば抜けた低消費電力性能の両立が求められている。

・また低消費電力性能を 10 倍とすることの根拠は、半導体の微細化の速度と省電力化を将来において両立させることを意図したものである。別途公募がなされている「次世代半導体微細加工・評価基盤技術の開発」基本計画においては 2010 年時点における最先端の技術世代を hp45nm と仮定し、2016 年時点での hp16nm に対応した微細加工・評価基盤技術の確立を目指しており、現行の 1/9 程度まで微細化が進むことが予定している。

・本プロジェクトの成果は必ずしも最先端プロセスでの適用を前提としているわけではないが、2016 年までに多くの半導体製品市場において、現行よりも 1/9 程度の微細化が進むと仮定しそれを上回る速度での低消費電力性能の向上を担保するために「処理性能を満たした上で、デバイス・OS・アーキテクチャを通じたシステムとしての低消費電力性能（電力あたりの性能）を 10 倍にするための要素技術開発」を目標として設定した。

(1) 研究開発マネジメント

・本事業では以下の2つの技術的取組が連携して目標が達成されることを想定している。

【産業化への障壁を越えるための研究開発】

次世代不揮発性素子を用いた電力制御技術の開発

・次世代不揮発性素子の性能を最大限活かすための消費電力を抑える動作技術を志向する新しいメモリアーキテクチャ、基本ソフトウェア、アルゴリズム等を開発する。例えば間歇動作志向のOSの開発や、低消費電力志向のセンサーネットワーク向けAPIの開発などが想定される。

・また、所望の電力制御を実現するために必要に応じて、書込/読み出し速度、書込電力の低下、書き換え耐性といった次世代不揮発性素子の基本性能の向上のための技術開発を行う。

【共通基盤的技術開発及び将来の課題を解決する研究開発】

将来の社会生活を支える新しい情報システムにおいて飛躍的なノーマリーオフ化を実現する新しいコンピューティング技術の検討

・次世代不揮発性素子ならではの機能を活かしたコンピューティング技術の開発。例えば演算結果をキャッシュすることにより効率的な処理を可能とする計算技術などが想定される。

・また、電力消費性能を評価するための評価基盤・プラットフォームも整備する。

(2) 研究開発成果

①成果の意義

・多様な電子機器をノーマリーオフ化することで、コンピューティングの新たな活用が可能となり、新規市場を我が国が先駆的に開拓することができる。

・本事業は我が国発の不揮発性素子を活用した超低消費電力型コンピューティングを提唱する世界初の成果を目指しており、新たな技術領域の開拓が期待できる。

②論文発表・成果の普及

・研究開発対象は広く一般に使用される電子機器を想定しており、成果は広範囲にわたる。また、競争部分の研究開発は、事業参画者が早急な実用化を想定しており、一方集中研での協調部分は成果を戦略的に公開し普及させることを想定している。したがって、アウトカムの最大化を見据えて事業設計している。

(3) 実用化・事業化の見通し

・実用化に当たっては本事業の成果が独自規格とならないよう、既存ソフトウェアとの整合性や標準化との関係性について十分配慮することとする。

(4) その他特記事項

・特に無し

●論文リスト

【研究発表・講演】

| 番号 | 発表者 | 所属 | タイトル | 発表誌名、ページ番号 | 査読 | 発表年 | 月日 |
|----|-----|------|---|---|----|------|------|
| 1 | 佐藤他 | 電通大 | Effect of the Gilbert Damping Constant on the Switching Current in SpinRAM | The 3rd International Symposium on Advanced Magnetic Materials and Applications | 無 | 2013 | 7.22 |
| 2 | 佐藤他 | 電通大 | Simulation of Spin Current Switching Assisted by Electric Field | The 3rd International Symposium on Advanced Magnetic Materials and Applications | 無 | 2013 | 7.22 |
| 3 | 藤田 | 東芝 | [招待講演]Progress of STT-MRAM and its Challenge towards Normally-off-Multi-core SoC | 13th International Forum on Embedded MPSoC and Multicore | 無 | 2013 | 7.17 |
| 4 | 中村 | 東大 | [基調講演]Challenges and Opportunities of Normally-Off Computing | 13th International Forum on Embedded MPSoC and Multicore | 無 | 2013 | 7.16 |
| 5 | 清水 | ルネサス | [招待講演]Normally-off Computing and its Application to the Sensor-Net | 13th International Forum on Embedded MPSoC and Multicore | 無 | 2013 | 7.16 |
| 6 | 林越 | ルネサス | [パネル・パネリスト] 増々アナログインタフェース機能を拡充するマイコン | 電子情報通信学会集積回路研究会 | 無 | 2013 | 7.04 |
| 7 | 林越 | ルネサス | [招待講演] 低電圧不揮発メモリデバイス技術とシステム応用 –ゼロスタンバイ LSI の実現に向けて– | 電子情報通信学会 集積回路研究会 | 無 | 2013 | 7.04 |
| 8 | 藤井他 | 神戸大学 | Noise-Tolerant Instantaneous Heart Rate and R-Peak Detection Using Short-Term Autocorrelation for Wearable Healthcare Systems | 35th Annual International IEEE EMBS Conference | 有 | 2013 | 7.03 |
| 9 | 水上他 | 東北大学 | Magnetic Tunnel Junctions with Mn-based Magnetic Alloys for Spin-Torque Applications | Collaborative Conference on 3D & Materials Research (Jeju) (Invited) | 無 | 2013 | 6.25 |
| 10 | 藤森他 | ローム | ヘルスケア応用生体情報計測センサにおけるノーマリーオフコンピューティング | 情報処理学会誌 54 巻 7 号 (2013 年 7 月号) 特集「ノーマリーオフコンピューティング」 | 無 | 2013 | 6.15 |
| 11 | 林越他 | ルネサス | センサー端末におけるノーマリーオフコンピューティング | 情報処理学会誌 54 巻 7 号 (2013 年 7 月号) 特集「ノーマリーオフコンピューティング」 | 無 | 2013 | 6.15 |
| 12 | 中村他 | 東大 | ノーマリーオフコンピューティング –期待と課題– | 情報処理学会誌 54 巻 7 号 (2013 年 7 月号) 特集「ノーマリーオフコンピューティング」 | 無 | 2013 | 6.15 |
| 13 | 藤田他 | 東芝 | 携帯情報端末におけるノーマリーオフコンピューティング STT-MRAM で実現するノーマリーオフメモリ技術 | 情報処理学会誌 54 巻 7 号 (2013 年 7 月号) 特集「ノーマリーオフコンピューティング」 | 無 | 2013 | 6.15 |
| 14 | 野口他 | 東芝 | A 250-MHz 256b-I/O 1-Mb STT-MRAM with Advanced Perpendicular MTJ based Dual Cell for Nonvolatile Magnetic Caches to Reduce Active Power of Processors | 2013 SYMPOSIUM ON VLSI CIRCUIT | 有 | 2013 | 6.13 |
| 15 | 川澄他 | 東芝 | Circuit Techniques in Realizing Voltage-generator-less STT MRAM Suitable for Normally-off-type Non-volatile L2 Cache Memory | 2013 5th IEEE International Memory Workshop (IMW) | 有 | 2013 | 5.28 |

| 番号 | 発表者 | 所属 | タイトル | 発表誌名、ページ番号 | 査読 | 発表年 | 月日 |
|----|-----|-----------|--|---|----|------|------|
| 16 | 木村他 | ローム | Highly Reliable Non-Volatile Logic Circuit Technology and Its Application (Invited) | International Symposium on Multiple-Valued Logic, ISMVL2013 | 無 | 2013 | 5.24 |
| 17 | 藤田 | 東芝 | 高性能モバイル CPU の低消費電力化を実現する垂直磁化 STT-MRAM メモリテクノロジー | 先端 CMOS デバイス・プロセスセミナー (1) | 無 | 2013 | 5.21 |
| 18 | 佐藤他 | 電通大 | Effect of the Gilbert Damping Constant on the Switching Current in SpinRAM | The 8th International Symposium on Metallic Multilayers | 無 | 2013 | 5.20 |
| 19 | 山下他 | 大阪大学 | Field and bias dependence of high frequency magnetic noise in perpendicularly magnetized TMR nanopillars | The 8th International Symposium on Metallic Multilayers (MML2013) | 有 | 2013 | 5.20 |
| 20 | 奥田他 | 東芝 | スピン注入書き込みMRAM技術の進展と、ノーマリーオフコンピューティング | 学術振興会 151 委員会 | 無 | 2013 | 5.09 |
| 21 | 藤森 | ローム | ヘルスケア応用生体情報センサーの小型、低電力化技術 | ノーマリーオフコンピューティング基盤技術開発プロジェクト公開シンポジウム(第1回) | 無 | 2013 | 4.16 |
| 22 | 志賀 | オムロンヘルスケア | 人々の健康を支援する LSI とシステム | ノーマリーオフコンピューティング基盤技術開発プロジェクト公開シンポジウム(第1回) | 無 | 2013 | 4.16 |
| 23 | 林越 | ルネサス | スマートシティ・センサー ネットワーク低電力化技術 | ノーマリーオフコンピューティング基盤技術開発プロジェクト公開シンポジウム(第1回) | 無 | 2013 | 4.16 |
| 24 | 中村 | 東大 | ノーマリーオフコンピューティング基盤技術開発プロジェクト「プロジェクト概況報告」 | ノーマリーオフコンピューティング基盤技術開発プロジェクト公開シンポジウム(第1回) | 無 | 2013 | 4.16 |
| 25 | 戸田他 | はこだて未来 | 道南地域を対象とした階層型デマンド交通とノーマリーオフコンピューティング技術への期待 | ノーマリーオフコンピューティング基盤技術開発プロジェクト公開シンポジウム(第1回) | 無 | 2013 | 4.16 |
| 26 | 藤田 | 東芝 | 高速低消費電力磁性体メモリによるノーマリーオフプロセッサの開発 | ノーマリーオフコンピューティング基盤技術開発プロジェクト公開シンポジウム(第1回) | 無 | 2013 | 4.16 |
| 27 | 松原他 | はこだて未来 | 道南地域を対象とした階層型デマンド交通とノーマリーオフコンピューティング技術への期待 | サービス学会第一回国内大会 | 有 | 2013 | 4.11 |
| 28 | 藤田他 | 東芝 | 高性能モバイル CPU の低消費電力化を実現する垂直磁化 STT-MRAM メモリテクノロジー | 集積回路研究会 | 無 | 2013 | 4.11 |
| 29 | 水上他 | 東北大学 | 垂直磁化 Mn _{3+x} Ge 合金薄膜の構造と磁気特性 | 第 60 回応用物理学会春季学術講演会 | 無 | 2013 | 3.30 |
| 30 | 野口他 | 東芝 | D-MRAM Cache: Enhancing Energy Efficiency with 3T-1MTJ DRAM / MRAM Hybrid Memory | Design, Automation & Test in Europe 2013 | 有 | 2013 | 3.21 |
| 31 | 椿他 | 神戸大学 | 低参照電圧を用いた実時間計測用弛張発振回路 | 電子情報通信学会総合大会 | 無 | 2013 | 3.19 |
| 32 | 中川他 | 立命館大 | センサノード低消費電力化のためのノーマリーオフ動作検証環境の構築と評価 | 組込み技術とネットワークに関するワークショップ ETNET2013 | 無 | 2013 | 3.13 |

| 番号 | 発表者 | 所属 | タイトル | 発表誌名、ページ番号 | 査読 | 発表年 | 月日 |
|----|------|------|--|--|----|------|-------|
| 33 | 薬師寺他 | 産総研 | 垂直型 STT-MRAM の材料開発とその展望 | 日本磁気学会 スピンエレクトロニクス研究会 | 無 | 2013 | 3.6 |
| 34 | 堀他 | 立命館大 | Low Power Sensor System Using Smart Analog under Normally Off Operation | 2013 RISP International Workshop on Nonlinear Circuits, Communications and Signal Processing | 有 | 2013 | 3.04 |
| 35 | 本田他 | 立命館大 | Development of Low-power Camera Sensor Node using Infrared Array Sensor and CMOS Image Sensor | 2013 RISP International Workshop on Nonlinear Circuits, Communications and Signal Processing | 有 | 2013 | 3.04 |
| 36 | 安部他 | 東芝 | 高性能モバイル CPU の低消費電力化を実現する新規 DRAM/MRAM ハイブリッドメモリ | 応用物理学会シリコンテクノロジー分科会第 154 回研究集会、電子情報通信学会シリコンデバイス・材料研究会1月研究会 共催 | 無 | 2013 | 1.30 |
| 37 | 與田他 | 東芝 | スピン注入書き込みMRAM技術の進展と、そのノーマリオフコンピューティング実現に対する効果 | 電子情報通信学会 シリコン材料・デバイス研究会、応用物理学会シリコンテクノロジー分科会 ULSI デバイス研究委員会 | 無 | 2013 | 1.30 |
| 38 | 安部他 | 東芝 | 高性能モバイル CPU の低消費電力化を実現する新規 DRAM/MRAM ハイブリッドメモリ | 電子情報通信学会 シリコン材料・デバイス研究会、応用物理学会シリコンテクノロジー分科会 ULSI デバイス研究委員会 | 無 | 2013 | 1.30 |
| 39 | 北川他 | 東芝 | Sub-30nm p-MTJ with small switching current, large MR, and high thermal stability | 12th Joint MMM/Intermag Conference | 有 | 2013 | 1.17 |
| 40 | 才田他 | 東芝 | Switching current and energy barrier analysis of dynamic switching in perpendicular MTJ | 12th Joint MMM/Intermag Conference | 有 | 2013 | 1.17 |
| 41 | 薬師寺他 | 産総研 | Development of CoPtV and CoNiPt Synthetic Alloy Thin Films with Reduced Magnetization | The 12th Joint MMM/Intermag Conference | 有 | 2013 | 1.17 |
| 42 | 福島他 | 産総研 | Statistical analysis of spin-torque switching in in-plane magnetized MgO-MTJs under in-plane magnetic fields | The 12th Joint MMM/Intermag Conference | 有 | 2013 | 1.17 |
| 43 | 山下他 | 大阪大学 | Unified Analysis of Spin-Injection Thermally Assisted and Precessional Switching in Perpendicularly Magnetized GMR Nanopillars | The 12th Joint MMM/Intermag Conference | 有 | 2013 | 1.17 |
| 44 | 中村 | 東大 | [招待講演]ノーマリオフコンピューティングへの挑戦 | 電子情報通信学会コンピュータシステム研究会技術研究報告 | 無 | 2013 | 1.16 |
| 45 | 藤田他 | 東芝 | Novel Nonvolatile L1/L2/L3 Cache Memory Hierarchy using Nonvolatile-SRAM with voltage-induced magnetization switching and ultra low-write-energy MTJ | 12th Joint MMM/Intermag Conference | 有 | 2013 | 1.15 |
| 46 | 北川他 | 東芝 | Impact of ultra low power and fast write operation of advanced perpendicular MTJ on power reduction for high-performance mobile CPU | 2012 International Electron Devices Meeting | 有 | 2012 | 12.12 |
| 47 | 與田他 | 東芝 | Progress of STT-MRAM Technology and the Effect on Normally-off Computing Systems | 2012 International Electron Devices Meeting | 有 | 2012 | 12.11 |

| 番号 | 発表者 | 所属 | タイトル | 発表誌名、ページ番号 | 査読 | 発表年 | 月日 |
|----|------|--------|--|---|----|------|-------|
| 48 | 安部他 | 東芝 | Novel Hybrid DRAM/MRAM Design for Reducing Power of High Performance Mobile CPU | IEEE International Electron Devices Meeting (IEDM) 2012 | 有 | 2012 | 12.11 |
| 49 | 椿他 | 神戸大学 | A 6.66-kHz, 940-nW, 56ppm/° C, Fully On-chip PVT Variation Tolerant CMOS Relaxation Oscillator | 19th International conference on Electronics, Circuits, and Systems | 有 | 2012 | 12.09 |
| 50 | 藤田 | 東芝 | Nonvolatile Memory Technologies for Normally-off Computing | IEEE Asian Solid-State Circuits Conference 2012 | 有 | 2012 | 11.17 |
| 51 | 久保田他 | 産総研 | Spin transfer torque based magnetic memory and storage | New Non-Volatile Memory Workshop 2012 | 有 | 2012 | 11.15 |
| 52 | 清水 | ルネサス | [パネル・副オーガナイザ]Challenge for Zero Stand-by Power Management - Road-map to the "Normally-Off Computing" - Normally-Off Computing Architecture for Low-power Sensor Node | IEEE Asian Solid-State Circuits Conference 2012 | 無 | 2012 | 11.13 |
| 53 | 中村 | 東大 | [パネル・モデレータ]Challenge for Zero Stand-by Power Management - Road-map to the "Normally-Off Computing" - Normally-Off Computing Architecture for Low-power Sensor Node | IEEE Asian Solid-State Circuits Conference 2012 | 無 | 2012 | 11.13 |
| 54 | 林越 | ルネサス | [パネル・パネリスト]Challenge for Zero Stand-by Power Management - Road-map to the "Normally-Off Computing" - Normally-Off Computing Architecture for Low-power Sensor Node | IEEE Asian Solid-State Circuits Conference 2012 | 無 | 2012 | 11.13 |
| 55 | 藤田 | 東芝 | [パネル・パネリスト]Challenge for Zero Stand-by Power Management - Road-map to the "Normally-Off Computing" - Normally-Off Computing Architecture for Low-power Sensor Node | IEEE Asian Solid-State Circuits Conference 2012 | 無 | 2012 | 11.13 |
| 56 | 中野他 | 神戸大学 | ウェアラブルヘルスケアシステムのための短時間自己相関を用いた瞬時心拍取得手法 | 電気学会 センサ・マイクロマシン部門大会第29回「センサ・マイクロマシンと応用システム」シンポジウム | 無 | 2012 | 10.22 |
| 57 | 荒川他 | はこだて未来 | ノーマリオフによる組み込みシステムの低消費電力化に関する研究 | 情報処理北海道シンポジウム2012 | 無 | 2012 | 10.06 |
| 58 | 新田他 | はこだて未来 | 省電力オンデマンド型知的バス停システムの提案 | 情報処理北海道シンポジウム2012 | 無 | 2012 | 10.06 |
| 59 | 福島他 | 産総研 | Statistical variance mapping of spin-torque switching probability in in-plane magnetized MgO-MTJ | ICAUMS2012 | 有 | 2012 | 10.4 |
| 60 | 薬師寺他 | 産総研 | Development of Perpendicular-MTJs for Gigabit-Scale Spin-RAM Application | ICAUMS2013 | 有 | 2012 | 10.03 |
| 61 | 大丸他 | 電通大 | Effect of the Gilbert Damping Constant on the Switching Current in SpinRAM | ICAUMS 2012 | 無 | 2012 | 10.02 |

| 番号 | 発表者 | 所属 | タイトル | 発表誌名、ページ番号 | 査読 | 発表年 | 月日 |
|----|-----|--------|---|--|----|------|-------|
| 62 | 塩見他 | 電通大 | Simulation of Spin Current Switching Assisted by Electric Field | ICAUMS 2012 | 無 | 2012 | 10.02 |
| 63 | 小西他 | 大阪大学 | RF amplification properties in magnetic tunnel junctions afforded by field-induced ferromagnetic resonance | the 21th International Colloquium on Magnetic Films and Surfaces (ICMFS2012) | 有 | 2012 | 9.25 |
| 64 | 山下他 | 大阪大学 | Spin Transfer Switching in Perpendicularly Magnetized GMR Nanopillars in both Dynamic and Thermally Assist Regimes | 2012 International Conference on Solid State Devices and Materials (SSDM 2012) | 有 | 2012 | 9.25 |
| 65 | 水上他 | 東北大学 | 垂直磁化 Mn-Al-Ge 合金薄膜の構造と磁気特性 | 第 73 回応用物理学学術講演会 | 無 | 2012 | 9.11 |
| 66 | 山下他 | 大阪大学 | 垂直磁化 GMR 素子の熱活性およびダイナミック領域におけるスピン注入磁化反転確率 | 応用物理学会 2012 年(平成 24 年)秋季講演会 | 無 | 2012 | 9.11 |
| 67 | 岡本他 | 東大ルネサス | 周期実行システムにおける省電力スケジューリングの初期検討 | 情報処理学会第 26 回組み込みシステム研究発表会 | 無 | 2012 | 9.10 |
| 68 | 松原他 | はこだて未来 | スマートシティはこだての中核としてのスマートアクセスビークルのデザイン | 第 22 回インテリジェントシステム・シンポジウム (FAN2012) | 無 | 2012 | 8.31 |
| 69 | 中野他 | 神戸大学 | Instantaneous Heart Rate Detection Using Short-Time Autocorrelation for Wearable Healthcare | 34th Annual International IEEE EMBS Conference | 有 | 2012 | 8.28 |
| 70 | 清水他 | ルネサス | [基調講演]Challenge for the “Normally-off Computing” - Towards Smarter Society by Low-power and Programmable Sensor Network - | 電子情報通信学会(IEICE) エレクトロニクスソサイエティ 集積回路(IDC) | 無 | 2012 | 8.13 |
| 71 | 有間他 | 東大 | アイドル時のキャッシュ電源遮断における性能ペナルティ削減手法の実装 | 情報処理学会第 193 回アーキテクチャ研究会研究報告 | 無 | 2012 | 8.01 |
| 72 | 野村他 | 東芝 | 超低消費電力 STT-MRAM を Magnetic キャッシュに用いた Run-time Normally-off Processor | 第 25 回回路とシステムワークショップ | 有 | 2012 | 7.31 |
| 73 | 有間他 | 東大東芝 | OS の電力管理下におけるラスト・レベル・キャッシュのリーク削減手法の比較 | 第 25 回回路とシステムワークショップ | 有 | 2012 | 7.31 |
| 74 | 大丸他 | 電通大 | Fast SpinRAM Simulation by GPU | International Conference of magnetics 2012 | 無 | 2012 | 7.13 |
| 75 | 塩見他 | 電通大 | Effect of the external fields on SpinRAM switching time | International Conference of magnetics 2012 | 無 | 2012 | 7.10 |
| 76 | 中村 | 東大 | [招待講演]ノーマリーオフコンピューティングの実現へ向けて | 電子情報通信学会 VLSI 設計技術研究会技術研究報告 | 無 | 2012 | 7.03 |
| 77 | 松原他 | はこだて未来 | スマートシティはこだてにおける観光の位置づけ～観光を基盤にした街の再設計の試み～ | 観光情報学会第 9 回全国大会 | 無 | 2012 | 5.25 |
| 78 | 大丸他 | 電通大 | Fast SpinRAM Simulation by GPU | International Magnetics Conference 2012 | 無 | 2012 | 5.08 |

| 番号 | 発表者 | 所属 | タイトル | 発表誌名、ページ番号 | 査読 | 発表年 | 月日 |
|----|-------|----------|---|--|----|------|------|
| 79 | 福島他 | 産総研 | Statistical variance in switching probability of spin-torque switching in MgO-MTJ | Intermag 2012 | 有 | 2012 | 5.11 |
| 80 | 薬師寺他 | 産総研 | Technology Development of Giga-bit Scale Spin-RAM | The 8th International Nanotechnology Conference | 有 | 2012 | 5.08 |
| 81 | 三輪他 | 東大 | CMP におけるキャッシュ・データを考慮したスレッド・スケジューリング手法の初期検討 | 情報処理学会第 192 回アーキテクチャ研究会研究報告 | 無 | 2012 | 5.08 |
| 82 | Kim 他 | 東大 | A Novel Power-Gating Scheme Utilizing Data Retentiveness on Caches (poster) | 2012 Great Lakes Symposium on VLSI (GLSVLSI'12) | 有 | 2012 | 5.03 |
| 83 | 野村他 | 東芝 | MRAM を用いた次世代ノーマリオフプロセッサ | 2012 年 電子情報通信学会 | 無 | 2012 | 3.20 |
| 84 | 藤井 | 大阪大学 | CoFeSiB フリー層を有する MTJ 素子の高周波スペクトル特性 | 2012 年春季 第 59 回応用物理学関係連合講演会 | 無 | 2012 | 3.18 |
| 85 | 安部他 | 東芝 | ハイブリッド Magnetic キャッシュメモリによるノーマリオフプロセッサ | 2012 年春季 第 59 回応用物理学関係連合講演会 | 無 | 2012 | 3.17 |
| 86 | 小西 | 大阪大学 | 光学ポンプ・プローブ法を用いた CoFe/Ru/CoFe 反平行結合膜における磁化ダイナミクス測定 | 2012 年春季 第 59 回応用物理学関係連合講演会 | 無 | 2012 | 3.16 |
| 87 | 宮崎 | 東北大学 | スピントロニクスの基礎(チュートリアル) | 2012 年春季 第 59 回応用物理学関係連合講演会 | 無 | 2012 | 3.15 |
| 88 | 丸山他 | はこだて未来 | 需要調査分析による函館圏におけるデマンド交通運行計画の考察 | 情報処理学会第 74 回全国大会 | 無 | 2012 | 3 |
| 89 | 薬師寺他 | 産総研 | 大容量スピン RAM の実現に向けた垂直磁化 MTJ の開発 | 日本磁気学会誌「まぐね」Vol.7, No.1 | 無 | 2012 | 2 |
| 90 | 清水 | ルネサス | [招待講演]ノーマリオフコンピューティング課題と挑戦 | 第 190 回計算機アーキテクチャ研究発表会 | 無 | 2012 | 1.19 |
| 91 | 藤田他 | 東芝 | [招待講演]ノーマリオフプロセッサ実現に向けた腑揮発メモリの課題と展望-『不揮発ロジックのジレンマ』を如何に解決するか？ | 第 190 回計算機アーキテクチャ研究発表会 | 無 | 2012 | 1.19 |
| 92 | 中村 | 東京大学 | [パネル・オーガナイザ]ノーマリオフコンピューティングによる低消費電力化への挑戦 | 第 190 回計算機アーキテクチャ研究発表会 | 無 | 2012 | 1.19 |
| 93 | 湯浅他 | 産総研 | Magnetoresistance and spin-transfer torque in magnetic tunnel junctions | The 2nd ASRC International Workshop on Magnetic Materials and Nanostructures | 無 | 2012 | 1.10 |
| 94 | 金他 | 東大 東芝 | データ保持性を利用したキャッシュのパワーゲーティング手法 | 第 190 回計算機アーキテクチャ研究発表会 | 無 | 2012 | 1.19 |
| 95 | 有間他 | 東大 東芝 | アイドル時のキャッシュ電源遮断による性能ペナルティとその削減手法 | 第 190 回計算機アーキテクチャ研究発表会 | 無 | 2012 | 1.19 |

| 番号 | 発表者 | 所属 | タイトル | 発表誌名、ページ番号 | 査読 | 発表年 | 月日 |
|-----|--------|--------|---|---|----|------|-------|
| 96 | 湯浅他 | 産総研 | [招待講演]Magnetic tunnel junctions for non-volatile memory | 2011 Tsukuba Nanotechnology Symposium (TNS'11) | 無 | 2011 | 12.16 |
| 97 | 鈴木 | 大阪大学 | 電流と電圧によるスピンの制御 -高速省エネルギー不揮発性素子の実現に向けて | アモルファス・ナノ材料第 147 委員会 114 回研究会 | 無 | 2011 | 12.16 |
| 98 | 福島他 | 産総研 | [招待講演]Spin dice: Random Number Generator using Spin-torque Switching | 2011 TICSpin 7th Taiwan International Conference on Spintronics | 無 | 2011 | 12.04 |
| 99 | 湯浅他 | 産総研 | [招待講演]Magnetic tunnel junctions with perpendicular anisotropy for high-density spin-torque MRAM | Joint Polish-Japanese Workshop Spintronics - from new materials to applications | 無 | 2011 | 11.18 |
| 100 | 安藤他 | 産総研 | [招待講演]Spin-RAM for Normally-Off Computer | 2011 11th Non-Volatile Memory Technology Symposium (NVMTS 2011) | 無 | 2011 | 11.07 |
| 101 | Bang 他 | 産総研 | Spin-torque diode spectrum of ferromagnetically coupled (FeB/CoFe)/Ru/(CoFe/FeB) synthetic free layer | The 56th Magnetism and Magnetic Materials Conference | 有 | 2011 | 11.02 |
| 102 | 小西 | 大阪大学 | RF amplification in a Current-field driven spin transistor | The 56th Magnetism and Magnetic Materials Conference | 有 | 2011 | 11.02 |
| 103 | Ando 他 | 産総研 | Spin-RAM for Normally-Off Computer | Proc. 2011 11th Annual Non-Volatile Technology Symposium | 有 | 2011 | 11.01 |
| 104 | 久保田他 | 産総研 | Enhancement of perpendicular magnetic anisotropy in FeB free layers using a thin MgO cap layer | The 56th Magnetism and Magnetic Materials Conference | 有 | 2011 | 11.01 |
| 105 | 戸田他 | はこだて未来 | 農林水環境産業の画像技術 | 映像情報メディア学会誌 | 無 | 2011 | 11 |
| 106 | 薬師寺他 | 産総研 | Development of perpendicular-MgO-MTJs with RA-product below $3 \Omega \mu m^2$ prepared at room temperature | The 56th Magnetism and Magnetic Materials Conference | 有 | 2011 | 10.31 |
| 107 | 富田 | 大阪大学 | High speed spin-transfer switching in GMR nanopillars with perpendicular | 第 11 回「関西コロキウム電子デバイスワークショップ」 | 無 | 2011 | 10.21 |
| 108 | 塩見他 | 電通大 | 外部磁界による SpinRAM の反転時間への影響 | 第 35 回日本磁気学会学術講演 | 無 | 2011 | 9.29 |
| 109 | 大丸他 | 電通大 | GPU による SpinRAM シミュレーションの高速計算 | 第 35 回日本磁気学会学術講演 | 無 | 2011 | 9.29 |
| 110 | 福島他 | 産総研 | スピントルク磁化反転における反転確率の分散 | 第 35 回日本磁気学会学術講演 | 無 | 2011 | 9.29 |
| 111 | 富田 | 大阪大学 | 光ポンプ・プローブ法による半平行磁気結合膜の高速磁化ダイナミクス測定 | 第 35 回 日本磁気学会学術講演 | 無 | 2011 | 9.29 |
| 112 | 湯浅他 | 産総研 | 不揮発エレクトロニクスによるグリーン・イノベーション | 日本セラミックス協会 資源・環境関連材料部会「エコマテリアルの最新動向と将来」 | 無 | 2011 | 9.21 |

| 番号 | 発表者 | 所属 | タイトル | 発表誌名、ページ番号 | 査読 | 発表年 | 月日 |
|-----|-----|--------|--------------------|-------------------------|----|------|------|
| 113 | 松原 | はこだて未来 | 情報技術と農業・漁業 | 第10回情報科学技術フォーラム | 無 | 2011 | 9.09 |
| 114 | 戸田 | はこだて未来 | 画像処理技術を用いた水産業支援の試み | 平成23年電気学会電子・情報・システム部門大会 | 無 | 2011 | 9.09 |

【論文】

| 番号 | 発表者 | 所属 | タイトル | 発表誌名 ページ番号 | 査読 | 発表年 |
|----|--------|------|--|--|----|------|
| 1 | 関他 | 産総研 | Switching-probability distribution of spin-torque switching in MgO-based magnetic tunnel junctions | Applied Physics Letters, 99, 112504 | 有 | 2011 |
| 2 | Bang 他 | 産総研 | Spin-torque diode spectrum of ferromagnetically coupled (FeB/CoFe)/Ru/(CoFe/FeB) synthetic free layer | Journal of Applied Physics, vol. 111, no.7, article no. 07C917 | 有 | 2012 |
| 3 | Kim 他 | 東大 | Evaluation of a New Power-Gating Scheme Utilizing Data Retentiveness on Caches | IEICE TRANSACTIONS on Electronics, Communications and Computer Sciences, Vol. E95-A No. 12 pp. 2301-2308 | 有 | 2012 |
| 4 | 富田他 | 大阪大学 | Unified understanding of both thermally assisted and precessional spin-transfer switching in perpendicularly magnetized giant magnetoresistive nanopillars | Applied Physics Letters 102, 042409 | 有 | 2013 |