

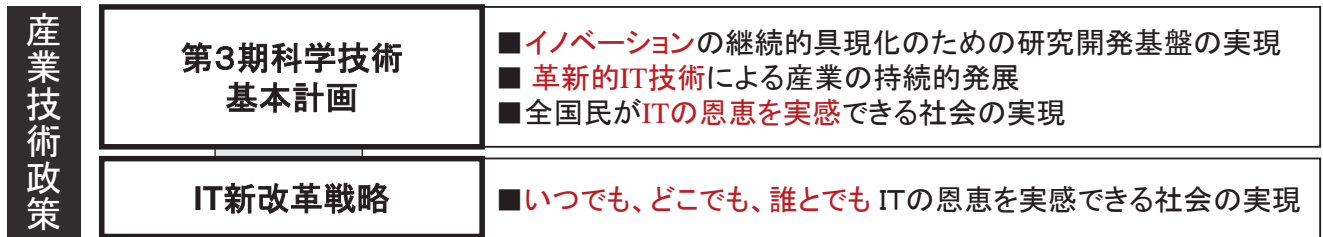
低炭素社会を実現する超低電圧ナノエレクトロニクスプロジェクト
「ナノエレクトロニクス半導体新材料・
新構造ナノ電子デバイス技術開発」
(事後評価)
(2007年度～2011年度 5年間)

NEDO
電子・材料・ナノテクノロジー部
平成24年9月21日

独立行政法人 新エネルギー・産業技術総合開発機構

5. プロジェクトの概要説明
 5. 1 事業の位置づけ・必要性
 5. 2 研究開発マネジメント
 5. 3 研究開発成果
 5. 4 実用化の見通し

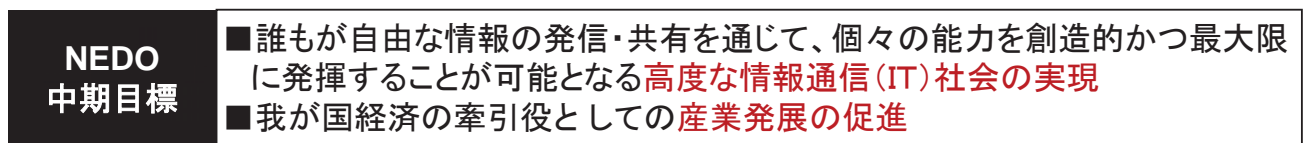
経済産業省 研究開発プログラム「イノベーションプログラム」の『IT』と『ナノテク・部材』の一テーマとして実施



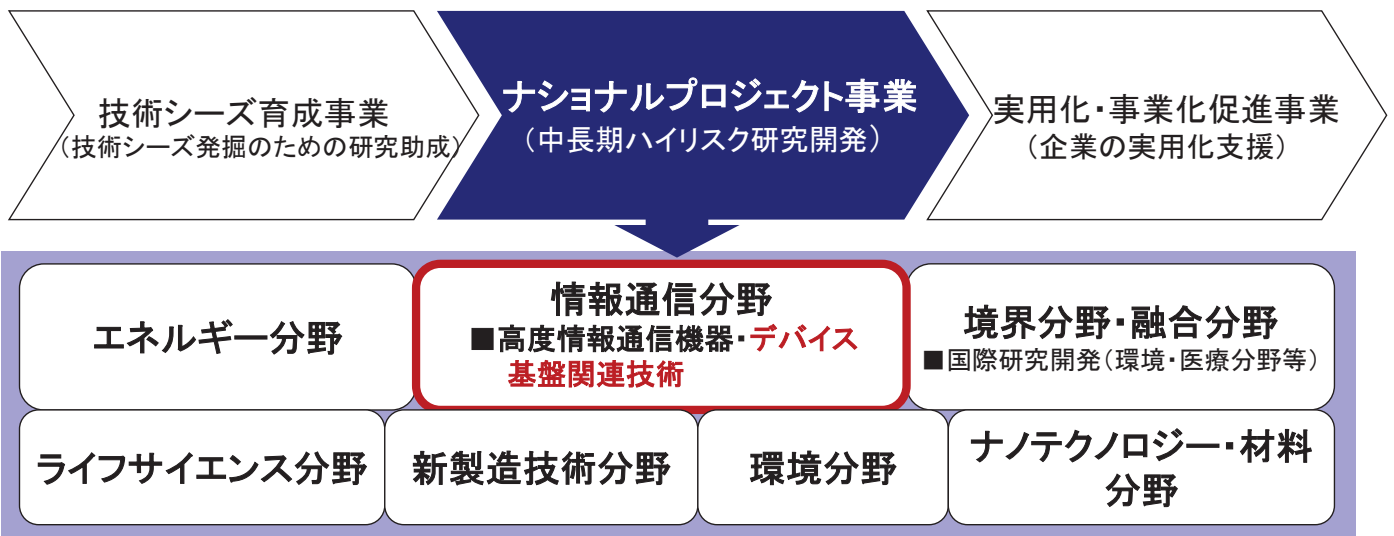
イノベーションプログラム



NEDO中期目標「高度な情報通信社会の実現」における情報技術開発分野の半導体技術の一環



NEDO事業一覧図

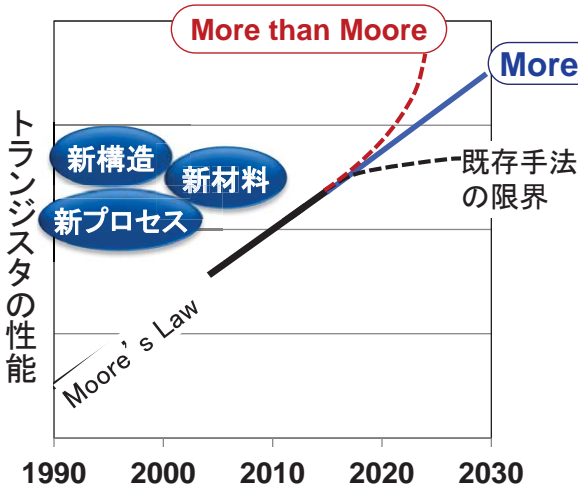


微細化に依存しない基盤技術の探索

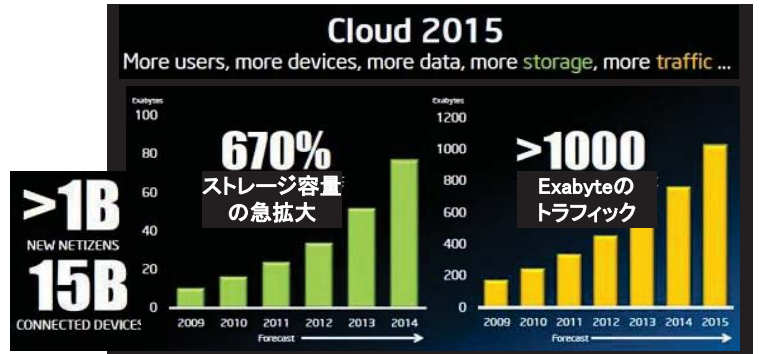
【社会的背景】

微細化依存の性能向上に物理的限界

市場の性能向上要求は益々加速



<Intel Investor Meeting 2011より>



【事業目的】

More than Moore、Beyond CMOSへの挑戦

Si微細化に依存しない半導体基盤技術の探索

【NEDO事業の妥当性】

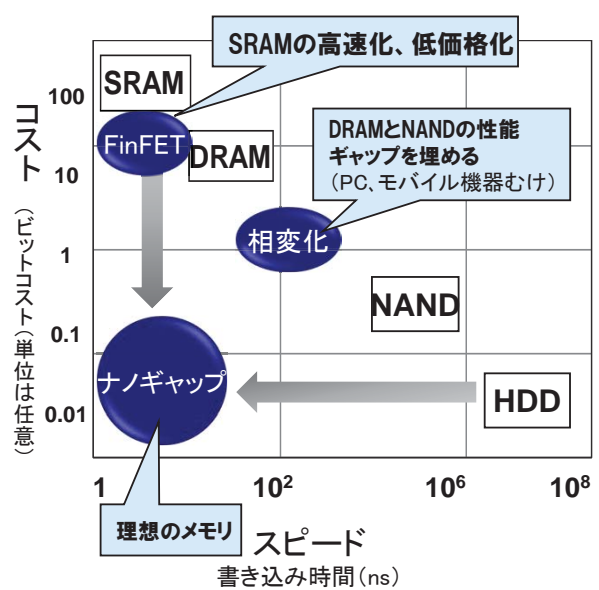
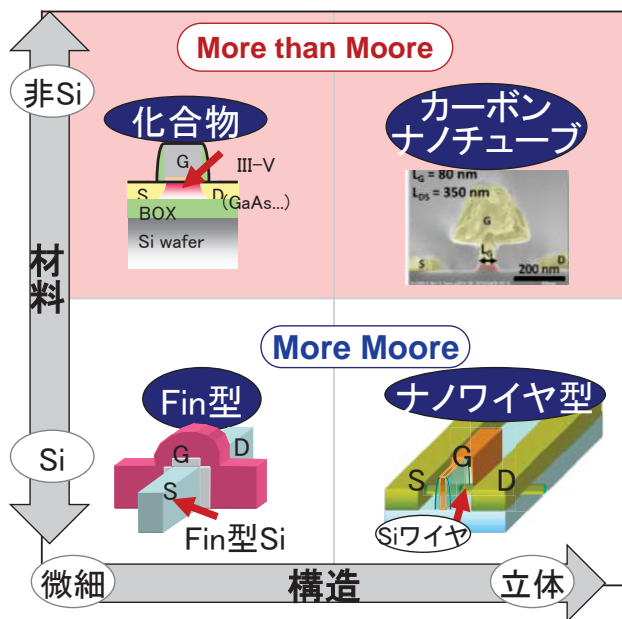
探索対象が多く個別企業、研究機関ではリスクが高い

NEDOが関与すべき事業

研究対象

ロジック

メモリ



評価技術

ウエハの原子空孔濃度

製品歩留り

シリコンウェハ中の原子空孔濃度測定技術



目標：次世代基礎基盤技術の確立

公開資料

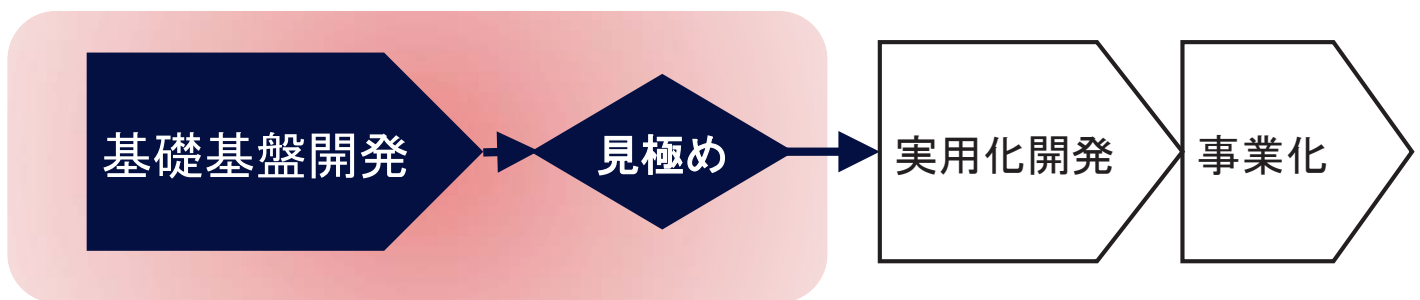
平成23年度までに、10年後の事業化を見据えた**基礎基盤技術を確立する**
 そのために

- ①シリコンナノワイヤ技術、②次世代メモリ技術、③新材料技術
 の分野で**将来使える技術を見極める**

2007年

2011年

~2020年



本プロジェクトの位置づけ

6/27

予算の推移:

公開資料

総額約24億、各テーマほぼ均等に予算配分
 H22に3案件に加速を実施

予算の変遷

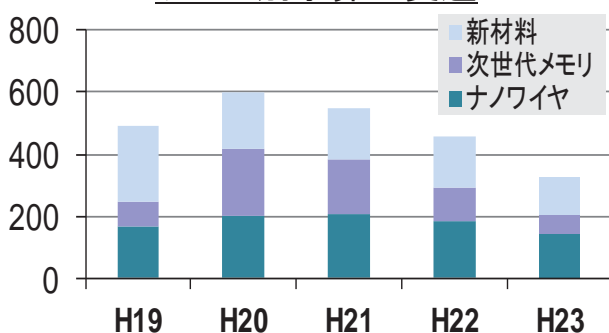
(百万円)

会計・勘定	H19	H20	H21	H22	H23	総計
経産省	493	599	—	—	—	1,092
NEDO	—	—	564	468	260	1,292
加速予算(内数)	—	—	—	(69)*	—	(69)
総予算額(M円)	493	599	564	468	260	2,384

* 加速: 次世代メモリ15百万円(ナノギャップ:15)、
 新材料:54百万円(III-V族:25、空孔:29)

(百万円)

テーマ別予算の変遷



プロジェクト別予算総額

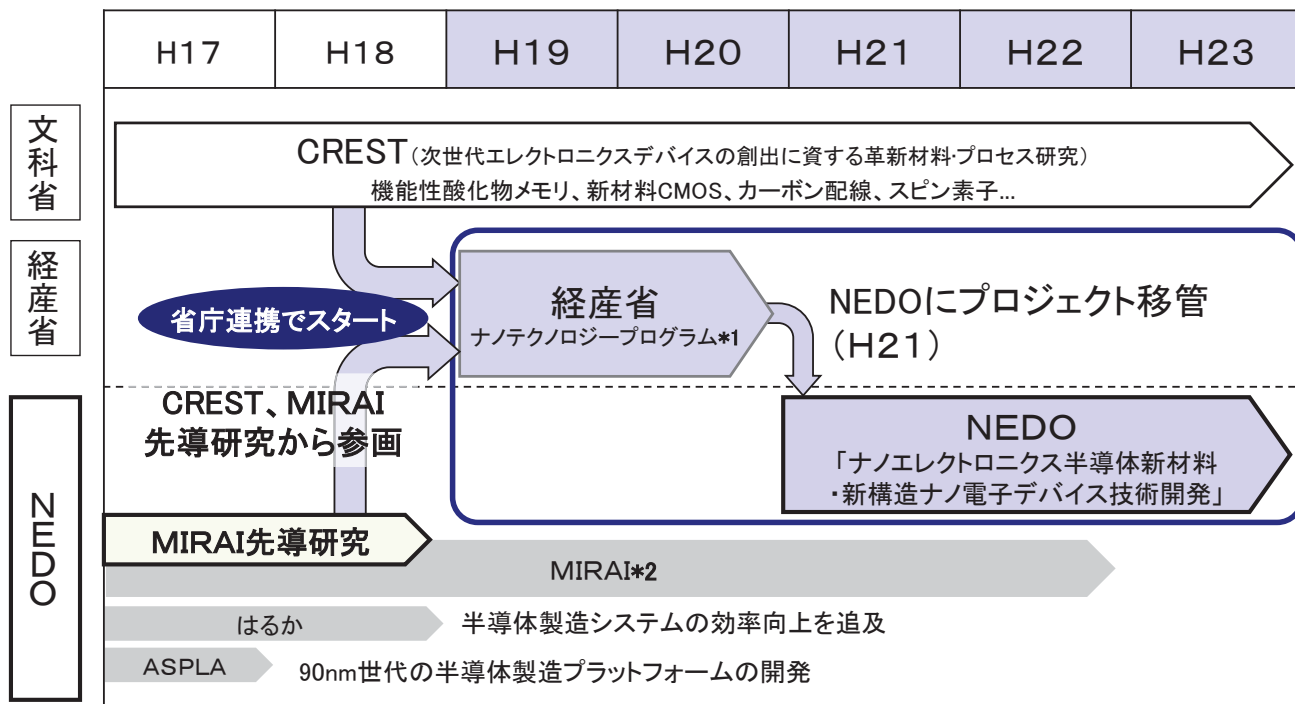
ナノワイヤ 8.7億円	知的総合研究*	:2.8億円
	ナノワイヤFET	:2.8億円
	物性探究・集積化	:3.2億円
次世代メモリ 6.4億円	Fin-FET	:2.6億円
	相変化メモリ*	:1.4億円
	ナノギャップ**	:2.4億円
新材料 8.8億円	カーボンナノチューブ*	:1.5億円
	III-V族**	:4.4億円
	原子空港濃度**	:2.9億円

* 早期終了

** 加速付与

7/27

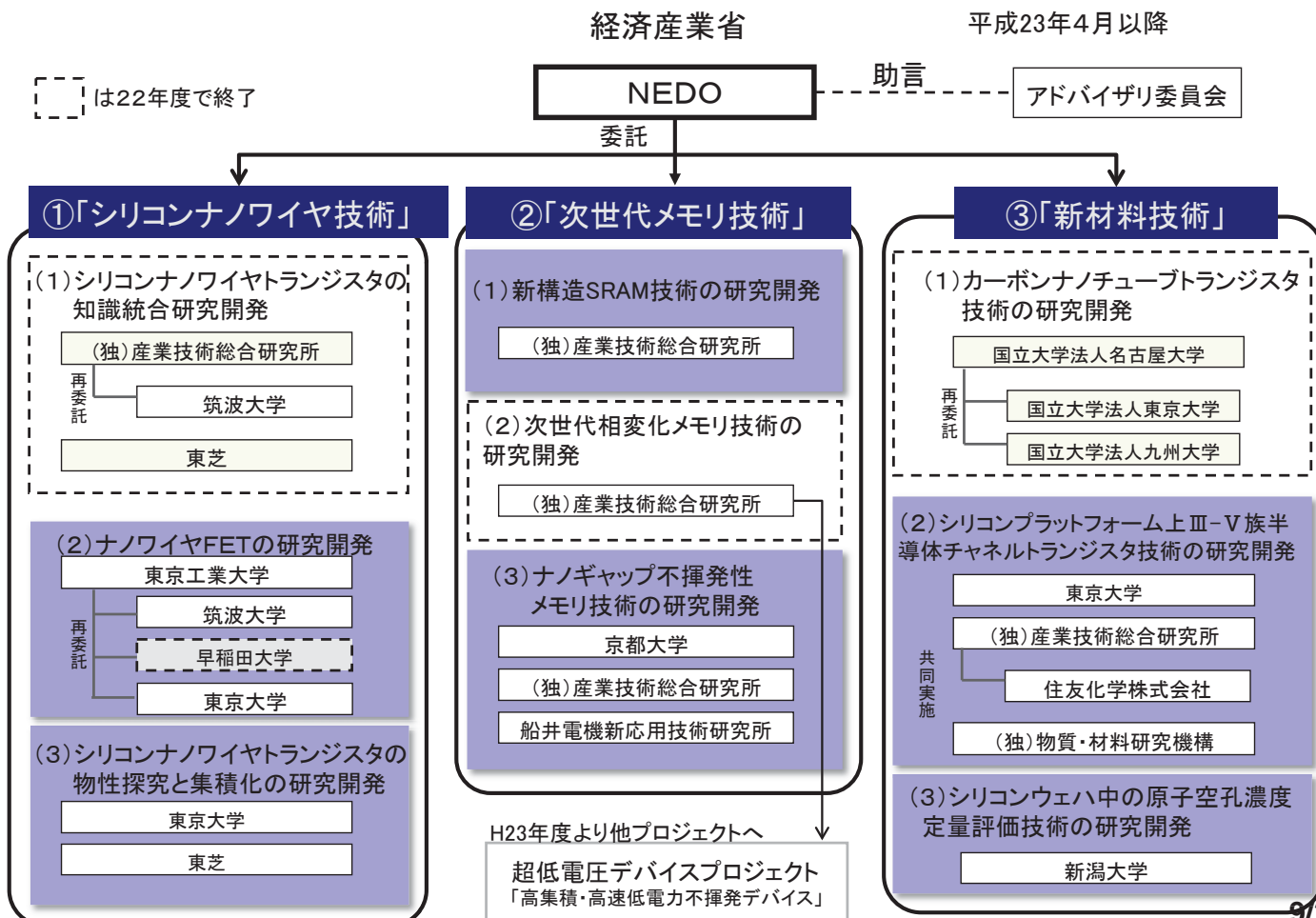
<経緯> 省庁連携でスタート後、経産省直執行からNEDOプロへ



*1 : ナノエレクトロニクス半導体新材料・新構造技術開発のうち新材料・新構造ナノ電子デバイス
H21年に経産省からNEDOにプロジェクトへ移管

*2 : 次世代半導体材料・プロセス基盤技術開発 (MIRAI: Millennium Research for Advanced Information Technology)、
新構造極限CMOS、特性ばらつき、EUVリソ。

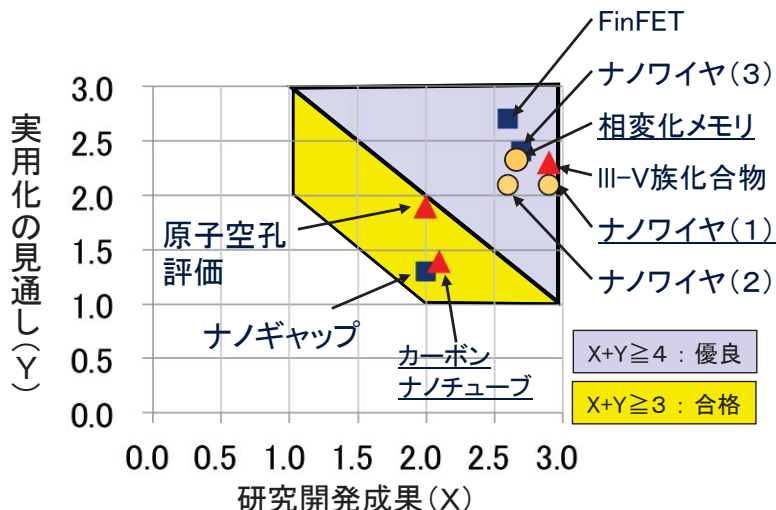
PJ体制 : NEDOマネジメントの元9つのプロジェクトが個々に活動



プロジェクト全体で優良レベル (4.7点) の評価

$$X + Y = 2.6 + 2.1 = 4.7$$

事業の位置づけ・必要性	2.9
研究開発マネジメント	1.9
研究開発成果 (X)	2.6
実用化の見通し (Y)	2.1



<コメント>
 ○総合的に十分期待に応える成果を上げている。
 ○次代の半導体産業の基盤となる基礎データを構築している。
 ○ナノエレクトロニクスをターゲットとした革新的なテーマが選定され、成果が順調に積み上がっている。
 △ナノワイヤ技術は3つの案件が独立した活動になっている。今後は連携をすすめるべき。
 △CNTなど個別テーマはクリアしているが全体目標の集積回路システムへの適用にはまだ改善が必要。

情勢変化への対応

- (1) テーマ内類似プロジェクトの連携を推進... ナノワイヤ3テーマの連携
- (2) 全体予算削減に伴う案件絞込み ... 前倒し終了 (ナノワイヤ、CNT)
- (3) 関連PJの実用化強化のため案件移行 ... 相変化メモリを超低電圧デバイスPJに移動
- (4) 目標達成の促進... ナノギャップ、III-V族、原子空孔濃度評価へ加速予算追加

シリコンナノワイヤ技術

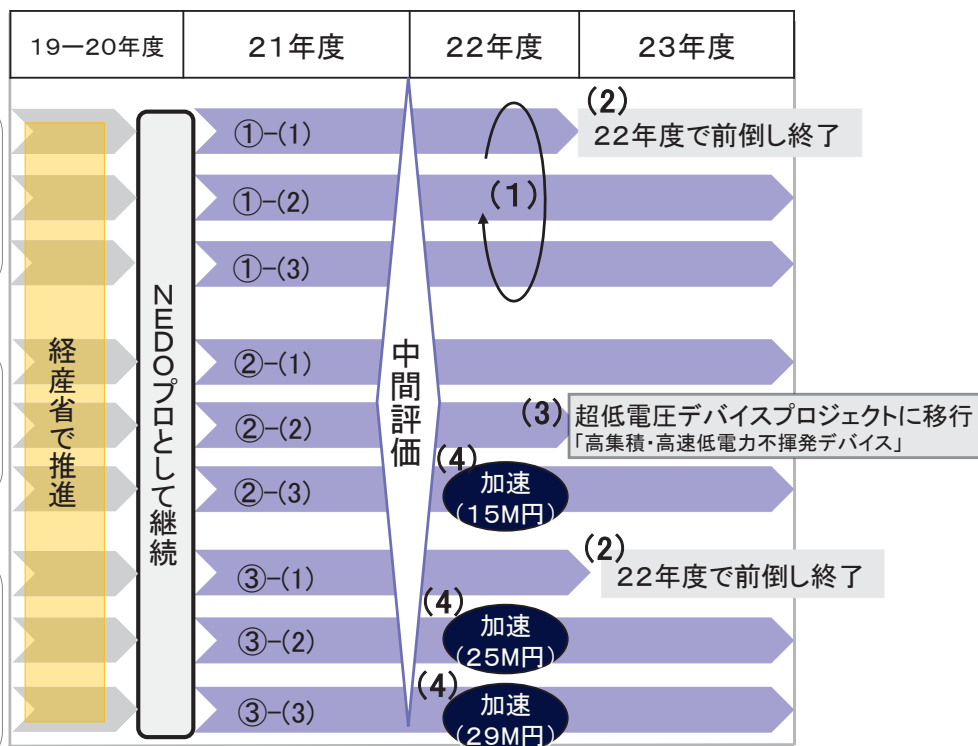
- (1) シリコンナノワイヤトランジスタの知識統合研究開発
- (2) ナノワイヤFETの研究開発
- (3) シリコンナノワイヤトランジスタの物性探究と集積化

② 次世代メモリ技術

- (1) 新構造SRAM技術 (FinFET)
- (2) 次世代相変化メモリ技術
- (3) ナノギャップ不揮発性メモリ

③ 新材料技術

- (1) カーボンナノチューブトランジスタ
- (2) III-V族半導体チャネルトランジスタ
- (3) シリコンウェハ中の原子空孔濃度定量評価



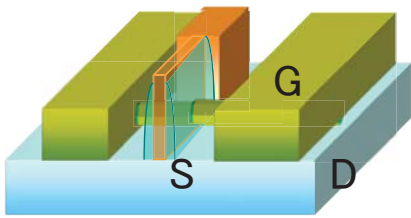
①シリコンナノワイヤー技術

テーマ	目標	成果	達成度
(1)知識統合研究	<ul style="list-style-type: none"> 直径10nm以下のSiナノワイヤトランジスタを作製、構造制御の効果を明確化 サブnm形状やポテンシャル分布の計測技術を実現 統合的シミュレーション技術、デバイスシミュレータを開発 	<ul style="list-style-type: none"> NiSi₂の固相エピタキシャル成長法を用いて、ナノワイヤに単結晶メタルソース・ドレインを形成する技術を確立。 独自の測定技術を開発し、ポテンシャル分布を0.1V精度の測定に成功。 事業段階に応用可能なプロセス設計シミュレーション技術を開発した。 	○
(2)ナノワイヤFET開発	<ul style="list-style-type: none"> 電子構造解析により解明すべき物理現象を明確化 バリスティシティ等の性能最適化指針を明確化 SiナノワイヤFET作製評価により技術課題を明確化 Siナノワイヤデバイスのロードマップ作成 	<ul style="list-style-type: none"> SiナノワイヤFETの特性評価を可能とするTEGの設計を完了し、半導体製造装置に実際に試作を投入した。その結果、一本当たり40μAを超えるオン電流を得る事に成功した。 5nmプロセス時に解決すべき課題を8つの項目に分け、科学的、技術的課題をリストアップ。2024年実用化にむけたロードマップを作成した。 	◎
(3)物性探究と集積化	<ul style="list-style-type: none"> プレーナバルクMOSFETより高移動度を示すパラメータを明確化 チャンネル長25nm以下、チャンネル径10nm以下のSiナノワイヤトランジスタ作製 	<ul style="list-style-type: none"> ワイヤ幅が9nmの時に正孔移動度が最大になることを明らかにして目標値よりも小さいチャンネル長14nm、チャンネル径10nmのトランジスタ動作を実現した。 	◎

①シリコンナノワイヤー技術

①-(1)シリコンナノワイヤトランジスタの知識統合

CAD開発に反映できるシミュレーションモデルを開発



電子状態を密度汎関数法で計算

- 電気伝導シミュレーション
- レートモデルによるI-V特性計算

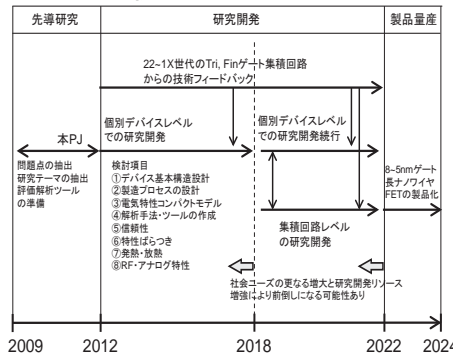
バリスティックな電気伝導度の計算を実現

- 不純物モデリングシミュレーション
- 構造最適化シミュレーション
- 界面シミュレーション

①-(2)ナノワイヤFET

技術開発ロードマップを作成

5~8nm世代のナノワイヤFET技術開発ロードマップ



ナノワイヤ物理の理論的把握

- 4万原子の第一原理計算
- 電子構造の強い断面形状依存性

ナノワイヤ特性のモデル化

- バリスティックモデル
- 準バリスティックコンパクトモデル
- 電子電子散乱モデル

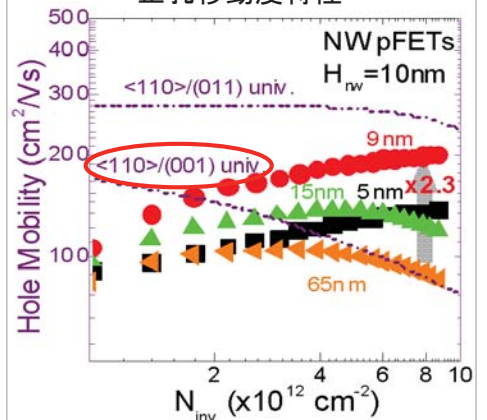
試作実験

- 量産可能な試作プロセスを開発

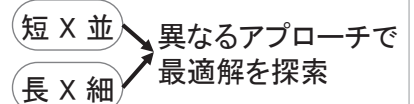
①-(3)シリコンナノワイヤトランジスタの物性探究と集積化

高性能特性を確認

正孔移動度特性



ワイヤ長 × ワイヤ径



ワイヤ幅9nmでユニバーサル移動度の2.3倍の正孔移動度を達成。移動度測定は世界初

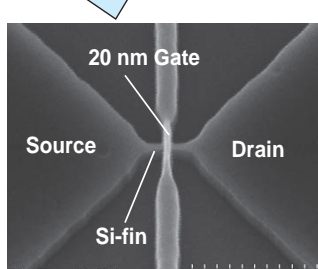
②次世代メモリ技術

テーマ	目標	成果	達成度
(1)FinFET-SRAM	<ul style="list-style-type: none"> ・20nm級立体構造FinFET技術の開発 ・上記技術を用いた4端子SRAMアレイの開発 ・従来トランジスタ比較で同面積で高速動作、低消費電力を実証する 	<ul style="list-style-type: none"> ・20nmで世界最小レベルの特性バラツキを実現。 ・Flex-Pass-Gate-SRAM回路を実現。素子バラツキとSRAM特性バラツキの相関を解明。 ・バルクトランジスタと同面積比較で動作余裕1.5倍、待機消費電力1/30を実現 	◎
(2)相変化メモリ	<ul style="list-style-type: none"> ・ナノレベル構造制御カルコゲナイド薄膜の結晶構造検討 ・製造シミュレーション技術の開発 ・大規模集積化のための薄膜物性データベースの構築 ・デバイス試作 	<p>ゲルマニウム(Ge)-アンチモン(Sb)-テルル(Te)三元合金を用いた超格子型相変化メモリを作製・評価し、従来型相変化メモリの消費電力比で1/30以上を達成し、当初目標の1/5を大きく上回った</p>	◎
(3)ナノギャップメモリ	<ul style="list-style-type: none"> ・平面微細NGS素子開発、ナノギャップ物性変化測定 ・縦型NGS素子開発、4kbitデバイス試作、書換速度100ns、書換耐性10⁶回以上を実証 ・実用レベルのローパワー化のために、まず最大電流20μA以下、動作電圧5V程度を実現 	<ul style="list-style-type: none"> ・ギャップ長5nm、ギャップ幅10nmの平面先鋭型NGSを作製し、メモリ動作を確認。 ・縦型アレイ構造を実現し4Kbit単位で書換速度数十ns、書換耐性10⁶回以上を達成。 ・素子構造の微細化、活性ガスの充填などで4.5V、2μAを達成。加えてギャップ幅とフォーミング電圧の相関性を発見し、更なる低電圧化の可能性を示した。 	○

②次世代メモリ技術 (1)Fin-FET SRAM

「短ゲート長Fin型FET」、「新SRAM構造」「低消費電力特性」を実現し次世代メモリの実現可能性を示した

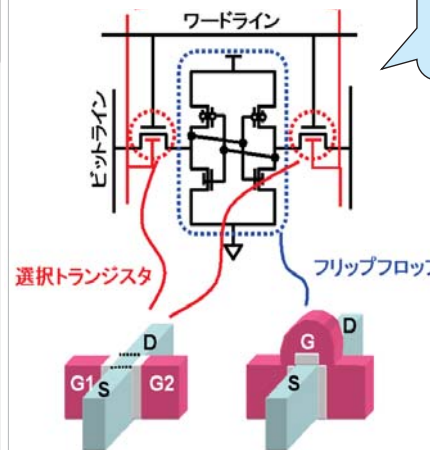
・ゲート長20nmのFin-FET試作に成功
・世界最小の特性バラツキを確認



20 nm Gate
Source Drain
Si-fin

5.0kV 7.7mm x100k SE(U) 500nm

新提案Flex-PG-SRAM

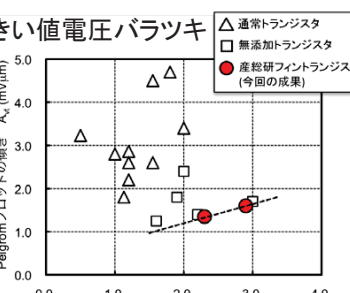


ワードライン
ビットライン
選択トランジスタ
フリップフロップ

・4端子FinFETを用いたFlex-Pass-Gate-SRAM回路の試作に成功

・バルクトランジスタ比でセル面積増加無、動作余裕1.5倍、待機時消費電力1/30を確認

しきい値電圧バラツキ

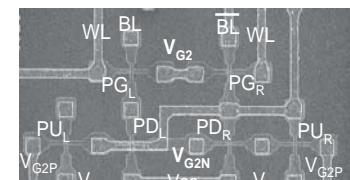


△ 通常トランジスタ
□ 無添加トランジスタ
● 産総研フィントランジスタ (今回の成果)

しきい値電圧のバラツキ V_{th} (mV/μm)

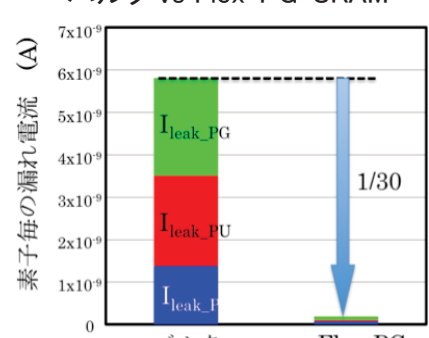
ゲート酸化膜厚 T_{ox} (nm)

Flex-PG-SRAM上面SEM画像



WL BL WL
PG_L PG_R
PU_L PD_L PD_R PU_R
V_G2P V_G2N V_G2P
V_DD V_SS V_DD V_G2P

SRAM漏れ電流量
バルク vs Flex-PG-SRAM



素子毎の漏れ電流 (A)

バルク Flex-PG

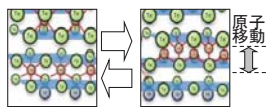
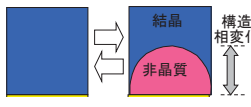
I_{leak_PG}
 I_{leak_PU}
 I_{leak_F}

1/30

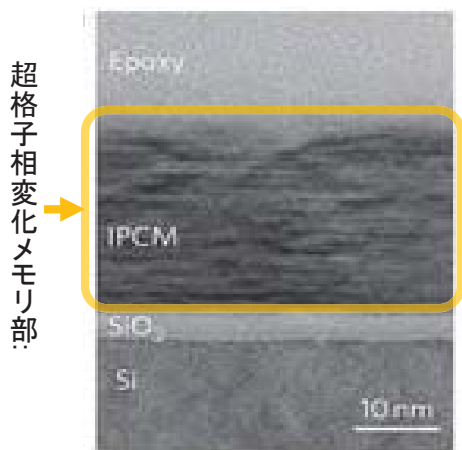
②次世代メモリ技術 (2)次世代相変化メモリ

公開資料

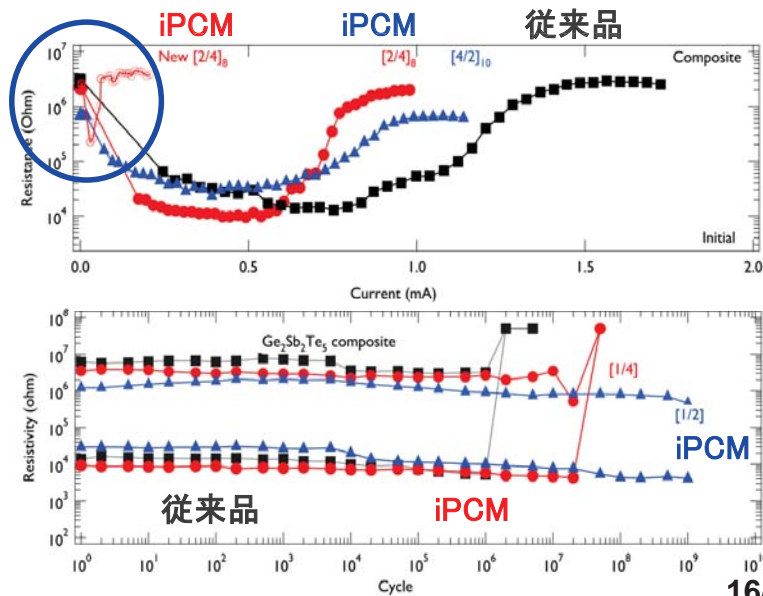
超格子相変化: Geの短範囲移動による相変化

超格子材料 GeTe/Sb ₂ Te ₃	従来材料 Ge ₂ Sb ₂ Te ₅
	
結晶⇄結晶 (Geの短範囲移動)	結晶⇄非晶質
相変化エネルギー 1/20	1 (規格化)

- 超格子型に適した材料を見だしメモリ機能を確認
- 消費電力1/30以下を実証
(目標:従来型相変化メモリ構造比1/5)



iPCM: Interfacial Phase-Change Memory



16/27

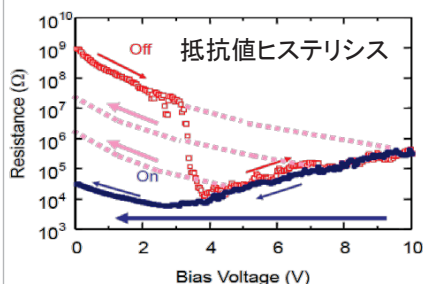
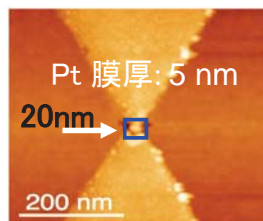
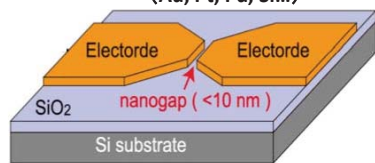
②次世代メモリ技術 (3)ナノギャップメモリ

公開資料

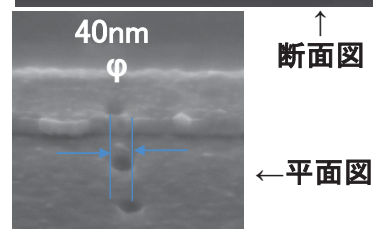
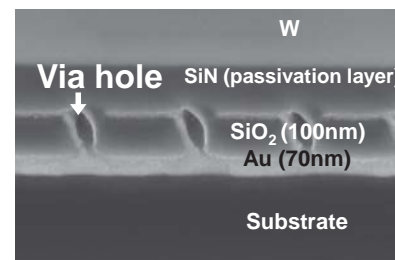
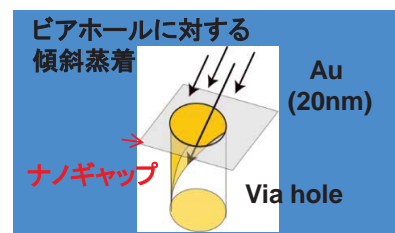
「低コスト」「高集積化」「DRAM対抗」実現の可能性を示した

シンプルな構造

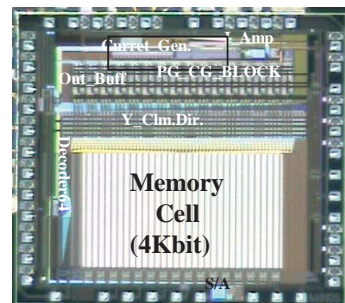
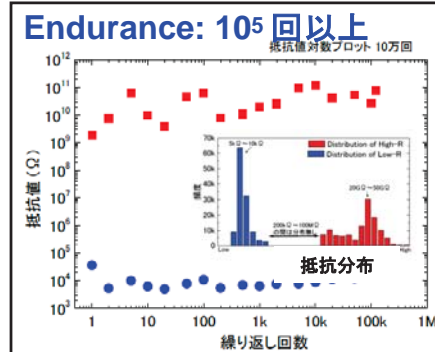
構成要素: 金属電極のみ
(Au, Pt, Pd, Si...)



縦型化/アレイ化で集積度を向上
Φ = 40nmの縦型素子作製に成功



- ①高速性: HRS (L→H) : 1 ns < LRS (H→L) < 100 ns
- ②稠密性: Via-hole径φ = 40 nm
- ③書き換え耐性: 10⁵回以上 (@ 単体) 10³回 (@ 4kb)



17/27

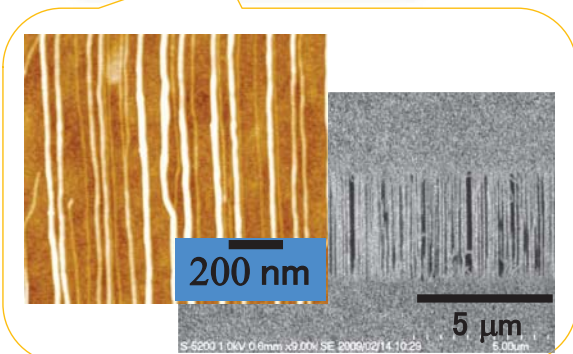
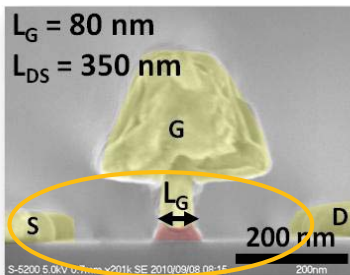
③新材料技術

テーマ	目標	成果	達成度
(1)CNTトランジスタ	<ul style="list-style-type: none"> ・高密度チャネルFETで電流利得遮断周波数50GHz以上を実証 ・半導体CNT 優先成長、Siウエハ上CNT高密度配向成長を実現 ・局所評価技術の有効性を検証 	<ul style="list-style-type: none"> ・ゲート長80nmのFETを作成し、電流利得遮断周波数100GHzの可能性を示した。 ・23本/umの高密度配向成長を実現。 ・KFM,MFM法を用いてCNTの欠陥測定、マルチチャネルFET内の有効CNTの測定を実現した。 	○
(2)Ⅲ-V族半導体	<ul style="list-style-type: none"> ・Si上のnチャネルⅢ-V族MISFETの作製技術を開発し、その高移動度動作を実証する。 ・最適素子構造・材料の明確化、CMOSプラットフォームへの適用性の明確化、大規模集積化の可能性を示す。 	<ul style="list-style-type: none"> ・貼り合わせ法により、膜厚3.5nmまでの極薄ボディInGaAs-OI構造を実現し、高いピーク移動度(5,500cm²/Vs)を達成。 ・Ni-InGaAs、Ta/Al₂O₃が高速動作に有効であることを実証した。 	◎
(3)原子空孔濃度評価	<ul style="list-style-type: none"> ・原子空孔濃度の面内分布分析技術確立 ・大規模ナノレベルシミュレーション技術開発 ・原子空孔濃度を制御した完全結晶ウエハ作製技術確立 ・原子空孔濃度とデバイス特性との関連を調査/検証 	<ul style="list-style-type: none"> ・超音波装置と希釈冷凍機を用いた低温・磁場下でのウエハ中原子空孔評価装を開発した。また、ギガヘルツ発振ZnO圧電素子を成膜し、原子空孔濃度分析システムを完成させた。その結果、20mKまでの極低温領域まで高い音速分解能($\Delta v/v = 10^{-6}$以上)を達成した。 	◎

②新材料技術 (1)カーボンナノチューブ(CNT)トランジスタ

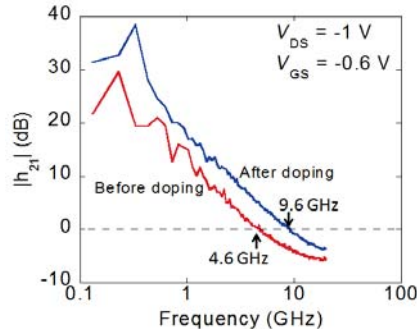
基礎研究段階でCNT-FETコンプリメンタリインバーターの動作を実証、真性動作周波数としてSiレベルの100GHzの可能性を示す

電子ビーム描画技術と二層レジストを用いたマッシュルームゲートCNT-FET



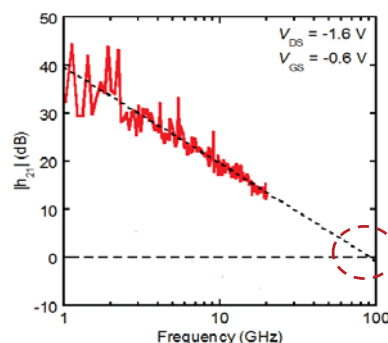
高密度配向成長 23本/μm

F₄TCNQドーピングによる電流利得遮断周波数の改善



4.6GHz→9.6GHz

寄生素子を除去した時の電流利得の周波数依存性

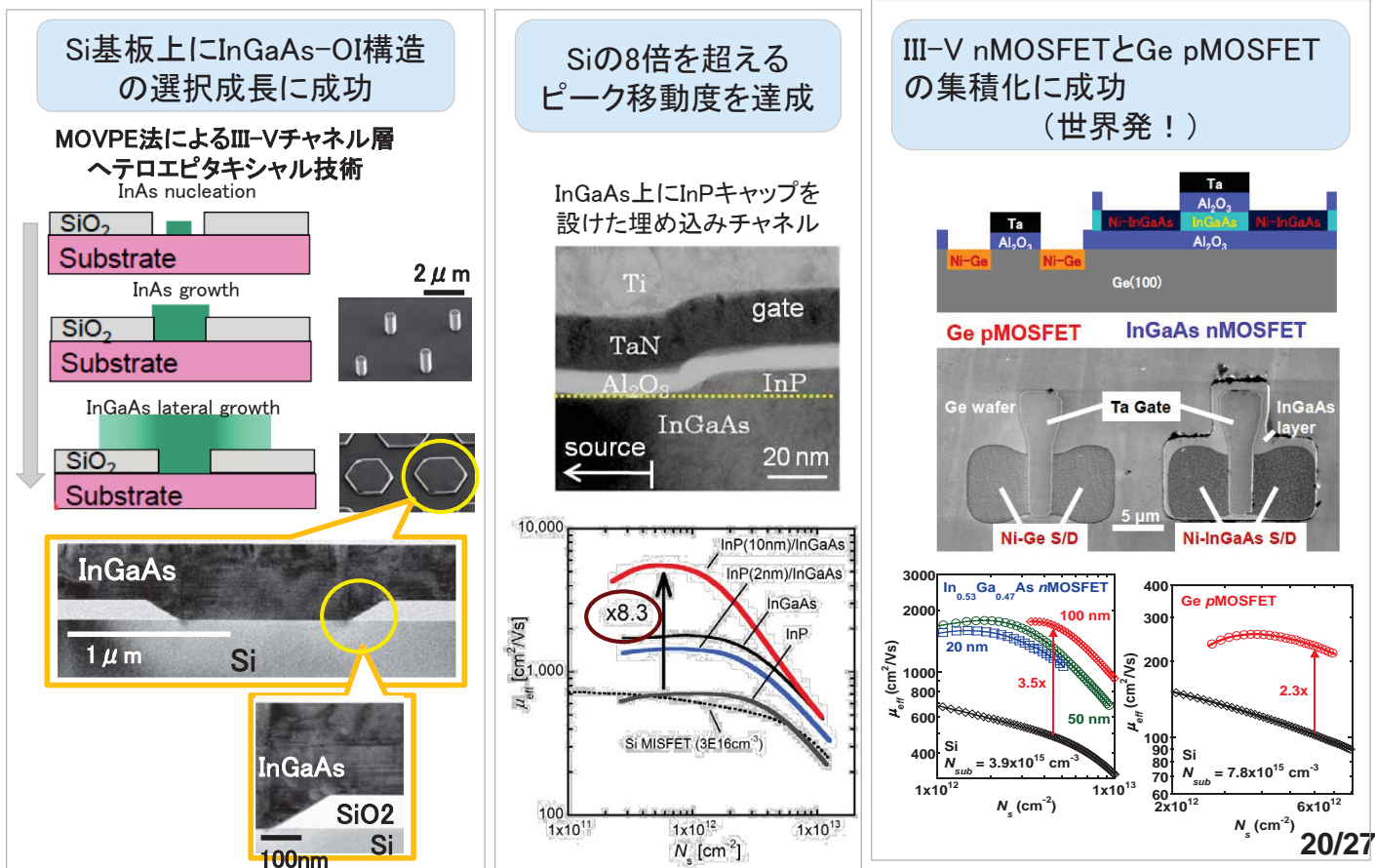


電流利得遮断周波数 100 GHzの実現が可能

②新材料技術 (2)Ⅲ-V族半導体チャネルトランジスタ

公開資料

「量産性」「高性能」「集積化」を実証しMore than Moor候補であることを示した



②新材料技術 (3)シリコンウェハ中の原子空孔濃度定量評価

公開資料

仮説: ナノレベルのプロセスでは原子空孔が品質に影響を及ぼす

ウェハの原子空孔濃度測定方法の確立

ウェハの原子空孔濃度と製品歩留の相関確認

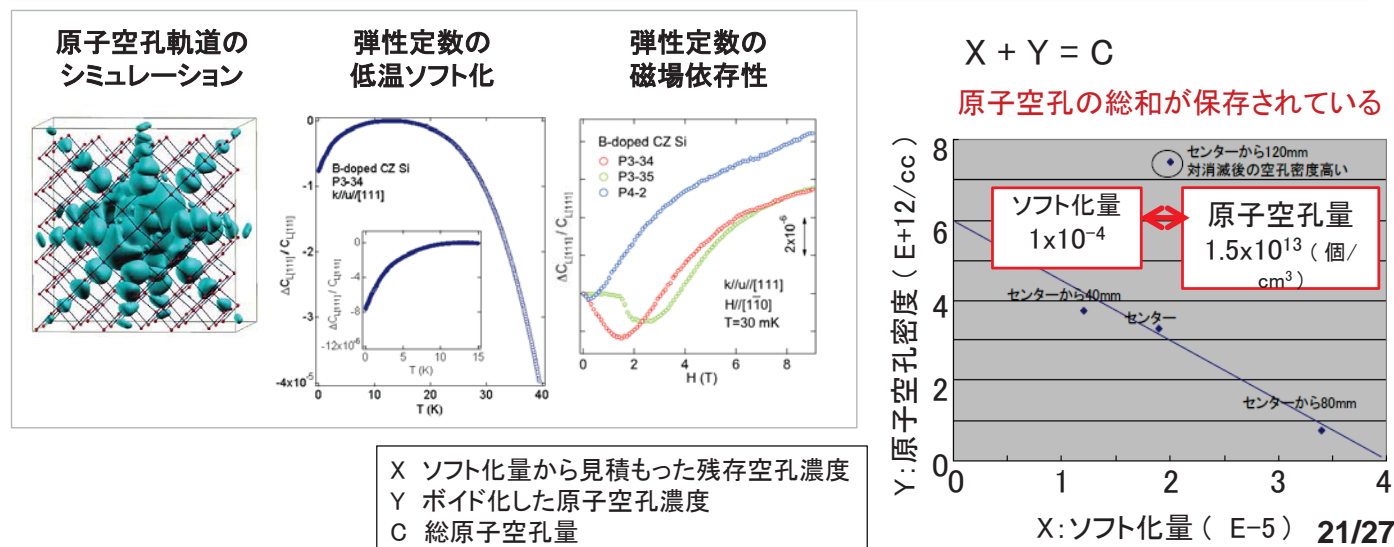
要因分析 (原因解明)

原子空孔制御方法開発

ウェハレベルで品質を担保

ウェハメーカーの付加価値向上

低温超音波計測でシリコン結晶の低温ソフト化とその磁場依存性を測定することで原子空孔濃度を定量測定する分析技術を開発



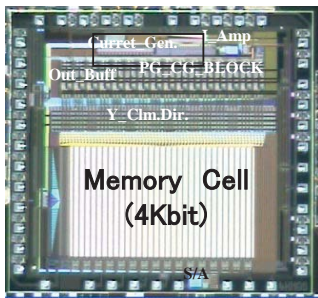
加速内容

公開資料

②-(3)
ナノギャップメモリ

15M円

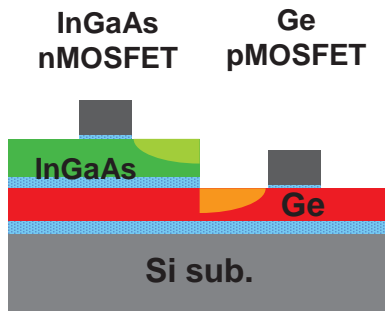
4Bitメモリアレイの
動作検証環境構築



③-(2)
Ⅲ-V族半導体
チャンネルトランジスタ

25M円

Si基板上にⅢ-V族チャンネル
nMOSFE、Ge pMOSFETを
集積化する基板技術開発

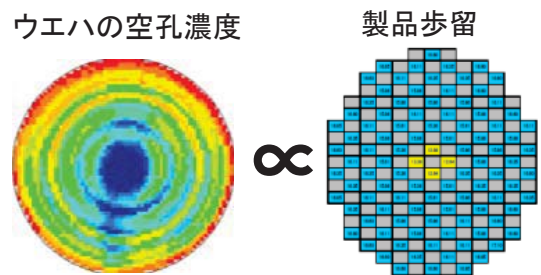


SOI基板上に薄膜Ge-On-Insulator (GOI)
構造を形成し、この基板の上にⅢ-V族
チャンネルを貼り合わせる技術

③-(3)
原子空孔濃度
定量評価

29M円

量産品の300mmウエハを用い
原子空孔濃度の測定と
半導体製品の歩留まりを測定



22/27

3. 研究開発成果について

(2) 成果の意義

公開資料

		意義
① ナノワイヤ技術	(1)知識統合研究	本研究の作製プロセスや計測技術、シミュレーション手法などの要素技術は、そのままナノレベルの精度を要求されている現行のシリコンLSIプロセスに適用可能であるため設計/製造ツールの開発促進に貢献する
	(2)ナノワイヤFET開発	実用化の技術課題を明確にして、ITRSに先んじて2024年頃の8nm以下の微細化にむけたロードマップを作成した。
	(3)物性探究と集積化	ワイヤ幅7nmのトランジスタ移動度を世界で初めて測定し、通常のプレーナバルクMOSFETより高い性能を示し、300mmラインで高精度特性を確認したことで「More Moor」デバイスとしてのフィージビリティを示した。
② 次世代メモリ技術	(1)FinFET-SRAM	4端子FinFETのSRAMアレイ試作に成功しメモリセルとしては実用化に近い。
	(2)相変化メモリ	超格子構造により従来型相変化メモリの1/10以下の低消費電力が確認できたことは、NAND FLASHを含むモバイル端末向けメモリへの可能性を示している
	(3)ナノギャップメモリ	従来のプレーナー型と異なるシンプルな縦型構造で100ns以下の高速動作で不揮発メモリ特性を確認できたことは、将来、不揮発メモリの主力になる可能性を示している。
③ 新材料技術	(1)CNTトランジスタ	基礎研究段階で数十ゲート長のFET構造を実現し、CMOS並みのスピード(100GHz)を示したことは、将来の半導体材料としての可能性を示している。
	(2)Ⅲ-V族半導体	シリコン上にⅢ-V族による微細化のフィージビリティを明確にしたことは将来の量産化の道を開いた。
	(3)原子空孔濃度評価	ウエハー段階の原子空孔濃度と最終製品の歩留りに相関性を確認。この空孔濃度を制御する技術が確立できれば、ウエハービジネスの付加価値を向上する新しい事業に展開できる可能性を示した。

特許の5割弱は国際出願

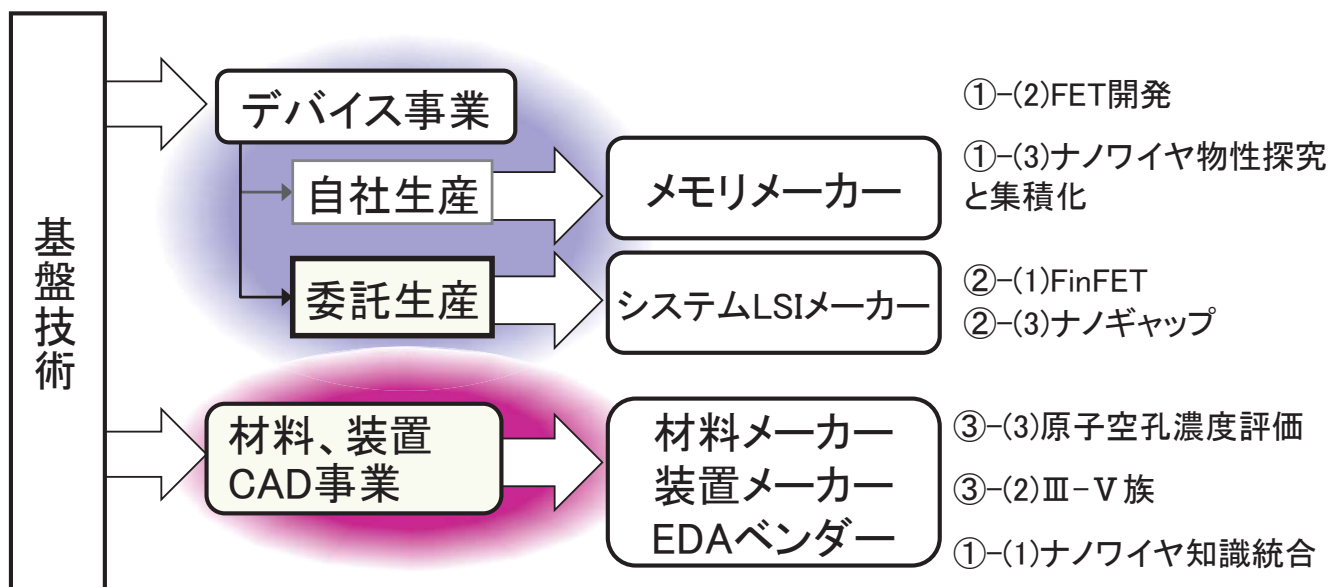
テーマ	特許(内国際)	論文	講演、他
①-(1): Siナノワイヤトランジスタの知識統合	3(0)	24	86
①-(2): ナノワイヤFET	3(0)	30	9
①-(3): Siナノワイヤトランジスタの物性探究と集積化	12(6)	19	79
②-(1): 新構造FinFETによるSRAM	13(7)	26	99
②-(2): 次世代相変化メモリ	16(7)	4	5
②-(3): ナノギャップ不揮発性メモリ	34(12)	18	63
③-(1): CNTトランジスタ	5(0)	32	161
③-(2): III-V族半導体チャネルトランジスタ	45(31)	49	224
③-(3): Siウエハ中の原子空孔濃度定量評価	18(6)	8	28
合計	149(69)	210	754

事業原簿 特許論文リスト

24/27

実用化・事業化の可能性

- (1) メモリ事業への打ち出しに期待
 (2) 装置、材料メーカーの競争力としての出口も有力候補。



25/27

実用化にむけた取り組み:

		今後の活動	将来の想定事業
① Siナノワイヤ技術	(1)知識統合	《研究継続》 将来のメモリ、ロジックへの活用を目指しデバイス、メーカーで研究を継続する	メモリ、ロジックデバイス
	(2)FET開発		
	(3)物性探究と集積化		
② 次世代メモリ技術	(1)FinFET-SRAM	《実用化研究》 2016年頃の国内半導体メーカーへの提供をめざしLEAPおよび回路設計受託会社1社と共同研究を開始	組込み用メモリコアから始めロジックデバイスに展開
	(2)相変化メモリ	「超低電圧プロジェクト」に移管	
	(3)ナノギャップメモリ	《実用化研究》 採用予定メーカーと産総研で開発継続	D-TV,STBむけSoCのエンベデッドメモリから参入
③ 新材料技術	(1)CNTトランジスタ	早期終了	
	(2)Ⅲ-V族半導体	《研究継続》 NEDO「省エネルギー革新技術開発事業」および内閣府「先端研究開発支援プログラム」で研究継続	次世代のロジック系デバイスに適用
	(3)原子空孔濃度評価	《実用化研究》 装置メーカー、ウエハメーカーと研究継続	・ウエハ事業(空孔濃度データサービス) ・原子空孔評価装置事業

実用化へのロードマップ (※)

