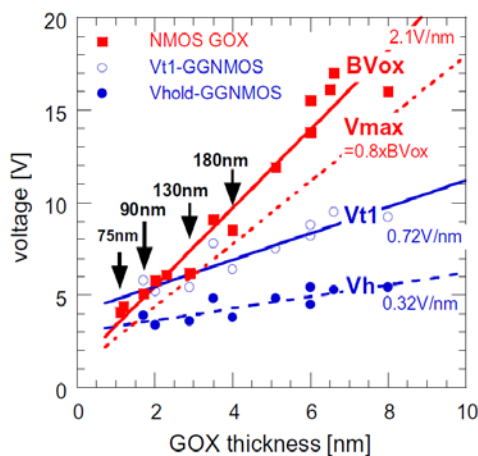


2)トランジスタノイズに起因する回路誤動作モデリング技術の開発

2)-1 耐 ESD 技術開発

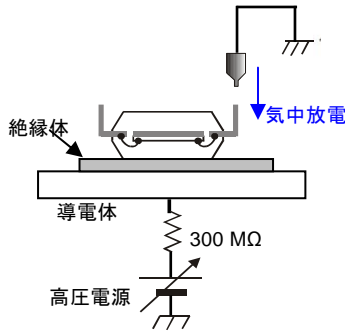
2)-1-1 開発の背景と目的

半導体デバイスの微細化とともに、静電気保護(ESD 保護)のオンチップ設計が急激に難しくなった。オンチップ素子の構成要素(PN 接合、ゲート酸化膜、メタル配線 etc.)が、各々微細化されることにより、取り扱うことができる電流、電圧、電界レベルが急激に減少したためである。Ⅲ-2- I -③-(2)-図 2)-1-1-1 は、デバイスの微細化が及ぼす ESD 保護設計に対する影響を示している。図中の BV_{ox} は内部コア MOS トランジスタのゲート酸化膜耐圧を表し、図中 V_{t1} は一般的な NMOS 保護素子のターンオン電圧を表している。テクノロジーノード 90nm (hp130nm)において、 BV_{ox} と V_{t1} がクロスしており、 V_{t1} が BV_{ox} よりも高くなることは、90nm 世代以降、通常の NMOS 保護では内部コア MOS トランジスタのゲート酸化膜を保護できないことを意味する。このような状況下において、LSI ベンダー各社は、 V_{t1} の低減など様々な工夫を凝らした保護回路の開発を求められている。

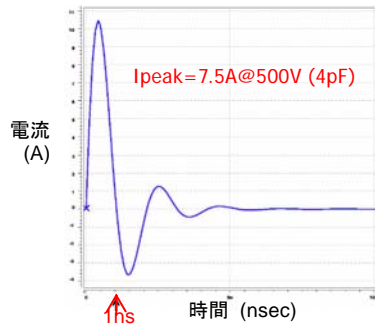


Ⅲ-2- I -③-(2)-図 2)-1-1-1
デバイス微細化の ESD 保護設計への影響
[Ⅲ-2- I -③-(2)-文献 2)-1-1-1]

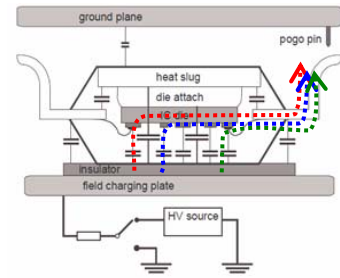
LSI 製品が市場で静電気破壊を起さないように、LSI ベンダー各社は、一般的に 3 種類の静電気試験(ESD 試験)を実施している。その試験とは、HBM(Human Body Model)試験、MM(Machine Model)試験、CDM(Charged Device Model)試験であるが、現在のところ、CDM 試験に対する設計対策が最も難しい。Ⅲ-2- I -③-(2)-図 2)-1-1-2 は、JEDEC で定義されている CDM 試験方法の概略を示している。導電体の上に絶縁体(FR-4)を介して LSI サンプルをセットし、高圧電源により 300M Ω の抵抗を介して、LSI サンプル自身を誘導帯電させた後、接地電位の放電プローブを LSI の被試験端子に一定速度で近づけることで、LSI 全体に帯電した電荷を被試験端子から一気に流出させる。LSI の全端子が試験対象となるが、試験は 1 端子ずつ順次行われる。放電時の電流波形は、LSI サンプルのパッケージ容量(LSI サンプルの全寄生容量)と放電プローブのインピーダンスで決まる時定数に依存するが、通常のパッケージ容量は数 pF ~ 数十 pF の低容量であり、放電プローブは数 Ω ~ 数十 Ω の低抵抗であるため、電流波形は急峻で高いピーク値を持つ。Ⅲ-2- I -③-(2)-図 2)-1-1-3 は、パッケージ容量: 4pF、充電電圧: 500V で試験したときの電流波形を示している(ピーク電流 \sim 4A、パルス幅 \sim 1ns)。このように、放電波形が急峻で高ピーク電流値となる点が、他の ESD 試験(HBM/MM)とは異なる特徴の 1 つである。もう一つの特徴は、1 端子から放電現象となる点である。HBM/MM 試験では、被試験端子と接地端子の 2 端子間の放電現象であるため、放電経路を予測して対策することは比較的容易であるが、CDM 試験では、パッケージ、チップ、ボンディングワイヤー等を含む LSI 全体に充電された電荷を、1 つの端子から一気に流出させるため、その放電経路は多種多様であり、チップ設計段階で対策するのは、極めて困難である(Ⅲ-2- I -③-(2)-図 2)-1-1-4)。



Ⅲ-2- I -③-(2)-図 2)-1-1-2
CDM 試験の概略

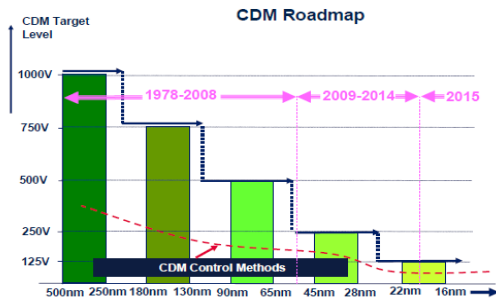


Ⅲ-2- I -③-(2)-図 2)-1-1-3
CDM 放電波形の例



Ⅲ-2- I -③-(2)-図 2)-1-1-4
CDM 電流経路のイメージ

前述のとおり、デバイス微細化に伴う問題と、CDM 型 ESD 現象の取り扱いが難しいことに端を発して、欧米 LSI ベンダーを中心に、業界全体で CDM 耐圧レベルを下げることをロードマップ化して提案されている(Ⅲ-2- I -③-(2)-図 2)-1-1-5)。現在のところ、LSI ユーザーからの CDM 耐圧の要求レベルは ClassⅢが一般的であるが、欧米の提案に従えば、段階的に ClassⅡ～Ⅰの品質にデグレードすることになる。そこで本活動は、近年の ESD 耐圧低下傾向に歯止めをかけるために、CDM にフォーカスし、CDM 型 ESD 現象のメカニズムの解明と、CDM 耐圧を決定づける保護回路、被保護回路のキーファクターを導出することを目的とした。最終的な成果目標は、ClassⅣの CDM 耐圧を満足するソリューションを提供することである。



Ⅲ-2- I -③-(2)-図 2)-1-1-5
CDM 耐圧レベルのロードマップ
[Ⅲ-2- I -③-(2)-文献 2)-1-1-2]

Class	JEDEC	ESD Association
I	< 200V	< 125V
II	200 to < 500V	125 to < 250V
III	500 to 1000V	250 to < 500V
IV	> 1000V	500 to < 1000V

Ⅲ-2- I -③-(2)-表 2)-1-1-1
CDM 耐圧レベルのクラス分け
[Ⅲ-2- I -③-(2)-文献 2)-1-1-3, -4]

2)-1-2 測定環境の立ち上げ

本活動を行うために、Selete 相模原分室に新規設備をリースで導入した。導入した設備の一覧をⅢ-2- I -③-(2)-表 2)-1-2-1 に示す。

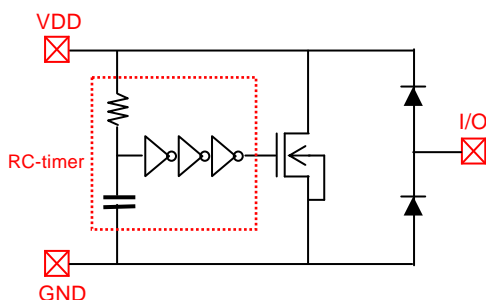
Ⅲ-2- I -③-(2)-表 2)-1-2-1: Selete 相模原分室への新規導入設備

設備名	型名	製造元	性能など
VF-TLP システム	Model 4012TLP	Barth Electronics Inc.	パルス幅: 1ns/2ns/5ns/10ns
ウェハプローバ	Model VX-3000SV	バクターセミコン(株)	300mm ウェハ対応
CDM テスター	CDM-550DFQM	東京電子交易(株)	JEDEC/ESDA/JEITA 対応
オシロスコープ	Infinium DSO91304A	Agilent Technologies Inc.	帯域幅: ~13GHz

ESD 保護素子の挙動を分析するための測定手法としては、TLP (Transmission Line Pulsing) が広く普及している。TLP は ESD 現象と同等の矩形波パルスを使って、デバイスの I-V 特性をモニタするものであるが、通常の TLP では、HBM 試験に相当する $\sim 100\text{ns}$ パルスを用いるため、CDM 型 ESD 現象($\sim 1\text{ns}$)の分析には不向きである。そこで、 $\sim 1\text{ns}$ 矩形パルスでの測定を可能にする VF-TLP (Very Fast Transmission Line Pulsing) システムを導入していただいた。ウェハプローバは、VF-TLP システムと接続してオンウェハ測定を行うことで、短時間でデータ収集を可能にする。CDM テスターは、各種規格に準拠した CDM 試験(サンプルへの充放電)を実施し、付属の DC パラメトリックテスターで ESD ストレス後の Pass/Fail を判定することで CDM 耐圧を計測する。オシロスコープは、CDM 試験時の放電波形を観測し、CDM 型 ESD 現象の詳細分析に使用する。次項 2)-1-3 で説明する各種 TEG サンプルを用いて、VF-TLP 特性、CDM 耐圧、CDM 放電波形を収集し、データ分析することで、CDM 型 ESD 現象のメカニズムの解明と、CDM 耐圧を決定づける保護回路、被保護回路のキーファクターの導出を目指した。

2)-1-3 TEG 仕様

本サブテーマの参加メンバーでディスカッションし、本研究用に作成する TEG チップの仕様を以下のように決定した。基本保護回路については、製造プロセス差の影響を受け難い構成とするために、I/O 部には Dual-Diode 保護、電源部には RC-timer 型 NMOS 保護を採用することにした。本保護回路は、欧米で広く普及している保護回路であり、関連する技術論文も多数出版されているので、詳細な説明は省略する。

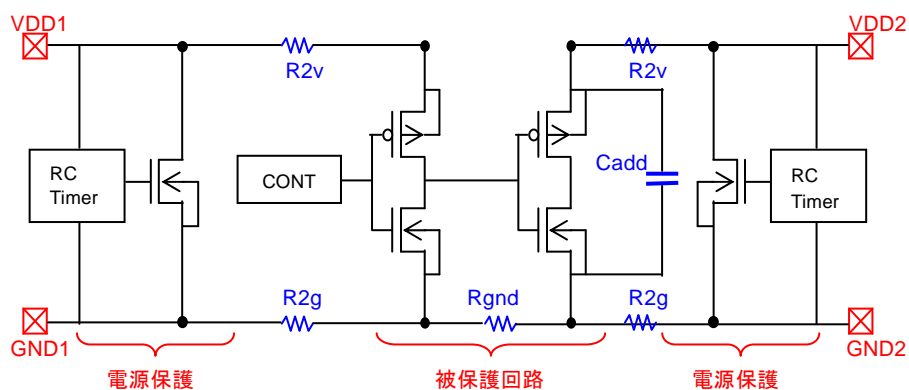


Ⅲ-2-I-③-(2)-図 2)-1-3-1

本研究で採用する基本保護回路

(I/O 部は Dual-Diode 保護を適用し、VDD-GND 間は RC-timer 型 NMOS 保護を適用する)

本 TEG での検討課題は、昨今の先端 CMOS LSI における CDM 破壊の事例を踏まえて、a)電源ドメイン境界回路における内部ゲート酸化膜破壊、b)入力回路のゲート酸化膜破壊、c)出力回路のドレイン接合破壊の3つに絞ることにした。各々の検討課題に対して、保護回路と被保護回路を組み合わせた基本ブロックを作成し、基本ブロックから、キーファクターとなり得る回路定数を変更した各種ブロックを作成した。Ⅲ-2-I-③-(2)-図 2)-1-3-2 に、電源ドメイン境界回路の基本ブロック等価回路図を示す。VDD1/GND1 は比較的大規模のデジタル回路を想定しており、VDD2/GND2 は小規模アナログ回路を想定している。本等価回路において、GND1 \sim GND2 間の寄生配線抵抗(R_{gnd})、VDD2/GND2 間の被保護回路と並列化した追加容量素子(C_{add})をキーファクターとなり得る設計パラメータとして取り上げた。NMOS 電源保護ドレイン \sim 被保護回路 VDD ノード間の寄生配線抵抗(R_{2v})、NMOS 電源保護ソース \sim 被保護回路 GND ノード間の寄生配線抵抗(R_{2g})については、可能な限り低抵抗化することが CDM 耐圧の観点で望ましいと考えられるが、実際の LSI 設計を考慮した上で、実用可能な最小値($0.5\ \Omega$)で固定して設計した。Ⅲ-2-I-③-(2)-表 2)-1-3-1 に電源ドメイン境界回路の主な設計パラメータを示す。



Ⅲ-2-I-③-(2)-図 2)-1-3-2
電源ドメイン境界回路 基本ブロックの等価回路

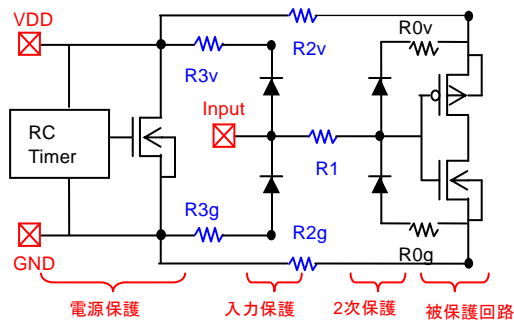
Ⅲ-2-I-③-(2)-表 2)-1-3-1: 電源ドメイン境界回路の設計パラメータ

設計パラメータ	内容	設計値
RC-timer	電源保護用 RC-timer 回路の時定数	C=5pF, R=100kΩ 時定数: 500ns
NMOS 保護	電源保護用 NMOS の L/W	L=0.1um, W=2000um
Rgnd	GND1~GND2 間の寄生配線抵抗	0.1~0.5Ω で変化
R2v, R2g	NMOS 電源保護~被保護回路間の寄生配線抵抗	0.5Ω で固定
Cadd	受け側ゲートと並列化する容量素子の容量値	無、および 40pF~1500pF で変化

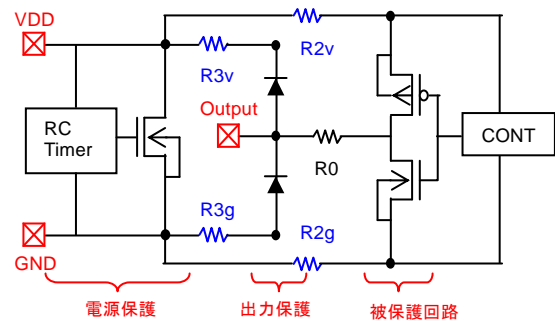
Ⅲ-2-I-③-(2)-図 2)-1-3-3 に、入力回路の基本ブロック等価回路図を示す。本等価回路において、2次保護の有無、入力保護~2次保護間の抵抗素子(R1)、入力保護~NMOS 電源保護間の寄生配線抵抗(R3v,R3g)をキーファクターとなり得る設計パラメータとして取り上げた。NMOS 電源保護ドレイン~被保護回路 VDD ノード間の寄生配線抵抗(R2v)、NMOS 保護ソース~被保護回路 GND ノード間の寄生配線抵抗(R2g)については、電源ドメイン境界回路と同様に、可能な限り低抵抗化することが CDM 耐圧の観点で望ましいと考えられるが、実際の LSI 設計を考慮した上で、実用可能な最小値(0.5Ω)で固定して設計した。2次保護~被保護回路 VDD ノード間の寄生配線抵抗(R0v)、2次保護~被保護回路 GND ノードの寄生配線抵抗(R0g)についても、可能な限り低抵抗化することが CDM 耐圧の観点で有効であり、小型の2次保護については、被保護回路の直近に配置可能と考えて、実用可能な最小値(0.1Ω)で固定して設計した。Ⅲ-2-I-③-(2)-表 2)-1-3-2 に入力回路の主な設計パラメータを示す。

Ⅲ-2-I-③-(2)-図 2)-1-3-4 に、出力回路の基本ブロック等価回路図を示す。本等価回路においては、被保護回路の MOS トランジスタのゲート長、出力保護~NMOS 電源保護間の寄生配線抵抗(R3v,R3g)をキーファクターとなり得る設計パラメータとして取り上げた。NMOS 電源保護ドレイン~被保護回路 VDD ノード間の寄生配線抵抗(R2v)、NMOS 保護ソース~被保護回路 GND ノード間の寄生配線抵抗(R2g)については、入力回路と同様に、実際の LSI 設計を考慮した上で、実用可能な最小値(0.5Ω)で固定して設計した。出力保護~被保護回路間の抵抗(R0)については、被保護回路の CDM

破壊を避けるためには、可能な限り高抵抗化することが望ましいが、数百 MHz 以上の高速インターフェイスを想定し、実用可能な最小値(0.1Ω)で固定して設計した。Ⅲ-2-I-③-(2)-表 2)-1-3-3 に出力回路の主な設計パラメータを示す。



Ⅲ-2-I-③-(2)-図 2)-1-3-3
入力回路 基本ブロックの等価回路



Ⅲ-2-I-③-(2)-図 2)-1-3-4
出力回路 基本ブロックの等価回路

Ⅲ-2-I-③-(2)-表 2)-1-3-2: 入力回路の設計パラメータ

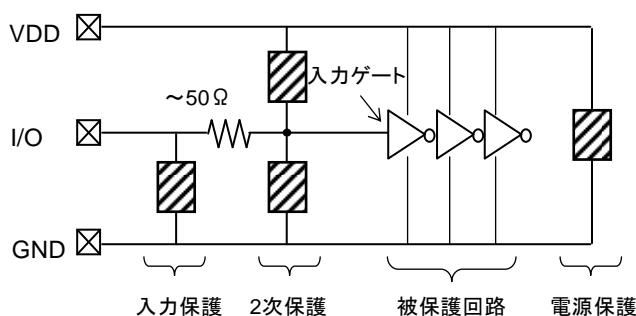
設計パラメータ	内容	採用値
RC-timer	電源保護用 RC-timer 回路の時定数	C=5pF, R=100kΩ 時定数:500ns
NMOS 保護	電源保護用 NMOS の L/W	L=0.1μm, W=2000μm
入力保護	Diode 素子サイズ	アノード拡散層:10μm×1μm×6 本 トータル寄生容量:約 0.8pF
2 次保護	Diode 素子サイズ	アノード拡散層:10μm×1μm×1 本 トータル寄生容量:約 60fF
R0v, R0g	2 次保護～被保護回路間の寄生配線抵抗	0.1Ωで固定
R1	入力保護～2 次保護間の抵抗素子の抵抗値	20～100Ωで変化
R2v, R2g	NMOS 電源保護～被保護回路間の寄生配線抵抗	0.5Ωで固定
R3v, R3g	入力保護～NMOS 電源保護間の寄生配線抵抗	0.5～2Ωで変化

Ⅲ-2-I-③-(2)-表 2)-1-3-3: 出力回路の設計パラメータ

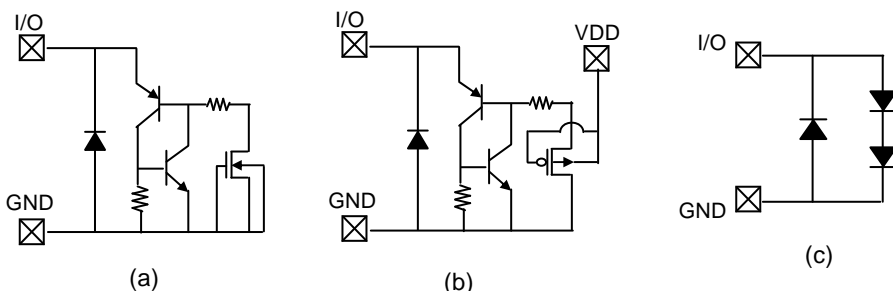
設計パラメータ	内容	採用値
RC-timer	電源保護用 RC-timer 回路の時定数	C=5pF, R=100kΩ 時定数:500ns
NMOS 保護	電源保護用 NMOS の L/W	L=0.1μm, W=2000μm
出力保護	Diode 素子サイズ	アノード拡散層:10μm×1μm×6 本 トータル寄生容量:約 0.8pF
R0	出力保護～被保護回路間の寄生配線抵抗	0.1Ωで固定
R2v, R2g	NMOS 電源保護～被保護回路間の寄生配線抵抗	0.5Ωで固定
R3v, R3g	出力保護～NMOS 電源保護間の寄生配線抵抗	0.5～2Ωで変化

2)-1-4 VF-TLP 特性分析

CDM-ESD 現象を回路シミュレーションするには、個々の素子をモデル化する必要がある。ESD 現象は、MOS トランジスタの SPICE モデルでカバーしている通常動作範囲を超える電圧、電流領域となるため、専用モデル化が必要となり、そのためには、ESD イベント時のデバイス挙動(I-V 特性)を把握しなければならない。実際の ESD イベントの放電波形は、減衰波や振動波となるが、このような波形では I-V 特性をモニタすることが困難であるため、ESD イベント相当の矩形パルスによる測定手法(TLP; Transmission Line Pulsing)が使われる。しかしながら、これまでに国内半導体ベンダーで使用されてきた TLP システムは、HBM 型 ESD を想定した 100ns 程度のパルス幅であり、CDM 型 ESD 現象の解析には向かない。そこで、2)-1-2 で言及したように、本研究を遂行するため、VF-TLP(Very Fast TLP)を Selete 相模原分室にリースで導入し、保護デバイスの挙動を分析することにした。VF-TLP については、欧米でも研究が進んでおらず、I-V 特性の解釈に関する知見が不十分であったため、既存の TEG サンプルを用いて、VF-TLP 特性と CDM 耐圧の相関調査を行った。既存 TEG は、旧 NEC エレクトロニクス社(現ルネサスエレクトロニクス社)の 40nm CMOS プロセスで製造したものである。III-2- I -③-(2)-図 2)-1-4-1 は、本調査で用いた回路ブロック図である。入力保護、2次保護、電源保護、被保護回路で構成される。入力保護は、III-2- I -③-(2)-図 2)-1-4-2 で示す 3 種類を調査対象とした。2次保護については、取り外した場合の影響についても調査した。



III-2- I -③-(2)-図 2)-1-4-1
VF-TLP 特性調査用回路ブロック



[III-2- I -③-(2)-文献 2)-1-4-1] [III-2- I -③-(2)-文献 2)-1-4-2]

III-2- I -③-(2)-図 2)-1-4-2

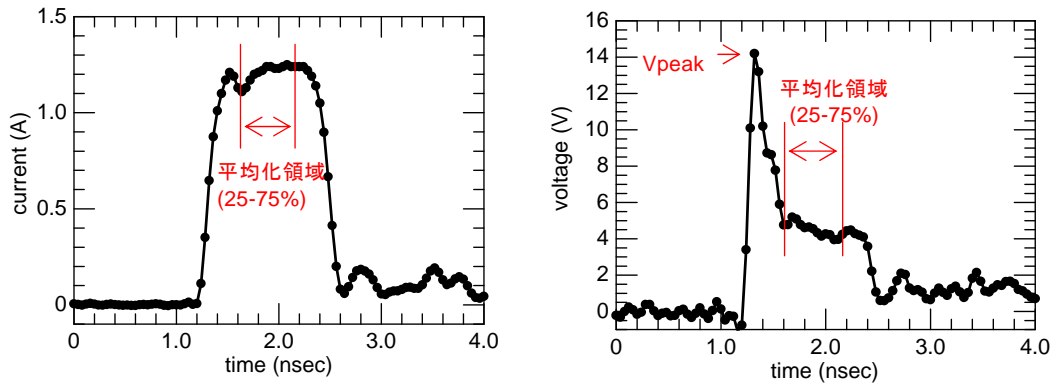
VF-TLP 特性分析で使用した入力保護のバリエーション

(a) NMOS トリガ SCR, (b) PMOS トリガ SCR, (c) Diode スタック

注) (a)NMOS トリガ SCR, (b)PMOS トリガ SCR は、ルネサスエレクトロニクス(旧 NEC エレクトロニクス)が過去に単独で学会発表したものであり、(c)Diode スタックを含めて、MIRAI-Selete の成果物ではない。

III-2- I -③-(2)-図 2)-1-4-3 は、パルス幅 1ns 時の VF-TLP 電流、電圧波形の例を示している。パルスの波高値をステップ的に増加させながら、各パルス中央部における 25~75%の領域を平均化することで、I-V 特性を描くことができる。今回導入した VF-TLP では、パルス幅(Td)の他、パルス立ち上がり

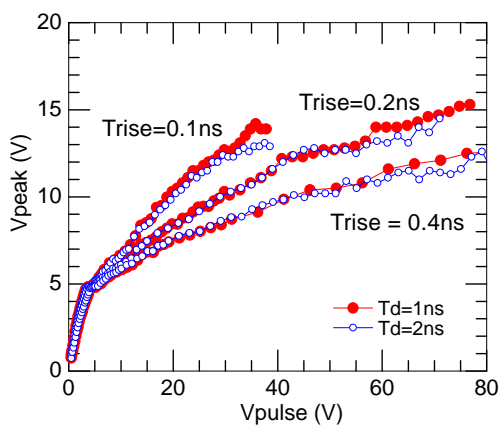
時間(Trise)も変更可能である (Trise=0.1ns/0.2ns/0.4ns)。これらのパラメータを変化させた場合に、どのように特性に影響するのか詳細に調べた。また CDM 設計対策の上では、ピーク電圧(右図の Vpeak)も重要なパラメータとなり得るため、こちらについても詳細に調べた。



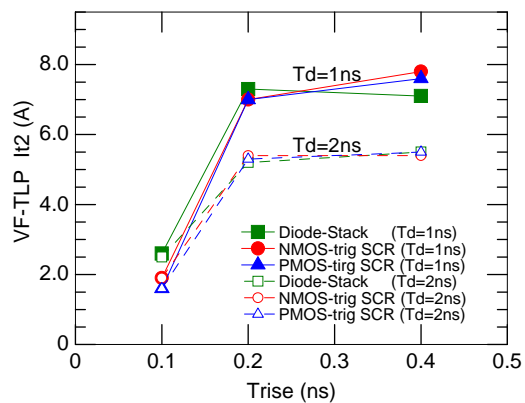
Ⅲ-2-I-③-(2)-図 2)-1-4-3
VF-TLP 電流波形(左)・電圧波形(右)の測定例

Ⅲ-2-I-③-(2)-図 2)-1-4-4 に、NMOSトリガ SCR の Vpeak と Trise の関係を示す (グラフ横軸の Vpulse は、パルス発生源の充電電圧である)。この図より、同じ Vpulse であれば、Trise が小さいときの方が、Vpeak が高くなっている。言い換えれば、パルス立ち上がり時間が速いほど、保護素子の応答が遅くなり、端子に印加される過渡的なピーク電圧(Vpeak)が高くなることを意味する。

Ⅲ-2-I-③-(2)-図 2)-1-4-5 は、各々の入力保護と 2 次保護を組み合わせさせた場合で、VF-TLP 破壊電流(It2)と Trise との関係性を調査した結果である。Trise=0.2ns、0.4ns においては、パルス幅 Td=2ns のときの方が、Td=1ns のときに比べて破壊電流(It2)が小さくなっている。これは、パルス幅が長くなることによって、発熱の影響で It2 が低下したことを示している。一方、パルス立ち上がり時間が速くなり、Trise=0.1ns になると、It2 がパルス幅(Td)に依存せず、同レベルに近づいている。これは、Trise が速くなると、ピーク電圧が高くなり、被保護回路のゲート酸化膜が断熱破壊することを示している。



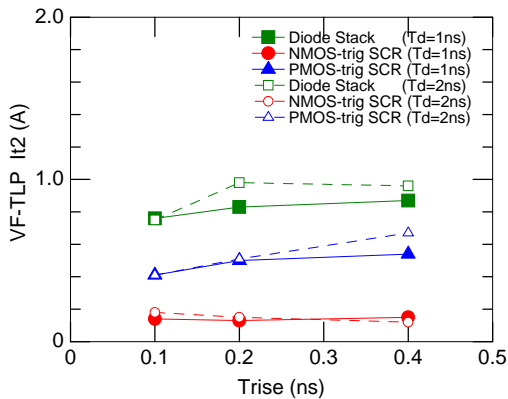
Ⅲ-2-I-③-(2)-図 2)-1-4-4
Vpeak の Trise 依存性
(NMOSトリガ SCR)



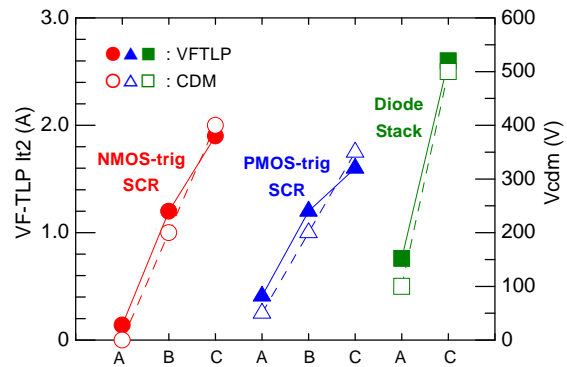
Ⅲ-2-I-③-(2)-図 2)-1-4-5
It2 の Trise 依存性
(2 次保護あり)

Ⅲ-2-Ⅰ-③-(2)-図 2)-1-4-6 は、2 次保護を外した場合の It2 の Trise 依存性を示している。いずれの入力保護においても、Td=1ns、2ns で顕著な差は見られず、全ての場合において、被保護回路のゲート酸化膜の断熱破壊が発生している。入力保護の性能差(応答スピードの差)に応じて、It2 に差が見られているが、いずれの入力保護に対しても、被保護回路のゲート酸化膜破壊を防ぐには、2 次保護の配置が極めて有効であると言える。

Ⅲ-2-Ⅰ-③-(2)-図 2)-1-4-7 に、VF-TLP の It2 (Trise=1ns) と CDM 耐圧の実測値との相関を示す。(CDM 放電波形は JEDEC 規格に準拠、リレー放電方式を使用、試験方法の詳細は次項を参照) VF-TLP による断熱破壊時の It2 と CDM 耐圧との間に、強い相関が見られることが確認できた。



Ⅲ-2-Ⅰ-③-(2)-図 2)-1-4-6
It2 の Trise 依存性
(2 次保護なし)



Ⅲ-2-Ⅰ-③-(2)-図 2)-1-4-7
Vcdm と It2 との相関
A は 2 次保護なし、B は diode3 段の 2 次保護を使用、C:Diode2 段の 2 次保護を使用

以上の実験結果から、CDM 型 ESD 現象を解析し、デバイス特性を把握してモデル化する上で、VF-TLP 測定の有効性が実証された。本件は、2009 EOS/ESD Symposium にて学会発表しており、詳細については、そちらを参照されたい。[Ⅲ-2-Ⅰ-③-(2)-文献 2)-1-4-3]

TLP 測定の活用手法として、TLP 特性データを基に、パワークランプ素子の設計指針を検討した学会発表も行っている。[Ⅲ-2-Ⅰ-③-(2)-文献 2)-1-4-4]

2)-1-5 CDM 試験法

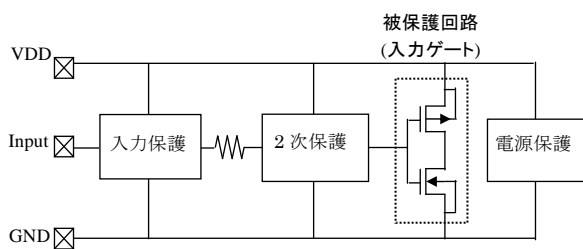
CDM 試験は、Ⅲ-2-Ⅰ-③-(2)-表 2)-1-5-1 に示すように、4 つの標準規格が存在する。JEDEC 規格が最も一般的であるが、気中放電方式(Air)を採用しているために、放電波形のばらつきが大きい点が古くから指摘されていた。そこで、気中放電方式(Air)とリレー放電方式(Relay)の違いについて、詳細に調査分析を行った。JEDEC 規格では、リレー放電方式を許可していないが、今回の調査では、放電波形は JEDEC 準拠とし、試験器の放電方式のみを、気中放電/リレー放電に切り替えて実験を行った。

Ⅲ-2-Ⅰ-③-(2)-表 2)-1-5-1: CDM 試験の標準規格

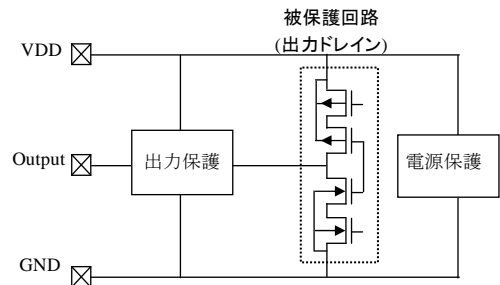
Organization	Standard	Charging Method	Discharging Method
JEDEC	JESD22-C101E	Field-induced	Air
ESDA	ANSI/ESD S5.3.1-2009	Field-induced or Direct	Air
AEC	AEC-Q100-011 Rev-B	Field-induced or Direct	Air or Relay
JEITA	EIAJ ED-4701/300-2	Direct or Field-induced	Relay or Air

Ⅲ-2-Ⅰ-③-(2)-図 2)-1-5-1、Ⅲ-2-Ⅰ-③-(2)-図 2)-1-5-2 は、本調査で使用した回路ブロックである。入力回路ブロックでは、2 次保護に入力ゲートが接続されており、CDM 試験によって、被保護回路のゲート酸化膜が最も破壊しやすい。出力回路ブロックでは、出力保護に出力ドレインが接続されており、CDM 試験によって、被保護回路のドレイン接合が最も破壊しやすい。

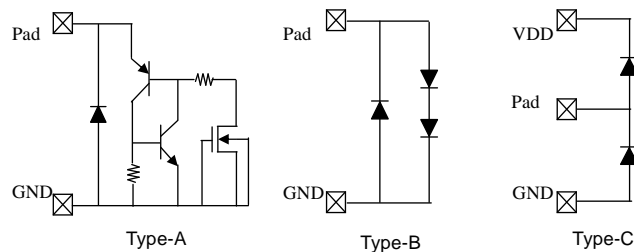
Ⅲ-2-Ⅰ-③-(2)-図 2)-1-5-3 は、入力保護・出力保護として使用した保護素子のバリエーションであり、保護素子の構造差が、CDM 試験規格の差によって、どのような影響を受けるか詳細に調査した。



Ⅲ-2-Ⅰ-③-(2)-図 2)-1-5-1
CDM 試験調査用 入力回路ブロック



Ⅲ-2-Ⅰ-③-(2)-図 2)-1-5-2
CDM 試験調査用 出力回路ブロック

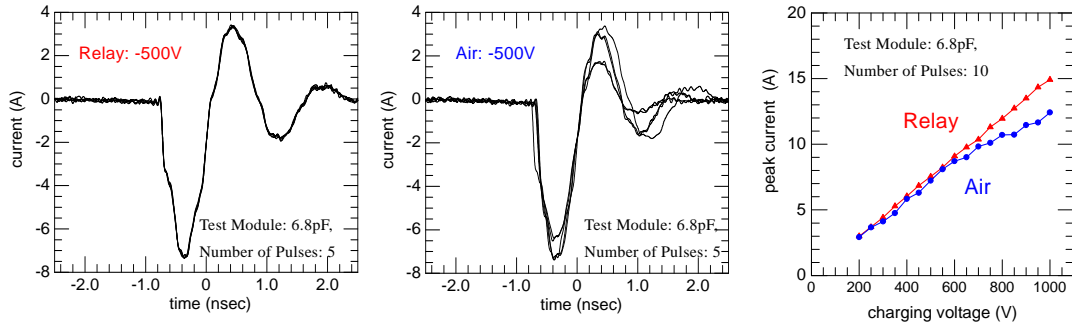


Ⅲ-2-Ⅰ-③-(2)-図 2)-1-5-3

CDM 試験調査で使用した入力保護/出力保護のバリエーション

Type-A: NMOSトリガ SCR, Type-B: Diode スタック, Type-C: Dual-Diode

注) Type-A: NMOSトリガ SCRは、ルネサスエレクトロニクス(旧 NEC エレクトロニクス)が過去に単独で学会発表したものであり、Type-B, Type-C 含めて、MIRAI-Selete の成果物ではない。



Ⅲ-2-Ⅰ-③-(2)-図 2)-1-5-4

CDM 試験時の放電波形

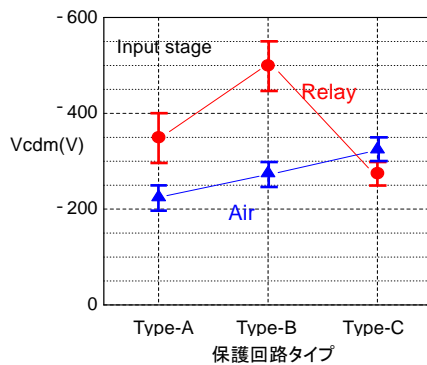
リレー放電方式(左), 気中放電方式(右)

Ⅲ-2-Ⅰ-③-(2)-図 2)-1-5-5

CDM 試験時のピーク電流

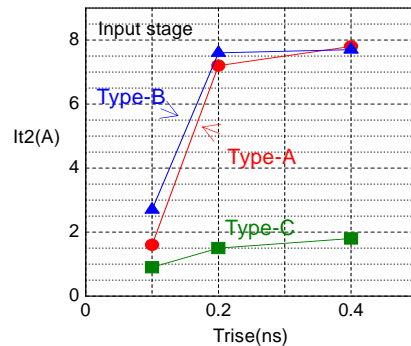
テスター校正用モジュール(6.8pF)を用いて、放電波形を調査した結果をⅢ-2-Ⅰ-③-(2)-図 2)-1-5-4、およびⅢ-2-Ⅰ-③-(2)-図 2)-1-5-5 に示す。気中放電方式の方が、ばらつき量が大きくなったが、放電波形そのものは、等価であることが分かる。Ⅲ-2-Ⅰ-③-(2)-図 2)-1-5-5 は、ピーク電流値のリニアリティを調査した結果である。充電電圧が高くなると(～600V 以上)、気中放電方式では、ピーク電流が出なくなり、直線性から外れている。これは、充電電圧が高くなると、放電ギャップ長が長くなり、放電経路の抵抗成分が高くなることに起因している。気中放電方式の方が、実世界における CDM 型 ESD 現象をリアルに再現していると言えるが、ESD 試験方法としての、再現性、直線性の観点では、リレー放電方式の方が優れており、扱い易い試験結果が得られると言える。

Ⅲ-2-Ⅰ-③-(2)-図 2)-1-5-6 は、各種入力回路の CDM 耐圧を気中放電/リレー放電方式で比較した結果を示している。Type-A、Type-B では、リレー放電方式の方が、CDM 耐圧が高くなったのに対して、Type-C では、気中放電/リレー放電方式でほぼ同等の CDM 耐圧となった。Ⅲ-2-Ⅰ-③-(2)-図 2)-1-5-7 の VF-TLP 特性を踏まえると、Trise の影響を受け易い Type-A、Type-B では、リレー放電/気中放電の差が出現し、Trise に対する感度が低い Type-C では、リレー放電/気中放電の差が出なかったと考えられる。言い換えれば、気中放電方式の方が、リレー放電方式に比べて、放電経路のインダクタンスが低いことに起因して Trise が速くなり、Type-A、Type-B では、その影響を受けたと考えられる。



Ⅲ-2-Ⅰ-③-(2)-図 2)-1-5-6

入力回路ブロック CDM 耐圧

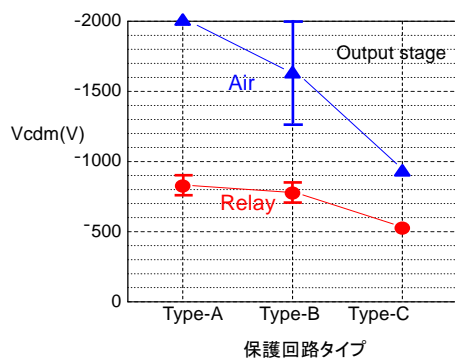


Ⅲ-2-Ⅰ-③-(2)-図 2)-1-5-7

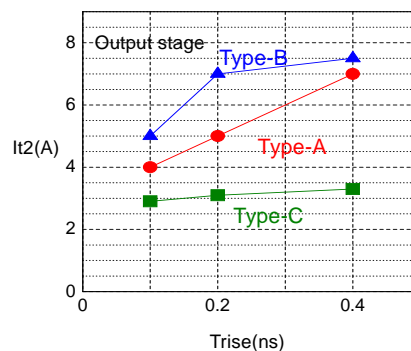
入力回路ブロック VF-TLP 破壊電流

Ⅲ-2- I -③-(2)-図 2)-1-5-8 は、各種出力回路の CDM 耐圧を気中放電/リレー放電方式で比較した結果を示している。入力回路と傾向が異なり、全てのタイプで気中放電方式の方が、CDM 耐圧が高くなった。入力回路の VF-TLP 特性では、Trise が速くなると、保護素子の応答性が悪い Type-A/Type-B では、内部ゲート酸化膜の断熱破壊が発生し、Trise に依存して、VF-TLP の破壊電流(It2)が急低下したが、出力回路では、出力保護のノードにゲート酸化膜が直接接続されていないため、Trise が速くなっても断熱モード破壊は見られない。気中放電方式で試験電圧が高くなると、ピーク電流が下がる効果(Ⅲ-2- I -③-(2)-図 2)-1-5-5)に起因して、出力回路では、気中放電方式の方が、CDM 耐圧が高くなったと考えられる。

CDM 試験を行う際には、以上のような放電方式の違いも考慮した上で、採用する試験規格を選定するとともに、試験結果の取り扱いには注意を要する。以降の実験では、CDM 耐圧測定は、JEDEC 規格(気中放電方式)を採用し、放電波形のばらつきを考慮して、CDM 試験時の充放電回数は 3 回以上、測定サンプル数は 5 個以上で実験を行っている。尚、CDM 試験の放電方式の差異による影響については、2010 EOS/ESD Symposium にて学会発表しており、詳細はそちらを参照されたい。[Ⅲ-2- I -③-(2)-文献 2)-1-5-1]



Ⅲ-2- I -③-(2)-図 2)-1-5-8
出力回路ブロック CDM 耐圧

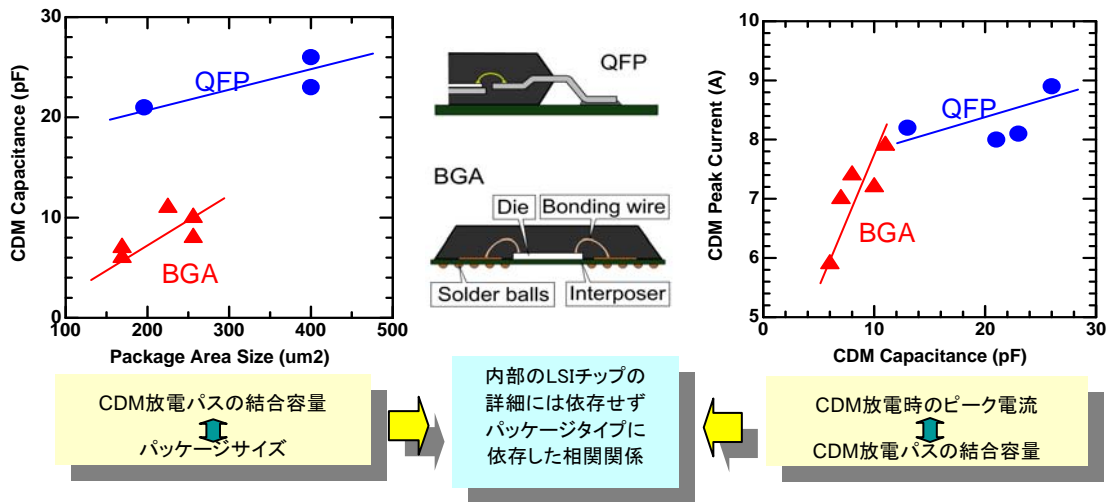


Ⅲ-2- I -③-(2)-図 2)-1-5-9
出力回路ブロック VF-TLP 破壊電流

2)-1-6 モデル化

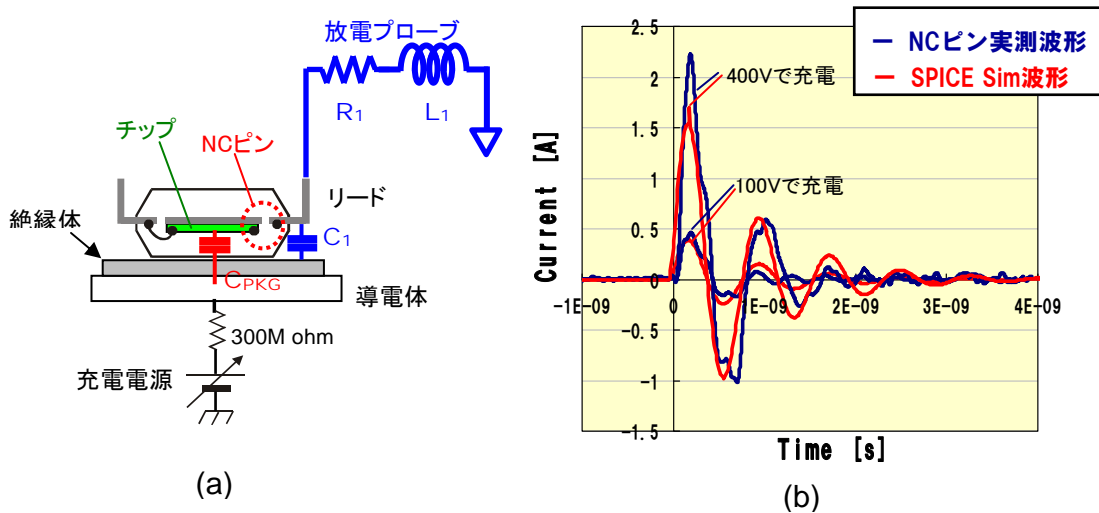
2)-1-6-1 パッケージのモデル化

QFP、BGA の各種サンプルについて、放電波形を調査した結果をⅢ-2- I -③-(2)-図 2)-1-6-1-1 に示す。この図からわかる様に、CDM 放電時のピーク電流値は、内部の LSI チップの詳細には依存せず、ほぼパッケージのタイプとサイズによって決定されている。このことは、LSI チップとパッケージは分離して考えることができ、CDM 放電時の等価放電源をパッケージ毎にモデル化できることを示唆している。この知見に基づいて、208pin QFP パッケージを等価放電源としてモデル化した結果がⅢ-2- I -③-(2)-図 2)-1-6-1-2 である。NC (Non-Connect) ピンを介した CDM 放電波形に、SPICE シミュレーション特性を合わせ込むことにより、パッケージのリードから CDM 試験器の放電プローブを含めた放電経路を LCR 等価回路でモデリングしている。CDM 型 ESD 現象の充電電荷量を支配する C_{PKG} については、チップサイズ、パッケージサイズ、パッケージ厚、樹脂の材質で決定される。



III-2-I-③-(2)-図 2)-1-6-1-1

CDM 型 ESD 放電波形のパッケージ依存性

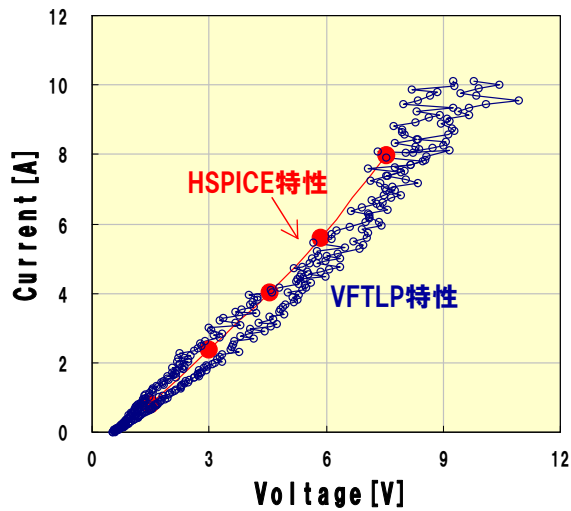


III-2-I-③-(2)-図 2)-1-6-1-2

208pinQFP の CDM 等価放電源モデル(a), 放電波形の実測とシミュレーション比較(b)

2)-1-6-2 RC-timer 方式 NMOS 保護のモデル化

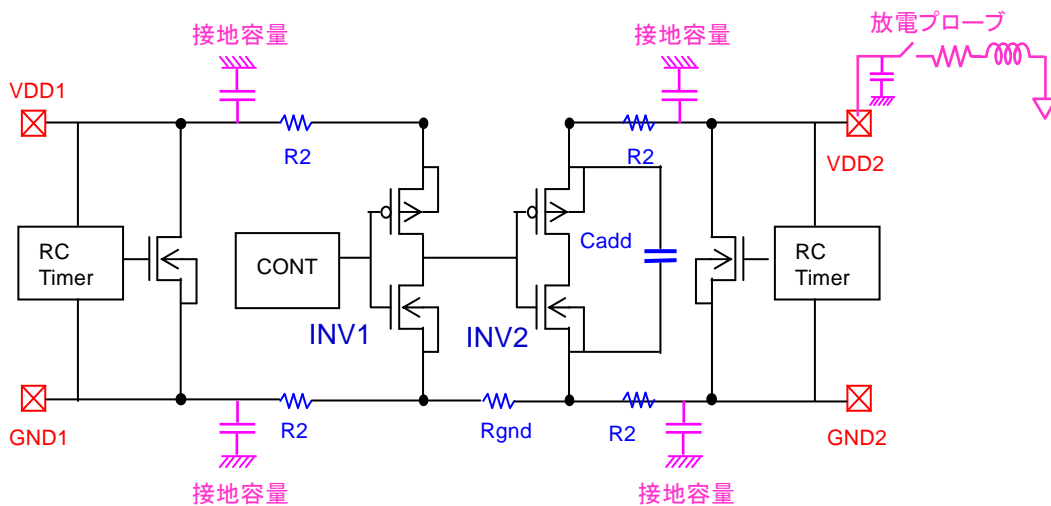
各参加メンバー会社が成果物を容易に享受できるように、本研究では、ファブ間の製造プロセス差異の影響を受け難い RC-timer 型 NMOS 保護を採用して検討を行った。RC-timer 方式の ESD 保護については、VF-TLP 特性($T_d=1\text{ns}$, $T_{rise}=0.1\text{ns}$)と SPICE シミュレーション特性をフィッティングすることでモデル化を行った。III-2-I-③-(2)-図 2)-1-6-2-1 は、そのフィッティング結果を示している。



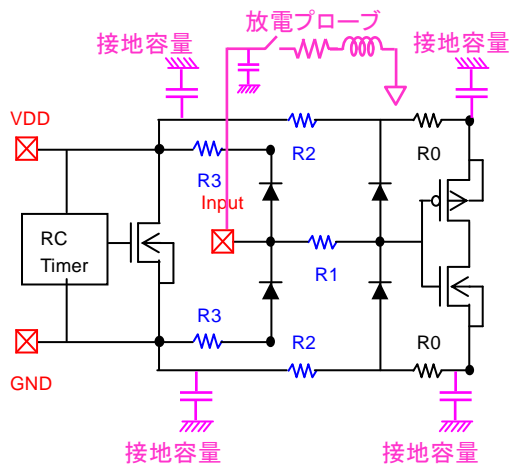
Ⅲ-2-I-③-(2)-図 2)-1-6-2-1
RC-timer 型 NMOS 保護の VF-TLP 特性
と SPICE シミュレーション比較

2)-1-7 シミュレーション用の等価回路作成

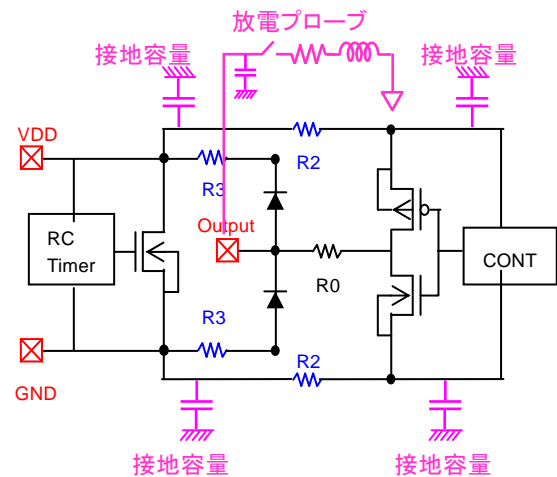
Ⅲ-2-I-③-(2)-図 2)-1-7-1 は、電源ドメイン分離回路において VDD2 から放電させる場合のシミュレーション等価回路図である。次項で説明するが、電源ドメイン分離回路においては、VDD2 側から放電する場合がワーストケースとなる。レイアウトデータから抽出した回路図ネットに接地容量を付加する。接地容量は、前述 2)-1-6-1 で説明したパッケージ容量(C_{PKG})を、各 VDD 配線、GND 配線の主要幹線のレイアウト面積に応じて分配する。放電プローブ部の等価回路についても、前述 2)-1-6-1 で抽出したものを使用する。



Ⅲ-2-I-③-(2)-図 2)-1-7-1
電源ドメイン分離回路の CDM-ESD シミュレーション等価回路図



Ⅲ-2-I-③-(2)-図 2)-1-7-2
 入力回路の CDM-ESD シミュレーション
 等価回路図

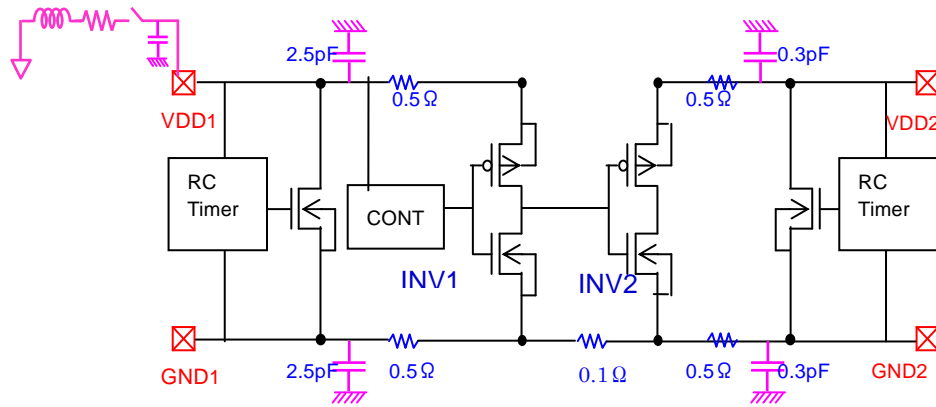


Ⅲ-2-I-③-(2)-図 2)-1-7-3
 出力回路の CDM-ESD シミュレーション
 等価回路図

Ⅲ-2-I-③-(2)-図 2)-1-7-2、Ⅲ-2-I-③-(2)-図 2)-1-7-3 は、入力回路、出力回路のシミュレーション等価回路図である。電源ドメイン境界回路と同様に、レイアウトデータから抽出した回路図ネットに、パッケージ容量(C_{PKG})を VDD、GND 配線に分配する。今回の TEG パターンでは、IO 保護部 (Diode 素子)と被保護回路で VDD/GND 配線の主要幹線が分かれていたため、レイアウトに合わせて分配している。入力回路、出力回路においては、入力パッド(Input)、出力パッド(Output)から放電する場合がワーストケースとなるため、放電プローブは入力パッド、出力パッドに接続している。尚、今回のシミュレーションについては、絶対値の精度は追求せずに、定性的な挙動分析とメカニズム解明を優先した。シミュレーション精度を上げるには、接地容量を更に細かく分割し、VDD/GND ラインを LCR 分布定数回路で、より忠実に表現することが求められる。また、ESD 現象を想定した高電流、高電圧範囲までフィッティングした高精度の内部回路モデルが求められる。今回の活動では、RC-timer 型 NMOS 保護部のみを VF-TLP 特性をベースにモデル化したが、被保護回路については、特に ESD 考慮したモデル化を行っていない。被保護回路についても、VF-TLP 特性に合わせた高精度モデルを組み込むことができれば、シミュレーション精度の向上が期待できる。

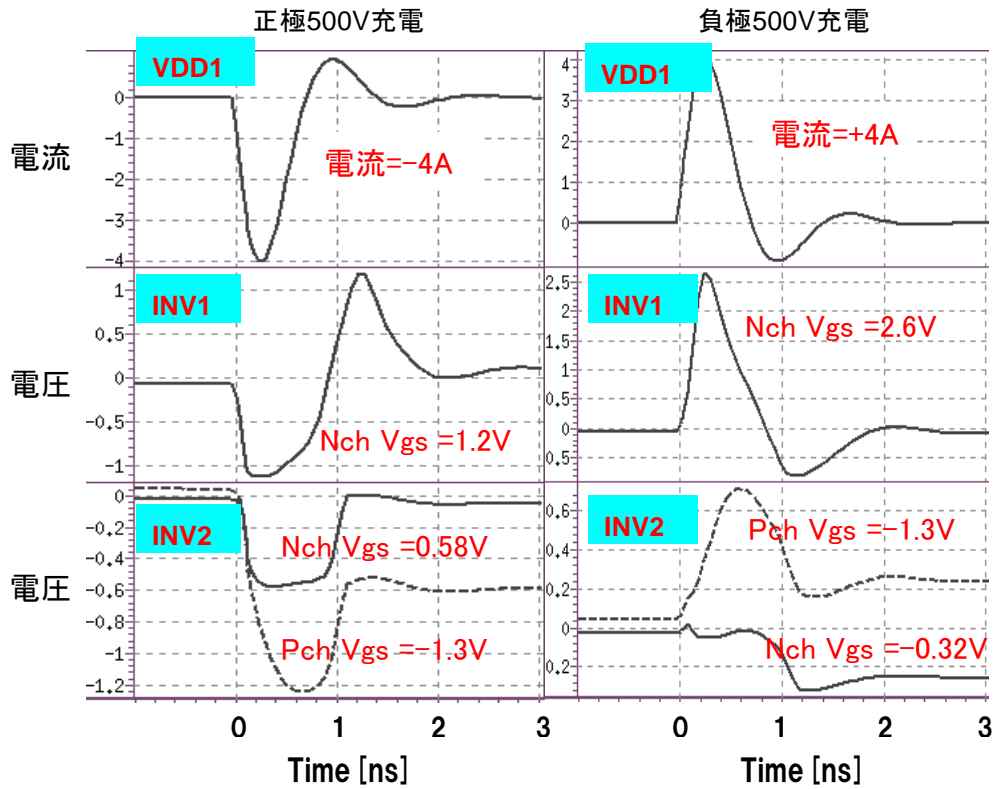
2)-1-8 シミュレーション分析結果と CDM 型 ESD 現象のメカニズム解明

Ⅲ-2-I-③-(2)-図 2)-1-8-1 は、電源ドメイン境界回路において、VDD1 側から放電するシミュレーション等価回路である。シミュレーションで使用した主な回路定数を回路図内に表記した。VDD1 側は大規模デジタル回路を想定しており、VDD2 側は小規模アナログ回路を想定している。VDD1、GND1 の接地容量 2.5pF に対して、VDD2、GND2 の接地容量が 0.3pF と小さいのは、内部回路規模の差に依存するものである。VDD1 側からの放電について、正極充電の場合と負極充電の場合で比較した。

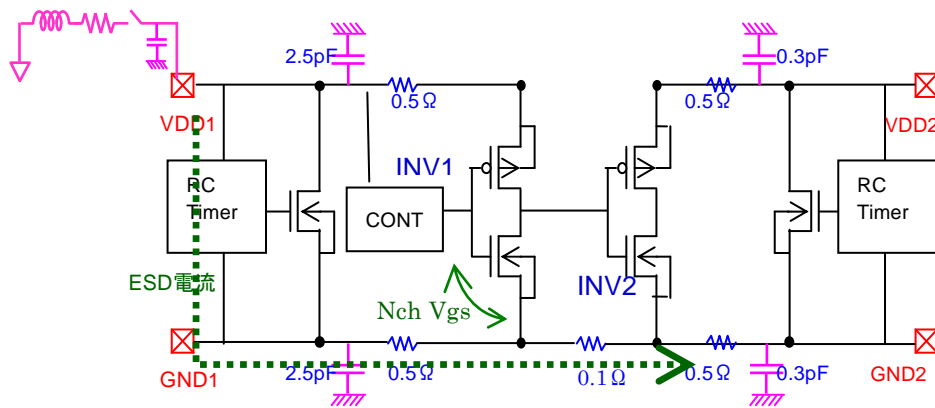


Ⅲ-2-I-③-(2)-図 2)-1-8-1
 電源ドメイン境界回路のシミュレーション分析
 VDD1 からの放電シミュレーションの回路定数

Ⅲ-2-I-③-(2)-図 2)-1-8-2 にシミュレーション結果を示す。正極充電と負極充電で、VDD1からの放電電流の向きは変わるが、絶対値は同レベルである。被保護回路で発生する電位差をモニタしており、この電位差が高いほど、内部回路破壊の危険度も高くなる。シミュレーション結果は、ワーストケースが、負極充電時であることを示しており、そのとき INV1 Nch Vgs の電位差が最大になる。この場合の電流経路をⅢ-2-I-③-(2)-図 2)-1-8-3 に示す。VDD1 放電時において、正極充電の場合には、電流経路が逆向きになり、Nch 保護素子のドレイン・バックゲート接合が順方向 Diode として働くため、保護素子の性能が有利になる。負極充電の方がワーストケースとなるのは NMOS 保護素子が MOS(または NPN)として機能し、性能的には順方向 Diode よりも劣るためである。INV1 Nch Vgs で電位差が発生するのは、シミュレーション回路では、CONT 回路を VDD に接続して H レベルにクランプしていることに起因する。ESD 電流が NMOS 保護ソースノードと INV1 Nch ソースノード間の 0.5Ω を経由することで、IR ドロップ分の電位差が Vgs として発生する。 0.5Ω の抵抗値を低減させれば、発生する電位差を抑えることは可能であるが、シミュレーション値の Nch Vgs=2.6V であれば、40nmCMOS プロセスであれば、許容レベルである。

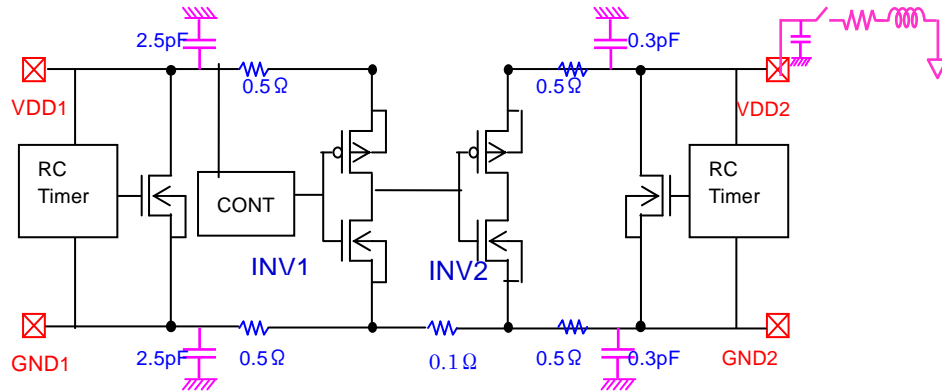


Ⅲ-2-I-③-(2)-図 2)-1-8-2
 電源ドメイン境界回路のシミュレーション分析
 VDD1からの放電シミュレーション特性



Ⅲ-2-I-③-(2)-図 2)-1-8-3
 電源ドメイン境界回路のシミュレーション分析
 負極充電 VDD1 放電時の ESD 電流経路とワースト電位差の発生箇所

負極充電の方が不利であることは判明したので、次に負極充電し、VDD2 から放電させる場合をシミュレーション解析した。そのときの回路定数をⅢ-2-I-③-(2)-図 2)-1-8-4 に示す。

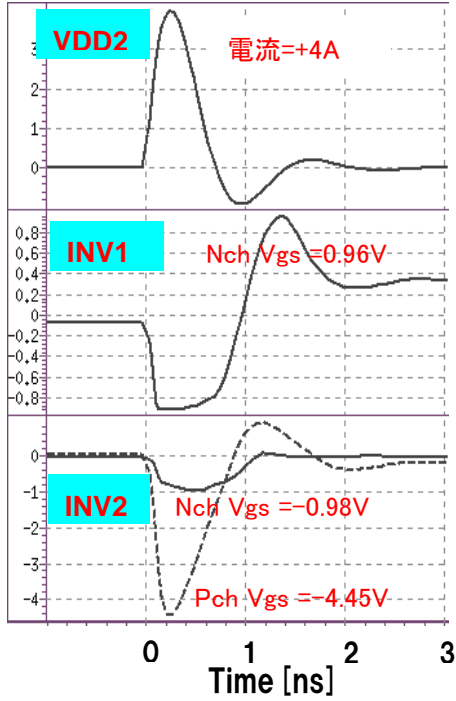


Ⅲ-2-I-③-(2)-図 2)-1-8-4
 電源ドメイン境界回路のシミュレーション分析
 VDD2 放電シミュレーションの回路定数

Ⅲ-2-I-③-(2)-図 2)-1-8-5 にシミュレーション結果を示す。VDD2 からの放電については、INV2 側の Pch Vgs の電位差が最も高くなった。このときの ESD 電流経路をⅢ-2-I-③-(2)-図 2)-1-8-7 に示す。VDD2 側の接地容量が小さいために、VDD2 側の電荷が先に抜けてしまい、接地容量の大きい VDD1 側の電荷が抜け切るまでの間に、境界回路の Pch に Vgs の電位差が発生する。INV1-GND、INV2-GND 間の抵抗値 (0.1Ω) の影響を調査した結果、0.1Ω が 0.5Ω になると、Pch Vgs は、更に高くなることが分かった(Ⅲ-2-I-③-(2)-図 2)-1-8-6)。設計対策として、VDD2~VDD1 間の ESD 電流経路を低抵抗化することが有効であるが、特に INV1、INV2 の GND 間抵抗を抑えることが重要となる。

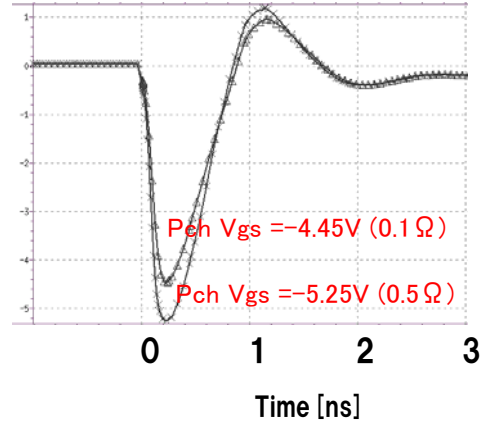
INV2 Pch Vgs と現れる電位差は、VDD2ドメイン、VDD1ドメインの接地容量差にも依存すると考えて、VDD1、VDD2 の接地容量の大きさを合わせることで、どの程度改善するかを調べた結果をⅢ-2-I-③-(2)-表 2)-1-8-1 に示す。この結果より、各ドメインの接地容量を均等にするだけで、発生する電位差(Vgs)を低減できることが分かる。また VDD2・GND2 間に容量素子を追加しても、Pch Vgs の電位差発生を軽減できる。以上の分析結果から、電源ドメイン境界回路については、GND 間の抵抗値を下げる、各ドメインの接地容量を極力そろえる、信号受け側ゲートが存在するドメインには、VDD-GND 間に容量素子を追加することが、有効な設計対策であることを導いた。

負極500V充電

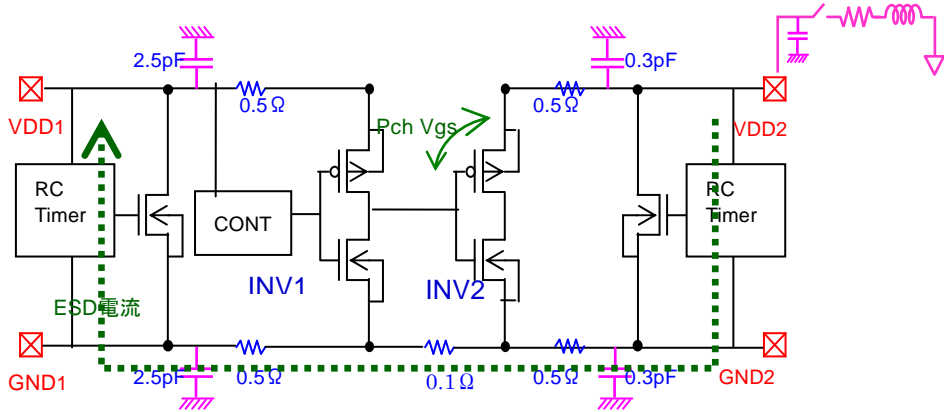


III-2-I-③-(2)-図 2)-1-8-5
電源ドメイン境界回路のシミュレーション分析
VDD2 からの放電シミュレーション特性

負極500V充電



III-2-I-③-(2)-図 2)-1-8-6
電源ドメイン境界回路のシミュレーション分析
VDD2 からの放電シミュレーション特性
(GND 間の抵抗値依存)



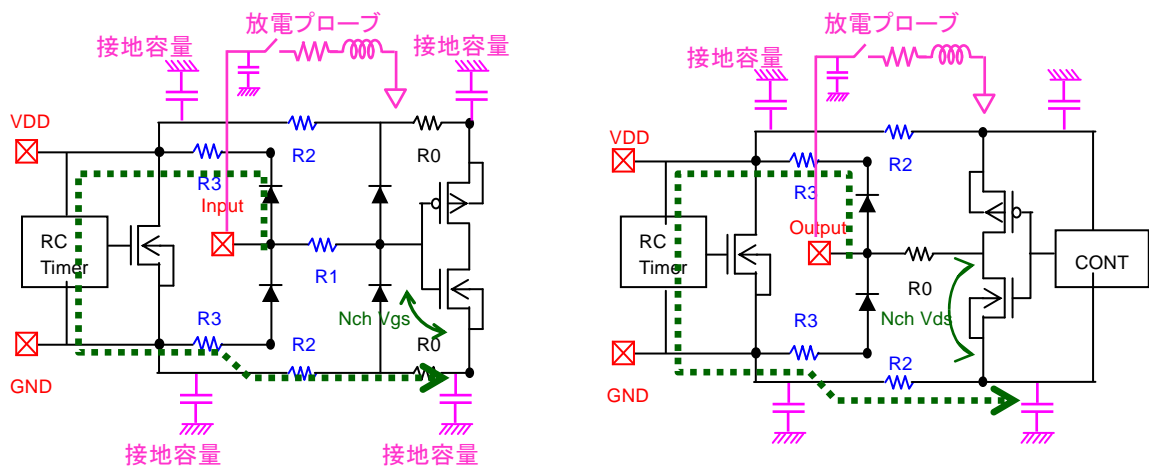
III-2-I-③-(2)-図 2)-1-8-7
電源ドメイン境界回路のシミュレーション分析
負極充電 VDD2 放電時の ESD 電流経路とワースト電位差の発生箇所

III-2-I-③-(2)-表 2)-1-8-2

電源ドメイン境界回路のシミュレーション分析
負極充電 VDD2 放電時の ESD 電流経路とワースト電位差

Case	接地容量(pF)		Cadd (pF)	Vgs (V)
	VDD1 側	VDD2 側		
A	2.5	0.3	0	-4.45
B	↓	↓	100	-4.2
C	↓	↓	400	-3.2
D	1.4	1.4	0	-3.71
E	↓	↓	100	-3.49
F	↓	↓	400	-2.65

次に、入力回路、出力回路の分析結果とメカニズムについて説明する。入力端子(Input)、出力端子(Output)から放電する場合で、端子からVDD側のDiode素子、RC-timer NMOS保護ドレイン/ソースを経由して、GNDへESD電流が流れるケースが最も厳しいCDM試験となる。通常のCMOSプロセスでは、ゲート酸化膜耐圧、ドレイン/ソース間耐圧とも、PMOSよりもNMOSの方が低く、被保護回路のNMOSにストレスがかかる放電経路がワーストケースとなるためである。CDM試験では、入力端子、出力端子が接地電位となった後、接地容量に蓄えられた電荷が一気に放電することになるが、この接地容量に充電された電荷を素早く引き抜くこと(保護素子の応答速度を上げる、放電経路のインピーダンスを下げる etc.)、放電電流で電位差を発生させないこと(放電経路の寄生抵抗によるIRドロップを抑えること)が設計時のポイントとなる。今回採用したDual-Diode型IO保護、RC-timer型NMOS電源保護については、IO保護(Diode素子)と電源保護(NMOS素子)間の寄生抵抗を低くする(R3を低くする)、電源保護と被保護回路間の寄生抵抗を低くする(R2を低くする)ことが有効な対策であることが、シミュレーション分析を通して解明された。



III-2-I-③-(2)-図 2)-1-8-8

入力回路、出力回路のシミュレーション分析
負極充電 Input、Output 放電時の ESD 電流経路とワースト電位差の発生箇所

また入力回路については、被保護ゲート酸化膜の直近に 2nd 保護を配置する、出力回路に対しては、出力トランジスタのゲート幅(W)を大きくする(電流耐性を上げる)、ゲート長(L)を太くする(出力トランジスタのオン抵抗を高くして、電流流入を防ぐ)、といった対策も有効であることが、シミュレーションで確認できた。以上のシミュレーション手法は 2010 RCJ 信頼性シンポジウムにて学会発表しており、そちらも参照されたい。[Ⅲ-2-I-③-(2)-文献 2)-1-8-1]

2)-1-9 TEG による CDM 耐圧評価結果

以降に 40nmCMOS プロセスで試作評価した TEG 評価結果を示す。いずれも JEDEC 準拠の気中放電方式の CDM 試験を採用した。TEG チップは、208pin QFP パッケージで組立している。試験は 50V ステップで行い、CDM 耐圧の欄には、Pass した電圧値を表に記載している。試験したサンプル数は、各条件で 5 個以上である。

Ⅲ-2-I-③-(2)-表 2)-1-9-1 は、電源ドメイン境界回路の評価結果(1)である。本結果は、正極充電よりも負極充電の方が耐圧が低いこと、GND 抵抗 0.5Ω の場合(1-C)は、0.1Ω の場合(1-A)よりも、耐圧が低いこと、VDD2 追加容量を設けた場合(1-B)は、Cadd なし(1-A)の場合よりも耐圧が向上することを示しており、いずれも前項で説明したシミュレーション結果を支持する結果となった。

Ⅲ-2-I-③-(2)-表 2)-1-9-1
電源ドメイン境界回路 CDM 耐圧評価結果(1)

回路タイプ	VDD2 追加容量 (Cadd)	GND 間抵抗 (Rgnd)	CDM 耐圧 (負極充電)	CDM 耐圧 (正極充電)
1-A	なし	0.1Ω	-400V	>+1000V
1-B	40pF	0.1Ω	-850V	>+1000V
1-C	なし	0.5Ω	-350V	+750V

Ⅲ-2-I-③-(2)-表 2)-1-9-2 は、電源ドメイン境界回路の評価結果(2)であり、GND 間抵抗を 0.1Ω に固定し、Cadd の容量値を更に増加した場合の結果である。Cadd の容量値の増加に伴って、CDM 耐圧も向上した。特に 2-D の回路タイプでは、本研究の成果目標とした ClassIV(1000V 以上)を達成した。

Ⅲ-2-I-③-(2)-表 2)-1-9-2
電源ドメイン境界回路 CDM 耐圧評価結果(2)

回路タイプ	VDD2 追加容量 (Cadd)	GND 間抵抗 (Rgnd)	CDM 耐圧 (負極充電)
2-A	なし	0.1Ω	-550V
2-B	40pF	0.1Ω	-750V
2-C	500pF	0.1Ω	-900V
2-D	1500pF	0.1Ω	-1100V

Ⅲ-2-I-③-(2)-表 2)-1-9-3 は、入力回路の評価結果である。本入力回路は、40nmCMOS の薄膜 MOS トランジスタ(1.0V-Tr)で構成している。入力保護(Diode 素子)と電源保護(NMOS)間の寄生抵抗 R3 が大きくなると CDM 耐圧が低下する傾向が見えている。2nd 保護を設けて、入力端子と 2nd 保護間の抵抗素子 R1 を大きくすることにより、CDM 耐圧が向上した。本傾向も、シミュレーションにより導いたメカニズムと一致している。入力回路においては、3-F の回路タイプで成果目標の ClassIV の耐圧レ

ベルを達成した。

Ⅲ-2- I -③-(2)-表 2)-1-9-3
入力回路 CDM 耐圧評価結果

回路タイプ	2nd 保護	R1	R2	R3	CDM 耐圧 (負極充電)	CDM 耐圧 (正極充電)
3-A	なし	0.5 Ω	0.5 Ω	0.5 Ω	-200V	+200V
3-B	なし	0.5 Ω	0.5 Ω	1.0 Ω	-200V	+200V
3-C	なし	0.5 Ω	0.5 Ω	2.0 Ω	-150V	+150V
3-D	あり	20 Ω	0.5 Ω	0.5 Ω	-300V	+300V
3-E	あり	40 Ω	0.5 Ω	0.5 Ω	-350V	+350V
3-F	あり	100 Ω	0.5 Ω	0.5 Ω	<-1000V	>+1000V

Ⅲ-2- I -③-(2)-表 2)-1-9-4 は、出力回路の評価結果である。本出力回路は、40nmCMOS の薄膜 MOS トランジスタ(1.0V-Tr)で構成している。入力回路と同様に、出力保護(Diode 素子)と電源保護 (NMOS)間の寄生抵抗 R3 が大きくなると CDM 耐圧が低下する傾向が見えている。また、出力トランジスタのゲート長を太くすることによって、CDM 耐圧が向上する現象も確認できた。いずれもシミュレーションでの分析結果とよく一致している。出力回路において、回路タイプ 4-D で ClassIVの耐圧レベルを達成した。

Ⅲ-2- I -③-(2)-表 2)-1-9-4
出力回路 CDM 耐圧評価結果

回路タイプ	出力 Tr	R2	R3	CDM 耐圧 (負極充電)	CDM 耐圧 (正極充電)
4-A	L=0.05um	0.5 Ω	0.5 Ω	-800V	>+1000V
4-B	L=0.05um	0.5 Ω	1.0 Ω	-800V	>+1000V
4-C	L=0.05um	0.5 Ω	2.0 Ω	-550V	>+1000V
4-D	L=0.1um	0.5 Ω	0.5 Ω	<-1000V	>+1000V
4-E	L=0.1um	0.5 Ω	1.0 Ω	-900V	>+1000V
4-F	L=0.1um	0.5 Ω	2.0 Ω	-650V	>+1000V

2)-1-10 CDM 耐圧クラスIVを達成するための解決策

以下に、CDM 耐圧クラスIVを達成するための設計指針を提供する。

・電源ドメイン境界回路に向けた設計指針

大規模デジタル回路と小規模アナログ回路との間で信号を受け渡す場合、小規模アナログ回路の入力ゲートで破壊が発生し易い。設計指針は、

- デジタル/アナログ各々の回路規模を同等にすること
- デジタル GND とアナログ GND 間の寄生抵抗(Rgnd)を可能な限り小さくすること
- アナログ VDD/GND 間に容量素子(Cadd)を追加すること

本活動で試作した 40nmCMOS TEG チップでは、Rgnd:0.1 Ω、Cadd:1500pF で CDM 耐圧 ClassIVを達成した。

・入力回路に向けた設計指針

被保護回路の入力ゲートで破壊が発生し易い。特に薄膜ゲート酸化膜の場合は要注意である。設計指針は、

- IO 保護(Diode 素子)と電源保護(RC-timer 型 NMOS)間の寄生抵抗(R3)を極力小さくすること
- 電源保護と被保護回路間の寄生抵抗(R2)を極力小さくすること
- 被保護回路の入力ゲート直近に 2nd 保護(Diode 素子)を設けること
- IO 保護と 2nd 保護間に抵抗素子(R1)を設けること

本活動で試作した 40nmCMOS TEG チップでは、R3:0.5Ω、R2:0.5Ω、R1:100Ωで、CDM 耐圧 Class IVを達成した。

・出力回路に向けた設計指針

被保護回路の出力トランジスタ(ドレイン)で破壊が発生し易い。設計指針は、

- IO 保護(Diode 素子)と電源保護(RC-timer 型 NMOS)間の寄生抵抗(R3)を極力小さくすること
- 電源保護と被保護回路間の寄生抵抗(R2)を極力小さくすること
- 出力トランジスタへの電流流れ込みを抑制するために、出力トランジスタのゲート長(L)を太くするか、出力トランジスタのドレインに抵抗を入れる
- 出力トランジスタの電流耐性を上げるために、出力トランジスタのゲート幅(W)を大きくする

本活動で試作した 40nmCMOS TEG チップでは、R3:0.5Ω、R2:0.5Ω、出力トランジスタサイズ L/W=0.1μm/90μm で CDM 耐圧 ClassIVを達成した。

尚、本設計指針の数値は、あくまでも目安であり、テクノロジー、保護回路、被保護回路の構成によっては、設計指針の数値は変わり得る。しかしながら、本設計指針の概念は、テクノロジーに依らず、応用できる。

2)-1-11 まとめ

1ns 以下の高速パルス現象あり、1 端子放電のために経路予測が困難な CDM 型 ESD 現象に対して、メカニズムの解明と、CDM 耐圧を決定づける保護回路、被保護回路のキーファクターを導出することを目的に本活動を行い、以下の成果を得た。

- (1) VF-TLP 測定環境を立ち上げ、VF-TLP 特性と CDM 耐圧との相関関係を検証し、解析手法としての有効性を実証した。
- (2) CDM 試験における放電方式の差異(気中放電/リレー放電)が試験結果に及ぼす影響を調査し、現状の CDM 試験方法の問題点を明らかにした。
- (3) CDM 型 ESD 現象のシミュレーション解析手法を構築し、TEG による実測結果と同現象を定性的に表現できることを示した。
- (4) シミュレーション解析と TEG 実測結果を基に、CDM 耐圧を決定づけるキーファクターを定義し、CDM 耐圧 ClassIVを実現するための解決策を提供した。

参考文献

[Ⅲ-2- I -③-(2)-文献 2)-1-1-1] Markus Mergens, et al., “Active-Source-Pump (ASP) Technique for ESD Design Window Expansion and Ultra-Thin Gate Oxide Protection in Sub-90nm Technologies”,

CICC Proc. , pp.251-254, 2004.

[Ⅲ-2- I -③-(2)-文献 2)-1-1-2] White Paper 2, “A Case for Lowering Component Level CDM ESD Specifications and Requirements”, Industry Council on ESD Target Levels, 2009.

[Ⅲ-2- I -③-(2)-文献 2)-1-1-3] JESD22-C101D, “Field-Induced Charged-Device Model Test Method for Electrostatic-Discharge-Withstand Thresholds of Microelectronic Components”, JEDEC Solid State Technology Association, 2008.

[Ⅲ-2- I -③-(2)-文献 2)-1-1-4] ANSI/ESD S5.3.1, “Charged Device Model (CDM) - Component Level”, ESD Association Standard, 2009.

[Ⅲ-2- I -③-(2)-文献 2)-1-4-1] Yasuyuki Morishita, et al., “New ESD Protection Circuits Based on PNP Triggering SCR for Advanced CMOS Device Applications”, EOS/ESD Symposium Proc., pp.6-9, 2002.

[Ⅲ-2- I -③-(2)-文献 2)-1-4-2] Yasuyuki Morishita, et al., “A Low-Leakage SCR Design Using Trigger-PMOS Modulations for ESD Protection”, EOS/ESD Symposium Proc., pp. 376-384, 2007.

[Ⅲ-2- I -③-(2)-文献 2)-1-4-3] Yasuyuki Morishita, et al., ”An Investigation of Input Protection for CDM Robustness in 40nm CMOS Technology”, EOS/ESD Symposium Proc. , pp.119-124, 2009.

[Ⅲ-2- I -③-(2)-文献 2)-1-4-4] 石塚 裕康他, “ディープサブミクロンデバイスにおけるパワークランブ素子の設計指針検討”, RCJ 信頼性シンポジウム. , 2009.

[Ⅲ-2- I -③-(2)-文献 2)-1-5-1] Yasuyuki Morishita, et al., ”Impact of Difference between Discharging Methods on CDM Testing”, EOS/ESD Symposium Proc. , pp.353-357, 2010.

[Ⅲ-2- I -③-(2)-文献 2)-1-8-1] 大塚 容子他, “先端 CMOS 技術の電源分離回路における CDM-ESD 保護設計”, RCJ 信頼性シンポジウム. , 2010.

[Ⅲ-2- I -③-(2)-文献 2)-1-12-1] Robert Given, et al., “CDM2 - A New CDM Test Method for Improved Test Reliability and Reproducibility”, EOS/ESD Symposium Proc., pp.359-367, 2010.

2)-2 アナログ回路における耐ノイズ技術開発

ここでは、開発期間の開発成果に関して下記の項目にて記載する。

2)-2-1 概要

2)-2-2 アナログ基本回路における「ばらつきとノイズ感度」のその場評価技術

2)-2-3 アナログ基本回路における「ばらつきとノイズ感度」の測定と解析

2)-2-4 アナログ基本回路におけるノイズ応答のチップレベル解析技術

2)-2-5 アナログ基本回路における「ばらつきとノイズ感度」の高効率測定手法

2)-2-6 まとめ

2)-2-1 概要

開発の背景

情報家電や車載エレクトロニクスの高性能・高機能化を担うミックスドシグナルSoCの内部では、アナログ-デジタルやデジタル-アナログの信号変換器(ADC/DAC)、クロック信号発生回路、高速インタフェース、無線通信、など、さまざまな基本機能がアナログ集積回路で実現されている。これらのアナログ性能、すなわち精度、周波数純度、スピード、感度、などは、チップ内の外部擾乱:とくにSoCの内部ノイズの影響を受けやすいことが知られており、その対策手法が求められている。しかしながら、ノイズとアナログ回路性能の関係についての理解はまだ十分でなく、卓越した技術創出の余地が十分にある。他方、ミックスドシグナルSoC開発において、アナログ回路の面積や消費電力がデジタル回路に比べて相対的にきわめて大きくなり、低コスト化の阻害要因となることが知られている。最先端デバイスを積極的に活用したアナログ回路IPの小面積化・省電力化は、電源ノイズ耐性の向上による性能の保証とともに高付加価値化・差別化の最重要課題である。

開発の目的

このような技術背景のもと、本開発は、デバイスばらつきと外部擾乱を同時に考慮することで、高い外部擾乱耐性と、および小面積と省電力を同時に満たす画期的なアナログ回路構築技術の創出を目指す。具体的には、アナログ回路の外部擾乱に対する感度発生メカニズムを明らかにするために、アナログ回路における「ばらつきとノイズ感度」をその場評価する実験技術およびその物理的な関係を見出す解析手法を確立し、それを用いてSoCにおけるノイズ問題の解決に向けた設計指針の導出につなぐこととする。

本開発では、アナログ回路におけるノイズ感度の発生メカニズムを明らかにする。一般的なアナログ回路の感度発生モデルとして、次に示す2つの素過程を仮定できる。

- (1) デバイス・プロセスに起因したデバイスの静的ばらつきにより差動対のマッチング特性が劣化し、この結果アナログ回路の同相ノイズ除去性能が低下することで差動信号にノイズが漏れ込み、アナログ動作性能が劣化する。
- (2) ノイズの空間分布における強度傾斜によりデバイスの特性ばらつきがエンハンスされ、この結果、アナログ回路のマッチング特性が動的に変動して、アナログ動作性能が劣化する。

実際のミックスドシグナルSoC環境におかれたアナログ回路では、これらの素過程がコンカレントに発生するものと考えられる。さらに実チップでは、デバイスの寄生容量などの寄生インピーダンスを経由した外部擾乱の直接洩れ込みも無視できない。これらの各現象を分離し、定量的に解析・予測する手段は現在のところ存在しない。そこで本開発では、「ばらつきとノイズ感度」のその場評価システムによりアナログ回路のノイズ応答を評価し、上述のモデルを仮定してアナログ回路におけるノイズ感度の発生メカニズムを明らかにする。

また、アナログ回路設計においては、「ばらつきとノイズ感度」がどのように性能にマッピングされる

か、を把握する必要がある。理想的な回路では入力信号以外の雑音成分は熱雑音や $1/f$ 雑音に過ぎないが、回路の「ばらつきとノイズ感度」により歪が生じ、不要な信号成分が現れる。

本開発では、アナログ基本回路における「ばらつきとノイズ感度」の解析手法を応用し、アナログ回路設計における回路シミュレーションにより外部擾乱のインパクトを予測する手段と、素子サイズの最適化およびレイアウト技法によりその影響を低減化する手法を与える。具体的には、ノイズ耐性に優れたアナログ回路設計指針として、ノイズマージン過大を避ける素子サイズ決定方法および高マッチングと低ノイズ感度のためのレイアウト方法の導出を試みる。また、開発成果により「ばらつきとノイズ感度」と回路の素子サイズ(面積)やバイアス電流(消費電力)のトレードオフ評価が、最先端デバイスによるアナログ回路設計に向けて有用な設計指針を与えると考えている。

開発の目標

本開発では、平成22年度の最終目標として、「ばらつき」と「ノイズ」のコンカレント・インパクトを考慮した設計のための回路シミュレーション方法を提供することを見据え、平成20年度～平成22年度の開発目標を以下のように設定した。

平成20年度

- ① 以下の回路IPを搭載したhp130nm CMOSテストチップの設計を完了する。
 - アナログ基本回路における「ばらつきとノイズ感度」特性を評価する回路IP
 - アナログ基本回路を構成するデバイス特性を評価する回路IP
- ② 「ばらつきとノイズ感度」のその場評価のための測定システムを開発する。

平成21年度

- ③ アナログ基本回路の評価回路IPをアレイ化したテストチップを開発し、「ばらつきとノイズ感度」のその場評価システムを開発する。
- ④ 「ばらつき」と「ノイズ」がアナログ回路に及ぼす影響について実測データの収集および解析を行う。
- ⑤ 「ばらつき」と「ノイズ」の評価技術の普遍性検証のためのテストチップを開発する。

平成22年度

- ⑥ 「ばらつき」と「ノイズ」がアナログ回路に及ぼす影響に関して、回路シミュレーションによる解析性を向上するため、デバイス等価回路モデルによる「ばらつきとノイズ感度」の表現手法を開発する。
- ⑦ 「ばらつきとノイズ感度」の主たる支配要因である基板結合感度を考慮して、デバイスサイズ選択とレイアウト構造を決定する指針を導出する。

本章では、これらの開発目標に対する開発成果をまとめている。上記の①②③⑤については2)-2-2、④⑥⑦については2)-2-3 にそれぞれまとめている。加えて、⑥に関してチップ設計で実務的に利用できるようにチップレベル基板ノイズ解析をフロー化した成果について2)-2-4に述べ、また③に関してデバイス特性ばらつきと回路のAC基板応答を多数個体に対し高効率に測定するためのその場評価システムの拡張について2)-2-5に述べる。最後に、全体のまとめを2)-2-6に述べる。

2)-2-2 アナログ基本回路における「ばらつきとノイズ感度」のその場評価技術

本開発では、アナログ回路の実動作環境において、トランジスタの静的デバイス特性と回路の動的性能およびノイズ感度をその場で測定評価する手段を開発した。以下に、測定環境とテストチップの構成について詳述する。

2)-2-2-1 その場評価システムの構成

概要

アナログ基本回路における「ばらつきとノイズ感度」のその場評価技術として、動作状態にある差動増幅回路の信号利得および基板感度を実測評価する測定システムを提案した。Ⅲ-2-I-③-(2)-図 2)-2-2-1-1 に構成イメージと、Ⅲ-2-I-③-(2)-図 2)-2-2-1-2 に本開発により確立した測定系の概要を示している。

アナログ基本回路における「ばらつきとノイズ感度」のその場評価系の回路図をⅢ-2-I-③-(2)-図 2)-2-2-1-3 に示す。この評価系は、対象となるアナログ差動増幅回路を多数配置し、それらの入出力をスイッチで切り替えることにより増幅回路の AC 応答がマトリクス評価可能となっている。また、増幅回路 1 つまたは 2 つに対してそれぞれノイズ注入用の基板タップがあり、プロービング等により外部の信号発生器(SG)から評価対象の増幅回路近傍のシリコン基板に正弦波ノイズを直接導入している。この差動増幅回路内の主要な端子対はオンチップモニタと接続され、増幅回路が動作状態にある時の各端子の電圧波形を取得可能である。さらに、増幅回路の主たる構成要素である差動対トランジスタについて、しきい電圧(V_{th})を回路内部のその場で測定することも可能にしている。

本開発では、前述のように差動構成のアナログ増幅回路を主たる評価対象としているが、後述のテストチップにおいては、単相構成のアナログ増幅回路についても同様の評価を実施できるように設計した。

増幅回路の構成とレイアウト

被評価対象である差動増幅回路の回路図をⅢ-2-I-③-(2)-図 2)-2-2-1-4 に示す。差動対(M1, M2)、負荷トランジスタ(M3, M4)、テール電流源(M5, M6) から構成した。n型トランジスタ(M1, M2)は、最小ゲート長である $0.1 \mu\text{m}$ を用い、p型シリコンの上に形成されている。評価対象のテストチップには多数の構造の増幅回路が搭載されているが、入力トランジスタ(M1, M2)の構造が異なるだけでテール電流源(M5, M6)、負荷トランジスタ(M3, M4)などは全て同じ構造である。サイズの大きいトランジスタM7 はDC 測定モードの時に差動対のソースノードをグラウンドに接地するためのスイッチとして働く。

増幅回路アレイはトランジスタばらつきの評価のために同じトランジスタ構造を持っている。一方でミスマッチに対して性能のセンシティブリティを評価するために、増幅回路を構成するトランジスタはチャネル面積やそのレイアウトを何種類か用意している。増幅回路アレイの中で、唯一選択された増幅回路について入力信号端子が外部測定器に接続され、その他の増幅回路の入力端子はグラウンドに接地される。

負荷MOS、バイアス回路、テール電流源、選択スイッチは高電圧I/Oトランジスタにより設計することにより、対象トランジスタ以外のばらつきを抑制し、またディープN ウェルで覆うことにより基板ノイズの影響を除いている。設計の都合上、差動増幅回路の電源電圧は 3.3 V であるが、入力トランジスタなどの低電圧デバイスへは 1.0 V を超える電圧がかからないように設計されている。

Ⅲ-2-I-③-(2)-図 2)-2-2-1-5 は評価対象の差動増幅回路、オンチップモニタの基板観測点、GSGパッドからの基板ノイズ注入ブロックのレイアウトである。外部信号源からプロービングにより導入されたノイズは、増幅回路から $56 \mu\text{m}$ 離れたp+拡散よりシリコン基板に注入される。基板注入点と増幅回路の間には基板ノイズ観測点があり、後述するオンチップモニタによりこの点の基板の電圧振幅が取得される。このノイズ注入手法の場合、シリコン基板のインピーダンスによって基板ノイズ注入点での電圧振幅が変化してしまうが、オンチップモニタを用いて基板観測点での電圧振幅が観測可能であるため、この基板感度での電圧振幅を用いて基板ノイズを評価することが可能である。また、Ⅲ-2-I-③-(2)-図 2)-2-2-1-6 に示すように、高周波信号が注入可能なGSGプロービングは複数

のアンプ間で共有している。

オンチップモニタの構成とレイアウト

増幅回路の対象ノードを捕捉し、連続時間波形検出を実現するオンチップモニタ回路をⅢ-2- I -③-(2)-図2)-2-2-1-7 に示す。このモニタ回路は2 つの入力チャンネルを持っており、モニタの入力負荷によるミスマッチがないように回路的にもレイアウト的にも対称に設計され、選択信号のSEL1とSEL2により入力チャンネルの一つが活性化すると、もう一方は完全にカットオフする。このモニタ回路は3.3 V の高電圧I/O トランジスタが使用されており、評価電圧範囲を隙間なく測定できるようになっている。

Ⅲ-2- I -③-(2)-図2)-2-2-1-8 に示すようにアレイ上に配置された複数のモニタ回路が単一のカレントミラー回路と出力パッドを共有する。入力フロントエンドのソースフォロアは対象ノードの電圧変動を検出し、電圧のレベルシフトを行う。ソースフォロアの出力電圧は電圧電流変換回路により電流に変換されカレントミラーを通してオフチップに出力され、終端抵抗上の電圧をオシロスコープにより検出される。アンペアレイ毎にオンチップモニタ回路は機能的に共有されている。

オンチップモニタ回路による評価対象ノードは増幅回路の、入力信号、出力信号、差動対のソース電位、電源、グラウンド、基板である。各ノードで電圧レベルが異なるため、評価する電圧レベルに合わせて、次のようなオンチップモニタを準備している。ここで、検出フロントエンドであるソースフォロアの出力レベルを合わせることにより、後段のソース接地増幅段と出力バッファであるカレントミラーを共通化することができる。

(入力・出力信号検出用オンチップモニタ)

増幅回路の入出力信号の中心電圧は0.8 Vであり、オンチップモニタのフロントエンドはPch のソースフォロアをNch のソースフォロアの2 段構成使用する。また、差動対の対称性を壊さないため、オンチップモニタの入力負荷を等しくしなければならない。そのため入力チャンネルが2 つあり、対称に設計、レイアウトされている。

(グラウンド電圧検出用オンチップモニタ)

増幅回路のグラウンドや基板の中心電圧は0.0 Vであり、オンチップモニタのフロントエンドは2 段のPch ソースフォロアを使用し、電圧レベルをシフトアップさせる。

(Va 電位検出用オンチップモニタ)

入力差動対のソース電位(Va) の中心電位は0.3 Vであり、オンチップモニタのフロントエンドはグラウンド電圧検出用オンチップモニタと同様、2 段のPch のソースフォロアを使用するが、出力電圧を他のオンチップモニタと同じレベルにするため、バイアス回路のサイズやバイアス電圧は異なる。

(電源電圧用オンチップモニタ)

増幅回路の電源電位の中心電圧は3.3 Vであり、オンチップモニタのフロントエンドは2 段のNch ソースフォロアにより、電圧レベルをシフトダウンさせる。

増幅回路とオンチップモニタの詳細な接続はⅢ-2- I -③-(2)-図2)-2-2-1-4 のとおりである。差動増幅回路の電源(Vdd)、グラウンド(Vss)、基板 (Vpsub)、およびいくつかの中間電圧レベル(出力、入力、入力トランジスタのソース電位(V_s)、等)に観測点が設けてある。このオンチップモニタの入力

電圧範囲は中心電圧±200 mV であるため、対象とする電圧帯に応じて複数種類のオンチップモニタを使用している。また増幅回路の入出力の観測点はスイッチマトリクスの内側にあり、スイッチや配線などの寄生インピーダンスを含まない増幅回路の素の特性が評価可能である。

ノイズ注入系

基板ノイズを発生させる方法として、デジタルノイズ源を動作させる方法、基板コンタクトを持つ配線にチップ外部から I/O を通してノイズを導入する方法など様々な方法が考えられるが、アナログ回路の基板ノイズ感度の周波数応答を評価する場合は正弦波の基板ノイズを発生させる必要がある。そこで本開発では、チップ内に設けた GSG パッドにプロービングを行い、チップ外部の信号源から GSG パッドと基板コンタクトを介してノイズを直接注入する方法と、信号源から GSG パッドを通して導入したノイズを、バッファアンプを介して評価対象の回路へ分配する方法の 2 つを用いた。ここで、GSG パッドからの直接注入はⅢ-2- I -③-(2)-図 2)-2-2-1-5 のとおりである。

他方、バッファアンプからの分配注入はⅢ-2- I -③-(2)-図 2)-2-5-1-1 のとおりであり、2)-2-5-1 章を参照されたい。

測定システムのテストモード

Ⅲ-2- I -③-(2)-図2)-2-2-1-3の測定システムは3つの動作モードを持っており、マトリクス上の各増幅回路は状態レジスタにより適切かつ機械的に設定することができる。

(DC測定モード)

Ⅲ-2- I -③-(2)-図2)-2-2-1-9のDC測定モードでは、差動対のI-V 特性を測定でき、それぞれのトランジスタのI-V 特性により V_{th} が導出される。増幅回路の入力ノードとそれに対応した出力ノードの一つ、すなわち、M1かM2トランジスタのどちらかのゲートやドレイン電極は、それぞれ半導体パラメータアナライザ(4155C) のソースメジャーユニット(SMU) にそれぞれ接続されている。ショートスイッチM7は差動対のソースノードをグラウンドに深くバイアスしている。M3, M4, M5とM6はバイアス回路により完全にカットオフしている。オンチップモニタは選択された対象のトランジスタのゲート、ドレイン、ソース電圧を検出することができる。同図ではM1トランジスタ評価時の評価システムの設定と外部測定器との接続について示す。スイッチのオン抵抗を抵抗素子で表している。

(AC測定モード:信号利得の測定)

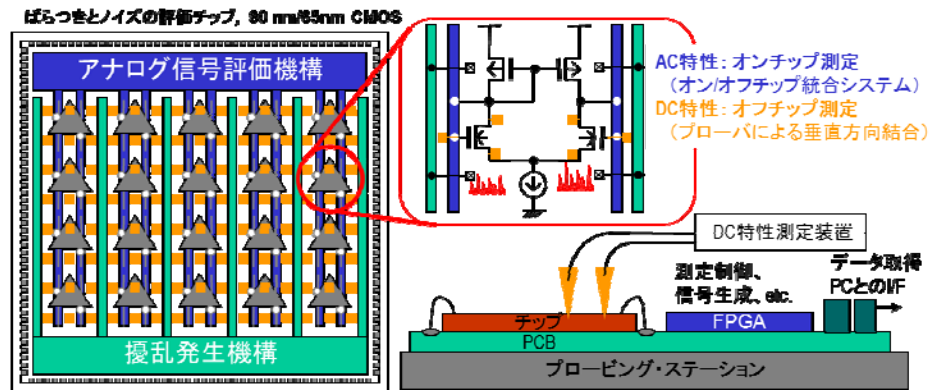
Ⅲ-2- I -③-(2)-図2)-2-2-1-10に、差動増幅回路のAC測定評価時の測定システムの構成と外部測定器との接続について示す。AC 測定モードでは増幅回路のAC 特性を測定することができる。増幅回路の入力は外部測定器(AWG)に接続され、差動信号が入力される。入出力ノードにおける信号波形はオンチップモニタにより検出される。この時、スイッチM7はカットオフ状態である。

ここで、増幅回路の出力はオンチップモニタで検出せず、外部へ直接出力させることも可能としている(Output モード)。

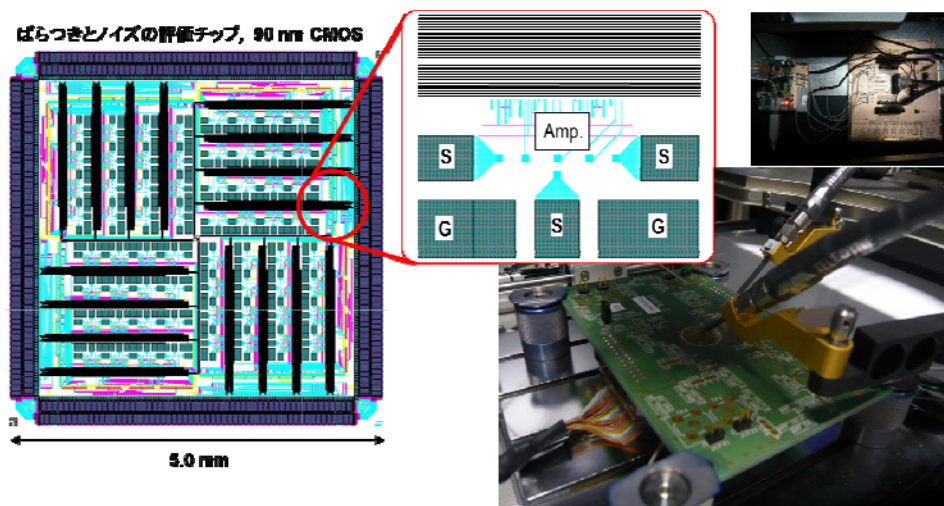
(AC測定モード:基板感度の測定)

Ⅲ-2- I -③-(2)-図2)-2-2-1-11に、基板に信号を注入しその信号に対する差動増幅回路の応答を測定する構成を示す。スイッチやモニタ回路のセットアップは前項の信号利得評価時と似ているが、信号発生器(AWG) から入力されたサイン波はP+拡散からシリコン基板へ注入され、オンチップモニタにより近傍の基板の電位変動および、差動増幅回路の出力波形を取得する。

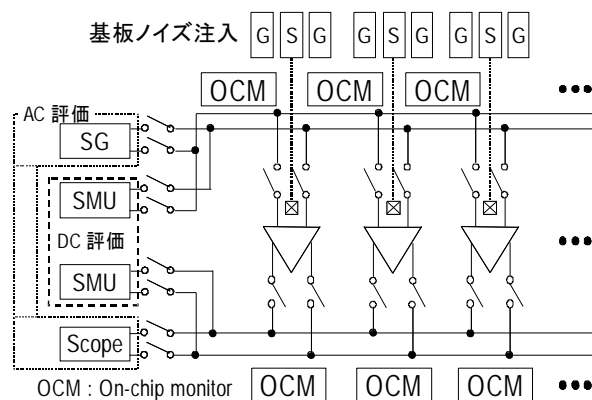
DC 測定モードにおける V_{th} とAC 測定モードにおけるAC 特性に加えて、バイアス電圧や入出力ノードのオフセット電圧、電源電圧やグラウンド電圧のIRドロップなどの増幅回路の動作状況は評価信頼性のために絶えずチェックされている。



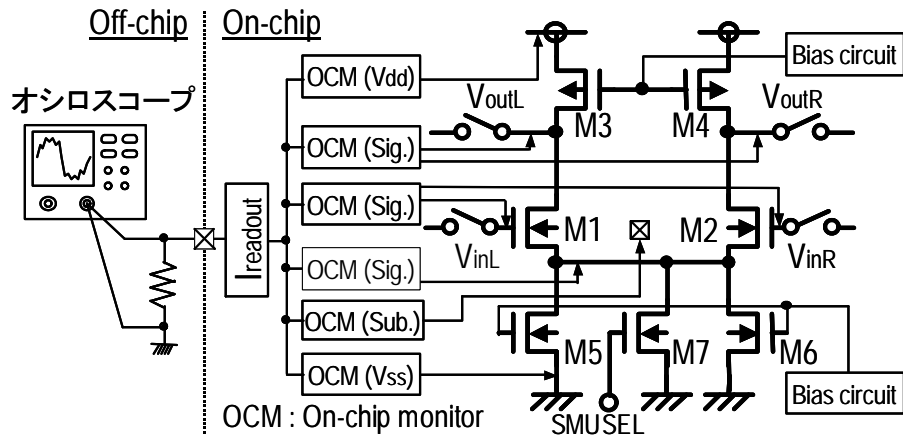
III-2-I-③-(2)-図2)-2-2-1-1: アナログ回路における「ばらつきとノイズ感度」のその場評価システムの構成イメージ。



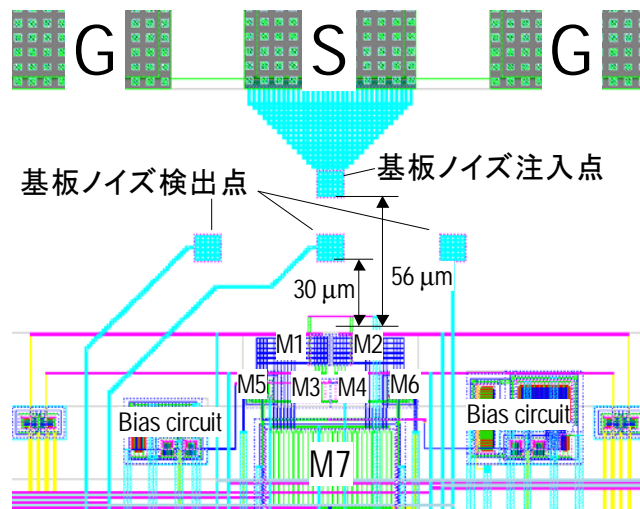
III-2-I-③-(2)-図2)-2-2-1-2: アナログ回路における「ばらつきとノイズ感度」のその場評価を実現する測定システムの外観とテストチップの構成例。



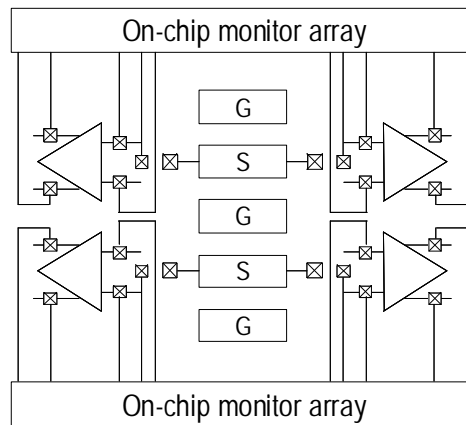
III-2-I-③-(2)-図2)-2-2-1-3: 増幅回路マトリクス及びDC成分・AC成分のその場評価システムの構成。



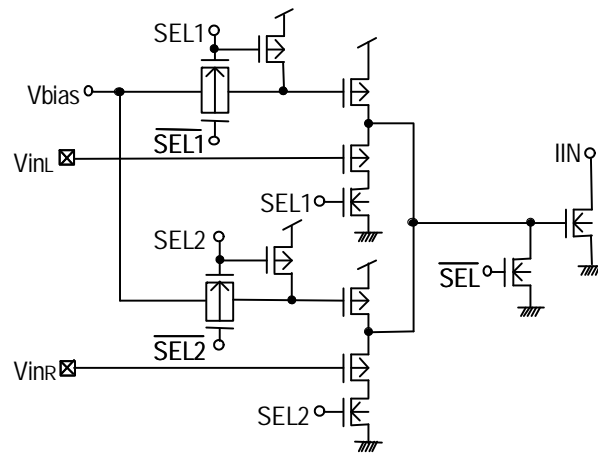
III-2-I-③-(2)-図2)-2-2-1-4: 差動増幅回路のオンチップモニタと外部測定器との接続。



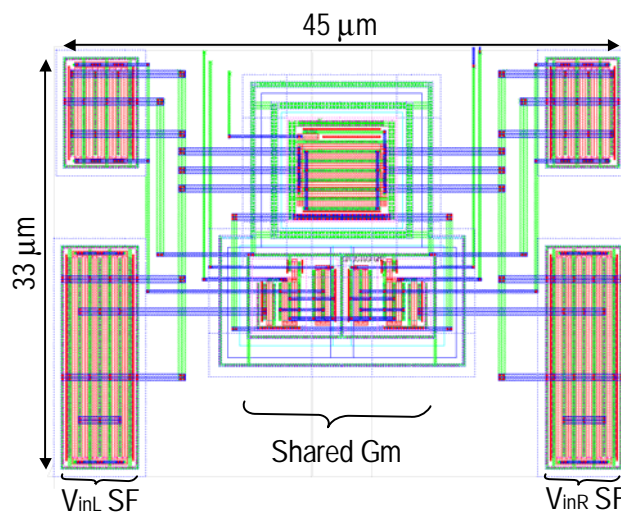
III-2-I-③-(2)-図2)-2-2-1-5: 差動増幅回路のレイアウト図。



III-2-I-③-(2)-図2)-2-2-1-6: モニタ回路とプローブ配線を含めた信号注入パッドを共有したアンプアレイの配置イメージ図。

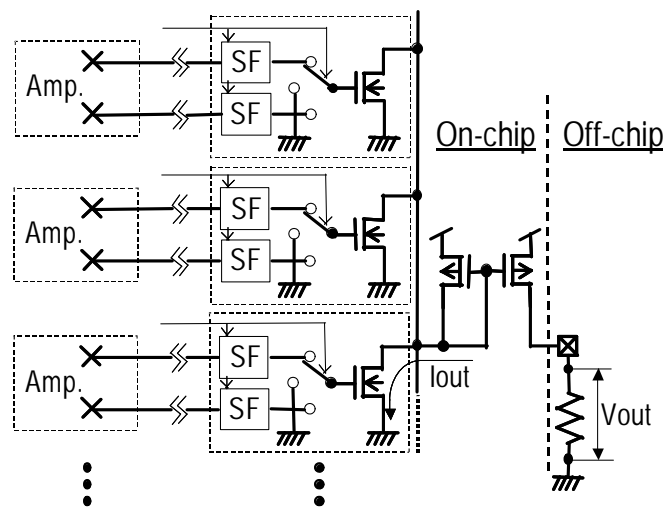


(a)

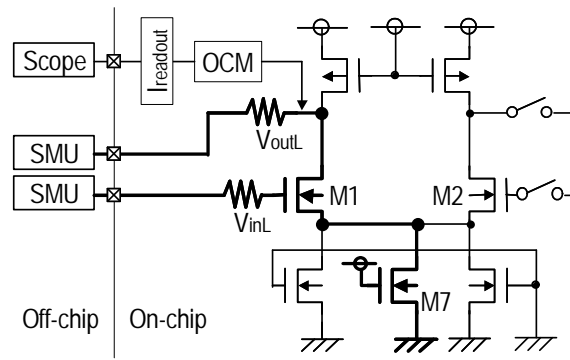


(b)

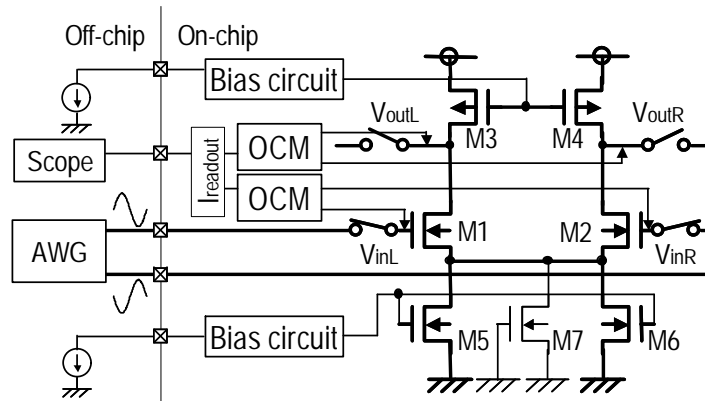
Ⅲ-2-I-③-(2)-図2)-2-2-1-7: 2チャンネルオンチップモニタ回路, (a) 回路図(b)レイアウト図。



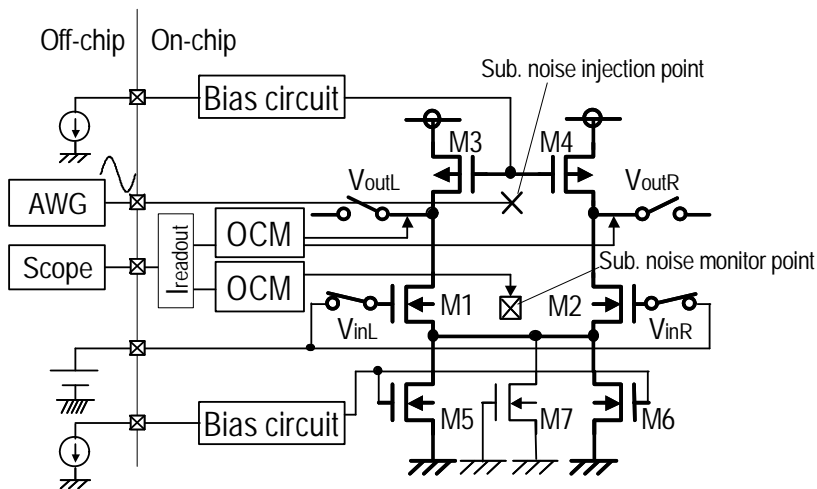
Ⅲ-2-I-③-(2)-図2)-2-2-1-8: オンチップモニタ回路の多チャンネル化。



Ⅲ-2-I-③-(2)-図2)-2-2-1-9: 差動対トランジスタのDC測定評価系。



Ⅲ-2-I-③-(2)-図2)-2-2-1-10: 差動増幅回路の信号利得評価系。



Ⅲ-2-I-③-(2)-図2)-2-2-1-11: 差動増幅回路の基板感度評価系。

2)-2-2-2 増幅回路のその場評価チップ設計

このテストシステムを評価するため、増幅回路マトリクスとオンチップモニタを実装したhp130nm (90nmノード) 及びhp90nm (65nmノード) CMOSテストチップを、合計3品種開発した。いずれのテストチップも、連続時間オンチップモニタ回路と評価対象である増幅回路群から構成されており、オンチップモニタ回路は3.3 V I/O デバイスを使用し、増幅回路の差動対とテール電流源は1.0 V コアデバイスを使用し、それ以外の負荷トランジスタやバイアス回路には3.3 Vデバイスを使用した。

hp130nm (90nmノード) CMOS技術によるテストチップ(Chip #1、Chip #3)

基板ノイズ感度の被評価対象を差動及び単相の増幅回路とし、そのトランジスタサイズやレイアウト構造の異なる増幅回路をアレイ状に搭載したテストチップを、hp130nm(90nm ノード) CMOS テクノロジーを用いて設計・試作した。これらのテストチップの概要をⅢ-2-I-③-(2)-表 2)-2-2-2-1 にまとめており、それぞれのテストチップは Chip #1 と Chip #3 と表記することとする。また、2 つのテストチップをⅢ-2-I-③-(2)-図 2)-2-2-2-1 とⅢ-2-I-③-(2)-図 2)-2-2-2-2 にそれぞれ示す。

いずれのチップも 5.0 mm 角の大きさで、その 1/4 面相当の評価領域に 4×4 の評価ブロックがあり、1 ブロック当たりそれぞれ構造の異なる 16 種類の増幅回路を評価できるアレイ構造とした。オンチップモニタはこの評価領域と I/O リングとの間に配置され、増幅回路の端子を観測するための配線はノイズ感度評価に影響が出ないよう慎重に配線されている。この 2 つのテストチップの詳細な仕様を次に示す。

Ⅲ-2-I-③-(2)-表 2)-2-2-2-1: hp130nm(90nm ノード) CMOS テストチップの概要

	Chip #1	Chip #3
テクノロジー	hp130nm(90nm ノード) CMOS	hp130nm(90nm ノード) CMOS
ウェル	トリプルウェル	トリプルウェル
チップサイズ	5.0 mm×5.0 mm	5.0 mm×5.0 mm
搭載増幅回路数	50 種類 64 回路 (校正用ダミー等含む)	32 種類 73 回路 (校正用ダミー等含む)
増幅回路ブロック構成	4 回路で 1 ブロック	16 回路で 1 ブロック (制御は 4 回路単位)
拡散付ダミーゲート	無	有
標準しきい値ばらつき	4.3 mV	10 mV - 15 mV
ノイズ注入方式	GSG パッドからの直接注入	バッファアンプを用いた分配注入 (上半面)、 GSG パッドからの直接注入 (下半面)
注入点の共有	無	有
対向グラウンドパッド	無	有
ガードバンド構造	I-I 字型	U 字型
ボンディング	4:1 ボンディング	全ピンボンディング (外周 IO のみ使用)

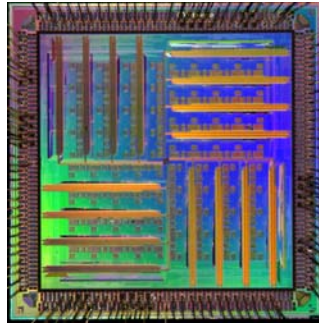
hp90nm(65nmノード) CMOS技術によるテストチップ(Chip #2)

本開発で確立している「ばらつきとノイズ感度」のその場評価技術の普遍性を検証し、またアナログ基本回路における基板ノイズ感度の理解を深めることを目的に、被評価対象を差動及び単相の増幅回路とし、そのトランジスタサイズやレイアウト構造の異なる増幅回路をアレイ状に搭載したテストチップを、hp90nm(65nm ノード) CMOS テクノロジーを用いて設計・試作した。これらのテストチップの概要をⅢ-2-I-③-(2)-表 2)-2-2-2-2 にまとめており、このテストチップは Chip #2 と表記することとする。また、テストチップをⅢ-2-I-③-(2)-図 2)-2-2-2-3 に示す。

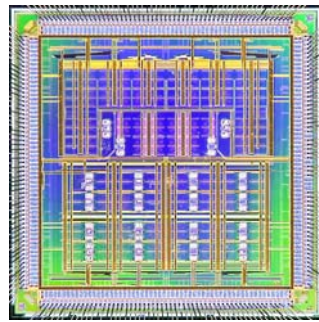
本チップは 4.2 mm 角の大きさで、その 1/4 面相当の評価領域に 4×4 の評価ブロックがあり、1 ブロック当たりそれぞれ構造の異なる 16 種類の増幅回路を評価できるアレイ構造とした。オンチップモニタはこの評価領域と I/O リングとの間に配置され、増幅回路の端子を観測するための配線はノイズ感度評価に影響が出ないよう慎重に配線されている。この 2 つのテストチップの詳細な仕様を次に示す。

Ⅲ-2- I -③-(2)-表 2)-2-2-2-2: hp90nm (65nm ノード) CMOS テストチップの概要

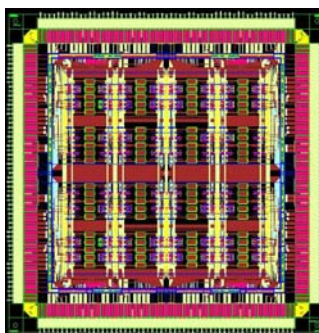
Chip #2	
テクノロジー	hp90nm (65nm ノード) CMOS
ウェル	トリプルウェル
チップサイズ	4.2 mm×4.2 mm
搭載増幅回路数	48 種類 64 回路 (校正用ダミー等含む)
増幅回路ブロック構成	4 回路で 1 ブロック
拡散付ダミーゲート	有
標準しきい値ばらつき	4.3 mV
ノイズ注入方式	GSG パッドからの直接注入
注入点の共有	有
対向グラウンドパッド	有
ガードバンド構造	U 字型
ボンディング	全ピンボンディング



Ⅲ-2- I -③-(2)-図 2)-2-2-2-1: テストチップ写真(Chip #1)



Ⅲ-2- I -③-(2)-図 2)-2-2-2-2: テストチップ写真(Chip #3)



Ⅲ-2- I -③-(2)-図 2)-2-2-2-3: テストチップ写真(Chip #2)

2)-2-2-3 測定評価結果

本節では、アナログ基本回路における「ばらつきとノイズ感度」のその場評価技術に関して、hp130nm(90nmノード) CMOS技術によるテストチップ(Chip #1)の実験結果について述べる。この他のテストチップについては、基板ノイズ感度の解析や、ノイズ耐性に関する考察とあわせて、後章にて論じる。

オンチップモニタ

Ⅲ-2-I-③-(2)-図2)-2-2-3-1に、入出力信号用オンチップモニタ回路のDC特性の実測結果を示す。入力電圧範囲はアナログコモンモード電圧の0.8 Vを中心に± 200 mVをカバーしている。またⅢ-2-I-③-(2)-図2)-2-2-3-1には実測波形の測定例も示している。各モニタチャンネルは外部入力からモニタ回路に直接与えられた正弦波による実測結果により個別にキャリブレーションされる。

Ⅲ-2-I-③-(2)-図2)-2-2-3-2に、100 MHz の正弦波を入力した時の周波数スペクトラムを示す。SFDRは54.7dB あり、対象増幅回路を評価するのに十分なダイナミックレンジを有している。このオンチップモニタ回路の設計帯域はおよそ0.8 GHzである。

差動増幅回路

Ⅲ-2-I-③-(2)-図2)-2-2-3-3に、差動対個々のトランジスタにおけるI-V特性の測定結果を示す。異なるドレイン電圧Vdsを与え、ゲート電圧Vgsのスweepをさせた時のドレイン電流Idsの測定結果を示している。しきい値電圧Vthは単位チャンネル面積当たりには流れるある一定の電流値をもとにプロットされている。

オンチップモニタは増幅回路を構成する差動対のVgsやVdsの電位変動を評価することで、I-V特性の測定信頼性を向上させている。ドレイン電流が大きい時、スイッチトランジスタのオン抵抗、配線やケーブルの寄生抵抗によりドレイン電圧やソース電圧を大幅にドロップさせている。

Ⅲ-2-I-③-(2)-図2)-2-2-3-4に、Ids-Vds特性測定時のドレイン-ソース電圧の検出波形を示す。ゲート電圧が高くなるにつれてVdsが抑えられているのが分かる。一方でM7によりソースノードはグラウンドに深くバイアスされているためVgsは期待値からそれほど外れてはいない。同図におけるVdsは、オンチップモニタ回路の測定結果にもとづいて計算された実効的なVdsである。

同じ増幅回路のAC特性をⅢ-2-I-③-(2)-図2)-2-2-3-5に示す。これは外部測定器から入力された信号の周波数に対する増幅回路のゲインをプロットしている。増幅回路の出力を直接出力するのに対してオンチップでモニタすることは周波数制限を大幅に軽減している。入力信号と出力信号の両方を外部で測定した場合は、出力経路に寄生するRC成分により実効的な周波数帯域は大幅に小さくなる一方で入出力をオンチップモニタで観測する場合は、数百MHzまでの周波数において適切に測定できている。

Ⅲ-2-I-③-(2)-図2)-2-2-3-6にシリコン基板に信号を注入したときの基板で捕捉された信号振幅と出力のAC 応答を示す。シリコン基板の入力インピーダンスと信号源の出力インピーダンスの大幅な乖離により、基板信号注入の実効帯域は大幅に制限される。基板注入した時の不要な共振により、安定した基板感度(Gsub) 測定が妨げられている。しかし、10 MHz 以下の低周波付近におけるGsub のAC 応答はフラットであり、適切に差動増幅器を動作させた時の差動対トランジスタのその場基板応答を正しく評価可能である。ここで対象とした増幅回路の基板感度はおよそ-12 dBであり、10 MHz程度までは容量結合の影響を受けずにほぼ一定の感度であることがわかる。本開発で以

降示す実測結果は、シリコン基板へのノイズ注入は約10 MHzまでを対象としたが、基板ノイズを注入し観測するこの評価系全体は、100 MHzを超える周波数での評価も可能である。

チャンネル幅の異なるトランジスタを用いた増幅回路におけるトランジスタ個々の V_{th} と増幅回路のAC特性の関係をⅢ-2-I-③-(2)-図2)-2-2-3-7に示す。差動対トランジスタ間の V_{th} はよくマッチングが取れており、またそれと同時に各増幅回路における左右のゲイン差もほとんどないことが分かる。

意図的に非対称な差動増幅回路

差動増幅回路の動作に対するトランジスタミスマッチの影響を評価するために意図的に非対称性を持たせた差動増幅回路を併せてテストチップに実装した。Ⅲ-2-I-③-(2)-図2)-2-2-1-2におけるM1を左、M2を右のトランジスタとし、Ⅲ-2-I-③-(2)-図2)-2-2-3-8のイメージ図やレイアウト図に示すように、左右で異なるチャンネル長やウェル構造の回路を設計した。測定した特性は基準として設計された対称的な差動増幅回路と比較した。

これらの増幅回路は、Ⅲ-2-I-③-(2)-表2)-2-2-3-1に示した#1および#17～#21である。表の中で対称性を持った標準アンプは#1に示したアンプである。もう一つの対称な増幅回路である#18は差動対であるNチャンネルトランジスタをトリプルウェルで覆っている。一方で、#17の非対称増幅回路は右(M2)のトランジスタだけトリプルウェルで覆われている。他の非対称アンプである#19, 20, 21に関しては左トランジスタより右トランジスタを意図的に大きなチャンネル長で構成している。

差動対左右のトランジスタ間の V_{th} の差をⅢ-2-I-③-(2)-図2)-2-2-3-9に示す。#1, 17, 18はトランジスタサイズが同じで対称的に設計されているため、差動対の左右でほとんど差はない。一方、意図的に非対称の#19, 20, 21はトランジスタサイズが大きくなるにつれて V_{th} の差も大きくなっている。

Ⅲ-2-I-③-(2)-図2)-2-2-3-9には、増幅回路のACゲインの実測結果も示している。左トランジスタのゲイン G_{left} はアンプ間でほとんど差はないことが分かる。一方で、左右のチャンネルのゲイン差であるコモンモードゲイン G_{cm} はトランジスタのミスマッチに対して非常にセンシティブであり、非対称アンプにおいて非常に劣化しているのが分かる。マッチングの取れた増幅回路の G_{cm} は-24dB以下であることが期待される。反対にミスマッチのある増幅回路は G_{cm} の値が大きくなっており、左右の差動対に異なるサイズを用いた増幅回路の G_{cm} がゲイン応答で重要であり、大きなミスマッチを持つ。

意図的なミスマッチはⅢ-2-I-③-(2)-図2)-2-2-3-10に示すように、基板感度 G_{sub} にも影響を与えている。右チャンネルの G_{sub} は最大サイズのトランジスタにおいて最大を取っており、ほぼ線形に大きくなっている。一方で、ディープNウェルで覆われている入力チャンネルは容量分離されているため、低周波域における基板雑音に対する感度はほとんど無い。

Ⅲ-2-I-③-(2)-図2)-2-2-3-10には、 G_{sig} と G_{sub} の関係も示している。これを見て明らかのように、信号利得が高ければ基板感度も高いという相関があることが分かる。基本的な関係を次式のように表すことができる。

$$G_{sub} \approx -g_{mb} \cdot R_{out} \approx -\frac{\gamma}{2} \sqrt{\frac{1}{2\Phi + V_{bs}}} \cdot G_{sig}$$

ここで観測された G_{cm} や G_{sub} はまだトライアルではあるが、DC測定での V_{th} とAC測定でのゲイン応答及び基板感度のその場評価システムがアナログ回路の動作に対するミスマッチの影響評価において明らかに有効であることを示した。

増幅回路

hp130nm(90nmノード) CMOS技術によるテストチップ(Chip #1)に搭載した増幅回路は、全差動の増幅回路と、単相の増幅回路の大きく分類して2種類である。それぞれの増幅回路はトランジスタばらつきの評価のために同じトランジスタ構造を持っており、一方で前述のようにミスマッチや基板感度に対してデバイス応答、回路応答を評価するために、増幅回路を構成するトランジスタはチャンネル面積やそのレイアウトを何種類か用意している。また、基板雑音の伝播に対する応答を評価するために、基板ガードバンドを差動対の両端に用意し、フローティング可能な様にした。

Ⅲ-2-I-③-(2)-表2)-2-2-3-1に実装した差動増幅回路の評価回路リストを示す。#1 から#16 は左右対称な全差動の増幅回路である。#17 は差動対右側のトランジスタのみトリプルウェル構造であり、#18 は差動対両側のトランジスタがトリプルウェル構造である。#31 と#32 は差動対の距離が離れており#31 は50 μm 、#32 は100 μm 離れている。

また、差動増幅回路だけでなく、単相増幅回路も同時に実装した。Ⅲ-2-I-③-(2)-表2)-2-2-3-2に実装した単相増幅回路の評価回路リストを示す。

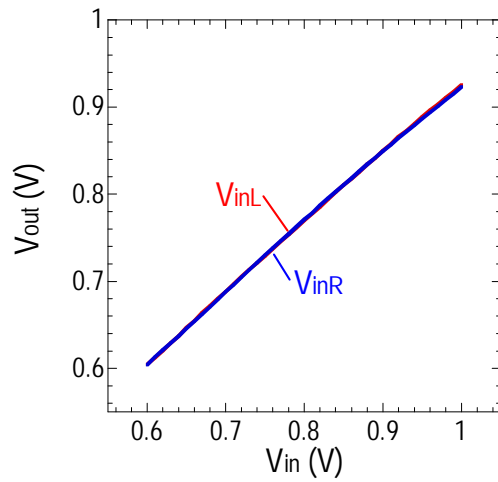
Ⅲ-2-I-③-(2)-表2)-2-2-3-1: 差動増幅回路の差動対トランジスタのサイズ。

Amp. ID	チャンネル長 (・m)	チャンネル幅 (・m)	フィンガー数	特徴
#1	0.10	11.45	8	
#2	0.10	11.45	16	
#3	0.10	11.45	4	
#4	0.10	11.45	2	
#5	0.10	11.45	1	
#6	0.10	5.58	1	
#7	0.10	5.58	16	
#8	0.10	2.66	32	
#9	0.10	1.33	64	
#10	0.10	0.63	128	
#11	0.10	0.27	256	
#12	0.11	16.56	8	
#13	0.12	20.91	8	
#14	0.15	24.68	10	
#15	0.20	26.86	14	
#16	0.40	28.83	28	
#17	0.10	11.45	8	意図的 非対称 設計 (4.4.3)に 記載
#18	0.10	11.45	8	
#19	0.10/0.11	11.45	8	
#20	0.10/0.12	11.45	8	
#21	0.10/0.15	11.45	8	
#22	0.10/0.11	11.45/16.56	8	
#23	0.10/0.12	11.45/20.91	8	

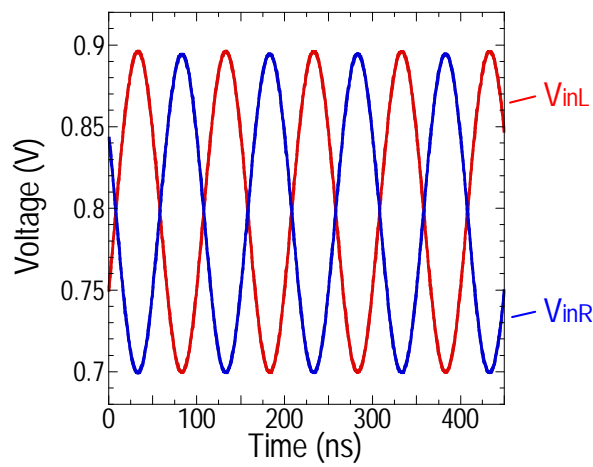
#24	0.10/0.15	11.45/24.68	8/10	
#25	0.10	11.45	8	テール電流 源がツイント エル構造
#26	0.10	11.45	16	
#27	0.10	11.45	4	
#28	0.10	11.45	2	
#29	0.10	11.45	1	
#30	0.10	5.58	1	
#31	0.10	11.45	8	本文に 記載
#32	0.10	11.45	8	

Ⅲ-2-I-③-(2)-表2)-2-2-3-2: 単相増幅回路の入カトランジスタのサイズ。

Amp. ID	チャンネル長 (・m)	チャンネル幅 (・m)	フィンガー数
#1	0.10	2.77	8
#2	0.10	2.77	16
#3	0.10	2.77	4
#4	0.10	2.77	2
#5	0.10	2.77	1
#6	0.10	1.44	1
#7	0.10	1.44	16
#8	0.10	0.76	32
#9	0.10	0.4	64
#10	0.10	0.26	96
#11	0.10	0.15	128
#12	0.11	3.59	8
#13	0.12	4.22	8
#14	0.15	5.84	8
#15	0.20	8.43	8
#16	0.40	18.76	8

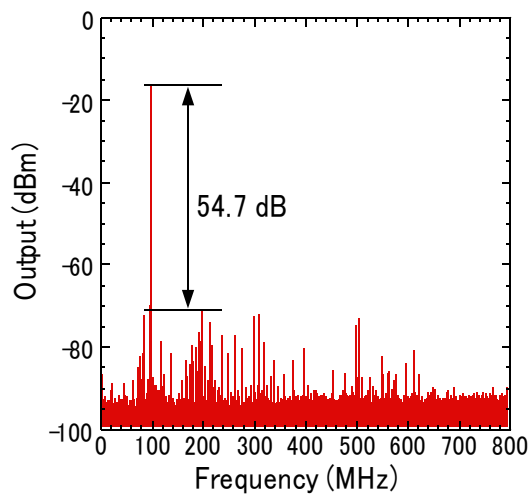


(a)

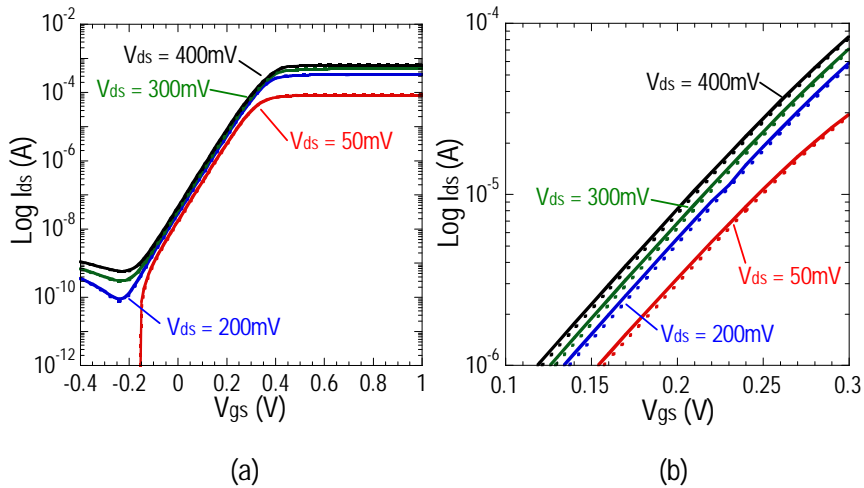


(b)

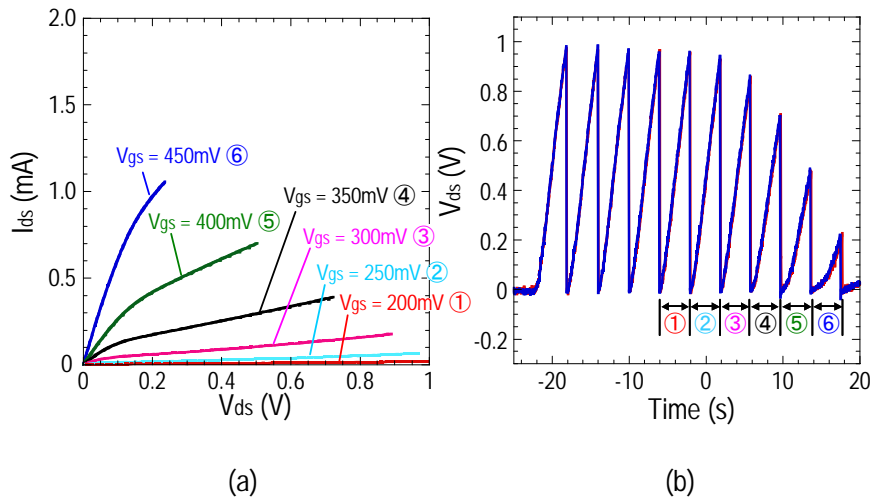
Ⅲ-2-I-③-(2)-図2)-2-2-3-1: オンチップモニタ回路の実測結果(a) DC特性(b) 実測波形。



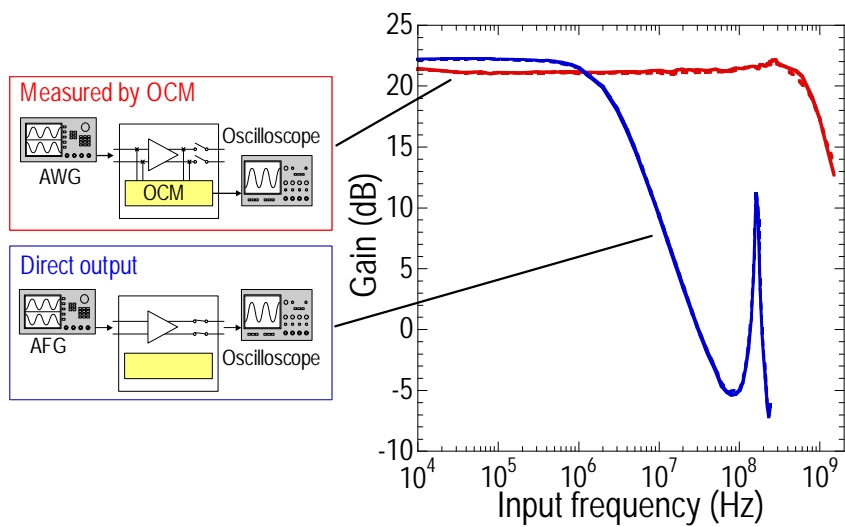
Ⅲ-2-I-③-(2)-図2)-2-2-3-2: オンチップモニタ回路の周波数スペクトラム。



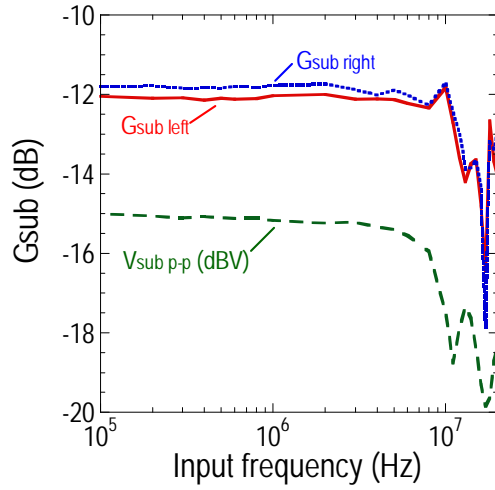
III-2-I-③-(2)-図2)-2-2-3-3: 差動対の I_{ds} - V_{gs} 特性評価、(a) I_{ds} - V_{gs} 特性、(b) V_{th} 付近の拡大図。



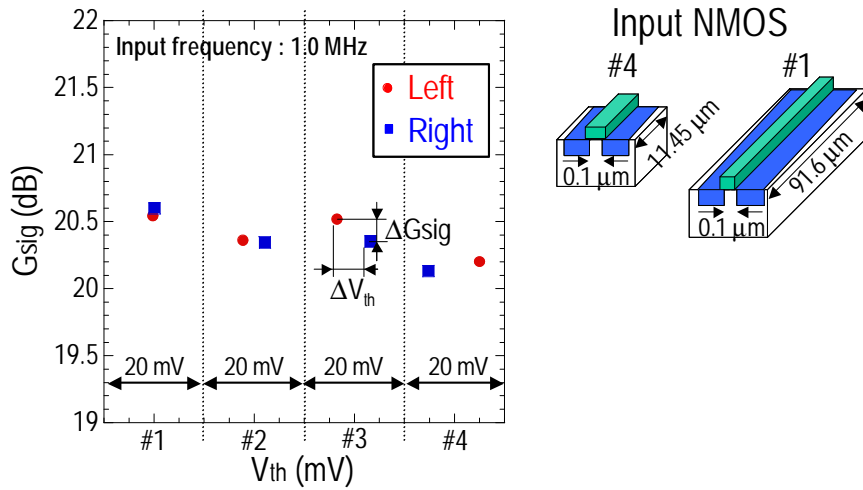
III-2-I-③-(2)-図2)-2-2-3-4: (a) I_{ds} - V_{ds} 特性、(b) V_{ds} をスイープさせたときの実効的なドレイン電圧の観測波形。



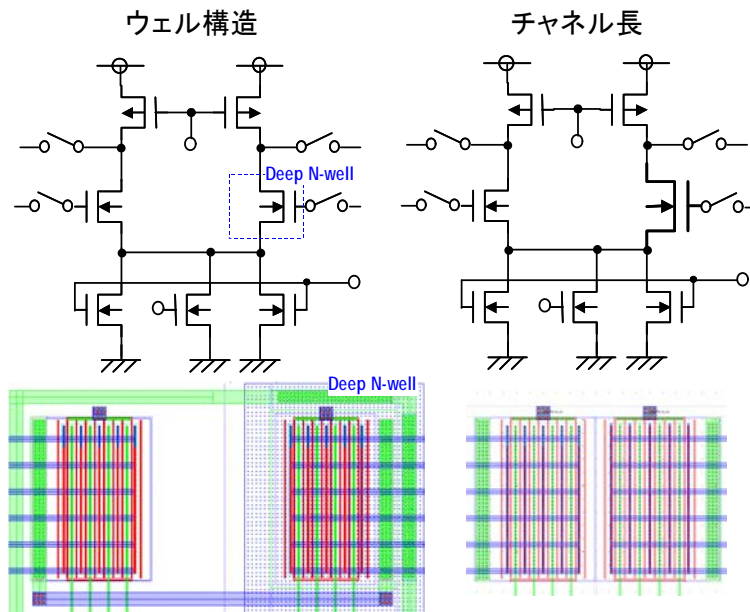
III-2-I-③-(2)-図2)-2-2-3-5: 差動増幅回路のAC応答評価。



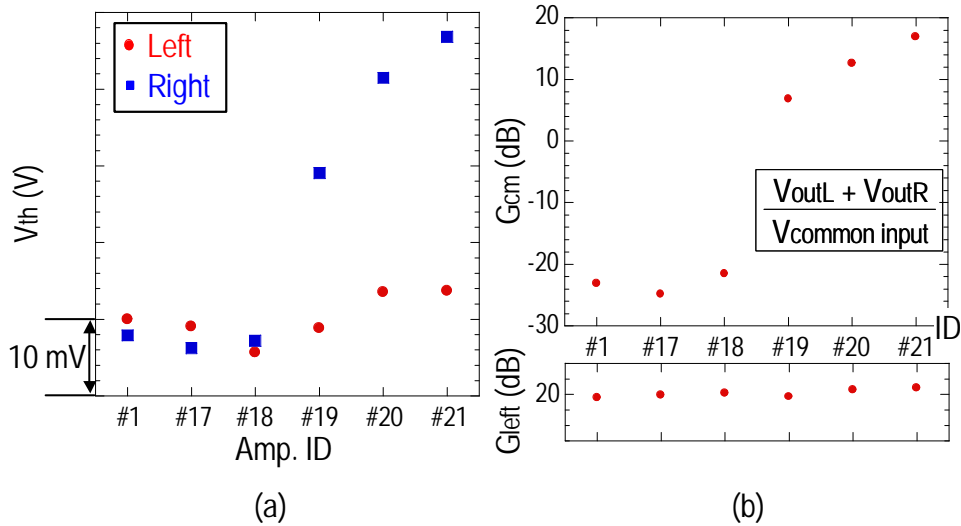
III-2-I-③-(2)-図2)-2-2-3-6: 基板へAC信号注入時の基板振幅と差動増幅回路の基板感度。



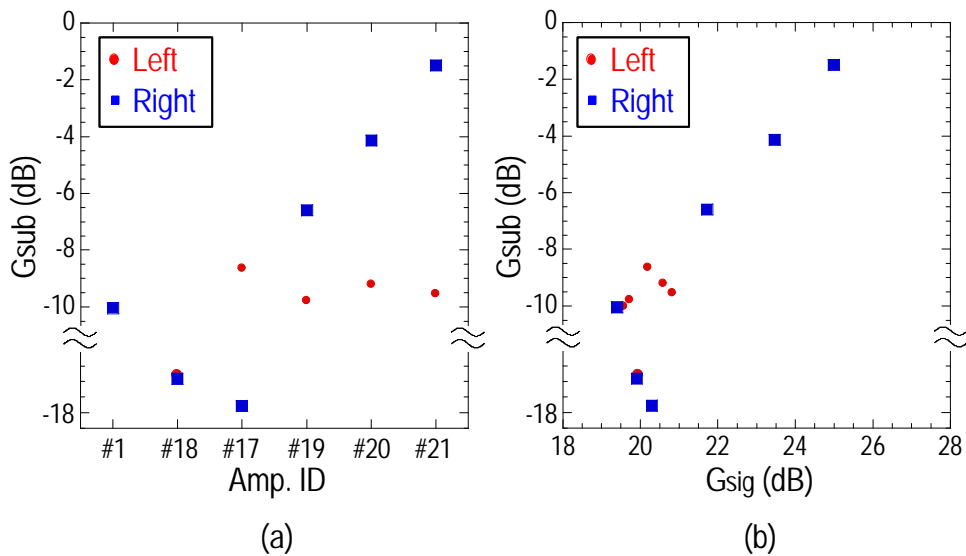
III-2-I-③-(2)-図2)-2-2-3-7: 異なるチャネル幅を持つ差動増幅回路の V_{th} とAC利得の関係。



III-2-I-③-(2)-図2)-2-2-3-8: 差動対トランジスタに意図的の非対称性を持たせた差動増幅回路。



III-2-I-③-(2)-図2)-2-2-3-9: 意図的非対称性を差動対に持たせた差動増幅回路の評価結果、(a) V_{th} 、(b) AC 利得



III-2-I-③-(2)-図2)-2-2-3-10: 実測した(a) 各増幅器の基板感度(G_{sub})、(b) 信号利得(G_{sig})と基板感度の相関。

2)-2-2-4 まとめ

差動対個々のトランジスタのDC特性と増幅回路のAC応答及び基板電位変動を連続時間型オンチップモニタ回路を活用することによって評価可能なその場評価システムを構築した。この評価システムが実装されたhp130nm (90nmノード) CMOSテクノロジーのテストチップを開発し、プローバを用いて基板に直接信号を注入可能な評価環境を構築した。増幅回路における V_{th} とAC利得、基板感度の相関性を評価し、差動対のミスマッチ量と同相信号除去効果の劣化を実験的に評価した。また、テストチップの異なる点に同じ回路構造、レイアウトの増幅回路を実装し、評価することによって、チップレベルの基板結合の差が基板感度に大きく影響することが判明した。

提案する技術はサブ100 nm テクノロジーでのマイクロテストストラクチャにおけるアナログ回路のAC応答などの性能に対する、デバイスミスマッチの影響とダイナミックな環境擾乱を統計的に評価する

ことに有効であることを示した。

2)-2-3 アナログ基本回路における「ばらつきとノイズ感度」の測定と解析

2)-2-3-1 アナログ回路の基板ノイズ感度

基板ノイズ感度

本開発はアナログ回路の基板ノイズ感度、とりわけ差動増幅回路などのアナログ基本回路を対象とし、回路近傍で観測される基板ノイズの特定の周波数成分と回路の出力端で観測される同一成分の比率、すなわち伝搬係数を基板感度と呼ぶ。

Ⅲ-2-I-③-(2)-図 2)-2-3-1-1 に示すように、シリコン基板上に設けた観測点 p_2 でのノイズの電圧振幅 $V_{\text{sub}}(p_2)$ に対する回路出力端子 p_1 での電圧振幅 $V_{\text{out}}(p_1)$ を、以下のように基板感度 G_{sub} と定義する。ここで、トランジスタレベルの基板ノイズ感度に関して、ボディ電位による感度と容量結合による感度とを分離するため、本開発は低周波数域の基板ノイズ成分に着目することとし、前者について議論する。

$$G_{\text{sub}}(p_1, p_2) = 20 \log \left(\frac{V_{\text{out}}(p_1)}{V_{\text{sub}}(p_2)} \right) \quad [\text{dB}]$$

Ⅲ-2-I-③-(2)-図 2)-2-3-1-2 は、一般的な差動増幅回路の回路図である。ここでは、差動対を構成している M1 の基板感度について考察する。

シリコン基板を伝播する基板ノイズは、シリコン基板の抵抗によって電圧降下が発生する。そのため、アナログ回路を構成するトランジスタの応答を評価する場合、ノイズの発生点から対象とするトランジスタ真裏のボディまでの基板ノイズの減衰と、ボディの電圧変化に対するトランジスタ応答とを切り分ける必要がある。そこで、基板ノイズの発生点から評価対象のトランジスタ真裏までの伝達係数を α_{prpg} 、ボディの電圧変動に対するトランジスタの感度を β_{body} と定義した場合、基板感度 (G_{sub}) は、以下のように定義できる。

$$G_{\text{sub}}(p_1, p_2) = \alpha_{\text{prpg}}(p_2) \beta_{\text{body}}(p_1)$$

Ⅲ-2-I-③-(2)-図 2)-2-3-1-3(a) は伝播による基板ノイズの減衰を表したもので、この場合の α_{prpg} は抵抗分圧となり次式で表される。

$$\alpha_{\text{prpg}}(p_2) = \frac{R_{\text{sub3}}}{R_{\text{sub2}} + R_{\text{sub1}}}$$

またⅢ-2-I-③-(2)-図 2)-2-3-1-3(b) はボディ電圧の変化に対するトランジスタの応答を小信号モデルで表したものであり、簡単のために r_o と R_S を無視すると、 β_{body} は次のように定義できる。

$$\beta_{\text{body}} = -g_{\text{mb}} R_{\text{out}}$$

ここでは、増幅回路の入力はコモンモードの DC 電圧値に固定した。また β_{body} は、基板とソースやドレインとの接合容量、またゲート容量を介しての結合により周波数依存性が含まれることが予想されるが、本開発では 10 MHz 以下の周波数の基板応答を対象としているため、これらの容量性結合は考慮していない。ここで g_{mb} はバックゲート電圧に対するドレイン電流の変化であるから、次のように表される。

$$g_{\text{mb}} = \frac{\partial I_D}{\partial V_{\text{BS}}}$$

また一般に、アナログ増幅回路を構成するトランジスタは飽和領域で動作することから、飽和領域でのドレイン電流 I_D 、基板バイアス効果、トランスコンダクタンス g_m を表す式を用いて g_{mb} は以下ように変形できる。

$$g_{mb} = \frac{\gamma}{2\sqrt{2\Phi_B + V_{SB}}} \cdot g_m$$

ここで、 V_{SB} はソース-バックゲート間電圧、 $\gamma = \frac{\sqrt{2q\epsilon_{si}N_{sub}}}{C_{ox}}$ は基板バイアス係数、

$$\Phi_B = \frac{kT}{q} \ln\left(\frac{N_{sub}}{n_i}\right) \text{ はフェルミ準位である。}$$

これより、基板感度 β_{body} は次式で表され、回路のジオメトリによらず、増幅回路の信号利得

$$(G_{sig} = 20\log\left(\frac{V_{out}}{V_{in}}\right) \text{ [dB]}) \text{ と線形の関係にあることがわかる。}$$

$$\beta_{body} = \frac{\gamma}{2\sqrt{2\Phi_B + V_{SB}}} \cdot G_{sig}$$

Ⅲ-2-I-③-(2)-図 2)-2-3-1-4 は、複数の差動増幅回路におけるボディの電圧変動に対する感度 (β_{body}) と、信号利得 (G_{sig}) との関係解析したものである。 G_{sig} の変化に対する β_{body} の変化量がおおよそ 1:1 であることから、 β_{body} は G_{sig} の定数倍であることが確認できる。なおこの解析は、ジオメトリが異なるがバイアス状態は全て同じ差動増幅回路を用いている。

本節で扱った基板感度は、Ⅲ-2-I-③-(2)-図 2)-2-3-1-2 において M_1 に対するもの、つまり差動対の片チャネルの基板感度である。基板ノイズは同相で差動対に影響するため、理想的な差動増幅回路においては同相のノイズは打ち消され、増幅回路の出力には影響しないことが期待されるが、差動対に異なる量の基板ノイズが影響した場合や、差動対を構成するトランジスタの特性が左右でばらつき、基板感度が異なる場合などは、左右の基板応答差がこの差動増幅回路の出力に重畳する。トランジスタ特性のばらつきは、回路の入出力応答のばらつきだけでなく、基板感度のばらつきにも影響を与える。

動作点と基板感度

アナログ回路は、入出力の電圧範囲が前後の回路の入出力特性により制限されるが、回路を構成するデバイス特性のばらつきや温度変化などの環境擾乱が原因で、実際には設計値とずれてしまうことがある。これを解消するために、一般にはⅢ-2-I-③-(2)-図 2)-2-3-1-5 に示すようにコモンモードフィードバック(CMFB)が組み入れ、入力などのバイアス回路を制御することにより、回路の出力コモンモードが設計値となるよう制御されている。ここで示す差動増幅回路の場合、負荷トランジスタのバイアス電圧にフィードバックする場合、入力のコモンモード電圧にフィードバックする場合、テール電流の電流値にフィードバックする場合が考えられる。しかし、どこにフィードバックを行うかによって入力トランジスタのバイアス状態が変化し、基板感度が増減する可能性がある。

Ⅲ-2-I-③-(2)-図 2)-2-3-1-6 は出力コモンモードが設計値とずれている増幅回路に対して 2 種類のコモンモードフィードバックを行い、入力トランジスタのバイアス状態をソース電位 V_a を指標と

して比較したものである(実測および解析の詳細については後章)。丸印でプロットされたグループは、出力コモンモードのずれを入力コモンモードにフィードバックすることで調整したもの、四角でプロットされているグループは、出力コモンモードのずれを負荷トランジスタのバイアス電圧にフィードバックすることで調整したものである。なお、対象とした増幅回路#1 から#9 は、入力差動対のトランジスタサイズのみが異なるレイアウトである。各増幅回路におけるトランジスタのバイアス状態は、グループ内ではほぼ同じであるが、コモンモードフィードバックの違いによってグループ間で V_a の値がおおよそ 200 mV 違うことが確認できる。

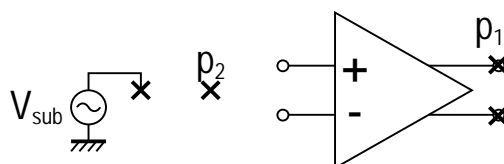
この 2 つのバイアス状態での増幅回路の信号利得 G_{sig} と、基板感度 G_{sub} を評価したものが III-2-I-③-(2)-図 2)-2-3-1-7 および III-2-I-③-(2)-図 2)-2-3-1-8 である。基板感度は前節で示したように信号利得の定数倍で決まるため、 V_a の低いグループと V_a の高いグループの間で信号利得の差と基板感度の差が同じであることが期待される。しかし、信号利得の差が約 2 dB であるのに対して、基板感度の差が約 6 dB となっており、基板感度を決定している要因が信号利得だけでなく V_a にもあることを示している。

III-2-I-③-(2)-図 2)-2-3-1-9 は全ての増幅回路に共通して使われているテール電流源の $I_D - V_D$ 特性を解析した結果である。ここでは $V_D = V_a$ である。 V_a の電圧が高い場合、テール電流源は飽和領域で動作するため出力抵抗 r_o が高く、ボディの電圧変動により発生した電流が左右で打ち消し合う差動増幅回路のコモンモード除去効果が働くため基板感度は低くなる。また V_a の電圧が低い場合、テール電流源は線形領域で動作するため出力抵抗 r_o が低いためコモンモード除去効果が低く、ボディの電圧変動により発生した電流が出力抵抗に流れるために基板感度が高くなることが予想される。

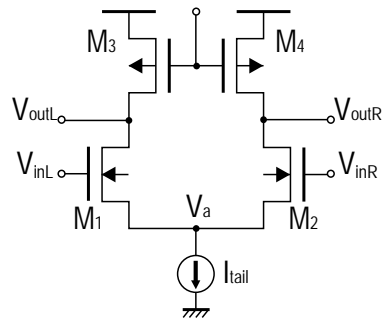
III-2-I-③-(2)-図 2)-2-3-1-10 にテール電流源の出力抵抗値と#1 の増幅回路での基板感度の関係を解析した結果を示す。基板感度はテール電流源の出力抵抗値によって大きく変化し、出力抵抗値が 100 k Ω を超える場合の基板感度は非常に小さいが、線形領域で動作する場合など 10 k Ω 程度となる場合は、基板感度が無視できない大きさとなることがわかる。先端の低電圧プロセスにおいては、回路の入出力範囲を広く取るためや、帯域を広くとるため、またデバイスしきい値のばらつきを吸収するために出力抵抗値を下げることもあるが、このような場合に基板感度が増大することとなる。一方、テール電流源の出力抵抗値が一定となるよう設計されている回路の場合、前節で示したように基板感度は信号利得の大きさに決定される。

トランジスタへのストレス効果

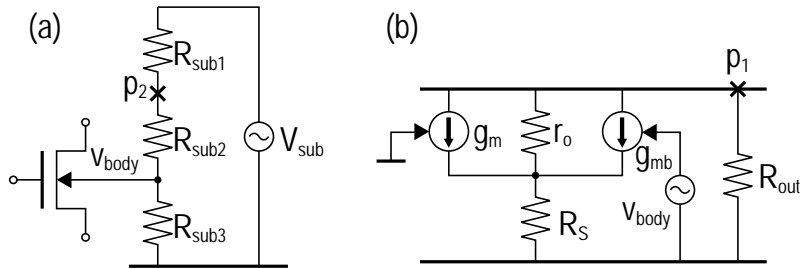
前述のように、トランジスタのバイアス状態が基板感度に大きな影響を与えることがわかった。バイアス状態が本来の期待値である設計値からずれる要因は、しきい値のばらつき等様々な要因があるが、その 1 つに STI ストレス効果が挙げられる。解析時に使用するトランジスタモデルに、このストレス効果を表すストレスパラメタが含まれていないと、実際の回路動作が設計値と大きくずれる要因となる。ストレスパラメタは殆どの EDA ツールにおいてサポートされているが、使用するルールファイルによってはストレスパラメタの計算が含まれていないものがあるため注意が必要である。



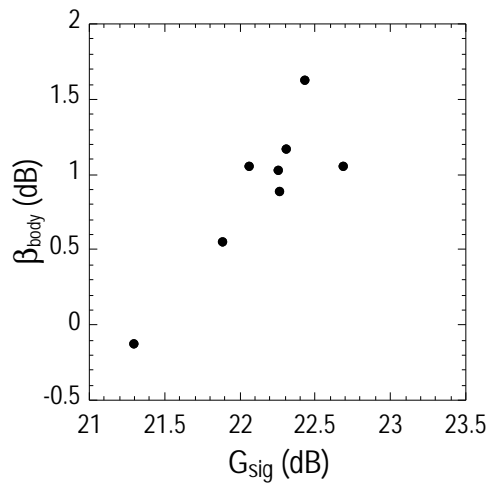
III-2-I-③-(2)-図 2)-2-3-1-1: 基板感度(G_{sub})の定義。



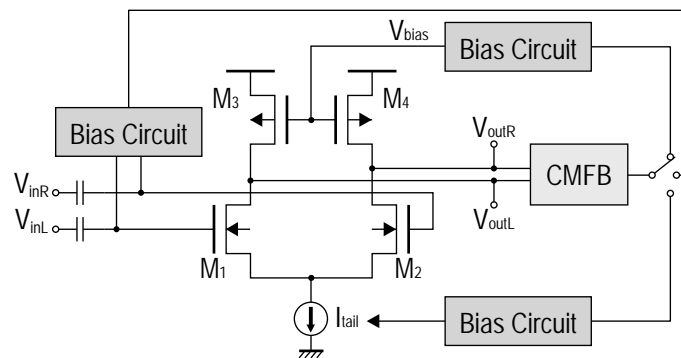
Ⅲ-2-I-③-(2)-図 2)-2-3-1-2: 差動対トランジスタを含む一般的な増幅回路。



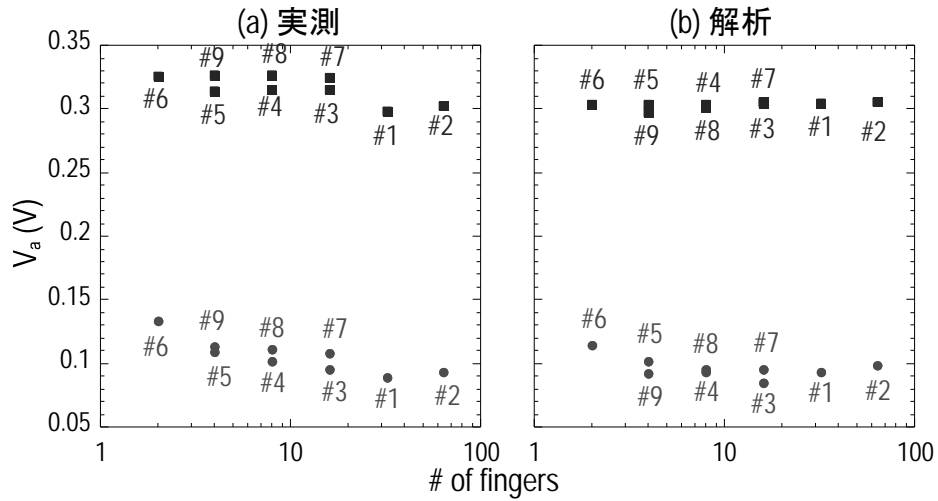
Ⅲ-2-I-③-(2)-図 2)-2-3-1-3: 基板ノイズの(a)伝搬減衰と(b)小信号応答。



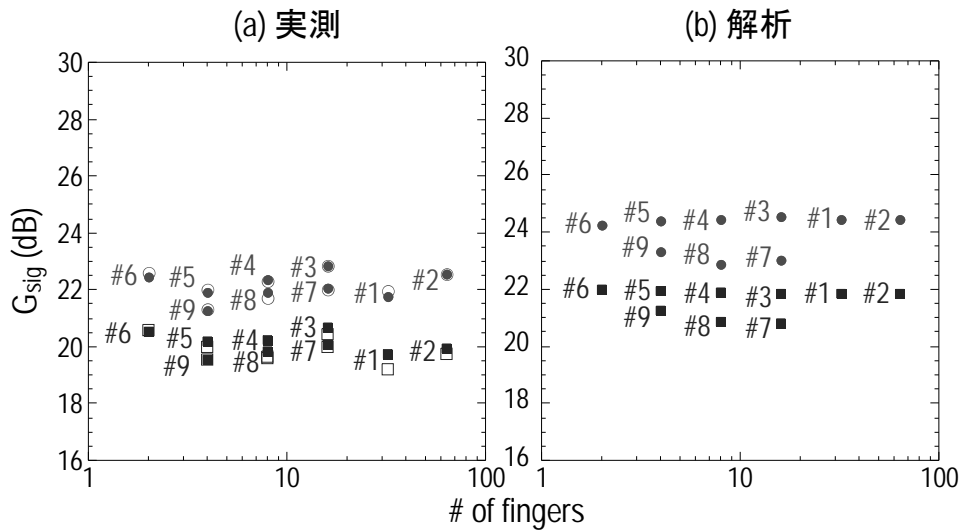
Ⅲ-2-I-③-(2)-図 2)-2-3-1-4: 差動対トランジスタにおける AC 信号利得とボディ電圧変動感度 (β_{body})。



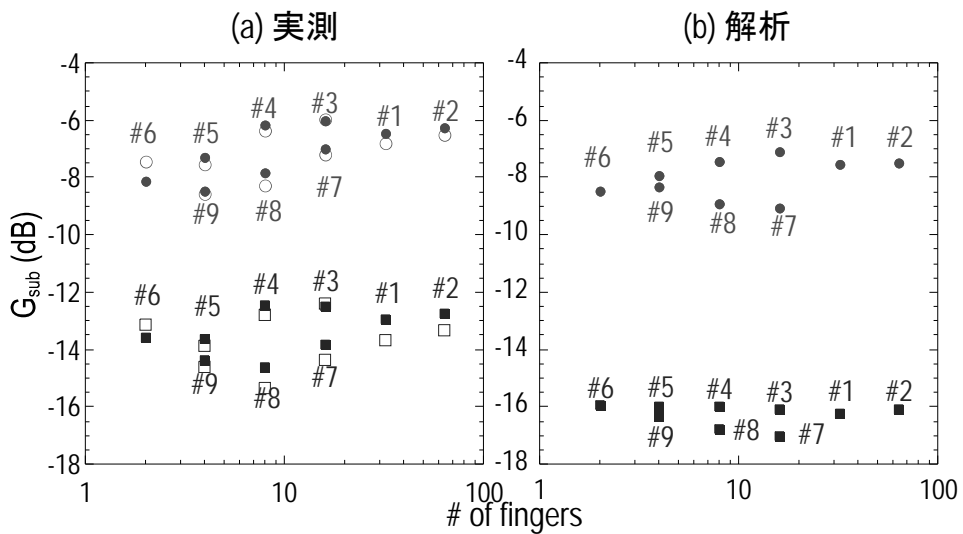
Ⅲ-2-I-③-(2)-図 2)-2-3-1-5: コモンモードフィードバック (CMFB)機能を有する一般的な差動増幅回路。



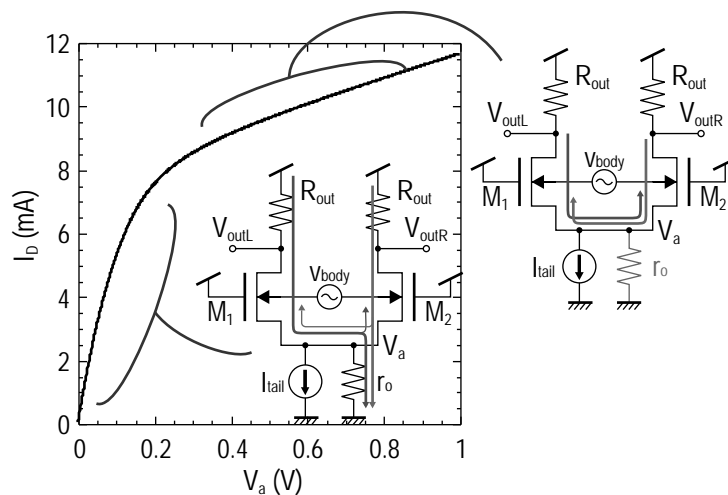
III-2-I-③-(2)-図 2)-2-3-1-6: 出力コモンモードずれを CMFB により矯正したときのバイアス点の変化。バイアス点を内部ノード(V_a)の電圧で評価。



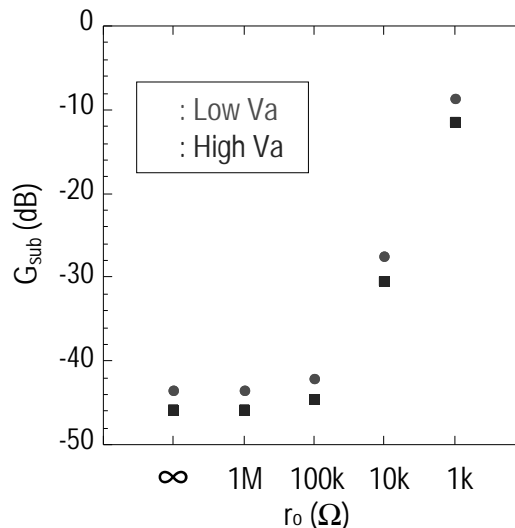
III-2-I-③-(2)-図 2)-2-3-1-7: AC 信号利得とバイアス点。



III-2-I-③-(2)-図 2)-2-3-1-8: 基板感度とバイアス点。



Ⅲ-2-I-③-(2)-図 2)-2-3-1-9: バイアス点と定電流源の電流特性。



Ⅲ-2-I-③-(2)-図 2)-2-3-1-10: 定電流源の出力抵抗と基板感度。

2)-2-3-2 局所基板モデルを用いた基板ノイズ応答の解析

CMOS アナログ回路における基板ノイズ応答の解析法について述べる。解析には局所基板モデルを用いるため、その概要と、ガードバンド構造によるモデルの最適化や折り返し構造を含む場合のモデルについて述べ、解析結果と実測結果の比較を行う。

局所基板モデル

チップ内を基板ノイズが伝播する様子や、デジタル回路で発生した基板ノイズに対するアナログ回路の応答を解析する際には、Ⅲ-2-I-③-(2)-図 2)-2-3-2-1 に示すような基板メッシュモデルが用いられる。この基板メッシュモデルは、チップをあるサイズのメッシュで縦、横、深さ方向に区切り、それぞれのメッシュを抵抗で接続した抵抗マトリクスである。

メッシュサイズを細かくすると解析精度の向上が期待できるが、Ⅲ-2-I-③-(2)-表 2)-2-3-2-1 の例に示すように演算量や使用メモリ、解析時間などの解析コストの面から、メッシュサイズは $10 \mu\text{m}$ から $5 \mu\text{m}$ と設定されるのが一般的である。

Ⅲ-2-I-③-(2)-表 2)-2-3-2-1: 局所基板モデルのメッシュサイズと解析コスト

メッシュサイズ	CPU 時間	使用メモリ	DB サイズ
1 μm	-	overflow	-
2 μm	12 h 28 m 16 s	5 GB	1,600 MB
5 μm	2 h 23 m 45 s	2.7 GB	543 MB
10 μm	1 h 23 m 18 s	2.2 GB	332 MB

しかし、チップ全体の面積制約や低消費電力化への要求の高まりに合わせて、アナログ回路を構成するデバイスもデジタル回路と同じ低電圧デバイスが用いられることが多くなり、アナログ回路のレイアウト面積も数 μm 角から数十 μm 角と非常に小さくなっている。

Ⅲ-2-I-③-(2)-図 2)-2-3-2-2 はアナログ差動増幅回路のレイアウトの一例である。アナログ回路のレイアウトにおいては、諸特性を改善するためにこのようなマルチフィンガのレイアウトがよく用いられる。このような低電圧デバイスによってレイアウトされたアナログ回路を、一般に用いられる基板モデルのメッシュサイズと比較すると、デバイスサイズはメッシュ 1 つの中に収まってしまふ大きさであり、メッシュの交点も回路全体で高々数点しか無いことがわかる。また、アナログ回路はデバイス 1 個または回路ブロック単位でガードバンドやガードリングが設けられ、P ウェルの電位固定や基板ノイズの吸収などの役割を果たしている。Ⅲ-2-I-③-(2)-図 2)-2-3-2-2 のレイアウトにおいて基板ノイズの電流(I_{sub})は、図中の矢印で示すように中央付近から外側のガードリングへ向かって流れることが予想される。このノイズ電流はガードリングに吸収される前に、基板抵抗値による電圧降下を発生させながらデバイス M1 および M2 を横切る。

基板メッシュモデルを用いてアナログ回路のノイズ応答を解析する際には、Ⅲ-2-I-③-(2)-図 2)-2-3-2-3 に示すようにデバイスのバックゲート端子を近傍のメッシュ交点に接続することが考えられる。しかしこの場合、Ⅲ-2-I-③-(2)-図 2)-2-3-2-2 のレイアウトのようなデバイス裏面のシリコン基板で発生する電圧降下が正確に表現されず、解析精度に影響を与えることが予想される。

前節で示した基板感度を表す式を用いてこの例に当てはめた場合、基板伝播を表す α_{prpg} がフィンガ単位で正確に再現できない。この式は、デバイスのノイズ感度をフィンガ単位で考慮する必要がある場合に次のように修正される。

$$G_{\text{sub}}(p_1, p_2) = \sum_i \alpha_{\text{prpg}}(m_i, p_2) \beta_{\text{body}}(m_i, p_1)$$

ここで、 m_i は対象のデバイスのフィンガ 1 本に相当する。 β_{body} はデバイス特性によって決定されるため概ね一定であるが、ガードリングの構造で値が変化し得る α_{prpg} はフィンガ単位で解析する必要がある。

そこで本開発では、フィンガ毎に基板抵抗を分割してバックゲートに接続する局所基板モデルを提案する。

Chip #1 のレイアウト(Ⅲ-2-I-③-(2)-図 2)-2-3-2-5(a))のように、デバイスの左右両側にガードバンドを持つ構造の場合、デバイスの中心からガードバンドに向かってフィンガの間隔に合わせた抵抗列を生成し、バックゲートに接続する(Ⅲ-2-I-③-(2)-図 2)-2-3-2-4(a))。

ここで、抵抗列を構成する R_{in} は、F 行列演算によって生成した基板モデルのメッシュ抵抗より、次のように求めた。

$$R_{\text{fin}} = \frac{L_{\text{pitch}}}{L_{\text{mesh}}} \cdot R_{\text{mesh}}$$

Ⅲ-2-I-③-(2)-図 2)-2-3-2-4(b)はこのモデルを用いて基板伝播係数(α_{prpg})を解析したものである。ガードバンドから遠いデバイスの中央付近のフィンガはノイズ量が多く、ガードバンドに近いフィンガはノイズ量が小さいこと、またフィンガの本数が多いレイアウトの場合、デバイス中央付近のノイズ量が大きくなることが確認できる。

ガードバンド構造による局所基板モデルの最適化

前項では、デバイスの左右両側にガードバンドを持つ構造における局所基板モデルを提案した。しかし、デバイスのアスペクト比や周囲の構造によってガードバンドは様々な形状が考えられる。本項では、Chip #3 (Ⅲ-2-I-③-(2)-図 2)-2-3-2-5(b))のようにデバイスをU字型に囲んだガードバンドを持つデバイスについて、局所基板モデルを提案する。

デバイスをU字型に囲んだガードバンドを持つデバイスの場合、ガードバンドからデバイスのフィンガまでの距離はフィンガの位置や本数によらず一定である。

また、デバイスの裏面を通過するノイズ電流(I_{sub})も、Chip #1 の構造ではフィンガを横切るように流れるのに対し、Chip #3 の構造ではフィンガに対してほぼ垂直に流れることが期待される(Ⅲ-2-I-③-(2)-図 2)-2-3-2-6)。よって、デバイス裏面でのノイズ量はフィンガの位置によらずほぼ一定であり、全てのフィンガの裏面は等電位と見なすことができる。よってU字型のガードバンドを持つデバイスにおける局所基板モデルは、Ⅲ-2-I-③-(2)-図 2)-2-3-2-6(b)に示すようなノイズ源からフィンガ、フィンガからガードバンドまでの縦の抵抗列で表現することができる。

折り返し構造を含むトランジスタの局所基板モデル

デバイスのサイズによっては、フィンガの数が多くアスペクト比が大きくなる場合に、Ⅲ-2-I-③-(2)-図 2)-2-3-2-7(b))のようにある一定のフィンガ本数で折り返すレイアウトにすることがある。このレイアウトは、本開発で用いているテストチップではChip #1 のフィンガ数の多い一部のアンプに該当する。このようなレイアウトの場合、ノイズ源に近い列はノイズ量が多く、ノイズ源から遠い列はノイズ量が少なくなるため、前述の横方向の抵抗分割だけでなく縦方向にも抵抗を追加して解析精度を向上させる。

解析結果の実測結果との比較

以上の局所基板モデルを適用し、テストチップに搭載された差動増幅回路の基板ノイズ感度を解析した結果を示す。搭載回路のうち、解析対象とした増幅回路のトランジスタサイズをⅢ-2-I-③-(2)-表 2)-2-3-2-2 (Chip #1)とⅢ-2-I-③-(2)-表 2)-2-3-2-3 (Chip #3)に示す。またB02はフィンガ本数に対して L_{fin} が非常に長い場合、解析精度を向上させるために L_{fin} を縦に2分割し、折り返し構造と同じ局所基板モデルを適用した。

Ⅲ-2-I-③-(2)-図 2)-2-3-2-8はChip #1に搭載されている差動増幅回路の基板感度の実測結果と解析結果を比較したものである。Chip #1の増幅回路のレイアウトは、トランジスタの両側にガードバンドを持つ構造であるため、フィンガ数が多く、ガードバンド間の距離が離れている増幅回路ほど基板ノイズ感度が高くなっている。全ての増幅回路において、実測結果と解析結果との差が3 dB以下と精度良く解析できているほか、フィンガ数の増加に伴い基板感度が増大する傾向、また約20 dBの感度幅も再現できており、提案モデルが正確に基板のノイズ量を再現できていることが確認

できる。

また同じ差動増幅回路に対して、回路の動作点と基板感度の関係を確認するために、テール電流源の出力抵抗を変化させた場合(V_a 不定)と、テール電流源の出力抵抗を一定に保った場合(V_a 一定)について解析を行った(III-2-I-③-(2)-図 2)-2-3-2-9)。テール電流源の出力抵抗を一定に保った場合に比べ、テール電流源の出力抵抗を変化させた場合は増幅回路の動作点が大きく変化しているため、入力トランジスタのソース電位(V_a)が大きく変化しており、この変化に合わせて基板感度も増減していることが確認できる。

次に、Chip #3 の差動増幅回路セットに対して同様の解析を行った結果が、III-2-I-③-(2)-図 2)-2-3-2-10 である。Chip #3 は実測および解析に際して入力トランジスタのソース電位(V_a)が低い動作点と、高い動作点の 2 つを設定して比較している。

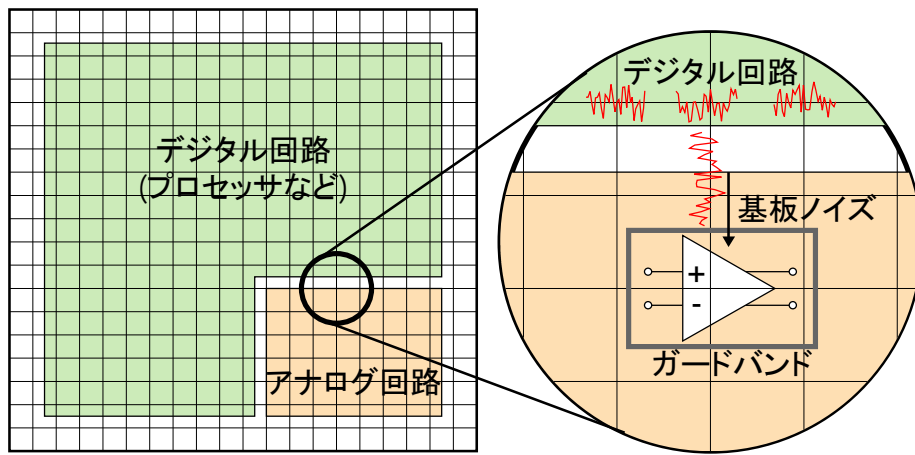
この 2 つの動作点における入力トランジスタのソース電位(V_a)を比較したものが III-2-I-③-(2)-図 2)-2-3-1-6 である。Chip #3 の増幅回路は、トランジスタを U 字型に囲むようにガードバンドが設けられているため、フィンガ数が多い増幅回路でも基板ノイズ感度は高くなりにくい。この増幅回路のセットにおいても実測結果と解析結果の差は 3 dB 以下と、提案モデルを用いた解析の精度が高いことがわかる。

III-2-I-③-(2)-表 2)-2-3-2-2: Transistor sizes of differential transistor pairs with guard bands on both sides (Chip #1).

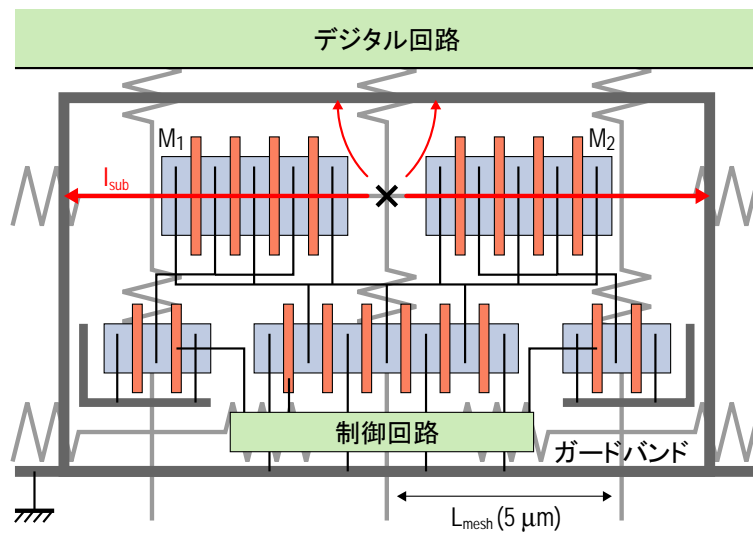
ID	L(μ m)	L _{fin} (μ m)	finger	W _{total} (μ m)	folding
B01	0.1	11.45	8	91.6	single
B02	0.1	11.45	16	183.2	single
B03	0.1	11.45	4	45.8	single
B04	0.1	11.45	2	22.9	single
B05	0.1	11.45	1	11.45	single
B06	0.1	5.58	1	5.58	single
B07	0.1	5.58	16	89.28	single
B08	0.1	2.66	32	85.12	single
B09	0.1	1.33	64	85.12	multi
B10	0.1	0.63	128	80.64	multi
B11	0.1	0.27	256	69.12	multi

III-2-I-③-(2)-表 2)-2-3-2-3: Transistor sizes of differential transistor pairs with U-shaped guard bands (Chip #3).

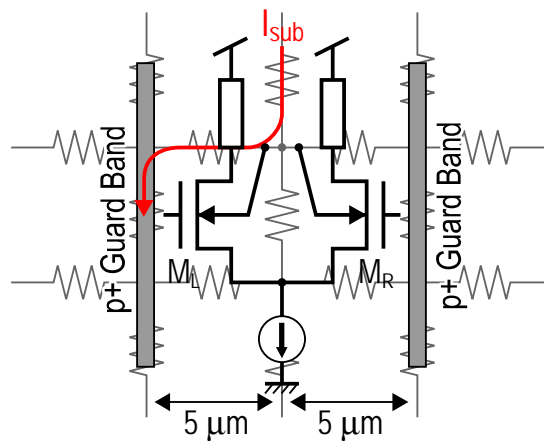
ID	L(μ m)	L _{fin} (μ m)	finger	W _{total} (μ m)	folding
U01	0.1	1.02	32	32.64	single
U02	0.1	1.02	64	65.28	single
U03	0.1	1.02	16	16.32	single
U04	0.1	1.02	8	8.16	single
U05	0.1	1.02	4	4.08	single
U06	0.1	1.02	2	2.04	single
U07	0.1	2.04	16	32.64	single
U08	0.1	4.08	8	32.64	single
U09	0.1	8.16	4	32.64	single



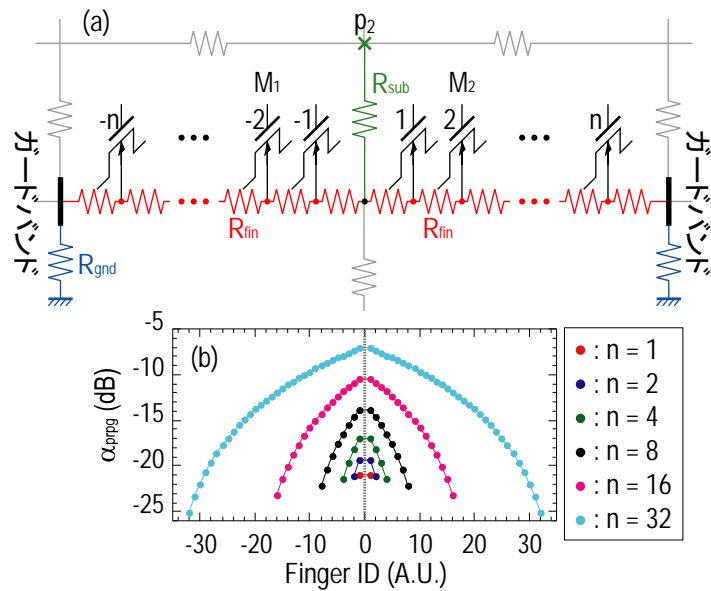
Ⅲ-2-I-③-(2)-図 2)-2-3-2-1: ミックスシグナル VLSI チップにおける基板結合解析のためのメッシュ分割



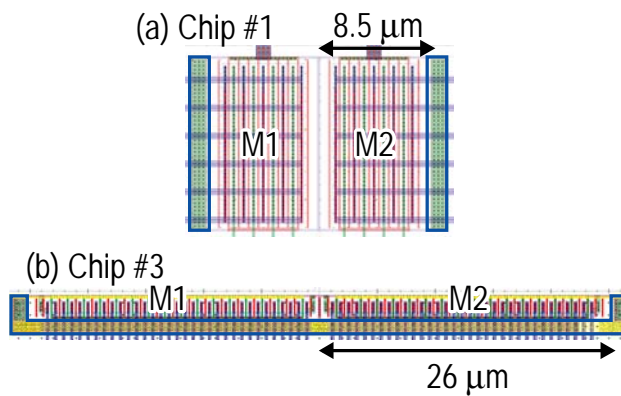
Ⅲ-2-I-③-(2)-図 2)-2-3-2-2: アナログ回路におけるトランジスタのレイアウト例。ガードバンドを含んでいる。



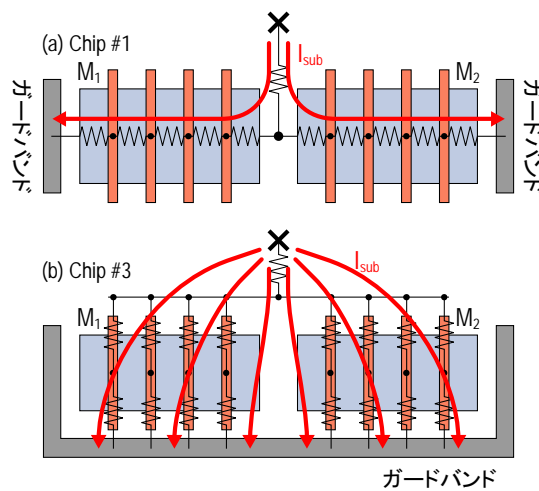
Ⅲ-2-I-③-(2)-図 2)-2-3-2-3: 従来法におけるメッシュ分割。



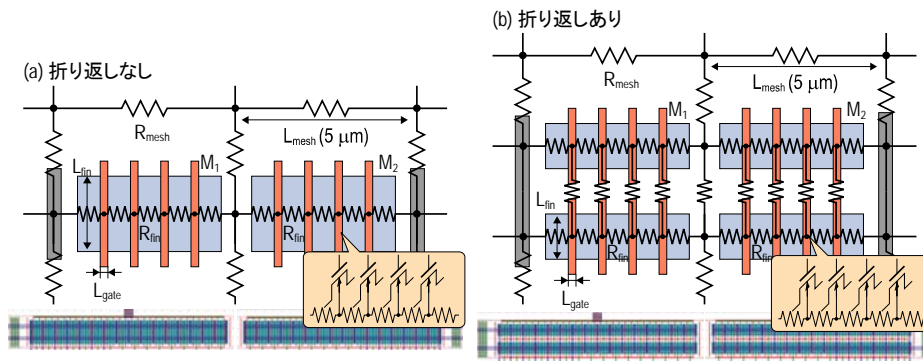
III-2-I-③-(2)-図 2-2-3-2-4: マルチフィンガ構成の差動対トランジスタにおける基板感度。(a) 基板結合によるフィンガトランジスタ間の抵抗分割、(b)フィンガトランジスタ裏面のボディ電圧振幅分布。



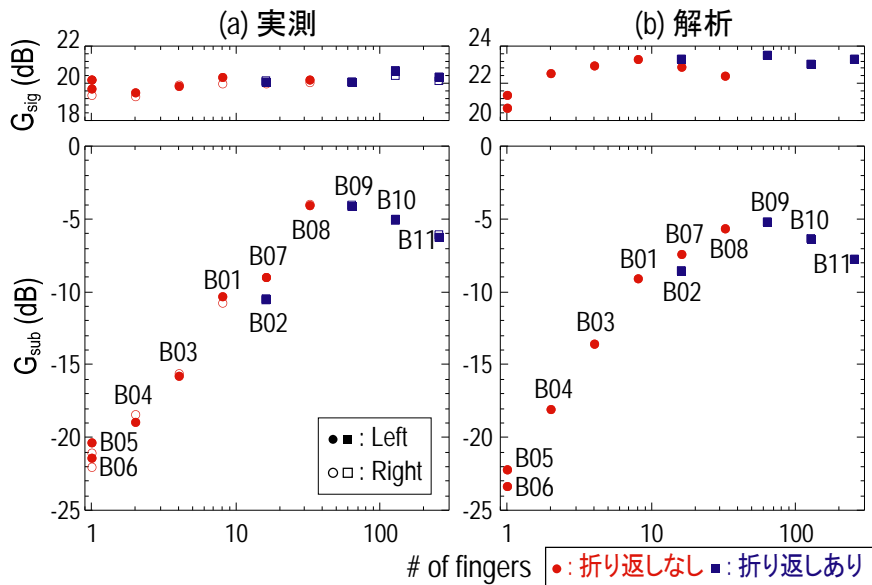
III-2-I-③-(2)-図 2-2-3-2-5: 差動対トランジスタの物理レイアウト例。(a)両端にガードバンドを配置 (I-I 字型ガードバンド)、(b)U 字型にガードバンドを配置。



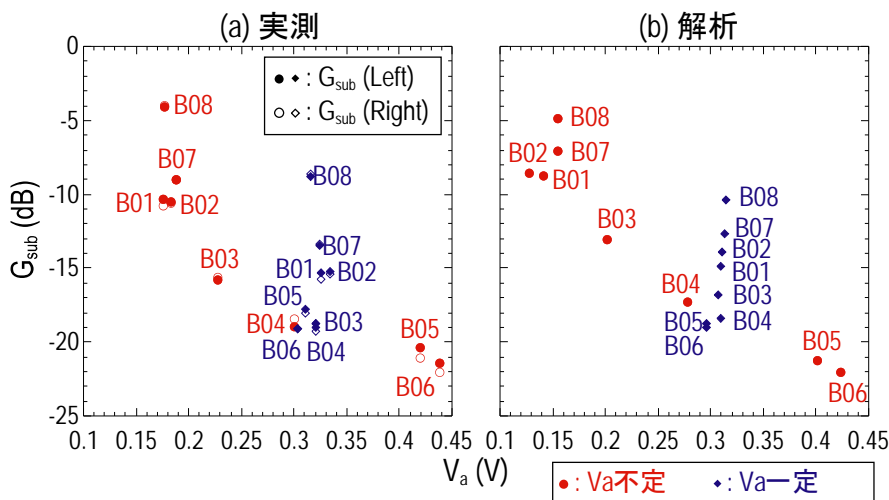
III-2-I-③-(2)-図 2-2-3-2-6: 差動対トランジスタの物理レイアウト構造に依存した基板電流経路のイメージ図。(a)I-I 字型ガードバンド、(b)U 字型ガードバンド。



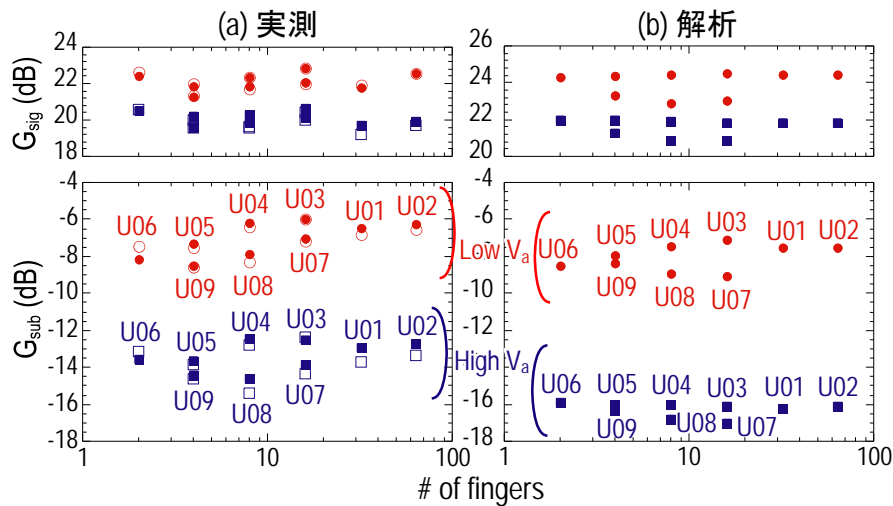
III-2-I-③-(2)-図 2)-2-3-2-7: マルチフィンガ構成のトランジスタのための局所基板結合モデル。
(a)折り返しの無い場合、(b)折り返しのある場合。



III-2-I-③-(2)-図 2)-2-3-2-8: 差動増幅回路の基板感度。I-I字型のガードバンドを有するマルチフィンガ構成のトランジスタについて、折り返し構造の有無も比較している。(a)実測結果と(b)解析結果。



III-2-I-③-(2)-図 2)-2-3-2-9: 差動増幅回路の基板感度と動作点の関係(シミュレーション)。



Ⅲ-2-I-③-(2)-図 2)-2-3-2-10: 差動増幅回路の基板感度。U 字型のガードバンドを有するマルチフィンガ構成のトランジスタについて、異なるバイアス点を比較している。(a)実測結果と(b)解析結果。

2)-2-3-3 高い基板ノイズ耐性に向けたデバイスサイズ選択とレイアウト構造の指針
基板ノイズ感度とデバイス特性ばらつき

トランジスタサイズおよびレイアウト構造の等しい差動増幅回路(Ⅲ-2-I-③-(2)-表 2)-2-3-3-1の#01)をテストチップ(hp130nm(90nm ノード) CMOS 技術、Chip #1、Ⅲ-2-I-③-(2)-図 2)-2-3-2-1)上に複数個実装し、これらの増幅回路のデバイス特性ばらつきと AC 性能および AC 基板感度について評価した。テストチップ上で差動増幅回路を実装した位置をⅢ-2-I-③-(2)-図 2)-2-3-3-1 に示している。ここで被評価差動増幅回路は#A から#E の 5 個であり、Die #1 と Die #2 の 2 つのダイについて測定した。

差動増幅回路としての動作条件を合わせて特性ばらつきを評価するため、バイアス電流および入力 DC 電圧を一定のもと、負荷 MOS のバイアス電流にフィードバックをかけることにより、出力 DC 電圧を調整した。

Ⅲ-2-I-③-(2)-図 2)-2-3-3-2 は、増幅回路動作時の差動対トランジスタのゲート電圧(V_{in})、ドレイン電圧(V_{out})、ソース電圧(V_a)の値を示している。入力電圧 V_{in} は設定で合わせているため、全て同電位になっている。また、出力電圧 V_{out} は 800 mV を中心に最大で ± 30 mV 程度の差しかなく、差動対トランジスタのソース電位 V_a も 180mV を中心に ± 10 mV 程度のばらつきであり、動作条件は揃っているといえる。

Ⅲ-2-I-③-(2)-図 2)-2-3-3-3 は、テール電流源のバイアス電流値と負荷 MOS のバイアス電流値を示している。テール電流源は 2.1 mA で統一しており、また出力 DC 電位を調整するための負荷 MOS のバイアス電流値は 1.75 mA を中心に ± 0.15 mA 程度のばらつきがある。

Ⅲ-2-I-③-(2)-図 2)-2-3-3-4 の左図に、増幅回路を構成する差動対トランジスタの DC 特性の評価結果を示す。しきい電圧(V_{th})は最大で 25 mV ほどの差であり、これは回路性能にあまり大きな影響を与えるものではないと考えられる。実際、Ⅲ-2-I-③-(2)-図 2)-2-3-3-4 の中図に示した信号利得 G_{sig} の評価結果が示す通り、 G_{sig} は 20dB を中心にほとんどばらついていない。

他方、基板感度はそれらとは異なる結果を示している。Ⅲ-2-I-③-(2)-図 2)-2-3-3-4 の右図に基板感度の測定結果を示しており、動作条件は信号利得評価時と同様である。 V_{th} 差や G_{sig} 差以上の基板感度差が存在しており、その基板感度 G_{sub} は最大で 4dB 以上のばらつきがある。また、

#Aと#Bが-10dB付近、#C,D,Eが-13dB付近と大きく二つに分かれており、2つのダイ間でも同様の結果であることから、ランダムなばらつきではないことがわかる。すなわち、回路設計が等価な増幅回路における基板ノイズ感度のばらつきは、デバイスのしきい電圧バラつきに代表されるランダムなDC特性ばらつきよりも、チップ上の配置に依存したシステムティックなばらつきに強く依存することがわかる。

基板ノイズ感度ばらつきのシステムティック成分は、増幅回路の単体レイアウトは完全に同等であるから、回路からI/Oまでの給電経路の寄生インピーダンス、および回路周囲のデバイスや構造物の配置に起因した基板結合インピーダンス、に依ると考えられる。このことをVLSIチップ設計において正確に解析することは、チップレベルの配線インピーダンスや基板結合の抽出のみならず、チップを搭載するボードの電源・グラウンドインピーダンスの見積もりも必要であり、容易ではない。従って、基板ノイズ耐性の高いアナログ回路に向けて、増幅回路やコンパレータのアレイ構造のレイアウトでは、とくに電源配線・グラウンド配線およびガードバンド配線をできるだけ低インピーダンスに抑えることが、スタティックな基板感度ばらつきによるダイナミックな基板ノイズ応答の構成要素ばらつきの抑制に効果があり、有利なレイアウトと考えることができる。

基板ノイズ感度とガードバンドの形状

CMOSアナログ集積回路の周囲には、p型の低抵抗拡散によるガードバンドを配置することが一般的である。本開発では、とくに増幅回路の差動利得を実現する差動対トランジスタに着目し、その周囲にガードバンドを配置した。ガードバンドの形状はⅢ-2-I-③-(2)-図2)-2-3-2-5に示した通り、I-I字型とU字型とし、またⅢ-2-I-③-(2)-図2)-2-3-2-6に示したように、その形状に適切な基板抵抗ネットワークを構成することで、基板結合解析においてガードバンド効果を含む基板ノイズを精度よく見積もれることを述べた。

他方、ガードバンドの導入や形状は、レイアウト設計の段階でアナログ回路に割り当てられたシリコン面積コストの制約を受けることが多く、ガードバンドの効果を予測せずにレイアウトが完了し、後から追加することは極めて難しくなることが一般的と考えられる。ガードバンドの形状と効果について定性的な指針を持つておくことはレイアウト設計の担当者にとって有益である。

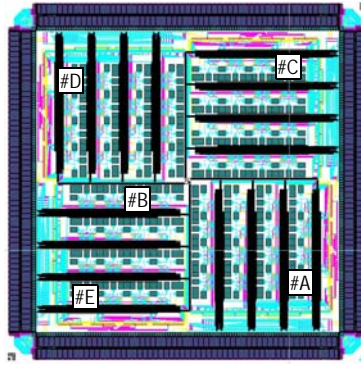
Ⅲ-2-I-③-(2)-図2)-2-3-3-5に、I-I字型ガードバンドの接地効果を示している。ここで、ガードバンドの外部接地端子(AMP_VSUBピン)を非接地(フローティング)とした場合と、接地した場合を比較している。ガードバンドを接地することにより、差動対トランジスタ近傍の基板電流がガードバンド及びその接地配線を経て低インピーダンスに排出されるため、基板ノイズ感度が低減されることがわかる。他方、非接地状態でも、アナログ回路周辺(差動対トランジスタからは遠方に位置する)基板コンタクトにより基板のDC電位は固定されるので、回路動作には影響しない。ガードバンドの効果の差は接地抵抗の違いによるものであり、これは前述のとおり基板結合ネットワークにおいて等価回路表現できる。

さらに、Ⅲ-2-I-③-(2)-図2)-2-3-3-5におけるI-I字型ガードバンド接地・非接地を比較すると、ガードバンドによる基板感度の低減効果は、フィンガ数の小さいトランジスタで大きく、他方、フィンガ数の大きいトランジスタ(とくにⅢ-2-I-③-(2)-図2)-2-3-2-7のように折り返し構造を有するトランジスタ)において小さいことがわかる。これは、I-I字型ガードバンドでは、フィンガ数が大きくなると中心付近のトランジスタからガードバンドまでの距離が大きくなり、基板電流の低減効果が見られなくなるためである。

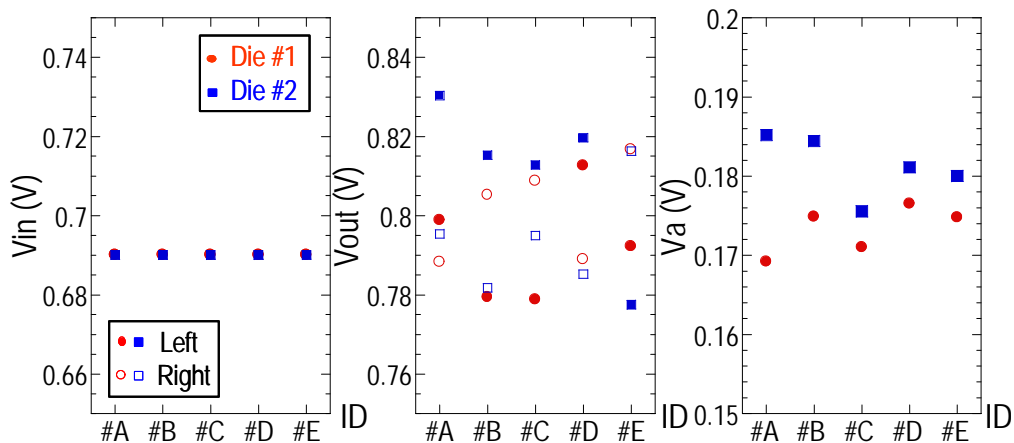
Ⅲ-2-I-③-(2)-図2)-2-3-3-6には、U字型ガードバンドにおけるガードバンドの接地・非接地を比較している。この構造ではすべてのフィンガトランジスタに対して近傍にガードバンドが位置する

ため、ガードバンドによる基板感度の低減効果はフィンガ数あるいは折り返し構造の有無に依らず維持されていることがわかる。

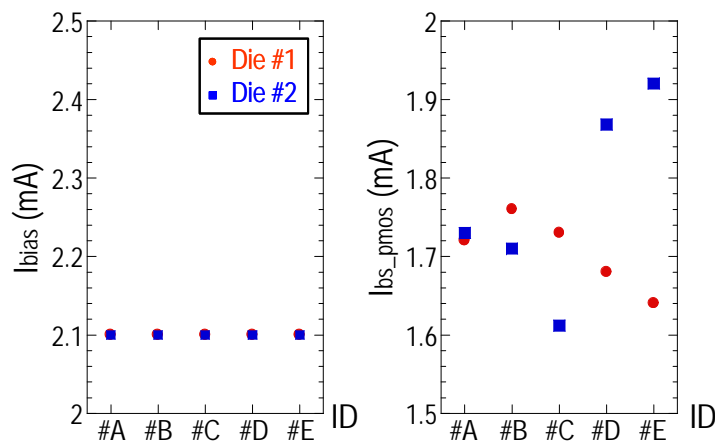
Ⅲ-2-I-③-(2)-図 2)-2-3-3-5とⅢ-2-I-③-(2)-図 2)-2-3-3-6、およびⅢ-2-I-③-(2)-図 2)-2-3-2-8とⅢ-2-I-③-(2)-図 2)-2-3-2-10 より、I-I 字型に比べてU字型のガードバンド形状を選択することが、レイアウト段階で基板ノイズ低減効果を見込む上で有利であることがわかる。



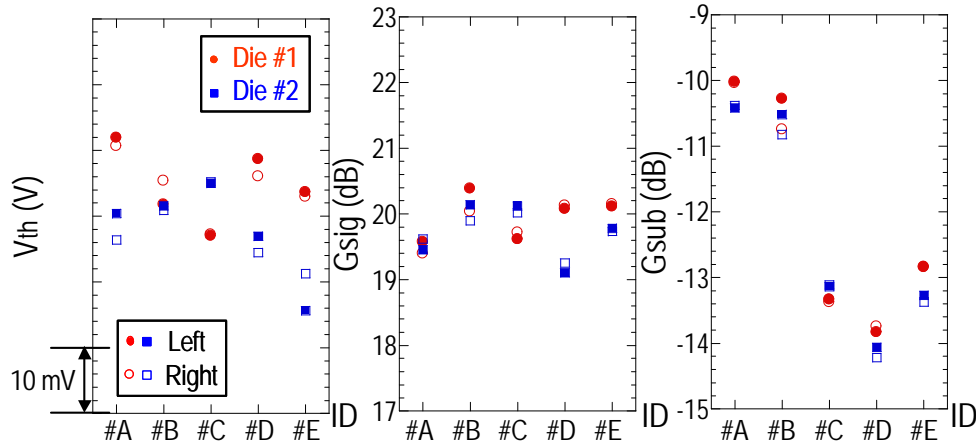
Ⅲ-2-I-③-(2)-図 2)-2-3-3-1: テストチップ (hp130nm (90nm ノード) , Chip #1) における被評価増幅回路の配置。



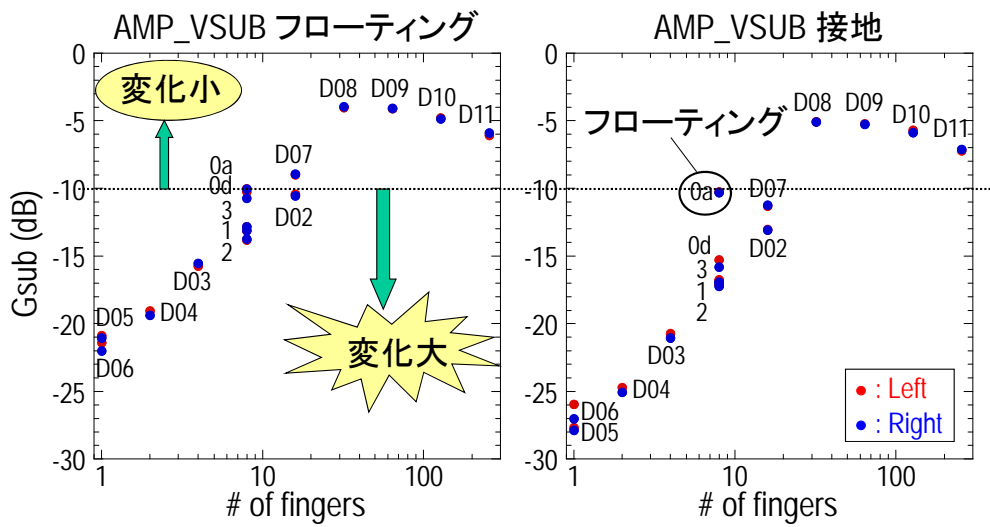
Ⅲ-2-I-③-(2)-図 2)-2-3-3-2: 増幅回路動作時における差動对各ノードの DC 電位。



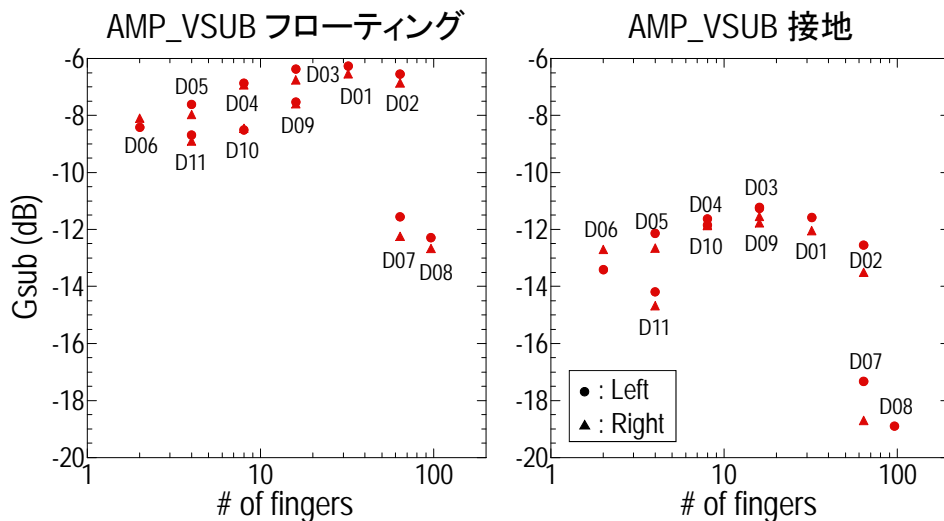
Ⅲ-2-I-③-(2)-図 2)-2-3-3-3: 増幅回路動作時におけるテール電流源と負荷 MOS のバイアス電流値。



III-2-I-③-(2)-図 2)-2-3-3-4: 差動増幅回路の評価結果 (Vth, Gsig, Gsub)。



III-2-I-③-(2)-図 2)-2-3-3-5: I-I 字型ガードバンドの接地効果。



III-2-I-③-(2)-図 2)-2-3-3-6: U 字型ガードバンドの接地効果。

2)-2-4 アナログ基本回路におけるノイズ応答のチップレベル解析技術

本章では、前章で議論した局所基板モデルをチップレベルの基板伝播解析ツールと結合し、ノイ

ズの発生源から対象のアナログ回路までの基板伝播とアナログ回路の基板ノイズ応答を統合的に解析する手法について述べる。

2)-2-4-1 チップレベル解析と局所解析の統合アルゴリズム

基板ノイズ感度統合解析

基板ノイズ感度統合解析の概略フローをⅢ-2- I -③-(2)-図 2)-2-4-1-1 に示す。基板ノイズ感度統合解析は、次の 2 つのステップに分けることができる。

1. チップレベル基板伝播解析ツールを用いた、ノイズ源から接続点までの基板伝播解析
2. デバイスと接続した局所基板モデルを用いた、接続点からのデバイスの基板感度解析

チップレベル基板モデルと局所基板モデルとは接続点を介して接続され、結合解析の際にこの接続点を任意に 1 点または複数点決定することとする。各ステップにおけるこの接続点の持つ意味は、チップレベル基板伝播解析ツールにおいては、対象回路の裏面または近傍の P ウェル表面の点であり、局所基板モデルにおいてはノイズの発生源である。チップレベル基板モデルによって接続点での電圧波形または電圧振幅を取得し、この電圧波形または電圧振幅を入力として局所基板モデルを用いた基板ノイズ応答解析を行う。ただし、統合解析において振幅値のみを解析対象とする場合は 2 つの解析を平行して実行し、両者の結果を掛け合わせることで基板ノイズ感度を算出することも可能である。

また、これらの基板モデルの接地インピーダンスは、チップレベル基板伝播解析ツールで抽出したもの、または他の LPE 抽出ツールを用いて抽出したものを使用する。

局所基板モデルの一般化

前章で示した局所基板モデルは、ガードバンドの形状によってユーザが最適なモデルを選択し、該当のモデルを生成する必要があった。しかし実際のアナログ回路のレイアウトにおいては、様々な形状のガードバンドが考えられ、統合解析を行う際はこの局所基板モデルを自動生成ことが望ましい。そこで、局所基板モデルをⅢ-2- I -③-(2)-図 2)-2-4-1-2 に示すように一般化して扱う。このモデルは、接続点からフィンガのバックゲートまでの抵抗 R_{sub} と、フィンガのバックゲートからガードバンドまでの抵抗 R_{gb} の 2 つの抵抗を、角フィンガ毎に取り付けたものである。 R_{sub} は、Ⅲ-2- I -③-(2)-図 2)-2-4-1-3 に示すように接続点からフィンガ中央までの距離から計算できる。またフィンガからガードバンドまでの抵抗 R_{gb} の計算は、Ⅲ-2- I -③-(2)-図 2)-2-4-1-4 に示すようにフィンガの中央から上下左右方向に探索を行い、見つかったガードバンドとの間に抵抗を貼り付ける。 R_{gb} の抵抗値は、 R_{sub} と同じく距離より計算される。

R_{gb} および R_{sub} の算出は以下の式が適用される。

$$R_{sub} = \rho Lm/tW$$

ここで、 ρ [Ωm] は基板抵抗率、 L は 2 点間の距離、 t は伝播経路の厚さ、 W は伝播経路の幅である。また m は並列接続される抵抗の本数つまりフィンガの本数であり、この係数を掛けることで接続点から各フィンガ、ガードバンドまでの電圧ドロップを正規化している。

以上のように局所基板モデルを組み立て直すことで、ガードバンド形状に合わせて自動でモデル生成が可能となる。

チップレベル基板伝播解析

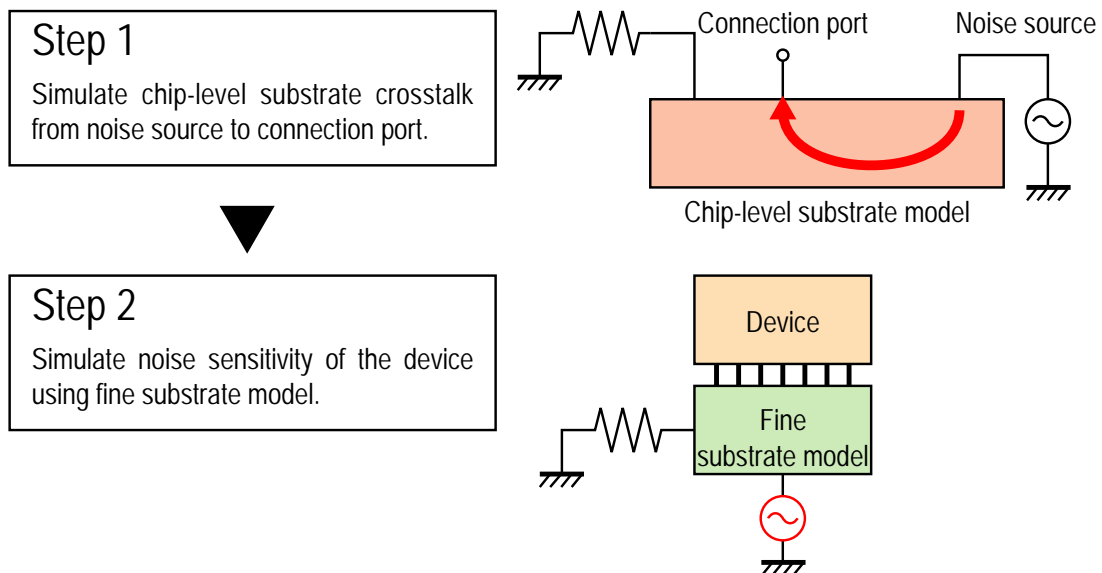
チップレベル基板伝播解析ツールは、Ⅲ-2-I-③-(2)-図 2)-2-4-1-5(a) のようにノイズ発生量の多いデジタル回路などからチップ内に伝播するノイズの量を解析するために用いられる。

本開発では、デバイスの基板ノイズ感度を解析対象としているためⅢ-2-I-③-(2)-図 2)-2-4-1-5(b)に示すようにチップ内の AC 信号源から、解析対象のアナログ回路までの基板伝播を解析するために用いる。

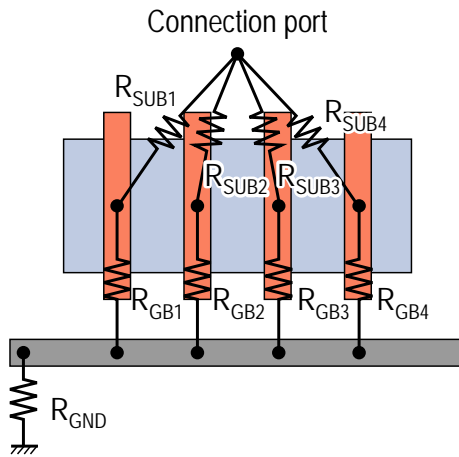
統合解析フロー

チップレベル基板伝播解析とデバイスレベル基板感度解析の統合解析フローをⅢ-2-I-③-(2)-図 2)-2-4-1-6 に示す。チップレベル基板伝播解析では、GDS II とノイズ源の動作等を記述したテストベンチを入力として基板伝播解析を実行し、接続点でのノイズ電圧波形を出力する。本開発では基板ノイズ感度を評価するため、得られた電圧波形の振幅値を計算し、基板伝播係数を最終出力とする。デバイスレベル基板感度解析では、GDS II より解析対象のアナログ回路のフィンガ毎の座標やガードバンドの位置情報、接地抵抗を抽出し、これらの情報から局所基板モデルを生成して基板感度の解析を実行する。基板ノイズ感度を解析する場合は、AC 解析を実行して基板感度を最終出力とする。そして得られた基板伝播係数と基板感度の積を求め、基板ノイズ感度 G_{sub} を求める。またノイズの電圧波形を解析する場合は、チップレベル基板伝播解析で得られたノイズ波形を入力とし、デバイスレベル基板感度解析で過渡解析を行う。

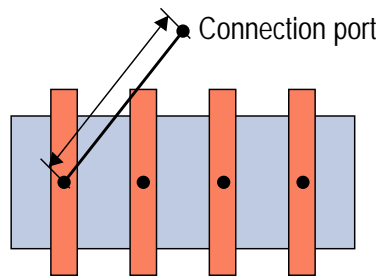
デバイスレベル基板感度解析フロー中の局所基板モデルを生成部の詳細はⅢ-2-I-③-(2)-図 2)-2-4-1-7 に示す。この部分では接地抵抗とフィンガ毎の基板抵抗を生成する。接地抵抗は抽出により得られた値を使用する。接続点から各フィンガまでの基板抵抗は、接続点座標とフィンガ座標の間の距離より計算し、書き出される。各フィンガからガードバンドまでの基板抵抗の生成は、まずフィンガからガードバンドまでの最短経路探索を行って距離を計算し、得られた距離から抵抗値を計算して書き出す。



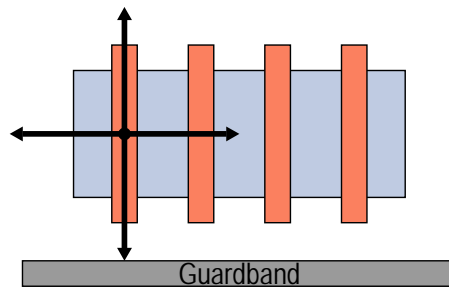
Ⅲ-2-I-③-(2)-図 2)-2-4-1-1: 基板ノイズ感度統合解析の概略フロー。



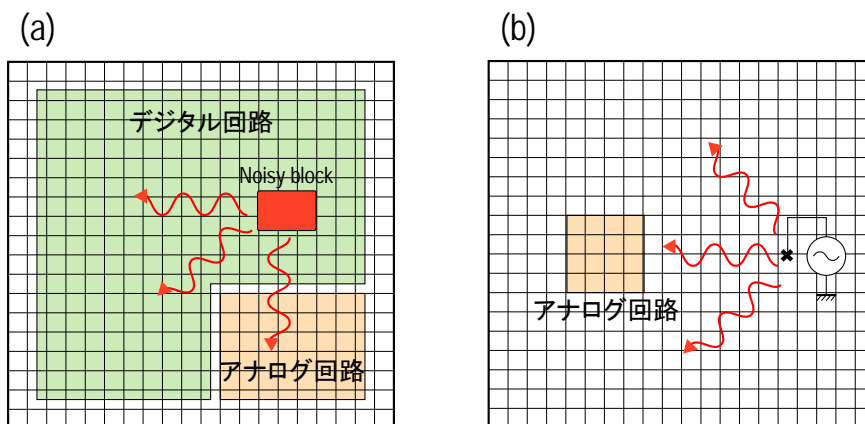
Ⅲ-2-I-③-(2)-図 2)-2-4-1-2: 基板結合解析のための局所基板モデル。



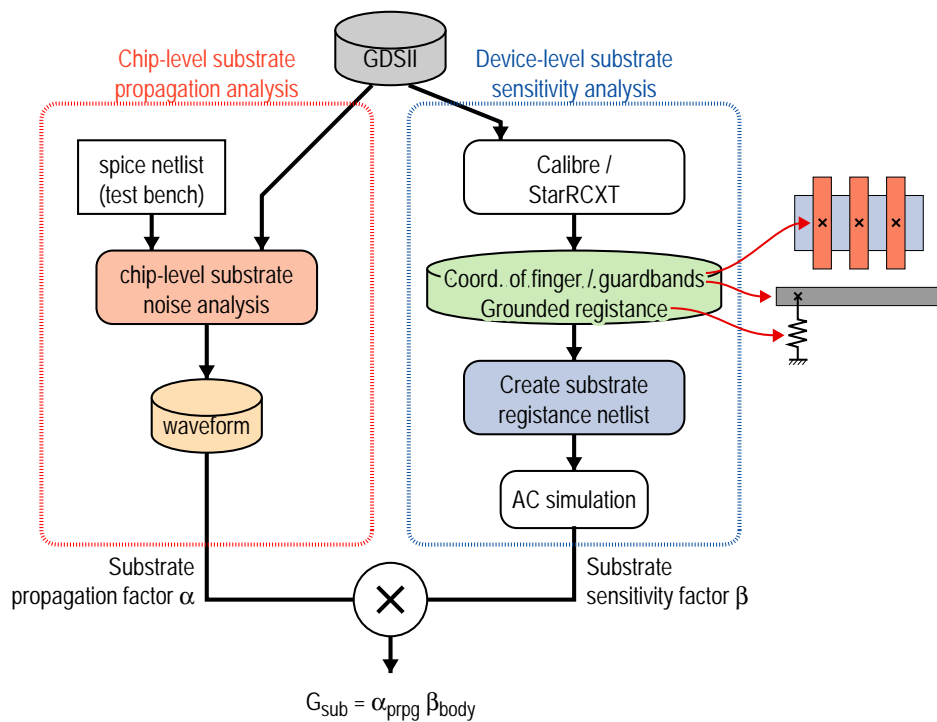
Ⅲ-2-I-③-(2)-図 2)-2-4-1-3: 接続点からフィンガのバックゲートまでの抵抗 R_{sub} の算出モデル。



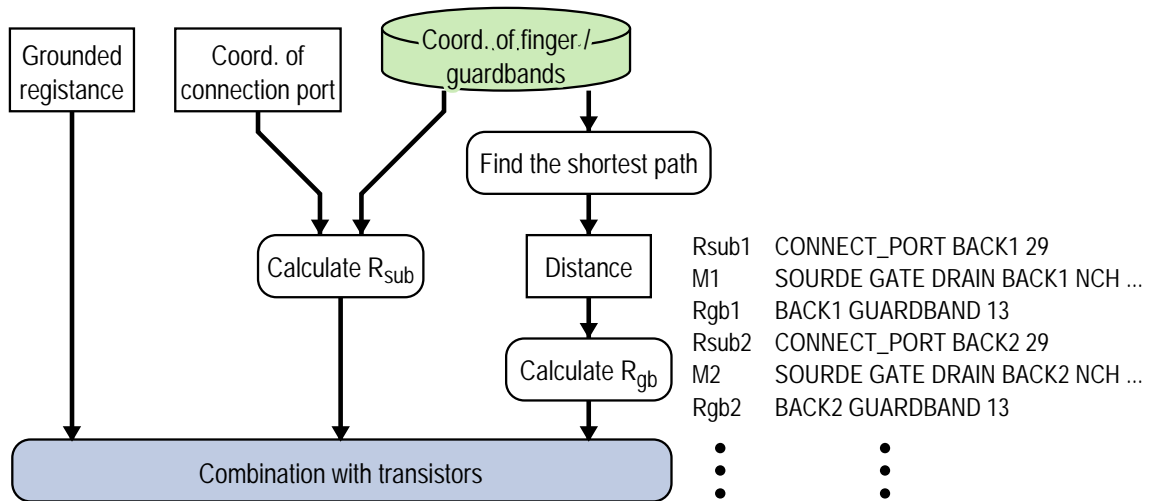
Ⅲ-2-I-③-(2)-図 2)-2-4-1-4: フィンガからガードバンドまでの抵抗 R_{sgb} の算出モデル。



Ⅲ-2-I-③-(2)-図 2)-2-4-1-5: チップレベル基板伝搬解析ツールの利用。(a)デジタル回路の雑音発生と伝搬(一般)、(b)チップ内の AC 信号源からの伝搬(本開発)。



III-2-I-③-(2)-図 2)-2-4-1-6: チップレベル基板伝播解析とデバイスレベル基板感度解析の統合解析フロー。



III-2-I-③-(2)-図 2)-2-4-1-7: 統合解析フローにおける局所基板モデルの生成フロー。

2)-2-4-2 チップレベル基板結合解析フローのプロトタイプ実装

本開発では、F 行列演算によって基板モデルを用いた解析と、Apache Totem-MMX による基板伝播解析の 2 種類のチップレベル基板伝播解析との結合を試みた。

F行列演算基板モデルによる基板伝播解析

F 行列演算基板モデルは、チップ内の特定領域をある大きさのメッシュで分割して抵抗メッシュを作成し、F 行列演算を用いてノード数を削減したものである。本開発では、テストチップのおよそ 1/4 の面積に相当する、増幅回路 16 個分の領域に対して生成した F 行列演算基板モデルを用いた。

III-2-I-③-(2)-図 2)-2-4-2-1 は、Chip #1 における基板ノイズ注入点から各増幅回路までの

基板伝播係数を解析したものである。F 行列演算による基板モデルは、メッシュサイズは設定値である $5 \mu\text{m}$ 以下にはならないため、接続点やガードバンドの点は各増幅回路の種類によらず近傍のメッシュ交点に接続されてしまう。そのため、解析対象とした増幅回路はそれぞれガードバンド間の距離などが異なるレイアウトであるが、基板伝播係数はほぼ同じ値に解析されている。

Totem-MMXによる基板伝播解析

Apache Design Solutions 社製の電源系ノイズ解析ツールである Totem-MMX を用いて、Chip #1 における基板ノイズ注入点から各増幅回路までの基板伝播係数をチップレベルで解析した結果を III-2-I-③-(2)-図 2)-2-4-2-2 に示す。

チップレベルの基板伝播解析には、チップ全面におけるチップ内電源配線、およびオフチップの電源配線寄生インピーダンスなどを含む必要である。III-2-I-③-(2)-図 2)-2-4-2-2 に示した解析において、Totem-MMX によりチップ内の電源配線等を抽出した結果を III-2-I-③-(2)-図 2)-2-4-2-3 に示す。評価対象としている増幅回路の電源系配線と、ノイズ源の電源配線が全て抽出できていることが確認できる。また、本開発で局所基板モデルとの接続に用いる接続点をはじめとする解析点へのノイズ伝播は、ノイズ電圧波形として取得される。本開発では基板伝播係数を取り扱うため、取得されたノイズ電圧波形からピーク電圧を計算し、ノイズ源での値との比を取って評価した。

Totem-MMX が、被評価増幅回路の近傍における基板伝播係数をメッシュ状に解析している様子を III-2-I-③-(2)-図 2)-2-4-2-4 に示す。この図において左側に位置するノイズ源から基板ノイズが拡散している様子、また増幅回路内のガードバンドによって基板ノイズが吸収されている様子が解析できていることがわかる。解析は $5 \mu\text{m}$ メッシュで実行しているため回路周辺の基板ノイズ量の分布がよくわかるが、デバイス 1 つあたりに高々数点しかメッシュ交点がないため、局所基板モデルが必要であることも再確認できる。

Totem-MMX による増幅回路毎の基板伝播係数の解析結果 (III-2-I-③-(2)-図 2)-2-4-2-2) を見ると、差動増幅回路の種類によってガードバンド間の距離などが異なるため、特に接続点までの基板伝播係数が増幅回路によって大きく異なっていることが確認できる。Totem-MMX は解析時に設定したメッシュサイズに関わらず、レイアウト構造によって適宜メッシュサイズを変更して解析が実行されている。そのため、ガードバンドのレイアウト構造による基板伝播係数の差が表現されやすくなっている。

統合解析の試行結果

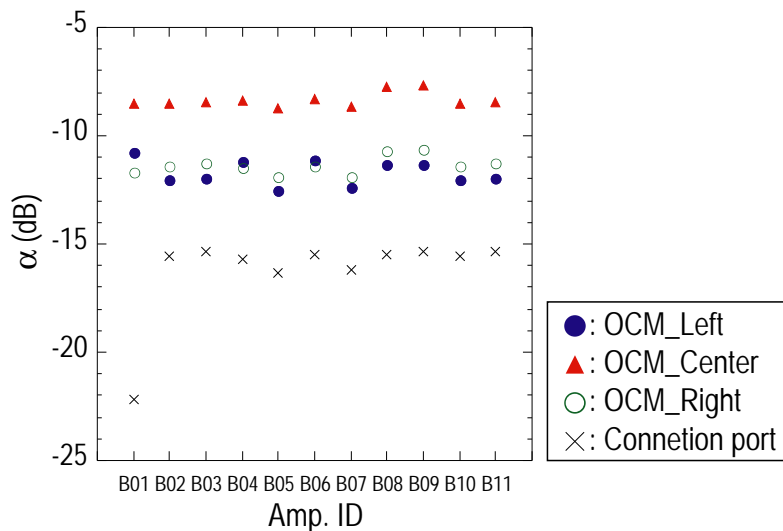
チップレベル基板伝播解析とデバイスレベル基板感度解析の統合解析結果を III-2-I-③-(2)-図 2)-2-4-2-5 に示す。この基板感度の算出にあたって、基板伝播係数は Apache Totem-MMX を用いて解析した数値を使用した。また(a) は接続点を差動増幅回路の差動対の中央に設定した場合の解析結果で、(b) は接続点を(a) の点から $10 \mu\text{m}$ だけノイズ源に近づけた場合の解析結果である。同図(a)の場合、デバイス真裏の基板ノイズ量分布が正確に再現され、デバイスサイズによって基板感度に差が生じる傾向が再現されている。一方、ある一定以下のサイズのデバイスはメッシュサイズがデバイスサイズより小さくなってしまったため、基板ノイズ量の分布が正確に解析されず、基板感度が過大評価されている。同図(b) の場合、接続点を離れたことで小サイズのデバイスでも基板感度が減少していく傾向が解析されているが、全体の傾きが緩やかとなり、接続点でのノイズ量が正確に解析できていない。

これらの結果から、基板結合のチップレベル統合解析において重要な事項を以下のようにまとめ

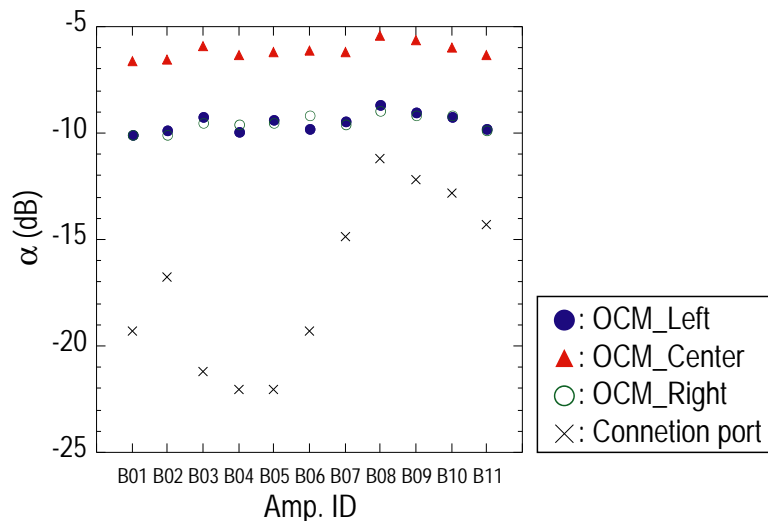
る。すなわち、

- ① チップレベル基板伝搬解析は被評価アナログ回路を構成する各トランジスタの中心近傍を結合点として、ノイズ源からこの結合点までの伝搬係数を求めること。
- ② デバイスレベル基板結合解析はトランジスタ及びその周辺のガードバンドを含む詳細な局所基板結合モデルにより①の結合点から各トランジスタ要素までの伝搬係数を求めること。
- ③ アナログ回路がトランジスタレベルのネットリストで表現され、これと局所基板結合の等価回路モデルをネットリスト結合することで、トランジスタのバイアス状態における基板感度を回路シミュレーションできること。

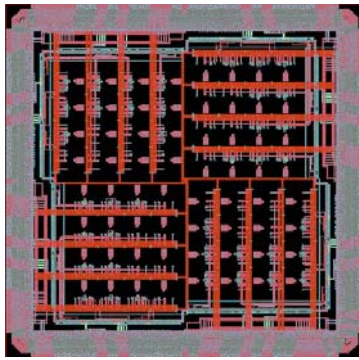
である。hp130nm(90nm ノード) CMOS 技術によるテストチップ Chip #1 を例題としたⅢ-2-I-③-(2)-図 2)-2-4-2-5 の結果は、これらの必要事項を満たした統合解析の結果である。



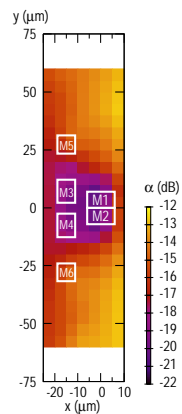
Ⅲ-2-I-③-(2)-図 2)-2-4-2-1: F 行列演算基板モデルにより導出した、テストチップ(Chip #1, hp130nm(90nm ノード) CMOS)における基板ノイズ注入点から増幅回路までの基板伝播係数。



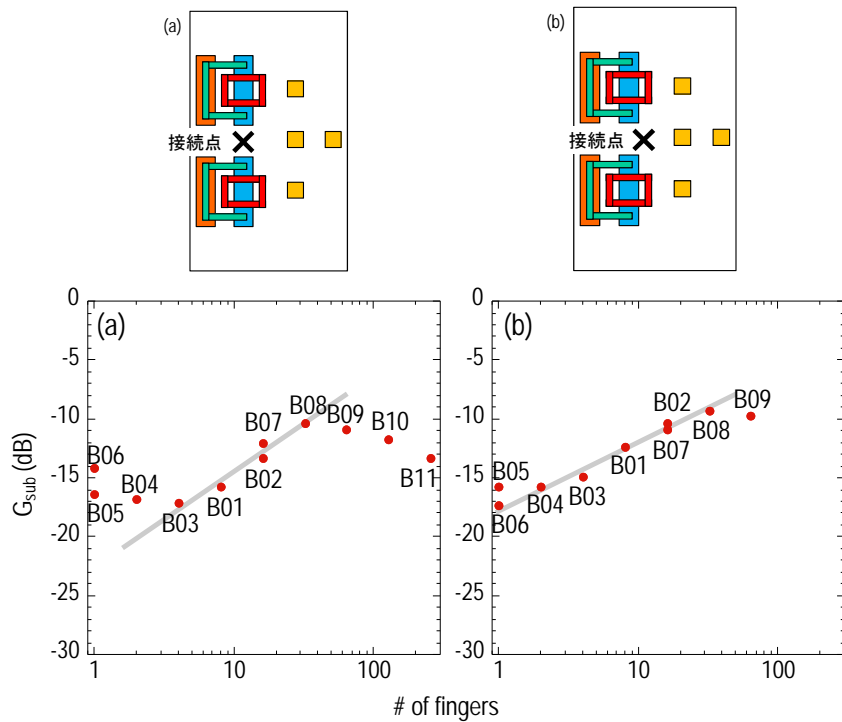
Ⅲ-2-I-③-(2)-図 2)-2-4-2-2: Totem-MMX により導出した、テストチップ(Chip #1, hp130nm(90nm ノード) CMOS)における基板ノイズ注入点から増幅回路までの基板伝播係数。



III-2-I-③-(2)-図 2)-2-4-2-3: Totem-MMX により抽出した、テストチップ(Chip #1, hp130nm (90nm ノード) CMOS)におけるチップレベル電源配線。



III-2-I-③-(2)-図 2)-2-4-2-4: Totem-MMX により解析した、被評価増幅回路の近傍における基板伝播係数の解析の様子。



III-2-I-③-(2)-図 2)-2-4-2-5: Totem-MMX により解析した、被評価増幅回路の近傍における基板伝播係数の解析の様子、(a)接続点を差動対トランジスタの midpoint に設定した場合、(b)接続点を差動対の中心点から $10 \mu\text{m}$ だけノイズ源に近づけた場合。

2)-2-5 アナログ基本回路における「ばらつきとノイズ感度」の高効率測定手法

アナログ基本回路における「ばらつきとノイズ感度」の評価には、環境ノイズに対する回路レベルのAC応答を非常に多数の個体に対して測定する必要がある。一般に、回路のAC応答評価には、チップ単位の給電やアナログ・デジタル各種信号に関わる多数のインタフェースピンの接続が必須であることから、プローバによるウェハレベル試験手法は適さない。この点が、デバイスレベルのDC測定によるばらつきの評価との違いになる。

本開発では、前章に示したテストチップを評価ボード上に実装し、外部電源や信号源、オシロスコープなどの外部機器と接続した状態で、プロービングにより環境ノイズを導入した。また、回路のAC応答をオンチップモニタにより測定した。この手法により確度の高いノイズ応答の測定が可能であるが、他方、フルオートプローバを適用できないため、個体ばらつきを評価に対して測定のスループットが非常に低いことが課題となった。

このような課題を解決するためには、オンチップで複数の個体に対して環境ノイズを分配する、あるいはオンチップで環境ノイズを発生する機構が有効であり、このための技術開発を行った。

2)-2-5-1 バッファアンプによる分配ノイズ注入

基板ノイズを発生させる方法として、デジタルノイズ源を動作させる方法、基板コンタクトを持つ配線にチップ外部からI/Oを通してノイズを導入する方法など様々な方法が考えられるが、アナログ回路の基板ノイズ感度の周波数応答を評価する場合は正弦波の基板ノイズを発生させる必要がある。

外部信号源からプロービングにより導入されたノイズを、バッファアンプを用いて対象の増幅回路に分配して評価する手法をⅢ-2-I-③-(2)-図 2)-2-5-1-1(a)に示す。スイッチングによりノイズを導入する増幅回路を切り替えることができるため、複数の増幅回路を評価する際にプロービングが1回で済み、評価スループットの向上が期待できるほか、GSGパッドが1つで済むために同じ面積で評価可能な増幅回路が多くなるという利点がある。また、各基板ノイズ注入点から見て増幅回路の反対側にはグラウンドにつながる基板タップを設けることで、反射等を軽減し、注入した基板ノイズが増幅回路に確実に向かうようになっている。また、バッファアンプから各スイッチまでの経路は、インピーダンスが 50Ω となるよう設計されている。この伝送路は、Ⅲ-2-I-③-(2)-図 2)-2-5-1-1(b)に示すようにパッドメタルを信号線、メタル5をシールド線にしたマイクロストリップラインである。

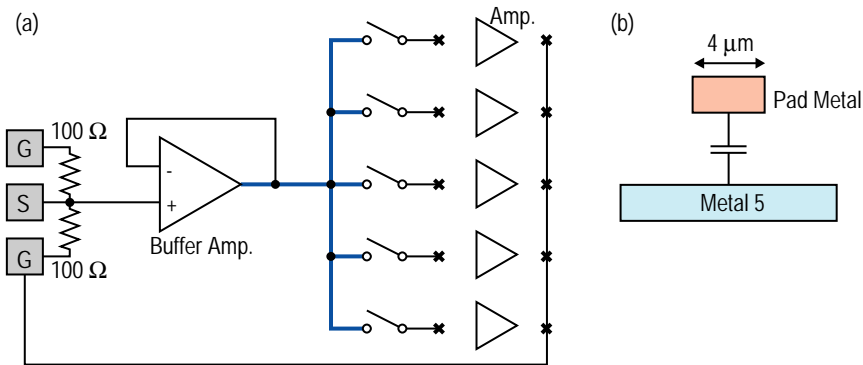
このバッファアンプの回路図をⅢ-2-I-③-(2)-図 2)-2-5-1-2に示す。基板にノイズを注入するため、0V中心のAC信号を0V中心で出力する必要があるため、3.3Vの高耐圧デバイスを使用し、 $\pm 1.65\text{V}$ の電源電圧を用いている。しかし、チップへの給電は3.3V系が標準であるため、 $\pm 1.65\text{V}$ 系の給電にはメタルスルーI/Oを使用しているほか、Ⅲ-2-I-③-(2)-図 2)-2-5-1-3に示すようにESD対策のための保護ダイオードを設置してある。制御信号も他の回路ブロックと共通化するために3.3V系の信号を使用しており、 $\pm 1.65\text{V}$ 系の電源電圧で駆動するバッファアンプの動作/非動作の切り替えスイッチと、ノイズの分配先を切り替えるスイッチを制御するため、3.3V系から $\pm 1.65\text{V}$ 系へのレベルシフタも配置した(Ⅲ-2-I-③-(2)-図 2)-2-5-1-4)。

このバッファアンプとその周辺回路のレイアウトをⅢ-2-I-③-(2)-図 2)-2-5-1-5に示す。バッファアンプ本体のレイアウトサイズは $32\mu\text{m}\times 36\mu\text{m}$ である。

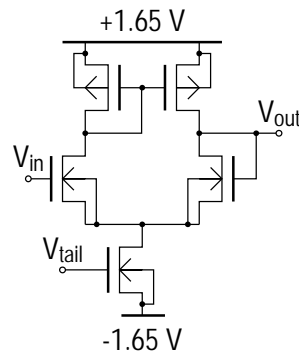
Ⅲ-2-I-③-(2)-図 2)-2-5-1-6はバッファアンプのDC特性とAC特性を解析したものである。注入する基板ノイズ振幅は最大で 1Vpp 、また1GHzまでの周波数を想定しているため、この特性で十分な評価が可能である。

Ⅲ-2-I-③-(2)-図 2)-2-5-1-7は評価対象の差動増幅回路、オンチップモニタの基板観測点、伝送路からの基板ノイズ注入ブロックのレイアウトである。バッファアンプからスイッチを通して分配さ

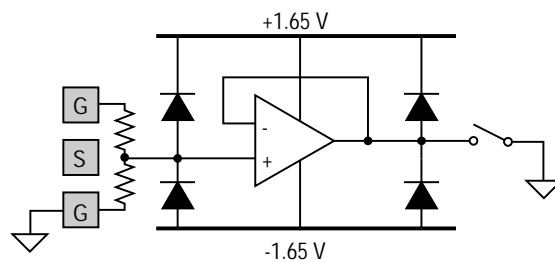
れたノイズは、増幅回路から 30 μm 程度離れた p+拡散よりシリコン基板に注入される。基板注入点と増幅回路の間には基板ノイズ観測点があり、オンチップモニタによりこの点の基板の電圧振幅が取得される。また、バッファアンプを用いたノイズ注入手法ではアンプ毎に GSG パッドを設ける必要がないため、Ⅲ-2-I-③-(2)-図2)-2-5-1-7のように1つの基板ノイズ注入点を複数の評価対象の差動増幅回路で共有することができ、より高密度なレイアウトが可能となっている。



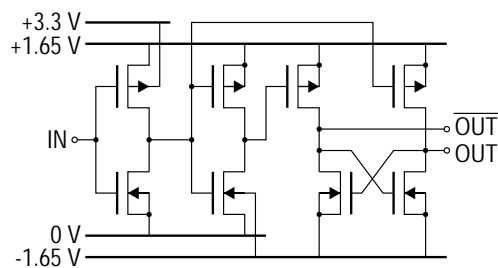
Ⅲ-2-I-③-(2)-図2)-2-5-1-1: オンチップ・バッファアンプによる基板への高周波ノイズ注入における(a)回路構成と(b)伝送路としての信号配線構造。



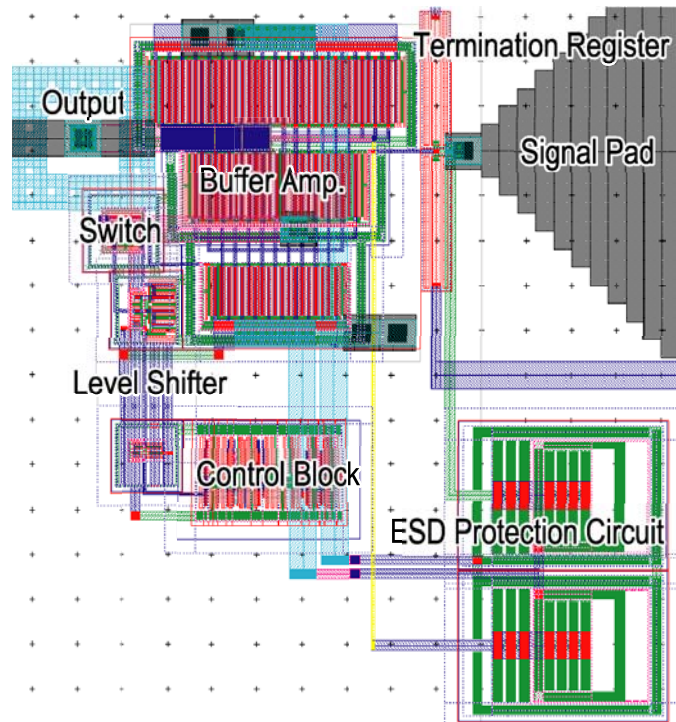
Ⅲ-2-I-③-(2)-図2)-2-5-1-2: バッファアンプの回路構成。



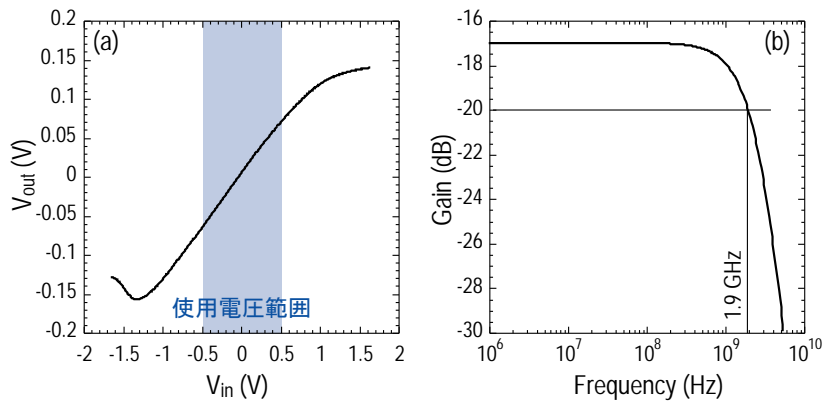
Ⅲ-2-I-③-(2)-図2)-2-5-1-3: ESD対策のための保護ダイオード。



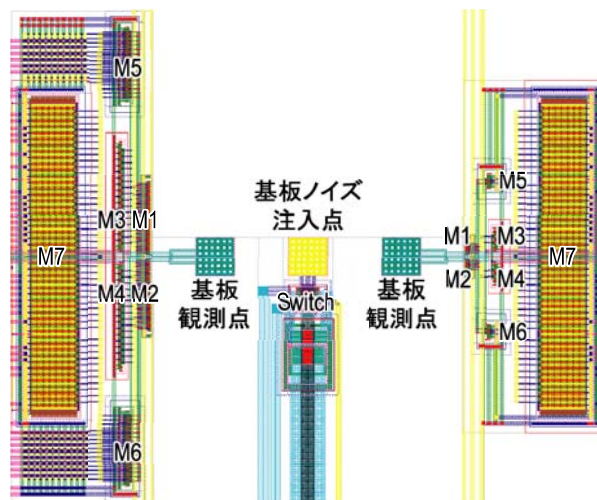
Ⅲ-2-I-③-(2)-図2)-2-5-1-4: レベルシフト回路。



Ⅲ-2-I-③-(2)-図2-2-5-1-5: バッファアンプ及び周辺回路の物理レイアウト。



Ⅲ-2-I-③-(2)-図2-2-5-1-6: バッファアンプのDC及びAC入力応答の解析結果。



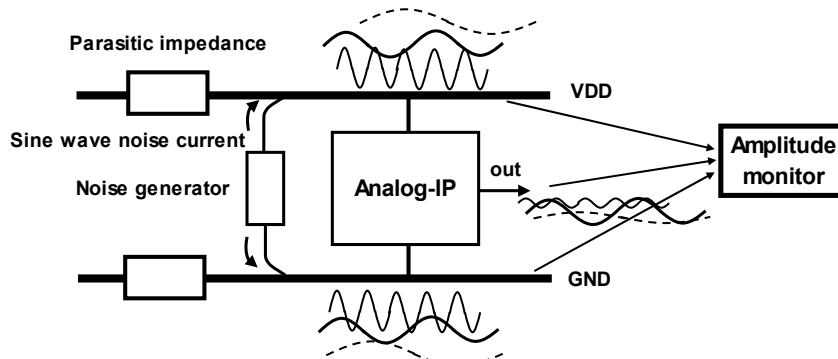
Ⅲ-2-I-③-(2)-図2-2-5-1-7: 被評価増幅回路とその周辺のレイアウト構造。

2)-2-5-2 オンチップ正弦波ノイズ発生回路

2)-2-5-2-1 正弦波ノイズ発生のおんチップ化

アナログ回路のノイズ応答特性を評価するために、前述のように外部から正弦波信号を注入した。本開発では、この評価をさらに高効率化するため、比較的簡易な回路で数百 MHz の正弦波ノイズをオンチップ発生できる正弦波ノイズ発生回路についても開発した。

この回路では、矩形波を組み合わせて高調波除去波形を合成し、簡易なフィルタを通して高い Spurious Free Dynamic Range (SFDR)を持つ正弦波が発生可能である。また、この正弦波ノイズ発生回路をアナログ IP と共に集積し、周波数領域におけるアナログ IP のノイズ耐性評価を行った。Ⅲ-2-I-③-(2)-図 2)-2-5-2-1 に開発を行なった TEG のコンセプトを示す。正弦波ノイズ発生回路は正弦波ノイズ電流を出力し、それをアナログ IP のアナログ電源・グラウンドに注入する。ノイズ電流は、ボンディングワイヤのインダクタンス等で生じる電源インピーダンスにより電源ノイズに変換される。アナログ IP の電源、信号端子に見られるノイズの振幅を観測することで、ノイズに対する応答評価を観測する。この正弦波ノイズ回路は SOC で発生する数百 MHz 帯での電源ノイズを比較的シンプルな回路で構成し、さらに、1MHz 単位でノイズ周波数を設定することが可能である。この回路により周波数領域でのアナログ回路のノイズ応答特性が実現可能となる。



Ⅲ-2-I-③-(2)-図 2)-2-5-2-1: 正弦波ノイズ発生回路によるアナログ回路ノイズ耐性評価コンセプト。

2)-2-5-2-2 高調波除去波形による正弦波発生原理

100MHz~200MHz 付近の高速正弦波を比較的簡易な回路で発生させるため、本開発では矩形波から合成した高調波除去波形を用いた。Ⅲ-2-I-③-(2)-図 2)-2-5-2-2 に基本コンセプトを示す。まず、初めに矩形波から考える。矩形波は図に示されるように基本波(f_0)とその多数の高調波から構成される。その矩形波に処理を行なうことによりⅢ-2-I-③-(2)-図 2)-2-5-2-2 の真ん中の図のように低域成分の高調波が除去された波形を合成することが可能である。そのため、この高調波除去波形では基本波成分と、より周波数が高い高調波成分のみ残っている。次にフィルタにこの高調波除去波形を通す。高調波除去波形では、基本波周波数と高調波成分の周波数差が大きいため、フィルタのカットオフ周波数を基本波周波数のわずかに高いところに設定するだけで、基本波成分はそのまま通り、高調波成分は大きく抑圧されることになる。すなわち高い SFDR 特性を持つ正弦波が得られることになる。このようなコンセプトにより正弦波ノイズを発生させる。次に高調波除去波形の合成方法について述べる。

まず、初めに、既存の 3 次/5 次高調波除去波形について説明する。この波形は RF の高調波除去ミキサ等ではしばしば使われるものである。この波形はⅢ-2-I-③-(2)-図 2)-2-5-2-3 のよう

に、3つの矩形波を基本波成分の45度毎にシフトし重ね合わせたものである。特に2番目の波形は1番目と3番目の波形に対し $\sqrt{2}$ 倍されていることを特徴とする。これらの波形の組み合わせにより3次/5次高調波が除去されるが、この現象はフェーザーを用いることで容易に理解することが出来る。まず、基本波成分の45度は3次高調波に関して $45 \times 3 = 135$ 度と等価である。そのため、Ⅲ-2-I-③-(2)-図2)-2-5-2-4(a)に示すように第1の波形のベクトルに対し第2の波形ベクトルは135度回転した位置にある。さらに第3の波形ベクトルは第1の波形ベクトルから $135 \times 2 = 270$ 度回転した位置に来る。この場合、第1と第3の波形ベクトルの和ベクトルと第2の波形ベクトルはⅢ-2-I-③-(2)-図2)-2-5-2-4(a)に示すように反対方向となる。そのため、和ベクトルと第2の波形ベクトルの大きさを等しくすること、すなわち、第2の波形ベクトルの大きさを第1、第3の波形ベクトルの $\sqrt{2}$ 倍することで、3次高調波に関する3つの波形ベクトルの和は0となり、3次高調波が消滅する。この現象は5次高調波にも同じようなことが当てはまる。基本波成分の45度は5次高調波に関して $45 \times 5 = 225$ 度に相当する。Ⅲ-2-I-③-(2)-図2)-2-5-2-4(a)と同じように、5次高調波に関してフェーザーをⅢ-2-I-③-(2)-図2)-2-5-2-4(b)に示す。5次高調波に関し、第2の波形ベクトルは第1の波形ベクトルに対し225度回転した位置に来る。また、第3の波形ベクトルは $225 \times 2 = 450$ 度回転するため、結果として第1の波形ベクトルから90度回転した位置に来る。この場合、第1と第3の波形ベクトルの和ベクトルと第2の波形ベクトルが反対方向となる。また、第2の波形ベクトルは $\sqrt{2}$ 倍されているため、5次高調波に関する3つの波形ベクトルの和は0となり、5次高調波は消滅する。このようにⅢ-2-I-③-(2)-図2)-2-5-2-3のような3つの矩形波の組み合わせで3次/5次高調波除去波形が矩形波より生成されることが判る。

Ⅲ-2-I-③-(2)-図2)-2-5-2-5にⅢ-2-I-③-(2)-図2)-2-5-2-3から合成された波形を示す。階段状の波形になるが、0を横切る場合の変化が大きくなる特徴を持つ。Ⅲ-2-I-③-(2)-図2)-2-5-2-6にⅢ-2-I-③-(2)-図2)-2-5-2-5の波形のフーリエ変換で求めた周波数成分を示す。このグラフより3次、5次高調波は除去されていることが判る。さらに、この波形は11次、13次の高調波に関しても除去されている。これは、3次、5次高調波の場合と同じで3つの高調波ベクトルの和が0となるためである。しかしながら、この波形は7次、9次高調波に関して、それぞれ、基本波成分に関し14%、11%の成分が残っている。本開発では、それらの7次、9次高調波を除去することが目的となる。

7次及び9次の高調波除去を行なうため、Ⅲ-2-I-③-(2)-図2)-2-5-2-7のように3つの参照波形に関し22.5度ずつ位相をずらした場合を考える。22.5度は360度を16分割した値である。まず、7次高調波に関して同様にフェーザーを用いて考える。基本波において22.5度は7次高調波に関して $22.5 \times 7 = 157.5$ 度に相当する。そのため、Ⅲ-2-I-③-(2)-図2)-2-5-2-8(a)に示すように、7次の高調波に関する第1の波形ベクトルに対し第2の波形ベクトルは157.5度回転した位置にある。次に第3の波形ベクトルに関しては $157.5 \times 2 = 315$ 度、第1の波形ベクトルから回転した位置にある。この場合、第1と第3の波形ベクトルの和は $(315 + 360) / 2 = 337.5$ 度の位置にある。これはちょうど第2の波形ベクトルと反対方向のベクトルになる。そのため、第1と第3の波形ベクトルの和と第2の波形ベクトルの大きさを等しくすることで、3つの参照波形に関する7次高調波のベクトル和は0となり、すなわち、7次高調波成分が消滅することになる。この大きさを等しくする値 H_{mag} は次式で表されることになる。

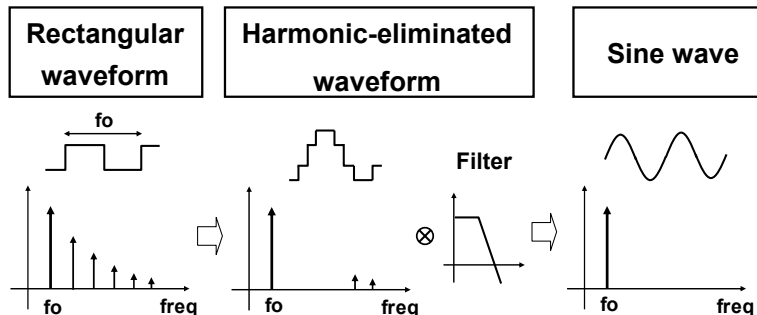
$$H_{mag} = \sqrt{2 + 2 \cos(\pi / 4)}$$

9次高調波成分に関しても同様な考え方が適用出来る。基本波の22.5度は9次高調波に関して $22.5 \times 9 = 202.5$ 度に相当する。次に第3の波形ベクトルに関しては $202.5 \times 2 = 405$ 度回転した位置

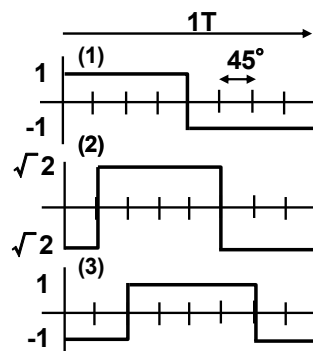
にある。この場合もⅢ-2-I-③-(2)-図2)-2-5-2-8 (b)の様に第1と第3の波形ベクトルの和と第2の波形ベクトルが反対方向にあり、且つ大きさも式(5-1)で定義されているため9次高調波に関しても総和が0となり、高調波は消滅する。

このように、同一の形状をした3つの参照波形について22.5度ずらし、且つ第2の波形の振幅を前式で定義した値にすることで、7次及び9次高調波を抑圧することが可能である。ここで、参照波形に前述の3次/5次高調波除去波形を用いることで13次までの高調波が抑圧された波形を合成することが可能となる。Ⅲ-2-I-③-(2)-図2)-2-5-2-9にⅢ-2-I-③-(2)-図2)-2-5-2-7の合成波形を示す。階段上の波形となっているが、変化の割合は一定ではなく、波形の重み付けに従って変化した波形となる。Ⅲ-2-I-③-(2)-図2)-2-5-2-10にⅢ-2-I-③-(2)-図2)-2-5-2-9の周波数成分を示す。図が示すように、3次から13次までの高調波成分が抑圧されていることが判る。(波形は左右対称なので偶数高調波成分は存在しない。)

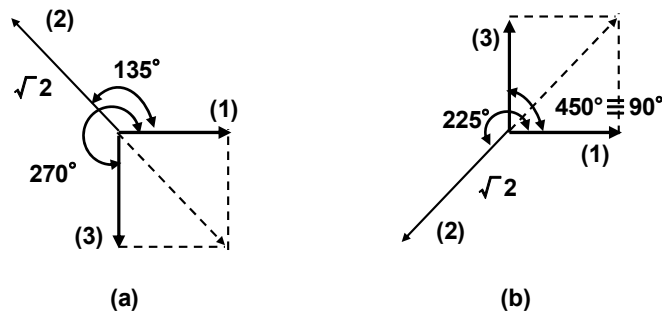
次に、提案の13次までの高調波除去波形を用いた場合の利点について述べる。高調波除去波形をフィルタに入力することにより、高調波成分が抑圧されSFDRの高い正弦波が得られることになるが、高調波成分の分布によりSFDRが異なってくる。Ⅲ-2-I-③-(2)-図2)-2-5-2-11は横軸にフィルタの次数、縦軸にSFDRの値を示した図である。フィルタはバターワース型を想定しており、カットオフ周波数は基本波成分の2倍の周波数とした。ここでは、3つの波形タイプ(矩形波、3次/5次高調波除去波形、提案波形)においてフィルタを通した後の基本波に対するもっとも大きい高調波成分の割合をSFDRとして示している。提案の高調波除去波形を用いた場合、より少ない次数のフィルタで所望のSFDR特性を得られることが判る。例えば、SFDR特性が60dBの波形を得たい場合、矩形波では10次の次数を持つフィルタが必要である。次に従来の3次/5次高調波除去波形では4次のフィルタが必要である。しかしながら、提案波形では、わずか2次のフィルタで60dBのSFDR特性が可能となる。このように、提案波形を用いることで、少ない次数のフィルタで所望のSFDRを得ることが出来るため、正弦波発生回路のサイズを小さくすることが可能である。



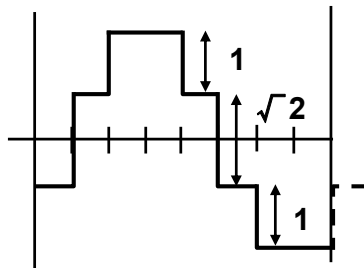
Ⅲ-2-I-③-(2)-図2)-2-5-2-2: 高調波除去波形による正弦波発生。



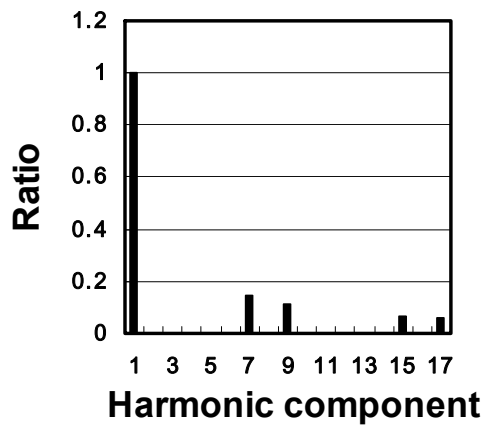
Ⅲ-2-I-③-(2)-図2)-2-5-2-3: 3次/5次高調波除去波形作成のための矩形波。



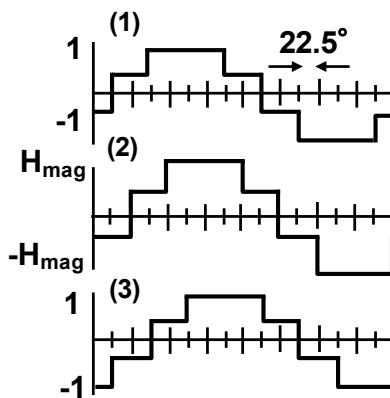
Ⅲ-2-I-③-(2)-図 2-2-5-2-4: 3次、5次高調波成分に関するフェーザー、
(a) 3次高調波成分、(b) 5次高調波成分。



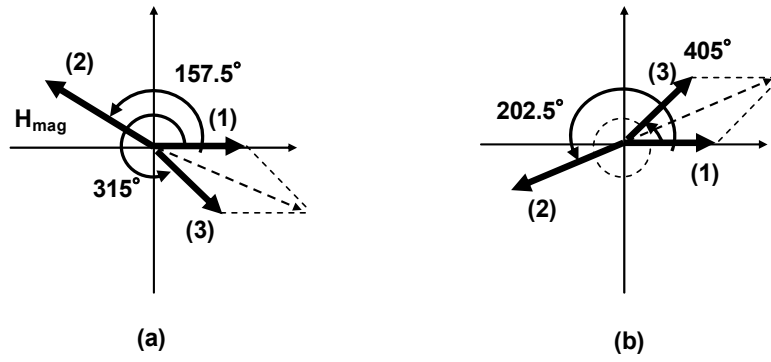
Ⅲ-2-I-③-(2)-図 2-2-5-2-5: 合成された3次/5次高調波除去波形。



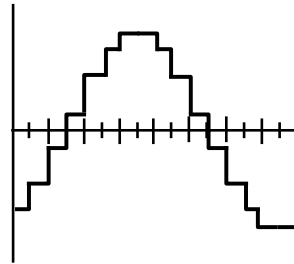
Ⅲ-2-I-③-(2)-図 2-2-5-2-6: 3次/5次高調波除去波形周波数成分。



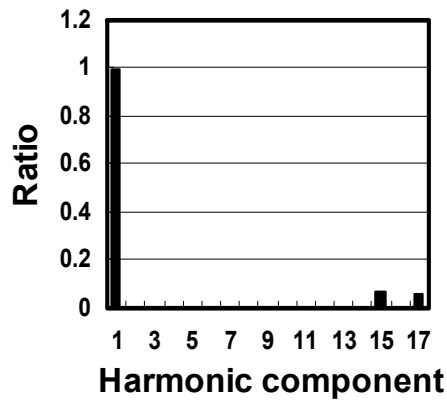
Ⅲ-2-I-③-(2)-図 2-2-5-2-7: 22.5度位相をずらした参照波形。



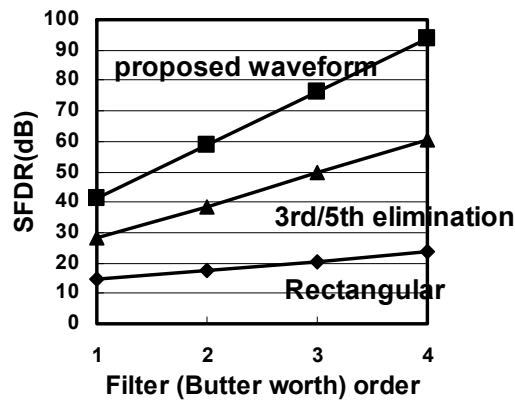
Ⅲ-2-I-③-(2)-図 2)-2-5-2-8: 7次、9次高調波に関するフェーザー、
(a) 7次高調波、(b) 9次高調波。



Ⅲ-2-I-③-(2)-図 2)-2-5-2-9: 13次までの高調波除去波形。



Ⅲ-2-I-③-(2)-図 2)-2-5-2-10: 提案波形周波数成分。



Ⅲ-2-I-③-(2)-図 2)-2-5-2-11: フィルタ次数 Vs SFDR 特性。

2)-2-5-2-3 正弦波ノイズ発生回路

高調波除去波形の原理を用いて正弦波ノイズ発生回路を設計した。Ⅲ-2-I-③-(2)-図 2)-2-5-2-12 に全体ブロック図を示す。この回路は、ノイズ電流発生回路、ノイズ電流出力回路、ノイズ周波数制御回路から構成される。ノイズ電流発生回路は7つの矩形波から前節で述べた高調波除去波形を合成する。その後、フィルタを通して正弦波で変化するノイズ電流を出力する。ノイズ電流出力回路は、ノイズ電流発生回路出力のノイズ電流を入力し、カレントミラー比を変えてノイズ電流量を変化させる。ノイズ電流発生回路は 0~20mA までノイズ電流量を変化することが出来る。この値は、例えばボンディングワイヤによるインダクタンスが 5nH の場合、100MHz のノイズ周波数で 100mVp-p 以上のノイズが発生できることを考慮してこの値にした。このノイズ電流を DUT の VDD/GND ラインに注入するが、VDD 側への注入は、ノイズ電流出力回路の NMOS で構成されたカレントミラー回路から行われる。逆に、GND 側に対してはノイズ電流出力回路の PMOS で構成されたカレントミラー回路からノイズ電流注入が行なわれる。このノイズ電流は DUT の VDD/GND ラインに接続されているボンディングワイヤのインダクタンス等によるインピーダンスで電圧ノイズに変換される。ノイズ周波数制御回路では、ノイズ周波数が所望の値になるようにノイズ電流発生回路の制御を行う。ここで、DUT のノイズ周波数応答特性を観測する場合、応答特性がノイズ周波数に対して急激に変化する可能性は小さいと思われる。そのため、精密に周波数を制御する必要はなく 1MHz の解像度程度で十分と考えられる。ノイズ周波数制御回路ではノイズ設定を 1MHz 単位で行い、ノイズ発生回路の周波数はノイズ設定の 1MHz 内に位置するような制御を行なった。

次に、前節で提案した高調波除去波形を合成するために、高調波除去波形を矩形波に分解する作業を行なう。Ⅲ-2-I-③-(2)-図 2)-2-5-2-13 に概念図を示す。提案高調波除去波形は 3 次/5 次高調波除去波形をベースとして、それらの波形を 22.5 度ずらした 3 つの波形から構成される。さらにそれぞれの 3 次/5 次高調波除去波形は 3 つの矩形波から構成される。それらの矩形波を位相毎に並べる。これらの矩形波の位相はⅢ-2-I-③-(2)-図 2)-2-5-2-13 に示されるように C1 から C7 の 7 つの矩形波に分解される。また、2 番目の 3 次/5 次高調波除去波形は振幅が Hmag だけ大きい。それらに留意して、各位相の矩形波の振幅の総和を計算するとⅢ-2-I-③-(2)-表 2)-2-5-2-1 の ideal の列となる。表より、矩形波の振幅に関して 5 つのパターンが存在することが判る。しかしながら、この ideal の値には $\sqrt{2}$ 、Hmag のような無理数を含んでおり、このままでは実際の回路として実現することが出来ない。そこで、今回は、各々の矩形波位相振幅に関して、少数第一位までの近似を行なった。それが、Ⅲ-2-I-③-(2)-表 2)-2-5-2-1 の右端の列となる。この近似により、当然、高調波抑圧度は低くなる。計算を行なった結果、3 次高調波の抑圧度はこの近似により $-\infty$ から-57dB に下がることになる。しかしながら、電源インピーダンスの変化は周波数により数十 dB も変化せず、例え、少々、DUT に注入されるノイズ電流に 3 次高調波が残っていたとしても、電源インピーダンスにより極端に 3 次高調波が大きくなることはないと考えられる。そのため、電源ノイズ測定用の正弦波としての使用にはこの近似で問題ないとした。この表の値を振幅を持つ 7 つの異なる位相を持つ矩形波を加算することで提案高調波除去波形が合成される。この振幅設定には、カレントソースのサイズ比を利用した電流設定が値を自由に設定できるという点で適している。次に、実現回路について説明する。

Ⅲ-2-I-③-(2)-図 2)-2-5-2-14 にノイズ電流発生回路の回路図を示す。この回路はリングオシレータ部、電流スイッチ部、フィルタ部から構成される。22.5 度(360 度の 1/16)の間隔を持ったクロックを発生させるために、8 段のリングオシレータを用いた。リングオシレータを構成するインバータは擬似差動構成を持っており、8 段目のインバータ出力を反転させて 1 段目のインバータにフィ

ードバックさせる。そのため、偶数段のインバータでも発振可能である。各インバータにはカレントソースが接続されており、このカレントソースの電流値を変えることでインバータの遅延時間が変化し、結果として発振周波数が変化する。差動出力に弱いラッチ回路を構成することで、差動出力に相関が生まれ擬似差動動作を行うことになる。8段のインバータ出力の内、7つの連続するインバータから出力を取り出し、電流スイッチ回路のスイッチングを行う。

これらの7つのクロックにより7つの重み付け電流源のスイッチングを行なう。電流源はⅢ-2-I-③-(2)-図 2)-2-5-2-14 に示すように、スイッチングの際の電圧変動に対して電流変動が小さくなるようにカスコード構成の電流源とし、それぞれの電流源はⅢ-2-I-③-(2)-表 2)-2-5-2-1 の値に従って重み付けがなされている。各電流源の電流は各クロックでスイッチングされた後、加算され、これにより提案高調波除去波形が合成される。

次に高調波除去波形成分を持った電流はカレントミラーに入力される。このカレントミラー回路は1次のローパスフィルタとしての役割を持っており、ここで、基本波以外の高調波成分が抑圧される。カレントミラー回路を構成するトランジスタのゲート・ソース間に容量を付加しており、この容量とカレントミラーを構成するトランジスタの gm 値でフィルタのカットオフ周波数が決まる。今回、ノイズ周波数が 200MHz 程度変わるため、ノイズ周波数値に応じて3段階に変えられるように、複数の容量のスイッチングを行なう。

次に、ノイズ周波数制御回路について説明する。アナログ回路の電源ノイズ応答特性は周波数変化に対してそれ程急峻に変化しないものと考えられる。そのため、ノイズ周波数を厳密に合わせる必要はなく、せいぜい 1MHz 範囲で変えることが出来れば、電源の共振特性も十分観測できると考えた。この仮定により、電源ノイズ周波数制御のために PLL のような複雑なアナログ回路を使用せず、全デジタル回路での制御回路の設計を行なった。Ⅲ-2-I-③-(2)-図 2)-2-5-2-15 にブロック図を示す。初めに、参照クロックとして入力した 16MHz のクロックを 16 分周し 1MHz のマスタークロックを作成する。また、ノイズ電流発生回路内のリングオシレータ出力を取り出し、周波数制御回路内のカウンタに入力する。このカウンタは 1MHz のマスタークロックによりカウント動作を繰り返し、カウンタ値をレジスタに格納する。次に、このレジスタ値と 1MHz を単位とする周波数設定ワードとの比較を行なう。比較回路ではカウンタの値と周波数設定ワードとの大小の比較が行なわれ、カウンタ値が周波数設定ワードの値以下であれば、Down を示す '0' が出力され、カウンタ値が周波数設定ワード値より大きければ Up を示す '1' が出力される。比較回路の次段に接続されるアップダウンカウンタは比較回路の出力に応じて内部レジスタの値を増減する。比較回路の出力が '0' の場合、内部レジスタの値から 1 を減算し、比較回路の出力が '1' の場合、内部レジスタの値を 1 つ増やす。アップダウンカウンタの出力はノイズ電流発生回路内リングオシレータ電流設定部に接続され、アップダウンカウンタの値によりリングオシレータ電流が変化し、それに応じてノイズ周波数が変化する。また、比較回路の出力は評価回路にも入力され、比較回路の比較結果が変わった時、すなわち、'0' → '1' 若しくは '1' → '0' への変化を検出し、アップダウンカウンタの動作をストップさせる。このような動作を行なうことでリングオシレータの発振周波数が周波数設定ワードに 1MHz の範囲内で決定されるようになる。

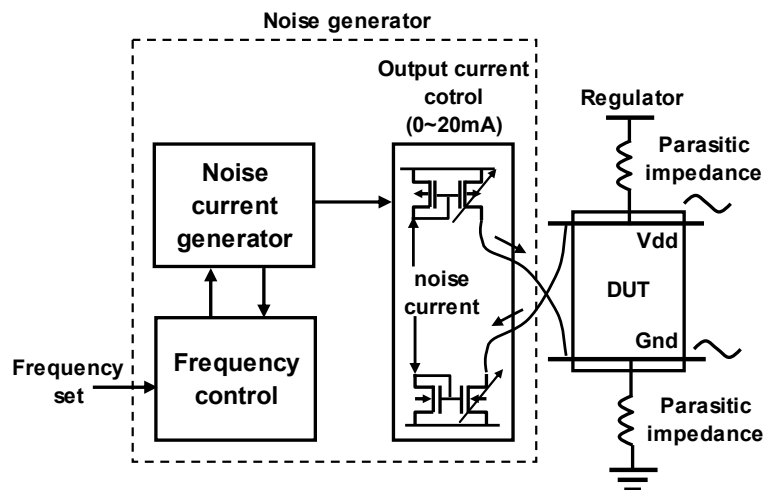
Ⅲ-2-I-③-(2)-図 2)-2-5-2-16 にシミュレーション波形を示す。下段の波形はリングオシレータで生成された 7つのクロックを示しており、それぞれ 22.5° 間隔で出力されている。中段の波形は重み付けカレントソースをクロックでスイッチングした後の合成電流波形(差動信号)を示しており、提案高調波除去波形が合成されている。図のように階段状に電流が変化しており、各段は重み付けに応じた変化量となっている。上段の波形はカレントミラーフィルタと電流出力回路を通した出力電流波形(シングル出力)となっている。フィルタや寄生容量によって中段で示した高調波除去波

形の高調波成分が抑圧され正弦波に近い波形が得られている。Ⅲ-2-I-③-(2)-図2)-2-5-2-17はⅢ-2-I-③-(2)-図2)-2-5-2-16で示した波形のFFT結果を示している。Ⅲ-2-I-③-(2)-図2)-2-5-2-17の上段の波形はⅢ-2-I-③-(2)-図2)-2-5-2-16の中段で示した高調波除去波形の周波数成分を示しており、基本周波数成分のパワーが最も大きく、次に15次、17次の周波数成分の波形が次に大きい。この傾向はⅢ-2-I-③-(2)-図2)-2-5-2-10で示した提案高調波除去波形の理論的予測と一致している。また、この波形では3次高調波が基本周波数より50dB低いところで現れている。これは、カレントソースの重み付けを近似して設計した結果であり、近似値を理想値にさらに近づけることで、この値はさらに小さくなる。Ⅲ-2-I-③-(2)-図2)-2-5-2-17の下段の波形はⅢ-2-I-③-(2)-図2)-2-5-2-16の上段の波形のFFT結果である。こちらの波形ではⅢ-2-I-③-(2)-図2)-2-5-2-17の上段に比べ2次高調波等の偶高調波が発生している。これは、カレントミラーフィルタ等をシングル動作させているためであり、カレントミラー回路の非線形性の影響が見えている。結果的に、基本波の次に2次高調波が2番目に高く見え、SFDRは24dBとなる。しかしながら、DUTの電源インピーダンスがこれらの周波数範囲で20dB以上急激に変化することは考えにくく、電源ノイズ発生電流の値としては十分な値であると考えられる。この問題に関しては、フィルタを差動化することでSFDR値を改善することが予想される。

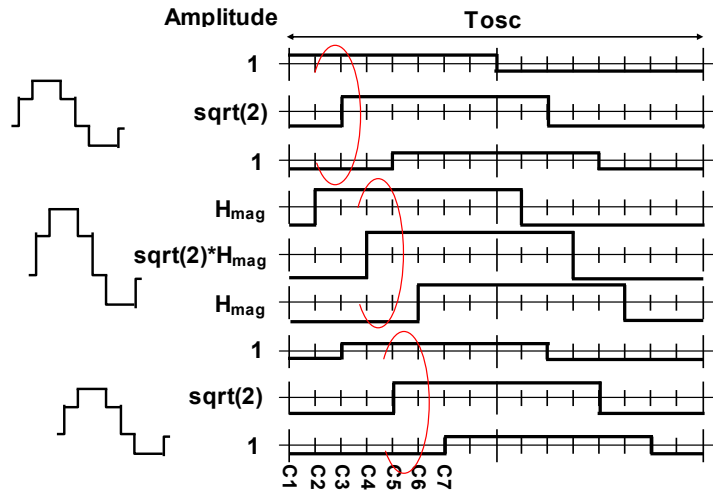
Ⅲ-2-I-③-(2)-図2)-2-5-2-18にレイアウトを示す。本回路はhp130nm(90nmノード)プロセスを用いて設計を行なった。また、レイアウト面積は175um x 260umとコンパクトに出来た。また、電源電圧は1Vで動作し、電流出力回路を除いた回路電流は100MHz発振時に1.4mAである。このように本回路はサイズ及び電流も小さいことから、アナログIPのTEGに負担なく本回路をテスト回路の一部として入れることが可能である。

Ⅲ-2-I-③-(2)-表2)-2-5-2-1: 各位相における矩形波の振幅。

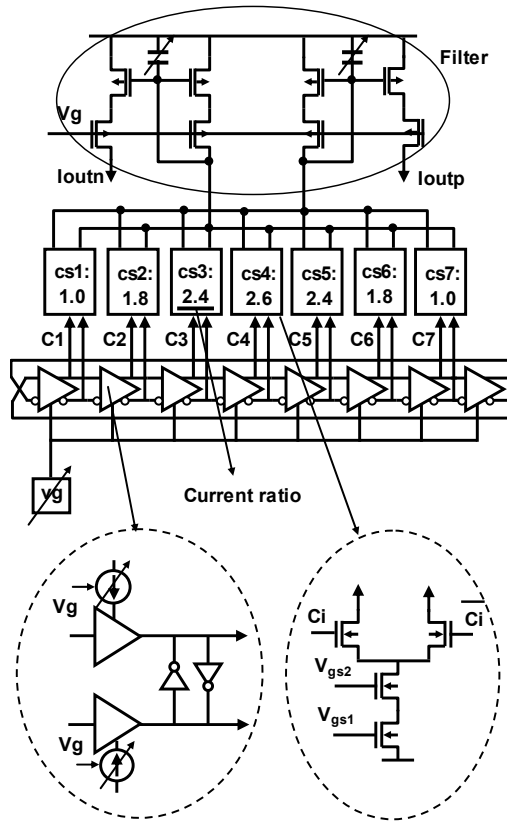
Clk	ideal	cir.
C1	1	1.0
C2	H_{mag}	1.8
C3	$\sqrt{2+1}$	2.4
C4	$\sqrt{2} * H_{mag}$	2.6
C5	$\sqrt{2+1}$	2.4
C6	H_{mag}	1.8
C7	1	1.0



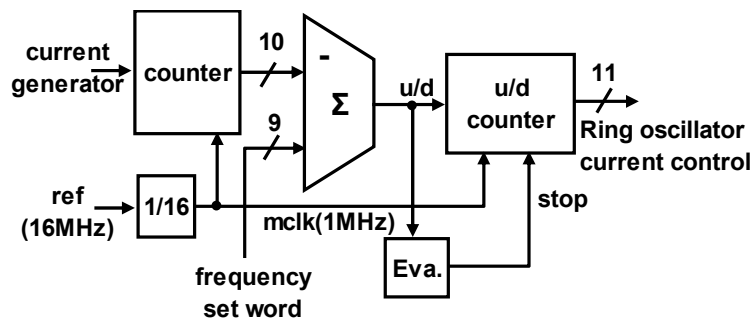
Ⅲ-2-I-③-(2)-図2)-2-5-2-12: 正弦波ノイズ発生回路ブロック図。



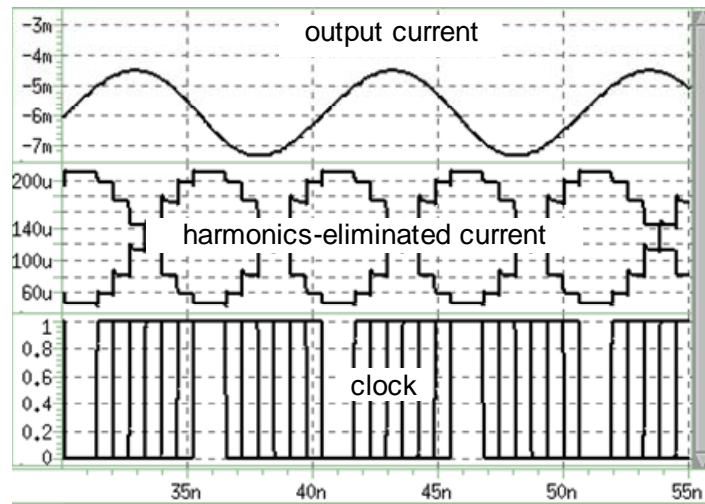
III-2-I-③-(2)-図 2)-2-5-2-13: 提案高調波除去波形の矩形波への分解。



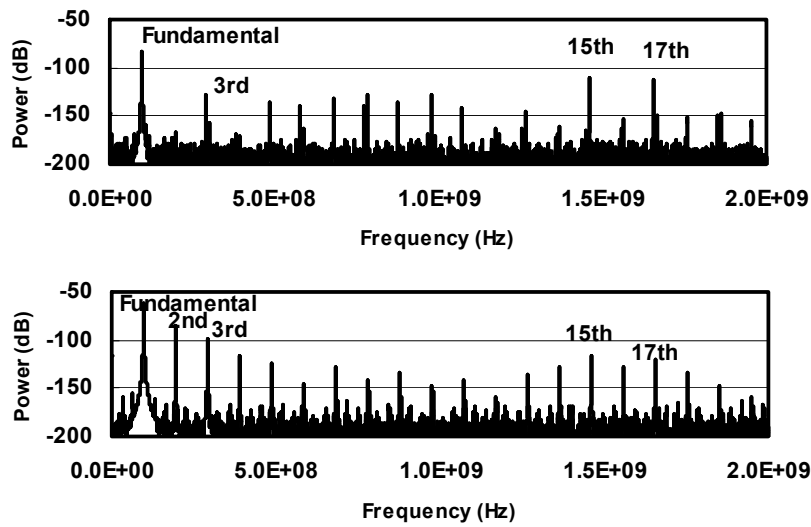
III-2-I-③-(2)-図 2)-2-5-2-14: ノイズ電流発生回路。



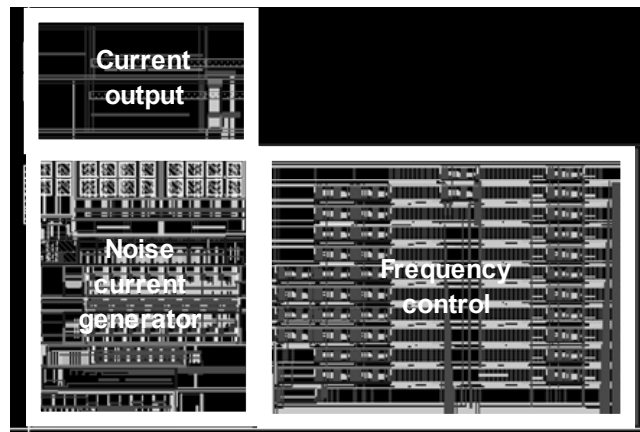
III-2-I-③-(2)-図 2)-2-5-2-15: ノイズ周波数制御回路ブロック図。



III-2- I -③-(2)-図 2)-2-5-2-16: シミュレーション波形。



III-2- I -③-(2)-図 2)-2-5-2-17: シミュレーション波形の FFT 結果、
(上段)高調波除去電流波形(差動)、(下段)フィルタ出力波形(シングル)。



III-2- I -③-(2)-図 2)-2-5-2-18: 正弦波ノイズ発生回路レイアウト図。

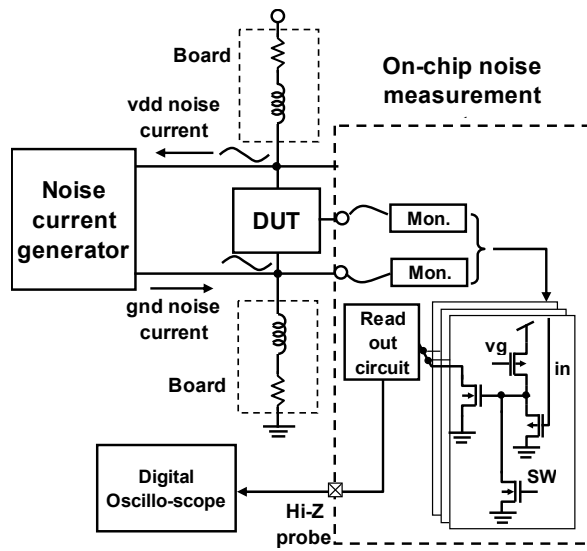
2)-2-5-2-4 テストチップによる評価結果

チップ内部で生じている電源ノイズをチップ外で直接観測することは困難である。そのため、オンチップモニタシステムを用いた。Ⅲ-2-I-③-(2)-図 2)-2-5-2-19 に測定系を示す。まず、チップ内部の電圧はソースフォロワとトランスコンダクタンスアンプにより電流信号に変換される。また、モニタスイッチがこのシステムに内蔵されており、多数のモニタから1つを選択し、チップ外に電流を取り出すことが出来る。チップの外には電圧変換用の外付け抵抗がボードに実装されており、この抵抗により出力電流が電圧に変換され、オシロスコープ等の測定器で波形の評価を行う。このモニタ回路は1GHzの帯域と±200mVの線形応答領域を持っており、今回のノイズ波形の評価に十分な特性を持つ。本チップではこのようなオンチップモニタシステムを用い DUT の電源ノード及び出力端子の波形観測を行なった。正弦波ノイズ発生回路からのノイズ電流は、ボード上の11Ωの寄生抵抗、ボンディングワイヤによるインダクタンス及び寄生容量により形成される電源インピーダンスにより、電圧ノイズに変換される。

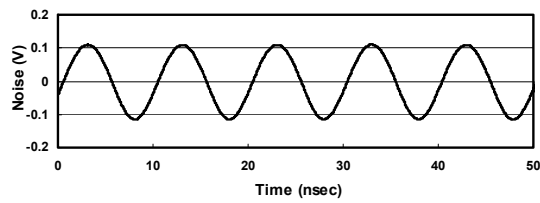
Ⅲ-2-I-③-(2)-図2)-2-5-2-20に、オンチップモニタシステムで観測した、ノイズ周波数100MHzでのグラウンドに生じたノイズ波形を示す。210mV_{p-p}の振幅を持つ正弦波ノイズがグラウンドに生じていることが観測された。また、出力電流制御回路の値を変化させることで、モニタの線形出力範囲内で振幅が制御回路の値に比例して変換することも観測出来た。Ⅲ-2-I-③-(2)-図2)-2-5-2-21にⅢ-2-I-③-(2)-図2)-2-5-2-20で得られた波形のFFT解析結果を示す。回路のシングル動作を反映して、第2高調波が基本波の次に大きく見えているが、40dBのSFDRを観測することが出来た。

Ⅲ-2-I-③-(2)-図2)-2-5-2-22に、ノイズ周波数設定ナンバーに対するノイズ周波数値を示したグラフを示す。本ノイズ発生回路は20MHzから220MHzの周波数範囲内のノイズを発生することが出来る。この周波数範囲はリングオシレータの発振範囲で決まっている。また、各ノイズ周波数においてノイズ周波数設定ナンバーに対し、1MHzの範囲内でノイズが発生していることを確認した。また、図に示すように低周波数領域及び高周波数領域でも正弦波に近いノイズが得られていることを確認した。Ⅲ-2-I-③-(2)-図2)-2-5-2-23は各ノイズ周波数におけるSFDR特性を示す。各周波数において、Ⅲ-2-I-③-(2)-図2)-2-5-2-21に示した100MHz時の時と同様に2次高調波が最も大きな高調波となり、そこで、SFDR特性が決定される。さらに、3次高調波はいずれにおいても2次高調波より10dB以上低い値を示していた。SFDR特性が最も良い領域は100MHz近辺で、低域側になってくるとSFDR特性が劣化する。これは、搭載できる容量サイズの関係でカレントミラーフィルタのカットオフ周波数が65MHzとノイズ周波数に対し高めに設定されていることが原因と考えられる。また、高域でのリングオシレータ発振境界領域ではノイズ波形振幅が不安定であり、これもまた、高域周波数でのSFDRを劣化される原因となっている。

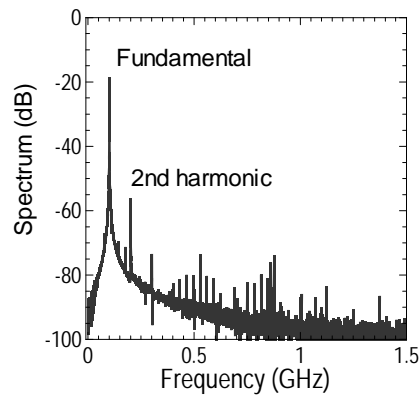
本ノイズ発生回路を用いて、回路のノイズ応答特性の周波数領域での評価が可能となる。そこで、テスト回路における電源ノイズ除去比(PSRR)特性を評価した。Ⅲ-2-I-③-(2)-図2)-2-5-2-24にテスト回路の回路図を示す。ノイズ電流がグラウンド線に注入されグラウンド線の寄生インピーダンスにより電源ノイズに変換される。また、この電源ノイズが回路のPSRR特性により出力端子に現れる。そこで、ノイズモニタ回路をグラウンド線とテスト回路の出力端子に接続し、各端子に現れるノイズの振幅を評価して割合を求めることでPSRR特性を求めた。Ⅲ-2-I-③-(2)-図2)-2-5-2-25にシミュレーションと評価でのPSRR特性の比較を示す。評価結果はシミュレーションにより求めたPSRR特性と良く一致しておりオンチップでの周波数特性評価の妥当性が確認された。



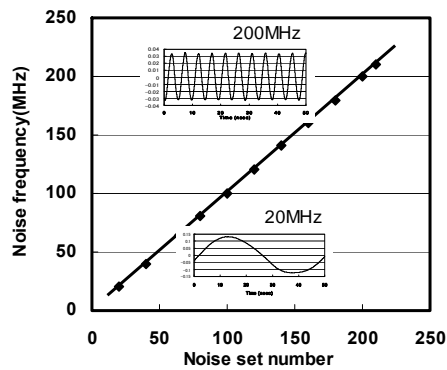
III-2-I-③-(2)-図 2)-2-5-2-19: オンチップノイズ測定系。



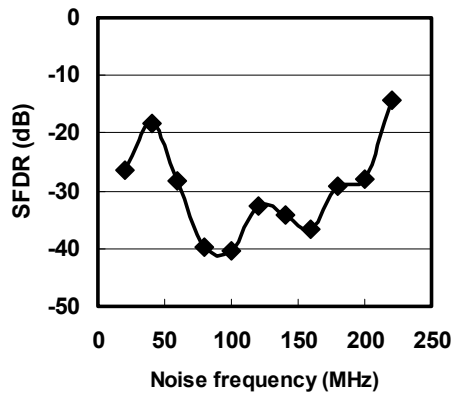
III-2-I-③-(2)-図 2)-2-5-2-20: 100MHz 時のグラウンドノイズ波形。



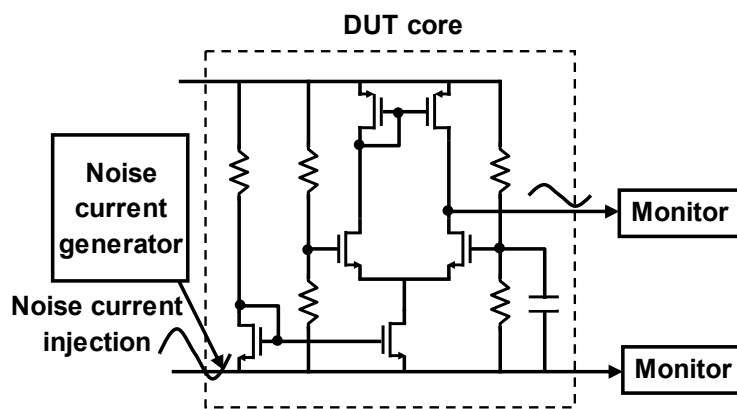
III-2-I-③-(2)-図 2)-2-5-2-21: グラウンドノイズ波形の FFT 解析結果。



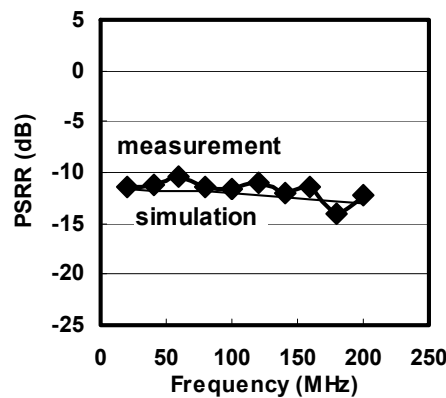
III-2-I-③-(2)-図 2)-2-5-2-22: ノイズ周波数設定ナンバーVs ノイズ周波数。



III-2-I-③-(2)-図 2)-2-5-2-23: 各ノイズ周波数における SFDR。



III-2-I-③-(2)-図 2)-2-5-2-24: PSRR 測定のためのテスト回路。



III-2-I-③-(2)-図 2)-2-5-2-25: ノイズ発生回路による PSRR 測定結果。

2)-2-5-2-5 まとめ

高調波除去波形を用いた正弦波ノイズ発生回路を提案し、それによりアナログ回路の電源ノイズ耐性を周波数領域でオンチップ評価可能なテスト回路を実現した。高調波除去波形作成に関して、従来波形より高域の高調波が除去された 13 次までの高調波除去波形の作成方法の指針を与えた。また、その波形を利用して、比較的簡素な回路で構成される正弦波発生回路を実現した。評価の結果、20MHz から 220MHz までの正弦波ノイズ発生が得られ、良好な SFDR 特性を得るこ

とが出来た。さらに、正弦波ノイズ発生回路を用いることで、オンチップでテスト回路の PSRR 特性が評価できることを示した。本回路のノイズ発生範囲は内蔵リングオシレータ特性で決まっており、リングオシレータ回路を改良することで、さらに高域の正弦波ノイズ発生も可能である。このようなオンチップ正弦波回路を用いることにより評価効率が向上するとともに、回路自体は信号発生回路として今後、他分野での応用展開も可能である。

2)-2-6 まとめ

本開発では、アナログ基本回路における「ばらつきとノイズ感度」に関して集中的な開発を行った。アナログ基本回路の評価回路 IP をアレイ化したテストチップを開発し、また「ばらつきとノイズ感度」のその場評価システムを確立した。また、「ばらつき」と「ノイズ」がアナログ回路に及ぼす影響に関して、回路シミュレーションによる解析性を向上するため、デバイス等価回路モデルによる「ばらつきとノイズ感度」の表現手法を開発した。さらに、「ばらつきとノイズ感度」の主たる支配要因である基板結合感度を考慮して、デバイスサイズ選択とレイアウト構造を決定する指針を導出した。

アナログ・デジタル混載 VLSI における基板ノイズの解析には、デジタル回路によるノイズの発生、シリコン基板中のノイズの伝搬、アナログ回路のノイズ感度、の三要素を精度良く表現する手段が欠かせない。一般に、従来の研究開発で前二者については広く研究開発がなされており、チップレベル基板伝播解析ツールとして商用化・実用化がなされている。他方、アナログ回路のノイズ感度はこれまで課題として残されており、本開発を通して実験的かつ解析的な理解を進めることが出来、最終的にチップレベル伝搬解析とトランジスタレベル感度解析を結合した、基板ノイズの統合的解析技術を構築することが出来た。

2. 研究開発項目毎の成果

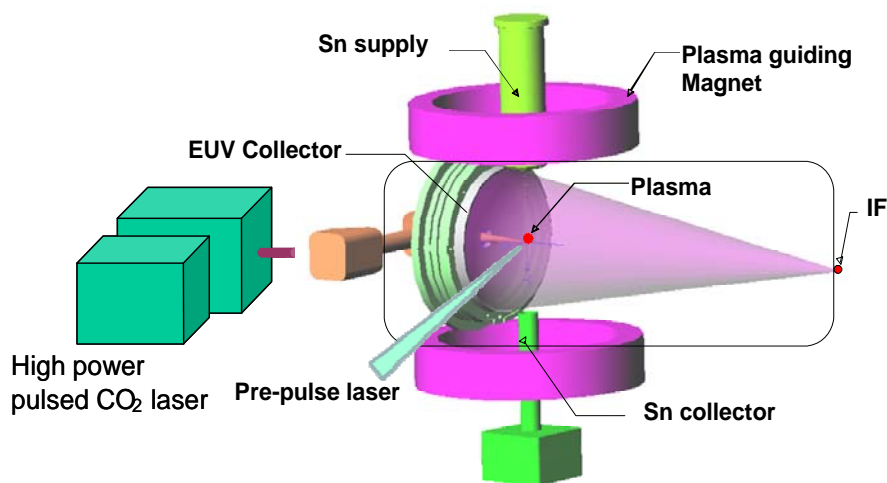
(1) LPP 光源

EUVA 平塚研究室においては、レーザ生成プラズマ(LPP: Laser Produced Plasma)方式による EUV 光源高信頼化技術の開発 NEDO 委託研究(MIRAI)と拡張性を有する高出力 EUV 光源の開発(EUVA 自主研究)を実施している。ここでは MIRAI 委託研究の光源高信頼化技術を中心にして述べる。ここでは、III-2-II-⑤-(1)-図 1(a)に示すような高出力炭酸ガス(CO₂)レーザと錫(Sn)ドロップレットターゲットおよび磁場プラズマ制御を用いた EUV 光源の開発を進めた[1]。

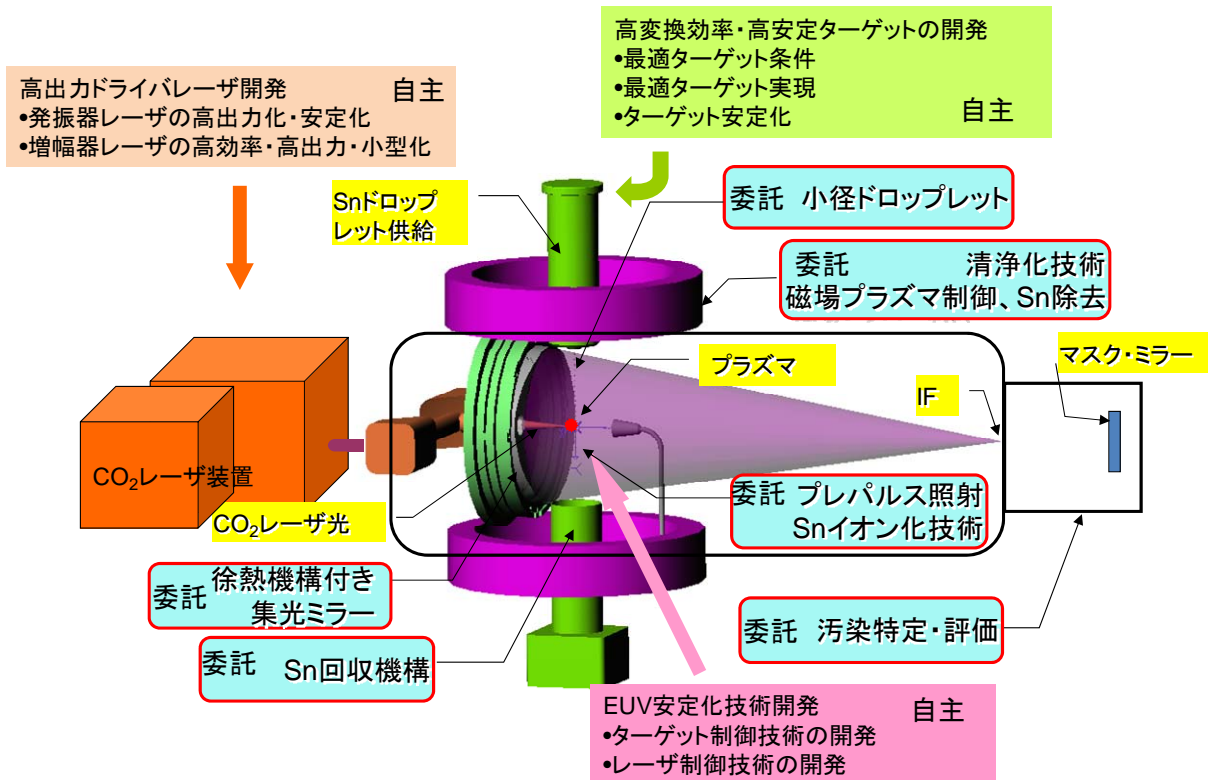
LPP 光源においては、大出力のパルスレーザ光をターゲット上に集光照射することにより、EUV 光を効率良く放射する高温高密度のプラズマを生成する。この LPP 光源の最大の特徴は、出力の拡張性である。基本的には、ドライブレーザの出力を増加させることによって、EUV 光源の高出力化を実現することができる。また、プラズマが比較的小さいため、発生した EUV 光を効率的に利用できるという特徴がある。さらに、プラズマと他の構造物との距離が長く取れ、プラズマがフリースタンディングであるために、熱の処理が比較的容易である。以上の特徴から LPP は量産用 EUV 光源となり得る可能性が高いと考えられる。一方、実用 EUV 光源として中間集光点で 115 W を得るためには、レーザ出力として 10 kW 以上の大きな出力が必要と試算され、装置構成も大型となる。このため、装置構成が複雑なために研究から実用化に時間を要すると共に、装置コストが比較的高くなるという課題がある。レーザの発振効率の改善と共に、レーザから EUV への変換効率(CE; Conversion Efficiency:)の向上が、LPP 光源の実用化への重要な技術課題である。

これらの課題を解決するために、高出力 CO₂レーザと Sn ドロップレットターゲットを用いた LPP 方式 EUV 光源を開発している(III-2-II-⑤-(1)-図 1(a))。従来、プラズマ生成のドライブレーザとしては、YAG レーザが用いられてきたが、CO₂レーザを用いることにより、変換効率の向上や、デブリの低減で利点があることが本プロジェクトにおいて判明した。技術的に完成度の高い CO₂レーザ技術を元に、高出力パルス増幅器 CO₂レーザシステムを開発している[2]。ターゲット材質として、Snを用いた場合には、比較的高い EUV 変換効率を得られる利点がある。一方で、Snデブリ(飛散粒子)の発生は、高価な EUV 集光ミラーの長寿命化の観点で問題となる。これに対しては、磁場によるイオン制御を用いた集光ミラーの保護技術の開発を進めている。

NEDO 委託研究(MIRAI)と EUVA 自主研究の研究テーマの概要を III-2-II-⑤-(1)-図 1(b)に示す。以下に、NEDO 委託研究(MIRAI)で実施の「EUV 光源高信頼化技術開発」と、EUVA 自主研究で実施の「拡張性を有する高出力 EUV 光源の開発」に関する、EUVA 平塚研究室の研究成果を報告する。



III-2-II-⑤-(1)-図 1(a) LPP 方式 EUV 光源装置の構成



III-2-II-⑤-(1)-図 1(b) NEDO 委託研究(MIRAI)と EUVA 自主研究の研究テーマ

参考文献

[1] H. Mizoguchi et al.: Proc. SPIE, Vol. **7636** (2010) ,763608
 [2] T.Ohta et al.: EUVL Symposium 2010 SO-P03

1) LPP 光源における「光源起因マスク・ミラーの汚染評価技術の開発」

LPP 光源側より発生する燃料デブリの流入計測技術として、LIF(Laser Induced Fluorescence; レーザ誘起蛍光法)を用いた Sn 計測技術の開発を進めた。平成 20~21 年度は、開発した LIF 計測装置を用いて、レーザーアブレーションにより生成した Sn 原子の IF 点での計測可能性を検証した。この結果、反射率低下が 10% 以下となる Sn 汚染量に相当する Sn 原子密度 2×10^6 個/cm³ の測定感度を達成した。

平成 22 年度は、さらに高感度を目指して、フォトンカウンティングを用いた超高感度 LIF 錫計測技術の開発を実施した。

2) LPP 光源における「集光光学系の清浄光源モジュールの開発」

平成 20 年度より、Sn イオンに対する磁場による制御技術、及び、Sn 中性粒子の影響低減のための技術の開発を進めた。平成 21 年度は、磁場とミラーの組み合わせによる、清浄化のための要素技術を総合的に実証するための設備を整備した。一方、中性 Sn による集光ミラー汚染対策として、Sn 原子の発生低減とイオン化技術の開発を行った。Sn 原子の発生低減技術として、小径 Sn ドロップレット・ターゲットの開発とプレパルス照射技術の開発を行った。また、Sn 原子のイオン化に関しては、レーザー共鳴吸収によるイオン化の基礎実験と実用化検討を実施した。更に、集光コレクタ表面に堆積した Sn の除去技術として、エッチングガスを用いたクリーニング技術の LPP 用直入射コレクタへの適用検討と基礎実験を実施した。この結果、エッチングガスが磁場イオン回収に影響を与えないことを確認した。

平成 22 年度は、量産レベルでの清浄化技術の総合試験を実施するために、平成 21 年度に実施した小径

Snドロップレット・ターゲットとプレパルス照射技術開発の最適化と改良を進めた。この結果、 $<20\ \mu\text{m}\ \phi$ の小径化ドロップレットの安定生成が可能となった。また、小径化ドロップレットへのプレパルス照射により、デブリの消失することを確認した。コレクタ表面に堆積したSnの除去技術に関しては、平成21年度の成果をもとに、大面積・均一Sn除去技術を開発した。

3) LPP 光源における「高出力対応熱管理技術の開発」

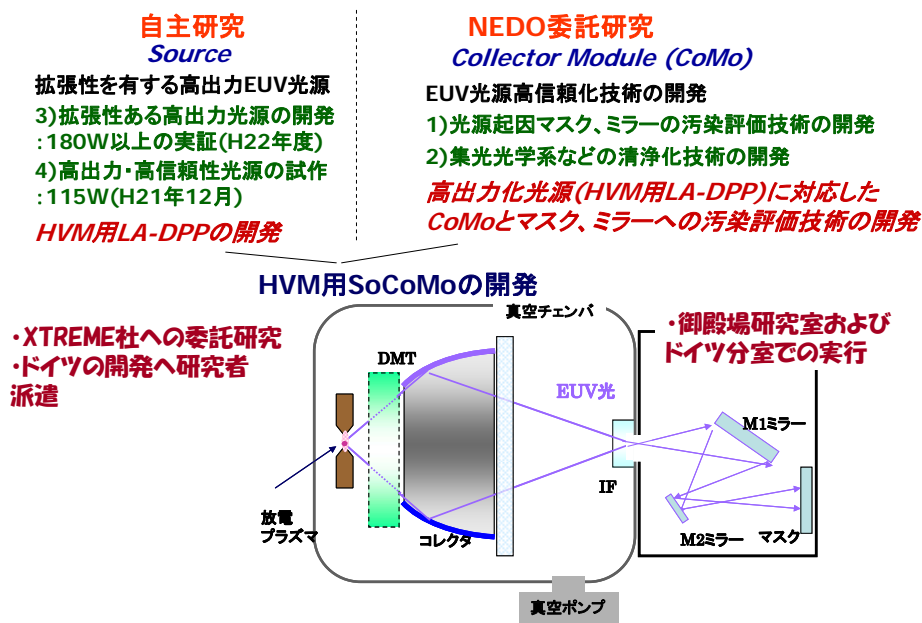
平成 20 年度は、計測データに基づいて高出力動作時のコレクタへの入熱量を算出し、これによるコレクタの熱応力変形と IF 位置での EUV 集光像への影響をシミュレーションにより評価した。シミュレーションの結果、適切な冷却機構によりこの入熱量に対して IF 位置での EUV 集光像を保持できる見込みを得た。平成 21 年度は、平成 20 年度の開発結果を基に冷却機構を備えた直入射コレクタを試作した。さらに、EUV 反射率 $>50\%$ という要求仕様を満たす、直径 300mm の直入射コレクタを製作した。平成 22 年度は、21 年度の実績をもとに、EUV 反射率 $>50\%$ 、直径 400mm の実用レベルの大口径の直入射コレクタを製作した。

(2)DPP 光源

EUVA 御殿場研究室では、NEDO 委託研究と自主研究において、III-2-II-⑤-(2)-図 1 に示す様に、EUV 光源高信頼化(NEDO 委託研究(MIRAI))と高出力化技術開発(自主研究)において DPP(Discharge Produced Plasma)の開発を行っている。実用化に向け開発しているDPPのタイプは、高出力化、長寿命化、高信頼化、低コスト化、などの観点で優位な回転電極 LA-DPP (Laser Assisted DPP:レーザ融合型 DPP)である。NEDO 委託研究(MIRAI)では御殿場研究室のドイツ分室をドイツ XTREME 社に設け、また、自主研究においては、XTREME 社に委託研究を行い、また、研究者を派遣して、開発を進めた。

委託研究においては、LA-DPP の 180W 出力想定時の高信頼化に取り組んだ。光源起因マスク・ミラーの汚染評価では高精度反射率測定 of 可能な汚染評価装置を開発、また清浄化技術の開発では、中性デブリおよび高速イオンデブリの発生低減(Sn 塗布膜薄膜化、アドバンストリガーレーザ)と高デブリ捕獲可能な DMT (Debris Mitigation Tool)を開発した。また高出力熱管理技術として、HVM レベルの DeCo (Debris Mitigation Tool-Collector Module)を一体化した温度-構造-光学連携シミュレーション、発光点での放射成分(輻射、非輻射成分)の計測、そして Sn 循環装置の開発を行った。その結果、180W レベルの高信頼化の基盤技術を確立した。

自主研究は、独 XTREME 社(ウシオ子会社)への委託と御殿場研究員の派遣により、高出力化の検討を行った。180W 出力実証のため、発光点出力 $1.7\text{kW}/2\ \pi\ \text{sr}$ を目標とした。要素技術として電極回転数(7.5Hz)と放電高繰り返し化(20kHz)を検討し、Sn 塗布膜薄膜化、ドライバレーザの高繰り返し化などにより達成した。現状の発光点出力は $1.5\text{kW}/2\ \pi\ \text{sr}$ であり、更に $1.7\text{kW}/2\ \pi\ \text{sr}$ に向けて開発中である。



III-2-II-⑤-(2)-図1 DPP光源の「EUV光源高信頼化・高出力化技術開発プロジェクト」

1) DPP光源における「光源起因マスク・ミラーの汚染評価技術の開発」

平成 20～21 年度にかけて、マスク・ミラー汚染損傷評価装置を開発、その基本性能評価実験を行った。本装置に搭載された XPS により、光源から流入する光源起因のコンタミネーションの特定を行うことができた。反射率測定系の測定精度は、1%を目標とし、測定精度の改善に注力し、0.8%以下の測定精度を実現した。汚染評価技術の目的は、3,000 時間における 10%反射率低下を評価できる技術を確認することにあるが、3,000 時間という長時間での評価測定は困難であるため、加速試験を検討し、シミュレーションなどにより加速試験の正当性を検討した。また、レーザ融合型 DPP(LA-DPP: Laser assisted DPP)のプラズマヘッドを製作し、汚染評価に使用した。

平成 22 年度は汚染評価装置をドイツに移送し、XTREME 社(独)の LA-DPP の実機に搭載した EUV 光のもとでの光源起因の露光光学系マスク・ミラーの汚染評価実験(総合評価実験)を実施した。汚染評価装置の反射率測定精度は±0.2%(目標とする 3,000 時間の寿命測定誤差±6 時間)まで向上できている。また、この汚染評価装置には、XPS を具備しており、微少な汚染物質を特定できる。総合評価実験の目標は 180WEUV 光下における 3,000 時間でのミラー反射率 10%低下の測定を可能とする評価技術の確立である。しかし、現時点では、180W 光源での 3,000 時間という長時間での評価測定は困難であるため、シミュレーションなどでの検討による加速試験を行った。その結果、IF 以降への Sn の流入が無く、また C,O 汚染による反射率低下は、評価ミラーが IF から離れた方が大きい傾向があることがわかった。反射率低下の大きいミラーから、コレクタ反射率低下は 2.1%@3,000 時間と見積もられた。

2) DPP光源における「集光光学系の清浄光源モジュールの開発」

平成 20 年度は、可動式フォイルトラップ、バッファガス・差動排気、及びガスカーテン機構の基礎性能を評価した。平成 21 年度は、この評価結果を基に、更なるデブリの発生低減と高効率捕獲を実現する技術の開発を進め、ドイツ分室で装置の開発を進めた。デブリの発生の低減のためには、LA-DPP の回転電極の Sn 塗布厚を高精度均一化することにより、中性デブリの発生を抑止する技術と、トリガーレーザの照射に関する新方式により、高速イオンデブリの発生を大幅に低減することが可能となった。デブリの高効率捕獲のために、高速デブリ及び LA-DPP に特有の粒子状デブリのほとんどが捕獲可能な新たな DMT (Debris mitigation tool) の開発を行った。

平成 22 年度は中性デブリおよび高速イオンデブリ発生の低減技術開発とデブリの高捕獲率 DMT(Debris Mitigation Tool)の開発を更に進めた。中性デブリは、回転電極への Sn 塗布厚の均一化と薄膜化(従来の 1/10 の 10 μ m)により、粒径で平均して 1/3 に低減することができた。また、高速イオンデブリは上記のアドバンスドレーザトリガーの適用によりそれまでの 1/5 に減らすことができた。デブリ防御のため、高デブリ捕獲率 DMT(Debris mitigation tool)を開発した。その結果、コレクタへの Sn の堆積は動作ショット数によらず 0.1nm 程度で、一方で、2nm/Gs 程度の Ru 反射面のスパッタが見られた。しかし、Ru の表面状態の変化はなく、反射率の低下は測定されなかった。以上により、1年以上のコレクタ長寿命化の基盤技術が確立した。

3) DPP 光源における「高出力対応熱管理技術の開発」

DPP 用斜入射コレクタの熱管理技術について、平成 20 年度は、熱-構造シミュレーションによる熱変形評価を行ったが、平成 21 年度では、更に、熱-構造-光線複合シミュレーションを開発し、熱変形による IF での光学特性変化の解析を進めた。また、同時に、ドイツ分室において、 β 機用 LA-DPP にコレクタを搭載し、実機におけるコレクタの温度上昇を実測した。その結果をシミュレーションに反映させ、シミュレーションの精度を上げることができた。これにより、コレクタの熱変形と IF 変動の高精度シミュレーション技術を構築した。

平成 22 年度は HVM レベルの DeCo (Debris Mitigation Tool - Collector Module)を一体化した温度-構造-光学連携シミュレーション技術の開発、発光点(プラズマ)からの放射成分(輻射、非輻射成分)の計測、および HVM レベル大型コレクタの温度上昇の実測により、DeCo の熱管理技術を確立した。DeCo の一体化シミュレーションは、DMT の構造体(サポート、熱シールド、等)の影響で、コレクタへの熱負荷が減少するので、不可欠である。DeCo のシミュレーションにおいては、高精緻化するため、新手法(光線追跡で、DeCo への熱負荷を局所的に見積もる手法)を考案した。また、輻射、非無輻射成分を実測してシミュレーションと比較した。シミュレーションは実測した温度上昇を再現している。更に LA-DPP においては、回転電極の温度上昇が出力安定性に影響する。そこで、回転電極温度を一定にするため、Sn 循環装置の熱管理技術の開発を行った。

4) DPP 光源における「IF 変動防止技術の開発」

平成 20 年度より IF 変動防止のための高速自動アライメント技術の開発を行い、平成 21 年度、ほぼ完了した。ファジー推論と学習効果機能を適用したアルゴリズムを開発し、アライメント時間を 1s まで短縮することができた。更に、IF 変動ライブラリを併用することにより、この時間を 0.5s にまで短縮できた。また、光源側で IF 特性をモニタする方法を開発し、IF 透過後の角度分布と同等な特性をモニタできることを光線追跡シミュレーションにより確認し、このモニタを製作することにより、実験においても有効性を確認した。このように、光源側だけで、IF 変動防止できる有用な技術を開発できた。

(3) 自主研究「拡張性を有する高出力 EUV 光源の開発」

技術研究組合 極端紫外線露光システム技術開発機構(EUVA)では MIRAI プロジェクト「EUV 光源高信頼化技術の開発」と並行して自主研究「拡張性を有する高出力 EUV 光源の開発」を進めてきた。その主な結果を簡単に述べる。

3.1) LPP 光源における自主研究「拡張性を有する高出力 EUV 光源の開発」

平成 20~21 年度は試作光源(ETS; Engineering Test Stand)を用いて、高出力化を検討し、発光点出力 131W を観測した。発光条件は CO₂レーザ出力 5.6kW、Duty20%、Sn ドロプレット径 60 μ m ϕ である。これは IF 換算出力 69W に相当する。

平成 22 年度はこの ETS 試作光源を用いて、EUV 高出力化を実施し、IF 出力 104W 相当を観測した。発光条件は CO₂レーザ出力 7.9kW、Duty20%、Sn ドロプレット径 60 μ m ϕ である。このときの CE (Conversion

Efficiency: EUV 変換効率)は、プリパルス手法により 2.5%に向上した。また高信頼性に関して、Sn ドロプレットの位置安定性向上をはかり、 $\pm 20 \mu\text{m}$ の位置安定性を達成した。これらの成果を元に、EUV 出力 $>180\text{W}$ の拡張性の検証を目的として、プロト機的设计・製作とシステム試験を行った。

3.2) DPP 光源における自主研究「拡張性を有する高出力 EUV 光源の開発」

平成 20～21 年度は β 機用 SoCoMo (Source Collector Module)を用いて EUV 光源の長期安定性、および高出力化を検討した。発光点 420W、IF 点出力 14W (3 シェル)、Duty100%の EUV 出力を実測した。これは 9 シェルコレクタで 34Wに相当する。また、4週間以上に亘って 60%以上の稼働率を実現した。更に、電源の高繰返し化を図った結果、発光点出力 1kW、Duty10%を達成した。これは IF 点出力 100Wに相当する。

平成 22 年度は、出力 180W@IF の実証のため、LA-DPP (Laser Assisted DPP)における発光点出力 1.7kW/ $2\pi \text{sr}$ を目標とする高出力化開発を行った (XTREME 社(独)への研究委託と御殿場研究室員のドイツ分室派遣)。高出力化のためには高 CE (Conversion Efficiency)での高繰返し動作が必要である。御殿場研究室の独自技術であるアドバンスドレーザートリガーは CE 向上に有効で、既に 35W レベル(繰返し 7.5kHz)の LA-DPPに適用されている。そこで、180Wの実証を目指し、アドバンスドレーザートリガーの 20kHz 程度の高繰返し動作が実現する回転電極の高速回転化とトリガーレーザーの高繰返し化の開発を行った。その結果、発光点出力 1.5kW 出力を達成した (IF 出力 150W (Raw) 相当; パルス出力 4J、繰返し 18kHz、CE2%、Duty20%、Burst 時間 200ms)。

IV 実用化・事業化の見通しについて

1. 実用化・事業化の見通しについて

I. 次世代半導体材料・プロセス基盤技術開発

① 新構造極限CMOSトランジスタ関連技術開発 [U-CMOS]

- (1) ソース・ドレイン材料・構造の制御によりCMOSの駆動力を高める技術の開発
- (2) キャリア輸送特性を向上してCMOSの駆動力を高める技術の開発
- (3) 微細な低消費電力・高電流駆動力トランジスタによる実証
- (4) 計測・モデリング技術の開発

上記(1)～(4)の各開発項目は、実用化にあたっては相互に関連するため、まとめて説明を行う。

1) 事業規模

本研究開発の適用される事業分野は、主としてロジックLSI、あるいはこれらをアナログ回路やSRAMやDRAMメモリー等と集積化したSoC (System-on-Chip)などの集積回路デバイスである。WSTS (WORLD SEMICONDUCTOR TRADE STATISTICS:世界半導体市場統計)の2010年秋季市場予測会議によると、hp32世代が実用化される2012年の半導体全製品の世界市場の予測値3315億ドルに対し、その48%に上る1597億ドルが上記集積回路デバイスの市場となることが予測されている。

2) 開発した技術の適用範囲

本研究開発で開発された技術は、上記ロジックLSIやSoCデバイスを構成するCMOSトランジスタを作製するためのプロセス技術、あるいは、材料技術、計測評価技術、さらには設計時に必要となるモデリング技術として実用化に貢献する。たとえば、2009年のITRSロードマップにおいて、2012年に実用化予定のhp32世代に対応するLSTP(Low Standby Power)テクノロジーにおいて、オン電流スペックを満たすための移動度増大率(1.8倍)を得るための技術はまだ最適化されていないことになっている。また、より配線間隔の狭い、2013年に実用化予定のhp27世代以降の世代においては、必要な移動度増大率を得るための解が存在しないことになっている。これは、現状技術による移動度増大が、ストレスライナーなど、トランジスタ外部からひずみを加えることにより得られていることに起因する。すなわち、トランジスタ同士の間隔が狭くなる微細世代においては、十分なストレスの体積を確保できず、したがって必要な大きさのひずみをSiチャンネルに印加することが困難であるためである。

このような課題に対し、本研究開発でデバイス試作を行ったひずみSOIやひずみSGOIチャンネルトランジスタにおいては、チャンネルのひずみは外部から印加されるのではなく、チャンネル自身が基板の状態から内包していたものであり、本質的にトランジスタ間隔に対する影響は受けにくい。特に、SGOIにおいては、Ge組成の増大に伴いひずみSiの限界を超える移動度増大が得られるため、オン電流スペックの達成において、ゲート絶縁膜のEOTや、電源電圧に余裕が生じる。これらの効果により、従来から享受してきたCMOSスケーリングによる単位機能あたりの消費電力の低減というメリットをhp32以細の世代においても引き続き享受することが出来る。ところで、このようなSiGeチャンネルトランジスタ、あるいは、その究極としてのGeトランジスタに対しては、従来のSiに対するコンタクト技術やゲートスタック技術をそのまま用いることは出来ない。本研究開発で得られたSiGeやGeに対するメタルソースドレイン技術や、high-k/メタルゲートスタック材料・プロセス技術といった要素技術群は、これらSiGe/Geトランジスタの基本的なコンタクト技術、およびゲートスタック技術等として、それぞれ適用されるものである。

これら高移動度チャンネル技術や、メタルソースドレイン技術、high-k/メタルゲートスタック材料・プロセス技術は、最先端の微細トランジスタのみに有効な技術ではなく、よりサイズの大きいトランジスタに対しても性能向上、あるいは低消費電力化といった付加価値を与えうるものである。したがって、たとえば現行のリソグラフィー技術で作製できるサイズのCMOSトランジスタに適用して高性能化、低消費電力化を図るといった応用も可能である。

一方、LSIの設計においては、トランジスタ特性を簡略なモデル化して取り込んだTCADによるシミュレーションが欠かせない。しかしながら、微細なトランジスタにおいて顕在化してくる準バリスティック電子輸送を考慮したTCADシミュレータは存在しない。本研究開発で得られたバリスティックトランジスタの輸送特性予測技術を既存のTCADソフトと融合させることにより、上記シミュレータを実現することが可能となる。このようなTCADシミュレータの実用化により、hp32世代以降の極微細CMOSトランジスタを用いた回路設計の精度向上が期待できる。

3) 実用化における課題

本研究開発で開発した技術を実用化して前節のような効果を得るためには、解決すべき技術課題が残存している。また、技術的な課題が解決されたとしても、コストなどの実用化の課題もクリアする必要がある。開発した技術ごとに、現在顕在化している課題を表IV-1-I-①-3)にまとめる。

表IV-1-I-①-3) 技術課題と実用化における課題

技術項目	開発した技術	残存する技術課題	実用化における課題	
メタルソースドレイン技術	NiGe/n-Ge:P,S 接合(nMOS) NiGeSi/SiGe接合 (pMOS) ショットキーバリア高さの制御に関する知見	信頼性検討(オフリーク)特性ばらつき更なる抑制 歩留まりの更なる向上	CMOS化プロセス開発	
ひずみによるキャリア移動度向上技術	ひずみSOIの立体チャネル形成プロセス(nMOS) SiGeストレッチャーソースドレインによるGeチャネルへの引張りひずみ印加プロセス(nMOS) 酸化濃縮法による、ひずみSGOI立体チャネル形成プロセス(pMOS)	微細素子分離によるひずみ緩和 ひずみばらつき検討、歩留まりの更なる向上 Ge組成均一性の向上	ひずみSOI基板の供給	量産プロセスとの整合性 コスト・歩留まり検討
高移動度ゲートスタック形成技術	High-k/SrGe/Ge界面層技術(Ge-CMOS) High-k/Siキャップ/Ge技術(Ge-pMOS) 酸素終端による高品質high-k/Si界面形成技術と結晶化HfO ₂ /Si直接接合技術	nMOS特性の更なる向上 Siキャップエピの面方位依存性 BTI、TDDDBなどの長期信頼性実証	SrGe形成の低コスト化 Ge-on-Si基板の供給 長期信頼性の実証	
微細トランジスタ作製プロセス技術	微細ひずみSOI立体チャネルトランジスタの電流駆動力向上(nMOS) 微細ひずみSGOI立体チャネルトランジスタの電流駆動力向上(pMOS) 微細FD-SOIトランジスタの電流駆動力向上(nMOS)	ソース・ドレイン長の短縮による寄生抵抗の低減 ソース・ドレイン長の短縮による寄生抵抗の低減 SS (Subthreshold-Slope)の低減 高歩留まりのショットキ接合形成技術	ひずみSOI基板の供給 CMOS化プロセス開発 SOI基板コスト CMOS化プロセス開発 低コストプロセス	量産プロセスとの整合性 コスト・歩留まり検討
計測・モデリング技術	準バリスティック輸送特性抽出技術 メタルソース・ドレインショットキー障壁プロファイル計測技術 顕微ラマン分光による応力の方向・種類の情報を含む定量的な解析 量子モンテカルロ法によるバリスティックトランジスタの輸送特性予測技術	SiGe、Geなどの非Si系チャネルの理想的ソース端注入速度の数値解析 IV特性をポテンシャルに変換するためのSimulation技術高精度化 TATのさらなる改善。 実デバイスの実験結果との比較検討	TCAD用パラメータ抽出 TCADへの組み込み(HyEnexssへの導入を検討中) 製造ラインの評価装置への組み込みの実現 TCADへの組み込み	

4) 産総研および東芝における取り組み

Si系チャネルに関する成果では、Siの最表面の結合を酸素原子で終端化する高品質 high-k/Si 界面形成技術、および非平衡熱伝導状態を利用した非晶質 HfO₂ 薄膜の結晶化技術から構成される高駆動力ゲートスタック技術を開発した。また、熱耐性に優れた NiSi₂ を用い、バリスティック効率向上に必要なバンドエッジまでのショットキーバリア

アハイトの制御に成功した。これらの知見について、産総研内での技術の展開を図るとともに、共同委託先を含む技術移転先の拡大を目指す。

Ge系チャネルに関する成果では、SiGeエピ技術やSiGe/Ge用high-kメタルゲート技術など、SiGeトランジスタのデバイスプロセス要素技術と、Ge組成やひずみがこれらのトランジスタの高電流駆動力化に与える影響に関する種々の知見が得られた。SiGeエピ成長に関する知見については、東芝の先端ロジックプロセスにおけるSiGeソースドレイン形成プロセスに有効活用する。また、本プロジェクトを通じて取得されたSiGe関連の一連の特許に関して、製品搭載含め将来活用を図る。一方、high-k絶縁膜技術については、先端ロジック製品のみならず、メモリー製品などへの知見の有効活用を図る。さらに、準バルスティックトランジスタの輸送特性予測技術については、TCADへの取り込みを図り、先端ロジック製品の設計への有効活用を検討していく。

ラマン分光法を用いたSiデバイス構造の応力分布計測技術については、計測装置メーカーに技術移転を行った。また、STMを用いたポテンシャル分布計測技術については、デバイスメーカーへ技術の普及を継続して行う。さらに、本プロジェクトにおいて開発した、歪み分布・不純物分布の測定・解析のためのシミュレーション技術は、Seleteが開発したTCAD(HyENEXSS)に移植すべく取り組みを開始している。

② 新探究配線技術開発 [NSI]

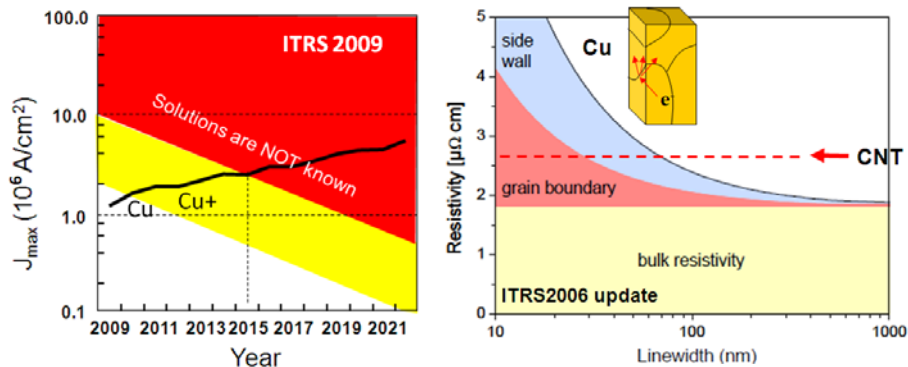
(1) 極限低抵抗・高電流密度配線技術の開発 (カーボン配線技術開発)

カーボン配線技術が現在の Cu 金属配線の主要課題である低抵抗化、高電流密度耐性化に対して、何世代にも適用可能なほぼ唯一の抜本的な解であることは、世界的にも広く認識されている。従って、世界に目を向ければ、本事業で開発された技術を実用化する可能性のある企業は、我々以外にも世界中に存在していると言える。例えば、欧米、アジア各国の半導体企業、コンソーシア、公的研究機関、大学などからの委員で構成される国際半導体技術ロードマップ(International Technology Roadmap, ITRS)でも述べられているように、配線の高電流密度による信頼性劣化は、(一時期、クロック周波数の伸び鈍化を反映してこの問題が大幅に軽減されるとの予測もあったが、配線幅依存を導入すべきことを見出され、現在の予測では再び) 2015 年頃から緊急を要する課題であり、我々としては本事業の成果の実用化の可能性は非常に高いと考えている(Ⅲ-2-I-②-(1)-図 20)。一方、配線抵抗についても、2005 年以降 Cu 配線抵抗率のサイズ効果に関する多くのモデルが提案され(配線幅のみならず配線膜厚依存も存在する)、抵抗率上昇の正確な予測と対策の検討が必要とされており(Ⅲ-2-I-②-(1)-図 20)、ここでも本事業の成果の実用化の可能性は非常に高いと考えている。ITRS では MIRAI 成果を中心に、欧州の VIACARBON プロジェクト(CEA LETI, ケンブリッジ大、Intel アイルランドなどがメンバー)、IMEC、米国の配線技術のフォーカスリサーチセンター(ジョージア工科大学設置)、カリフォルニア大学などからの研究が多く引用されている。

Ⅲ-2-I-②-(1)-図 20 は、最新の ITRS に載せられた、配線の最大電流密度 J_{max} のトレンドと Cu 配線の配線抵抗の配線幅依存性のモデルを示している。世代の進行、すなわち配線幅の微細化に伴って、同じ電流密度でもエレクトロマイグレーション(EM)が劣化すること(EM 限界電流が年とともに下がること)や、Cu やその改良技術(Cu+)では 2015 年頃に解決できなくなることが示されている。また配線抵抗についても、サイズ効果による抵抗率上昇が顕著となり、カーボン配線が逆転優位になることが示されている。

実用化の想定時期は、このようにロードマップなどでコンセンサスはあるが、我々としては、本事業で全ての技術を達成したわけではなく、基盤となる技術はほぼ達成したので、今後はプロジェクト外で、それぞれ適用先の製品に合わせた残り課題の開発を行うことになる。たとえば残る課題としては、以下のものなどが挙げられる:

- (i)カーボン配線設計技術 (ii) カーボン配線マスク技術
- (iii)コンタクト構造・物性制御 (iv) 信頼性メカニズム解明
- (v)横配線に関する極微細配線描画・加工プロセス技術
- (vi) アスペクト比(AR)の高いビア穴加工プロセス技術、 など



Ⅲ-2-I-②-(1)-図20 ITRSに掲載されている配線技術課題のトレンド(2009年版、2006年版updateより)