

### [3]デバイス特性ばらつきモデリング技術の開発

#### 3-1. 特性ばらつきのモデリング

線形しきい値( $V_{th}$ )ばらつきの規格化方法については、すでに竹内プロット法として報告してきた。すなわち  $V_{th}$  の標準偏差を  $\sigma V_{th}$  とし、

$$\sigma V_{th} = B_{VT} \sqrt{\frac{T_{inv}(V_{th} + V_0)}{L_g W_g}}, \quad V_0 \equiv -V_{FB} - \psi_s, \quad (3-1-1)$$

と表したときの係数  $B_{VT}$  を規格化されたばらつきと解釈する。ここで、 $T_{inv}$  は電氣的なゲート絶縁膜厚、 $V_{FB}$  はフラットバンド電圧、 $\psi_s$  は反転時のシリコンのバンドの曲がり幅、である。この式は一次元の離散不純物ばらつき (RDF: Random Dopant Fluctuation) のモデル式、

$$\sigma V_{th} = \frac{q}{C_{inv}} \sqrt{\frac{N_{SUB} W_{DEP}}{3 L_g W_g}}, \quad C_{inv} \equiv \frac{\epsilon_{OX}}{T_{inv}} \quad (3-1-2)$$

が元になっている。MOS トランジスタの  $V_{th}$  の理論式は下記で示され、

$$V_{th} = V_{FB} + \psi_s + \frac{q N_{SUB} W_{DEP}}{C_{inv}} \quad (3-1-3)$$

これを用いると、(2)は次式のように変形できる。

$$\sigma V_{th} = \sqrt{\frac{q}{3 \cdot \epsilon_{OX}}} \sqrt{\frac{T_{inv}(V_{th} + V_0)}{L_g W_g}} \quad (3-1-4)$$

(4)より、 $B_{VT}$ は $\sigma V_{th}$ を理想的なRDFによって規格化するという思想で定義されていることがわかる。本方法はメタルゲート/High-Kデバイスへも適用可能であり、そのためには仕事関数の変化に応じて $V_0$ を変更すれば良い。この規格化手法を実際のメタルゲート/High-Kデバイスに適用した場合については、5-3章にて述べる。

この規格化手法は線形領域でのばらつき、すなわち $V_{ds}$ が十分低い場合にのみ適用可能であった。規格化に用いる(1)右辺における $V_{th}$ は、低 $V_{ds}$ で測定した線形 $V_{th}$ が用いられる。なぜなら、規格化の元になるRDFの理論式(2)が一次元モデルであり、2次元効果が顕著となる飽和領域( $V_{ds}$ が大きい)での有効性が不明なためであった。よって(1)のような $V_{th}$ の規格化を飽和領域に拡張する方法を本章にて述べる。

飽和領域特性についての他の課題としてオン電流( $I_{on}$ )のモデリングが上げられる。1-2項においてはその一方法として、 $I_d$ - $V_g$ 特性の直線外挿により決定した $V_{thex}$ を用いる方法を述べたが、この方法には速度飽和が起こらない長チャネルデバイスに適用できないという課題がある。飽和 $V_{th}$ と $I_{on}$ のばら

つきを任意のチャンネル長で解析できるようにする手法が必要である。

本項目ではこれらの課題に対して行なった開発結果を述べる。3-1-1 では、任意のチャンネル長で飽和  $V_{th}$  を外挿により抽出できる手法を提案し、さらにこの方法を拡張して  $I_{on}$  ばらつき解析に適用した結果を述べる。3-1-2 では、飽和  $V_{th}$  ばらつきについての開発結果を述べる。

### 3-1-1. 飽和 $V_{th}$ 抽出とその応用

#### 3-1-1-1. 飽和 $V_{th}$ 抽出法の提案

$V_{th}$  を実測から決定する方法には大きく分けて、一定の電流値によって定義する定電流法と、 $I_d$ - $V_g$  特性から外挿する外挿法の2つがあり、前者はオフ特性、後者はオン特性と対応すると考えられる。定義が異なる  $V_{th}$  は統計的振る舞いが異なるため、ばらつきは各々を別々に評価する必要がある。しかし飽和領域において外挿  $V_{th}$  を抽出する方法は明確ではない。1-2 で用いた手法はやや特殊であって任意チャンネル長には適用できない。しばしば用いられるのが平方根外挿法(ドレイン電流  $I_{ds}$  の平方根を  $V_{gs}$  に対して直線外挿する)であるが、 $I_{ds}$ - $V_g$  特性が2次関数ではない短チャンネルデバイスでの妥当性に疑問がある。この問題を解決するために考案した方法を以下に説明する。

提案する新外挿法では、実測した  $I_{ds}$ - $V_g$  特性を、速度飽和を考慮した飽和ドレイン電流モデルにフィッティングすることで、 $V_{th}$  を抽出する。使用したモデルでは III-2-I- (1) 図 3-1-1 のように、実効チャンネル長  $L_{eff}$  が占めるチャンネル領域を2つの領域(グラデュアルチャンネル領域と速度飽和領域)に分割して考え、 $I_{ds}$  を次式のように表している。

$$\frac{1}{I_{ds}} = \frac{1}{WC_{ox}v_{sat}} \cdot \frac{1}{(V_g - V_{th})} + \frac{2a(L_{eff} - L_{sat})}{WC_{ox}\mu_{eff}} \cdot \frac{1}{(V_g - V_{th})^2} \quad (3-1-1-1)$$

ここで  $W$  はゲート幅、 $C_{ox}$  は酸化膜厚、 $v_{sat}$  は実効的な飽和速度、 $V_g - V_{th}$  はゲートオーバードライブ、 $a$  は基板効果係数、 $L_{sat}$  は速度飽和領域が占める長さ、 $\mu_{eff}$  は実効移動度である。移動度と飽和速度をフィッティングパラメータとして、実測をモデル式に合わせ込む際、 $V_{th}$  抽出精度向上のためにイタレーションを導入した。 $V_{th}$  の真値とは別に予測値  $V_{th}^*$  を設けることで、 $V_g - V_{th}$  を次のように変形できる。

$$V_g - V_{TH} + V_{TH}^* - V_{TH}^* = V_{GT}^* + e \quad (3-1-1-2)$$

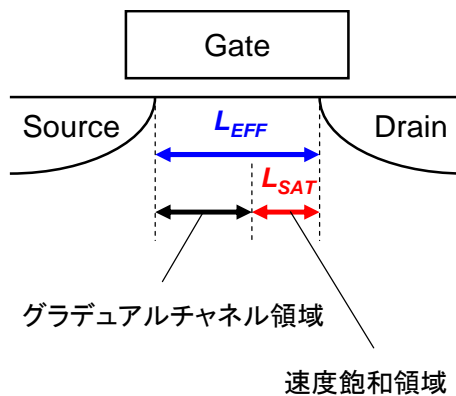
ただし  $V_g - V_{th}^*$  は予測値を用いたゲートオーバードライブ、 $e$  は予測値と真値の残差( $V_{th}^* - V_{th}$ )である。 $V_g - V_{th}^*$  と  $e$  を用いると、2次式であったモデル式(3-1-5)を3次式に近似できる。すなわち、

$$\frac{1}{I_{ds}} \cong \frac{1}{WC_{ox}v_{sat}} \cdot \frac{1}{(V_g - V_{th}^*)} + \frac{2a(L_{eff} - L_{sat})}{WC_{ox}\mu_{eff}} \cdot \frac{1}{(V_g - V_{th}^*)^2} - \frac{2a(L_{eff} - L_{sat})}{WC_{ox}\mu_{eff}} \cdot \frac{2e}{(V_g - V_{th}^*)^3} \quad (3-1-1-3)$$

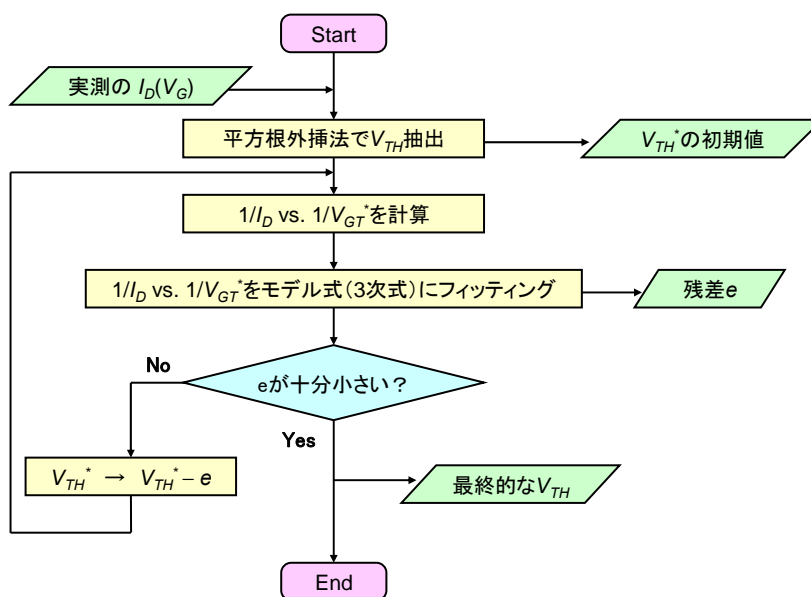
イタレーションにより  $e$  が十分小さくなれば、近似式(3-1-1-1)はモデル式(3-1-1-3)にほぼ一致し、このときの予測値は真値とみなせる。よって本方法では  $e$  が十分小さいときの予測値  $V_{th}^*$  を新外挿法の  $V_{th}$  と定義した。一連の操作をフローチャートとして III-2-I- (1)図 3-1-2 にまとめた。

新外挿法と平方根外挿法を長/短チャンネル NMOS トランジスタに適用した結果を III-2-I- (1)図 3-1-3 に示す。長チャンネル MOS トランジスタにおいて、新外挿法は平方根外挿法と同様に 2 次関数的な特性に整合し、2 つの方法の  $V_{th}$  はほぼ一致する。短チャンネル MOS において、平方根外挿法は  $I_{ds}-V_g$  特性のチャンネル長依存性に対応できていないのに対し、新外挿法は飽和領域の  $I_{ds}-V_g$  特性に広い  $V_g$  範囲で整合するよう  $V_{th}$  を決定していることがわかる。

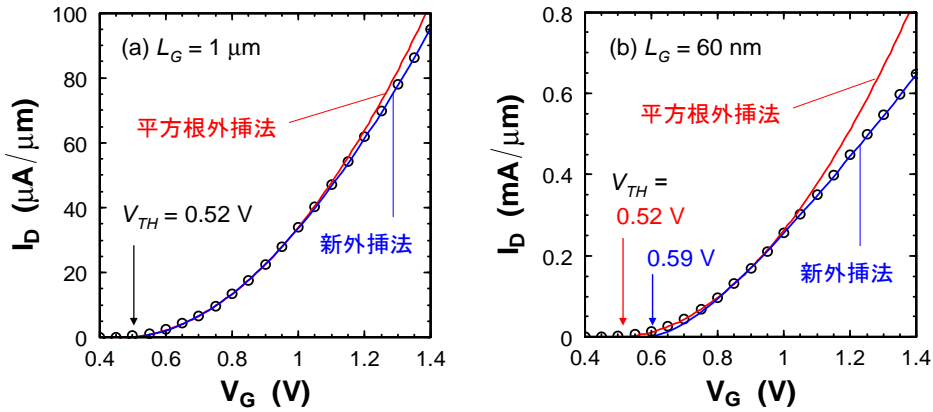
各種抽出法で求めた  $V_{th}$  のゲート長依存性を III-2-I- (1)図 3-1-4 に示す。新外挿法による  $V_{th}$  と定電流法による  $V_{thc}$  は、任意のゲート長で一定値シフトの関係にあることがわかった。同様の関係は線形領域における定電流法と線形外挿法(線形  $V_{th}$  の抽出で標準的に用いられる)の間でも成り立つ。適切に外挿された  $V_{th}$  と定電流法による  $V_{thc}$  とが、線形領域、飽和領域によらず一定値シフトとなることは興味深い。一方で、平方根外挿法は他の方法と異なるゲート長依存性を示す。これは平方根外挿が速度飽和のチャンネル長依存性に適切に対応していないためと考えられる。



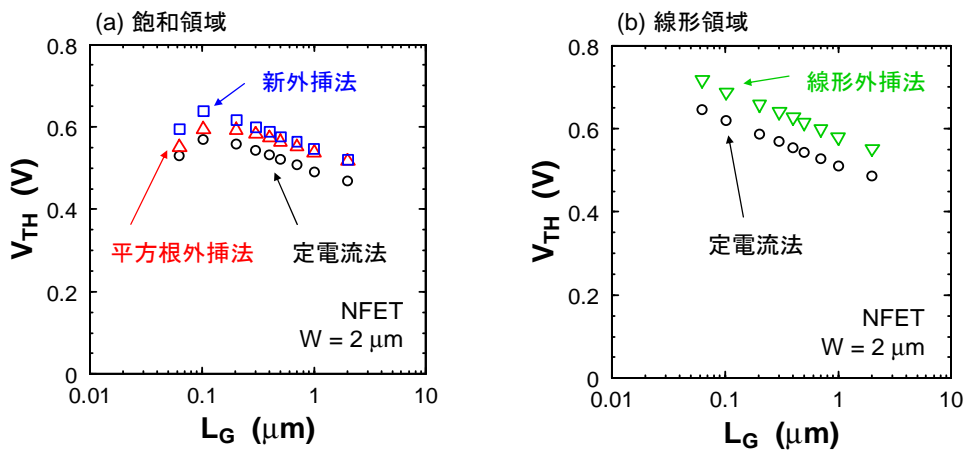
III-2-I- (1)図 3-1-1 モデルを説明するデバイス断面模式図



III-2-I- (1)図 3-1-2 新外挿法による  $V_{th}$  抽出の流れ



III-2-I- (1)図 3-1-3 新外挿法及び平方根外挿法を適用した結果。



III-2-I- (1)図 3-1-4 各抽出法による  $V_{th}$  のゲート長依存性。

### 3-1-1-2. $I_{on}$ ばらつきのチャンネル長依存性検討

上記した手法を用いると、 $V_{th}$ と同時に見かけ上の移動度と飽和速度がフィッティングパラメータとして抽出される。ただし移動度は基板効果と速度飽和領域長の効果をまとめて以下のようなパラメータとして扱う。

$$M = \frac{\mu_{eff}}{a(L_{eff} - L_{sat})} \quad (3-1-1-4)$$

これら 3 つのパラメータはオン電流の  $I_{ds}-V_g$  特性を規定し、これらのばらつきを調べることで  $I_{on}$  ばらつきを 3 つの成分に分離することが可能である。本方法はチャンネル長によらず適用可能である。3 つのパラメータは互いに若干の相関を持っているため、主成分分析により無相関な 3 成分に線形変換した。手順を III-2-I- (1)図 3-1-5 と以下に示す。

多数の MOSFET それぞれに対して 3 つのパラメータを抽出する。

解析の対象はパラメータのばらつきではなく  $I_{on}$  ばらつきであるから、次式に従いパラメータの中心値からのずれを  $I_{on}$  の変化量  $\Delta I_{on}$  に変換する。

$$\Delta I_{on}(p^{(i)}) = C_p(p^{(i)} - \bar{p}) \quad (3-1-1-5)$$

$$C_p = \left. \frac{\partial I_D}{\partial p} \right|_{V_g \rightarrow 1.2V} \quad (3-1-1-6)$$

ここで、 $p$  はパラメータ、 $\bar{p}$  は  $p$  の中心値、 $C_p$  は  $I_{ON}$  の  $p$  に対する感度係数、 $(i)$  は試料番号を意味する。

(3-1-11)式に示すように、 $\Delta I_{on}(V_{th})$ 、 $\Delta I_{on}(M)$ 、 $\Delta I_{on}(v_{sat})$ の分散／共分散行列  $V$  を計算する(例えば行列要素  $V_{11}$  は  $\Delta I_{on}(V_{th})$  の分散、 $V_{12}$  は  $\Delta I_{on}(V_{th})$  と  $\Delta I_{on}(M)$  の共分散とする)。

$$V = \begin{pmatrix} V_{11} & V_{12} & V_{13} \\ V_{21} & V_{22} & V_{23} \\ V_{31} & V_{32} & V_{33} \end{pmatrix} \quad (3-1-1-7)$$

$V$  の固有値問題を解き、固有値  $\Sigma^2$  と固有ベクトル  $L$  を求める。

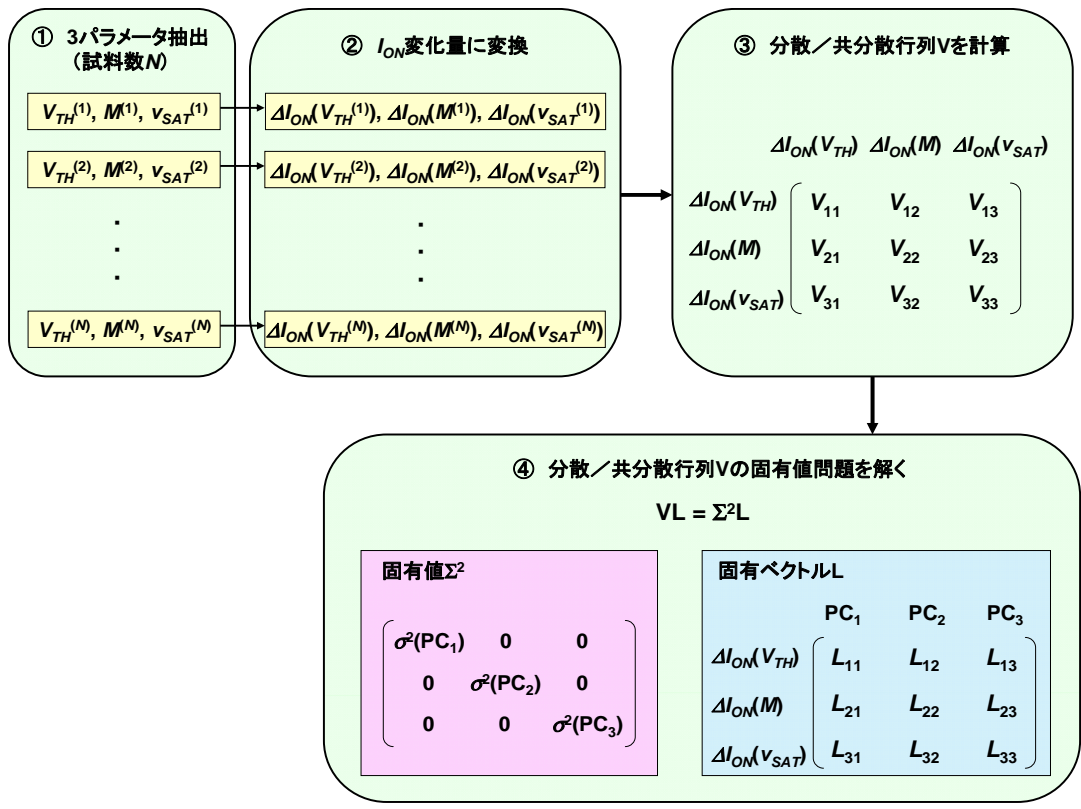
$$VL = \Sigma^2 L \quad (3-1-1-8)$$

$$L = \begin{pmatrix} L_{11} & L_{12} & L_{13} \\ L_{21} & L_{22} & L_{23} \\ L_{31} & L_{32} & L_{33} \end{pmatrix} \quad (3-1-1-9)$$

$$\Sigma^2 = \begin{pmatrix} \sigma^2(PC_1) & 0 & 0 \\ 0 & \sigma^2(PC_2) & 0 \\ 0 & 0 & \sigma^2(PC_3) \end{pmatrix} \quad (3-1-1-10)$$

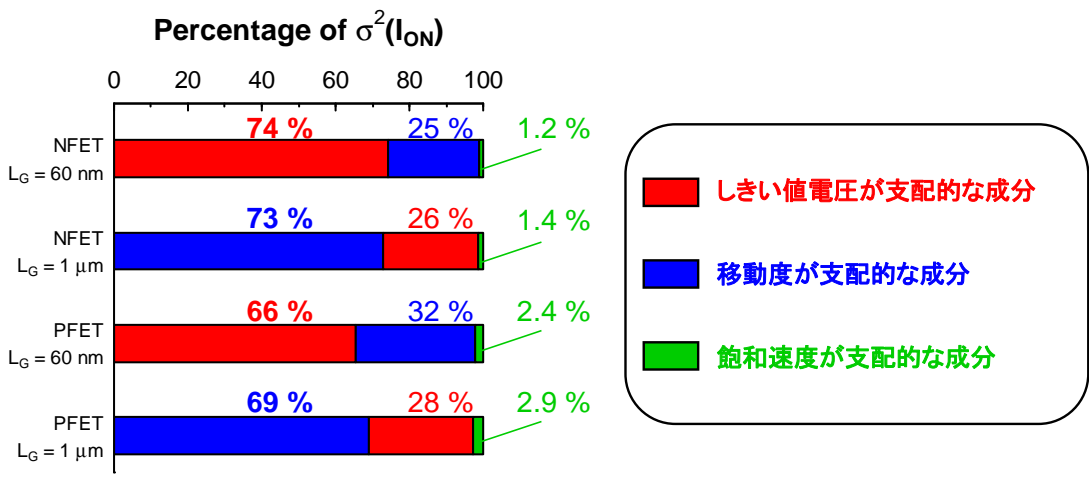
$PC_1$ 、 $PC_2$ 、 $PC_3$  は分散が大きい順に並んでおり、それぞれが変換後の  $I_{on}$  ばらつき成分になる。 $L$  はこれらの成分と元のパラメータを結ぶ結合係数にあたり、その大きさによってどのパラメータが  $I_{ON}$  ばらつきに寄与するかを特定できる。

$$\begin{aligned} PC_1 &= L_{11}\Delta I_{ON}(V_{TH}) + L_{21}\Delta I_{ON}(M) + L_{31}\Delta I_{ON}(v_{SAT}) \\ PC_2 &= L_{12}\Delta I_{ON}(V_{TH}) + L_{22}\Delta I_{ON}(M) + L_{32}\Delta I_{ON}(v_{SAT}) \\ PC_3 &= L_{13}\Delta I_{ON}(V_{TH}) + L_{23}\Delta I_{ON}(M) + L_{33}\Delta I_{ON}(v_{SAT}) \end{aligned} \quad (3-1-1-11)$$



III-2-I- (1)図 3-1-5  $I_{on}$  ばらつき成分分離の流れ。

本方法をゲート長  $L_g=60\text{nm}$ ,  $1\mu\text{m}$  の N/PMOS に適用した。変換後の 3 成分は依然として元のパラメータのいずれか 1 個に支配されている。III-2-I- (1)図 3-1-6 に  $I_{on}$  の分散における、無相関化された各成分の割合を示す。 $I_{on}$  ばらつき要因として、短チャンネル MOS では  $V_{th}$  ばらつきが支配的だが、長チャンネル MOS では移動度ばらつきが支配的(すなわち輸送要因が支配的)であることが明らかとなった。これは電流輸送のばらつきが  $V_{th}$  ばらつきより空間的平均化を受けにくいことを示唆している。また長チャンネルデバイスのモデリングでは  $V_{th}$  ばらつき以外のばらつき要因を考慮することが非常に重要である。



III-2-I- (1)図 3-1-6  $I_{on}$  ばらつき成分分離結果

### 3-1-2. 飽和 $V_{th}$ ばらつきの検討

飽和 $V_{th}$ は線形 $V_{th}$ とDIBLの和であると考えられる。線形 $V_{th}$ の規格化は実現されているので、飽和 $V_{th}$ そのものではなく差分であるDIBL、すなわち、

$$DIBL = V_{TH}(\text{linear}) - V_{TH}(\text{saturation}) \quad (3-1-2-1)$$

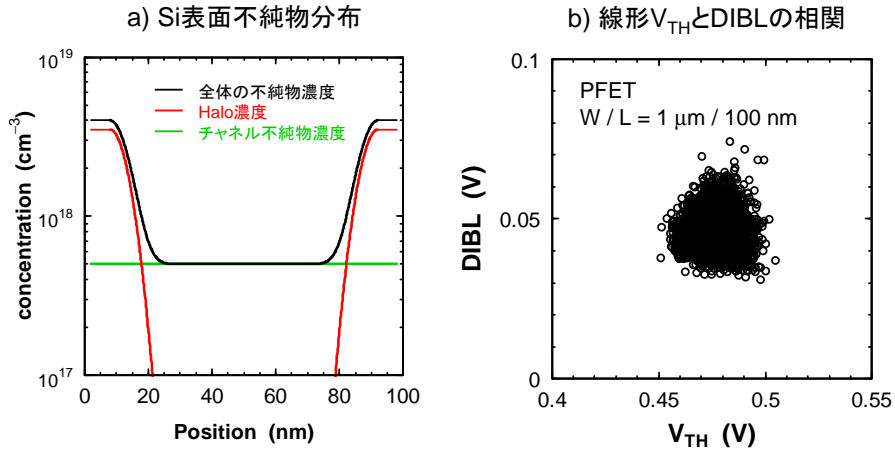
を検討対象とした。まず、DIBLを線形 $V_{th}$ と同様に理想理論値で規格化するという考え方を採用するには、理想DIBLのモデル式が必要である。しかし、DIBLの挙動はチャンネル長やHaloの有無によって複雑に変化し、理想的DIBLを定義することは難しい。仮にモデル化ができたとしても、多数の同定困難なパラメータを含む複雑な式となり、その有用性はシンプルな(3-1-1)式に比べれば大きく劣ると考えられる。そこで無理に規格化をするのではなく、いかなるデバイス設計を行なえば飽和 $V_{th}$ ばらつきを改善できるかをシミュレーション等により検討することにした。計算を高速化して多くの試行を行うため、解析モデル的アプローチを取り込んで高速化したシミュレータHiSIM-RPを使用した。HiSIM-RPは不純物ばらつきによる特性ばらつきをシミュレートする機能を有し、これを利用してばらつきを見積もった。

シミュレーションに先立って、HiSIM-RPがDIBLばらつきの実測特性を再現できるかを検討した。実測した線形 $V_{th}$ とDIBLの相関プロットにHalo濃度分布の非対称性に起因した三角分布が現れることに注目し、この統計的振る舞いが一致するようにモデルパラメータを調整した。不純物プロファイル例と、その構造でモンテ・カルロシミュレーションを行ったときの線形 $V_{th}$ とDIBLの相関プロットをIII-2-I-(1)図3-1-7に示す。Halo構造を急峻にすることによって実測に近い相関プロットの三角分布が再現した。

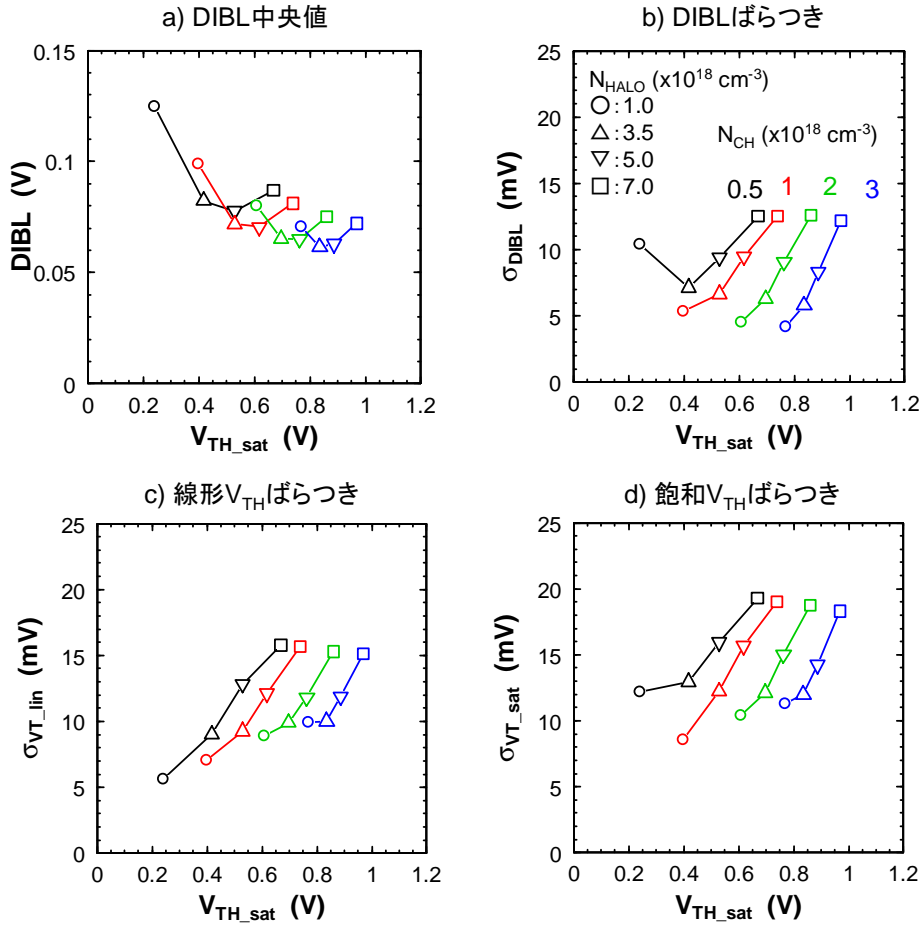
上記構造のPMOS(ゲート長 $L_g=60\text{nm}$ )で、Halo濃度、チャンネル濃度を変化させたモンテ・カルロシミュレーションを行なった。III-2-I-(1)図3-1-8にDIBL中央値、DIBL標準偏差、線形 $V_{th}$ 標準偏差、飽和 $V_{th}$ 標準偏差の計算結果を示す。デバイス設計においては狙いの飽和 $V_{th}$ が制約条件となることが多いため、計算結果を飽和 $V_{th}$ の関数として示した。III-2-I-(1)図3-1-8aより、ある狙い $V_{th}$ においてDIBLを最小化するHalo設計が存在することがわかる。しかしIII-2-I-(1)図3-1-8dの飽和 $V_{th}$ ばらつきについては、概ねHaloを弱めるほど減る(ただし実際にはゲート長ばらつきなどの存在によってより明確な最適点が存在する可能性はある)。DIBL最小化とばらつき最小化はトレードオフとなり、回路によって最適設計が異なると考えられる。

飽和 $V_{th}$ ばらつきは線形 $V_{th}$ ばらつきにDIBLばらつきが加算され結果、一見非常に大きくなるのではないと思われる。しかし適切なHaloの設計を行なえば、III-2-I-(1)図3-1-9に示すように、飽和 $V_{th}$ ばらつきは線形 $V_{th}$ ばらつきと大差がない場合が多く、長チャンネルではむしろ飽和 $V_{th}$ ばらつきのほうが小さくなる。その理由は、DIBLばらつきが線形 $V_{th}$ ばらつきの0.6倍程度と小さいこと(III-2-I-(1)図3-1-10)、およびチャンネル長が長めのときにDIBLと線形 $V_{th}$ との間に正の相関(III-2-I-(1)図3-1-11、III-2-I-(1)図3-1-7b)があることによる。

以上より、飽和 $V_{th}$ ばらつきのモデリング開発を実施し、その有用性を確認できた。

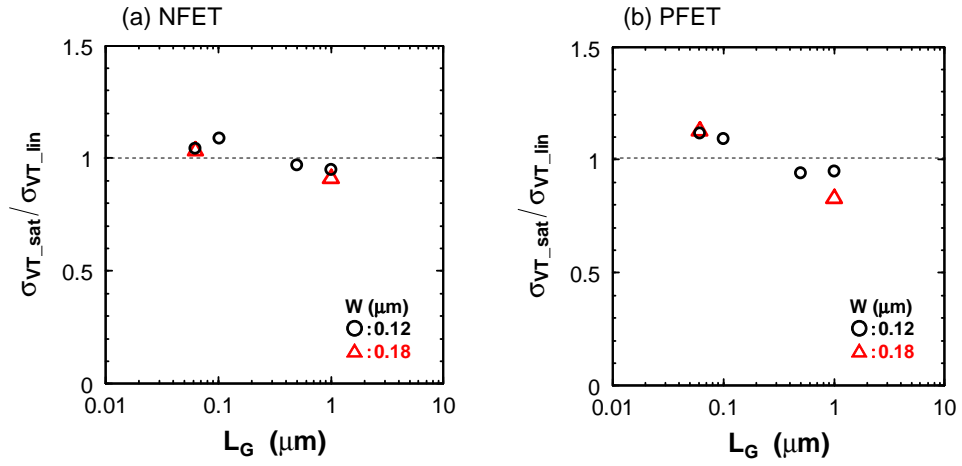


III-2-I- (1)図 3-1-7 仮定した不純物分布例とシミュレーション結果

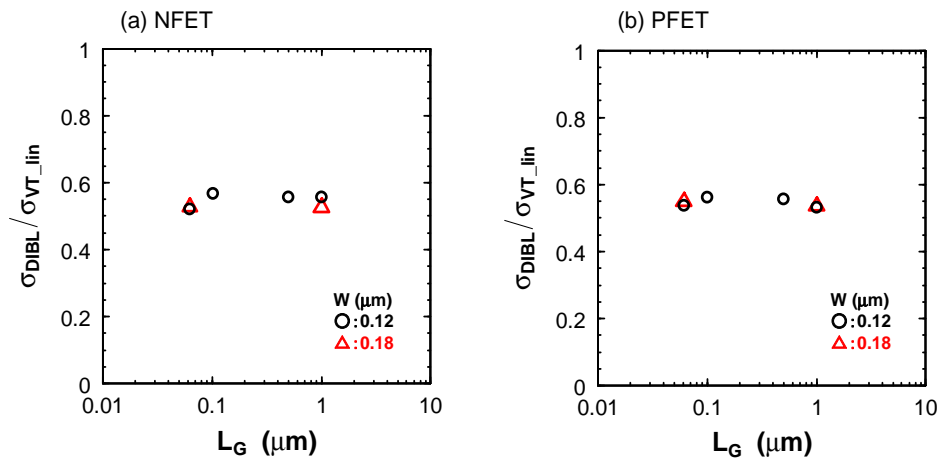


III-2-I- (1)図 3-1-8 HiSIM-RP のシミュレーション結果 (PFET、W = 1  $\mu$ m、L = 60 nm)

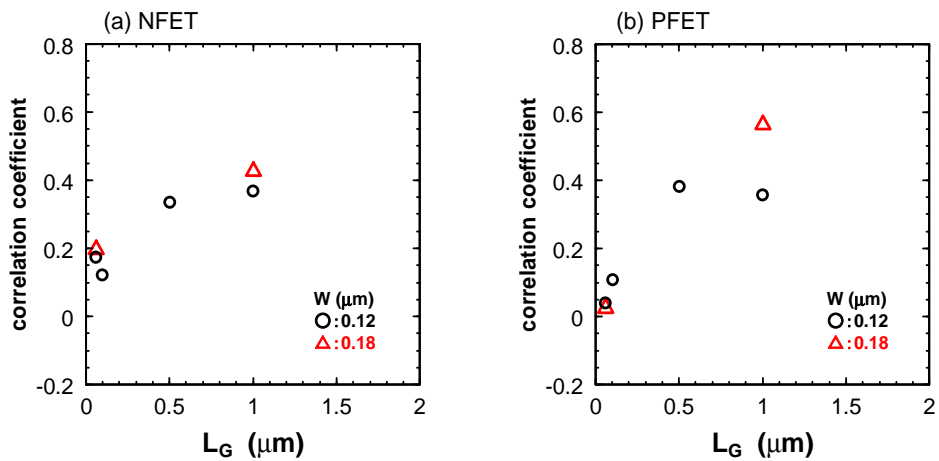




III-2-I- (1)図 3-1-9 Halo 有デバイスの飽和  $V_{th}$  ばらつきと線形  $V_{th}$  ばらつきの比



III-2-I- (1)図 3-1-10 Halo 有デバイスの DIBL ばらつきと線形  $V_{th}$  ばらつきの比

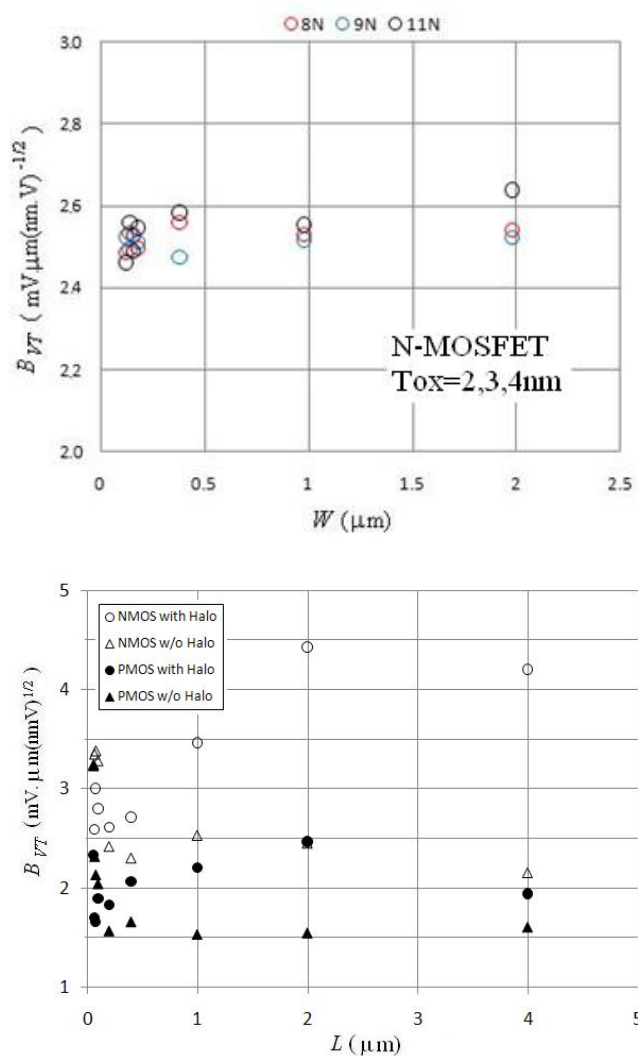


III-2-I- (1)図 3-1-11 Halo 有デバイスの DIBL と線形  $V_{th}$  の相関係数

## 3-2. 物理モデルの開発

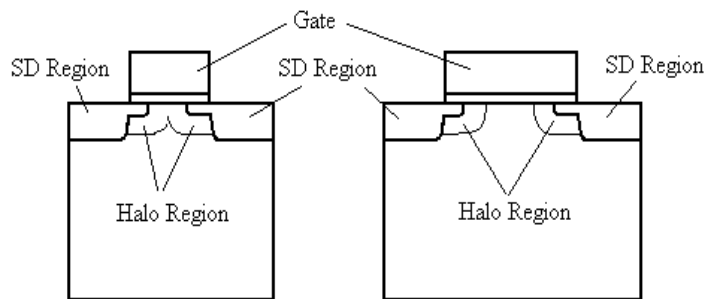
### 3-2-1. $B_{VT}$ の寸法依存性

竹内プロットは、「設定しきい値( $V_{th}$ )」と「ゲート絶縁膜厚( $T_{inv}$ )」が違う MOSFET であっても同じ直線上に  $\square V_{th}$  データがプロットされるように、Pelgrom プロットを規格化したものである。実際に、製造条件の異なる複数のウエハのデータが竹内プロットによってほぼ同一直線上に載ることが確認されている。またシミュレーションで、離散不純物ばらつきが原因の場合その直線の傾き  $B_{VT}$  が約  $1.5\text{mV}\square\text{m}$  になることがわかっている。そこで、本項では、設計チャンネル寸法を大きく変えた DMA-TEG を用いて、そのチャンネル寸法依存性を調べた。III-2-I-- (1)図 3-2-1 は  $B_{VT}$ のチャンネル幅  $W_g$ とチャンネル長  $L_g$ 依存性を示す。 $W_g$ 依存性はほとんどないが、 $L_g$ 依存性が見られる。



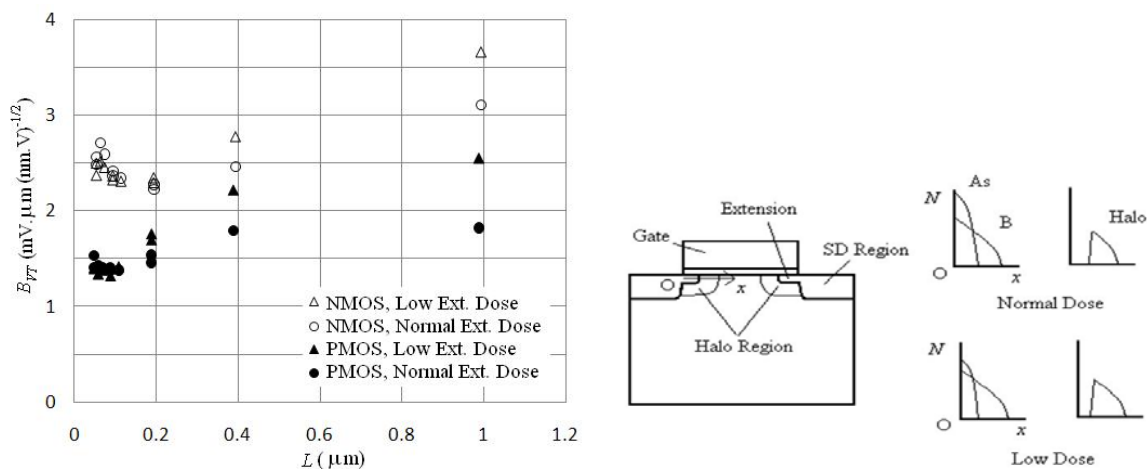
III-2-I- (1)図 3-2-1  $B_{VT}$ のチャンネル寸法依存性

$B_{VT}$  に  $L_g$  依存性が見られる原因として、「短チャンネル効果」と「チャンネル不純物不均一性」が考えられる。短チャンネルの場合、チャンネル長のばらつきが  $V_{th}$  ばらつきに影響を与える。このことは短チャンネル効果の大きい、ハローのない MOSFET の  $0 < L < 0.2\mu\text{m}$  における  $B_{VT}-L_g$  曲線に強く見られる。チャンネル長が長い場合、III-2-I- (1)図 3-2-2 に示すように、ハローが分離して本来のチャンネル領域が現れ、チャンネル不純物分布がチャンネル長方向に不均一になる。このことは「共同実施先研究成果」に記されるように、チャンネル不純物分布が均一な場合よりも  $B_{VT}$  を大きくする。III-2-I- (1)図 3-2-1 では、測定精度を高め、 $L_g=4\mu\text{m}$  までの測定データを示している。それでは、 $L_g=2\mu\text{m}$  で一度大きくなった  $B_{VT}$  が再び小さくなるのが確かめられる。これは基板領域がチャンネルの広い部分を占めるようになったため、再びチャンネルが均一化してきたからと考えることができる。



III-2-I- (1)図 3-2-2 ハローのある MOSFET のチャンネル構造

III-2-I- (1)図 3-2-3 はエクステンション濃度を変えた場合の  $B_{VT}$  のチャンネル長依存性を示す。同図左に示すように、エクステンションドーズ量を半分に減らすと、 $B_{VT}$  が標準のものよりも大きくなる。これはエクステンションドーズ量を半分に減らすと、同図右の不純物分布図のように、ハロー濃度が高くなり不純物濃度不均一性が大きくなることと対応している。



III-2-I- (1)図 3-2-3 エクステンション濃度を変えた場合の  $B_{VT}$  のチャンネル長依存性

### 3-2-2. ばらつきパラメータの抽出

ペルグロムのばらつきモデルでは、距離  $D$  離れた 2 つの素子間のパラメータ  $P$  の差  $\Delta P$  の分散は次の式 (3-2-2-1) で表される。

$$\sigma^2(\Delta P) = \frac{A_P^2}{W_g \cdot L_g} + S_P^2 D^2 \quad (3-2-2-1)$$

右辺第 1 項の  $A_P$  はパラメータ  $P$  のランダムばらつき成分を表し、チャンネル面積 ( $W_g \times L_g$ ) の増大と共に平均化の効果が現れることを示している。右辺第 2 項の  $S_P$  はパラメータ  $P$  の距離に依存したばらつき成分を表わし、「パラメータ差は距離に比例する」という仮定を用いて導いている。

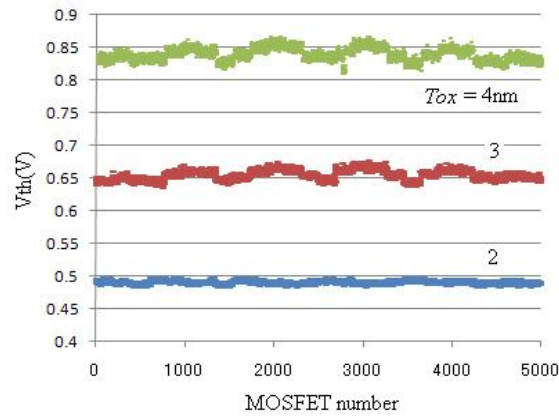
ここでは n チャンネル MOSFET の線形領域の  $I_{ds} - V_g$  特性の近似式、

$$I_{ds} = \beta \frac{(V_g - V_{th})V_d}{1 + \theta(V_g - V_{th})} \quad (3-2-2-2)$$

を用いて、この式に現れるパラメータ  $\beta$ 、 $V_{th}$ 、 $\theta$  の  $A_P$  と  $S_P$  に相当するばらつきパラメータ  $A_{VT}$ 、 $A_\beta$ 、 $A_\theta$ 、 $S_{VTH}$ 、 $S_\beta$ 、 $S_\theta$  を抽出する。簡単のため、これら 3 つのパラメータを次の手順で導く。

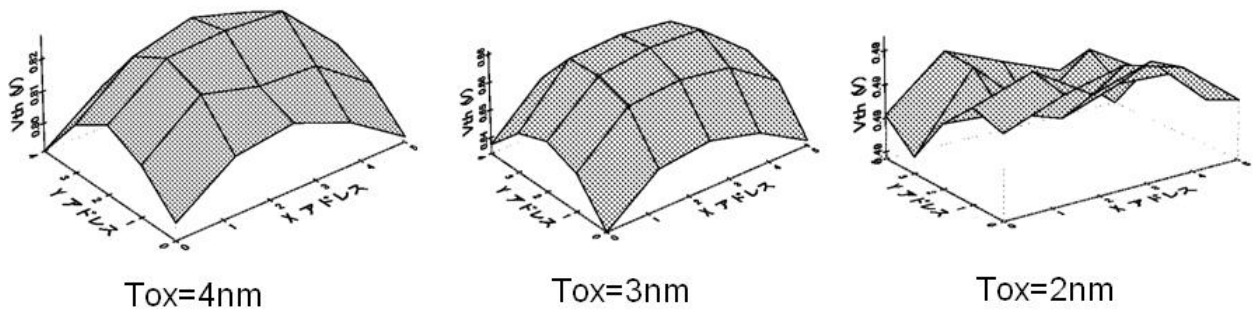
- 1)  $\beta$  を  $I_{ds} - V_g$  特性の最大傾きから決める。
- 2)  $V_{th}$  を  $I_{DS} - V_G$  特性の最大傾き直線を外挿して決める。
- 3)  $\theta$  を  $V_g = 1.2 \text{ V}$  における  $I_{ds}$  の値から決める。

上記の方法で抽出した  $W_g/L_g = 4/4 \mu\text{m}$  の MOSFET の約 5000 個の  $V_{th}$  データを、ウエハの位置順に並べたものを III-2-I- (1) 図 3-2-4 に示す、酸化膜厚  $T_{ox} = 2 \text{ nm}$  が標準条件で試作したもので、酸化時間を延長して酸化膜厚を大きくしたサンプルのデータも示してある。曲線に幅が見られるのは、ばらつきのランダム成分によるものであり、曲線が波打っているのは、ばらつきのシステムティック成分によるものと考えられる。 $T_{ox} = 2 \text{ nm}$  サンプルではランダム成分が大きく、ほとんどシステムティック成分を見られない。このことから、以下では  $T_{ox} = 4 \text{ nm}$  のサンプルを用いてシステムティック成分を抽出する。



III-2-I- (1)図 3-2-4 ウエハの位置順に順番にならべた  $V_{th}$  データ

$S$ を抽出するため、ランダム成分を平均化で減らした。III-2-I- (1)図 3-2-5 は  $W_g/L_g = 4/4 \mu\text{m}$  の MOSFET の  $V_{th}$  をチップ内約 100 素子分平均したもののウエハマップである。  $T_{ox}=4, 3\text{nm}$  では  $V_{th}$  の平均はウエハ中央で大きくなっている。  $S_{VTH}$  はこれら平均値分布の最大勾配から導出できる。  $S_\beta, S_\theta$  に対しても同様のウエハマップを作り、  $T_{ox}=4\text{nm}$  の場合の  $S$  を抽出した結果を III-2-I- (1)表 3-2-1 に示した。

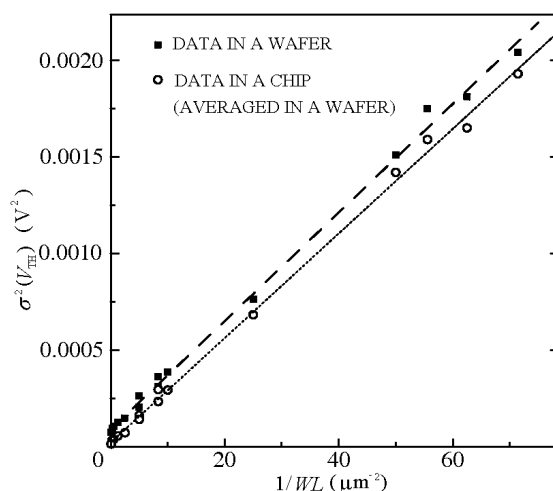


III-2-I- (1)図 3-2-5  $W_g/L_g = 4/4\mu\text{m}$  の MOSFET の  $V_{th}$  平均値のウエハマップ

III-2-I- (1)表 3-2-1  $S_{VTH}, S_\beta, S_\theta$  の抽出値

Parameter	Value
$S_{VTH}$	$2 \times 10^{-4} \text{ V/mm}$
$S_\beta$	$4 \times 10^{-8} \text{ A/V}^2\text{mm}$
$S_\theta$	$1 \times 10^{-4} \text{ 1/Vmm}$

$A$  を抽出するため、各パラメータの分散  $\sigma^2(P)$  と  $1/L_g W_g$  の関係をプロットした。Pelgrom のモデルである、(3-2-2-1)式通りに、それは III-2-I- (1)図 3-2-6 に示すように直線関係になる。ウエハ内の全データから分散を計算したもの(■)と、チップ内のデータから計算した分散をウエハ内で平均したもの(o)の2本の直線がプロットしてある。前者の分散に比べて後者の分散に含まれるシステムティックばらつき成分((3-2-2-1)式第2項)が小さいため、それをプロットした直線はほぼ原点を通っている。 $A_{VT}$  はこの直線の傾きから求まる。同様の方法で求めた  $A_\beta$  と  $A_\theta$  も含めて、抽出した結果を III-2-I- (1)表 3-2-2 に示す。



III-2-I- (1)図 3-2-6  $\sigma^2(V_{th})$ と  $1/L_g W_g$  の関係

III-2-I- (1)表 3-2-2  $A_{VT}$ 、 $A_\beta$ 、 $A_\theta$  の抽出値

Parameter	Value
$A_{VT}$	$5.3 \times 10^{-6}$ Vmm
$A_\beta$	$1.1 \times 10^{-9}$ Amm/V <sup>2</sup>
$A_\theta$	$2.0 \times 10^{-6}$ mm/V

以上のようにばらつきのランダム成分が大きいため、 $A_P$  を抽出することは容易であるが、 $S_P$  を抽出することは容易でない。 $\sqrt{L_g W_g} \approx 0.1 \mu\text{m}$  で  $D \approx 1 \mu\text{m}$  という典型的な  $V_{th}$  の場合、ランダム成分の項はシステムティック成分の項の  $10^{11}$  倍大きい。たとえ、 $\sqrt{L_g W_g} \approx 100 \mu\text{m}$  で  $D \approx 100 \mu\text{m}$  であっても、10 倍大きい。このことは  $\beta$  や  $\theta$  の場合も同様である。そのため、多くの場合、 $A_P$  の値のみを用いてモデル化してもよい近似が得られる知見を得た。 $\sigma V_{th}$  のシステムティック成分はゲート絶縁膜のばらつきが原因と考えられる。III-2-I- (1)図 3-2-7 に大きい MOS キャパシタを  $C$ - $V$  測定して得たゲート絶縁膜厚のウエハ分布を示す。膜厚勾配は約 0.05 %/mm であり、 $SV_{th} \approx 2 \times 10^{-4}$  V/mm とほぼ対応することを明らかにした。

Y=4		4.6	4.7	4.7	4.7	
Y=3	4.7	4.7	4.8	4.8	4.7	4.7
Y=2	4.7	4.8	4.8	4.8	4.7	4.7
Y=1	4.7	4.7	4.8	4.8	4.7	4.7
Y=0		4.7	4.7	4.7	4.7	
	0	1	2	3	4	5

III-2-I- (1)図 3-2-7 ゲート絶縁膜厚のウエハ内分布

### 3-2-3. $g_{mmax}$ ばらつき

MOSFET チャンネル全体の抵抗  $R_{TOT}$  をチャンネル固有の抵抗  $R_{CH}$  とそれに寄生する直列抵抗  $R_{EX}$  に分けると次の式が成り立つ。

$$R_{TOT} = R_{CH} + R_{EX} \quad (3-2-2-3)$$

$g_{mMAX}$  とは  $I_{ds}-V_g$  特性の最大傾きにおける  $R_{TOT}$  と対応するため、 $g_{mMAX}$  のばらつきはその部分における  $R_{CH}$  と  $R_{EX}$  のばらつきの和になっている。そのため、まず両者の分離を試みた。その結果、共同実施先研究成果に述べられているように、完全な分離は難しいが、 $L_g=60nm$  MOSFET においては  $R_{CH}$  のばらつきが支配的であることがわかった。そのため、測定で得られた  $g_{mMAX}$  のばらつきはほぼ MOSFET 固有部分のばらつきと考えることができる。

ここではドレイン電圧  $V_d=50mV$  一定で測定したドレイン電流  $I_{ds}$  から  $g_{mMAX}$  を求めているため、この値は古典 MOS 理論の利得定数  $\beta$  と同等のものと考えることができる。定義式によるとそのばらつきは、移動度  $\mu$ 、酸化膜容量  $C_{ox}$ 、チャンネル幅  $W_g$ 、チャンネル長  $L_g$  に分けることができる。

$$\beta = \mu C_{ox} \frac{W_g}{L_g} \quad (3-2-2-4)$$

それぞれのパラメータのばらつきが小さく独立であると仮定すると、分散の加法性が成り立ち、次の (3-2-2-5) 式が得られる。

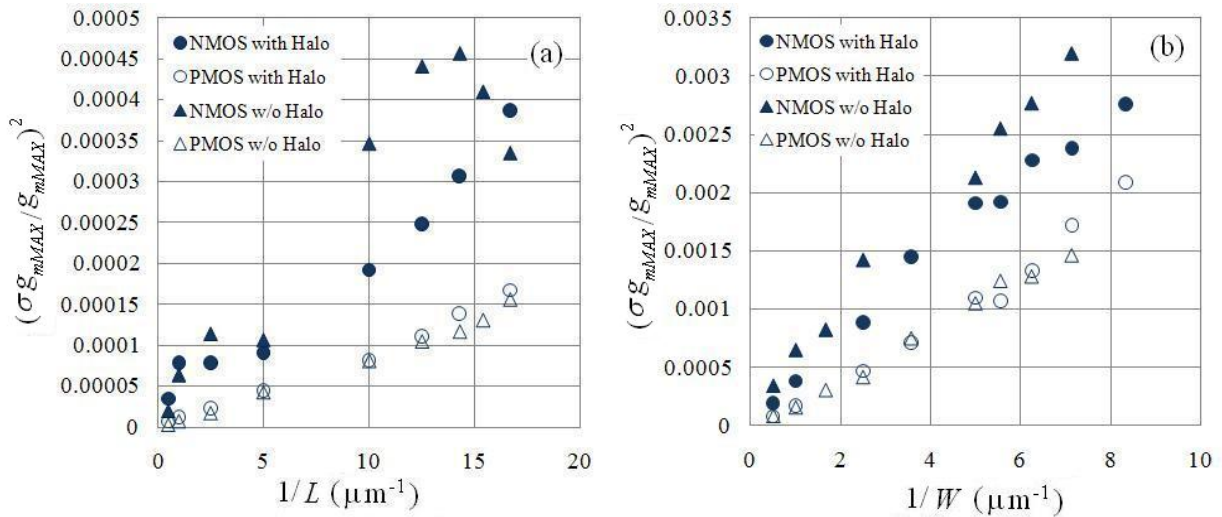
$$\left(\frac{\delta\beta}{\beta}\right)^2 = \left(\frac{\delta\mu}{\mu}\right)^2 + \left(\frac{\delta C_{ox}}{C_{ox}}\right)^2 + \left(\frac{\delta W_g}{W_g}\right)^2 + \left(\frac{\delta L_g}{L_g}\right)^2 \quad (3-2-2-5)$$

この式の  $\delta\mu$ 、 $\delta C_{ox}$ 、 $\delta W_g$ 、 $\delta L_g$  はそれぞれのばらつきを表す微小量である。ただそのばらつき方はチャンネル全体で同様と考えたものである。もし、微細な振動成分を持っているとするならば、チャンネル全体で平均化

の効果が生じる。その効果は $\delta\mu$ 、 $\delta C_{ox}$ の場合にはチャンネル面積での平均化であり、 $\delta W$ の場合はチャンネル長 $L$ における平均化、 $\delta L$ の場合はチャンネル幅 $\delta W$ における平均化と考えられる。この平均化の効果を考慮すると、(3-2-4)式は次のように表わされる。

$$\left(\frac{\delta\beta}{\beta}\right)^2 = \frac{a_\mu}{L_g W_g} \left(\frac{\delta\mu}{\mu}\right)^2 + \frac{a_c}{L_g W_g} \left(\frac{\delta C_{ox}}{C_{ox}}\right)^2 + \frac{a_w}{L_g} \left(\frac{\delta W_g}{W_g}\right)^2 + W_g \frac{a_L}{W_g} \left(\frac{\delta L_g}{L_g}\right)^2 \quad (3-2-2-5)$$

ここで $a_\mu$ 、 $a_c$ 、 $a_w$ 、 $a_L$ は定数である。III-2-I- (1)図 3-2-8 に $g_{mMAX}$ の比分散のチャンネル寸法依存性を示す。 $L$ 、 $W$ 依存性はいずれもほぼ直線になっており、微細なゆらぎが原因でばらつきが生じ、それがチャンネル寸法と共に平均化されているように見られる。なお、ハローのない素子の短チャンネル部、ハローのある素子のハローが分離してチャンネル不純物分布が不均一になる部分、いずれも $L_g$ 依存性に直線から外れる性質が見られるという知見を得た。



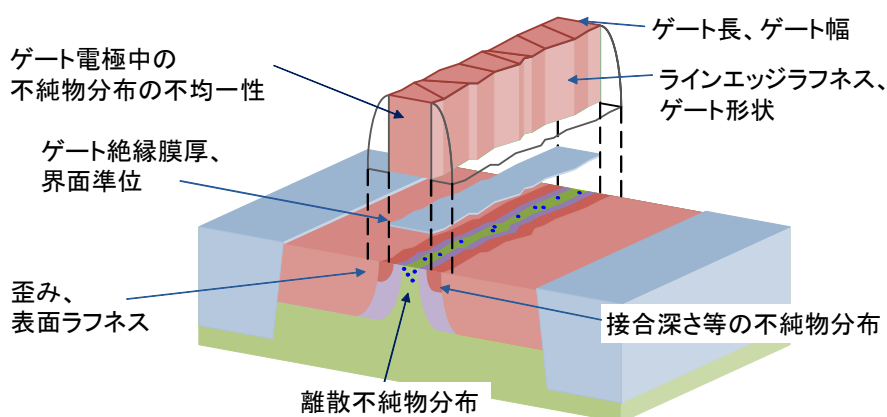
III-2-I- (1)図 3-2-8  $g_{mMAX}$ の比分散のチャンネル寸法依存性



### 3-3. TCADシミュレーション機能の開発

第3-3項では、第1章で得られた特性ばらつきを再現するために、第2章で得られた物理原因を3次元デバイス・プロセスシミュレーション技術開発した結果を述べる。この開発した技術を用いてデバイス特性ばらつきの離散不純物が原因となる要因以外の原因を明らかにし、これによるばらつきを20%以上低減可能な指針を得ることが本項の目的である。

MOSトランジスタの特性に影響すると考えられる要因をIII-2-I-(1)図3-3-1に示した。



III-2-I-③(1)図 3-3-1 MOSトランジスタの模式的な鳥瞰図とその特性に影響する物理パラメータ

#### 3-3-1. 離散不純物分布

MOSトランジスタのしきい値( $V_{th}$ )ばらつきの主要原因が、 $V_{th}$ を制御するためにチャネルに添加した不純物の離散性(RDF: Random Dopant Distribution、以下本項ではRDFを表記する)が原因であると報告されている[1-4]。このため、本開発においても、3次元TCAD(Technology Computer Aided Design)シミュレーション<sup>1</sup>にRDF計算機能を導入し、MOSトランジスタの $V_{th}$ ばらつきに与えるRDFのインパクトの検討を行った。3次元TCADシミュレーションでは、二種類のRDFモデルが知られている。1つは、Atomisticモデル[6, 7]であり、他方はLong-rangeモデル[8, 9]である。これら2種類のモデルを組み込んだRDF計算機能を開発した。本項では、組み込んだ2つのモデルを用いた場合の $V_{th}$ 、ならびに $V_{th}$ ばらつき( $\sigma V_{th}$ )の妥当性を評価し、特性ばらつき検討に用いるための基礎検討を実施した。シミュレーションは、古典的なドリフト拡散モデルに基づいている。妥当性を評価するために、過去に報告したシミュレーション条件と同等な条件に合わせた。電気的なゲート酸化膜厚( $T_{inv}$ )は3nm、仕事関数は4eV、ゲート電圧( $V_g$ )は50mVの線形領域にて計算を実施した。計算簡略化のために量子効果は考慮せず。ゲート電極は空乏化のない金属とし、短チャネル効果の影響をなくすためにソース・ドレインの接合深さ( $x_j$ )を7nmとしている。評価に用いた $V_{th}$ は、定電流定義<sup>2</sup>である。2つの離散不純物モデルを用いて $V_{th}$ 、 $V_{th}$ ばらつき(ここでは、主に標準偏差 $\sigma V_{th}$ を用いた)の比較を行うために、それぞれのデバイスについて200サンプルのシミュレーションを実施した。

<sup>1</sup>本開発では(株)半導体先端テクノロジーズで開発された ENEXSS に各種ばらつき機能を組み込んだシミュレータを利用。

<sup>2</sup> 定電流  $V_{th}$  は、ドレイン電流  $I_d = 10^{-8} \times W_g / L_g [A]$  の時の  $V_g$  で定義

シミュレーションメッシュ間隔を 1nm とした場合の、ドーパントとポテンシャルの分布を、従来の Jellium モデルと比較して、III-2-I- (1)図 3-3-1-1 に示した。Atomistic モデルを用いた場合はデルタ関数的に、Long-range モデルを用いた場合にはブロードに不純物、ポテンシャルが分布することが分かる。III-2-I- (1) 図 3-3-1-2 に 10nm 間隔で不純物を配置した場合のポテンシャル分布を示した(図中には 20nm 間隔で不純物を配置した例を示した)。メッシュ間隔を 1 から 10nm の範囲で変えた場合、Long-Range モデルではおおよそポテンシャルを再現できているのに対し、Atomistic モデルを用いた場合にはメッシュサイズによりポテンシャルがデルタ関数から大きく変わり、メッシュ間隔が 10nm となった場合には 2 つの不純物が作り出すポテンシャルが 1 つとなり、メッシュ間隔依存大きいことが分かる。したがって、Atomistic モデルを用いた場合にはある程度小さなメッシュ間隔が必要となり、大きなサイズの MOS トランジスタは、現実的な時間でシミュレーションすることが困難となる。

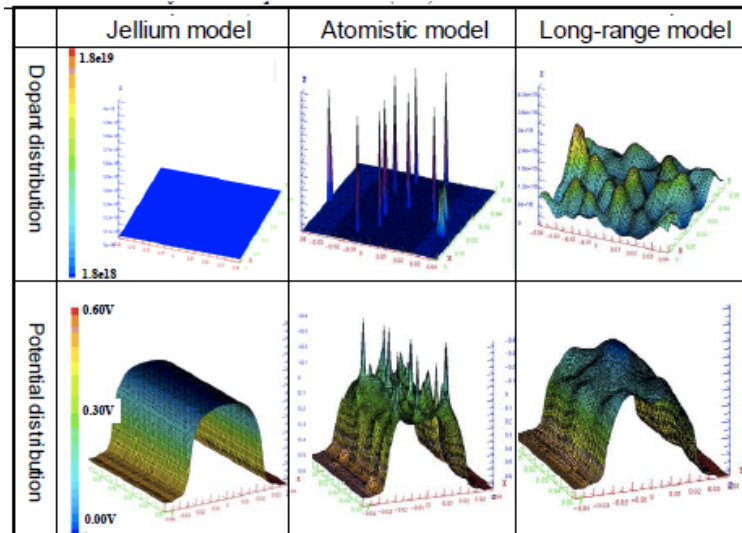
III-2-I- (1)図 3-3-1-3、ならびにIII-2-I- (1)図 3-3-1-4 に $\sigma V_{th}$ 、ならびに $\Delta V_{th}$ <sup>3</sup>のメッシュ間隔依存性を示した。その結果、 $\sigma V_{th}$ に関しては両モデルともよく一致するが、基板濃度( $N_{sub}$ )を低くした場合にAtomisticモデルで $V_{th}$ が大きく低下することが分かった。一方、 $\sigma V_{th}$ 、ならびに $\Delta V_{th}$ の基板濃度依存性をIII-2-I- (1)図 3-3-1-5、ならびにIII-2-I- (1)図 3-3-1-6 に示した。計算に用いたメッシュは、ゲート長( $L_g$ )、ゲート幅( $W_g$ )方向ともに、1nm間隔である。数値計算モデル[4]や過去の 3 次元シミュレーション[7]では、それぞれ、 $\sigma V_{th}$ は  $N_{sub}^{0.25}$ 、 $N_{sub}^{0.4}$  に比例することが示されている。本開発においては、おおよそ過去の 3 次元シミュレーション結果に一致することが分かった。チャンネル中でのパーコレーションが考慮されているため数値計算モデルよりも大きく、完全に 3 次元シミュレーションに一致しない原因は試行回数が少ないための誤差と考えられる。一方、 $\Delta V_{th}$  (Jelliumモデルとの差異)は、デバイスサイズを変えてもLong-rangeモデルでは $N_{sub}$ 依存が小さいが、Atomisticモデルでは $N_{sub}$ に比例して増大していることが分かる。

以上、RDF 計算機能として、Atomistic モデルならびに、Long-Range モデルの組み込みを検討した。その結果、

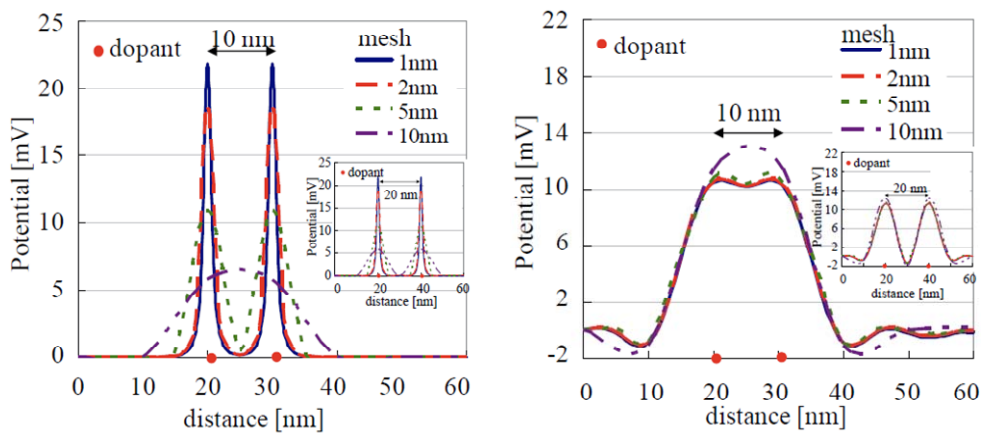
- ・  $\sigma V_{th}$  の計算はほぼモデルによらず一定
- ・  $\langle V_{th} \rangle$  はメッシュ間隔 5nm 以下で Long-Range モデルで飽和するが、Atomistic モデルでは減少する
- ・ Atomistic モデルの  $\langle V_{th} \rangle$  は、 $N_{sub}$  に比例して減少する

ことが分かった[10]。したがって、将来の微細デバイスの  $V_{th}$  ばらつきの計算には、Long-Range モデルが最適であることを明らかにし、本開発の検討では以下の検討に Long-Range モデルを組み込んだ 3 次元の RDF シミュレーション機能を用いることとした。

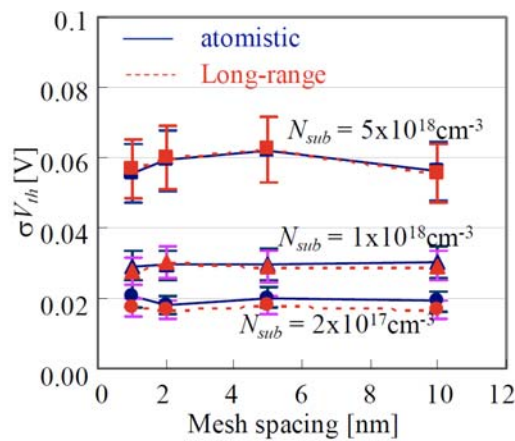
<sup>3</sup>  $\Delta V_{th}$  は Jellium モデルで計算した  $V_{th}$  と計算した平均値  $\langle V_{th} \rangle$  の差分で定義



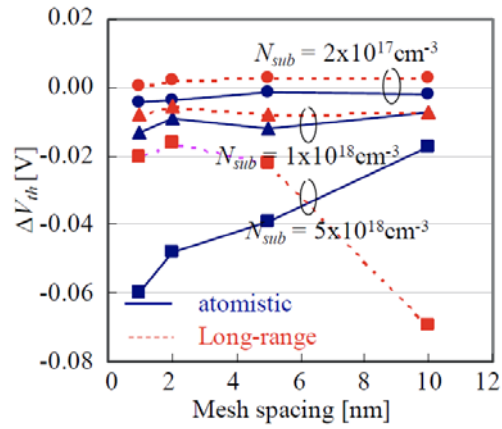
III-2-I-③-(1)図 3-3-1-1 従来の Jellium モデル、Atomistic モデル、ならびに Long-range モデルを用いて計算した不純物、ポテンシャル分布



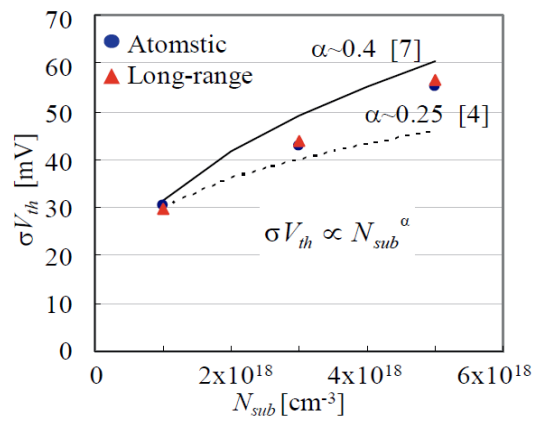
III-2-I-③-(1)図 3-3-1-2 Atomistic モデル、ならびに Long-range モデルを用いて、10nm 間隔で不純物を配置し計算したポテンシャル分布



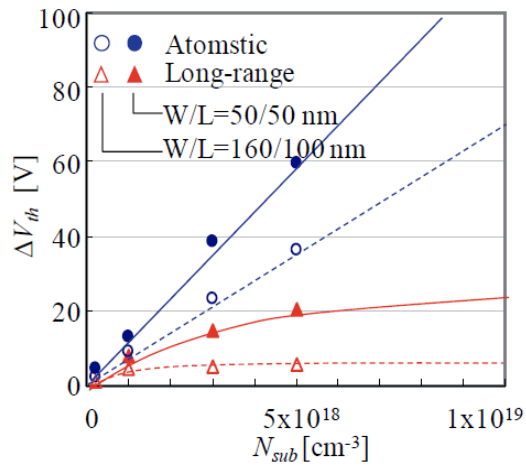
III-2-I-③-(1)図 3-3-1-3  $\sigma V_{th}$  のメッシュ間隔依存性



III-2-I-③-(1)図 3-3-1-4 □  $V_{th}$  のメッシュ間隔依存性



III-2-I-③-(1)図 3-3-1-5  $\sigma V_{th}$  の基板濃度依存性



III-2-I-③-(1)図 3-3-1-6  $\Delta V_{th}$  の基板濃度依存性

## 参考文献

- [1]. Y. Taur, T.H. Ning, “Fundamentals of Modern VLSI Devices”, Cambridge University Press, 1998.
- [2]. T. Mizuno, J. Okamura, and A. Toriumi, “Experimental study of threshold voltage fluctuation due to statistical variation of channel dopant number in MOSFETs,” *IEEE Trans. Electron Devices*, vol. **41**, pp. 2216–2221, 1994.
- [3]. P. A. Stolk and D. B. M. Klaasen, “The effect of statistical dopant fluctuations on MOS device performance,” *IEEE International Electron Device Meeting (IEDM) Technical Digest*, pp. 627-630, 1996.
- [4]. K. Takeuchi, T. Tatsumi, A. Furukawa, “Channel engineering for the reduction of random-dopant-placement-induced threshold voltage fluctuation,” *International Electron Devices Meeting (IEDM) Technical Digest*, pp. 841-844, 1997.
- [5]. K. Takeuchi, A. Nishida and T. Hiramoto, “Normalization of Random Threshold Voltage Fluctuation for Fair Comparison between Technologies, Process Conditions and Device Designs,” *Silicon Nano-electronics Workshop* p.7, 2007.
- [6]. H.-S.Wong and Y. Taur, “Three dimensional ‘atomistic’ simulation of discrete random dopant distribution effects in sub-0.1  $\mu\text{m}$  MOSFETs,” *IEEE International Electron Device Meeting (IEDM) Technical Digest*, pp. 705–708, 1993.
- [7]. A. Asenov, “Random dopant induced threshold voltage reduction and fluctuations in sub 0.1 $\mu\text{m}$  MOSFETs: a 3D “atomistic” simulation study,” *IEEE Trans. Electron Devices*, vol. **45**, pp. 2505–2513, Dec. 1998.
- [8]. N. Sano, K. Matsuzawa, M. Mukai, N. Nakayama, “Role of long-range and short-range Coulomb potentials in threshold characteristics under discrete dopants in sub-0.1  $\mu\text{m}$  Si-MOSFETs,” *IEEE International Electron Device Meeting (IEDM) Technical Digest* pp. 275–278, 2000.
- [9]. N. Sano, K. Matsuzawa, M. Mukai, N. Nakayama, “On discrete random dopant modeling in drift-diffusion simulations: Physical meaning of ‘atomistic’ dopants,” *Microelectronics Reliability*, v **42**, p 189-199, 2002
- [10]. Arifin. T. P, A. Nishida, S. Kamohara, T. Tsunomura and T. Hiramoto, “Consideration of Random Dopant Fluctuation Models for Accurate Prediction of Threshold Voltage Variation of Metal-Oxide-Semiconductor Field-Effect- Transistors in 45 nm Technology and Beyond”, *Japanese Journal of Applied Physics* **48** (2009)044502

### 3-3-2. ゲート酸化膜のアトミックラフネス

MOSトランジスタの  $V_{th}$  ばらつきは、3-3-1項で述べた RDF が主要原因として知られているが[1]-[5]、完全にこの RDF で説明できていない。本項では、III-2-I- (1)図 3-3-1 に示したゲート酸化膜の原子層レベルのラフネスに注目した。MOS トランジスタのゲート酸化膜は、一般的に原子層オーダーでフラットと考えられているが、III-2-I- (1)図 3-3-2-1 に示すように、透過電子顕微鏡(TEM: Transmission Electron Microscopy、以下 TEM と表記)から得られた格子像を平面方向に圧縮することによって、ゲート酸化膜とシリコン基板界面に原子層オーダーのラフネス(以下、アトミックラフネスと呼ぶ)が存在することが明らかになった[6]。アトミックラフネスが電気特性、特にランダムにアトミックラフネスが発生した場合の特性ばらつきに及ぼす影響を検討するため、3次元 TCAD シミュレーションに組み込む機能を開発した。実際このようなランダムにアトミックラフネスが発生するアルゴリズムとして、III-2-I- (1)図 3-3-2-2 に示す手法を用いた。すなわち、

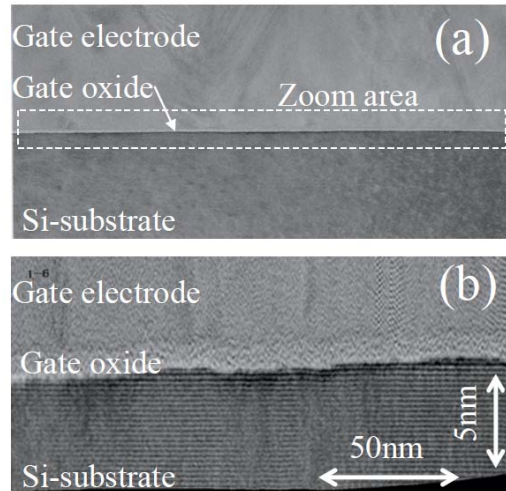
- (i). ランダムな寸法を持つ四角形をゲート酸化膜/シリコン基板界面に発生
- (ii). 半数を界面より上部、半数を下部に凹凸を生成
- (iii). 発生した長方形が重なった場合、同じ確率で上部、あるいは下部にマージ

という手法により、アトミックラフネスを生成した。実際、TEM 評価により界面凹凸の上部、下部、中間の頻度と、上記アルゴリズムにより発生させたアトミックラフネスを III-2-I- (1)図 3-3-2-3 に示した。ラフネスの大きさは TEM の格子像より、ほぼ1原子層であるため凹凸の大きさは $\pm 0.3\text{nm}$ としている。したがって、界面は”0”、凹側が”-0.3nm”、凸側が”+0.3nm”と表記した。TEM の格子像より、凹側と凸側の発生率はほぼ等しく、トータル領域の約 40%となっている。III-2-I- (1)図 3-3-2-3 に示すように、実験値とシミュレーション値がよく一致していることが分かる。

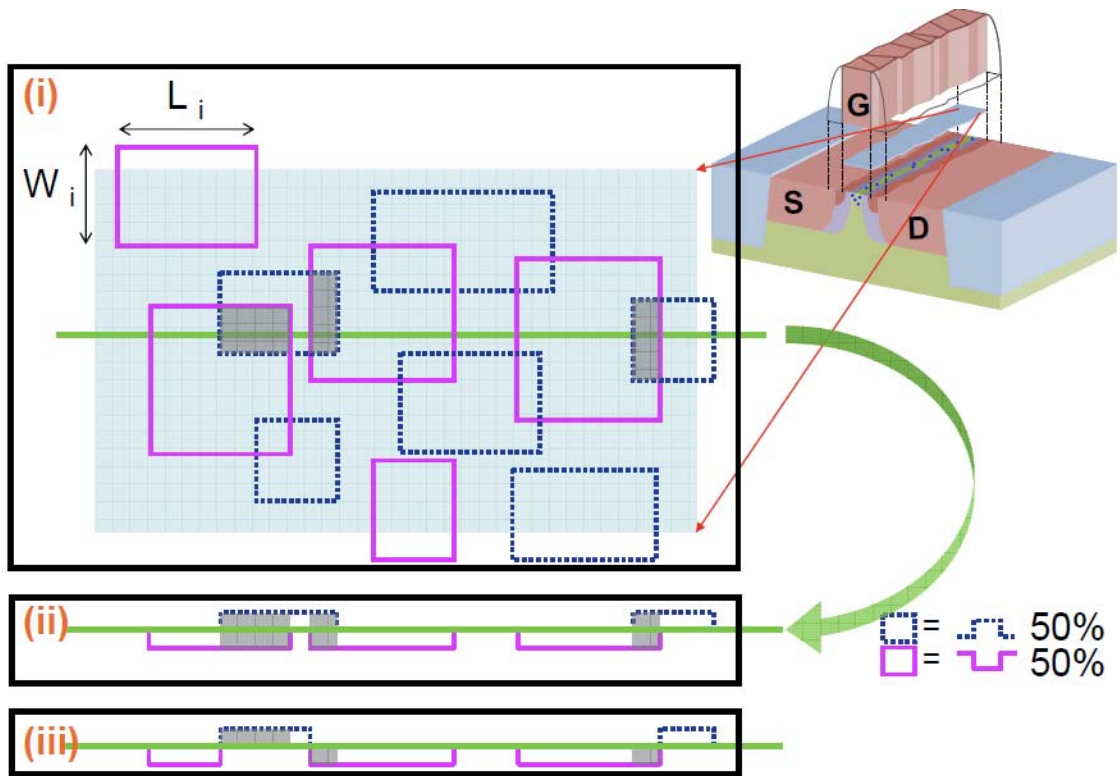
開発した機能を組み込んだ3次元 TCADシミュレーションを用いて、実際のデバイス特性ばらつき計算を実施した一例を III-2-I- (1)図 3-3-2-4 に示した。ここで計算に用いたデバイスの  $L_g$  は 150nm、 $W_g$  は 50nm、 $T_{inv}$  が 1.5nm である。アトミックラフネスは $\pm 0.3\text{nm}$  である。 $V_g$  を印加すると、III-2-I- (1)図 3-3-2-4 に濃い色で示した用にゲート酸化膜が薄い領域(凹領域)に反転層領域が形成され、次にオリジナル界面(表面で評価)が形成されることが分かる。キャリアはソースからドレインへ、電流はドレインからソースに流れる。ランダムに発生したアトミックラフネスの影響で、断面方向の電流は凹凸に沿って流れていることが分かる。一方、平面方向には界面一(“0”の表記位置)でゲート電極側に張り出した凸部が電流の流れが妨げられ、凹凸を避けてキャリアが流れるパーコレーション的な流れ方をしていることが分かる(III-2-I- (1)図 3-3-2-4(d))。III-2-I- (1)図 3-3-2-5 は、数値モデルで計算した  $A_{IT}$  と本開発した機能を用いて計算した  $A_{IT}$  の比較を、 $V_{th}$  をパラメータにしたものである。数値計算モデルと3次元シミュレーションがよく一致していることが分かる。

引き続き、本機能を用いて  $\sigma V_{th}$  を計算した結果を示す。III-2-I- (1)図 3-3-2-6(a) は、アトミックラフネスが引き起こす  $\sigma V_{th}$  の Pelgrom プロットである。Pelgrom プロットは(i)  $L_g=W_g$ 、(ii)  $L_g=100\text{nm}$  固定、(iii)  $W_g=160\text{nm}$  固定で計算したものである。III-2-I- (1)図 3-3-2-6(a)より、(i)~(iii)の条件ともに1つの線上にのることから、 $L_g$  依存、 $W_g$  依存がないことが分かる。これは、 $L_g$  方向、 $W_g$  方向にアトミックラフネスが平均化されていることを示す。III-2-I- (1)図 3-3-2-6(b) は、 $L_g=W_g$  とした場合の、MOSトランジスタの短チャネル特性である。 $L_g=40\text{nm}$  程度まで大きな短チャネル効果は発生していない。III-2-I- (1)図 3-3-2-6(c) は  $L_g=W_g$  の場合、本機能を用いて計算した  $V_{th}$  の累積度数分布である。ほぼ  $V_{th}$  の分布が直線にのっていることから、本機能を用いて計算した  $V_{th}$  は正規分布を示すことが分かった。

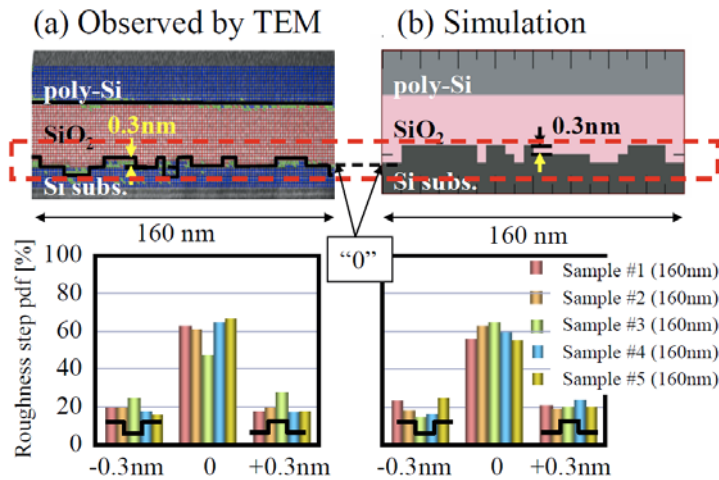
以上、物理解析により明らかになったゲート酸化膜とシリコン基板間のアトミックラフネスを3次元 TCADシミュレーションに導入し、アトミックラフネスがデバイス特性ばらつきに及ぼす影響を検討した。その結果、アトミックラフネスによる  $V_{th}$  ばらつきは、Pelgrom プロットにのる、ゲート面積で平均化されることが分かった。この結果は、デバイスサイズが小さくなるにしたがって、アトミックラフネスによる  $V_{th}$  ばらつきが大きくなるという知見を得た[7]。



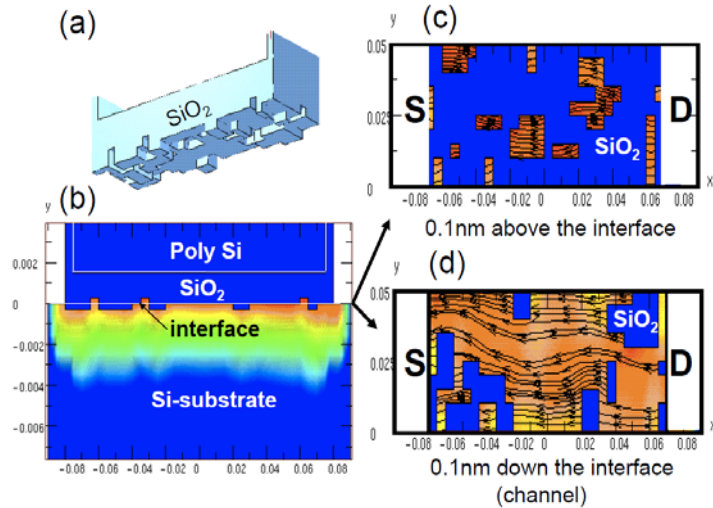
III-2-I-③-(1)図 3-3-2-1 ゲート酸化膜/シリコン基板領域の項分解能断面 TEM による格子像、ならびに平面方向の圧縮像



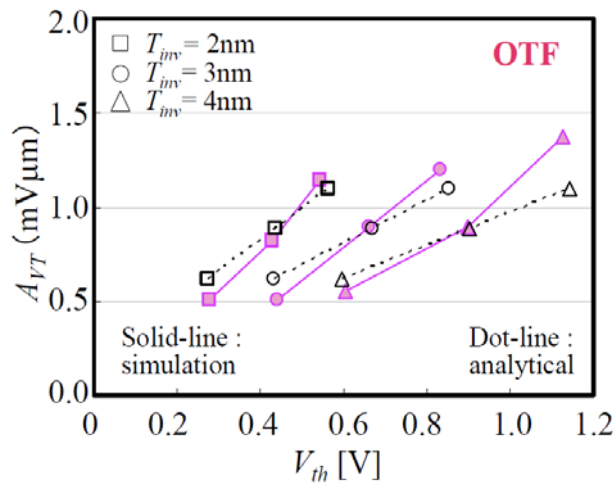
III-2-I-③-(1)図 3-3-2-2 アトミックラフネスを発生するアルゴリズム



III-2-I-③-(1)図 3-3-2-3 圧縮した断面 TEM 像より求めたアトミックラフネスと、開発した機能を用いて発生させたアトミックラフネスの比較

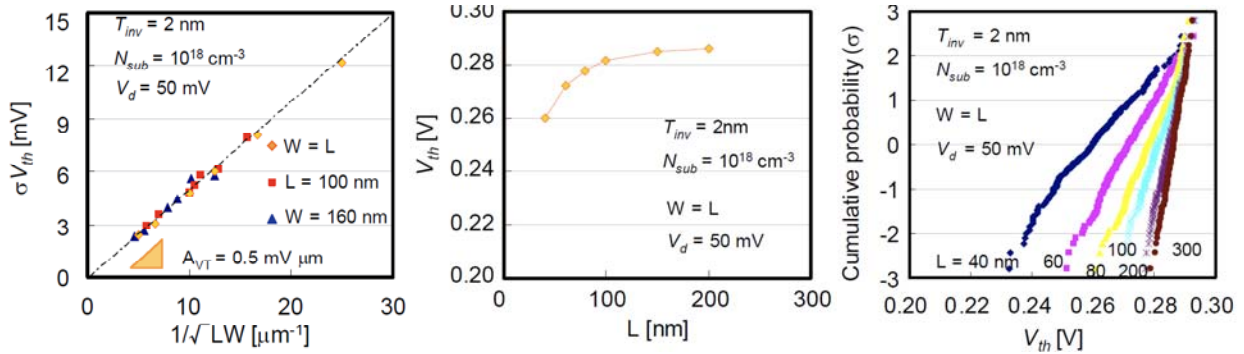


III-2-I-③-(1)図 3-3-2-4 開発した木野を用いて発生したアトミックラフネス構造(a)、断面の電流密度(b)、ゲート酸化膜/基板界面における電流密度(c)、ならびに界面より0.1nm深いチャンネル位置の電流密度(d)。



III-2-I-③-(1)図 3-3-2-5 数値モデルで計算した  $A_{VT}$  と本開発した機能を用いて計算した  $A_{VT}$  の比較





III-2-I-③-(1)図 3-3-2-6 アトミックラフネスが引き起こす  $V_{th}$  ばらつき(a)と、計算に用いたデバイスの短チャネル特性(b)、ならびに  $L_g=W_g$  の際の  $V_{th}$  の累積度数分布(c)

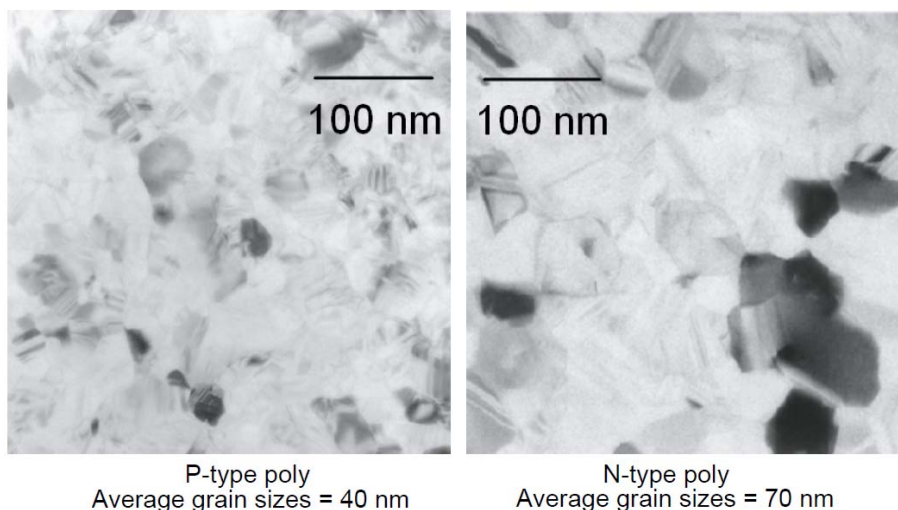
### 参考文献

- [1]. T. Mizuno, J. Okamura, and A. Toriumi, "Experimental study of threshold voltage fluctuation due to statistical variation of channel dopant number in MOSFETs," *IEEE Trans. Electron Devices*, vol. **41**, pp. 2216–2221, 1994.
- [2]. P. A. Stolk and D. B. M. Klaassen, "The effect of statistical dopant fluctuations on MOS device performance," *IEEE International Electron Device Meeting (IEDM) Technical Digest*, pp. 627-630, 1996.
- [3]. K. Takeuchi, T. Tatsumi, A. Furukawa, "Channel engineering for the reduction of random -dopant-placement-induced threshold voltage fluctuation," *International Electron Devices Meeting (IEDM) Technical Digest*, pp. 841-844, 1997.
- [4]. T. Tsunomura, A. Nishida, F. Yano, A. T. Putra, K. Takeuchi, S. Inaba, S. Kamohara, K. Terada, T. Hiramoto, and T. Mogami, "Analyses of  $5\sigma$   $V_{th}$  Fluctuation in 65nm-MOSFETs Using Takeuchi Plot", *Digest of Technical Papers, 2008 Symposium on VLSI Technology*, pp.156-157, June, 2008
- [5]. T. Tsunomura, A. Nishida, F. Yano, A. T. Putra, K. Takeuchi, S. Inaba, S. Kamohara, K. Terada, T. Hiramoto, and T. Mogami, "Impact of Vertical and Lateral Channel Structure on  $V_T$  Fluctuation", *Digest of Technical Papers, 2009 Symposium on VLSI Technology*, p.110-111
- [6]. 矢野史子、角村貴昭、西田彰男、蒲原史郎、平本俊郎、「ゲート酸化膜／シリコン基板界面の原子レベル凹凸の評価解析」、2007 年春季 第 54 回応用物理学関係連合講演会(27a-ZG-2、 p.827)
- [7]. Arifin. T. P, T. Tsunomura, A. Nishida, S. Kamohara, K. Takeuchi and T. Hiramoto, "Impact of Oxide Thickness Fluctuation and Local Gate Depletion on Threshold Voltage Variation in Metal-Oxide-Semiconductor Field-Effect-Transistors", *Japanese Journal of Applied Physics* **48** (2009) 064504 (5 pages)

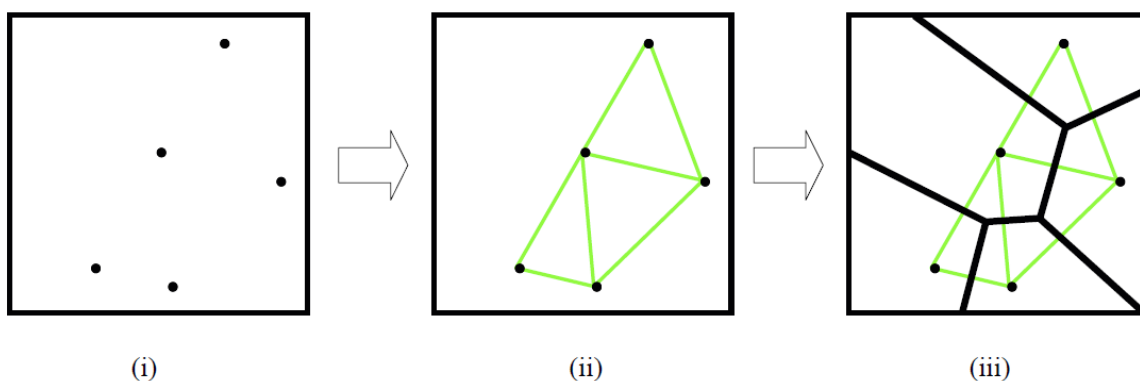
### 3-3-3. ゲート電極の局所空乏化

3-3-2 項にてアトミックラフネスによるゲート酸化膜の局所的な膜厚揺らぎを 3 次元 TCAD シミュレーションに導入した。ゲート電極がポリシリコンで形成されているため、多結晶シリコンへのドーピングが不十分であればこれが空乏化して、電気的なゲート酸化膜厚  $T_{inv}$  の増加原因となる(III-2-I- (1)図 3-3-1)。非常に大きな空乏化したグレインが、SRAM (Static Random Access Memory) の負荷 MOS のゲートにのった場合に、 $V_{th}$

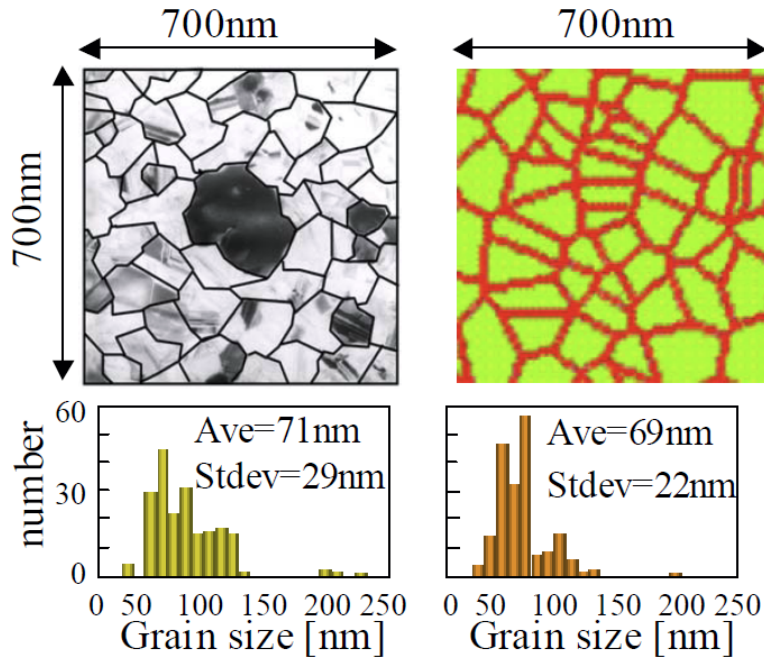
が大きくなる現象が報告されており[1]、これがランダムばらつきの原因となる可能性がある。また我々の開発グループのアトムプローブの計測結果から、MOS構造のゲートポリシリコンはグレインバンドリに高濃度に不純物が存在し、グレイン内の不純物濃度が低濃度化することも分かっており[2]、[1]で大きなグレインがゲート上に配置された場合に  $V_{th}$  がシフトする現象を支持した結果が得られている。また、III-2-I-(1)図 3-3-3-1 に示す PMOS、ならびに NMOS のゲートポリシリコンの平面 TEM 像より、ホウ素を添加した PMOS のゲートポリシリコンのグレインサイズは小さく、リンを添加した NMOS グレインサイズが大きくなっていることが分かる。また実際、NMOS の  $V_{th}$  ばらつきが、PMOS の  $V_{th}$  ばらつきよりも大きいことも分かっており、これが NMOS、PMOS のばらつき差の一因となる可能性もある。このため、本開発ではゲートポリシリコンのグレインサイズと、グレイン内とグレインバンドリの不純物濃度を独立に制御し、局所的なゲート空乏化を 3 次元 TCAD シミュレーションに導入した。III-2-I-(1)図 3-3-3-2 は、ゲートのグレイン構造を発生させるためのアルゴリズムである。まず、(i)ランダムにグレインの核となるシードを発生し、(ii)隣接する核間を直線で結び、(iii)その核間の中点から垂線を引き、これをグレインバンドリと定義する。グレインバンドリとグレイン内で不運物濃度を変えて、空乏化率を変えるため、高濃度に不純物が存在するグレインバンドリの幅を 20nm と仮定した。III-2-I-(1)図 3-3-3-3 に平面 TEM より求めたグレインサイズの分布と、開発した機能を用いて発生したグレインのサイズの比較した結果を示した。実測したグレイン分布とシミュレーションで発生したグレイン分布がよく一致していることが分かる。



III-2-I-③(1)図 3-3-3-1 PMOS、ならびに NMOS のゲートポリシリコンの平面 TEM 像



III-2-I-③(1)図 3-3-3-2 ゲートのグレイン構造を発生させるためのアルゴリズム

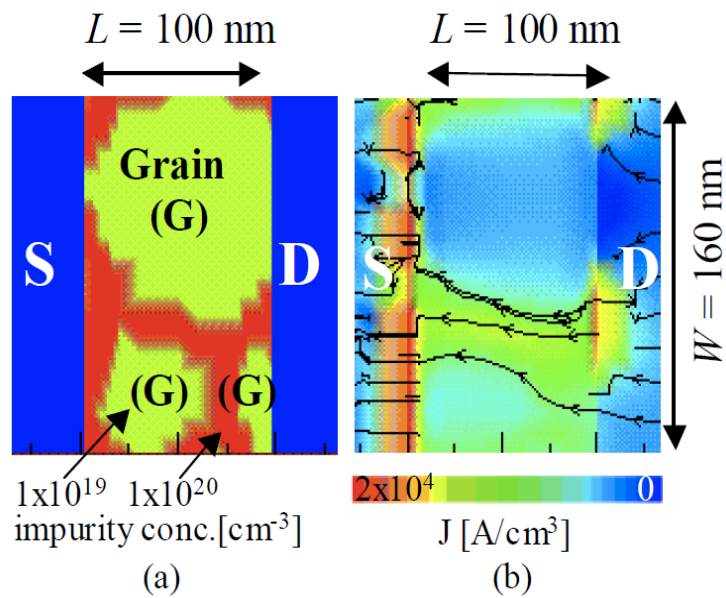


III-2-I-③-(1)図 3-3-3-3 実際のデバイスのゲート電極の平面 TEM 像と、開発した機能を用いて導出した多結晶シリコン、ならびに求めたグレインサイズのヒストグラム。

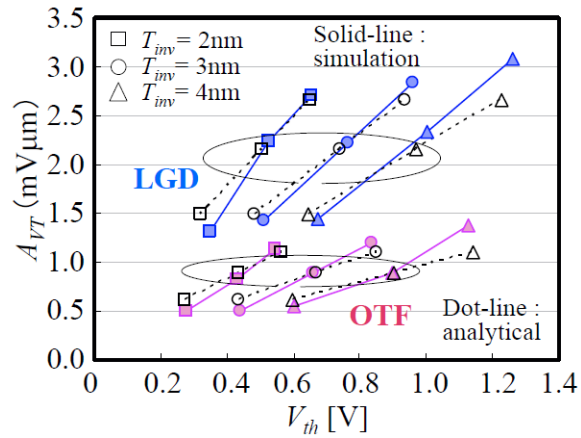
作製した機能を組み込んだ 3 次元 TCAD シミュレーションを用いて、 $V_{th}$  ばらつき計算を実施した。III-2-I- (1)図 3-3-3-4(a)に示すように、発生したグレインとグレインバンドリの不純物濃度は、それぞれ  $1 \times 10^{19} \text{cm}^{-3}$  と  $1 \times 10^{20} \text{cm}^{-3}$  に設定し、グレインバンドリ幅は 20nm とした。この構造をゲートに持つ MOS デバイスの電流パスを III-2-I- (1)図 3-3-3-4(b)に示した。ちょうどグレインバンドリが形成された領域に、電流が集中し、パーコレーションパスが形成されていることが分かる。つまり、グレイン直下では空乏化が大きい局所的に容量膜厚が大きくなり、不純物濃度の高いグレインバンドリ近傍領域に電流が集中する当初の目的の機能が確認できた。数値計算モデル ( $T_{inv}$  が  $\sigma T_{inv}$  で揺らいだ場合) と開発した 3 次元 TCAD シミュレーションの比較を行うために、 $A_{VT}$  の  $V_{th}$  依存性を求めた(III-2-I- (1)図 3-3-3-5)。局所空乏化機能を用いて計算した  $A_{VT}$  の  $V_{th}$  依存性は、数値計算モデルで求めた依存性によく一致しており、開発した 3 次元 TCAD シミュレーションの結果が妥当であることが確認できた。III-2-I- (1)図 3-3-3-6 は、開発した 3 次元 TCAD シミュレーションを用い、 $L_g/W_g=40/40\text{nm}$ 、ならびに  $L_g/W_g=200/200\text{nm}$  デバイスのソース・ドレインを入れ換えた場合の  $V_{th}$  の相関を示したものである。 $V_{th}$  の評価は、ドレイン電圧  $V_d=50\text{mV}$  の線形領域で行っている。ソース・ドレインを入れ換えたデバイスの  $V_{th}$  は非常に強い相関を持っているが、これは、線形の  $V_{th}$  がゲート面全体で決まっていることを示している。III-2-I- (1)図 3-3-3-7 は、グレインサイズが変化した場合に、 $V_{th}$  ばらつきがどのように変わるかを示したものである。ゲートポリシリコンのグレインサイズが小さくなると、 $\sigma V_{th}$  は小さくなることわかる。グレインサイズが 150nm よりも大きくなった場合、大きなグレインがチャンネル全体に配置されるため、 $V_{th}$  が約 0.45V に固定されてしまう現象が生ずる。III-2-I- (1)図 3-3-3-8 は、ポリシリコンのグレインサイズの平均値が 70nm に設定した場合の、Pelgrom プロット ( $L_g=W_g$ ,  $L_g=100\text{nm}$  に固定、 $W_g=160\text{nm}$  に固定の場合)、ならびに  $V_{th}$  の  $L_g$  依存性である。Pelgrom プロットで直線に乗ることから、ランダムに発生させたゲート電極のポリシリコンは、 $L_g$  方向、 $W_g$  方向に平均化されるが、その平均化の程度は異なることを示唆している。

以上、MOS トランジスタのゲート電極のポリシリコンをランダムに発生させ、グレインとグレインバンドリで局所的な空乏化の異なる機能の開発と検証を完了し、3 次元 TCAD シミュレーションに組み込んだ。ゲートポ

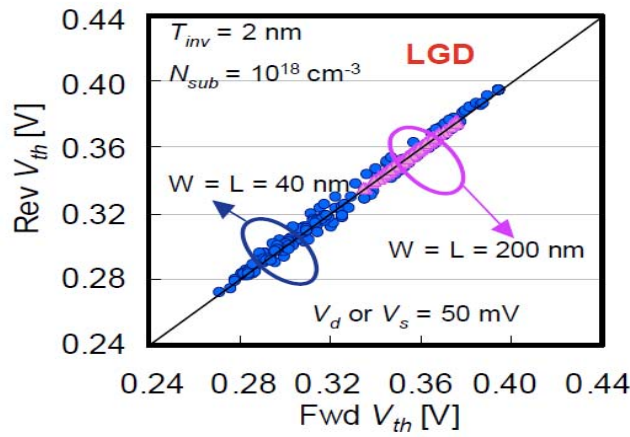
シリコンのグレインサイズが小さい場合はグレインの局所空乏化による影響は少ないが、 $L_g/W_g$  がスケールアップされていった場合に  $V_{th}$  ばらつきが大きくなる知見を得た。



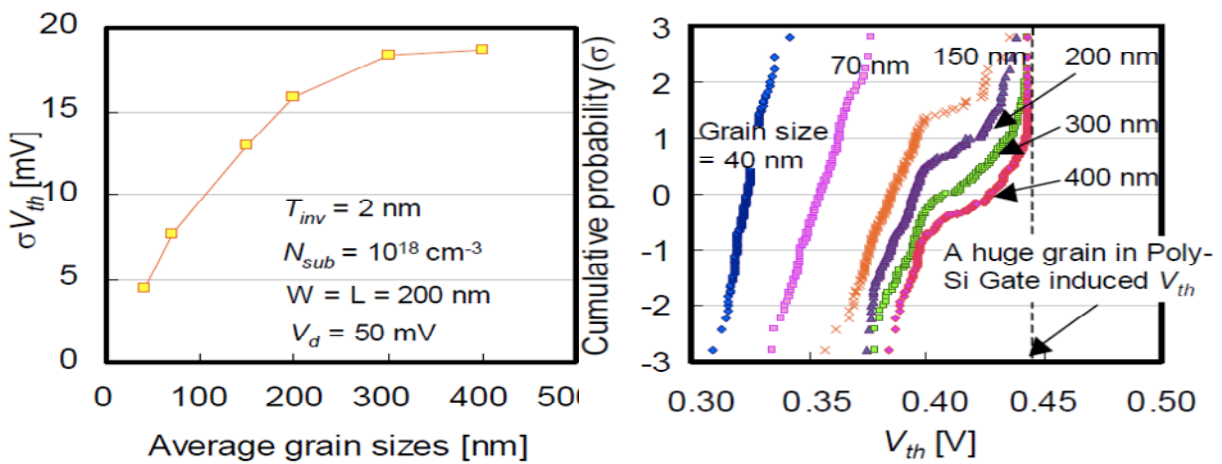
III-2-I-③-(1)図3-3-3-4 シミュレーションで用いたデバイスのゲート電極の不純物濃度分布(a)と、チャンネルに流れている電流密度(b)



III-2-I-③-(1)図 3-3-3-5  $A_{VT}$  の  $V_{th}$  依存性。



III-2-I-③-(1)図 3-3-3-6 開発した3次元 TCAD シミュレーションを用い、 $L_g/W_g=40/40\text{nm}$ 、ならびに  $L_g/W_g=200/200\text{nm}$  デバイスのソース・ドレインを入れ換えた場合の  $V_{th}$  の相関



III-2-I-③-(1)図 3-3-3-7 グ레인サイズが変化した場合の  $V_{th}$  ばらつき

### 3-3-4. ゲート酸化膜の固定電荷

III-2-I- (1)図 3-3-1 に示した図において、MOSトランジスタの特性に影響する物理パラメータとして、ゲート酸化膜中の固定電荷や、ゲート酸化膜界面の界面準位が考えられる。本開発では、これらをゲート酸化膜とシリコン基板界面に存在する離散的な固定電荷として扱うことにした。局所的なシート電荷密度は、下式で与えられる。

$$\rho_{\text{int}} = \frac{n_{\text{int}}}{S_i}$$

で示される。ここで、ゲート面積  $S_i$  はある面積で  $n_{\text{int}}$  はシリコンに存在する離散的な固定電荷の数を示している。したがって、ゲート面積  $S_i$  の平均的な電荷密度  $\rho_{\text{int}}$  でトータルの固定電荷密度  $N_{\text{int}}$  は下式で示される。

$$\rho_{\text{int}} = \frac{\sum n_{\text{int}}}{S_i} = N_{\text{int}}$$

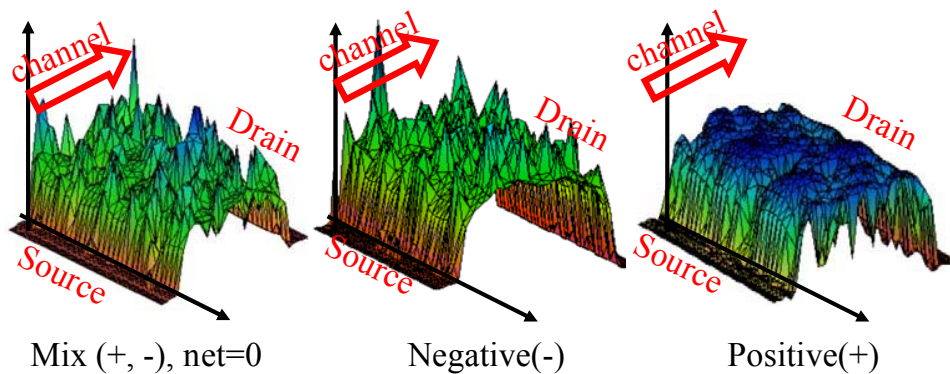
非常に小さな領域シリコンにおいて統計的に変動し、また  $\rho_{\text{int}}$  は位置ごとに変動する。このため、 $n_{\text{int}}$  はランダムに分布し、ポアソン分布と仮定する。このアルゴリズムを、3次元 TCADシミュレータに組み込んだ。界面に発生した固定電荷はシリコン基板表面の電荷と相互作用し、シリコン基板側の電荷分布やポテンシャル分布を変化させ、その結果デバイス特性に大きな影響を及ぼす。III-2-I- (1)図 3-3-4-1 に示すように、ランダムに発生する離散固定電荷として、

- A) 界面に正負の固定電荷を発生(ネットの電荷量としては”ゼロ”)
- B) 負の固定電荷
- C) 生の固定電荷

とした。これらの固定電荷はゲート酸化膜の膜厚方向にも分布を持つが、本開発では最も影響の大きいシリコン基板との界面にシート状に発生すると便宜上、仮定した。III-2-I- (1)図 3-3-4-1 は、上記(A)から(C)のケースの適用した場合の MOSトランジスタのチャネルポテンシャルを示している。発生させた固定チャージの極性、位置に応じて、ポテンシャルが変化していることが分かる。

開発した機能を導入した 3次元 TCADシミュレーションと数値計算モデルの結果を比較するために、固定電荷  $N_{\text{int}}$  が  $A_{VT}$  に与える影響を、 $N_{\text{sub}}$ 、 $T_{\text{inv}}$  に与える影響を求めた。III-2-I- (1)図 3-3-4-2 に、負の電荷状態の固定電荷を考慮した数値計算モデル、ならびに 3次元 TCADシミュレーション~求めた  $A_{VT}$  の  $V_{th}$  依存性を示した。若干絶対値が異なるものの、依存性はほぼ一致している。仮定した 3つの電荷状態が、 $V_{th}$  とそのばらつきに与える影響を調べた。III-2-I- (1)図 3-3-4-3(a)は、 $T_{\text{inv}}=4\text{nm}$ 、 $N_{\text{sub}}=1 \times 10^{18}\text{cm}^{-3}$  の条件で、開発した 3次元 TCADシミュレーションで計算した 200 デバイスの  $V_{th}$  の累積度数分布である。どの電荷状態の場合にもおおよそ正規分布を示す。III-2-I- (1)図 3-3-4-3(b)は、固定電荷量と  $V_{th}$  の標準偏差の関係、ならびに  $V_{th}$  の平均値の関係を示したものである。 $V_{th}$  の平均値は固定電荷の電荷量に線形に依存するが、 $\sigma V_{th}$  は正負の電荷が混合状態で存在する場合に約  $\sqrt{2}$  大きくなっている。これは、正の固定電荷と負の固定電荷が独立に存在しているためである。 $T_{\text{inv}}$  を変えた場合の  $A_{VT}$  の  $V_{th}$  依存性を評価した結果を、III-2-I- (1)図 3-3-4-4(a)

に示した。 $N_{sub}$  は  $1 \times 10^{18} \text{cm}^{-3}$ 、 $N_{int}$  は  $10^{12} \text{cm}^{-2}$  としている。どの電荷状態の場合にもゲート酸化膜厚により  $V_{th}$  が変化し、ばらつきも変化していることが分かる。III-2-I- (1)図 3-3-4-6 は、 $T_{inv}=4\text{nm}$  で  $A_{VT}$  の  $N_{sub}$  依存性である。どの場合にも  $N_{sub}$  依存性が小さいことを明らかにした。

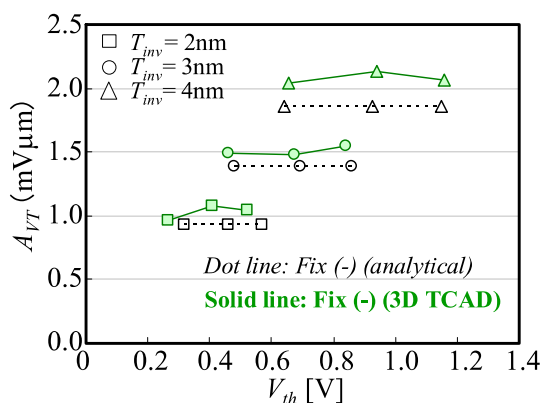


III-2-I-③-(1)図 3-3-4-1 界面に発生させた固定電荷。それぞれ、正負混在、負電荷のみ、正電荷のみを示し、コマンドにより切り替え可能としている。

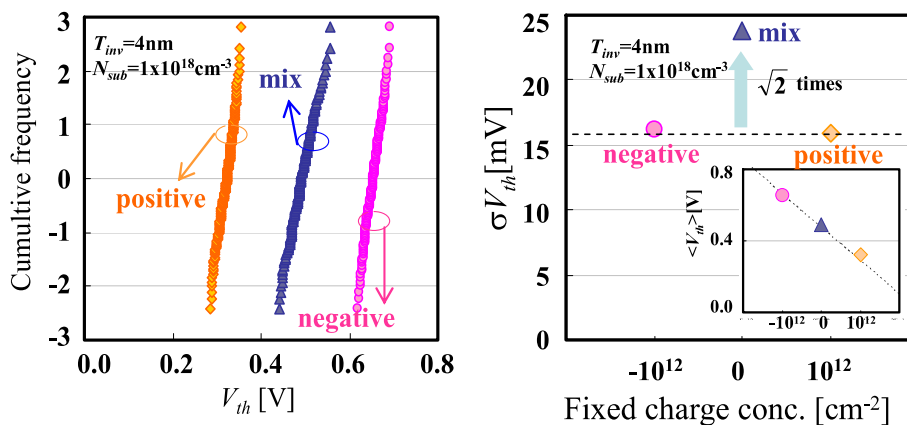
Discrete Fixed Charge Fluctuation  
Analytical Model for  $A_{VT}$

$$A_{VT} = \frac{qT_{inv}}{\epsilon_{ox}} \sqrt{N_{int}}$$

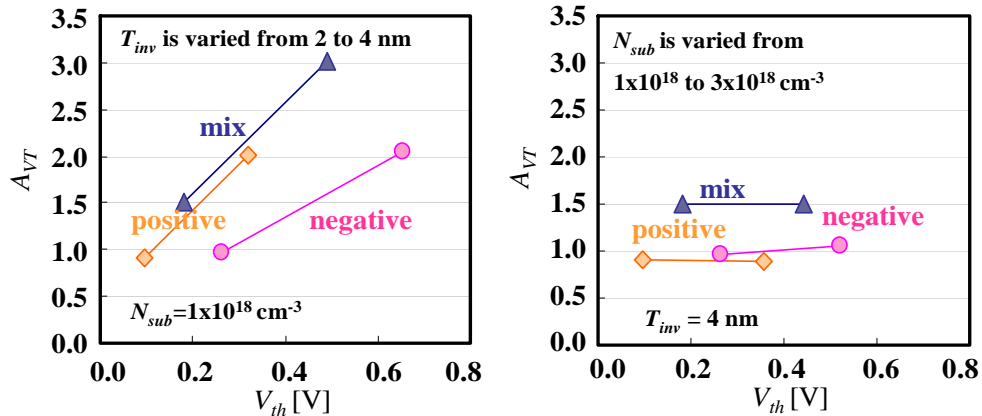
$A_{VT}$ : Pelgrom coefficient,  $q$ : electronic charge.  
 $T_{inv}$ : effective gate oxide thickness at inversion region.  
 $N_{int}$ : Fixed charge concentration at interface, region,  $\epsilon_{ox}$ :  $\text{SiO}_2$  permittivity.



III-2-I-③-(1)図 3-3-4-2 負の固定電荷を仮定した場合の数値計算モデル、ならびにシミュレーションより求めた  $A_{VT}$  の  $V_{th}$  依存性。



III-2-I-③-(1)図 3-3-4-3  $T_{inv}=4\text{nm}$ 、 $N_{sub}=1 \times 10^{18} \text{cm}^{-3}$  の条件で、開発した 3 次元 TCAD シミュレーションで計算した 200 デバイスの  $V_{th}$  の累積度数分布(a)。ならびに固定電荷量と  $V_{th}$  の標準偏差の関係(b)



III-2-I-③-(1)図 3-3-4-4  $T_{inv}$ を変えた場合の  $A_{VT}$  の  $V_{th}$  依存性(a)と、 $T_{inv}=4\text{nm}$  で  $A_{VT}$  の  $N_{sub}$  依存性(b)

### 3-3-5. 拡散モンテカルロシミュレーションによる $B_{VT}$ の再現とその検証

本開発において、NMOS、ならびに PMOS のランダムしきい値( $V_{th}$ )ばらつきを比較すると、NMOS の  $\sigma V_{th}$  が PDF よりも約 1.5 倍大きいことが分かっている(III-2-I-③-(1)図 3-3-5-1)[1][2][3]。Takeuchi プロットにより規格化されたランダム  $V_{th}$  ばらつき指標  $B_{VT}$  は、NMOS で 2.7、PMOS で 1.7 である。これは、シリコン酸化膜系のゲート絶縁膜、ポリシリコンをゲートに用いる構造であれば、様々な工場、様々な世代でほぼ一定の値をと (known)の二乗和で示される。

$$B_{VT}(\text{NMOS}) = \sqrt{B_{VT}(\text{RDF})^2 + B_{VT}(\text{unknown})^2}$$

ここで、RDF で決まる  $B_{VT}(\text{RDF})$  は、前記仮定より、PMOS の  $B_{VT}$  であるため、

$$B_{VT}(\text{NMOS}) = \sqrt{B_{VT}(\text{PMOS})^2 + B_{VT}(\text{unknown})^2}$$

ここで、NMOS の  $B_{VT}$  は 2.7、PMOS は 1.7 であるので、 $B_{VT}(\text{unknown})$  は、約 2.1 で示される。このため、NMOS のランダム  $V_{th}$  ばらつきは、RDF と同程度のばらつき原因が存在することが分かる。

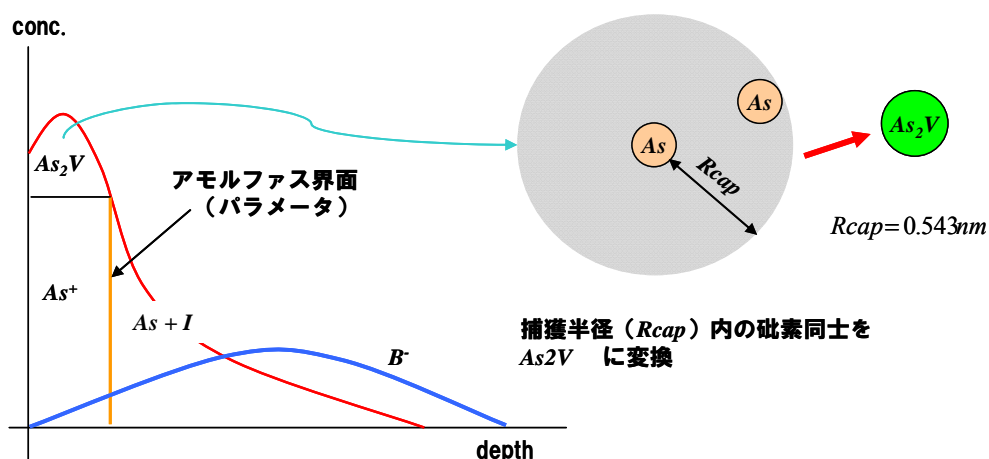
NMOS のランダム  $V_{th}$  ばらつきは、第 1 章の電気特性の解析や、第 2 章で述べた一貫物理解析結果から、チャンネル不純物の再分布、横方向の濃度分布が原因と考えている[4][5]。これは、III-2-I-③-(1)図 3-3-5-3 に示したように、様々なチャンネル注入種を用いた Halo 注入を行わないデバイスの短チャンネル特性を評価した結果、チャンネルにホウ素を添加したデバイスのみ逆短チャンネル効果が検出され、これは、III-2-I-③-(1)図 3-3-5-4 に示すように、チャンネルにホウ素注入を用いる NMOS の場合、ゲート形成後の各種プロセスによりチャンネルに均一に分布していたホウ素が再分布し、Extension 端にパイルアップしているためと考えている。このため、Halo 注入しなくても、チャンネル長が小さくなるとパイルアップした領域が近づくためにチャンネル不純物濃度が高濃度化し、逆短チャンネル効果が生じていると考えられる。



そこで、本項では、この現象を再現するために、拡散モンテカルロシミュレーションを検討し、シリコン中のホウ素の拡散原因である格子間シリコン量や、シリコン中のホウ素の拡散をばらつかせて、NMOS の BVT が再現の検討を行った。

### 3-3-5-1. 拡散モンテカルロシミュレーション

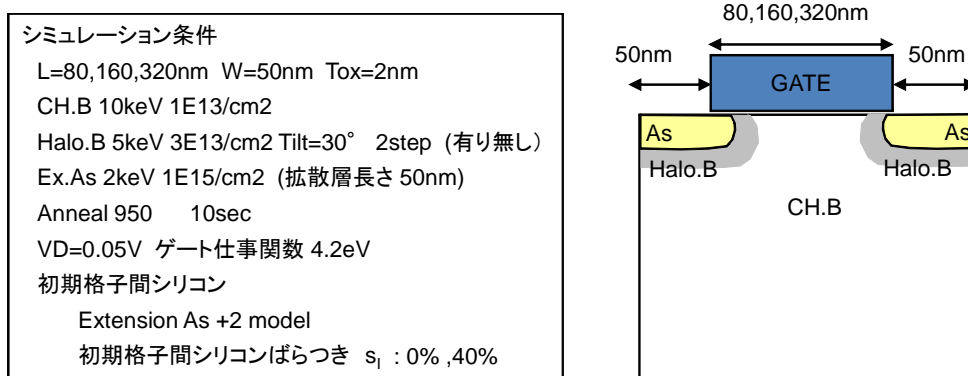
本検討に用いたモンテカルロイオン注入シミュレータは、2 体散乱近似により材質原子との衝突を解析する粒子注入シミュレータであり、ゲート電極の LER(Line Edge Roughness)や結晶方位依存性を考慮した計算が可能である。ばらつき解析では、注入粒子数をドーズ量と整合させ、統計性向上手法をすべて停止して実行することで、1粒子が1イオンを表現する計算が実現できる[6][7]。点欠陥を考慮した拡散モンテカルロシミュレータは、拡散係数、反応モデルをパラメータで記述することで、多様な拡散モデルをフレキシブルに計算できるシミュレータであり、本報の計算では III-2-I- (1)図 3-3-5-5 に示す反応モデルを用いた。粒子種毎に、ポテンシャルに応じた電荷状態比率が設定されており、解析メッシュで計算されたポテンシャルに従い確率的に電荷状態が設定される。このポテンシャルは、電荷中性条件を用いて、解析メッシュ毎に局所的に計算される。拡散の離散初期値は、モンテカルロイオン注入の離散計算結果から変換フィルタで作成する。変換方法も、モデルに応じて、フレキシブルに変更可能であるが、本報の計算では、III-2-I- (1)図 3-3-5-6 のように設定している。アモルファス界面より深い領域に離散砒素と同量の格子間シリコンを配置している(Plus One Model)。これは、アモルファス領域は拡散初期の固層エピにより欠陥が回復することを前提としたものである。また、砒素の初期不活性化を実現するため、捕獲半径以内に近接した砒素同士を、クラスタ( $As_2V$ 、砒素 2、空孔 1)として配置している。拡散モンテカルロは、点欠陥の拡散過程を個々に解析するため、長大な計算時間を必要とする。さらに、この計算時間は初期粒子数や拡散熱履歴に依存して大きく変化する。それゆえ、点欠陥を考慮せず、不純物拡散長のみをパラメータとした、拡散モンテカルロ簡易版が補助ツールとして利用できる。また、入力された不純物濃度分布を期待値として、離散不純物を発生させるツールも補助ツールとして利用可能である。上記ツール群で発生させた離散不純物データは、デバイスシミュレータ用解析格子に反映させ、ENEXSS で電気特性解析を実施する。このための変換ツールは、ENEXSS で作成したデバイス構造ファイルに対し、離散不純物分布を反映させることが可能である。



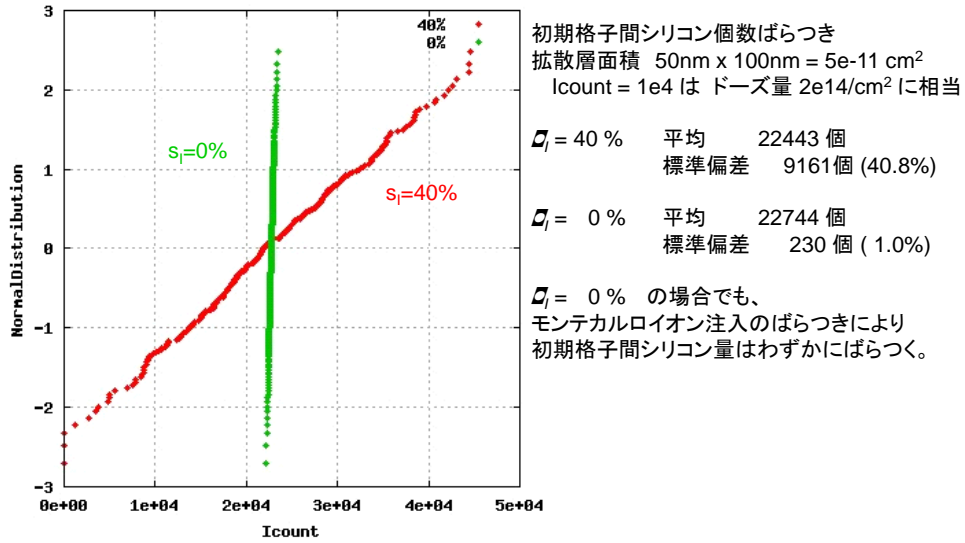
III-2-I- (1)図 3-3-5-6 拡散初期値設定方法

### 3-3-5-2. NMOSの $B_{VT}$ シミュレーション

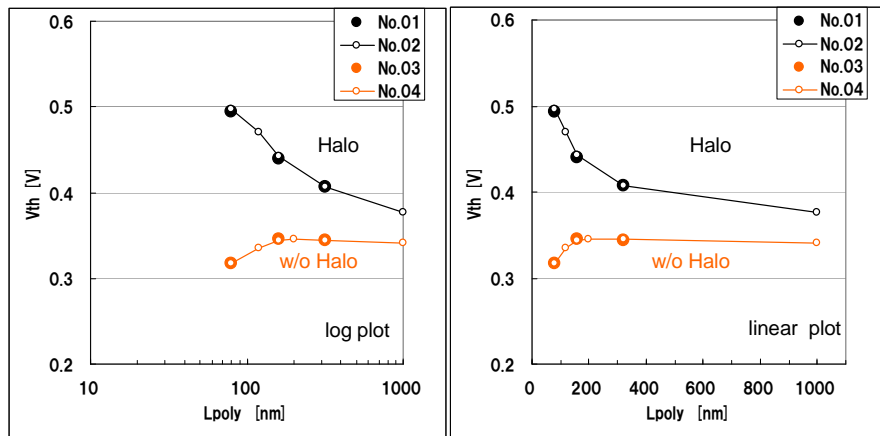
$V_{th}$  ばらつきのゲート長依存性のための計算は、 $L_g = 80, 160, 320\text{nm}$  の3水準について計算を行った。逆短チャネル効果を観察するための平均  $V_{th}$  計算については、試行数を大幅に削減し、 $\sim 1000\text{nm}$  のデバイスについて解析を行った。 $V_{th}$  ばらつき計算においては、チャネル領域の解析メッシュを均等(2nm 立方)に保つ必要があり、長チャネルのデバイスシミュレーションは、メモリサイズ、計算時間が大きく増大する。現有計算環境においては、 $L_g=1000\text{nm}$ 、 $W_g=50\text{nm}$  程度が限界であった。なお、拡散モンテカルロでは、注入不純物の個数に応じて計算時間が支配されており、拡散層面積が固定のゲート長振りでは、計算時間はあまり変化しない。不純物注入は、チャネルホウ素、Halo注入のホウ素、Extension注入のヒ素のみとした。粒子数が膨大し、算時間を桁で変えてしまう深いソース・ドレイン注入については割愛した。チャネルホウ素については、ゲート製造前に完全に活性化されていることを想定し、すべて置換位置とした。Haloホウ素注入によるホウ素初期値をBIペアとした。Extension注入後のヒ素については、捕獲半径を設定しクラスタ化させた。ヒ素注入による欠陥は、アモルファスクリスタル界面(A/C界面)までは瞬時に消滅すると仮定し、A/C界面以降のヒ素と同量の格子間シリコンを発生させる「+1モデル」が通常用いられる。しかし、+1モデルでは実測でみられている逆短チャネル効果が小さく、また、ソース・ドレイン注入を省略している点を考慮し、+2モデルとした。さらに、初期格子間シリコン量揺らぎを増幅させる計算では、平均を+2、標準偏差を $\sigma_i$ (水準)となるように初期格子間シリコン量をばらつかせた。III-2-1- (1)図 3-3-5-8 に初期格子間シリコン数の正規化プロット( $\sigma_i=0,40\%$ )を示す。アニール条件は  $950^\circ\text{C}10\text{sec}$  と一定温度によるものを採用した。実デバイスの全熱履歴を本シミュレータで解析することは、事実上不可能であり、パラメータの複雑性を回避するため温度を一定とした。初期格子間シリコン量の平均値が等しいため、 $\sigma_i$ を変化させても平均  $V_{th}$  は変わらない。比較的  $V_{th}$  ばらつきが小さく、少ない試行数で平均が得られる、 $\sigma_i = 0\%$ の条件で、平均  $V_{th}$  のゲート長依存性を解析した。III-2-1- (1)図 3-3-5-9 に平均  $V_{th}$  の  $L_g$  依存性を示した。Halo注入したデバイスでは、顕著な逆短チャネル効果が観測された。これは、短チャネル Halo デバイスでは Halo 不純物がチャネル中央で重なり合い、チャネルホウ素の濃度を上昇させているためである。III-2-1- (1)図 3-3-5-10 に平均不純物分布(試行数のデバイスデータから平均濃度を算出したもの)を示す。Halo 無しデバイスでは、逆短チャネル効果による  $V_{th}$  上昇はごく僅かであった。Halo 無しデバイスの逆短チャネル効果は、「拡散層から導入された欠陥によるチャネル不純物パイルアップ効果」のゲート長依存性が原因と考えられている。平均不純物分布(III-2-1- (1)図 3-3-5-11)を観測すると、Halo 無しデバイスにおいてもパイルアップ効果は確認できたが、短チャネル効果の方が大きく、 $V_{th}$  が上昇するほどの逆短チャネル効果はみられない知見を得た。



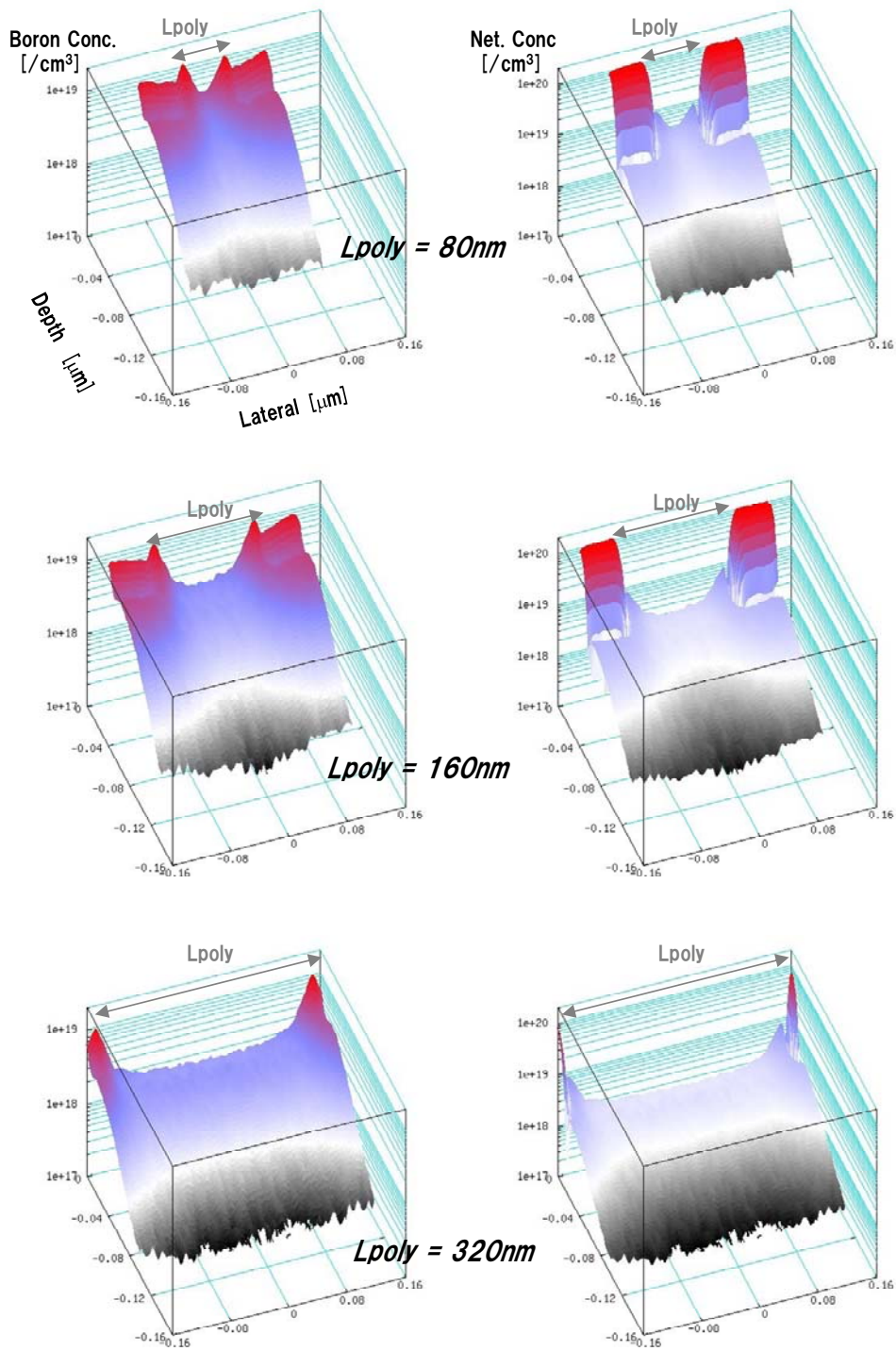
III-2-1- (1)図 3-3-5-7 モンテカルロシミュレーションに用いた条件



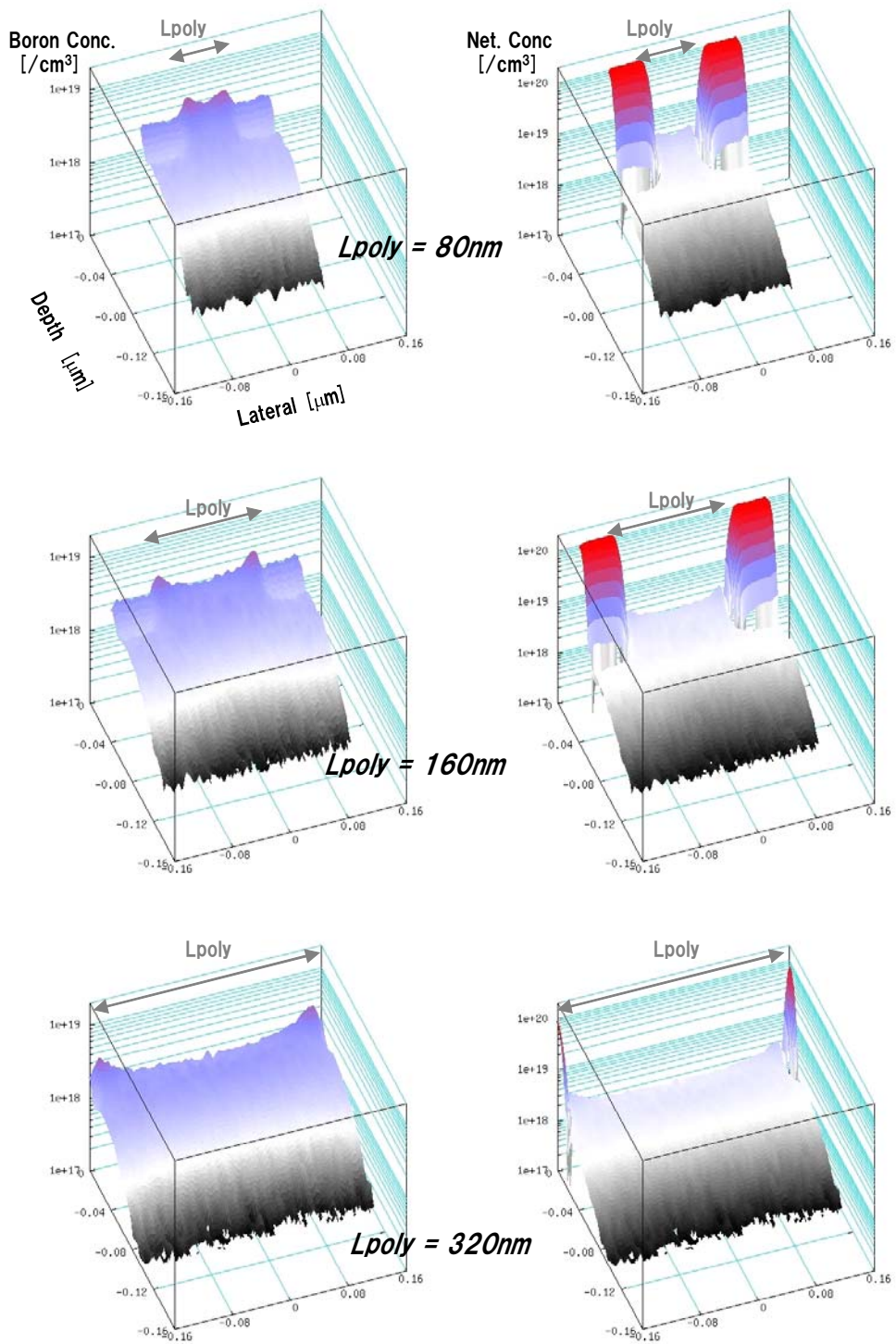
III-2-I-③-(1)図 3-3-5-8 初期格子間シリコン個数の正規化プロット



III-2-I-③-(1)図 3-3-5-9 モンテカルロシミュレーションしたデバイスの平均  $V_{th}$  の  $L_g$  依存性



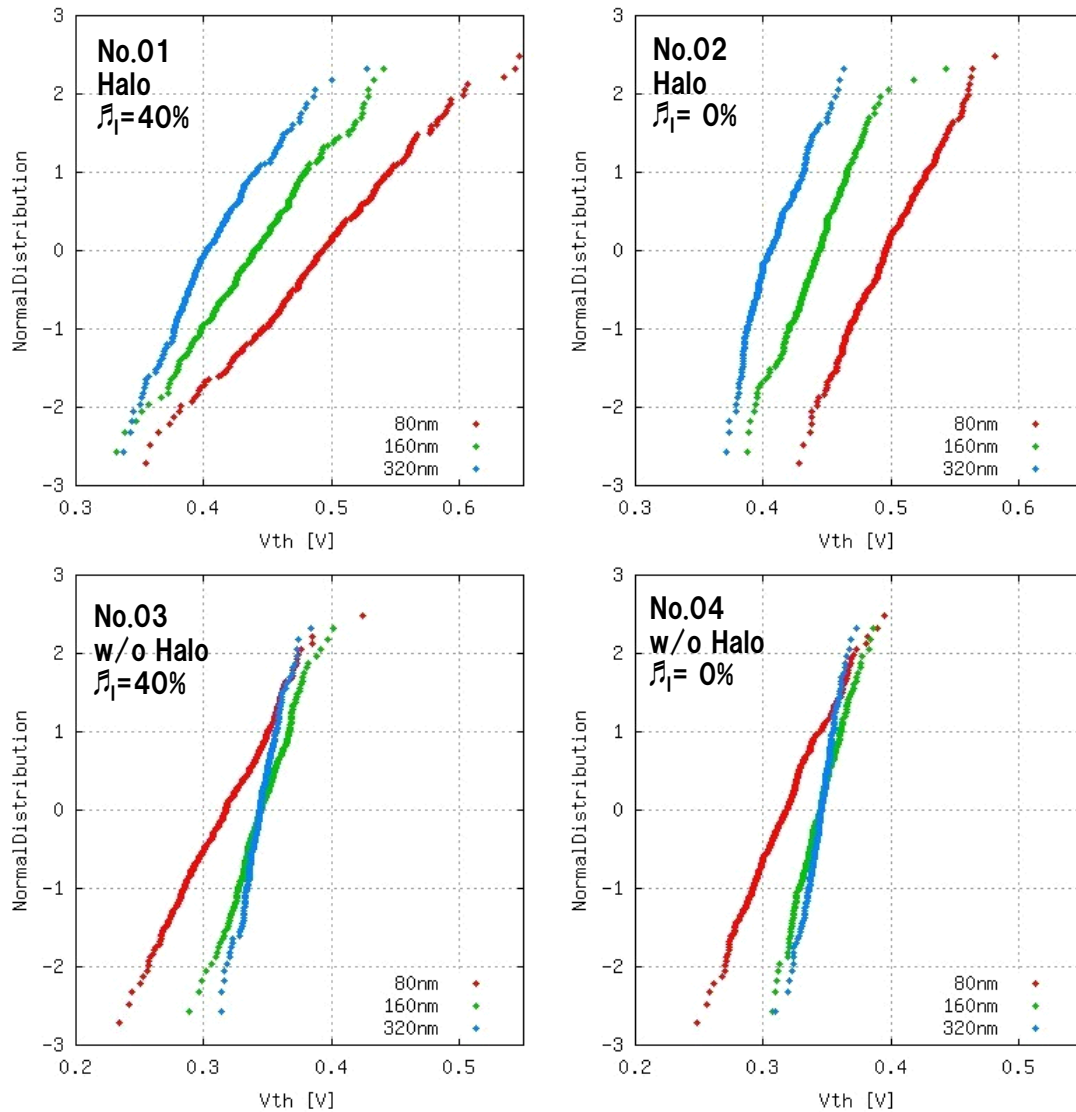
III-2-I-③-(1)図 3-3-5-10 Halo ありデバイスの平均不純物分布 (試行数のデバイスデータから平均濃度を算出したもの)



III-2-I-③-(1)図 3-3-5-11 Halo なしデバイスの平均不純物分布 (試行数のデバイスデータから平均濃度を算出したもの)

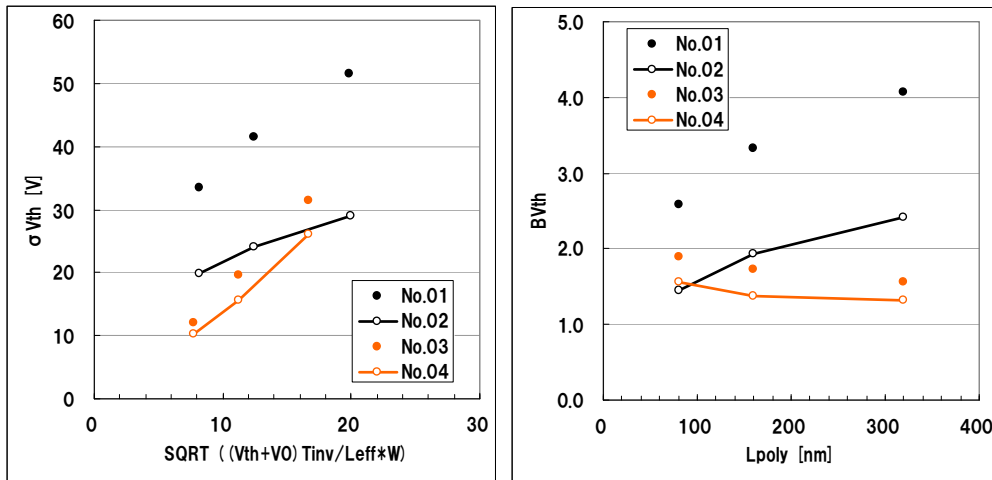
III-2-I-③-(1)表 3-3-5-1  $V_{th}$ ,  $\sigma V_{th}$ ,  $B_{VT}(L_g=20\text{nm})$  で計算)

$L_{\text{poly}}$ [nm]	$V_{th}$ [V]				$\sigma V_{th}$ [mV]				$B_{VT}$ (by Leff)			
	Halo		w/o Halo		Halo		w/o Halo		Halo		w/o Halo	
	$\sigma_1=40\%$	$\sigma_1=0\%$	$\sigma_1=40\%$	$\sigma_1=0\%$	$\sigma_1=40\%$	$\sigma_1=0\%$	$\sigma_1=40\%$	$\sigma_1=0\%$	$\sigma_1=40\%$	$\sigma_1=0\%$	$\sigma_1=40\%$	$\sigma_1=0\%$
	No.01	No.02	No.03	No.04	No.01	No.02	No.03	No.04	No.01	No.02	No.03	No.04
80	0.494	0.497	0.317	0.317	51.6	29.0	31.5	26.1	2.59	1.45	1.89	1.57
160	0.440	0.443	0.345	0.344	41.4	24.1	19.5	15.5	3.33	1.93	1.73	1.38
320	0.407	0.408	0.344	0.345	33.5	19.8	12.1	10.2	4.08	2.41	1.57	1.33



III-2-I-③-(1)図 3-3-5-12  $V_{th}$  の累積度数分布

III-2-I- (1)表 3-3-5-1 に、 $L_g=80, 160, 320\text{nm}$  における  $V_{th}$  平均、 $\sigma V_{th}$  標準偏差、 $B_{VT}$  を示す。また、III-2-I- (1)図 3-3-5-12 に  $V_{th}$  の累積度数プロットを、III-2-I- (1)図 3-3-5-13 に  $V_{th}$  ばらつきの Takeuchi プロット、 $B_{VT}$  のゲート長依存性を示した。



III-2-I-③-(1)図 3-3-5-13  $\sigma V_{th}$ ,  $B_{VT}$  の Pelgrom プロット

Halo 注入したデバイスでは、初期格子間シリコンばらつきの有無 ( $\sigma_i=40\%$ ,  $0\%$ ) で  $V_{th}$  ばらつきが大きく変動している。これは格子間シリコン量のばらつきの増大により、Halo ホウ素不純物の横方向への拡散揺らぎが増大した結果である。一方、Halo 無しデバイスでは、初期ホウ素は横方向分布を有しておらず、拡散揺らぎは界面へのパイルアップ量の変化としてのみ現れる。そのため、Halo 注入したデバイスに比べ、初期格子間シリコンばらつきが  $V_{th}$  ばらつきに与える影響は小さくなっている。また、Halo 無しデバイスでは、ほぼ直線の Takeuchi プロットに対し、Halo 注入したデバイスでは、 $L_g$  が大きいほど  $B_{VT}$  が大きい。本計算では  $L_g=160\text{nm}$  程度で Halo 不純物がチャンネル中央で重なり合程度に拡散している。短チャンネル化によるこの重なり増大に従い、拡散ばらつきによるチャンネル不純物量ばらつき(相対ばらつき)が低減されており、 $B_{VT}$  が変化したと考えられる。本シミュレーションでは、ゲート形状揺らぎ(LERなど)は考慮していないが、ゲート形状揺らぎは短チャンネルデバイスの  $B_{VT}$  増大要因である。

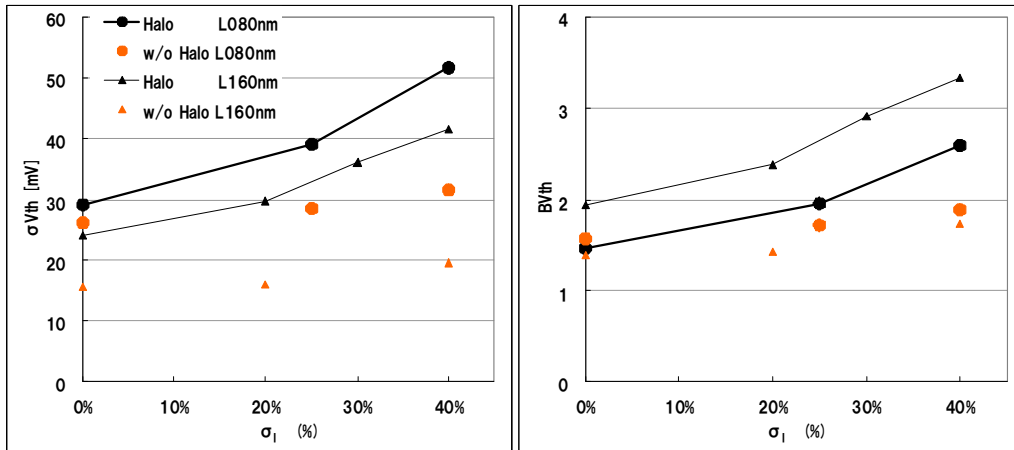
当初、 $L_g=80\text{nm}$  において  $B_{VT}=2.7$  (Halo デバイスの実測値) を目標に初期格子間シリコンばらつき量を設定した。しかし、 $L_g=160\text{nm}$  では、 $\sigma_i=40\%$  では  $B_{VT}=3.33$  と非常に大きなばらつきとなった。そこで、 $\sigma_i$  を変化させたときの  $V_{th}$  ばらつき変化について解析を行った。III-2-I-③-(1)図 3-3-5-14 に  $\sigma_i$  を変化させた場合の  $V_{th}$  ばらつき、 $B_{VT}$  を示す。前述のとおり、Halo デバイスでは長チャンネルの方が  $B_{VT}$  は大きくなっているが、 $\sigma_i$  の変化による  $B_{VT}$  増大率は  $L_g=80, 160\text{nm}$  両者ともほぼ変わらない。Halo 無しデバイスでは、 $B_{VT}$  は  $L_g=80, 160\text{nm}$  でほぼ同程度であった。

実験では、Halo 無しデバイスで  $B_{VT}=2.4$  程度が観測されているが、ここまでのシミュレーションでは  $\sigma_i$  を変化させても  $B_{VT}=2.0$  に至らなかった。Halo 無しデバイスにおいても、 $B_{VT}$  が大きく変化する可能性を調査するべく、+4 モデル  $\sigma_i=40\%$  の計算を行った。III-2-I-③-(1)図 3-3-5-15 に +2 モデルと +4 モデルの  $V_{th}$  ばらつきの比較を示す。なお、+4 モデルではアニール終了後に格子間シリコンがすべて消滅していることを保証するため、アニール条件を  $950^\circ\text{C}$  20sec. とした。

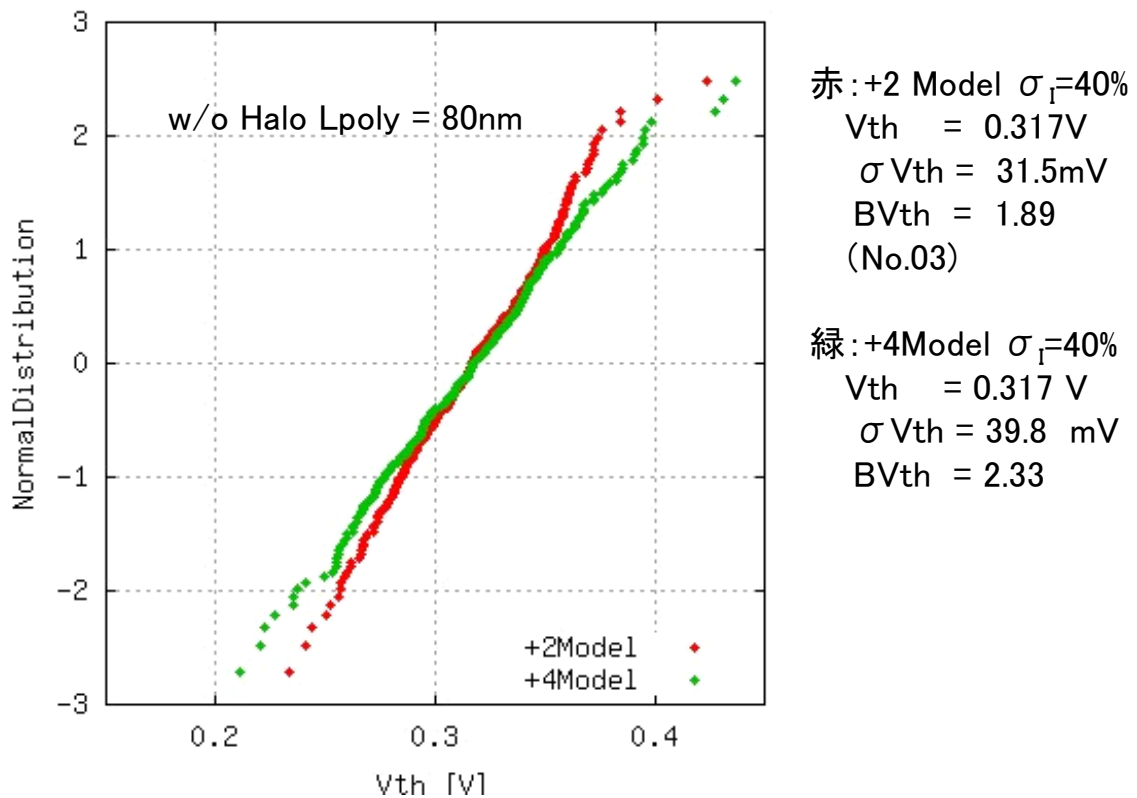
+4 Model  $\sigma_i=40\%$  とすることで、 $V_{th}$  ばらつきは増大し、 $B_{VT}=2.3$  を上回るばらつきが観測された。アニール条件が変化したにもかかわらず、平均閾値はほぼ同程度であったが、短チャンネル効果と逆短チャンネル効果が相殺されたためであり、平均不純物分布は両者で異なるものとなっている III-2-I-③-(1)図 3-3-5-16)

NMOS の  $V_{th}$  ばらつきが PMOS より大きい原因を解析するため、初期格子間シリコンばらつきを導入した拡散モンテカルロシミュレーションを用いて解析を行った。格子間シリコン機構で拡散するチャンネルホウ素、ハローホウ素は、拡散層注入時に生じる結晶欠陥により増速拡散を起こす。この格子間シリコン量をばらつかせることで、各々のデバイスは実効拡散係数にばらつきが生じる(期待値ばらつき)。本報の解析では、ハロー不

純物でばらつき係数  $B_{VT}=2.7$  と、実測に近いばらつきが得られた。また、Halo 無しデバイスでも、拡散条件を変更することで、 $B_{VT}=2.3$  と実測値と同等な値が得られることが確認した。

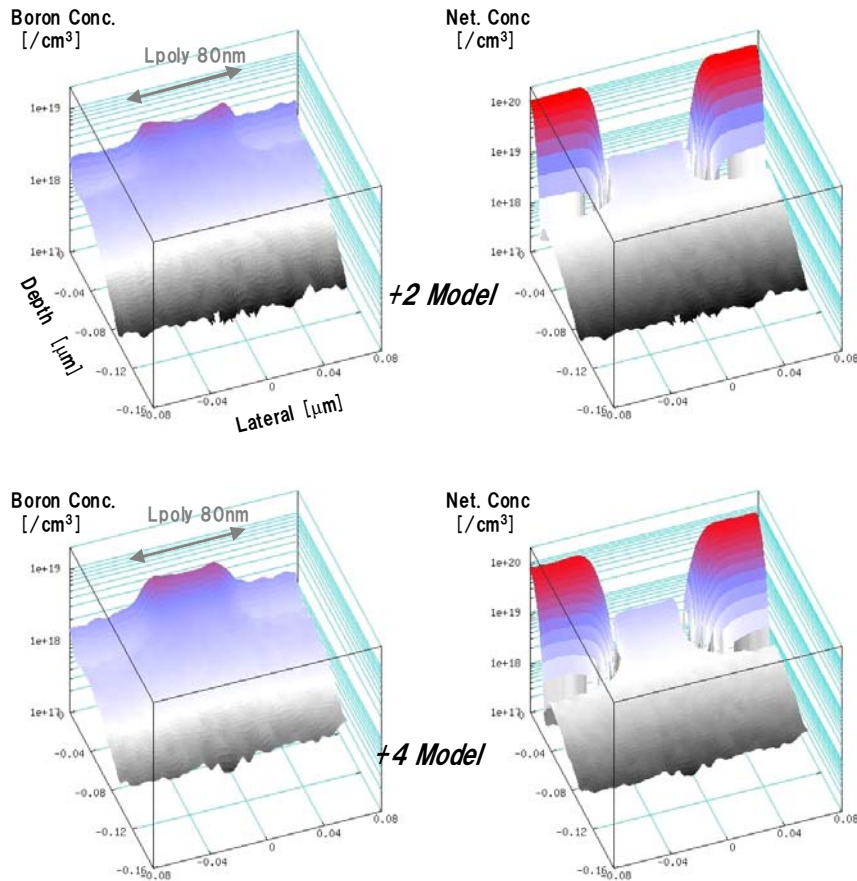


III-2-I-③-(1)図 3-3-5-14 初期格子間シリコンばらつき量を変化させた場合の  $V_{th}$  ばらつき変化



III-2-I-③-(1)図 3-3-5-15 +2 Model と +4 Model の  $V_{th}$  ばらつき比較





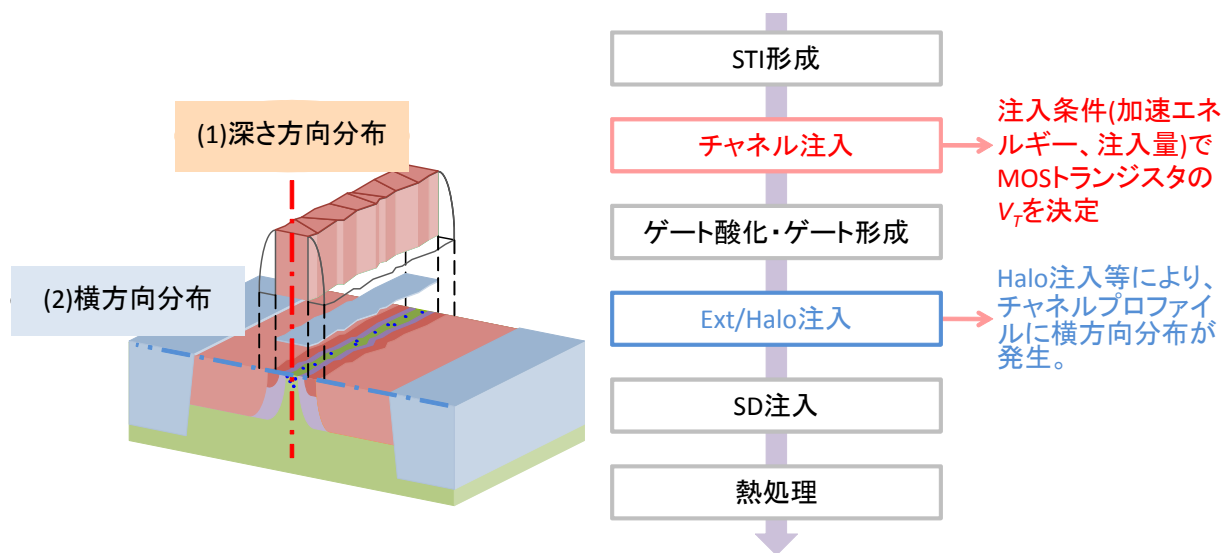
III-2-I-③-(1)図 3-3-5-16 +2 Model と +4 Model の  $V_{th}$  ばらつき比較

### 3-3-6. 炭素共注入によるBVT低減効果検証

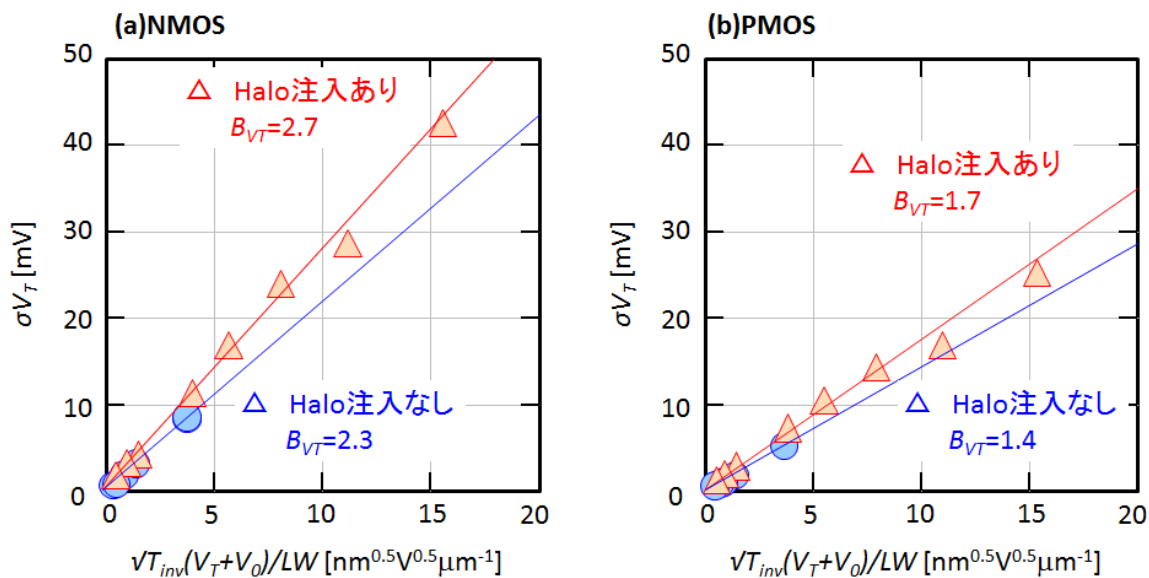
前述したように、RDF 以外の NMOS のばらつき要因が、Extension のヒ素注入時に導入される点欠陥(シリコン中のホウ素の拡散源となる格子間シリコン)の導入によることが、拡散モンテカルロシミュレーションにより、確認することができた。本項では、格子間シリコンをトラップする、炭素を導入することで NMOS のばらつき低減を試みた結果に関して述べる。

炭素導入によるシリコン中のホウ素拡散抑制に関しては、従来 PMOS のホウ素注入で形成するソース・ドレインなどの浅い接合形成、NMOS のホウ素の Halo 形成等で注目を集めていた。しかしながら、前述したように、本開発の解析より、NMOS のチャンネルホウ素がヒ素の Extension 注入で導入された格子間シリコンにより変調を受け、その結果 NMOS のランダム  $V_{th}$  ばらつきが増大することが明らかになった。このため、この影響を抑制する手段として、III-2-I-③-(1)図 3-3-5-17 に示すように、チャンネル、ならびに Halo 注入工程で炭素を導入し、Extension 注入で導入される格子間シリコンの拡散の抑制を検討した。III-2-I-③-(1)図 3-3-5-18 は Halo 有無が BVT に与える影響を調べたものである。ホウ素注入により Halo 領域を形成しているため、横方向にホウ素の高濃度領域(ソース側 Halo)、低濃度領域(チャンネル)、高濃度領域(ドレイン側 Halo)といったように濃度分布を持つこととなる。このために Halo を導入すると、NMOS、PMOS ともに BVT が増加していると考えられる。このため、チャンネル、あるいは Extension/Halo 注入時の炭素注入を検討したわけだが、この炭素注入によって

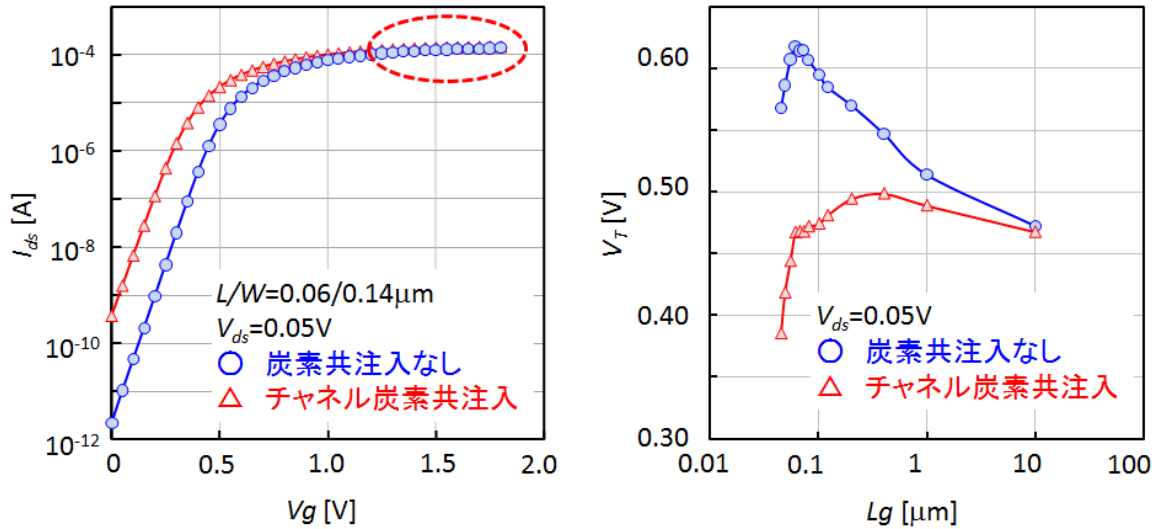
デバイス特性が劣化してしまうのであれば、炭素注入を導入するメリットがない。そこで、デバイス特性ばらつきを評価する前に、MOS トランジスタの単体特性に与える影響を調べた。III-2-I-③-(1)図 3-3-5-19 は、炭素の共注入がデバイス特性に与える影響、ならびに短チャネル特性を評価した結果である。炭素注入により懸念される点は、注入層の高抵抗化であるが、本結果からオン電流特性に与える影響は見られなかった。短チャネル特性を見ると、斜め Halo 注入の影響で顕著な逆短チャネル特性を示していたが、炭素を導入することで大幅に逆短チャネル効果は抑制されている。前記したが Halo 注入なしでも NMOS は、逆短チャネル特性を示すが、本結果から、チャネル不純物の再分布が大幅に抑制していると考えられる。



III-2-I-③-(1)図 3-3-5-17 炭素の共注入のコンセプト



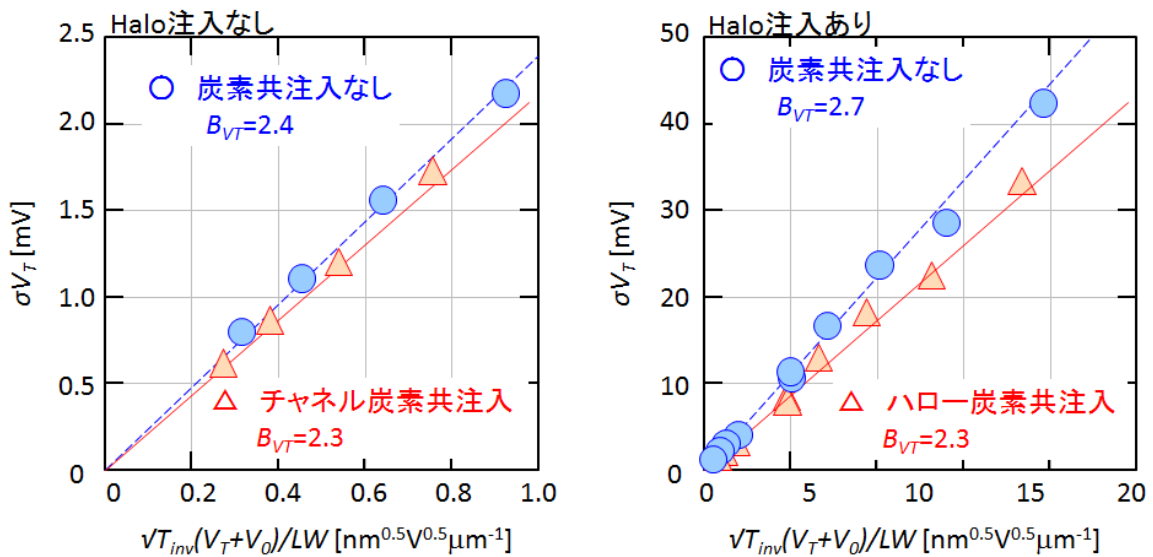
III-2-I-③-(1)図 3-3-5-18 Halo 有無が BVT に与える影響



III-2-1-③-(1)図 3-3-5-19 炭素の共注入がデバイス特性に与える影響、ならびに短チャネル特性

III-2-1-③-(1)図 3-3-5-20 は、チャンネルに炭素注入した Halo なしデバイスの Takeuchi プロット、ならびに Extension/Halo に炭素の共注入した Halo ありデバイスの Takeuchi プロットを示した。Halo 注入により、横方向の不純物の不均一性は増大するが、Halo 注入がない場合には炭素の共注入効果は小さく、 $B_{VT}=2.4$  から、 $B_{VT}=2.3$  への改善しか見られなかった。一方、はお注入しているデバイスで Extension//Halo に炭素注入をお此方場合、従来デバイスで  $B_{VT}=2.7$  であったものが、 $B_{VT}=2.3$  まで改善することが分かった。Halo/チャンネルの不均一性が改善されたために、 $B_{VT}$  も Halo 注入なしのレベルまで改善したと考えられる。

しかしながら、RDF で説明できる PMOS の  $B_{VT}$  は 1.7 であり、未だチャンネル不純物分布の不均一性以外のランダムばらつき原因が残る。前記したように、炭素の共注入をしない場合には、 $B_{VT}(\text{unknown})=2.1$  であり、炭素の共注入をすると、 $B_{VT}(\text{unknown})=1.6$  と計算される。したがって、RDF で説明される成分以外の要因は、約 25% であり、目標としていた 20% 改善を達成できた。



III-2-1-③-(1)図 3-3-5-20 炭素の共注入によるばらつき低減効果

## 参考文献

- [11]. T. Tsunomura, A. Nishida, F. Yano, A. T. Putra, K. Takeuchi, S. Inaba, S. Kamohara, K. Terada, T. Hiramoto and T. Mogami, “Analyses of  $5\sigma$   $V_{th}$  Fluctuation in 65nm-MOSFETs Using Takeuchi Plot”, Digest of Technical Papers, 2008 Symposium on VLSI Technology, pp.156-157, June, 2008.
- [12]. T. Tsunomura, A. Nishida and T. Hiramoto, “Analysis of NMOS and PMOS Difference in  $V_T$  Variation with Large-Scale DMA-TEG”, IEEE TRANSACTION OF ELECTRON DEVICES, Vol.56, No.9(2009), 2073
- [13]. K. Takeuchi, A. Nishida and T. Hiramoto, “Normalization of Random Threshold Voltage Fluctuation for Fair Comparison between Technologies, Process Conditions and Device Designs,” *Silicon Nano-electronics Workshop* p.7, 2007.
- [14]. T. Tsunomura, A. Nishida, F. Yano, A. T. Putra, K. Takeuchi, S. Inaba, S. Kamohara, K. Terada, T. Hiramoto and T. Mogami, “Impact of Vertical and Lateral Channel Structure on VT Fluctuation”, Digest of Technical Papers, 2009 Symposium on VLSI Technology, p.110-111
- [15]. T. Tsunomura, A. Nishida and T. Hiramoto, “Possible Origins of Extra Threshold Voltage Variability in N-Type Field-Effect Transistors by Intentionally Changing Process Conditions and Using Takeuchi Plot”, *Japanese Journal of Applied Physics* 49 (2010) 074104
- [16]. M.Hane , et al., *NEC R &D J.* 37.p.170(1996)
- [17]. M. Hane, T. Ikezawa and T. Ezaki, "Atomistic 3D Process/Device Simulation Considering Gate Line-Edge Roughness and Poly-Si Random Crystal Orientation Effects", *IEDM* p.241(2003)

## 3-4. SNMシミュレーション技術の開発

### 3-4-1. 目的

LSI 製造プロセスの微細化に伴うランダムばらつきが顕著となり SRAM(Static Random Access Memory) の歩留まり低下が問題となっている。ランダムばらつきによる SRAM 歩留りの定量化には、SRAM を構成する MOS トランジスタがランダムにばらついた場合に発生する不良ビット数(FBC: Fail Bit Count)のシミュレーション技術が重要である。しかしながら、従来手法では SRAM を試作してはじめて FBC 計測が可能であったため、SRAM 特性確認～製造プロセス改善や回路改善の効果確認に時間がかかるという課題があった。つまり、単体デバイス特性側買った段階での、SRAM 歩留り見積りが課題となっている。この課題克服のためには、SPICE(Simulation Program with Integrated Circuit Emphasis)シミュレーションの利用が考えられる。本開発の SRAM FBC 計算機能の目的は、SRAM 回路において TEG(Test Element Group)情報から抽出された統計的 SPICE モデルを適用して DC 特性・過渡特性を含めた高精度、かつ高速な FBC 見積りを行うことによる歩留り見積りの早期化し、製品開発にフィードバックすることである。

### 3-4-2. SRAM FBC計算機能の特徴

本計算機能は高精度なシミュレーションを行うために、単体トランジスタの統計的 SPICE モデル構築にあたって、大規模なデータを扱える成分分離手法、高速な SPICE パラメータばらつき抽出手法、相関係数テーブルを用いたランダムばらつき再現手法を取り込むことを検討した。これを実現する SRAM FBC 計算機能に必要な入力実測データは以下 2 種に大別される。

(1) typical SPICEパラメータ抽出用電気特性実測データ

typical SPICE パラメータ抽出には、NMOS の場合、III-2-I-③-(1)図 3-4-2-1 中①～④の  $W_g$ (ゲート幅),  $L_g$ (ゲート長)の組み合わせでの以下の MOS 特性の実測データが必要である。

- ・ 基板電圧  $V_B$ を変化させたドレイン電流  $I_D$ -ゲート電圧  $V_G$  特性(ドレイン電圧  $V_D=0.05V$ )
- ・  $V_g$ を変化させた  $I_d$ - $V_g$  特性( $V_d$ =電源電圧)
- ・  $V_g$ を変化させた  $I_d$ - $V_d$  特性( $V_b=0V$ )
- ・  $V_g$ を変化させた  $I_d$ - $V_d$  特性( $V_b$ =最大基板電圧)

PMOS トランジスタの場合も同様に、III-2-I-③-(1)図 1 中①～④の  $W$ ,  $L$  の組み合わせでの以下のトランジスタ特性の実測データが必要である。

- 基板電圧  $V_B$ を変化させたドレイン電流  $I_d$ -ゲート電圧  $V_g$  特性(ドレイン電圧  $V_d=-0.05V$ )
- $V_b$ を変化させた  $I_d$ - $V_g$  特性( $V_d$ =電源電圧)
- $V_g$ を変化させた  $I_d$ - $V_d$  特性( $V_b=0V$ )
- $V_g$ を変化させた  $I_d$ - $V_d$  特性( $V_b$ =最小基板電圧)

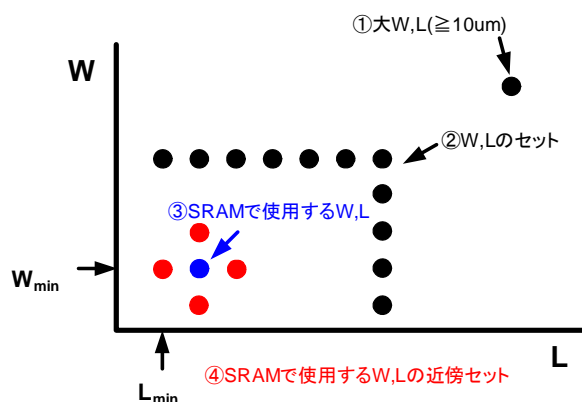
また、事前に用意するパラメータとして III-2-I-③-(1)表 3-4-2-1 のパラメータが必要である[2]。従来、typical SPICE パラメータにおいて理想とされる条件は、

- ・  $I_d$  特性の実測値とシミュレーション値との誤差が 0 であること
- ・ III-2-I-③-(1)表 3-4-2-1 のパラメータの誤差が 0 であること

である。SRAM FBC 計算で使用する場合、typical SPICE パラメータの理想条件には、

- ・  $I_d$  特性に対する SPICE パラメータの感度の誤差が 0 であり、連続であること

の条件が追加される。理由は、SPICE パラメータの感度及び連続性が SPICE パラメータばらつき抽出の精度を左右するからである。



III-2-I- (1)図 3-4-2-1 typical SPICE パラメータ抽出に必要なトランジスタの  $W$ ,  $L$  の組み合わせ

III-2-I- (1)表 3-4-2-1 事前に準備が必要となるパラメータ

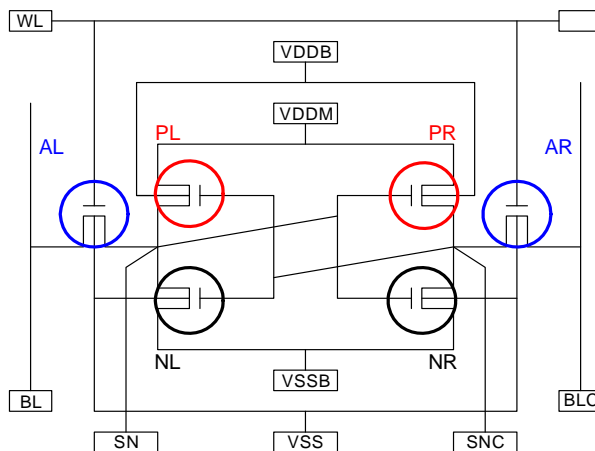
入力パラメータ名	物理的意味
TOXE, TOXP, DTOX, EPSROX	ゲート酸化膜厚及び誘電率
NDEP	チャンネル不純物濃度
TNOM(*)	実測時の温度
$L_{drawn}$	チャンネルマスク長
$W_{drawn}$	チャンネルマスク幅
XJ	ジャンクションの深さ

(\*)...シミュレーションで温度条件を振る場合には、対応する温度の実測データが必要

(2)SPICEパラメータばらつき抽出用電気特性実測データ

本計算機能では、SPICE パラメータばらつきを、パラメータの標準偏差、およびパラメータ間の相関係数テーブルの二つを使って表現する。相関係数テーブルとは、パラメータ間の相関係数を表形式に並べたものである。III-2-I-③-(1)図 3-4-2-2 に 6トランジスタ-SRAM セル回路図及び回路内トランジスタの名前の例を示す。各トランジスタの SPICE パラメータ P1 をばらつかせるパラメータとした場合における、SPICE パラメータばらつきのデータ例を示す。III-2-I-③-(1)表 3-4-2-2 は標準偏差の例であり、X1～X6 は各パラメータの標準偏差である。III-2-I-③-(1)表 3-4-2-3 が相関係数テーブルの例であり、R1～R15 は各パラメータ間の相関係数である。全トランジスタの全 SPICE パラメータをばらつきパラメータとすることが理想的ではあるが、実際的ではない。どのトランジスタのどのパラメータをばらつきパラメータとすると充分であるかについては未だ決定的な解はない。

SPICE パラメータばらつき抽出には、複数チップの DMA(Device Matrix Array)TEG 内 SRAMセルの全トランジスタのデータが必要である。III-2-I-③-(1)表 3-4-2-4 に実測データの使用目的を示す。なお、SPICE パラメータばらつき抽出に必要とされるトランジスタ1つあたり実測データは、前節で述べた内容と同一である。III-2-I-③-(1)表 3-4-2-5 に実測電流特性 I が正規分布をした場合、I の標準偏差  $\sigma I$  の標準偏差  $\sigma\sigma I$  と DMATEG 内サンプル数 N の関係を示す[4]。III-2-I-③-(1)表 3-4-2-5 から、特性の  $3\sigma$  を  $\sigma$  の 1%以内にするのに必要なサンプル数は、45,000 であることが分かる。



III-2-I- (1)図 3-4-2-2 6トランジスタ SRAM セルの回路図及び回路内トランジスタ名

III-2-I-③-(1)表 3-4-2-2 SPICE パラメータばらつきデータ例(標準偏差)

トランジスタ名	トランジスタ内パラメータ名	標準偏差[AU]
NL	P1	X1
NR	P1	X2
AL	P1	X3
AR	P1	X4
PL	P1	X5
PR	P1	X6

III-2-I-③-(1)表 3-4-2-3 SPICE パラメータばらつきデータ例(相関係数テーブル)

		NL	NR	AL	AR	PL	PR
		P1	P1	P1	P1	P1	P1
NL	P1	1	R1	R2	R4	R7	R11
NR	P1	R1	1	R3	R5	R8	R12
AL	P1	R2	R3	1	R6	R9	R13
AR	P1	R4	R5	R6	1	R10	R14
PL	P1	R7	R8	R9	R10	1	R15
PR	P1	R11	R12	R13	R14	R15	1

III-2-I-③-(1)表 3-4-2-4 SPICE パラメータばらつき抽出に用いる各実測データ使用目的

実測データ	目的
複数チップのデータ	チップ間 SPICE パラメータばらつきの抽出
DMATEG のデータ	チップ内 SPICE パラメータばらつきのシステムティック成分とランダム成分の分離及び抽出
SRAM 内の全トランジスタのデータ	各トランジスタ間のパラメータ相関を抽出

III-2-I-③-(1)表 3-4-2-5 実測電流特性  $I$  の標準偏差  $\sigma_I$  の標準偏差  $\sigma_{\sigma_I}$  と DMA-TEG 内サンプル数  $N$  の関係

$\sigma_{\sigma_I}$	$N$
$\sigma_{\sigma_I}=0.01\sigma_I$	5,000
$\sigma_{\sigma_I}=0.01\sigma_I/2$	20,000
$\sigma_{\sigma_I}=0.01\sigma_I/3$	45,000

### 3-4-3. FBC計算機能の課題と対策

SRAM FBC 計算機能の課題はモンテカルロシミュレーションの高速化であった。そこで、高速版 SRAM FBC 計算機能を構築し、モンテカルロシミュレーションの高速化フローを構築した。SRAM FBC 計算フローは、電気特性の計測データから SPICE パラメータばらつき抽出と相関テーブル作成を行うまでのフロー、および単体トランジスタばらつきから SRAM FBC を求めるフローからなる。III-2-I-③-(1)図 3-4-2-3 に電気特性の計測データから SPICE パラメータばらつき抽出/相関テーブル作成までのフローを示す。

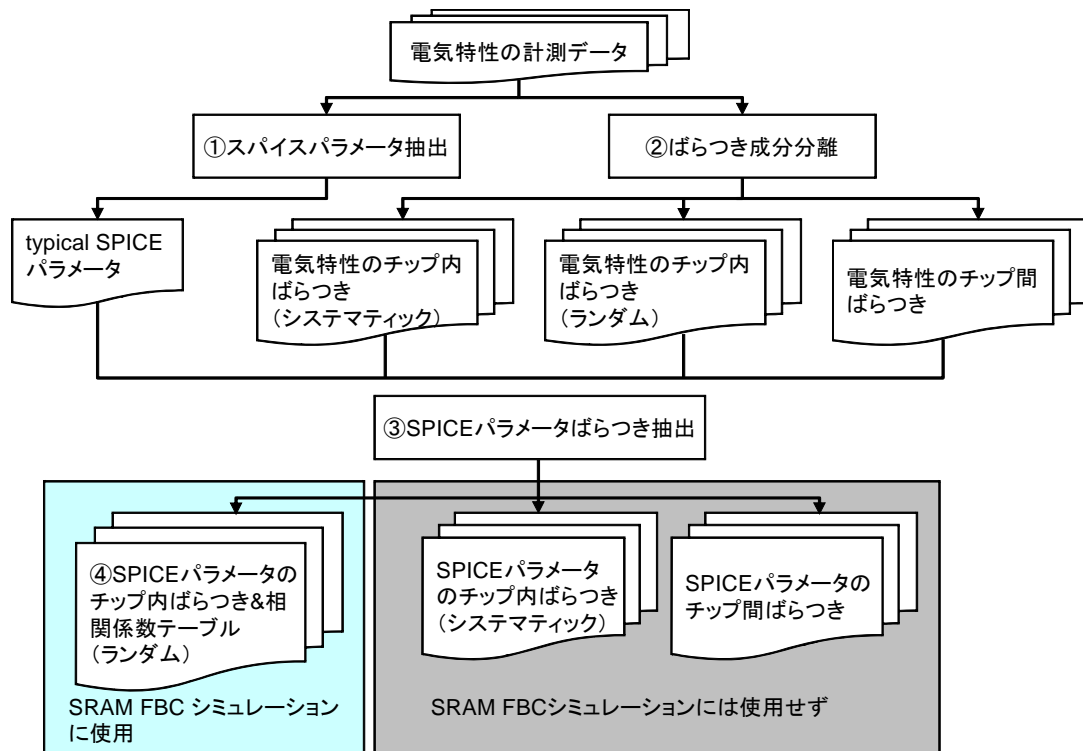
- (1) SPICE パラメータ抽出では、トランジスタの測定データから SPICE パラメータ抽出を行う。

- (2) ばらつき成分分離では、多項式近似方式の成分分離法を用いて電気特性の計測データをチップ間ばらつき、チップ内ばらつき(システムティック成分)、チップ内ばらつき(ランダム成分)に分離する。III-2-I-③-(1)図 3-4-2-4 に SRAM FBC シミュレーションで使用する SRAM と同じプロセスで作成した超大規模(1M)-DMATEG のしきい値( $V_{th}$ )ばらつきを、4 次元多項式を用いて成分分離した例を示す。グラフの X 軸, Y 軸はチップ上の座標軸を示す。この例では、チップ内  $V_{th}$  ばらつき≒ランダム成分であることが分かる。
- (3) SPICE パラメータばらつき抽出では、電流電圧特性(IV 特性)や  $V_{th}$  特性のばらつき計測データから SPICE パラメータのばらつきを抽出する。
- (4) SPICE パラメータのチップ内ばらつき&相関係数テーブル(ランダム)では、③で得られた SPICE パラメータのばらつきを元に SPICE パラメータの標準偏差や各 SPICE パラメータ間の相関係数を求める。相関係数を考慮してモンテカルロシミュレーションを行うと、トランジスタ単体の  $I_c$  特性のばらつき再現性がより高くなるため、相関を考慮したほうが精度のよい解析ができる。

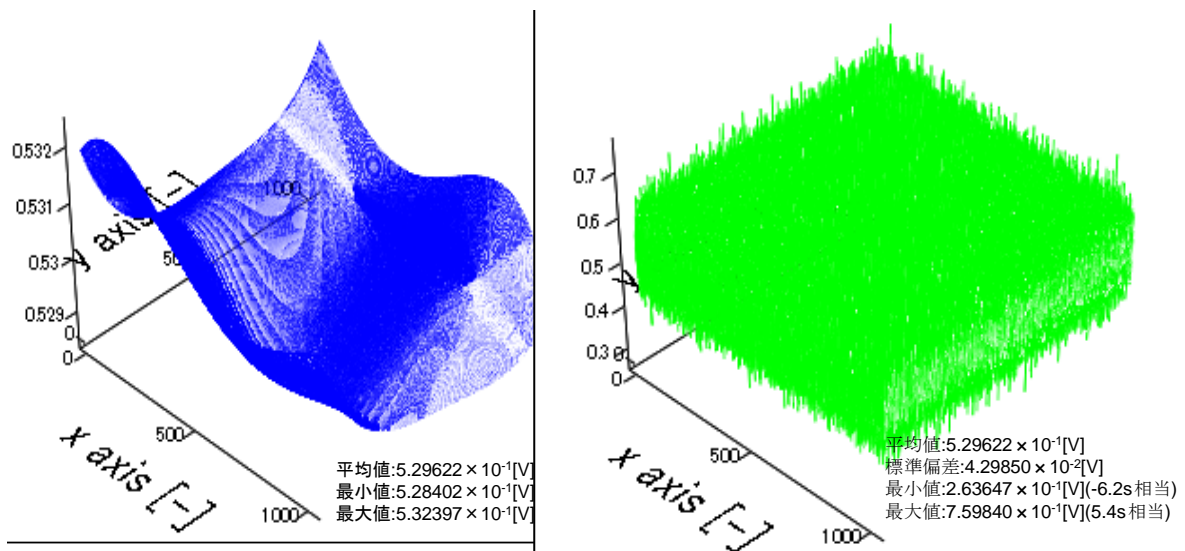
III-2-I-③-(1)図 3-4-2-5 に単体トランジスタばらつきから SRAM FBC を求めるフローを示す。

- (1) Pass/Fail 判定に使用する目的特性用 SPICE ネットリスト、複数の一様乱数列、およびフロー1 から得られる typical SPICE パラメータ・各 SPICE モデルパラメータの標準偏差を用いて、初期境界を作成する。詳細は次節詳細フローの初期学習ステップ(III-2-I-③-(1)図 3-4-2-6)を参照のこと。
- (2) (1)で作成した初期境界を用いて繰り返し学習境界を作成する。詳細は次節詳細フローの繰り返し学習ステップ(III-2-I-③-(1)図 3-4-2-7)を参照のこと。
- (3) Pass/Fail 判定に使用する目的特性用 SPICE ネットリスト、複数の標準正規乱数列、及び III-2-I-③-(1)図 3 フローから得られる typical SPICE パラメータ・各 SPICE モデルパラメータの標準偏差・SPICE パラメータ間相関係数テーブルを用いて、相関のあるばらついたパラメータを持つ SPICE モデルライブラリと目的特性用 SPICE ネットリストのサンプルを生成する。
- (4) (2)で作成した繰り返し学習境界を用いて(3)で生成したサンプルの Pass/Fail 判定を行う。
- (5) Pass ならば(7)へ。それ以外ならば(6)へ。
- (6) SPICE シミュレーションを実行して目的特性を得る。
- (7) (3)で N 回サンプルを発生させていれば(8)へ。それ以外ならば(3)へ。
- (8) 目的特性値が、予め決めておいた仕様を満たすか(=Pass)満たさないか(=Fail)どうかを数え上げる。

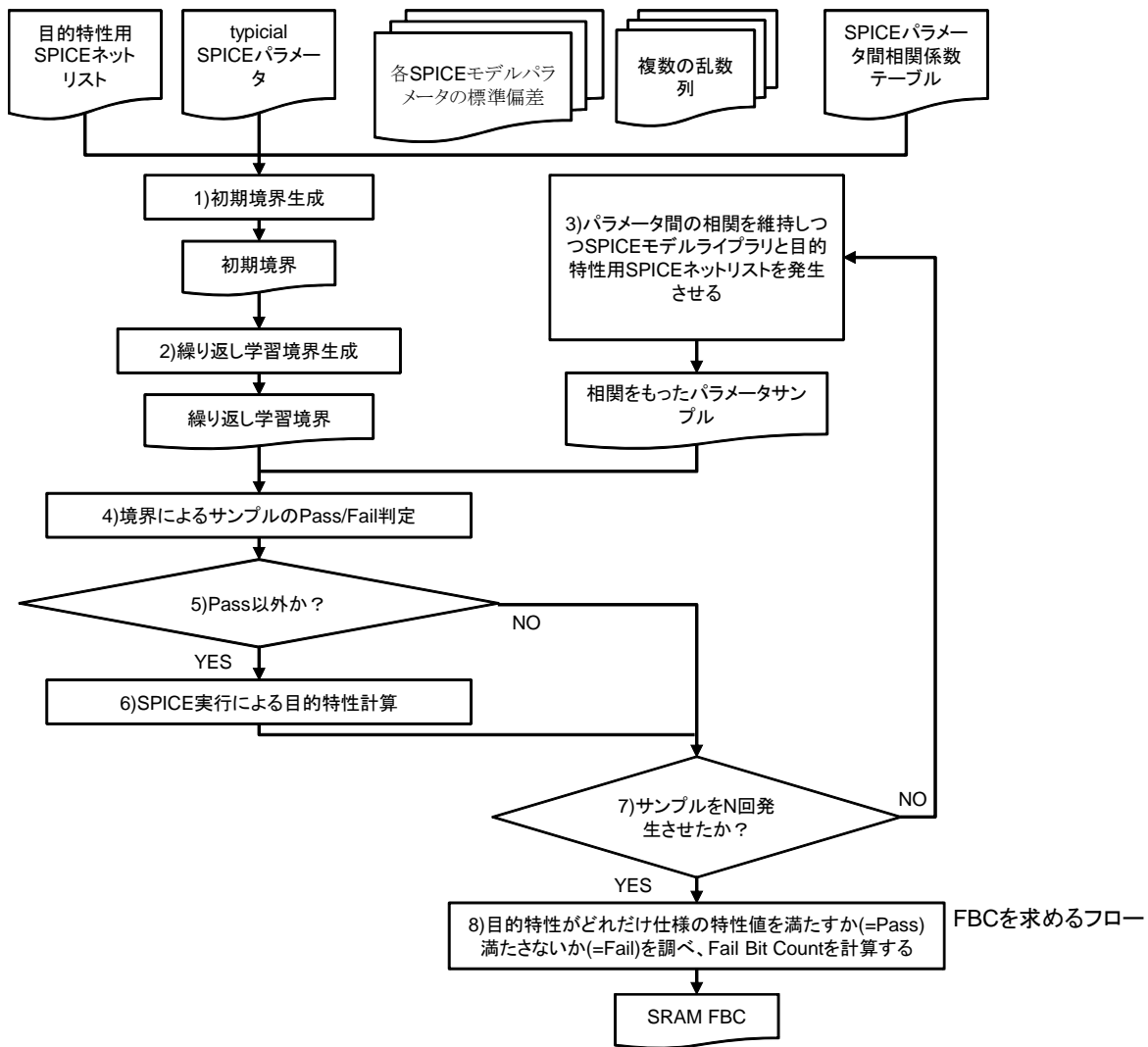




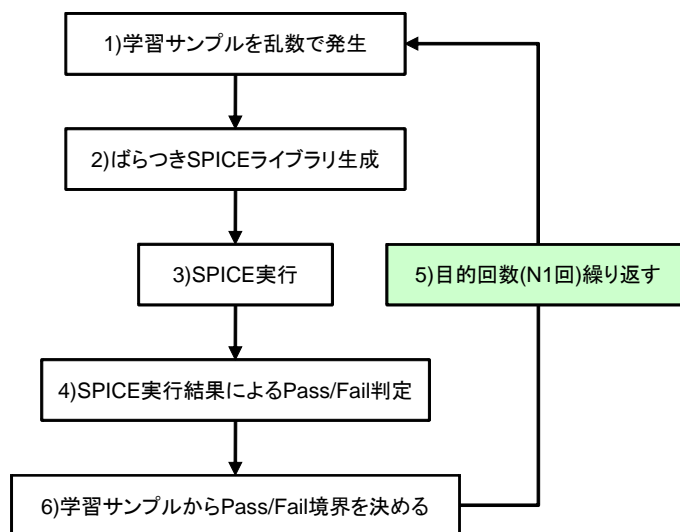
III-2-I- (1)図 3-4-2-3 電気特性の計測データから SPICE パラメータばらつき抽出/相関テーブル作成までのフロー



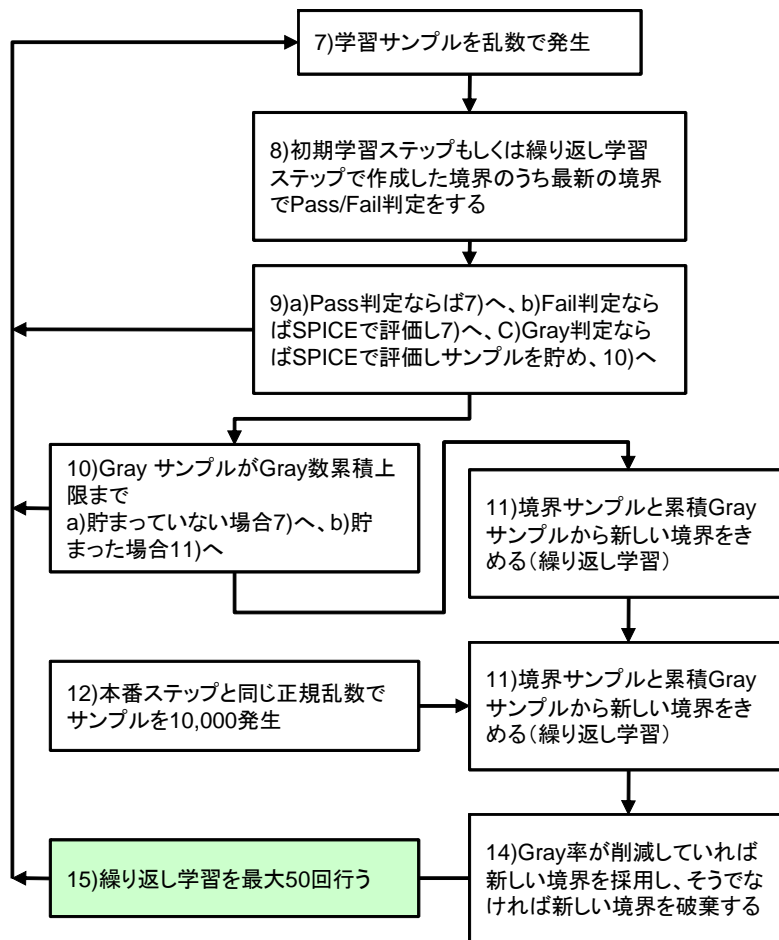
III-2-I- (1)図 3-4-2-4 超大規模 DMA-TEG の  $V_{th}$  ばらつきを、4 次元多項式を用いて成分分離した例



III-2-I- (1)図 3-4-2-5 単体トランジスタばらつきから SRAM FBC を求めるフロー



III-2-I- (1)図 3-4-2-6 . 詳細フロー1. 初期学習ステップ



III-2-I-③-(1)図 3-4-2-7 詳細フロー2. 繰り返し学習ステップ

(8)で得られた Fail の数が SRAM Fail Bit Count である。なお、以降では、上記手順 3)～8)の部分をもとめて本番ステップと呼ぶことにする。

初期学習ステップを III-2-I- (1)図 3-4-2-6 に示す。

- (1) 学習サンプルを乱数で発生させる
- (2) (1)で得られた乱数を用いてばらつき SPICE ライブラリを生成する
- (3) (2)で得られたばらつき SPICE ライブラリを使用して SPICE を実行する
- (4) (3)で得られた SPICE 実行結果を元に Pass/Fail の判定を行う
- (5) (1)～(4)を目的回数(N1 回)繰り返す
- (6) (5)で得られた N1 個のサンプルを用いて Pass/Fail 境界を学習する

繰り返し学習ステップを III-2-I-③-(1)図 3-4-2-7 に示す。

- (7) 学習サンプルを乱数で発生させる
- (8) 初期学習ステップもしくは繰り返し学習ステップで作成した境界のうち最新の境界で Pass/Fail 判定を行う
- (9) Pass 判定ならば(7)へ、Fail 判定ならば SPICE で評価し、(7)へ。不明判定(以下、Gray 判定と呼ぶ)ならば SPICE で評価し、サンプルを貯め、(10)へ。
- (10) Gray サンプルが所定の数(以下、Gray 数累積上限と呼ぶ)まで貯まっていないならば、(7)へ、Gray

サンプルが貯まったので、(11)へ

- (11) 既存の境界サンプルと累積 Gray サンプルから新しい境界を決める(繰り返し学習)
- (12) 本番ステップと同じ正規分布でサンプルを 10,000 発生させる
- (13) (12)で作成したサンプル群に対し(11)で作成した境界を用いて Pass/Fail 判定を行う。
- (14) Gray 率が削減していれば新しい境界を採用し、そうでなければ新しい境界を破棄する。その後(7)へ。
- (15) 繰り返し学習を最大 50 回行う。

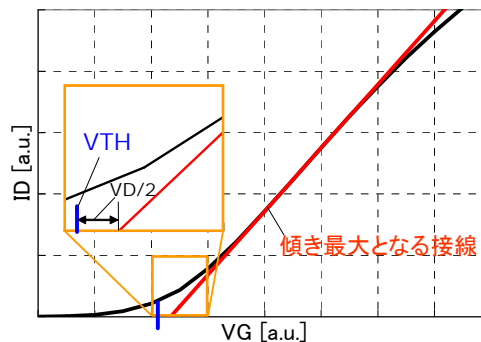
### 3-4-4. SNM特性を用いたFBC解析

単体トランジスタのばらつき抽出の条件を III-2-I-③-(1)表 3-4-2-6 に示す。今回は SRAM 回路のトランジスタのばらつきデータが入手不可能であり、入手できたのは表内条件のトランジスタのばらつきであった。なお、入力実測データとして使用した  $V_{th}$  は、線形領域  $I_d-V_g$  の外挿法[3][4]によるしきい値電圧  $V_{th}$  を使用した(III-2-I-③-(1)図 3-4-2-8)。  $V_{th}$  の定義式を以下に示す。

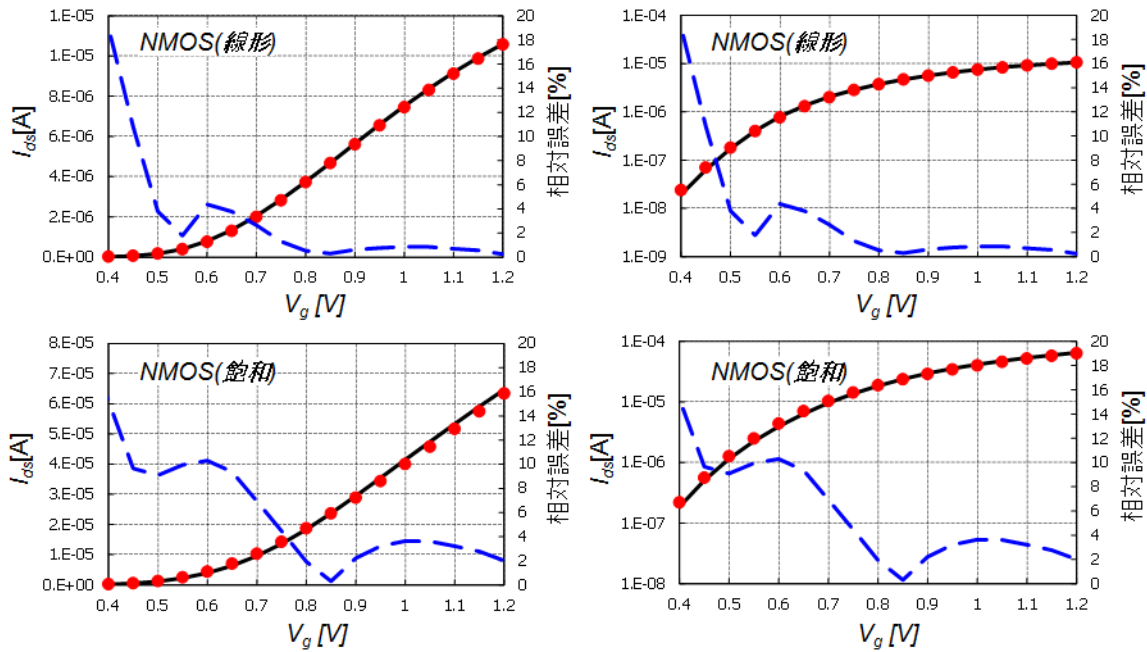
$$V_{th} = (\text{最大傾斜を持つ } I_d \text{ の接線と } V_g \text{ 軸の交点}) - V_d/2$$

III-2-I-③-(1)表 3-4-2-6 単体トランジスタのばらつき抽出の条件

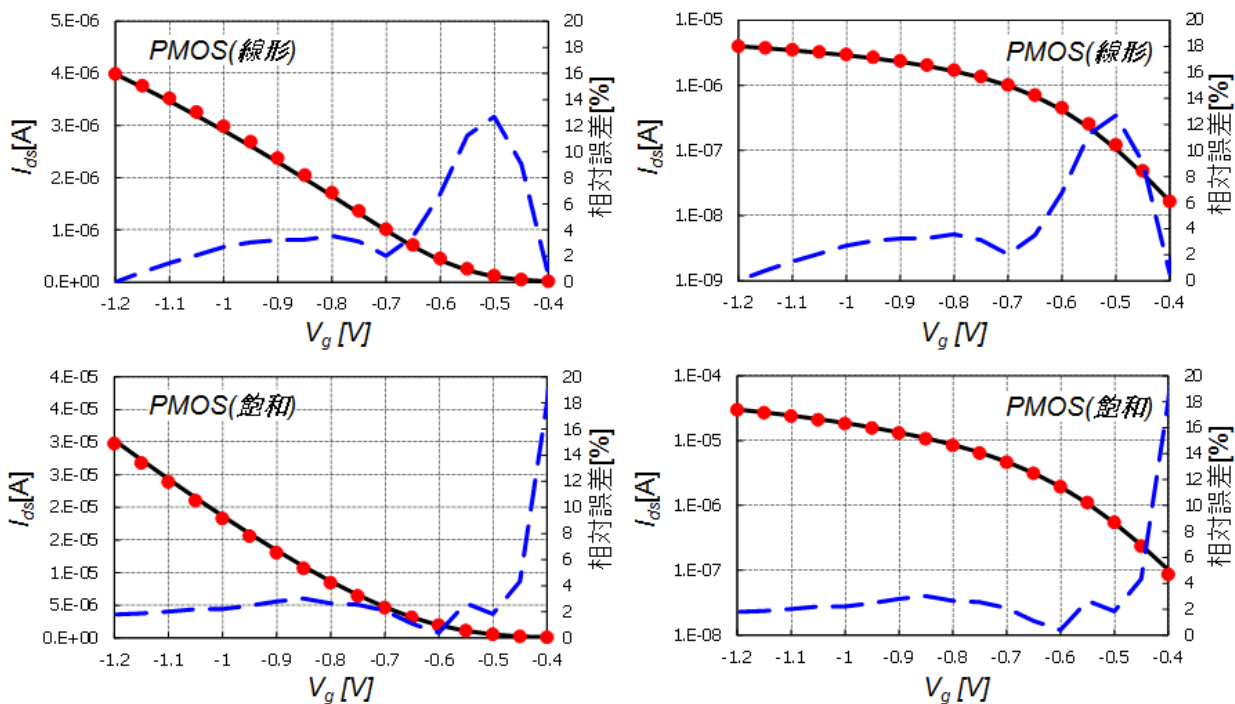
抽出対象テクノロジー		65nm
抽出対象		NMOS 及び PMOS 単体 Tr
抽出対象単体 Tr の L/W サイズ		NMOS, PMOS 共に L/W=60nm/140nm
SPICE パラメータ抽出	入力実測データ	電流特性 ID-VG, ID-VD
	入力実測データの対象 Tr L/W サイズ	8 種
	入力実測データの温度条件	25 (**)
	出力 SPICE モデル	BSIM4.5
SPICE パラメータばらつき及び相関係数テーブル抽出	入力実測データ	しきい値電圧 VTH, 電流特性 ID-VG
	入力実測データの対象 Tr L/W サイズ	(*)と同一
	入力実測データの温度条件	(**)と同一
	入力実測データのサンプル数	8.192



III-2-I- (1)図 3-4-2-8 外挿  $V_{th}$  のイメージ



III-2-I- (1)図 3-4-2-9 抽出した SPICE パラメータを使用した SPICE シミュレーション結果 (NMOS の線形、飽和)



III-2-I- (1)図 3-4-2-10 抽出した SPICE パラメータを使用した SPICE シミュレーション結果 (PMOS の線形、飽和)

III-2-I-③-(1)図 3-4-2-9～III-2-I-③-(1)図 3-4-2-10 に、抽出した SPICE パラメータを使用した SPICE シミュレーション結果を示す。サブスレシヨルト領域を除いて誤差は5%程度であった。この程度の誤差は許容できるものと判断し、抽出した SPICE パラメータを SRAM FBC 解析で採用する。III-2-I-③-(1)表 3-4-2-7～III-2-I-③-(1)表 3-4-2-11 に、SPICE パラメータばらつき及び相関係数テーブルの抽出結果を示す。

III-2-I- (1)表 3-4-2-7 SPICE パラメータばらつき抽出結果(NMOS)

	Typical 値	標準偏差
XL[m]	0.00	$1.30 \times 10^9$
VTH0[V]	$4.64 \times 10^1$	$4.16 \times 10^2$
TOXE[m]	$2.60 \times 10^9$	$8.52 \times 10^{11}$

III-2-I- (1)表 3-4-2-9 相関係数テーブルの抽出結果(NMOS)

	XL	VTH0
XL	1.00	0.01
VTH0	0.01	1.00
TOXE	-0.99	0.47

III-2-I- (1)表 3-4-2-10 SPICE パラメータばらつき抽出結果(PMOS)

	Typical 値	標準偏差
XL[m]	0.00	$1.30 \times 10^{-9}$
VTH0[V]	$-4.67 \times 10^{-1}$	$2.65 \times 10^{-2}$
TOXE[m]	$2.60 \times 10^{-9}$	$1.64 \times 10^{-10}$

III-2-I- (1)表 3-4-2-11 相関係数テーブルの抽出結果(PMOS)

	XL	VTH0
XL	1.00	-0.04
VTH0	-0.04	1.00
TOXE	0.00	0.00

今回は SRAM 回路のトランジスタのばらつきデータが入手不可能であったため、各トランジスタ間のパラメータ相関を0(=相関なし)と見なした。III-2-I-③-(1)表 3-4-2-7～III-2-I-③-(1)表 3-4-2-11 のデータを用いた以下 A)、ならびに B)のシミュレーションを行った。

- A) パラメータを以下の①～③条件でばらつかせた場合の  $\sigma I_{ds}/I_{ds}$  特性  
 B) パラメータばらつき条件①でのしきい値電圧  $V_{th}$  と線形領域での ON 電流  $I_{on}$  の分布

- ① 1 パラメータ ( $V_{th0}$ )  
 ② 3 パラメータ ( $V_{th0}, X_L, T_{OXE}$ ) 相関なし  
 ③ 3 パラメータ ( $V_{th0}, X_L, T_{OXE}$ ) 相関あり

A)のシミュレーション回数は、実測データ数と同じ8,192回とした。B)のシミュレーション回数は、100,000回とした。ここで  $I_{on}$  の定義は、線形領域で  $|V_g - V_{th}|$  が最大となる  $V_d = 0.05V$ 、 $V_g = 1.2V$  時の  $I_d$ 、PMOS:  $V_d = -0.05V$ 、 $V_g = -1.2V$  時の  $I_{ds}$  とした(シミュレーション(A)の結果(III-2-I-③-(1)図 3-4-2-11)、シミュレーション(N))、サブスレシヨルド領域を除いて  $\sigma I_{ds}/I_{ds}$  の誤差は最大 10%程度であった。B)の結果(III-2-I-③-(1)図 3-4-2-12)、 $V_{th}$ 、 $I_{on}$  共にシミュレーション値の分布形状は正規分布となった。

III-2-I-③-(1)表 3-4-2-12 に FBC 解析条件を示す。表中のばらつきパラメータ条件とは、FBC 解析でどの

パラメータをばらつかせるかについて示したものである。ばらつき条件①～③の条件設定を III-2-I-③-(1)表 3-4-2-13、III-2-I-③-(1)表 3-4-2-14 に示す。表中パラメータの標準偏差は III-2-I- (1)表 3-4-2-7、III-2-I- (1)表 3-4-2-9 の標準偏差の値を  $1/\sqrt{LW}$  でスケールリングを行って導出した。ばらつきパラメータ条件③では、MOS 毎にパラメータ間相関をもたせ、相関係数テーブルは III-2-I- (1)表 3-4-2-8、III-2-I- (1)表 3-4-2-10 の値を使用する。また、本実計算作業では Pass/Fail 判定方法に SNM 及び過渡 READ を用いた FBC 解析を行う。6トランジスタ-SRAM Static Noise Margin(SNM)での FBC の導出手順を示す。

手順 1: バイアス条件を以下のように設定する。

VSS = VSSB = 0V に固定する。

VDDM = VDDDB = WL = 供給電圧 VDD V に固定する。

手順 2: BL = open 、BLC = VDD の条件で SN を 0 から VDD まで変化させ、SN-SNC カーブを得る。

手順 3: BL = VDD、BLC = open の条件で、SNC を 0 から VDD まで変化させ、SN-SNC カーブを得る。

手順 4: 手順 2 と 3 のカーブを重ねあわせ、めがねカーブを得る。2 つのカーブの間の小さい正方形の辺の大きさが SNM と定義される(III-2-I- (1)図 3-4-2-13)。もし、めがねカーブの交点が 2 つ以下(SNM 正方形が 1 つ以下)の場合、SRAM セルは Fail bit とカウントする。そうでなければ Pass とカウントする。

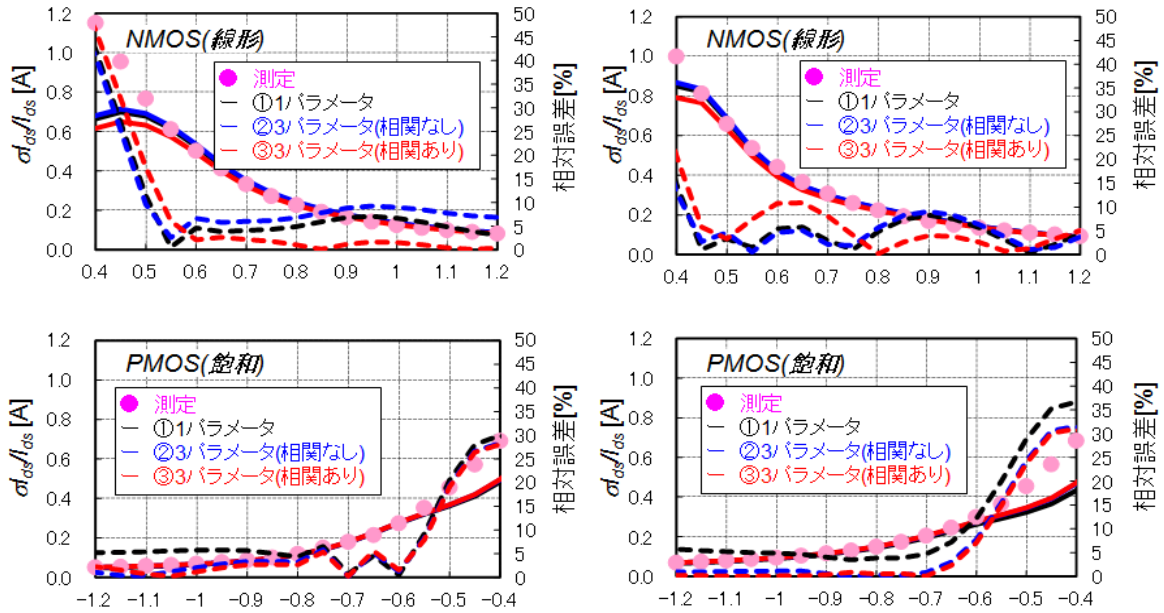
III-2-I-③-(1)図 3-4-2-14 に FBC の電源電圧依存性を示す。III-2-I- (1)表 3-4-2-17～III-2-I- (1)表 3-4-2-19 に各解析の時間を示す。また、III-2-I-③-(1)図 3-4-2-15 に SPICE 実行回数での高速化比率 R を示す。R は以下の式によって定義する。

$$R = \frac{N_{MC}}{N_{SPICE}} \dots \text{式(1)}$$

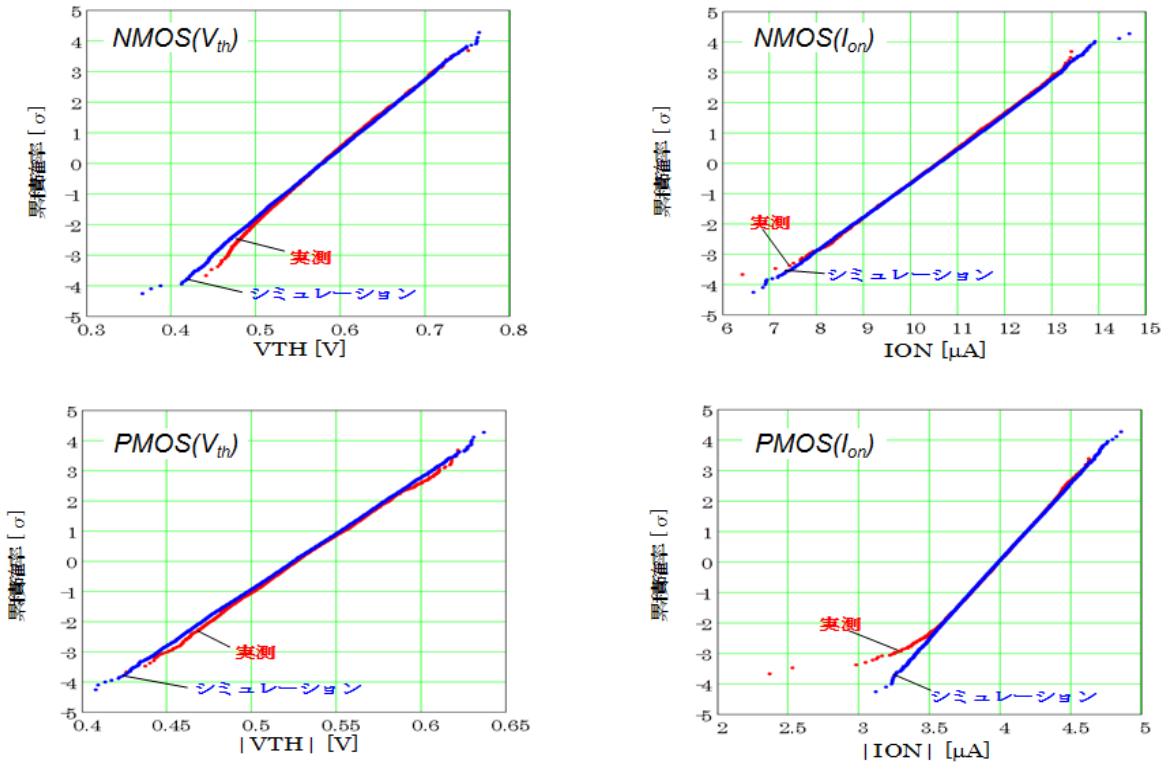
ただし、NMC は SSBL 法の本番ステップでのモンテカルロ実行回数とし、NSPICE は SSBL 法の本番ステップでの SPICE 実行回数とした。SSBL 法の学習ステップ実行に要する時間及び本番ステップでの境界による Pass/Fail 判定時間が無視できると仮定すると、SSBL 法により FBC 解析時間は  $1/R$  に短縮可能である。III-2-I-③-(1)図 3-4-2-14 から、ばらつきパラメータ数の影響は大きく、パラメータ数 6 と 18 の間で FBC 差異は最大 6.0%となること、ばらつきパラメータ数が 18 の場合、パラメータ間の相関の有無による影響は小さい(最大で 1.4%)ことが分かった。また、III-2-I-③-(1)表 3-4-2-17～III-2-I-③-(1)表 3-4-2-19、III-2-I-③-(1)図 3-4-2-15 から、ばらつきパラメータ数が 18 の場合、ばらつきパラメータ数が 6 の場合に比べて 10 倍以上の実行時間を要することが分かる。これは、R の値が 10 倍以上異なっていることに起因すると考えられる。

III-2-I- (1)表 3-4-2-11 相関係数テーブルの抽出結果(PMOS)

	XL	VTH0
XL	1.00	-0.04
VTH0	-0.04	1.00
TOXE	0.00	0.00



III-2-I- (1)図 3-4-2-11 NMOS、PMOS(線形、飽和)の $\sigma_{dg}/I_{ds}$ 特性の比較



III-2-I- (1)図 3-4-2-12 NMOS、PMOS(線形、飽和)の $V_{th}$ 、 $I_{on}$ の累積度数比較



III-2-I- (1)表 3-4-2-12 SRAM FBC 解析の条件

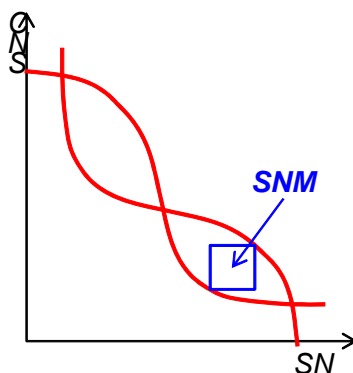
解析対象テクノロジー		65nm
解析対象		6Tr-SRAM セル
SRAM セル内Tr の L/W サイズ	NMOS	L/W=56nm/120nm
	PMOS	L/M=56nm/80nm
電源電圧 VDD		0.7~1.0V
ばらつきパラメータ条件		6 パラメータ(各 Tr の VTH0) 18 パラメータ(各 Tr の VTH0,XL,TOXE)相関なし 18 パラメータ(各 Tr の VTH,XL,TOXE)相関あり
FBC シミュレーション用モンテカルロ回数		4,194,304 回
モンテカルロ法の高速度化方式		SSBL 法
SSBL 法	初期サンプル数	100
	繰り返し学習回数	50
	Gray 数累積上限	ばらつきパラメータ 6 の場合 10 ばらつきパラメータ 18 の場合 160
計算機 CPU		AMD Opteron 8356(2.3GHZ)

III-2-I- (1)表 3-4-2-13 ばらつきパラメータ条件①用の設定

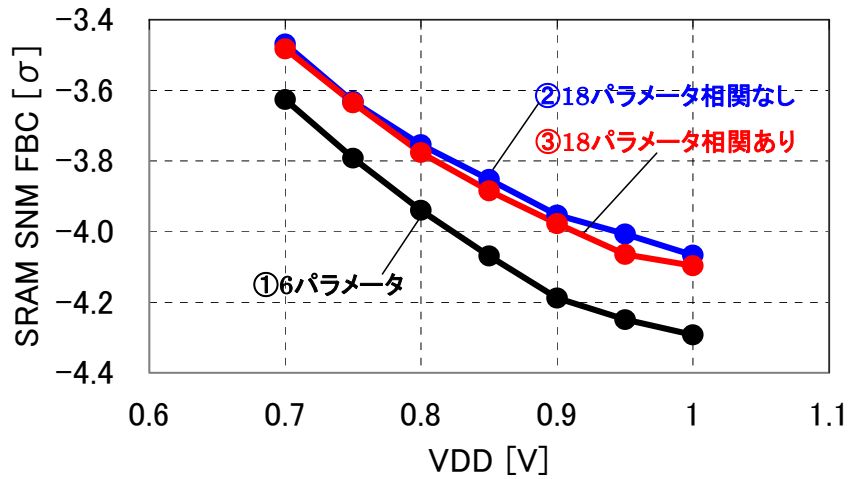
MOS	パラメータ名	Typical 値
NMOS	VTH0[V]	$4.64 \times 10^{-1}$
PMOS	VTH0[V]	$-4.67 \times 10^{-1}$

III-2-I- (1)表 3-4-2-14 ばらつきパラメータ条件②及び③の設定

MOS	パラメータ名	Typical 値	標準偏差
NMOS	XL[m]	0.00	$1.45 \times 10^{-9}$
	VTH[V]	$4.64 \times 10^{-1}$	$4.65 \times 10^{-2}$
	TOXE[m]	$2.60 \times 10^{-9}$	$9.53 \times 10^{-11}$
PMOS	XL[m]	0.00	$1.78 \times 10^{-9}$
	VTH[V]	$-4.67 \times 10^{-1}$	$3.63 \times 10^{-2}$
	TOXE[m]	$2.60 \times 10^{-2}$	$2.25 \times 10^{-10}$



III-2-I-③-(1)図 3-4-2-13 SNM (Static Noise Margin)の定義



III-2-I-③-(1)図 3-4-2-14 SNM-FBC の電源電圧依存性

III-2-I- (1)表 3-4-2-15 SNM FBC 解析の実行時間(ばらつきパラメータ条件① 6パラメータ)

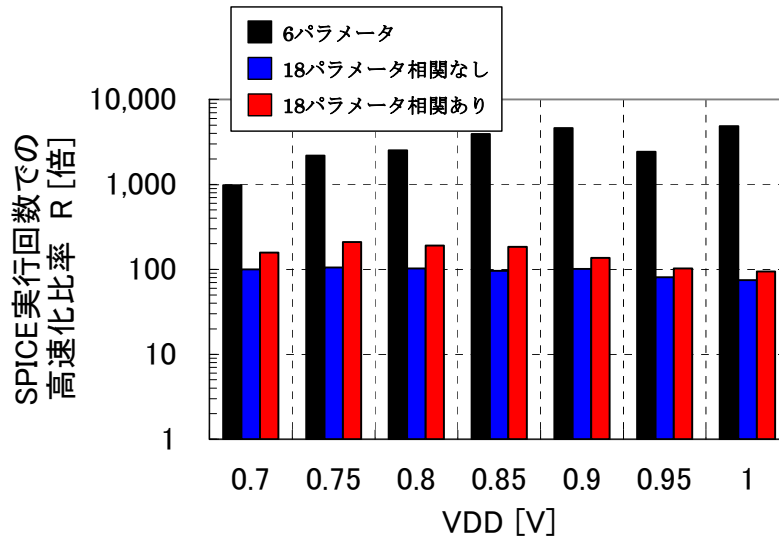
電源電圧 VDD		0.70	0.75	0.80	0.85	0.90	0.95	1.00
SSBL 法 実行時間 [h]	合計(a)=(b)+(c)	0.24	0.17	0.15	0.13	0.13	0.14	0.13
	境界学習ステップ(b)	0.03	0.03	0.03	0.03	0.03	0.03	0.03
	本番ステップ(c)	0.21	0.14	0.12	0.10	0.09	0.11	0.09

III-2-I- (1)表 3-4-2-16 SNM FBC 解析の実行時間(ばらつきパラメータ条件②18パラメータ相関なし)

電源電圧 VDD		0.70	0.75	0.80	0.85	0.90	0.95	1.00
SSBL 法 実行時間 [h]	合計(a)=(b)+(c)	4.10	4.03	4.10	4.31	4.26	5.02	5.45
	境界学習ステップ(b)	0.45	0.45	0.45	0.47	0.47	0.48	0.49
	本番ステップ(c)	3.65	3.57	3.65	3.84	3.79	4.54	4.95

III-2-I- (1)表 3-4-2-17 SNM FBC 解析の実行時間(ばらつきパラメータ条件③ 18パラメータ相関あり)

電源電圧 VDD		0.70	0.75	0.80	0.85	0.90	0.95	1.00
SSBL 法 実行時間 [h]	合計(a)=(b)+(c)	4.26	3.59	3.91	4.02	4.91	6.42	6.65
	境界学習ステップ(b)	0.51	0.52	0.53	0.53	0.53	0.55	0.55
	本番ステップ(c)	3.76	3.07	3.39	3.50	4.38	5.87	6.10



III-2-I-③-(1)図 3-4-2-15 SNM-FBC 解析での高速化比率

### 3-4-5. 過渡READ特性を用いたFBC解析

III-2-I-③-(1)図 3-4-2-16 の6トランジスタ-SRAM回路を用いて、SRAM過渡READ解析によるFBC解析を行う。CBLはビット線容量を表し、ビット線の配線容量と接続されるアクセストランジスタの接合容量とゲートオーバーラップ容量からなる。以下に過渡READ解析によるFBCの導出方法を示す。

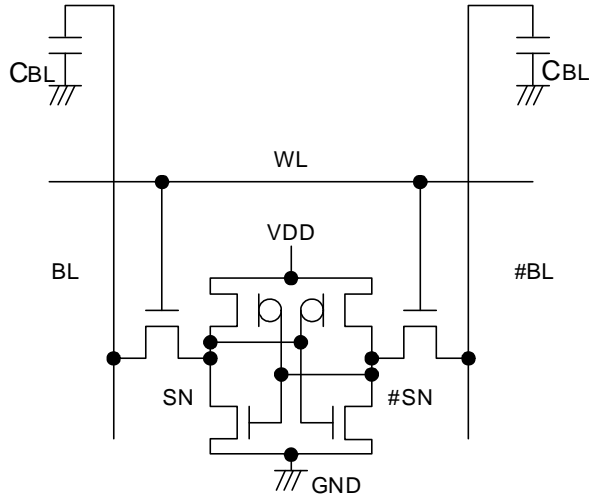
手順1: バイアス条件を  $GND = 0[V]$  に、 $BL = \#BL = VDD =$  供給電圧  $VDD_{set}$  に固定する。

手順2: SNと#SNの過渡解析用初期電圧を設定する。READ 1(high)の場合、過渡解析初期設定:  $SN = VDD_{set}$ ,  $\#SN = 0[V]$  に設定する。READ 0(low)の場合、過渡解析初期設定:  $SN = 0[V]$ ,  $\#SN = VDD_{set}$  に設定する。

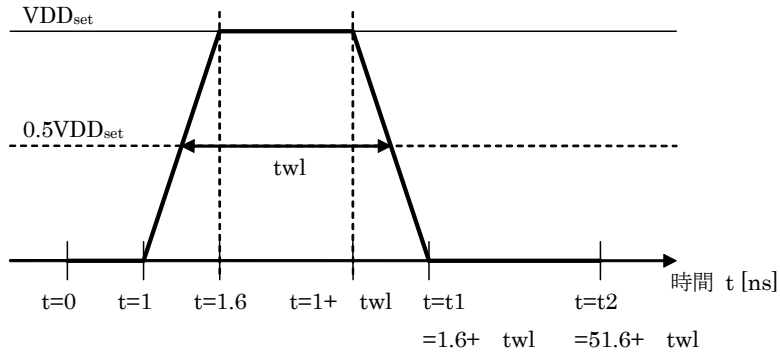
手順3: WLにIII-2-I-③-(1)図 3-4-2-17の波形を入力し、過渡解析を行う。本解析では図中の  $\Delta twl$  を500[ns]とした。

手順4: 時間  $t=t_2$  におけるSNの電圧と#SNの電圧の大小関係からSRAMセルのPass/Fail判定を行う。READ 1(high)の場合、 $SN - \#SN < 0$  の場合 Fail Bitと判定する。そうでなければ Passと判定する。READ 0(low)の場合、 $SN - \#SN > 0$  の場合 Fail Bitと判定する。そうでなければ Passと判定する。

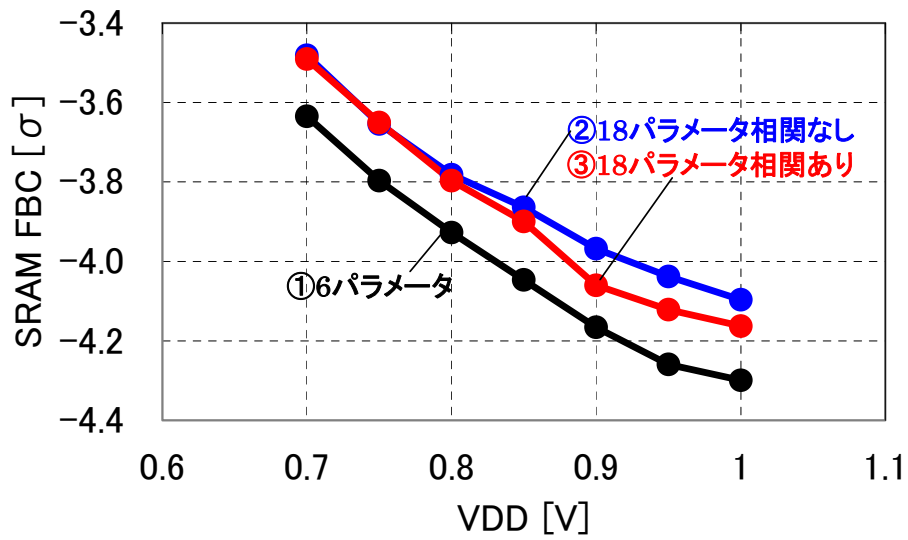
III-2-I-③-(1)図 3-4-2-18 に FBC-VDD 依存性を示す。III-2-I- (1)表 3-4-2-18～III-2-I- (1)表 3-4-2-20 に各解析の時間を示す。また、III-2-I-③-(1)図 3-4-2-19 に SPICE 実行回数での高速化比率 Rを示す。III-2-I-③-(1)図 3-4-2-18 から、ばらつきパラメータ数の影響は大きく、パラメータ数6と18の間でFBC差異は最大5.5%となった。また、ばらつきパラメータ数が18の場合、パラメータ間の相関の有無による影響は小さい(最大で2.3%)ことが分かった。III-2-I- (1)表 3-4-2-18～III-2-I- (1)表 3-4-2-20、III-2-I-③-(1)図 3-4-2-18からは、ばらつきパラメータ数が18の場合、ばらつきパラメータ数が6の場合に比べて10倍以上の実行時間を要していることが分かる。これは、Rの値が10倍以上異なっていることに起因すると考えられる。



III-2-I-③-(1)図 3-4-2-16 過渡解析用 SRAM 回路



III-2-I-③-(1)図 3-4-2-17 WL に印加する電圧波形



III-2-I-③-(1)図 3-4-2-18 過渡 READ-FBC の電源電圧依存性

III-2-I- (1)表 3-4-2-18 過渡 READ-FBC 解析の実行時間(ばらつきパラメータ条件① 6パラメータ相関あり)

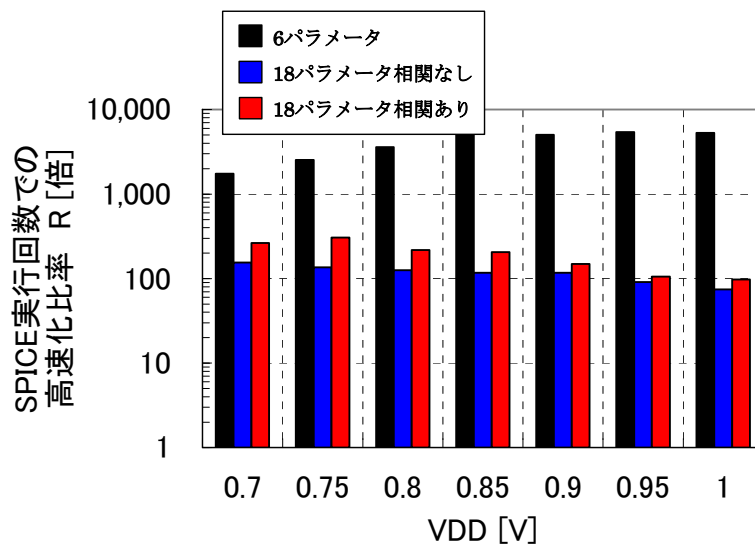
電源電圧 VDD		0.70	0.75	0.80	0.85	0.90	0.95	1.00
SSBL 法 実行時間 [h]	合計(a)=(b)+(c)	0.35	0.30	0.26	0.24	0.24	0.24	0.25
	境界学習ステップ(b)	0.06	0.06	0.07	0.07	0.07	0.07	0.07
	本番ステップ(c)	0.29	0.23	0.20	0.18	0.18	0.18	0.18

III-2-I- (1)表 3-4-2-19 SNM FBC 解析の実行時間(ばらつきパラメータ条件②18パラメータ相関なし)

電源電圧 VDD		0.70	0.75	0.80	0.85	0.90	0.95	1.00
SSBL 法 実行時間 [h]	合計(a)=(b)+(c)	6.18	6.71	7.01	7.31	7.66	9.04	10.9
	境界学習ステップ(b)	0.92	0.91	0.92	0.92	0.95	0.96	0.99
	本番ステップ(c)	5.26	5.80	6.10	6.39	6.71	8.08	9.86

III-2-I- (1)表 3-4-2-20 過渡 READ-FBC 解析の実行時間(ばらつきパラメータ条件③ 18パラメータ相関あり)

電源電圧 VDD		0.70	0.75	0.80	0.85	0.90	0.95	1.00
SSBL 法 実行時間 [h]	合計(a)=(b)+(c)	6.44	5.93	7.08	7.38	9.46	12.1	12.7
	境界学習ステップ(b)	1.07	1.10	1.08	1.09	1.10	1.09	1.10
	本番ステップ(c)	5.37	4.84	5.99	6.29	8.36	11.0	11.6



III-2-I-③(1)図 3-4-2-19 過渡 READ-FBC 解析での高速化比率

### 3-4-6. 実測結果とシミュレーション結果の比較

FBC シミュレーションの精度を評価するため、SNM FBC の VDD 依存性について実測との比較を行った。III-2-I-③(1)図 3-4-2-20 にアシスト回路なしでの実測及びばらつきパラメータ条件①～③で行ったシミュレーションでの FBC-VDD 依存性を示す(シミュレーションの結果は III-2-I-③(1)図 3-4-2-14 と同一である)。III-2-I- (1)表 3-4-2-21 に実測に対するシミュレーションの FBC 誤差を示す。ばらつきパラメータ数が 6 の場合、誤差は 6%前後であり、ばらつきパラメータ数が 18 の場合、最大誤差は 2.3%である。ばらつきパラメータ数が 18 の場合、高精度なシミュレーション結果が得られ、FBC シミュレーションの精度と速度はトレードオフの関係にあるので、

シミュレーションに要求される精度によって使用するばらつきパラメータ数を検討する必要があることが分かった。

III-2-I-③-(1)図 3-4-2-21 に、アシスト回路ありでの実測、及びばらつきパラメータ条件①～③で行ったシミュレーションでの FBC-VDD 依存性を示す。III-2-I- (1)表 3-4-2-22 に実測に対するシミュレーションの FBC 誤差を示す。なお、本シミュレーションでは WL=high 時にかかる電圧を  $0.9 \times VDD$  [V]とすることで、シミュレーションにおけるアシスト回路の効果を再現する手法(以降、WL 電圧低減手法と呼ぶ)を用いた。ばらつきパラメータ数が 6 の場合、最大誤差は約 4.9%であり、ばらつきパラメータ数が 18 で相関ありの場合、最大誤差は 2.9%となる。アシスト回路なしの場合に比べ、誤差が大きくなっていることがわかった。その原因として、

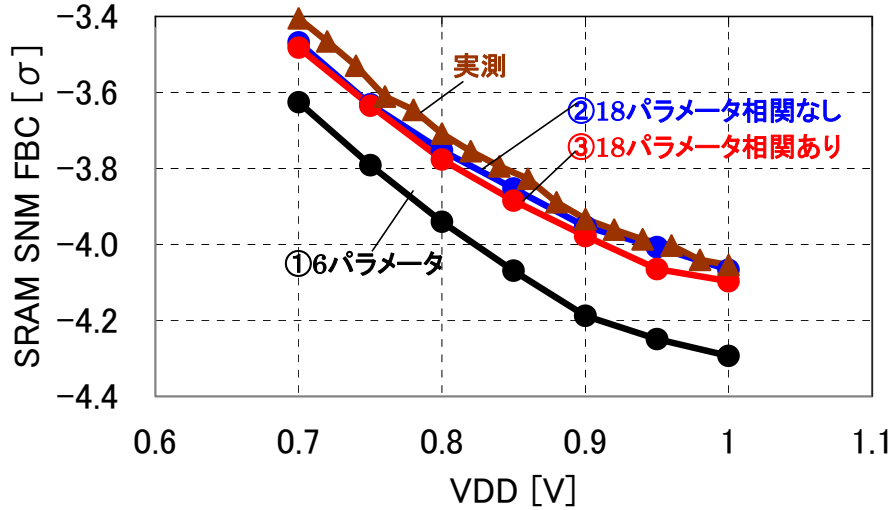
- ・ SPICE パラメータ抽出の段階で温度条件は 1 条件のみ(25°C)であったため、アシスト回路ありのシミュレーション(125°C)では SPICE モデル温度パラメータの適切な設定がされていない
- ・ WL 電圧低減手法では WL=high 時にかかる電圧を  $0.9 \times VDD$  としたが、0.9 という値(以降、電圧低減係数と呼ぶ)が適切でない可能性がある
- ・ WL 電圧低減手法自体の精度が十分でない可能性がある

が考えられる。したがって、温度依存性の最適化、WL 電圧低減手法における電圧低減係数の最適化、ならびに WL 電圧低減手法の精度検証で高精度化が可能と考える。

6 パラメータ(各トランジスタの  $V_{th0}$ )としたケースの SRAM FBC 解析において Fail と判定された不良サンプルの内、サンプルを 10 個抽出し、解析を行った。その結果、

- ・ 過渡 READ において SN の初期電圧を low(ビット 0)として READ 動作をした場合に、SN の電圧が high(ビット 1)にビット反転したグループ(グループ A)
- ・ 過渡 READ において SN の初期電圧を high(ビット 1)として READ 動作をした場合に、SN の電圧が low(ビット 0)にビット反転したグループ(グループ B)

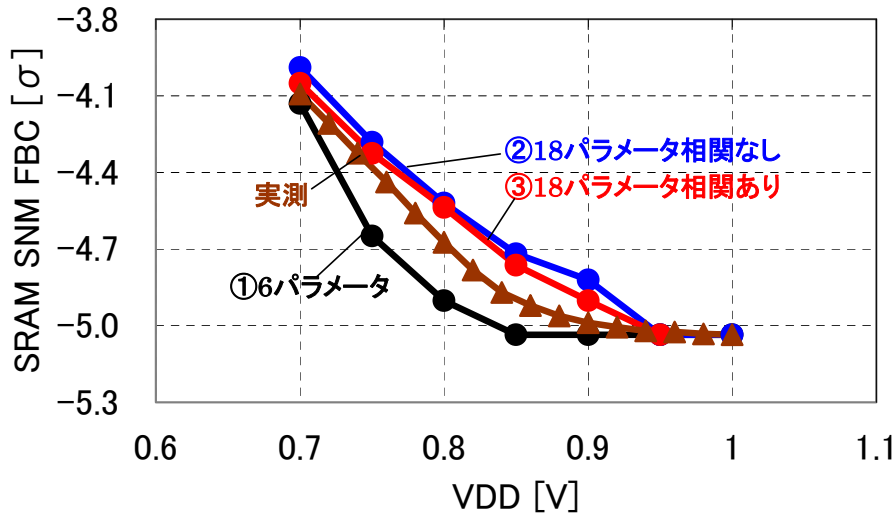
の 2 つのグループに分類できることが分かった。III-2-I- (1)表 3-4-2-24 にサンプルの所属グループ、及び不良発生時の電圧 SN の条件を示す。III-2-I- (1)表 3-4-2-25 にサンプルの所属グループとサンプル内単体トランジスタの電流特性(絶対値)の typical 値に対する大小を示す。グループ A のサンプルは、過渡 READ で不良となる SN の初期電圧が low であり、SNM において不良が発生している SN の電圧も同じく low である。サンプル内単体トランジスタの NR、AL の電流値は typical 値よりも大きく、NL の電流値は typical 値よりも小さい。一方、グループ B のサンプルは、過渡 READ で不良となる SN の初期電圧が high であり、SNM において不良が発生している SN の電圧も同じく high である。サンプル内単体トランジスタの NL、AR の電流値は typical 値よりも大きく、NR の電流値は typical 値よりも小さいことが分かった。



III-2-I-③-(1)図 3-4-2-20 SNM-FBC の実測とシミュレーション①～③との比較(アシスト回路なし)

III-2-I- (1)表 3-4-2-21 実測に対するシミュレーションの FBC 誤差(アシスト回路なし)

シミュレーションばらつきパラメータ条件	FBC 誤差[%]			
	VDD0.7V	VDD0.8V	VDD0.9V	VDD1.0V
6 パラメータ	6.5	6.3	6.5	5.9
18 パラメータ相関なし	1.9	1.2	0.51	0.31
18 パラメータ相関あり	2.3	1.8	1.1	1.0



III-2-I-③-(1)図 3-4-2-21 SNM-FBC の実測とシミュレーション①～③との比較(アシスト回路あり)

III-2-I- (1)表 3-4-2-22 実測に対するシミュレーションの FBC 誤差(アシスト回路あり)

シミュレーションばらつきパラメータ条件	FBC 誤差[%]			
	VDD0.7V	VDD0.8V	VDD0.9V	VDD1.0V
6 パラメータ	0.93	4.9	0.95	0.0062
18 パラメータ相関なし	2.5	3.3	3.4	0.0062
18 パラメータ相関あり	10.0	2.9	1.7	Fail なし

III-2-I- (1)表 3-4-2-23 不良 10 サンプルの所属グループ、および不良発生時の電圧、SN の条件

サンプル番号	所属グループ	過渡 READ でビット反転が起きたケースでの SN の初期電圧	SNM において不良が発生している SN の電圧
	A	low	low
	A	low	low
	B	high	high
	B	high	high
	B	high	high
	A	low	low
	A	low	low
	B	high	high
	A	low	low
	A	low	low

III-2-I- (1)表 3-4-2-24 不良 10 サンプルの所属グループ、および構成トランジスタの電流性能

サンプル番号	所属グループ	単体 Tr の電流値(絶対値)の大小(対 typical 値比較)					
		NL	NR	AL	AR	PL	PR
	A	小	大	大	小	小	大
	A	小	大	大	大	大	小
	B	大	小	小	大	小	大
	B	大	小	小	大	小	小
	B	大	小	大	大	大	大
	A	小	大	大	大	大	小
	A	小	大	大	小	大	小
	B	大	小	小	大	大	大
	A	小	大	大	小	小	小
	A	小	大	大	小	大	小

### 3-4-7. 本技術開発のまとめ

ランダムばらつきが SRAM の動作に与える影響を定量化するために、実測したランダムばらつきを取り込んだ SRAM 回路の SNM、ならびに過渡解析による FBC シミュレーション手法を開発した。その結果以下の結論を得た。

- ・ SSBL 法を大規模(サンプル数: 4,194,304 個)SRAM FBC 計算に適用し、DC 解析(SNM)及び過渡解析(READ)で使用可能であることを確認した。
- ・ 6トランジスタ-SRAM において 6トランジスタの各しきい値電圧をばらつかせた例で、DC 解析(SNM)で最大 1500 倍程度の高速化が得られた。
- ・ 高速化による精度劣化は無視できるレベル(誤差 2%以下)であった。
- ・ 実測に対する SSBL 法の誤差は 3%以下であり、高精度な計算結果が得られた。
- ・ 不良サンプルは 2 種類に分類でき、いずれも SRAM セル内トランジスタのうち感度の高いもののしきい値電圧が大きくばらついていることを明らかにした。

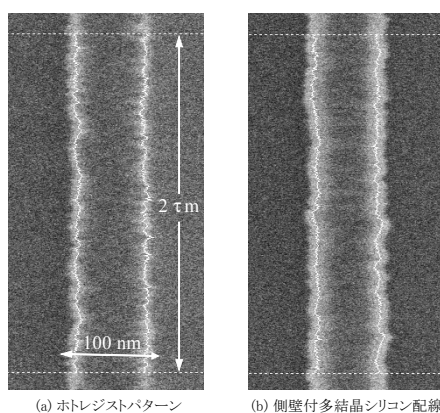


### 3-5. LER/LWR の高精度モデリング

#### 3-5-1. LER/LWR 高精度解析技術の開発

##### [1] 離散スペクトルに対する解析式の導出

III-2-I-③-(1)図 3-5-1 に示すように、デバイスの輪郭を微視的に観察すると、直線として設計した形状が不規則に波打っている。この現象はラインエッジラフネス(LER: Line Edge Roughness)として知られ、ラインウイドスラフネス(LWR: Line Width Roughness)と呼ばれる不規則な寸法変動をもたらす。このため、デバイス間で寸法に分布が生じ、その結果デバイス特性にばらつきが生ずる。LWR に起因したこのようなばらつきをモデリングするには、実際の LWR を正確に把握することが不可欠である。



III-2-I-③-(1)図 3-5-1 LER を示す SEM 像。画像解析ソフトウェアにより検出したパターン端を白線により示す。25 画素を移動平均している。倍率は縦横で異なる。

LWR はブラウン運動と同様に確率過程と呼ばれ、統計物理学の一分野を構成する。この確率過程を解析する上で、スペクトル(power spectral density, PSD)を調べるのが効果的である。実際の解析においては先ず測定した寸法を用いてスペクトルを求め、理論計算によるスペクトルがこれと一致するように計算に用いる LWR パラメータを最適化する。このパラメータの値が解析結果となる。従来は理論計算において以下に示す連続スペクトル  $I(k)$

$$I(k) = \xi \text{var}(w) / \{ \pi [1 + (k\xi)^2] \} \quad (3-5-1)$$

が用いられていた。ここで、 $\xi$  と  $\text{var}(w)$  は LWR の相関距離と分散、 $k$  は波数である。しかしながら、寸法データから求めたスペクトルが離散的であるので、例え計算に正しいパラメータ ( $\xi$  と  $\text{var}(w)$ ) を用いたとしても両者が完全に一致することはなく正確な解析を行うことが困難であった。今回、離散スペクトル  $I_\tau$  ( $\tau = 0, 1, \dots, N-1$ ) に対する解析式、

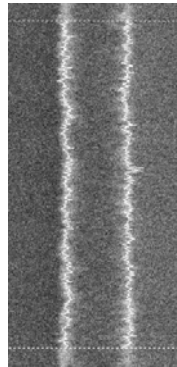
$$I_{\tau} = \text{var}(w) \frac{\Delta y}{2\pi} \left\{ 1 + \frac{2}{N} \text{Re} \left[ \frac{z_{\tau}}{1 - z_{\tau}} \left( N - 1 - \frac{z_{\tau} - z_{\tau}^N}{1 - z_{\tau}} \right) \right] \right\} \quad (3-5-2)$$

を新たに見出した。ここで、 $\Delta y$  は寸法測定の間隔、 $N$  はパターン1個当りの寸法測定数、 $z_{\tau} \equiv \exp[i(2\pi/N)\tau - \Delta y/\xi]$  である。

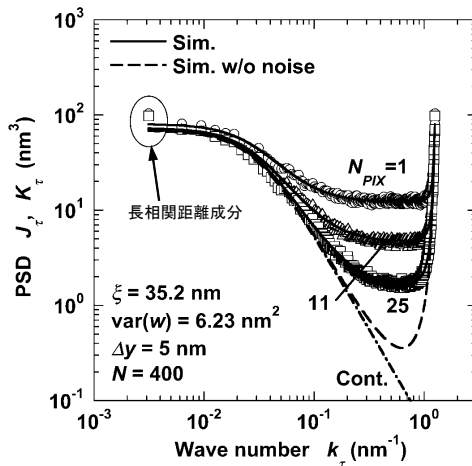
実際にスペクトルを解析する際には、離散的であること以外に寸法測定に用いる走査型電子顕微鏡 (CD-SEM) の画像に含まれる雑音の影響を考慮する必要がある。これは、III-2-I-③-(1)図 3-5-2 に示すようにパターンの端を認識する際に雑音が障害となり読み取った寸法に誤差が生じ、その結果 LWR が増長されるためである。この問題に対しては、上記 (2) 式に対して雑音の影響を表す定数項を加え、

$$K_{\tau} = I_{\tau} + \frac{\Delta y}{2\pi} \text{var}(\varphi) \quad (3-5-3)$$

によりスペクトル  $K_{\tau}$  を計算すればよいことを明らかにした。ここで、 $\text{var}(\varphi)$  は上記雑音に起因した LWR の分散である。III-2-I-③-(1)図 3-5-3 に示すように、雑音の影響が種々異なる場合においても III-2-I-③-(1)図 3-5-1(a) に示したホトレジストパターンを測定して得たスペクトル  $J_{\tau}$  (プロット) と (3-5-3) 式により計算した  $K_{\tau}$  (実線、Sim.) とはほぼ完全に一致する。これにより (3-5-2) 式と (3-5-3) 式の有効性が分る。また、ホトレジストパターンの LWR の相関距離が具体的に 35nm であることを明らかにした。ちなみに、III-2-I-③-(1)図 3-5-3 には上記 (3-5-1) 式を用いて計算した連続スペクトルの結果 (一点鎖線、Cont.) も示したが、実測結果から大きく乖離するために解析に適さないという知見を得た。



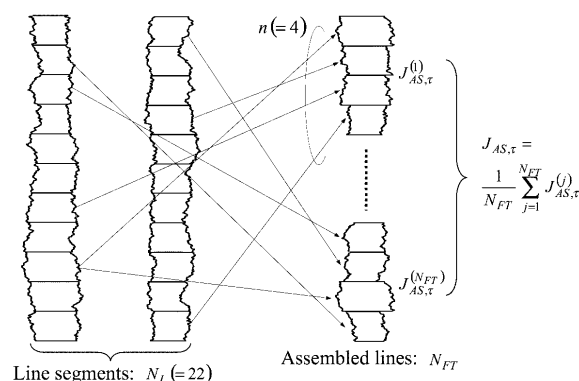
III-2-I- (1)図 3-5-2 LER を示す SEM 像。画像解析ソフトウェアにより検出したパターン端を白線により示す。25 画素を移動平均している。倍率は縦横で異なる。



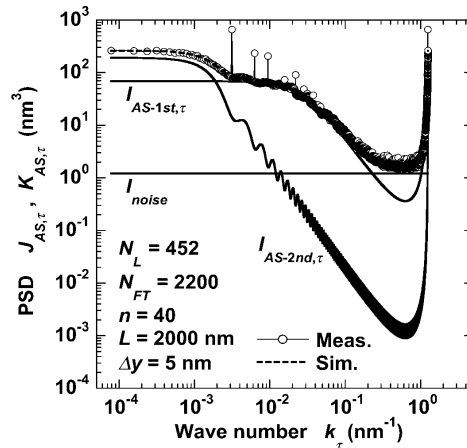
III-2-I- (1)図 3-5-3 離散スペクトル式によるホトレジスト LWR スペクトルの解析  $N_{PIX}$ は移動平均した画素数であり、大きいほど画像雑音成分が小さい。 $N_{PIX} = 1$ と25の結果はそれぞれ III-2-I- (1)図 3-5-2 と III-2-I- (1)図 3-5-1(a)の LWR に対応する。

[2]長相関距離成分の解析に向けたアセンブリ法の開発

LWRを実際に解析する過程において、上記した相関距離35nmの成分以外にこれよりもはるかに長い相関距離を有する成分が存在する兆候を見出した。上記 III-2-I-③-(1)図 3-5-3 において丸で囲んだ部分がそうである。同成分を解析するためには相関距離よりもはるかに長い領域を連続的に測定することが必要であるが、産業上利用可能な CD-SEM の性能はこの要求にはるか及ばない。そこで、日立製作所の山口氏等が先に開発したパッチワーク法を参考に、アセンブリ法と呼ぶ解析技術を新たに開発した。III-2-I-③-(1)図 3-5-4 に示すように、本技術においてはまず測定対象の部位を無作為に選び従来の CD-SEM を用いて寸法測定を行う。これを多数回反復した結果を寄せ集め、あたかも連続的に測定したかのようにデータを結合する。結合に際しては、実際の空間的位置と関係なく無作為に並べることが肝要である。このようにして作成した仮想的 LWR のスペクトルも、 $z_\tau \equiv \exp[i[2\pi/(nN)]\tau - \Delta y/\xi]$ とすることにより上記(3-5-2)式と(3-5-3)式により計算できることを明らかにした。III-2-I-③-(1)図 3-5-5 に示すように、これら解析式を用い LWR パラメータを最適化して計算した結果(破線)も、上記 III-2-I-③-(1)図 3-5-1(a)に示した試料のアセンブリ法によるスペクトル(細い折線がつなぐ白丸)と良く一致した。これにより、ホトレジストパターンには上記した相関距離 35nm の LWR 成分以外に 2870nmもの長い相関距離を有する成分が混在することを明らかにした。なお、実測に基づくスペクトルには鋭いピークが周期的に存在するが、これが寸法測定の結果に共通して含まれる非確率的寸法変動に起因することも合わせて解明した。



III-2-I- (1)図 3-5-4 アセンブリ法の概略図



III-2-I- (1)図 3-5-5 アセンブリ法による長相関距離 LWR 成分の解析。上記図3で用いた 452 組の測定結果から 40 組を無作為に抽出し連結する操作を 2200 回反復した。太い実線は破線を構成する 3 成分を表す。

### [3]高精度解析のための指針作成

上記技術を用いて解析を行う上で最も障害となるのは、測定した寸法のスペクトルが雑音の影響により変形していることである。このような雑音には統計的雑音と画像雑音の二種類がある。統計物理学によると、測定結果を用いてスペクトルを求める作業を無限回繰り返しその結果を平均することによってのみ正しいスペクトルを得ることができる。これが現実的でないのは明らかであり、実際の反復は有限回 ( $N_{FT}$ ) に留まる。このため、III-2-I-③-(1)図 3-5-6 に示すように、得られたスペクトルにはジャギーとも呼ばれる鋸歯状の変動が生ずる。これが統計的雑音であり  $N_{FT}$  が大きい程小さくなるが、実用上は  $N_{FT}$  を最小に留めたい。他方、上記(3-5-3)式から明らかのように、CD-SEM の画像雑音によってもスペクトルは変形しその影響の程度は寸法測定条件 ( $\Delta y$ ) にも依存する。このため、これら雑音に起因して生ずる解析誤差  $\eta$  を、雑音強度のみならず寸法測定条件等の関数として明らかにしておくことが課題となった。このような状況の下でのモンテカルロ計算を多用することにより、 $\eta$  に対する下記近似式、

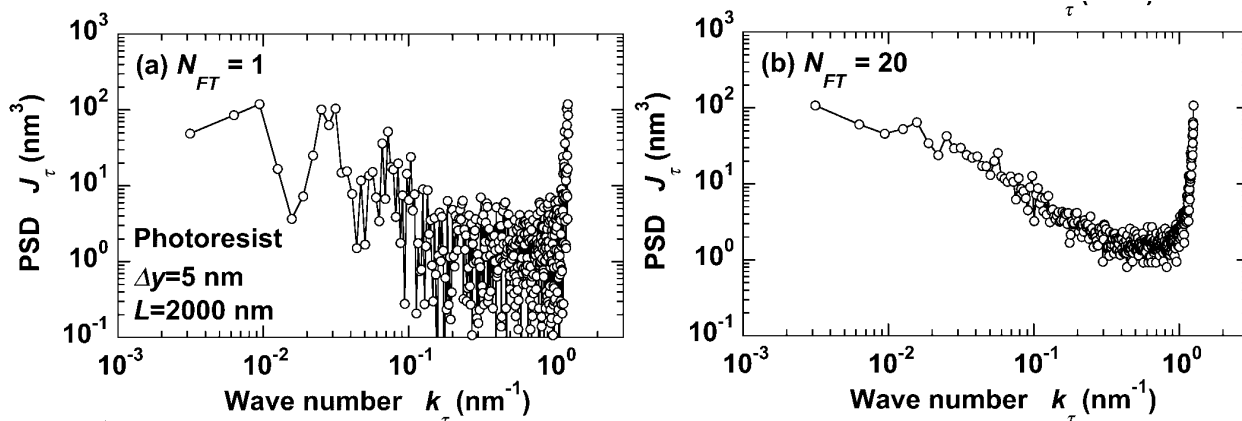
$$\eta = B N_{ALL}^{-3/4} (\Delta y / \xi)^{-3/8} [1 + g(R, \Delta y / \xi, \gamma)] \quad (3-5-4)$$

$$g(R, \Delta y / \xi, \gamma) \equiv 0.35 R^{1/2} + 0.5 \exp(2.1 \Delta y / \xi) [R - h(\Delta y / \xi, \gamma)]^{3/4} H(R - h(\Delta y / \xi, \gamma)) \quad (3-5-5)$$

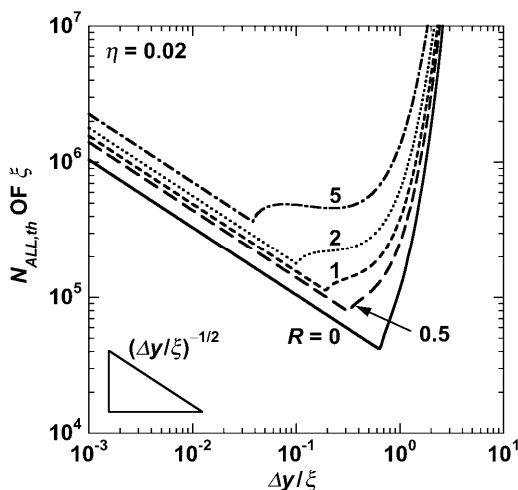
$$h(\Delta y / \xi, \gamma) \equiv [f(z_0) - \gamma f(-z_0)] / (\gamma - 1) \quad (3-5-6)$$

$$f(z) \equiv 1 + \frac{2}{N} \operatorname{Re} \left[ \frac{z}{1-z} \left( N - 1 - \frac{z - z^N}{1-z} \right) \right] \quad (3-5-7)$$

を見出すに至った。ここで  $B=49$ 、 $N_{ALL}=N_L N$ 、 $R \equiv \operatorname{var}(\phi) / \operatorname{var}(w)$ 、 $H(x)$  はヘビサイド (Heaviside) 関数、 $z_0 = \exp(-\Delta y / \xi)$ 、 $\gamma=1$  である。実際に解析を行う際の参考とするために、解析誤差を 2% ( $\eta=0.02$ ) 以下とするのに必要な  $N_{ALL}$  の値  $N_{ALLth}$  を(3-5-4)式により計算した結果を III-2-I-③-(1)図 3-5-7 に示す。



III-2-I- (1)図 3-5-6 統計的雑音によるスペクトルの变形。(a)と(b)におけるスペクトルの平均回数は各々1回(無平均)と20回である。上記 III-2-I- (1)図 3-5-3 における NPIX = 25 の結果は 452 回平均したものである。



III-2-I- (1)図 3-5-7 解析誤差を 2%以下とするのに必要な総データ数

### 3-5-2. 実パターン解析結果に基づく LER/LWR モデル

#### [1]実パターンにおける LWR のスペクトル

III-2-I-③-(1)図 3-5-1 (b)に示すように、完成したパターンの LWR は、製造の過程においてプラズマエッチング等の工程により平滑化されるので III-2-I-③-(1)図 3-5-1(a)に示すレジストの LWR とは異なる。このため、デバイスばらつきを正確に推定するには、完成パターンの LWR のスペクトルがどのようなものになっているかを解明しモデル化することが必要である。従来のデバイスシミュレーションにおいてはガウス関数型のスペクトル、

$$I_{Gauss}(k) = \text{var}(w) \frac{\xi}{2\sqrt{\pi}} \exp\left[-(k\xi/2)^2\right] \quad (3-5-8)$$

を用いることが多かった。しかし、同スペクトルには上記した製造過程が反映されていないために、実際にそぐ

われないことが懸念された。この問題を解消するために、今回新しいスペクトル式として、

$$I_{sm}(k) = \Gamma(kd) I(k) \quad (3-5-9)$$

を導出した。ここで、 $I(k)$ は上記(1)式により与えられ、 $\Gamma(kd)$ は平滑化によるスペクトルの変形を表し次式にて定義される。

$$\Gamma(kd) \equiv 1/[1 + (kd)^2]^2 \quad (3-5-10)$$

$d$  は平滑化作用が及ぶ物理空間的範囲を表す定数である。

#### [2]実パターンにおける LWR パラメータの推定

ばらつきの推定を行うには、上記(3-5-9)式に含まれる LWR パラメータ( $\xi$ ,  $\text{var}(w)$ ,  $d$ )の値を実際のパターンに即して決定しておく必要がある。このため、上記 3-5-1[1]と同様、測定した寸法から求めたスペクトルを計算結果と比較することとなるので、上記連続スペクトルに対応する離散スペクトルが必要となる。この課題も、上記(3-5-9)式に対応する離散スペクトル  $I_{sm,\tau}$  の解析式、

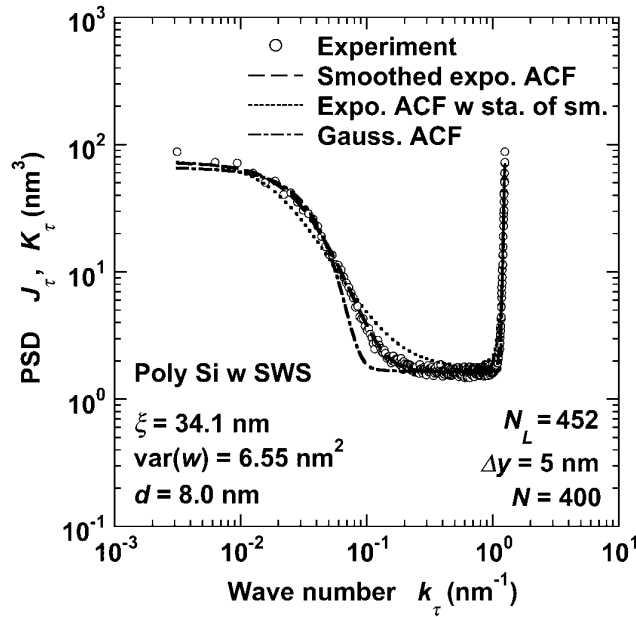
$$I_{sm,\tau} = \xi \text{var}(w) \frac{\Delta \hat{y}}{2\pi} \frac{1}{2} \left\{ (C_1 + C_2) f[z_\tau(1)] + (C_1 - C_2) f[z_\tau(1/\hat{d})] - C_3 \frac{\Delta \hat{y}}{\hat{d}} \psi[z_\tau(1/\hat{d})] \right\} \quad (3-5-11)$$

$$C_1 \equiv (1 + \hat{d}/2)/(1 + \hat{d})^2, \quad C_2 \equiv (1 - \hat{d}/2)/(1 - \hat{d})^2, \quad C_3 \equiv \hat{d}/(1 - \hat{d}^2) \quad (3-5-12)$$

$$\psi(z) \equiv 2 \left( 1 - \frac{1}{N} \right) \text{Re} \left[ \frac{z}{(1-z)^2} \left( 1 - \frac{2}{N-1} \frac{z-z^N}{1-z} + z^N \right) \right] \quad (3-5-13)$$

を見出すことにより解決した。ここで  $\Delta y \equiv \Delta y/\xi$ ,  $z_d(\alpha) \equiv \exp[i(2\pi/N)\tau - \alpha \Delta y]$ ,  $\hat{d} \equiv d/\xi$  である。なお、(3-5-11)式における  $f(z)$  は(3-5-7)式によるものと同一である。

III-2-I-③-(1)図 3-5-8 に示すように、側壁スペーサの付いた多結晶シリコン配線の LWR スペクトルを上記(3-5-11)式を用いて計算した結果は寸法測定に基づく結果とほぼ完璧に一致する。これにより、同 LWR の  $\xi$ ,  $\text{var}(w)$ ,  $d$  が  $6.6\text{nm}^2$ ,  $34\text{nm}$ ,  $8.0\text{nm}$  であることを明らかにした。これら  $\xi$ ,  $\text{var}(w)$  の値は III-2-I-③-(1)図 3-5-3 の値にほぼ等しい。このことは上記側壁付多結晶シリコン配線の LWR がホトレジストの LWR を  $8\text{nm}$  程度の範囲で平滑化したものとなっていることを示しており、実際の工程に即した妥当な結果となっている。同図には、従来シミュレーションに用いられてきた(3-5-1)式と(3-5-8)式により計算した結果も比較して示す。これら結果は実測結果と乖離しており、これらモデルを用いて LWR パラメータを正確に推定することが困難であるという知見を得た。



III-2-I- (1)図3-5-8 側壁スペーサ付多結晶シリコン配線に対するLWRモデルの比較。前記III-2-I- (1)図3-5-1(b)のLWRに対応する。

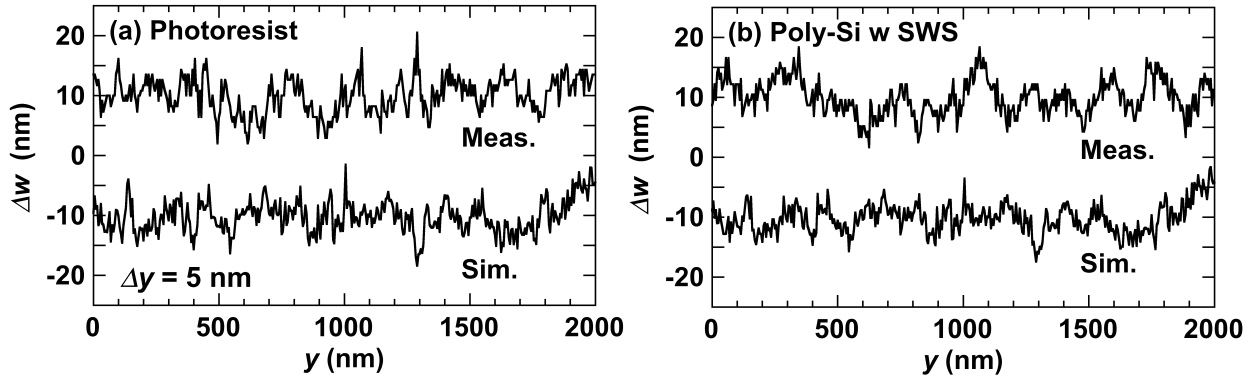
### [3]LWRのシミュレーション

上記方法によりLWRのスペクトルを決定すれば、これを用い以下の手順によりLWRをシミュレーションすることが可能となる。まず、フーリエ係数の絶対値 $|a_d|$ を、

$$|a_\tau| = [(2\pi/\Delta y)K_\tau]^{1/2} \quad (3-5-14)$$

により決定する。ここで $K_\tau$ は離散スペクトルであるが、多くの場合、(3)式における $I_\tau$ に代えて連続スペクトル $I(k)$ を用い $I(k_\tau)$ としても問題ない。なお、 $k_\tau = (2\pi/N)\tau$ である。上記絶対値に対して乱数を用い位相 $\theta$ を付加することによりフーリエ係数 $a_\tau = |a_d|e^{i\theta}$ を求める。これを逆フーリエ変換することによりLWRを得る。

上記III-2-I- (1)図3-5-1に示した二つの試料のLWRをこのようにしてシミュレーションした結果をIII-2-I- (1)図3-5-9の(a)と(b)にそれぞれ示す。ここで、 $I_\tau$ には(9)式の $I_{sm}(k_\tau)$ を用いた。LWRは本質的に不規則な現象であるので実測したLWR(各部分図における上段の実線)と計算したLWR(同下段の実線)が完全に一致することはありえないが、寸法変動の振幅と細かさは両者でほぼ一致しており、本開発で用いたシミュレーション精度の高く、その有用性を示した。



III-2-I- (1)図 3-5-9 LWR のシミュレーション。(a)と(b)の上段は図1の(a)と(b)の結果を、下段はこれらに対するシミュレーション結果を示す。

#### [4]電流因子ばらつきの解析

実パターンにおいて LWR により電流因子  $\beta = C_G \mu \cdot W/L$  に生ずるばらつき(分散  $\text{var}(\beta/\beta_0)$ )が次式、

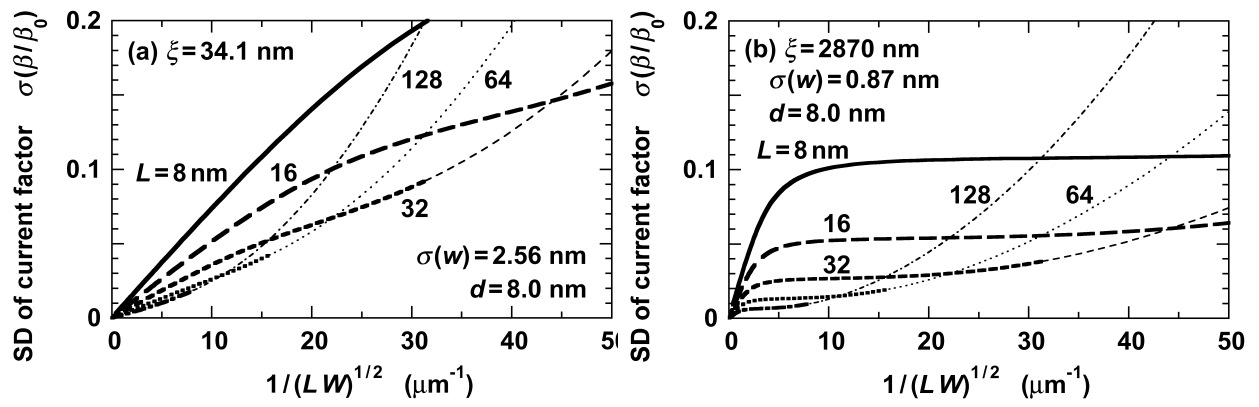
$$\text{var}\left(\frac{\beta}{\beta_0}\right) = \frac{\text{var}(w)}{LW} \int_{-\infty}^{\infty} d\hat{k} \left[ \frac{\Theta(\hat{k}L)}{\alpha} + \alpha \Theta(\hat{k}W) \right] \hat{I}_{sm}(\hat{k}) \quad (3-5-15)$$

$$\Theta(x) = \sin^2(x/2)/(x/2)^2 \quad (3-5-16)$$

$$\hat{I}_{sm}(\hat{k}) \equiv \Gamma(\hat{k}d) \frac{1}{\pi(1+\hat{k}^2)} \quad (3-5-17)$$

により計算できることを明らかにした。ここで、 $\beta_0$ は $\beta$ の平均値、 $L$ と $W$ はそれぞれチャンネル長とチャンネル幅であり、 $\alpha \equiv W/L$ とした。また、 $C_G$ と $\mu$ はそれぞれゲート容量とキャリア移動度である。なお、 $\hat{I}_{sm}(\hat{k})$ は上記 $I_{sm}(k)$ を規格化したものである。III-2-I- (1)図 3-5-10 に、上記 III-2-I- (1)図 3-5-8 に示した試料の LWR および III-2-I- (1)図 3-5-6 に示した試料の長相関距離成分について計算した結果を標準偏差にしてそれぞれ(a)と(b)に示す。16nm ノード以降になると、電流因子が短相関距離成分により10%以上、長相関距離成分によっても5%以上変動することが分る。特に、長相関距離成分の影響に関しては、チャンネル幅の大きいデバイスにおいても小さいものとはほぼ同程度のばらつきの生ずる点に注意が必要である。この長相関距離成分は本開発により初めてその存在が明らかになったものであり、現状においても寸法の大きいデバイスに想定外のばらつきをもたらしている可能性を明らかにした。





III-2-I- (1)図 3-5-10 チャンネル長が一定の場合における電流因子ばらつきの推定結果。(a)と(b)は各々短相関距離成分と長相関距離成分の結果、両図における太線は実用的である  $L \leq W$  の結果を示す。