

# 先端的 SoC 製造システム高度制御技術開発

## 事業原簿【公開】

作成者	独立行政法人 新エネルギー・産業技術総合開発機構 電子・材料・ナノテクノロジー部
-----	---

## 目次

目次	(L-1)
概要	(M-1)
用語集	(M-3)
I. 事業の位置付け・必要性について	I-1
1. 事業の背景と目的	I-1
2. 事業の位置付けと意義	I-2
3. 実施の効果	I-4
II. 研究開発マネジメントについて	II-1
1. 事業目標の概要	II-1
2. 目標の設定根拠	II-1
2.1. OEE向上効果の目標設定根拠	II-2
2.2. サイクルタイムの目標設定根拠	II-3
3. 研究開発の実施体制	II-5
4. 研究開発の運営管理	II-5
4.1. 運営及び管理体制	II-5
4.2. 研究開発費の推移	II-6
5. 研究開発成果の実用化に向けたマネジメント	II-6
6. 情勢変化への対応	II-7
III. 研究開発成果について	III-1
1. 事業全体の目標	III-1
1.1. 事業全体の目標確認	III-1
1.2. 機能目標	III-8
1.3. 効果目標	III-9
2. 事業全体の成果	III-10
2.1. 成果まとめ	III-10
2.2. 成果の意義、知財・標準化、成果の普及のまとめ	III-11
2.3. 研究計画の妥当性と研究執行の妥当性の評価	III-14
2.3.1. スコープ	III-14
2.3.2. 評価方法	III-14
2.3.3. 評価結果	III-14
IV. 実用化、事業化の見通しについて	IV-1
1. スコープ	IV-1
2. 評価方法	IV-1
3. 評価結果	IV-1
3.1. 参加会社(4社)からの回答結果	IV-1
3.2. 実施者(Selete)の所見	IV-1
添付資料	(N-1)

概要

		作成日	平成 23(2011)年 3 月 14 日			
プログラム（又は施策）名	IT イノベーションプログラム					
プロジェクト名	先進的 SoC 製造システム高度制御技術開発	プロジェクト番号	P07013			
担当推進部/担当者	電子・材料・ナノテクノロジー部/寺澤 伸二					
0. 事業の概要	多品種変量生産であるシステムLSI (SoC: System on a Chip) における生産性の低下を解決するために、半導体生産の無駄を削減し工場生産性の画期的な向上を目指します。					
I. 事業の位置付け・必要性について	我が国の半導体産業はメモリーを主軸としてきた歴史があるが、近年はメモリーとシステム LSI の 2 軸構造を持つに至っている。SoC 応用製品（例：携帯電話、モバイル情報機器、車載機器）は頻りに仕様変更があり世代交代も激しいため多品種変量生産となることが多く、従来からのメモリー型少品種大量生産方式の製造方法を適用したのでは著しく生産性が低くなってしまふ。本プロジェクトでは、国内半導体システム LSI 製造の国際競争力強化のため、このような問題を解決するために従来のロット単位ではなく、ウェハ単位の SoC 製造制御を効率的に行うための新たな品質制御システム技術、SoC 製造システム全体を総合的に制御し、コスト、TAT (Turn Around Time: 製造工程に従った処理に要する時間)、歩留等に関し総合最適化を図るための統合制御システム技術、及びこれらの開発技術を製造ラインに適用し有効に機能させるための実装技術を開発することを目的とする。					
II. 研究開発マネジメントについて						
事業の目標	本開発技術適用の効率向上効果として、製造工程全体の OEE（装置有効付加価値時間）を 40%以上向上し、サイクルタイムを 50%以上短縮することが可能であることを示す。					
事業の計画内容	主な実施事項	2007 年度	2008 年度	2009 年度	2010 年度	
	構想・要件定義	←→				
	機能設計・プロトタイプング		←→			
	プログラム製作・個別評価			←→		
	総合評価・効果検証				←→	
開発予算 (会計・勘定別に事業費の実績額を記載 (単位百万円))	会計・勘定	2007 年度	2008 年度	2009 年度	2010 年度	総額
	一般会計	510	504	478	285	1,777
	特別会計 (電多・高度化・石油の別)					
	総予算額	510	504	478	285	1,777
開発体制	経産省担当原課	商務情報政策局 情報通信機器課				
	プロジェクトリーダー	なし				
	委託先	株式会社 半導体先端テクノロジーズ (Selete)				
情勢変化への対応	開発を効率よく推進するために、参加会社と定期的に会議を実施し密接な連携をとって研究開発を進めてきた。25 件の日米欧と台湾の学会やシンポジウムを対象に調査（参加、発表含む）し、技術動向情報を収集・分析、及び成果のアピールを行った。 また、上記分析により加速資金を下記の 2 度投入し、情勢変化に対応した。 ・ 2007 年 11 月：37,9 百万円（工場シミュレータ導入） ・ 2008 年 7 月：30 百万円（可視化・生産制御情報構造の標準化）					

III. 研究開発成果について	<p>研究開発項目① SoC 製造統合制御システム技術の開発</p> <ul style="list-style-type: none"> <li>・ウェハ単位の制御により、製造プロセス全体をリアルタイムで統合的に制御し、コスト、TAT、歩留等に関し総合最適化を図ることができる統合制御システム技術の開発を目的として以下の開発を行った。</li> <li>(a) OEE を低下させ、工場の生産性を阻害する割り込み処理等の擾乱に対処する制御機能を検証した。</li> <li>(b) コスト、TAT、歩留等の製造性能間の相互依存関係に関する科学的モデル等を利用し、総合最適化を図ることを可能とする制御システムの基本的な機能を開発した。</li> <li>(c) ソフトウェア要求仕様書に基づき、製造プロセスの総合最適化を図ることを可能にする制御システム技術を開発した。</li> <li>(d) 開発業務に適用した結果を反映させてガイドラインを完成した。</li> </ul> <p>研究開発項目② SoC 品質制御技術の開発</p> <ul style="list-style-type: none"> <li>・製品構成やロットサイズ変動に追従する品質管理の手法により目標とする効果を上げる見通しを得た。</li> </ul> <p>研究開発項目③ SoC 製造制御システム実装技術の開発</p> <ul style="list-style-type: none"> <li>・要件書に基づき各開発技術の実装上の性能を机上及び試作ライン等へ実装して評価し、導入上の問題がないことを確認した。</li> </ul> <p>総合効果評価結果</p> <ul style="list-style-type: none"> <li>・OEE 向上効果：向上率が 40%以上（最大 41%）であることを示した。</li> <li>・サイクルタイム短縮効果：0.75 日/レイヤ（50%）以上（最大 0.85 日/レイヤ（57%））の短縮が可能であることを示した。</li> </ul> <p>研究対象効果結果</p> <ul style="list-style-type: none"> <li>・OEE 向上効果：向上率が 9%以上（9.6%）であることを示した。</li> <li>・サイクルタイム短縮効果：0.2 日/レイヤ（13%）以上（0.21 日/レイヤ（14%））の短縮が可能であることを示した。</li> </ul> <p>プラットフォーム効果結果</p> <ul style="list-style-type: none"> <li>・開発工数を 23～45%低減可能であることを示した。</li> </ul> <p>なお、可視化・生産制御情報構造の標準化に関しては、2008 年度から SEMI に企画案提示、投票、審査を 3 回行い、2011 年度中に 4 回目の審査を受ける予定。</p>	
	投稿論文	学会発表 11 件（内海外 2 件）
	著作物	1 件（計測サンプリングに関するガイドライン）
	特許	2 件「出願」予定
	IV. 実用化、事業化の見通しについて	参加各社（4 社）は、大きな投資を伴わず導入し易い、あるいは使える部分（例：検査サンプリング、コスト試算システム、プラットフォームガイドライン等）から順次実用化予定。
V. 評価に関する事項	事前評価	なし
	中間評価以降	2011 年 4 月 8 日事後評価実施予定
VI. 基本計画に関する事項	作成時期	2007 年 3 月 作成
	変更履歴	2010 年 3 月 当初予定のシステム開発からシステム技術開発（システム仕様設計は行方が一部プログラム開発なし）への改訂

## 用語集（非公開資料5－2分含む）

用語	解説
ABC分析	Activity Based Costing 分析の略。管理費等の間接コストを「業務区分」であるActivityに着目して、製品やサービスの原価に配分していく手法のこと。
Ajax	Webブラウザ内で非同期通信とインターフェースの構築などを行う技術の総称のこと。
ASAP	アプライド マテリアルズ ジャパン株式会社が提供している工程進捗シミュレータ AutoSched APのこと。半導体工場で一般的に使われているシミュレータの1つである。
AsIs	対象の現在の状況を表現するモデルのこと。(出典:経済産業省ホームページ)
axis2	JavaとXML技術に基づいたWebサービスのフレームワークのこと。
BPEL	Business Process Execution Languageの略であり、実行可能なビジネスプロセスモデリング(業務手順を分かりやすい対象に置き換えること)言語のこと。
BPM	Business Process Management の略で、ビジネスプロセスに「分析」「設計」「実行」「モニタリング」「改善・再構築」というマネジメントサイクルを適応し、継続的なプロセス改善を遂行しようという経営・業務改善コンセプトのこと。
BPMN	Business Process Modeling Notationの略で、ビジネスプロセスを示すグラフ表現(フローチャート)に関する業界標準の表記法のこと。
BPMS	Business Process Management SystemあるいはSuiteの略であり、BPMを実現するための実行プラットフォームのこと。
CIM	Computer Integrated Manufacturingの略で製造・技術・管理情報等の各種情報をコンピュータシステムによって統括し、生産 の効率化を推進すること。
Cpk	Process Capability's Katayori、統計的管理状態にある工程における工程能力指数のひとつ。平均値と規格値の隔たりを $3\sigma$ で除したものの。
CSV	データをカンマ(“,”)で区切って並べたファイル形式。
DB	DataBaseの略で、データベースのこと。
E10区分	作業コストである、レシピコスト、アイドルコスト、エンジニアリングコスト、ダウンタイムコスト(SD/USD)を識別する検証プログラムでの区分のこと。
ESB	Enterprise Service Busの略であり、サービスに基づく情報連携を行うソフトウェアのこと。
ETL	Extract/Transform/Loadの略で、保管されたデータ抽出(extract)し、データウェアハウスなどで利用しやすい形に加工し、対象となるデータベースに書き出す(load)こと。
F/W	Frameworkの略であり、アプリケーションを開発する際の雛形のこと。
GUI	Graphical User Interfaceの略で、エンドユーザーのグラフ表示可能な端末のこと。
H/W	Hardwareの略で、S/WとM/Wを動かす、物理的な構成部分のこと。
Intalio Designer	Intalio社製の製品で、BPMNで記述されるビジネス・プロセスのダイアグラムをグラフィカルに設計するためのEclipse(統合開発環境の1つ)ベースの統合開発ツール。
ISSM	International Symposium on Semiconductor Manufacturingの略で、この分野で最大規模の国際会議のこと。
ITRS	International Technology Roadmap for Semiconductorsの略。国際半導体技術ロードマップのこと。
Java	Sun Microsystems社が開発したプログラミング言語のこと。
JavaScript	オブジェクト指向(ソフトウェアの設計や開発において、操作手順よりも操作対象に重点を置く考え方)言語である。主にWebブラウザなどのクライアントサイドで実装され、動的なウェブサイトの構築などのユーザインタフェースの開発に用いられる。

用語	解説
JEITA	Japan Electronics and Information Technology Industries Association、社団法人 電子情報技術産業協会
JIS	日本工業規格
JNGF	JEITA Next Generation Factory、JEITA半導体部会半導体技術委員会下のタスクフォースで、半導体製品の最終顧客に納期・品質・コストを保証するため企業間・工場間を跨いでグローバルにムダを削減する活動(JEITA NGFガイドライン解説「総論・可視化編」第1.03版より引用)。
L/P	Load Port(ロードポート)の略で、ウェハ搬送用容器を置く場所のこと。
MES	Manufacturing Execution Systemの略で、製造実行システムのこと。
M/W	Middlewareの略で、S/Wの基本処理を行う構成部のこと。
MOVE	一定期間に、対象とする製造装置にて製品の処理を完了したロット数のこと。
MTBE	Mean Time Between Engineeringの略で、エンジニアリング間隔のこと。
MTBF	Mean Time Between Failureの略で、故障間隔のこと。
MTBM	Mean Time Between Maintenanceの略で、メンテナンス間隔のこと。
MTBS	Mean Time Between Set-upの略で、段取り間隔のこと。
MTF	Manufacturing Technology Forumの略で、SEMIの中で製造分野における標準化に係わる重要課題を議論する場のこと。
MTTE	Mean Time To Engineerの略で、エンジニアリング作業に必要な期間のこと。
MTTM	Mean Time To Maintainの略で、メンテナンスに必要な期間のこと。
MTTR	Mean Time To Repair の略で、修理に必要な期間のこと。
MTTS	Mean Time To Set-up の略で、段取りに必要な期間のこと。
NPW	Non Product Waferの略で、非製品ウェハのこと。
OEE	Overall Equipment Efficiencyの略で、装置有効付加価値時間のこと。総時間のうち、装置のメンテナンス時間、故障に起因する時間、プロセス条件設定・確認等に要する時間、工程の組み方等に起因する待ち時間等を除いた、装置が実際にウェハ加工に利用される時間。
PDCA	Plan Do Check and Actionの略で、計画、実行、検証、行動のこと。
PM	Preventive Maintenanceの略で、予防保全のこと。
PSLX	Planning and Scheduling Language on XMLの略。プランニングとスケジューリングを、インターネットを中心としたIT技術のもとで統合させることで、製造業の新しい生産管理のしくみを構築するための標準仕様およびガイドラインのこと。
PSLX仕様書	生産計画関係のアプリケーションソフトウェア間で情報連携を実現するための基本的な概念と具体的なオブジェクト(プログラム上の手続きの対象を抽象化する概念)およびアクティビティを定義し、さらにXML(Extensible Markup Language)を用いたメッセージ連携の仕様やRDB(Relational Database)スキーマ(データベース構造)の標準テンプレートを定めた仕様書。6つのパートから構成されている。
QC	Quality Controlの略で、品質管理のこと。
RDBMS	Relational DataBase Management Systemの略で、RDBを管理するソフトウェアのこと。
REJ法	Rapid Economic Justification法の略。プロジェクトに関わるステークホルダーにヒアリングすることにより、課題抽出、効果試算を行う手法のこと。
S/W	Softwareの略で、機能を提供する構成部分のこと。
SD	Scheduled Down Timeの略で、計画停止のこと。
Selete工場	開発システムを導入することを想定した工場のこと。

用語	解説
SEMI	Semiconductor Equipment and Materials Internationalの略で、半導体・FPD(Flat Panel Display)・太陽光発電産業等の製造装置・材料関連の国際的工業会のこと
SEMI E10	SEMIスタンダードのSpecification for Definition and Measurement of Equipment Reliability, Availability, and Maintainability(半導体製造装置の信頼性、有用性、整備性の定義と測定のための仕様)のこと。
SOA	Service-Oriented Architectureの略。ビジネスプロセスの構成単位に合わせて構築・整理されたソフトウェア部品や機能を、ネットワーク上に公開し、これらを相互に連携させることにより、柔軟なエンタープライズ・システム、企業間ビジネスプロセス実行システムを構築しようというシステムアーキテクチャのこと。
SoC	System on a Chipの略で、一つの半導体チップ上に、必要とされる一連の機能(システム)を集積する集積回路の設計手法のこと。
TAT	Turn Around Timeの略で、製造工程に従った処理に要する時間のこと。
TF	Task Forceの略で、SEMIスタンダード開発を行うために結成されたグループのこと。
ToBe	対象の理想的な将来像・目標を表現するモデルのこと。(出典:経済産業省ホームページ)
UI	User Interactionの略で、アプリケーション階層のユーザインタラクションを意味する。
USD	Unscheduled Down Timeの略で、非計画停止のこと。
View	一般的なRDBMSでは、複数の分散された表に存在するデータを共通の列データで結合し、あたかも一つの表のように参照できる定義が可能であり、この定義のこと。
X-Factor	前工程TATと合計処理時間の比率のこと。 $X\text{-Factor} = \text{前工程TAT} / \text{プロセス処理時間の合計}$ 。
アイドルコスト	SEMI E10のStandby時間(準備時間)に相当する、装置が何も作業を行っていない時にも発生する固定的コスト(装置償却費、人件費など)と変動的コスト(直材費など)のこと。
アクタ	開発システムに対す要求を分析する際の、ビジネスユースケースの登場人物のこと。
アプリケーション階層	エンドユーザーが操作する画面から、関係システムと連携したデータ収集までのアプリケーションソフトウェアの階層であり、可視化システムでは、画面、ユーザインタラクション、セキュリティ、ビジネスプロセス、サービス/コンポーネント、データ、他システムインタフェースの階層がある。
イベントデータ	製造装置の作業に関わる開始と終了の事象情報のこと。
エンジニア	製造に係わる技術責任を有し、改善案を作成し、改善を実行する人のこと。
エンジニアリングコスト	SEMI E10のEngineering 時間(エンジニアリング時間)に相当し、製品プロセスと装置の改善のために発生する、固定的コスト(装置償却費、人件費など)と変動的コスト(直材費など)、及び試作品、NPWを製作するコストのこと。
エンドユーザー	システムの利用者のこと。
オブジェクト	プログラム上の手続きの対象を抽象化する概念のこと。
オブジェクト指向	ソフトウェアの設計や開発において、操作手順よりも操作対象に重点を置く考え方のこと。
可視化素データ	可視化提供データを作るために素となるデータのこと。例としてマスターデータ、製造装置作業の履歴データ、及びこのマスターデータと履歴データから作成される集計データがある。
可視化提供データ	エンドユーザーが業務処理にて利用するデータのこと。例としてポケットがある。可視化素データから、シナリオの業務処理に応じて追加作成できる。

用語	解説
可視化データ	エンドユーザーが利用することを前提に、意味と構造の情報を有するデータのこと。可視化提供データと可視化素データがある。
活用軸	エンジニアが、可視化データをドリルダウンする際に利用する軸であり、「製品」、「費目(材料)」、「装置」、「部門」、「工程」、「作業」の6つの軸のこと。
カプセル化	データとそれを操作する手続きを一体化して「オブジェクト」として定義し、オブジェクト内の細かい仕様や構造を外部から隠蔽すること。
ガントチャート	縦軸に作業内容を置き、横軸に時間をとって、横棒で各作業が発生する時間を視覚的に示した図のこと。
規格バロット	SEMI規則に従った、規格化のための投票審査を行うドキュメントのこと。
基準日程計画	販売部門がとりまとめた得意先の販売予測と、生産部門が策定した生産計画との接点として、いつどの製品を何個つくるかを計画します。ここで設定した数量にもとづいて、販売部門と生産部門はそれぞれ詳細な計画に展開し、必要な場合には、この内容を介して相互に交渉を行います(出典:PSLX仕様書, PSLX-V2-02パート2, 業務アクティビティモデル)。
業務機能部品	業務実行単位である作業をソフトウェアにしたもの。
業務ドメイン	業務機能の大括りのまとまりのこと。
原価管理	製品を生産するために必要となるコストを集計し、製品原価を計算します。製品計画や製品設計時点で想定した事前原価と、実際の工場の生産工程で生産してみても明らかになった事後原価を管理し、そのギャップを埋めるための方法を検討します(出典:PSLX仕様書, PSLX-V2-02パート2, 業務アクティビティモデル)。
原価企画	企業が顧客に対して提供する製品やサービスについて、顧客にとっての価値と、それを生み出すために必要な原価をあらかじめ計画し、企業が将来得られる利益を計画します。さらに、計画された原価と実際の原価が等しくなるように、さまざまな生産システムを計画立案します(出典:PSLX仕様書, PSLX-V2-02パート2, 業務アクティビティモデル)。
検査工程のサンプルリング	ウェハの検査工程における抜き取り検査。
工程管理	各作業場に対して与えられた作業指示が、現実の生産として実施するまでを管理します。ここでは、作業指示を各製造資源が実施するため、さらに細かな実行指示に展開し、実現可能性を確認した上で具体的な資源に割当て生産を実行します。また、状況の変化に対応して、臨機応変に生産の実行を制御します(出典:PSLX仕様書, PSLX-V2-02パート2, 業務アクティビティモデル)。
コンテンツ	コンピュータが扱う情報の内、エンドユーザーの要件が指定的に取り扱われる部分のこと。
サービス	インターフェースを介して外部からメッセージ交換による呼び出しが可能なコンポーネント。
サイクルタイム	1製造工程間、1マスキレイヤ数に費やされた時間及び前工程TATのこと。
システムエンジニア	可視化システムの機能とデータの開発者。
実時間データ	実際に作業が行われるまたは行われた時刻を識別できる時間データのこと。
シミュレータ	本研究開発では、AMAT社製のAutoSched APを利用した、Selete工場のシミュレーションモデル(Selete工場モデル)のこと
収集データ	可視化素データを作るため、関係システムから収集したデータのこと。例としてマスタデータ、イベントデータがある。



用語	解説
詳細スケジューリング者	各作業区における作業を、いつ、どこで、どのように実行するかを決定する。(出典: PSLXの定義を要約)
スキーマ	データベースの構造のこと。
生産オーダー待ち期間	MESからの作業指示が製造装置に渡されておらず、当該製品が待っている期間のこと。
生産実行期間	当該製品が、MESからの作業指示を受け取った製造装置により、その製造装置の資源が消費され、直接、製造工程の処理が施されている期間のこと。
生産待ち期間	当該製品が、MESからの作業指示を受け取った製造装置により、その製造装置の資源が消費されているが、直接、製造工程の処理が施されていない期間のこと。
生産ミックス	製品別の投入量のこと。
製造技術	製品試作を行った結果をもとに、本番の生産に移行するために実際の装置や設備を再度設計しなおし、最終的に生産ラインを完成させます。また、量産を行っている最中に、装置の不具合を直し、装置の改良を行います。作業者に対する作業手順書なども合わせて作成し管理します(出典: PSLX仕様書, PSLX-V2-02パート2, 業務アクティビティモデル)。
設備管理	生産のために直接的または間接的に必要な装置を対象に、実際に行う保守の作業の実行を管理します。保守計画をもとに、工場の現場で個々の装置に対して点検や修理を行うとともに、その結果や保守の履歴を保存し管理します。また、治工具および、装置に必要な部品や消耗品も合わせて管理します(出典: PSLX仕様書, PSLX-V2-02パート2, 業務アクティビティモデル)。
先行処理	ロットの一部のウェハを処理して装置性能、処理条件を確認してから残りのウェハを処理すること。
先行処理実施率	(先行処理適用ロット数÷当該装置・工程全体の処理ロット数)で算出する。
装置有効付加価値時間	OEE(Overall Equipment Efficiency)のこと。総時間のうち、装置のメンテナンス時間、故障に起因する停止時間、プロセス条件設定・確認等に要する時間、工程の組み方等に起因する待ち時間等を除いた、装置が実際にウェハ加工に利用された時間。
ソルバー	ワークシートの目的セルと呼ばれるセルに入力されている数式の最適値を求めるExcelの機能のこと。目的セルの数式に直接または間接的に関係する複数のセルの値を変化させつつ、目的セルの数式の計算を行い、最適の解を見つけ出すもの。
ダウンタイムコスト	SEMI E10のSchedule down時間(計画ダウン時間)、Unscheduled down時間(非計画ダウン時間)に相当する、装置起因で止まっている時に発生する固定的コスト(装置償却費、人件費など)と変動的成本(直材費)のこと。
ディスパッチングルール	製造装置に製品を割り当てるルールのこと。
データ生成機能	工場システムとシミュレータから収集したデータを階層的に集計、データベースに保管する可視化システムの機能のこと。
データ利用機能	エンドユーザーからの要求に応じ、そのまま又は必要に応じて計算処理を行い、所望のデータを提供する可視化システムの機能のこと。
デザインルール	ICを設計する時、素子各部の平面的寸法や相互の位置関係、素子間の立体的位置関係などを定めた基本規則(ルール)のこと。
ドリルダウン	要約された親データからそれを構成する子データに指定された条件にて順を追って深堀すること。
能力量消費待ち期間	当該製品が、MESからの作業指示を受け取った製造装置により、その製造装置の資源が消費されていない期間のこと。

用語	解説
ビジネスプロセス図	BPMN(Business Process Modeling Notationの略。業務手順を分かりやすく図示して可視化するための表記ルールを定めたもの)で記述する業務のモデルのこと。作業の流れとメッセージの流れといった2つの流れに着目して業務を図で表現したもの。
品質管理	製品機能を具体的に表現するための品質指標を設定し、生産現場の個々の作業との因果関係を明らかにします。そして、想定した製品の品質と、工場で実際に生産した製品の品質とを比較することで、潜在的な問題を発見し改善を行います。得意先から得られるクレーム情報も対象となります(出典:PSLX仕様書, PSLX-V2-02パート2, 業務アクティビティモデル)。
プロトタイプング	実働するモデル(プロトタイプ)を早期に製作する手法およびその過程のこと。
プラットフォーム	業務フロー階層とそれらが稼働するために必要となるインフラ階層を合わせたシステム機能のこと。
プラットフォーム効果	プラットフォームを適用した場合に、効果目標達成までに要する時間が、従来手法で開発した場合より短縮できる効果のこと。
分類メタデータ	メタデータを分類するデータであり、メタデータをファイルと考えた時のディレクトリに相当する。
ポータル	Webブラウザを立ち上げたときに最初にアクセスするウェブページのこと。
ポケット	エンジニア共通で利用する可視化提供データ群または可視化提供データを計算する機能群のこと。
保守計画	予防保全や予知保全など、工場の装置や設備が常に健全な状態であるようにするための作業に関する計画を作成します。具体的には、詳細スケジューリングと連携をとりながら、定期点検や部品交換、そして必要に応じて修理や異常時の対応などを計画します(出典:PSLX仕様書, PSLX-V2-02パート2, 業務アクティビティモデル)。
前工程TAT	前工程の全体を処理するのに要する時間のこと。
マスタデータ	製造技術情報、生産計画、経費の情報のこと。
待ち期間	当該製品が処理が施されていない期間のこと。生産待ち期間、能力量消費待ち期間、生産オーダー待ち期間から構成される。
待ち行列理論	顧客がサービスを受けるために行列に並ぶような確率的に挙動するシステムの混雑現象を、数理モデルを用いて解析することを目的とした理論のこと。
マッシュアップ	複数の異なる提供元の技術やコンテンツを複合させて新しいサービスを形作ること。
ミニライン	検証プログラムのためのテストデータを作成するために、Selete工場モデルから、ダウンサイジングして作られたシミュレーションモデルのこと。
メタデータ	可視化データの意味定義と構造定義するためのデータのこと。
リワーク	工程完了後の検査で不合格となったロットを再生する処理のこと。
リワーク率	(リワーク枚数÷全体の処理枚数)で算出する。
レンピコスト	SEMI E10のProductive時間(生産時間)に相当する製品処理を行うために発生する固定的コスト(装置償却費、人件費など)と変動的コスト(直材費など)のこと。
ロードポート	装置に設置されたウエハ搬送用容器置き台のこと。
ロット(Lot)	商品・製品を取引・製造する場合に、グルーピングする単位のこと。
ロットアウト	工程の途中でロット内のウエハ全てが不良になり、ロットそのものがなくなること。

## I. 事業の位置付け・必要性について

### 1. 事業の背景と目的

情報技術がめざましく発展している今日の社会では、情報・知識を時間や場所の制約を受けず誰もが自由自在かつ安全に活用できる情報通信環境の実現が望まれている。2007年6月に改訂された経済成長戦略大綱において、我が国の国際競争力強化のために注力すべき分野として、情報家電、ロボットなどが挙げられている。上記分野においては更なるモバイル化、ユビキタス化が進展するため、それに伴って、半導体デバイスの高機能化、低消費電力化へのニーズはますます強くなるものと予測される。また、我が国の半導体産業はメモリーを主軸としてきた歴史があるが、近年はメモリーとシステムLSI (SoC: System on a Chip) の2軸の構造を持つに至っている。更にシステムLSIの製造では分業化が進展し、システムLSIのファブレスとファウンダリーへの2極化が加速し、コスト低減圧力が増大している。SoC応用製品(例:情報家電、モバイル情報機器、車載機器)は頻繁に仕様変更があり、世代交代も激しいため、これらの製品に用いられるSoCの製造は多品種変量生産となることが多く、従来からのメモリー型少品種多量生産方式の製造方法を適用したのでは著しく生産性が低くなってしまう。本プロジェクトでは、国内システムLSI製造の国際競争力強化のため、このような問題を解決するために従来のロット単位ではなく、ウェハ単位のSoC製造制御を効率的に行うための新たな品質制御システム技術、SoC製造システム全体を総合的に制御し、コスト、TAT<sup>1</sup>、歩留等に関し総合最適化を図るための統合制御システム技術、及びこれらの開発技術を製造ラインに適用し有効に機能させるための実装技術を開発することを目的とする。

---

<sup>1</sup> Turn Around Time の略で、製造工程に従った処理に要する時間のこと。

## 2. 事業の位置付けと意義

本プロジェクトは、システムLSIの高機能・低消費電力LSIの実現に必要な半導体デバイス・プロセス基盤技術の確立を目的として、経済産業省において制定されたITイノベーションプログラム<sup>1</sup>の一環として、次世代半導体材料・プロセス基盤(MIRAI)の一部を成すプロジェクトとして実施した。

また、NEDOでは電子・情報技術分野において「高度情報通信社会の実現」、「IT産業の国際競争力の強化」のための技術開発としてプロジェクトを実施している。本プロジェクトは、図 I . 2.1に示すように電子・情報技術分野における基盤産業である半導体分野の中の効率的、効果的な多品種変量生産技術に関するものである。

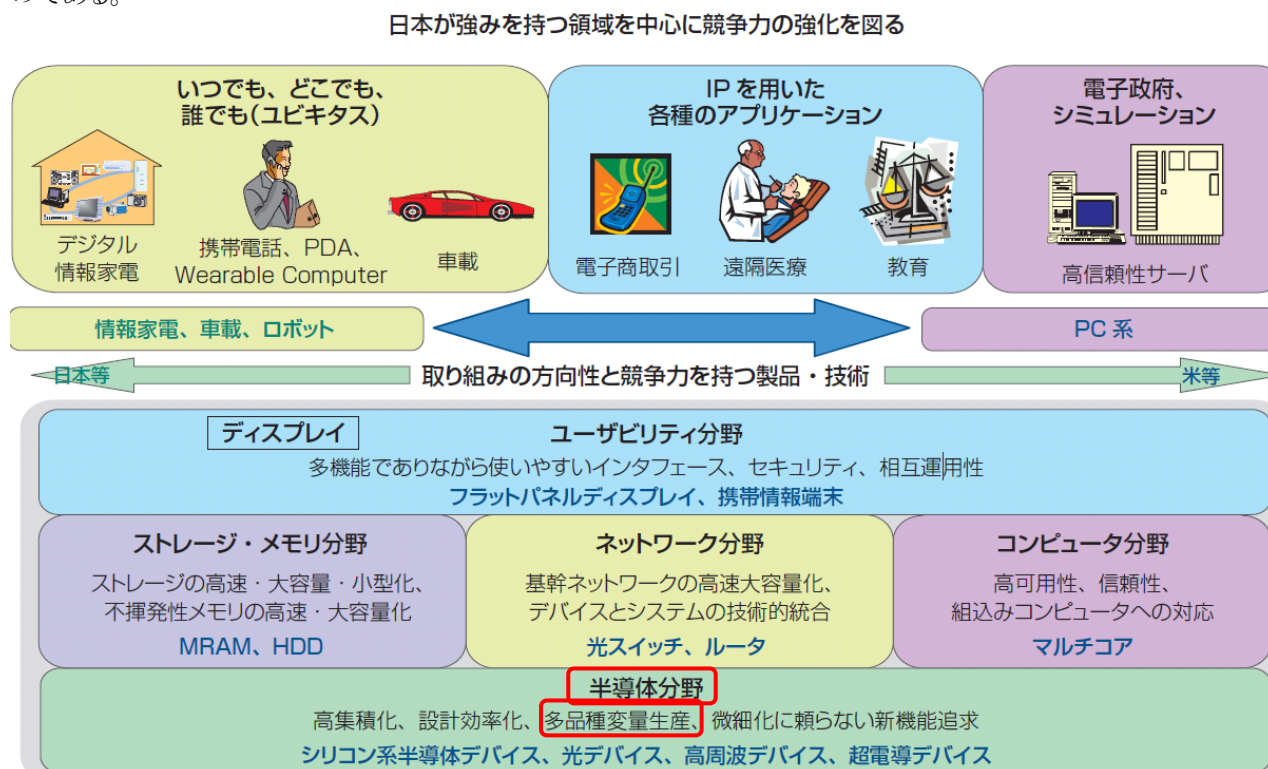


図 I . 2.1 NEDO 電子・情報技術分野の全体像(出典:NEDO30 年史 148 ページ)

更にNEDOが編纂したNEDO半導体技術マップ(図 I . 2.2)では、我が国の半導体技術において、高速、多機能、低消費電力の性能向上が必要なシステムLSIは、最重要課題として位置付けられている。本プロジェクトの対象分野である製造統合制御プラットフォーム<sup>2</sup>は「SoC開発/製造工程のエンジニアリング」を支えるシステム技術の一つとして重要な役割を担うものである。図 I . 2.3に示す 2010 年版のロードマップでは、品質・コスト・納期の可予測化、製造ばらつき制御、多品種変量生産対応工程制御という課題解決に関連した技術として、2010~12 年に記載してある 11 項目が 2012 年までに実用化され、2016 年までに各項目が統合し実用化されることが望まれるとしている。本プロジェクトでは、先導研究(2006 年度)で調査検討を行い、図 I . 2.3内の赤枠で囲った 6 項目の技術に対応した研究課題を行うこととした。

本技術開発を進めるためには、製造基盤技術の研究開発が必要であることから、プロセス、品質管理、生産システム等の科学的モデル化技術に関する学の英知を活用することが不可欠である。また、ばらつき制御に対するデバイス性能や設計等の異なる面からのアプローチとの密接な連携が重要である。更に、半導体

<sup>1</sup> 基本計画では、ITイノベーションプログラムの他にエネルギーイノベーションプログラムも記載されているが、本プロジェクトはITイノベーションプログラムが該当する。

<sup>2</sup> プラットホームとは、業務フロー階層とそれらが稼働するために必要となるインフラ階層を合わせたシステム機能と定義した。

製造各社の製造技術に関する経験と知の結集が求められる。以上のことから、NEDO では国内システム LSI 製造産業の国際競争力強化に資する重要なものと捉え、このような学、関連プロジェクト及び半導体製造会社との連携の実を図る上からも、産学の知見を結集した国家プロジェクトとして実施する意義がある。

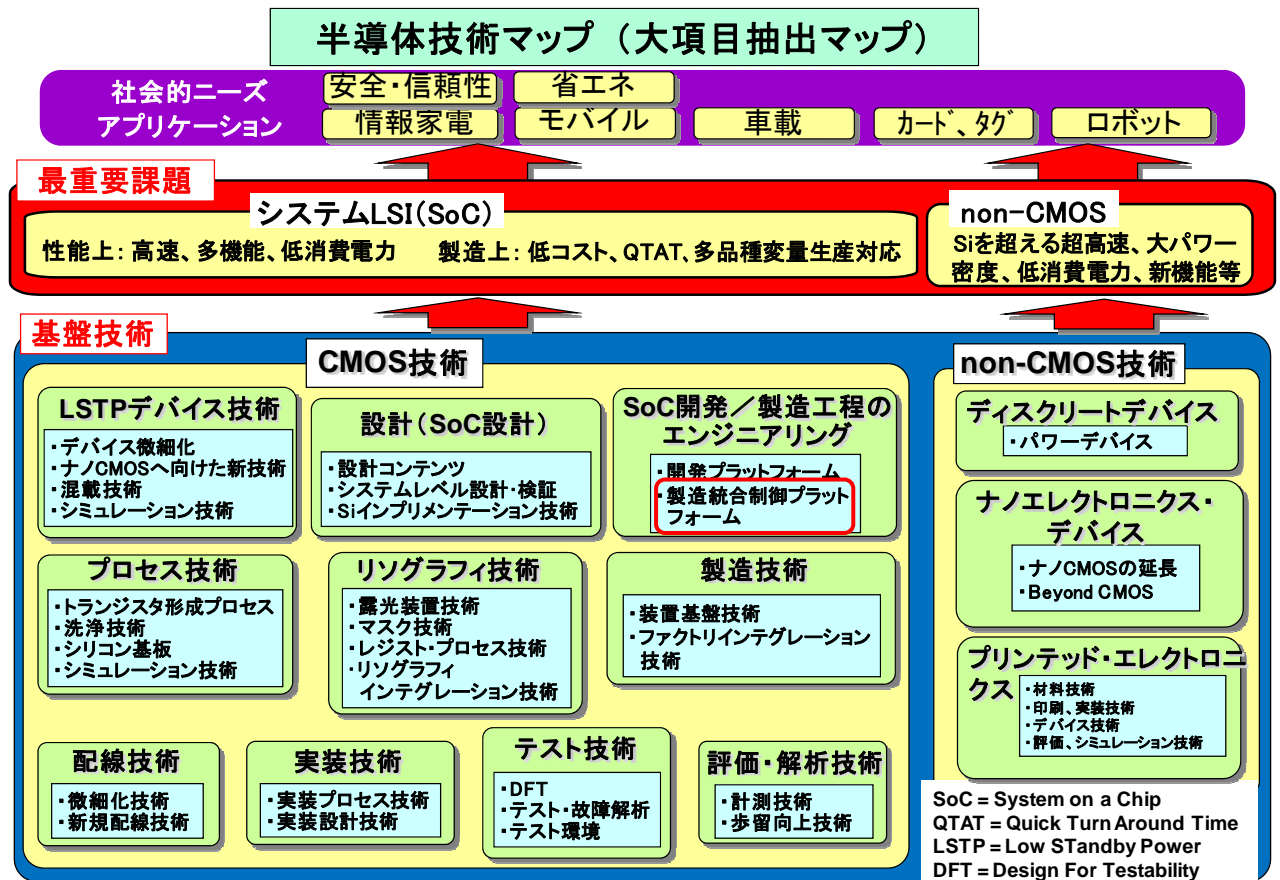


図 I . 2.2 NEDO 半導体技術マップ(大項目抽出マップ)における位置付け(2010 年版 抜粋)

重要課題	評価パラメータ	2010	2011	2012	2013	2014	2015	2016	
品質・コスト・納期の可予測化	・品質・コスト・納期モデリング技術 ・制御機能・情報の階層化、統合的 判断機能	製造制御システム統合プラットフォーム							
		品質・コスト・納期の情報構造化、モデリング							
製造ばらつき制御	・歩留りモデリング技術 ・歩留りモニタ技術 ・検査の最適化技術	検査の最適化							
		装置・プロセス情報による歩留り予測技術							
	・加工出来映えモデリング技術 ・モデルによるプロセス制御機能	加工出来映えモデリング							
		モデリングによる階層的装置・プロセス制御技術							
多品種変量生産対応 工程制御	・ウエハ単位工程制御技術	ウエハ単位装置制御技術							
		ウエハ単位の工場制御システム情報と 装置・搬送システム情報の統合化							
	・プロセスモデリング技術 ・装置OEE改善技術	ウエハ単位搬送制御技術							
		装置内プロセス現象モデル							
		FDC、EEQM・EEQAの高度化・標準化							

図 I . 2.3 NEDO 半導体技術ロードマップにおける製造統合制御プラットフォーム  
(2010 年版 抜粋)



### 3. 実施の効果

図 I . 3.1にシステムLSI市場の 2013 年までの予想を示す。システムLSI市場規模は、2009 年に世界的な不況により一時減少したが、2010 年以降回復すると予想され、今後も成長の見込める市場であることに変わりはない。システムLSIの世界市場規模は 2010 年に約 7.5 兆円、2013 に約 9 兆円と推計される(1ドル 80 円換算)。この内、国内4社のシステムLSIの売上は、2010 年に約 9,400 億円と推計し、この数字が世界市場規模と比例して増加すると仮定すると、2013 年には約1兆 1,300 億円にまで増加すると予想される。これが本プロジェクトの成果が直接及ぶ金額と考えられ、国内4社全体でのウェハコスト削減効果を試算すると最大約 960 億円<sup>1</sup> と期待できる。

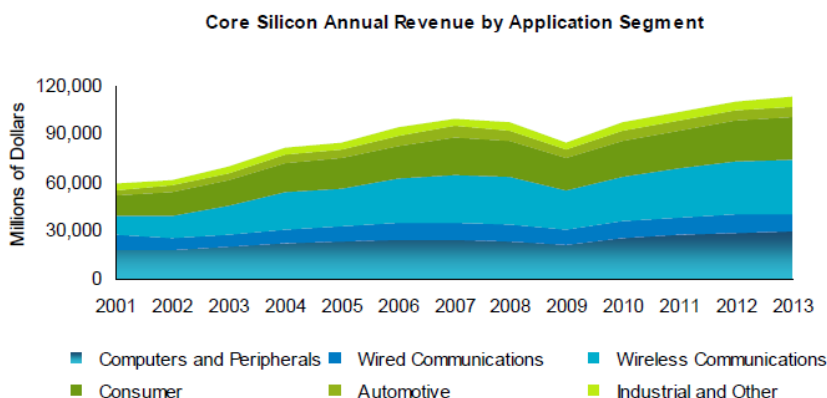


図 I . 3.1 システム LSI 世界市場(出展:iSuppli)

更に、システム LSI の各種応用機器まで拡大すると、より大きなウェハコスト削減効果がもたらされるものと考えられる。高機能・低消費電力システム LSI が実現すれば、生活空間のあらゆる場面での活用が進み、情報通信システムの高度化、生活・医療サービス、高齢者支援、デジタル家電の知能化など、幅広いサービスが実現して大きな新市場創出につながることを期待できる。

また、従来手法と比べ重複した開発工数削減が可能なプラットフォーム効果<sup>2</sup>により、生産システムの開発期間の低減が可能で、市場の需要変動に対してより対応し易くなり、不良在庫の低減、過剰在庫を安値で売却することによる損出低減、及びこれらによるキャッシュフローの大幅改善等が見込まれ、コスト削減効果は更に大きいと推定される。また、需要増加へのより早い供給による売上向上も期待できる。

<sup>1</sup> 960 億円の根拠を下記に示す。

仮想ウェハ売価(最終的にチップ出荷する際の売価をウェハベースに換算したもの)から利益と製造工場以外の本社等の固定費の合計である 10%を引いた金額を製造原価とし、製造原価にウェハコスト(前工程)が占める割合を 35%とすると、仮想ウェハ売価に対するウェハコストの割合は、

$(1-0.1) \times 0.35=0.315$ ( $\approx 32\%$ )となる。(仮想ウェハ売価には他に後工程、テスト及び前工程以外の設計コスト等が含まれる)

ウェハコストは、先導研究(プロジェクト開始前)調査結果によれば 2010 年国内 4 社 300mm/90nm 品の予測値から 256k 円/枚であり、ウェハ 1 枚換算の売価は、 $\text{ウェハコスト} / 0.32=256(\text{k 千}) \text{ 円} / \text{枚} / 0.32=800(\text{k 千}) \text{ 円} / \text{枚}$ と考えられる。更に、国内 4 社を合計したウェハ枚数は、2010 年で  $9,400(\text{億円} / 800(\text{k 千}) \text{ 円} / \text{枚})=1,175(\text{k 千}) \text{ 枚}$  と予想される。

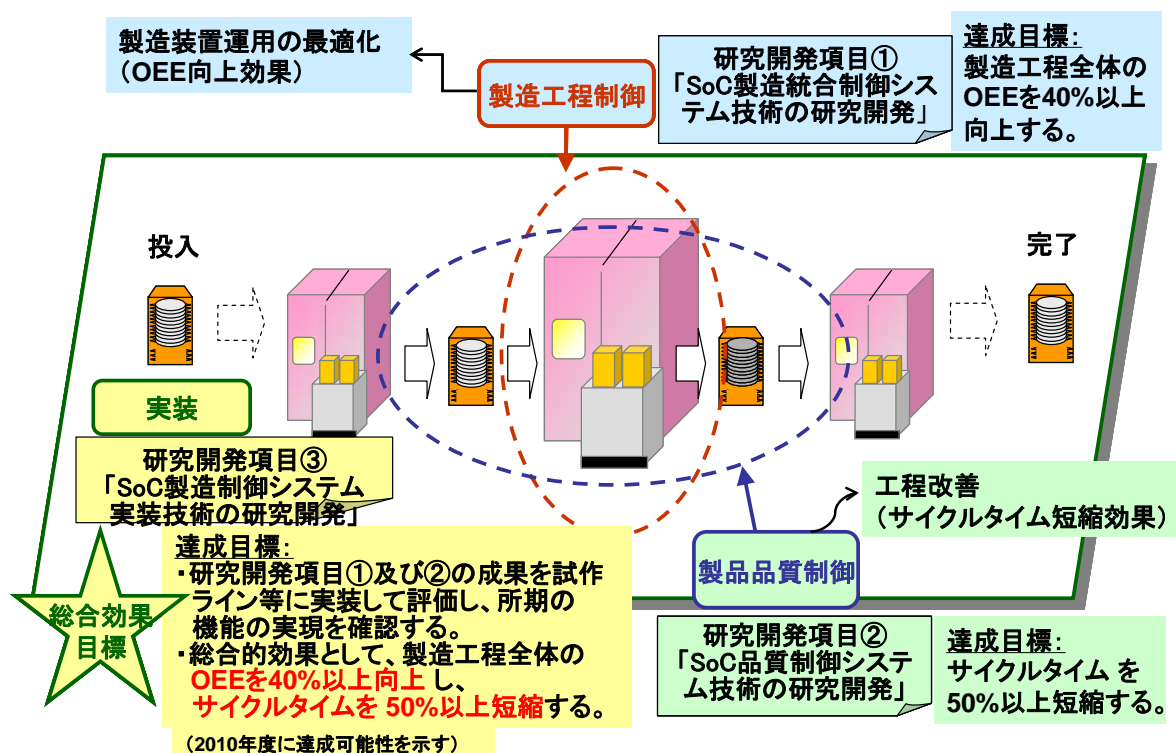
先導研究調査結果によるコスト低減目標は、68k 円/枚であるので、ウェハコスト低減効果は、2010 年で  $1,175(\text{k 千}) \text{ 枚} \times 68(\text{k 千}) \text{ 円} / \text{枚} \approx 799 \text{ 億円}$ となる。この数字が世界市場規模と比例して増加すると仮定すると 2013 年に約 960 億円( $\approx 799 \text{ 億円} \times 11.3 / 9.4 \text{ 千 億円}$ )となる。

<sup>2</sup> プラットフォーム効果とは、従来手法で製造システムの開発・稼働を行った場合とプラットフォームを適用した場合の、効果目標達成までの時間の差のこと。

## II. 研究開発マネジメントについて

### 1. 事業目標の概要

本プロジェクトの基本計画の各研究開発項目の目標と位置付けを図II. 1.1に示す。研究開発項目①は、主に製造設備(プロセス装置等)運用の最適化を目指したOEE<sup>1</sup> 向上効果に関する製造工程制御の内容である。研究開発項目②は、主に工程改善としてサイクルタイム<sup>2</sup> 短縮効果に関する製品品質制御の内容である。研究開発項目③は、研究開発項目①及び②の成果を試作ライン等に実装し、総合効果としてOEE向上 40%以上とサイクルタイム短縮 50%以上の改善が達成可能であることをプロジェクト終了年度(2010年度)に示すことである。このOEEとサイクルタイムの目標値を、総合効果目標と呼ぶ。



図II. 1.1 各研究開発項目の目標と位置付け

### 2. 目標の設定根拠

以下に、OEE向上効果 40%以上向上とサイクルタイム 50%以上短縮を、本プロジェクトの目標とした理由を述べる。まず、本プロジェクトの目標のベースとなったウェハコスト低減に関して、表II. 2.1に2006年度に行った先導研究による調査結果を示す。この調査結果によりウェハコスト低減目標は、表の青字枠で示した2010年度の国内4社の平均コスト(256k(千)円/枚)と海外仮想競争者のコスト(188k円/枚)との差額から、68k円/枚とした。調査はその後毎年行い、景気動向の変化による見かけ上のコスト変動はあるものの現在でも目標の見直しは不要と判断している。なお、この表の直接材料費以外の費用(その他オーバーヘッド、原価償却費、人件費、間接材料費)を、固定費とする。

<sup>1</sup> Overall Equipment Efficiency の略で、装置有効付加価値時間のこと。総時間のうち、装置のメンテナンス時間、故障に起因する停止時間、プロセス条件設定・確認等に要する時間、工程の組み方等に起因する待ち時間等を除いた、装置が実際にウェハ加工に利用される時間。

<sup>2</sup> サイクルタイムとは、ここでは、前工程 TAT (基本計画 (N-2) ページ、「(2) 研究開発の目標」の項に記載) と同じ意味である。

表 II. 2.1 ウェハコストの調査結果とコスト低減目標

ウェハコスト		90nm品のコスト予測値(k円/枚)									
		国内4社の平均					海外仮想競争者				
		2006	2007	2008	2009	2010	2006	2007	2008	2009	2010
内訳	その他オーバーヘッド <sup>1</sup>	36.0	30.0	23.3	22.5	21.6	12.3	10.2	8.3	7.2	5.3
	原価償却費	78.5	144.8	179.9	113.6	71.8	87.6	127.0	127.2	127.1	79.8
	人件費	73.7	74.9	68.3	62.4	57.2	36.2	30.9	24.2	20.3	16.9
	直接材料費	146.0	120.7	102.3	92.5	84.6	154.3	125.5	103.5	83.0	78.1
	間接材料費	27.2	29.6	25.9	23.0	20.6	18.1	15.5	12.1	10.2	7.7
	計	362	400	400	314	256	308	309	275	248	188

2010年時点での差分 **68** (k円/枚)

## 2.1. OEE向上効果の目標設定根拠

ウェハコスト低減目標達成のためにOEE向上目標を40%とした。この理由を表II. 2.2に示す。ウェハコスト低減目標(68k円/枚)は、直接材料費7k円/枚と固定費61k円/枚の低減により実現できる。ウェハコストに関する改善前とは、表II. 2.1の2010年度の国内4社の平均値を指し、目標とは、同表2010年度の海外仮想競争者のウェハコストを指している。固定費61k円/枚の低減は、チップ換算したウェハ払出枚数を1.55倍にすることで実現できる(表II. 2.2(式1)参照)。量産歩留<sup>1</sup>は、表II. 2.3に示す通り11%の向上率が必要である。これは、2006年度の国内4社調査結果から、改善前の試作時歩留と量産歩留を現状値として設定し、2006年度の海外仮想競争者調査結果から、目標とする試作時歩留と量産歩留を設定し、それぞれに対し、試作時と量産時の生産比率による加重平均を求め、目標とする向上率を設定したものである。ウェハ払出枚数はOEEに比例するので、OEEが40%向上すれば、ウェハ払出枚数が40%向上する。歩留が一定の場合、ウェハ払出枚数40%向上は、チップ払出数40%向上と事業として等価(チップベースコストで同じ)であるが、量産歩留11%向上とOEE40%向上の合算は、チップ換算したウェハ払出枚数が1.55倍になることと同じである(表II. 2.2(式2)参照)。

以上により、量産歩留11%向上に加え、ウェハ払出枚数を40%向上することにより、目標である固定費の低減が可能となり、直接材料費の低減と合わせ68k円/枚のコスト低減を実現できる。従って、68k円/枚のウェハコスト低減するためOEE40%向上を目標とした。

なお、直接材料費低減と量産歩留向上は、本プロジェクトの研究対象外であるが、付帯的に下記の効果があると考えている。

(a)OEE向上とサイクルタイム短縮に伴い、下記に示すような直接材料費の低減が可能である。

- ・装置のアイドル時におけるガス、スラリー、レジスト、洗浄液等の使用量低減。
- ・ウェハのダミーランにおけるスラリー、レジスト等の使用量低減。
- ・長期待ち時間による期限切れレジスト等の無駄削減。

(b)先導研究で抽出した技術課題項目には、「プロセス移管の効率向上」や、「設計と製造規格の妥当性」等、エンジニアの業務効率を向上させるものがある。これにより、歩留改善に必要な期間が短縮でき、量産歩留向上が迅速にできる効果が見込める。

<sup>1</sup> 歩留：歩留にはウェハ歩留とチップ歩留がある。本書では、ウェハ歩留を示す場合はその旨明記しており、単に「歩留」と記載してある場合は、チップ歩留を意味する。



表Ⅱ.2.2 OEE 向上率目標とウェハコスト低減目標の関係

項目		改善前	目標	差額	備考
ウェハコスト (k円/枚)	直接材料費	85	78	7	$85 \div 84.6$ 、 $78 \div 78.1$ (表Ⅱ.1.1参照)
	固定費	171	110	61	(式1)目標固定費=改善前固定費/(1+ウェハ払出枚数向上率) $110 = 171 / (1 + 0.55)$
	計	256	188	68	
固定費低減を 実現する改善 パラメータ (%)	量産歩留向上率	-	11		11%の根拠は、表Ⅱ.1.3を参照
	OEE向上率	-	40		ウェハ払出数(処理枚数)40%向上に相当
	チップ換算した ウェハ払出枚数 向上率	-	55		量産歩留11%向上とOEE40%向上によるチップ払出数の向上率 (下記)と事業として等価 (式2) $1.11 \times 1.40 = 1.55 \rightarrow$ 向上率:55%

表Ⅱ.2.3 量産歩留向上率の目標設定根拠

項目		改善前	目標	向上率	備考
歩留 (%)	試作時歩留	40	60		2006年度国内・海外調査結果をもとに設定
	量産品歩留	84	89		2006年度国内・海外調査結果をもとに設定
	加重平均の 量産歩留	75	83	11	向上率: $11 = (83 - 75) / 75 \times 100$ 加重平均の量産歩留 = (試作時歩留×試作品生産比率 + 量産品歩留×量産品生産比率) / 100 改善前: $75 = (40 \times 20 + 84 \times 80) / 100$ 目標: $83 = (60 \times 20 + 89 \times 80) / 100$
生産比率 (%)	試作品	20			海外仮想競争者のヒアリング情報を参照
	量産品	80			

## 2.2. サイクルタイムの目標設定根拠

サイクルタイムの短縮目標は、2006年度に行った先導研究による調査結果により、2006年度の国内4社の平均値(1.51日/レイヤ)と2010年度の海外仮想競争者の予測値(0.76日/レイヤ)との差分(0.75日/レイヤ)から設定した。プロジェクト開始後に定期的に行っている生産性調査の結果を、図Ⅱ.2.1に示す。実績値はほぼ予測値通りの推移を示しており、海外仮想競争者の予測値が適切なものであることが確認できている。現状値は、2006年度の国内4社の平均値としている。2010年の値にしなかったのは、サイクルタイムは稼働状況によっても変動し、調査会社でも先の予測が困難なため、根拠が明確な実績値を使うべきと判断したからである。調査はその後も毎年行い、稼働率が大幅に低下している時期もあり、現状値の設定を下げ、目標を甘くするほどの根拠にはならないと判断した。

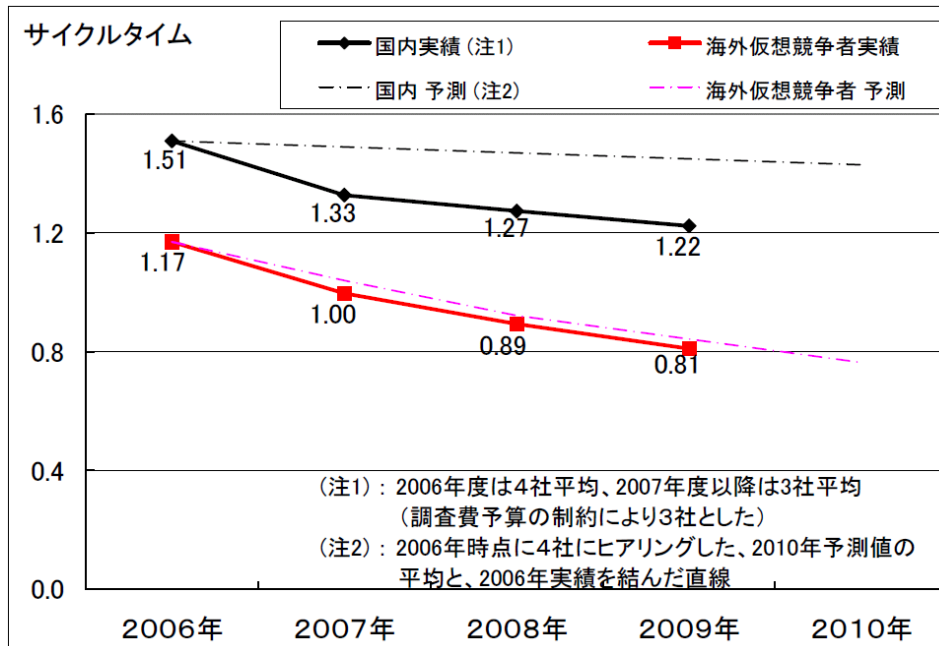


図 II. 2.1 サイクルタイム継続調査結果

前述の基本計画の研究開発項目①、②、③は、先導研究の結果である表 II. 2.4に示した技術課題 42 項目から導出されたものである。これら技術課題に対する解決手段をすべて開発、実用化、実装することにより、総合効果目標の達成を見込める。技術課題 42 項目すべてについて技術開発を行い、基本計画を充足し総合目標を達成することは、プロジェクト研究リソースの制約あるいは研究開発期間から困難であるため、本研究では技術課題の一部を実施、目標値達成の可能性を示すことを方針とした。

表 II. 2.4 「先端 SoC 製造基盤技術開発の先導研究」の技術課題(42 項目)

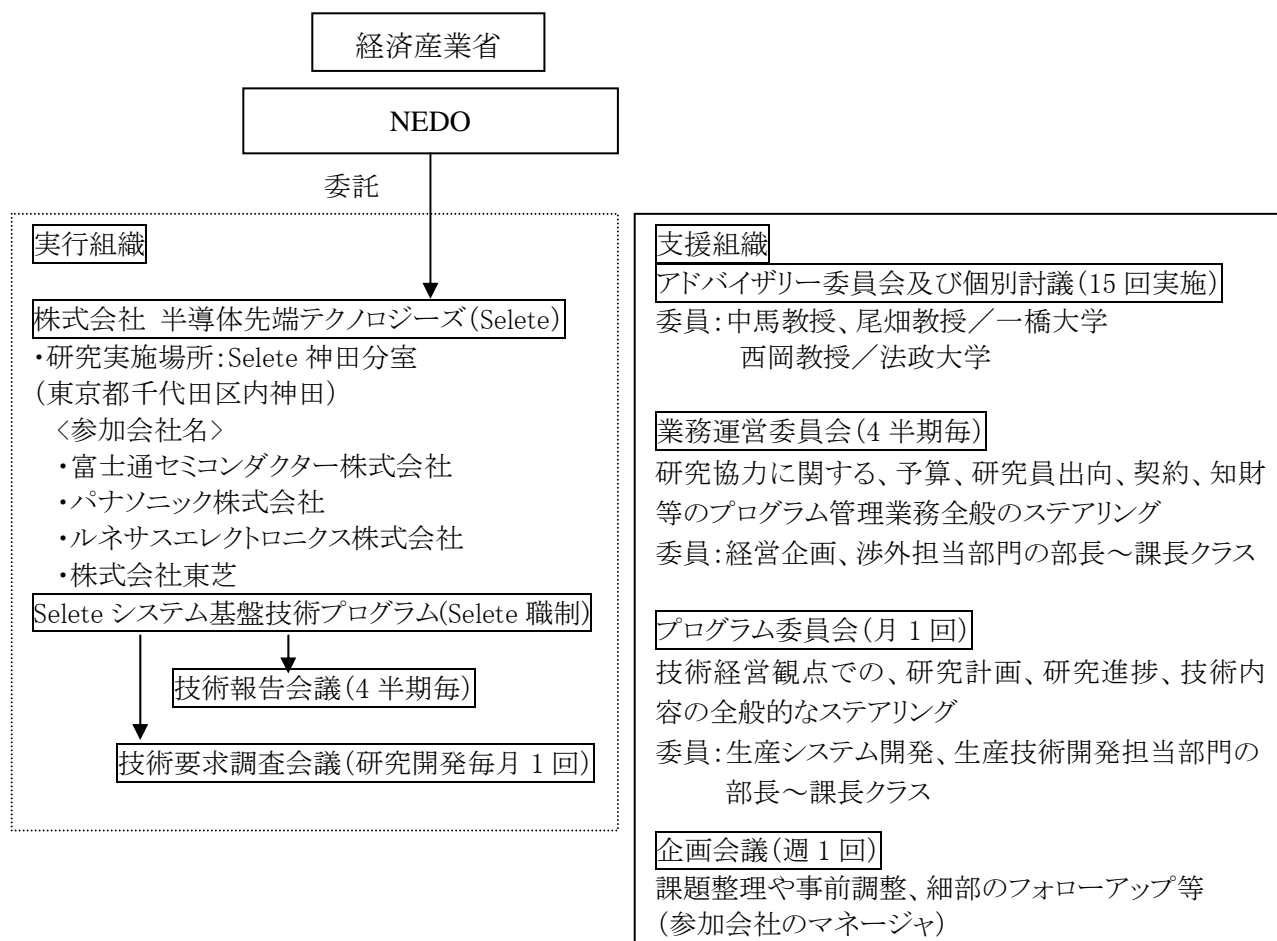
No	技術課題	No	技術課題
①-1	プロセスフローの類似性の利用	③-1	SPICEパラメータの抽出
①-2	ファブの相互利用モデル	③-2	設計と製造規格の妥当性
①-3	製品コストモデルの構築	③-3	設計-デバイス・プロセスのばらつき関連モデリング
①-4	設計領域とプロセス領域の融合	③-4	情報連携プロセス制御システム
①-5	品質の管理と制御の階層化	③-5	検査工程のサンプリング機能
①-6	開発TEG・量産TEGの利用	③-6	品質とコスト
①-7	サンプリングのフレキシブル化	③-7	変化点監視
①-8	初期流動の効率向上	③-8	こまめ生産における品質体系の認知
①-9	プロセス移管の効率向上	④-1	制御系の再構造化
①-10	装置展開の効率向上	④-2	SoC製造エンジニアリング情報プラットフォーム
①-11	総合判断機能の実現(ビジネスルールマネジャー)	④-3	効率の良いマスタ構造
①-12	トラブル予測	④-4	管理データ体系整備と階層化
①-13	ロット優先度管理の機能向上	④-5	括りの単位
②-1	コスト試算機能	④-6	NPWの処理や製品の非正常処理の体系化と管理
②-2	顧客視点の価値の構造化	④-7	レシポボディの管理/利用
②-3	サイクルタイム実態把握・予測機能	④-8	装置詳細状態の把握と標準化
②-4	サイクルタイムのコスト換算	④-9	装置データの体系化と利用
②-5	サイクルタイムの付加価値評価	⑤-1	ロットに依拠しない管理・制御
②-6	品質のコスト試算	⑤-2	不要WIPの削減
		⑤-3	小ロット括り段取り制御機能
		⑤-4	迅速な装置制御
		⑤-5	迅速な品質制御
		⑤-6	生産スケジューリング

技術課題42項目

### 3. 研究開発の実施体制

本プロジェクトの研究開発は、NEDOが選定した委託先、株式会社半導体先端テクノロジーズ(Selete)が実施した。本プロジェクトにおける研究開発と産業界の実用化に向けた取り組みが一体的にマネジメントできるように、図Ⅱ. 3.1に示す研究体制で参加会社からの出向研究者によるプロジェクトチームを編成し、集中的な研究活動を行った。

なお、基本計画ではプロジェクトリーダーを置くことになっていたが、実行組織は Selete1 社であることから設置不要とした。



図Ⅱ. 3.1 研究開発体制

### 4. 研究開発の運営管理

#### 4.1. 運営及び管理体制

技術経営の観点から研究戦略や方向性の指導を行う支援組織を図Ⅱ. 3.1に示す、学識経験者によるアドバイザー委員会、参加会社によるプログラム委員会及び企画会議、研究リソースや知財業務支援を行う、参加会社による業務運営委員会を設置し、プロジェクトチームと連携をとり、機動的なプロジェクト運営を行ってきた。上記アドバイザー委員会にて、研究水準や課題に対する解決手段等の知見の提供を受けた。また基本計画に記載している「プロセスフレンドリー設計技術開発」とMIRAIプロジェクト「ロバストトランジスタ技術開発」等の関連プロジェクトとの連携に関しては、NEDO主催でプロジェクト実施研究者、学識経験者による産学官連携した「NEDOプロジェクトばらつき連絡会」を2回開催し、効率的な開発に結びつけた。

Selete は、この事業の母体であるプロジェクトチーム(システム基盤技術プログラム)を参加会社からの出向研究者にて組織し、研究開発の実務を遂行した。遂行にあたっては、テーマ毎に技術要求調査会議(月 1

回)及び技術報告会議(4半期毎)を設置し、参加会社の多数の専門家、実務担当者からの的確で具体的なニーズの把握、知見・知識の共有を推進し、参加会社をはじめとする成果活用の下地作りを進めた。

更に、ヒアリング(年2回)及び進捗確認会議(年4回程度)等を実施し、定期的に状況を把握し、研究内容、体制の一部見直し、加速資金<sup>1</sup>を投入することにより、課題の解決を図り、実行した。

知的財産権や本研究により開発したソフトウェアやガイドライン等は、著作物として登録を行い、プロジェクトの成果物であることと、参加企業への帰属を明確にした。特許出願は下記の2件を予定している。1件目は、既存技術との差異確認のため2010年度下期に実施した実ライン評価における機能確認後、権利文書化作業を行っている。2件目は、応用技術のため2010年度下期に実施した評価完了後、権利文章化作業を実施している。

- ・業務連携と知識連携を行う半導体製造プロセス業務システム
- ・半導体工場の製造コスト情報の分析システム

#### 4.2. 研究開発費の推移

本プロジェクトに投入した研究開発費(加速資金含む)を表Ⅱ.4.1に示す。工場運用や現場ニーズ要求分析、高度なシステム重要技術のアイデア創案とこれに基づくシステム設計には、経験豊かな研究参加会社からの出向社員が従事した(労務費)。また、高度なソフトウェア専門知識に裏付けられたシステム仕様詳細化、ソフトウェア設計製作や技術文書化には、システムベンダーが従事した(外注費)。これにより効率的かつ質の高い研究成果を生み出すリソース配分構造とした。

表Ⅱ.4.1 研究開発費の推移

	2007年度	2008年度	2009年度	2010年度	総額
一般会計(百万円)	510	504	478	285	1,777
(内訳 労務費)	141	144	150	105	540
外注費	197	261	234	120	812
その他経費、消費税等)	172	99	94	60	425

#### 5. 研究開発成果の実用化に向けたマネジメント

2007年5月に開催された採択委員会での指摘により、2009年4月に1回目の参加会社の要求に対する研究計画の妥当性及び研究の有用性を参加各社が評価する自主評価を実施させ、その結果を考慮し、実用化に向けた状況と課題を参加会社と議論した。また、その後のヒアリング(年2回)で参加会社の実用化への方向性の確認を行い、更に、実用化イメージを明確にし、早期実用化を目指すため、2011年2月に2回目の自主評価を実施させ、研究参加会社の直近の状況を把握した。

<sup>1</sup> 加速資金：研究を加速するための年度内の予算増額のこと。

## 6. 情勢変化への対応

本プロジェクトに関する日米欧と台湾の学会やシンポジウムを対象に、25 件の調査(参加、発表含む)を行い、技術動向情報を収集・分析した。その結果明らかになった動向変化に対応するため、下記の加速資金を機動的に投入し、計画の見直しを行った。また、本プロジェクト成果のアピールをこれらの学会やシンポジウムで行うとともに、本プロジェクトの先行性、独自性を確認した。

(2007 年度)

- ・内容:工場シミュレータの導入:37.9 百万円
- ・目的:SoC 製造制御方式の一つである括り制御・段取り制御のアルゴリズム 16 種類に対して工場シミュレータ用いた評価を実施。
- ・背景: 2007 年 10 月に開催されたISSM<sup>1</sup> で、小ロットに関する論文が数件発表され(例:tsmc社「ロットアレンジメントによるサイクルタイム低減」)、この技術の実装化が世界的にかなりの勢いで進められることがわかり、本プロジェクトの脅威となるため加速が必要と判断した。

(2008 年度)

- ・内容:可視化・生産制御情報構造の標準化:30 百万円
- ・目的:半導体製造装置等の時間に依存した状態情報に関するデータ構造の標準化を実施するために下記名称でSEMI<sup>2</sup> に企画案を提示。

名称:Definition of Process Time and Wait Time(処理時間と待ち時間の定義)

- ・背景:2007 年 12 月に開催されたセミコンジャパンの次世代ファブアーキテクチャワークショップにおいて、SEMIのMTF<sup>3</sup> より、SEMIの国際標準化委員会に対して 300 mm製造ラインの生産性改善のためのサイクルタイムの国際標準化の依頼が提出されたことが判明した。この中で、半導体製造装置等の状態情報に関するデータ構造についても標準化される予定ではあるが、時間依存した状態情報データは対象とされていないことが明らかになった。このままSEMI標準が確定するようなことになれば、装置メーカーから本可視化ツールを活用するための時間依存した装置状態情報の提供機能の実装が望めなくなるばかりでなく、参加企業 4 社も自前でSEMI規格外のカスタマイズ作業を実施することは困難になり、本プロジェクトの成果の実用化に大きな障害となる。従って、SEMI国際標準の装置状態情報に関するデータ構造に、時間依存した状態情報を取り込むよう、プロジェクト推進の一環として積極的に働きかける必要が生じ、加速が必要と判断した。

また、2010 年度の予算変更(減額)に伴い、基本計画の一部を開発できなくなる見込みとなり、2010 年 3 月に当初予定であったシステム開発からシステム技術開発(システム仕様設計は行うが一部プログラム開発なし)へ改訂した。

---

<sup>1</sup> International Symposium on Semiconductor Manufacturing の略で、この分野で最大規模の国際会議のこと。

<sup>2</sup> Semiconductor Equipment and Materials International の略で、半導体・FPD(Flat Panel Display)・太陽光発電産業等の製造装置・材料関連の国際的工業会のこと。

<sup>3</sup> Manufacturing Technology Forum の略で、SEMI の中で製造分野における標準化に係わる重要課題を議論する場のこと。

### III. 研究開発成果について

#### 1. 事業全体の目標

##### 1.1. 事業全体の目標確認

II章記載の基本計画の研究開発項目①、②、③は、先導研究の結果である表III. 1.1に示す、技術課題42項目から導出されたものである。これら技術課題に対する解決手段をすべて開発、実用化、実装することにより、総合効果目標を実現できる見込みである。

表III. 1.1 「先端 SoC 製造基盤技術開発の先導研究」の技術課題(42項目)

No	技術課題	No	技術課題
①-1	プロセスフローの類似性利用	③-1	SPICEパラメータの抽出
①-2	ファブの相互利用モデル	③-2	設計と製造規格の妥当性
①-3	製品コストモデルの構築	③-3	設計-デバイス-プロセスのばらつき関連モデリング
①-4	設計領域とプロセス領域の融合	③-4	情報連携プロセス制御システム
①-5	品質の管理と制御の階層化	③-5	検査工程のサンプリング機能
①-6	開発TEG・量産TEGの利用	③-6	品質とコスト
①-7	サンプリングのフレキシブル化	③-7	変化点監視
①-8	初期流動の効率向上	③-8	こまめ生産における品質体系の認知
①-9	プロセス移管の効率向上	④-1	制御系の再構造化
①-10	装置展開の効率向上	④-2	SoC製造エンジニアリング情報プラットフォーム
①-11	総合判断機能の実現(ビジネスルールマネジャー)	④-3	効率の良いマスタ構造
①-12	トラブル予測	④-4	管理データ体系整備と階層化
①-13	ロット優先度管理の機能向上	④-5	括りの単位
②-1	コスト試算機能	④-6	NPWの処理や製品の非正常処理の体系化と管理
②-2	顧客視点の価値の構造化	④-7	レシポボディの管理/利用
②-3	サイクルタイム実態把握・予測機能	④-8	装置詳細状態の把握と標準化
②-4	サイクルタイムのコスト換算	④-9	装置データの体系化と利用
②-5	サイクルタイムの付加価値評価	⑤-1	ロットに依拠しない管理・制御
②-6	品質のコスト試算	⑤-2	不要WIPの削減
		⑤-3	小ロット括り段取り制御機能
		⑤-4	迅速な装置制御
		⑤-5	迅速な品質制御
		⑤-6	生産スケジューリング

技術課題42項目

技術課題42項目すべてについて技術開発を行い、基本計画を充足し総合目標を達成することは、プロジェクト研究リソースの制約あるいは研究開発期間から困難である。本事業では技術課題の一部を実施、目標値達成の可能性を示すことを方針とし、研究テーマを選定することとした。以下図III. 1.1に従って研究テーマ選定の考え方の説明を行う。

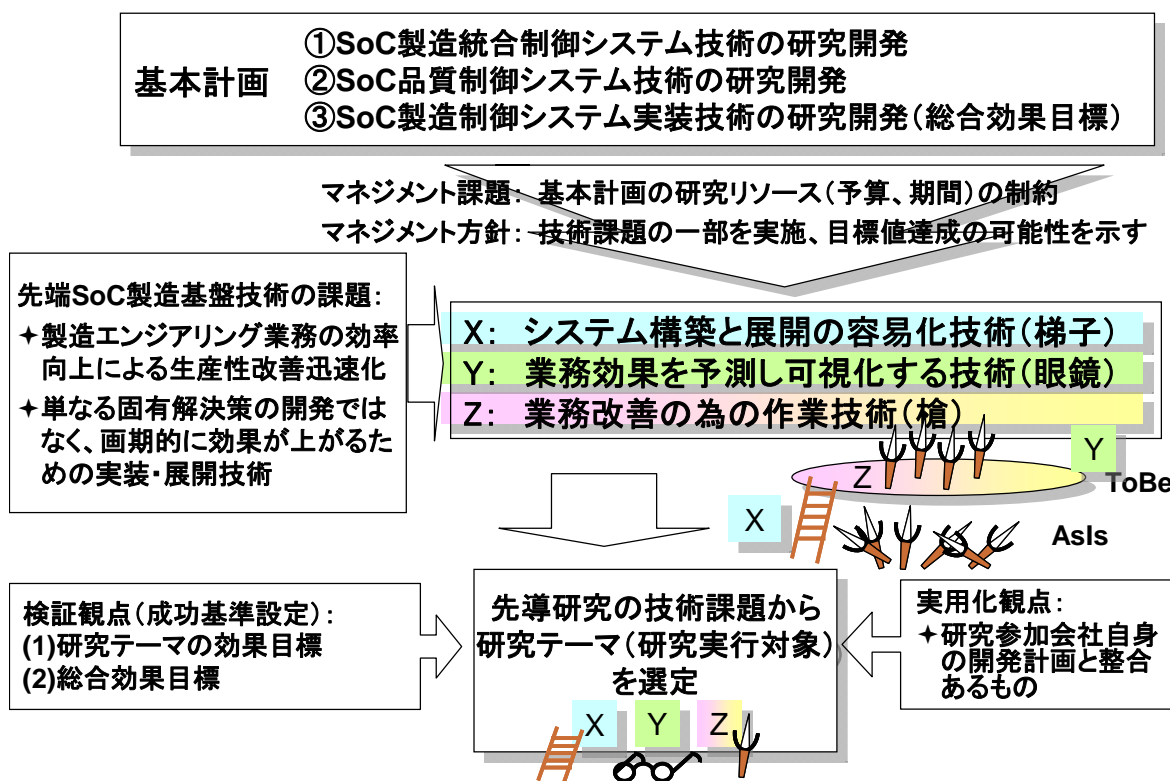
研究テーマは、先導研究で主課題として取り上げられた下記先端 SoC 製造基盤技術の課題を解決できるものとする。

- 製造エンジニアリング業務の効率向上による生産性改善の迅速化
- 単に固有解決策を開発するのではなく、画期的に効果が上がるための実装・展開技術

上記先端 SoC 製造基盤技術の課題を鑑みた結果、下記の技術領域を充足するように、先導研究の技術課題(42項目)に対応した研究テーマを選定することとした。本事業では、システムを容易に構築する技術(X)、その技術の上で図 II.1.1 に示した製造工程制御と製品品質制御に直接作用し生産性改善の効果を刈り取る技術(Z)、その効果を予測し最適化を容易化する技術(Y)を技術領域として選定した。

- X: システム構築と展開の容易化技術(「梯子(技術)」と称する)
- Y: 業務効果を予測し可視化する技術(「眼鏡(技術)」と称する)
- Z: 業務改善の為の作業技術(「槍(技術)」と称する)

実用化観点からの要求に対応した研究テーマ選定の考え方として、研究テーマには研究参加会社の開発計画との整合性が必要である。本事業の効果を検証する観点からの要求に対応した研究テーマ選定の考え方として、(1)研究テーマの効果目標、(2)総合効果目標に対する達成度を測れるものを選定する必要があり、これによって本事業としての成功基準充足の判定に資する必要がある。



図III. 1.1 研究テーマ選定の考え方

以下、図III. 1.2に従って、成功基準の充足を判定するための検証方法を説明する。

- (1) 研究テーマの効果目標の達成度を、シミュレーション(工場モデル)により検証する。
- (2) 総合効果目標の達成可能性を、総合効果は実装した機能部品の利用数に比例すると仮定して、検証する。

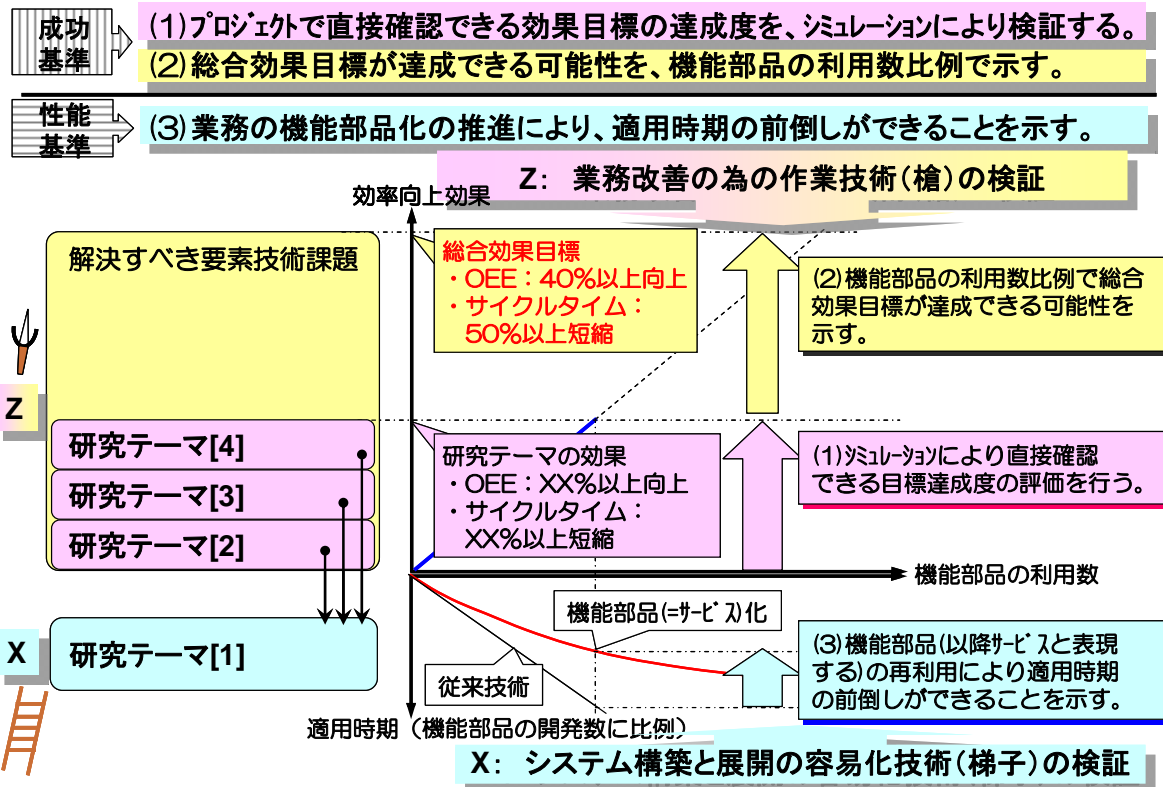
上記成果基準の検証方法(1)(2)は、技術領域 Z の研究テーマに適用し、それぞれ図中中央の桃色と黄色の部分で示す。(1)の検証を行った後、パラメータとして機能部品の利用数を取り、外挿にて(2)の検証を行うものである。

上述した技術領域 Z の検証に加え、同図の技術領域 X の効果を把握する必要があるため、下記性能基準を設定して、検証することとした。

- (3) 業務の機能部品化の推進により、適用時期の前倒しができる時間の長短により検証する。

(3)の検証方法の概要を、図中下の水色部分に示す。上記(2)の検証方法と同様にパラメータとして機能部品の利用数を取り、適用時期の前倒しの度合いを検証する。








図Ⅲ. 1.2 研究テーマの検証方法

技術課題 42 項目から研究テーマを選定した結果が表Ⅲ. 1.2であり、5 つの研究実行対象要素技術を選定した。研究実行対象要素技術[1]は技術領域X(梯子で示した)から、[2]、[3]、[4]は技術領域Z(槍で示した)から、[5]は技術領域Y(眼鏡で示した)から、選ばれた研究テーマである。これら研究実行対象要素技術の開発が、本事業全体の機能目標となる。

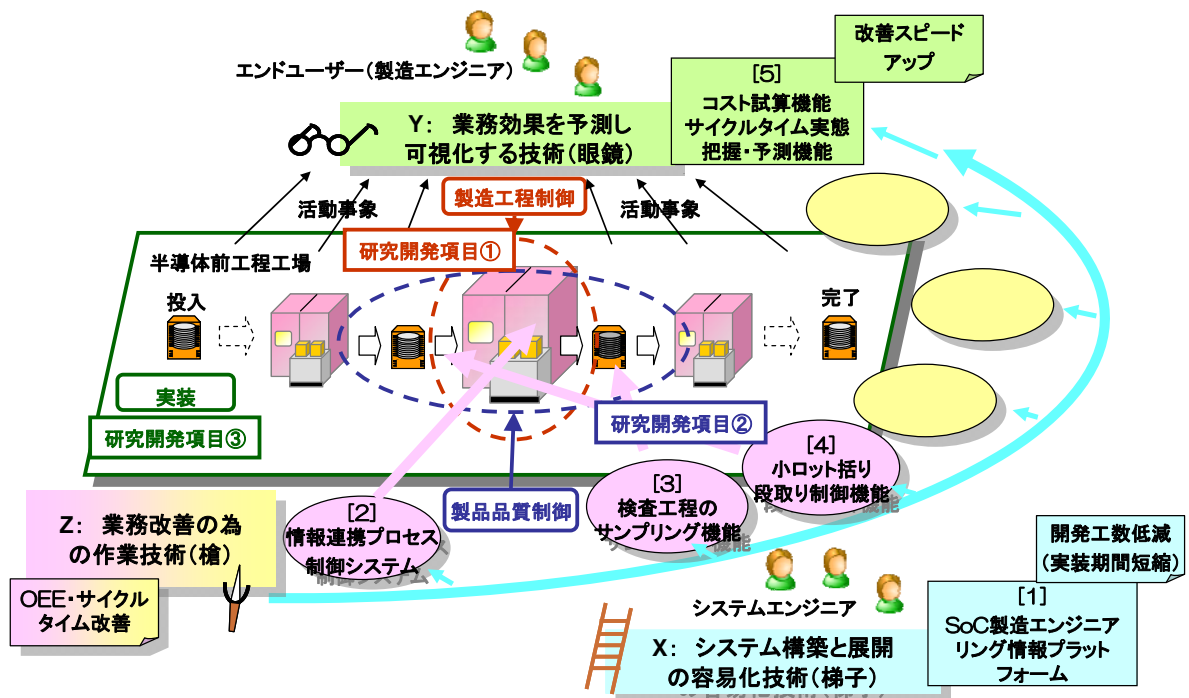


表Ⅲ. 1.2 研究実行対象要素技術(研究テーマ)の選定結果(本事業の機能目標)

	研究実行対象要素技術	機能目標
X 	[1] SoC製造エンジニアリング情報プラットフォーム	・様々な変化に対応した修正、成長が容易なシステム構造とそのシステムの構築方法の開発
	[2] 情報連携プロセス制御システム	・プロセス制御業務を統合し、プロセスや装置などの個別制御要素、システム間を連携した制御、判断を行うシステムの開発
Z 	[3] 検査工程のサンプリング機能	・装置稼働ロス、ウェハの待ち時間等を低減する、検査サンプリングの最適化技術の開発
	[4] 小ロット括り・段取り制御機能	・装置運転効率が高く、生産脈動の少ない着工順序、タイミングを総合的に判断する機能の開発
Y 	[5] コスト試算機能/サイクルタイム実態把握・予測機能	・コスト、サイクルタイムの実態の把握と予測をし、改善計画の立案と効果確認するための総合的可視化技術の開発 ・コスト・サイクルタイム情報を分解定義し(構造化定義)、従来の収益視点に対して種々の製造業務視点での可視化を可能とする機能の開発

研究テーマとして選定した研究実行対象要素技術[1]、[2]、[3]、[4]、[5]は、基本計画の研究開発項目①、②、③を充足しなければならない。以下、両者の対応関係を説明する。

基本計画の研究開発項目①、②、③に対する、研究実行対象要素技術[1]、[2]、[3]、[4]、[5]の位置付けを、図Ⅱ.1.1を元図とした図Ⅲ. 1.3で説明する。研究実行対象要素技術[2]、[3]、[4]は、製造工程制御と製品品質制御に直接作用し、生産性改善の効果を刈り取る。図中、桃色矢印は、適用箇所を示す。図中の黄色楕円で示すその他の技術課題に対する施策を開発、適用することにより、効果の刈り取りが大きくなる。[1]は、[2]、[3]、[4]に代表される業務改善の作業技術領域の技術施策を、容易に開発するために利用される。[5]は、[2]、[3]、[4]に代表される業務改善の作業技術領域の技術施策が実施されることによる活動事象を捉え、効果を予測、技術施策の適用を最適化するために利用される。



図Ⅲ. 1.3 研究実行対象要素技術と研究開発項目の関係

基本計画の研究開発項目①、②、③の研究開発の具体的な内容を、研究実行対象要素技術[1]、[2]、[3]、[4]、[5]が充足することを確認した結果を、表Ⅲ. 1.3に示す。この表において、基本計画の研究開発項目①、②、③の研究開発の具体的な内容を行に、研究実行対象要素技術[1]、[2]、[3]、[4]、[5]を列に、該当箇所に「○」を付ける。

表Ⅲ. 1.3 研究開発項目の内容と研究実行対象要素技術の対応関係

基本計画の研究開発項目		研究実行対象要素技術項目				
		[1] SoC製造 エンジニア リング情報 プラットフォーム	[2] 情報連携 プロセス 制御 システム	[3] 検査工程 のサンプ リング 機能	[4] 小ロット 括り段取 り制御 機能	[5] コスト試算 機能サイク ルタイム実 態把握・予 測機能
①SoC製造統 合制御システ ム技術の研究 開発	・ウエハ単位で制御するための装置、プロセス、工程、品質の制御方式を開発する				○	
	・装置、プロセス、工程、品質の状態に対するコスト、TAT、歩留まり等の依存関係に関する科学的モデル等を利用し、これら製造性能の向上を可能とする制御システム技術を開発する。		○			
	・コスト、TAT、歩留まり等の製造性能間の相互依存関係に関する科学的モデル等を利用し、総合最適化を図ることを可能とする制御システム技術を開発する。					○
	・上記各制御機能の制御情報に加え、製造手順や処理内容等を記述した製造基準情報、プロセスレシピ、製造装置や検査装置の実績データ、装置稼働監視データ、設計情報等を統合的に制御し、製造プロセスの総合最適化を図ることを可能にする統合制御システム技術を開発する。		○			
・以上の機能実現に不可欠な情報の共通化技術、実装技術、可視化技術、予測技術等を開発する。	○	○		○	○	
②SoC品質制 御システム技 術の研究開発	・装置の動作状態、プロセス装置内現象、プロセス出来映え等を表現する科学的モデル、および装置やプロセスの状態に対する品質の依存関係に関する科学的モデル等を利用し、ウエハ単位のプロセス制御、出来映え予測、異常予測等を行う制御システム技術を開発する。これにより、品質確認のためのモニターウエハ、装置稼働ロス、ウエハの待ち時間等を減らし効率向上を図る。		○	○	○	
	・製品の要求仕様や、設計情報等に対応して、品質制御の仕方をリアルタイムで適応的に変更する等の手法による効率向上の可能性を検討する。			○		
	・品質に支配的な影響を及ぼす製造制御因子分析の効率化や、効率的で効果的な品質データサンプリング法等に関する科学的検討を行い、その成果を上記開発技術等と統合することにより、効率的な品質制御システム技術を開発する。			○		
③SoC製造制 御システム実 装技術の研究 開発	・研究開発項目①および②による開発技術を、製造ラインに適用するために必要となるアプリケーション技術、および実装技術を開発する。さらに試作ライン等に実装し、初期量産や量産立ち上げ等を想定した業務フローに適用して、開発技術の機能と性能を評価する。	○	○	○	○	○

続いて、研究実行対象技術[1]、[2]、[3]、[4]、[5]から成る本事業全体の効果目標が、図Ⅲ. 1.2に示した検証の要件を満足するよう設定する。先導研究の結果を参照することで、基本計画記載の研究開発項目①、②、③の目標値と研究実行の対象とした技術施策の間には、表Ⅲ. 1.4に示す関係があることがわかる。表において、研究実行対象要素技術[1]、[2]、[3]、[4]、[5]を行に、研究開発項目①、②、③を列に、該当箇所を「○:技術的な対応関係あり」、「◎:技術的な対応関係及び達成目標の対応関係有り」に記す。目標値を付与できることを確認した。

表Ⅲ. 1.4 技術施策(研究実行対象要素技術)と基本計画記載の目標値の関係

○:技術的な対応関係あり。 ◎:技術的な対応関係及び達成目標の対応関係あり。

基本計画記載の研究開発項目 基本計画記載の目標		①SoC製造統合制御システム技術の研究開発	②SoC品質制御システム技術の研究開発	③SoC製造制御システム実装技術の研究開発
		OEE向上効果 :40%以上向上	サイクルタイム短縮効果 :50%以上短縮	・OEE向上効果 :40%以上向上 ・サイクルタイム短縮効果 :50%短縮
実行系	[1]SoC製造エンジニアリング情報プラットフォーム開発	○		○
	[2]情報連携プロセス制御	◎	◎(注1)	◎
活用系	[3]検査工程のサンプリング機能開発	(注2)	◎	◎
	[4]小ロット括り段取り制御機能開発	◎(注3)	◎	◎
	[5]コスト試算機能サイクルタイム実態把握と予測機能開発	○		○

(注1)当初は対応関係はないものとしていたが、研究の進展に伴い対応関係あることが確認できた。  
 (注2)直接的なOEE改善効果はないが、固定費削減効果はある。これはOEE向上効果と等価であるため、目標達成度の検証には含める。  
 (注3)当初は対応関係はないものとしていたが、研究の進展に伴い対応関係あることが確認できた。

具体的な値を設定するため、先導研究の結果から、表Ⅲ. 1.1で示した先導研究の技術課題 42 項目の総合効果目標に対する分担を、表Ⅲ. 1.5に示す内容にて確認した。尚、総合効果目標を分担する観点から、技術課題を技術施策と呼ぶこととする。技術施策を行に、研究対象(研究テーマとして選定したもの)かどうか、OEE向上効果の有無とサイクルタイム短縮効果の目標有無、総合効果目標の達成可能性を検証するための対象となるものかを列に示す。

表Ⅲ. 1.5 「先端 SoC 製造基盤技術開発の先導研究」の技術課題の総合効果目標の分担

技術施策	研究対象	OEE向上効果		サイクルタイム短縮効果			
		目標有無	総合効果目標達成可能性の検証対象	目標有無	総合効果目標達成可能性の検証対象		
プロセスフローの類似性の利用		有	効果推定対象 8項目	有	効果推定対象 5項目	検証対象 11項目	
開発TEG、量産TEGの利用		有		14項目			
初期流動の効率向上		有					
プロセス移管の効率向上		有					
総合判断機能の実現(ビジネスルールマネージャー)		有					有
設計-デバイス-プロセスのばらつき関連モデル		有					
品質とコスト		有					
迅速な装置制御							有
迅速な品質管理			有	効果算出対象 6項目			
生産スケジューリング		有	有				
ロットに依拠しない管理制御		有	有				
不要WIPの削減		有	有				
装置展開の効率向上		有	有				
小ロット括り段取り制御機能	対象	有	有				
検査工程のサンプリング機能	対象	有	有	6項目			
情報連携プロセス制御システム	対象	有	有				
コスト試算機能/サイクルタイム実態把握・予測機能	対象						
上記以外 (SoC製造エンジニアリング情報プラットフォームを除く項目)			検証対象外 26項目		検証対象外 26項目		
SoC製造エンジニアリング情報プラットフォーム	対象						
対象の数	5項目	計 42項目					

確認した本事業全体の効果目標を、表Ⅲ. 1.6に示す。表において、[A]総合効果目標と[B]研究対応効果目標は、図Ⅲ. 1.2に示した成功基準(2)と(1)にそれぞれ対応する。[C]は、前述の性能基準に対応する。赤字は、基本計画の総合効果目標である。研究対象効果目標は、先導研究の結果から設定したものである。

表Ⅲ. 1.6 効果目標の設定結果




		項目	目標
成功基準	}	[A]総合効果目標	OEE向上効果: 向上率40%以上が可能であることを示す。
			サイクルタイム短縮効果: 0.75日/レイヤ (50%) 以上の短縮が可能であることを示す。
性能基準	}	[B]研究対象効果目標	OEE向上効果: 向上率9%以上が可能であることを示す。
			サイクルタイム短縮効果: 0.2日/レイヤ (13%) 以上の短縮が可能であることを示す。
		[C]プラットフォーム効果	目標達成に必要な期間を短縮できることを示す。

基本計画を満足する本事業全体の目標は、機能目標と効果目標から構成され、それぞれ、表Ⅲ. 1.2と表Ⅲ. 1.6に示す内容にて確認した。実施者であるSeleteが、本事業の研究テーマとして研究テーマ選定の考え方と合わせ、研究実行対象要素技術[1]、[2]、[3]、[4]、[5]の提案を行い、NEDOが承認し、本事業を開始した。

## 1.2. 機能目標

本事業全体の機能目標を、表Ⅲ. 1.7に示す。同表において、研究テーマとして選定した研究実行対象要素技術 [1]、[2]、[3]、[4]、[5]のそれぞれに対して、機能目標が示されている。

表Ⅲ. 1.7 事業全体の機能目標

	研究実行対象要素技術	機能目標
X 	[1] SoC製造エンジニアリング情報プラットフォーム	・様々な変化に対応した修正、成長が容易なシステム構造とそのシステムの構築方法の開発
	[2] 情報連携プロセス制御システム	・プロセス制御業務を統合し、プロセスや装置などの個別制御要素、システム間を連携した制御、判断を行うシステムの開発
Z 	[3] 検査工程のサンプリング機能	・装置稼働ロス、ウェハの待ち時間等を低減する、検査サンプリングの最適化技術の開発
	[4] 小ロット括り・段取り制御機能	・装置運転効率が高く、生産脈動の少ない着工順序、タイミングを総合的に判断する機能の開発
Y 	[5] コスト試算機能/サイクルタイム実態把握・予測機能	・コスト、サイクルタイムの実態の把握と予測をし、改善計画の立案と効果確認するための総合的可視化技術の開発 ・コスト・サイクルタイム情報を分解定義し(構造化定義)、従来の収益視点に対して種々の製造業務視点での可視化を可能とする機能の開発

### 1.3. 効果目標

本事業全体の効果目標を、表Ⅲ. 1.8に示す。効果目標に対する成果検証の考え方は下記の通り。

- ・[A]総合効果は、業務改善のための作業技術の効果を推定し、目標と比較することにより、達成の可能性を検証する。
- ・[B]研究対象効果は、研究対象技術施策の効果を算出し、目標と比較することにより、達成度を検証する。
- ・[C]プラットフォーム効果は、目標達成に必要な技術施策適用の工数を試算することにより、効果を検証する。

表Ⅲ. 1.8 事業全体の効果目標

項目		目標
[A] 総合効果目標	OEE向上効果:	向上率40%以上が可能であることを示す。
	サイクルタイム短縮効果:	0.75日/レイヤ (50%) 以上の短縮が可能であることを示す。
[B] 研究対象効果目標	OEE向上効果:	向上率9%以上が可能であることを示す。
	サイクルタイム短縮効果:	0.2日/レイヤ (13%) 以上の短縮が可能であることを示す。
[C] プラットフォーム効果		目標達成に必要な期間を短縮できることを示す。

## 2. 事業全体の成果

### 2.1. 成果まとめ

事業全体の機能目標に対する成果を、表Ⅲ. 2.1に示す。研究実行対象要素技術[1]、[2]、[3]、[4]、[5]の成果が、機能目標を達成していることを確認した。

表Ⅲ. 2.1 事業全体の機能目標に対する成果

	研究実行対象要素技術	成果	達成度
X	[1] SoC製造エンジニアリング情報プラットフォーム	<ul style="list-style-type: none"> <li>様々な変化に対応した修正、成長が容易なシステムの開発コンセプトと具体的な開発手順を開発し、[2][5]に適用して、検証した。</li> <li>開発コンセプトと手順の解説書を作成した。</li> </ul>	達成
	[2] 情報連携プロセス制御システム	<ul style="list-style-type: none"> <li>プロセス制御業務を統合した標準業務フローと業務機能部品を設計した。</li> <li>上記に基づきプロセス制御システムを開発し、工場実務に適用して機能を確認した。</li> </ul>	達成
Z	[3] 検査工程のサンプリング機能	<ul style="list-style-type: none"> <li>半導体前工程で実施されている検査の位置付け分析方法を確立した。</li> <li>中間特性値の抜取確認方式のガイドラインを開発した。</li> </ul>	達成
	[4] 小ロット括り・段取り制御機能	<ul style="list-style-type: none"> <li>装置内部の動きを考慮して装置へのウエハ供給順序を検討する方法論を確立した。</li> <li>小ロット起因の問題を整理し、対策案を立案した。</li> <li>対策案の一部を具体化し、工場実務に適用して機能を確認した。</li> </ul>	達成
Y	[5] コスト試算機能/ サイクルタイム実態把握・予測機能	<ul style="list-style-type: none"> <li>コストとサイクルタイムのデータ構造を、エンジニアの改善視点から定義した。</li> <li>エンジニアが改善業務(コスト、サイクルタイム)で利用する、また改善案の優先順位付けを行うために利用するデータを、エンジニア共通の利用データ群として定義した。</li> <li>工場システムとシミュレータのマスタデータとイベントデータからエンジニア共通の利用データ群を作成するまでのデータを階層的に定義し、設計、検証した。</li> <li>上記データから新たなデータを、要求時間内にて計算、端末にて参照できる機能を容易に開発するソフトウェア技術を設計、検証した。</li> <li>コスト、サイクルタイム、全体最適の業務と従事する人の改善視点を網羅するデータをドリルダウンする活用軸を、費目、部門、製品、作業、工程、装置の6つに定義した。要求時間にて上記データの集計とドリルダウン参照できる機能を設計、検証した。</li> </ul>	達成

事業全体の効果目標に対する検証結果を、表Ⅲ. 2.2に示す。表に示す通り、全項目で目標を達成した。総合効果は、OEE向上効果、サイクルタイム短縮効果とも、効果推定結果の最大値が目標を上回っており、目標達成の可能性があると判断できる。研究対象効果は、OEE向上効果、サイクルタイム短縮効果とも目標値を上回ることを確認した。プラットフォーム効果は、開発工数を低減できることを確認した。



表Ⅲ. 2.2 事業全体の効果目標に対する検証結果

項目・目標		研究開発成果	達成度
[A]総合効果 目標	OEE向上効果: 向上率40%以上が可能である ことを示す。	効果推定結果 ・ <b>最大値:41%</b> ・平均値:36% ・最小値:31% 40%以上向上の可能性有り	達成
	サイクルタイム短縮効果: 0.75日/レイヤ (50%) 以上の短縮が 可能であることを示す。	効果推定結果 ・ <b>最大値:0.85日/レイヤ (57%)</b> ・平均値:0.68日/レイヤ (45%) ・最小値:0.51日/レイヤ (34%) 0.75日/レイヤ (50%) 以上短縮の 可能性有り	達成
[B]研究対象 効果目標	OEE向上効果: 向上率9%以上が可能である ことを示す。	効果集計結果 ・ <b>9.6%</b> 向上率9%の目標を上回る	達成
	サイクルタイム短縮効果: 0.2日/レイヤ (13%) 以上の短縮が 可能であることを示す。	効果集計結果 ・ <b>0.21日/レイヤ (14%)</b> 0.2日/レイヤ (13%)短縮の目標を 上回る	達成
[C]プラット フォーム効果	目標達成に必要な期間を短縮で きることを示す。	開発工数を23%~45% 低減可能	達成

## 2.2. 成果の意義、知財・標準化、成果の普及のまとめ

II .6情勢変化への対応についての記載内容に従って実施した、業界・技術動向調査への相互対応的な取り組みを、表Ⅲ. 2.3に示す。この表において、調査した方法と学界会議などを行に取り、動向調査の計画、実施年度、研究への適用結果を示す。実施年度の「○」は、調査のみを実施、「◎」は発表を伴う調査の実施を意味する。



表Ⅲ. 2.3 業界・技術動向調査と相互対応的な取り組み

	計画	実施年度(○:調査のみ、◎:発表件)				研究への適用結果
		2007	2008	2009	2010	
定点観測	□海外競争者・国内3社の生産性ベンチマーク調査を半期ごと実施	○	○	○		□目標設定時(コスト、サイクルタイム)の予測通りに推移
AEC/APCシンポジウム	□プロセス制御技術の動向を調査	○	○	○	○	□本研究成果の独自性を確認
ISSM(注1)シンポジウム	□半導体製造技術の動向をシンポジウムに参加調査	○	○	○	○	□2007年に小ロットの取り組み事例報告があり、研究加速のための加速資金投入
ISMI(注2)シンポジウム	□半導体製造技術の動向をシンポジウムに参加調査	○	○	○	◎	□本研究成果の先行性を確認
Seleteシンポジウム	□本研究計画と成果に対する業界意見収集		◎	◎	◎	□研究成果を半導体業界に向けて発信するとともに、ポスターセッション等における質疑応答により意見収集を実施
SEMI/STS(注3)	□本研究の成果を半導体業界に向けて発信 □SEMI標準の動向調査	○	◎	◎	◎	□本研究の成果を半導体業界に向けて発信 □サイクルタイム標準化の必要性、標準化領域確認
ものづくりAPS推進機構(注4)	□製造業の情報連携標準化動向調査		◎	○	○	□PSLX仕様書を参照

注1) International Symposium on Semiconductor Manufacturingの略で、この分野で最大規模の国際会議。

注2) International SEMATEC Manufacturing Initiativeの略で、SEMIATECHの生産性改善の組織。

注3) SEMI Technology Symposiumの略で、SEMI主催のシンポジウム。

注4) PSLX (Planning and Scheduling Language on XML) 標準仕様を通して、日本発のグローバルスタンダードを構築し、日本の製造業やITサービス企業が、世界へむけて飛躍する場を作り応援する機構。

II .4研究開発の運営管理についての記載内容に従って実施した、知財と標準化に関する取り組みを、図Ⅲ. 2.1に示す。図左は、開発技術の利用に関する位置付けを示している。研究実行対象要素技術[1]、[2]、[3]、[4]、[5]の位置付けを明確にした上で、図右に示す計画を作成し、結果を得た。図中の赤★は、加速資金による研究の加速を実施した。知財については、下記特許の出願を準備中である。

➤ 案件1の名称:「業務連携と知識連携を行う半導体製造プロセス業務システム」

・既存技術との差異確認のため、2010年度下期に実施した実ライン評価における機能確認後、権利文書化作業を実施している。

➤ 案件2の名称:「半導体工場の製造コスト情報の分析システム」

・応用技術のため、評価完了後(2010年度下期)、権利文書化作業を実施している。

	非競争域	競争域	研究実行対象要素技術	計画	結果
公開	標準化領域 [5] 普及領域 [3]	特許領域 [2] [5]	[1] SoC製造エンジニアリング情報プラットフォーム	設計ガイドラインとして内部普及	設計ガイドライン移管完
			[2] 情報連携プロセス制御システム	基本特許として権利化	出願準備完(案件1)
	[3] ←	[5]	[3] 検査工程のサンプリング機能	顧客と品質保証の考え方を共有 品質管理の考え方を内部で共有	品質ガイドライン(公開版)公開完 品質ガイドライン(非公開版)移管完
			[4] 小ロット括り段取り制御機能	評価のための工場モデルの内部普及★	工場モデル移管完
	非公開	ノウハウ領域 [1] [3] [4]	[1] ← [3] ← [4] ←	[5] コスト試算機能/サイクルタイム実態把握・予測機能	データ収集標準化★ データ構造を防衛特許として権利化

図Ⅲ. 2.1 知財・標準化の取り組み

各研究実行対象要素技術の成果の意義、知財と標準化、及び成果の普及について、表Ⅲ. 2.4に示す。

表Ⅲ. 2.4 研究実行対象要素技術毎の成果の意義、知財・標準化、成果の普及まとめ

研究実行対象要素技術	成果の意義	知財・標準化	成果の普及
[1] SoC製造エンジニアリング情報プラットフォーム	・開発した手順に基づき、変化に容易に追従できる業務システムを開発できる。	・出願予定 発明の名称： 「業務連携と知識連携を行う半導体製造プロセス業務システム」	・発表1件 ・成果の受け取り手に対し、実際の開発事例を示した開発方法の解説書を提供
[2] 情報連携プロセス制御システム	・プロセス制御に関連する業務の機能を連携させる具体的なソフトウェア、システム仕様、システム構築方法を各社の事情に基づき活用できる。	・無し	・成果の受け取り手に対し、開発したシステム仕様書とともに開発経緯を示した総合解説書、業務部品開発マニュアルを提供。
[3] 検査工程のサンプリング機能	・新たな中間特性値の抜取確認方式のガイドライン公開により、本方式を半導体製造業者が共通に使用できる。	・無し	・発表1件 ・ガイドラインを半導体業界に向けて公開
[4] 小ロット括り・段取り制御機能	・開発した方法論と分析結果を参考に、各社における小ロット起因問題を解決できる。	・無し	・発表1件 ・成果の受け取り手に対し、開発したシステム仕様書とともに開発経緯を示した総合解説書を提供
[5] コスト試算機能/サイクルタイム実態把握・予測機能	・改善対象の装置作業に関連付けたコストとサイクルタイムのデータ構造は、汎用性がある。 ・気付き、分析データは、効果の刈り取りを早め、投資効果を改善する。 ・データを見せる機能を容易に開発できる技術は、業務スピード向上する。 ・必要なデータを、許される時間、費用で集計する運用を組み合わせた技術は、汎用性がある。	・出願予定 発明の名称： 「半導体工場の製造コスト情報の分析システム」	・発表8件。 ・成果の受け取り手に対し、プロト機を実工場に持ち込み評価、要求事項を抽出 ・開発したシステム仕様書とともに開発経緯を示した総合解説書を提供

## 2.3. 研究計画の妥当性と研究執行の妥当性の評価

### 2.3.1. スコープ

実施者(Selete)は、本プロジェクトの中間時点(2009年4月)と終了時(2011年2月)に、研究参加各社(図Ⅱ. 3.1)に対し、研究計画設定そのものの妥当性、そして研究計画執行の質について、共有された研究計画に基づいて客観的に評価を行う事を依頼した。本節では本プロジェクトの終了時の評価結果を述べる。

### 2.3.2. 評価方法

本研究全体の研究目標設定の妥当性について訊き、表Ⅲ. 1.7に記載した各研究対象要素技術項目(5項目)に関する目標設定の妥当性を訊いた。此の際、研究参加社間で共有された研究計画に基づいての客観的な評価を求めた。必要に応じてコメントを記入するように要請した(図Ⅲ. 2.2)。

上記の一連の設問によって、研究各社の事業計画とは分離された客観性の高い評価を行うことができた。

#### □ 設問

- ✦ 計画の妥当性1:研究全体の研究目標設定の妥当性評価
- ✦ 計画の妥当性2:各研究実行対象要素技術項目(5項目)に関して、目標の妥当性評価
- ✦ 研究執行の妥当性:各研究実行対象要素技術項目(5項目)に関して、以下の事項を夫々評価
  - 1. 費用対効果の妥当性
  - 2. 計画達成度の妥当性

図Ⅲ. 2.2 研究計画及び研究執行妥当性の評価方法

### 2.3.3. 評価結果

以下に述べる評価結果は、研究参加社の同意を得て要約した内容であり、上記した評価の持つ客観性を維持していると考えられる。

- (1) 本研究全体の研究目標の設定については高い評価を得た。製造システムの基盤技術については高いニーズがあることが確認できた。
- (2) 各研究対象要素技術項目についての目標設定についても押並べて高い評価を得た。
- (3) 研究執行に係わる設問について、押並べて高い評価を得た。
- (4) 以上から本研究が、共有された目的の中で、共有された目標を充足するように実施されたことを確認できた。

## IV. 実用化、事業化の見通しについて

### 1. スコープ

実施者(Selete)は、本プロジェクト終了時に、研究参加各社(図Ⅱ. 3.1)に対し、共有された研究計画に基づいた目標充足の確認の評価を依頼した。本章では各社での成果利用の観点からの評価結果を述べる。

### 2. 評価方法

利用性評価は、表Ⅲ. 1.7に記載した各研究対象要素技術項目(5項目)、夫々で実施した研究ステップ(コンセプト/要求仕様、システム仕様、パイロットプログラム、の最大3ステップ)に対して設問し、各社の見解を訊いた(図Ⅳ. 2.1)。また必要に応じてコメントを記入するように要請した。この方法で、各社の技術的なポジションに対応し、且つ、成果の実用化シナリオに立脚した利用性評価を実施することが出来た。

#### □ 設問

- ✦ 各研究実行対象要素技術項目の必要性(5項目)
- ✦ 各研究実行対象要素技術項目夫々で実施した以下の研究ステップ(最大3ステップ)毎にに対する成果利用性
  1. コンセプト/要求仕様
  2. システム仕様
  3. パイロットプログラム

図Ⅳ. 2.1 研究成果利用性の評価方法

### 3. 評価結果

#### 3.1. 参加会社(4社)からの回答結果

- (1) プラットフォーム概念によるシステム開発
  - ・半導体製造システムのあるべき姿を分析する手法は、今後のシステム設計と実装に応用できる。
- (2) 実ライン評価
  - ・稼働中の工場システムに、開発したパイロット機能を繋ぎこみ、設計した作用効果を確認できたことは、開発コンセプトの正当性と成果物の実用性の証明であり、研究全体の価値を大いに高めた。
- (3) 各社での実装
  - ・開発したシステム仕様設計までは、自社のシステム開発に有効である。
  - ・実ラインで確認できた技術は、積極的に展開を図る。
- (4) 統合的な研究成果の利用
  - ・各研究成果は実用レベルにあり、プラットフォーム基盤技術を利用した統合的な実用化が期待できる。

#### 3.2. 実施者(Selete)の所見

- (1) パイロットプログラムはそのまま実装できるものではないが、システム仕様の正当性がより確度高く確認された意義がある。
- (2) パイロットプログラムを踏まえ、総合的な実用化を進める会社が1社出ると見られる。
- (3) 先行して実用化する会社があるとリスクのバリアーが低いことが判明し、他社での成果導入が進むことが期待できる。

(IT イノベーションプログラム・エネルギーイノベーションプログラム)  
「先端的 SoC 製造システム高度制御技術開発」  
基本計画

電子・情報技術開発部

## 1. 研究開発の目的・目標・内容

### (1) 研究開発の目的

半導体 LSI は、微細・高集積化することによって、高速化、高機能化、低消費電力化等の性能向上と低コスト化を実現し、情報通信技術高度化の原動力となってきた。しかしながら、微細化の深化に伴い、ばらつきの影響増大等の問題が顕在化しており、微細化の効果を上げるためには新たな対応が必要となっている。また、情報通信機器のみならず、各種の情報家電、車載機器等、一般消費者に身近な幅広い製品への応用が進み、我が国半導体企業の多くは、メモリーからシステム LSI (SoC: System on Chip) に軸足をシフトしている。これらの SoC 応用製品では、ユーザのニーズが多様で、かつ変化が激しい。このため、頻繁な仕様変更や世代交代に対応することが求められ、必然的に多品種少量(少量～中量)生産となることが多い。このような SoC の製造に対して、従来のメモリー型少量生産方式を適用したのでは生産性が低く、製造方式の革新が必要となっている。

本プロジェクトは、以上のような問題を解決し、低コスト、短 TAT (Turn Around Time)、歩留まりの急速立ち上げ・高位安定が可能で、需要変動にも柔軟に対応できる SoC 製造制御システムの実現を目指すものであり、高機能 LSI の実現に不可欠なデバイス・プロセス基盤技術を平成 22 年度までに確立することを目標として、IT イノベーションプログラム及びエネルギーイノベーションプログラムの一環として実施する。

ばらつきの影響増大は、微細化を進めるために必要となる新材料・新構造・新プロセスの導入、それに伴う製造工程の複雑化、プロセスマージンの減少等に起因するもので、歩留まりの早期立ち上げが世代毎に難しくなっている。この問題は、微細・高集積化が物理限界に近づいてきたことによるものであり、科学的な理解と、それに基づく精緻な制御なしでは克服できない。ばらつき制御については、トランジスタの動作原理や要素プロセスの面から、また DFM (Design for Manufacturing) 設計手法の面から、それぞれ対策が検討されている。しかし、製造段階でのばらつき制御がなければ、対策は完結しない。これらの異なる面からのアプローチとの連携により、総合的な最適化を図ることが重要である。

ばらつき制御の問題は、SoC の生産性の問題にも関係してくる。SoC は、前述のように、頻繁な仕様変更や世代交代に対応するため、開発・試作品を含む多種の製品が少数ロットで流される、いわゆる高混流小ロット生産となり、最小単位としてウェハ毎の製造制御が必要となる。一方、従来の少量生産型製造では、品種やロットが変わるごとにモニターウェハにより装置の動作状態確認やプロセス出来映え検査を行う方式であり、これをウェハ単位の製造制御方式に適用すると、生産性を大幅に損なうこととなる。ばらつき対策に有効で、かつ効率的に機能するウェハ単位の製造制御方式を実現するためには、科学的モデルに基づきプロセスを制御する等の新たな品質管理手法に加え、ウェハ単位の情報管理・装置稼働制御・工程制御等、製造プロセス全般にわたる制御方式の革新が必要

である。複雑・多岐にわたる SoC 製造システムにこれらの新規開発技術を適用し、コスト、TAT、歩留まり等に関し総合最適化を図るためには、設計、装置、工程、品質等、異なる階層の制御機能、制御情報を統合して制御することが必要である。

以上の観点から、本プロジェクトでは、ウェハ単位の SoC 製造制御を効率的に行うための新たな品質制御システム技術、SoC 製造システム全体を統合的に制御し、コスト、TAT、歩留まり等に関し総合最適化を図るための統合制御システム技術、およびこれらの開発技術を製造ラインに適用し有効に機能させるための実装技術を開発することを目的とする。

以上のように本プロジェクトは、低コスト、短 TAT、高歩留まりで、需要変動にも柔軟に対応できる SoC 製造制御システムの実現を目指すものである。その効果として、システム LSI の生産性向上、さらには新しいアプリケーション製品の開発とそれによる新市場創出の促進が期待されることから、本プロジェクトは、我が国半導体産業の発展と競争力強化に資する重要なものであり、国家プロジェクトとして実施する意義がある。

本技術開発を進めるためには、プロセス、品質管理、生産システム等の科学的モデル化技術に関する学の英知を活用することが不可欠である。また、ばらつき制御に対するデバイス性能や設計等の異なる面からのアプローチとの密接な連携が重要である。このような学との連携、および関係プロジェクトとの連携の実を図る上からも、産学の知見を結集し、独立行政法人新エネルギー・産業技術総合開発機構（以下、「NEDO」という。）の委託事業として実施する意義がある。

## （２）研究開発の目標

最終目標として平成 22 年度までに、開発技術を試作ライン等に実装して評価し、開発技術適用の効率向上効果として、製造工程全体の装置有効付加価値時間（\*1）を 40%以上改善し、前工程 TAT（\*2）を 50%以上短縮することが可能であることを示す。

（\*1）装置有効付加価値時間： 総時間のうち、装置のメンテナンス時間、故障に起因する停止時間、プロセス条件設定・確認等に要する時間、工程の組み方等に起因する待ち時間等を除いた、装置が実際にウェハ加工に利用された時間。現状の製造ラインでは総時間の 50%程度と見られる。

（\*2）前工程 TAT： Si ウェハ投入からウェハテストまでの工程処理期間

## （３）研究開発の内容

上記目標を達成するために、以下の研究開発項目について、別紙の研究開発計画に基づき研究開発を実施する。

- ①SoC 製造統合制御システム技術の研究開発
- ②SoC 品質制御システム技術の研究開発
- ③SoC 製造制御システム実装技術の研究開発

## 2. 研究開発の実施方式

### (1) 研究開発の実施体制

本研究開発は、NEDOが、単独ないし複数の、原則本邦の企業、研究組合、公益法人等の研究機関（原則、国内に研究開発拠点を有していること。ただし、国外企業の特別な研究開発能力、研究施設等の活用あるいは国際標準獲得の観点からの国外企業との連携が必要な場合はこの限りではない。）から公募によって研究開発実施者を選定後、共同研究契約等を締結する研究体を構築し、委託して実施する。共同研究開発に参加する各研究開発グループの有する研究開発ポテンシャルの最大限の活用により、効率的な研究開発の推進を図る観点から、研究体にはNEDOが委託先決定後に指名する研究開発責任者（プロジェクトリーダー）を置き、その下に研究者を可能な限り結集して効果的な研究開発を実施する。

### (2) 研究開発の運営管理

研究開発全体の管理・執行に責任を有するNEDOは、経済産業省および研究開発責任者と密接な関係を維持しつつ、プログラムの目的および目標、並びに本研究開発の目的および目標に照らして適切な運営管理を実施する。具体的には、必要に応じて、NEDOに設置する委員会および技術検討会等を通じて、外部有識者の意見を運営管理に反映させる他、四半期に一回程度プロジェクトリーダー等を通じてプロジェクトの進捗について報告を受けること等を行う。

## 3. 研究開発の実施期間

本研究開発の期間は、平成 19 年度（2007 年度）から平成 22 年度（2010 年度）までの 4 年間とする。

## 4. 評価に関する事項

NEDOは、技術的および政策的観点から、研究開発の意義、目標達成度、成果の技術的意義並びに将来の産業への波及効果等について、外部有識者による事後評価を平成 23 年度に実施する。なお、評価の時期については、当該研究開発に係る技術動向、政策動向や、当該研究開発の進捗状況等に応じて前倒しする等、適宜見直すものとする。

## 5. その他の重要事項

### (1) 研究開発成果の取扱い

#### ①成果の普及

得られた研究開発成果のうち、共通基盤技術に係るものについては、プロジェクト内で速やかに共有した後、NEDOおよび実施者が協力して普及に努めるものとする。

#### ②産業財産権の帰属

委託研究開発の成果に関わる産業財産権については、「独立行政法人新エネルギー・産業技術総合開発機構 新エネルギー・産業技術業務方法書」第 26 条の規定等に基づき、原則として、すべて委託先に帰属させることとする。

## (2) 基本計画の変更

NEEDOは、技術開発内容の妥当性を確保するため、社会・経済的状況、内外の技術開発動向、政策動向、プログラム基本計画の変更、評価結果、研究開発費の確保状況、当該研究開発の進捗状況等を総合的に勘案し、達成目標、実施期間、研究開発体制等、基本計画の見直しを弾力的に行うものとする。

## (3) 根拠法

本プロジェクトは、独立行政法人新エネルギー・産業技術総合開発機構法第15条第1項第2号に基づき実施する。

## (4) その他

産業界が実施する研究開発との間で共同研究を行う等、密接な連携を図ることにより、円滑な技術移転を促進する。

本研究開発の課題のひとつは製造段階でのばらつき制御であるが、設計、トランジスタ動作原理、要素プロセス等の面からのばらつき対策とも密接に関連している。このため、「プロセスフレンドリー設計技術開発」や、MIRAI プロジェクト「ロバストトランジスタ技術開発」等の関連プロジェクトと連携を図り、効率的な開発を行う。

## 6. 基本計画の改訂履歴

(1) 平成19年3月、制定。

(2) 平成22年3月、当初予定のシステム開発からシステム技術開発（システム仕様設計は行うが一部プログラム開発なし）への改訂



## (別紙) 研究開発計画

### 研究開発項目①「SoC 製造統合制御システム技術の研究開発」

#### 1. 研究開発の必要性

高混流小ロットの SoC 製造では、ウェハ単位の情報管理・装置稼動制御・工程制御・品質制御等、製造プロセス全般にわたり、新しい制御方式が必要となる。複雑・多岐にわたる SoC 製造システムにこれらの新規開発技術を適用し、コスト、TAT、歩留まり等に関し総合最適化を図るためには、設計、装置、プロセス、工程、品質等、異なる階層の制御機能、制御情報を統合して制御することが必要である。特にウェハ単位の製造制御では、コスト、TAT、歩留まり等の製造性能間の相互依存関係が従来以上に強くなると考えられることから、これら製造性能指標間の相互依存関係をモデル化し、可視性、可予測性を高めることが重要となる。以上の観点から、次項記載の研究開発を行う。

#### 2. 研究開発の具体的内容

ウェハ単位の制御により、製造プロセス全体をリアルタイムで統合的に制御し、コスト、TAT、歩留まり等に関し総合最適化を図ることができる統合制御システム技術を開発する。このため、以下の技術開発を行う。

- ・ウェハ単位で制御するための装置、プロセス、工程、品質の制御方式を開発する。
- ・装置、プロセス、工程、品質の状態に対するコスト、TAT、歩留まり等の依存関係に関する科学的モデル等を利用し、これら製造性能の向上を可能とする制御システム技術を開発する。
- ・コスト、TAT、歩留まり等の製造性能間の相互依存関係に関する科学的モデル等を利用し、総合最適化を図ることを可能とする制御システム技術を開発する。
- ・上記各制御機能の制御情報に加え、製造手順や処理内容等を記述した製造基準情報、プロセスレシピ、製造装置や検査装置の実績データ、装置稼動監視データ、設計情報等を統合的に制御し、製造プロセスの総合最適化を図ることを可能にする統合制御システム技術を開発する。
- ・以上の機能実現に不可欠な情報の共通化技術、実装技術、可視化技術、予測技術等を開発する。

#### 3. 達成目標

平成 20 年度末までに統合制御システムの基本開発を完了する。

最終目標として平成 22 年度までに、シミュレーション等により評価し、本開発技術適用の効率向上効果として、製造工程全体の装置有効付加価値時間を 40%以上改善するという総合性能の達成を可能にできることを示すとともに、研究開発項目③における実装評価に適用する。

## (別紙) 研究開発計画

### 研究開発項目②「SoC 品質制御システム技術の研究開発」

#### 1. 研究開発の必要性

従来のロット（ウェハ 12 枚または 25 枚）単位の品質制御では、製品ロットの処理前にモニターウェハを処理して、装置の動作やプロセスの状態を確認したり、製品ロットと同時に品質管理用のモニターウェハを処理し、これを検査することによりプロセスの出来映えを確認する手法が一般的である。しかしながら、高混流小ロットの SoC 製造では、品種や仕様の切り替えが頻繁におこなわれるため、従来手法のままでは生産効率を著しく損なうことになる。また、製品寿命が短く生涯生産量が少ない SoC に対して、従来の統計的手法は有効ではなく、新たな品質制御手法を開発する必要がある。以上の観点から、次項記載の研究開発を行う。

#### 2. 研究開発の具体的内容

効率的なウェハ単位の品質制御方式を実現するため、以下のようなシステム技術開発を行う。

- ・装置の動作状態、プロセス装置内現象、プロセス出来映え等を表現する科学的モデル、および装置やプロセスの状態に対する品質の依存関係に関する科学的モデル等を利用し、ウェハ単位のプロセス制御、出来映え予測、異常予測等を行う制御システム技術を開発する。これにより、品質確認のためのモニターウェハ、装置稼働ロス、ウェハの待ち時間等を減らし、効率向上を図る。
- ・製品の要求仕様や、設計情報等に対応して、品質制御の仕方をリアルタイムで適応的に変更する等の手法による効率向上の可能性を検討する。
- ・品質に支配的な影響を及ぼす製造制御因子分析の効率化や、効率的で効果的な品質データサンプリング法等に関する科学的検討を行い、その成果を上記開発技術等と統合することにより、効率的な品質制御システム技術を開発する。

#### 3. 達成目標

平成 20 年度末までに、品質制御システム技術の基本開発を完了する。

最終目標として平成 22 年度までに、モデルプロセスを想定したシミュレーション等により評価し、本開発技術適用の効率向上効果として、サイクルタイム を 50%以上短縮することが可能であることを示すとともに、研究開発項目③における実装評価に適用する。

(別紙) 研究開発計画

研究開発項目③「SoC 製造制御システム実装技術の研究開発」

1. 研究開発の必要性

研究開発項目①および研究開発項目②による開発成果の検証や実用化のためには、試作ライン等に適用して、その機能や性能を評価し、有効性を確認する必要がある。そのためには、それぞれの制御システムをライン上で機能させるために必要となるライン管理、レシピ管理等のアプリケーション技術の開発や、実装技術の開発が必要である。

以上の観点から本プロジェクトでは、次項記載の研究開発を行う。

2. 研究開発の具体的内容

研究開発項目①および②による開発技術を、製造ラインに適用するために必要となるアプリケーション技術、および実装技術を開発する。さらに試作ライン等を実装し、初期量産や量産立ち上げ等を想定した業務フローに適用して、開発技術の機能と性能を評価する。

3. 達成目標

最終目標として平成 22 年度までに、研究開発項目①および②の成果を試作ライン等を実装して評価し、所期の機能の実現を確認するとともに、本開発技術適用の総合的効果として、製造工程全体の装置有効付加価値時間を 40%以上改善し、前工程 TAT を 50%以上短縮することが可能であることを示す。

# ITイノベーションプログラム基本計画

平成22年4月1日  
産業技術環境局  
商務情報政策局

## 1. 目的

「新成長戦略（基本方針）」（2009年12月閣議決定）に記載されている我が国の強みを活かした「課題解決型国家」の実現に向け、世界をリードする「グリーン・イノベーション」などを迅速に推進し、課題解決とともに新たな成長の実現を目指す。

具体的には、ITイノベーションプログラムにおいては、我が国が目指す高度情報通信ネットワーク社会の構築に向け、新成長戦略に加え、IT新改革戦略、科学技術基本計画及び技術戦略マップ等に基づき、情報化の進展に伴うエネルギー消費量の増大等の課題にも考慮しつつ、その基盤となる情報通信機器・デバイス等の情報通信技術を開発し、実社会への利用を促進する。また、情報システム・ソフトウェアについて品質、信頼性及び生産性の向上を推進し、組込みソフトウェア産業強化、オープンソースソフトウェアを安心して活用するための環境整備、独創的な人材の発掘等、我が国産業競争力強化のための必要な基盤整備を実施することによって、ITの利活用の深化・拡大を図り、より豊かな国民生活を実現するとともに、我が国の経済活力の向上を図ることを目的とする。

## 2. 政策的位置付け

○「新成長戦略（基本方針）」（2009年12月閣議決定）

「（1）グリーンイノベーションによる環境・エネルギー大国戦略」「（5）科学・技術戦略立国戦略」に対応

○「第3期科学技術基本計画」（2006年3月閣議決定）

国家的・社会的課題に対応した研究開発の重点推進4分野である情報通信分野、分野別推進戦略（2006年3月総合科学技術会議）における重点分野である情報通信分野に位置づけられるもの。

○「IT新改革戦略」（2006年1月高度情報通信ネットワーク社会推進戦略本部）

次世代のIT社会の基礎となる研究開発の推進等に対応。「ITによる地域活性化等緊急プログラム」（2008年2月）、「IT政策ロードマップ」（2008年6月）、「重点計画－2008」（2008年8月）、「i-Japan戦略2015」（2009年7月）等を策定。

## 3. 達成目標

（1）情報経済社会を形成する上で必要不可欠な基盤技術である情報通信機器・デバイス等に関しては、「革新的な技術の確立」と「その開発成果の普及促進」を図る。

### 【目標】

- ・情報通信機器・デバイス産業の付加価値額を、2020年度において、2008年度比で、約50%増加させる。
- ・半導体の微細化に係る革新的基盤技術の開発（テクノロジーノード45nm以細）
- ・革新的な大型ディスプレイ技術の開発（消費電力を2007年度比約50%以下）
- ・革新的なネットワーク機器技術の開発（消費電力を2007年度比60%以下）
- ・次世代高効率・高品質照明の基盤技術の開発（消費電力を現状機器と比較して50%以下）

（2）経済社会システムの信頼性確保に大きく寄与する情報システム・ソフトウェアに関しては、

品質、信頼性及び生産性の向上や産学官の開発リソースの連携強化により、「人材育成」と「ソフトウェア工学の開発」等を積極的に推進する。

【目標】

- ・情報サービス・ソフトウェア産業の付加価値額を、2015年度において、2004年度比で、約25%増加させる。
- ・組み込みシステム等の不具合発生率（2012年度までに2007年度比50%減）

#### 4. 研究開発内容

[プロジェクト]

##### I. ITコア技術の革新

[i] 世界最先端デバイスの先導開発

(1) 次世代半導体材料・プロセス基盤プロジェクト (MIRAI) (運営費交付金)

①概要

テクノロジーノード45nm以細のデバイスの実現に必要な極限微細化技術や、新構造CMOSの研究開発などの既存技術のブレークスルーが期待される先端的基盤技術研究を行う。また、国際半導体ロードマップにおいてエマージングテクノロジーと呼ばれる萌芽的な先端基盤技術の開発に取り組み、技術の見極め・絞り込みを行う。

②技術目標及び達成時期

2010年度までに半導体の微細化に関してテクノロジーノード45nm以細のデバイス実現に必要な革新的基盤技術を、産業界において自ら実用化に向けた展開を図る際の判断ができる水準まで技術開発を行い、技術選択肢として提示する。

③研究開発期間

2001年度～2010年度

(中略)

#### 6. 研究開発の実施に当たっての留意事項

事業の全部又は一部について独立行政法人の運営費交付金により実施されるもの(事業名に(運営費交付金)と記載したものは、中期目標、中期計画等に基づき、運営費交付金の総額の範囲内で、当該独立行政法人の裁量によって実施されるものである。

(後略)