

「ナノエレクトロニクス半導体新材料・
新構造ナノ電子デバイス技術開発」
中間評価報告書（案）概要

目 次

分科会委員名簿	1
プロジェクト概要	2
評価概要（案）	8
評点結果	16

「ナノエレクトロニクス半導体新材料・
新構造ナノ電子デバイス技術開発」(中間評価)
分科会委員名簿

(平成21年8月現在)

	氏名	所属、肩書き
分科 会長	すなみ ひでお 角南 英夫	広島大学名誉教授
分科会長 代理	あさの たねまさ 浅野 種正*	九州大学大学院 システム情報科学研究院 電子デバイス工学部門 教授
委員	おおの ひでお 大野 英男	東北大学 電気通信研究所 附属ナノ・スピン実験施設 教授
	たかはし やすお 高橋 庸夫	北海道大学大学院 情報科学研究科 情報エレクトロニクス専攻 教授
	なかざと かずお 中里 和郎*	名古屋大学 大学院工学研究科 電子情報システム専攻 教授
	もたい ひでき 甕 秀樹	株式会社 産業タイムズ社 半導体産業新聞 副編集長
	やの かずお 矢野 和男	株式会社日立製作所 中央研究所 主管研究長

敬称略、五十音順

事務局：独立行政法人新エネルギー・産業技術総合開発機構
研究評価部

注*：実施者の一部と同一大学の所属であるが、部署が異なるため（実施者：
①九州大学 先導物質科学研究所、②名古屋大学 大学院工学研究科 量子工学
専攻）、「NEDO 技術委員・技術評価委員規程(平成21年7月15日改正)」第34
条（評価における利害関係者の排除）により、利害関係はないとする。

プロジェクト概要

		作成日	平成21年8月25日				
プログラム名	IT イノベーションプログラム、ナノテク・部材イノベーションプログラム						
プロジェクト名	ナノエレクトロニクス半導体新材料・新構造ナノ電子デバイス技術開発	プロジェクト番号	P09002				
担当推進部/担当者	電子・情報技術開発部/ 河本滋						
0. 事業の概要	半導体集積回路(LSI)の更なる高機能化・低消費電力化に向けて、電子デバイス性能の技術的な飽和を突破するための”新材料”、”新プロセス”、”新構造”を実現する半導体技術を、ナノテクノロジーを最大限に活用することによって創生し、将来の産業応用への芽を見出すことを目的として、シリコンナノワイヤ技術、次世代メモリ技術、新材料技術の開発を行う。						
I. 事業の位置付け・必要性について	IT 社会を根底から支える半導体LSIには一層の高機能化、低消費電力化が求められている。従来、半導体LSIは微細化技術の向上により機能、消費電力、集積度、コストにおける急速な進歩を達成してきた。一方、LSIの更なる性能向上には、単なる微細化のみならず、新材料、新プロセス、新構造など革新的技術の導入が不可欠であり、その必要性は微細化の進展とともにますます大きくなっている。このため、シリコンで培った微細化技術やデバイス原理をこれまで同様に活用しながら、シリコンという材料の物理的限界を突破するための”新材料”、”新プロセス”、”新構造”を実現する半導体技術を、ナノテクノロジーを最大限に活用することによって創生し、将来の産業応用への芽を見出すことを目的とした技術開発を行う。						
II. 研究開発マネジメントについて							
事業の目標	平成 23 年度までに、産業界が10年後を見据えた将来の集積回路システムとして展開できる電子デバイスを開発する際に産業技術として活用できるかどうかの実現可能性を見極めることができる技術シーズを確立する。						
事業の計画内容	主な実施項目	H19fy	H20fy	H21fy	H22fy	H23fy	
	①-(1)シリコンナノワイヤトランジスタの知識統合研究開発	→					
	①-(2)ナノワイヤ FETの研究開発	→					
	①-(3)シリコンナノワイヤトランジスタの物性探究と集積化の研究開発	→					
	②-(1)新構造 FinFETによるSRAM技術の研究開発	→					
	②-(2)次世代相変化メモリ技術の研究開発	→					
	②-(3)ナノギャップ不揮発性メモリ技術の研究開発	→					
	③-(1)カーボンナノチューブトランジスタ技術の研究開発	→					
	③-(2)シリコンプラットフォーム上Ⅲ-V族半導体チャネルトランジスタ技術の研究開発	→					

	③-(3)シリコンウェハ中の原子空孔濃度定量評価技術の研究開発						
開発予算(百万円) (委託)	会計・勘定	H19fy	H20fy	H21fy	H22fy	H23fy	総計
	一般会計(経産省)	493	599	—	—	—	1092
	一般会計(NEDO)	—	—	564			564
	総予算額	493	599	564			1656
開発体制	経済産業省原課	商務情報政策局 情報通信機器課					
	プロジェクトリーダー	設置していない					
委託先		独立行政法人産業技術総合研究所 株式会社東芝 国立大学法人東京工業大学 国立大学法人東京大学 国立大学法人京都大学 株式会社船井電機新応用技術研究所 国立大学法人名古屋大学 独立行政法人物質・材料研究機構 国立大学法人新潟大学					
情勢変化への対応	本研究開発は、経済産業省により、公募によって研究開発実施者が選定され、平成19年度より委託により実施している。平成21年度より、NEDO技術開発機構が本研究開発を運営・管理するに当たっては、平成20年度までの進捗状況を踏まえた研究開発内容・計画及び実施体制の妥当性について、外部有識者による審議を含めた評価を行った上で最適な研究開発体制を構築し、委託して実施する。						
III. 研究開発成果について	<p>①シリコンナノワイヤ技術</p> <p>①-(1)シリコンナノワイヤトランジスタの知識統合研究開発</p> <p>構造の整ったSiナノワイヤトランジスタを作製するために、Si表面を原子レベル平坦加工する技術を開発し、断面寸法 4x9 nm のナノワイヤの作製に成功した。ナノワイヤの三次元形状を高精度測定するために、傾斜の探針および三次元走査が可能な原子間力顕微鏡を開発した。偏光方向依存性を利用して、単一のSiナノワイヤのラマン信号の測定に成功した。Siナノワイヤに対して、原子スケールの構造安定性、不純物分布、電気特性を予測・解析できる要素シミュレーション技術を開発した。ナノワイヤトランジスタの電流輸送特性評価のために、高キャリア濃度領域でのクーロン相互作用を導入したモンテカルロシミュレータを開発した。</p> <p>①-(2)ナノワイヤFETの研究開発</p> <p>今後の電子デバイスで最も有望なSiナノワイヤFET開発のための技術ロードマップ作成を最終目標としている。理論解析ではワイヤ径に関し量子チャネル数とバンド間電子散乱による伝導のトレードオフの関係を示し、最大性能を示す径が存在することを明らかにした。また弾道伝導が実現出来た場合のワイヤFETの電圧電流特性を解析式と簡単な数値計算を組合せて求める手法を確立した。実験では現状生産設備で容易に作成可能な工程を考案し、径25nmのFETでオンオフ比8桁で40 μA/Wiヤを超えるオン電流を実証した。単位ゲート幅当りの性能予測を行ったところプレーナFETに対する圧倒的な優位性を確認した。</p> <p>①-(3)シリコンナノワイヤトランジスタの物性探究と集積化の研究開発</p> <p>シリコンナノワイヤの移動度を正確に測定する手法を確立し、試作したナノワイヤトランジスタアレーにおいて移動度を評価した。nFETでは主に側壁の効果によりワイヤ幅が狭くなると移動度が低下するが、pFETでは側壁の効果を受けず特に高電界において高い移動度が維持されることを初めて明らかにした。また、ゲート長約50nm、チャネル径約25nmのナノワイヤトランジスタ作製の基盤技術を開発した。加えてナノワイヤトランジスタ高性能化に向けて、歪み印加装置を用いて立体構造トランジスタの最適応力印加指針を開発し、インバースモデリングによる飽和速度の抽出法を開発してSi(110)面の微細CMOSの優位性を明確化した。</p>						

②次世代メモリ技術

②-(1)新構造 FinFET による SRAM 技術の研究開発

FinFET 作製基盤技術として、微細 FinFET 作製技術および金属ゲート CMOS プロセス技術を構築した。更に、FinFET 特性ばらつき要因を包括的に調査し、金属ゲートの仕事関数ばらつきが最大の問題となることを世界に先駆け提唱した。また、新提案の Pass-Gate に 4 端子 FinFET を用いた Flex-Pass-Gate-SRAM の試作に成功し、本回路構成により、読み出し余裕が電源電圧に依らず通常 FinFET-SRAM よりも 2 倍以上向上することを実証した。さらに、独自に開発したコンパクトモデルを用いてアレイレベルでの動作速度予測も検討し、その優位性を確認した。

②-(2)次世代相変化メモリ技術の研究開発

ゲルマニウム-アンチモン-テルル三元相変化合金の新たな相変化スイッチモデルを量子力学に基づいて計算した。相変化膜内では 4 配位と 6 配位の Ge 原子状態がエネルギー的に双安定であり、僅かなエネルギーによって相転移が可能なることを確かめた。また、類似スイッチの可能性のある新規材料について、中間目標に掲げた 2 例以上の新規超格子材料を発見した。実験においては、[GeTe/Sb₂Te₃]の繰り返しから構成される超格子構造膜を実際にヘリコンスパッタリング法によって作製し、目的とする構造が形成できることを確認した。この構造をデバイス上で動作させ、中間目標値を上回るエネルギー低減を達成できる見通しを得た。

②-(3)ナノギャップ不揮発性メモリ技術の研究開発

ナノギャップスイッチ(NGS)動作機構解明のため、高分解能 AFM によるギャップ構造観察を可能とする、間隙 10nm 以下の単接合型 NGS 素子を開発し、初期動作時の構造変化を捉えることに成功した。一方、不揮発性メモリとしての NGS 基本性能確認のため、保持時間、NGS 発現場所などのデータを取得し、他方式メモリに対する優位性を明らかにした。また、電極幅微細化により動作電流低減可能なることを見いだした。さらに、NGS メモリ実用化に向けて縦型素子の開発に着手し、90nm 径、0.1 μm 深さの Viahole での NGS 動作に成功した。現在、アレイ構成での動作実証に向けて、平面型 NGS アレイの特性評価を進めている。

③新材料技術

③-(1)カーボンナノチューブトランジスタ技術の研究開発

半導体的振る舞いを示すナノチューブの優先成長に関して、その原因が成長中に導入された欠陥に起因することを明らかにした。一方、超高真空背圧型の熱 CVD 装置での CNT 成長の実現、微量ガス成分の影響確認、および 1 本ごとの CNT の分光評価実現により、成長機構解明および、直径・カイラリティ制御のための基礎技術をほぼ確立した。高電流密度化に向けた高密度水平配向成長では、サファイアや石英基板上での成長検討により 5 本/μm と将来目標実現につながる結果を得た。シリコン基板上においてもトレンチ構造に沿った水平配向成長を実証し、将来の Si プラットフォーム技術活用の可能性を示した。デバイス表面保護膜形成技術としては、原子層成膜技術が低損傷で有望であることを示した。素子ばらつき評価に関しては、磁気力顕微鏡を利用した電流誘起磁場計測手法により、単一 CNT-FET 中の異なる CNT チャネル間でのゲート閾値電圧および相互コンダクタンスの差違などの観測に成功した。

③-(2)シリコンプラットフォーム上 III-V 族半導体チャネルトランジスタ技術の研究開発

Si 基板上の InGaAs 選択エピタキシャル成長及び InGaAs/InP 基板と Si 基板の貼り合わせにより、III-V-OI チャネルを形成する基本技術を開発した。In を含む III-V 基板上への Al₂O₃ 成長及び表面硫黄処理や窒化・酸化条件の最適化により、良好な MIS 界面特性を実証した。カチオン種が MIS 界面に及ぼす効果を明確化すると共に、電気特性の温度依存性から界面欠陥を評価する手法を確立した。貼り合わせ法による極薄ボディ InGaAs チャネルを用いたメタルソースドレイン MISFET、及び Al₂O₃/InGaAs(111)A 構造の MISFET を世界で初めて作製し、Si を凌ぐ高移動度特性を達成した。

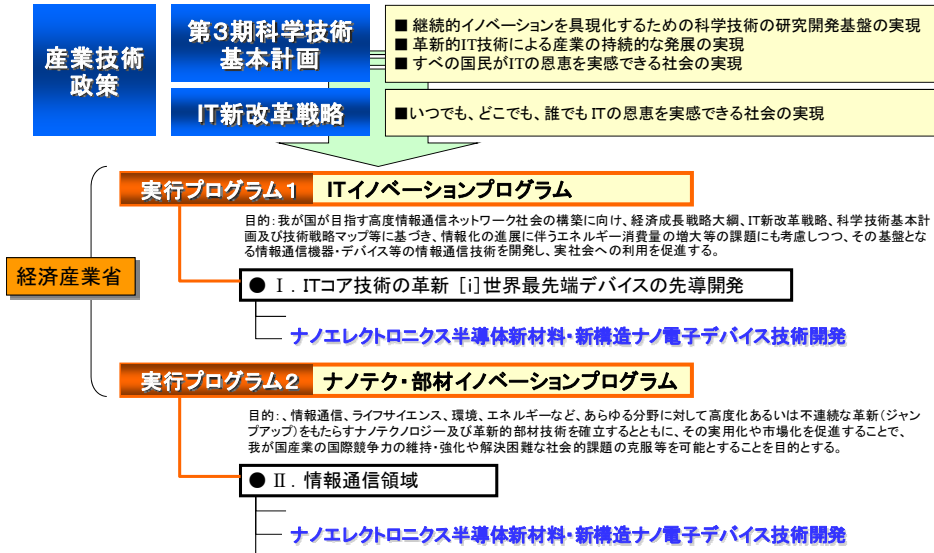
③-(3)シリコンウェハ中の原子空孔濃度定量評価技術の研究開発

	<p>これまで、ZnO圧電素子を用いた高周波超音波計測により高分解能を達成し、ボロン添加 CZ および FZ シリコンの弾性定数が低温でソフト化を示し、磁場を加えると消失することを観測した。これにより、原子空孔軌道の量子状態の実験的解明が進展し、広がった軌道の大規模シミュレーションも進んでいる。現在、ボロン添加 CZ 結晶中の原子空孔濃度分布の評価が進んでおり、プロジェクト終了後の原子空孔濃度評価ウェーハの製造技術と、それを用いた半導体デバイス製造への進展が期待される。</p>	
	投稿論文	99 件
	学会発表・講演	413 件
	特許	42 件
IV. 実用化の見通しについて	<p>全ての研究開発項目について中間目標は達成済みまたは達成見込みであり、最終目標も達成見通しであり、事業の目標である技術シーズの確立の見通しは立っている。</p>	
V. 評価に関する事項	事前評価	平成 20 年度実施（担当部：電子・情報技術開発部）
	中間評価以降	平成 24 年度 事後評価実施予定
VI. 基本計画に関する事項	作成時期	平成 21 年 3 月
	変更履歴	なし

技術分野全体での位置づけ
(分科会資料5-2より抜粋)

事業の位置付け—政策上の位置付け

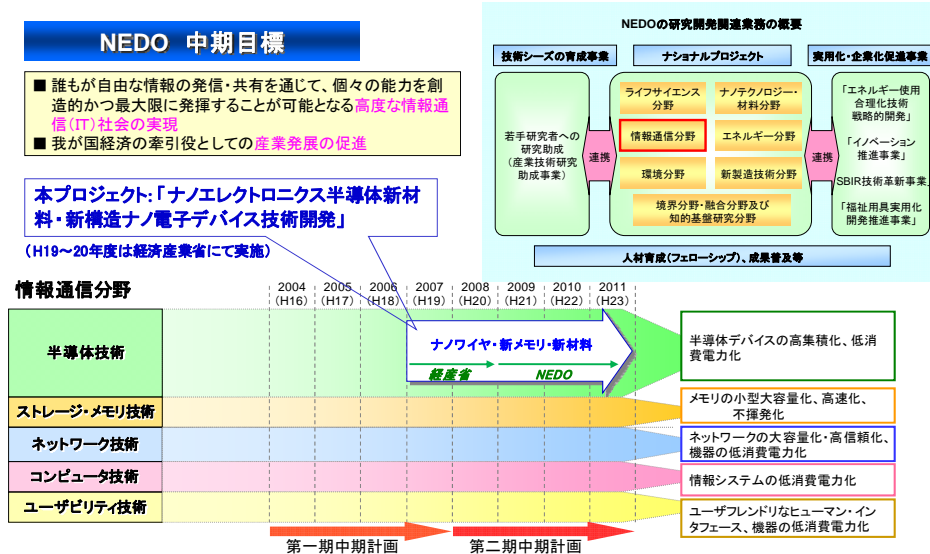
経済産業省 研究開発プログラム「ITイノベーションプログラム」および
「ナノテク・部材イノベーションプログラム」の1テーマとして実施



事業原簿 I-1

事業の位置付け—NEDO中期目標における位置付け

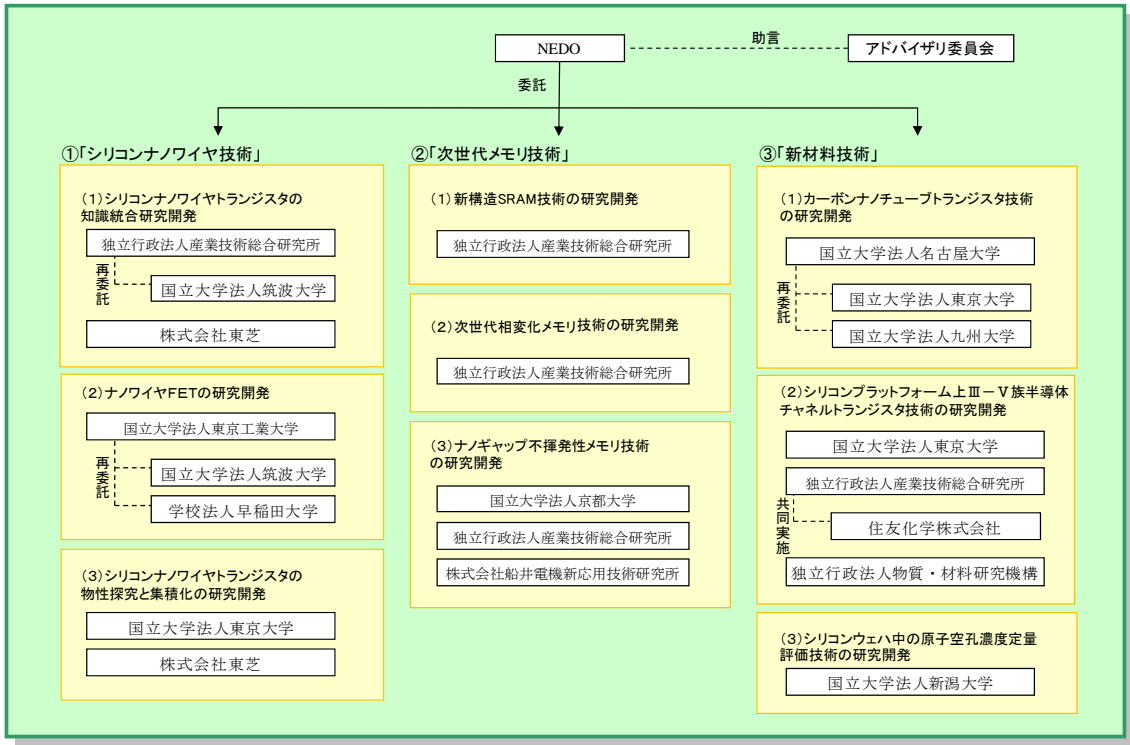
NEDO中期目標に掲げる「高度な情報通信社会の実現」のため、
電子・情報技術開発分野の半導体技術の一環として実施。



事業原簿 I-1

「ナノエレクトロニクス半導体新材料・ 新構造ナノ電子デバイス技術開発」

全体の研究開発実施体制



「ナノエレクトロニクス半導体新材料・ 新構造ナノ電子デバイス技術開発」(中間評価)

評価概要(案)

1. 総論

1) 総合評価

近い将来、本格的な高度情報社会の到来を間近にし、半導体を中核部品とする電子機器は、IT 技術にますます大きな関わりを見せている。このような背景のもと、半導体の価値はますます高まる傾向にある。日本は半導体に関してたゆまぬ技術開発を続け、国の基幹産業として発展させてきた。その産業競争力のより一層の強化は日本経済の持続的発展に必要である。一方で、半導体製造分野はリスク回避のために保守的になりがちであり、材料等の変革、新たな技術指針に挑戦することは民間企業のみでは難しい。このような中、ナノエレクトロニクスのシーズ技術を探索、発展、確立することを主旨とする本事業は、まさに日本の産業の将来にとって必要な事業であり、NEDO プロジェクトとして進める意義は大きい。また、将来の基盤技術となる可能性の高い技術の研究開発を現在の日本で望みうる最も高いレベルを有する研究者が推進している点に大きな特徴のある価値の高い事業である。さらに、シリコンナノワイヤ技術、次世代メモリ技術、新材料技術の 3 つのテーマとも、中間段階における目標を概ね達成し、最終目標をクリアできる見通しを立てているテーマも多く、総合的に見て十分期待に応える優れた研究成果を上げていると評価できる。

一方、改善すべき点があるとすれば、グループ間の相互連携である。特に、ナノワイヤの 3 件のテーマは、研究内容はおおむね補完的である。有効にリソースを活用し、抜けのない研究開発を進めるためには、なるべく早い時期に強い連携を進めて頂きたい。

なお、全体的には出口のイメージも概ね明確だが、「シリコンウェハ中の原子空孔濃度定量評価技術の研究開発」のように、現段階では複雑な集積回路の信頼性や歩留まりとの関連づけが不十分であり、今後期待したいテーマもある。また、今後は、ロジック・システム LSI やメモリだけでなく、多面的なアプリケーション展開も視野に入れた事業推進を望む。

2) 今後に対する提言

当初の予想を超えて進展し、シーズ技術として既に民間企業に提示できる段階にあるものもある。これらについては、民間企業にも実用化に向けた研究開発に参画を呼び掛け早期に別事業等への発展的移行を促し、今から関係作りや

本質的な技術開発目標を立て、実用化戦略を強力に進めて頂きたい。特に、研究期間とリソースが限られているので、「次世代相変化メモリ技術」、「シリコンプラットフォーム上 III-V 族半導体チャネルトランジスタ技術」などは重点化すべきは重点化して大きな成果に結びつけることを期待する。

目標に関しては、すぐに実用化することが難しい技術の開発であるので、数値目標も大切であろうが、数値にこだわらず、質的革新がより重要であると考えべきである。

なお、「カーボンナノチューブトランジスタ技術の研究開発」のように、トランジスタの基本特性は十分な能力を有していながら、集積回路への適用の点ではいまだ十分な制御性・再現性が得られていないテーマもある。この点を抜本的に改良してさらに応用に注力するか、あるいは基本に立ち返って目標を再設定するか判断すべき時期であろう。

2. 各論

1) 事業の位置付け・必要性について

半導体産業は、国内 GDP 約 500 兆円の内約 80 兆円の経済効果を生み出し（「産業競争力懇談会 2006 年度推進テーマ報告」より）、日本経済を底支えする基幹産業である。本事業は、この日本の半導体産業の将来を左右する可能性の高いナノエレクトロニクスをターゲットとした基礎的、革新的な研究開発である。まさに日本の産業の将来にとって必要な事業であり、公共性が高い。また、本事業は、「IT イノベーションプログラム」に関わる情報通信機器・デバイス開発、ならびに「ナノテク・部材イノベーションプログラム」が掲げる技術の高度化あるいはジャンプアップをもたらすナノテクノロジー開発に合致している。さらに、本事業は、技術的には極めて高度であるために、将来必要と予想される革新技術への取組は、民間企業だけでは実施が困難である。このような観点から、NEDO の関与は不可欠である。

なお、日本はかつて得意としていた、半導体関連の技術開発で、遅れを取ろうとしている。もし、最先端の半導体産業が日本から消えることになれば大変な損失で、他産業にも甚大な影響を与える恐れがある。最先端の半導体産業が日本から消えないようにするにはどうしたらいいかを、今から国を挙げて真剣に考えることも必要である。

2) 研究開発マネジメントについて

次世代半導体産業の基盤となる戦略的なテーマが選定されており、目標についても高いレベルに設定してある。また、実施体制の委託先は集積回路研究において現在の日本では最も高いレベルを有し、テーマ毎のグループにはその技

術の受け取り手と考えられる企業が参入、あるいは協力しており、十分な研究推進能力を持つと言える。

一方、テーマ間の交流を促進するような施策を考えるべきである。もちろん、独立に実施した方が良いテーマもあるが、ナノワイヤトランジスタに関わる 3 つの研究開発テーマについては、個々の進捗を見計らいながら、少なくとも相互に情報交換あるいは連携を図って頂きたい。

今後、実用化を加速するためには、成果を早めに公開するなどして産業界との連携を助け、強めることが望まれる。また、民間企業の委員を主とするアドバイザー委員会を早急に設立し、受取手が要望する成果、加速すべきテーマであればそのポイントなどの助言を頂くべきである。

3) 研究開発成果について

中間目標の達成度は概ね高く、評価できる。また、個々の成果は、世界最高水準であるものが多く、日本発の独創的で革新的な技術に発展する可能性のあるものもある。さらに、公表できる範囲に置いて積極的に論文発表等がなされており、成果が適切にアピールされてきている。

一方、実用化に近い課題での知的財産権の確保が弱いと感じられる。原理特許だけでは製品を差異化するには不十分であり、応用、周辺技術を含めた総合的な知的財産権戦略が不可欠である。

4) 実用化の見通しについて

いずれの個別テーマとも、出口のイメージは概ね明確である。また、技術シーズとして確立することが本事業の目的であることから、産業化を意識した取組がなされていると言える。さらに、大学や公的研究機関を主体とする研究チームであり、相応の人材育成の波及効果が期待できる。

なお、相変化メモリや III-V-OI トランジスタは早期の実用化が期待できる。

実用化を加速するため、産業界との連携を強め、周辺特許、応用特許の取得に注力するなど、多角的な実用化を進めて頂きたい。

個別テーマに関する評価

2. 1 シリコンナノワイヤ技術

	成果に関する評価；実用化、事業化の見通しに関する評価；今後に対する提言
シリコンナノワイヤトランジスタの知識統合研究開発	<p>ナノワイヤトランジスタの作製技術、評価技術、シミュレーション技術に関し、委託先の得意な評価技術を駆使してオリジナリティのある結果を出し、優れた成果が得られている。また、世界最高水準の成果も多く、トランジスタ試作計画も順調に進むと期待でき、中間目標を達成見込みと評価できる。</p> <p>なお、本分野は日本のエレクトロニクスを支える基礎を作る、極めて重要な研究分野であり、加速すべきテーマであると考えます。また、シリコンナノワイヤを3グループが独立に進めているが、体制はそのまま、連携を強めることにより、プロジェクト全体として、効率よく、さらなる高い成果を挙げて頂きたい。</p> <p>今後は、大きな問題ではないが、理論面からも最適なソース/ドレイン形成材料の追及、ワイヤの高密度化と電流駆動力を考慮したデバイス構成の検討など、将来に抜けのない開発を望む。また、先端研究の最大の目的は、課題の解決よりはむしろ課題の摘出である。理論解析ではその課題の摘出に重点を置き、他に先駆けてその解決手段を探る方式を採って頂きたい。さらに、単なる要素技術を集めた先行開発でなく、ナノワイヤトランジスタの研究以外にも水平展開できる可能性も模索して、もっと大きなコンセプトに化ける可能性が見えてきた、というような発展の仕方を期待する。</p>

<p>ナノワイヤ FET の研究開発</p>	<p>ナノワイヤ FET の理論解析、実験解析の両面で優れた成果が挙げられている。特に、最適ワイヤ FET 径では世界最高レベルのオン電流が実証され、第一原理計算を用いた特性の予測など、理論の裏づけも確保しながら進められており、高く評価できる。</p> <p>また、現行の CMOS プロセスを利用するという点で、実用化を意識した研究として期待がもて、デバイス特性などで、大変良い結果が出ているので、加速すべきテーマであると考え。また、他の 2 グループとの協調し、プロジェクト全体として、効率よく、さらなる高い成果を挙げて頂きたい。</p> <p>なお、このナノワイヤ FET が実用化されるとしたら、従来の平面トランジスタの動作の制御性が悪化するゲート長が 30nm 以下の領域であると推定される。現状手持ちの加工技術では実験的にこの領域を実現できないのだが、将来の実用化を想定してこの領域での課題を前もって抽出して欲しい。あえていえば、先端研究の大きな目的の一つは、課題の解決よりはむしろ課題の抽出であるともいえる。理論解析ではその課題の抽出に重点を置き、他に先駆けてその解決手段を探る方式を採って頂きたい。さらに、本成果をいかに日本の競争力の源泉にするかの戦略が重要であり、トランジスタ以外のデバイスへの応用可能性も模索して、もっと大きなコンセプトに化ける可能性が見えてきた、というような発展の仕方を期待する。</p>
<p>シリコンナノワイヤトランジスタの物性探究と集積化の研究開発</p>	<p>中間目標のワイヤ径は 5nm であるが、現時点で 7nm まで試作しており、十分に達成できると見込める。また、シリコンナノワイヤ FET で発現する現象の正確な理解に向けて、ワイヤの幅(径)、結晶方位、電子伝導方向、ひずみなどの基本的な諸元を変化させた場合の電気伝導の変化など、理論解析、実験解析とも優れた成果を挙げられている。さらに、300mm のシリコンウェハを用いるプロセスラインへの適用も含めた研究を行っていることは、受取手へ提供する技術シーズの情報として高く評価できる。</p> <p>なお、日本のエレクトロニクスを支える基礎を作る極めて重要な研究分野であり、物性評価などで、大変良い結果が出ているので、加速すべきテーマであると考え。また、他の 2 グループとの協調し、プロジェクト全体として、効率よく、さらなる高い成果を挙げて頂きたい。</p> <p>今後は、極細のワイヤへの低抵抗ソース/ドレイン接続の研究開発にも同等の精力を割いてほしいと感じるが、これは三つのナノワイヤグループの連携に委ねるべき課題であるともいえる。また、先端研究の最大の目的は、課題の解決よりはむしろ課題の抽出である。理論解析ではその課題の抽出に重点を置き、他に先駆けてその解決手段を探る方式を採って頂きたい。さらに、本研究の進展とともに、このデバイスの応用形態のイメージを検討し、もっと大きなコンセプトに化ける可能性が見えてきた、というような発展の仕方を期待する</p>

2. 2次世代メモリ技術

	成果に関する評価 実用化、事業化の見通しに関する評価 今後に対する提言
新構造 FinFET による SRAM 技術の研究開発	<p>制御ゲートをもつ FinFET をさらに高度化し、評価時点でゲート長 40nm までの微細加工技術を構築し、従来の二次元トランジスタより小さな待機電流の実現、4 端子 FinFET を用いた安定な SRAM 動作やシミュレーション、ゲート金属の仕事関数のバラツキ現象の確認など、世界に先駆けた知見が得られており、中間目標を大幅に前倒しする優れた成果である。</p> <p>今後は、本テーマは実用化に極めて近い成果である故一歩進めて、SRAM のスケーラビリティ改善に関しては、他の様々なアイデアに対するアドバンテージを明確にすると共に、周辺回路との接続に留意して全体 LSI 像を構築して頂きたい。また、民間企業が実用化に向けた判断をするのに十分な成果を概ね達成できていると考えられ、本研究開発テーマに関しては、本事業から発展的に他の事業に移行し、研究開発を加速することも視野に入れるべきである。</p>
次世代相変化メモリ技術の研究開発	<p>新しいメモリ機構のモデルを元に、これまで検討されてきた相変化メモリなどと比べ動作機構がより明確で、且つスイッチ速度、エネルギー消費、書き込み消去の繰り返し可能回数などの性能的にも高い不揮発性メモリが実現されている。また、世界的に優れた研究成果が挙げられており、相変化メモリにおける日本の研究の遅れを克服できる画期的成果と高く評価したい。</p> <p>一方、従来型の相変化メモリ性能との比較ではなく、絶対値で議論することにより技術のポテンシャル、他の不揮発性メモリに対する優位性を明らかにして頂きたい。</p> <p>今後は、実用化に向けて研究を加速し、早急に民間企業との共同による強力な推進が望まれる。特に、実用化に向けた最大の課題の一つである LSI 集積化については、想定される様々な回路動作条件、環境条件での評価を早くから実施し、方策を前倒しで出して頂きたい。また、デバイスをインテグレーションした場合の課題、および DRAM あるいはフラッシュメモリとの得失を探り見出された課題を解決し、知的財産権の確保に努めて頂きたい。</p>

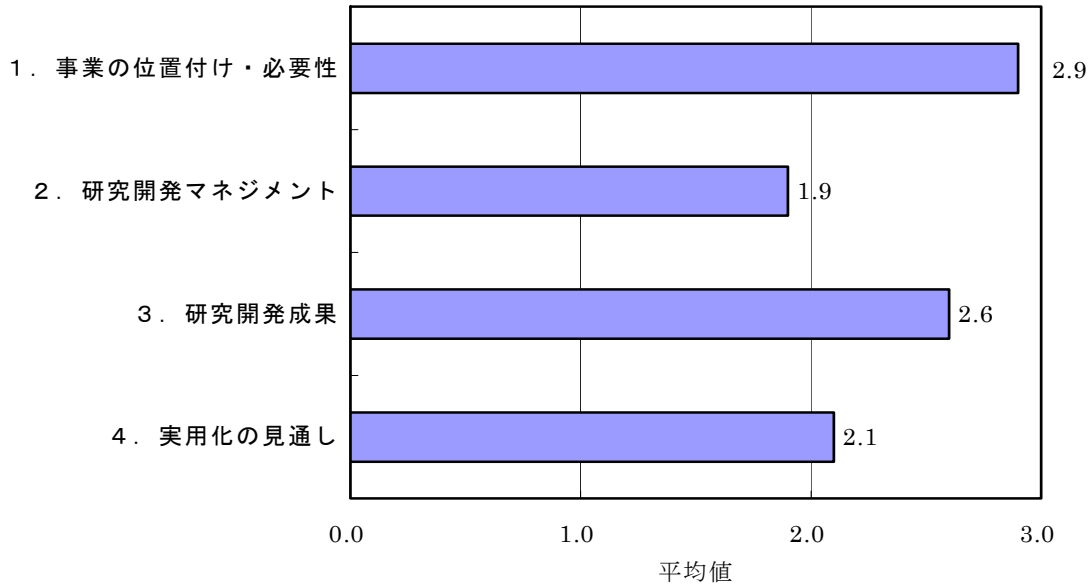
<p>ナノギャップ不揮発性メモリ技術の研究開発</p>	<p>ナノギャップの履歴性抵抗変化現象の機構を明らかにし、実際にデバイスを試作し、メモリ動作を確認した成果は十分評価できる。ナノギャップメモリ素子の書き換え耐性、データ保持温度、リテンション、高速動作、アレイ動作に関し研究開発が順調に進められている。中間目標も年度内に達成可能な範囲にあると考えられる。</p> <p>一方、実用化に向けては、表面金属原子の移動機構、ギャップ素子間のバラツキ、封止技術の長期信頼性の解明がキーである。特に、ギャップの距離に敏感な構造であるから、ギャップ素子間のバラツキが実用化に向けての課題となるが、既に素子構造均一作製法の開発、書き込み条件の最適化などの対策も行われつつあり、今後のバラツキ改善に期待したい。</p> <p>今後は、機能としては従来の RAM や ROM を代替するので従来メモリとの得失評価は不可欠であるが、並行してこのメモリの長所を最大限に活かした応用を探索することも重要である。</p>
-----------------------------	---

2. 3 新材料技術

	<p>成果に関する評価 実用化、事業化の見通しに関する評価 今後に対する提言</p>
<p>カーボンナノチューブトランジスタ技術の研究開発</p>	<p>電場制御による半導体 CNT 優先成長に関しては実験環境が整いつつあり、年度内には中間目標を達成できると見込める。また、シリコン上でのCNT配向成長など世界初の成果も多い。</p> <p>しかしながら、現状でのCNTトランジスタにおいて、高い電流駆動能力と高いON/OFF比はすでに実証されているが、制御性、再現性に関しては現在のシリコントランジスタに比べて劣る。制御性および再現性向上に関して有効な手段が見いだせなければ、シリコントランジスタを代替するという研究目標を再考すべき時期であると考えます。</p> <p>今後は、CNTは探索フェーズにある材料であり、デバイスの実現に拙速に研究を行うよりはむしろ、CNTそのものの作成の制御性向上と、個別プロセスのレベルアップなど、基礎的な知見の深耕、重要課題の解決に力を注いで頂きたい。また、多くの研究機関が、このCNTを研究している中で、そのベンチマークと位置づけを継続的に行って頂きたい。</p>

シリコンプラットフォーム上 III-V 族半導体チャネルトランジスタ技術の研究開発	<p>中間目標は既に達成している。特に、半導体技術者の長い間の夢であった SiO_2 上に本質的に特性のすぐれた III-V 化合物結晶を成長するヘテロエピタキシャル技術の完成に一つの目処がついたことは極めて優れた世界的水準の成果と評価する。また、貼り合わせという手法でも同様の構造ができることを示した点、至難の技であった III-V 化合物の良好な MIS 界面について期待に近いものが得られている点も大いに評価できる。</p> <p>今後は、本研究は、大規模集積用を目指して、Si に代わるチャネルを化合物半導体に置き換えるというだけではなく、シリコンフォトリソグラフィの新たな展開など、波及効果も大きい技術になるため、リソースを増大し、開発を加速して頂きたい。また、Si トランジスタが 30nm 以下になっている実用化期待時期における、性能、コストの両面からの利害得失を明らかにして頂きたい。</p>
シリコンウェハ中の原子空孔濃度定量評価技術の研究開発	<p>シリコンウェハ中の原子空孔の密度を測定する新しい手法に関し、基本装置、薄膜圧電素子などを開発し、目標とする弾性定数の低温ソフト化を精密に測定する超音波音速計測システムを実現した。これによって、原子空孔のナノレベルシミュレーション、原子空孔分布計測と欠陥制御技術の開発、完全結晶ウェハを用いたデバイスの動作特性評価を行い、中間目標を達成したので一定の評価をしたい。</p> <p>この計測法をシリコン CZ 結晶中の原子空孔領域と格子間シリコン領域の区分に利用し、原子空孔領域内の空孔濃度を制御することが可能であるとの展望は示されている。しかし、デバイス特性に影響する因子は複雑で多岐にわたっているため、原子空孔濃度で一義的にデバイス特性の劣化・信頼性不良などを説明することはできない。また、現段階ではデバイス製造にとっての原子空孔濃度の最適値が未確定である。これらの点を解決すれば、本研究そのものの実用的な価値を見出すことが可能となる。</p> <p>今後は、デバイス特性との関連に関して、どのような評価が相応しいのかについて、ユーザー調査あるいはアドバイザリー委員会などでご議論して頂きたい。</p>

評点結果〔プロジェクト全体〕



評価項目	平均値	素点 (注)						
		A	A	A	B	A	A	A
1. 事業の位置付け・必要性について	2.9	A	A	A	B	A	A	A
2. 研究開発マネジメントについて	1.9	B	C	B	B	B	B	B
3. 研究開発成果について	2.6	A	B	A	B	A	B	A
4. 実用化の見通しについて	2.1	B	B	B	B	B	B	A

(注) A=3, B=2, C=1, D=0 として事務局が数値に換算し、平均値を算出。

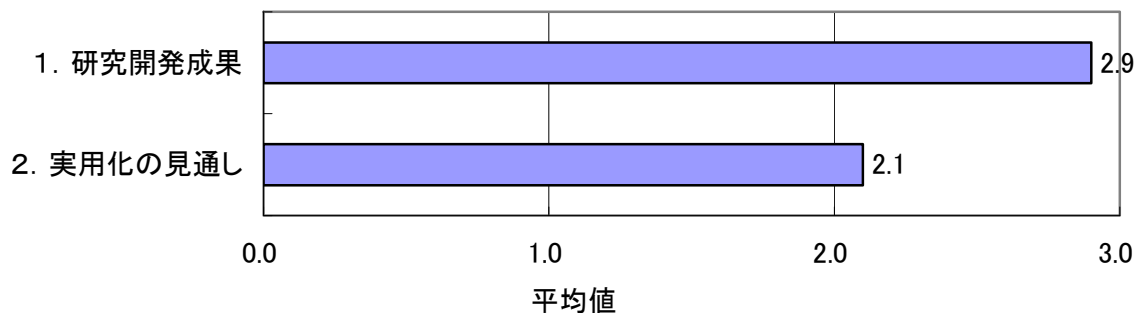
〈判定基準〉

(1)事業の位置付け・必要性について	(3)研究開発成果について
・非常に重要 →A	・非常によい →A
・重要 →B	・よい →B
・概ね妥当 →C	・概ね妥当 →C
・妥当性がない、又は失われた →D	・妥当とはいえない →D
(2)研究開発マネジメントについて	(4)実用化の見通しについて
・非常によい →A	・明確 →A
・よい →B	・妥当 →B
・概ね適切 →C	・概ね妥当であるが、課題あり →C
・適切とはいえない →D	・見通しが不明 →D

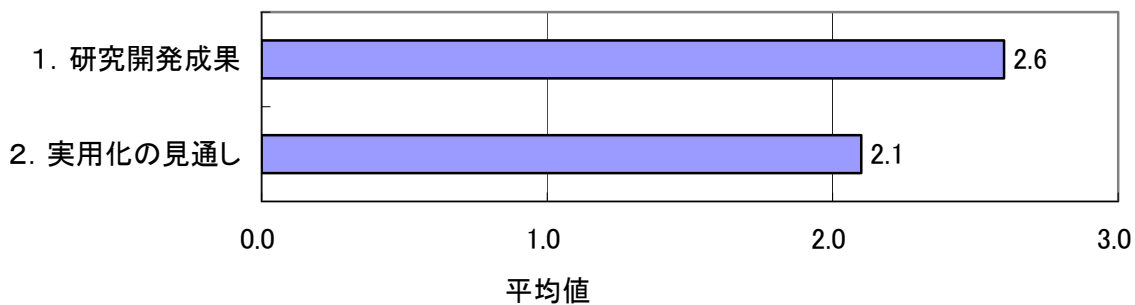
評点結果〔個別テーマ〕

シリコンナノワイヤ技術

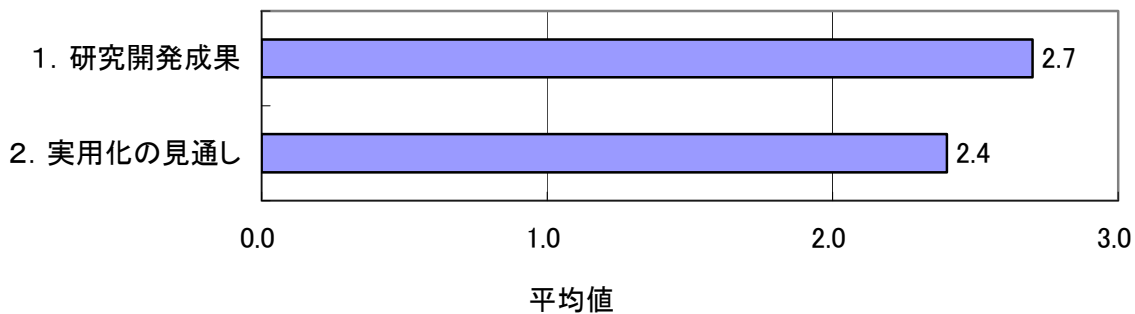
(1) シリコンナノワイヤトランジスタの知識統合研究開発



(2) ナノワイヤ FET の研究開発

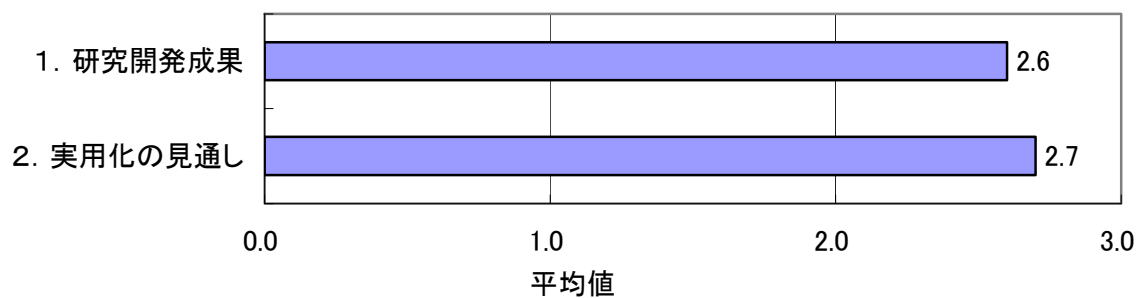


(3) シリコンナノワイヤトランジスタの物性探究と集積化の研究開発

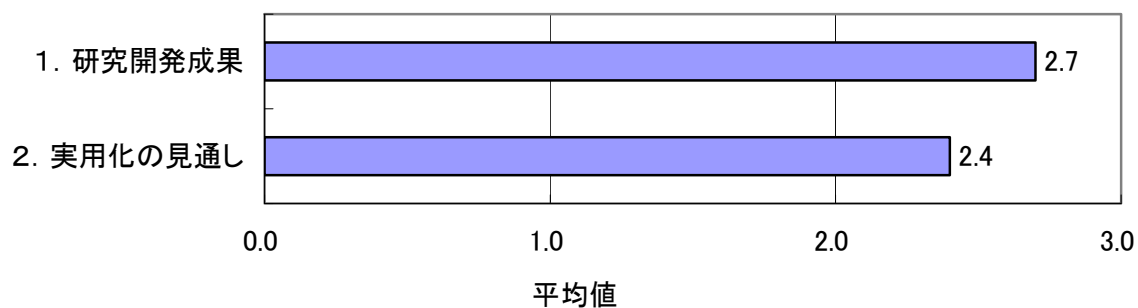


次世代メモリ技術

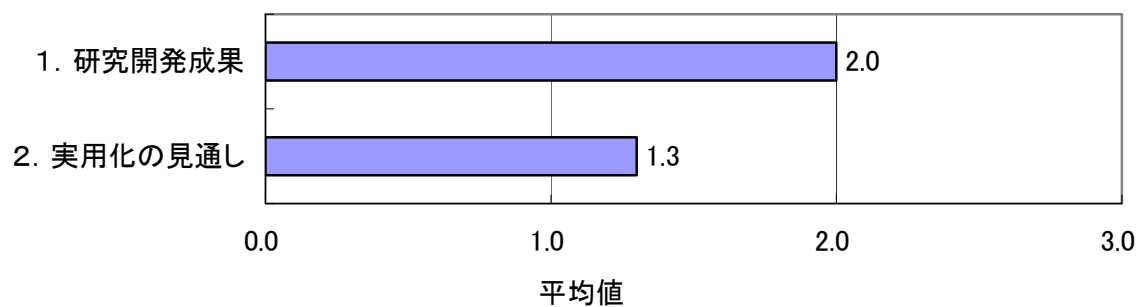
(1) 新構造 FinFET による SRAM 技術の研究開発



(2) 次世代相変化メモリ技術の研究開発

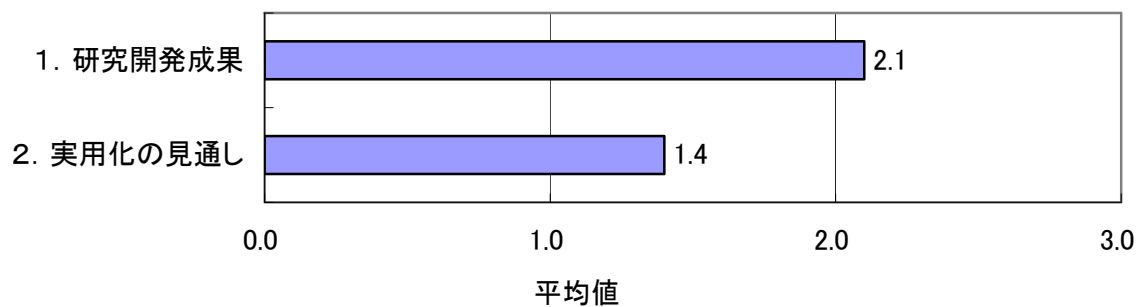


(3) ナノギャップ不揮発性メモリ技術の研究開発

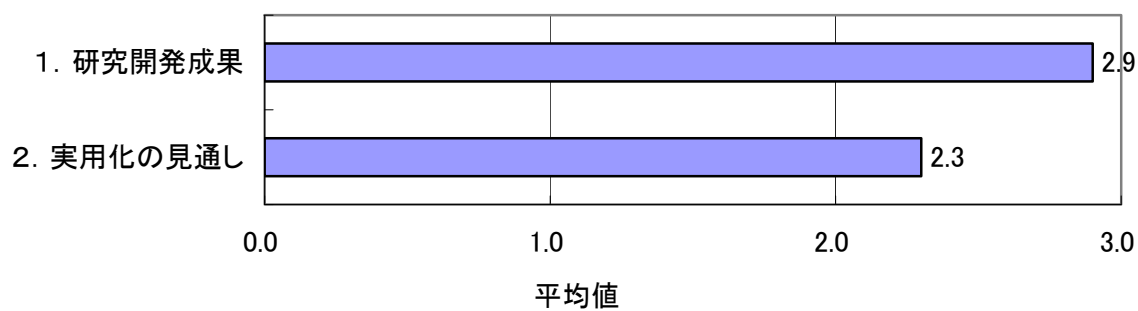


新材料技術

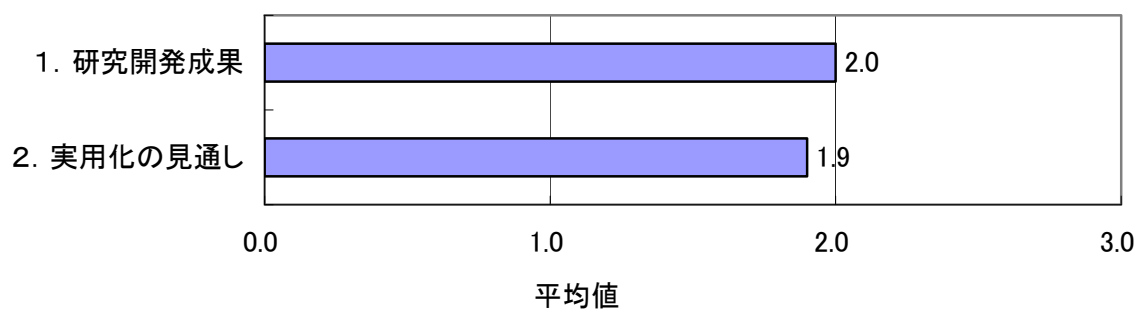
(1) カーボンナノチューブトランジスタ技術の研究開発



(2) シリコンプラットフォーム上III-V族半導体チャネルトランジスタ技術の研究開発



(3) シリコンウェハ中の原子空孔濃度定量評価技術の研究開発



シリコンナノワイヤ技術

個別テーマ名と評価項目	平均値	素点 (注)							
(1) シリコンナノワイヤトランジスタの知識統合研究開発									
1. 研究開発成果	2.9	A	A	A	A	A	A	A	B
2. 実用化の見通し	2.1	A	B	B	C	B	A	B	B
(2) ナノワイヤ FET の研究開発									
1. 研究開発成果	2.6	A	B	A	B	A	A	A	B
2. 実用化の見通し	2.1	A	B	A	B	B	B	B	C
(3) シリコンナノワイヤトランジスタの物性探究と集積化の研究開発									
1. 研究開発成果	2.7	A	B	A	A	A	A	A	B
2. 実用化の見通し	2.4	A	B	B	A	B	A	B	B

次世代メモリ技術

個別テーマ名と評価項目	平均値	素点 (注)							
(1) 新構造 FinFET による SRAM 技術の研究開発									
1. 研究開発成果	2.6	A	B	A	A	B	A	A	B
2. 実用化の見通し	2.7	A	A	A	A	A	A	A	C
(2) 次世代相変化メモリ技術の研究開発									
1. 研究開発成果	2.7	A	B	A	A	A	A	A	B
2. 実用化の見通し	2.4	A	B	A	A	B	A	A	C
(3) ナノギャップ不揮発性メモリ技術の研究開発									
1. 研究開発成果	2.0	B	B	C	B	B	B	B	A
2. 実用化の見通し	1.3	C	C	C	C	B	C	C	B

新材料技術

個別テーマ名と評価項目	平均値	素点 (注)							
(1) カーボンナノチューブトランジスタ技術の研究開発									
1. 研究開発成果	2.1	A	C	B	B	B	A	A	B
2. 実用化の見通し	1.4	B	D	B	B	C	B	C	C
(2) シリコンプラットフォーム上 III-V 族半導体チャネルトランジスタ技術の研究開発									
1. 研究開発成果	2.9	A	A	A	A	B	A	A	A
2. 実用化の見通し	2.3	A	B	B	A	B	B	B	B
(3) シリコンウェハ中の原子空孔濃度定量評価技術の研究開発									
1. 研究開発成果	2.0	B	B	B	C	A	B	B	B
2. 実用化の見通し	1.9	C	B	A	C	B	B	B	B

(注) A=3, B=2, C=1, D=0 として事務局が数値に換算し、平均値を算出。