

「立体構造新機能集積回路
(ドリームチップ)技術開発」
(中間評価)第1回分科会
資料 5-1

「立体構造新機能集積回路(ドリームチップ)技術開発」

事業原簿

【公開版】

担当部	独立行政法人 新エネルギー・産業技術総合開発機構 電子・材料・ナノテクノロジー部
-----	---

－ 目次 －

概要

プロジェクト用語集

I. 事業の位置付け・必要性について

1. NEDOの関与の必要性・制度への適合性	I-1
1.1 NEDOが関与することの意義	I-1
1.2 実施の効果(費用対効果)	I-2
2. 事業の背景・目的・位置づけ	I-3
2.1 事業の背景	I-3
2.2 事業の目的	I-4
2.3 事業の必要性と意義	I-5

II. 研究開発マネジメントについて

1. 事業の目標	II-1
2. 事業の計画内容	II-3
2.1 研究開発の内容	II-3
2.2 研究開発の実施体制	II-4
3. 情勢変化への対応	II-6
4. 中間評価結果への対応	II-6
5. 評価に関する事項	II-6

III. 研究開発成果について

1. 事業全体の成果	III-1
2. 研究開発項目毎の成果	III-2
1.2-①「多機能高密度三次元集積化技術」	III-2
1.2-②「複数周波数対応通信三次元デバイス技術」	III-42
1.2-③「三次元回路再構成可能デバイス技術」	III-71

IV. 実用化、事業化の見通しについて

別紙:

特許、論文等

プログラム基本計画

プロジェクト基本計画

技術戦略マップ

事前評価関連資料

概要

		作成日	平成22年7月26日				
プログラム名	ITイノベーションプログラム						
プロジェクト名	立体構造新機能集積回路(ドリムチップ)技術開発	プロジェクト番号	P08009				
担当推進部/担当者	電子・材料・ナノテクノロジー部/ 芦田純生 島津高行						
0. 事業の概要	<p>半導体チップの積層技術(三次元集積化技術)は、世界に先駆けてNEDOが取り組んできたもので、研究開発実績としては我が国に優位性がある。この三次元集積化技術の完成度を高め、さらなる産業競争力強化に寄与するために、新たな機能の発揮と飛躍的な性能向上を実現する立体構造新機能集積回路技術を確立することを目的とする。内容としては、以下の3項目に関する技術開発を実施する。</p> <p>①多機能高密度三次元集積化技術 ②複数周波数対応通信三次元デバイス技術 ③三次元回路再構成可能デバイス技術</p>						
I. 事業の位置付け・必要性について	<p>我が国半導体技術の発展は、様々な機器の高性能化、小型化、省電力化に貢献し、情報通信産業や製造業といった我が国経済を牽引する産業の競争力を強化するものである。この発展を支える半導体デバイスの製造技術として、従来のCMOS-LSI用プロセス技術を二次元的に微細化する取り組みに加え、半導体集積化としてチップの積層構造(三次元的な構造)を採用する取り組みが顕在化してきている。この技術は、世界に先駆けてNEDOが取り組んできたものであり、研究開発実績としては今のところ我が国に優位性がある。</p> <p>今後、各国との開発競争が熾烈化するなかで、現在の三次元集積化における我が国の技術優位性を維持し、産業競争力を強化するためには、先進的な技術開発でありながら、業界におけるデファクト標準化を視野に入れた取り組みを行う必要がある。先進的な技術開発を行うためには、我が国産業界の強い製造力と大学や公的研究機関の先端的な知見の有機的結合が有効であり、また将来のデファクト標準化を円滑に進めるには研究開発の早い段階から共通基盤技術として完成度を高めることが望ましい。このことから、本研究開発は、NEDOの事業として、強力に推進することが必要である。</p>						
II. 研究開発マネジメントについて							
事業の計画内容	事業の目標	<p>①多機能高密度三次元集積化技術 情報通信デバイスや信号処理デバイスの小型化、低消費電力化に必要な、Si貫通ビアを用いた三次元積層システムインパッケージ(3D-SiP)を実現するための設計技術および評価解析技術を開発する。</p> <p>②複数周波数対応通信三次元デバイス技術 微小可動構造(MEMS)を用いたMEMS回路、制御・電源回路が積層された複数周波数・複数通信方式に対応する三次元デバイスを開発する。</p> <p>③三次元回路再構成可能デバイス技術 三次元的な積層構造を利用した回路再構成可能デバイス(フィールドプログラマブルゲートアレイ(FPGA)、動的リコンフィギャラブルプロセッサ等)技術を開発する。</p>					
	主な実施項目	H20fy	H21fy	H22fy	H23fy	H24fy	
	①多機能高密度三次元集積化技術						
	(1)設計技術の研究開発	→					
	(2)評価解析技術の研究開発	→					
	(3)有効性実証	→					

	<p>②複数周波数対応通信三次元デバイス技術</p> <p>(1)可変RF MEMS デバイスの研究開発</p> <p>(2)通信フロントエンド回路の研究開発</p>							
	<p>③三次元回路再構成可能デバイス技術</p> <p>(1)三次元集積化技術の研究開発</p> <p>(2)アーキテクチャおよび設計技術の研究開発</p> <p>(3)素子技術の研究開発</p>							
開発予算 (百万円)	会計・勘定 (H22:補正予算分含む)	H20fy	H21fy	H22fy	H23fy	H23fy	総計	
	一般会計	1,086	2,228	1,652	—	—	4,966	
	特別会計	—	—	—	—	—	—	
	総予算額	1,086	2,228	1,652	—	—	4,966	
開発体制	経済産業省原課	商務情報政策局 情報通信機器課						
	プロジェクトリーダー	東京工業大学 教授 益 一哉						
	委託先	技術研究組合 超先端電子技術開発機構						
情勢変化への対応	本プロジェクトは、H19 年度に実施した先導研究の結果を踏まえて、基本計画検討委員会における検討内容に基づいて計画した。実施者を公募により選定して研究を委託し、推進中である。随時フィードバックを行い予算額の増減を行っている。							

<p>III. 研究開発成果について</p>	<p>①「多機能高密度三次元集積化技術」 本研究開発項目では、次世代三次元集積化の基盤技術構築のため、設計技術、評価解析技術等の研究開発に取り組んだ。そしてこれら基盤技術の検証を行うための実証デバイスの具体化と要素技術開発に取り組んだ。 設計技術については、SoC・SiP・ボード(PWB)を総合的に扱える統合化された電気系高速シミュレーションツールの開発を行い、市販ツールの1,000倍程度の高速化に目処が得られ、また、次世代三次元積層SiP実現のためのインターポーザの信号安定化技術(SI)・電源安定化技術(PI)も開発しつつある。 一方、評価解析技術については、300mmウェハでKGD(Known Good Die)の実現を目指した高速・多端子プロービング技術の研究開発目標も達成の目処を得た。その他、熱・積層接合技術、薄ウェハの研究開発は20W、10μピッチ、10,000接続、10μウェハ厚を目指した基盤技術を開発しつつある。 実証デバイスの具体化については、高速画像処理システムの開発とともに、超ワイドバスメモリ三次元積層SiPの実現を目指して要素技術開発が進んでいるが、試作費用が増大しウェハレベルの実証に、今後の課題を残している。</p> <p>②「複数周波数対応通信三次元デバイス技術」 先進的なRF MEMSデバイスを組み合わせた通信デバイスを作製して三次元集積化の有効性を実証すべく、RF MEMSデバイスと、その三次元集積化実装技術に取り組んだ。 RF MEMSデバイスについては、MEMSスイッチを用いた可変アンテナ、MEMSキャパシタを用いたインピーダンス回路の動作を検証し、MEMS可変フィルタの動作目標を達成した。また、可変フィルタモジュールの三次元実装をウェハレベルで完結させる低コスト化を目指す高周波回路実装技術を検討した。 一方、複数周波数対応通信フロントエンド回路MCMの研究開発と動作実証については、フロントエンド回路の制御部設計、インタフェース設計と製作を行い、周波数可変制御、送・受信制御を実証しつつあり、平成22年度末には目標を達成見込みである。</p> <p>③「三次元回路再構成可能デバイス技術」 完成後にデータを焼きこむことで個別の機能を持たせられるデバイスを三次元集積化の有効な実証モデルと考えて取り組み、再構成可能デバイスに適した集積化技術の研究開発、およびそのアーキテクチャ・設計技術の開発に取り組んだ。 集積化技術の研究開発では、基本レイアウトルール案を策定し、TEGの設計試作を行い、1mm²あたり1000ピン以上を実現する裏面ビアラスタ型シリコン貫通電極(TSV)プロセスを構築した。 アーキテクチャ・設計技術の研究開発では、三次元の特長を活かせる応用であるネットワーク分野およびロボット分野について、三次元回路再構成可能デバイスへの搭載機能を検討し、平成22年度中にハイブリッドアーキテクチャの設計を完了する見込みである。三次元FPGAおよびスケラブルリコンフィギュラブルIOプロセッサの4層積層において、消費電力あたりの性能が1.25倍以上となることが実証可能な見込みである。</p> <table border="1" data-bbox="536 1503 1402 1659"> <tr> <td>投稿論文</td> <td>2件</td> </tr> <tr> <td>学会発表</td> <td>67件</td> </tr> <tr> <td>その他</td> <td>プレス発表 1件、出版物 1件</td> </tr> <tr> <td>特許</td> <td>出願済: 27件(うち国際出願 2件)</td> </tr> </table>		投稿論文	2件	学会発表	67件	その他	プレス発表 1件、出版物 1件	特許	出願済: 27件(うち国際出願 2件)
投稿論文	2件									
学会発表	67件									
その他	プレス発表 1件、出版物 1件									
特許	出願済: 27件(うち国際出願 2件)									
<p>IV. 実用化・事業化の見通しについて</p>	<p>ほとんどの中間目標が達成済または達成見込みであり、一部は最終目標も達成し、参加企業にて事業化の見通しである。その他についても訴求力のある製品の開発につながる目標を設定して開発を推進中である。</p>									
<p>V. 評価に関する事項</p>	<p>事前評価</p>	<p>平成20年度実施(担当部:電子・情報技術開発部)</p>								
	<p>中間評価以降</p>	<p>平成22年度 中間評価実施予定</p>								
<p>VI. 基本計画に関する事項</p>	<p>作成時期</p>	<p>平成20年3月制定</p>								
	<p>変更履歴</p>	<p>平成20年7月 イノベーションプログラム基本計画の制定により改訂 平成21年3月 研究開発項目③目標設定のため改訂 平成22年7月 中間成果記載のため改訂</p>								

プロジェクト用語集

①-(1)次世代三次元集積化設計技術の研究開発

用語	説明
bps	Bit Per Second の略称。1 秒間に伝送されるデジタル信号の量で定義される数値で、この値が大きい信号ほど高速な信号とされる。
DC-DC コンバータ	電源回路の一種で、直流電圧を異なる直流電圧へ変換する。回路部品としてだけではなく、LSI 上にも分散的に配置・集積化し、LSI 内部の機能ブロックやそれらの動作状況に応じた柔軟な電源電圧の制御を可能としている。
EMC 評価	Electric Magnetic Compatibility 電子機器からの電磁波の発生具合を評価すること
FDTD 法	Finite Difference Time Domain 電磁気の基本方程式である、マクスウェル方程式を差分化し、時間領域で解く方法
Hz (ヘルツ)	周波数の単位。IC チップが 1 秒間に信号を送受信する回数を表す。現在一般的な IC チップでは、1Hz の信号は 2bps に相当する。
LIM	Latency Insertion Method 回路計算のアルゴリズムの一種
MIM	Metal Insulation Metal の略称。主に半導体チップにおいて、金属 (Metal) と金属 (Metal) が絶縁膜 (Insulator) を挟み込んだ構造になっているキャパシタのこと。
MOS FET	電界効果トランジスタ (FET) の一種で、Metal-Oxide-Semiconductor Field-Effect Transistor の略。LSI の中では最も一般的に使用されている構造。
SiP	System in Package の略称。SoC(System on Chip)に対応する言葉で、1パッケージ内に複数の IC チップが収納されてパッケージとしてシステムの機能を持つ半導体製品。
SSO	Simultaneous Switching Output の略称で、複数のデータ出力ピンが同時に動作する事を示す。この動作時には、出力ピンの数が増えると、この負荷を駆動する為に大電流が流れ、これが素子の電源ノイズや内部動作の不安定性を誘発する可能性があり、設計・評価上、重要な項目となっている。
VNA	Vector Network Analyzer (ベクトル・ネットワーク・アナライザ) の略。高周波回路網の通過・反射電力の周波数特性を測定する測定器。
アルゴリズム	計算の順番を決める考え方
インターポーザ	端子ピッチや配置が異なる LSI と配線基板との接続に用いられる中継用の配線基板。一般には、基材として有機材料 (樹脂) が主に使用されているが、シリコン (Si) を基材として微細配線形成や素子内蔵が可能な形態のインターポーザは Si インターポーザとよばれる。
エレクトロ・マイグレーション	電気が流れることにより、配線を形成している材質の粒子が影響を受けること
コンデンサ、キャパ	電力を蓄えることができる電子部品。二次電池は化学的に電力を蓄えるのに

シタ	対し、コンデンサは電力を電界の形で蓄える。
シグナル・インテグリティ (SI)	Signal Integrity (信号品質)。デジタル信号の正確な伝送に影響する信号の特性。例として、信号波形の歪み、タイミングのずれなど。
次世代 SiP	従来のダイボンド、ワイヤボンド法ではなく、シリコン貫通電極 (TSV) 等を利用して実現した SiP。
シミュレーションエンジン	技術計算を実施するソフトウェアのこと
シリアル(伝送)	二つの回路間で送受信されるデータを、1本の配線を使って伝送する方式。配線が高速信号に対応した設計であれば、少数の配線で大量のデータを伝送できるので、IC チップ・インターポーザ内の配線配置が容易になる。
線形エンジン	抵抗等の線形回路素子を計算するソフトウェア
線形部	抵抗等の線形素子を有する回路部
タイムステップ数	解析対象物の最小単位を解析する時間のこと
チップ部品	電子部品のうち、規格に基づいた寸法の直方体形状を持ち、表面に実装用の電極を備えたもの。
デカップリング・コンデンサ	電源回路に接続されるコンデンサ。IC チップが動作した際の電源電圧変動を抑制する役割がある。
ドライバ	ある回路の外部へ信号を出力する機能を持った回路要素。
薄膜素子	IC チップ製造で用いる薄膜形成技術を応用し、キャパシタや抵抗など通常の電子部品と同等の機能を持つ構造を作りこんだもの。
波形緩和法	複数の波形の中間を計算すること
パラレル(伝送)	二つの回路間で送受信されるデータを、複数の配線を使って伝送する方式。シリアル伝送に比べて低速な信号でも、大量のデータを伝送できることから、IC チップの回路設計が容易になる。
パワー・インテグリティ (PI)	Power Integrity (電源品質)。インターポーザを経由して IC チップに供給される電源の品質を指す用語で、電源の電圧の安定性が指標となる。電圧変動が小さい電源ほど、品質は良好である。
非線形エンジン	MOSトランジスタ等の非線形回路素子を計算するソフトウェア
非線形部	MOSトランジスタ等の非線形素子を有する回路部
表面実装	インターポーザに部品を実装する手法の一つ。インターポーザ表面に設けられた電極に部品を搭載し、はんだなどで接続する技術。
部品内蔵	インターポーザに部品を実装する手法の一つ。表面まで部品実装用の配線を引き出す代わりに、内部配線に部品を接続する。部品はインターポーザの内部に組み込まれ、表面からは視認・検査できない。
ブロック LIM	Block Latency Insertion Method 回路計算のアルゴリズムの一種
並列化計算	複数の演算器を同時に動かして計算すること
メッシュ	解析対象物を複数に分割する最小の大きさ

モジュール	所望の機能を得るため、複数の部品を組み合わせた構成単位。(例えば、インターポーザに IC チップ・コンデンサを実装した構造)
連成	異なるソフトウェアを情報を交換しながら同時に動かすこと

①-(2)次世代三次元集積化のための評価解析技術の研究開発

用語	説明
Arrhenius plot	温度に対する反応速度変化をプロットし、寿命予測を行う手法
ASIC	[英]Application Specific Integrated Circuit の略。電子部品の種別の 1 つで、特定の用途向けに複数機能の回路を 1 つにまとめた集積回路(IC)の総称をいう。
CAE	Computer Aided Engineering: コンピュータによって製品の設計、製造や工程設計の事前検討の支援を行うこと、またはそれを行うツール
CT	Computer Tomography: 様々な角度から撮像した(X線)像をコンピュータ処理することに依って断層画像を得る方法
DUT	[英]Device Under Test の略。テストの対象となる半導体チップを指す。
EDX	Energy dispersion X-ray analysis: エネルギー分散型 X 線分光器を用いた元素分析法。SEM で元素分析を行うのに適している
EG	Extrinsic Gettering の略。例えばウエハ裏面の薄厚加工時に残留するひずみ層は、上記同様ウエハ裏面からの不純物を捕らえる効果を持ち、表層のデバイス形成領域への不純物の拡散を防ぐ。
EM	Electro Migration: 金属に電流を流した際、原子が移動する現象
FEM	Finite Element Method: 有限要素法
H-WSS	Hard Wafer Support System の略。従来のテープ保持方式に対比して、ガラス保持方式を示し、薄くてたわみやすい厚さのウエハ加工では必須となる。
IG	Intrinsic Gettering の略。結晶内部の残留ひずみ層は、結晶裏面からの不純物を捕らえる効果を持ち、表層のデバイス形成領域への不純物の拡散を防ぐ。
IPG	In Process Gauge の略。接触式の厚さ測定システムの意味。
KGD	[英]Known Good Die の略。テストやバーンインなどの信頼性工程を経て、良品の半導体チップであることが確認され、品質保証されたベアチップ(ウエハから切り出された状態の半導体チップ)をいう。
NCG	Non-Contact Gauge の略。非触式の厚さ測定システムの意味。
SEM	Scanning electron microscope の略。走査型電子顕微鏡と呼ばれ、試料表面の形状観察に用いられる。
TC	Thermal Cycle: 被検物に温度変化のサイクルストレスを与え、環境加速耐久試験を行う方法。
TEG	Test element group の略。機能や性能検証を目的とした一連のテストパターン。
THB	Temperature Humidity Bias: 被検物を恒温恒湿で劣化加速試験を行う手法

TIM	Thermal Interface Material: 2つの物質間(たとえばシリコンチップと放熱器)に適用し、熱的に接続させる(熱伝導させる)ための材料。
TSV	TSV(Through silicon via)とも略す。シリコン基板に貫通電極を埋め込み、基板の表面と裏面をつなぐ配線として利用。
TTV	Total Thickness Variation の略。
アライメント	ウェハ上にある半導体チップの電極に対して、プローブと呼ばれる針やバンプ(金属の突起)をあてる時の位置合わせ、あるいはその操作をいう。 [英]alignment
ウェハ	半導体チップを製造する材料。半導体素材のシリコンなどで作られた円柱状の塊を薄くスライスした円盤状の基板。[英]wafer
ウェハテスト	ウェハ上に形成された半導体チップに対して、電気的検査を実施し、良品と不良品を識別するテスト。[英]wafer test
ウェハトレイ	ウェハを載せる浅い金属容器。 [英]wafer tray
温調	温度調節の略。
気化潜熱	蒸発に伴う蒸発熱(気化熱)をいう。物質が液体から気体に変化するとき起こる吸熱現象。
高熱伝導材	一般に銅・銀といった金属材料よりも熱を伝えやすい性質を持つ材料。
コネクタ	ケーブルを用いて電子機器どうしを接続するための電気部品で、特に複数の配線を同時に接続するものを指す [英]connector
真空微差圧方式	メンブレン方式プローブカードにおいて、微かな真空の圧力差を利用してプローブ電極を加圧する方式。
接触熱抵抗	固体どうしの接触面が完全に密着しないことによって生じる熱の伝わりにくさを表す値。鏡面処理された滑らかな固体面でも現実には凸凹な構造があるために完全に密着しない。単位:°C/W
大気圧加圧	大気の圧力を利用してウェハ全体に均一な荷重を加えること。
チャックテーブル	ウェハ研磨装置などで、ウェハを真空吸着して保持するステージ。
テストチップ	テスト機能回路を搭載した半導体チップ
テスト	半導体製造工程において製造欠陥が原因で不具合(故障)を起こしている半導体チップを良品と不良品に選別する作業。テストは出荷される半導体が正しく動作することを保証するための重要な工程。試験、検査とも呼ばれる。 [英]test
テストコスト	半導体チップの製造コストの中に占めるテストに必要なコストをいう。 [英]test cost
テストシステム	テストを行う装置。テストと呼ばれる。テスト対象となる半導体チップ設計時に作成したテストパターンを元に半導体チップへ入力し、半導体チップからの出力信号を期待値と比較する。[英]test system
テスト速度	テストを行う際、テスト対象となる半導体チップの動作速度条件。

伝送速度	一定時間内に送ることができるデジタル信号量をいう。1秒間に送ることができるデジタル信号量を bps (bit per second) という単位で表す。
バーンイン	半導体チップの初期不良を除去する選別手法の一つ。高温や高電圧を印加し、半導体チップを動作させた状態で良品と不良品をふるい分ける。[英] burn-in
パッケージ	半導体製品の外形を構成する部分。半導体チップを包む樹脂や金属、セラミックを指す。[英] package
バンパ	チップ上の金属突起状端子
ファイナルテスト	パッケージされた半導体チップに対して、電氣的検査を実施し、良品と不良品を識別する最終工程のテスト。[英] final test
歩留り	一般に 1 ウェハ当たりのチップ収量数に対しウェハテストで残った良品数の比率を表す。イールドとも呼ばれる。[英] yield
フリップチップ	基板にチップを実装し電氣的に接続する際、アレイ状に並んだバンパと呼ばれる突起状の端子によって接続する方法
プローブカード	ウェハ上にある半導体チップの電極に対して、プローブと呼ばれる針やバンパ(金属の突起)をあて、テストシステムによる電氣的検査を可能にするための治具。[英] probe card
プローブチップ	非接触通信用の信号送受信回路を搭載した半導体チップ
メンブレン方式プローブカード	メンブレン、[英] membrane は薄い膜という意味。プローブ用の電極を耐熱性の樹脂シート上に配列したプローブカード。
容量結合	2枚の金属板(電極)を近接させたときに生じる微小な静電容量を利用した結合。

①－(3)次世代三次元集積化設計技術及び次世代三次元集積化のための評価解析技術の有効性実証

用語	説明
100GB/sec	B はバイトで8ビットを1単位としたデータ量を示す。100GB/sec とは1秒間に1x10 ⁹ バイト(8x10 ⁹ ビット)の転送能力を示す。こうしたデータの転送能力を「バンド幅 Bandwidth」と呼ぶこともある。又「1秒あたり」を示す「/sec」を略して ps として 100Gbps(ひゃくぎがびーピーえす)と呼んだり記載したりすることが一般化している。
2k-IO	データの入出力端子が 2,048 本あることを示す
BCB(ベンゾシクロブテン)	ウェハ間封止樹脂の候補として検討中。
C2C	Chip to chip:チップ積層
CDS	Correlated Double Sampling(相間二重サンプリング)の略であり、ノイズキラーの働きをする方式である。CMOS 画像センサのフォトダイオードの光励起電荷を

	容量に取り込む際のスイッチオンでリセットノイズが乗る。短時間にもう一度取り込みを繰り返すと、2 度目はリセットノイズが乗らないことから、この差をキャンセルして信号としてカウントする方式である。短時間 2 重サンプリングのため、アンプの 1/f ノイズも低減される。
CVD 法	Chemical Vapor Deposition: 絶縁膜等を化学的に気相成長させる方法。特にプラズマを使った CVD 法は低温で成膜できるため、TSV の絶縁膜形成に使われる。
DFT	Design For Test の略号で試験性を考慮した設計手法のこと
VGA、QVGA	Video Graphic Array の略号で、1987 年、IBM は開発した画像表示仕様である。デジタル画像は画素子から構成され、VGA は横 640 ドット、縦 480 ドットの画素子から構成されている 16 色のカラー画像表示仕様である。発表当時は高精細であったが、現在は HDTV (High Definition TV) として高精細画像 (1920×1080) が一般化されている。QVGA (Quarter VGA) は VGA の 1/4 の画素子 (320×240) を表現することが一般であるが、Quad VGA として 4 倍の画素子を表現することもある。ここでは 1/4 を表現している。
Via First	デバイスを形成する前に TSV を形成する方法
Via Last/Back Via	デバイスを形成した後、ウエハ裏面から TSV を形成する方法
Via Last/Front Via	デバイスを形成した後、ウエハ表面から TSV を形成する方法
Via Middle	トランジスタを形成した後に TSV を形成する方法
W2W	Wafer to wafer: ウエハ積層
後樹脂法	W2W あるいは C2C で、ウエハ間 (チップ間) を封止する樹脂を積層後に形成する方法
インターフェースチップ (I/F)	一般にシステムの入出力をつかさどる回路で構成されたチップであるが、この場合は高速デジタル画像データが並列に I/F に落とし込まれるため、これを出来るだけ少ない本数にまとめて出力するパラレル/シリアル変換回路とデータのタイミングを制御する回路、タイミングを制御するためのデータの高速一次保存回路 (高速ラッチ)、十分な駆動能力を持つ高速出力ドライバ回路、電源制御回路などが含まれている。ここでは VGA 仕様、10,000fps の信号 24Gbps を十分処理できる高速大容量設計となっている。
AD コンバータ (ADC)	ピクセルからの増幅データはアナログ信号であるため、これをデジタル信号に変える回路である。通常は 8 ビットのデジタル信号にするが、ここでも同じ 8 ビットとした。デジタルに区切るため、抵抗ラダーか容量ラダーかの方式があるが、いずれにしても面積を取ることと、消費電力が大きくなる回路であり、高速化でますますこの傾向が増長される。3D 積層ではピクセル面積以内に押さえることが必要となり、10,000fps を実現するためのキー技術であったが、画像 10×10 ピクセルを一つの単位として AD 変換する回路方式にすること、ハイブリッドラダー方式にすることなど、多くの工夫で解決できる見通して、世界最高レベルの技

	術となった。
エポキシ	ウエハ間封止樹脂の候補として検討中。
コンカレント設計	Concurrent Design はシステム全体を同時に設計する手法を呼ぶ。複数の異種構成要素がお互いに関連することから、個別設計で最適にしても構成要素間で整合しない問題が生じる。特に異種回路の複数チップを積層して一つのモジュールとして機能を出すためには、接続の並列度(どのような信号関係にするのか)や接続電極の整合性はもちろんのこと、動作タイミングの整合、電力配分構成、放熱の配慮、機械的応力などのお互いに関連しあう項目を調整するには、常にお互いを知りながら同時に設計を行う必要があり、この言葉が生まれた。
先樹脂法	W2WあるいはC2Cで、ウエハ間(チップ間)を封止する樹脂を積層前に予め形成しておく方法
CMOS 画像センサ	CCD 画像センサに対して CMOS プロセスで出来る安価なセンサとしてデビューしたもので、感度が低く、フォトダイオードあたりのアンプ(増幅器)を付けているが、これに伴う多くの欠点があった。しかし、CMOS プロセスであることの利点(小面積で回路が作れる)を利用して、その欠点をカバーする補助回路を設けて性能向上が図られ、もともとの特徴、低消費電力、小面積ピクセル、単一電源、高速動作などの利点を生かして、現在では主流の画像センサとなっている。本研究では 10,000fps のための増感が必要なため、 $10 \times 10 \mu\text{m}$ ピクセルと比較的大きいサイズを考えている。
超ワイドバス	メモリとロジックをつなぐデータ線の本数が 2,048 本以上であること
バウンダリスキャン	多数のピンで素子を相互接続した際に、接続の完全性を確認するテスト機能の一つ。入出力端子に接続する回路にレジスタを追加し、これらを直列に接続(カスケード接続)することで内部回路を経由せずに端子の接続性を確認する試験機能。
ビット/秒(bps)	デジタル信号は 0 か 1 かで表現される 2 進数で、この一つの 0 か 1 の表現をビットと呼んでいる。1 秒間に何ビットのデジタル信号が伝送できたとか処理できたとかのデータ速度としての表現である。Mbps(百万ビット/秒)、Gbps(10 億ビット/秒)といった単位がよく用いられている。最近では高速信号伝送とか処理の速度は 10Gbps レベルである。ここでは VGA 仕様のセンサから来る画像アナログ信号を 8 ビットのデジタル信号に変換するため、10,000fps のデータ量は 24Gbps となる。
フレーム/秒(fps)	パネルに表示される画像の単位をフレームと呼び、一秒間に何フレームで構成されるかの性能表示である。フィルム映画は 32fps、TV は 30fps、高速度カメラの最先端は 2,000fps である。ここでの目標は 10,000fps と設定している。
並列プロセッサ	上記リコンフィギュラブルメモリの方式に整合する超並列プロセッサであり、初期的な区分間をまたがって画面中を移動するオブジェクトを対象に画像処理す

	る場合などメモリの区分間自由度に対応して並列区分間をダイナミックに移動しながら処理できる方式を検討している。
ボッシュ(Bosch)法	TSV の Si エッチングで、深い Via を垂直に加工するためのドライエッチング方法。エッチングとデポジションを交互に繰り返して加工する。ため、垂直形状は得られるが、スキヤロップと呼ばれる Via 側壁の荒れが発生する。
ポリイミド	半導体の保護膜として使われているが、ウエハ間封止樹脂の候補として検討中。
有機インターポーザ	一般に LSI パッケージという意味合いが強いものであるが、ここでは Si インターポーザを含む積層チップモジュールを受ける多層配線板である。高速信号と高速応答電源配線が含まれるため、十分な設計的工夫がなされている。
リコンフィギュラブルメモリ	リコンフィギュラブルメモリの意味はメモリのアドレス構造をニーズに合わせて自由に変更できるということである。上記、VGA 仕様 10,000fps の画像のキャッシュメモリとして利用するもので、3D として並列度の大きい画像データを並列度に区分されたマトに記憶するが、画像処理のためマト間にまたがるデータを利用したいとき、区分制限によるデータの遅れが出ることを避けるため、その区分をダイナミックに変更できる方式を持ったキャッシュメモリを考え検討している。

②-①複数周波数対応可変 RF MEMS デバイスの研究開発

用語	説明
HBT	Heterojunction Bipolar Transistor の略称。ヘテロ接合(異種の半導体接合)を利用したバイポーラ・トランジスタの素子構造の 1 つ。
MEMS	Micro Electro Mechanical System の略称。機械要素部品、センサー、アクチュエータ、電子回路を一つのシリコン基板、ガラス基板、有機材料などの上に集積化したデバイス。
pHEMT	pseudo High Electron Mobility Transistor の略称。異なった化合物半導体をヘテロ(異種金属)接合させ、高速化を図ったトランジスタの 1 つ。
RF	Radio Frequency の略称。無線周波数。高周波
インピーダンス	交流回路に電圧を加えたときの電流の流れにくさを示す量。

②-②複数周波数対応通信フロントエンド回路の研究開発

用語	説明
3G	3rd Generation の略称。第 3 世代の携帯電話方式の総称。基本的に CDMA 方式を採用し(一部は改良型の TDMA 方式を利用)、高速なデータ通信やマルチメディアを利用した各種のサービスなどが提供されている。
ADSL	Asymmetric Digital Subscriber Line の略称。電話線を使い高速なデータ通信を行なう技術。電話の音声を伝えるのには使わない高い周波数帯を使って通

	信を行なう技術で、一般の加入電話に使われている 1 対の電話線を使って通信する。
CDMA	Code Division Multiple Access の略称。携帯電話などの無線通信に使われる方式の一つ。「符号分割多重接続」とも訳される。複数の発信者の音声信号にそれぞれ異なる符号を乗算し、すべての音声信号を合成して 1 つの周波数を使って送る。受け手は自分と会話している相手の符号を合成信号に乗算することにより、相手の音声信号のみを取り出すことができる。
EVM	Error Vector Magnitude の略称。デジタル変調信号の品質尺度。
HSDPA	High Speed Downlink Packet Access の略称。NTTドコモなどが採用している第 3 世代(3G)携帯電話方式「W-CDMA」のデータ通信を高速化した規格。3G 方式の改良版であることから「3.5G」とも呼ばれ、従来の 5 倍以上の通信速度を実現する。
NF	Noise Figure の略称。入力側の S/N に対して、出力側の S/N がどれだけ劣化するかを示す。
S/N	信号量 (signal) と雑音量 (noise) の比。
S3G	携帯電話の高速なデータ通信仕様の一つで、NTT ドコモやソフトバンクモバイルなどが採用している「W-CDMA」の高速データ通信規格「HSDPA」をさらに進化させたもの。下り 100Mbps 以上/上り 50Mbps 以上の高速通信の実現を目指したもので「LTE」Long Term Evolution と呼ばれる。
W-CDMA	Wideband Code Division Multiple Access の略称。NTTドコモや Ericsson 社などが開発した第 3 世代携帯電話(3G)の通信方式。高速移動時 144kbps、歩行時 384kbps、静止時 2Mbps のデータ伝送能力があり、動画・音声によるリアルタイムの通信が可能。
WiMAX	Worldwide Interoperability for Microwave Access の略称。無線通信技術の規格のひとつであり、モバイル・パソコンなどのモバイル端末が、ADSL 並みの速度と料金でデータ通信できる技術として注目されている。
物理インターフェース	ソフトウェアドライバとコネクタから成り、コネクタには、USB ケーブルなどのネットワークメディアを接続する。
ベースバンド回路	変復調をする通信システムでは、変調前の信号および復調後の信号をベースバンド信号と言い、ベースバンド信号を扱う回路をベースバンド回路と言う。

③-①三次元回路再構成可能デバイスに関する三次元集積化技術の研究開発

用語	説明
CMP	Chemical mechanical polishing の略。半導体プロセスで一般的に使用されている平坦化プロセスの名称。
回路再構成可能デバイス	プログラミングにより回路機能を変更可能な半導体製品。

③ー(2)三次元回路再構成可能デバイスに関するアーキテクチャ及び設計技術の研究開発

用語	説明
CMOS	Complementary Metal Oxide Semiconductor の略称。狭義には MOSFET を相補形に配置した ゲート構造のこと。
FPGA	Field Programmable Gate Array の略称。利用者が独自の論理回路を書き込むことの出来るゲートアレイの一種。多数の LUT とスイッチ搭載し、これを組み合わせて回路を構成する。
LUT	Look Up Table の略称。入力ビット列をインデックスとして、出力すべき真理値を格納したメモリ。任意の真理値表に対応する組み合わせ回路を実現できる。
SoC	System on Chip の略称。1つの IC チップに複数の回路機能が集積されてシステムの機能を持つ半導体製品。
クロック	デジタル回路が動作する時に、複数の電子回路のタイミングを取る(同期を取る)ために使用される周期的な信号。
伝送スループット	単位時間あたりに送信されるデータのビット数
バス方式(TSV を使った三次元通信)	バス方式では積層されたすべての TSV が 1 本の導体として共有されており、かつ各チップの送信バッファと受信バッファがこの TSV に接続されている。あるチップから信号を伝送する場合、該当するチップの送信バッファが全積層チップの TSV を駆動する。その送信バッファからみた TSV 浮遊容量は積層チップ数に依存する。このため、負荷容量の増大に対する伝送レートへの影響は大きく、その反面 1 本の貫通導体を共有するため各チップ間の遅延時間には大きくは影響しない。
プロセッサ	プロセッサ (processor) は、コンピュータの中で、組込みソフトウェアを動作させるためのハードウェアであり、演算器、周辺回路、命令や情報を格納するメモリから構成される。
リコンフィギャラブルプロセッサ	再構成可能なプロセッサ。細粒度から粗粒度まで様々な粒度の再構成がある。
リピータ方式(TSV を使った三次元通信)	TSV と PAD 部を分離し、TSV と PAD の間にリピータ回路(実際はバッファ)を挿入する。TSV は各チップ層で分離される。各チップの送信バッファは隣接するチップへのみ信号を伝送し、その先のチップへはリピータ回路が送信する。送信バッファから見た TSV 浮遊容量は積層チップ数に依存せず常に 1 層チップ分となる。このため、負荷容量の増大に対する伝送レートへの影響は小さく、その反面リピータ回路を介するため積層チップ数が増えるとチップ間の遅延時間が増大する。

I. 事業の位置付け・必要性について

1. NEDOの関与の必要性・制度への適合性

1.1 NEDOが関与することの意義

我が国半導体技術の発展は、情報家電、コンピュータ、通信装置を始め、自動車、医療機器など様々な機器の高性能化、小型化、省電力化に貢献し、情報通信産業やその他の製造業など我が国経済を牽引する産業の競争力を強化するものである。従来、この発展を支える半導体デバイスの製造技術は、CMOS-LSI用プロセス技術を二次元的に微細化することにより追求されてきた。その一方、微細化進展により、その素子加工サイズが原子スケールに近付きつつある現状では、微細トランジスタのリーク電流や配線容量の増大にともなう消費電力の増大、微細化プロセスを開発するための研究開発投資、さらには製造設備投資の増大に代表される種々の課題が顕在化してきつつある。

これら課題に対して、低リーク電流を実現するトランジスタ構造の研究開発や、低誘電率の配線層間絶縁材料等の微細化推進を可能とするための技術開発が行われ、その成果は着実に実用化されてきている。その一方で、現状技術のトランジスタ、配線材料等を用いつつ、Si貫通ビアを活用した半導体デバイスの三次元集積化技術(立体構造化、あるいは積層化)を行うことによっても上記課題を克服することが可能である。また、この技術を他の技術分野との融合に利用し、CMOS半導体デバイスとCMOS以外のデバイスとの三次元集積化を行えば、従来CMOS半導体デバイスでは実現が難しかった多機能デバイスの実現が可能となり、従来にない革新的な性能を持つ種々のデバイス創出に波及する可能性を持つ。

このように、三次元集積化技術の構築によって、革新的な性能を期待できるデバイスを提供できる可能性が高い。このことから、平成20年に策定された経済産業省「ITイノベーションプログラム」の中で、あらゆる社会ニーズに情報技術が今後も迅速に対応し、夢の社会を創り上げるため、新しい方向の半導体技術として、立体構造という新たな概念を取り込み、多様な用途に応じた夢の新機能デバイス(ドリーム・チップ)を開発する、NEDO交付金の運用による実施が計画された。

NEDOは、その計画を受け、同プログラムの中で実施する他の半導体技術開発プロジェクトと同様に、基本計画を策定し、それに基づいて実施者を公募し、研究開発を推進することとした。

本技術開発の意義は以下となる。

第1に、Si貫通ビアを活用した半導体デバイスの三次元集積化技術(立体構造化、あるいは積層化)は、半導体分野においては、二次元的な微細化技術と共に半導体デバイスの更なる高性能化を実現するものである。さらに、半導体デバイス分野に限らず、他の技術分野とも融合する領域においても、革新的技術あるいは革新的機能デバイスを生み出しうるものである。

第2に、三次元集積化構造とすることにより、配線長の短縮が期待でき、寄生容量に起因する消費電力増大を低減できる。すなわち低消費電力化を実現する有力な技術であり、情報通信分野への応用を考えると、機器の小型、低消費電力化、さらにそれらによる普及促進という効果が期待される。

本技術開発に対して、NEDOが関与することの意義をまとめると以下となる。

第1に、本プロジェクトの研究開発は、その成果によりわが国半導体産業の成長という大きな効

果が見込める一方で、多額の資金投入を要し、個別の企業ですべてをまかなうことに困難性がある。

第2に、三次元集積化技術で積層されるデバイスを実現するには、川上から川下まで、すなわち設計ツール開発・材料開発・製造技術・検査技術・分析機器開発・応用製品開発等、様々な技術分野で開発されたものが必要となる。産業界における製品開発の効率性をあげるためには、それらデバイス間の接続方法等が事実上業界で標準化されることが望ましく、単独の企業主導で推進するよりも、NEDO主導のもと前記したような各種技術分野の有力企業の英知を結集して実施することで、その目的を達成しやすいものとするのが可能である。また、世界に先駆けて業界標準となる技術を開発できれば、広く日本の産業技術の競争力を高めることに繋がるものである。

また有力各企業の英知を結集して密接な情報交流の場を提供し、その連携を推進することも有益と予想でき、それにより、容易に想到できない製品形態への展開が触発される期待も持ち得る。

またさらに、各国が三次元集積化回路開発に関してわが国を猛迫する中、本プロジェクトが仮に実施されなかったものと仮定すると、各企業における研究開発レベルの維持が困難となり、三次元集積回路へのマーケットニーズが顕在化した暁に、速やかにニーズに応えることが出来ず、わが国の半導体産業が事業機会を逸する可能性が高い。これは、きわめて危険が大きいと言える。

上記により、本技術開発はNEDOが関与すべきものであり、また政策のひとつである「ITイノベーションプログラム」において実施すべき内容である。

1.2 実施の効果(費用対効果)

(1) 新市場創出効果

本研究開発の新市場創出効果は、大きく分けて既存半導体市場での置き換えおよび他の技術分野との融合領域における、革新的機能デバイス市場が考え得る。

まず、既存半導体市場での置き換え可能性を、公表データを基に見積もる。2010年6月に公開されたWSTS春季半導体市場予測によると、2009年の半導体IC世界市場は全体で19億ドルであり、¥100/\$で換算すると、約19兆円となる。このうち、MOSメモリ、MOSプロセッサ、アナログICがそれぞれ4.5兆円、4.8兆円、3.2兆円であり、三次元集積化技術によりこれらIC分野で市場競争力のある製品開発ができれば、最大で12.5兆円ほどの置き換え市場を期待できる。なお、半導体IC市場はこの先も引き続き成長市場として考えられており、市場規模はさらに拡大が期待される。

一方、技術分野との融合領域における革新的機能デバイスの市場については、全く新たな市場であり、その規模予測は困難である。現在、想定される融合領域としては、イメージセンサなどの光学デバイスと半導体論理回路を組み合わせた分野、MEMSデバイスとCMOS半導体デバイスを組み合わせた分野などが考えられ、波及効果は非常に大きいものと期待される。

本事業の事業規模を表1に示す。平成20年度の発足から平成22年度の予算額までの合算は49億6千万円と大規模なプロジェクトになっている。しかしながら、前記した大きな市場インパクトとわが国の基幹産業である半導体産業の競争力維持強化の目的には妥当な規模であると

考える。

表1 本「ドリームチップ」プロジェクトの事業規模年度推移。平成20年度および21年度は実績額、22年度は予算額。単位:百万円。

H20 年度	H21 年度	H21 年度 (補正予算)	H22 年度	合計
1,086	1,728	500	1,652	4,966

2. 事業の背景・目的・位置づけ

2.1 事業の背景

(1) 産業的基盤

先に、我が国半導体技術の発展を支える半導体デバイスの製造技術として、CMOS-LSI 用プロセス技術を二次元的に微細化する技術開発が進められてきたものの、その進化に伴い、種々の課題が顕在化してきたことを述べた。また本研究開発における三次元集積化技術はその解決策の位置付けにあるとした。ここでは、より詳細に二次元的な微細化技術で顕在化してきた課題を列記し、それに対する三次元集積化技術の利点を示す。

二次元的な微細化技術の課題は以下にまとめられる。

- ・ 配線容量の増大と信号クロック周波数の高周波化による消費電力の増加
- ・ 配線抵抗と、配線容量の増大による信号伝搬遅延増大
- ・ 微細トランジスタのリーク電流増加による消費電力増加
- ・ 製造レベルでのばらつき制御や歩留まり対策の高度化
- ・ 特性ばらつき増大による設計困難度の増加と設計期間の長期化
- ・ 微細化を実現するための研究開発投資、設備投資の増大

三次元集積化の利点の一つは、チップを積層することにより、二次元的構成において平面的に配置していた配線を、対抗するチップ間の配線に置き換えることができ、その距離を短縮できる点である。またそのチップ間の配線本数は、二次元的配置に比べ桁違いに多く設計することが可能になる点である。これにより、配線容量を低減できると共に、同容量の信号伝送量を確保するために必要な信号クロック数を低減することが可能となり、消費電力の増加を抑えられる。また、配線容量の低減は信号伝搬遅延の増大を低減し、これにより特に信号伝搬遅延を補償するために求められた、トランジスタ高速性に対する要求が低減される。すなわちリーク電流が大きな高速トランジスタを使用しなくてはならない条件が緩和され、回路全体としては低消費電力化に繋がる。さらにトランジスタ特性に対する要求が緩められると、その製造段階の特性ばらつき低減や歩留まりに向上につながり、設計困難度を緩和することになる。

また別の観点から、三次元集積化技術は、既存の開発済みのチップ、あるいはデバイスを組み合わせる事が可能な技術であり、既に確立された設計資産を有効活用することができる。これにより、新たなプロセス開発の研究開発投資や、設備投資を低減することができ、産業の開発効

率を改善する直接的な効果を生む技術である。また設計資産を有効に活用することで、製品設計期間の短縮も期待される効果である。

(2) 技術的基盤

前述のように、三次元集積化技術は半導体素子の高性能化に効果があり、海外各国においてもその重要性が認識され、各極でその開発への取り組みを開始しているところである。

三次元集積化技術に関しては、世界に先駆けてNEDOが取り組んだ高密度三次元積層技術(超高密度電子SI技術プロジェクト(平成11~15年度)におけるポリSi貫通ビアによる三次元チップ積層技術開発、積層メモリチップ技術開発(平成16~18年度)における積層DRAM技術開発)の成果があり、研究開発実績としては今のところ我が国に優位性がある。最近、わが国を急迫する各国の動きは前述のNEDOプロジェクト成果を考慮したものである可能性がある。これらの状況を時間軸に対してまとめたものが図1である。

各国の開発活動の活発化に照らして、今後、三次元集積化技術を軸とした開発競争は熾烈化するものと考えられ、この状況を放置すれば三次元化に関する技術開発の競争力を失いかねない。このことから、三次元集積化技術を軸とした立体半導体開発分野での産業競争力を維持し、さらに他に先駆けて革新的機能デバイスを生み出す技術開発を行う必要性が理解される。

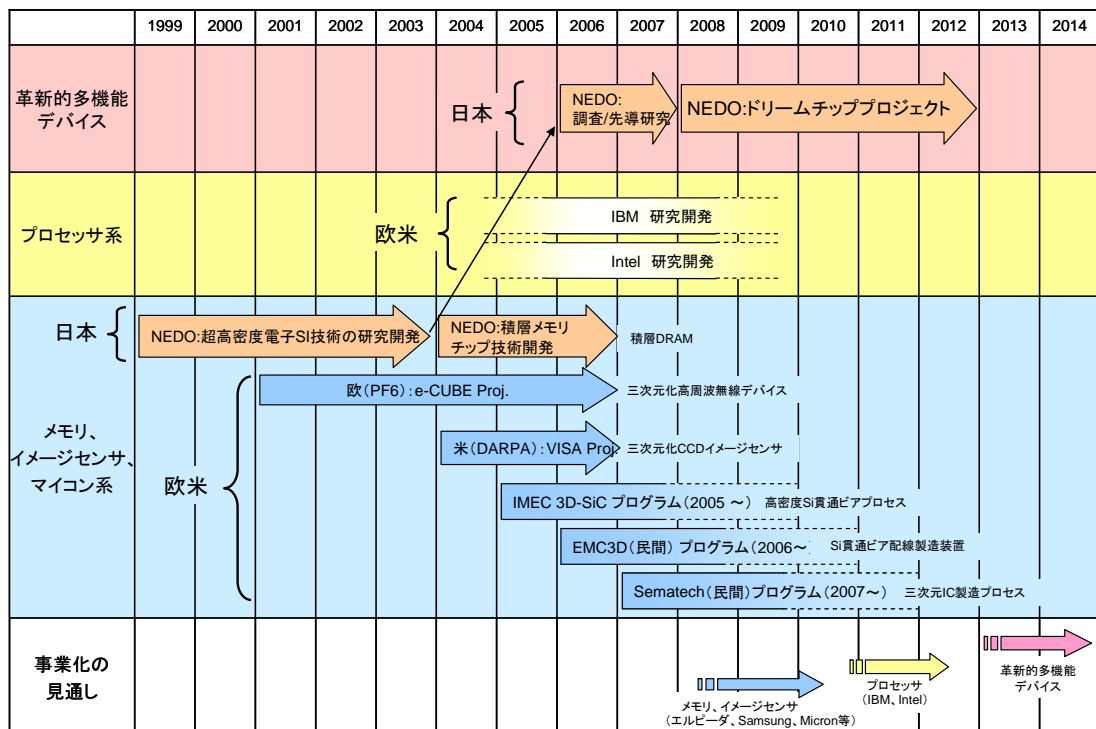


図1 三次元集積化技術に関する研究開発プログラム

2.2 事業の目的

NEDOで実施してきた過去の技術開発プロジェクトにおいて、ポリSi貫通ビア技術や、それを

用いた半導体メモリ積層の大容量化(同種チップの多層化)技術を確立した。それら技術は主として製造技術に関わるものであり、その成果の展開は既に各企業の競争領域となりつつある。本技術開発ではそれら技術の先進度および完成度をさらに高め、半導体素子と他の機能デバイスとの三次元集積化が可能な技術へと高めることを主たる目的とする。

三次元集積化技術を広く展開する上で課題となるのは、今までにない三次元構造という状態での回路解析・設計技術、さらに回路設計を最適化する技術である。また三次元的構造の内部で発生する熱を効率よく伝達、放熱する技術も重要である。さらに三次元積層時の製造歩留まりに直結する、各チップの機能検査を効率よく行う検査技術も必要である。これらのことから、研究開発項目の一つとして、立体構造(三次元集積化構造)における回路設計技術、熱設計技術などの設計技術、チップテスト、欠陥評価など評価技術を中心とした三次元集積化技術の開発を目的とする。また立体構造を適用したデバイスの効果を実際に示すためのデバイス開発として、MEMS デバイスと CMOS 回路との三次元集積化を含む周波数特性可変の高周波デバイス、それらを用いた複数周波数対応通信システム開発の実証を目的とする。さらに先進的な取り組みとして、三次元集積化構造を活かし、画期的な性能向上を実現する回路再構成可能デバイスの開発も目的とする。

図2に三次元集積化における技術の先進化、完成度の向上の概念を示す。なお、立体構造による MEMS デバイス及び回路再構成可能デバイスは、図において完成度を高めた技術により実現されるデバイス応用の一つとして位置づけられるものである。

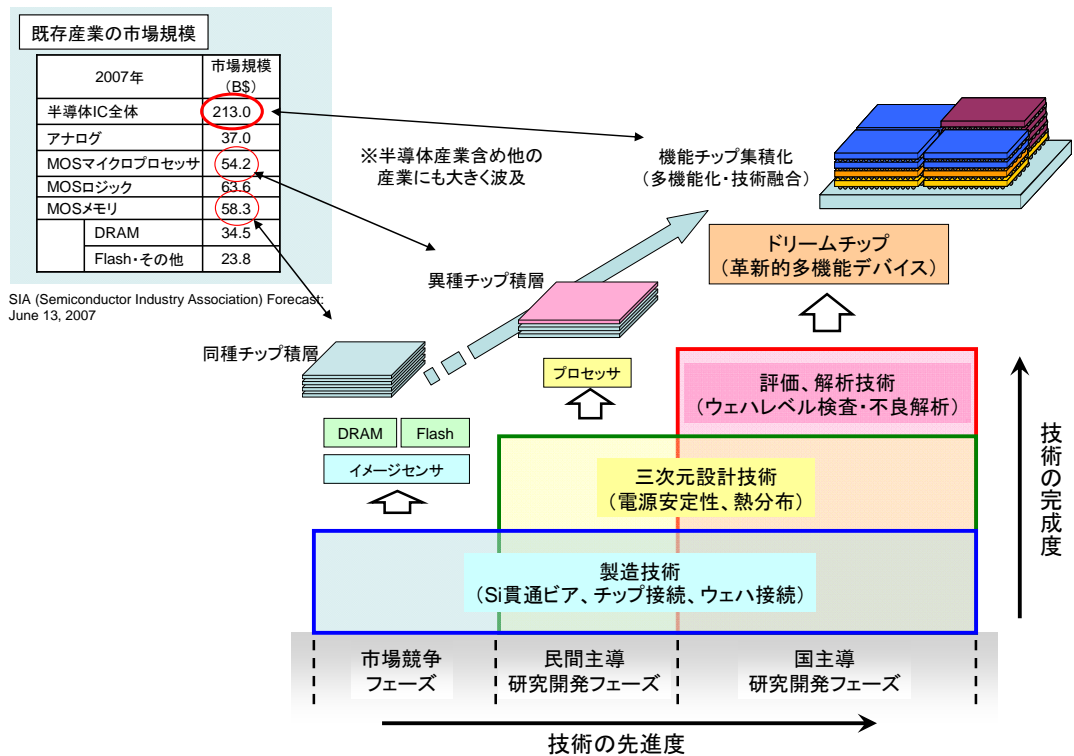


図2 多機能高密度三次元集積化技術の目的と既存市場での応用分野

2.3 事業の必要性と意義

我が国が他に先駆けて取り組んだ、三次元集積化技術の完成度を高め、立体構造という新しい概念のデバイス設計、解析技術を開発することで、半導体デバイスとの集積化が困難であったデバイスと、半導体デバイスとの集積化が可能となる。これにより、例えば中期的には複数周波数対応通信三次元デバイスや三次元回路再構成可能デバイス等に代表される小型、高機能デバイスが開発され、IT 社会における様々な情報通信機器の小型化、高機能化に寄与する。また長期的には、様々な技術の融合による新たな機能デバイスを創出する環境が構築され、新規事業分野を継続的に展開し続けうる、持続的技術革新が可能な社会環境が整う。これにより、この技術に関する優位性を維持しつつ、革新的デバイスを創出することで、産業競争力の向上に寄与するものである。

2.4 事業の指針

本研究開発は、これまでの同一機能のメモリの積層による高集積化とは異なり、異機能を持つチップの積層技術、デジタル・アナログ回路や微小可動機構の積層技術、さらには三次元的に積層したチップに対し後からプログラムを書き換えて機能を発揮させる技術など、これまでにない三次元化技術により、新たな機能の発揮と飛躍的な性能向上を実現する立体構造新機能集積回路技術を確立することを目的とする。具体的には以下の3つの研究開発項目を行う。

①多機能高密度三次元集積化技術

半導体デバイスである各種メモリ、ロジック回路などと、半導体以外のデバイスとを立体的に集積化する際に必要な設計、評価技術を開発する。これにより引き続きシリコン半導体デバイスの高性能化を推進すると共に、半導体デバイスと異なる技術分野のデバイスを集積化する手段を確立し、革新的なデバイス創出可能な開発環境の構築を目指す。

②複数周波数対応通信三次元デバイス技術

シリコン半導体デバイスと、微小可動構造(MEMS)による通信デバイスを三次元集積化し、放送、携帯電話、無線LANなどの複数の電波帯域で利用可能な通信デバイスを開発する。これにより、多くの周波数帯に対応した、いつでもどこでもつながる通信端末を実現する。

③三次元回路再構成可能デバイス技術

リコンフィギュラブル半導体(※)が本質的に抱える問題点(動作速度、チップサイズ、消費電力など)を、立体構造を導入することで大幅に改善する技術開発を行う。これにより従来のリコンフィギュラブル半導体では対応できなかった分野(モバイル製品等)においても、不具合や故障などの修復に柔軟に対応できるという利点を持った小型、低消費電力のリコンフィギュラブル半導体を実現する。これにより高度な情報通信機器の高信頼化に資することになる。

(※)リコンフィギュラブル半導体(プログラム可能論理素子):製造した後にソフトウェアプログラムで機能を複数回変更することのできる半導体デバイス。

これらの関係を図3に示す。まず①は、主に三次元集積回路基盤技術開発を目的とし、一部、本構造の有効性を示すための実証デバイスの開発を含める。次に②および③は主に、立体構造を生かした適用製品の例として、本構造の有効性を示すための実証デバイスとして開発を実施するものである。産業育成を目的とした場合、基盤技術の開発のみを行うのでは片手落ちであり、ど

のように役立つかを実証することにより、市場も同時に開拓していく、あるいは潜在ニーズを掘り起こす起爆剤を提供する努力が同時に必要と考えられるためである。これらの実証デバイスの開発の中では、メインに①の中で行う共通基盤的技術開発のほかに、各実証デバイス個々に深く関係した個別基盤技術があるため、その開発も同時に進めることとした。

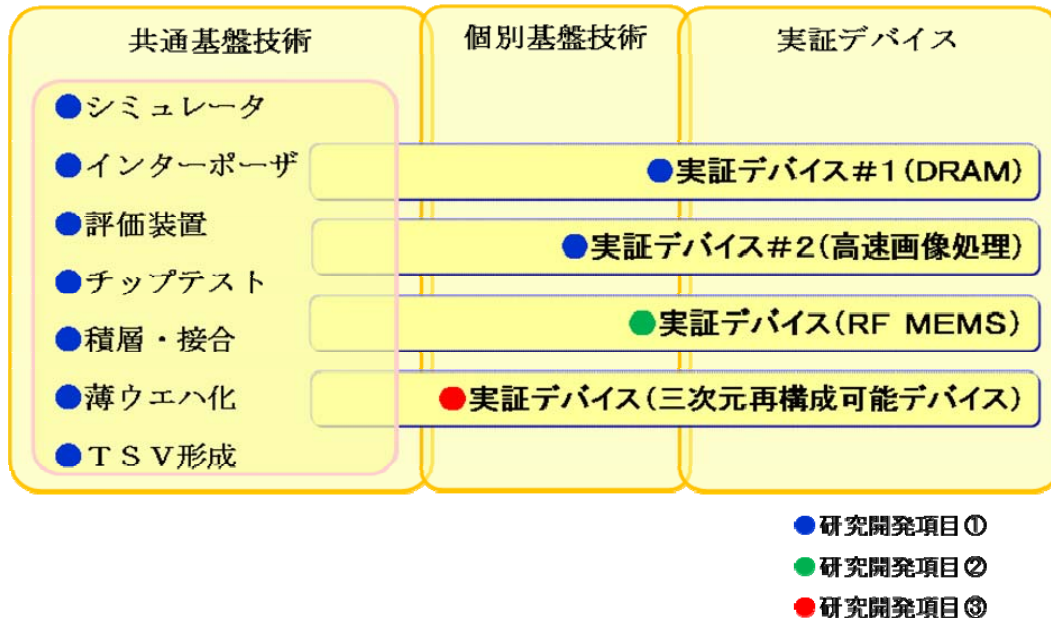


図3 各研究開発項目の関係

II. 研究開発マネジメントについて

1. 事業の目標

以下に各研究開発項目の平成22年度末における中間目標、ならびに平成24年度末における最終目標を記載する。まず、各研究開発項目の平成22年度末中間目標および平成24年度末最終目標を列記する。各研究開発項目は、さらに細分化された個別技術課題を設定しており、それらの個別技術課題毎に目標設定を行い、成果管理を行っている。それらの細目は、煩雑を避けるため本章では触れず、「III. 研究開発成果について」の章において、目標と成果を対比して示すこととしたい。

前節で述べたように、本プロジェクトの内容は、大別して基盤技術と、その応用可能性を示すための実証デバイス、そして個別デバイスに深く関係した個別基盤技術に三分して考えている。

第一に、基盤技術としては、まず、三次元化に伴い膨大になる設計工数を現実的な時間内で実施可能なものとするためのシミュレータ技術を開発する。また、三次元積層する際に、良品チップのみを選別して積層する、または良品率の高いウエハを選別して積層しないと、不良品を大量に製造することになる恐れがあるが、それを避けるため、良品を選別するためのテスト技術が不可欠である。テスト技術の内容としてインターポーザ、また評価装置、それらを用いたチップテスト技術を開発する必要がある。また、TSV形成技術、積層技術についても、さらなる開発が必要である。

第二に、実証デバイスは特定のアプリケーションを念頭に、固有の技術を盛り込んで設計・製造することになる。実証デバイスには、現時点で以下の4つの開発課題を実施中である。一つ目は、基本計画に掲げた三つの研究開発項目のうちの研究開発項目①の中で実施することとした「実証デバイス#1」であり、ロジックとメモリを融合した超ワイドバスメモリ素子である。二つ目は、イメージセンサをロジックに積層することで、高速画像処理を可能とするデバイスである。三つ目は、研究開発項目②の中で検討することとした「複数周波数対応通信三次元デバイス技術」である。最後に、四つ目は研究開発項目③の中で検討することとした「三次元回路再構成可能デバイス技術」である。

第三に、実証デバイスそれぞれに関わる個別な基盤的技術としては、複数周波数対応通信三次元デバイス技術の中におけるRF MEMSデバイス開発や、三次元回路再構成可能デバイス技術開発におけるデバイスプロセスのフロー検討がある。

以下、これらの各研究開発項目について、設定目標の概要を説明する。

1.1 研究開発項目①「多機能高密度三次元集積化技術」

本技術開発においては、情報通信デバイスや信号処理デバイスの小型化、低消費電力化に必要な、Si貫通ビアを用いた三次元積層システムインパッケージ(SiP)を実現するための設計技術および評価解析技術の確立を目標とする。

中間目標として、平成22年度末までに以下の目標を達成する。

- ・ 三次元積層SiPの設計に必要な高速シミュレーションエンジンを開発する。
- ・ ウエハ状態で半導体素子の機能検査を行う評価解析技術を確立する。

また、最終目標として、平成 24 年末までに以下の目標を達成する。

実用的なアプリケーション仕様に準ずる、Si 貫通ビアを用いた三次元積層 SiP を試作し、機能を検証することで、多機能高密度三次元集積化技術として開発した設計技術と評価解析技術の有効性を実証する。

これらの目標の設定理由を図4を用いて説明する。図の縦軸は技術の集積度・完成度を示し、上に行くほど総合的な技術を複合して開発しており製品化への距離が近いことを示す。図の横軸は積層したウエハを貫くTSVのピッチを示し、右に行くほど微細なピッチで結合しており技術的な困難度が高い。図中の赤丸で示した部分が本プロジェクトで狙う目標であり、TSVピッチも世界最高レベルであり、かつ技術的にも設計から製造まですべてをそろえ、事業化に向けて準備を完了させる目論見である。

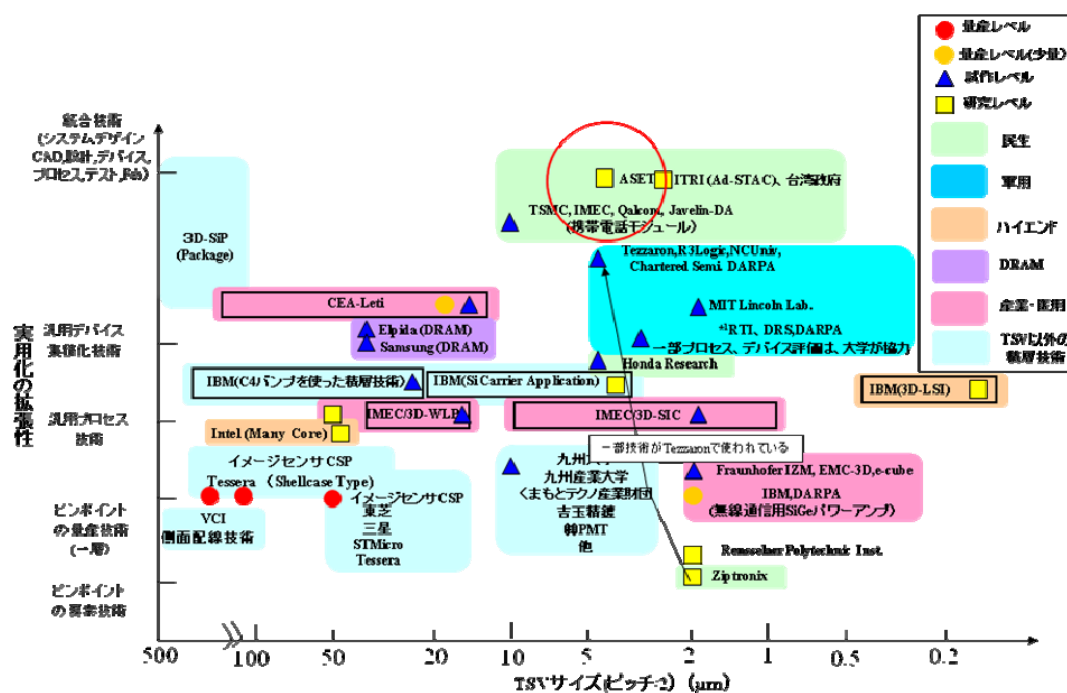


図4. 研究開発項目①に関わる、目標設定に関するベンチマーク図

1.2 研究開発項目②「複数周波数対応通信三次元デバイス技術」

本技術開発においては、微小可動構造(MEMS)を用いたMEMS回路、制御・電源回路が積層された複数周波数・複数通信方式に対応する三次元デバイスを開発する。最終的には、ボード基板上に並べられたRF通信デバイスを小型化しSiPとすることが可能な技術を確認する。

中間目標として、平成 22 年度末までに以下の目標を達成する。

MEMS デバイス(キャパシタ、スイッチ等)を組み合わせた RF MEMS デバイス(可変アンテナ、可変インピーダンス回路、可変フィルタ)を開発する。また、RF MEMS 回路、制御・電源回路を三次元集積化し、機能を実証する。さらに、それらを組み合わせ、複数の周波数帯域で通信可能なマルチチップモジュール(MCM)を作成しその動作を実証する。

また、最終目標として、平成 24 年末までに以下の目標を達成する。

MEMS 回路、制御・電源回路が積層された複数周波数・複数通信方式に対応する三次元デバイスとして、700MHz～6GHz の周波数帯域で周波数特性可変の MCM を開発し、通信方式ごとの個別回路を MCM 構成にて実装した場合に比較し、実装面積で 1/8 に小型化可能なことを実証する。

1.3 研究開発項目③「三次元回路再構成可能デバイス技術」

本技術開発においては、三次元的な積層構造を利用した回路再構成可能デバイス(フィールドプログラマブルゲートアレイ(FPGA)、動的リコンフィギュラブルプロセッサ等)技術を開発する。

平成 20 年度は、三次元積層を含むデバイス作製プロセスのフロー骨子を決定する。また、三次元配線密度等の具体的な基本仕様の策定を行うとともに、その仕様に基づき、三次元アーキテクチャの基本構造の決定と、それにより実現する目標性能及び機能を確定する。

中間目標として、平成 22 年度末までに以下の目標を達成する。

三次元回路再構成可能デバイスに関するアーキテクチャと、それを実証する三次元集積化技術の基盤技術を開発する。

また、最終目標として、平成 24 年末までに以下の目標を達成する。

三次元回路再構成可能デバイスのアーキテクチャを実証する。さらに三次元回路再構成可能デバイスのプロセスフローを実証する。

なお、これらの目標は、先述のように、随時見直しを行っており、上記した目標は平成21年3月に見直しの結果改訂した、平成22年7月26日現在、最新のものである。

2. 事業の計画内容

2.1 研究開発の内容

(1) 概要

本プロジェクトは、経済産業省「IT イノベーションプログラム」の一環として実施し、これまでの同一機能のメモリの積層による高集積化とは異なり、異機能を持つチップの積層技術、デジタル・アナログ回路や微小可動機構の積層技術、さらには三次元的に積層したチップに対し後からプログラムを書き換えて機能を発揮させる技術など、これまでにない三次元化技術により、新たな機能の発揮と飛躍的な性能向上を実現する立体構造新機能集積回路技術を確立することを目的とする。

(2) 事業全体のスケジュール及び年度別予算

本プロジェクトは多額の資金を投入する国家プロジェクトであり、予算の執行は注意深く行う必要があることをNEDOは強く認識している。予算執行について注意すべき点は以下の通りである。

- 1) 基盤技術であっても、必須な技術開発項目には予算を投じる。
- 2) 事業化間近なフェーズである場合は、助成への切り替え、ないし企業独自の製品開発への移行を推進する。
- 3) 企業間の連携により、相乗効果が見込めるテーマを重視し、重点的に予算を配分する。

2.2 研究開発の実施体制

NEDOにおいては、研究開発効率上、最適なフォーメーションを組むことにより、研究投資額に対するパフォーマンスの最大化を強く意識している。このため、基本計画検討委員会を組織して外部有識者の意見を取り込み、基本計画を策定した。また、その結果を踏まえてNEDO外部ウェブページに「基本計画」「事前評価書」「資料」(巻末添付資料参照)を公開し、パブリックコメントを募集し、その内容(同じく巻末に添付)を適切に計画に反映した。なおこの一連のプロセスをNEDOポストと呼んでいる。

引き続き公募を行い実施者を広く募った。外部有識者及びNEDOメンバーからなる採択審査委員会を組織し、応募者の中から、競争の上で研究推進能力、成果の事業化への見通し、など多岐にわたる比較項目を検討し、実施者を選定した。

同時に、効率を意識した研究開発項目の組み換えなどに指導力を発揮することを期待し、プロジェクトリーダーを委嘱した。図5に、本プロジェクト発足時の実施者フォーメーションを示す。プロジェクトリーダーは東京工業大学教授 益一哉氏に委嘱した。本プロジェクトの特徴として、当初より産官学連携を強く意識し、主たる実施者である技術研究組合 超先端電子技術開発機構から、共同実施先として国内の有力大学研究機関、および独立行政法人 産業技術総合研究所との連携開発を推進してきた。

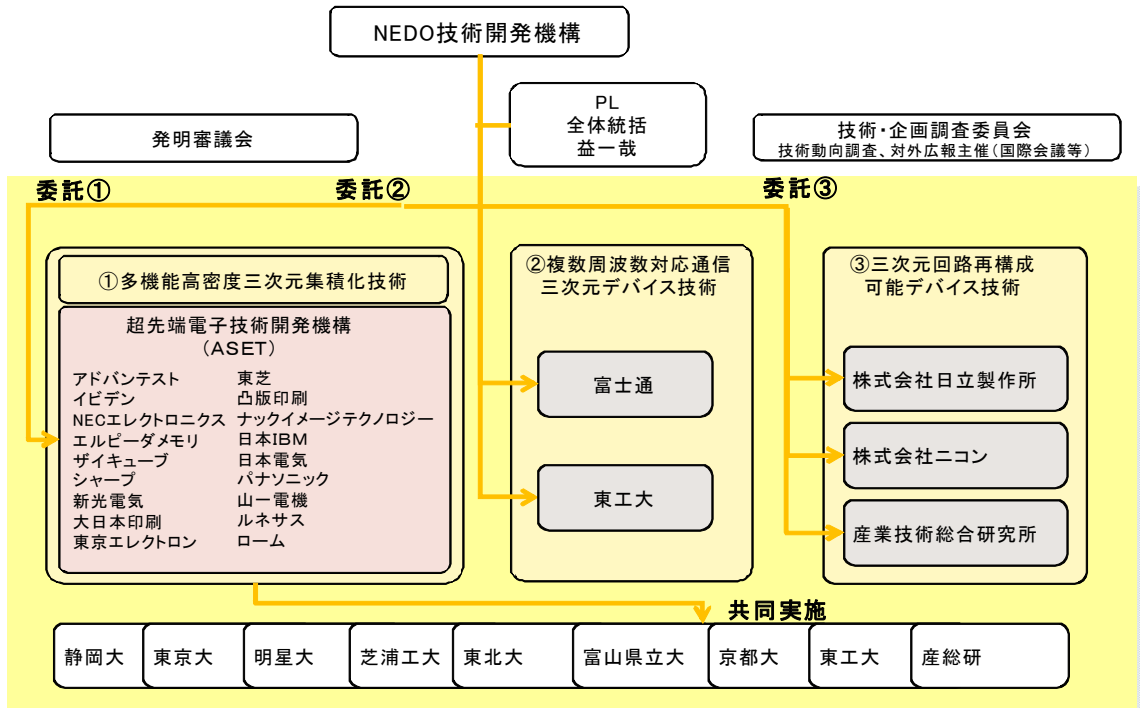


図5 本ドリームチッププロジェクト発足時の実施者

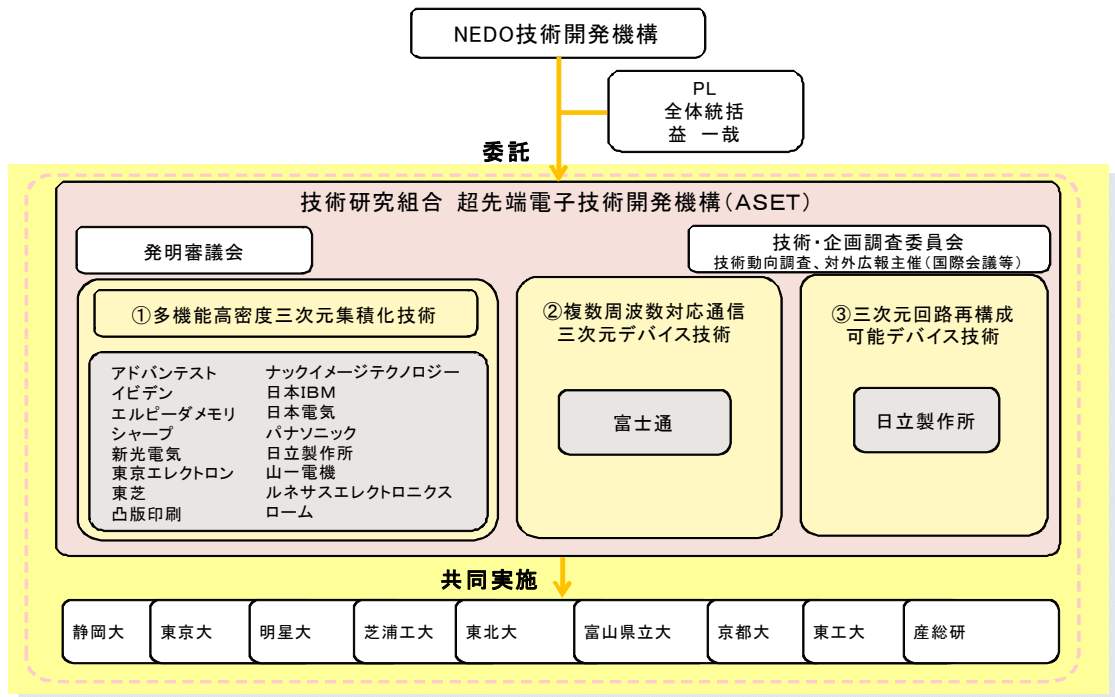


図6 H22年度初におけるドリームチッププロジェクトの実施者フォーメーション

本プロジェクトでは実施者相互の連携を強めるため、随時連絡を取り合い、NEDOのヒアリング等の機会を利用して連携強化を推進した。その結果、H22年度初めにおいて、図6のように、研究開発契約を技術研究組合 超先端電子技術開発機構との間に一本化し、その中で研究開発項目①、②および③のすべてを実施することとした。

2.3 研究開発の運営管理

研究開発全体の管理・執行に責任を有するNEDOは、経済産業省および研究開発責任者と密接な関係を維持しつつ、プログラムの目的及び目標、並びに本研究開発の目的および目標に照らして適切な運営管理を実施する。具体的には、年2回開催するNEDO定期ヒアリングほか、随時のコミュニケーションを通して運営管理にNEDOの意思を反映させる。

2.4 研究開発成果の実用化、事業化に向けたマネジメントの妥当性

NEDOにおいては、随時ヒアリングを通じて進捗状況を把握し、また国内外の技術開発動向を常にウォッチすることにより、適時・適切なベンチマークに努めている。進捗状況によって事業化が可能と判断できるものに関しては早期に開発を参加企業の自主開発に切り替えを推進している。一方、知的財産権の取得についても奨励しているが、開発項目の性質上特許化するよりも戦略的に不出願にしてノウハウを守ることが好ましいものについては適切に判断すべきと考えている。

3. 情勢変化への対応

本研究開発の計画から実施に至る過程、およびその後の進行予定概要を図7に示す。平成19年度に行った先導研究の成果を受けて開始したが、開始にあたっては、広く企業、民間研究機関、独立行政法人、大学等(委託先から再委託された研究開発実施者を含む)から改めて公募を行って、より良い実施体制を組むべく研究開発実施者が選定され、その上で平成20年度より委託により実施している。平成20年度は先導研究として別契約にて実施していた研究開発項目③を、全体に組み込んで現在は一体として実施中である。なお、図中には省略したが、この組み換えに際しても、外部有識者による採択委員会を組織して最大限その意見を反映した。

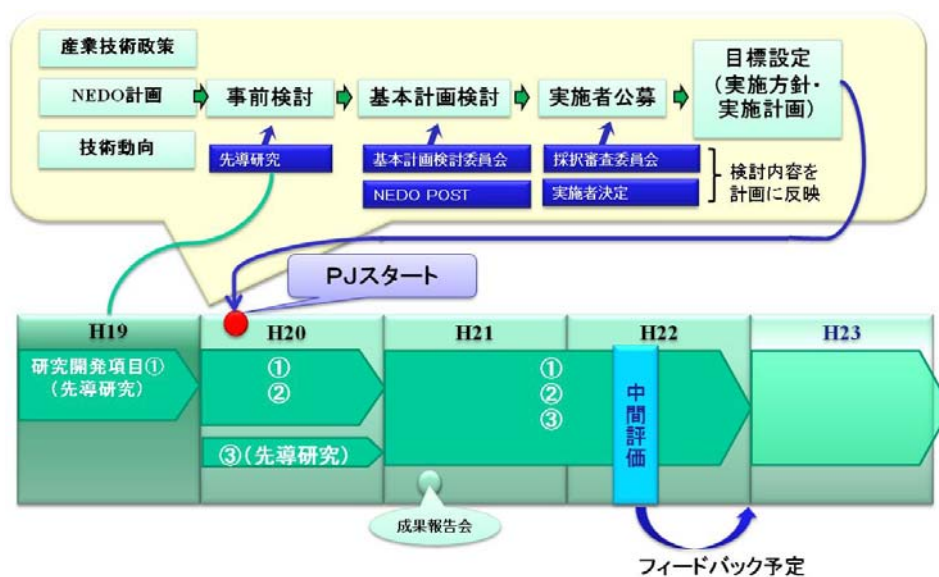


図7 ドリームチッププロジェクトの立案から現在に至る経緯

4. 中間評価結果への対応

本プロジェクトは平成22年度に中間評価を予定しており、今後検討して適切に反映する。

5. 評価に関する事項

NEDOは、技術的及び政策的観点から、研究開発の意義、目標達成度、成果の技術的意義ならびに将来の産業への波及効果等について、外部有識者による研究開発の中間評価を平成22年度、事後評価を平成25年度に実施する。また、中間評価の結果を踏まえて必要に応じプロジェクトの加速・縮小・中止等見直しを迅速に行う。なお、評価の時期については、当該研究開発に係る技術動向、政策動向や当該研究開発の進捗状況等に応じて、前倒しする等、適宜見直すものとする。

Ⅲ. 研究開発成果について

1. 事業全体の成果

1.1 事業全体の成果の概要

ここでは、「ドリームチップ」プロジェクト事業全体の目標と達成度をおおまかに記載する。プロジェクト全体の進捗としては、多くの研究開発項目について中間目標は達成済み、または平成 22 年度中に達成見込みであり、最終目標も達成の見込みが立っている。さらに、一部の開発テーマについては最終目標を前倒しで達成したため、プロジェクトでの研究開発を終了し、企業レベルでの実用化研究開発とする。但し一部の研究開発項目については研究予算に応じて、可能な範囲で開発を行う予定である。研究開発項目ごとの達成状況および達成の見通しについては次章以降に記す。

本プロジェクトの研究開発項目は①「多機能高密度三次元集積化技術」、②「複数周波数対応通信三次元デバイス技術」、③「三次元回路再構成可能デバイス技術」の3項目である。

①「多機能高密度三次元集積化技術」については、次世代三次元集積化の基盤技術構築のため、設計技術、評価解析技術等の研究開発に取り組んだ。そしてこれら基盤技術の検証を行うための実証デバイスの具体化と必要となる要素技術開発に取り組んだ。

設計技術については、SoC・SiP・ボード（PWB）を総合的に扱える統合化された電気系高速シミュレーションツールの開発を行い、市販ツールの 1,000 倍程度の高速化に目処が得られた。また、次世代三次元積層 SiP 実現のためのインターポーザの信号安定化技術（SI）・電源安定化技術（PI）も開発しつつある。

一方、評価解析技術については、300 mm ウェハで KGD(Known Good Die)の実現を目指した高速・多端子プロービング技術の研究開発目標も達成の目処を得た。その他、熱・積層接合技術、薄ウェハの研究開発は 20W、10 μ ピッチ、10,000 接続、10 μ ウェハ厚を目指した基盤技術を開発しつつある。

実証デバイスの具体化については、高速画像処理システムの開発とともに、超ワイドバスマemory三次元積層 SiP の実現を目指して要素技術開発が進んでいるが、試作費用が増大し、今後のウェハレベルの実証に課題を残している。

②「複数周波数対応通信三次元デバイス技術」については、先進的な RF MEMS デバイスを組み合わせた通信デバイスを作製して三次元集積化の有効性を実証すべく、RF MEMS デバイスと、その三次元集積化実装技術に取り組んだ。

RF MEMS デバイスについては、MEMS スイッチを用いた可変アンテナ、MEMS キャパシタを用いたインピーダンス回路の動作を検証し、MEMS 可変フィルタの動作目標を達成した。また、

可変フィルタモジュールの三次元実装をウェハレベルで完結させる低コスト化を目指す高周波回路実装技術を検討した。

一方、複数周波数対応通信フロントエンド回路MCMの研究開発と動作実証については、フロントエンド回路の制御部設計、インタフェース設計と製作を行い、周波数可変制御、送・受信制御を実証しつつあり、平成22年度末には目標を達成見込みである。

③「三次元回路再構成可能デバイス技術」については、完成後にデータを焼きこむことで個別の機能を持たせられるデバイスを三次元集積化の有効な実証モデルと考えて取り組み、再構成可能デバイスに適した集積化技術の研究開発、およびそのアーキテクチャ・設計技術の開発に取り組んだ。

集積化技術の研究開発の研究開発では、基本レイアウトルール案を策定し、TEGの設計試作を行い、1mm²あたり1000ピン以上を実現する裏面ビアラスタ型シリコン貫通電極(TSV)プロセスを構築した。

アーキテクチャ・設計技術の研究開発では、三次元の特長を活かせる応用であるネットワーク分野およびロボット分野について、三次元回路再構成可能デバイスへの搭載機能を検討し、平成22年度中にハイブリッドアーキテクチャの設計を完了する見込みである。三次元FPGAおよびスケーラブルリコンフィギャラブルIOプロセッサの4層積層において、消費電力あたりの性能が1.25倍以上となることを実証可能な見込みである。

1.2 研究開発項目毎の成果の概要

引き続き、次章以降、①、②、③の研究開発項目ごとに分けて、その成果を目標と対照する形で記載する。

1.2-① 「多機能高密度三次元集積化技術」

1.2-①- (1) 次世代三次元集積化設計技術の研究開発

1.2-①- (1)-1 目標の達成度

(基本計画の目標)

(概要)

微細化による半導体 LSI 集積化の進展において、集積密度の向上に限界が近づくのに伴って、LSI チップを三次元的に積層する三次元積層 SiP 技術への期待が高まっている。三次元的に複雑な構造のSiP設計においては、コンピュータ支援による設計 CAD(Computer-Aided Design)技術だけでなく、製造工学 CAE(Computer-Aided Engineering)技術の利用は不可欠であり、多様なCAD/CAE ツールを縦横に駆使して効率的な設計を目指す必要がある。特に三次元積層 SiP における薄型チップ・インターポーザによる積層構造を想定すると、電磁ノイズ対策部品の付加等に

非常に困難が予想される。

このため、設計初期段階で動作不良の見極め技術が重要となり、三次元積層構造の SiP 内部に留まらずセットボードレベルまで拡張した統合的なモデル化手法と、その統合モデルによる動作シミュレーション技術の確立が大きな課題となる。高速電気信号伝送を扱う高機能な LSI システムにおいては、パワー/シグナル・インテグリティ(電源/信号の要求性能確保)の解析のみならず、電気回路と三次元電磁界統合解析技術や機械系・熱系解析技術との統合化も重要性が大きくなっている。

このような現状に対して、三次元集積 CAD システムの構築、および、三次元集積 CAE システムの構築とそれらを集積した三次元集積統合設計環境の開発を行う必要がある。

しかしながら、現状では、SoC・SiP・ボード(PWB)について、個々のシミュレーションツールは開発されて実用化レベルにあるが、これらを総合的に扱える統合化されたツールは開発されていない。

また、三次元積層SiPとして電子システムを構築するには、LSI チップ積層体に対して微小接続、電源供給、信号伝送、放熱などの機能を有する薄型インターポーザの利用が不可欠である。三次元集積化した LSI チップの能力を十分引き出すために、インターポーザに対しては、数 10W の電源供給能力、 $10\ \mu\text{m}$ ピッチの狭ピッチ信号ピン接続、15Gbps の信号伝送能力など、従来のインターポーザでは実現不可能な機能を合わせ持つことが求められる。

さらに、LSI 内部にある多数のトランジスタがスイッチングする際に発生する急峻な電流変化 di/dt は、瞬間的な電圧低下 V_{drop} を引き起こす。電源電圧低下は LSI 動作周波数を低下させる原因となるので、それを引き起こさないような電源供給が求められる。 V_{drop} は電源供給経路の寄生インダクタンス L_s を用いて $V_{\text{drop}}=L_s \cdot (di/dt)$ で表されるので、LSI の低電圧化・高周波化に伴う di/dt 増加、その結果としての V_{drop} のマージン減少への対応は、三次元集積 LSI に限らない将来の LSI 共通の重要課題である。三次元集積 LSI では、積層された多数の LSI チップへ一括して電源供給を行うことになるので、供給する電流が非常に大きくなり、通常のインターポーザより電源供給に対してはるかに高い安定性が求められる。

また、高速信号伝送に関しても、三次元集積 LSI 特有のシリコン貫通電極(TSV)を活用して多数の信号線で積層チップ間を接続する超多ビットバス配線や外部とのやり取りに必要な高速シリアル I/F 回路により、積層チップ内や I/F 回路で発生して、電源供給系を経由して広がる、同時スイッチングノイズの抑制は重要な課題である。

一方、三次元積層SiP 用の超高機能インターポーザには、従来技術より大幅に微小で狭ピッチな接続技術に加えて、コンデンサやインダクタなどの受動素子を内蔵する技術の適用が必須となる。内蔵された受動素子は従来の表面実装状態とは異なり、周囲の環境や三次元的に近接する配線や他素子の影響を受けやすく、また内蔵されるがゆえに製造後に素子のみを交換することはできない。そのために、内蔵状態で十分正確に素子特性を測定評価し、設計段階へフィードバックする開発体制の実現が強く求められる。しかしながら、現在進められている受動素子内蔵インター

ポーザ開発は超低電圧動作や超高速伝送が求められるアプリケーションを念頭に置いていないために、製造技術を中心とした開発となっており、内蔵素子の特性を正確に測定評価する技術の開発は不十分である。

特に、電源供給系の測定評価の際に求められる、DC から GHz 域に至る広帯域で、数オーム以下の低インピーダンス値の測定を素子内蔵インターポーザに対して実施することは非常に困難な状況である。受動素子のインピーダンス測定装置では、自動平衡ブリッジ法、I-V 法、ネットワーク解析法などがあり、周波数範囲やインピーダンス値の範囲により使い分ける必要がある。そのため、従来の測定装置の組み合わせでは達成できないような、超広周波数帯域、広範囲なインピーダンス値をシームレスに、高精度で測定できる新しいシステムを構築し、内蔵状態や多様な内蔵形態を統合しうる体系的な評価解析技術の開発が必要である。また、素子性能を保証するための検査技術も全く未整備である。

さらに、三次元集積化技術の普及のためには、CMOS 半導体デバイス、機能デバイス等を相互に接続可能とする機械的・電気的インターフェース(I/F)を設定し、技術仕様書を策定する必要がある。

以上のことを考慮して、具体的研究内容と目標を以下のように定め、研究開発を進める。

出典:基本計画 P5

- 1) 電気系三次元シミュレーション技術として、次世代三次元積層 SiP の設計段階で使用される電気回路シミュレーションエンジン及び三次元電磁界シミュレーションエンジンの計算能力を改善し実用的設計ツールとして構築する。
- 2) 回路動作を安定化する信号品質安定化技術(シグナルインテグリティ)、電源安定化技術(パワーインテグリティ)を開発する。
- 3) CMOS 半導体デバイス、機能デバイス等を、相互に接続可能とする機械的・電気的インターフェースを設定し、技術仕様書を策定する。

出典:基本計画 P6

中間目標(平成22年度):

(1)次世代三次元集積化設計技術の研究開発

- ・電気系三次元シミュレータにおいて、現状に比較し 2 桁多いメッシュ数及び 8 倍の信号幅の解析対象を、現状と同等の計算時間で解析するシミュレーションエンジンを開発する。
- ・三次元集積化における信号品質安定化技術、電源安定化技術を開発する。

最終目標(平成 24 年度):

- ・現状に比較し 2 桁多いメッシュ数および 8 倍の信号幅の解析対象を、現状と同等の計算時間で

解析することができる電気系三次元シミュレータの開発と評価を完了する。

・CMOS 半導体デバイス、機能デバイス等を、相互に接続可能とする機械的・電気的インターフェースを設定し、技術仕様書を策定する。

(開発成果の要約)

1) 電気系三次元シミュレーション技術の研究開発

(a) 高速電気回路シミュレーションエンジンの研究開発

・高速電気回路シミュレーションエンジンの開発に向けた研究では、開発エンジンへの各種高速化手法を検討した結果、解析対象(次世代三次元積層 SiP 製品)を考慮し、PKG 及びボード部を対象とした線形エンジンと LSI の入出力部を対象とした非線形エンジンに分けた。

・線形エンジンでは、革新的アルゴリズムである、改良 LIM (Latency Insertion Method) 法を考案し、製品版シミュレータに組み込むことにより、平成 21 年度において、300 倍の高速化を達成した。今後は、Multi-Rate 法及び並列計算手法の改良により、平成 22 年度末には、800 倍の高速化を達成し、最終目標達成の見込みを得る。

・非線形エンジンでは、回路分割(緩和法)の適用及び並列計算手法の適用により、10 倍の高速化を得た。また、非線形部と線形部との連成については、波形緩和法の適用により、シミュレーション速度の低下を招くことなく達成できるようになった。(図Ⅲ-1.2-①-(1)-1)-1)

(b) 高速三次元電磁界シミュレーションエンジンの研究開発

これまでの FDTD(Finite Difference Time Domain)法に対して、改良型と呼ばれる手法(ラグール多項式法、クランク・ニコルソン法、ADI 法インプリシット法)の原理プログラムを評価した結果、一長一短であることが判明した。このため、解析規模、並列計算との親和性を考慮した新アルゴリズムの考案が必要となり ADE (Alternating-Direction Explicit) -FDTD 法を生み出し、グリッド数低減手法と並列化計算手法の組み合わせで 210 倍程度の高速化の見通しを平成 21 年度に得、さらなるグリッド数低減手法の改良により平成 22 年度中間目標及び平成 24 年度最終目標達成を目指す。(図Ⅲ-1.2-①-(1)-1)-1)

(c) 高速電気回路・電磁界シミュレーションエンジン統合化の研究開発

平成 20 年度に、回路シミュレータと電磁界シミュレータの間で、電流(磁界)、電圧(電界)を相互に受け渡す手法を開発実装することにより、同期処理が可能となり、回路・電磁界の混合解析が実現できることを示したが、タイムステップ数の刻み幅の最適化の良否により、シミュレーション速度の低下懸念があることがわかった。しかしながら、平成21年度の研究において、回路規模によるタイムステップ数の最適化が自動にて算出可能である事を見出し、統合化の見通しを得ている。

なお、電気系三次元シミュレーション技術の研究開発は、図Ⅲ-1.2-①-(1)-1)-1に示

すように、平成22年度末に、平成24年度最終目標である「現状に比較し 2 桁多いメッシュ数および 8 倍の信号幅の解析対象を、現状と同等の計算時間で解析することができる電気系三次元シミュレータの開発と評価を完了する。」は、達成見込みであるため、平成23年度以降は実用化研究を個々の企業レベルで実施し、実用化を目指す。

(倍)

シミュレータ	開発項目		H21年度	中間目標 (H22年度)	最終目標 (H24年度)
高速電気回路 シミュレータ	線形	改良LIM法 + 並列化	x300	x400	X900 ~1500
		Multi-Rate法	x1.0	x2.0	
		小計	x300	X800	
	非線形	回路分割 + 並列化	x10	x12	x50
高速電磁界 シミュレータ	ADE-FDTD法		x3	x3	x500
	グリッド数低減法		x7	x21	
	並列化		x10	x10	
	小計		X210	x630	

図Ⅲ-1. 2-①-(1)-(1)-1 シミュレータの開発項目と成果及び目標

2) 信号品質安定化技術(シグナルインテグリティ)・電源安定化技術(パワーインテグリティ)の研究開発

(a) 高速ドライバチップ用インターポーザの研究開発

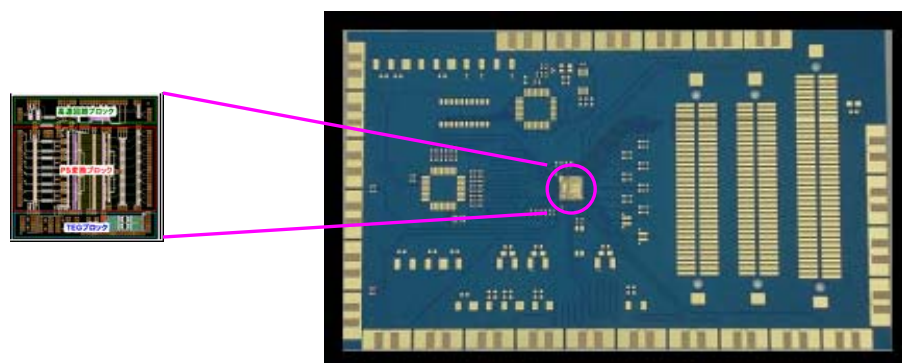
信号品質安定化技術と電源安定化技術の検証のため、GHz帯域の超高速動作が可能な「高速ドライバチップ」を実装するインターポーザモジュール TEG を開発した。このインターポーザでは、電源用デカップリング・キャパシタの実装形態が異なる 2 種類(チップキャパシタ部品表面実装・チップキャパシタ部品内蔵)の TEG を製作した。それぞれ Gbps 帯域での電源品質を改善できる電源ネットワークの電磁界解析を行い、電磁界解析から得られた GHz 帯域での信号安定性が最適になるよう設計した。インターポーザモジュール TEG に実際に高速ドライバチップを搭載して組み立て、デカップリング・キャパシタの効果による信号安定性の評価を行った。その結果、チップキャパシタ部品を内蔵したインターポーザモジュール TEG では、チップキャパシタ部品表面実装モジュール TEG に比較して、6Gbps の超高速信号伝送時での電源電圧変動を、

約 10% 低く抑えられることを実証した。さらに、この電源安定性の向上により、16 チャンネルで同時にドライバ回路動作し、出力される高速信号の安定性を同時に向上できることも示した。

(b) シリアル・パラレル変換チップ用インターポーザの研究開発

10Gbps での超高速信号伝送における電源安定化技術の評価を目的に、シリアル・パラレル変換チップ用インターポーザの設計・評価を行った。インターポーザモジュール TEG では、電源品質安定化に優れるチップキャパシタ部品内蔵タイプの有機インターポーザと、シリコンインターポーザを併用する構成とした。

有機インターポーザの設計では、電磁界解析シミュレーションにてターゲットとしている 10Gbps の信号送受信が可能な配置・配線設計を行った。またこの設計をもとに、まずリファレンスとなる表面実装タイプのインターポーザを作製した。平成22年度は、チップキャパシタ部品表面実装タイプのインターポーザモジュール TEG 及び薄膜キャパシタを内蔵したシリコンインターポーザの作製など、超高速信号・電源品質安定性評価の準備を進めている。図Ⅲ-1. 2-①-(1)-2-1は、シリアル・パラレル変換チップ(左)とリファレンスとなる有機インターポーザの写真を示す。



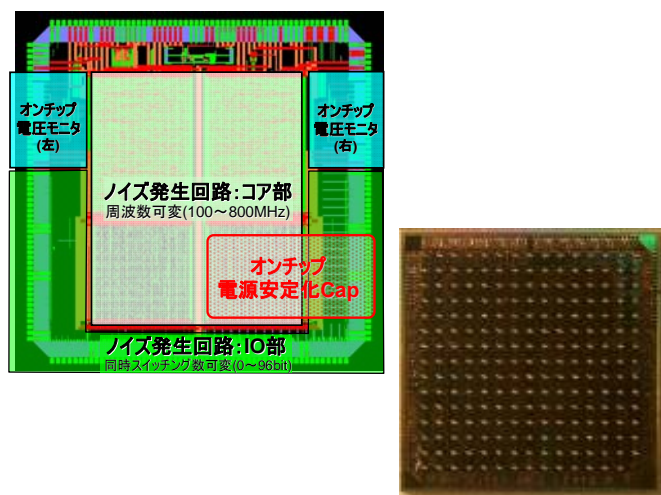
図Ⅲ-1. 2-①-(1)-2-1 シリアル・パラレル変換チップ写真(左)と有機インターポーザ写真(右)

(c) 広帯域低インピーダンス電源設計と電源ノイズ評価の研究開発

広帯域低インピーダンス電源設計のための電源ノイズの定量評価へ向けて、FPGA をノイズ励振源とする評価システムの設計・試作を実施し、正常動作することを確認した。評価ボードは、200×150mm、6層構成で、評価ボードの中心にFPGAを実装し、CMOS回路のシングルエンド配線動作による電源電位変動を観測した。FPGAを実装したインターポーザは35mm角8層構成で、デカ

ップリング用チップキャパシタの有無によるノイズ低減効果を測定し、約 30 %のノイズ低減効果を確認した。

電源ノイズ評価専用チップ(以下、専用チップと略)を用いた電源ノイズ評価システムの構築に着手した。本システムは、専用チップ内のノイズ発生回路から生じる電源ノイズをモニタする。このノイズ発生回路はコア部と IO 部とで構成されており、専用チップにはコア部と IO 部の複数箇所のノイズを時間分解能良くモニタできるように、オンチップ電圧モニタ回路が内蔵されている。加えてノイズ発生回路の半分には、オンチップ電源安定化キャパシタが内蔵されており、同キャパシタによるノイズの低減効果を確認できる。上記の仕様を満たす専用チップの設計及び製造の完了後、ベアチップでの機能試験を実施して正常動作を確認した。図Ⅲ－1. 2－①－(1)－2)－2に電源評価チップのレイアウト図とチップ写真を示す。



図Ⅲ－1. 2－①－(1)－2)－2 電源評価チップのレイアウト図とチップ写真

今後の研究開発では、インターポーザとの実装がなされたチップ、評価ボード、及び駆動用ソフトウェア等を統合した、電源ノイズ評価システムを完成させる。そして本システムにより、インターポーザへのデカップリングコンデンサ挿入による電源ノイズ低減効果を、実測とシミュレーションを併用することで、定量的に把握し、広帯域低インピーダンス電源の設計指針を確立する。

(d) 高効率オンチップ分散電源回路の研究開発

インターポーザ上の L、C を活用した DC-DC コンバータの高効率化実証を目的として、めっき配線で形成されたスパイラル・インダクタと高容量薄膜キャパシタを集積化した Si インターポーザを試作し、CMOS チップを実装して変換効率向上を確認した。

試作した Si インターポーザ上の配線層数は3層で、寄生抵抗の影響を調べるために配線膜厚は 5 および 15 μm とした。Si インターポーザ表面には、チタン酸ストロンチウム薄膜を誘電体層とした薄膜キャパシタ上に、配線をらせん状にしたインダクタを形成し、DC-DC コンバータの出力フィ

ルタ部を構成した。この Si インターポーザと別途試作した CMOS チップを使った回路検証 TEG を評価した結果、15 μ m厚配線の Si インターポーザを用いたときに、寄生抵抗が大きい 5 μ m厚配線よりも 10%以上変換効率が改善されることを実証した。

(e) 素子内蔵インターポーザの評価・検査技術の研究開発

素子内蔵インターポーザの評価・検査技術の研究開発では、ワイドダイナミックレンジの VNA(Vector Network Analyzer)と超低インピーダンスアナライザをシステム統合した評価システムを新たに構築した。既存の VNA との組み合わせに比較して測定インピーダンス範囲を拡大し、チップキャパシタ表面実装・チップキャパシタ部品内蔵・薄膜キャパシタ内蔵の各種インターポーザを用いて、10Hz~40GHz の広帯域かつ 0.001 Ω 以下の高分解能で 0.01 Ω の超低インピーダンスをシームレスに測定が可能となることを実証した。

さらに構築した評価システムを用いて、実際に超高速動作可能な高速ドライバチップを実装したインターポーザモジュール TEG にて、チップキャパシタ表面実装・チップキャパシタ部品内蔵の 2種類のデカップリング・キャパシタの効果を検証した。電源ネットワークのインピーダンスは、チップキャパシタ部品内蔵インターポーザの方が小さくなることがわかり、チップの電源端子からのインターポーザの電源ネットワークのインピーダンス評価に成功した。この効果による信号品質安定性の検証のため、実際に高速ドライバチップ動作時の電源安定性を測定した結果、電源インピーダンスの低減効果による電源供給の安定性の向上が確認でき、それにより高速ドライバチップの信号品質安定性が向上することが分かった。この結果により、素子内蔵インターポーザの評価・検査技術における電源ネットワークの精密なインピーダンス評価技術の有効性が確認できた。

3) 三次元デバイス相互接続インターフェース仕様の設定

本研究開発テーマについては、個別要素技術の開発を実施中であるプロジェクト前半においては未着手であり、実証デバイスの設計・試作を通して最終年度目標に向け、平成 22・23 年度に実施予定である。

(中間目標の達成度)

以上の内容を表Ⅲ-1. 2-①-(1)-1にまとめる。このように、基本計画に定義された中間目標は現時点ではほぼ達成されており、平成22年度中には達成見込みである。なお、一部の開発テーマについては最終目標を前倒して達成したため、平成22年度をもって研究開発を終了する。また、一部はこれまでの成果を受けて、平成24年度最終目標の実現に向けた研究を実施中である。

1. 2-①-(1)-2 成果の意義

1) 電気系シミュレーション技術

電気系シミュレーションエンジンの研究開発では、その性能において世界最高水準の成果が得られている。市販されているシミュレータとの性能比較において、同一精度で数百～千倍高速に解析する目処が得られ、従来実質的に解析が不可能であった128信号でSoC・SiP・ボード(PWB)の統一的解析が実用レベルで可能となり、次世代三次元積層SiPや通常のSoCデバイス、また、それらを搭載する電子機器の大幅な開発効率向上をもたらす。

2) 信号品質安定化技術・電源安定化技術

次世代三次元積層SiPの信号品質安定化及び電源安定化を実現するインターポーザ設計技術と評価・検査技術について、世界最高水準の成果が得られている。

デカップリング・キャパシタの表面実装、部品内蔵、薄膜素子内蔵の各実装形態を系統的に比較し、実装構造と電源ノイズ低減効果とを定量化する試みは他には類は無い。次世代三次元積層SiPで想定される具体的なインターフェース回路で直接的に検証することと並行して、専用チップを用いた評価システムを構築することで、電源ノイズ低減効果に向けたより一般的に拡張可能な設計指針、及び解析モデルを提案することが可能となる。更に、オンチップ分散電源回路では本来オンチップへ集積化されていた機能回路を分割して、一部をチップ外へ形成し集積化することでオンチップよりも小型化且つ性能向上を実現している。これは、LSIと素子内蔵インターポーザとが密接に積層可能な三次元集積化技術により実現可能となる新規な集積化の形態である。

評価・検査技術においては、次世代三次元積層SiP用の高性能インターポーザ設計の基礎となる高精度な測定に必要な広帯域且つ低インピーダンスの測定システムを開発し、その性能を実証した。10Hz～40GHzの6桁の周波数にわたってシームレスに、しかも0.001Ω以下の高分解能で0.01Ωの超低インピーダンスを測定可能なシステムは世界で唯一である。

今後の研究開発で、上記の要素技術の成果を統合することにより、他に例を見ない強力な次世代三次元集積化設計技術を体系的に構築でき、日本の電子デバイスや電子機器の設計力の向上をもたらすもの考えられる。

1. 2-①-(1)-3 知的財産権の取得

本年度に出願予定であり、現在準備中である。

1. 2-①-(1)-4 成果の普及

以上述べた成果に関わる特許、外部発表等の件数を表Ⅲ-1. 2-①-(1)-2に示す。本表からわかるように、本研究開発は適切に情報発信を行っている。一方、情報の公開にあたり、アルゴリズムやソフトウェアの内容は、ノウハウにかかわるところであり、公開を行っていない。

1. 2-①-(1)-5 最終目標の達成可能性

現在までに、研究開発は順調に進行している。電気系シミュレーション技術の研究開発では、平成22年度末で平成 24 年度最終目標を達成見込みである。また、信号品質安定化技術・電源安定化技術の研究開発では、今後は実証デバイスへの適用を目指し、次世代三次元積層SiP用インターポーザの開発を推進する。最終目標である機械的・電氣的インターフェースの設定や技術仕様書の策定は、実証デバイスの研究開発を通して達成可能であると考えている。

表Ⅲ-1. 2-①-(1)-1

「次世代三次元集積化設計技術の研究開発」の成果と達成度(※)

◎ 目標を大幅に上回り達成、○:目標を達成、△:目標をほぼ達成、×:目標未達成

中間目標(平成22年度末)	研究開発成果	達成度
<p><u>1)電気系シミュレーション技術の研究開発</u></p> <p>・電気系三次元シミュレータにおいて、現状に比較し2桁多いメッシュ数及び8倍の信号幅の解析対象を、現状と同等の計算時間で解析するシミュレーションエンジンを開発する。</p> <p>最終目標(平成24年度):</p> <p>・現状に比較し2桁多いメッシュ数および8倍の信号幅の解析対象を、現状と同等の計算時間で解析することができる電気系三次元シミュレータの開発と評価を完了する。</p>	<p>・高速電気回路シミュレーション技術において、改良LIM法を開発し、実装すること及び、Multi-Rate法、並列計算手法を適用することにより最終目標を達成。</p> <p>・高速三次元電磁界シミュレーション技術において、ADE-FDTD法を新たに考案し、原理検証を実施し、シミュレータへの組み込みが可能な事を確認した。また、グリッド数低減技術により、平成22年度末には最終目標を達成可能である事を確認した。</p>	◎
<p><u>2)信号品質安定化技術(SI)・電源安定化技術(PI)の研究開発</u></p> <p>・三次元集積化における信号品質安定化技術、電源安定化技術を開発する。</p>	<p>・次世代三次元集積SiPの安定動作で必要となる高速ドライバ回路、シリアル・パラレル変換回路などを検証する各種インターポーザを設計した。一部は試作し部品内蔵による電源電圧変動抑制効果と信号安定性の改善を実証した。残りも評価へ向けた作製を継続している。</p> <p>・電源ノイズ低減のための設計指針確立へ向けて、電源ノイズ評価システムを設計し、搭載される専用チップが完成しベアチップでの正常動作を確認した。また、インターポーザの設計も完了し、これらにより評価システムの構築に目処をつけた。</p> <p>・周波数アナライザとインピーダンスアナライザとシステム統合した新規な部品内蔵インターポーザの評価・検査システムを構築し、上記システムにおいて</p>	○

	DC-40GHz の超高帯域かつ 0.001 Ω 以下の高分解能で 0.001 Ω 以下の低インピーダンス評価を実現した。	
3) 三次元デバイス相互接続インターフェース仕様の設定 ・最終目標として設定	・実証デバイスの設計・試作を通して最終年度目標に向け、研究開発を推進する。	○

表Ⅲ－1. 2－①－(1)－2

「次世代三次元集積化設計技術の研究開発」の特許、外部発表等

区分 年度	特許出願			論文	学会発表等	その他外部発表 (書籍・プレス等)
	国内	外国	PCT			
H20FY						
H21FY					13	
H22FY※					3	1

※H22FY は平成22年7月末日の集計

1. 2-①-(2)次世代三次元集積化のための評価解析技術の研究開発

1. 2-①-(2)-1目標の達成度

(基本計画の目標)

(概要)

現在の一般的なテスト工程は、ウェハテストとパッケージ後のファイナルテストに大きくふたつに分かれる。三次元積層 SiP のように多数のチップを積層する場合それぞれのチップが良品である必要がある。もし、積層するチップの歩留まりが悪いと三次元積層後の歩留まりを低下させ安価な三次元積層 SiP の実現が困難となる。

良品デバイス(以下、KGD と略)を積層するためにはテスト工程を新たなものにする必要がある。一般的なテストシステムは、ウェハ用は低速テストをメインとして同時に測定できる個数も少ない。一方、パッケージ後のテストシステムは高速テスト(そのチップが動作する実スピード)が主となり同時に測定できる個数も多い。加えてパッケージ後には、バーンインも行われる。一般的にはウェハ状態とパッケージ状態では、テスト速度に約十倍以上の開きがある。

先に述べた KGD 実現のためには、ウェハ状態で高速のテストとバーンインを可能とする必要があるが、現状ではこれを安価に実現することは不可能である。

もし、ウェハ状態で高速のテストとバーンインを実現できれば、多くの半導体メーカーがウェハ状態でパッケージ後と同等品質のテストが可能となり三次元積層 SiP の生産がし易くなり大きな波及効果が望める。

また、電子機器の基本機能を担う MPU・DSP などの半導体 LSI 製品の消費電力については、微細化・高集積化・高速化により、1990 年頃まで、“4 倍/3 年”のペースで増加する傾向にあった。しかしながら、電子機器の多様化により、1990 年以降は、性能優先(高機能)製品と、消費電力優先(低消費電力化)製品に二分化され、それに合わせて、性能優先(高機能)製品の電力増加も”1.4 倍/3 年”のペースとやや鈍化する傾向となった。しかしながら、半導体 LSI 製品の消費電力は、ペースを落としつつも、依然増加傾向にあり、2010 年以降の半導体 LSI 製品(単チップ)の消費電力は、少なくとも、MPU は 50W 以上、DSP は 15W 以上になることが予測される。

さらに、三次元的に複数チップを積層することにより、MPU・DSP などの消費電力推移予測を超えて、半導体 LSI 製品の消費電力の増加を加速させ、20W を超える DSP 製品がでてくることが予想される。一方、比較的消費電力の小さい現状のデジタルコンシューマ機器では、小型・薄型などの厳しい要求下で数W程度の放熱性能が達成されている。しかし、高機能化にともなう総消費電力の増加や電力集中などから熱が大きな問題となっており、加えて、静音性などの新たな機能要求から熱対策が制約されるなど、いっそう熱課題が増加する傾向にあり、小型・薄型かつ静音性を要求される条件下においても、20W程度の放熱を可能とする新規技術開発は不可避と考えられる。

本プロジェクトでは目標としてシリコン貫通電極(TSV)の接合バンプ径は $5\mu\text{m}$ 以下、接続バンプ10,000個以上を掲げている。このバンプ径とバンプ数を前提とした高信頼のチップ間接続技術の開発とその信頼性を評価するための技術を開発し、三次元積層SiPを実現するために必要な接合バンプ構造の標準化と最適接合条件を確立することが必要である。

また、積層チップの低背化は、ウェハの薄化の要求を一層強くしており、STRJ(Semiconductor Technology Roadmap of Japan)での予想では、2010年は $15\mu\text{m}$ 、2012年は $10\mu\text{m}$ と薄化を想定している。また、三次元積層SiPにおいては、貫通電極を形成する必要があるが、アスペクト比低減、エッチング処理時間低減という観点から、Si厚み $10\mu\text{m}$ 厚レベルの薄ウェハが必要となっている。このような薄化レベルは、デバイスの特性劣化を引き起こす可能性が大きく、劣化メカニズムを明確にし、プロセス上の対策を確実にとっておくことが重要である。DRAMなどにおいては、ウェハ厚みによってリテンション時間や不良ビット率に差が発生するとも言われている。

ウェハの厚みが厚い場合には、Arアニール処理中に結晶内のIG層(Intrinsic Gettering)にゲッターリング層(Bulk Micro Defect)を持たせる事ができたが、今後ますますウェハの薄化が進み、 $50\mu\text{m}$ を切り $10\mu\text{m}$ 程度になるともはや、ゲッターリング層を存在させることは出来ず、結晶表面のDZ(Denuded zone)層つまり無欠陥層のみとなり、不純物をトラップする効果は期待できなくなる。その際、微小な破碎層を引き起こす裏面研磨方法を適用することより、ゲッターリング効果をもたらすことができるが、ウェハの抗折強度を著しく低下させる。

また、デバイス形成後に貫通電極を形成する方式、いわゆるビアラスト方式では、TSV(Through Si Via)エッチング加工、TSV内の絶縁膜形成、導電体材料の埋め込みなど、複数のプロセスを処理する必要がある。シリコンウェハの厚さが薄くなるほど、ウェハのハンドリングが難しくなるため、これを克服できるような技術が必要になる。

以上のことを考慮して、具体的研究内容と目標を以下のように定め、研究開発を進める。

出典:基本計画P5

- 1) CMOS半導体デバイスの機能をウェハ形状にて一括検査する技術として、300mmウェハに対応可能な高速デジタル信号端子を含むプローブ方式、およびプローブカードとテスト装置を接続する高速テスト信号伝送技術を開発する。また、そのプローブ方式を用いたプローブカードにおいて電力供給安定化手法を開発する。さらにバーンイン試験及びバーンイン試験時の温度制御技術を開発する。
- 2) 三次元集積化の熱評価解析技術、積層接合評価解析技術を開発する。
- 3) 薄化したウェハの評価解析技術を開発する。

出典:基本計画 P6

中間目標(平成22年度):

- ・全体で30万端子を有し、そのうち高速デジタル信号テスト端子においては15Gbps以上の信号に対応可能な300mmウェハに対応するプローブ方式の基本技術を開発する。
- ・多端子プローブカードに関して非接触接続方式の実現可能性を検証する。
- ・次世代三次元集積化のための熱評価解析技術及び積層接合評価解析技術を開発する。
- ・10 μ mに薄化した300mmウェハの評価解析技術を開発する。

最終目標(平成24年度):

- ・300mmウェハに対応するプローブとして30万端子以上の被テスト端子への一括アクセスが可能であることを確認する。また、高速デジタル信号テスト端子においては、15Gbps以上の信号を用いた検査が可能であることを確認する。
- ・平成22年度末までに開発したプローブをテスターと接続して評価を行い、プローブカードとテスト装置間において500Mbps以上の高速テスト信号を含む4万系統のテスト信号伝送が可能であることを実証する。
- ・一つのプローブカードにおいて、10kW以上の安定した電力供給技術を開発する。
- ・プローブカードにおけるチップテスト時、温度範囲-40 $^{\circ}$ C \sim +125 $^{\circ}$ Cにおいてバーンイン試験及びバーンイン試験を可能とする温度制御技術を開発する。
- ・ひとつの三次元積層SiPあたり20W以上の発熱に対応する放熱構造の評価解析技術を開発する。

(開発成果の要約)

1) 300mmウェハ一括プローブ方式の研究開発

ウェハ一括プローブカードに対する市場要求の明確化、およびテストチップとプローブチップ機能を含むウェハ一括プローブカードのシステムアップ実証(1/10スケール)の研究加速により、当初基本計画における最終目標を前倒して達成した。これにより、本研究開発テーマは平成22年度で終了する。

(a) 300mmウェハ/30万端子一括プロービング技術の研究開発

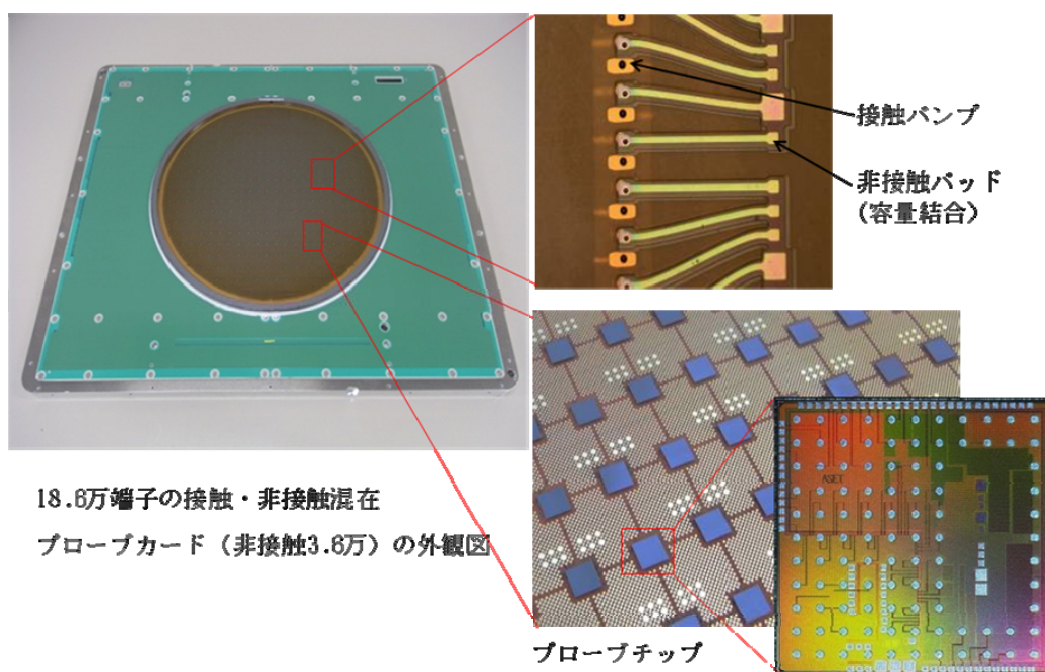
300mmウェハに対応するプローブとして、大気圧加重による接触15万端子と加重なしに信号プローブを実現した非接触方式(容量結合)を開発し、30万端子以上の被テスト端子への一括アクセスが可能であることを確認した。

そして、市場要求からウェハ一括プローブの実用レベルが接触15万端子と非接触3.6万端子であることを明確化し、最終実証プローブとして接触・非接触混在の合計18.6万端子を有し、かつ品種交換対応可能な5層構造メンブレン方式プローブカードを開発した。また、

真空微差圧方式による非接触容量結合の実現技術を開発した。さらに、高加重・高速ウェハー一括プローバ装置を開発し、大気圧加圧 7kN と軸圧 2kN による 9kN/300mm ウェハの均一加圧技術を確立した。

(b) 多端子プローブカード対応非接触プロービング技術の研究開発

非接触通信用のプローブチップ（容量結合）を開発し、1Gbps の非接触伝送技術を確立した。この技術を適用し、テストチップ機能 (5mm×5mm) とプローブチップ機能 (4.3mm×4.3mm) を ASIC として開発した。各 ASIC をそれぞれ 500 チップ使用することにより、ウェハ上の最大 2,000 チップ DUT を一括同時テスト可能とした。これら ASIC を含む 300mm ウェハ対応 18.6 万端子プローブカードによるウェハー一括テストのシステムアップ(1/10 スケール・テスト機能 ASIC、プローブチップ機能 ASIC 各 50 チップ)を行い、実動作速度（最大伝送速度 15Gbps/DUT）を実証した。（図Ⅲ-1. 2-①-(2)-1-1）

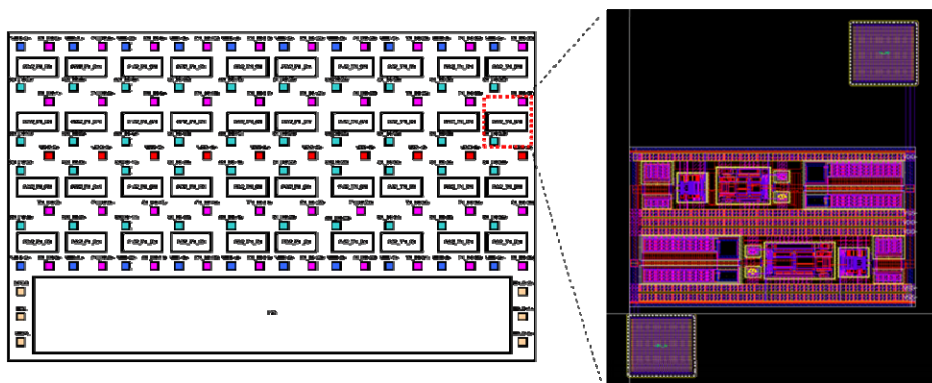


図Ⅲ-1. 2-①-(2)-1-1 300mm ウェハー一括プローブ方式の研究開発実績

(c) プローブカードとテストシステム間接続技術の研究開発

(b) のテストチップとプローブチップ機能を含むウェハー一括プローブカードのシステムアップ実証(1/10 スケール)の研究加速により、プローブカードとテスター(テストシステム、テスト装置)間の信号接続を大幅に削減した評価を行った。一方、300mm ウェハー一括プローブカードをテスター

と接続要求に対する市場ニーズから、高いピン密度(従来比4倍以上)を実現した200チャンネル/伝送速度500Mbps以上動作の非接触コネクタ(容量結合)を開発した。これにより、非接触コネクタを用いたプローブカードとテスト装置間において4万系統のテスト信号伝送が可能であることを実証した。(図Ⅲ-1.2-①-(2)-1)-2)



図Ⅲ-1.2-①-(2)-1)-2 プロービング部分とテストシステム間の接続技術研究開発実績
非接触プローブチップのレイアウト(多チャンネル・コネクタ用)

(d) プローブカード電力供給技術の研究開発

被測定対象への電力供給技術として、ウェハ当たり最大電力10kW以上の供給を目的とした3電源・12出力の電源モジュールを開発した。

(e) ウェハ温度制御技術の研究開発

温度範囲 $-40^{\circ}\text{C}\sim+150^{\circ}\text{C}$ において、チップテストおよびチップバーンイン試験を可能とし、温度範囲 $70^{\circ}\text{C}\sim+150^{\circ}\text{C}$ においては、ウェハー一括バーンイン試験を可能とする温度制御技術を開発した。

具体的には、 $-40\sim150^{\circ}\text{C}$ の温度制御を可能とし、ウェハトレイ構造に対応した広温域・大気圧加圧アライメント装置を開発した。また、気化潜熱を用いた300mmウェハ面の冷却と $70\sim150^{\circ}\text{C}\pm 3^{\circ}\text{C}$ (20kW発熱時)の高精度温調技術を開発した。さらに、高熱伝導材(熱伝導率 $630\text{W}/\text{m}\cdot\text{k}$)を用いた高熱伝導ウェハトレイと接触熱抵抗低減技術(従来比 $1/7$)を開発した。

2) 三次元集積化の熱・積層接合評価解析技術の研究開発

(a) 熱評価および放熱対策技術の研究開発

(積層構造の熱伝導シミュレーション)

三次元積層構造の熱設計指針を立てることを目的とし、まず熱抵抗回路網法により、三次元積層構造内の熱抵抗を評価し、チップ間接合部が熱抵抗のボトルネックの 1 つである点を明らかにした。さらに FEM(有限要素法:Finite Element Model)モデルの構築を進めた。積層チップのチップ部、接合部などすべての詳細を含んだ全体モデルは、シミュレーション時間が膨大になるため、積層チップに対応した等価熱伝導率モデルを構築し、この等価熱伝導率モデルによるシミュレーション結果と、詳細モデルによるシミュレーション結果との差が小さいことを確認した。

(半導体チップ積層構造材料の熱伝導率パラメータの実測)

積層構造の TEG のシミュレーションモデルのパラメータとして、チップ間接合部の熱伝導率が必要となるが、その値は明らかになっていなかったため、定常熱抵抗測定装置を構築し、チップと接合部のみから成るテストチップを試作して熱抵抗測定を行った。さらに熱抵抗測定結果と、接合部の熱伝導率を未知のパラメータとしたシミュレーションとの比較から、チップ間接合部の熱伝導率を導出した。また、サーマルビア付き有機基板の熱伝導率を測定し、サーマルビアの総面積に依存し変化する点を明らかにした。

(発熱体と測温体を備えた TEG)

様々な発熱条件において三次元積層構造内の温度分布を測定し、高精度シミュレーション結果との相関を確認するために、発熱体(拡散抵抗)と測温体(ダイオード)を備えた、テストチップを作成し、TSV 加工を行い、さらに三次元積層を行った。今後この三次元積層 TEG をさらに基板に搭載し、組み込まれた発熱源から発生する熱が積層チップ内を伝導する過程に関する詳しい実験を行い、平行して進めているシミュレーションとの整合を確認することによって、より適切なシミュレーションのパラメータを導出し精度を高めて行くことによって、三次元 IC の設計段階で、放熱に必要なサーマルバンプの必要性・配置などの放熱対策を講じる支援を行うことができるようになると考えている。

(外部冷却機に必要な性能の評価)

熱抵抗回路網を用いて、外部冷却機の熱抵抗・周囲温度・チップ最高温度との関係を明らかにし、外部冷却器に対する要求性能について解析を行った。また、風洞を用いた実験装置を構築して、外部冷却器の性能の測定を行えるようになった。

(実証デバイスに必要な放熱技術開発)

実証デバイスで消費される電力 $20\text{W}/100\text{mm}^2$ を放熱し、センサーチップ $T_j \text{ Max.}$ を 85°C 以下に冷却する基本技術を開発中である。たとえば、実証デバイスの筐体表面を放熱器として利用する事を想定して、三次元積層 SiP の表面から筐体表面まで、高効率で熱を伝搬するための材料、素子や構造の検討を開始している。

(b) 積層接合評価解析技術の研究開発

(接合材料とプロセスの研究)

本研究の目的である高密度の微細接合においては、接合部体積や接合高さが極端に小さくなり、その表面の影響も非常に大きくなるため、新たな基礎的研究検討が必要となる。このための試料やプロセス環境、必要な評価項目や測定手法を検討し、薄ウェハ、微細ピッチ接合、狭ギャップの接合材料や接合プロセス評価・検討のため、多種の TEG チップを設計・試作及び接合を行った。具体的には実証デバイスへの適用をにらんだ微細接合の事前評価を目標とする、シリコン厚が $30\ \mu\text{m}$ から $70\ \mu\text{m}$ 、接合ピッチが $10\ \mu\text{m}$ から $40\ \mu\text{m}$ 、までのデジチェーンを持つ TEGチップ積層構造を評価した(図III-1. 2-①-(2)-2)-1)。

また、1ミクロンレベルの高アライメント精度接合装置を導入し、積層接合プロセス及び層間樹脂材料、樹脂充填プロセス、接合面活性化プロセスの検討を行った。さらに、信頼性試験方法を検討し、温度サイクル、プリ・コンディション、温湿度加速試験、機械強度測定などの評価システムを確立し、作製した接合サンプルの電気及び機械特性評価、信頼性試験を行い、微細チップ間接続の温度サイクルに対する信頼性を確認した。また、加熱機構付き SEM に EDX(エネルギー分散型 X 線分析装置)を付加し、接合部の金属接合生成過程の観測を進めた。

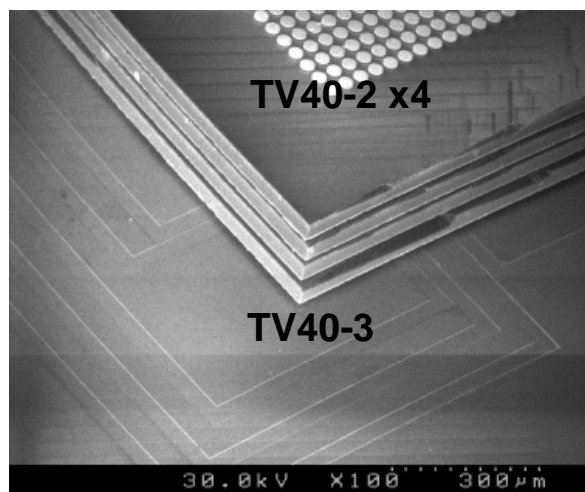
(接合構造の機械的応力測定とシミュレーションによる評価解析技術の研究)

本研究の目標である $5\ \mu\text{m}$ 微細バンプ接合部は、そのサイズが接合金属の結晶粒と同程度のオーダーであるため、熱・機械ストレスに対する疲労破壊などのメカニズム解析し、寿命予測を可能とする基盤技術を構築するためには、従来の統計的物性の取り扱いとは異なる新たな手法が必要となる可能性がある。

約 $25\ \mu\text{m}$ 径の金属接合バンプを持つ TEG を作成し、レーザー顕微鏡を用いた DICM(デジタル画像相関法: Digital Image Correlation Method) によりサンプル加熱時の変位を測定し、モデルとの相関の確認を行った。金属接合バンプ径が約 $5\ \mu\text{m}$ の場合、加熱時の変位は非常に微小であることが予想されるため、より高精度の変位測定を目的とし、加熱機構を付加した SEM による DICM システムと解析技術の開発を進めた。同時に、微細な接合部への応力に対して結晶構造がひずみ分布に与える影響について、結晶塑性論に基づいたシミュレーション解析方法の開発を進めた。さらに大規模分散メモリ型 CAE システムを構築し大規模シミュレーションシステム解析モデルを用いた検討を進めた。

また、微細な接合部では応力バランスの最適化や腐食対策として接合部の確実な封止を行うアンダーフィルも重要と考えられる。一方、数ミクロンオーダーの微少なチップ間接合の隙間に、従来からのキャピラリー方式を用いて均一にアンダーフィルを充填することは、プロセス時間短縮への要求も含めて困難が予想される。本研究では、先樹脂(Pre apply)方式のアンダーフィルを用いた新たな接合プロセスを実践して、まず $150\ \mu\text{m}$ ピッチ TEG で 3,000 バンプのデジチェーン接続を確認し、より微細な接合へ向けて開発を進めている。現在までに、 $40\ \mu\text{m}$ ピッチ TEG で $7\ \text{ミリ}$ 角チップのアレイで 28,000 バンプの低抵抗デジチェーン接続を確認する事に成

功した。現在 10 ミクロンピッチの TEG を用いた 10,000 バンプ以上の接続の実現を目指して実験を進めている。



図Ⅲ－1. 2－①－(2)－2)－1 放熱・積層・接合技術の研究開発実績 TEGの積層構造例

3) 薄化ウェハ評価解析技術の研究開発

(a) 10 μm厚極薄ウェハ加工技術の研究開発

薄化ウェハの評価解析技術の研究開発では、極薄ウェハ加工、チップ分割技術、極薄チップピックアップ技術においてそれぞれ以下の成果を得た。

まず極薄ウェハ加工において最終目標精度を $10 \pm 1 \mu\text{m}$ としたが、その達成のため、研磨装置、材料(サポートガラス、Si ウェハ)、加工プロセス(貼りあわせ+研磨)での許容される加工公差の割り付けを実施して各目標精度へブレイクダウンし、更に試作評価により精度検証を実施した。特に加工プロセス面では図Ⅲ－1. 2－①－(2)－3)－1に示すように、現状の研磨装置で標準の方式である研磨前にサポートガラスを含めた Si ウェハ厚みを測定する IPG(接触式の測定ゲージ)に比べて、薄化加工中のサポートガラスを含まない Si 実厚をリアルタイムで非接触にて直接モニタする NCG(ノンコンタクトゲージ)の採用により厚さバラツキを抑制可能となった。更に、装置面ではガラス付きウェハの厚さ分布を考慮し、研削砥石とウェハチャックテーブルとの相対角度をチューニングする方式により目標精度を達成できる見通しを得ると共に、それらの手法の有効性を確認できた。

平成 22 年度には H-WSS ガラスマウント装置を導入して研究開発を加速させると共に、材料面も合わせてガラス貼り付け精度の検証と向上の取り組み、最終目標精度 $10 \pm 1 \mu\text{m}$ を確実に達成させる予定である。

またチップ分割技術においては昨年度の単体極薄ウェハの検証に続いて平成 22 年度は W2W

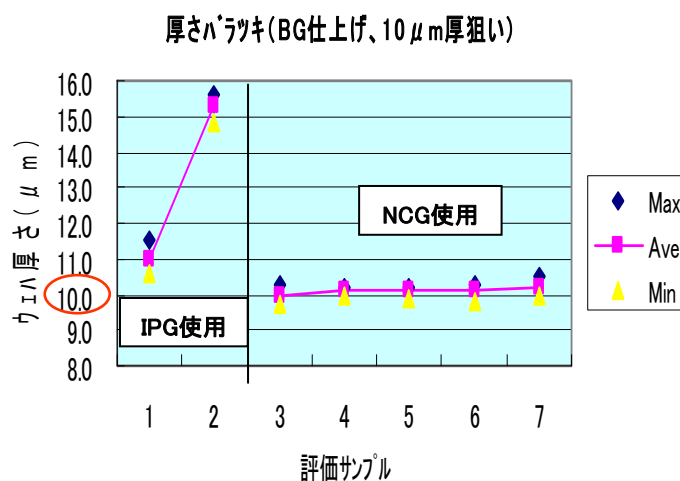
(ウェハ・ツー・ウェハ)を想定した積層極薄ウェハのダイシング技術の評価を実施し、課題と対策を明確化した。更に極薄チップピックアップ技術においては、プロセス条件の改善とピックアップ治工具のチューニングにより、10 μ m 厚の極薄チップを割れなくピックアップできる見通しを得ると共に、ピックアップ治工具の設計指針を明確にした。

例えば、今回評価したシステムでは10 μ m 厚チップに対するピックアップツールのオーバハンダ量は0.3mm が最適であり、そのようにツール設計することにより10 μ m 厚チップを安定してピックアップできることがわかった。またダイシングテープのエキスパンド量を3mm から10mm に拡大することによりピックアップ率を改善できる。これはテープ張力によりチップ周辺部の剥離が助長され、安定したピックアップを可能にするためである。このように各工程の最適化により10 μ m 厚チップのハンドリングが可能であることが分かった。

今後更に改善と評価を進め、平成22年度末までにピックアップメカニズムやその最適条件の定量的な考察を加え、技術としての完成度を高める予定である。

(b) 薄化ウェハ特性変動・ゲッタリング機構等評価解析技術の研究開発

薄化ウェハ上に形成されたデバイスの特性評価技術については、C-t 測定法を用いた解析によりIG (Intrinsic Gettering) 層が厚いほど内部ゲッタリング効果が高いことや、レーザラマン顕微鏡を用いた解析により結晶内部の残留ひずみが定量的に評価できることを検証した。AFM(原子間力顕微鏡)とレーザラマン分析を用いた薄化ストレスリリース手法の比較においては、CMP(Cheical Mechanical Polish) < DP(Dry Polish)改 < UPG(Ultra Poly Grind)の順で粗さが小さく、残留ストレスもCMP が一番小さいこと、さらに XPS(X 線光電子分光法)による Si 結合状態の分析結果でも UPG の Si 結合状態は CMP に比べて極めて悪い、即ち破碎層が存在することが確認できた。



IPG: Institute Process Gauge NCG: Non Contact Process Gauge

図III-1. 2-①-(2)-3)-1 薄ウェハ技術の研究開発実績

(中間目標の達成度)

以上の内容を表Ⅲ－1. 2－①－(2)－1にまとめる。このように、基本計画に定義された中間目標は現時点ではほぼ達成されており、平成22年度中には達成見込みである。なお、一部の開発テーマについては最終目標を前倒しで達成したため、平成22年度をもって研究開発を終了する。また、一部はこれまで成果を受けて、平成24年度最終目標の実現に向けて研究を実施中である。

1. 2-①-(2)-2 成果の意義

1) 300mm ウェハ一括プローブ方式の研究開発

300mm ウェハ一括プローブ方式の研究開発では、300 mm ウェハ一括プロービング、多端子プローブカード対応非接触プロービング、プローブカードとテストシステム間接続、プローブカード温度制御の各要素技術は、新しいコンセプトと独自技術で開発されたもので、他に類がなく、かつ世界最高水準の成果が得られている。

開発したウェハ一括プローブ方式は、テストコスト削減が求められている現行ウェハテスト工程やバーニン工程の検査技術と試験装置に適用可能であり、有用な成果である。

2) 三次元集積化の熱・積層接合評価解析技術の研究開発

従来、世界的にも次世代三次元積層 SiP の熱評価技術・冷却技術は系統的に研究されておらず、基本データが存在しなかった。本研究では三次元微細接合技術を開発し、微細接合部の分析や機械特性評価観測技術を開発し、微細接合部の熱特性測定を行い、測定によって求めたパラメータを活用した熱伝達シミュレーション技術を開発した。これらの研究成果は次世代三次元積層 SiP を実現するための小型高性能冷却システムに活用することになる。

また、本研究で開発した三次元微細接合技術の一つである、封止樹脂をあらかじめチップや基板に塗布しておき、これらの金属バンプを熔融接合すると同時に、樹脂を重合硬化する技術(プライア方式)は、10 μ ピッチレベルの微細接合を製品に適用するときに、コストや製品歩留まり、信頼性を確保する上で大きな役割を果たすことが期待される。本技術は、世界的にも実用化されておらず、チップ積層だけでなく、ウェハ積層の微細接合の技術としても適用できると考える。

3) 薄化ウェハ評価解析技術の研究開発

事業的に TSV 内蔵チップ積層を実現するにはコストが重要な要素である。また限られたチップサイズに多くの接続端子を確保するためには小径かつファインピッチの TSV を形成する必要がある。その意味でウェハ厚さを薄くすることは、上記 TSV 形成コストを低減する意味でも、ファインピッチの TSV を形成する意味でも重要な技術である。これまでの研究で $10 \pm 1 \mu\text{m}$ に高精度かつ高品質にウェハを薄厚加工し、さらに割れることなくチップ分割やピックアップできる見通しが得られたことは、TSV 内蔵チップ積層を事業的に実現することにおいて重要な意義を持つ。

またデバイスの特性評価技術については、C-t 測定法を用いた解析により IG (Intrinsic Gettering) 層が厚いほど内部ゲッターリング効果が高いことや、レーザラマン顕微鏡を用いた解析に

より結晶内部の残留ひずみが評価できることを、薄化ウェハについて定量的に検証した例はこれま
になく、非常に有用な成果である。

さらに、極薄ウェハ加工、及び極薄チップピックアップ技術においては、一部の新規開発材料
を除いては世の中で市販されているコンベンショナルな材料、装置、プロセス技術をベースに研究
開発を行っている。またデバイスの特性評価技術についても、C-t 測定法やレーザラマン顕微鏡
を用いた解析技術により定量的に評価できることを検証したが、同じく市販されている解析技術で
ある。その意味で、本研究開発は世界最先端のレベルであるもののコストも含めた量産化を強く意
識した開発であり、半導体事業分野で広く普及するものと考えられる。

1. 2-①-(2)-3 知的財産権の取得

1) 300mm ウェハ一括プローブ方式の研究開発

300mm ウェハ一括プローブ方式を試験やバーニン装置に適用するために重要性が高いプロ
ービング技術、非接触通信システム、非接触コネクタ構造、およびウェハ温調技術に関して、6 件
の特許出願を行った。

2) 三次元集積化の熱・積層接合評価解析技術の研究開発

微細接合、薄チップ接合に関する特許2件を準備中である。さらに機械ストレス緩和に関わる特
許を考慮中である。

3) 薄化ウェハ評価解析技術の研究開発

Si と樹脂の複合材を有する WoW において、ダイシングする際のチップダメージを軽減する特許
を1件出願した。

1. 2-①-(2)-4 成果の普及

以上述べた成果に関わる特許、外部発表等の件数を表Ⅲ-1. 2-①-(2)-2にまとめて示す。
本表からわかるように、本研究開発は国内外から高い評価を受けており、適切に情報発信を行っ
ている。

1) 300mm ウェハ一括プローブ方式の研究開発

300mm ウェハ一括プローブ方式の研究開発は、プロジェクト参加企業が実用化を期待をしてい
て、今後各企業で実用化研究が継続される予定である。

2) 三次元集積化の熱・積層接合評価解析技術の研究開発

微細接合技術と微細な接合部に関わる上述の様々な観測技術と理解は、高い信頼性と歩留ま
りを持った三次元 SiP の開発製造に役立つものと思われる。また、本プロジェクトで開発した熱シ
ミュレーションによって、チップ積層構造・材料設計の効率化を図ることができると思われる。さらに、
今回調査、検討、改良を進めた観測技術は、観測測定機器メーカーの製品展開にも寄与することが
期待できる。

3) 薄化ウェハ評価解析技術の研究開発

10 μ m厚の極薄ウェハ評価解析技術は、3次元積層 SiP の基盤技術の一つとして不可欠である。また、本技術は 10-50 μ 厚レベルのウェハにも有益であり、成果の普及が期待できる。

1. 2-①-(2)-5 最終目標の達成可能性

1) 300mm ウェハー一括プローブ方式の研究開発

現在までに、研究開発は順調に進行している。この成果をうけ、平成 24 年度最終目標を平成 22 年度に達成することができると考えている。

2) 三次元集積化の熱・積層接合評価解析技術の研究開発

今秋には現在試作を進めている微細接合、及び熱特性測定 TEG が完成し、平成 22 年年度末までにはその計測と確認が完了し、平成 24 年度最終目標とする結果を達成する事が可能であると考えている。

3) 薄化ウェハ評価解析技術の研究開発

現在まで研究開発は順調に進んでおり、10 μ m厚極薄ウェハ加工技術の研究開発は詰めの段階に入っている。平成 22 年度には H-WSS ガラスマウント装置を導入して研究開発を加速させると共に、材料面も合わせてガラス貼り付け精度の検証と向上の取り組み、最終目標精度 $10 \pm 1 \mu$ m を確実に達成させる予定である。ピックアップ技術についてもメカニズムやその最適条件に対して定量的な考察を加え、技術としての完成度を高めて行く予定である。それぞれの成果を総合的に統合することにより、最終目標は確実に達成できると考えている。

表Ⅲ-1. 2-①-(2)-1

「次世代三次元集積化のための評価解析技術の研究開発」の成果と達成度(※)

◎ 目標を大幅に上回り達成、○:目標を達成、△:目標をほぼ達成、×:目標未達成

中間目標(平成22年度末)	研究開発成果	達成度
<p><u>1)300mm ウェハ一括プローブ方式の研究開発</u></p> <p>・全体で 30 万端子を有し、そのうち高速デジタル信号テスト端子においては 15Gbps 以上の信号に対応可能な300mmウェハに対応するプローブ方式の基本技術を開発する。</p> <p>・多端子プローブカードに関して非接触接続方式の実現可能性を検証する。</p> <p>最終目標(平成 24 年度):</p> <p>・300mm ウェハに対応するプローブとして 30 万端子以上の被テスト端子への一括アクセスが可能であることを確認する。また、高速デジタル信号テスト端子においては、15Gbps 以上の信号を用いた検査が可能であることを確認する。</p> <p>・平成 22 年度末までに開発したプローブをテスターと接続して評価を行い、プローブカードとテスト装置間において 500Mbps 以上の高速テスト信号を含む 4 万系統のテスト信号伝送が可能であることを実証する。</p> <p>・一つのプローブカードにおいて、10kW 以上の安定した電力</p>	<p>・ウェハ一括プローブカードに対する市場要求の明確化、およびテストチップとプローブチップ機能を含むウェハ一括プローブカードのシステムアップ実証(1/10 スケール)の研究加速により、基本計画における最終目標を前倒しで達成した。</p> <p>具体的には、</p> <ol style="list-style-type: none"> 1. 300mm ウェハに対応するプローブとして、大気圧加重による接触 15 万端子と加重なしに信号プローブを実現した非接触方式(容量結合)を開発し、30 万端子以上の被テスト端子への一括アクセスが可能であることを確認した。 2. 市場要求からウェハ一括プローブの実用レベルが接触 15 万端子と非接触 3.6 万端子であることを明確化し、最終実証プローブとして接触・非接触混在の合計 18.6 万端子を有し、かつ品種交換対応可能な 5 層構造メンブレン方式プローブカードを開発した。 3. 真空微差圧方式による非接触容量結合の実現技術を開発した。 4. 高加重・高速ウェハ一括プローバ装置を開発し、大気圧加重 7kN と軸圧 2kN による 9kN/300mm ウェハの均一加圧技術を確立した。 <p>・多端子プローブカード対応非接触プロービング技術の研究開発については、</p> <ol style="list-style-type: none"> 1. 非接触通信用のプローブチップ(容量結合)を開発し、1Gbps の非接触伝送技術を確立した。 2. 上記技術を適用し、テストチップ機能(5mm×5mm)とプローブチップ機能(4.3mm×4.3mm) 	<p>◎</p>

<p>供給技術を開発する。</p> <p>・プローブカードにおけるチップテスト時、温度範囲-40℃～+125℃においてバーンイン試験及びバーンイン試験を可能とする温度制御技術を開発する。</p>	<p>を ASIC として開発した。各 ASIC をそれぞれ 500 チップ使用することにより、ウェハ上の最大 2,000 チップ DUT を一括同時テスト可能とした。</p> <p>3. これら ASIC を含む 300mm ウェハ対応 18.6 万端子プローブカードによるウェハー括テストのシステムアップ (1/10 スケール・各 ASIC50 チップ) を行い、実動作速度 (最大伝送速度 15Gbps/DUT) を実証した。</p> <p>・プローブカードとテストシステム間接続技術の研究開発では、</p> <p>1. テスタチップとプローブチップ機能を含むウェハー括プローブカードのシステムアップ実証 (1/10 スケール) の研究加速により、プローブカードとテスター (テストシステム、テスト装置) 間の信号接続を大幅に削減した評価を行った。</p> <p>2. 一方、300mm ウェハー括プローブカードをテスターと接続要求に対する市場ニーズから、高いピン密度 (従来比 4 倍以上) を実現した 200 チャンネル / 伝送速度 500Mbps 以上動作の非接触コネクタ (容量結合) を開発した。これにより、非接触コネクタを用いたプローブカードとテスト装置間において 4 万系統のテスト信号伝送が可能であることを実証した。</p> <p>・プローブカード電力供給技術の研究開発では、</p> <p>1. 被測定対象への電力供給技術として、ウェハ当り最大電力 10KW 以上供給を目的とした 3 電源・12 出力の電源モジュールを開発した。</p> <p>・ウェハ温度制御技術の研究開発では、温度範囲 -40℃～+150℃において、チップテストおよびチップバーンイン試験を可能とし、温度範囲 70℃～+150℃においては、ウェハー括バーンイン試験を可能とする温度制御技術を開発した。</p>	<p>◎</p> <p>◎</p> <p>◎</p>
---	---	----------------------------

	<p>具体的には、</p> <ol style="list-style-type: none"> 1. -40～150℃の温度制御を可能とし、ウェハトレイ構造に対応した広温域・大気圧加圧アライメント装置を開発した。(ウェハー括プローブ&ウェハ内分割試験) 2. 気化潜熱を用いた 300mm ウェハ面の冷却と 70～150℃±3℃(20kW 発熱時)高精度温調技術を開発した。(ウェハー括プローブ&ウェハー括バーンイン試験) 3. 高熱伝導材(熱伝導率 630W/m・k)を用いた高熱伝導ウェハトレイと接触熱抵抗低減技術(従来比 1/7)を開発した。 	
<p><u>2) 三次元集積化の熱・積層接合評価解析技術の研究開発</u></p> <p>・次世代三次元集積化のための熱評価解析技術及び積層接合評価解析技術を開発する。</p>	<ul style="list-style-type: none"> ・三次元 IC の熱評価解析シミュレーションによって設計時点で熱特性評価を行うことができるようにするために、三次元積層 SiP の放熱のネックとなるチップ間熱伝導を測定・導出する為の熱伝導度測定装置を構築して、シミュレーションの高精度化を進め、チップ間のサーマルバンプやシリコンサブストレートの厚さなどが放熱特性に重要性が高い事が明らかになってきた。 ・発熱体と温度検出部を組み込んだ積層 TEG を作成し、三次元 IC の動作状態における発熱と熱伝導の現象を評価解析する作業を開始しており、平行して進めるシミュレーションモデルとの比較を進めることによって、さらに精度の高い熱評価解析技術の開発を進める。 ・放熱器性能測定装置を構築し、放熱構造や素子、材料を含めた評価解析技術開発を進めており、実証デバイスに応用する。 ・接合材料及び樹脂封止材料とプロセスの検討を進め、40um ピッチで TEG 上の 28,000 バンプすべてが十分低い接続抵抗で接合できる事を確認した。 ・10um ピッチにおいても 10,000 バンプ以上の接合を可能とするよう研究を進めている。 ・接合部の機械物性評価をシミュレーションと、EDX 	○

	<p>付き加熱 SEM を導入した DICM 法によって進めている。また欠陥観測法として、20um レベルの TSV・接合部を X 線 CT により観測できることを確認し、その他の観測技術を含めてさらに微細接合積層評価を可能とするよう、技術評価を進めている。</p> <p>・接合部の信頼性評価測定方法の提案、検証を行い、実際の評価を進めている。</p>	
<p>3) 薄化ウェハ評価解析技術の研究開発</p> <p>・10 μ m に薄化した 300mm ウェハの評価解析技術を開発する。</p>	<p>・極薄ウェハ加工において最終目標精度 10±1 μ m 達成のため、研磨装置、材料、加工プロセスでの目標精度へブレイクダウンし、精度検証を実施した。</p> <p>現状の IPG(接触式の測定ゲージ)に比べて、薄化加工中に Si 実厚を非接触モニタする NCG(ノンコンタクトゲージ)の採用と、研削砥石とウェハチャックテーブルとの相対角度をチューニングする方式(Auto TTV)により目標精度を達成できる見通しを得た。</p> <p>・極薄チップピックアップ技術において、プロセス条件の改善とピックアップ治工具のチューニングにより、10 μ m 厚の極薄チップを割れなくピックアップできる見通しを得ると共に、ピックアップ治工具の設計指針を明確にした。</p> <p>・デバイスの特性評価技術については、C-t 測定法を用いた解析により IG(Intrinsic Gettering)層が厚いほど内部ゲッタリング効果が高いことや、レーザー顕微鏡を用いた解析により結晶内部の残留ひずみが定量的に評価できることを検証した。</p>	○

表Ⅲ-1. 2-①-(2)-2

「次世代三次元集積化のための評価解析技術の研究開発」の特許、外部発表等

区分 年度	特許出願			論文	学会発表等	その他外部発表 (書籍・プレス等)
	国内	外国	PCT			
H20FY						1
H21FY	6		1	1	28	3
H22FY※					6	

※H22FY は平成22年7月末日の集計

1. 2-①-(3)次世代三次元集積化設計技術及び次世代三次元集積化のための評価解析技術の有効性実証

1. 2-①-(3)-1目標の達成度

(基本計画の目標)

(概要)

シリコン貫通電極を用いた三次元積層 SiP の試作は、多機能高密度集積化技術として開発した設計技術と、評価技術の有効性を実証するために行う。そして、それが半導体産業分野に新しい重要な提案となり、その結果、日本の半導体技術のプレゼンスを高めることとなることを期待している。

日本は民生機器が強く、軽薄短小技術に先進性を持つ。このような背景から、本プロジェクトで培われた三次元集積化技術成果を有効に利用して、上記強みをさらに強化する。その強化策を具体的に見える形にするものが実証デバイスである。すなわち情報通信および信号処理デバイス的高速小型化、低消費電力化を具体的システムで検証する。

基本検討デバイスにより部分検証を行うフェーズと実証デバイス検討フェーズを分けて行う。

最終的な実証デバイスの詳細仕様は基本検討デバイスを数回試作した後に決定するが、日本の強い民生機器部門でのハイエンド技術を保有する技術、例えば、超高速フレームレートを持つイメージセンサを含む画像処理とその記憶素子が考えられる。

一方、上記基本検討デバイスや実証デバイスを試作するためには、要求仕様に適応できるプロセス開発が必要となる。TSV 形成及び積層プロセスは、NEDO 電子 SI プロジェクト等で開発された成果を基に国内外で開発が進められているが、今回の実証デバイスのプロセス仕様は、これを実現するため以下をターゲットとする。

- ・ TSV サイズ(ピッチ) : $\phi 5\mu\text{m}$ ($10\mu\text{m}$)
- ・ TSV 数: 10,000 以上 / チップ
- ・ TSV 形成プロセス: Via-Last 方式
- ・ 積層プロセス: Chip to chip 方式 あるいは Wafer to Wafer 方式
- ・ 積層数: 2 層 ~ 5 層

DRAM 等のメモリデバイスや最先端デバイスを積層する場合、これらのデバイスはすでに $\phi 300\text{mm}$ ウェハでの製造が主流となっているが、現状、国内では上記プロセス仕様に対応できる $\phi 300\text{mm}$ ラインは存在しない。このため、本プロジェクトにおいては、必要に応じて上記プロセス仕様に対応できる $\phi 300\text{mm}$ ライン(実証ライン)を構築し、実証デバイスの試作が可能となる TSV 形成及び積層プロセスの研究開発を進める。

以上のことを考慮して、具体的研究内容と目標を以下のように定め、研究開発を進めることとした。

出典:基本計画 P5

1)次世代三次元集積化設計技術及び次世代三次元集積化のための評価解析技術を用い、Si貫通ビア(電極)を用いた三次元積層 SiP を試作することにより、その有効性を実証する。

出典:基本計画 P6

中間目標(平成22年度):

- ・実用的なアプリケーションを想定した実証用三次元積層 SiP の候補と、その機能検証を行う仕様を策定する。
- ・実用的なアプリケーションを想定した実証用三次元積層SiP(実証デバイス)の第一ステップとして、ロジックと超ワイドバスメモリの2チップ構成(ビット幅 2k 本以上、伝送能力 100GB/sec 以上)とした実証デバイス#1を試作し機能を検証する。(出典:平成21年度実施方針 P2 平成22年1月改定)

最終目標(平成 24 年度):

- ・実用的なアプリケーション仕様に準ずる、Si貫通ビアを用いた三次元積層 SiP を試作し機能を検証する。
- ・実用的なアプリケーションを想定した実証用三次元積層 SiP(実証デバイス)の第二ステップとして、センサ、AD コンバータを含む実証デバイス#2を試作し機能を検証する。(出典:平成21年度実施方針 P3 平成22年1月改定)
- ・実証デバイスにおいて、次世代三次元積層 SiP、インターポーザ、外部基板まで含めた領域において、電気的特性による次世代三次元積層集積化設計技術の設計精度検証を行う。

(開発成果の要約)

1)次世代三次元積層 SiP の有効性実証

(a) 実証デバイス設計開発 #1

より、近未来に実用化が期待できる実証デバイスとして超ワイドバスメモリとロジックの相互結合を可能とする三次元積層構造の可能性に注目し

- ・メモリとロジックを 2k-IO 以上の超ワイドバスで接続する構造を実現する。
- ・ロジックとメモリそれぞれの端子位置の自由度を確保するため、Si インターポーザをメモリとロジック間に挿入する構造を採用。
- ・この構造化に必要な設計手法(DFT を含む)を構築。
- ・伝送エネルギーの低減及び超ワイドバスのノイズを評価する。

と言う観点から仕様を検討し、信号を授受する素子としてロジックと超ワイドバスメモリの2チップ構成(ビット幅 2k 本以上、転送能力 100GB/sec 以上)とし、両者の間に Si インターポーザを挿入する

三次元構造を前提として設計に着手、平成21年度には論理レベル設計を完了させた。

実証デバイス#1仕様の第1の特徴として、超ワイドメモリバスのビット幅を4k(4,096)本とし、動作周波数 100MHz (200Mb/s)とすることで 102GB/s の転送性能を有する点が挙げられる。これは現在一般的に用いられているメモリの転送性能(64bit 幅×1.6Gb/sec=12.8GB/sec)の8倍の性能に相当する。又、信号伝送に要する電力も三次元構造化によって著しく改善される、従来の並置型構成に比して伝送路の負荷容量が1/10以下に低減される見通しであり、その結果、1ビットのデータの転送に必要なエネルギーも1/10以下となる。これは伝送経路のエネルギー効率が10倍以上となることを示す。

現在、詳細設計が進行中で設計完了は平成22年9月末予定。DFT(Design For Test)の観点からロジックとメモリ双方にバウンダリスキャンを搭載し、ロジック部には電源ノイズ評価回路(インターポージャーWGの成果の活用)を搭載する。

こうした機能の搭載により超ワイドバスを活用するための基礎評価が可能となる。主なものとして

- ・伝送特性と対応する消費電力の評価;

 - 非常に高い伝送能力が低消費電力によって実現される事の確認

- ・超ワイドバス構造に付随するノイズの評価;

 - 同時スイッチング出力動作(Simultaneous Switching Output; SSO)ノイズ

 - ノイズ低減手法の調査

- ・三次元構造の試験手法に関する調査(バウンダリスキャンを用いた接続性試験など)

といった三次元積層構造が持つ特徴と課題を確認できる設計仕様となっている。

又、メモリとロジック間にSiインターポージャーを挿入する構造を採用し、この構造に対応する設計作業により、メモリ・ロジック双方の素子の端子位置自由度がどの程度確保されるか(Siインターポージャーの配線層数・設計基準と端子位置変更範囲との相関の評価)という、新たな知見も蓄積されつつある。

(b) 実証デバイス設計開発#2

平成21年度に、次の目標を定めた。すなわち、三次元集積化の優位性が顕著であり、日本の得意領域の応用として高速画像システムを取り上げ、10,000 フレーム/秒で画像を高速に取り込み、リアルタイムで処理することが可能な、並列・リコンフィギュレーション画像処理システムを開発することを目標とした。まず、VGAで進め、最終的にはHDTVに展開できる可能性を示す。VGAでも24Gbps×3というバンド幅が必要であり、TSVによる情報の並列処理をすることが主眼となる。

本システムは産業機器に属するものであるが、民生機器と共通するプロトコルやアーキテクチャで制御される部分が多く、開発技術は、スペックダウンした形で民生機器、特に携帯電話分野に展開できる技術である。また最近開発が加速されている自動車自動運転支援システム(ADAS: Advanced Driver Assistance System)への適用も考えらる。

平成20、21年度は要素回路を試作した。その要素回路はセンサ、ADC、リコンフィギュラブルメモリ、並列・リコンフィギュレーションプロセッサ、高速インターフェースで、その間の整合技術もあわせて検討した。TSVをつけた構造は、ウェハ試作の開発費用がかかることから、平成20年度と平

成 21 年度は等価回路による TSV の検討を行った。含まれる主要要素技術を次に示す。

- i) 高速処理・高速通信 (広域バンド) : 10,000 フレーム/秒(部分試作で可能性検討)、フレームメモリ処理、チップ内通信 100M~6Gbps、チップ外 2Gbps/ピン、VGA 仕様でバンド幅 24Gbps。
- ii) 多機能: イメージセンサ、ADC、プロセッサ、大容量メモリ、高速 I/F、高速シリ・パラ変換。
- iii) 並列分散・大容量通信: TSV 数; 20,000 (信号ピンのみ)、20,000 並列処理をイメージした高効率・高速通信および演算処理。
- iv) 大容量記憶: 6,000 フレーム分以上が必要、ただし、今回の検討期間では検討対象としない。
- v) 冗長性・強靭性: ダイナミックリコンフィギュレーションによる各種補正可能なアーキテクチャ。ただしその可能性を要素回路で示すのみ。

以下に、基礎検討の成果を示す。

1. イメージセンサ・AD コンバータ

積層型超並列 CMOS センサ、CDS (Correlated Double Sampling)、グローバルシャッター機能付きピクセル回路の一次評価を完了し、二次試作中でチップは平成 22 年 3 月に完成した。ADC (コンバータ) は、変換速度、消費電力、占有面積などの検討を行い、一次試作として目標達成可能なシングルスロープ型と逐次型の 2 回路の設計評価を完了し、二次試作では逐次型でチップ試作が平成 22 年 2 月に完了し、初期的な評価で基本機能が満足することが判明し、さらに詳細評価中である。

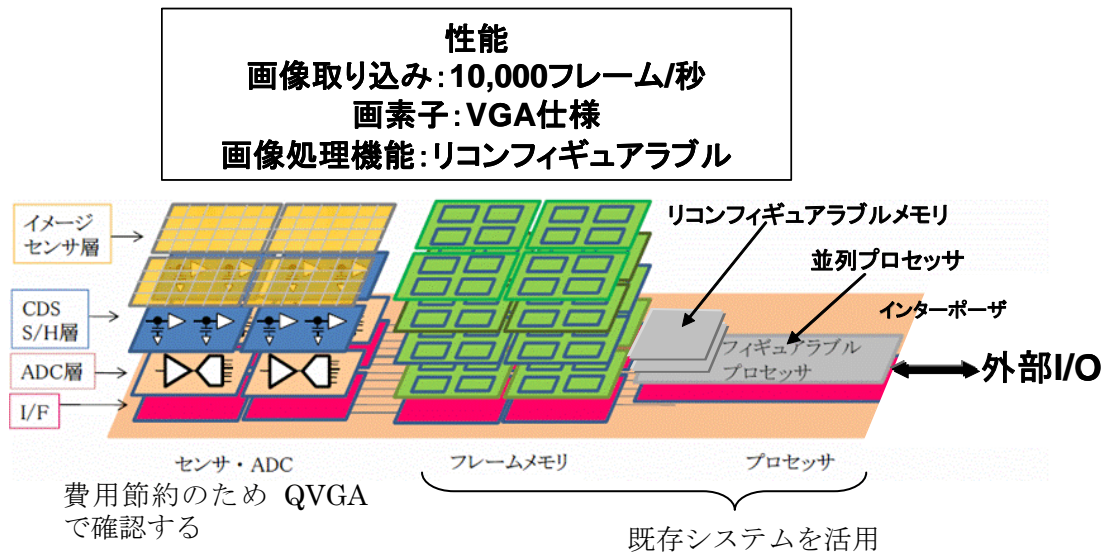
2. 並列・リコンフィギュレーション画像処理

各種画像処理を施したデジタル画像を出力するためのリコンフィギュラブル画像処理プロセッサに関して、動的再構成メモリを搭載する画像処理用アーキテクチャの方式の基本設計を行い、チップ試作を完了し、初期的な評価で基本機能が満足することが判明し、さらに詳細評価中である。ただし、平成 23 年度以降費用を削減するため、本モジュール試作は行わないことにし、その可能性のみを確認することとした。

3. 高速インターフェース

3.2Gbps 以上の動作で、16/32 ビット同時切り替え可能なドライバチップを設計製作完了し、インターポーザ WG と共同で、PI/SI 評価基板を設計し、試作評価を完了した。二次試作として統合 IF チップ (シリパラ・パラシリ変換、レシーバ、クロック、高速ラッチ、デコーダ、TSV 等価回路、等価的内部回路、ドライバ) を設計し、平成 22 年 2 月チップ試作が完了し、チッププロブレレベル評価で動作を確認し、これに整合する高速評価ボードの設計を完了した。

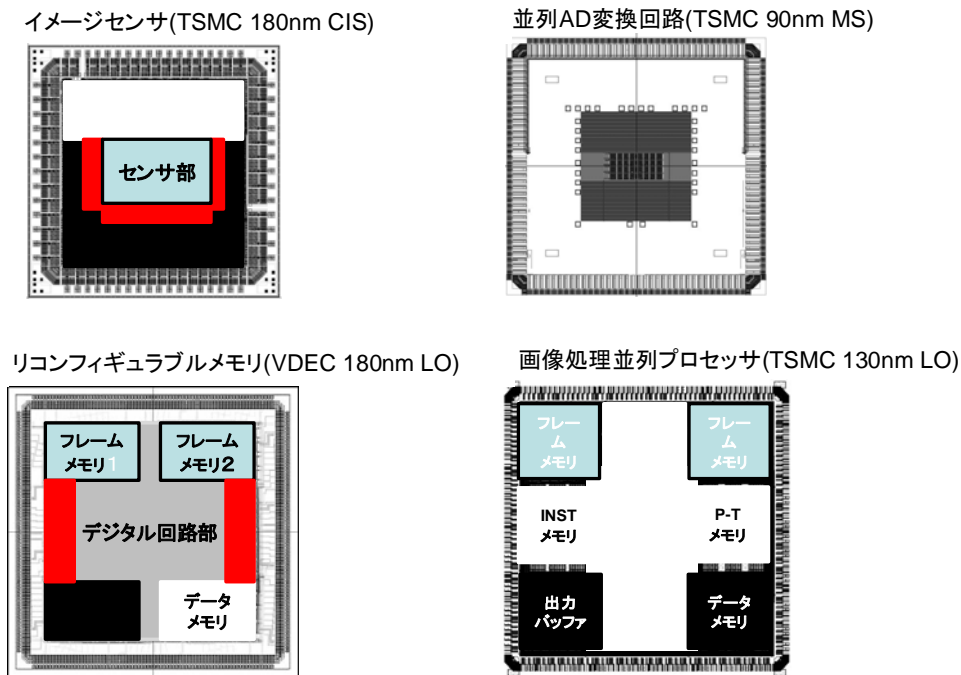
尚、上記実証デバイス #2 の最終構成イメージを図 III-1. 2-①-(3)-1)-1 に示す。



図Ⅲ-1. 2-①-(3)-1) -1 実証デバイス#2の最終構成イメージ図

平成21年度までの要素回路基礎検討は要素別にほぼ初期の目標を達成した。この要素回路を元に、平成22年度において10,000フレーム/秒の画像取り込みのためのセンサモジュールのチップ、すなわちセンサ、ADC、I/Fチップの設計を、TSV接続の上下整合関係、信号タイミング整合条件、電源電力配分、取り出し電極構成を考えながらコンカレント設計を開始した。実用的なデバイスを狙う反面、評価も必要であり、評価モニタ回路を含める必要があること、費用を節約することの2面からQVGA仕様とする。チップ製作、モジュール化は平成23年度から平成24年度前半で完成させ、平成24年度後半で評価実証する。ただし、リコンフィギュアラブルメモリ・並列プロセッサモジュールは費用節約のため、モジュール化は行わず、入手可能な既システムを利用するが、要素回路試作のデータを元にしてその技術展開指針は示す。

平成21年度までの要素回路の基礎検討を行った代表的チップ群を図Ⅲ-1. 2-①-(3)-1)-2に示す。



図Ⅲ－1. 2－①－(3)－1)－2 平成 21 年度までに行った要素回路基礎検討チップのレイアウト図

(c) 実証デバイスプロセス開発

実証デバイスプロセス開発では TSV、マイクロバンプの形成技術とウェハ積層技術(W2W)を開発しており、以下の成果を得た。

実証デバイス#1 では 50 μm ピッチ、20 μm 径の TSV が使われ、実証デバイス#2 では 2 種類の TSV(インターフェースチップで使われる 35 μm 径 TSV とイメージセンサ、CDS、ADC、フレックスチップ等で使われる 5 μm 径 TSV)が使われる。実証デバイスプロセス開発では、まず、20 μm ～35 μm 径に対応できる TSV およびマイクロバンプの形成技術を開発した。TSV 形成は Si ウェハをガラス支持体に貼りつけてから 40 μm 程度に薄化し、ウェハの裏面側から TSV を形成する裏面ビアラスト (Via Last/Back Via) 方式のプロセスを開発した。Via はプラズマエッチング法で形成し、側壁絶縁膜(SiO₂)はウェハとガラス支持体を接着する樹脂の耐熱性を考慮して、180 $^{\circ}\text{C}$ 以下の低温プラズマ CVD 法で形成した。Via 内は電解めっき法で Cu 電極材を埋め込み、ウェハ表面上の Cu 膜は CMP 法で除去した。Cu めっきは Via 底から Cu 膜が成長していくボトムアップ方式を適用し、Via 内のポイド発生を抑えた。TSV 上のバンプは電解めっき法で Cu/SnAg あるいは Ni/Au のバンプを形成した。以上のプロセスにより、20 μm ～35 μm 径レベルの TSV 形成技術は開発を完了した(図Ⅲ－1. 2－①－(3)－1)－3)。

5 μm 径 TSV に関しては、Si ドライエッチングで深さ 30 μm まで問題なく加工できることを確認し、

また 5 μm 径という非常に微細なマイクロバンプを Cu/SnAg、Ni/Au とともにほぼ垂直形状で形成することができた。この結果、5 μm 径の TSV を形成できる見通しを得た。

W2W 積層技術の開発では、まず基本的なプロセスフローを検討し、Via Last/Back Via 方式の TSV 形成技術を取り込んだプロセスフローを策定した。今回の W2W 積層プロセスの特徴は、ガラス等の支持体を用いず、インターポーザ等のウェハに他のデバイスウェハを積層して裏面加工 (TSV、マイクロバンプ形成) を行い、このプロセスを繰り返して積層していくことにある (図 III-1.2-①-(3)-1-4)。この W2W 積層プロセスによって、10 μm 厚の極薄 Si の積層が達成できると考えている。

次にウェハ間を樹脂で封止するプロセスを検討した。ウェハ積層前に予めウェハ上に樹脂を形成しておく先樹脂法とウェハ積層後に樹脂を封止する後樹脂法の 2 種類の方法があるが、今回は先樹脂法を検討した。樹脂として BCB、ポリイミド、エポキシの三種類を評価した結果、加工性、耐熱性等の観点から、先樹脂法の樹脂としてポリイミドが最も適していることが確認できた。ポリイミドまたはエポキシ樹脂でウェハを貼り合わせた後、ウェハ研削からマイクロバンプ形成までの工程を進め、薬液の影響を受けることなく加工できることを確認した。

平成 22 年度内には先樹脂法でマイクロバンプを形成したウェハでの接合評価を完了するとともに、ウェハ積層後の TSV 形成技術の開発を完了させる予定である。

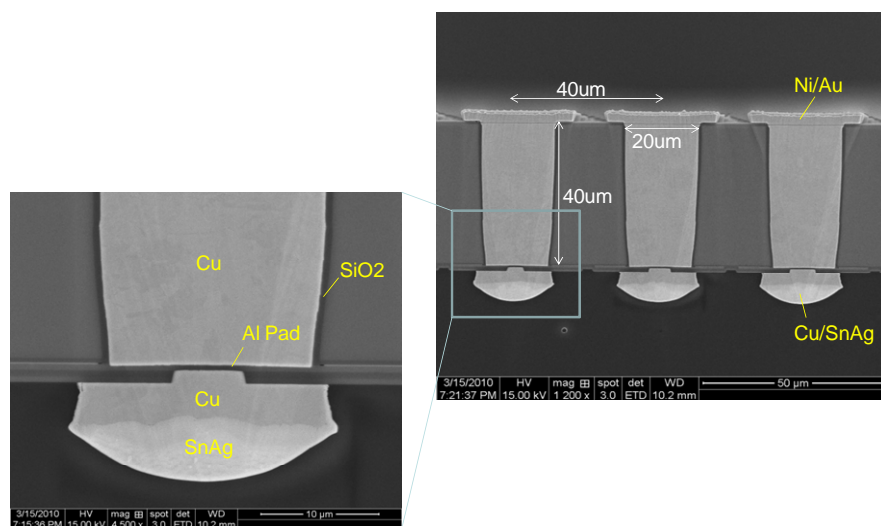
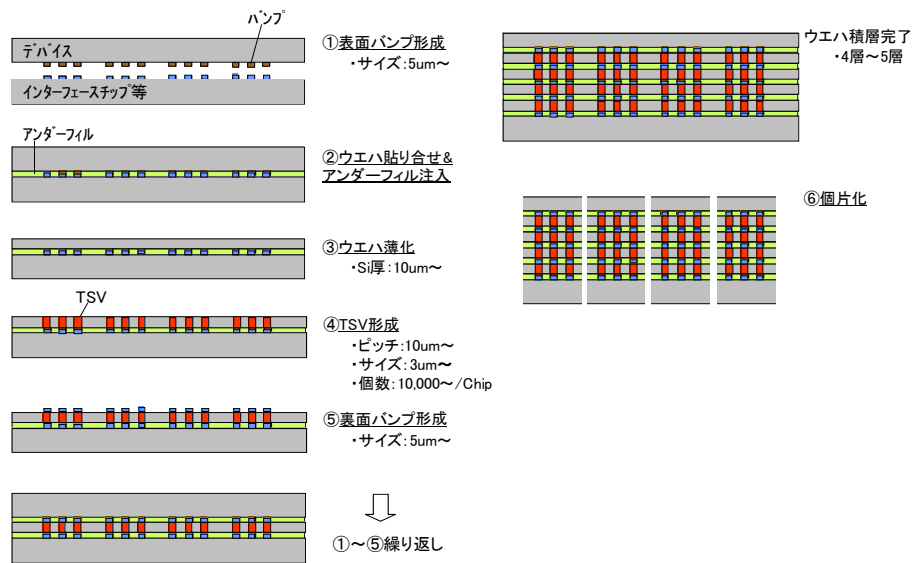


図 III-1.2-①-(3)-1-3 40 μm ピッチ、20 μm 径、深さ 40 μm TSV



図Ⅲ-1. 2-①-(3)-1)-4 W2W 積層プロセスフロー

(中間目標の達成度)

以上の内容を表Ⅲ-1. 2-①-(3)-1)にまとめる。このように、基本計画に定義された中間目標は現時点でほぼ達成されており、平成22年度中には達成見込みである。

1. 2-①-(3)-2 成果の意義

(a) 実証デバイス設計開発 #1

- ・超多ピンによる三次元積層素子間のデータ授受技術は、その優れた低消費電力化によって、IT機器の性能向上を図りながら省エネルギー・CO2削減効果に大きく貢献できる。
- ・本技術は、今後、世界的に展開される三次元集積化技術の基盤技術であり、加速開発を実施し早期に実用に展開することで我が国半導体産業及びIT機器メーカーの発展に寄与できる。
- ・設計技術・評価技術の開発は関連知財構築・仕様のデファクト化と共に、設計・開発インフラの整備を含めた多様な応用展開を加速する基盤技術開発となる。
- ・米国(Sematech/DARPA)、欧州(Imec, Leti)、韓国(KAIST)などが繰り返し広げている三次元集積化技術開発の激しい国際競争の中で、日本の地位向上に資する。

(b) 実証デバイス設計開発 #2

機能特性は 10,000fps(現市販 2000fps 間歇的データ取り込み)のリアルタイムの高速並列画像取り込み(=常時)を実現でき、常時 24Gbps の高速並列データ処理が可能となる(Intel CPU 最大は 68.2Gbps であるがデータ転送率 30~50%で、画像に対して積和演算効率は悪い)。

(c) 実証デバイスプロセス開発

W2W 積層プロセスにおいて、今回、ガラス支持体を用いず、インターポーザ等のウェハ上に順次、ウェハを積層し、TSV は Via Last/Back Via 方式で形成するプロセスを提案した。このプロセスは比較的汎用性が高いため、今後、W2W 積層で三次元デバイスを実用化していく上で、スタンダードプロセスに成り得るものと考えられる。また、このプロセスでは、ウェハ間の樹脂充填方法が大きな課題の一つとなっているが、今回、ウェハを積層する前に樹脂を形成する方法を検討し、マイクロバンプの形成も含めて、本プロセスを構築できる見通しを得ることができたことは、今後の W2W 積層技術の開発に大きな意義を持つ。今後、実証デバイス # 1 および # 2 の製造プロセスとして展開を行っていく。

1. 2-①-(3)-3 知的財産権の取得

本年度に出願予定であり、現在準備中である。

1. 2-①-(3)-4 成果の普及

(a) 実証デバイス設計開発 # 1

超多ピンによるロジック・Si インターポーザ・メモリ間の相互接続は、高性能情報処理装置、特にグラフィックス用としてメニーコアを用いるハイエンドの画像処理装置(PC用グラフィックス、ゲーム機器)が最初のキラーアプリと成る可能性が高い。これに続いて、グラフィックス用エンジンを汎用化した GPGPU (General Purpose Graphics Processing Unit)を用いたスーパーコンピュータやサーバなどに市場が拡大するものと想定している。

(b) 実証デバイス設計開発 # 2

また最近開発が加速されている自動車自動運転支援システム(ADAS: Advanced Driver Assistance System)への適用も考えられるだけでなく、スポーツ、科学、医学、軍用分野における高速画像処理システム、特にリアルタイム(常時)処理が出来ることから、超臨場感を持つモニタ操作を必要とする分野に応用できる可能性を持つ。また、切り出した技術は波及効果として一般的な CPU メモリ間的高速通信やクラウドコンピュータ通信システムにも応用可能である。さらに、多くの TSV を利用した並列メモリ、演算処理はダイナミックリコンフィギュラブルシステム一般のハード的な設計部門への取り込みも可能である。

(c) 実証デバイスプロセス開発

300mmウェハを使った TSV 技術、ウェハ積層技術等は世界的にも普及していない。本プロジェクトが実証デバイスを通して実用化可能なプロセスを示せば、日本の半導体産業の国際競争力の向上と三次元技術の世界的普及に大きな影響を与える。

1. 2-①-(3)-5 最終目標の達成可能性

(b) 実証デバイス設計開発 #1

・実証デバイス #1 の最終目標を列記すると下記6項目となる。

- ・超多ピンでのロジックとメモリ、及びシリコンインターポーザの相互接続を行う三次元積層構造の設計技術を確立。
- ・超多ピン三次元接合に関連する貫通電極周りの設計技術(含むテスト設計)を確立。
- ・超多ピン三次元接合に於けるノイズ評価を行い、これに対応したノイズ低減設計技術を確立。
- ・超多ピン三次元接合のもつ伝送能力と伝送エネルギー低減の定量評価を行う。
- ・300mm ウェハによる W2W 接合技術によってメモリ+シリコンインターポーザ+ロジックの三次元積層構造を構成
- ・メモリの多段積層による大容量化の実現

これらの内最初の2項目は平成 22 年度中に、平成 23 年度中に次の2項目、平成 24 年度中に最後の2項目を達成する予定である。

(b) 実証デバイス設計開発 #2

異種機能デバイスの積層体である QVGA 仕様のセンサモジュールを作成し、10,000fps 高速の微弱アナログ信号、デジタル信号データを、TSV を通じて機能的にアウトプットし、既システムを活用して画像処理後画像表示が出来る見通しである。微弱信号とノイズキラー、高速データ転送が可能であるという設計精度検証ができる。また異種機能デバイス積層モジュールの基本プロセス仕様が完成する予定である。

(c) 実証デバイスプロセス開発

平成 22 年度中に 200mm ウェハでの W2W 積層技術基礎評価を完了する見込みである。また平成 22 年度には、200mm/300mm ウェハに対応した Deep-Si エッチング装置と低温 CVD 装置を導入するが、200mm/300mm ウェハでの W2W 積層技術(含む TSV)の開発に活用し、開発を加速する。本プロセスは、インフラがまだ整っていないため、実証デバイス #1、#2 を実現するためには、必要不可欠である。

平成 23 年度には実証デバイスの試作が可能な実証デバイスプロセスを確立し、平成 24 年度の最終目標は達成できるとものと考えている。

表Ⅲ-1. 2-①-(3)-1

「次世代三次元集積化設計技術及び次世代三次元集積化のための評価解析技術の有効性実証」の成果と達成度(※)

◎ 目標を大幅に上回り達成、○: 目標を達成、△: 目標をほぼ達成、×: 目標未達成

中間目標(平成22年度末)	研究開発成果	達成度
<p><u>1)次世代三次元積層 SiPの有効性実証</u></p> <p>・実用的なアプリケーションを想定した実証用三次元積層 SiP の候補と、その機能検証を行う仕様を策定する。</p> <p>・実用的なアプリケーションを想定した実証用三次元積層 SiP(実証デバイス)の第一ステップとして、ロジックと超ワイドバスメモリの2チップ構成(ビット幅 2k 本以上、伝送能力 100GB/sec 以上)とした実証デバイス # 1を試作し機能を検証する。(出典:平成21年度実施方針 P2 平成22年1月改定)</p>	<p>・ロジック(画像処理プロセッサ等)と超ワイドバスメモリ(SRAM)及び Si インターポーザを三次元積層した超多ピン(4k端子)相互接続構造を候補として、設計・試作先の選定を行い、仕様の策定、論理設計を完了した。</p> <p>(b) 実証デバイス # 2</p> <p>・10,000fps(現市販 2000fps 間歇的データ取り込み)のリアルタイム取り込み(=常時)を実現でき、VGA 仕様で常時 24Gbps のデータ処理が可能とする要素回路の基礎検討を終了した。また、平成 22 度で画像取り込み部の要素回路を合成し、モジュール化するための仕様を策定すると共に画像処理機能とのドッキングインターフェース構想を構築する。さらに、モジュール化に伴うプロセスステップの方法論を構築する。</p> <p>・実証プロセスの基本的な工程フローを策定し、開発に必要な装置を購入して、実証ラインを構築した。</p> <p>・200mm ウェハで、実証デバイスで必要とされる 40-50um ピッチ、20um 径、40um 深さの TSV(含むマイクロバンプ)を形成する技術を開発した。Via 内は低抵抗の Cu を電解めっき法で埋め込んだ。</p> <p>・200mm ウェハで、10um ピッチ、5um 径のマイクロバンプ(Cu、Cu/SnAg、Ni/Au)を形成する技術を開発した。実証デバイスで必要とされる 5um 径、10-30um 深さの TSV 形成技術を達成できる見通しを得た。</p> <p>・200mm ウェハで、W2W プロセスにおけるウェハ間封止樹脂を評価し、BCB、ポリイミド、エポキシの中でポリイミドが適していることを確認した。また、樹脂のみでウェハを貼り合わせ後、ウェハ研削からバンプ</p>	<p>○</p> <p>○</p> <p>○</p>

	<p>形成までの工程を通して、問題なく加工できることを確認した。</p> <p>・200mm ウェハで、W2W 積層におけるバンプ接合を評価し、バンプ材、接合条件の最適化を進める。また、ウェハ積層後の TSV 形成技術を開発する。</p> <p>・300mm ウェハで、TSV、マイクロバンプの形成技術を開発する。また W2W 積層技術の評価を開始する。</p>	
--	---	--

表Ⅲ－1. 2－①－(3)－2

「次世代三次元集積化設計技術及び次世代三次元集積化のための評価解析技術の有効性実証」の特許、外部発表等(記入要)

区分 年度	特許出願			論文	学会発表等	その他外部発表 (書籍・プレス等)
	国内	外国	PCT			
H20FY					1	
H21FY					1	
H22FY※						

※H22FYは平成22年7月末日の集計

1. 2-②「複数周波数対応通信三次元デバイス技術」

1. 2-②-(1)複数周波数対応可変 RF MEMS デバイスの研究開発

1. 2-②-(1)-1目標の達成度

(基本計画の目標)

(概要)

次世代携帯電話には高度情報通信機器として、使用する場所や環境、時間帯を気にせず、利用可能な複数の通信システム/複数の周波数の中から混信の可能性が無い周波数を自由に選択し、安定かつ高速に通信できる高度な通信機能の実現が期待されている。同時に、通信機能を担うアナログRF回路には、小型化、低コスト化、低消費電力化の実現が必要である。

本研究開発では、小型、低コスト、低消費電力のアナログRF回路を実現するため、可変機能を持つRF-MEMSデバイスを開発し、700MHz～6GHzに含まれる周波数帯域で動作する周波数可変なRF通信モジュールを開発する。この周波数帯域は、既存の携帯電話システムのみならず2013年以降本格普及を見込む3.9G (LTE: Long Term Evolution) や、その後のIMT advanced移動通信システムや無線LANなどへの適合を意識したものであり、MEMS化が実現すればMEMSを用いないRF回路に比べ圧倒的な小型化が実現し、後述するマルチチップモジュール化と組み合わせることにより、携帯通信機器のRF部分が1/8程度までに小型化する。また、三次元集積回路基盤技術として開発する他の研究開発項目と共通性が多くあるため、融合効果を発揮することができ、三次元集積回路技術開発の有効性を実証することができる。融合効果が期待できる部分としては、MEMS部分とその駆動回路であるドライバICの複合化や複合化による信号線路の短縮による損失・ノイズの低減である。そこで本研究開発項目は、アナログRF回路の小型化に向けては、三次元的な可動構造を持つRF-MEMSデバイスと、その駆動・制御ICを三次元的に実装する技術を開発するとともに、アンテナやフィルタ、アンプなど周波数可変な複数のRF通信モジュールにおいてもマルチチップモジュール(MCM)の構成で小型化するための実装技術を開発することを目的とする。

このため具体的研究内容と目標を以下のように定め、研究開発を進める。この目標は、2013年に本格運用が始まる3.9G移動通信システムに適合するものとして、周波数固定の回路を多数配置する技術を置き換えることを目指して設定したものである。このため、本MEMS技術が実市場でも十分な機能を持つことを示した上で、かつ小型化の面で優位性を立証できるため、妥当なものとして設定した目標である。

以上のことを考慮して、具体的研究内容と目標を以下のように定め、研究開発を進めることとした。

出典:基本計画 P8

- 1) 700MHz～6GHz において、中心周波数、周波数帯域幅等の周波数特性を可変とする RF MEMS デバイス(可変アンテナ、可変インピーダンス回路、可変フィルタ)を開発する。
- 2) RF MEMS デバイスの制御回路、電源回路を開発し、それらを三次元集積化するための高周波回路実装技術を開発する。

出典:基本計画 P8、9

中間目標(平成22年度):

1) 複数周波数対応可変 RE MEMS デバイスの研究開発

- ・700MHz～6GHz に含まれる周波数帯域において、MEMS デバイスのスイッチ、キャパシタ、インダクタを組み合わせ、可変アンテナ、可変インピーダンス回路、可変フィルタの動作を実証する。さらに低損失及び小型化のための指針を示す。
- ・複数周波数対応通信三次元デバイスの三次元積層構造での高周波回路実装技術を開発する。
- ・MEMS デバイスにおいて、挿入損失 5dB 以下、通過帯域幅 10%の可変フィルタを開発する。
- ・MEMS デバイスにおいて、デジタル動作の可変フィルタを開発し、専用ドライバ IC の設計を行う。
(出典:平成22年度実施方針 P11 平成22年6月改定)
- ・可変フィルタの特性を補完する通過帯域制御技術を開発する。(出典:平成22年度実施方針 P11 平成22年6月改定)
- ・MEMS デバイスにおいて、挿入損失 2dB のインピーダンスマッチング回路を開発する。
- ・MEMS デバイスにおいて可変インダクタと CMOS 制御回路融合に向けた環境構築、設計・試作を行う。(出典:平成22年度実施方針 P11 平成22年6月改定)

2) RF MEMS デバイス三次元集積化実装技術の研究開発

- ・複数周波数対応通信三次元デバイスの三次元積層構造での高周波回路実装技術を開発する。
- ・可変フィルタの特性を補完する通過帯域制御技術を開発する。

最終目標(平成 24 年度):

- ・MEMS デバイスのスイッチ、キャパシタ、インダクタを組み合わせ、700MHz～6GHz の周波数帯に含まれる複数の通信方式で使用可能な可変アンテナ、可変インピーダンス回路、可変フィルタのモジュールを開発する。
- ・MEMS 回路、制御・電源回路を三次元集積化し、機能を実証する。さらに、シリコン LSI の積層による SiP 化のために必要な実装技術を開発する。

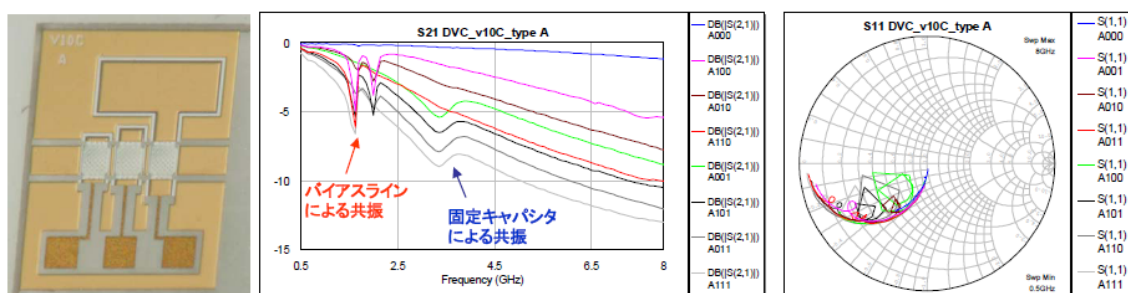
(開発成果の要約)

1) 複数周波数対応可変 RE MEMS デバイスの研究開発

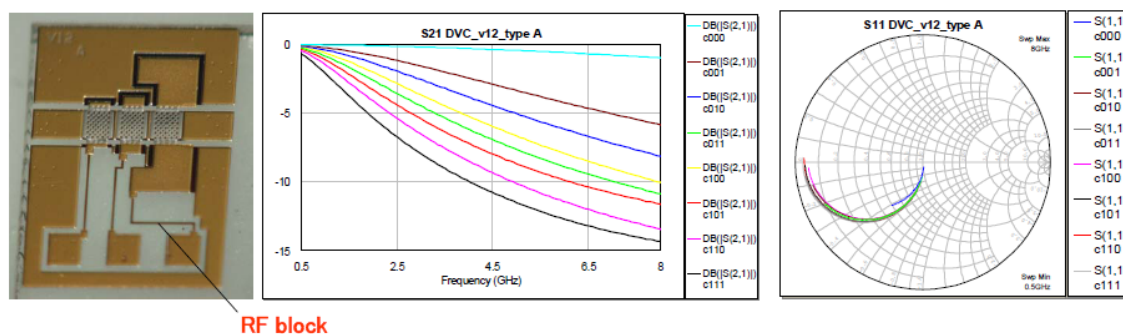
(a) MEMS 可変キャパシタ

MEMS 可変キャパシタは、容量値を 3bit で可変する構造のデジタル可変型キャパシタを開発した。図Ⅲ-1.2-②-(1)-1 に示すように、MEMS 可変キャパシタの 1 次試作の結果では、3bit のキャパシタンス変化は確認できたが、1.3 GHz および 3.5 GHz 近傍に不要な共振が確認された。1.3 GHz 周辺の共振は RF ラインの信号が駆動電源に向かって漏れるために発生することが原因であることが分かったため、可動電極と DC 電圧制御用電極との間に高抵抗薄膜による RF ブロックを形成し共振の除去を行った。また、3.5 GHz 近傍の共振は可動電極両端の 2 つの固定キャパシタの形状およびキャパシタンス差が主原因であることが分かったため、図Ⅲ-1.2-②-(1)-2 に示すように、固定キャパシタ形状の最適化により共振除去を図った。

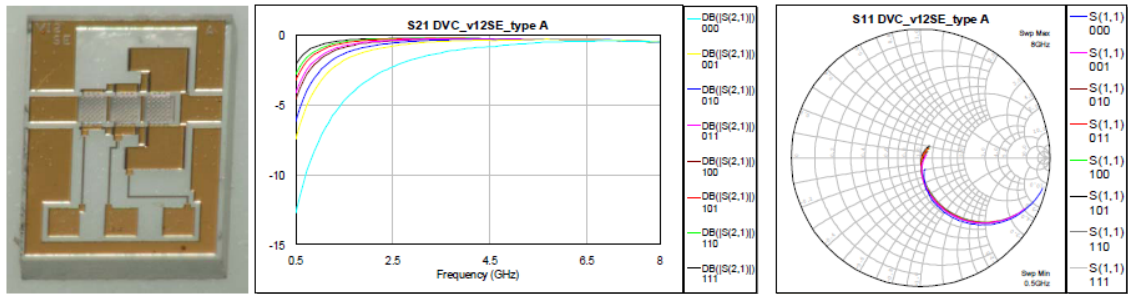
図Ⅲ-1.2-②-(1)-3 はシリーズ型 MEMS 可変キャパシタの 2 次試作の評価結果である。シャント型およびシリーズ型の双方の MEMS 可変キャパシタを開発し、共振が無く 0.5 ~ 8 GHz の周波数領域で使用可能な特性を実現した。



図Ⅲ-1.2-②-(1)-1 1 次試作の評価結果(シャント型)



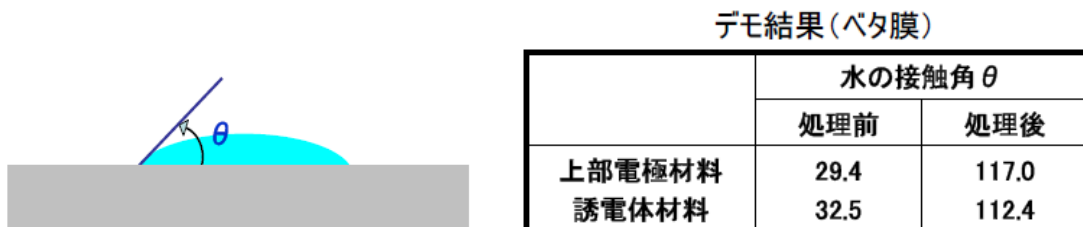
図Ⅲ-1.2-②-(1)-2 2 次試作の評価結果(シャント型)



図III-1.2-②-(1)-3 2次試作の評価結果(シリーズ型)

MEMS 可変キャパシタを長時間連続して on-off 動作させるとキャパシタを構成する下部の RF ラインと上部の可動電極が、電極間の誘電体層を挟んで張付く (スティッキング) 現象が散発した。我々はこれまでの可変キャパシタの開発を通して、誘電体層を細分化してドット状に形成すればスティッキングを相当程度回避可能であるとの実験結果を得ていたが、必ずしも十分な対策ではなかった。スティッキングの原因としては、電極表面に付着した水分子層に起因する物理的な吸着や、誘電体層に高電界が印加されることによって発生する誘電体表面や誘電体中の電荷の蓄積 (チャージング) が報告されている。

そこで、誘電体層と可動電極の表面を疎水化処理し水分子の付着を排除する対策を実施した。疎水化処理は、厚さ 1 nm 程度の FDTS(Perfluorodecyltrichlorosilane)膜をデバイスの全表面にコーティングする手法を採った。FDTS 膜は、水の接触角評価において図III-1.2-②-(1)-4に示すように高い撥水効果を示す。この対策により 10^8 回程度までの on-off 動作はクリアできることを確認したが、動作回数数の目標値 (10^{10} 回以上) には不十分であった。



図III-1.2-②-(1)-4 FDTS 膜による疎水化処理の効果

FDTS膜:1nm

次にチャージングを抑制する対策として、誘電体層の形状をドット化したことに加え、図 III-1.2-②-(1)-5 に示すように、誘電体層上に金属膜を形成し MIM(Metal_Insulator_Metal)構成とすることにより誘電体表面の帯電を抑制する構造を検討した。

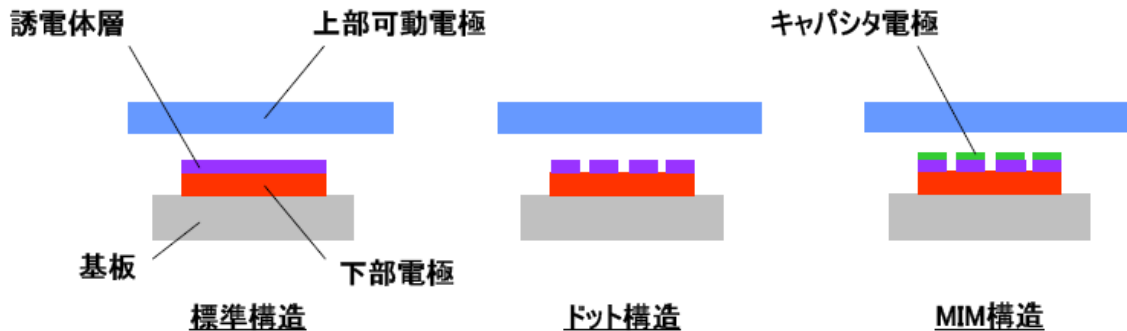


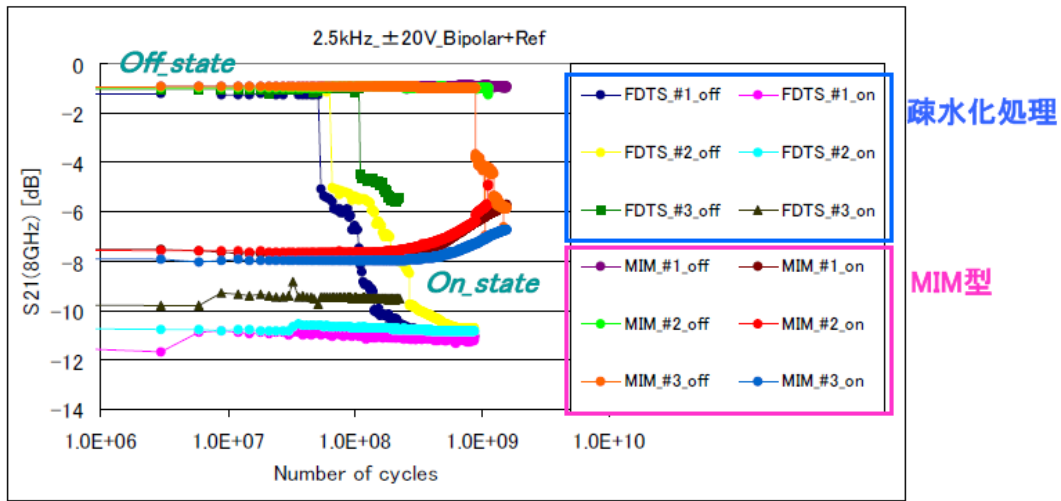
図 III-1.2-②-(1)-5 可変キャパシタ素子部の構造

さらに、MEMS 可変キャパシタを駆動する駆動電圧波形についても検討した。チャージングを抑制するには上部と下部の電極に加える電圧の極性を定期的に反転するバイポーラ駆動が有効であるとの報告がある。しかし、チャージングの早さが電圧の極性によって異なるうえ、温度によっても異なることも報告されており、単純に極性を定期的に反転するだけでは恒久的なスティッキング対策になりえない。そこで、定期的な極性反転に新たな駆動電圧（リフレッシュパルスと呼ぶ）を加える新しい駆動電圧波形を導入した。

前述の MIM 構造とリフレッシュパルスを組み込んだバイポーラ駆動により、MEMS 可変キャパシタの駆動信頼性が大きく向上することを確認し、具体的には目標とする 10^9 回以上の駆動信頼性（on-off 動作回数）をクリアした。なお、図 III-1.2-②-(1)-6 に示すように、駆動回数の増加とともに on キャパシタンスが減少する傾向がみられた。原因を調査中だが、駆動回数の増加とともに減少する傾向は小さくなるため、不可避な現象であっても初期エージング処理を導入することで低減できることを確認している。

インピーダンス整合回路への実験適用のためには気密実装を要したため、簡易型 CSP (Chip Size Package) 技術を完成した。さらに、容量制御の高精度化に向けたデジタル 4bit 可変化の開発にも着手した。

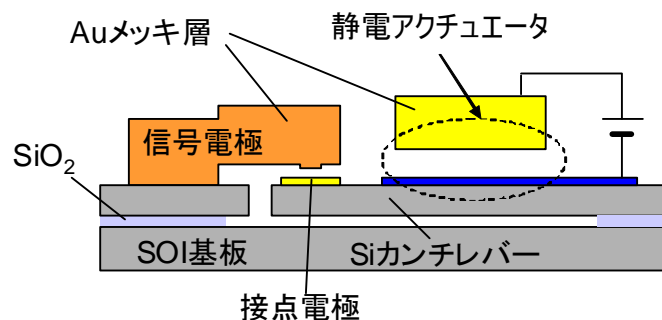
尚、本研究開発項目については研究予算に応じて、可能な範囲で今後の開発を行う予定である。



図Ⅲ-1.2-②-(1)-6 駆動回数の増加に伴う on キャパシタンスの減少

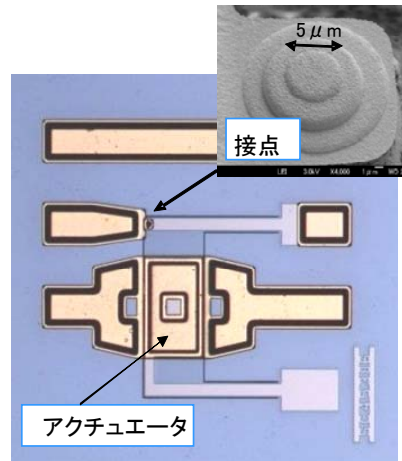
(b) MEMS スイッチ

MEMS スイッチは既存の半導体スイッチに比べ低損失かつ高アイソレーション、高線形性など優れた特徴がありながら未だ本格的な実用化に至っていない。これは接点开閉寿命や低コスト封止実装技術に課題があるためである。これに加え、本プロジェクトでは可変フィルタや可変アンテナを切替るために複数の入出力端子を持つマルチバンドスイッチが必要となる。これら要求を満たすために採用した SPST (1 入力 1 出力) スイッチの素子構造を図Ⅲ-1.2-②-(1)-7 似示す。高抵抗 SOI 基板の活性層を加工してカンチレバーを形成し、表面に電気接点と静電アクチュエータの電極を形成している。カンチレバーの上部にエアギャップを介してブリッジ状のメッキ電極を設け静電アクチュエータの固定電極としている。静電アクチュエータに駆動電圧を印加するとカンチレバーがメッキ電極側に引き付けられ接点が閉じる。単結晶シリコンからなるカンチレバーは可動動作に対して高い耐久性を持つ。これは可動部をスパッタ薄膜等で形成した場合に問題となる内部応力による変形や繰り返し動作による疲労が無いためである。またカンチレバー構造はメ



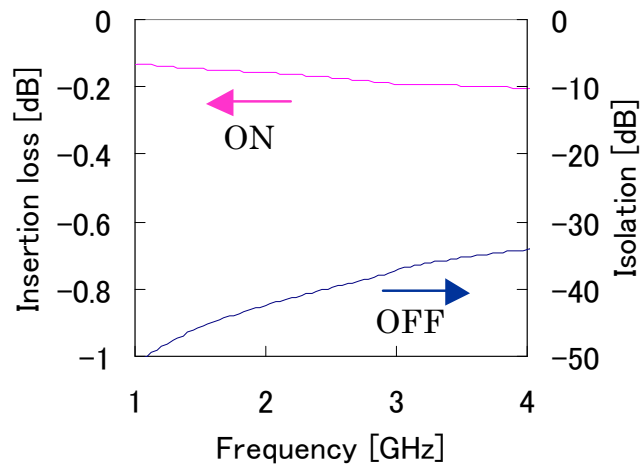
図Ⅲ-1.2-②-(1)-7 MEMS スイッチの断面構造

ンブレン構造より小型化に適している。信号電極をメッキで厚膜形成しており、配線抵抗を低く抑えられる特長もある。これらはマルチスイッチを構成する上で特に有利である。図Ⅲ-1.2-②-(1)-8 は試作した MEMS スイッチである。



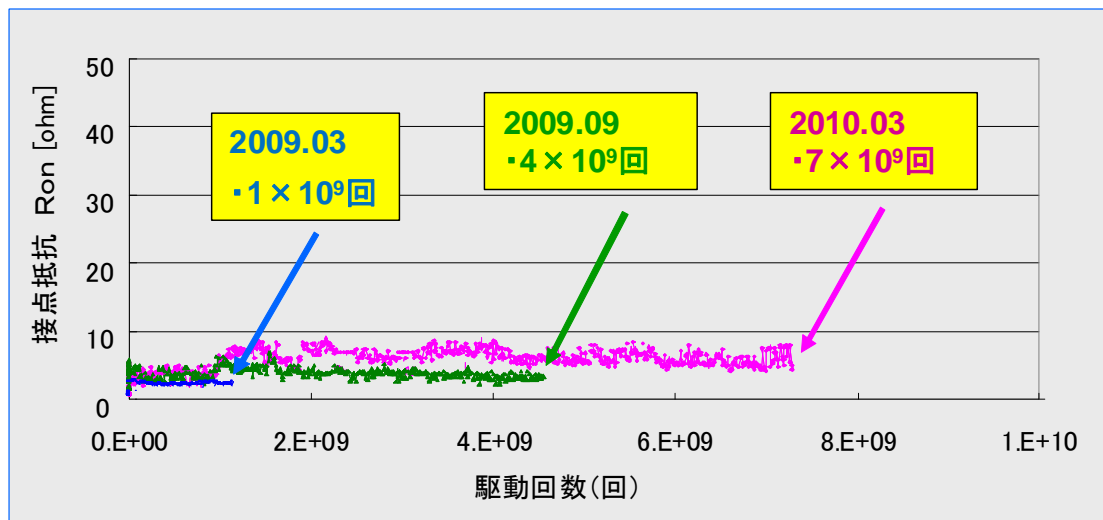
図Ⅲ-1.2-②-(1)-8 試作した MEMS-SW

試作した MEMS スイッチ (SPST) を RF プローバとネットワークアナライザで評価した結果、図Ⅲ-1.2-②-(1)-9 のような RF スイッチング特性を得た。1 GHz~4 GHz の RF 信号に対し、ON 状態での損失は 0.2 dB 以下であり、OFF 状態でのアイソレーションは 33 dB 以上である。損失は最終目標値をクリアしている。アイソレーションは 2 dB 不足であるが、接点部で上下電極が重なる面積を縮小して静電容量を低減することで目標値に達する見込みである。



図Ⅲ-1.2-②-(1)-9 RF 特性

ON-OFF 動作寿命は、静電アクチュエータを 10kHz の矩形波で駆動して接点の ON-OFF を繰り返し、 10^7 回毎に ON 状態と OFF 状態の接点抵抗をそれぞれ測定した。ON 状態の接点抵抗の変動を図Ⅲ-1.2-②-(1)-10 に示す。接点形状の最適化により繰り返し接触に伴う接点変形を抑制した結果、初期値から数 Ω の増加・変動はあるものの、 7×10^9 回までスティッキングの無い動作を確認した。OFF 状態の接点抵抗は $1 \text{ M}\Omega$ 以上である。最終目標値とする 10^{10} 回までの長寿命化のためには、さらに安定な接点材料の選定が必要と考えられる。



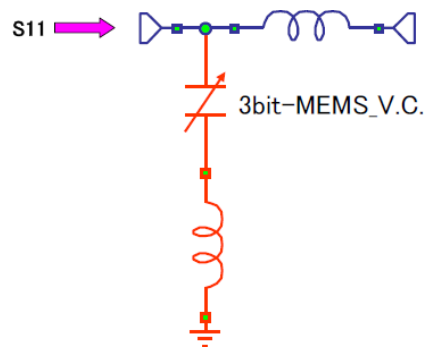
図Ⅲ-1.2-②-(1)-10 ON-OFF 寿命の評価結果

(c) 可変インピーダンスマッチング回路

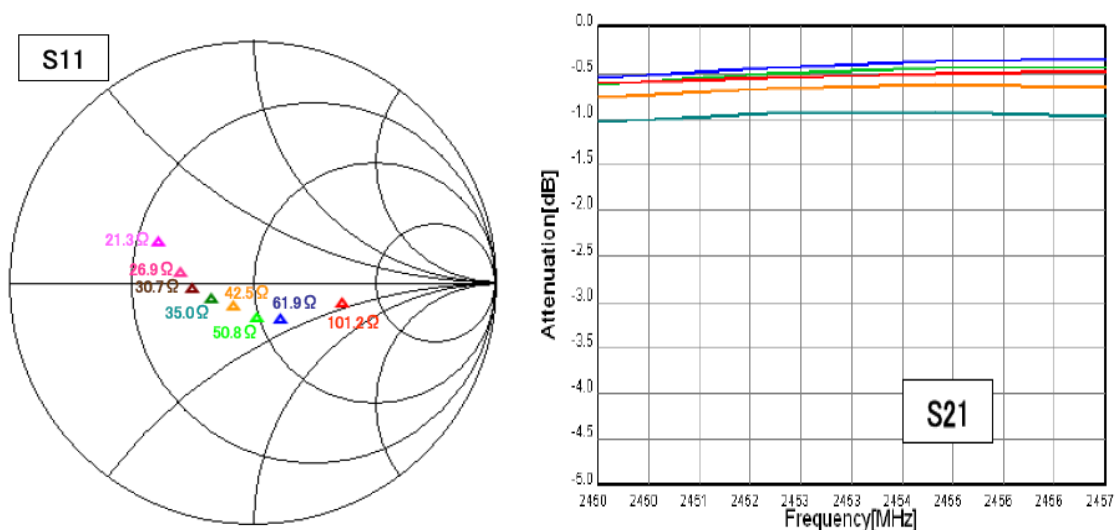
固定インダクタと可変キャパシタの構成で試作し、可変整合動作の確認を行った。具体的には、前記(a)で試作したシャントタイプの 3bit-MEMS 可変キャパシタを用いて Γ 型可変インピーダンス整合回路を試作し整合動作の確認を行った。可変キャパシタの 3bit-8 ステートにより、2.45 GHz において $21.3 \sim 101.2 \Omega$ の可変整合動作と通過損失 1.0 dB 以下の特性を確認した。

簡易型 CSP に収めた複数個の MEMS 可変キャパシタと固定インダクタチップで構成した可変インピーダンスマッチング回路を試作し、アンプ素子と組み合わせて可変 PA (Power Amplifier) モジュール、可変 LNA (Low Noise Amplifier) モジュールに適用した。

尚、本研究開発項目については研究予算に応じて、可能な範囲で今後の開発を行う予定である。



図Ⅲ-1.2-②-(1)-11 可変インピーダンス整合回路の等価回路



図Ⅲ-1.2-②-(1)-12 可変インピーダンス整合回路の特性

(d) 可変アンテナモジュール

可変アンテナには 700 MHz ~ 6 GHz の周波数を可変し、かつそれぞれの状態で携帯電話の 5 MHz または 20 MHz 以上の広帯域を確保できる性能が求められる。可変アンテナモジュールを開発するにあたり、可変素子として MEMS スイッチを適用した場合と MEMS キャパシタを適用した場合の可変性能の長短を計算機シミュレーションにより検討した。その結果、MEMS キャパシタを使った場合、広い可変周波数と広帯域を実現することは難しいことが分かった。一方、スイッチを使った場合は、広い可変周波数と広帯域を両立できることが分かった。そこで、周波数可変素子として MEMS スイッチを用いることに決定した。

携帯端末搭載を目指した小型のアンテナ構成を検討した。単純に、モノポールアンテナを並列に並べた場合、80 cm×50 mm 程度の大きさが必要となるが、UWB で使われる広帯域の構成を利用し、複数の SPST 型 MEMS スイッチを搭載して可変アンテナを設計・試作した。性能を評価した結果、リターンロス -6 dB 以下で 700 MHz~6 GHz をカバーできる世界トップレベルの可変アンテナが実現できることを確認した。

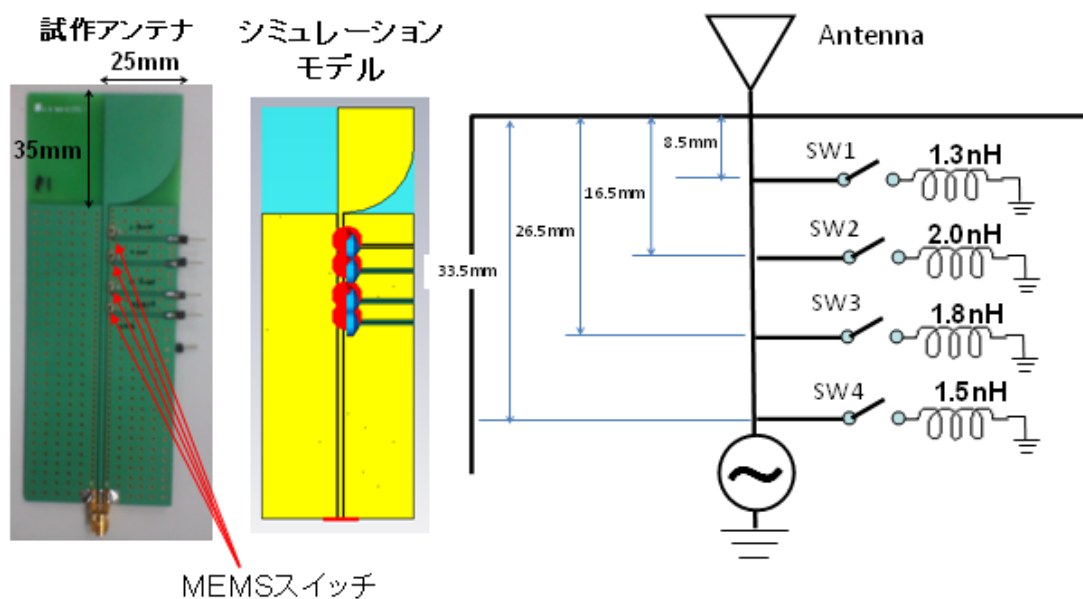


図 III-1.2-2-(1)-13 可変アンテナの小型化構造

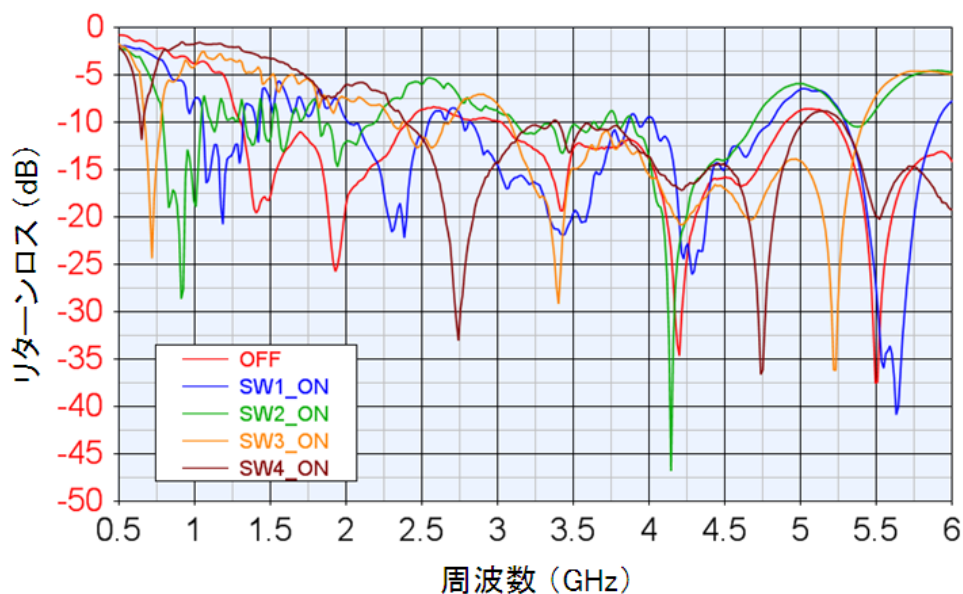
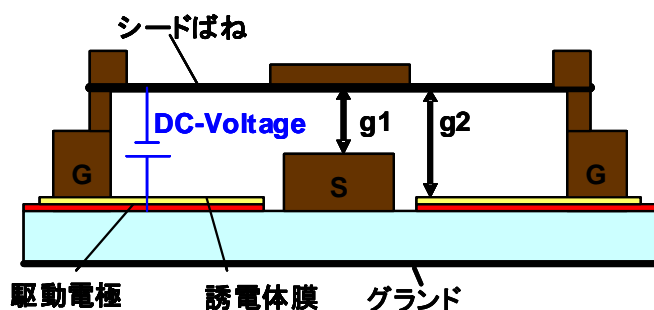


図 III-1.2-2-(1)-14 アンテナ特性の測定結果

(e) 可変フィルタモジュール

MEMSを使用した共振器構造が比較的容易に製作できる分布定数型フィルタの実現性が高いと判断した。次に、小型化を実現できる共振器構成を検討し、電磁界解析により周波数特性、損失及びサイズを算出した。可変共振器部の断面構成を図Ⅲ-1.2-②-(1)-15に示す。マイクロストリップ共振器の一部を可変キャパシタで短絡し、キャパシタンスを変えて共振器長を等価的に変化させることで共振器の中心周波数を変化させる。このような可変共振器を、カップリング回路を介して複数個接続し可変フィルタを構成する。可変キャパシタは、導波路の両脇に駆動電極を配置し、DC駆動と高周波信号が分離された構造とした。



図Ⅲ-1.2-②-(1)-15 可変共振器の断面構造

フィルタの小型化に向けては、フィルタ構成と基板材料の両方から検討した。分布定数フィルタのサイズは基本的に共振器のサイズで決まる。分布定数型共振器の波長は以下の式(1)で表すことができる。

$$\lambda = \frac{2\pi}{\omega \sqrt{\mu_0 \epsilon_0} \sqrt{\epsilon_e}} \quad (1)$$

μ_0, ϵ_0 はそれぞれ真空透磁率と誘電率である。 ω は高周波の角周波数である。 ϵ_e は分布定数線路の有効誘電率であり基板の誘電率に比例する。(1)式から、フィルタサイズを小さくするためには、高誘電率基板の使用が必須であることが明らかである。そこで、高誘電率基板の開発を行った。この基板を使用することを前提にフィルタ構成を検討し、700 MHz～6 GHz 帯において小型化可能なフィルタ構成を考案し、電磁界解析によって特性を見積もった。各々の共振器に MEMS 構造の可変キャパシタをロードしている。キャパシタ

ンスが増加するのに従い、等価的に共振器の電気長が長くなり、通過する中心周波数が低周波数側に移動する。700 MHz～6 GHz をカバーするためには、周波数帯の異なる 4 つの可変フィルタを要することが解析から分かった。700 MHz～1.5 GHz 帯可変フィルタのサイズは約 6mm×6mm、1.5～2.5 GHz 帯可変フィルタのサイズは約 4.2mm×6mm、2.5～4 GHz 帯可変フィルタのサイズは約 3.7mm×4.1mm、4～6 GHz 帯可変フィルタのサイズは約 3mm×4mm となった。

新規開発した高誘電率基板を用いて携帯電話に搭載可能なサイズの実現を目指し、小型の可変フィルタを設計・試作した。

1 次試作した MEMS 可変フィルタは通過損失が -6.8 dB と、当初のシミュレーション結果と比較して大きな値となった。損失要因の解析から、RF 信号が MEMS 可変キャパシタの駆動用 DC ラインへ漏洩していることが損失の主要原因であることが分かった。

そこで、RF 信号の漏洩を回避するため、高誘電率基板に、高周波を遮断するための高抵抗を内蔵化するための開発に取り組んだ。RF 信号の漏洩遮断の概念図を図 III-1.2-②-(1)-16 に示す。高誘電率基板内には RF 信号ラインと可変キャパシタ駆動用の DC ラインが近接しており、この間で RF 信号の漏洩が発生し、挿入損失の増大をもたらしている。

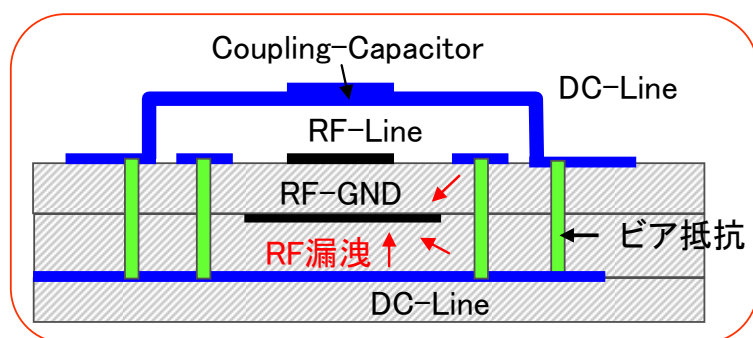


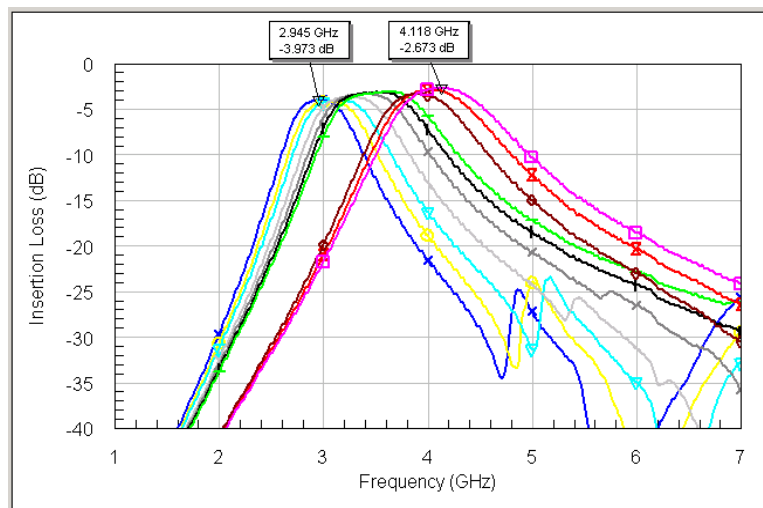
図 III-1.2-②-(1)-16 RF 信号の漏洩遮断構造の概念

この問題を解決するには、DC ラインに RF 信号を遮断する機能を組み込めばよく、DC ラインを高インピーダンス化することが有効である。そこで、DC ラインのビアを高抵抗材料で作製し RF 信号の遮断に成功した。

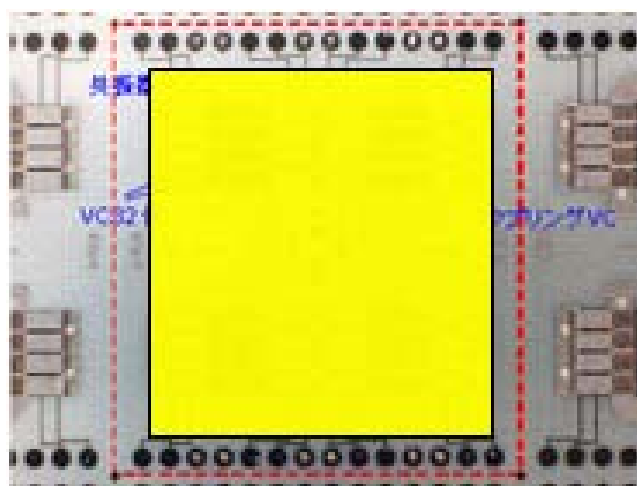
高周波を遮断する改善を実施した高誘電率基板を用い、2.5 GHz～4 GHz 帯の可変フィルタの 2 次試作を行った。試作した可変フィルタのサイズは 3.7mm×4.1mm である。この周波数帯においては知る限りにおいて、世界最小サイズの可変フィルタである。フィルタの周波数可変特性を図 III-1.2-②-(1)-17 に示す。通過損失の最小値は、1 次試作の -6.8 dB から -2.6 dB に、約 4.2 dB の大幅な改善が実現できた。2.95～4.12 GHz の可変範囲にわたって通過損失が -2.6 dB～-3.9 dB であった。全可変範囲にわたって、反射特性は -15 dB 以下である。比帯域幅は 19～22、シェープファクタは 4.4～6.4 が得られた。比帯域幅において目標性能に達していないが、今後の帯域制御技術の開発により達成できる予定である。

また、通過帯域の制御技術を検討し、帯域幅の狭帯域化、帯域端の急峻化が可能なフィルタの内部構成を見出した。

続いてデジタル動作のMEMS可変フィルタの基本構成と専用ドライバ IC の設計を行う予定である。



図Ⅲ-1.2-②-(1)-17 可変フィルタの周波数可変特性



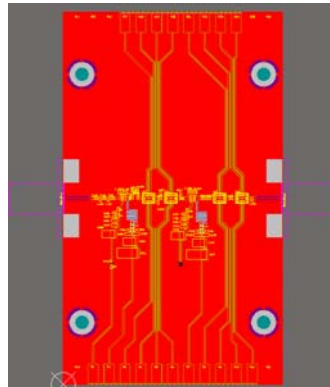
図Ⅲ-1.2-②-(1)-18 試作した MEMS 可変フィルタ

(f) 可変 PA(Power Amplifier)モジュール

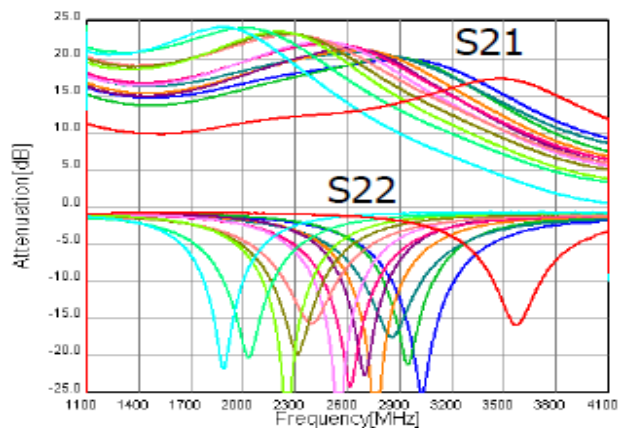
今後の可変 PA モジュール開発に用いるアンプ素子 (HBT:Heterojunction Bipolar Transistor) を新たに設計、製作し基本動作性能を確認した。また、可変インピーダンス整

合回路とアンプ素子を評価基板上で組み合わせて可変 PA モジュールとしての性能評価を行い、周波数特性の広帯域化が可能なことを確認した。

尚、本研究開発項目については研究予算に応じて、可能な範囲で今後の開発を行う予定である。



図Ⅲ-1.2-②-(1)-19 可変 PA モジュール基板



図Ⅲ-1.2-②-(1)-20 可変 PA 周波数特性

(g) 可変 LNA(Low Noise Amplifier)モジュール

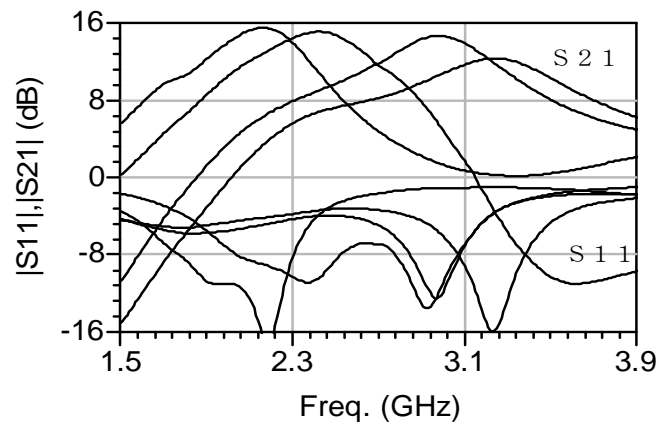
今後の可変 LNA モジュール開発に用いるアンプ素子(pHEMT:pseudomorphic High Electron Mobility Transistor)を新たに設計、製作し、基本動作性能を確認した。また、可変インピーダンス整合回路とアンプ素子を評価基板上で組み合わせて可変 LNA モジュールとしての性能評価を行い、周波数の可変動作を確認した。

尚、本研究開発項目については研究予算に応じて、可能な範囲で今後の開発を行う予定であ

る。



図Ⅲ-1.2-②-(1)-21 可変LNAモジュール基板

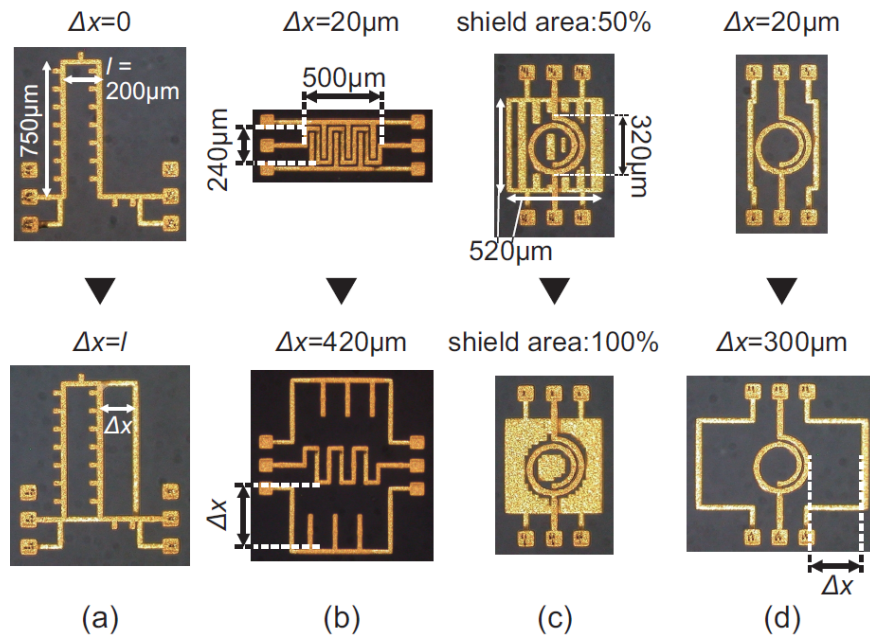


図Ⅲ-1.2-②-(1)-22 可変LNA周波数特性

(h) MEMS 可変インダクタ

MEMS インダクタは広帯域、高 Q 特性を実現する上で有効であることを試作により確認した。また、各種構成のインダクタの特性比較を行い、高い可変率の実現にはミアンダ型が有利であることを実証した。可動機構として円形アクチュエータを試作し、環境の静電気の影響が課題となることを見出した。CMOS 回路との融合に向けた取り組みとして、CMOS 回路による昇圧回路を考案、試作により 3.3V 電源回路から 24V の高電圧出力を得

ることに成功した。



図Ⅲ-1.2-②-(1)-23 各種 MEMS インダクタの外観

以上により、RF回路を構成する要素回路がすべてそろったので、この成果に基づいて集積化を進め全体を三次元回路化するための手がかりを得た。

2) RF MEMS デバイス三次元集積化実装技術の研究開発

平成 22 年度より、本プロジェクトで開発中の他の三次元集積化技術との融合をさらに進めて、RF MEMS デバイスの有効性を更に高め、かつ三次元集積回路技術の有用性を実証することを目的として研究に着手した課題である、平成 22 年度の終了見込みについて以下に記述する。

スイッチ用ドライバICを1次試作し、評価を行う。三次元化のための2次試作用設計パラメータを抽出する。フィルタ用ドライバICも設計を行う。

MEMS 可変フィルタの特性を補完する通過帯域制限技術は、回路ブロックレベルでシミュレーション・設計を行う。

ASETが持つTSV技術等を適用して、可変フィルタモジュールの三次元実装をウエハレベルで完結させることができる、低コスト化を目指した高周波回路実装技術を検討し、開発課題を明らかにする。

可変フィルタモジュールのパッケージ型三次元高周波回路実装設計を完了する。

(中間目標の達成度)

以上の内容を表Ⅲ-1.2-②-(1)-1にまとめる。このように、基本計画に定義された中間目標は現時点でほぼ達成されており、平成22年度中には達成見込みである。なお、可変インピーダンスマッチング回路とそれを組み込んだローノイズアンプ、パワーアンプおよび構成要素のMEMS可変キャパシタについては、当初計画からの予算削減を受け、目標達成時の市場への影響が大きい他の開発テーマにリソースを集中するため、研究開発を終了する。また、一部はこの成果を受けて、最終目標の実現に向けて研究を実施中である。

1.2-②-(1)-2 成果の意義

可変RF-MEMSデバイスの設計、作製技術について世界最高レベルの成果が得られている。

MEMS可変フィルタは新開発の高誘電率基板を用いて、新規考案の回路構成によりシミュレーション、設計、作製を行い、世界最高レベルの小サイズ、低損失の評価結果を得た。新たな設計手法を導入したデジタル動作のMEMS可変フィルタは、ハイパワーの送信系への適用に必須である。小サイズで製作し、動作検証を行えば世界初となる。MEMS可変フィルタの特性を補完する通過帯域制限技術は、MEMS可変フィルタ実用化に必須の技術である。本技術を回路ブロックで設計できれば、MEMS可変フィルタを実用化に大きく進めることが可能になる。

可変アンテナモジュールはMEMSスイッチ用いた独自の周波数可変機能を実現し、世界最高レベルの可変範囲700MHz～6GHzを示した。

可変インピーダンスマッチング回路はローノイズアンプ、パワーアンプと組み合わせて周波数可変ローノイズアンプ、周波数可変パワーを実現した。

MEMS可変キャパシタ、MEMSスイッチは性能と動作寿命の改善に注力した。可変キャパシタはデジタル方式設計により、世界トップレベルのロス特性とリニアリティを実現した。さらに、独自の誘電体層構成により、実用化レベルの開閉寿命も得られた。MEMSスイッチは材料構成と新たな高周波設計手法により、世界最高レベルのON時の損失特性、OFF時のアイソレーション特性を得た。

今後の研究開発で、上記の技術を統合、モジュール化することにより、世界初の周波数可変のRF通信モジュールを実現する可能性が高い。その結果、次世代携帯通信機器として高い商品性を持つ製品において三次元化の有効性を示すことができる。さらに、ドリームチップで開発中の三次元集積回路技術と融合することによって、さらなる高機能化・小型化・省電力化が期待でき、また逆に三次元集積回路技術の有効性を実証することが出来るものと考えられる。

1. 2-②-(2)-3 知的財産権の取得

MEMS 可変キャパシタ、MEMS スイッチ、MEMS 可変フィルタ、可変アンテナに関して計 17件の特許出願を行った。

1. 2-②-(2)-4 成果の普及

以上に述べた特許、外部発表の件数を表Ⅲ-1. 2-②-(1)-2にまとめて示す。本表からわかるように、本研究開発は国内外から高い評価を受けており、招待講演を含めて、適切に情報発信を行っている。

1. 2-②-(2)-5 最終目標の達成可能性

現在までに、研究開発は1部を除いて順調に進行している。順調に進行している項目は、この成果をうけ、今後は1)複数周波数対応可変 RF MEMS デバイスの研究開発では、MEMS 可変フィルタに関して制御用 IC との親和性が高いデジタル可変等試作評価を行う。また、可変アンテナは現在の周波数可変性能を維持しながら、三次元構造など携帯電話への実装に向けた小型化を進める。2)RF MEMS デバイス三次元集積化実装技術の研究開発では、今後の制御用 IC の試作、MEMS 可変フィルタの特性を補完する回路の試作を進めていく。さらに TSV 等 ASET の三次元 IC 化技術を導入して、可変フィルタや MEMS スイッチと組み合わせて、最終目標を達成できると考えている。

一部の研究開発項目については研究予算に応じて、可能な範囲で今後の開発を行う予定である。

表Ⅲ-1. 2-②-(1)-1

「複数周波数対応可変 RF MEMS デバイスの研究開発」の成果と達成度(※)

◎ 目標を大幅に上回り達成、○:目標を達成、△:目標をほぼ達成、×:目標未達成

中間目標(平成22年度末)	研究開発成果	達成度
<p>1) 複数周波数対応可変 RE MEMS デバイスの研究開発</p> <ul style="list-style-type: none"> ・700MHz～6GHz に含まれる周波数帯域において、MEMS デバイスのスイッチ、キャパシタ、インダクタを組み合わせ、可変アンテナ、可変インピーダンス回路、可変フィルタの動作を実証する。さらに低損失及び小型化のための指針を示す。 ・MEMS デバイスにおいて、挿入損失 5dB 以下、通過帯域幅 10%の可変フィルタを開発する。 ・MEMS デバイスにおいて、デジタル動作の可変フィルタを開発し、専用ドライバICの設計を行う。(出典:平成22年度実施方針 P11 平成22年6月改定) ・可変フィルタの特性を補完する通過帯域制御技術を開発する。(出典:平成22年度実施方針 P11 平成22年6月改定) ・MEMS デバイスにおいて、挿入損失 2dB のインピーダンスマッチング回路を開発する。 ・MEMS デバイスにおいて可変インダクタと CMOS 制御回路融合に向けた環境 	<ul style="list-style-type: none"> ・MEMSスイッチを用いた可変アンテナは世界トップレベルの周波数可変動作を検証し、目標を達成した。 ・MEMSキャパシタを用いたインピーダンス回路は動作周波数0.5～8GHz、挿入損失1dB以下と目標を達成した。 ・MEMS可変フィルタは動作周波数2.95～4.12GHz、挿入損失4dB以下と目標を達成し、世界トップレベルの性能を得た。通過帯域幅は12～22%と目標未達成であるが、新たに考案した帯域制御技術を導入すれば目標を達成する見込みである。また、更なる低損失化に向けた高誘電率基板の抵抗内蔵化にも目処を得た。 ・デジタル動作のMEMS可変フィルタの基本構成と専用ドライバICの設計を行う予定である。 ・MEMS 可変インダクタは高可変率を可能とする構成を見出した。CMOS 回路との融合に向けて昇圧回路を考案、試作により3.3V から24V への昇圧を確認した。 	○

<p>構築、設計・試作を行う。(出典:平成22年度実施方針 P11 平成22年6月改定)</p>		
<p><u>2)RF MEMS デバイス三次元集積化実装技術の研究開発</u> ・複数周波数対応通信三次元デバイスの三次元積層構造での高周波回路実装技術を開発する。 ・可変フィルタの特性を補完する通過帯域制御技術を開発する。</p>	<p>・ASETが持つTSV技術等を適用して、可変フィルタモジュールの三次元実装をウエハレベルで完結させる低コスト化を目指す高周波回路実装技術を検討し、開発課題を明らかにした(予定)。 ・可変フィルタモジュールのパッケージ型三次元高周波回路実装設計を完了した(予定)。 ・MEMS 可変フィルタの特性を補完する通過帯域制御技術に関して、回路ブロック設計を行った(予定)。</p>	<p>○</p>

表Ⅲ－1. 2－②－(1)－2

「複数周波数対応可変 RF MEMS デバイスの研究開発」の特許、論文、外部発表等

区分 年度	特許出願			論文	学会発表等	その他外部発表 (書籍・プレス等)
	国内	外国	PCT			
H20FY	4	2			2	
H21FY	11	9		3	9	
H22FY※	2	1		1	1	

※H22FYは平成22年7月末日の集計

1. 2-②-(2)複数周波数対応通信フロントエンド回路の研究開発

1. 2-②-(2)-1目標の達成度

(基本計画の目標)

(概要)

RF通信フロントエンド（アナログRF回路）の機能を備えた評価用ボードを作製し、この評価ボード上に本提案で開発する上記のRF通信モジュールをマルチチップモジュールの構成で搭載し、複数の通信システム/複数の周波数に対して切り替え動作が可能なることを検証する。さらに、動作検証で得られる結果をフィードバックし、複数通信システム/複数周波数に対応可能なRF通信フロントエンドを実用化するための高周波設計技術に関わる基盤技術を確立することを目的とする。

開発する複数周波数対応通信フロントエンドでは、各RF通信モジュールを使用する通信システムおよびその周波数に応じて適切なパラメータで動作させるための制御が必要になる。最終的にはフロントエンド全体で10から20個程度のMEMSデバイスが制御されることになると考えられ、装置の小型化が妨げられることなくこれらの数のデバイスが制御されるメカニズムの開発が必要である。同時に、この制御メカニズムは、使用する半導体デバイスのバイアスの制御や、PAモジュールでは温度センサの使用を可能にするなど、汎用的にフロントエンドの動作全体を制御することができるようなものであるのが望ましいと考えられる。

複数周波数対応通信フロントエンド回路の開発では、上記の目的を達成する制御部についても検討し、(a)複数MEMSデバイスを搭載する各通信モジュールへパラメータを設定する物理的インタフェース、(b)各モジュールへ設定するパラメータの内容、(c)複数の通信システム/複数の周波数に対応するパラメータの決定方法、(d)汎用的なフロントエンド制御としての適合性 等の技術について確立する。

以上のことを考慮して、具体的研究内容と目標を以下のように定め、研究開発を進めることとした。

出典:基本計画 P8

1) RF MEMS デバイス、制御・電源回路を積層した複数周波数対応通信デバイスとベースバンドデジタル回路を含めた通信フロントエンド回路をマルチチップモジュール(MCM)構成で実装し、複数周波数に対応した通信動作を実証する。

2) 複数周波数対応通信三次元デバイスの小型化、高性能化、低動作電圧化、さらに三次元積層構造での高周波設計技術に関する基盤技術を確立する。

出典:基本計画 P9

中間目標(平成22年度):

1)RF MEMS デバイスを組み合わせ、複数の周波数帯域において通信可能な試作回路を作成しその動作を実証する。MCM 化に向けたパラメータと課題の抽出を行う。(出典:平成22年度実施方針 P11 平成22年6月改定)

最終目標(平成 24 年度)

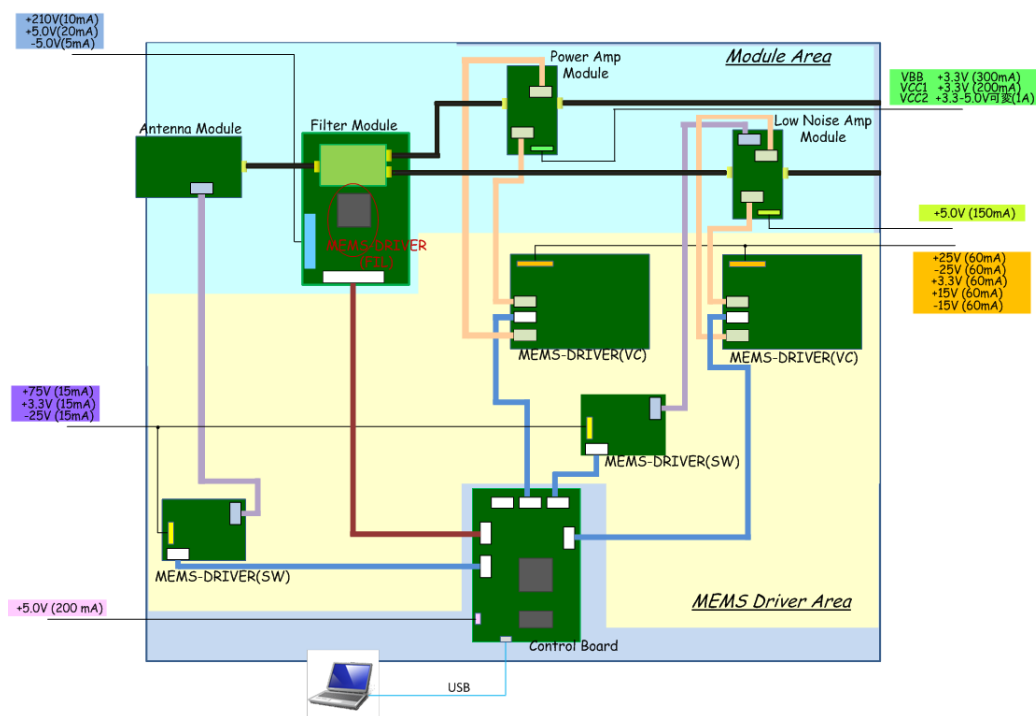
- 1)複数周波数対応デバイスとして、MEMS デバイスをデジタル制御あるいはアナログ制御する制御回路デバイスを可能な限り LSI 化し、700MHz～6GHz の周波数帯域を MEMS デバイスの可変域に対応して分割した MCM を開発する。この MCM において、通信方式ごとの個別回路を MCM 構成にて実装した場合に比較し、実装面積で 1/8 に小型化可能なことを実証する。
- 2)複数周波数対応通信三次元デバイスを SiP 形態で実現するために必要な構成を提案する。

(開発成果の要約)

1) 複数周波数対応フロントエンド回路の構成

(a)複数周波数対応フロントエンド回路の構成

複数周波数対応フロントエンド回路は、可変フィルタ、可変アンテナモジュール、可変 PA モジュール、可変 LNA モジュールと、それらのモジュールで使用されている MEMS デバイスを駆動する MEMS 駆動用ドライバ、更にホスト PC とのインタフェースをつかさどる制御部からなっている。図Ⅲ-1.2-②-(2)-1 に複数周波数対応通信フロントエンド回路の接続構成図を示す。



図Ⅲ-1.2-②-(2)-1 複数周波数対応通信フロントエンド回路の接続構成

制御部は、ホスト PC と物理インタフェースを持ち、ホスト PC 上で起動した MEMS デバイス設定プログラムに応じた設定がなされるように MEMS 駆動用ドライバを制御する。

MEMS 駆動用ドライバは、制御部からの制御を受けて、可変フィルタ、可変アンテナモジュール、可変 PA モジュールや可変 LNA モジュールに搭載された MEMS デバイスを動作させるための電圧（波形）を発生する。各モジュールに搭載されている MEMS デバイスは、可変フィルタ、MEMS-SW、MEMS-VC の 3 種類があり、これにあわせて 3 種類の MEMS 駆動用ドライバが存在する。

今回開発した複数周波数対応フロントエンド回路は、各モジュールや MEMS 駆動用ドライバ、制御部が別々に構成されているが、将来的には小型化のため、可変フィルタ、可変 PA モジュール、可変 LNA モジュールと MEMS 駆動用ドライバは、三次元的に実装し、1 モジュールとして構成されるべきものである。更に、端末のレイアウトに依存するものの可変アンテナも含めて 1 モジュール化する構成もありうると考えられる。一方、制御部やホスト PC は、複数周波数対応フロントエンド回路が端末に実装されるときには必須の要件ではなく、端末の動作を担う CPU が、直接 MEMS 駆動用ドライバを制御する構成が簡単であろう。

(b)MEMS 駆動用ドライバ

MEMS 駆動用ドライバは、制御部からの制御を受けて、可変フィルタ、可変アンテナモジュール、可変 PA モジュールや可変 LNA モジュールに搭載された MEMS デバイスを動作させるための電圧を発生する。MEMS デバイスには可変フィルタ、MEMS-SW、MEMS-VC の 3 種類に対応して 3 種類の RF MEMS ドライバがある。

(c)MEMS 用ドライバと制御部の間のインタフェース

MEMS 用ドライバと制御部の間のインタフェースは、将来の三次元実装小型化を制限することのないよう物理的に最小限の信号線数で構成することが望ましい。この観点で、スター型よりもバス型のインタフェースが適切と考えられる。バス型のインタフェースとして従来から広く使われている SPI バスをベースとしたインタフェースを採用すれば回路設計や制御プログラム設計の負担が最小限にできる。しかしながら、バス型インタフェースにおいては、制御されるデバイスをバス上で区別するアドレッシングのメカニズムが必要になる。つまり、制御される側である MEMS 用ドライバが、バス上のアドレスをデコードして自己のアドレスであると認識する論理回路、自己のアドレスを記憶する不揮発 RAM、そのアドレスを設定する機能、あるいはそれらに相当する機能を持つことが必要となる。これは、MEMS 用ドライバと一体型で実装する RF MEMS デバイスの場合、逆に RF モジュールが大きくなり小型化を阻害する要因となる可能性がある。

今回、開発した MEMS 用ドライバは、RF MEMS デバイスの種類ごとに異なる種類の SPI データ受信用 IC を流用しているため、それぞれ SPI バスをベースとしたインタフェースであるものの、細かな点で異なるものとなっている。また、アドレッシング機能も有していない。このため、制御部と MEMS 用ドライバの間のインタフェースとしてスター型の構成を採用し、制御部において MEMS 用ドライバごとに個別の対応を行うことを可能にした。しかしながら、MEMS 用ドライバの設計を適切に行えば、制御部と RF MEMS ドライバの間のインタフェースをバス型で構成することは容易であると考えられる。

(d)制御部のはたらき

制御部は、汎用 PC の USB インタフェースを受け、SPI バス相当信号を各 MEMS ドライバに送信する。汎用 PC にはユーザーインタフェースのプログラムを搭載する。

(e)複数周波数対応フロントエンド回路の評価

表 III-1. 2-②-(2)-1 に複数周波数対応フロントエンド回路の性能評価項目を示す。これらの諸性能を評価しながら、フロントエンド回路としての動作検証を行っていく。ただし、これらの諸性能は、フロントエンド回路としての制御機能によるよりも個々の RF

モジュールの性能に依存して決まるため、所望の無線システムに要求される性能を満たさない場合、個々の RF モジュールのレベルから性能向上を図っていく必要がある。

表Ⅲ-1. 2-②-(2)-1 複数周波数対応フロントエンド回路の性能評価項目

送信制御	送信周波数帯(*1)
受信制御	受信周波数帯(*1)
送信特性評価	送信歪、EVM(変調精度)、出力電力、効率
受信特性評価	EVM(変調精度)、NF(雑音指数)、飽和特性

(*1) 現在サービスが行われている、あるいは検討されているシステムの周波数帯
(例 W-CDMA、WiMAX、S3G)

2) 複数周波数対応通信三次元デバイス基盤技術研究開発

- ・ フロントエンド回路の設計・試作・評価を通して最終年度目標に向け、研究開発を推進する。

(中間目標の達成度)

以上の内容を表Ⅲ-1. 2-②-(2)-2 にまとめる。このように、基本計画に定義された中間目標は、平成22年度中には達成見込みである。

1. 2-②-(2)-2 成果の意義

RF-MEMS を用いて、将来的に携帯電話への搭載が可能な周波数可変フロントエンド回路の可変動作を世界で始めて検証した。

今回の動作検証により、実用化のための課題、改善の方向性、手法が抽出できた。特に、各モジュールに搭載される MEMS ドライバと制御部のインタフェースに関して、実用化時のシステム構成をにらんだ設計方針が抽出できた。また、送信制御、受信制御特性の評価により、フロントエンド小型化のための課題が抽出できた。今後の研究開発が可能であれば②-(1)の成果と組み合わせ、世界初の携帯電話用周波数可変モジュールを実証できる可能性が高い。

1. 2-②-(2)-3 知的財産権の取得

本年度に出願予定であり、現在準備中である。

1. 2-②-(2)-4 成果の普及

本年度学会発表予定であり、現在準備中である。

1. 2-②-(2)-5 最終目標の達成可能性

研究予算に応じて、可能な範囲で今後の開発を行う予定である。

表Ⅲ－1. 2－②－(2)－2

「複数周波数対応通信フロントエンド回路の研究開発」の成果と達成度(※)

◎ 目標を大幅に上回り達成、○:目標を達成、△:目標をほぼ達成、×:目標未達成

中間目標(平成22年度末)	研究開発成果	達成度
<p>1) <u>複数周波数対応通信フロントエンド回路 MCM の研究開発と動作実証</u></p> <p>・RF MEMS デバイスを組み合わせ、複数の周波数帯域において通信可能な試作回路を作成しその動作を実証する。MCM化に向けたパラメータと課題の抽出を行う。(出典:平成22年度実施方針 P11 平成22年6月改定)</p>	<ul style="list-style-type: none"> ・ フロントエンド回路の構成設計、制御部設計、インタフェース設計と製作を行い、周波数可変制御、送信制御、受信制御を実証したMEMSデバイスを用いてのフロントエンド動作検証は世界初となる。(予定)。 ・ 回路のMCM化は、実現のためのパラメータと課題の抽出を行った(予定)。 	○
<p>2) <u>複数周波数対応通信三次元デバイス基盤技術研究開発</u></p> <p>・最終目標として設定</p>	<ul style="list-style-type: none"> ・ フロントエンド回路の設計・試作・評価を通して最終年度目標に向け、研究開発を推進した。 	○

表Ⅲ－1. 2－②－(2)－3

「複数周波数対応通信フロントエンド回路の研究開発」の特許、外部発表等

区分 年度	特許出願			論文	学会発表等	その他外部発表 (書籍・プレス等)
	国内	外国	PCT			
H20FY						
H21FY						
H22FY※						

※H22FYは平成22年7月末日の集計

1. 2-③ 三次元回路再構成可能デバイス技術

1. 2-③-(1) 三次元回路再構成可能デバイスに関する三次元集積化技術の研究開発

1. 2-③-(1)-1 目標の達成度

(基本計画の目標)

(概要)

半導体の市場がPC中心から、デジタル家電、自動車分野等に広がることにより、多種多様の機能を有する半導体が必要とされる一方で、商品サイクルが短期化してきている。したがって、半導体製品の競争力強化にとどまらず、それらを用いた各種機器の競争力強化のためには、半導体の少量多品種化、開発期間の短縮に適したデバイス構造、アーキテクチャを有する半導体の実現が必要である。このような特徴を有する半導体デバイスの1つとして有力と考えられているのが、三次元集積化した回路再構成可能デバイスである。

FPGA に代表される回路再構成可能デバイスは、製造後に回路構成を書き込むことで所望の機能を実現するため、量産した同種のデバイスを複数の異なる用途に用いることが可能であり、製品化に必要な初期投資を低く抑えることが可能な特徴を有している。またこれらの回路再構成可能デバイスを積層することにより、優れた特性の実現に加え、積層数の自由度を活かした高い拡張性も同時に実現できる可能性を有している。

このような三次元集積化した回路再構成可能デバイスを実現するためには、積層したデバイス間的高速、広帯域通信を可能とする三次元配線の実現が不可避であり、三次元配線の配線長、配線密度の観点からシリコン貫通電極 (TSV) がもっとも適していると考えられる。これが、本ドリームチッププロジェクトの一部として三次元回路再構成可能デバイスに取り組む理由である。しかしながら、TSV を用いた三次元集積化技術は実用化されておらず、研究開発項目①において早急にこの技術開発を行う必要がある。一方、回路再構成可能デバイスでは、TSV を通して、高速かつ広帯域の信号伝送を行う必要があるため、研究開発項目①で行う技術開発以外に、これを可能とするための TSV 構造とそれを実現するプロセスを開発する必要がある。三次元集積化プロセスに関しては、様々なプロセスが提案されており、デバイスの特徴を生かしたプロセス構築が重要となる。三次元の回路再構成可能デバイスは、同一サイズのチップを複数枚積層することが可能、製造後に回路構成を書き込めるので、冗長性を持たせることが容易、という特徴を持つ。このため、本質的に低コスト化に適した、ウェハ積層による三次元集積化が可能であるが、高密度に形成したシリコン貫通電極をウェハ全面にわたって高精度かつ高信頼度で接続するための技術が必要となる。この点では、研究開発項目①で開発する三次元集積回路デバイスと同様であるが、特に回路再構成可能デバイスを三次元化するために必要な技術としては、チップ内の通信と同等速度の通信が可能な三次元配線技術、性能スケーラビリティを実現するための4層以上のホモ型ウェハ積層技術が挙げられる。

このため研究開発項目①の検討内容との分担を考え、具体的研究内容と目標を回路再構成デバイスに適したものとした。

以上のことを考慮して、具体的研究内容と目標を以下のように定め、研究開発を進めることとした。

出典:基本計画 P10

1) 三次元回路再構成可能デバイスに適した三次元配線構造、素子構造等を実現するために必要となるウェハ積層技術を開発する。

具体的には、三次元回路再構成可能デバイスに適した三次元配線構造を開発する、さらにウェハレベル積層技術の基盤技術として、200mm径以上のウェハサイズに適用可能な高精度位置合わせ技術およびウェハ貼り合わせ技術を開発する。

出典:基本計画 P11、12

中間目標(平成22年度):

・ 三次元回路再構成可能デバイスを実現する三次元集積化技術のうちウェハ接合技術として、 1mm^2 程度の面積を占める三次元集積化構造のコア間で、1000ピン以上の接続を可能とするシリコン貫通ビア(電極)、バンプ構造等を開発し、200mm径以上のウェハを用いて実証する。

・ 三次元回路再構成可能デバイスを実現する三次元集積化技術のうち高精度位置合わせ技術を開発し、200mm径以上のウェハ貼り合わせで、 $5\mu\text{m}$ 以下の位置合わせ精度を実証する。

最終目標(平成24年度)

・ ウェハ接合技術として、200mm径以上のウェハを4層以上積層し、 1mm^2 程度の面積を占める三次元集積化構造のコア間で、1000ピン以上の接続を実証する。

・ 高精度位置合わせ技術として、200mm径以上のウェハを4層以上積層し、 $5\mu\text{m}$ 以下の位置合わせ精度を実証する。

(開発成果の要約)

1) 三次元回路再構成可能デバイス配線構造・ウェハ積層接合技術の研究開発

(a) 三次元配線構造・シリコン貫通電極(TSV)の研究開発

半導体デバイス信頼度への影響が少なく、回路設計自由度が高い方式として、多層配線形成後にシリコン基板裏面からシリコン貫通電極(TSV)を形成する、裏面ビアラスト方式を採用した。こ

の方式を用いて、三次元回路再構成可能デバイスを製造する際に必須となる三次元配線構造の基本レイアウトルールの策定指針を開発した。この指針に基づき、65 nm ノード設計ルールに基づいて三次元回路再構成可能デバイスを製造した場合のレイアウトルールを検討した。その結果、レイアウトルールを決める上でキーとなる設計寸法は、TSV 径であることがわかった。また、三次元配線の各種設計寸法を決めるための必須パラメータ(たとえば、裏面 TSV の位置ずれ量、TSV 周辺のデバイス禁止幅)を設定した(図 III-1.2-③-(1)-1)。さらに、それらのパラメータを実験的に導出するための TEG の設計及び試作を行った。

レイアウトルール策定及び裏面ビアラスト型 TSV 形成プロセスの先行評価を目的に、試作した TEG チップに対して、実際に裏面からのリソグラフィ、TSV 加工、内壁絶縁膜形成、Cu 埋込、CMP 平坦化、バンプ形成のプロセス構築を行った(図 III-1.2-③-(1)-2)。このようにチップ状態で TSV 形成、バンプ形成を行ったチップの電気特性を取得し、三次元配線構造の基本レイアウトルールの一次案を決定する予定である。

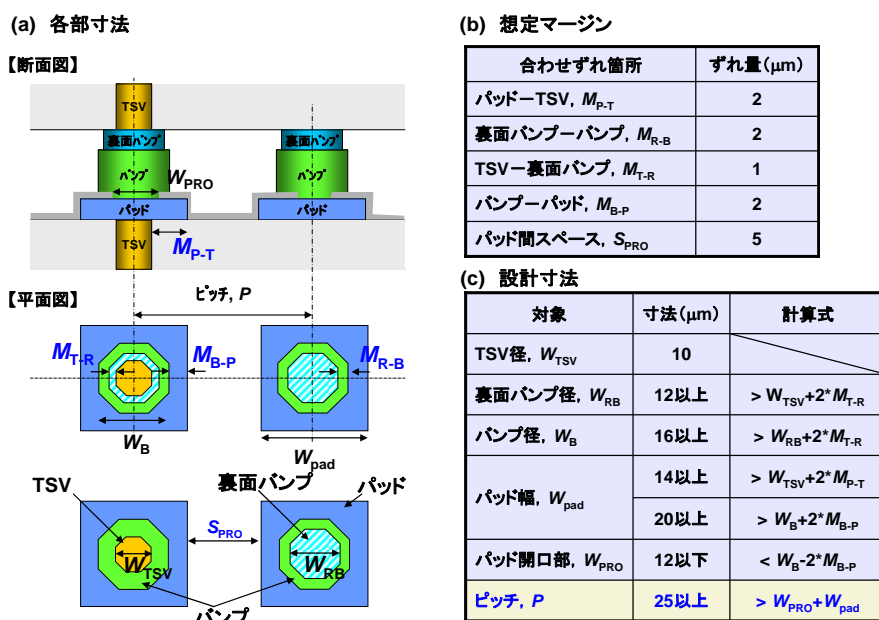
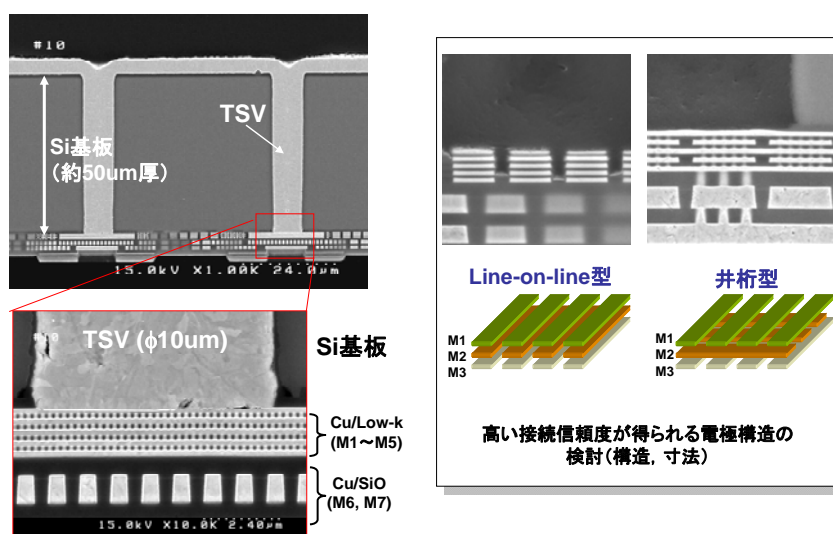


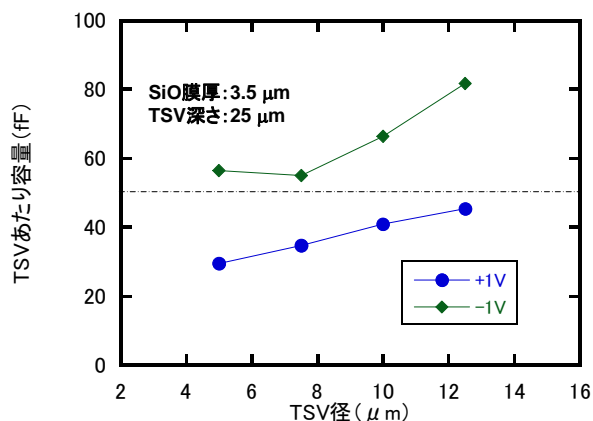
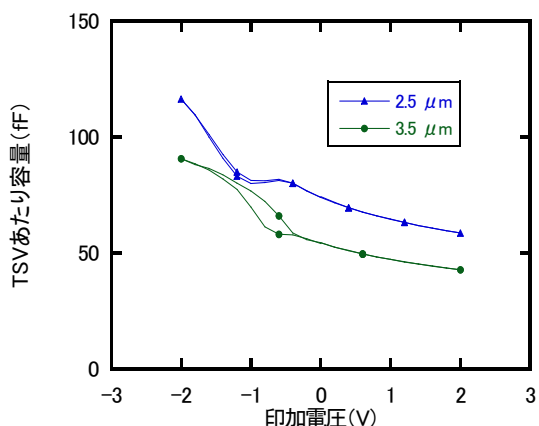
図 III-1.2-③-(1)-1 裏面ビアラスト型 TSV 形成プロセスの基本レイアウトルール (一部)



図Ⅲ-1.2-③- (1) - 2 65nm ノードチップへの裏面ビアラスト型 TSV 形成の例

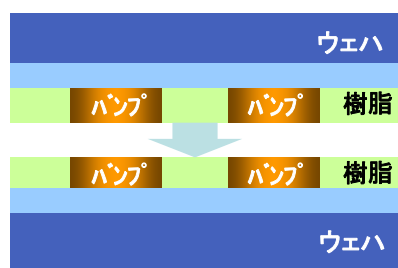
三次元回路再構成可能デバイスでは、縦方向に積層したデバイス間で TSV を介して高速かつ大量のデータ通信を行う必要がある。一方、TSV は周囲に形成された内壁絶縁膜を介してシリコン基板との間に電気的な結合(寄生容量)を持っている。したがって、性能を維持したまま消費電力を低減するためには、この TSV が有する寄生容量を低減することがきわめて重要になり、予備検討の結果、TSV 容量として 50 fF 以下の実現が望ましいことがわかった。このため平成 21 年度は、200mm ウェハを用いた TSV 形成基礎プロセス、並びに、TSV 寄生容量の低減技術(低温形成可能な内壁絶縁膜形成技術)の開発をおこなった。

TSV を円筒型のキャパシタモデルと近似し、現在想定している寸法(TSV 径 10 μm 、TSV 長さ 25 μm)を持つ TSV の寄生容量と TSV とシリコン基板との間に形成した内壁酸化膜厚の関係を導出した結果、比誘電率 4.0 の材料(SiO_2)を用いた場合、内壁酸化膜の厚さが 520 nm 以上必要であることがわかった。実際に TSV 構造を模擬した TEG を設計・試作し、見込み通りの寄生容量が得られるかを確認した。図Ⅲ-1.2-③- (1) - 3 (a)は TSV あたりの寄生容量の TSV 電圧依存性である。一般的に、TSV 内部は平坦部に比べ成膜カバレージに劣るため、TSV 内壁の酸化膜厚が 500 nm 前後となるように、厚めの酸化膜(平坦部膜厚 2.5 μm 、3.5 μm)を形成した。図より、TSV 容量は電圧依存性を持ち、TSV 電極に負の電圧を印加すると容量が増大し、正の電圧を印加すると容量が減少することがわかる。このような寄生容量の電圧依存性は、TSV 周囲のシリコン基板に空乏層が形成されるためと考えられる。また、酸化膜厚を 2.5 μm から 3.5 μm へ増やすことで、TSV 容量が低減できることがわかる。図Ⅲ-1.2-③- (1) - 3 (b)は実動作電圧領域($\pm 1\text{V}$)における TSV 容量の TSV 径依存性である。TSV 径が小さいほど TSV 容量が低下することがわかる。酸化膜厚(SiO 膜厚)3.5 μm の場合、TSV 径 8 μm 以下で目標の寄生容量である 50 fF 以下が実現できる見通しであることがわかる。

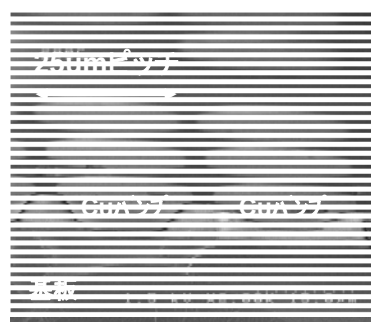


図III-1.2-③- (1) - 3 (a)TSV 容量の電圧依存性 (左)、(b)TSV 容量の TSV 径依存性 (右)

上記の基本レイアウトルール策定、TEG 設計、及び、電気特性の先行評価を受け、200 mm ウェハを用いて 1 mm²あたり 1000 ピンの接続 (約 30 μm ピッチ相当)を可能とする TSV 形成、及び、バンプ形成プロセスの開発を行った。バンプ接合の高信頼度化が期待できる埋込バンプ構造 (図 III-1.2-③- (1) - 4)を提案し、200 mm ウェハ上に 25 μm ピッチで形成できることを確認した。さらに、策定した設計ルールに基づき、直径 10 μm、ピッチ 25 μm の TSV を 200 mm ウェハ全面に形成するプロセスを構築する予定である。



埋込Cuバンプ同士の接合



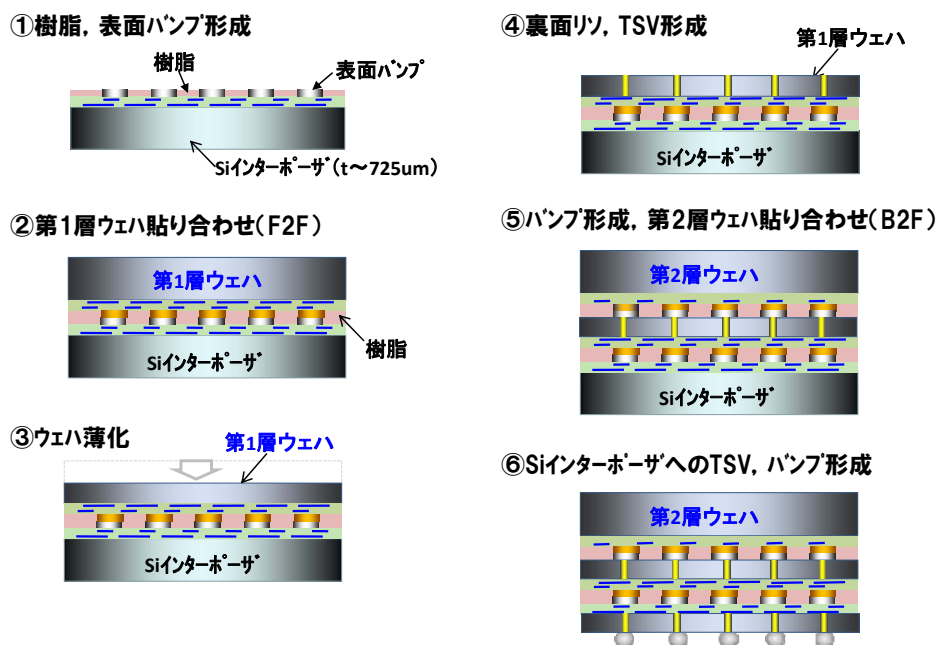
埋込Cuバンプの例(鳥瞰図)

図III-1.2-③- (1) - 4 高信頼度化が可能な埋込バンプ構造と埋込バンプの形成

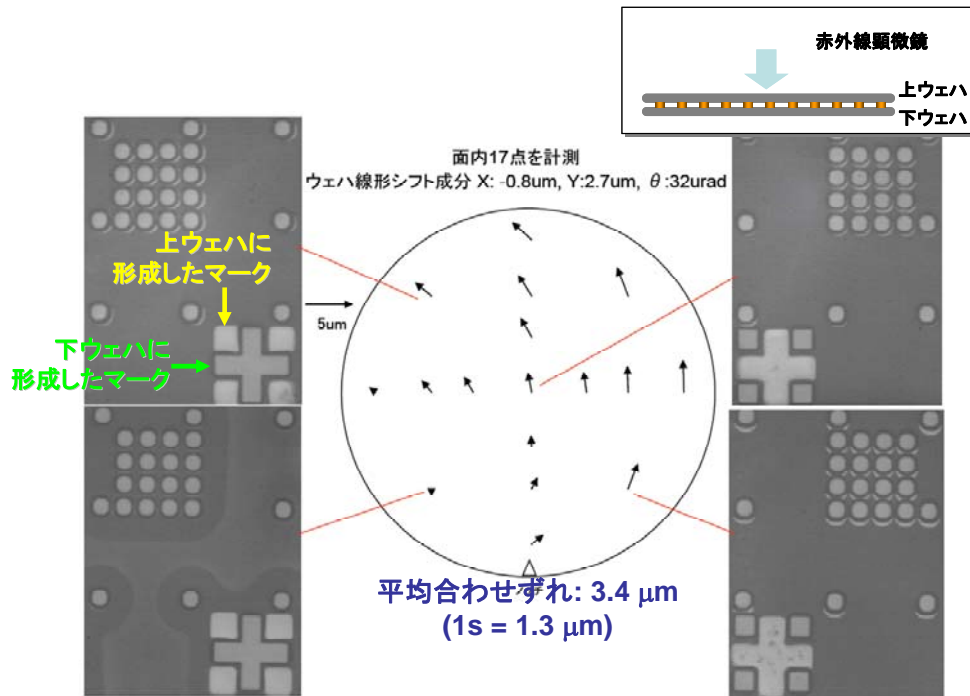
(b) ウェハ積層接合技術の研究開発

1 mm²あたり 1000 ピンの接続(約 30 μm ピッチ相当)を可能とするウェハ積層技術を検討した。まず、三次元回路再構成可能デバイスに適したウェハ積層技術の検討を行い、シリコン(Si)インターポーザをスタートウェハに用い、この上に回路再構成可能デバイスを Face-down 型で積層後に、ウェハの薄化を行う、逐次積層型プロセス(図Ⅲ-1.2-③-(1)-5)が適しているとの結論を得た。インターポーザ基板を支持基板として用いるため、消耗性のガラス支持基板が不要となり、プロセスコストの低減が可能となる。また、積層する回路再構成可能デバイスはすべて Face-down で積層されるため一種類のウェハのみでの積層が可能という特徴がある。

本研究開発では、回路再構成可能デバイスをウェハ上に形成した後に、ウェハ裏面からシリコン貫通電極(TSV)を形成する裏面ビアラスタ型 TSV を採用した。この方式は、半導体デバイスを形成後に TSV を形成するため、TSV プロセスと整合性のあるデバイスプロセスを新たに開発する必要がないという長所がある。一方、ウェハ積層プロセス中に TSV を形成する必要があるため、積層したウェハ自身が TSV 形成プロセス中の温度や薬液、ガスに耐える必要がある。特に、ウェハ間を接続するバンプの保護技術が重要となる。そこで、ウェハ積層時に同時にバンプの保護も行える埋込バンプ構造(図Ⅲ-1.2-③-(1)-5)を提案し、埋込バンプ構造を用いてウェハ積層プロセス開発に着手した。



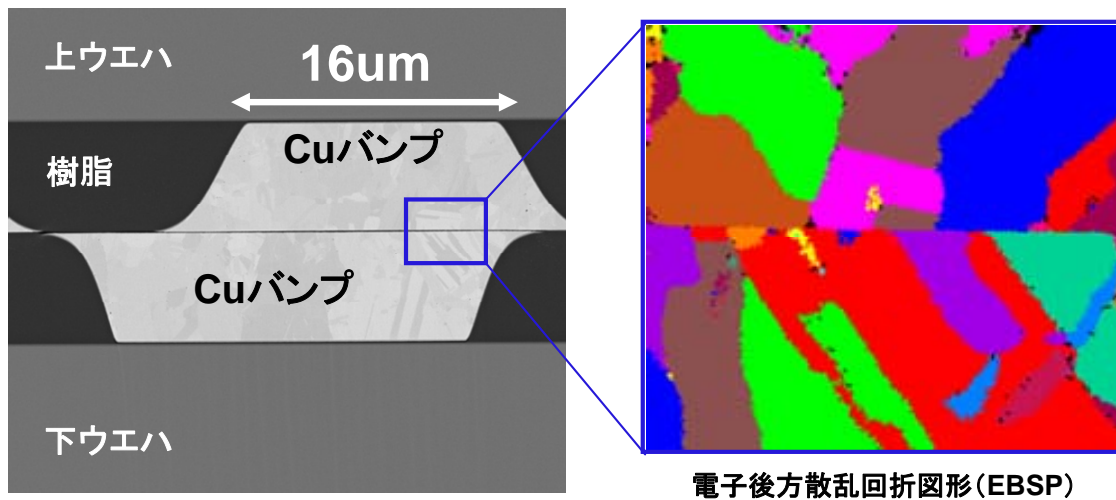
図Ⅲ-1.2-③-(1)-5 逐次積層型ウェハ接合プロセスフローの案



図Ⅲ-1.2-③-(1)-6 ウェハ接合後のバンプ合わせずれのウェハ面内分布

図Ⅲ-1.2-③-(1)-4に示したような樹脂に埋め込まれた25 μmピッチのCuバンプを200 mmウェハ上に形成し、ウェハ接合を行った。図Ⅲ-1.2-③-(1)-6はバンプウェハ接合後のウェハの代表的な測定点において、上下バンプ間のアライメントずれ量測定パターン(十字マーク)の赤外線顕微鏡写真である。上下のウェハに形成したアライメントマークのずれ量からウェハ面内のアライメントずれを計測した結果、平均ずれ量 $3.4 \mu\text{m} \pm 1.3 \mu\text{m}$ (1σ)が得られた。現在目標としている25 μmピッチのバンプ・TSV構造を実現するための一次レイアウトルール案では、上下ウェハ間のアライメントずれ(図Aの M_{R-B})として2 μm以下を目標としている。今後は最終目標に向け、ウェハ接合時のアライメントずれの抑制、および、各種アライメントずれに関する目標値の精度向上を行う予定である。

図Ⅲ-1.2-③-(1)-7はウェハ接合後のバンプ断面のSEM写真である。ウェハ上に形成されたCuバンプ同士が接合していることが確認できた。バンプ接合面近傍のCu結晶の状態を電子後方散乱回折(EBSP)にて評価した結果を図Gに示した。同一色の領域が同一の方位を持つ結晶粒である。Cuの結晶粒は数百nmから数μmの大きさを持っている。また、バンプ接合面では結晶粒は不連続となっており、バンプ接合面を超えたCu結晶粒成長が起きていないことがわかった。バンプ間の接触抵抗を下げるためには、接合面を超えた結晶粒成長が好ましいため、ウェハ接合の前処理条件、接合条件の見直しを行った。この結果、バンプ抵抗低減に必要なCu結晶粒成長が行える条件を見いだす見通しが得られ、引き続き取り組んでいく。



図Ⅲ-1.2-③-(1)-7 埋込バンプ接合部の断面 SEM 写真 (左) と Cu 結晶粒の配向性マップ (右)

(中間目標の達成度)

以上の内容を表Ⅲ-1.2-③-(1)-1にまとめる。このように、基本計画に定義された中間目標は現時点でほぼ達成されており、平成22年度中には達成見込みである。

1.2-③-(1)-2 成果の意義

三次元回路再構成可能デバイスが要求する三次元配線の性能は、積層数、TSV・バンプ密度、寄生容量の点において他に例を見ないほど高性能であり、これを実現するためのプロセス・材料技術が完成した暁には世界トップレベルに位置するものである。また、最終目標である回路再構成可能デバイスをウエハレベルで4層積層し、動作させることが出来れば世界初の成果となる。

本研究開発を通して確立した三次元集積化技術は、他の種類の三次元デバイスにも適用可能な汎用性を備えており、技術的な波及効果が高い。特に、提案した埋込型バンプを用いた逐次積層型ウエハ積層プロセスは、ガラス支持基板を使わず、また、薄ウエハのハンドリングが不要という長所を備えているため、低コスト化に有利であり、また、既存の半導体プロセス技術・装置との整合性も高いため、今後、三次元集積化プロセスの主流となるポテンシャルを持っている。材料や装置等も含めた周辺技術も視野に入れた網羅的な技術開発を先行して進めていけば、三次元集積化技術における世界トップの位置も可能であり、周辺産業への波及効果も期待できる。

1. 2-③-(1)-3 知的財産権の取得

高信頼度な埋め込みバンプおよびそれを用いた三次元半導体の構造および製造プロセスに関する特許出願を1件おこなった。

1. 2-③-(1)-4 成果の普及

以上に述べた特許、論文、外部発表等の件数を表Ⅲ-1. 2-③-(1)-2にまとめて示す。

1. 2-③-(1)-5 最終目標の達成可能性

現在まで、研究開発は順調に進行している。これまでの成果を受け、今後は、各開発項目に対して、次の方針で取り組む。(a) 三次元配線構造・シリコン貫通電極(TSV)の研究開発、に関しては、これまで開発したバンプ形成、TSV 形成の要素技術を、逐次積層型ウェハ積層プロセスに適用し、4層以上のウェハ積層を実証する。(b)ウェハ積層接合技術の研究開発、に関しては、逐次積層型ウェハ積層プロセスにおいて、4層以上のウェハ積層を行い、5 mm 以下の位置あわせ精度を実証する。ウェハレベルでのバンプ形成、TSV 形成、ウェハ接合などの要素プロセスに関する基礎検討は完了していることから、平成22年度中に逐次積層型ウェハ積層プロセスの基礎検討が完了すれば、確実に最終目標は達成可能である。

表Ⅲ-1. 2-③-(1)-1

「三次元回路再構成可能デバイスに関する三次元集積化技術の研究開発」の成果と達成度
(※)

◎：目標を大幅に上回り達成、○：目標を達成、△：目標をほぼ達成、×：目標未達成

中間目標(平成22年度末)	研究開発成果	達成度
<p><u>1) 三次元回路再構成可能デバイス配線構造・ウェハ積層接合技術の研究開発</u></p> <p>・三次元回路再構成可能デバイスを実現する三次元集積化技術のうちウェハ接合技術として、1mm²程度の面積を占める三次元集積化構造のコア間で、1000ピン以上の接続を可能とするシリコン貫通ビア(電極)、バンプ構造等を開発し、200mm径以上のウェハを用いて実証する。</p> <p>・三次元回路再構成可能デバイスを実現する三次元集積化技術のうち高精度位置合わせ技術を開発し、200mm径以上のウェハ貼り合わせで、5μm以下の位置合わせ精度を実証する。</p>	<p>・三次元配線構造に対する基本レイアウトルール案を策定し、ルール詳細化に必要な TEG の設計試作を行った。この試作 TEG を用いてチップレベルでの裏面ビアラスト型シリコン貫通電極(TSV)形成プロセスを構築した。また、1mm²あたり 1000ピン以上(30μmピッチ以下)の接続を可能とする TSV、バンプ形成プロセスを検討した。高速・低消費電力通信に必要な低寄生容量 TSV 構造を検討し、TEG 試作を通じ、25μmピッチにおいて目標容量(50fF以下)が達成できる見込みが得られた。さらに、逐次積層型ウェハ積層プロセスで必須となるバンプ構造を検討し、埋込型 Cu バンプ構造の提案を行い、25μmピッチでのバンプが形成できることを確認した。</p> <p>・三次元回路再構成可能デバイス作成に適したウェハ積層プロセスとして、逐次積層型ウェハ積層プロセスを提案した。このプロセスに必須となる埋込型 Cu バンプを形成した 200mm ウェハの貼り合わせを行い、バンプ間の平均アライメントずれとして 3.4μm±1.3μm(1σ) が得られることを確認した。また、バンプ接合部の断面写真より、バンプ同士の接合を確認した。</p>	<p>○</p>

表Ⅲ－1. 2－③－(1)－2

「三次元回路再構成可能デバイスに関する三次元集積化技術の研究開発」の特許、外部発表等

区分 年度	特許出願			論文	学会発表等	その他外部発表 (書籍・プレス等)
	国内	外国	PCT			
H20FY						
H21FY					1	
H22FY※						

※H22FYは平成22年7月末日の集計

1. 2-③-(2) 三次元回路再構成可能デバイスに関するアーキテクチャおよび設計技術の研究開発

1. 2-③-(2)-1 目標の達成度

(基本計画の目標)

(概要)

半導体市場規模は 20 兆円を超える巨大な市場であるが、微細化に伴う製造/マスクコスト増加により、専用の SoC デバイスを個々の機器毎に開発することは困難になりつつある。一方、組込み機器から、ネットワーク機器、交通システムのような社会インフラ機器、半導体製造装置などの産業用機器や医療用機器に到るまで、半導体デバイスによる差別化ニーズが高まっている。以上の背景のもと、近年、高性能化・低電力化に加えて、設計コストを低減できるフレキシブル(回路再構成可能)な半導体デバイス(例えば FPGA 等)のニーズが急激に高まっており、市場規模は急速に拡大している。米国の市場調査会社 In-Stat 社によれば、FPGA の市場規模は 2005 年の 1,900 億円から、2010 年までには 2,800 億円と 1.5 倍に拡大すると予測されている。今後も市場規模が 2 兆円程度である専用 ASIC デバイスの FPGA への置き換えが進むと考えられ、市場の更なる拡大が期待されている。

一方で、多機能高密度三次元集積化技術において、三次元化のメリットを出しやすいデバイスを構成することは極めて重要である。リコンフィギャラブルプロセッサに代表される回路再構成可能デバイスは製造後に回路構成を書き込むことで所望の機能を実現するため、冗長性を持たせ易い。このため、必ずしも正常動作するチップだけを重ねる必要はなく、ウェハ積層が適用しやすく、三次元化のメリットを出しやすいデバイスである。

本研究では、三次元的に積層したチップに対し後からプログラムを書き換えて機能を発揮させる三次元回路再構成可能デバイス技術など、これまでにない三次元化技術により、新たな機能の発揮と飛躍的な性能向上を実現する立体構造新機能集積回路技術を確立することを目的とする。

これまでに、三次元集積回路であって、かつ回路の再構成が可能な機能を持つデバイスの実証例は皆無であるため、本研究開発項目においては、まず第一に、そのような回路が実現可能かどうかを理論的に検証する。

以上のことを考慮して、具体的研究内容と目標を以下のように定め、研究開発を進めることとした。

1) 三次元構造の特長を活かすアーキテクチャおよびそのアーキテクチャに対応する設計技術の開発(三次元対応ソフト開発環境の構築、三次元配置配線手法の開発等)を行う。さらに、製造後の不具合・故障回避技術を開発する。

具体的には、動的リコンフィギャラブルプロセッサ、FPGA、汎用プロセッサ、メモリ等の機能ブロックを柔軟に組み合わせたハイブリッドアーキテクチャを開発し、三次元構造による性能向上の効果と高い機能拡張性を実証する。

中間目標(平成22年度):

- ・三次元的な積層構造を利用した動的リコンフィギャラブルプロセッサのアーキテクチャを開発し、論理設計を完了する。このアーキテクチャを用いた4層積層において、二次元構成に比較して、消費電力当たりの性能が1.25倍以上となることを実証する。
- ・三次元的な積層構造を利用したFPGAを開発し、論理設計を完了する。このアーキテクチャを用いた4層積層において、二次元構成に比較して、消費電力当たりのゲート数が1.25倍以上となることを実証する。

最終目標(平成24年度)

- ・動的リコンフィギャラブルプロセッサ、FPGA、汎用CPU、メモリ等の機能ブロックを柔軟に組み合わせたハイブリッドアーキテクチャを開発する。さらに、200mm径以上のウェハ積層技術を用いて4層以上積層し、三次元回路再構成可能デバイスとしての動作を実証する。

(開発成果の要約)

1) 三次元回路再構成可能デバイスアーキテクチャおよび設計技術の研究開発と実証。

(a) 三次元構造アーキテクチャ・設計技術の研究開発

ハイブリッドアーキテクチャ構築のため三次元回路再構成可能デバイスを含む応用システムの検討を行った。三次元デバイスの特徴である再構成可能、積層枚数を変えることによる性能スケーラビリティおよび小面積実装を活かせる応用として、ネットワーク分野およびロボット分野について構成や処理内容を検討した。ロボットへの応用検討に際してはシミュレータおよびそれを検証するための実機を構築し評価を行った。これらの検討結果から三次元回路再構成可能デバイスへの搭載機能を検討した。本検討結果を踏まえ、ハイブリッドアーキテクチャの設計を行っており平成22年度中に設計を完了する見込みである。

(b) 機能回路FPGAの研究開発

機能回路であるFPGAについては、三次元FPGAに機能をマッピングし、定量的な評価を行うことができる三次元FPGA機能マッピングフローV2を開発した。本フローを用いて複数の回路による機能マッピング評価を行い、三次元通信トポロジを検討した。タイル部の論理を4入力LUT(Look Up Table)2個で構成し、垂直方向の貫通ビアを4本とした場合に、三次元FPGAは二次元FPGAに対して水平方向(X、Y方向)で必要な配線数が約50%削減できた(図III-1.2-③-(2)-1(a))。また、これらの結果から50×50のタイルを4層積層した場合(計10,000タイル)のタイル構成を見積もった結果、実装面積を二次元のFPGAよりも40%削減できる見込みを得た。10,000タイル集積時のタイル構成案を図III-1.2-③-(2)-1(b))に示した。タイル部はスイッチ部、論理部、メモリ部、貫通ビア部

から構成され、タイルサイズは 132 μ m 角となった。現在は制御回路を含む三次元 FPGA モジュールの設計を行っており平成 22 年度中に設計を完了の見込みである。三次元 FPGA に機能をマッピングするプログラムについては、開発する FPGA アーキテクチャにあわせて基本性能の向上を行っていく。

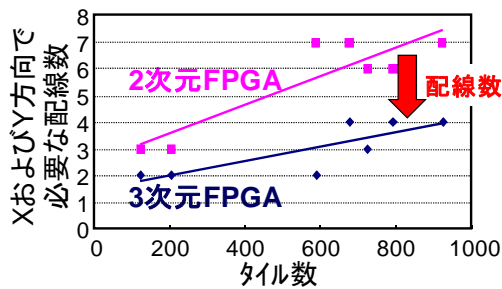
さらに、ホモ積層で積層チップを増加した場合、演算性能は向上するが IO 性能・機能は一定であり、積層によるスケーラビリティを活かすためには、IO の過不足が課題となる。そこで IO に再構成可能機能を追加したスケーラブルリコンフィギャブル IO プロセッサを提案し検討を行っている。様々なアナログ、デジタル信号をチップ積層数に応じてスケーラブルに接続できることが特長である。また、各種信号の処理も動的に変更が可能であり、平成 22 年度中にモジュールとしての設計を完了の見込みである。

三次元 FPGA モジュールおよびスケーラブルリコンフィギャブル IO プロセッサを搭載した 4 層積層チップにおいて、二次元構成に比較して、消費電力を 20%削減できる見込みである。

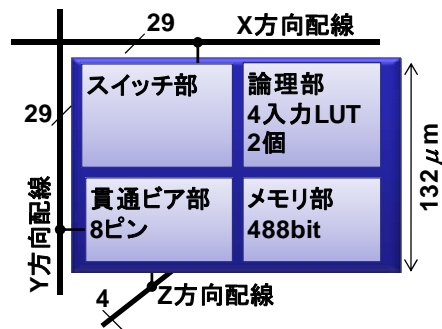
(c) 三次元通信・制御技術の研究開発

三次元通信・制御回路の開発では、三次元に適した通信回路方式を検討し、3 種類の回路方式（リピータ方式、フル振幅バス方式、小振幅バス方式）を提案し、TSMC 65nm CMOS プロセスを用いて TEG チップを設計・試作した。3 種類の回路方式について、TEG 試作した貫通ビアの容量測定結果を基に伝送スループット、伝送遅延、消費電力、面積、ばらつき耐性、救済効率の点から比較を行った（図 III-1.2-③-(2)-1(c)）。伝送スループット、面積および耐故障性の点ではリピータ方式が有利であり、伝送遅延および消費電力では小振幅バス方式が有利であるという結論を得た。再構成可能デバイスの三次元集積化時に課題となる連携動作の基本であるクロック構成についても検討し、三次元クロックツリー構成を提案した。

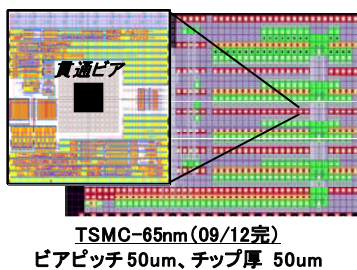
さらに平成 22 年度は試作した通信回路評価 TEG チップの詳細な評価のフィードバックを行い、三次元通信回路モジュールの設計を行う。また、設計にあたっては三次元通信部の故障などに対処する回路機能を追加する。また、再構成可能デバイスの三次元集積化時に課題となるクロック構成についても設計を行う。



(a) 必要な配線数の比較



(b) タイル構成案



構成		リピータ方式	バス方式	
駆動方式		フル振幅	フル振幅	小振幅
性能	伝送スループット	6 Gbps	2 Gbps	2 Gbps
	伝送遅延	300 ps	150 ps	150 ps
	消費電力(1Gbps時)	0.7 mW	0.8 mW	0.6 mW
	通信回路面積(μm ²)	100	500	300
設計容易性	ばらつき耐性	○	○	△
	救済効率(相対値)	1.0	0.25	0.03-0.25

(c) 回路評価 TEG レイアウトと搭載した新規通信方式の比較

図Ⅲ-1.2-③-(2)-1 三次元回路再構成可能デバイス(フレックスチップ)に関するアーキテクチャおよび設計技術の研究開発の研究開発実績

(中間目標の達成度)

以上の内容を表Ⅲ-1.2-③-(2)-1にまとめる。このように、基本計画に定義された中間目標は現時点でかなり達成されており、平成22年度中には達成見込みである。

1.2-③-(2)-2 成果の意義

三次元デバイスの特徴である再構成可能、積層枚数を変えることによる性能スケーラビリティおよび小面積実装を活かせる応用として、ネットワーク分野およびロボット分野について構成や処理内容を検討することにより提案したハイブリッドアーキテクチャ(三次元FPGAおよびスケーラブルリコンフィギュラブルIOプロセッサを搭載)は他にはない独創的な構成である。

三次元ホモ構造に適したFPGAのアーキテクチャを検討するには、FPGAに対して応用回路のマッピングを行う三次元FPGA機能マッピングフローが極めて重要な役割を果たす。産業技術総合研究所において、二次元構造向けとして開発されたフローを拡張して、定量的に三次元FPGAアーキテクチャのマッピング評価を行ったことは世界初の試みである。さらに

本評価により決定した三次元 FPGA のアーキテクチャが、二次元の FPGA よりも実装面積を 40%も削減できたことは大きな成果である。最終目標である三次元 FPGA を実装したチップを 4 層積層し動作させることに成功すれば世界初の成果となる。

IOに回路再構成可能機能を追加したスケーラブルリコンフィギャラブルIOプロセッサは、三次元実装を活かす独創的な技術である。外部信号をチップ積層数に応じてスケーラブルに接続でき、また、信号処理も動的に変更可能である特長により、既存の FPGA では対応できない機能を実現し、ロボットハンドなどの新たな応用の開拓が可能となる。

三次元通信回路の開発では、低容量な TSV を用いた新規回路方式の提案により面積当たりおよび電力当たりの伝送レートにおいて、世界最高水準の成果が得られる見通しであり、本方式を実装した TEG 評価により平成 22 年度には世界で初めてその効果を実証できる見込みである。

1. 2-③-(2)-3 知的財産権の取得

貫通ビアの故障などに対処する回路方式、三次元集積化時に課題となるクロック構成およびセンサハブチップ向けハイブリッドアーキテクチャについて 3 件の特許出願を行った。

1. 2-③-(2)-4 成果の普及

以上に述べた特許および論文、外部発表等の件数を表Ⅲ-1. 2-③-(2)-2にまとめて示す。本表からわかるように、開発した技術について特許出願をするとともに、招待講演を含めて、適切に情報発信を行っている。

1. 2-③-(2)-5 最終目標の達成可能性

現在までに、研究開発は順調に進行している。この成果を受け今後は、(a)三次元構造アーキテクチャ・設計技術の研究開発では、ハイブリッドアーキテクチャの設計を行う。(b)機能回路の研究開発では、三次元 FPGA およびスケーラブルリコンフィギャラブルIOプロセッサの設計を行い、4 層積層において、二次元構成に比較して、消費電力当たりの性能が 1.25 倍以上となることを実証する。(c)三次元通信・制御技術の研究開発では TEG 評価により通信回路の構築を行う。三次元 FPGA や三次元通信技術の基本回路は既に完しており、平成 22 年度中にモジュール設計を完了することにより確実に平成 24 年度最終目標達成が可能である。

表Ⅲ-1. 2-③-(2)-1

「1. 2-③-(2)三次元回路再構成可能デバイスに関するアーキテクチャおよび設計技術の研究開発」の成果と達成度(※)

◎ 目標を大幅に上回り達成、○:目標を達成、△:目標をほぼ達成、×:目標未達成

中間目標(平成22年度末)	研究開発成果	達成度
<p><u>1) 三次元回路再構成可能デバイスアーキテクチャおよび設計技術の研究開発と実証</u></p> <ul style="list-style-type: none"> ・三次元的な積層構造を利用した動的リコンフィギャラブルプロセッサのアーキテクチャを開発し、論理設計を完了する。このアーキテクチャを用いた4層積層において、二次元構成に比較して、消費電力当たりの性能が1.25倍以上となることを実証する。 ・三次元的な積層構造を利用したFPGAを開発し、論理設計を完了する。このアーキテクチャを用いた4層積層において、二次元構成に比較して、消費電力当たりのゲート数が1.25倍以上となることを実証する。 	<ul style="list-style-type: none"> ・三次元の特長を活かせる応用としてネットワーク分野およびロボット分野について構成や処理内容の概要を検討した。この検討結果から三次元回路再構成可能デバイスへの搭載機能を検討した。平成22年度中にハイブリッドアーキテクチャの設計を完了する見込みである。 ・三次元FPGAに機能をマッピングするプログラムV2を開発し、複数の回路による機能マッピング評価を行い、FPGA タイル基本回路の検討・設計を行った。平成22年度中にモジュールとしての設計を完了する見込みである。 ・IO機能の強化のためIOに再構成可能機能を追加したスケーラブルリコンフィギャラブルIOプロセッサを提案・検討した。平成22年度中にモジュールとしての設計を完了する見込みである。 ・以上の検討から三次元FPGAモジュールおよびスケーラブルリコンフィギャラブルIOプロセッサを搭載したチップの4層積層において、二次元構成に比較して、消費電力を20%削減できる見込みである。 ・三次元に適した通信回路方式を検討し、3種類の回路方式(リピータ方式、フル振幅バス方式、小振幅バス方式)を提案しTEGチップを設計・試作し、通信方式の比較を行った。TEGの測定により通信回路の構築を完了する見込みである。 	<p>○</p>

表Ⅲ－1. 2－③－(2)－2

「三次元回路再構成可能デバイスに関するアーキテクチャおよび設計技術の研究開発」の特許、外部発表等

区分 年度	特許出願			論文	学会発表等	その他外部発表 (書籍・プレス等)
	国内	外国	PCT			
H20FY						
H21FY	1				1	
H22FY※	1		1			

※H22FYは平成22年7月末日の集計

IV. 実用化・事業化の見通しについて

1. 実用化の見通し

①-(1)次世代三次元集積化設計技術の研究開発

(1) 成果の実用化の可能性

1) 電気系シミュレーション技術の研究開発

開発したシミュレータを、プロジェクト各参加企業において評価し、その性能・使い勝手等を見極め、実用化レベルにブラッシュアップする予定である。それらの結果を踏まえ、次世代三次元積層SiP等を使った製品設計に活用する。得られている性能から判断して、設計の初期段階にてシグナルインテグリティ・パワーインテグリティの評価を従来よりも大規模及び短時間に確認することが可能になると考えられる。その結果、チップを搭載するパッケージや、それを搭載するシステム基板の試作回数を低減させることが可能になり、製品コストの低減、設計期間の短縮等が実現でき、半導体業界ではなくてはならない設計環境となることが期待できる。

2) 信号品質安定化技術(シグナルインテグリティ)・電源安定化技術(パワーインテグリティ)の研究開発

開発した技術は、次世代三次元積層SiPのみならず、低電圧化、高速化が進む現行のLSIを利用した電子システムに適用され、広い産業技術としての利用が可能である。

(2) 波及効果

1) 電気系シミュレーション技術の研究開発

各参加企業での、製品開発、設計期間が大幅に短縮され、タイムリーな市場投入求められるデジタル家電分野での売上高向上、利益率アップが図られ、事業の安定化に貢献する。

2) 信号品質安定化技術(シグナルインテグリティ)・電源安定化技術(パワーインテグリティ)の研究開発

本研究開発テーマは、業界・学会を代表し世界的にもトップレベルの技術を保有する基板メーカーや大学・研究機関が協力して推進している。体系化が困難な実装設計技術に大学や独法研究機関が有する深い工学的知見を融合させ、次世代三次元集積化設計技術のデファクトにつながる研究開発のモデルケースとなることが期待できる。

①-(2)次世代三次元集積化のための評価解析技術の研究開発

(1)成果の実用化の可能性

1)300mm ウェハ一括プローブ方式の研究開発

開発した要素技術は世界最高水準の成果が得られていて、次世代三次元積層 SiP を構成する LSI チップの KGD 化のみならず、テストコスト削減が求められている現行ウェハテスト工程やバーンイン工程へ適用可能であり、有用な成果である。プロジェクト参加においては、一部の成果を先行して 300mm ウェハ一括テストシステムの実用化検討を開始している。今後、その他要素技術も実用化検討が進むものと期待している。

2)三次元集積化の熱・積層接合評価解析技術の研究開発

次世代三次元積層 SiP では、従来のフリップチップ接合よりも一桁以上微細な 10 μ m ピッチ前後の接合が期待される。こうした接合技術は三次元集積化技術の基本技術であり、十分な信頼性と生産歩留まりが要求される。しかし、TSV やバンプ接合の技術は十分確立しておらず、三次元集積化が工業的に普及する妨げとなっている理由の一つと考えられる。接合体積として 1/1,000 レベルの相違に対して技術的確立をはかるためには、結晶構造、金属拡散、表面エネルギーなどの観点から、様々な角度からの基礎的検討と科学的裏付けに基づいた構造やプロセスの検討が必要と考えられる。本研究で進めている評価解析技術研究は、こうした問題点に対する解決に大きく寄与する事によって、三次元集積化の実用化に大きな役割を果たすものと考えられる。

3)薄化ウェハの評価解析技術の研究開発

極薄ウェハ加工、及び極薄チップピックアップ技術においては、生産コスト・量産性を最優先に考え、一部の新規開発材料を除いては世の中で市販されているコンベンショナルな材料、装置、プロセス技術をベースに研究開発を行っている。またデバイスの特性評価技術についても、C-t 測定法やレーザラマン顕微鏡を用いた解析技術により定量的に評価できることを検証したが、同じく市販されている解析技術である。その意味で、本研究開発は世界最先端のレベルであるが、半導体事業分野での実用化の可能性は高い。

(2)波及効果

1)300mm ウェハ一括プローブ方式の研究開発

本研究開発項目は、多機能高密度三次元集積化に使用する KGD 獲得の為に ϕ 300mm ウェハ一括テスト技術開発によって三次元集積化技術を進展させ、我が国の半導体産業における同技術の実用化を加速する。また、テストコスト削減を可能とするための次世代テスト技術の開発に繋げ、我が国の半導体産業発展に貢献する。

2)三次元集積化の熱・積層接合評価解析技術の研究開発

現存するほとんどの観測技術は、プロジェクトで研究開発中の微細接合の熱、接合評価解析や

プロセスに利用するための分解能や精度を満たしておらず、いずれも新たな開発を必要としている。研究開発を行っている X 線微細観測技術や超音波、表面形状観測など、これらの基礎的観測技術は、三次元積層 SiP 以外の他の分野、たとえば医療などへの波及、展開も十分期待できるものと思われる。

3) 薄化ウェハの評価解析技術の研究開発

10 μ 厚の極薄ウェハ技術は、次世代三次元積層 SiP のみならず、従来パッケージ製品の低背化にも利用され、半導体産業の基盤技術として普及することが期待できる。

①-(3)次世代三次元集積化設計技術及び次世代三次元集積化のための評価解析技術の有効性実証

(1)成果の実用化の可能性

実証デバイス#1は超多ピンによるロジック・Si インターポーザ・メモリ間の相互接続で、高性能情報処理装置、特にグラフィックス用としてメモリコアを用いるハイエンドの画像処理装置(PC用グラフィックス、ゲーム機器)が最初のキラーアプリと成る可能性が高い。このため、こうした超ワイドバスを有する三次元積層に関連する評価解析技術は実用化される可能性が高い。

実証デバイス#2として開発しているシステムは産業機器に属するものであるが、民生機器と共通するプロトコルやアーキテクチャで制御される部分が多く、開発技術は、スペックダウンした形で民生機器、特に携帯電話分野に展開できる技術である。また最近開発が加速されている自動車自動運転支援システム(ADAS:Advanced Driver Assistance System)への適用・実用化も考えらる。

例えば、その機能特性は 10,000fps(現市販 2000fps 間歇的データ取り込み)のリアルタイム取り込み(=常時)を実現でき、常時 24Gbps のデータ処理が可能となる。したがって、リアルタイム高速画像処理が必要とされる自動車運転危険防止システムに使用できる可能性があるだけでなく、スポーツ、科学、医学、軍用分野における高速画像処理システム、特にリアルタイム(常時)処理が出来ることから、超臨場感を持つモニター操作を必要とする分野に応用できる可能性を持つ。

(2)波及効果

実証デバイス#1はグラフィック市場に続いて、超ワイドバスを用いた情報処理システムは、グラフィックス用エンジンを汎用化した GPGPU (General Purpose Graphics Processing Unit)を用いたスーパーコンピュータやサーバなどを対象に、市場を拡大してゆくものと想定している。更に、大規模データの授受が短時間に行える特徴から、画像処理分野(自動車などの運行安全制御や医療機器)にも市場が広がる。従って、関連する評価解析技術に対応する評価解析機器の開発・製造に関しても広汎な需要を生む。

実証デバイス#2の高速通信だけを抽出した技術は一般的な CPU メモリ間の高速通信やクラウドコンピュータ通信システムにも応用可能である。また、多くの TSV を利用した並列メモリ、演算処理はダイナミックリコンフィギュラブルシステム一般のハード的な設計部門への取り込みも可能である。

1. 2-②-(1) 複数周波数対応可変RF MEMSデバイスの研究開発

(1) 成果の実用化の可能性

2013年には世界で20バンド以上が携帯電話用として商用化される見込みである。2010年現在国際ローミング対応の携帯電話は5-6バンド対応であり、バンド毎に周波数固定の送信回路・受信回路を内蔵している。現状の構成で20バンド以上に対応する場合には、RF回路部が現状の4-5倍の規模となり、小型軽量が要求される携帯電話の設計に著しい制約を与えることになる。

本研究開発テーマはこの将来の市場要求に答え、増加するバンド数に合わせてフレキシブルに周波数を可変し、選択した周波数での通信を可能にするデバイスを提供するものである。本研究開発項目の最終目標が実現できれば、1つの超小型モジュールで増大していくバンド数にフレキシブルに対応が可能となり、20バンド以上に対応する携帯電話も従来どおりの小型軽量設計が可能となる。

現在までの研究でMEMSスイッチや可変フィルタモジュール、可変アンテナモジュールで世界最高レベルの成果が得られており、今後の研究開発で、世界初の携帯電話用可変RFモジュールを実証できると期待している。

(2) 波及効果

現在日本の携帯電話メーカーは日本独自の通信方式に対応した携帯電話を製造しており、世界標準とは異なるため海外市場には進出できずにいる。今後の研究開発成果と、SDR (Software Defined Radio) 用LSIと組み合わせれば、世界中の通信方式、通信周波数にソフトウェアの変更だけで対応可能な携帯電話が実現でき、日本の携帯電話メーカーがハードウェアを新規に開発することなく、日本国内向け製品のソフトウェアを変更するだけで海外市場に進出できるようになる。

1. 2-②-(2) 複数周波数対応通信フロントエンド回路の研究開発

(1) 成果の実用化の可能性

2013 年には世界で20バンド以上が携帯電話用として商用化される見込みである。2010年現在国際ローミング対応の携帯電話は5-6バンド対応であり、バンド毎に周波数固定の送信回路・受信回路を内蔵している。現状の構成で20バンド以上に対応する場合には、RF回路部が現状の4-5倍の規模となり、小型軽量が要求される携帯電話の設計に著しい制約を与えることになる。

本研究開発項目はこの将来の市場要求に答え、増加するバンド数に合わせてフレキシブルに周波数を可変し、選択した周波数での通信を可能にするデバイスを供給するものである。本研究開発項目の最終目標が実現できれば、1つの超小型モジュールで増大していくバンド数にフレキシブルに対応が可能となり、20バンド以上に対応する携帯電話も従来どおりの小型軽量設計が可能となる。

現在までの研究で(1)のモジュールを組み合わせて制御を行い、複数周波数に対応するフロントエンド回路の動作が検証できている。今後の研究については、現状の予算規模では本プロジェクトで実施不可能であり、自社で実用化に向けて取り組む予定である。

(2) 波及効果

現在日本の携帯電話メーカーは日本独自の通信方式に対応した携帯電話を製造しており、世界標準とは異なるため海外市場には進出できずにいる。今後の研究開発成果と、SDR (Software Defined Radio) 用LSIと組み合わせれば、世界中の通信方式、通信周波数にソフトウェアの変更だけで対応可能な携帯電話が実現でき、日本の携帯電話メーカーがハードウェアを新規に開発することなく、日本国内向け製品のソフトウェアを変更するだけで海外市場に進出できるようになる。

1. 2-③-(1) 三次元回路再構成可能デバイスに関する三次元集積化技術の研究開発

(1) 成果の実用化の可能性

本研究開発の成果は、参画企業において様々な応用探索を行うと共に、適用可能な製品に最適なシステム設計を行い、製品化を図る。

当該技術開発を通じて知財の創生を行い、特許ポジションを向上させ、知的財産権の活用により事業を強化する方針である。

(2) 波及効果

半導体デバイスの用途が広がり続ける一方、ASIC の開発費が高騰し、新規開発が困難になりつつある。このような背景を受け、機能のフレキシビリティを有する半導体製品への期待が高まってきている。そのような製品の代表例が FPGA であるが、高い消費電力、大きなチップサイズなどの課題も抱えている。本技術開発により、小型かつ低消費電力で機能フレキシビリティを有する半導体デバイスが実現できれば、新たな半導体デバイス市場の開拓につながり、ひいては、それらのデバイスを用いた各種エレクトロニクス機器の競争力強化につながると期待される。

また、本開発技術が適用可能な半導体デバイスとして、大容量メモリデバイス、超低消費電力プロセッサデバイス、超小型通信デバイスなど想定される。これら半導体デバイスに本技術を適用することで、従来デバイス実装構造と比べて、大幅な消費電力の低減、機器の小型化、動作速度の向上が見込め、これらデバイスおよびそれを組み込んだ機器の市場競争力強化が見込める。

さらに、本技術を実現する上で必要となる材料、装置の要求仕様をいち早く明らかにすることによって、材料および装置メーカーの開発を促進することにより、競争力のある材料、装置開発に寄与できると考えられる。

1. 2-③-(2) 三次元回路再構成可能デバイスに関するアーキテクチャおよび設計技術の研究開発

(1) 成果の実用化の可能性

本研究開発の成果は、参画企業において様々な応用探索を行うと共に、適用可能な製品に最適なシステム設計を行い、事業化を図る。

当該技術開発を通じて知財の創生を行い、特許ポジションを向上させ、知的財産権の活用により事業を強化する方針である。

(2) 波及効果

微細化の進展により開発費が高騰し 65nm プロセス世代以降では生涯生産数が 100 万個の場合、コストの 9 割を開発費用が占めるようになり新規 ASIC の開発が困難となっている。そこで近年ではフレキシブルなデバイスへの期待が高まっている。

しかしながら、FPGA などの従来の回路再構成可能デバイスは、機能のフレキシビリティといった利点を有するものの、それを支える冗長な回路構成に起因して、チップサイズは同等性能の ASIC に比べ数十倍となる。結果として、消費電力も極めて大きくなり、軽量小型製品への応用は困難となっている。このデバイスに対して当該技術開発により、課題のブレークスルーを実現できれば、適用分野の拡大による新規市場開拓につながり、市場規模のさらなる拡大が期待される。

本技術開発により、ルータ等の IT 機器や社会インフラ機器、ロボット等の産業機器、或いは、コンシューマーエレクトロニクス機器において、競争力の高い製品に結びつくほか、成長率が高い再構成可能回路における半導体デバイスの市場競争力が飛躍的に高められる。

ITイノベーションプログラム基本計画

1. 目的

我が国が目指す高度情報通信ネットワーク社会の構築に向け、経済成長戦略大綱、IT新改革戦略、科学技術基本計画及び技術戦略マップ等に基づき、情報化の進展に伴うエネルギー消費量の増大等の課題にも考慮しつつ、その基盤となる情報通信機器・デバイス等の情報通信技術を開発し、実社会への利用を促進する。また、情報システム・ソフトウェアについて品質、信頼性及び生産性の向上を推進し、組込みソフトウェア産業強化、オープンソースソフトウェアを安心して活用するための環境整備、独創的な人材の発掘等、我が国産業競争力強化のための必要な基盤整備を実施することによって、ITの利活用の深化・拡大を図り、より豊かな国民生活を実現するとともに、我が国の経済活力の向上を図ることを目的とする。

2. 政策的位置付け

○「経済成長戦略大綱」(2006年7月財政・経済一体改革会議。2007年6月改訂・経済財政諮問会議報告、2008年6月改訂・経済財政諮問会議報告)

IT革新による競争力強化、IT革新を支える産業・基盤の強化に必要な研究開発の推進に対応

○「第3期科学技術基本計画」(2006年3月閣議決定)国家的・社会的課題に対応した研究開発の重点推進4分野である情報通信分野、分野別推進戦略(2006年3月総合科学技術会議)における重点分野である情報通信分野に位置づけられるもの。

○「IT新改革戦略」(2006年1月高度情報通信ネットワーク社会推進戦略本部)次世代のIT社会の基礎となる研究開発の推進等に対応。「ITによる地域活性化等緊急プログラム」(2008年2月)、「IT政策ロードマップ」(2008年6月)、「重点計画－2008(2008年8月)」等を策定。

3. 達成目標

(1) 情報経済社会を形成する上で必要不可欠な基盤技術である情報通信機器・デバイス等に関しては、「革新的な技術の確立」と「その開発成果の普及促進」を図る。

【目標】

・情報通信機器・デバイス産業の付加価値額を、2020年度において、2008年度比で、約50%増加させる。

・半導体の微細化に係る革新的基盤技術の開発(テクノロジーノード45nm以細)

- ・革新的な大型ディスプレイ技術の開発(消費電力を現状機器と比較して約50%以下)
- ・革新的なネットワーク機器技術の開発(消費電力を現状機器と比較して60%以下)

(2) 経済社会システムの信頼性確保に大きく寄与する情報システム・ソフトウェアに関しては、品質、信頼性及び生産性の向上や産学官の開発リソースの連携強化により、「人材育成」と「ソフトウェア工学の開発」等を積極的に推進する。

【目標】

- ・情報サービス・ソフトウェア産業の付加価値額を、2015年度において、2004年度比で、約25%増加させる。
- ・組み込みシステム等の不具合発生率(2011年度までに2006年度比50%減)

4. 研究開発内容

[プロジェクト]

I. ITコア技術の革新

[i]世界最先端デバイスの先導開発

(中略)

(3)ドリームチップ開発プロジェクト(運営費交付金)

①概要

あらゆる社会ニーズに情報技術が今後も迅速に対応し、夢の社会を創り上げるため新しい方向の半導体技術として、これまで平面的な構造に過ぎなかった半導体デバイスに、立体構造という新たな概念を取り込み、社会ニーズの要請に適確に対応すべく、産業・ユーザーと密接な連携をとりながら、多様な用途に応じた夢の新機能デバイス(ドリーム・チップ)を開発する。

②技術目標及び達成時期

2012年度までに、立体構造化技術を発展・統合し、これまでにない革新的な半導体(ドリームチップ)基盤技術を開発する。

③研究開発期間

2008年度～2012年度

(中略)

6. 研究開発の実施に当たっての留意事項

事業の全部又は一部について独立行政法人の運営費交付金により実施されるもの(事業

名に(運営費交付金)と記載したものは、中期目標、中期計画等に基づき、運営費交付金の総額の範囲内で、当該独立行政法人の裁量によって実施されるものである。

7. 改訂履歴

(1) 平成12年12月28日付け、情報通信基盤高度化プログラム基本計画を制定。

(2) 平成14年2月28日付け、情報通信基盤高度化プログラム基本計画及び次世代半導体デバイスプロセス等基盤技術プログラム基本計画を制定。情報通信基盤高度化プログラム基本計画(平成12・12・27工総第12号)は廃止。

(3) 平成15年1月31日付け、情報通信基盤高度化プログラム基本計画及び次世代半導体デバイスプロセス等基盤技術プログラム基本計画を制定。情報通信基盤高度化プログラム基本計画(平成14・02・25産局第17号)及び次世代半導体デバイスプロセス等基盤技術プログラム基本計画(平成14・02・25産局第18号)は、廃止。

(4) 平成15年3月10日付け、情報通信基盤高度化プログラム基本計画、次世代半導体デバイスプロセス等基盤技術プログラム基本計画、次世代ディスプレイ技術開発プログラム基本計画及び情報通信基盤ソフトウェア開発推進プログラム基本計画を制定。情報通信基盤高度化プログラム基本計画(平成15・01・29産局第1号)及び次世代半導体デバイスプロセス等基盤技術プログラム基本計画(平成15・01・29産局第2号)は、廃止。

なお、情報通信機器高度化プログラム基本計画(平成15・01・29産局第1号)及び次世代半導体デバイスプロセス等基盤技術プログラム基本計画(平成15・01・29産局第2号)の一部は、次世代ディスプレイ技術開発プログラム基本計画及び情報通信基盤ソフトウェア開発推進プログラム基本計画へ移行。

(5) 平成16年2月3日付け、高度情報通信機器・デバイス基盤プログラム基本計画及び情報通信基盤ソフトウェア開発推進プログラム基本計画を制定。情報通信機器高度化プログラム基本計画(平成15・03・07産局第14号)、次世代半導体デバイスプロセス等基盤技術プログラム基本計画(平成15・03・07産局第7号)、次世代ディスプレイ技術開発プログラム基本計画(平成15・03・07産局第4号)は、高度情報通信機器・デバイス基盤プログラム基本計画に統合することとし、廃止。また、情報通信基盤ソフトウェア開発推進プログラム基本計画(平成15・03・07産局第14号)は、廃止。

(6) 平成17年3月25日付け、高度情報通信機器・デバイス基盤プログラム基本計画を制定。高度情報通信機器・デバイス基盤プログラム基本計画(平成16・02・03産局第1号)は廃止。また、平成17年3月31日付け、情報通信基盤ソフトウェア開発推進プログラム基本計画を制定。情報通信基盤ソフトウェア開発推進プログラム基本計画(平成16・02・03産局第2号)は廃止。

(7) 平成18年3月31日付け、高度情報通信機器・デバイス基盤プログラム基本計画及び情報通信基盤ソフトウェア開発推進プログラム基本計画を制定。高度情報通信機器・デバイス基盤プログラム基本計画(平成17・03・25産局第7号)及び情報通信基盤ソフトウェア開発推進プログラム基本計画(平成17・03・25産局第6号)は廃止。

(8) 平成19年4月2日付け、高度情報通信機器・デバイス基盤プログラム基本計画及び情

報通信基盤ソフトウェア開発推進プログラム基本計画を制定。高度情報通信機器・デバイス基盤プログラム基本計画(平成18・03・31産局第4号)及び情報通信基盤ソフトウェア開発推進プログラム基本計画(平成18・03・31産局第5号)は廃止。

(9) 平成20年4月1日付け、ITイノベーションプログラム基本計画を制定。情報通信機器高度化・デバイス基盤プログラム基本計画(平成19・03・12産局第7号)及び情報通信基盤ソフトウェア開発推進プログラム基本計画(平成19・03・12産局第8号)は、本プログラム基本計画に統合することとし、廃止。

(9) 平成21年4月1日付け、ITイノベーションプログラム基本計画を制定。ITイノベーションプログラム基本計画(平成20・03・27産局第1号)は、廃止。

「立体構造新機能集積回路(ドリームチップ)技術開発」基本計画

電子・情報技術開発部

1. 研究開発の目的・目標・内容**(1) 研究開発の目的**

我が国半導体技術の発展は、情報家電、コンピュータ、通信装置を始め、自動車、医療機器など様々な機器の高性能化、小型化、省電力化に貢献し、情報通信産業や製造業といった我が国経済を牽引する産業の競争力を強化するものである。従来、この発展を支える半導体デバイスの製造技術は、CMOS-LSI 用プロセス技術を二次元的に微細化することにより追求されてきた。一方、微細化の進展に伴い、微細化を実現するための研究開発投資、設備投資が増大すると共に、製造レベルでのばらつき制御や歩留まり対策といった製造技術のブレークスルーも必要になってきている。

こうした状況下、半導体製品の更なる性能向上を図る上で、二次元的な微細化に加えて、三次元的な構造を採用することで、高集積化、配線遅延への対応、低消費電力化、開発期間短縮を図ろうとする取り組みが顕在化し、海外各国がその開発への取り組みを開始しているところである。こうした動きは、世界に先駆けて独立行政法人新エネルギー・産業技術総合開発機構(以下、「NEDO」という。)が取り組んだ高密度三次元積層技術(超高密度電子 SI 技術プロジェクト(平成 11～15 年度)における Si 貫通ビアによる三次元チップ積層技術開発、積層メモリチップ技術開発(平成 16～18 年度)における積層 DRAM 技術開発)の成果に触発されたものであり、研究開発実績としては今のところ我が国に優位性があるものの、今後、各国との開発競争は熾烈化するものと考えられる。海外の活動の活発化により、この状況を放置すれば三次元化に関する技術開発の競争力を失いかねない。

このため本プロジェクトを「IT イノベーションプログラム」の一環として実施し、これまでの同一機能のメモリの積層による高集積化とは異なり、異機能を持つチップの積層技術、デジタル・アナログ回路や微小可動機構の積層技術、さらには三次元的に積層したチップに対し後からプログラムを書き換えて機能を発揮させる技術など、これまでになかった三次元化技術により、新たな機能の発揮と飛躍的な性能向上を実現する立体構造新機能集積回路技術を確立することを目的とする。

(2) 研究開発の目標**①多機能高密度三次元集積化技術**

情報通信デバイスや信号処理デバイスの小型化、低消費電力化に必要な、Si 貫通ビアを用いた三次元積層システムインパッケージ(SiP)を実現するための設計技術および評価解析技術の確立を目標とする。

中間目標(平成22年度)

三次元積層 SiP の設計に必要な高速シミュレーションエンジンを開発するとともに、ウェハ状態で半導体素子の機能検査を行う評価解析技術確立する。

最終目標(平成24年度)

実用的なアプリケーション仕様に準ずる、Si 貫通ビアを用いた三次元積層 SiP を試作し、機能を検証することで、多機能高密度三次元集積化技術として開発した設計技術と評価解析技術の有効性を実証する。

②複数周波数対応通信三次元デバイス技術

微小可動構造(MEMS)を用いた MEMS 回路、制御・電源回路が積層された複数周波数・複数通信方式に対応する三次元デバイスを開発する。最終的には、ボード基板上に並べられた RF 通信デバイスを小型化し SiP とすることが可能な技術確立する。

中間目標(平成22年度)

MEMS デバイス(キャパシタ、スイッチ等)を組み合わせた RF MEMS デバイス(可変アンテナ、可変インピーダンス回路、可変フィルタ)を開発する。また、RF MEMS 回路、制御・電源回路を三次元集積化し、機能を実証する。さらに、それらを組み合わせて、複数の周波数帯域で通信可能なマルチチップモジュール(MCM)を作成しその動作を実証する。

最終目標(平成24年度)

MEMS 回路、制御・電源回路が積層された複数周波数・複数通信方式に対応する三次元デバイスとして、700MHz～6GHz の周波数帯域で周波数特性可変の MCM を開発し、通信方式ごとの個別回路を MCM 構成にて実装した場合に比較し、実装面積で1/8に小型化可能なことを実証する。

③三次元回路再構成可能デバイス技術

三次元的な積層構造を利用した回路再構成可能デバイス(フィールドプログラマブルゲートアレイ(FPGA)、動的リコンフィギュラブルプロセッサ等)技術を開発する。

平成 20 年度は、三次元積層を含むデバイス作製プロセスのフロー骨子を決定する。また、三次元配線密度等の具体的な基本仕様の策定を行うとともに、その仕様に基つき、三次元アーキテクチャの基本構造の決定と、それにより実現する目標性能及び機能を確定する。

なお、平成 21年度以降の研究開発目標については、平成 20 年度の成果を踏まえ、以下のように定める。

中間目標(平成22年度)

三次元回路再構成可能デバイスに関するアーキテクチャと、それを実証する三次元集積化技術の基盤技術を開発する。

最終目標(平成24年度)

三次元回路再構成可能デバイスのアーキテクチャを実証する。さらに三次元回路再構成可能デバイスのプロセスフローを実証する。

(3) 研究開発の内容

立体構造によって新たな機能創出や飛躍的な性能向上が期待されるデバイス開発として、別紙の研究開発計画に基づき以下の項目を実施する。

[委託事業]

- ① 多機能高密度三次元集積化技術
- ② 複数周波数対応通信三次元デバイス技術
- ③ 三次元回路再構成可能デバイス技術

2. 研究開発の実施方式

(1) 研究開発の実施体制

本研究開発は、NEDOが、単独ないし複数の、原則本邦の企業、研究組合、公益法人等の研究機関(原則、国内に研究開発拠点を有していること。ただし、国外企業の特別な研究開発能力、研究施設等の活用あるいは国際標準獲得の観点からの国外企業との連携が必要な場合はこの限りではない。)から公募によって研究開発実施者を選定後、共同研究契約等を締結する研究体を構築し、委託して実施する。

(2) 研究開発の運営管理

研究開発全体の管理・執行に責任を有するNEDOは、経済産業省および研究開発責任者と密接な関係を維持しつつ、プログラムの目的及び目標、並びに本研究開発の目的および目標に照らして適切な運営管理を実施する。具体的には、必要に応じて設置される技術検討委員会等を通じて、外部有識者の意見を運営管理に反映させるほか、研究開発実施者からプロジェクトの進捗について報告を受けること等を行う。

3. 研究開発の実施期間

本研究開発の期間は、平成 20 年度から平成 24 年度までの 5 年間とする。

4. 評価の実施

NEDOは、技術的及び政策的観点から、研究開発の意義、目標達成度、成果の技術的意義ならびに将来の産業への波及効果等について、外部有識者による中間評価を平成 22 年度に、事後評価を平成 25 年度に実施する。なお、評価の時期については、当該研究開発に係る技術動向、政策動向や当該研究開発の進捗状況等に応じて、前倒しする等、適宜見直すものとする。

5. その他の重要事項

(1) 研究開発成果の取扱い

① 成果の普及

得られた研究成果については、NEDO、実施者とも普及に努めるものとする。

② 知的財産権の帰属

委託研究開発の成果に関わる知的財産権については、「独立行政法人新エネルギー・産業技術総合開発機構新エネルギー・産業技術業務方法書」第 25 条の規定等に基づき、原則として、すべて受託先に帰属させることとする。

(2) 基本計画の変更

NEDOは、研究開発内容の妥当性を確保するため、社会・経済的状況、国内外の研究開発動向、政策動向、プログラム基本計画の変更、第三者の視点からの評価結果、研究開発費の確保状況、当該研究開発の進捗状況等を総合的に勘案し、達成目標、実施期間、研究開発体制等、基本計画の見直しを弾力的に行うものとする。

(3) 根拠法

本プロジェクトは、独立行政法人新エネルギー・産業技術総合開発機構法第15条第1項第2号に基づき実施する。

6. 基本計画の改訂履歴

- (ア) 平成20年3月、制定。
- (イ) 平成20年7月、イノベーションプログラム基本計画の制定により、「(1)研究開発の目的」の記載を改訂。
- (ウ) 平成21年3月、研究開発項目③の目標設定のため、「(2)研究開発の目標」の記載、および(別紙)研究開発計画の研究開発項目③「三次元回路再構成可能デバイス技術」の記載を改訂。

(別紙)研究開発計画

研究開発項目①「多機能高密度三次元集積化技術」

1. 研究開発の必要性

微細化が進む SoC デバイスでは、配線抵抗、配線容量の増大に起因する信号遅延時間と消費電力の増加が顕在化してきている。配線抵抗の低減には、Si 貫通ビアを活用した半導体チップの三次元集積化が有効である。さらにこの技術を用いて CMOS 半導体デバイスと他の機能デバイスとの三次元集積化を行えば、従来にない多機能デバイスの実現が可能となる。このように Si 貫通ビアを活用した、CMOS 半導体デバイスの三次元集積化および他の機能デバイスとの積層構造まで含めた多機能高密度三次元集積化技術の開発は、配線遅延、消費電力問題に対する解決策の一つを提供するとともに、新たな多機能デバイスの実用化を促進し、電子・情報技術の競争力を強化するものである。

多機能高密度三次元集積化技術で実現される次世代三次元積層 SiP では、特長ある CMOS 半導体デバイスおよび機能デバイスの開発とともに、次世代三次元積層 SiP の開発効率向上及び信頼性向上のための設計技術及び評価解析技術が必要である。また、CMOS 半導体デバイス及び機能デバイスを相互に接続可能とするインターフェースの規格化も必要となる。設計技術と評価解析技術の有効性については、次世代三次元積層 SiP での実証が必要である。

2. 研究開発の具体的内容

(1)次世代三次元集積化設計技術の研究開発

- ・ 電気系三次元シミュレーション技術として、次世代三次元積層 SiP の設計段階で使用される電気回路シミュレーションエンジン及び三次元電磁界シミュレーションエンジンの計算能力を改善し実用的設計ツールとして構築する。
- ・ 回路動作を安定化する信号品質安定化技術(シグナルインテグリティ)、電源安定化技術(パワーインテグリティ)を開発する。
- ・ CMOS 半導体デバイス、機能デバイス等を、相互に接続可能とする機械的・電氣的インターフェースを設定し、技術仕様書を策定する。

(2)次世代三次元集積化のための評価解析技術の研究開発

- ・ CMOS 半導体デバイスの機能をウェハ形状にて一括検査する技術として、300mm ウェハに対応可能な高速デジタル信号端子を含むプローブ方式、およびプローブカードとテスト装置を接続する高速テスト信号伝送技術を開発する。また、そのプローブ方式を用いたプローブカードにおいて電力供給安定化手法を開発する。さらにバーンイン試験及びバーンイン試験時の温度制御技術を開発する。
- ・ 三次元集積化の熱評価解析技術、積層接合評価解析技術を開発する。
- ・ 薄化したウェハの評価解析技術を開発する。

(3)次世代三次元集積化設計技術および次世代三次元集積化のための評価解析技術の有効性実証

- ・ 次世代三次元集積化設計技術及び次世代三次元集積化のための評価解析技術を用い、Si 貫通ビアを用いた三次元積層 SiP を試作することにより、その有効性を実証する。

3. 達成目標

(1) 次世代三次元集積化設計技術の研究開発

中間目標として、平成 22 年度末までに以下の目標を達成する。

- ・ 電気系三次元シミュレータにおいて、現状に比較し 2 桁多いメッシュ数及び 8 倍の信号幅の解析対象を、現状と同等の計算時間で解析するシミュレーションエンジンを開発する。
- ・ 三次元集積化における信号品質安定化技術、電源安定化技術を開発する。

最終目標として、平成 24 年末までに以下の目標を達成する。

- ・ 現状に比較し 2 桁多いメッシュ数および 8 倍の信号幅の解析対象を、現状と同等の計算時間で解析することができる電気系三次元シミュレータの開発と評価を完了する。
- ・ CMOS 半導体デバイス、機能デバイス等を、相互に接続可能とする機械的・電氣的インターフェースを設定し、技術仕様書を策定する。

(2) 次世代三次元集積化のための評価解析技術の研究開発

中間目標として、平成 22 年度末までに以下の目標を達成する。

- ・ 全体で 30 万端子を有し、そのうち高速デジタル信号テスト端子においては 15Gbps 以上の信号に対応可能な 300mm ウェハに対応するプローブ方式の基本技術を開発する。
- ・ 多端子プローブカードに関して非接触接続方式の実現可能性を検証する。
- ・ 次世代三次元集積化のための熱評価解析技術及び積層接合評価解析技術を開発する。
- ・ 10 μ m に薄化した 300mm ウェハの評価解析技術を開発する。

最終目標として、平成 24 年度末までに以下の目標を達成する。

- ・ 300mm ウェハに対応するプローブとして 30 万端子以上の被テスト端子への一括アクセスが可能であることを確認する。また、高速デジタル信号テスト端子においては、15Gbps 以上の信号を用いた検査が可能であることを確認する。
- ・ 平成 22 年度末までに開発したプローブをテスターと接続して評価を行い、プローブカードとテスト装置間において 500Mbps 以上の高速テスト信号を含む 4 万系統のテスト信号伝送が可能であることを実証する。
- ・ 一つのプローブカードにおいて、10kW 以上の安定した電力供給技術を開発する。
- ・ プローブカードにおけるチップテスト時、温度範囲-40°C~+125°Cにおいてバーンイン試験及びバーンイン試験を可能とする温度制御技術を開発する。
- ・ ひとつの三次元積層 SiP あたり 20W 以上の発熱に対応する放熱構造の評価解析技術を開発する。

(3) 次世代三次元集積化設計技術及び次世代三次元集積化のための評価解析技術の有効性実証

中間目標として、平成 22 年度末までに以下の目標を達成する。

- ・ 実用的なアプリケーションを想定した実証用三次元積層 SiP の候補と、その機能検証を行う仕様を策定する。

最終目標として、平成 24 年度末までに以下の目標を達成する。

- 実用的なアプリケーション仕様に準ずる、Si 貫通ビアを用いた三次元積層 SiP を試作し機能を検証する。
- 実証デバイスにおいて、次世代三次元積層 SiP、インターポーザ、外部基板まで含めた領域において、電気的特性による次世代三次元積層集積化設計技術の設計精度検証を行う。

研究開発項目②「複数周波数対応通信三次元デバイス技術」

1. 研究開発の必要性

情報通信技術分野において、安全で信頼性の高いネットワーク社会の構築のため、使用環境と使用サービスに合わせて最適な通信方式、通信帯域を利用可能とする複数周波数対応デバイスの実現が期待されている。これに対し従来の通信デバイスでは、必要となる通信方式に合わせてそれぞれのアンテナあるいはRF回路をスイッチにより切替えて対応していたが、3種類以上の方式を小型の通信端末に装備することは体積や消費電力等で課題が多い。これら課題を解決する、小型、低消費電力の複数周波数対応RFデバイスを世界に先駆けて開発することは、我が国の情報通信技術の競争力を高めるものである。

実用的な小型、低消費電力の複数周波数対応デバイスは、MEMS技術と三次元集積化技術の融合により実現可能であると期待される。そのため、これまでMEMS技術により開発されてきたスイッチ、キャパシタ、インダクタ等の基本デバイスを組み合わせ、可変アンテナ、可変インピーダンス回路、可変フィルタ等の可変RF MEMS回路を実現すると共に、これらRF MEMS回路と制御・電源回路を三次元集積化したRFフロントエンドを形成し、ベースバンドデバイスを含めたSiP化まで視野に入れた技術開発が必要となる。また、RF MEMSデバイスとしては、今後移動体通信システムで中心的に使用される予定の周波数帯域(700MHz～6GHz)での技術開発が必要である。

2. 研究開発の具体的内容

(1) 複数周波数対応可変RF MEMSデバイスの研究開発

- ・ 700MHz～6GHzにおいて、中心周波数、周波数帯域幅等の周波数特性を可変とするRF MEMSデバイス(可変アンテナ、可変インピーダンス回路、可変フィルタ)を開発する。
- ・ RF MEMSデバイスの制御回路、電源回路を開発し、それらを三次元集積化するための高周波回路実装技術を開発する。

(2) 複数周波数対応通信フロントエンド回路の研究開発

- ・ RF MEMSデバイス、制御・電源回路を積層した複数周波数対応通信デバイスとベースバンドデジタル回路を含めた通信フロントエンド回路をマルチチップモジュール(MCM)構成で実装し、複数周波数に対応した通信動作を実証する。
- ・ 複数周波数対応通信三次元デバイスの小型化、高性能化、低動作電圧化、さらに三次元積層構造での高周波設計技術に関する基盤技術を確立する。

3. 達成目標

(1) 複数周波数対応可変RF MEMSデバイスの研究開発

中間目標として、平成22年度末までに以下の目標を達成する。

- ・ 700MHz～6GHzに含まれる周波数帯域において、MEMSデバイスのスイッチ、キャパシタ、インダクタを組み合わせ、可変アンテナ、可変インピーダンス回路、可変フィルタの動作を実証する。さらに低損失及び小型化のための指針を示す。
- ・ 複数周波数対応通信三次元デバイスの三次元積層構造での高周波回路実装技術を開

発する。

- MEMS デバイスにおいて、挿入損失 5dB 以下、通過帯域幅 10% の可変フィルタを開発する。
- MEMS デバイスにおいて、挿入損失 2dB のインピーダンスマッチング回路を開発する。

最終目標として、平成 24 年度末までに以下の目標を達成する。

- MEMS デバイスのスイッチ、キャパシタ、インダクタを組み合わせ、700MHz～6GHz の周波数帯に含まれる複数の通信方式で使用可能な可変アンテナ、可変インピーダンス回路、可変フィルタのモジュールを開発する。
- MEMS 回路、制御・電源回路を三次元集積化し、機能を実証する。さらに、シリコン LSI の積層による SiP 化のために必要な実装技術を開発する。

(2) 複数周波数対応通信フロントエンド回路の研究開発

中間目標として、平成 22 年度末までに以下の目標を達成する。

- RF MEMS デバイスを組み合わせ、複数の周波数帯域において通信可能な MCM を作成しその動作を実証する。

最終目標として、平成 24 年度末までに以下の目標を達成する。

- 複数周波数対応デバイスとして、MEMS デバイスをデジタル制御あるいはアナログ制御する制御回路デバイスを可能な限り LSI 化し、700MHz～6GHz の周波数帯域を MEMS デバイスの可変域に対応して分割した MCM を開発する。この MCM において、通信方式ごとの個別回路を MCM 構成にて実装した場合に比較し、実装面積で 1/8 に小型化可能なことを実証する。
- 複数周波数対応通信三次元デバイスを SiP 形態で実現するために必要な構成を提案する。

研究開発項目③「三次元回路再構成可能デバイス技術」

1. 研究開発の必要性

FPGA、リコンフィギャラブルプロセッサに代表される回路再構成可能デバイスは、製造後に回路構成を書き込むことで所望の機能を実現するため、量産した同種のデバイスを複数の異なる用途に用いることが可能であり、製品化に必要な初期コストを低く抑えることができるという特長がある。また、回路の書き換えや動作中の動的な再構成が可能なデバイスも開発されており、これらは、製造後であっても、回路構成の変更により、機能の改良が可能だけでなく、デバイス上の不具合や故障を回避する機能も実現できる可能性がある。このように、回路再構成可能デバイスは、従来の SoC にない優れた特長を有している。しかしながら、面積、動作速度、消費電力特性が SoC に劣るといふ、基本的な構成に起因する問題点を抱えており、このことが適用分野拡大を阻む要因となっている。このデバイスに対して革新的技術を開発することで、SoC、特にスタンダードセルとの比較において市場優位性を高めることができれば、適用分野の拡大による新規市場開拓につながり、我が国の電子・情報技術の競争力を高めるものである。

革新的な回路再構成可能デバイスは、三次元化とその構造上のメリットを活用した新規アーキテクチャにより実現される可能性があり、従来の回路再構成デバイスに比較して優れた特性を有するだけでなく、積層数の自由度を活かした高い拡張性や複数機種間での積層チップの一部共有による容易な機種展開などの特長も期待される。加えて本構造に最適な素子を用いることで、さらに競争力を高めたデバイスとなる可能性もある。そのために、三次元構造の特長を活かす回路再構成可能デバイスのアーキテクチャ、それに対する設計技術、さらに三次元回路再構成可能デバイスを実現する素子技術および三次元集積化技術の研究開発が必要である。

2. 研究開発の具体的内容

(1) 三次元回路再構成可能デバイスに関する三次元集積化技術の研究開発

三次元回路再構成可能デバイスに適した三次元配線構造、素子構造等を実現するために必要となるウェハ積層技術を開発する。

具体的には、三次元回路再構成可能デバイスに適した三次元配線構造を開発する、さらにウェハレベル積層技術の基盤技術として、200mm径以上のウェハサイズに適用可能な高精度位置合わせ技術およびウェハ貼り合わせ技術を開発する。

(2) 三次元回路再構成可能デバイスに関するアーキテクチャおよび設計技術の研究開発

三次元構造の特長を活かすアーキテクチャおよびそのアーキテクチャに対応する設計技術の開発(三次元対応ソフト開発環境の構築、三次元配置配線手法の開発等)を行う。さらに、製造後の不具合・故障回避技術を開発する。

具体的には、動的リコンフィギャラブルプロセッサ、FPGA、汎用プロセッサ、メモリ等の機能ブロックを柔軟に組み合わせたハイブリッドアーキテクチャを開発し、三次元構造による性能向上の効果と高い機能拡張性を実証する。

(3) 三次元回路再構成可能デバイスに関する素子技術の研究開発

三次元積層が可能な構造を有し、デバイスの特性改善を実現する素子技術を開発する。

3. 達成目標

本研究開発は、三次元的なデバイス構造、回路構造を利用することで、従来より面積その他の特性の改善を図るとともに、高い拡張性、容易な機種展開など特長をもつ三次元回路再構成可能デバイスを実現する技術の開発を目標とする。

なお、平成21年度以降の具体的な達成目標については、平成20年度の成果を踏まえて、以下のように定める。

(1) 三次元回路再構成可能デバイスに関する三次元集積化技術の研究開発

平成20年度末までに以下の目標を達成する。

- ・ 基礎的な実験を行い、その結果に基づき、配線密度その他の三次元構造に関する基本仕様を具体的に策定する。
- ・ 上記の実験結果及びアーキテクチャ、素子構造の検討結果に基づき、三次元積層プロセスを含むデバイス作製のプロセスフロー骨子を決定する。

中間目標として、平成22年度末までに以下の目標を達成する。

- ・ 三次元回路再構成可能デバイスを実現する三次元集積化技術のうちウェハ接合技術として、 1mm^2 程度の面積を占める三次元集積化構造のコア間で、1000ピン以上の接続を可能とするシリコン貫通ビア、バンプ構造等を開発し、200mm径以上のウェハを用いて実証する。
- ・ 三次元回路再構成可能デバイスを実現する三次元集積化技術のうち高精度位置合わせ技術を開発し、200mm径以上のウェハ貼り合わせで、 $5\mu\text{m}$ 以下の位置合わせ精度を実証する。

最終目標として、平成24年度末までに以下の目標を達成する。

- ・ ウェハ接合技術として、200mm径以上のウェハを4層以上積層し、 1mm^2 程度の面積を占める三次元集積化構造のコア間で、1000ピン以上の接続を実証する。
- ・ 高精度位置合わせ技術として、200mm径以上のウェハを4層以上積層し、 $5\mu\text{m}$ 以下の位置合わせ精度を実証する。

(2) 三次元回路再構成可能デバイスに関するアーキテクチャおよび設計技術の研究開発

平成20年度末までに以下の目標を達成する。

- ・ 三次元構造に関する基本仕様、その他の検討結果に基づいて、開発する三次元アーキテクチャの基本構造を決定するとともに、その目標性能及び機能を確定する。

中間目標として、平成22年度末までに以下の目標を達成する。

- ・ 三次元的な積層構造を利用した動的リコンフィギャラブルプロセッサのアーキテクチャを開発し、論理設計を完了する。このアーキテクチャを用いた4層積層において、二次元構成に比較して、消費電力当たりの性能が1.25倍以上となることを実証する。
- ・ 三次元的な積層構造を利用したFPGAを開発し、論理設計を完了する。このアーキテクチ

ヤを用いた 4 層積層において、二次元構成に比較して、消費電力当たりのゲート数が 1.25 倍以上となることを実証する。

最終目標として、平成 24 年度末までに以下の目標を達成する。

- ・ 動的リコンフィギャラブルプロセッサ、FPGA、汎用 CPU、メモリ等の機能ブロックを柔軟に組み合わせたハイブリッドアーキテクチャを開発する。さらに、200mm 径以上のウェハ積層技術を用いて 4 層以上積層し、三次元回路再構成可能デバイスとしての動作を実証する。

(3) 三次元回路再構成可能デバイスに関する素子技術の研究開発

平成 20 年度末までに以下の目標を達成する。

- ・ 三次元積層が可能な構造を有し、かつ、回路再構成可能デバイスの特性改善を実現可能なトランジスタの素子構造を具体的に検討し、その目標性能を確定する。

平成 20 年度において、トランジスタ素子候補の特性検討と目標性能の確定については一定の結論が得られたため、素子技術の研究開発としては平成 21 年度以降の開発目標を定めない。なお、今後の技術開発状況により、再検討をすることがある。

事前評価書

	作成日	平成20年1月11日
1. 事業名称 (コード番号)	立体構造新機能集積回路（ドリームチップ）技術開発	
2. 推進部署名	電子・情報技術開発部	
3. 事業概要	<p>(1) 概要：二次元的構造を有するデバイスを三次元的に積層することで、新たな機能を発揮する新機能集積回路の実現が期待できる。本プロジェクトではこれら新機能集積回路を実現するための設計環境およびテスト技術の研究開発を行う。また、三次元構造によりその機能あるいは性能が向上される、微小可動構造（MEMS）を用いたRFデバイスおよび回路再構成可能デバイスの技術開発を行う。</p> <p>(2) 事業規模：平成20年度 12億円（未定）</p> <p>(3) 事業期間：平成20年度～24年度（5年間）</p>	
4. 評価の検討状況		
<p>(1) 事業の位置付け・必要性</p> <p>従来追求されてきた二次元的な微細化に加え、三次元的な積層構造を採用することで、高密度化、配線遅延への対応、低消費電力化、開発期間短縮を目指すことが半導体および電子デバイスにおける技術開発の流れとなっている。また、これまでの同一チップ積層による高集積化とは異なり、異機能を持つチップの積層（三次元化）により新たな機能を発揮する新機能集積回路の実現も期待できる。この三次元化技術はNEDOが世界に先んじて取り組んだ三次元積層技術の延長線上にあり、我が国の優位性および競争力を発揮できる領域である。この位置付けのもと、具体的には以下の3テーマを行う。</p> <p>①多機能高密度三次元化技術</p> <p style="padding-left: 2em;">Si貫通ビアを用いた三次元システムインパッケージ（SiP）により情報通信デバイスや信号処理デバイスの小型、低消費電力化を実現する。</p> <p>②複数周波数対応通信三次元デバイス技術</p> <p style="padding-left: 2em;">立体的な微小可動構造（MEMS）を利用した複数周波数・複数通信方式に対応するデバイス開発を行う。</p> <p>③三次元回路再構成可能デバイス技術</p> <p style="padding-left: 2em;">三次元化により、面積、動作速度、消費電力の点で従来デバイスより優れるだけでなく、さらに、新たな特長を発揮しうる回路再構成可能デバイス（フィールドプログラマブルゲートアレイ（FPGA）、動的リコンフィギャラブルプロセッサ等）を実現するための技術開発を行う。</p>		
<p>(2) 研究開発目標の妥当性</p> <p>①多機能高密度三次元化技術</p>		

目標：三次元 SiP 設計に必要な高速シミュレーションエンジンとウェハ状態で半導体素子の機能検査を行うテスト技術を開発する。最終的に 4 種類以上のチップを積層した三次元 SiP による情報通信デバイスや信号処理デバイスにおいて 20%以上の低消費電力化を実証する。

妥当性：三次元 SiP の実現のためには、現実的な解析時間で設計、テストできる技術開発が必要である。最終的に 4 種類以上のチップを積層したデバイスでの実証は、現状の半導体デバイス構成からして妥当であり、20%の低消費電力化の目標値は、積層構造での配線長短縮による低消費電力化効果として妥当である。

②複数周波数対応通信三次元デバイス技術

目標：MEMS 技術を用い、マルチチップモジュール (MCM) にて 700MHz～6GHz の周波数帯をカバーする周波数可変 RF MEMS デバイスを実証する。その過程において周波数可変 RF MEMS デバイスを三次元 SiP 構成とする場合の基本技術を確立する。

妥当性：移動体通信デバイス用途として、GSM 方式から第 4 世代携帯電話システム等、様々な通信方式をカバーする周波数帯設定は妥当である。また、MCM にて動作検証を行い、三次元 SiP 化に対する技術確立をすることは現実的なアプローチであり妥当である。

③三次元回路再構成可能デバイス技術

目標：三次元的なデバイス構造、回路構造を利用することで、従来より面積その他の特性の改善を図るとともに、高い拡張性、容易な機種展開など特長をもつ三次元回路再構成可能デバイスを実現する技術を開発する。

妥当性：上記目標は、三次元化技術という新たな技術の開発により、デバイスの構成に起因した課題であった特性改善と新たな特長の実現により、回路再構成可能デバイスの適用範囲の拡大を可能にするものであり、妥当である。

(3) 研究開発マネジメント

公募を行い、最適な実施体制を構築する。また、必要に応じて、外部有識者の意見を求め、その結果を踏まえて事業全体の予算配分や計画について見直しを行い、適切な運営管理に努める。

(4) 研究開発成果

①多機能高密度三次元化技術

異なるチップの積層化（三次元化）技術により、現状に比較して低消費電力の半導体デバイスの実現が期待できる。また、三次元 SiP 設計に必要な高速シミュレーション環境とウェハ状態で半導体素子の機能検査を行うテスト技術を確立することで、開発競争力に優れた設計環境および検査技術の実現が期待される。

②複数周波数対応通信三次元デバイス技術

MEMS を利用した RF デバイスと Si-CMOS デバイスを積層した MCM 形態の通信デバイスの実証により、三次元 SiP 化に向けた課題の明確化が期待できる。

③三次元回路再構成可能デバイス技術

三次元回路再構成可能デバイスの実現に必要な基盤技術（三次元集積化技術、三次元アーキテクチャ等の回路構成技術等）の確立が期待できる。

(5) 実用化・事業化の見通し

①多機能高密度三次元化技術

平成 24 年度までに確立した三次元 SiP 設計に必要な高速シミュレーション環境とウェハ状態で半導体素子の機能検査を行うテスト技術は、実際の三次元積層デバイスの開発において実用化されることが期待される。また、三次元 SiP による情報通信デバイスや信号処理デバイスの実用化が期待される。

②複数周波数対応通信三次元デバイス技術

平成 24 年度以降、各種通信機器において、SiP 形態の複数モード対応 RF デバイスとして実用化が期待される。

③三次元回路再構成可能デバイス技術

回路占有面積で劣るといふデバイス構成に起因する問題点が障壁となって、従来の回路再構成可能デバイスでは適用が極めて困難であった分野があるが、本技術開発により、これらの分野へも適用可能な回路再構成可能デバイスの実現が期待される。

(6) その他特記事項

なし

5. 総合評価

本プロジェクトは、異なる機能をもつデバイスを組み合わせるための多様な技術開発とその統合化が必要であり、リスクを伴う挑戦的な技術開発である。そのため、民間企業単独で開発することは極めて困難であり、NEDOが実施する事業として、産学官の共同研究体制を構築しながら適切に進めることが重要である。



NEDO POST 3 20年度新規研究開発プロジェクト(案)概要



研究テーマ名 立体構造新機能集積回路(ドリームチップ)技術開発

研究目的

○背景、目的、必要性

半導体製造技術における二次元的な微細化に加え、三次元的な構造を採用することで、高密度化、配線遅延への対応、低消費電力化、開発期間短縮が期待される。また、これまでの同一チップ積層による高密度化とは異なり、異機能を持つチップの積層(二次元化)により新たな機能を発揮する新機能集積回路の実現も期待できる。この二次元化技術はNEDO技術開発機構が世界に先んじて取り組んだ高密度三次元積層技術の延長線上にあり、我が国の優位性および競争力を発揮できる領域である。この優位性を高め、さらに今後半導体技術を中心とする電子・情報分野での産業競争力を強化するために、立体構造(三次元積層構造)を中心技術とした研究開発事業を行う。

プロジェクトの規模

○事業費と研究開発期間

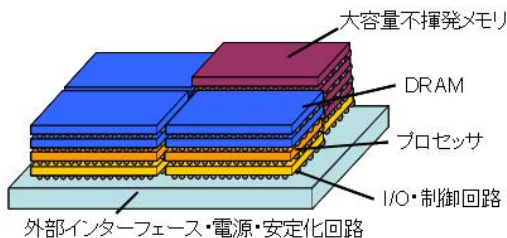
①事業費総額 平成20年度 12億円(未定) ②研究期間 5年

技術戦略マップ上の位置付け

電子・情報技術分野の技術ロードマップ2007「半導体分野の技術ロードマップ」中、実装プロセス(SiP実装)および実装設計に当てはまる。また設計コンテンツ(リコンフィギュラブルロジック)に当てはまる。

その他関連図表

①多機能高密度三次元化技術



研究内容概略

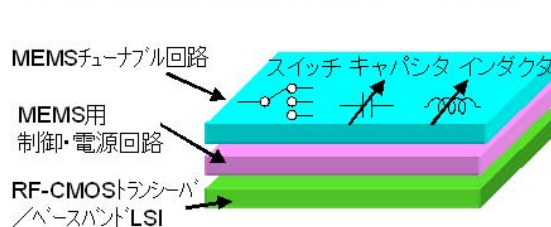
○サブテーマ概略と研究内容

- ①多機能高密度三次元化技術
Si貫通ビアを用いた三次元SiPにより情報通信デバイスや信号処理デバイスの小型、低消費電力化を目標とする。
研究内容 ・三次元SiP設計に必要な高速シミュレーションエンジン
・ウェハ状態で半導体素子の機能検査を行うテスト技術
・三次元SiPにおけるチップ間相互接続インターフェース仕様
- ②複数周波数対応通信三次元デバイス技術
立体的な微小可動構造(MEMS)を利用した複数周波数・複数通信方式に対応する三次元デバイスを開発する。
研究内容 ・MEMSを利用した周波数特性可変デバイス
・RF MEMSデバイスと制御・電源回路との三次元集積化技術
- ③三次元回路再構成可能デバイス技術
三次元的な積層構造を利用した回路再構成可能デバイス(FPGA、動的リコンフィギュラブルプロセッサ等)技術を開発する。
研究内容 ・回路再構成可能デバイスに適したウェハ積層技術
・三次元構造の特長を活かすアーキテクチャ

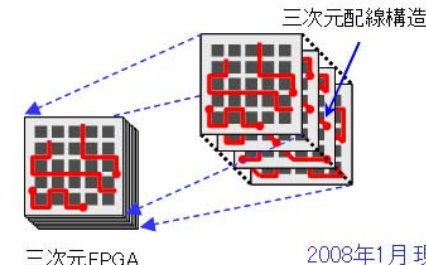
○キーテクノロジー、ブレイクスルーのポイント

- ①多機能高密度三次元化技術
・三次元SiP設計環境・チップテスト技術・三次元チップ積層技術
- ②複数周波数対応通信三次元デバイス技術
・周波数特性可変MEMS回路技術・RF MEMS三次元集積化技術
- ③三次元回路再構成可能デバイス技術
・三次元回路アーキテクチャ、設計技術・三次元集積化技術

②複数周波数対応通信三次元デバイス技術



③三次元回路再構成可能デバイス技術



2008年1月現在

「立体構造新機能集積回路(ドリームチップ)技術開発基本計画(案)」に対するパブリックコメント募集の結果について

平成20年2月25日
N E D O
電子・情報技術開発部

NEDO POST 3にて標記基本計画(案)に対するパブリックコメントの募集を行った結果をご報告いたします。

お寄せいただいたご意見を検討し、別添のとおり基本計画に反映させていただきました。

みなさまからのご協力を頂き、ありがとうございました。

1. パブリックコメント募集期間

平成20年2月4日～平成20年2月13日

2. パブリックコメント投稿数<有効のもの>

計3件

3. パブリックコメントの内容とそれに対する考え方

ご意見の概要	ご意見に対する考え方	基本計画・技術開発課題への反映
全体について		
<p>[意見1](1件) 3次元化デバイスに積層、統合可能な”センサー”デバイスも数多くあり、非常に大きな波及効果を持つと考えられる。CMOS の撮像他、各種機能デバイスとの統合を迅速に進められる様な、マイルストーン設定と成果報告を御願いたい。</p>	<p>[考え方と対応] チップ間のインターフェース開発およびその仕様のデファクト化は非常に重要と考えます。このうちインターフェース仕様については技術仕様書として取り纏め、最終報告書に含める予定です。また、NEDOがプロジェクトをマネージメントする際に、マイルストーンの設定を議論し、実施方針等への反映を検討いたします。</p>	<p>[反映の有無] 特になし。</p>

<p>[意見2](1件) 非常に多くのデバイスへ展開されるため、パッケージ他、中小材料、部品メーカーへの波及効果も大変大きい。このため、中小デバイス加工メーカーへの技術方向と将来仕様の周知を積極的に進めていただきたい。</p>	<p>[考え方と対応] インターフェース仕様については技術仕様書として取り纏める予定です。また、NEDOのプロジェクトマネージメントの一貫として、インターフェース仕様を含む開発成果の普及に努めていきます。</p>	<p>[反映の有無] 特になし。</p>
<p>1. 研究開発の目的 (2)研究開発の内容</p>		
<p>研究開発項目① [意見1](1件) 異種類のチップを積層する技術は、チップ間を接続する貫通電極の形成技術など、すでに民間で実施している例があり、これとの関係においてNEDOが設定する目標が妥当か否かについて疑問がある。</p>	<p>[考え方と対応] ドリームチップ・プロジェクトの「多機能高密度三次元集積化技術」では、三次元積層 SiP 実現のための設計技術あるいは評価解析技術の開発を目的としており、デバイス試作によりそれらの技術を実証することも目的とします。NEDOPOST3 で公開した基本計画(案)では、試作デバイスの技術レベルを明確にする意図から、試作デバイスで満たすべき仕様値を盛り込みましたが、研究開発の目標値として受け取れる表現となっていました。従いまして、NEDOが意図する研究開発内容に合わせ、記載方法を改めます。</p>	<p>[反映の有無と反映内容] NEDOの意図する研究開発内容が明確になるように記載内容を改めます。</p>

<p>研究開発項目①</p> <p>[意見2](1件)</p> <p>三次元 LSI 積層技術を実用化する上で、製造コスト低減のために、ウエハ積層技術は欠かせない。したがって、基本計画においてもこの点を明確化すべきではないか。</p>	<p>[考え方と対応]</p> <p>本技術開発では、300mm 径ウエハ上のチップを一括検査するチップテスト技術を開発内容に含みます。この技術はウエハ積層の実現において非常に重要な位置付けにあり、この技術開発によりウエハ積層による三次元積層 SiP の実用化を促進するものと考えます。</p>	<p>[反映の有無と反映内容]</p> <p>特になし。</p>
<p>研究開発項目①</p> <p>[意見3](1件)</p> <p>電気系三次元シミュレータと機械系シミュレータのインターフェースツールは、CAD ベンダーが開発すべきテーマであり、NEDOプロジェクトとしてはふさわしくない。</p>	<p>[考え方と対応]</p> <p>インターフェースツールは CAD ベンダーの製品仕様に直接関係するものであり、NEDOが実施する研究開発の内容を超えるものと判断します。従って、基本計画の開発目標から除外します。</p>	<p>[反映の有無と反映内容]</p> <p>記載内容を改めます。</p>