

### III.2.3 パッケージ工程までの一貫した材料評価方法の確立

対象パッケージを、MCP(Multi-chip Package)を含む WBBGA(Wire-bond Ball Grid Array)、FCBGA(Flip Chip Ball Grid Array)とし、300mm ウェーハを前提とした再配線工程、バックグランド、ダイシング、ピックアップ、ボンディング、封止等の各工程において、Cu/low-k 配線を有するウェーハ/チップにかかる外力等に注目し、材料破壊・腐食等の評価を中心とする材料プロセス、材料-材料間の影響評価を実施し、評価方法を確立する。

一方、パッケージ後の信頼性評価技術については、上記の対象パッケージにおいて、熱・応力・水分等が材料に与える影響に着目して、リフロー、耐湿性試験、温度サイクル試験を行い、チップの配線層を含む各界面の剥離状況、配線層を含む材料の破壊、腐食等の評価方法を確立する。

上記の組立プロセス、パッケージ信頼性評価の各段階で得た知見を配線工程の評価段階にフィードバックし、配線工程からパッケージ工程までの一貫した半導体プロセスにおいて 45nm ノード以降にも対応できる材料評価方法を確立する。

#### III.2.3.1 バックグランドテープの極薄研削性の評価

マルチチップパッケージ(MCP)の組立に必須のバックグランド(BG)プロセスに必要なバックグランドテープの評価において、20  $\mu\text{m}$  以下の極薄の研削性について評価を行った。

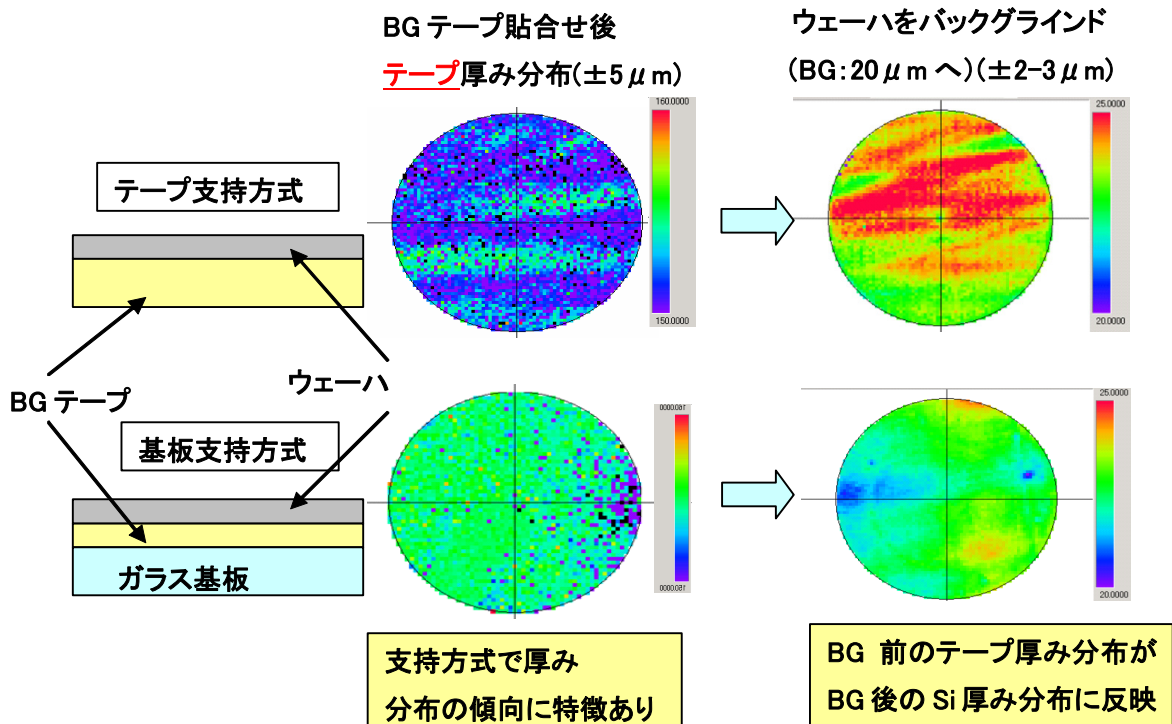
##### (1) 技術の特徴

極薄研削プロセスで作製された、非常に脆くなった極薄ウェーハを、非接触で厚み分布を評価する。測定界面を選択することによって、バックグランドテープの厚み分布も評価することができる。

##### (2) 評価結果

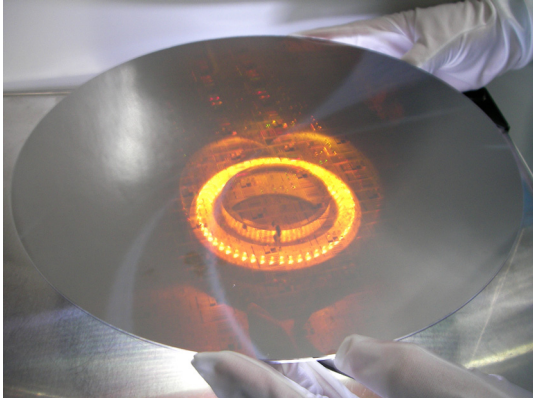
ウェーハの裏面を研削する際に配線部分を保護するバックグランドテープには、テープ支持方式と基盤支持方式がある。それぞれの BG テープ貼り合わせ時とウェーハを 20 $\mu\text{m}$  までバックグランドした時の厚み分布を下図に示す。

ウェーハ支持方式の違いにより研削後の厚み分布に差異があり、厚み分布が生じる原因として研削前の BG テープの厚み分布が関与していることが分かった。



### 基板支持方式による5 $\mu$ m厚のバックグラインド技術の確立

またこの基板支持方式のバックグラインドテープを用いて5 $\mu$ m厚の薄化を達成した。



5 $\mu$ m厚のBG後のTEGウエーハ  
ウエーハが薄いため照明が透過

### III.2.3.2 TEGによるBGのダメージ評価

#### III.2.3.2.1 評価の目的

バックグラインドテープ及びLow-k材のバックグラインドプロセス耐性をバックグラインド前後のTEGの電気特性を測定することで評価した。

(バックグラインド後、20 $\mu$ m厚み)

#### III.2.3.2.2 評価内容

・BGテープ:M10027(基板支持方式、ガラス基板は301mm $\Phi$ ×1mmを使用)

テープ支持方式は一般BGテープを使用

・Low-k材:p-SiOC、E11019

・ウエーハ:2層配線TEGウエーハ(マスク:CAST-3)、BCなし

(1) 基準プロセスによりウエーハにテープを貼り合わせ

(基板支持方式の場合、同時にガラス基板と貼り合わせ)

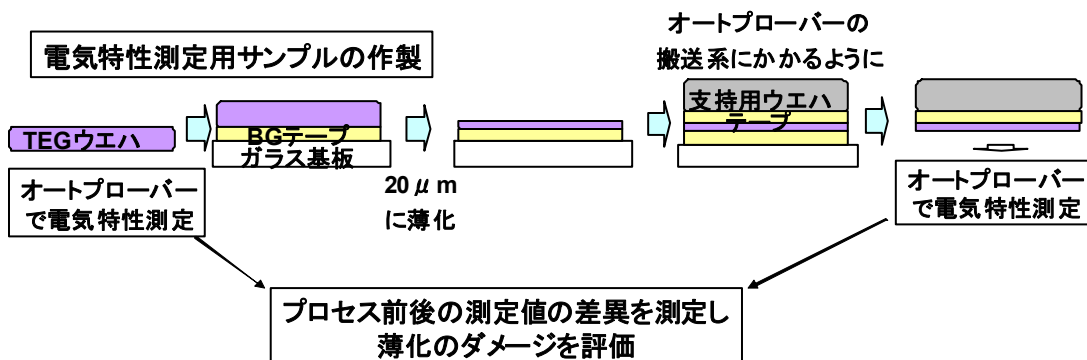
(2) 標準条件によりウエーハを22 $\mu$ mまで研削し、20 $\mu$ mまでドライポリッシュ

<オートブローパーで測定できるようにサンプルを加工>

・研削後のサンプルの研削面に、基板貼合わせ機を用い、M10027のBGテープ、ウエーハを貼合わせる。

そのサンプルを、基板剥離機を用いガラス基板側からUVを照射し(50mW/cm<sup>2</sup>、120秒)

マニュアル操作にて研削したウエーハからガラス基板、BGテープを剥離してパターン面を出し、測定用サンプルとする。



### III.2.3.2.3 測定方法

#### (1) 装置

- ・オートプローバー: UF3000(東京精密製)
- ・パラメトリックテスタ: E5270A(アジレント・テクノロジー製)

#### (2) 評価手順

- ・BG 前にオートプローバーにて TEG ウエハの電気特性を測定  
BG 後同じ TEG をオートプローバーにて電気特性測定

#### (3) 測定条件

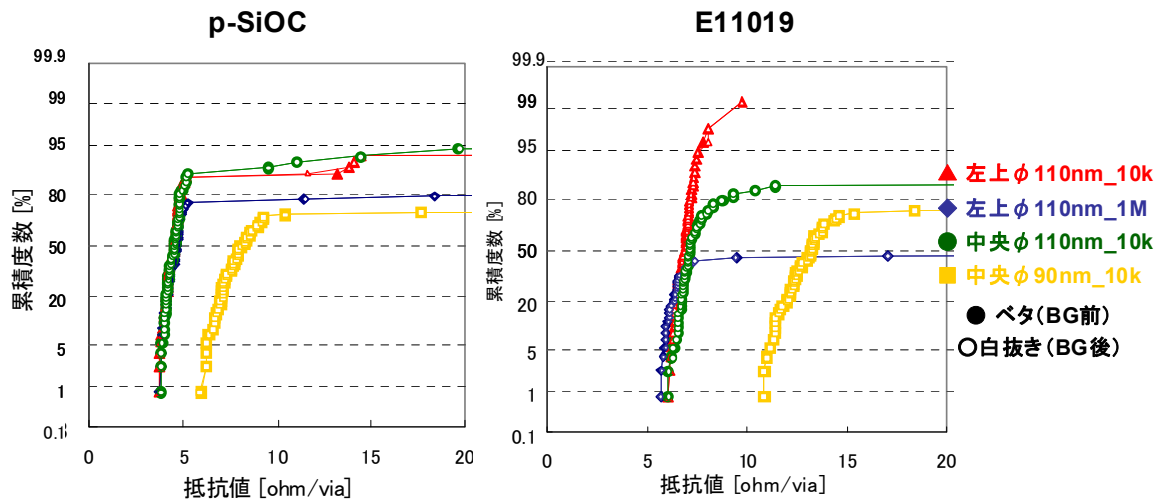
- ・測定 TEG
  - VC 抵抗: 110nm $\Phi$ \_10k個(チップの左上に位置)
  - 110nm $\Phi$ \_10k 個 (チップの中央に位置)
  - 90nm $\Phi$ \_10k 個 (チップの中央に位置)
- M1 配線容量: L/S=110nm/110nm(対向長 100mm)  
130nm/90,110,130nm(対向長 400mm)
- ・測定チップ数: 64 チップ

#### (4) 判断基準

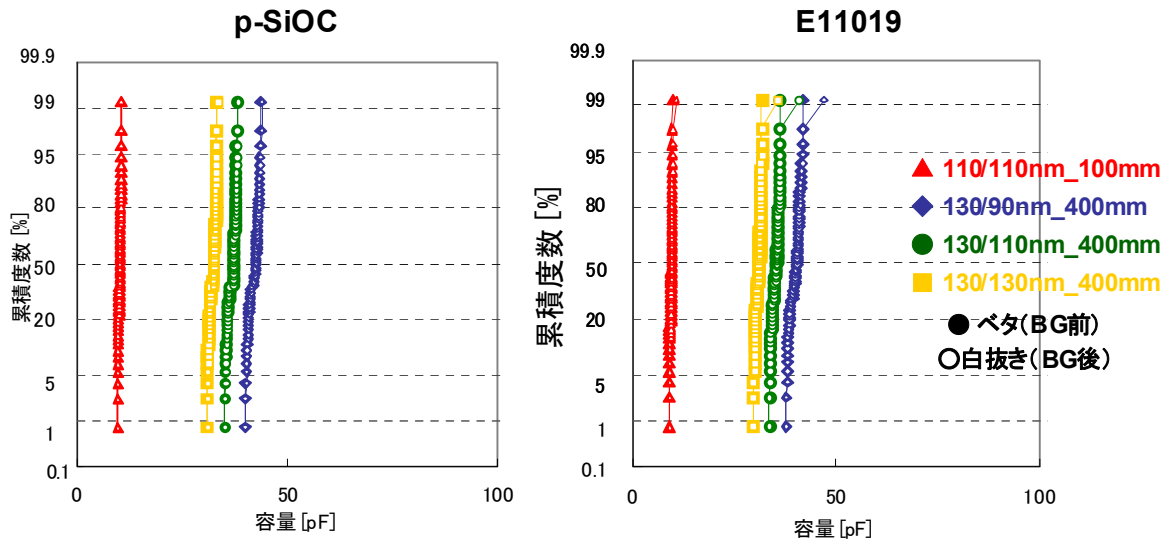
- ・BG の前後における各電気特性の値が測定精度の範囲内で変化しないことでプロセスダメージがないことと判断する。

### III.2.3.2.4 測定結果

#### (1) 各 Low-k 材における 20 $\mu$ mBG 前後の VC 抵抗



#### (2) 各 Low-k 材における 20 $\mu$ mBG 前後の M1 配線容量



- ・VC 抵抗、配線容量、ともに BG 前後で変化なし。バックグラインドにおける Low-k 材へ及ぼすダメージは検出されなかった。
- ・バックグラインド時の応力をバックグラインドテープで緩和させ、Low-k 材、配線材にプロセスによるダメージを及ぼさなかったと考える。
- ・以上によりバックグラインドプロセス(20  $\mu$ m 厚)が Low-k 材へ与える影響を評価することができる。

<まとめ>

BGテープを用いてウェーハを 20 $\mu$ m 以下に研削するプロセスとその評価方法を確立した。

### III.2.3.3 バッファコート(BC)材料と接触各層との密着性測定法

評価の目的:積層膜の密着性評価として、しばしば基盤目セロテープ剥離試験が用いられているが、下記問題点が挙げられる。

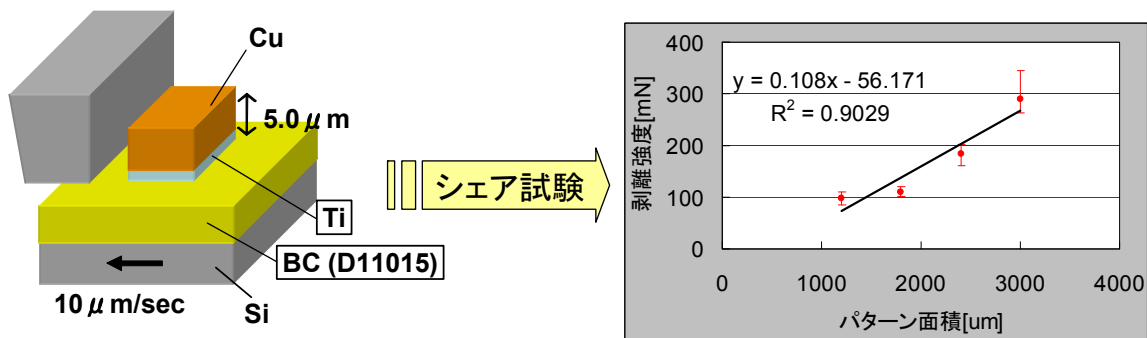
- ・比較する材料が全て剥離しなかった場合、材料間の比較ができない。
- ・逆に比較する材料が全て剥離してしまう場合も、材料間の比較ができない。
- ・セロテープとパターンとの間の密着力が材料間で異なる場合、その影響を排除できない。
- ・PCT 前後で比較する場合、セロテープとパターンとの間の密着力の変化の影響が排除できない。
- ・剥がれ個数での密着力の大小比較は難しい(0, 1 判定に近い)。

これに対し、シエア試験による密着性の評価方法は、パターンを側面からシエアし、

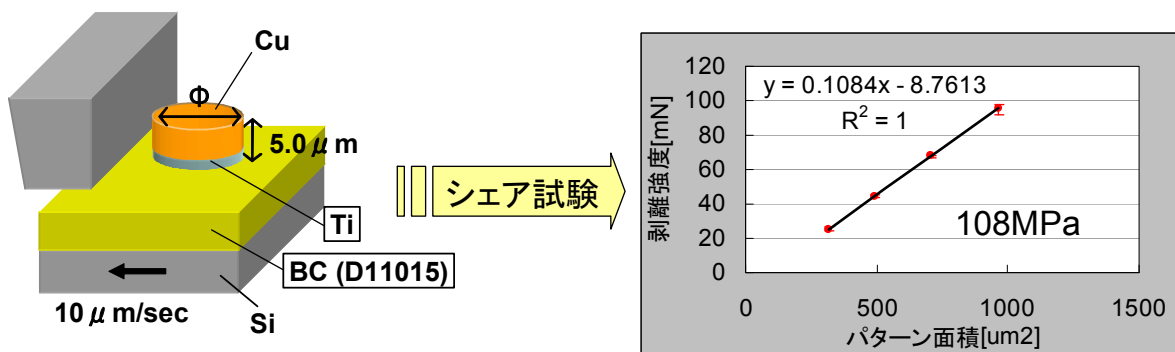
下地界面との間に働く最大せん断応力(剥離強度)を測定する手法である。

剥離強度はパターンの接着面積に比例して大きくなる。その比例定数は材料固有のものであり、その値から密着力を見積もることができる。

以下に、WL-CSP の再配線構造に存在する CuTi/BC 界面の密着力の評価例を示す。



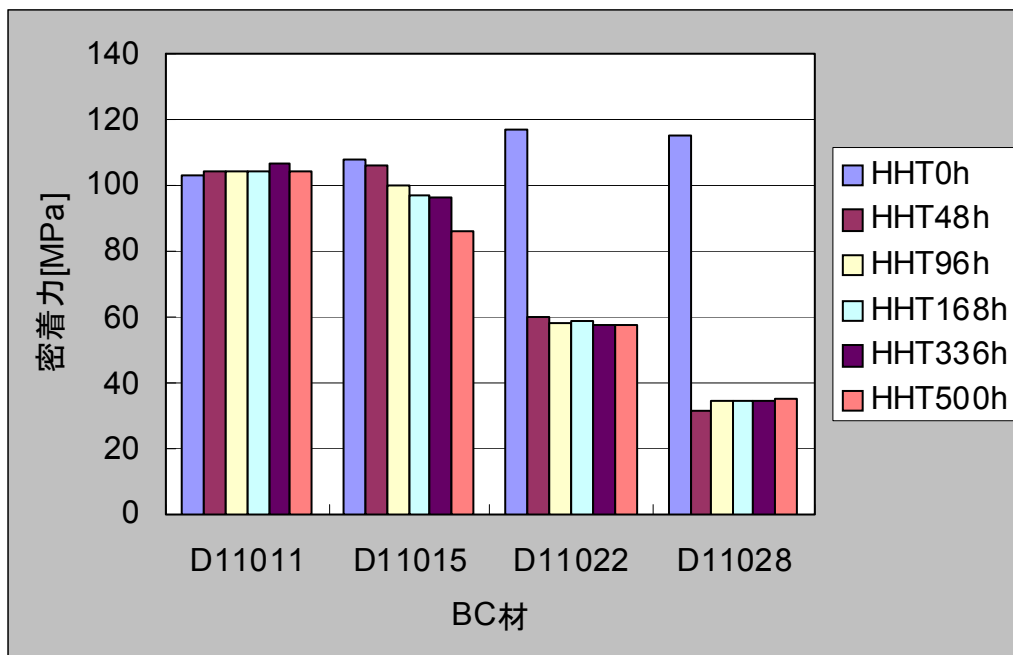
#### III.2.3.3.1 CuTi/BC の□パターンのシエア試験



#### III.2.3.3.2 CuTi/BC の○パターンのシエア試験

SiN上のBCの密着評価の際に用いた□パターンで測定すると、ツールとサンプルとの平行出しが難しく、データが安定しないことが分かった。そこで、○形状に変更することでデータも安定しサンプルが下地から一気に剥れるモードを実現でき密着力の評価方法として適切な方法であると言える。

各BC材料において、常態と吸湿後(HH85°C/85RH%)で比較した。



図Ⅲ.2.3.3.3 環境試験後のバッファーコート密着性変動評価

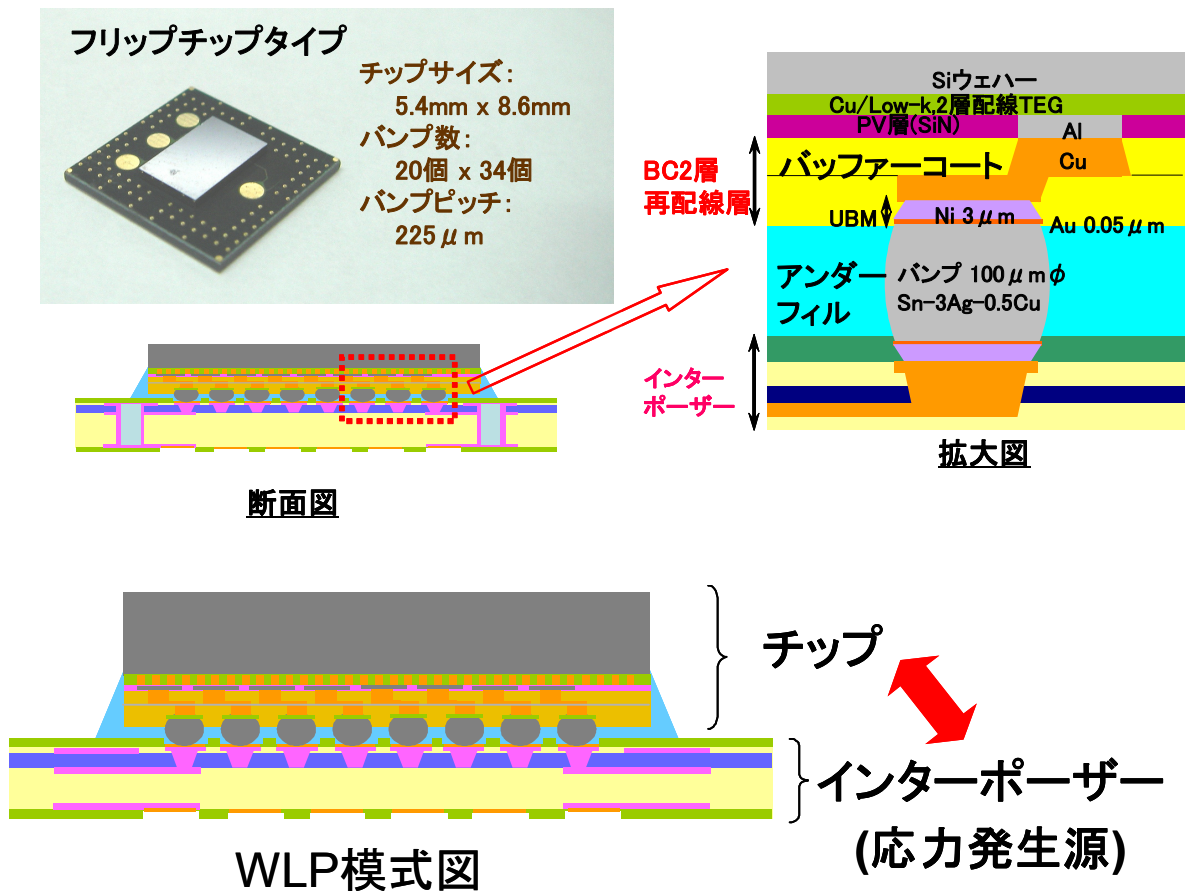
材料による挙動の違いも把握できた。

<まとめ>

バッファーコート材料と接触各層との密着性測定法を確立した。

### III.2.3.4 WLPによる材料評価

Low-k 2層配線 TEG(2種類)に、BC材料,2種を用いたサンプルにてTC(温度サイクル)試験を実施した。



インターポージャーは、チップを曲げようとする力の発生源と考えるならばその力のバランスをとるよう、半田バンプ、アンダーフィル材、チップ内(BC,Low-k, Si)に応力が発生する。

⇒SiおよびBCによる応力緩和効果が どの様に変化するか調査した。

#### ○ 使用材料

Low-k:p-SiOC、E11050(熱キュア)

チップ:2層配線 TEG+BC(D11011,D11015)にて再配線形成

インターポージャー:BT基板

#### ○ パッケージ作製

UBM形成、バンプ形成、フラックス洗浄、BG、ダイシング、ダイボンディング

(外注)

#### ○ 評価

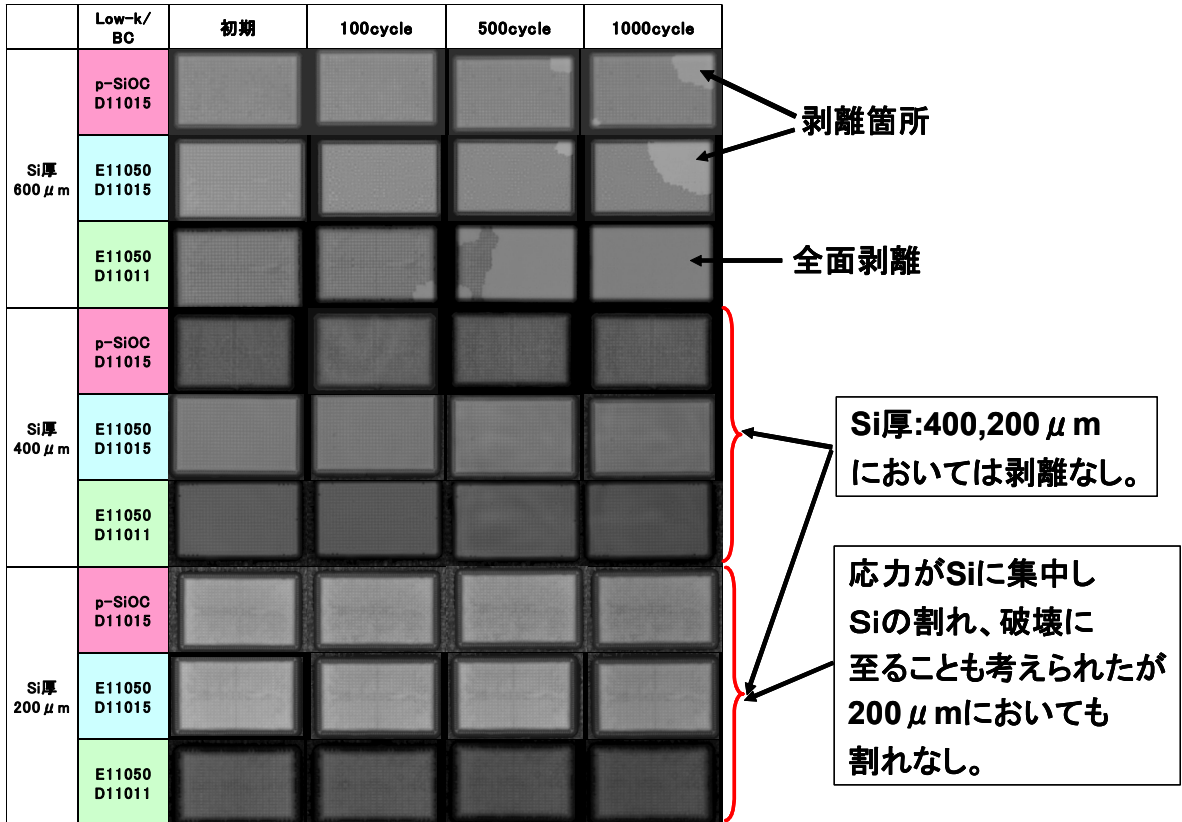
・リフロー:吸湿 JEDEC Lv.2(85°C 60%RH 1wk)、

リフロー温度 Pbフリー条件(max.250°C)

+TC:-65/15min⇔150°C/15min

次に上記条件で評価した結果を示す。

Si 厚を変化させた場合の TC 試験結果(SAT 観察)



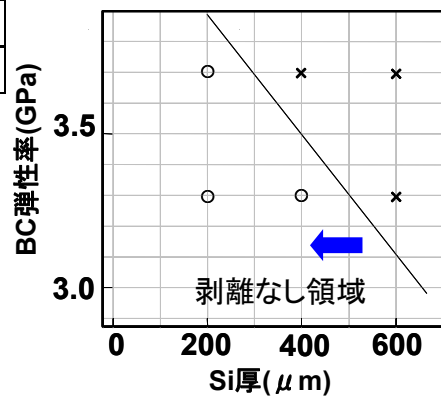
Si 厚と Low-k/BC の組合せによる剥離数(TC 試験)

	Low-k/ BC	初期	100cycle	500cycle	1000cycle	合否
Si厚 600 μm	p-SiOC D11015	0/10	0/10	1/10	3/10	×
	E11050 D11015	0/10	0/10	1/10	6/10	×
	E11050 D11011	0/10	3/10	5/10	10/10	×
Si厚 400 μm	p-SiOC D11015	0/10	0/10	0/10	0/10	○
	E11050 D11015	0/10	0/10	0/10	0/10	○
	E11050 D11011	0/10	0/10	0/10	1/10	×
Si厚 200 μm	p-SiOC D11015	0/10	0/10	0/10	0/10	○
	E11050 D11015	0/10	0/10	0/10	0/10	○
	E11050 D11011	0/10	0/10	0/10	0/10	○

1000cycle終了時に  
剥離が発生しなかったもの  
を合格とした。



E11050の場合の要求BC物性値



BC材料物性値一覧

材料コード	応力 (MPa)	CTE (ppm/°C)	Tg (°C)	弾性率 (GPa)	伸度 (%)
D11011	44	40	285	3.7	23
D11015	35	42	295	3.3	74

これらの結果より



- ・Si 厚と BC 種を変え評価した結果、Low-k 材適用 2 層配線において、Si 厚とそれに対する BC 物性の要求値を得ることができた。
- ・Si 厚: 200~600  $\mu\text{m}$  においては、チップの割れは発生しなかった。

#### <まとめ>

Low-k に関連したパッケージ工程全般の技術動向把握に努め、得られた知見に基き、導入装置の仕様を決定・発注し、平成18年度中に導入、安定稼動を確認した。

導入した装置は以下の通りである。

- ・組立プロセス評価 再配線用メッキ装置、DAF 付ダイシング(DC)テープ対応装置、  
ダイボンダー、ワイヤーボンダー
- ・パッケージ信頼性評価 リフロー炉、オープン、恒温恒湿槽、HAST 槽、  
マイグレーション装置、冷熱衝撃試験機

上記以外のプロセス装置は既存技術が活用できる部分は活用し、新規に必要な技術は、その技術のために必要な装置の導入コスト、技術動向の多様さ、維持管理の困難さ等を勘案し外注で対応することとし、複数の外注先候補を調査、デモ評価などをおこなってパッケージ組立てにおける課題を抽出した。

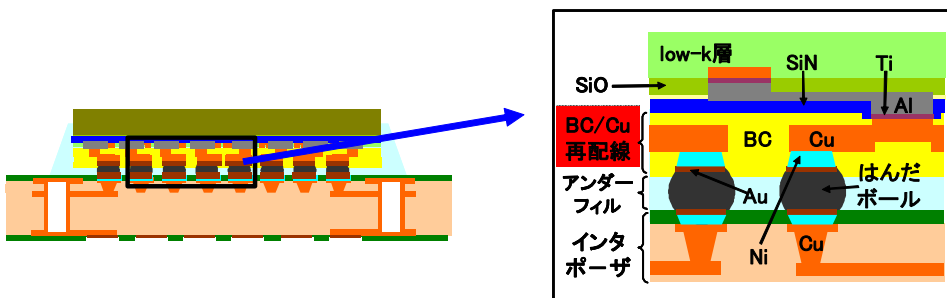
### III.2.3.5 フリップチップタイプパッケージ信頼性評価技術の開発

#### III.2.3.5.1 目的

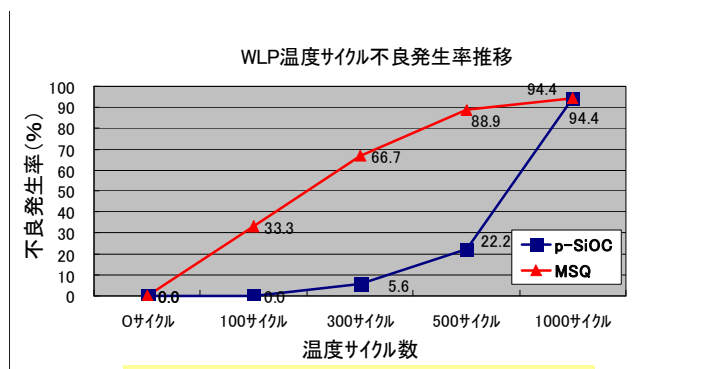
Cu/Low-k 配線を用いたフリップチップタイプのウェーハレベルパッケージ(WLP)のパッケージ(PKG)信頼性試験時におけるダメージ評価方法を開発する。

#### III.2.3.5.2 評価結果

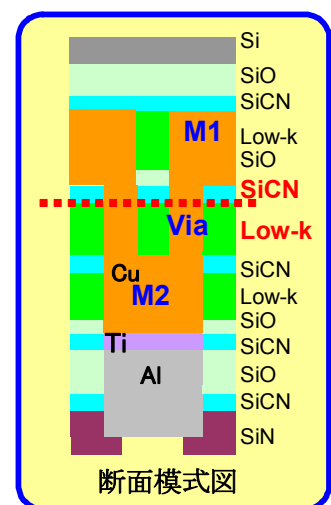
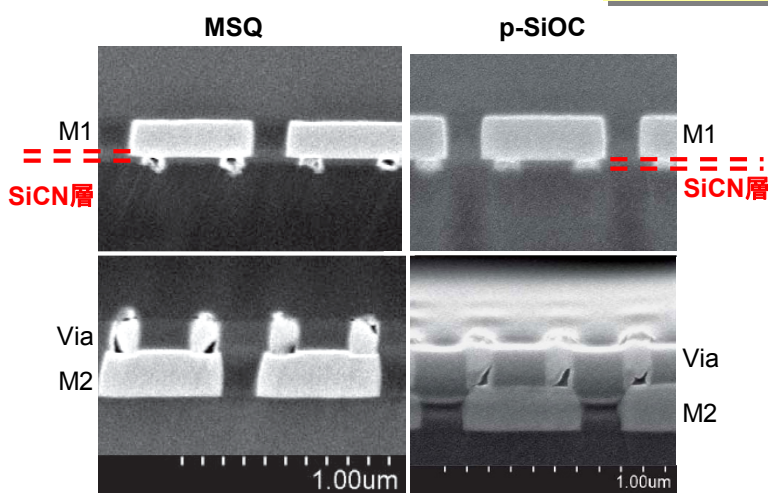
バッファコート(BC)を層間膜とし銅配線にてエリアに電極を形成する再配線 WLP を作製。温度サイクル試験(TC)時に Low-k 材の強度(p-SiOC,MSQ)により不良発生率が異なることが判明した。破壊部位は Low-k / SiCN 界面であった。



WLP 構造での不良  
TC ( -55⇔125℃ )  
(Low-k : MSQ、p-SiOC)



低強度の MSQ の方が不良が多い



<まとめ>

Low-k 材料やバッファコート材料を用いた配線ウェーハの環境耐性を測定し、ウェーハレベル信頼性評価基準の設定に注力した。またデバイスメーカーやパッケージメーカーにパッケージ試作を外注し、パッケージの信頼性評価をおこなうことによって、パッケージ化工程で生じる材料のダメージを把握した。

### Ⅲ.2.3.6 MCP信頼性評価

#### Ⅲ.2.3.6.1 評価の目的

MCP の信頼性評価(2 層配線 TEG 使用、Si 厚 50,25  $\mu\text{m}$ )による Low-k 材、BC、DAF の評価

#### Ⅲ.2.3.6.2 評価項目

SAT 観察による MCP の信頼性評価(温度サイクル、PCT 影響)

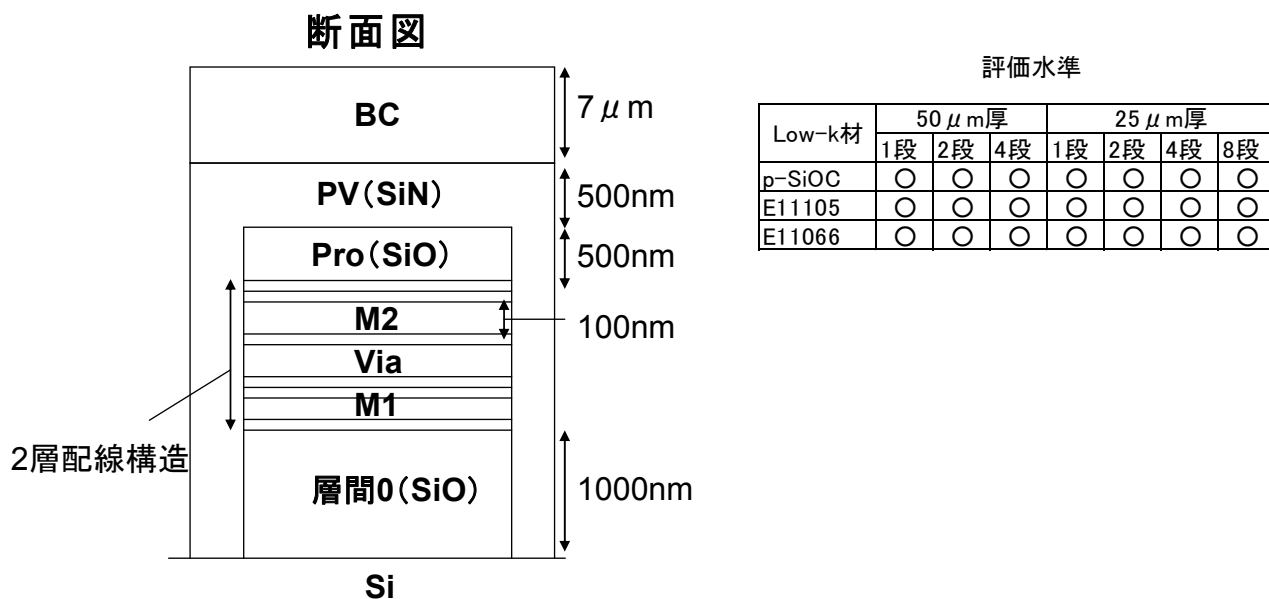
#### Ⅲ.2.3.6.3 試料作製手順

##### (1) 使用装置

- ・基板支持方式; 基板貼合わせ機: WVB-1M(芝浦メカトロニクス製)
- ・グラインダー: DGP8760(ディスコ製)
- ・DAF マウンター: DAM-812M(タカトリ製)
- ・ダイサー: DFD6361(ディスコ製)
- ・ダイボンダー: BESTEM-D02・TypeB(キヤノンマシナリー製)
- ・ワイヤボンダー: UTC2000(新川製)

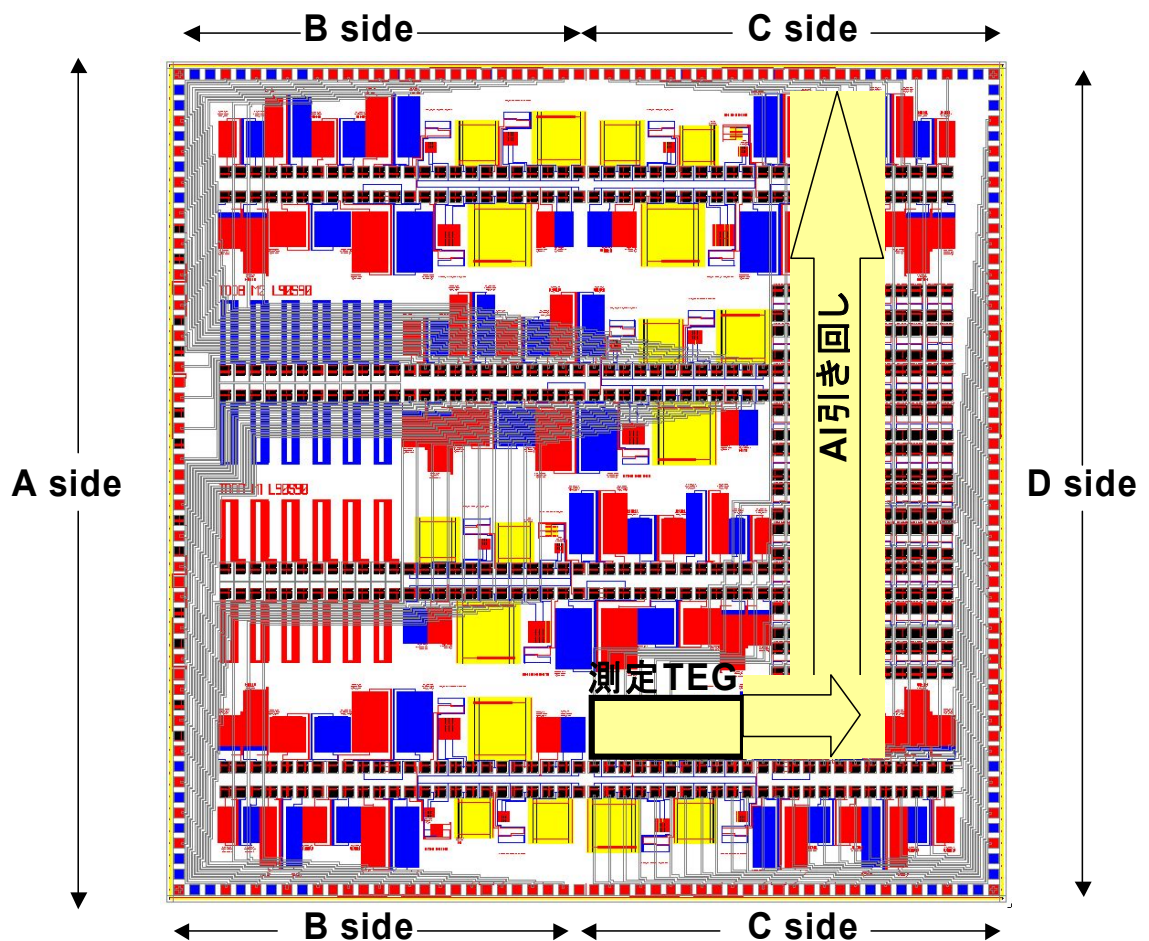
##### (2) 作製方法

- ・ウェーハ: 2 層配線+防湿構造(図Ⅲ.2.3.6.1 参照)。
- ・使用 Low-k 材: p-SiOC、E11105(UV1 分)、E11066
- ・BC: D11015(7  $\mu\text{m}$  厚) DAF: S10073
- ・インターポーザー: TW196-LB1(ルネサス東日本セミコンダクタ製)
- ・BG テープ: M10027(基板支持方式)
- ・作製するサンプルの水準は以下の通り。変動因子として Low-k 種、スタック数、Si 厚



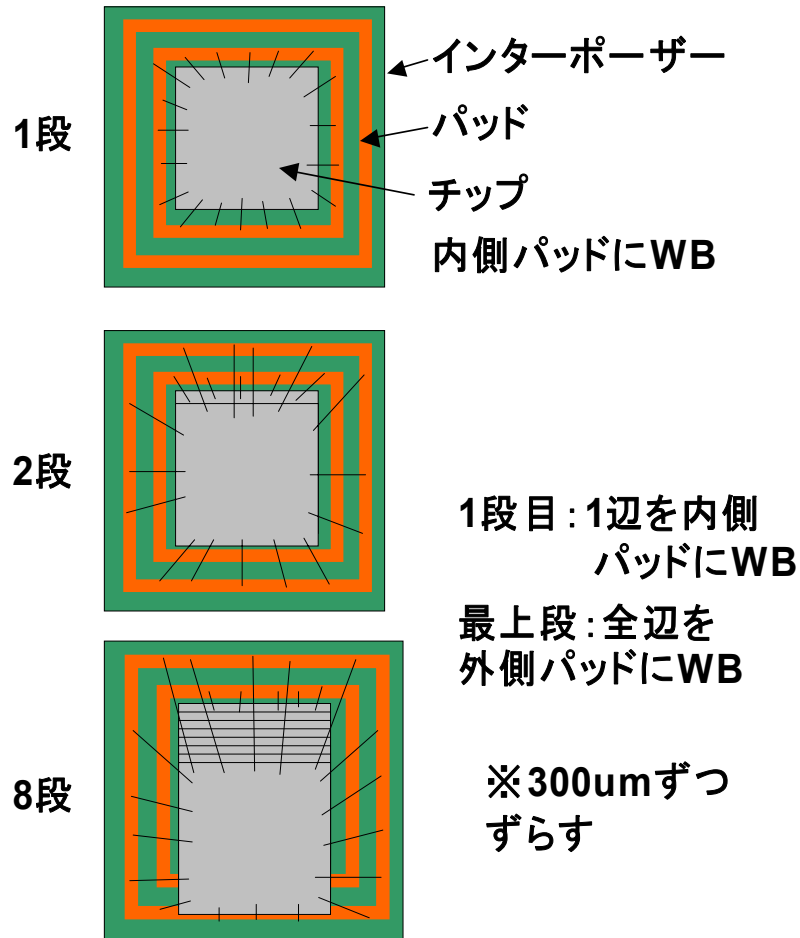
図Ⅲ.2.3.6.1 2層配線+防湿構造

- 1) ウェーハに BG テープを基板貼り合わせ機を用いて貼り合わせる。
- 2) グラインダーにて 50um、25um にウェーハを研削する。
- 3) DAF マウンターにて、研削ウェーハの裏面に DAF 付きダイシングテープを貼り合わせる。
- 4) 基板剥離機により UV を照射し、BG テープ、ガラス基板をウェーハからマニュアル操作にて剥離する。
- 5) ダイサーにて 8.6mm 口に個片化する。
- 6) ダイボンダーにて、インターポザーにピックアップ、ダイボンドする。スタック品は、300um 階段状にずらしてスタックする。
- 7) ワイヤボンダーにて、ワイヤボンドする。1 段品に関しては、全辺ボンディング、多段品はチップ上辺（電気特性を測定する TEG が引き回されたペリフェラルのボンディングパッドのある片：図Ⅲ.2.3.6.2 参照）のみをボンディング。最下段と最上段のチップそれぞれのインターポザー側の内側と外側のボンディングパッドに接続：図Ⅲ.2.3.6.3 参照）
- 8) モールド、個片化する。



図Ⅲ.2.3.6.2 チップ内測定 TEG のレイアウト

### チップスタック、ワイヤボンドレイアウト



図Ⅲ.2.3.6.3 チップスタック、ワイヤボンドレイアウト

#### Ⅲ.2.3.6.4 使用装置

- ・SAT:FS300(日立建機製)
- ・温度サイクル試験器:TSA-71H-W(エスペック製)
- ・接触式表面形状測定器:DeKtak V320-Si

#### Ⅲ.2.3.6.5 評価手順

作製したPKGを、以下の2水準で環境試験にかける(各水準各材料 50PKGで評価)。

- (1) TC(温度サイクル) TC条件:  $-65^{\circ}\text{C}/15\text{分} \Leftrightarrow 150^{\circ}\text{C}/15\text{分}$
- (2) PCT(プレッシャークッカーテスト) PCT条件:  $121^{\circ}\text{C}/100\%\text{RH}/2\text{atm}$

#### Ⅲ.2.3.6.6 PCTの結果

Low-k	p-SiOC				E11105				E11066			
	1段	2段	4段	8段	1段	2段	4段	8段	1段	2段	4段	8段
チップ厚み	25um											
BC有無	有											
初期												
50hr後												
100hr後												
300hr後												
500hr後												

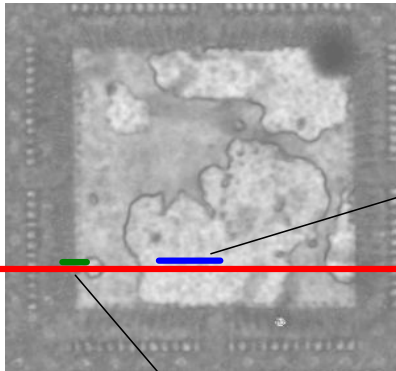
### 剥離発生割合

Low-k	p-SiOC				E11105				E11066			
	1段	2段	4段	8段	1段	2段	4段	8段	1段	2段	4段	8段
チップ厚み	25um											
BC有無	有											
初期	0/14	0/14	0/10	0/10	0/14	0/14	0/10	0/10	0/14	0/11	0/10	0/9
50hr後	0/14	0/14	1/10 (最上段 チップ端 部)	0/10	3/14 (中央、 角)	0/14	1/10 (最上段 チップ端 部)	0/10	0/14	0/11	0/10	0/9
100hr後	0/14	0/14	1/10 (最上段 チップ端 部)	0/10	4/14 (中央、 角)	0/14	1/10 (最上段 チップ端 部)	0/10	0/14	0/11	0/10	1/9 (最上段 チップ端)
300hr後	1/14 (チップ端 部)	0/14	2/10 (最上段 チップ端 部)	4/10 (最上段 チップ)	6/14 (中央、 角)	1/14 (中央、 角)	2/10 (最上段 チップ端 部)	7/10 (最上段 チップ)	10/14 (中央、 角)	1/11 (中央、 角)	3/10 (最上段 チップ)	7/10 (最上段 チップ)
500hr後	8/14 (中央、 角)	7/14 (1,2段 チップ)	9/10 (最上段 含他段 チップ)	7/10 (最上段 含他段 チップ)	10/14 (中央、 角)	6/14 (1,2段 チップ)	5/10 (最上段 含他段 チップ)	9/10 (最上段 含他段 チップ)	12/14 (中央、 角)	6/14 (1,2段 チップ)	6/10 (最上段 含他段 チップ)	9/10 (最上段 含他段 チップ)

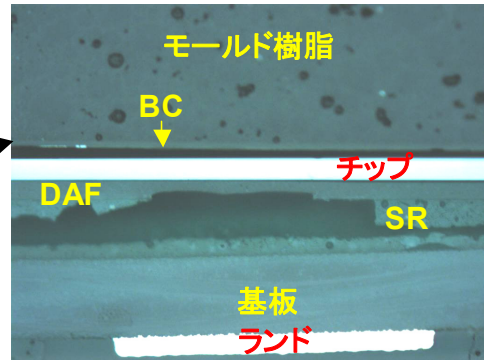
図Ⅲ.2.3.6.4 Low-k 材料を用いた多段チップの PCT 評価結果

- ・初期において剥離がないチップも、すべての水準で PCT500hr で、剥離が発生している。
  - ・剥離の状況は、ランダムでチップの一部に不定形で発生している。
  - ・剥離の発生割合は、Low-k 材、チップ厚み、段数で傾向は見られない。
- 剥離界面を特定するために PCT 処理後の PKG を断面研磨し観察を行った。

PCT500hr後のSAT像  
(E11066HB 25um 1段品)

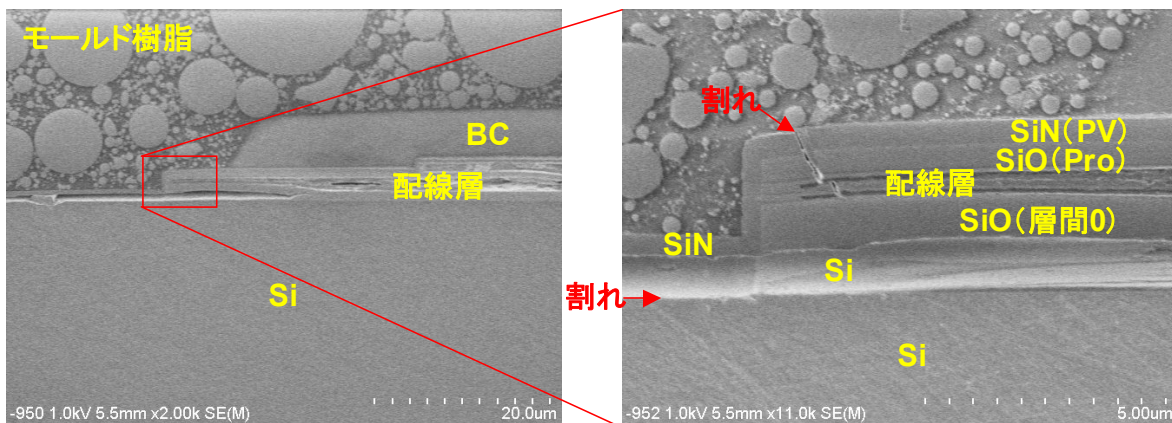


断面の一部の顕微鏡写真



断面出し

SEM像



図Ⅲ.2.3.6.5 PCT 後の剥離面の観察

- ・配線層、DAF/SR(ソルダーレジスト)界面、SR/基板界面に剥離があることが分かった。
- ・チップ端部の断面観察(SEM 像)において、SiN にクラック、および Si の割れがあることが分かった。
- ・上記 SEM 像の観察において、Low-k 層が残っているエリアが、BC のエリアよりスクライブ側にはみ出していることが分かる。ガードリングのある位置は、BC が被覆しているが、ガードリングはM1 層までであり、層間0 の SiO 膜まで達していない。従って、ガードリングの外側であっても SiN、Si にクラックが入ることにより、層間0 の SiO 膜を経由して配線層に水分が浸入することは十分に考えられる。
- ・同様な2層配線の構造をQFPでPCTの信頼性評価を行った結果はSAT観察において剥離は生じていない。このQFPの評価結果と、今回のMCPの結果との違いを考えると、1)チップ厚みが、QFP:400 $\mu$ m、MCP:50 $\mu$ m以下、2)ダイボンド材として、QFPでは銀ペースト、MCPでDAFを使用している。3)PKGの形態として、QFPはチップの上下にモールド樹脂があり、対称に近い。MCPはチップの上のみに存在し、非対称である。従って、QFPよりもMCPのPKGの方がチップにかかる応力が大きいと考えられる。以上のことから、QFPに比べ、MCPはチップが変形しやすく、BCが被覆されていないところにおいては、BCの緩衝効果が作用せず、変形しやすいものと考えられる。よって、SiNやSiがクラックを生じたものとする。

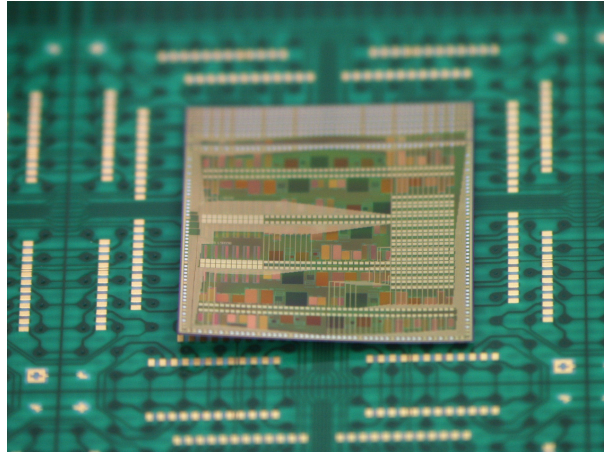
#### <まとめ>

Low-k 材料やバッファコート材料を用いた配線ウェーハの環境耐性を測定し、ウェーハレベル信頼性評価基準を設定した。Low-k 材料を用いた配線のパッケージ工程プロセスでは、吸湿や水分浸入、応力集中、チップの薄化などによる配線の機械的強度の劣化が観察され、材料特性による差は配線工程より顕著である事がわかった。また 50um 以下に研削された薄膜 Si の8段 MCP の試作によって、Si 厚とチップ反りの関係を観察し、応力集中による剥離はチップ間ではなく、チップとインターポーザー間で発生する事がわかった。



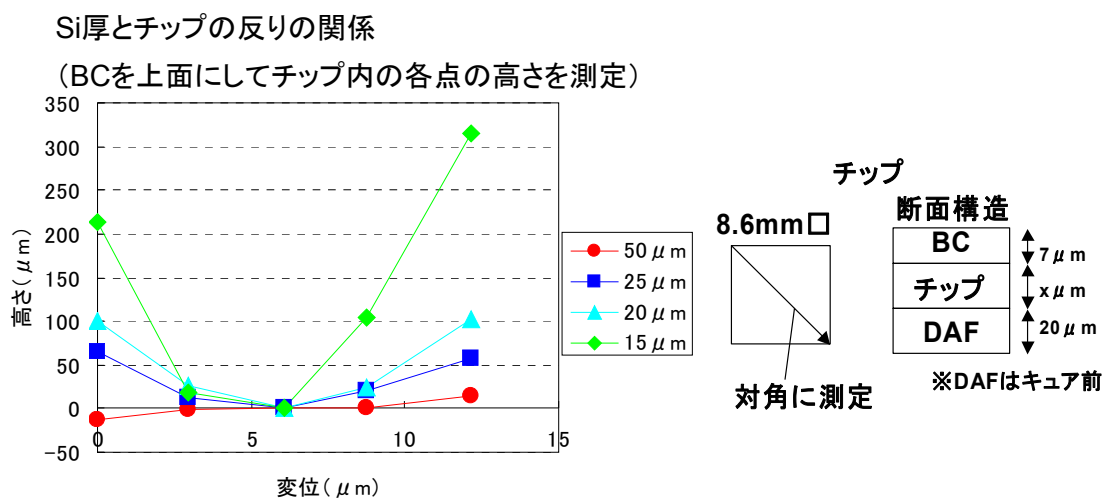
### Ⅲ.2.3.7 Siチップ多段化時の問題点

前項目Ⅲ.2.3.6において厚さ50 $\mu\text{m}$ と25 $\mu\text{m}$ のチップを用いてMCPパッケージの信頼性評価をおこなった。次のステップとして今後実用化が期待されている厚さ20 $\mu\text{m}$ と15 $\mu\text{m}$ のチップを用いたMCPパッケージを試作した。MCP組立のダイボンディングのときに、チップを5段以上スタックした過程でインターポージャーとDAFの界面で剥離が生じたという現象を確認した(図Ⅲ.2.3.7.1 参照)。



図Ⅲ.2.3.7.1 5段スタック チップが基板より剥れ(p-SiOC、20 $\mu\text{m}$ 厚)

この結果より、20 $\mu\text{m}$ 以下のSi厚では、多段にスタックすることによりチップの反りに伴う復元力が大きくなり、より剥離を促進することが予想される。よって、チップを2段以上積層するとPKG工程にてモールド樹脂でチップの反りを押さえつけられずにインターポージャーから剥離してしまうものと考えられる。チップの反りは、図Ⅲ.2.3.7.2に示すとおり、Siの厚みが薄くなるほど、BCの応力により大きくなる。特に20 $\mu\text{m}$ 以下の薄化チップにおいて顕著な反りを生じる事がわかる。その結果、生じた応力がDAFの接着力を上回り、インターポージャーとの間の剥離に繋がったと考えられる。DAF/インターポージャーの接着力は、チップの反りとその復元力の関係を考慮して設定すべきである。



#### <まとめ>

薄化したSiチップを多段化する場合、Siチップの反りによる剥離を防止するDAFの接着力向上が重要である事がわかった。

### III.2.4 成果資料(評価基準書)

- 評価基準書21129 配線加工プロセスにおける Low-k 材料へのプラズマ照射の影響
- 評価基準書21413 2層配線信頼性評価(PCT 後のビアチェーン抵抗変化)
- 評価基準書21433 2層配線信頼性評価(TC 後のビアチェーン抵抗変化)
- 評価基準書26201 p-SiOC<sub>2</sub>層配線の基準プロセスフロー
- 評価基準書22121 平坦性と CMP 研磨条件の相関関係の検討
- 評価基準書25510 Low-k 材料を用いた配線のパッケージ信頼性評価(TC 試験)
- 評価基準書25505 Low-k 材料を用いた配線のパッケージ不良解析
- 評価基準書23021 バッファコートと SiN 界面密着性評価法の開発

## 材料評価基準

### 1. 評価対象材料名

Low-k材料

### 2. 評価の目的

絶縁膜材料は配線加工プロセスにおいて様々なプラズマ照射を受ける。

本評価では、エッチング、アッシング 及び CVD膜堆積時のプラズマがLow-k膜に与える影響について、膜物性と脱ガス特性の評価を行った。

### 3. 評価項目

MSQ系Low-k膜のプラズマ処理の影響評価

### 4. 試料作成手順

#### 4.1 使用装置

		用途
WET洗浄装置	MP-3000 (大日本スクリーン)	DHF洗浄
コーター	ACT-12SOD (東京エレクトロン)	Low-k膜成膜
UVアニール装置	Rapidcure 320FC (axcelis)	Low-k膜 (MSQ系材料) 成膜
エッチャー	Telius SCCM (東京エレクトロン)	エッチング
アッシャー	ICE/CDE300 (芝浦オトコクス)	アッシング
CVD	PRODUCER (AMAT)	p-SiOC成膜, CVDプラズマ処理
PVD	Endura-CL300 (AMAT)	DEGAS (脱ガス) 処理
WLR評価システム	(ハイソル)	N <sub>2</sub> アニール試験

#### 4.2 作成方法

①φ300mm Bare Siを、(1:100) DHF (希弗酸) にて40秒の洗浄処理を行う。

評価項目により、基板 (抵抗値規格) を使い分ける。

②Low-k膜作成: コーターでφ300mm Bare Si ウェハ上にLow-k材料を塗布・ベークをした後に、UVアニール装置 (MSQ系材料) を用いてCure処理を行なう。仕上がりの膜厚は100nmとした。

また、比較に使用するp-SiOC膜は、デポ後のHe処理の無いAs-Depo膜を使用した。

③CF<sub>4</sub>エッチング処理: 表1の条件で処理を行う。処理時間の秒数は残膜厚が約70nm (30nmのエッチング量) になる秒数を個別に選択した。

④NH<sub>3</sub>アッシング処理: 表1の条件で処理を行う。処理時間の秒数は45秒で統一した。

⑤He, NH<sub>3</sub>プラズマ処理: 表1の条件でCVD装置で処理を行う。処理時間はそれぞれ統一した。

⑥DEGAS(PVD脱ガス)処理: Recipe[F:180s]で実施。(350°C、3分、Arプラズマ処理無し ; CF<sub>4</sub>エッチング膜、NH<sub>3</sub>アッシング膜に対して評価を実施)

⑧サンプル保管: 原則的に処理w fは、測定前にFOUP (Front-Opening Unified Pod) よりFOSB (Front Open Shipping BOX) に入れ変え、N<sub>2</sub>ボックス内に保管。(Hgプローブ測定済みの基板を除く)

⑨N<sub>2</sub>アニール試験: WLR評価システムのサーモチャック上にウェハ試料を吸着させ、チャンバー内にN<sub>2</sub>を導入する。サーモチャックを200°Cに昇温し、2.5時間、N<sub>2</sub>雰囲気保持する。所定時間経過後に30°C以下に降温する (N<sub>2</sub>雰囲気)。試料回収はN<sub>2</sub>ページされたカセットを使用する。

表1 MSQ系材料のプラズマ処理条件

Gas	Tool	Flow	Pres.	RF-Power	Stage Temp.	Time (s)
NH <sub>3</sub> (Ashing)	ICE/CDE300	400sccm	60.5Pa (0.454Torr)	0/500W	25°C	45
CF <sub>4</sub> (Etching)	Telus-SCCM	150sccm	13.33Pa (0.1Torr)	300/300W	20°C	Each
He (CVD)	PRODUCER	2800sccm	799.93Pa (6Torr)	300/0W	400°C	20
NH <sub>3</sub> (CVD)	PRODUCER	400sccm	399.97Pa (3Torr)	375/0W	335°C	45

表2 各Low-k材料の基礎物性

Material	CVD(Ref.)	MSQ		
	p-SiOC	E11046	E11097	E11105
Cure条件	-	UVC6min / 400°C	UVC6min / 400°C	UVC3min / 400°C
k値	2.79	2.10	2.22	2.28
密度	1.34	0.83	1.08	1.11
硬度	0.96	0.71	0.91	1.17

\*ただし、UVC : UVキュア、FNC : ファーネス・キュア  
 \* p-SiOC膜は、デポ後のHe処理を行っていないもの。  
 \* unit: 密度(g/cm<sup>3</sup>)、弾性率(GPa)

## 5. 測定方法

### 5.1 使用装置

分光エリプソメーター Lambda Ace RE-3100 (大日本スクリーン製造)  
 Hgプローブ装置 CVmap 3092-A (Four Dimensions, Inc.)  
 HP4285A (アジレントテクノロジー)  
 カーボン蒸着 E-1030 ion sputter (日立ハイテクノロジーズ)  
 FIB FB-2100 (日立ハイテクノロジーズ)  
 STEM HD-2300 (日立ハイテクノロジーズ)  
 昇温脱離分析装置 (TDS) WA1000S/W (電子科学株式会社製)  
 FT-IR IR-EPOCH 3000 (三洋貿易)

### 5.2 測定条件、測定手順

#### 5.2-1 分光エリプソメーター測定条件

測定モード 分光エリプソモード  
 測定波長 632.8 nm  
 測定温度 室温  
 測定点数 25 点

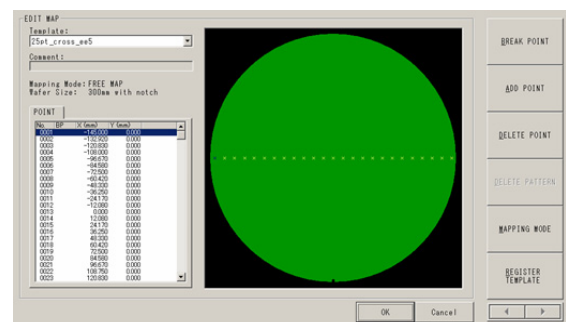


図1 分光エリプソの測定点

#### 5.2-2 分光エリプソでの膜厚測定手順

①プラズマ処理したLow-k膜種ごとにウェハカセットに挿入して装置にセット後、材料個別のレシピを選択して測定をスタートする。

注意事項) 一枚7分程度の測定時間を要する。プラズマ処理膜は一般的に親水化しているため、測定後速やかに回収しN<sub>2</sub>ボックス内に保存する。

②測定データを保存して、膜厚、屈折率の平均値を求める。

### 5.2-3 Hgプローブ装置を使用したk値測定条件

基板	低抵抗基板, P型: 0.001~0.01Ωcm
ウェハサイズ	Φ300mm 1/4cut、ノッチを手前(6時位置)にした際の右下のウェハ断片を測定 (100mmΦとして測定)
測定温度	室温
測定点数	5点 (0,0) (25,0) (-25,0) (0,25) (0,-25) unit:mm
測定プログラム名	P100kHz (電極面積=0.01217cm <sup>2</sup> 、膜厚: 適宜入力)

### 5.2-4 Hgプローブ装置を使用したk値測定手順

- ①分光エリプソで膜厚及び屈折率を測定。膜厚25点の平均値を求める。
- ②ウェハを1/4に分割し、ノッチを手前(6時位置)にした際の右下のウェハ断片を測定基板とする。  
(右上半分にてTDS測定、断面TEM観察、左半分を保管サンプルとした)  
基板はウェハの弧を右(3時位置: ステージの切りかき部), 頂点を左(9時位置)に向けてセットする。
- ③装置備え付けの簡易マニュアルに従い、5.2-3項の測定条件で測定を行う。
- ④5点平均値をk値とする。  
注意事項) 異常値がある場合は再測定するが、極端な異常値は平均値算出から除外する。

### 5.2-5 Hgプローブ装置を使用したI-V特性の測定条件

基板	低抵抗基板, P型: 0.001~0.01Ωcm
ウェハサイズ	Φ300mm 1/4cut、ノッチを手前(6時位置)にした際の右下のウェハ断片を測定 (100mmΦとして測定)
測定温度	室温
測定点数	3点 (0,0) (25,0) (-25,0) unit:mm
測定プログラム名	LE-2410 (膜厚適宜入力)

### 5.2-6 Hgプローブ装置を使用したI-V特性の測定手順

- ①分光エリプソで膜厚及び屈折率を測定。膜厚25点の平均値を求める。
- ②ウェハを1/4に分割し、ノッチを手前(6時位置)にした際の右下のウェハ断片を測定基板とする。  
(右上半分にてTDS測定、断面TEM観察、左半分を保管サンプルとした)  
基板はウェハの弧を右(3時位置: ステージの切りかき部), 頂点を左(9時位置)に向けてセットする。  
C-V測定後はなるべくウェハ位置を少し変更する。
- ③装置備え付けの簡易マニュアルに従い、5.2-5項の測定条件で測定を行う。
- ④3点データを全て保存する。  
注意事項) バラツキが多い場合は再測定する。

### 5.2-7 断面TEM像取得条件

基板	低抵抗基板, P型: 0.001~0.01Ωcm
試料片厚み	100nm (0.1um) 未満
TEM観察	観察倍率=350K (Default: 加速電圧=200kV)

### 5.2-8 試料薄膜のFIB加工(マイクロサンプリング)と断面TEM像取得手順

- ①FIB加工試料片の作成: 加工サンプルを1cm×1cm弱に切り出す → 表面保護のためカーボン蒸着を行う(4~5回繰り返す) → Pt蒸着(220sec.)
- ②FIB(収束イオンビーム加工装置)でマイクロサンプリングし、試料片厚みを100nm未満まで薄膜化する。(概略図は評価基準書21130参照)
- ③STEM観察: 観察に際して、FIBサンプリング時の傾きの補正のために試料片のSiウェハ界面が2重に写らないようにティルト調節する。  
写真撮影(明視野: TE像)は、サンプルによっては電子線照射による膜のシュリンクや破壊があるため、未観察・未撮影の箇所を使用する。膜厚計測は倍率=350Kで実施した。

### 5.2-9 TDS測定条件

基板 低抵抗基板, P型: 0.001~0.01Ωcm

サンプルサイズ: 1cm×1cm

Scanパラメーター: SEM電圧=1200V、Scan速度=0.02sec/U、スタートMass=1、Mass幅=200、サイクルTime=none

(一部の試料は、SEM電圧=1100Vで測定しており、検出感度が低くなる。装置のメンテナンス実施の前後の違いによるもの: 図8, 21, 22参照)

加熱条件: ①「50-1000C\_(R=0.5C)\_Low-k脱ガス特性用.phs」

②「50C-START (R=0.5C) Low-k用.phs」

ステップ1: 開始温度80°C、設定温度80°C、加熱レート 温度一定、加熱時間1分40秒

ステップ2: 開始温度80°C、設定温度1000°C、加熱レート 0.5°C/秒

(一部の試料は設定温度850°Cで行った: 加熱条件②: 図8, 21, 22参照)

プラズマ処理からTDS測定までの間隔:

(1) TDS測定はステージ温度50°C以下になった状態でスタートする。

(2) 基板はN<sub>2</sub>ボックス保管するが、TDS測定はプラズマ処理後、2週間以内に測定した。

(3) CF<sub>4</sub>エッチング処理サンプルの測定後は、F<sup>+</sup>の残留の可能性があるため連続測定時は、測定順番に注意する。

フッ素がチャンバー内壁面などに残留するためと考えられる。測定後一昼夜経過後はその影響は殆ど見られなかった。(影響が残る場合には、専用のフッ素クリーニング用のチップ片を入れて、加熱処理するのが望ましい。)

### 5.2-10 TDS測定手順

①サンプル準備: 測定試料を約1cm×1cm角に切り出す → 秤量(最小桁0.1mgまで)

②TDS装置にサンプルを移載・設置 ~ Scanフォルダ内からScan測定を選択

Scan測定→ファイル→「Scanパラメーターの設定」→Default条件でパラメーターセット

→パラメーター→「ステージ加熱の設定」→ファイル開く~「50-

1000C\_(R=0.5C)\_Low-k脱ガス特性用 .phs」→パラメーターセット

→測定→オートスタート→測定ファイル名を入力し保存→コメントとサンプル重量

[mg]を入力

→オートスタート設定→圧力にチェック→2e-007 (<3e-007) [Pa]を入力→スタート

③Scanデータ処理 ~ csvファイルの作成

②で測定した測定データのファイルを開く (Scanデータ処理)

→表示したいグラフを選択 (3D\_Scanグラフ: 発生量の多いM/zを見出しやすい)

→ファイル→ASCIIファイルの作成→「選択、処理、範囲の設定」→「加工データ」→

「重量で標準化」→コメントを入力

→ファイルの作成(それ以外はDefault)

④データ解析

Excelシート上で③のcsvファイルを開きプロットする

解析で特に着目するデータは、以下の通り

温度1 (ステージ温度), 温度2 (試料表面温度)、圧力、RTIC、M/z (2,15,16,17,18,19,20,28,30,31,32,40,44,78などのマスフラグメントグラム)

NH<sub>3</sub>の脱ガス評価では、以下の式に従って係数補正する(図9参照)。

$$\text{NH}_3\text{強度} = [\text{Mz17の値} - (\text{Mz18の値} \times 0.23)]$$

Excelでのマスフラグメントグラムの描画はスムージング処理を行う。

スムージングは、各温度データの前後1点(合計3点)の移動平均で表示する。(3点間の温度差はおおよそ5°Cである)

### 5.2-11 FT-IR測定条件

掲載データ: p-SiOC, E11046のみ

基板 P型Si基板: 1~100Ωcm仕様

測定点 ウェハ中心1点

積算回数 64回

5.2-12 FT-IR測定手順 (CF4エッチング、NH3アッシング処理膜の差スペクトル評価)

- ①N2ゲージ開→電源ON→パスワード：epoch 入力  
→Epoch Top→光学系診断→開始→パージ状態、S/N比、OKを確認→終了
- ②SiOCを選択→リファレンス設定→ID：サンプル名を入力、使用マッピング：300c1.Mapを選択→終了。  
Bare Siをセット→スキャン回数：64、データファイル名を入力→リファレンス測定。
- ③成膜済みウェハをセット→サンプル設定→ID：リファレンスのファイル名を入力、使用マッピング：300c1.Mapを選択→終了。 Slotごとに繰り返す。  
スキャン回数：64、データファイル名を入力→サンプル測定 (膜個別のスペクトルの取得)
- ④SiOCを選択→リファレンス設定→ID：サンプル名を入力、使用マッピング：300c1.Mapを選択→終了。  
As-Cure膜をセット→スキャン回数：64、データファイル名を入力→リファレンス測定。
- ⑤プラズマ処理済みのウェハをセット→サンプル設定→ID：リファレンス④のファイル名を入力、使用マッピング：300c1.Mapを選択→終了。 Slotごとに繰り返す。  
スキャン回数：64、データファイル名を入力→サンプル測定 (プラズマ処理膜別の差スペクトルの取得)
- ⑥Epochアプリケーションでデータを開き、スペクトル画像を保存。データのコピーによりExcelでの加工も行うことができる。  
エッチング処理膜は膜厚差が大きいので、膜厚差の補正をExcelで行った。

6. 測定結果 注) 全てのp-SiOC膜はデポ後のHe処理の無い膜を使用。

表3 p-SiOC膜の膜厚とk値

上段: Thickness (nm)	As-Depo.	NH3 (Ashing) 45sec.	CF4 (Etching) 9.4sec.	He (CVD) 20sec.	NH3 (CVD) 45sec
中断: 屈折率					
下段: k ( $\Delta k$ )					
P-SiOC (As-Depo, None-He)	103.4	102.7	70.8	101.2	102.1
	1.385	1.380	1.372	1.375	1.368
	2.79	3.47 ( $\Delta 0.68$ )	2.99 ( $\Delta 0.20$ )	3.05 ( $\Delta 0.26$ )	3.21 ( $\Delta 0.42$ )

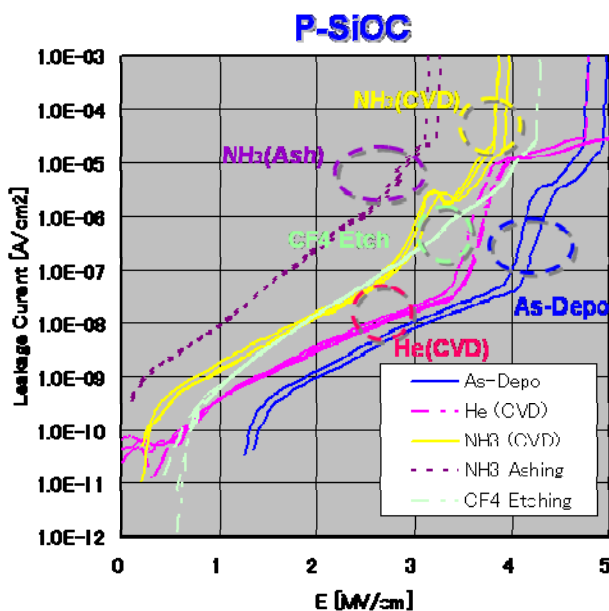
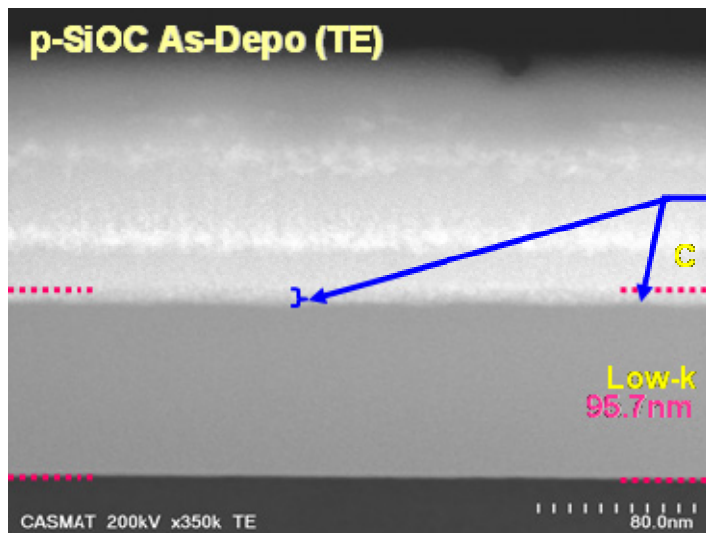
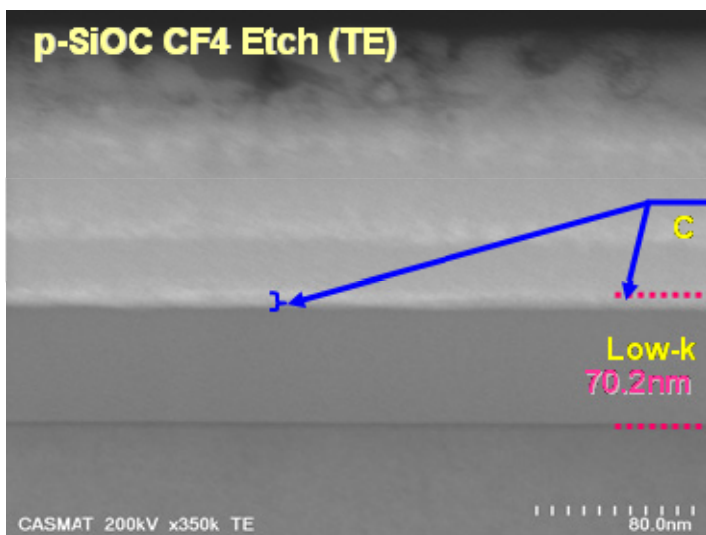


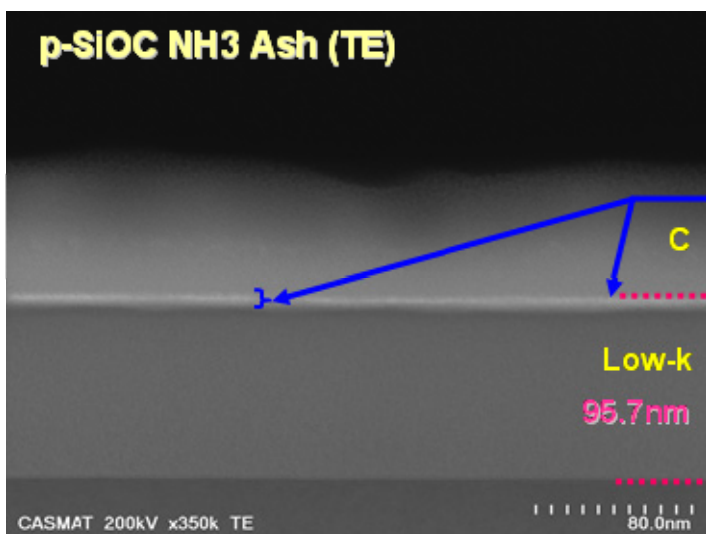
図2 p-SiOC膜のリーク電流特性



電子線スキャンによる  
p-SiOC膜のシュリンク



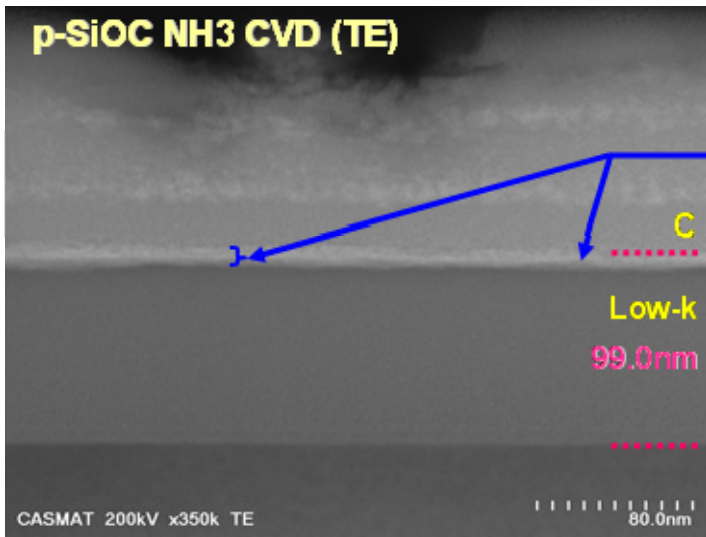
電子線スキャンによる  
p-SiOC膜のシュリンク



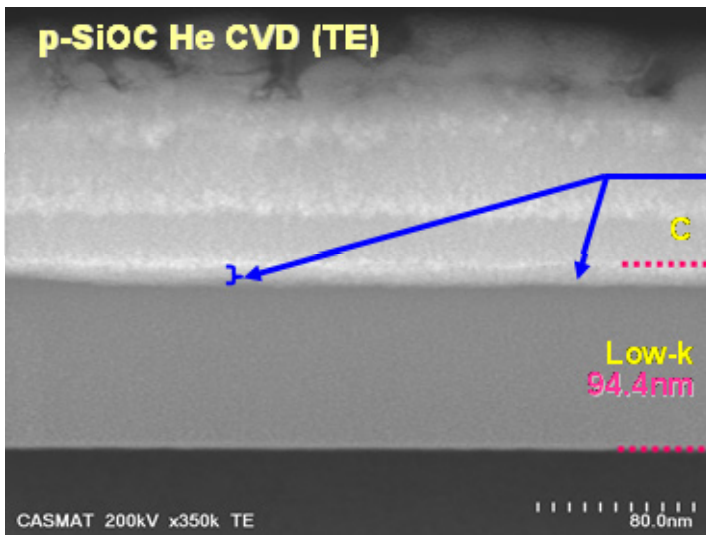
電子線スキャンによる  
p-SiOC膜のシュリンク

図3 p-SiOC膜の断面TEM観察像① : As-Depo膜とCF<sub>4</sub>エッチング処理膜とNH<sub>3</sub>アッシング処理膜





電子線スキャンによる  
p-SiOC膜のシュリンク



電子線スキャンによる  
p-SiOC膜のシュリンク

図4 p-SiOC膜の断面TEM観察像②：NH3-CVD処理膜とHe-CVD処理膜

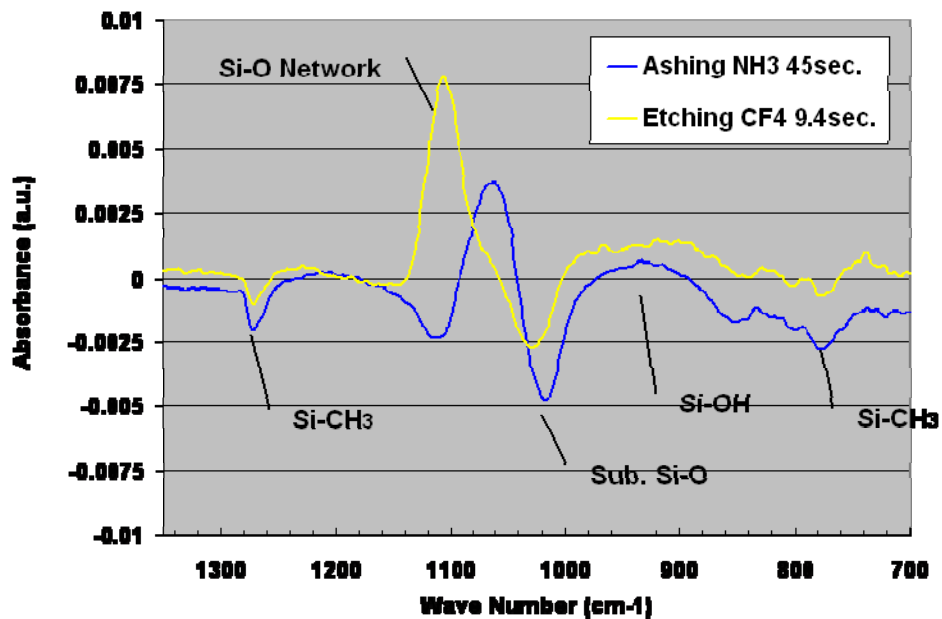


図5 p-SiOC膜のプラズマ処理前後のFT-IR差スペクトル

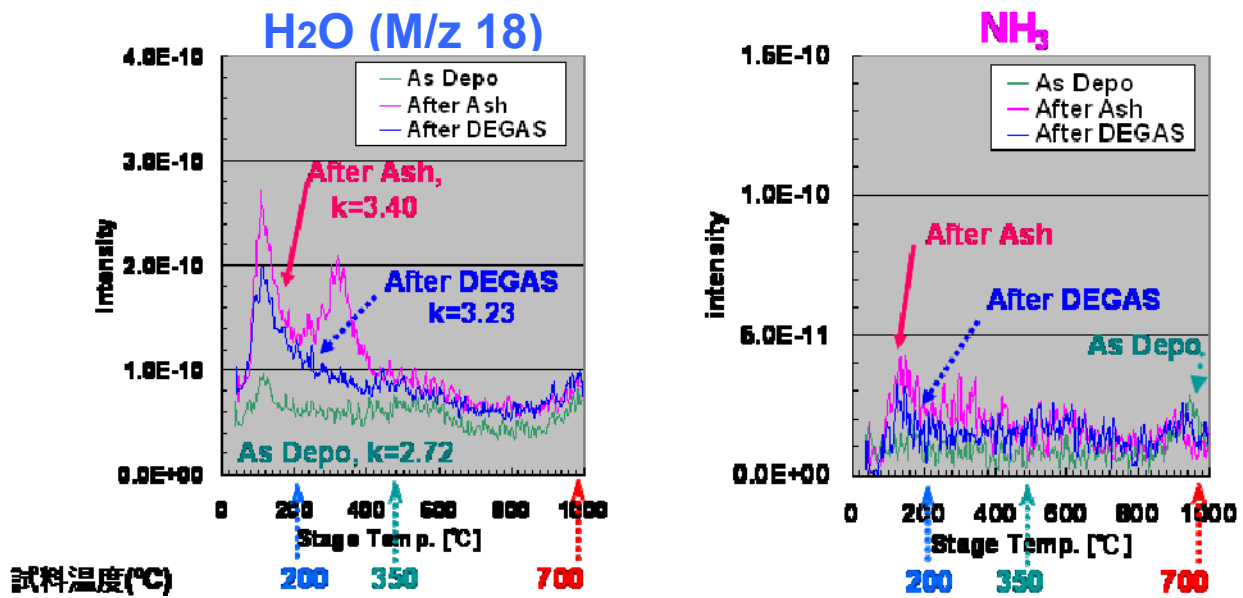


図6 p-SiOC膜のAs\_Depo膜(緑)、NH<sub>3</sub>アッシング処理後(赤)、DEGAS処理後(青)の水とアンモニアの脱ガス特性

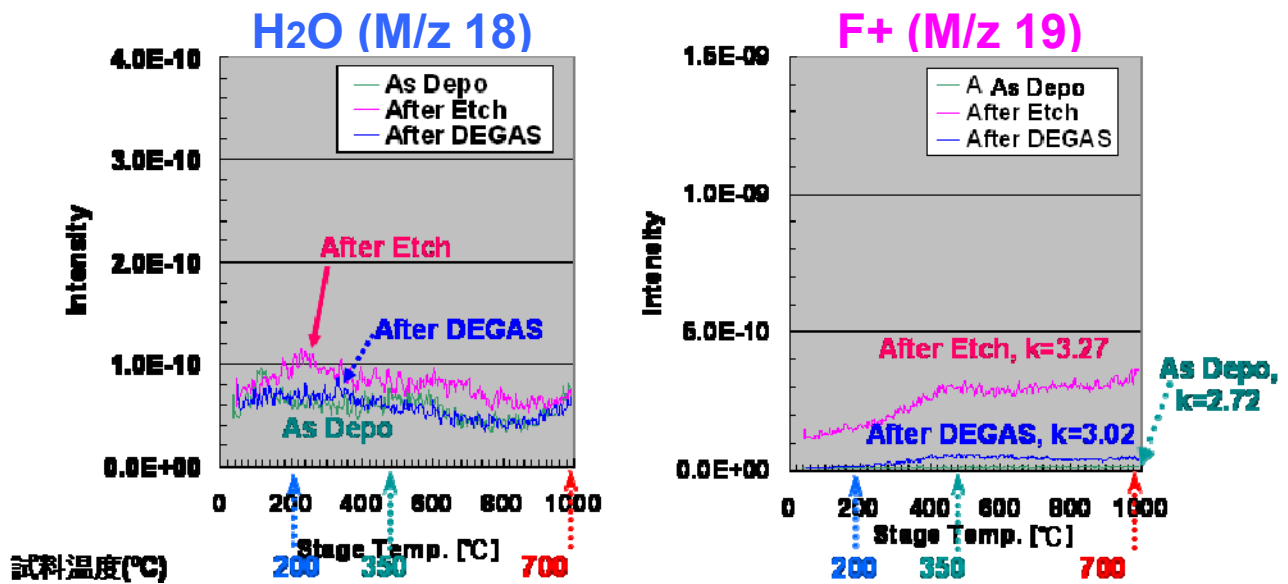


図7 p-SiOC膜のAs\_Depo膜(緑)、CF<sub>4</sub>エッチング処理後(赤)、DEGAS処理後(青)の水とF+の脱ガス特性

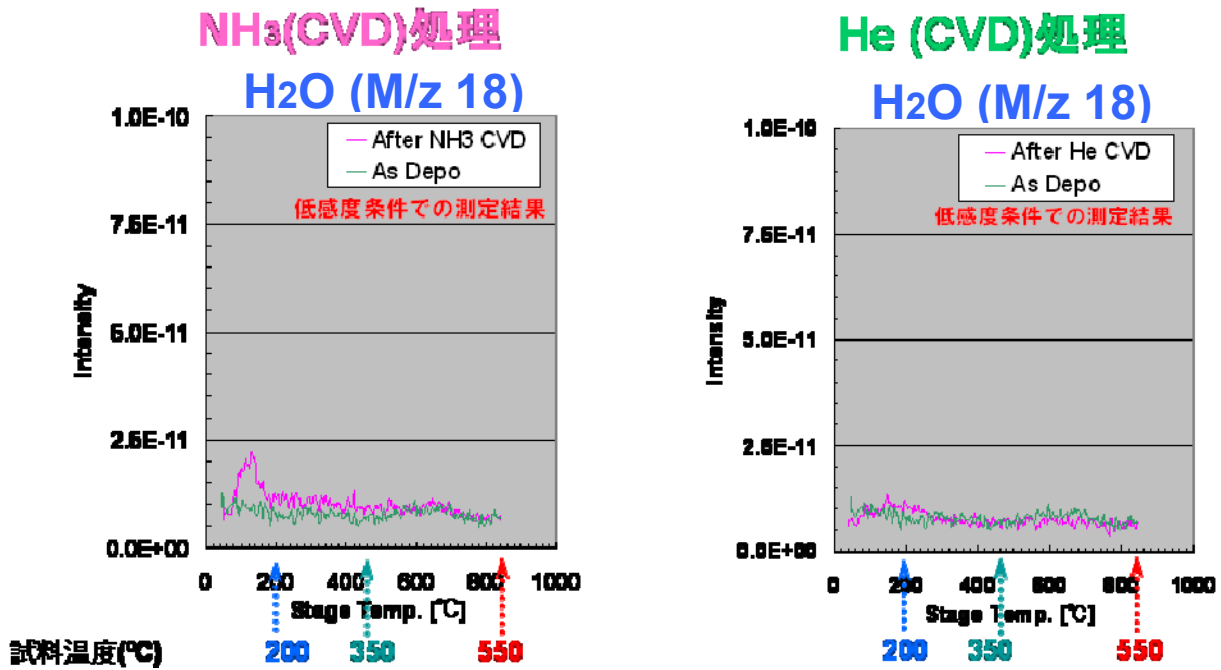


図8 p-SiOC膜のCVDプラズマ処理(NH<sub>3</sub>;左, He;右)後の水の脱ガス特性

\*参考データ (低感度条件: SEM電圧=1100V、昇温=50~850°Cの条件でTDS測定)

## 7. まとめ～考察

1. プラズマ処理された膜からは、水の脱ガスの増加が観察される。特にNH<sub>3</sub>プラズマ処理後はHe, CF<sub>4</sub>処理に比べてその増加量が多い(NH<sub>3</sub>>>He>>CF<sub>4</sub>)。

またプラズマ照射により、MSQ膜の組織が疎水性から親水性に変化したため、これによる吸湿量の増加と有機成分(Si-CH<sub>3</sub>など)の減少がk値上昇やリーク電流増加を呼び起こしていると推察される。特に水の脱ガス量(吸湿量)が多いプラズマ処理膜ほど、k値上昇は大きい傾向があった。(表3,5、図6、17参照)

2. 水の脱ガス(TDS)は表面起因と膜内取り込みの二つの吸湿のモデルが考えられる。NH<sub>3</sub>プラズマ処理(図6,8、17,22)では表面吸着水と考えられる、比較的低温領域(ステージ温度=50~200°C)での水の脱ガスが非常に多く、He, CF<sub>4</sub>プラズマ処理(図7,8、20,21)では比較的少ない。ステージ温度200°C以上からの水の脱ガスの多くは膜内に取り込まれた水分の脱離と考えられる。

3. 膜の親水化は、シラノール(Si-OH)やSi-O-Siネットワークの増加によるものと考えられる。この親水化は膜表面のみならず、膜中にも及ぶこともあると考えられる。(TDSステージ温度=200°C以上における脱ガス量も、プラズマ処理後に増加することが多いため)

4. 断面TEM観察から、プラズマ処理後に、膜表面に変質層が形成されていることを確認(NH<sub>3</sub>, Heプラズマ処理で顕著)している(図13,14,15参照)。この変質層は膜の内部よりも密度が高く(シュリンクや有機物の分解など)親水性が高いと考えられる。

5. MSQ材料の中では、E11105はE11046, E11097に比べてプラズマ処理の影響が小さい材料であることが分かった。(表5、図23,24,25参照)

## 材料評価基準

### 1. 評価対象材料名

Low-k材料

### 2. 評価の目的

Cu/Low-k配線においては、プロセス途中に浸入する水がCu配線の欠陥になる。そこでCASMATにおいて作成した2層配線にPCTを行い、ウェーハレベルで吸湿させ、ビアチェーン抵抗への影響を評価する。

### 3. 評価項目

PCTによる吸湿後のビアチェーン抵抗

### 4. 試料作成手順

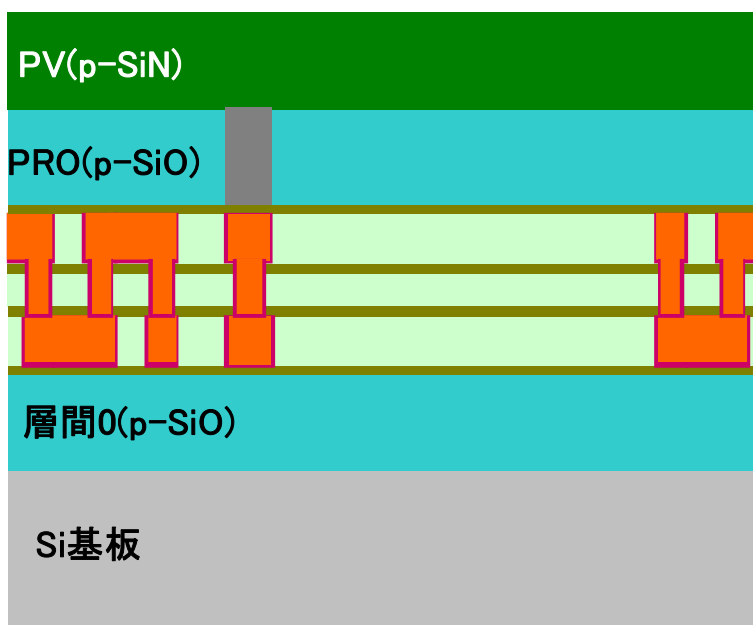
#### 4.1 使用装置

プロセス装置 全般 (詳細は省略)

#### 4.2 作成方法

評価基準書に基づき、2層配線のTEGを作成する。作成したウェーハの初期ビアチェーン抵抗をオートプローバーで測定する。次にプレッシャ・クッカ試験 (PCT) し、吸湿を加速させる。PCT条件は温度125°C、湿度85%RH、500時間以上である。PCT後のウェーハのビアチェーン抵抗をオートプローバーで測定する。PCT後と初期のビアチェーン抵抗の差を算出し、変化率を求める。

#### 4.3 試料構造



## 5. 測定方法

### 5.1 処理装置

プレッシャ・クッカ試験      HASTチャンバー:AMI-150-S-5 or AMI-025-S-5  
(エスペック)

・処理条件      温度125°C、湿度85%RH、120、240、500、1000時間

### 5.2 測定装置

プローバー      UF-3000      (東京精密製)

### 5.3 測定方法

配線抵抗測定

・測定パターン：ビアチェーン(10K)

(L/S=90nm/90nm, 110/110, 130/130, 180/180, 250/250)

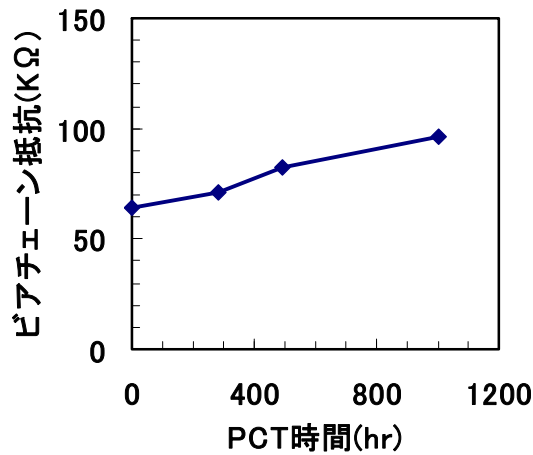
・電流密度：1mA/cm<sup>2</sup>

・プロービングパターン(測定マップ)：面内64点測定(全チップ)

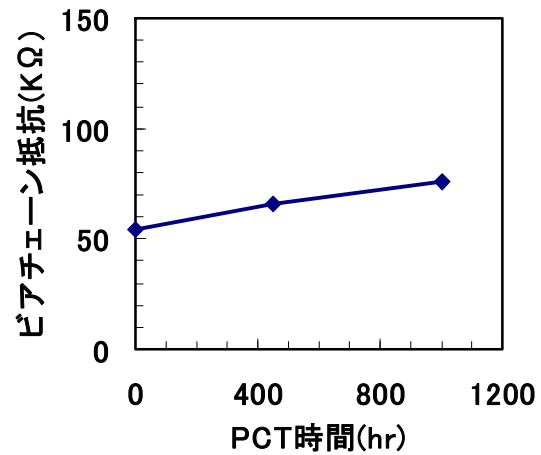
## 6. 測定結果

### 6.1 90nmφビアチェーン抵抗の測定結果

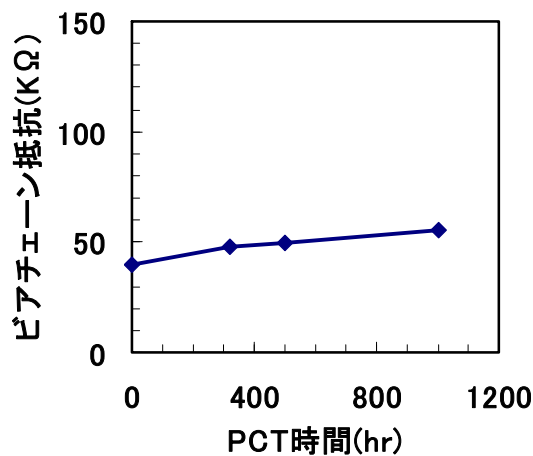
1)p-SiOC



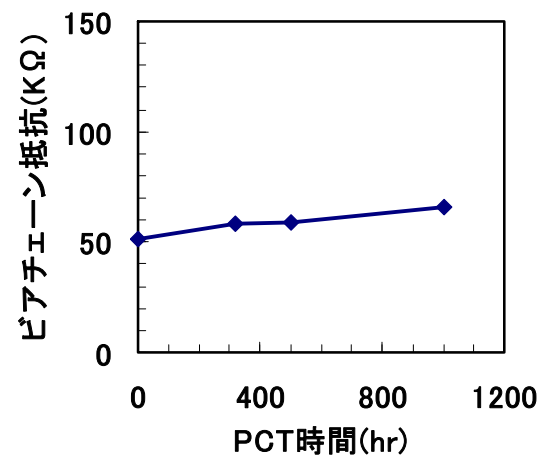
2)E11097



3)E11066



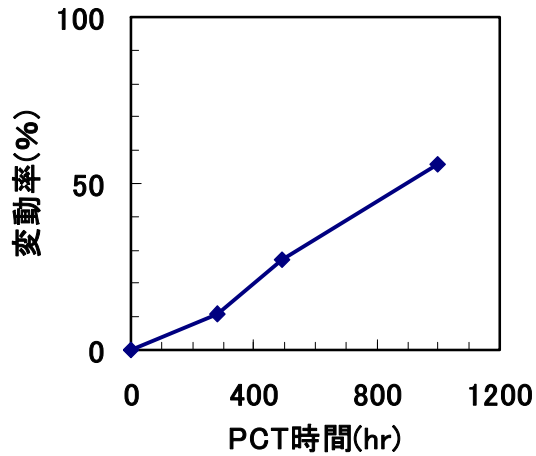
4)E11105



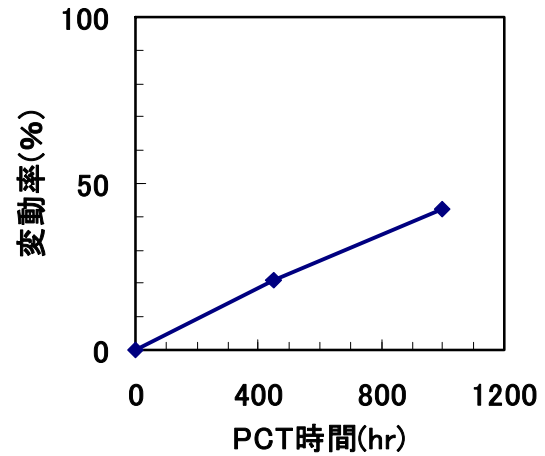
## 6.2 90nm φ ビアチェーン抵抗の変化率

PCT試験前のビアチェーン抵抗からの変化率を算出

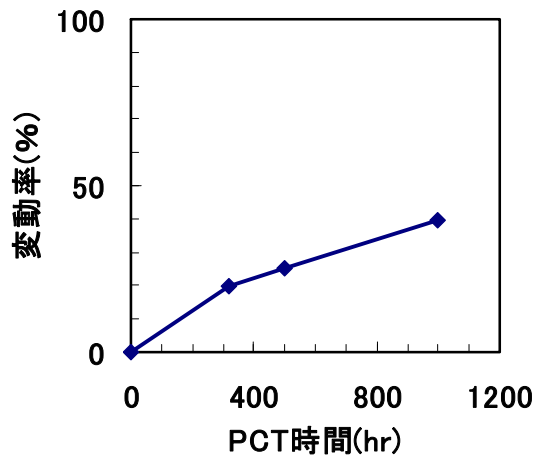
1)p-SiOC



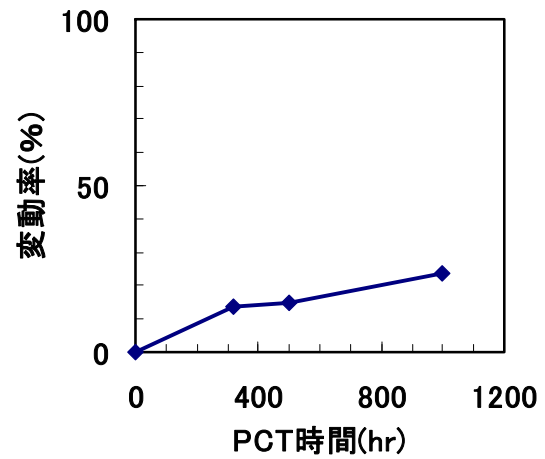
2)E11097



3)E11066



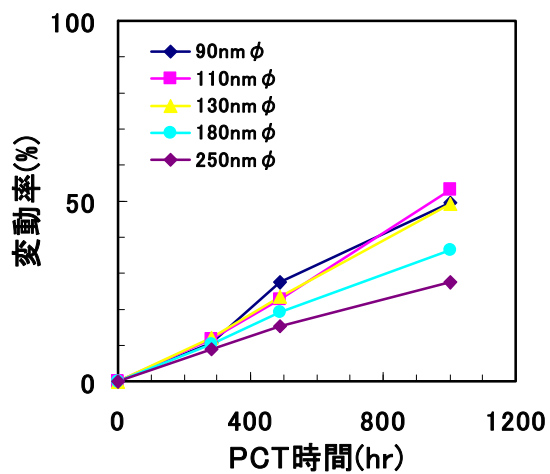
4)E11105



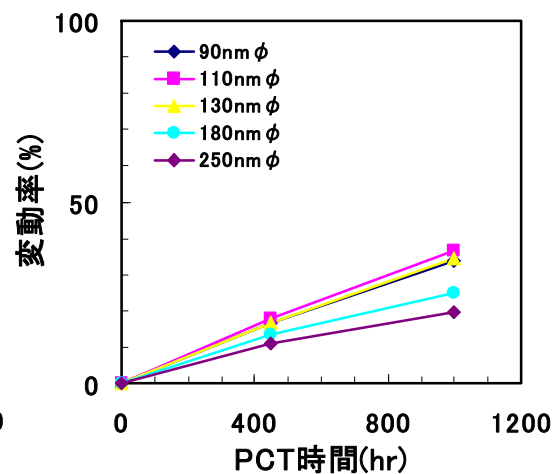
## 6.3 各寸法におけるビアチェーン抵抗の変化率

PCT試験前のビアチェーン抵抗からの変化率を算出

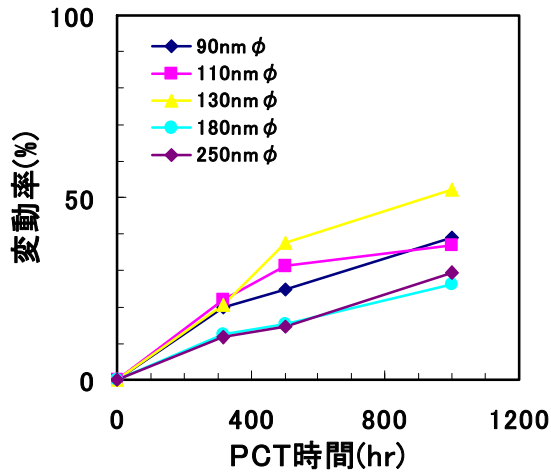
1)p-SiOC



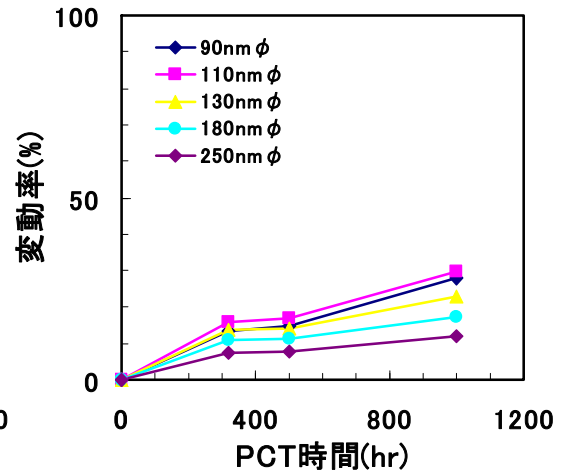
2)E11097



3)E11066



4)E11105



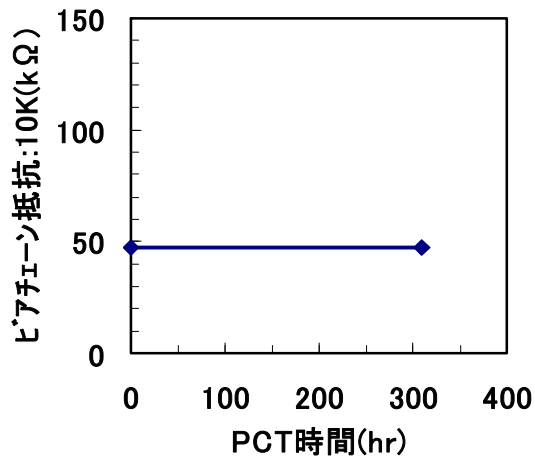
6.4 PCT:1000hr後のビアチェーン抵抗変化率

表 各材料におけるビアチェーン抵抗変化率

ビア径	p-SiOC	E11097	E11066	E11105
90nm φ	49.6	33.7	39.2	27.9
110nm φ	53.2	36.5	37.1	29.8
130nm φ	49.4	34.6	52.2	22.8
180nm φ	36.5	25.0	26.3	17.2
250nm φ	27.4	19.6	29.4	12.0

6.5 ビアチェーン抵抗変化の原因分析

熱によるものか、水分によるものかを分離するため、E11105を125°CのN<sub>2</sub>雰囲気中に放置する実験を実施



## 7. 考察

Low-k材料を用いた2層配線において、吸湿を加速させるプレッシャー・クッカ試験を実施した。PCTによるビアチェーン抵抗への影響は大きく、評価を行ったいずれの材料も抵抗上昇が認められた。ビアの大きさにより抵抗上昇率が異なり、ビア径の小さいものほど抵抗上昇が大きいことが判明した。更に125℃のN<sub>2</sub>雰囲気中に晒すことにより、抵抗変化は水によるものであることが明らかになった。

パッケージ後のPCTによる信頼度試験において、90nm φ のビアにおいて50%より大きい変化が生じた場合は、パッケージ工程を経たことにより吸湿影響を受けやすくなったものと推測することができる。



## 材料評価基準

### 1. 評価対象材料名

Low-k材料

### 2. 評価の目的

半導体製造においてパッケージ後に実施する温度サイクル試験により製品の選別を行っている。そこでCASMATにおいて作成したCu/Low-kの2層配線に温度サイクル試験を行い、ウェーハレベルで、ビアチェーン抵抗への影響を評価する。

### 3. 評価項目

温度サイクル試験後のビアチェーン抵抗

### 4. 試料作成手順

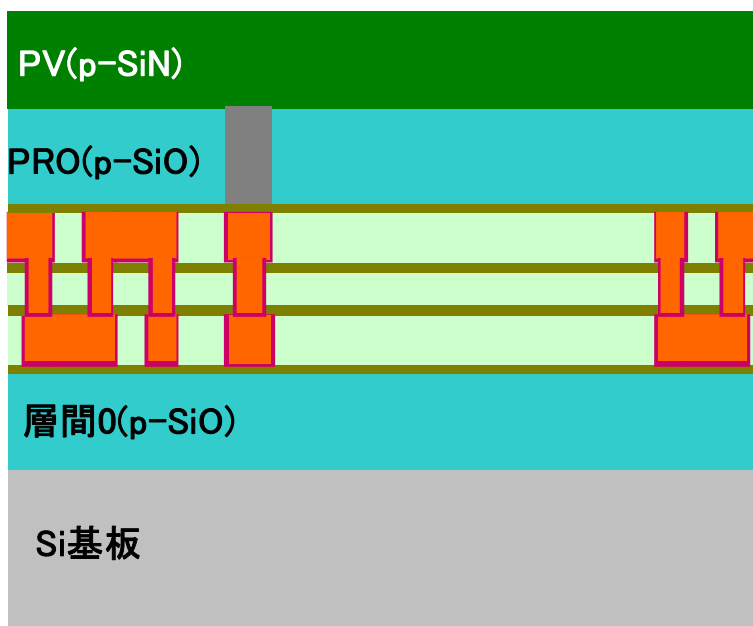
#### 4.1 使用装置

プロセス装置 全般 (詳細は省略)

#### 4.2 作成方法

評価基準書に基づき、2層配線のTEGを作成する。作成したウェーハの初期ビアチェーン抵抗をオートプローバーで測定する。次に温度サイクル試験 (TC) を行う。温度サイクル試験条件は温度-65~150°C、500サイクル以上である。温度サイクル試験後のウェーハのビアチェーン抵抗をオートプローバーで測定する。温度サイクル試験後と初期のビアチェーン抵抗の差を算出し、変化率を求める。

#### 4.3 試料構造



## 5. 測定方法

### 5.1 処理装置

温度サイクル試験 TC試験機:TSA-71H-W (エスペック)  
・処理条件 温度-65~150°C、150、300、500、1000サイクル

### 5.2 測定装置

プローバー UF-3000 (東京精密製)

### 5.3 測定方法

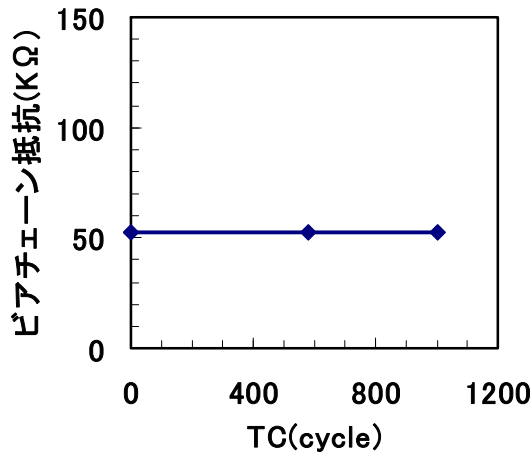
配線抵抗測定

- ・測定パターン：ビアチェーン(10K)  
(L/S=90nm/90nm, 110/110, 130/130, 180/180, 250/250)
- ・電流密度：1mA/cm<sup>2</sup>
- ・プロービングパターン(測定マップ)：面内64点測定(全チップ)

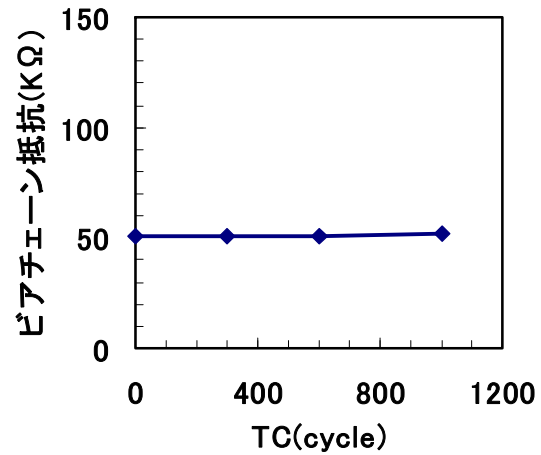
## 6. 測定結果

### 6.1 90nmφビアチェーン抵抗の測定結果

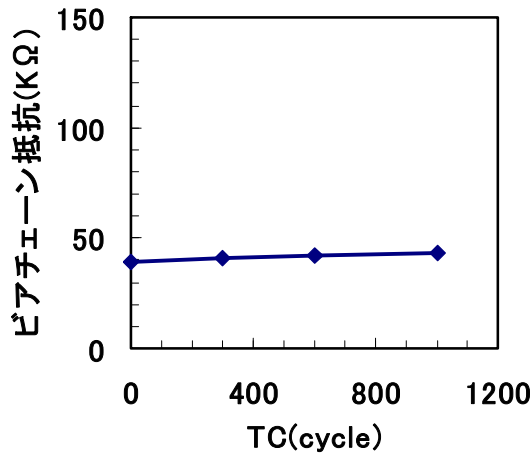
1)p-SiOC



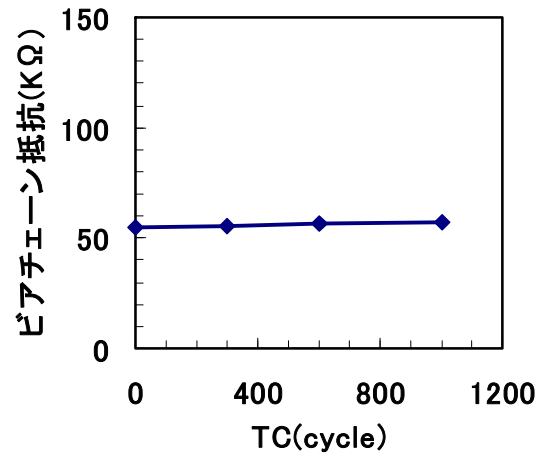
2)E11097



3)E11066



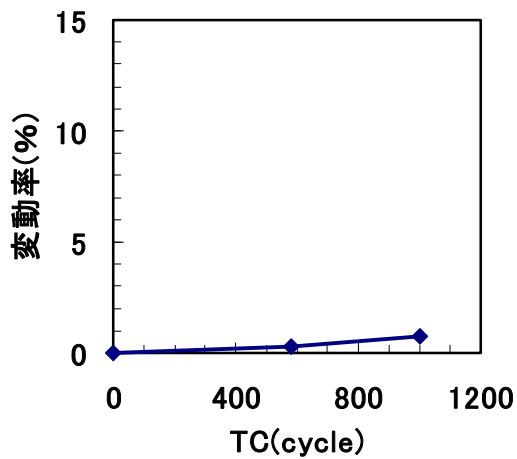
3)E11105



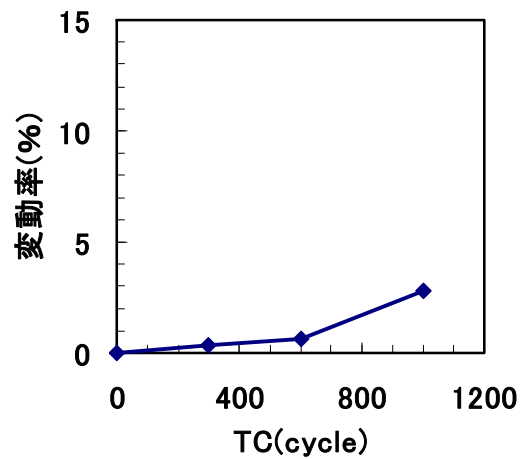
## 6.2 90nm φ ビアチェーン抵抗の変化率

温度サイクル試験前のビアチェーン抵抗からの変化率を算出

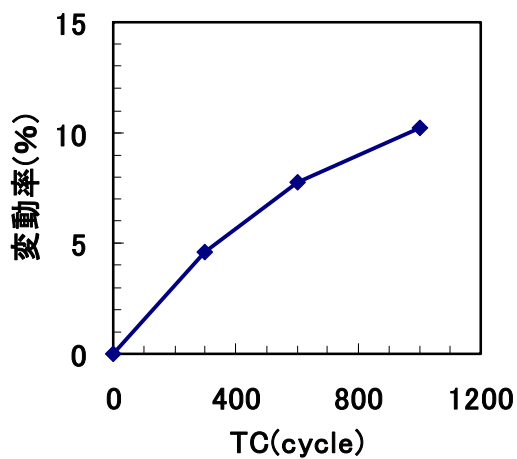
1)p-SiOC



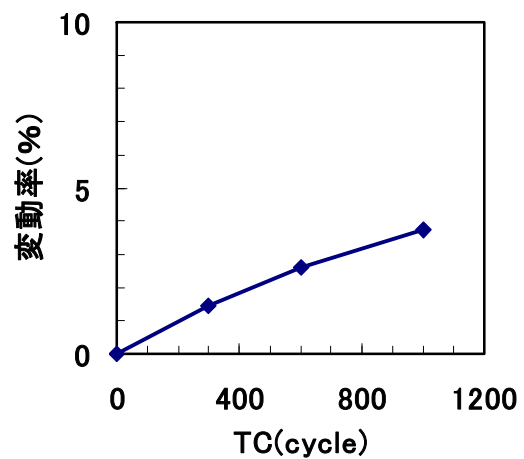
2)E11097



3)E11066



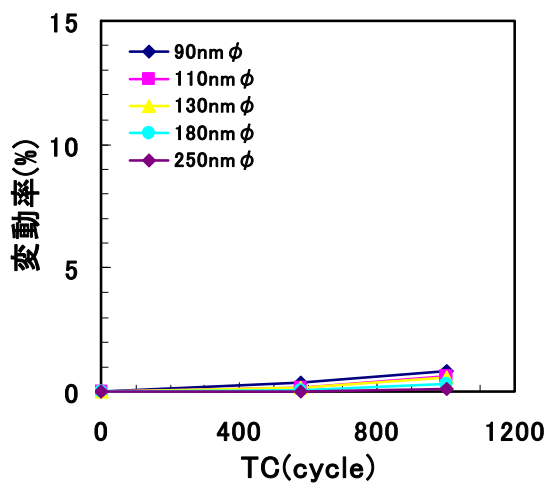
3)E11105



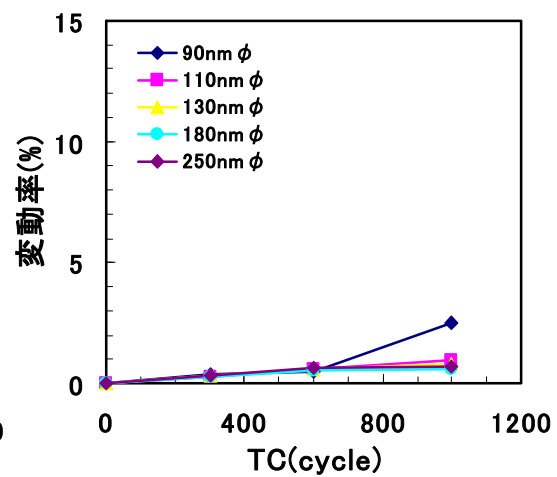
## 6.3 各寸法におけるビアチェーン抵抗の変化率

PCT試験前のビアチェーン抵抗からの変化率を算出

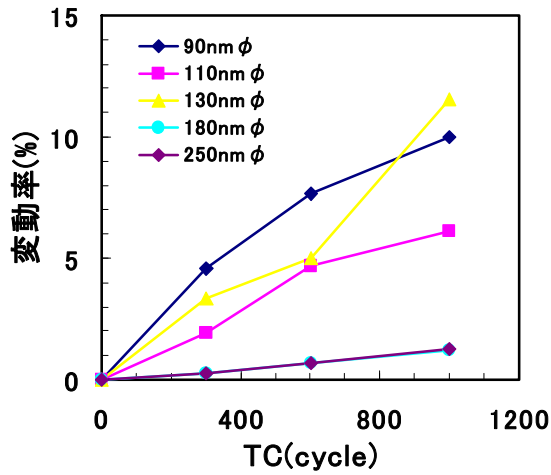
1)p-SiOC



2)E11097



3)E11066



3)E11105

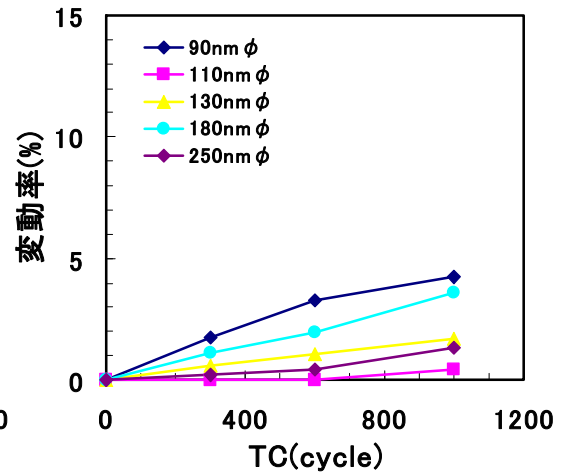


表 各材料におけるビアチェーン抵抗変化率

ビア径	p-SiOC	E11097	E11066	E11105
90nm φ	0.8	2.5	10.0	4.2
110nm φ	0.7	1.0	6.1	0.4
130nm φ	0.6	0.8	11.6	1.7
180nm φ	0.3	0.6	1.2	3.6
250nm φ	0.1	0.7	1.3	1.3

## 7. 考察

Low-k材料を用いた2層配線において、温度サイクル試験を実施した。温度サイクル試験によるビアチェーン抵抗への影響には、材料間で差が認められた。p-SiOCが最も影響が小さく、E11097,E11105,E11066の順で影響が大きくなる。特にビア径が小さいほど影響が大きくなる傾向が認められる。

# 評価基準書26201 p-SiOC2層配線の基準プロセスフロー

## 材料評価基準：プロセスフロー

### 評価概要:基準仕様書/p-SiOC 2層DD

No	区分	工程	装置	レシピ	仕様/条件
0	ロット編成				300mmφミ-A使用
1	層間0 <sup>th</sup> ホ	p-SiO <sup>th</sup> ホ	PRODUCER	SiO1000nm	t=1000±40nm
2	M1-SiCN <sup>th</sup> ホ	p-SiCN <sup>th</sup> ホ	PRODUCER	BLOK 30nm nonNH3	t=30±3nm, NH3 <sup>th</sup> ホ <sup>th</sup> マ無し
3	M1-SiOC <sup>th</sup> ホ	He <sup>th</sup> ホ <sup>th</sup> マ処理	PRODUCER	BD100nmRF500W	He:2800cc,300W, 6.0Torr, 350°C, 20sec
		p-SiOC <sup>th</sup> ホ			He/O <sub>2</sub> /TMS:400/1000/1700cc,500W, 3.0Torr,350°C,18.5sec
		He <sup>th</sup> ホ <sup>th</sup> マ処理			He:2800cc,300W, 6.0Torr, 350°C, 10sec
4	M1-CAP <sup>th</sup> ホ	N <sub>2</sub> O <sup>th</sup> ホ <sup>th</sup> マ処理	PRODUCER	DSiO60T300He300W	He: 300W
		二周波p-SiO <sup>th</sup> ホ			SiO: 60nm
5	M1リソ	O <sub>2</sub> <sup>th</sup> ホ <sup>th</sup> マ処理	ICE/CDE300	PC1-Photo Pre1	O <sub>2</sub> (200cc), 3.5Pa, 4000/0W, 25C, 30sec
		水洗	MP-3000	700	純水リソ, 39sec
		BARC塗布	ACT12(ArF)	IL-PC220BA65	205°C,60sec <sup>th</sup> ホ <sup>th</sup> マ, t=65nm
		レジスト塗布			130°C,90sec <sup>th</sup> ホ <sup>th</sup> マ, t=220nm
		露光	FPA-6000AS4	CASMAT147A	[CASMAT147A], NA=0.85, σ=2/3Annular, 全面パターンの
		PEB・現像	ACT12(ArF)	IL-PC220BA65	NMD-3 2.38%, PEB:130°C, 90sec
		ポストヘール			120°C, 45sec
寸法検査	S9360#1	004-7pt3sht	ターゲット寸法:L/S=90/90,130/130nm <sup>th</sup> ホ <sup>th</sup> マ(80/80nm追加)		
6	M1トライ	BARC/SiO/SiOCエッチ	Telius-SCCM	BD_100_M1_60	
		アッシング	ICE/CDE300	Lowk45_300s	NH <sub>3</sub> :45sec+H <sub>2</sub> /He:300sec
		寸法検査	S9380#2	004CL-7pt3sht	L/S=90/90nm寸法検査(80/80nm追加)
7	M1洗浄	ポリマー除去	SR-3000	411	G02031, 25°C, 60sec
8	M1 <sup>th</sup> ホ	TaN/Ta/Cu <sup>th</sup> ホ <sup>th</sup> マ	Endura	10NM,10NM,60NM	DEGAS-350°C, 30sec, プレクリン/H <sub>2</sub> -40sec TaN:10/Ta:10/Cu:60nm
		Cuメッキ	Slim Cell	B0.60UM-I-A	CELL:B, 膜厚:600nm, 縁取り:2mm アール:N2/100%, 220°C, 30sec, 1atm
9	M1-CMP	Cu-CMP	ChaMP	C-CMP4-M1-STD	K03825, 2psi⇒1psi(2step), J+20sec over
		パリアCMP			K03003改, 2psi, 20s, p-SiO:60⇒30nm条件
		剥離検査	金顕		剥離チェック(目視、光顕)
10	Via1-SiCN <sup>th</sup> ホ	p-SiCN <sup>th</sup> ホ	PRODUCER	BLOK 30nm nonNH3	t=30±3nm, NH3 <sup>th</sup> ホ <sup>th</sup> マ無し
11	Via1-SiOC <sup>th</sup> ホ	He <sup>th</sup> ホ <sup>th</sup> マ処理	PRODUCER	BD100nmRF500W	He:2800cc,300W, 6.0Torr, 350°C, 20sec
		p-SiOC <sup>th</sup> ホ			He/O <sub>2</sub> /TMS:400/1000/1700cc,500W, 3.0Torr,350°C,18.5sec
		He <sup>th</sup> ホ <sup>th</sup> マ処理			He:2800cc,300W, 6.0Torr, 350°C, 10sec
12	M2-SiCN <sup>th</sup> ホ	p-SiCN <sup>th</sup> ホ	PRODUCER	BLOK 30nm nonNH3	t=30±3nm, NH3 <sup>th</sup> ホ <sup>th</sup> マ無し
13	M2-SiOC <sup>th</sup> ホ	He <sup>th</sup> ホ <sup>th</sup> マ処理	PRODUCER	BD100nmRF500W	He:2800cc,300W, 6.0Torr, 350°C, 20sec
		p-SiOC <sup>th</sup> ホ			He/O <sub>2</sub> /TMS:400/1000/1700cc,500W, 3.0Torr,350°C,18.5sec
		He <sup>th</sup> ホ <sup>th</sup> マ処理			He:2800cc,300W, 6.0Torr, 350°C, 10sec
14	M2-CAP <sup>th</sup> ホ	N <sub>2</sub> O <sup>th</sup> ホ <sup>th</sup> マ処理	PRODUCER	DSiO100T300He300W	He: 300W
		二周波p-SiO <sup>th</sup> ホ			SiO: 100nm
15	Via1リソ	O <sub>2</sub> <sup>th</sup> ホ <sup>th</sup> マ処理	ICE/CDE300	PC1-Photo Pre1	O <sub>2</sub> :200cc, 3.5Pa, 4000/0W, 25°C, 30sec
		水洗	MP-3000	700	純水リソ, 39sec
		BARC塗布	ACT12(ArF)	IL-PG300BA65	205°C,60sec <sup>th</sup> ホ <sup>th</sup> マ, t=65nm
		レジスト塗布			125°C, 90sec <sup>th</sup> ホ <sup>th</sup> マ, t= 300nm
		露光	FPA-6000AS4	CASMAT187A	[CASMAT187A], NA=0.85, σ=0.30
		PEB・現像	ACT12(ArF)	IL-PG300BA65	NMD-3 2.38%, PEB:115°C,90sec
		ポストヘール			120°C,45sec
		寸法検査	S9360#1	002-6pt3sht	ターゲット寸法90, 130nm <sup>th</sup> ホ <sup>th</sup> マ
重ね合せ検査	LA-300	M1-V12	測定点/shot:4(四隅)		

16	DD-Via1ﾄﾞﾗｲ	BARC/SiO /SiOC/SiCNエッチ (Via-SiCN先抜き)	Telius-SCCM	BD100_DD100	CF4:150cc,100mT,300/300W, 55sec CF4/Ar:180/360cc,150mT, 1000/1000W, 25sec CF4/Ar/N2:40/250/150cc, 30mT,500/1800W,60sec
		アッシング	ICE/CDE300	Lowk45_300s	NH3:90sec+H2/He:300sec
		寸法検査	S9380#2	002CL-6pt3sht	90nm径スリビ7(ウェハセンターチップ)チェック
		17	DD-Via1洗浄	ホリマー除去	SR-3000
18	Via1平坦化	アニール処理	ICE/CDE300	350C BAKE	ホイスニング対策 350°C,1hr
19	DD-M2リソ	BARC塗布	ACT12(ArF)	IL-PC220BA65	FT=65nm, 205°C/60sec
		レジスト塗布			FT=220nm, SB:130°C/90sec
		露光	FPA-6000AS4	CASMAT149A	[CASMAT149A],NA=0.85,inner/outerσ=0.567/0.85
		PEB・現像	ACT12(ArF)	IL-PC220BA65	PEB:130°C/90sec, NMD-3 2.38%
		ホストベーク			Post Bake: 120°C/45sec
		寸法検査	S9360#1	003-6pt3sht	L/S=90/90nm寸法検査
		重ね合せ検査	LA-300	V12-M2	
20	DD-M2ﾄﾞﾗｲ	BARC/SiO/SiOCエッチ	Telius-SCCM	BD_100_M2_100	CF4:150cc, 100mT, 300/300W, 55sec CF4/Ar:180/360cc, 150mT, 1000/1000W, 27sec C4F8/Ar/O2:6/1000/10cc, 30mT, 500/300W, 50sec
		アッシング	ICE/CDE300	Lowk45_300s	NH3:45sec+H2/He:300sec
		寸法検査	S9380#2	003CL-6pt3sht	
		21	DD-M2洗浄	ホリマー除去	SR-3000
22	M2ﾌﾟﾛ	TaN/Ta/Cuスリット	Endura	10NM,10NM,60NM	DEGAS-350°C, 30sec,ﾌﾞﾚｸﾞﾘｰﾝ/H2-40sec TaN:10/Ta:10/Cu:60nm
		Cuメッキ	Slim Cell	B0.60UM-I-A	CELL:B,膜厚:60nm,縁取り:2mm アニール:N2/100%, 220°C, 30sec, 1atm
23	M2-CMP	Cu-CMP	ChaMP	C-CMP4-M2-STD	K03825, 2psi⇒1psi(2step), J+20sec over
		パリアCMP			K03003改, 2psi, 30s
		剥離検査	金顕		剥離チェック(目視、光顕)
24	PROﾌﾟﾛ	p-SiCNﾌﾟﾛ	PRODUCER	BLOK 30nm nonNH3	t=30±3nm, NH3ﾌﾟﾗｽﾞﾏ無し
		二周波p-SiOﾌﾟﾛ		DSiO500T300L140	t=500±40nm
25	PROｷﾞ	レジスト塗布	ACT12(ArF用)	P-PFI38-1um	90°C, 60sec <sup>^-</sup> ｸ, 1um
		露光	FPA5500iZ	CAST-4/PRO-150A	[CASMAT150A],M1合せ,NA=0.57,σ=0.70,2000J/m2
		PEB・現像	ACT12(ArF用)	EX-Local-SH	NMD-3 2.38%,PEB:110°C,90sec <sup>^-</sup> ｸ
		ホストベーク			110°C,120sec
		合わせ検査	金顕		金顕によるレジスト開口部検査
26	PROﾄﾞﾗｲ	SiOエッチ	Telius-SCCM	SiO_500_PRO_2	C4F8/Ar/O2:13/600/13cc, 30mT, 2800/3800W, 90sec
		アッシング	ICE/CDE300	3M01	O2(低圧3.5Pa),レジスト除去
		SiCNエッチ	Telius-SCCM	SiCN50_PROST	CHF3/O2:40/40cc, 50mT, 1000/200W, 7sec
		27	PRO洗浄	ホリマー除去	SR-3000
28	M3-ALﾌﾟﾛ	Ti-Alスリット	Endura	CH-F:30S TI, AL	DEGAS-350°C, 30sec,ﾌﾞﾚｸﾞﾘｰﾝ無し, Ti:70/Al:1000nm
29	M3-ALｷﾞ	レジスト塗布	ACT12(ArF用)	P-PFI38-1um	90°C,60sec <sup>^-</sup> ｸ,t=1um
		露光	FPA5500iZ	CAST-4/PAD-188A	[CASMAT188A],PRO合せ,NA=0.57,σ=0.70,2000J/m2
		PEB・現像	ACT12(ArF用)	EX-Local-SH150	NMD-3 2.38%,PEB:110°C,90sec <sup>^-</sup> ｸ
		ホストベーク			150°C,5min(Hot Plate)
		合わせ検査	金顕		金顕によるレジスト開口部検査
30	M3-ALエッチ	ALウェットエッチ	ALウェットエッチ	P-NO1(180sec)	
		Tiウェットエッチ	MP-3000	123	FPM:10sec
		アッシング	ICE/CDE300	AL IR REM	O2(低圧3.5Pa),レジスト除去
31	M3-AL洗浄	ホリマー除去	SR-3000	411	G02031, 25°C, 60sec
32	PVﾌﾟﾛ	p-SiCNﾌﾟﾛ	PRODUCER	BLOK 30nm nonNH3	335°C, 20sec
		p-SiNﾌﾟﾛ		SiN 500nm	
33	PVｷﾞ	レジスト塗布	ACT12(ArF用)	P-PFI38-1um	90°C,60sec <sup>^-</sup> ｸ,t=1um
		露光	FPA5500iZ	CAST-4/PV-174A	[CASMAT174A],M1合せ,NA=0.57,σ=0.70,2000J/m2
		PEB・現像	ACT12(ArF用)	EX-Local-SH	NMD-3 2.38%,PEB:110°C,90sec <sup>^-</sup> ｸ
		ホストベーク			110°C,120sec
		合わせ検査	金顕		金顕によるレジスト開口部検査
34	PVﾄﾞﾗｲ	SiN/SiCNエッチ	Telius-SCCM	SiN-500-PV	CF4/O2=114/6cc, 100mT, 1000/2000W, 150sec

		アッシング	ICE/CDE300	3M01	
35	PV洗淨	ポリマー除去	SR-3000	411	G02031, 25°C, 60sec
36	N27ニール	N27ニール	ALPHA-303-C	SB-04	N2 400°C/30分
37	電気測定	フローハート測定	フローハート-C	CAST-4 Std M2 2008 CROSS 05A 147-04	M1とM2の測定フローハート クロス測定(5チップ): 測定チップの指定
完成		払い出し			XX渡し

# 評価基準書22121 平坦性とCMP研磨条件の相関関係の検討

## 材料評価基準

1. 評価対象材料名           CMP関連材料
2. 評価の目的           (a)CuCMPの研磨途中における平坦性を評価することで、スラリーの平坦化効率やオーバーポリッシュ耐性などを調べ、平坦性悪化の原因を解明する。  
(b)Cu、バリアCMPにおいて、良好な平坦性を得るための最適な研磨条件を検討する。  
(c)Cu、バリアCMP後の平坦性から、配線抵抗の変動を予測する。
3. 評価項目               各種配線幅、配線密度のL&Sパターンの平坦性
4. 試料作成手順
  4. 1  使用装置           CVD装置、レジスト塗布現像装置、絶縁膜エッチング装置、アッシング装置、洗浄装置、ArF露光装置、PVD装置、めっき装置
  4. 2  作製方法  
      層間膜デポ           p-SiO  500nmデポ  
                              p-SiCN 30nmデポ  
                              p-SiOC  100nmデポ  
                              p-SiO  60nmデポ  
      レジスト塗布、露光、現像   マスク183A使用  
                              最小パターン80/80nm  L&S  
      エッチング           p-SiOエッチ  CF4/Ar、p-SiOCエッチ  C4F8/Ar/O2  
      アッシング           NH3  →  H2/He  
      洗浄                 G02031  
      バリア、シードデポ       TaN  10nmデポ  
                              Ta  10nmデポ  
                              Cuシード 60nmデポ  
      Cuめっき             Cu  600nmデポ
5. 測定方法
  5. 1  使用装置           触針式段差計：Dektak  V320-Si  
                              Cu  CMP装置：Reflexion (AMAT製)
  5. 2  測定手順           Cu研磨、バリア研磨  →  研磨後の表面段差測定
  5. 3  CMP条件           CMP条件は、各CMP関連材料による。詳細なCMP条件は、技術情報を参照  
  
                              CuCMPの研磨量は以下のように定める。  
                              Cu研磨量約660nm(オーバーポリッシュ20%)  
  
                              バリアCMPの研磨量は以下のように定める。  
                              バリア膜研磨量約20~100nm  
                              (オーバーポリッシュ0~500%)
  5. 4  平坦性測定方法       平坦性測定パターン (図1.2参照)  
                              (5μm~100μm配線の平坦性)  
                              配線幅/配線密度  
                              100μm/50%  
                              50μm/50%  
                              25μm/50%  
                              10μm/50%  
                              9μm/90%  
                              7μm/70%  
                              5μm/50%  
                              配線密度=配線幅/(配線幅+スペース幅)×100%



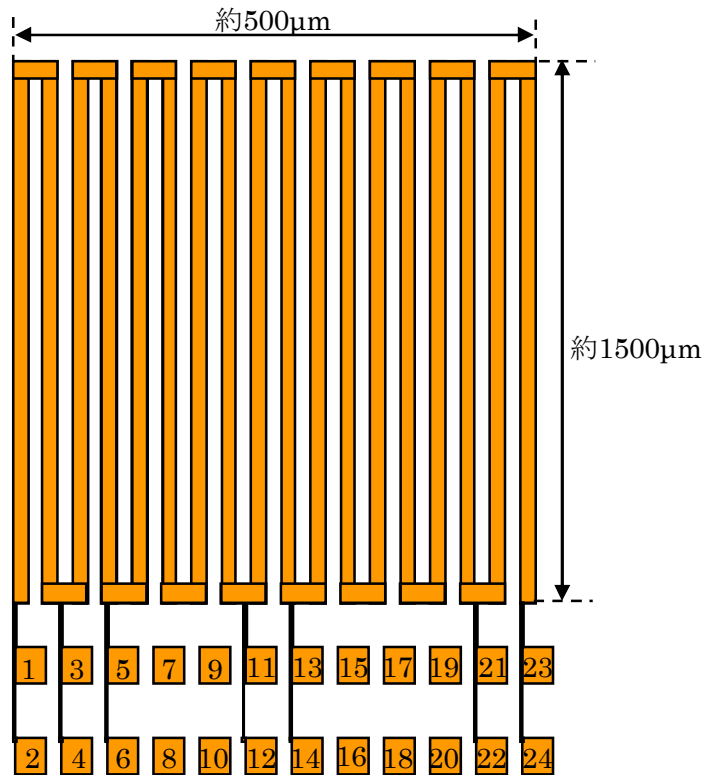


図1. 5~100 $\mu$ m配線の平坦性測定パターン

(80nm~4 $\mu$ m配線の平坦性)  
 配線幅/配線密度  
 4 $\mu$ m/80%  
 3 $\mu$ m/80,70,60,50,40,30,20%  
 2.5 $\mu$ m/50%  
 2 $\mu$ m/40%  
 1 $\mu$ m/80,71,61,50,40,29,20,10%  
 900nm/90%  
 700nm/70%  
 500nm/79,71,59,50,40,29,20%  
 300nm/30%  
 250nm/74,66,58,50,40,29,20%  
 180nm/67,58,50,39,31,21%  
 130nm/59,50,39,30,21%  
 100nm/10%  
 90nm/50,41,31,21%  
 80nm/50,38,31,19%

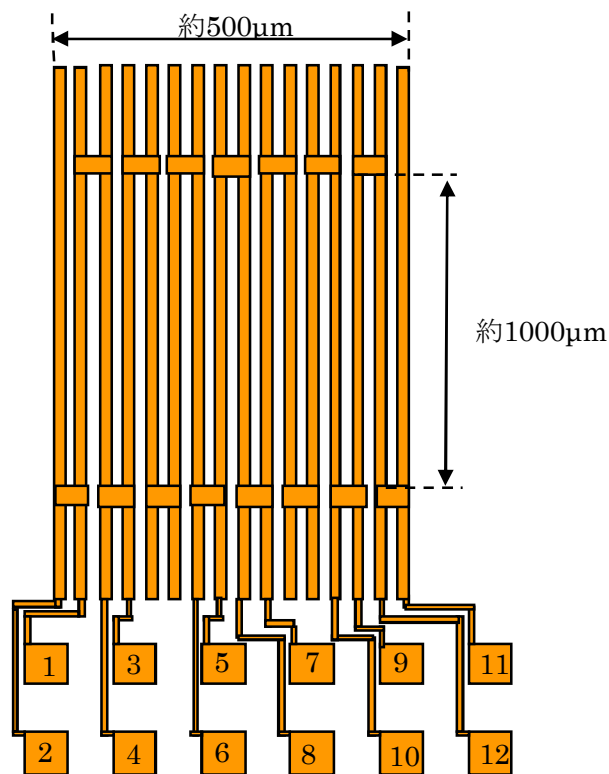


図2. 80nm～4μmの平坦性測定パターン

平坦性の測定位置に関して、以下に、広幅配線は配線幅100μm（配線密度50%）、微細配線は配線幅80nm～500nm（配線密度50%）の評価例を示す。（他の配線パターンも同様）

平坦性測定位置（図3参照）

（100μm配線の平坦性）

測定位置 ウエハー中心から、測定パターン中央までの距離

3,16,37,58,79,100,121,136mm

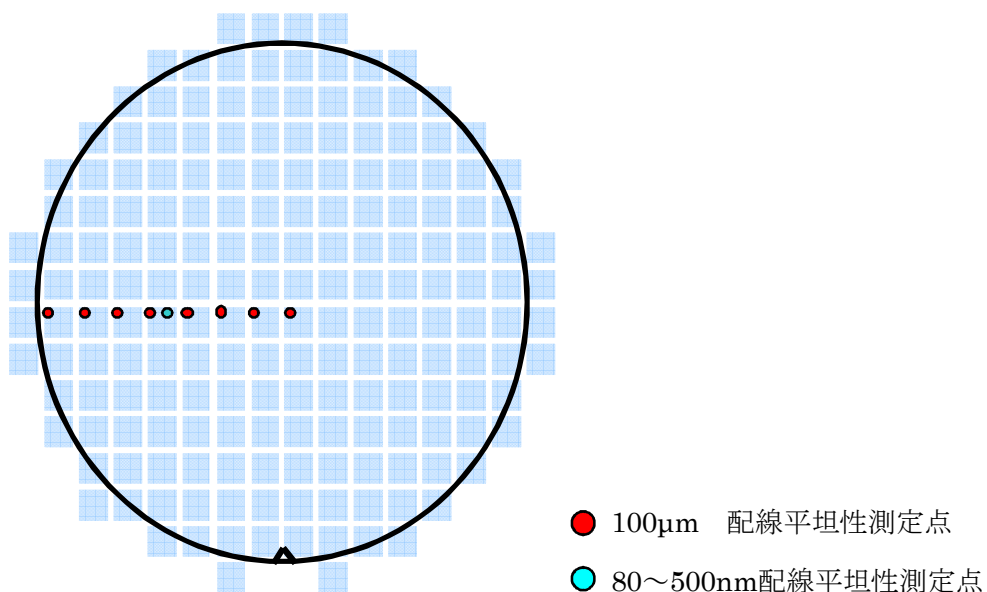
測定数 8点

（微細配線の平坦性）

測定位置 ウエハー中心から、測定パターン中央までの距離

79mm

測定数 1点



● 100μm 配線平坦性測定点

● 80～500nm配線平坦性測定点

図3. TEGチップの配列と平坦性測定点

5. 5 1~100 $\mu$ m配線の平坦性の定義

配線密度10~50%のパターンの平坦性の定義を図4に示す。  
 図4には、Cu研磨によって下地バリア膜が露出する前後の状態とバリア研磨後の状態を示す。  
 定義に従って、触針式段差計の測定結果から「段差量」を読み取る。

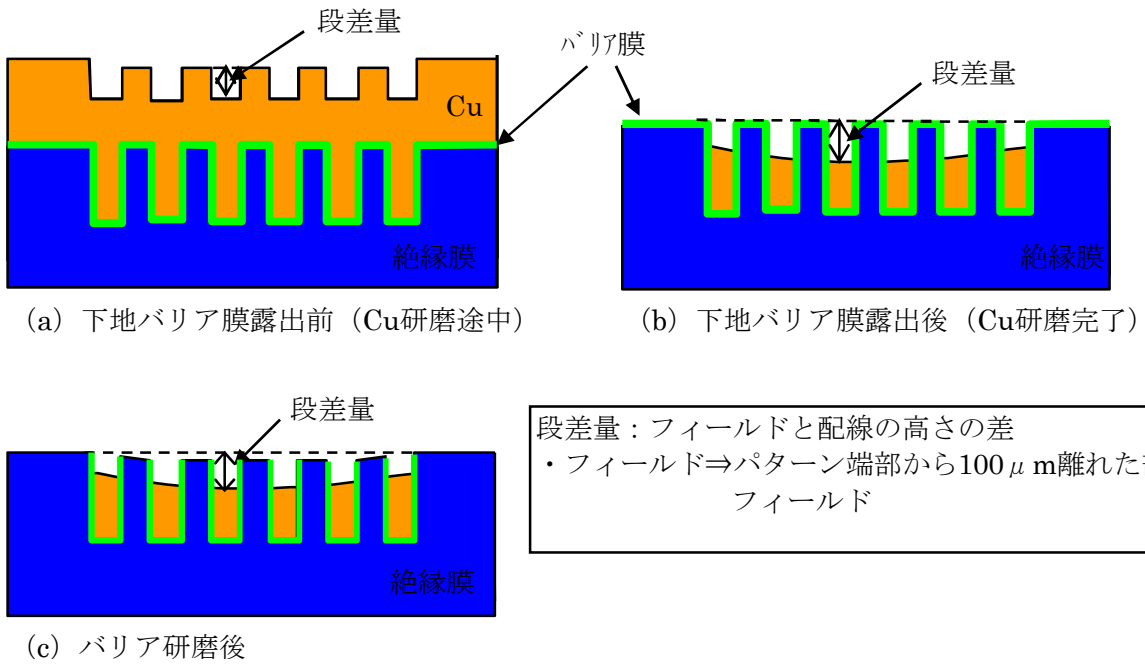


図4. 1~100 $\mu$ m配線の平坦性の定義 (配線密度10~50%)

配線密度55~90%のパターンの平坦性の定義を図5に示す。  
 図5には、Cu研磨によって下地バリア膜が露出する出前後の状態とバリア研磨後の状態を示す。  
 定義に従って、触針式段差計の測定結果から「段差量」を読み取る。

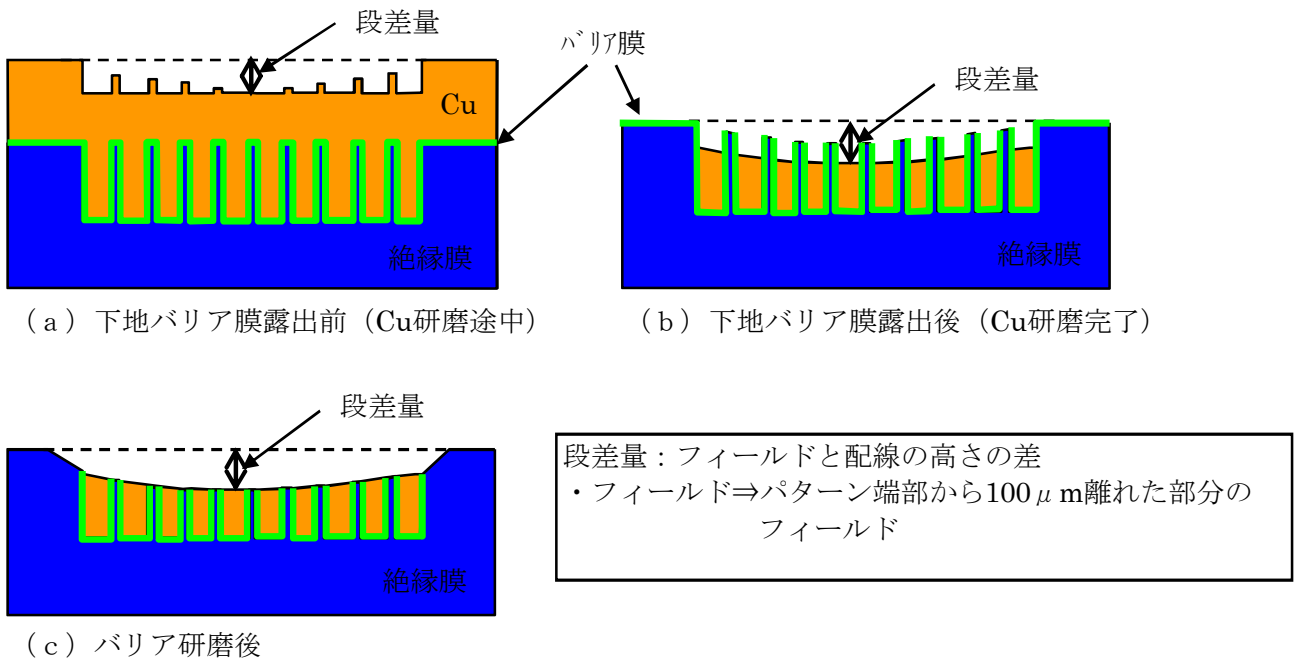


図5. 1~100 $\mu$ m配線の平坦性の定義 (配線密度55~90%)

5. 6 微細配線 (80nm~500nm)の平坦性の定義

微細配線パターンの平坦性の定義を図6に示す。  
 図6には、Cu研磨によって下地バリア膜が露出する前後の状態とバリア研磨後の状態を示す。  
 定義に従って、触針式段差計の測定結果から「段差量」を読み取る。  
 図6-(a)のようにパターン領域が凸になっている場合は、マイナスで表す。

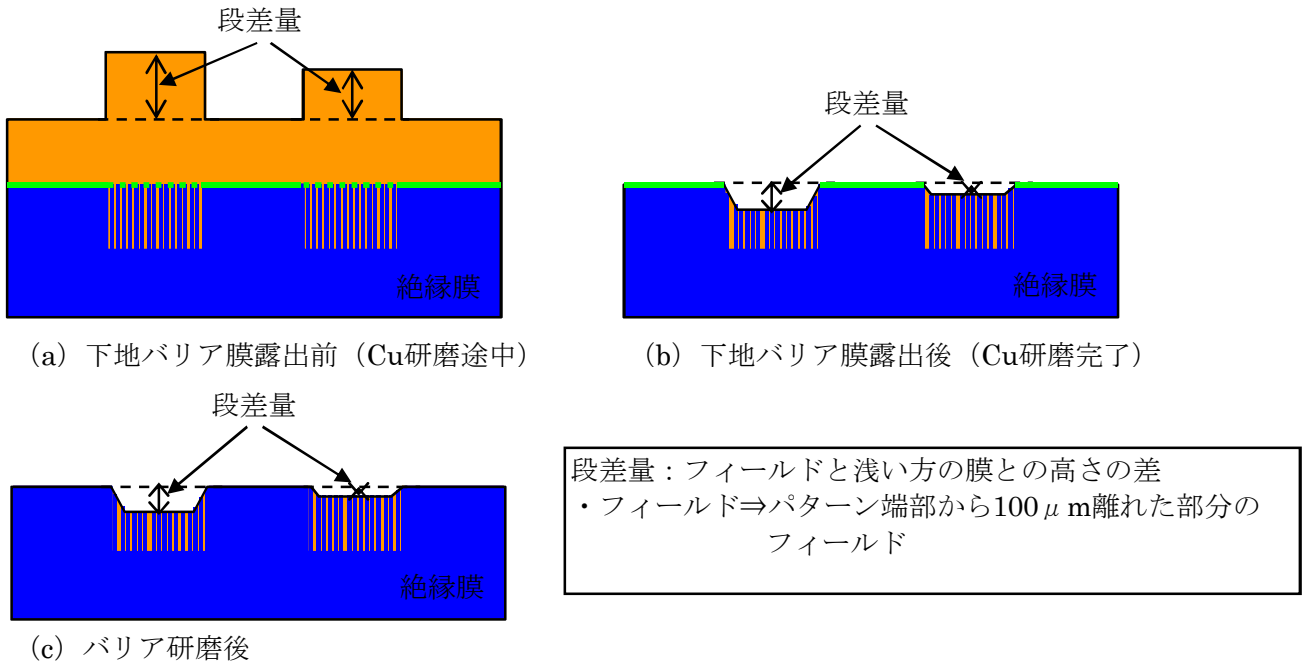


図6. 微細配線の平坦性の定義

5. 7 判定基準

バリア研磨後の平坦性

100 $\mu$ m配線、配線密度50%の段差量が10nm以下

6. 測定結果

Cu用スラリー評価における、100 $\mu$ m配線及び微細配線の平坦性評価結果を図7に示す。

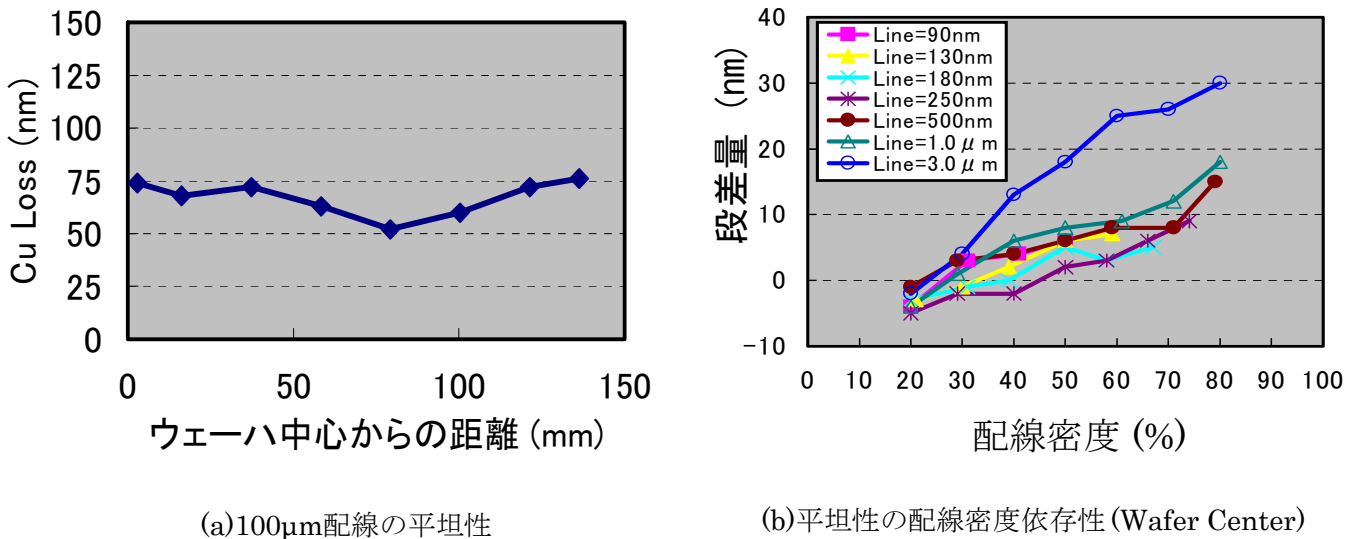


図7. Cu用スラリーの広幅配線・微細配線の平坦性評価結果

## 7. 考察

### 7. 1 測定パターンの種類

LSIの配線幅は100 $\mu\text{m}$ 程度が最大であり、1~100 $\mu\text{m}$ 配線では、配線幅が狭いほどCMP後の段差量は小さくなる。また、1 $\mu\text{m}$ 未満の微細配線の配線密度は50%程度が最大であり、段差量は配線密度が高いほど大きくなる。これらのことから、100 $\mu\text{m}$ 配線L&Sと、80~500nm配線の配線密度50%のL&Sの段差量が小さくなるCMP条件では、その他の各種配線幅、配線密度のL&Sパターンの平坦性も良好であると予想される。従って、パッドの初期評価、研磨条件検討においては、上記の100 $\mu\text{m}$ 配線と、80~500nmの配線の平坦性評価で十分であると考えられる。

### 7. 2 測定精度

触針式段差計の測定結果から、5nm程度の段差まで読み取りが可能であるが、測定の誤差、読み取りの誤差、CMP結果のばらつきなどの影響が予想される。これらの影響を小さくするため、評価基準では、100 $\mu\text{m}$ 配線のL&Sについてウエハー面内8点の測定を行うことにした。

### 7. 3 ウエハー面内ばらつき評価

L/S=100/100 $\mu\text{m}$ 配線の平坦性について、ウエハー面内8点の評価を行っているが、測定誤差などの影響を考えると正確なウエハー面内ばらつきの評価は困難である。平坦性測定で測定数をこれ以上増やすのは現実的ではないため、正確なウエハー面内ばらつきの評価を行うためには、電気特性の評価が必要と考えられる。

## 8. 残された課題

測定するパターンの配線幅や配線密度に応じて、スキャン時間を変え、水平分解能を適正化することにより、さらに精度の高いデータが取得できるよう条件出しすることが課題である。

## 9. データベース

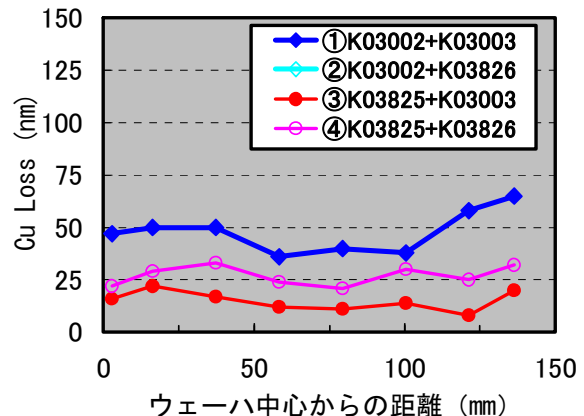
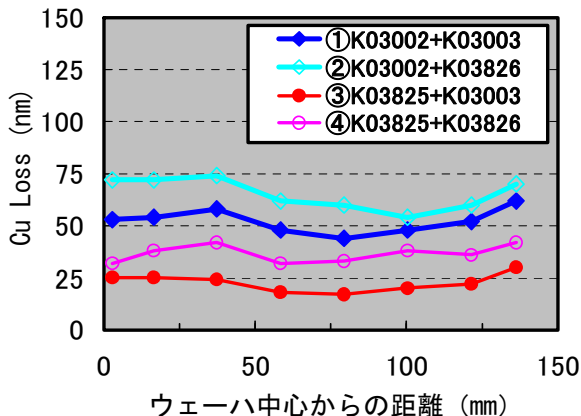
各材料における組合せ評価結果

☆CASMAT 標準研磨条件  
Cu研磨 2psi⇒1psi 2step (研磨時間OP20%)  
バリア研磨 2psi

### ①100 $\mu\text{m}$ 配線の平坦性

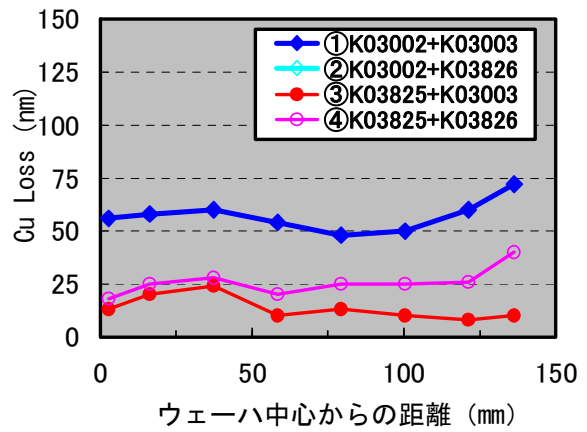
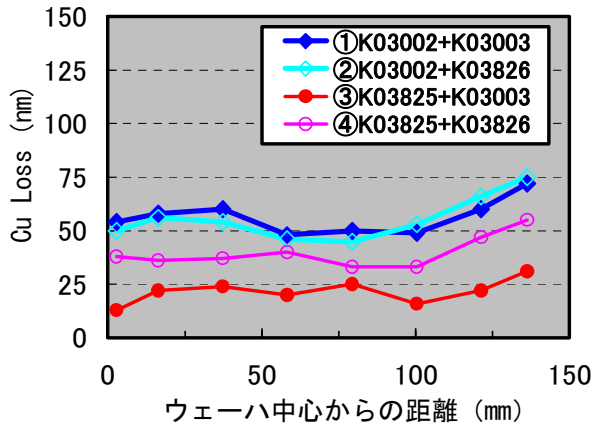
TEG構造：標準構造(p-SiO Cap:60nm/p-SiOC:100nm)  
バリア研磨時間：OP50%

TEG構造：標準構造(p-SiO Cap:60nm/p-SiOC:100nm)  
バリア研磨時間：OP150%



TEG構造：p-SiOC単層構造(Cap無し/p-SiOC:160nm)  
バリア研磨時間：OP50%

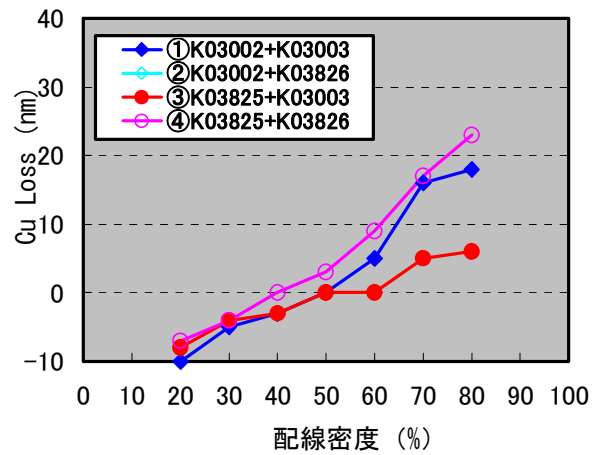
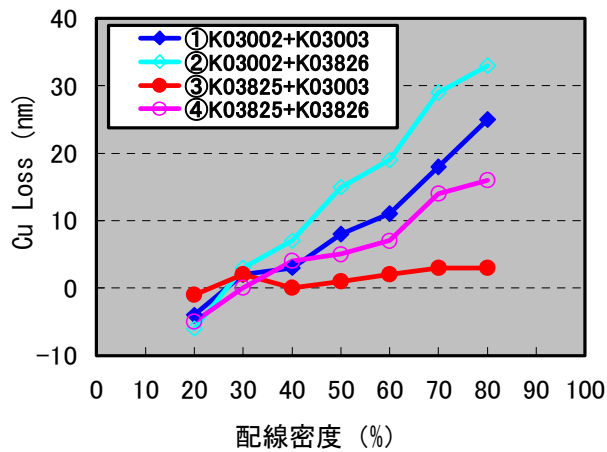
TEG構造：p-SiOC単層構造(Cap無し/p-SiOC:160nm)  
バリア研磨時間：OP150%



②3μm配線の配線密度依存性

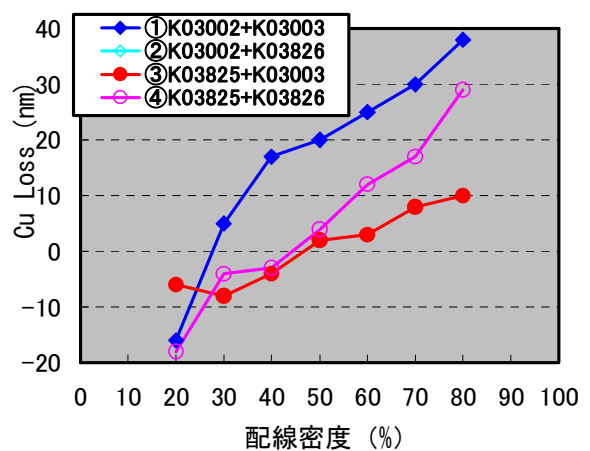
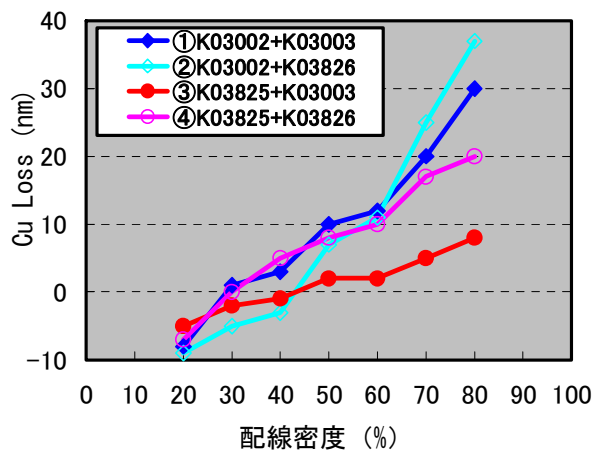
TEG構造：標準構造(p-SiO Cap:60nm/p-SiOC:100nm)  
バリア研磨時間：OP50%

TEG構造：標準構造(p-SiO Cap:60nm/p-SiOC:100nm)  
バリア研磨時間：OP150%



TEG構造：p-SiOC単層構造(Cap無し/p-SiOC:160nm)  
バリア研磨時間：OP50%

TEG構造：p-SiOC単層構造(Cap無し/p-SiOC:160nm)  
バリア研磨時間：OP150%



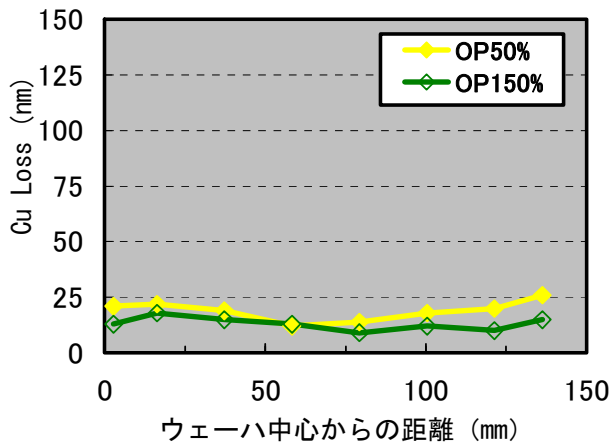
☆低圧力研磨条件

Cu研磨 0.7psi (研磨時間OP20%)

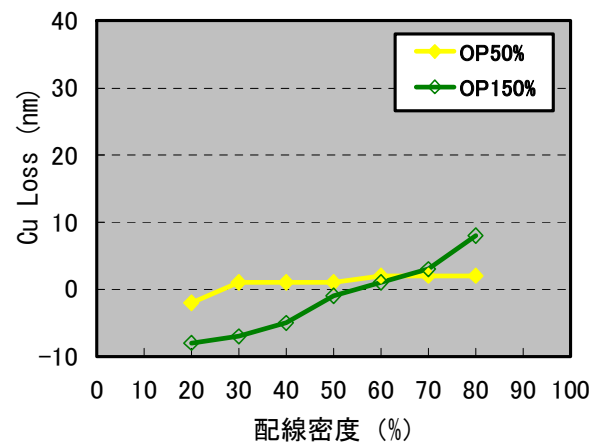
バリア研磨 0.7psi

材料 K03825(Cu)+K03003(バリア)

①100μm配線の平坦性



②3μm配線の配線密度依存性



(データベースについての解釈)

100μm配線の平坦性および3μm配線の配線密度依存性データより、③K03825 (Cu) +K03003(バリア)の組合せが最も平坦性が良好で、かつ配線密度依存性の少ない材料であると判定することができる。

100μm配線 Cu Loss : ②>① (CASMAT標準材料) >④>③

3μm配線 配線密度依存性 : ②>① (CASMAT標準材料) >④>③

研磨圧力の差異について、標準研磨条件 (適用研磨圧力 Cu研磨 : 2psi⇒1psi バリア研磨 : 2psi) と低圧力研磨条件 (適用研磨圧力 Cu,バリア研磨とも0.7psi) で比較すると、100μm配線の平坦性は、低圧力研磨条件の方が5 nm程度、Cu Lossが小さいことがわかる。一方、3μm配線の配線密度依存性の平坦性に関しては、両者に顕著な差は見られなかった。

## 材料評価基準

1. 評価対象材料名 Low-k材料
2. 評価の目的 Low-k材料を用いたパッケージの温度サイクル試験を行い、パッケージ信頼性とLow-k材料の関連性を把握することで材料開発の指針を得る。
3. 評価項目 Low-k材料及びBC材料の温度サイクル耐性
4. 試料作成手順
  - ・FC-LGA-PKG作製条件:FC-LGA-PKG作製フロー:添付資料1
  - ・Cu/low-kウェハ作製条件:各基準プロセス参照
  - ・BC加工条件:各BC材料推奨条件
  - ・BGテープ貼付・剥離条件:各BGテープにおける推奨条件
  - ・バックグラインド・ストレスリーフ仕上げ厚さ:実験目的に合わせて任意
  - ・ダイシングパターン:8.6mm×5.4mm:資料2参照
  - ・ピックアップするチップ:パッケージ評価用サブチップ:資料3参照
  - ・再配線の引き回し座標:資料4参照
  - ・インターポーザーとの接続座標:資料5参照
  - ・インターポーザー上面の bumps パッドと下側の引出し端子の座標:資料6参照
5. 測定方法 評価投入パッケージ数: 2パッケージ以上
  - (1) 初期(パッケージング完)特性の確認
    - ① SAT観察  
超音波探査映像装置(SAT)により、パッケージング完の初期状態で剥離の有無、チップ割れの有無を確認。
    - ② 電気特性測定  
各パッケージ形態専用ソケットに測定パッケージを挿入し、ソケットより回路基板を介して接続されたコネクタにテストのケーブルを接続する。コネクタに割り当てられたチャンネルナンバー(ChA、ChB、ChC、ChD)に対応したテストテーブル(測定パラメータファイル)を適用して内部TEGチップの電気特性を測定し、電気特性の変化を調べる。  
コーナー部及び中央部のM1配線抵抗、M2配線抵抗、ビアチェーン抵抗について測定を行う(資料7参照)。
  - (2) 吸湿リフロー後の特性変化の確認  
初期特性確認後、温度サイクル試験の前処理として、85 °C/ 60%RH/ 168 h投入し、鉛フリー条件(ピーク温度 250 °C)のリフローを3回通す(JEDEC LV2)。初期特性と同様、SAT観察、電気特性測定を実施する。



### (3) 温度サイクル投入後の特性変化の確認

① 吸湿リフロー後の特性確認後、温度サイクル試験機に投入する。

・温度サイクル条件

150 °C/ 15 min

↑ ↓

-65 °C/ 15 min

・測定サイクル数: 100、300、500、700、1000

② 各測定サイクル数に達した時点でパッケージサンプルを取り出し、初期特性と同様、SAT観察、電気特性測定を実施する。

剥離、チップ割れに関しては、1000サイクル終了時点において発生無きものを合格とする。

電気特性測定に関しては、電気抵抗測定において断線(抵抗値が初期値の10倍以上)の発生数をカウントし、1000サイクル終了時点において断線、ショートが発生が無いものを合格とする。

## 6. 測定結果

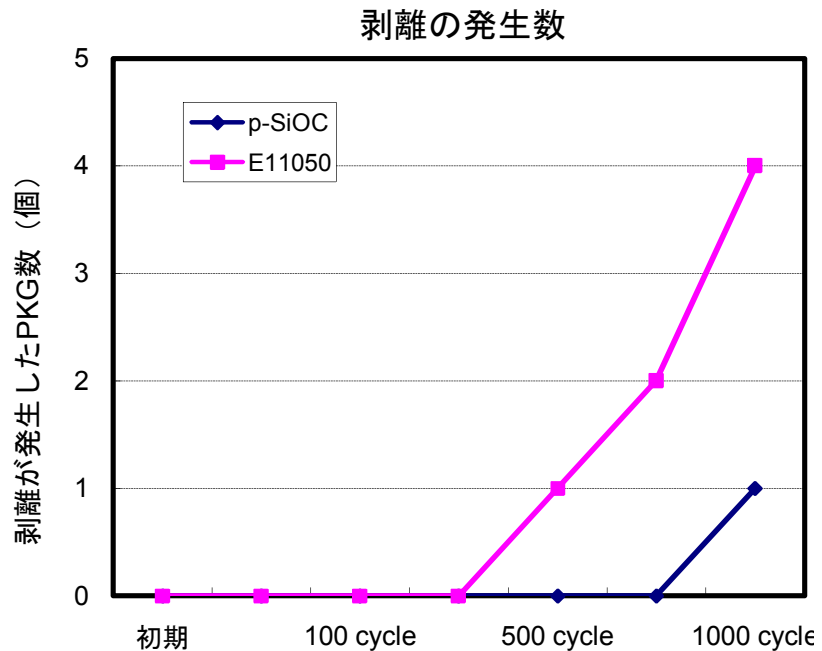
・ Low-k材料: p-SiOC、E11050(ポーラスMSQ)

・ BC材料: D11015

・ 評価投入パッケージ数: 5個

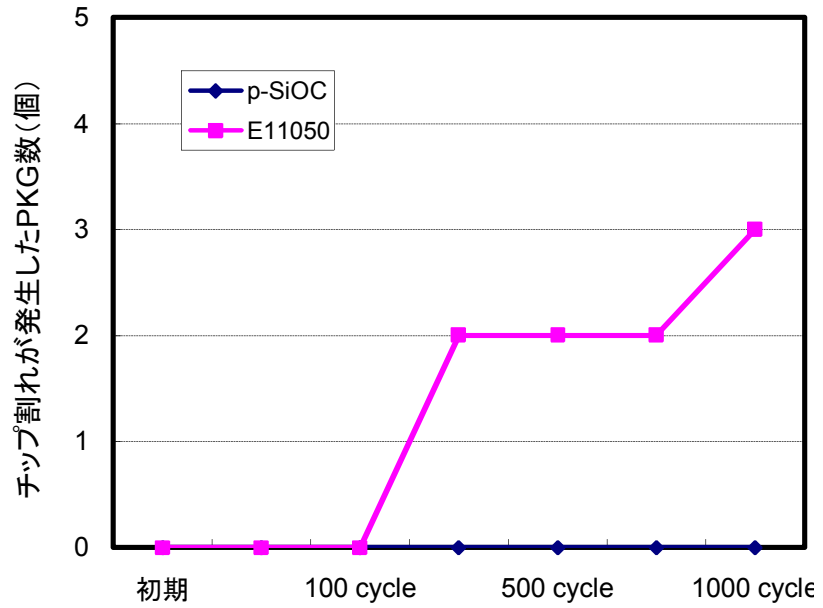
### ① SAT観察

p-SiOCは1000サイクル後に5個中1個のパッケージで剥離が発生した。一方、E11050では500サイクル後に5個中1個、700サイクル後に更に1個、1000サイクル後には5個中4個のパッケージで剥離が発生した。



p-SiOCではチップ割れは見られなかったが、E11050では300サイクル後から5個中2個のパッケージでチップ割れが見られ、1000サイクル後には5個中3個のパッケージでチップ割れが見られた。

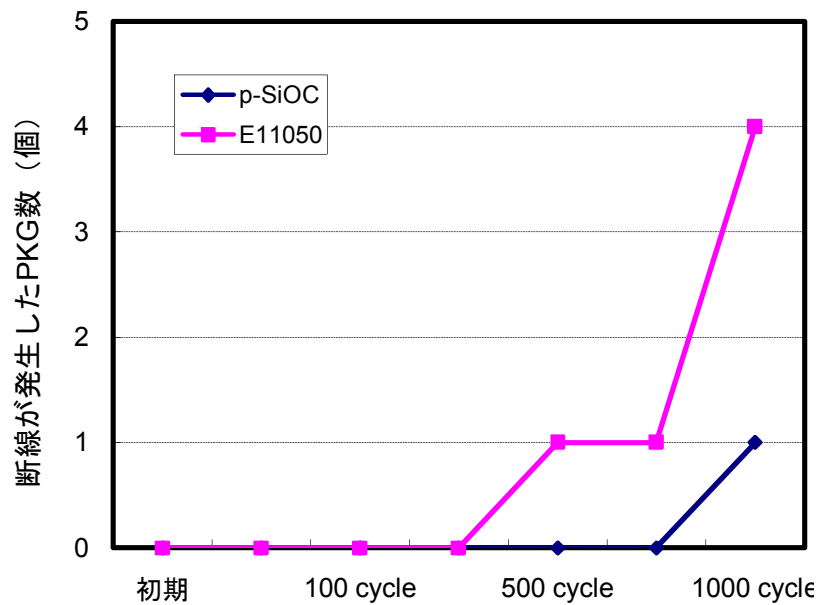
### チップ割れの発生数



#### ② 電気特性測定

p-SiOCでは1000サイクル後に5個中1個で断線が発生した。一方、E11050では500サイクル後から5個中1個のパッケージで断線が発生し、1000サイクル後には5個中4個のパッケージで断線が発生した。

### 抵抗TEGの断線の発生数



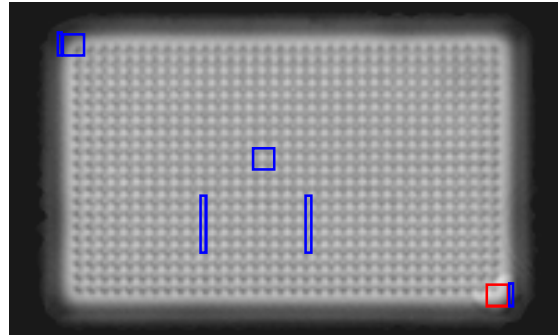
以上の結果より、p-SiOCは80% (4個/5個) 合格、E11050は20% (1個/5個) 合格という結果になった。

## 7. 考察

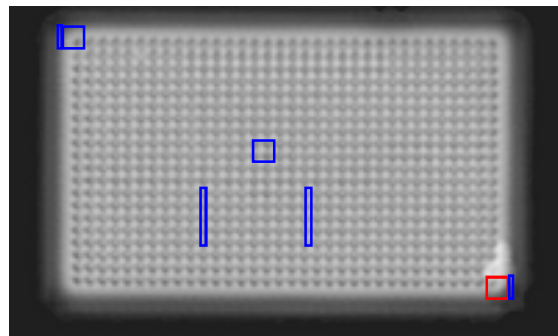
Low-k材料にp-SiOCとE11050を用いたFC-LGAの温度サイクル試験を行った結果、p-SiOCに比べてE11050では剥離、チップ割れが発生しやすいことが分かった。剥離部位のTEGが断線していたことから、Low-k層で剥離したと考えられる。このことから、E11050は密着力あるいはバルク強度の向上が必要であると推定される。

電気特性の変化について更に詳しく調べた結果、p-SiOC、E11050共に剥離部位では最初にビアチェーン抵抗が断線し、M1、M2の配線抵抗は絶縁していないことが分かった。このことから、剥離はビア層で発生したと推定される。

p-SiOC  
1000サイクル後



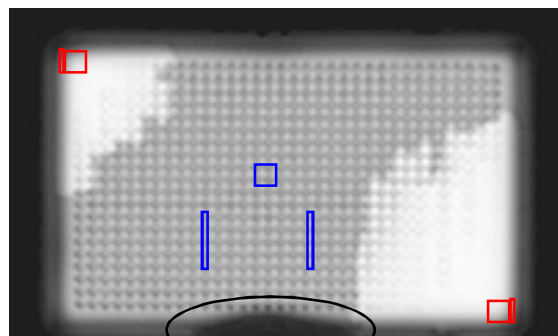
E11050  
500サイクル後



□ ビアチェーン抵抗 \* 赤は断線したTEG  
| M1、M2配線抵抗  
\* SAT写真の白色部分が剥離した部分

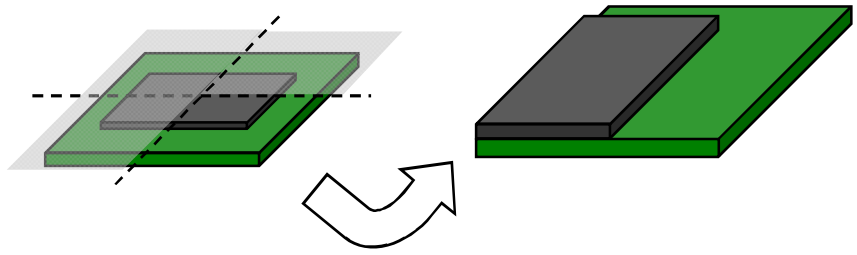
また、チップ割れは全てチップ長辺の中央部付近で発生した。これは計算結果が示すように、アンダーフィル(UF)封止によってSiチップの変形量が大きくなったためと推定される。このことから、温度サイクル条件がこのパッケージに対して厳し過ぎたと考えられる。

E11050  
1000サイクル後

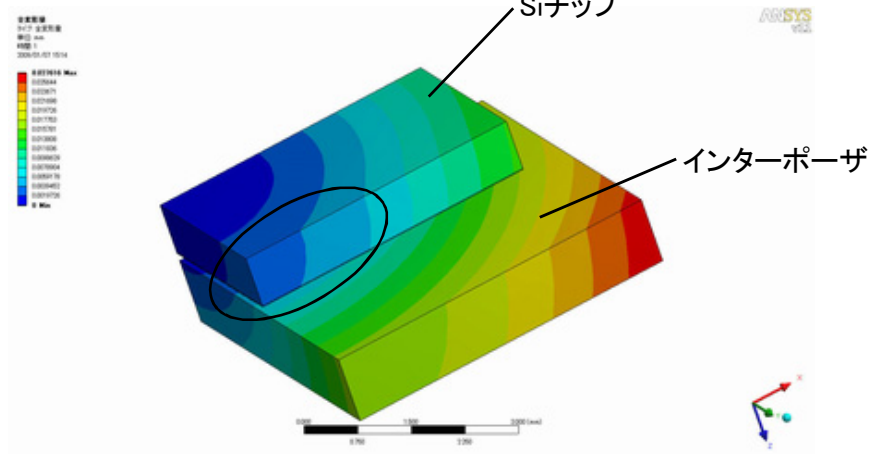


チップ割れが発生した部分

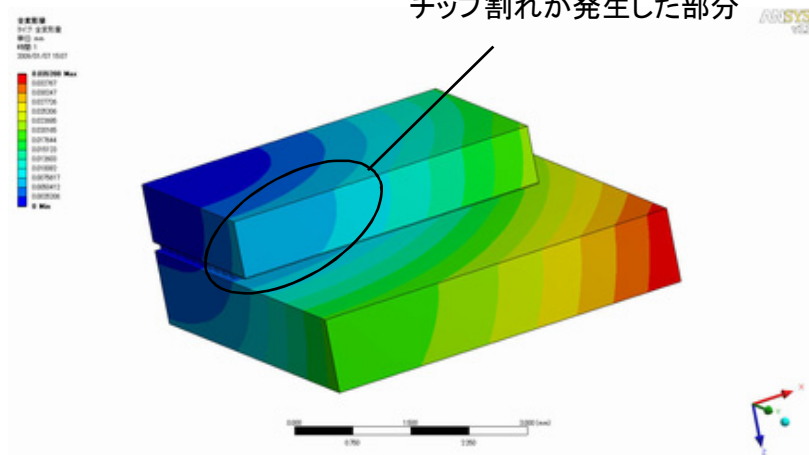
### チップの変化量の比較



### UF無しPKGの変形量



### UF有りPKGの変形量



### 8. 残された課題

E11050で発生した剥離の発生部位の特定、及び、界面剥離かバルク破壊かについてより詳細に検討する必要がある。

また、チップ割れの発生とLow-k材料との相関関係についても調べる必要があると考えられる。

### 9. 関連報告

信頼性評価\_FC-LGA\_不良解析(顕微鏡、SEM観察)\_25505

### 10. その他

特になし

11. データベース

p-SiOC	0 cycle	リフロー後	100 cycle	300 cycle	500 cycle	700 cycle	1000cycle
1							
2							
3							
4							
5							

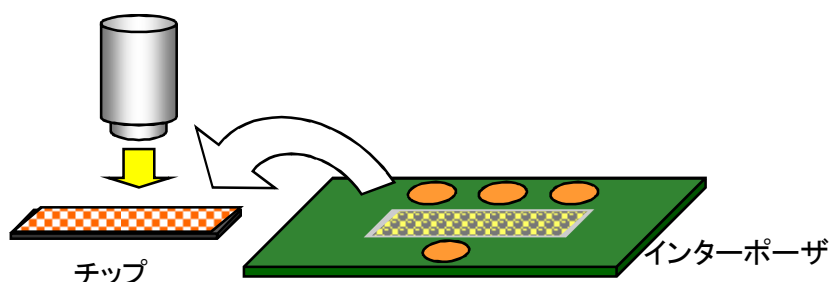
E11050	0 cycle	リフロー後	100 cycle	300 cycle	500 cycle	700 cycle	1000cycle
1							
2							
3							
4							
5							

\* | :配線抵抗、□:ビアチェーン抵抗      \* □:OK、□:NG

\* SAT画像はチップ裏面側から観察するため左右反転している

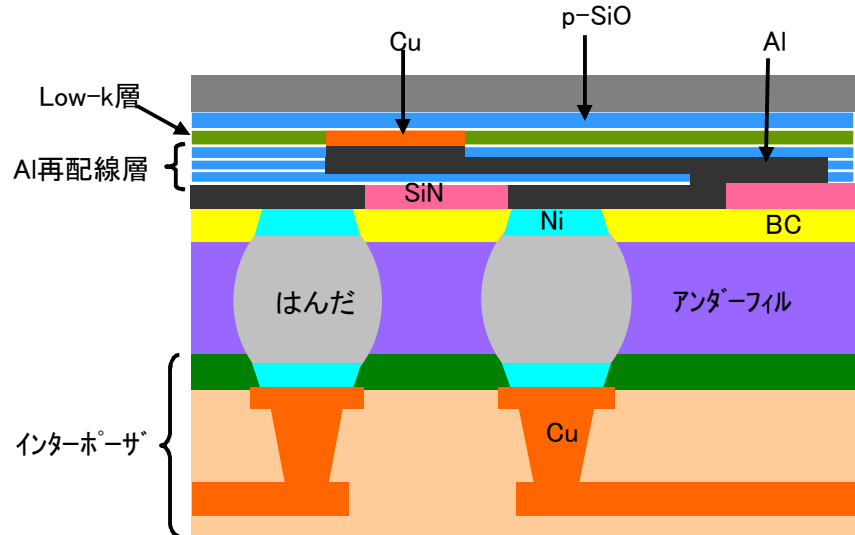
## 材料評価基準

1. 評価対象材料名 Low-k材料
2. 評価の目的 Low-k材料を用いたパッケージで温度サイクル試験を行い、剥離の状態とLow-k材料の関連性を把握することで材料開発の指針を得る。
3. 評価項目 パッケージで発生した剥離部位の観察
4. 試料作成手順
- ・FC-LGA-PKG作製条件：FC-LGA-PKG作製フロー：添付資料1
  - ・Cu/low-kウェハ作製条件：各基準プロセス参照
  - ・BC加工条件：各BC材料推奨条件
  - ・BGテープ貼付・剥離条件：各BGテープにおける推奨条件
  - ・バックグラインド・ストレスリリース仕上げ厚さ：実験目的に合わせて任意
  - ・ダイシングパターン：8.6mm×5.4mm：資料2参照
  - ・ピックアップするチップ：パッケージ評価用サブチップ：資料3参照
  - ・再配線の引き回し座標：資料4参照
  - ・インターポージャーとの接続座標：資料5参照
  - ・インターポージャー上面の bumps パッドと下側の引出し端子の座標：資料6参照
5. 測定方法
- ① 試料調整  
温度サイクル1000サイクル後の剥離が発生したパッケージを手作業にて開封する
- ② 光学顕微鏡観察  
レーザー顕微鏡を用いて観察を行う。  
・使用装置: オリンパス製 OLS-3000  
・レーザ波長: 408±5 nm  
・倍率: 5～100倍
- ③ SEM観察  
電界放射型走査電子顕微鏡 (FE-SEM) を用いて観察を行った。  
・使用装置: 日立製作所製 S-4800  
・加速電圧: 1.0kV  
・観察画像: 二次電子像



## 6. 測定結果

- ・ Low-k材料: E11050(ポーラスMSQ)
- ・ BC材料: D11015
- ・ 温度サイクル条件 150 °C/ 15 min  
↑ ↓  
-65 °C/ 15 min
- ・ 測定サイクル数: 1000
- ・ パッケージの断面構造



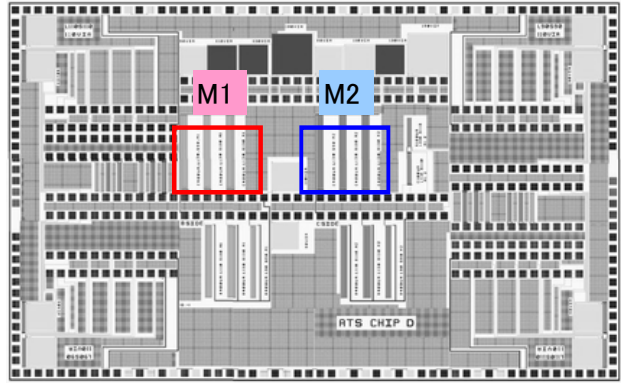
- ・ 開封したパッケージのSAT画像



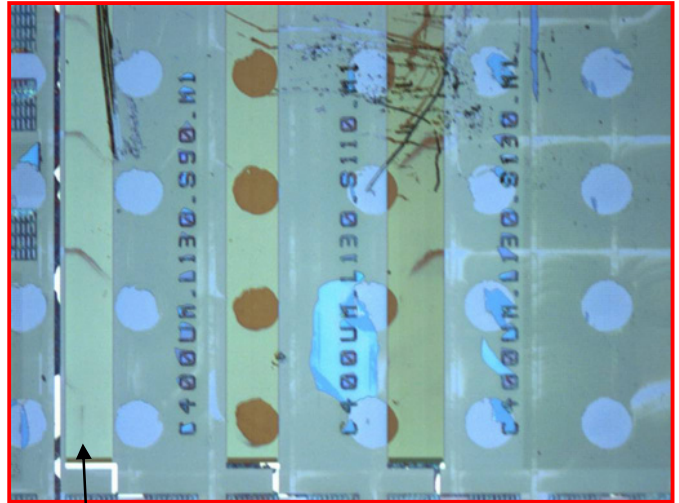
### ① 光学顕微鏡観察

開封したチップの表面をレーザー顕微鏡で観察した結果、M1層のTEGはチップ側に残り、M2層のTEGはインターポーザ側にあった。このことから、パッケージの剥離はビア層で起こったことが分かった。また、剥離面にはバンプの跡が残っており、バンプ直下部分とそれ以外の部分では剥離面が異なっていると推定される。

## TEGの配置



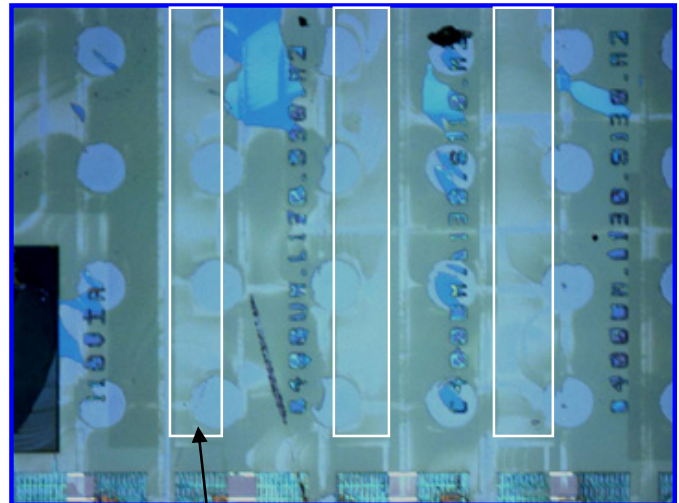
## M1配線間容量TEG



### 配線間容量TEG

左からL/S=130/90、130/110、130/130nm

## M2配線間容量TEG



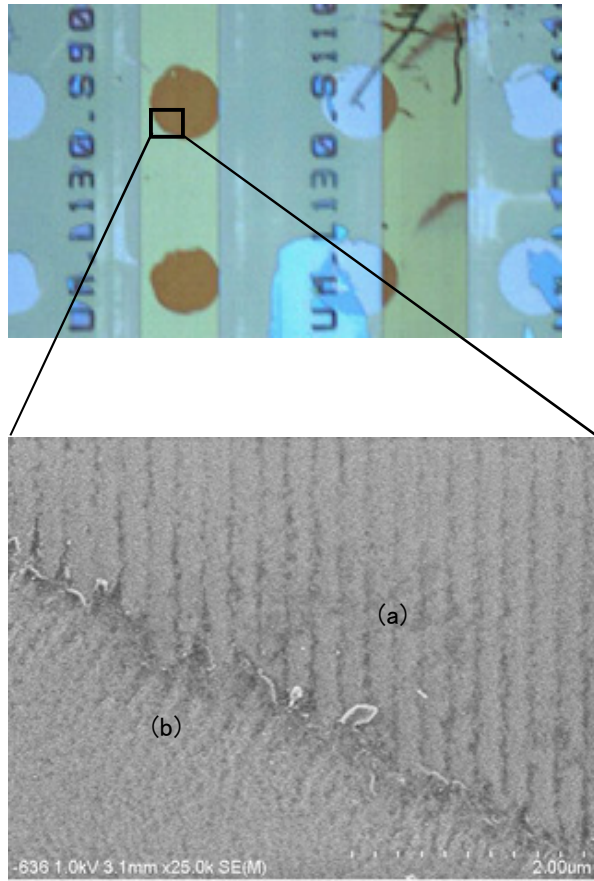
### M2の配線間容量TEGがあった場所

左からL/S=130/90、130/110、130/130nm

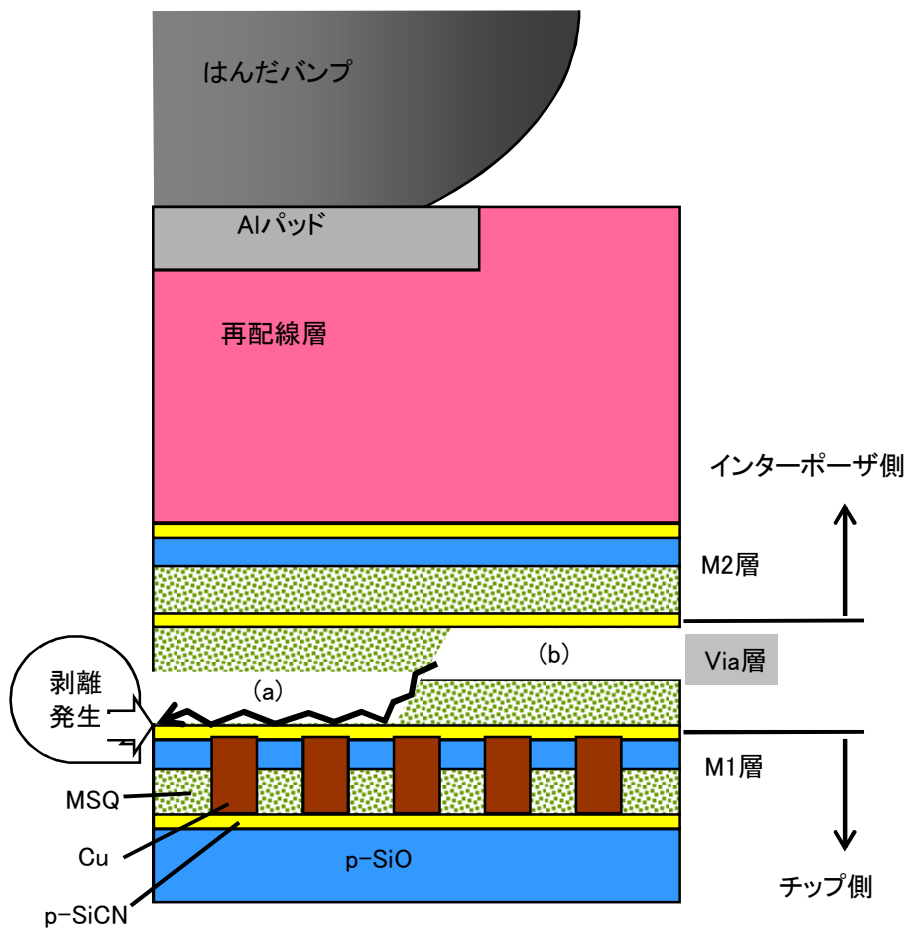
## ② SEM観察

バンプ直下とそれ以外の部分の剥離面の違いをSEMで観察した結果、どちらも表面に金属は観察されなかった。このことから、M1層のCu配線は剥離面に出ていないと考えられる。さらに、バンプ直下の部分では等間隔の筋が見られおり、間隔は240nmであった。この筋はM1層のCu配線に追従して作られたと考えられる。従って、M1層のCu配線に近い界面、すなわちp-SiCN/MSQ界面で剥離が発生したと推定される。





推定剥離部位



## 7. 考察

電気特性の測定結果から剥離がビア層で発生していると推定されたが、今回、PKGの剥離面を直接観察することにより、更に詳細に剥離部位を特定出来ることが分かった。

また、これまでビア層のLow-k材料がバルク破壊していると考えられていたが、界面剥離していることが分かった。従って、信頼性向上のためにはLow-k材料のバルク強度よりも界面の密着性を上げる必要があると考えられる。

## 8. 残された課題

今回用いた破壊観察は試験途中で、剥離が進行していない場合は困難であるため、今後は非破壊で剥離部位を観察、特定できる手法を確立する必要がある。

## 9. 関連報告

信頼性評価\_FC-LGA\_2層配線による評価(TC)\_25510

## 10. その他

特になし

## 材料評価基準

### 1. 評価対象材料名

バッファークोट (BC) 材料

### 2. 評価の目的

積層膜の密着性評価として、しばしば基盤目セロテープ剥離試験が用いられているが、下記問題点が挙げられる。

- ・比較する材料が全て剥離しなかった場合、材料間の比較ができない。
- ・逆に比較する材料が全て剥離してしまう場合も、材料間の比較ができない。
- ・セロテープとパターンとの密着力が材料間で異なる場合、その影響を排除できない。
- ・PCT前後で比較する場合、セロテープとパターンとの密着力の変化の影響が排除できない。
- ・剥がれ個数での密着力の大小比較は難しい (0、1判定に近い)。

これに対し、シエア試験による密着性の評価方法は、パターンを側面からシエアし、下地界面との間に働く最大せん断応力 (剥離強度) を測定する手法である。

剥離強度はパターンの接着面積に比例して大きくなる。その比例定数は材料固有のものであり、その値から密着力を見積もることができる。

今回、パッケージにおいてBC層/PV膜の界面として存在するBC/SiN界面の密着力の評価を行ったので報告する。(3009の改訂)

### 3. 評価項目

BC/SiN密着性評価

### 4. 試料作成手順

#### 4.1 使用装置

コーター	CLEAN TRACK ACT12PI (東京エレクトロン (株) 製)
デベロッパ	同上
ファーン	VF-1000B (光洋サーモシステム (株) 製)

#### 4.2 作成方法

ポジ型のBC材料については、プロセスフローNo.26752を、  
ネガ型のBC材料については、プロセスフローNo.26753に従い作製した。

### 5. 評価方法

#### 5.1 使用装置

シエア試験	万能型ボンドテスター4000 (デイジ社製) ウェハー吸着式ステージ装着
PCT試験	高度加速寿命試験装置EHS-221MD (エスペック社製)

## 5.2 シェア試験方法

試験方法は材料評価基準書3009を参照のこと。

測定条件

ロードセル	BS250 (上限250gのもの)
テストスピード	10 um/sec
テスト高さ	1um (下地からツール先端までの高さの設定値)
ツール幅	150um (SHR-062-0150)

## 5.3 PCT試験方法

試験条件

温度	121°C
湿度	100%
気圧	2atm

## 6. 評価結果と考察

### 6.1 測定ツールについて

測定をはじめるに前に、ツール (図1) 先端の形状を確認する必要がある。

その理由として、次の知見が得られている。まず、2つの状態の異なるツールを用意した。

一方は、先端が水平でシェアする面が平らに保たれている正常なツール (図2)。

他方は、先端が磨耗・破損し、凸凹を生じている不良ツール (図3)。

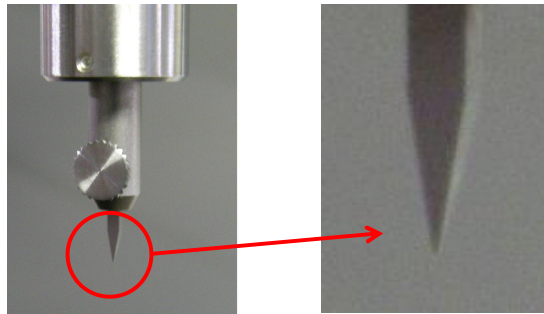


図1. シェアツール

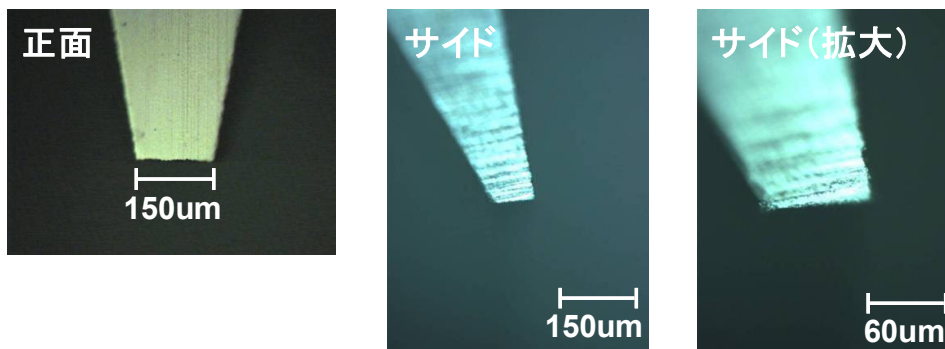


図2. 正常なツール

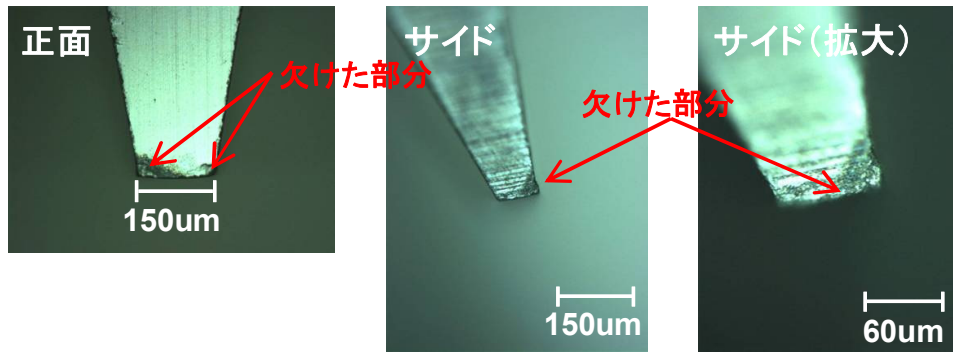


図3. 不良なツール

これら2つのツールを用いて120um×20umのスクウェアのパターンへのシエア試験を行った。測定回数は10回とした（以下、特に説明がない限り、測定は10回行うものとし、剥離強度は10回の測定の平均値とする）。下に、「時間vs剥離強度」のグラフを示した（図4）。

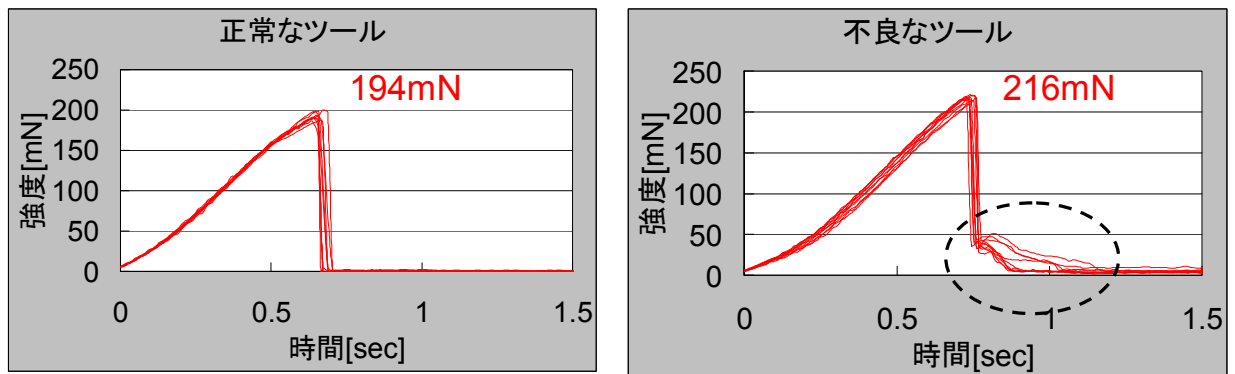


図4. 時間vs剥離強度

正常なツールを用いた場合、強度は最大値を示してから瞬間的に0に落ちていることがわかる。これは、パターンの剥離が一瞬のうちに起こっていることを証明するものである。一方、不良ツールを用いた場合は、瞬間的に強度が0に戻っていないことからパターンの剥離が瞬間的に起こったものではないことがわかる。結果として、正常ツールとは異なる剥離強度を示している。この結果から、ツールの先端形状は測定結果に大きく影響し、測定前には必ずツールの状態を確認をすることが必要である。

## 6.2 常態における測定結果

正常なツールを用いて、D11015のBCパターンの測定を行った（図5左）。ここで、密着性評価に適正なパターン寸法について規定する。まず、パターンの幅を120umに固定し、長さを10～50umの範囲で動かしてシエア試験を行った。その結果を、「パターン長さvs剥離強度」のグラフとして示す（図5右）。（エラーバー（図中の“T”）は、測定のバラツキを示すものであり、10回の測定の最小値～最大値の範囲を示す。以後、特に説明がなければ、グラフのエラーバーは同様のバラツキを示す。）

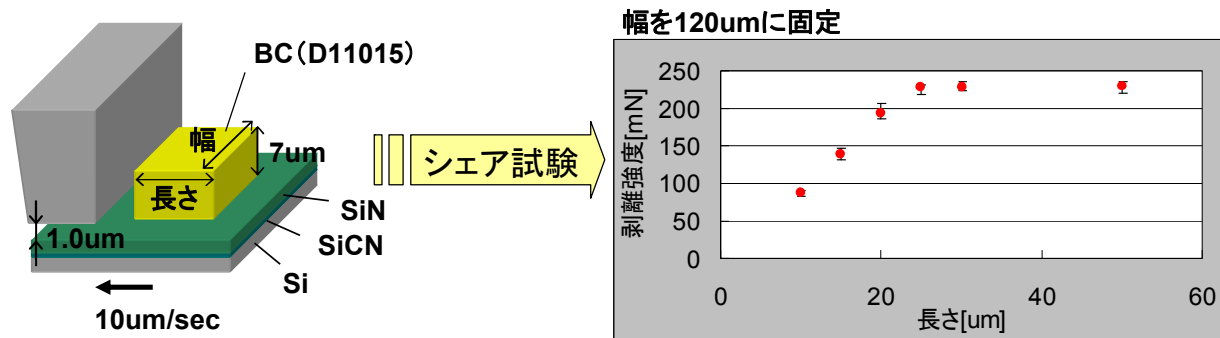


図5. シェア試験

パターン長さ30um未満の範囲で、剥離強度はパターン長さと強い一次の相関が見られる。つまり、この範囲においては、剥離強度がパターンの接着面積に比例して増加するという現象を正確に捉えることができていると考えられる。

長さ20umおよび50umを例にとって、シェア試験の結果について「時間vs強度」のグラフを示し

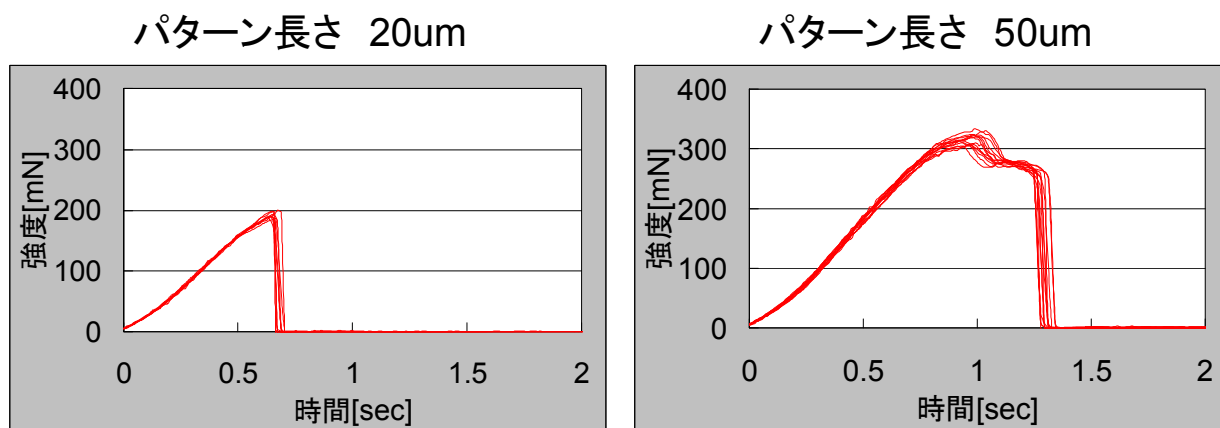


図6. 時間vs剥離強度

その結果、パターン長さ20umでは、一瞬のうちに剥離していることがグラフからわかる。

一方、50umとした場合には、パターンの途中で折れ曲がる形で一部が先に剥離するため、一瞬で剥離する場合のグラフとは大きく異なる。

以上のことから、一瞬でパターンが剥離する条件のもとで測定された剥離強度は、接着面に比例して大きくなる。

また、一瞬で剥離が起こっているかどうかは「時間vs剥離強度」のグラフから判定することが可能。そこで、一瞬で剥離が起こっているデータのみ採用することで、改めて「パターン長さvs剥離強度」のグラフを示した(図7)。線形近似を行うと、高い相関係数で直線を描くことができた。

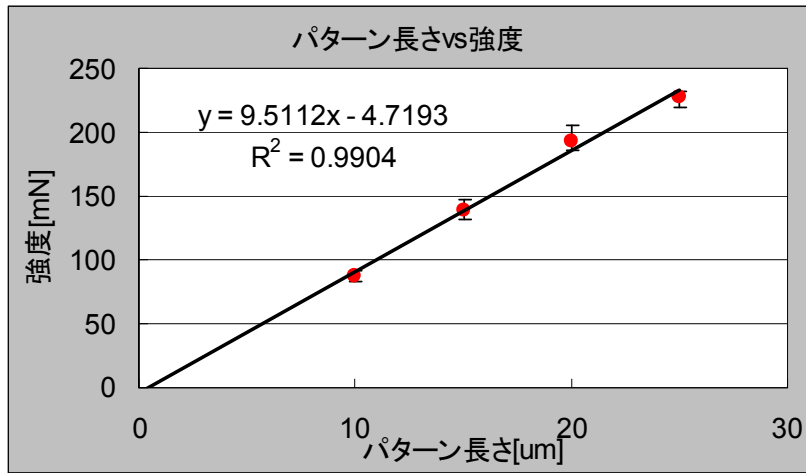


図7. パターン長さvs剥離強度

一方、同様にしてパターン長さを20umに固定し、パターン幅を変更して測定を行った。その結果、60~150umの範囲でパターンは一瞬で剥離した。この範囲での「パターン幅vs剥離強度」のグラフを示した（図8）。

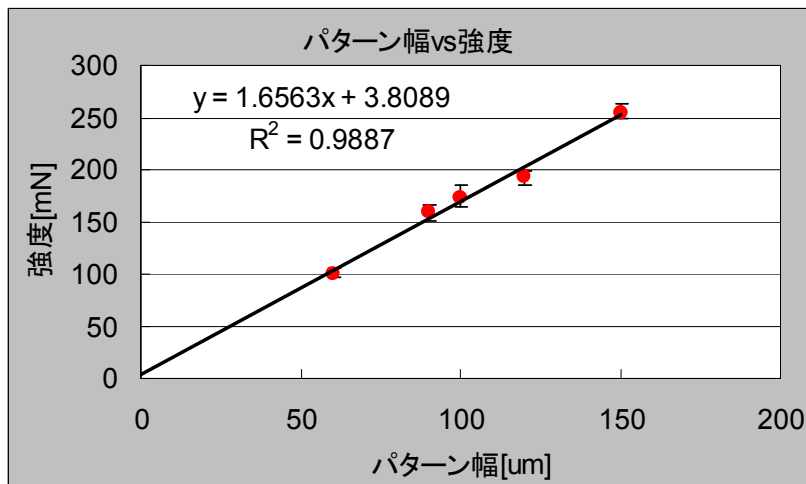


図8. パターン幅vs剥離強度

両者の結果を合わせ、「パターン面積vs剥離強度」のグラフを描いた。その結果、良好な相関係数で、ほぼ原点を通る直線を引くことができた（図9）。

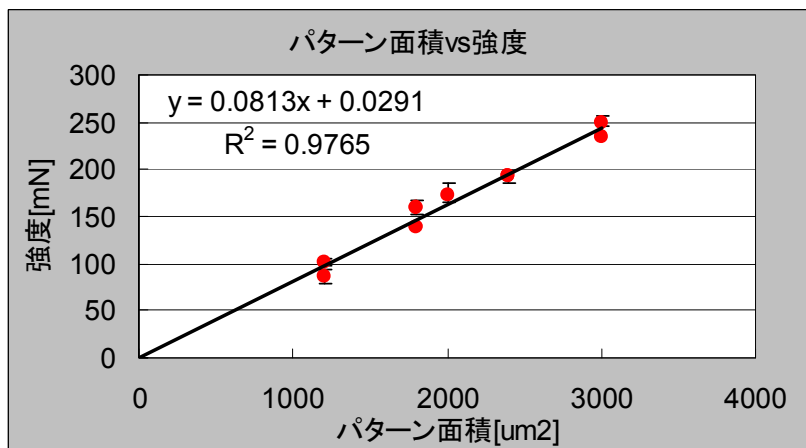


図9. パターン面積vs剥離強度

本測定において、“密着力”は下記のように定義する。

$$[\text{剥離強度}] = [\text{密着力}] \times [\text{パターン面積}]$$

つまり、“密着力”は単位面積あたりの剥離強度と定義される。今回のD11015の密着力は、

$$[\text{密着力}] = [\text{剥離強度}] / [\text{パターン面積}]$$

$$= 0.0808 \text{ (mN/um}^2\text{)}$$

$$= 81 \text{ (MPa)}$$

と、求められた。

### 6.3 耐湿評価

PCT処理を行い、密着性に与える吸湿の影響を調べた。

BC材料としてD11015を用いて、48、72、120、300、500時間のPCT処理を行い、

6.2と同様に密着力を求めた。その結果、初期の段階で比較的大きな密着力の低下が起こり、それ以後も緩やかな減少傾向がつづくことが分かった。

つまり、当初81MPaであったD11015の密着力はPCT処理500hを経て、

63MPaまで低下することが分かった（図10）。

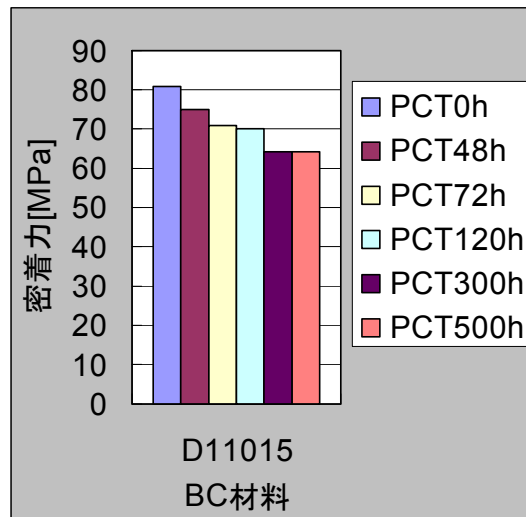


図10. 密着力の耐湿評価結果（BC : D11015）

### 6.4 材料間の比較

つづいて、他のBC材料を用いて、同様に密着性に与える吸湿の影響を調べた（図11）。

その結果、BC材料としてD11011やD11028を用いた場合、

D11015と同様に初期に大きな密着力の低下があることがわかった。

それ以降は緩やかに変化するか、もしくはほとんど変化がなかった。

一方、D11022については、PCT処理を行うとパターンが剥離してしまい、評価することができなかった。

また、D11029については、PCT処理を行うと材料強度が変化し、

瞬間的に剥離が起こらなくなったため、PCT300時間以降では測定することができなかった。



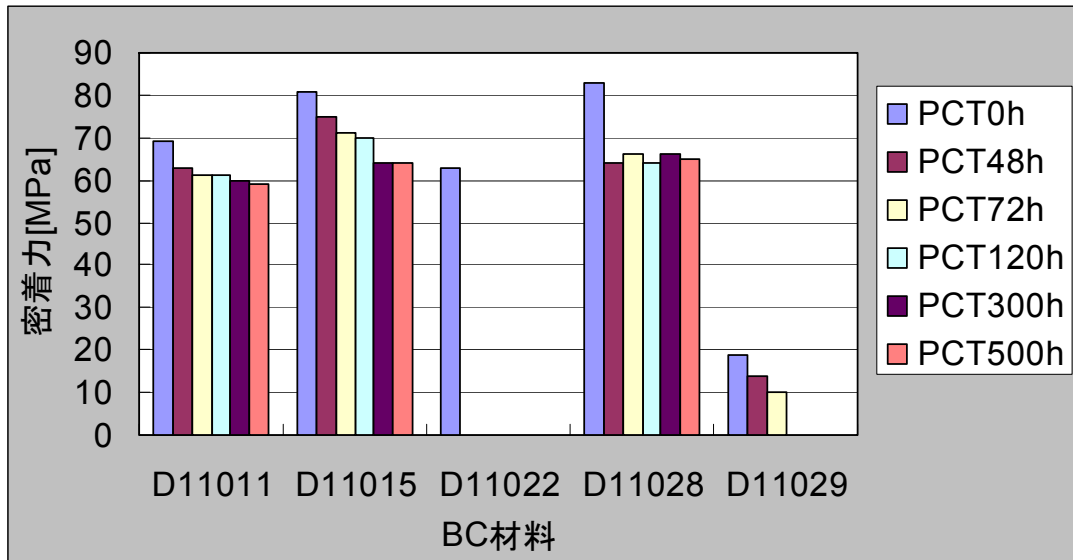


図11. 各BC材料の密着力の耐湿評価結果

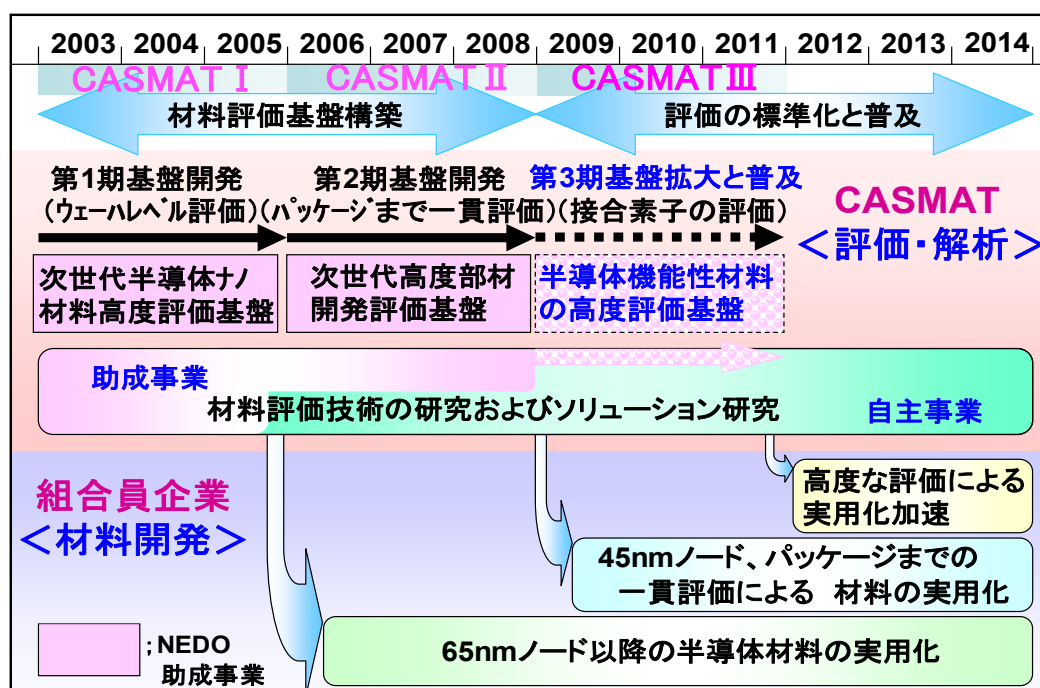
## IV 実用化、事業化の見通しについて

### IV.1 実用化の見通しおよび波及効果

#### IV.1.1 実用化へのマイルストーン

本プロジェクトは、わが国の国際的産業競争力を強化し、新たな市場及び新たな雇用を創出するため、材料創成技術と成型加工技術の一体的な研究開発を行うとともに、製品化までのリードタイムを短縮化する研究生産システムを開発する「革新的部材産業創出プログラム」の一環として実施するものである。その目的は、わが国の半導体材料産業のさらなる強化、育成にある。その実現のため、わが国の有力な材料メーカーを組合員とする CASMAT では、半導体材料評価基盤の構築を目標として、材料評価方法の開発等に取り組んできた。CASMAT における実用化へのマイルストーンを図IV.1.1.1 に示す。

### 材料評価基盤構築の経緯と今後



図IV.1.1.1 CASMAT における実用化へのマイルストーン

平成 15 年度～平成 17 年度まで『次世代半導体ナノ材料高度評価プロジェクト』を実施しており、これまで半導体デバイスにおけるバックエンドプロセスでの多層配線形成工程に用いられる材料とプロセス条件をセットにした、部材の統合的ソリューションを提案するため、その基盤となる要素技術として評価技術および開発支援ツール(TEG: Test Element Group)の開発を実施した。ここで得られた成果は、平成 18 年以降に組合員企業で実施される 65nm ノード対応半導体材料の実用化に活用されている。

本プロジェクトは、半導体材料開発効率を抜本的に向上させることを目的として、次世代以降に要求される半導体を製造する部材へのダメージ低減プロセスの検証をおこない、材料—材料間、材料—プロセス間の相互影響を含めて部材を的確に評価できる多層配線材料評価技術を確立した。さらにパッケージ組立

プロセス、パッケージ信頼性評価の各段階での材料—材料、材料—プロセス間の影響評価を行い、材料の評価方法の標準化を行うとともに、各段階で得た知見を多層配線の評価段階にフィードバックすることにより、半導体デバイスにおける多層配線工程からパッケージ工程までの一貫したプロセスにおいて、45nmノード以降にも対応できる部材評価基盤を構築してきた。

ここで得られた成果は平成 21 年以降、パッケージまで一貫評価による材料の実用化に活用される。

また平成 21 年度からは、これまでの配線素子に加え新たに接合素子(p-n 接合、SiO<sub>2</sub>-Si 接合)を用いて、フロントエンドからバックエンド及びパッケージに至る半導体工程全体を一貫して材料影響を把握できる評価技術を開発する。

#### IV.1.2 実用化製品

本プロジェクトは、CASMAT で材料評価を行い、本組合に参加している材料メーカーが材料を開発して実用化、事業化するという研究開発スキームで運営されてきた。実用化製品は、CASMAT で評価対象としてきた5つの分野の材料である。

1) 低誘電率層間絶縁膜(Low-k)および関連材料

例: Low-k 材料、ポリマ除去洗浄液

2) Cu 配線用 CMP 関連材料

例: CMP スラリ、CMP パッド、CMP 後洗浄液

3) バッファークコートおよび再配線用絶縁膜材料

例: バッファークコート材料、現像液

4) アセンブリ用ウェーハ加工および関連材料

例: バックグラインドテープ、ダイアタッチフィルム、ダイシングテープ

5) 半導体プロセス関連材料

例: 反射防止膜(BARC)、ギャップフィル膜

次世代のバックエンドプロセス(BEOL)では Cu 配線、低誘電率層間絶縁膜を用いた多層配線プロセスへ大きく変換し、このプロセスに適合した関連材料が求められる本プロジェクトの評価技術開発で対象とした材料は、その中核材料であり、技術革新・実用化が強く求められている。また、これらの材料分野は、相互に大きく影響を及ぼすことから、半導体製品の製造工程全体を俯瞰した材料評価、材料開発が必要とされる。

#### IV.1.3 実用化シナリオ

CASMAT は、300mmウェーハ、65nmノード対応のバックエンドプロセス(BEOL)一貫ラインを構成するプロセス装置、評価・解析設備を整備し、材料評価基盤を構築してきた。評価する材料は組合員から CASMAT に提供され、評価結果は原則として CASMAT より全組合員へ開示される。一方組合員は、CASMAT の評価結果及び成果を利用して、組合員自身で、材料開発、市場開拓、実用化・事業化を進める。本 PJ 中に組合員から提案された材料は 1,481 サンプルである。これらの材料の評価結果を含む技術情報は 325 報である。(技術情報Aは 149 報、取得データや観察記録など、プロセス条件だけでなく、材料組成に関する情報が含まれるため原則非公開である。技術情報Bは 176 報、技術情報Aを解析して材料評価結果をまとめた公開情報である。)

一方、CASMAT では、組合員個別の材料開発、事業化の支援として4つのプログラムを開設して個々の組合員に提供している。

#### 1) 実用化プログラム

材料の実用化のため、組合員は、デバイスメーカーや半導体製造装置メーカー等とチーム(AP チームと呼ぶ)を構成し、CASMAT との共同研究開発を行う実用化プログラム(AP)を実施することができる。AP チームはCASMAT の製造プロセスや評価基盤を用いて、組合員材料を用いて、デバイスや半導体装置の実用化を検討する。結果は非公開で AP チームに帰属する。

#### 2) 施設使用プログラム

材料の実用化のため、組合員は CASMAT の協力の下に、CASMAT の製造プロセスや評価基盤を用いて自社材料の評価を独自に行う事ができる。結果は非公開で組合員に帰属する。

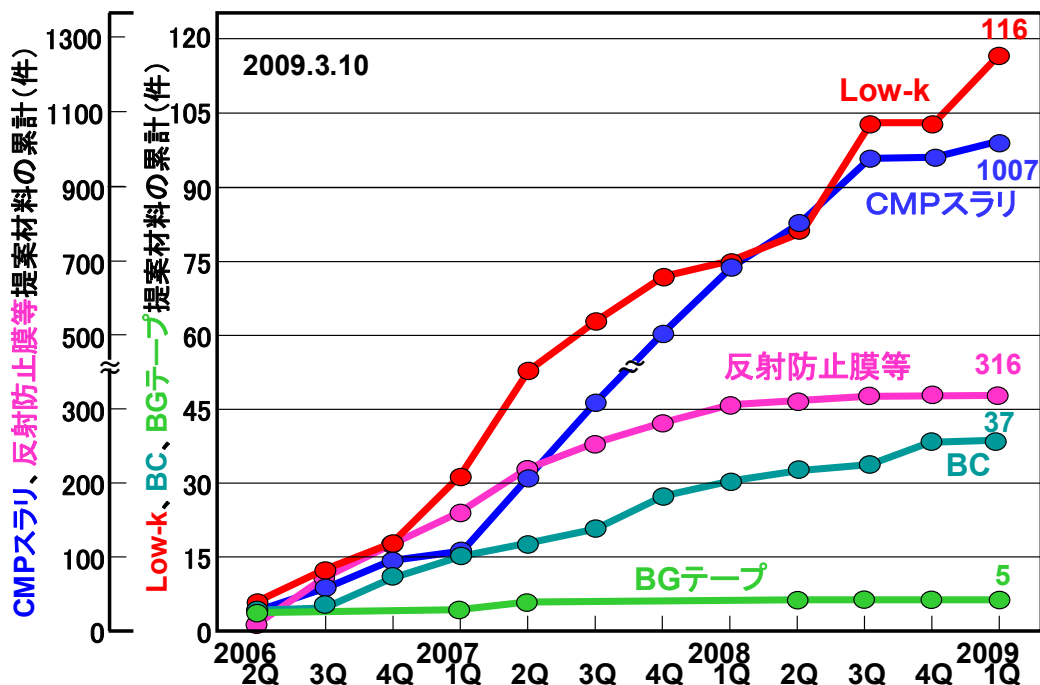
#### 3) TEG サービス

材料の実用化のため、組合員は CASMAT の作製した TEG ウェーハを CASMAT からのノウハウ提供として入手する事ができる。入手した TEG ウェーハの用途は非公開で組合員に帰属する。

#### 4) 実習プログラム

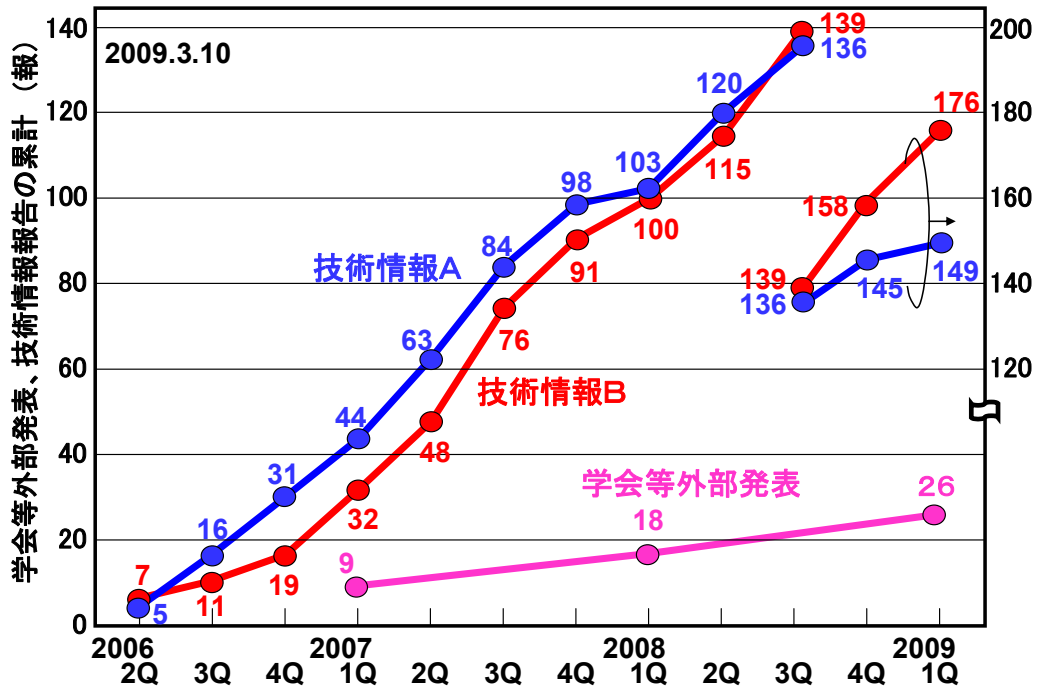
組合員は一定期間、研究員を CASMAT に駐在させて、半導体プロセスや評価方法の実習を受けることができる。

### 実用化シナリオ (共通領域①)



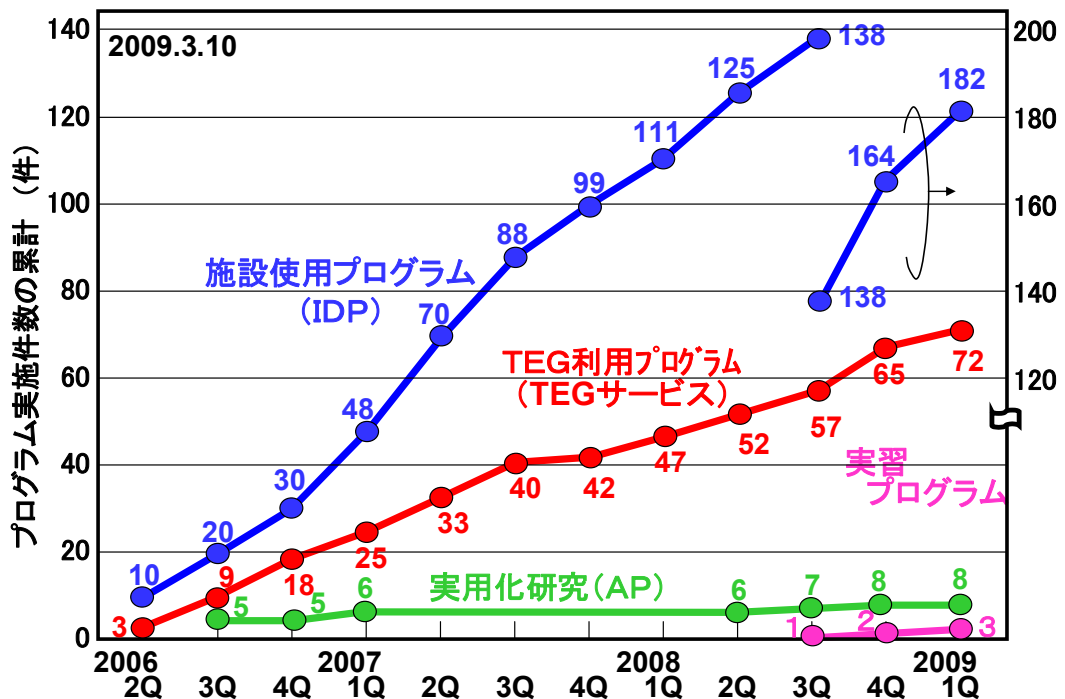
図IV.1.3.1 実用化シナリオ(評価材料累計)

実用化シナリオ(共通領域②)



図IV.1.3.2 実用化シナリオ(評価結果の報告)

実用化シナリオ(個別領域)



図IV.3.3 実用化シナリオ(組合員独自評価)

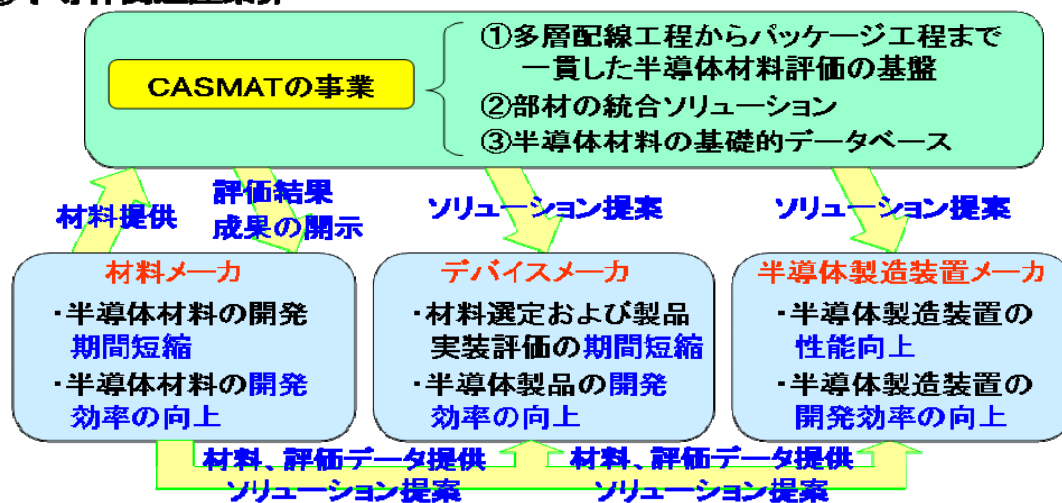
このように本プロジェクトの実用化・事業化の判断は、CASMAT 本体の事業化もあるが、CASMAT の成果を活用し、組合員企業がいかに事業化へ結びつけるかが成否の鍵を握っている。

組合員企業における事業化については、各企業の営業機密に属する内容であるため、非公開部分に委ねる。

#### IV.1.4 波及効果

当該分野および関連分野への波及効果をまとめて図IV.1.4.1 に示す。

##### ①半導体関連産業界



##### ②関連する産業界

- ・材料評価技術の応用→ ディスプレイ(LCD、PD、PEL)、MEMS等の業界
- ・製品性能向上、市場拡大、雇用促進→ 家電、通信、自動車等の業界

図IV.1.4.1 CASMAT事業および組合員である材料メーカーの当該分野および関連分野への波及効果

半導体関連産業界では、半導体材料メーカー自身で評価基盤を整備し、研究開発、実用化が促進されるため、技術のすり合わせが頻繁に行われる国内半導体デバイスメーカー、半導体製造装置メーカー等においてそれぞれの製品の開発効率や性能が向上し、ひいてはわが国半導体関連産業全体の市場競争力をより一層強化することができる。さらに関連する産業界においては、開発された半導体材料の評価技術が、半導体と関連する LCD、PDP、EL などのディスプレイ技術、さらには MEMS 技術などにも材料に関わる開発期間の短縮などの波及効果が期待される。加えて川下に当たる家電、通信、自動車などの業界での技術開発の更なる活性化と、それによる市場拡大、雇用促進にも寄与することが期待できる。本プロジェクトでは、研究成果を参加組合員企業全体で共有し、また共通プログラムでの材料評価結果は原則全組合員に開示される。組合員は自社の技術開発レベル(位置づけ)がわかり、今後の研究開発、市場開拓の方向、判断が明確になり、組合員の事業の選択と集中に繋げることができる。したがって、研究開発投資の再配分等といった側面でも関係産業全体における研究開発投資効率の向上が期待される。

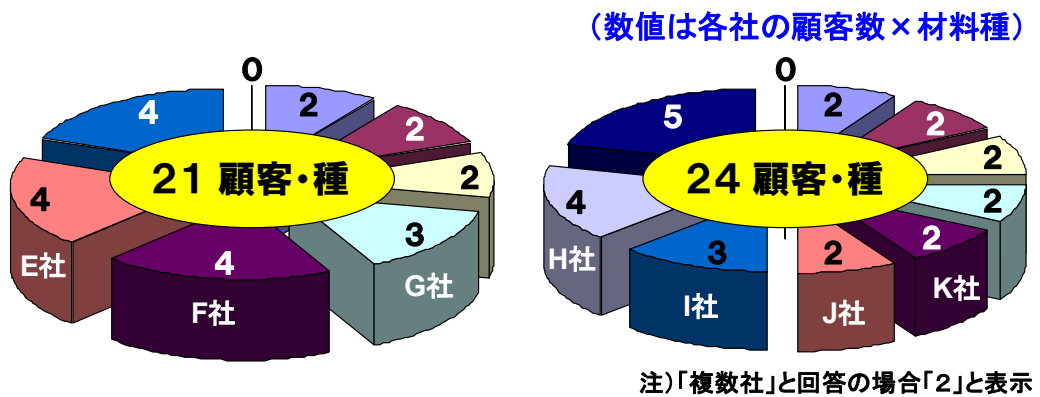
### 波及効果(組合員の材料開発効率)

項目	組合員	a社	b社	c社	d社	e社	f社	g社	h社	i社	j社	合計
材料評価が高度化		○	○	○		○	○	○	○	○	○	9社
開発方針の明確化				○	○	○	○	○		○	○	7社
開発のスピードアップ		○				○	○	○	○		○	6社
新製品を開発			○		○			○		○		4社
開発戦略の再構築				○	○					○	○	4社
ソリューションを顧客に提供			○	○					○		○	4社
自社導入の装置選定					○				○	○		3社
顧客クレームの解決								○			○	2社
人材育成						○	○		○		○	4社

JSR(株) 昭和電工(株) 住友ベークライト(株) 積水化学工業(株)  
 東京応化工業(株) 東レ(株) 日産化学工業(株) 日立化成工業(株)  
 富士フイルム(株) 三菱化学(株)

図IV.1.4.2 組合員の材料開発効率への波及効果

### 波及効果(組合員のビジネス展開)



#### 既存顧客への貢献

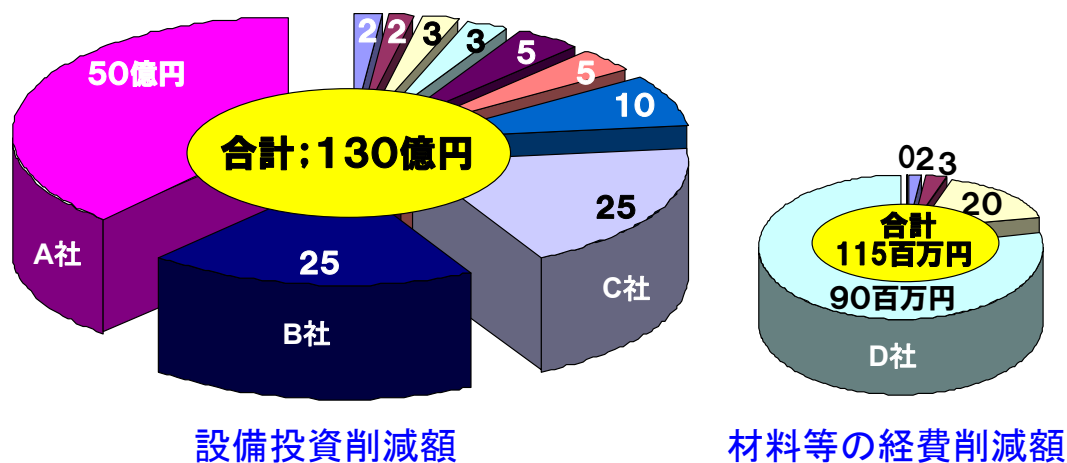
(データ共有等の連携強化、クレームの解決、  
 新製品評価実施、新製品採用など)

#### 新規顧客の開拓

(サンプル評価実施、新製品採用見通し、  
 新製品採用など)

図IV.1.4.2 組合員のビジネス展開への波及効果

波及効果(組合員の研究開発費用の削減)



JSR(株) 昭和電工(株) 住友ベークライト(株) 積水化学工業(株)  
 東京応化工業(株) 東レ(株) 日産化学工業(株) 日立化成工業(株)  
 富士フイルム(株) 三菱化学(株)

図IV.1.4.3 組合員の研究開発費用の削減

波及効果(組合員の事業での特記事項)

- A社) 新製品販売実績: 2006年度は5倍に向上(対2003年度比)  
 CASMAT寄与率20~30%
- B社) ハッファコート販売実績: 2007年度は約3倍に向上(対2003年度比)  
 CASMAT寄与率約30%
- C社) CASMATでの一貫評価データ提示により自社の認知度向上  
 関連製品群で新規に数億円の売上見通し
- D社) 新製品開発、CASMATでの評価により、工場を新設し、生産能力3倍に

図IV.1.4.4 組合員個々の波及効果の例



## IV.2. CASMATにおける事業化

本プロジェクトは次世代半導体材料技術研究組合(CASMAT)で実施したが、CASMAT 自体が事業化して提供できる製品・サービス等は、研究開発過程で生み出した特許やノウ・ハウ等の産業財産権である。そのため、CASMAT 本体の事業として、大きな収益を期待することは難しい。しかし、組合員である材料メーカーには、本研究開発により構築した材料評価基盤を利用して半導体材料を開発し、それらの材料の売り上げや市場シェアを拡大することが期待される。また、部材の統合ソリューションの提案、組合の提供する種々のプログラムや TEG サービス、特許権の組合員への優先的な許諾によって、組合員である材料メーカーの製品は、その開発の加速や他社との差別化が可能となり、さらに、売り上げを拡大することも期待される。

### IV.2.1 実用化する製品、サービス

CASMAT が実用化する製品、サービスを図IV.2.1.1 に示す。

#### 1) 実用化プログラム(AP研究)

共通領域で蓄積したノウ・ハウをベースとする共同研究

#### 2) 施設使用プログラム

評価基盤を構成する施設のノウ・ハウの提供

#### 3) TEGサービス

TEGウェーハの作製、評価のノウ・ハウの提供

#### 4) 特許権の実施許諾

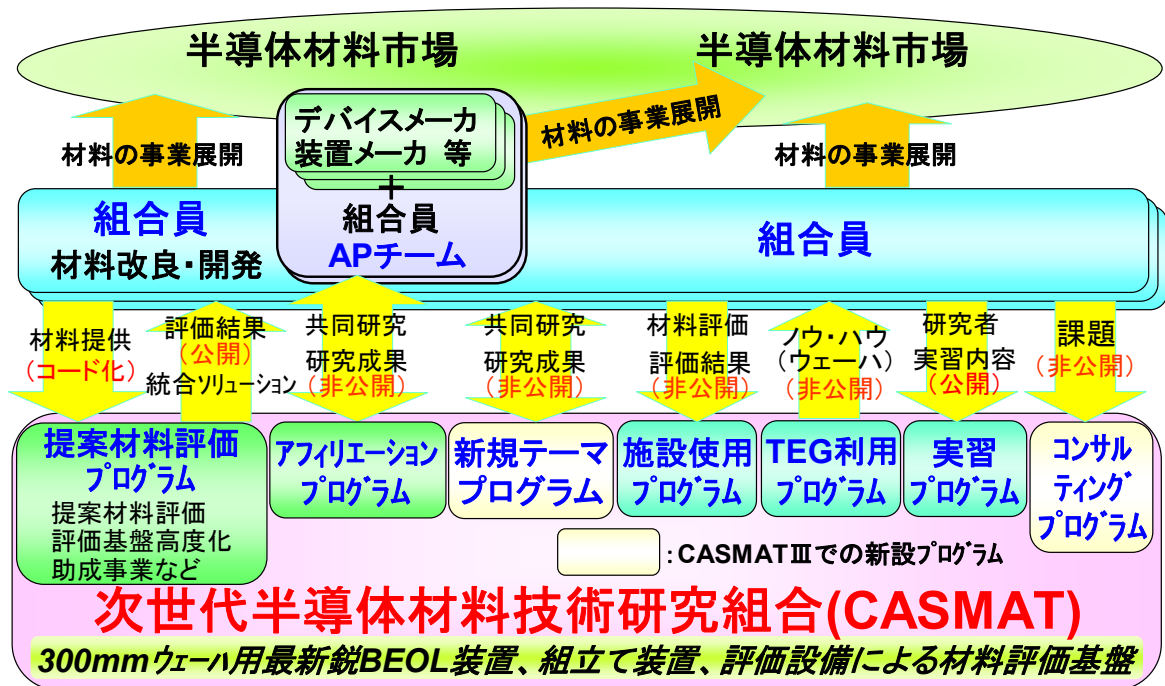
CASMATの所有する特許権の実施許諾

図IV.2.1.1 CASMAT が実施する製品・サービス

産業財産権の活用には、特許の実施許諾だけではなく、CASMATで構築した材料評価基盤によりAP研究(組合員企業との材料実用化のための共同研究)、施設使用プログラム(組合員企業等が CASMAT 施設を占有して使用し、材料評価等を行う研究)にもノウ・ハウを提供して、その対価としての収入を得るといふサービスも新たに実用化が可能である。TEG に関しては、事業主が研究組合という性格から、TEG ウェーハそのものを販売するのではなく、TEG の作成方法や解析方法等 CASMAT で蓄積したノウ・ハウを提供

するという TEG サービスとして実用化する。また、特許権は実施許諾する。

### CASMATの事業化(運営スキーム)



図IV.2.1.2 CASMAT の事業化スキーム

CASMAT が実施する製品・サービスの事業化スケジュールを図IV.2.1.1 に示す。

表IV.2.1.1 CASMATが実施する製品・サービスの事業化スケジュール

企業化計画（CASMAT本体の事業）

年度 項目	平成21年度	平成22年度	平成23年度	平成24年度	平成25年度
TEG改良					
特許の権利化	←	(年1回の権利化特許判定、特許許諾は随時)			→
実用化P	2件	2件	2件	2件	2件
施設使用P	60件	60件	60件	40件	40件
TEGサービス	500枚	800枚	1000枚	1200枚	1400枚
特許の実施許諾	1件	2件	3件	4件	4件

IV.2.1.1 実用化プログラム(AP研究)

実用化プログラム(AP 研究)は、本プロジェクトで構築した材料評価基盤の産業財産権のノウハウの活用として設定した。AP とは、組合における研究の成果を利用し、実用化のために試験研究を行うことをいう。これは、主に組合員企業と実用化先企業とCASMATとの共同研究であり、研究内容により、対価として受け取る金額は異なる。平成 15 年度から平成 17 年度にかけての実績は 12 件、平成 18 年から平成 20 年にかけての実績は 8 件である。一方、平成 18 年より施設使用プログラムが導入され、非助成事業については実用化先企業との共同研究契約が不要になったため、組合員企業は、助成事業終了後の実用化プログラムの一部は施設使用プログラムに移行している。今後の AP 研究は、単価 2 百万円、年間 2 件を見込む。

表IV.2.1.2 実用化プログラムの実施計画

年度 項目	平成21年度	平成22年度	平成23年度	平成24年度	平成25年度
平均単価 (千円)	2,000	2,000	2,000	2,000	2,000
件数 (件)	2	2	2	2	2
収入総額 (百万円)	4	4	4	4	4

#### IV.2.1.2 施設使用プログラム

施設使用プログラムは、本プロジェクトで構築した材料評価基盤の産業財産権であるノウ・ハウを活用し、組合員企業が個別に CASMAT 施設を使用して行う研究である。施設使用プログラムの実施計画を表IV-1に示す。使用する装置や設備により対価は異なるが、平均として単価を50万円とし、年間60件の実施を予測した。

表IV.2.1.3 施設使用プログラムの実施計画

年度 項目	平成21年度	平成22年度	平成23年度	平成24年度	平成25年度
平均単価 (千円)	500	500	500	1,000	1,000
件数 (件)	60	60	60	40	40
収入総額 (百万円)	30	30	30	40	40

#### IV.2.1.3 TEG サービス

本プロジェクト成果の実用化、成果の普及のためには、TEG ウェーハそのものを販売するのではなく、TEG 作成方法やその解析方法にノウ・ハウなどの付加価値のあるものを事業化する、すなわち、ノウ・ハウの実施許諾として TEG サービスという形態で実用化することとした。

本サービスにおける対価の考え方については、TEG サービスに用いるウェーハ1枚当たりの単価と数量をベースに算定している。実施計画を表IV-4に示す。

表IV.2.1.4 TEGサービスの実施計画

項目	年度				
	平成21年度	平成22年度	平成23年度	平成24年度	平成25年度
平均単価 (千円)	100	100	100	150	150
数量 (枚)	500	800	1,000	1,200	1,400
収入総額 (百万円)	50	80	100	180	210

#### IV.2.1.4 特許の許諾

特許に関しては、本プロジェクト期間内に国内出願28件を出願した。出願内容は、半導体材料の評価方法、評価用素子や基板、半導体装置の製造方法、半導体装置などである。これらに関しては、出願時点では特許取得の有効性の判断が困難であったため、21年度から半導体関連分野の動向を見極めて審査請求を開始する。したがって実施許諾件数は、表IV-5に示すように予測している。特許の許諾件数は少ないが、出願した特許の中で評価用素子や基板としてノウ・ハウ的なものは TEG サービスとして活用される。また、半導体装置の製造方法や半導体装置に関しては、新たにノウ・ハウの提供として設定した AP 研究や施設使用プログラムに活用される。

表IV.2.1.5 特許実施許諾の計画

項目 \ 年度	平成21年度	平成22年度	平成23年度	平成24年度	平成25年度
平均単価(千円)	5,000	5,000	5,000	5,000	5,000
件数 (件)	1	2	3	4	4
収入総額 (百万円)	5	10	15	20	20

#### IV.2.2 波及効果

すでに述べているように、CASMATは本プロジェクト終了後も少なくとも3年間は研究組合として継続されるので、実施する実用化によってCASMAT自体が大きな収益を期待することは困難であるが、後継プロジェクトの実施により、平成21年度からは、これまでの配線素子に加え新たに接合素子(p-n接合、SiO<sub>2</sub>-Si接合)を用いて、フロントエンドからバックエンド及びパッケージに至る半導体工程全体を一貫して材料影響を把握できる評価技術を開発する。

組合員である材料メーカーが、この評価基盤を利用することにより、さらに市場競争力を高めることができ、材料の売り上げや市場シェアの拡大、新材料の開発等を期待することができる。さらに、CASMATの提供する①AP研究、②施設使用プログラム、③TEGサービス、④特許の実施許諾を組合員に優先的に実施することにより、組合員である材料メーカーの開発効率を大きく向上させることができる。この観点から、組合員への製品・サービスの提供に当たっては、実費をベースとして対価を設定している。

CASMATが行う事業化として産業財産権の活用による収入合計を表IV-6に示す。

表IV.2.1.6 CASMATの実施する製品・サービスによる総収入の計画

## IP活用による総収入

単位：百万円

項目 \ 年度	平成21年度	平成22年度	平成23年度	平成24年度	平成25年度
実用化プログラム	4	4	4	4	4
施設使用プログラム	30	30	30	40	40
TEGサービス	50	80	100	180	210
特許許諾	5	10	15	20	20
総収入額	89	124	149	244	274

この収入は、CASMATでの研究開発に使われることになり、組合員企業のCASMATでの研究費の低減に還元されることになる。

本プロジェクトで開発した材料評価基盤は、評価方法とそれを実行するために安定稼働させているプロセス装置や評価・解析機器、TEGマスクやウェーハから構成されている。これらは、まず組合員への利用促進を進めるが、将来的にはデバイスメーカ、半導体製造装置メーカに拡大することにより、本プロジェクトの波及効果はさらに大きなものとなる。



## ナノテク・部材イノベーションプログラム基本計画

### 1. 目的

このプログラムは、情報通信、ライフサイエンス、環境、エネルギーなど、あらゆる分野に対して高度化あるいは不連続な革新(ジャンプアップ)をもたらすナノテクノロジー及び革新的部材技術を確立するとともに、その実用化や市場化を促進することで、我が国産業の国際競争力の維持・強化や解決困難な社会的課題の克服等を可能とすることを目的とする。

### 2. 政策的位置付け

#### ○第3期科学技術基本計画(2006年3月閣議決定)

- ・「ナノテクノロジー・材料分野」は、特に重点的に研究開発を推進すべき分野(重点推進4分野)の一つに指定されていて、優先的に資源配分することとされている。
- ・我が国の材料技術は、基礎研究から応用研究、素材、部材の実用化に至るまでの全ての段階において世界のトップレベルを堅持しており、我が国製造業の国際競争力の源泉となっている。

#### ○「イノベーション25」(2007年6月閣議決定)

- ・「ナノテクノロジー・材料分野」は、中長期的に取り組むべき課題として、「1. 生涯健康な社会形成」、「2. 安全・安心な社会形成」、「4. 世界的課題解決に貢献する社会形成」、及び「5. 世界に開かれた社会形成」の分野に位置付けられている。
- ・所要の措置を講じていくことが必要である事項として以下の点が指摘されている。
  - ・学際領域・融合領域における教育等人材育成、拠点形成
  - ・社会受容を促すための積極的な取り組み
  - ・知的財産確保のための戦略的な取り組み

#### ○「経済成長戦略大綱」(2006年7月財政・経済一体改革会議)

- ・「我が国の国際競争力の強化」の取り組みとして、高度な部品・材料産業やモノ作り中小企業の強化が掲げられている。
- ・「技術戦略マップ」の活用等により、ユーザー企業との垂直連携による研究開発を推進することを通して、我が国経済発展の基盤である高品質、高性能な部品・材料産業の強化を図ることが今後の取組として記載されている。

#### ○「新産業創造戦略2005」(2005年6月経済産業省)

- ・部材分野は、新産業群の創出を支える共通基盤技術として位置づけられている。
- ・「高度部材・基盤産業」の集積を形成していることが、「ものづくり」に不可欠な基盤技術のネットワーク化を通じた現場レベルでの迅速かつ高度な摺り合わせを可能としており、我が国「ものづくり」の強みの源泉となっていると記載されている。

### 3. 達成目標

- ・世界に先駆けて、ナノテクノロジーを活用した非連続な技術革新を実現する。
- ・我が国部材産業の強みを更に強化することで、他国の追随を許さない競争優位を確保するとともに部材産業の付加価値の増大を図る。
- ・ナノテクノロジーや高機能部材の革新を先導することで、これら部材を活用した情報通信、ライフサイエンス、環境、エネルギーなどの幅広い産業の付加価値の増大を図る。
- ・希少金属などの資源制約の打破、圧倒的な省エネルギー社会の実現など、解決困難な社会的課題の克服を目指す。

#### 4. 研究開発内容

[プロジェクト]

(中略)

#### II. 情報通信領域

(中略)

#### (5) 次世代高度部材開発評価基盤の開発\* (運営費交付金) (再掲)

##### ①概要

エネルギー需給構造の高度化を図る観点から行うものである。半導体産業分野で、集積回路の消費電力低減に必要な配線形成用各種材料等の開発のネックとなっているナノレベルでの材料間の相互影響を評価可能な統合部材開発支援ツールを開発する。これにより、集積回路の種類やデザインルールに応じて、配線形成用各種材料とプロセスの最適な組み合わせの提案技術(統合的材料ソリューション提案技術)を確立する。

##### ②技術的目標及び達成時期

2008年度までに、半導体材料開発に貢献する材料評価基盤を構築するとともに、上記の統合的材料ソリューション提案技術を確立する。また、本プロジェクトを通して得られた基礎データ等については、プロジェクト実施期間中にデータを体系的に整理し、幅広く社会に提供を図る。

##### ③研究開発期間

2006年度～2008年度

(中略)

#### 5. 政策目標の実現に向けた環境整備(関連施策)

ナノテクノロジーは、情報通信、環境、エネルギーなどの分野における科学技術の進歩や課題解決に貢献する重要な技術シーズである。そのため、ナノテクノロジーの研究開発と一体となった関連施策を実施することで、その成果を市場に出していくことが重要である。主な関連施策を、以下に示す。

[技術戦略マップ]

- ・NEDO及び経済産業省では、技術戦略マップを策定、毎年改訂し、ナノテク・部材分野の将来の方向性を見定めながら、合理的かつ効果的な研究開発プロジェクトを推進しているところ。また、技術戦略マップを活用して、多様な連携(川上川下の垂直連携、異業種間の水平連携など)による研究開発を促進、支援し、当該分野の技術革新を促進する。

#### [サンプル提供・実用化促進]

- ・NEDOでは、実施するナノテクノロジー関連の研究開発プロジェクト成果のサンプルを対象として、それらを活用した用途の開発、実用化ないし製品化提案を有する企業とのマッチングを図ることで、プロジェクトの事業化を促進する取組みを実施しているところ。

#### [基準・標準化]

- ・ナノテクノロジーの標準化については、研究開発プロジェクトを推進する上で、適切な活動(国際規格ISO/IEC、日本工業規格JIS、その他)を実施し、我が国のナノテクノロジー分野の研究開発、産業活動の効率向上を図り、研究開発の成果が社会で普及する環境を整備する意味でも重要である。これまでの主な取組みについては、下記のとおり。
- ・2005年5月にナノテクノロジーの標準化に向けてISO/TC229の設立がされ、「用語と命名法」、「計測とキャラクターゼーション」、「健康・安全・環境」の3つのWGにおいて、国際標準化の策定に向けて議論が開始された。
- ・また、2007年6月にシンガポールで開催された第5回総会以降、「材料規格」の分科会の設立に向けて対応しているところ。
- ・さらに、2006年9月にはナノテクノロジーに関する電気電子技術の標準化に向けてIEC/TC113が設立され、「用語と命名法※」、「計測とキャラクターゼーション※」、「性能評価」の3つのWGにおいて、国際標準化の策定に向けて議論が開始されている。(なお、※はISO/TC229とのジョイントWGとなっている。)

#### [広報]

- ・ナノテクノロジーに関する先端技術及び製品等の世界最大の展示会である「nano tech」が毎年日本で開催されている。2002年に開催された第1回以降、出展者来場者ともに増加傾向にあり、近年は海外、とくにヨーロッパ・アジア等の出展が目立つようになってきている。

#### [社会受容]

- ・ナノテクノロジーの社会受容に対する取組みは、ナノテクノロジーの産業化を推進するため、例えば工業ナノ粒子のキャラクターゼーション技術や人の健康や環境に及ぼす影響など、潜在的な課題に関する知見を蓄積する取組みが重要である。
- ・経済産業省では、2006年度から「ナノ粒子特性評価手法の研究開発」を開始し、工業ナノ粒子の有害性評価手法、また、そのリスク評価手法の確立を目標としたプロジェクトを開始しているところ。

#### [人材育成]

- ・経済産業省では、「製造中核人材育成事業」を実施しており、産学連携による波及効果の高い人材育成プログラムを開発、実践している。ナノテクノロジー関連の人材育成プログラムも複数実施しているところ。

#### (例)ナノテク製造中核人材の養成プログラム

概要:情報家電、燃料電池、ロボット、医療機器、バイオ等の応用分野において、その産業の基盤と創出を支える中堅企業を対象として、「基礎加工技能・技術、特殊な要素技能・技術に習熟し、製造技術の高度化を図る人材」及び「豊富なナノ加工プロセスの知識や先端機器を使いこなすノウハウ等を習熟し、製造現場の技能・技術を統括できず人材」を育成するもの。

- ・NEDOでは、我が国の産業技術の発展のため、先端分野や融合分野の技術を支える人材の

育成と、人的交流の面から産学連携を促進するための「場」の形成を促進する取組みを実施している(NEDO特別講座)。具体的には、優れた成果を生み出しつつあり、大学が技術の中核となっている研究開発プロジェクトをコアプロジェクトとし、そのプロジェクトリーダーの所属大学に拠点を設置し、関連技術の人材育成、人的交流の拡大、周辺研究の実施を行うもの。ナノテクノロジー関連の研究開発プロジェクトも複数実施しているところ。

#### 〔他省庁との連携〕

- ・総合科学技術会議／連携施策群において、「ナノバイオテクノロジー」「ナノテク研究推進と社会受容」が設置され、関係省庁と連携して実施しているところ。
- ・経済産業省が実施する研究開発プロジェクトにおいては、文部科学省など他省庁との連携の可能性について検討を行い、研究開発プロジェクトの立案、推進しているところ。

(例)ナノエレクトロニクス半導体新材料・新構造技術開発—うち新材料・新構造ナノ電子デバイスプロジェクト、希少金属代替材料開発プロジェクト など

#### 6. 研究開発の実施に当たっての留意事項

事業の全部又は一部について独立行政法人の運営費交付金により実施されるもの(事業に(運営費交付金)と記載したものは、中期目標、中期計画等に基づき、運営費交付金の総額の範囲内で、当該独立行政法人の裁量によって実施されるものである。

#### 7. 改訂履歴

- (1)平成12年12月28日付け制定。
- (2)平成14年2月28日付け制定。材料ナノテクノロジープログラム基本計画(平成12・12・27工総第16号)は、廃止。
- (3)平成15年3月10日付け制定。ナノテクノロジープログラム基本計画(平成14・02・25産局第8号)は、廃止。
- (4)平成16年2月3日付け制定。ナノテクノロジープログラム基本計画(平成15・03・07産局第1号)は、廃止。
- (5)平成17年3月31日付け制定。ナノテクノロジープログラム基本計画(平成16・02・03産局第7号)は、廃止。
- (6)平成18年3月31日付け制定。ナノテクノロジープログラム基本計画(平成17・03・25産局第4号)は、廃止。
- (7)平成19年4月2日付け制定。ナノテクノロジープログラム基本計画(平成18・03・31産局第13号)は、廃止。
- (8)平成14年2月28日付け制定。
- (9)平成15年3月10日付け制定。革新的部材産業創出プログラム基本計画(平成14・02・25産局第9号)は、廃止。
- (10)平成16年3月7日付け制定。革新的部材産業創出プログラム基本計画(平成15・03・07産局第5号)は、廃止。
- (11)平成17年3月31日付け制定。革新的部材産業創出プログラム基本計画(平成16・03・07産局第5号)は、廃止。
- (12)平成18年3月31日付け制定。革新的部材産業創出プログラム基本計画(平成17・03・25

産局第3号)は、廃止。

- (13)平成19年4月2日付け制定。革新的部材産業創出プログラム基本計画(平成18・03・31産局第14号)は、廃止。
- (14)平成20年4月1日付け、ナノテク・部材イノベーションプログラム基本計画制定。ナノテクノロジープログラム基本計画(平成19・03・20産局第1号)および革新的部材プログラム基本計画(平成19・03・19産局第4号)は、本イノベーションプログラム基本計画に統合することとし、廃止。

(革新的部材産業創出プログラム/新産業創造高度部材基盤技術開発・  
省エネルギー技術開発プログラム)  
「次世代高度部材開発評価基盤の開発」基本計画

ナノテクノロジー・材料技術開発部

## 1. 研究開発の目的・目標・内容

### (1) 研究開発の目的

我が国の材料産業は、国際的に高い技術力と競争力を有し、我が国の経済社会の発展を支えているが、川下産業との取引のオープン化に伴いユーザーとの連携の希薄化が進行する一方で、汎用的な材料技術はアジア諸国の技術向上によるキャッチアップが進行している。そのため我が国において産学官を含む連携の強化(川上川下の垂直連携、材料創成と加工の水平連携など)を図ることで、次世代の部材分野での我が国のイノベーションを促進することが喫緊の課題となっている。

そこで本プロジェクトは、『部材分野の技術戦略マップを活用し、将来の部材の基盤技術の方向性を見定めるとともに、材料関係者だけでなく多様な連携(川上川下の垂直連携、材料創成と加工の水平連携等)による基盤技術開発を支援することで、部材分野の技術革新を促進すること』を目的とした「革新的部材産業創出プログラム」の中で、特に『川上・川中・川下の各段階における[擦り合わせ]の連鎖こそが我が国高度部材産業の強みとなっていることから、この擦り合わせ力の向上に資するようなプロジェクト体制(垂直連携)で実施することで、川下産業の競争力向上に貢献すること』を目的とした「新産業創造高度部材基盤技術開発」の一環として実施するものである。また同時に、我が国エネルギー供給の効率化に資する「省エネルギー技術開発プログラム」の一環としても本プロジェクトを行う。

独立行政法人新エネルギー・産業技術総合開発機構(以下、「NEDO技術開発機構」という。)では平成15年度～平成17年度まで『次世代半導体ナノ材料高度評価プロジェクト』を実施しており、これまで半導体デバイスにおけるバックエンドプロセスでの多層配線形成工程に用いられる材料とプロセス条件をセットにした、部材(材料・プロセス)の統合的ソリューション(材料とプロセスをセットにして、相互のプロセス間の影響も考慮して統合した、部材の性能と機能を十分に発揮できる最適プロセスフロー)を提案するため、その基盤となる要素技術として評価技術および開発支援ツール(TEG: Test Element Group)の開発を実施してきている。

しかしながら、デザインの微細化及びプロセスの複雑化が急速に進んでいる半導体デバイス分野では、現在使用されている種々の材料が性能的に限界を迎えており、新たな高性能材料の開発が世界で進められている。さらには、個別の材料を個々のプロセスに対応させて高性能化する手法では、性能改善が限界に近づきつつあるため、各種新規材料・プロセスを最適統合させた部材全体として高機能を発揮させる開発戦略が必要である。

本プロジェクトは、半導体材料分野での各種新規材料・プロセスを最適統合させた部材の統合的ソリューションの提案につながる高度部材開発評価基盤の開発であるため、施策目標を実

現するための重要な事業である。

このため、NEDO技術開発機構は、独自の部材開発技術をもった複数の産学の科学的知見を結集し、半導体デバイスの多層配線形成工程からパッケージ組立工程までの一貫したプロセス検証を行うことによって信頼性のある部材の統合的ソリューションを提供できる評価基盤を確立し、これを産業技術へと繋げていくと共に、社会の共通基盤として情報の整備、提供を通じて、行政、産業界、地域住民等の間で科学的知見に基づいた正確かつ適切な認識の醸成を図る事業方針に基づき、以下のプロジェクトを実施する。

本プロジェクトでは最適統合させた半導体バックエンド部材開発評価の基盤整備を行う。本研究開発により、回路の消費電力低減に必要な配線形成用各種材料等の開発のネックとなっている微細環境下のナノレベルでの材料間の相互影響まで評価可能な統一部材開発支援ツール(TEG)を開発し、情報通信機器の高機能化、低消費電力等の要求を満たす半導体集積回路用材料の開発基盤技術の構築ならびに半導体に適用する部材の統合的ソリューションを提案する。

## (2) 研究開発の目標

平成 20 年度までに、半導体材料開発に貢献する材料評価基盤を構築するとともに、半導体に適用する部材の統合的ソリューション提案を行う。また、本プロジェクトを通して得られた基礎データ等については、プロジェクト実施期間中にデータを体系的に整理し、幅広く社会に提供を図る。

## (3) 研究開発内容

上記目標を達成するために、以下の研究開発項目について、別紙の研究開発計画に基づき研究開発を助成率 1/2 の助成事業として実施する。

- ①「半導体デバイスにおける多層配線の評価技術とパッケージ工程までの一貫した評価基盤の確立」

## 2. 研究開発の実施方式

### (1) 研究開発の実施体制

本研究開発は、NEDO技術開発機構が、原則本邦の企業、研究組合、公益法人等の研究機関(原則、国内に研究開発拠点を有していること。ただし、国外企業の特別の研究開発能力、研究施設等の活用あるいは国際標準獲得の観点から国外企業との連携が必要な部分はこの限りではない。)から、公募によって研究開発実施者を選定する。

## (2) 研究開発の運営管理

研究開発全体の管理・執行に責任を有するNEDO技術開発機構は、経済産業省及び研究開発責任者と密接な関係を維持しつつ、プログラムの目的及び目標、並びに本研究開発の目的及び目標に照らして適切な運営管理を実施する。このため、必要に応じてNEDO技術開発機構に設置する技術検討会等、外部有識者の意見を運営管理に反映させる。

## 3. 研究開発の実施期間

本研究開発の期間は、平成 18 年度(2006 年度)から平成 20 年度(2008 年度)までの 3 年間とする。

## 4. 評価に関する事項

NEDO技術開発機構は、技術的及び政策的観点から見た研究開発の意義、目標達成度、成果の技術的意義並びに将来の産業への波及効果等の観点から、外部有識者による研究開発の事後評価を平成 21 年度に実施する。なお、評価の時期については、当該研究開発に係る技術動向、政策動向や当該研究開発の進捗状況等に応じて、前倒しする等、適宜見直すものとする。

## 5. その他の重要事項

### (1) 基本計画の変更

NEDO技術開発機構は、研究開発内容の妥当性を確保するため、社会・経済的状況、内外の研究開発動向、政策動向等を総合的に勘案し、達成目標、実施期間、開発体制等基本計画の見直しを弾力的に行う。

### (2) 根拠法

本プロジェクトは、独立行政法人新エネルギー・産業技術総合開発機構法 第 15 条第 1 項第 3 号に基づき実施する。

### (3) その他

本研究開発は、デバイス・装置分野の半導体産業との連携により、効果的に実施するものとする。

## 6. 基本計画の改訂履歴

### (1) 平成 18 年 3 月、制定。



(別紙)研究開発計画

研究開発項目①「半導体デバイスにおける多層配線の評価技術とパッケージ工程までの一貫した評価基盤の確立」

1. 研究開発の必要性

半導体分野では、微細化の進展に伴って、高速化、低消費電力化が必要とされる一方、電子機器(PDA、携帯端末)の用途においては、機器の小型化、薄膜化に伴い半導体チップの薄型化が要求されるため、部材(材料・プロセス)の役割がますます重要になっている。このため、従来から使用されてきた部材の性能が限界を迎えており、新たな高性能部材の開発が世界で進められている。一方、材料とプロセスを個別に開発する手法では限界があるため、各種の新規材料とプロセスを最適統合させ、部材の高性能と高機能を発揮させる開発戦略が切実に求められている。

このため、65nm ノード半導体バックエンドプロセスに立脚した高度部材評価基盤を開発/整備するプロジェクトが進行中で、H17 年度で終了予定である。

65nm ノードから 45nm ノードへと微細化が進む半導体デバイスにおいては、デバイスの十分な機能性を達成するために、さらなる信号の高速化と低消費電力および信頼性が要求される。このような半導体デバイスの多層配線に用いられる層間絶縁膜材料には 3.0 以下の実効誘電率と製造の各種加工プロセスに耐える高強度が不可欠である。特に多層配線の低誘電率化に最も貢献するとみられる low-k 材料においては、材料単体として 2.4 以下の低誘電率化とともに各種プロセスにおいて受けるダメージを最小限に抑えることによる強度維持が要求される。Low-k 材料のさらなる低誘電率化のためには材料組成のみの研究開発では限界があるとみられており、Micro Pore を導入した Porous 構造によって低誘電率化を実現する方法が提案されている。しかし、Porous 構造をもった Low-k 材料は従来の Non-Porous 構造に比べると機械的強度が明らかに劣っており、プラズマ照射、化学的機械研磨(CMP)などの過酷な配線工程のプロセスにおいて各種のダメージを受けることが知られている。このため、UV/EB 硬化法、低圧 CMP 研磨など従来より材料にダメージを与えにくいプロセスが提案されてきている。しかし、これら一部の新しいプロセスが組み込まれた半導体バックエンド工程に適合する材料開発の指針は、単に変更されたプロセスについて検証しただけでは不十分で、他の材料との相互作用、プロセス-プロセス間の相互作用を考慮することが不可欠となる。即ち、このような新しい部材開発を効率よくおこなうためには、半導体デバイス製造工程全体を俯瞰して、ナノレベルの材料-材料間、材料-プロセス間(例えば配線材料と層間絶縁膜材料、バリアメタル材料など)の相互影響を含めて個々の材料を的確に評価できる評価方法の開発が最も大切である。さらに、上記の材料-材料間及び材料-プロセス間の相互影響に加え、半導体デバイスの電気特性や信頼性への影響までを一体的に評価可能な開発支援ツール(TEG)の開発が望まれる。

従来、多層配線形成工程に用いられる部材開発においては、パッケージ工程におけるプロセス検証が配線工程と切り離して行われることが多かったが、高度な信頼性と機能が要求される半導体デバイスの製造プロセスにおける材料適性の判定には、配線工程からパッケージ工程ま

での一貫した部材評価基盤の構築が必要である。この配線工程後のパッケージ工程においては、パッケージ自体も半導体チップの高密度実装化および高速化に対応して、多段チップ搭載パッケージ、フリップチップパッケージが広く使用されるようになり、ウェーハ、チップの超薄化やボンディング方式の移行に伴い、パッケージ組立プロセスやパッケージ後の信頼性試験において、これまでにないウェーハやチップの破壊による問題が顕在化してくることが予想される。このため、多層配線形成工程以降の組立プロセス、パッケージ後の信頼性評価の各段階での材料プロセス、材料-材料間の影響評価を行い、各段階で得た知見を材料の開発設計あるいは多層配線形成工程の検査/評価段階にフィードバックすることによって、多層配線形成工程からパッケージ工程までの一貫した部材評価方法を確立することが大切である。

これらの評価技術、開発支援ツール(TEG)を用い、従来、材料・プロセス個別におこなっている部材開発に比べ抜本的な開発効率向上を実現するとともに、得られた技術的知見から高集積半導体デバイスの多層配線等に適した信頼性のある部材の提案をおこない、提案の過程で得られた技術的な知見を有効に生かした部材の実用化を推進することによって、材料メーカーのみならず、装置メーカーや半導体デバイスメーカーにも貢献することができる。

## 2. 研究開発の具体的内容

### (1) Low-k 材料のダメージ耐性評価方法の開発

Low-k 材料の誘電率増加を最小限に抑えつつ強度を改善させるために、従来の熱硬化プロセスに加えて UV/EB 硬化プロセスを検討する。また、配線構造の表面平滑性を維持しつつスクラッチや膜はがれ、ボイド等のダメージを低減するために、CMP 研磨プロセス・材料を検討する。各種 Low-k 材料についてこれらのプロセス・材料を適用することによって、Low-k 材料へのプロセスダメージを従来プロセスと比較する。また Porous Low-k 材料と Non-porous Low-k 材料へのプロセスダメージの違いを検証する。

これらのプロセスを含む多層配線技術の妥当性を他の材料、プロセスとの相互影響を含めて検証するとともに、45nm ノード以降にも適応できる Low-k 材料の配線構造および構造中の単体材料の誘電率や各種の材料強度指標等を的確に評価できる評価方法を開発する。

### (2) 統合部材開発支援ツール(TEG)の開発

上記(1)の開発で得られる半導体プロセスでの使用条件並びに影響を受ける製造プロセスに関する技術的知見をベースに、Low-k 材料とプロセス条件によって影響を受けるその他の材料を TEG で評価すべき項目を決定する。これらの項目について半導体デバイス製造プロセスを経た後に評価可能な計測回路の設計を行い、45nm ノードにも対応できる半導体材料評価 TEG の開発を行う。

計測回路の設計に当たっては、材料評価手法の開発で得られる材料基本物性の情報と半導体集積回路で使用される条件での信頼性を含む統合化された部材性能との対応が評価可能なものとするとともに、半導体製造プロセスを経た後の TEG から得られる情報が、対象となる

半導体材料の設計技術にフィードバックできる TEG を開発する。

### (3) パッケージ工程までの一貫した材料評価方法の確立

対象パッケージを、MCP(Multi-chip Package)を含む WBBGA(Wire-bond Ball Grid Array)、FCBGA(Flip Chip Ball Grid Array)とし、300mm ウェーハを前提とした再配線工程、バックグラインド、ダイシング、ピックアップ、ボンディング、封止等の各工程において、Cu/low-k 配線を有するウェーハ/チップにかかる外力等に着目し、材料破壊・腐食等の評価を中心とする材料プロセス、材料-材料間の影響評価を実施し、評価方法を確立する。

一方、パッケージ後の信頼性評価技術については、上記の対象パッケージにおいて、熱・応力・水分等が材料に与える影響に着目して、リフロー、耐湿性試験、温度サイクル試験を行い、チップの配線層を含む各界面の剥離状況、配線層を含む材料の破壊、腐食等の評価方法を確立する。

上記の組立プロセス、パッケージ信頼性評価の各段階で得た知見を配線工程の評価段階にフィードバックし、配線工程からパッケージ工程までの一貫した半導体プロセスにおいて 45nm ノード以降にも対応できる材料評価方法を確立する。

## 3. 達成目標

300mm ウェーハによる半導体製造における多層配線工程からパッケージ工程までの一貫した材料評価基盤を確立する。具体的には次世代以降に要求される半導体を製造する部材へのダメージ低減プロセスの検証をおこない、材料-材料間、材料-プロセス間の相互影響を含めて部材を的確に評価できる多層配線評価技術を確立する。

また、製造プロセス全体を俯瞰した材料とプロセスの適合性を評価し、デバイスの電気特性や信頼性に与える影響をも評価できる実際の半導体製造プロセスに適用可能な統合部材開発支援ツール(TEG)を開発する。

さらにパッケージ組立プロセス、パッケージ信頼性評価の各段階での材料-プロセス、材料-材料間の影響評価を行い、材料の評価方法の標準化を行なうとともに、各段階で得た知見を多層配線工程の評価段階にフィードバックすることにより、配線工程からパッケージ工程までの一貫した半導体プロセスにおいて、45nm ノード以降にも対応できる部材評価基盤を構築する。

この部材評価基盤を活用することにより、部材の統合的ソリューション提案を行う。

## 4. 期待される波及効果

材料メーカーはこれらの評価基盤を利用することによって、高機能な半導体製造部材の開発効率を飛躍的に向上することができる。

半導体の最新製造プロセスで得られた部材の評価データを半導体デバイスメーカーに提供することによって、半導体デバイスメーカーによる部材評価の省力化に貢献するだけでなく、部材の採用が促進されることによって、材料メーカーの強化につながる。

また、半導体デバイスメーカーのニーズに的確に応えた材料と多層配線技術を組み合わせた高度な統合ソリューションを提案し、提案の過程で得られた技術的な知見を有効に生かした部材の実用化を推進することによって、半導体デバイスメーカーや半導体装置メーカーにも貢献する。

# 戦略的重要課題

# 超低消費電力 システムLSI

欄の色表示

要求スペック

要求スペックを実現するための技術



More than Mooreを実現するための

基盤技術

関連技術

技術分野	分野構造				評価パラメータ	2009	2010	2011	2012	2013	2014	2015	2016	2017	2018	
	大項目	中項目	小項目	重要課題		2009	2010	2011	2012	2013	2014	2015	2016	2017	2018	
半導体	LSTPデバイス技術	デバイス微細化	ゲート長およびゲート絶縁膜厚	パターン寸法の微細化 電氣的ゲート酸化膜厚薄膜化	LSTP/LOP 物理ゲート長 (nm)	32/29	29/27	27/24	22/22	18/18	17/17	15/15	14/14	12.8/12.8	11.7/11.7	
					LSTP/LOP ゲートの寸法ばらつき (nm) (加工後の物理長 3σ)	3.8/3.5	3.5/3.2	3.2/2.9	2.6/2.6	2.2/2.2	2.0/2.0	1.8/1.8	1.7/1.7	1.5/1.5	1.4/1.4	
					LSTP (Planar Bulk/UTB FD/DG) 実効ゲート酸化膜厚物理的膜厚EOT (nm) 実効ゲート酸化膜厚電氣的膜厚Tinv (nm)	1.5/-/- 2.2/-/-	1.4/-/- 1.84/-/-	1.3/-/- 1.73/-/-	1.2/-/- 1.62/-/-	1.1/1.2/- 1.41/1.6/-	-/1.1/- -/1.5/-	-/1.0/1.1 -/1.4/1.5	-/0.9/1.1 -/1.3/1.5	-/0.8/1.0 -/1.2/1.4	-/-/1.0 -/1.4	
					LOP (Planar Bulk/UTB FD/DG) 実効ゲート酸化膜厚物理的膜厚EOT (nm) 実効ゲート酸化膜厚電氣的膜厚Tinv (nm)	1.1/-/- 1.44/-/-	1.0/-/- 1.34/-/-	1.0/-/- 1.33/-/-	0.9/-/- 1.23/-/-	0.8/0.9/- 1.12/1.3/-	-/0.85/- -/1.25/-	-/0.8/0.85 -/1.2/1.25	-/0.8/0.8 -/1.2/1.2	-/0.8/0.8 -/1.19/1.2	-/0.73/0.8 -/1.14/1.2	
		トランジスタ構造	短チャネル効果抑制 不純物ランダムばらつき抑制 Steep Subthreshold Slope 準パリスティック伝導 一次元伝導 極低電圧動作 (Vdd<0.3V)	Planar Bulk CMOS UTB FDSOI Double Gate (FinFET)  ナノワイヤFET Steep SS FET (Tunnel FET, etc.)	バルクCMOS	→										
					UTB FDSOI	→										
					Double Gate	→										
					Steep Switching FET	→										
		ナノCMOSへ 向けた新技術	移動度向上	Process Strain  Substrate Strain  基板面方位	Stress Liner	→										
					Embedded SiGe on S/D	→										
					SiGe/Si チャネル	→										
					SGOI	→										
	性能向上策	電氣的ゲート絶縁膜厚薄膜化 ゲート電流の低減	メタルゲート/High-K	メタルゲート/Hf系	→											
				La系、Al系 Capping Layer	→											
				メタルゲート/La系	→											
				(100) and (110)	→											
	パラメータ・ばらつき 制御技術	製造後のトランジスタ特性調整	Vthコントロール	基板バイアス	→											
				独立マルチゲートコントロール	→											
				準パリスティック	→											
				Geチャネル III-V族チャネル	→											
	メモリ混載技術	ロジック埋め込み用 6Tr. SRAM	6Tr. SRAMセル面積 (μm <sup>2</sup> )	6Tr. SRAM	0.189	0.142	0.112	0.091	0.072	0.055	0.044	0.035	0.028	0.022		
				8Tr. SRAM	→											
				SRAM延命技術 マスクレスSOI DRAM 高速アクセス不揮発性メモリ	→											
		ロジック埋め込み用 6Tr. SRAM代替RAMメモリ	Body-floating SOI DRAM	→												
MRAM、PRAM、ReRAM			→													
NMOSFETのft(GHz), fmax (GHz)			240, 290	280, 340	320, 390	360, 440	400, 510	440, 560	490, 630	550, 710	630, 820	670, 880				
混載技術	ロジック混載RF	インダクタのQ値(5GHz, 1nH)	32	34	36	38	40	42	44	46	48	50				
			ポイントオブケアチップ	→												
	アプリケーション用 混載技術	新アプリケーション用 混載素子	センサチップ	→												
			ICタグ	→												
薄膜 トランジスタ	ディスプレイ混載TFT	薄膜LCDドライバ	スマートダスト	→												
			物理モデル	→												
シミュレーション 技術	デバイスシミュレーション 技術	新規モデルの取り込み	統計的モデル	→												
			信頼性モデル	→												

技術分野	分野構造				評価パラメータ	2009	2010	2011	2012	2013	2014	2015	2016	2017	2018	
	大項目	中項目	小項目	重要課題		2009	2010	2011	2012	2013	2014	2015	2016	2017	2018	
					DRAMハーフピッチ (nm)→	52	45	40	36	32	28	25	22.5	20	17.9	
					Flashメモリハーフピッチ (nm)→	40	36	32	28	25	22.5	20	17.9	15.9	14.2	
					ロジックM1ハーフピッチ (nm)→	52	45	40	36	32	28	25	22.5	20	17.9	
					ロジックノード (nm)→	32	28									
					コンパクトモデル	ノンクラシカルCMOS 量子効果を入れた										
半導体	プロセス技術	トランジスタ形成プロセス	ゲートスタック形成技術	ゲート周り要求スペック	HP (High Performance) (Planar Bulk/Double-Gate) 実効ゲート酸化膜厚EOT: 物理的膜厚 (nm)	1.0/-	0.95/-	0.88/-	0.75/-	0.65/-	0.60/-	0.53/0.77	0.50/0.70	-/0.60	-/0.60	
					HP (High Performance) (Planar Bulk/Double-Gate) ゲートリーク電流密度(A/cm <sup>2</sup> )	650/-	830/-	900/-	1000/-	1100/-	1200/-	1300/1300	1400/1400	-/1500	-/1700	
					LSTP (Low Standby Power) (Planar Bulk/Double-Gate) 実効ゲート酸化膜厚EOT: 物理的膜厚 (nm)	1.5/-	1.4/-	1.3/-	1.2/-	1.1/-	-/-	-/1.1	-/1.1	-/1.0	-/1.0	
					LSTP (Low Standby Power) (Planar Bulk/Double-Gate) ゲートリーク電流密度[LSTP用途] (A/cm <sup>2</sup> )	0.094/-	0.11/-	0.12/-	0.14/-	0.15/-	-/-	-/0.19	-/0.21	-/0.23	-/0.25	
			ゲートスタックプロセス (ゲート絶縁膜、ゲート電極)	high-kゲート絶縁膜材料	SiON	→										
					HfO <sub>2</sub> (+Si, N, Al)	→ LaAlO <sub>3</sub> など										
				ゲート電極材料	poly Si, poly SiGe	→										
					Metal	→										
				メタルゲート電極の形成方法	FUSI技術/ダマシ技術/RIE	→										
				ソースドレイン形成技術	浅接合形成技術	(Planar Bulk) 接合深さ(drain extension) (nm)	11	11	11	10	9	8.5	7.7	7	-	-
		(Planar Bulk/Double-Gate) シート抵抗(NMOS, drain extension部分) (ohm/sq)	660/-			680/-	750/-	810/-	900/-	960/-	1060/441	1160/475	-/526	-/590		
		(Planar Bulk/Double-Gate) 単位面積あたりのコンタクト抵抗 (NMOS) (単位 ohm μm <sup>2</sup> )	12.5/-		11.2/-	9.87/-	9.20/-	7.00/-	6.57/-	6.00/6.44	5.60/6.10	-/5.20	-/4.47			
		アニール技術	拡散層の形状と電気特性		Laser Anneal	→										
		素子分離技術	素子分離技術	(Planar Bulk) 素子分離用トレンチのアスペクト比	6.9	7.9	8.6	9.3	10.2	11.3	12.3	13.3	-	-		
		洗浄技術	新規洗浄技術	微細構造の洗浄	洗浄の方法 超臨界流体洗浄、ガス洗浄技術など	ガス洗浄	→									
		シリコン基板	大口径ウェーハ対応製造技術	シリコン基板の大口径化	ウエハ直径 (mm)	300	300	300	450	450	450	450	450	450	450	450
					フラットネス (nm) SFQR	52	45	40	36	32	28	25	23	20	18	
		プロセスシミュレーション技術	新規プロセス対応シミュレーション	新規モデルの取り込み	新規モデル	新ゲート絶縁膜材料、新ゲート材料のモデリング →										
							ストレス下の拡散モデルの高精度化 →									
							→									

技術分野	分野構造				評価パラメータ	2009	2010	2011	2012	2013	2014	2015	2016	2017	2018				
	大項目	中項目	小項目	重要課題		DRAMハーフピッチ (nm)→	Flashメモリハーフピッチ (nm)→	ロジックM1ハーフピッチ (nm)→	ロジックノード (nm)→										
半導体	リソグラフィ	露光装置技術	主流量産技術	微細化・高精度化	ゲートCD制御(3σ) (nm)	3.0	2.8	2.5	2.3	1.9	1.7	1.6	1.5	1.3	1.2				
				線幅ラフネス(3σ) (nm)	3.2	2.8	2.5	2.2	2	1.8	1.6	1.4	1.3	1.1					
			193nm露光技術の延命 新規短波長露光技術	光源(波長: nm) / 方式	193nm 液浸(水)	→													
					193nm液浸(水) w Spacer DPT	→													
					193nm 液浸(水) w Pitch Splitting DPT	→													
					13.5nm EUV(極端紫外光リソグラフィ)	→													
		新規技術	マスクレス化、新転写方式	方式	ML2(マスクレスリソグラフィ)	→													
					NIL(ナノインプリントリソグラフィ)	→													
		マスク技術	高効率作製技術	設計・描画・検査時間の短縮	EBマスク描画装置の高度化、	NIL描画装置	→												
						マスク設計・描画・検査の総合最適化によるQTAT・低コストマスク作製技術	→												
			欠陥検査装置技術	検出感度向上、検査時間短縮	マスク欠陥検査装置の高度化、	EUVLマスク欠陥検査・修正・無欠陥化技術	→												
						NILテンプレート欠陥検査・修正・無欠陥化技術	→												
	欠陥修正装置技術		13.5 nm EUVLマスク欠陥修正	無欠陥化	NIL-DDテンプレート欠陥検査・修正・無欠陥化技術	→													
						→													
	レジスト・プロセス技術	パターン形成プロセス	193nm露光技術延命のための新プロセス	解像限界の拡張	ダブルパターンニング(Pitch Splitting/Spacer)	→													
					低ラフネス化	線幅ラフネス(3σ) (nm)	3.2	2.8	2.5	2.2	2	1.8	1.6	1.4	1.3	1.1			
		レジスト・レジストプロセス材料	新規露光方式向け新レジスト材料	高感度、高解像度、低ラフネス	193nm水液浸リソ用レジスト・BARC・TC	→													
					193nm水液浸リソ用トップコートレ	→													
					DPT用レジスト・Freezing材料・塗布型Spacer材料	→													
					13.5 nm EUVリソ用レジスト	→													
		リソグラフィインテグレーション技術	リソシミュレーション技術	EUVリソシミュレーション	EUVL Shadowing/Falre補正 高精度、高速処理	13.5nm EUVリソシミュレーション技術	→												
						総合的最適化技術	SMO、マスクデータ・マスク製作	DPT Data Splitting/リソシミュレーション・最適化技術	→										

技術分野	分野構造				評価パラメータ	2009	2010	2011	2012	2013	2014	2015	2016	2017	2018				
	大項目	中項目	小項目	重要課題		DRAMハーフピッチ (nm)→	Flashメモリハーフピッチ (nm)→	ロジックM1ハーフピッチ (nm)→	ロジックノード (nm)→	52	45	40	36	32	28	25	22.5	20	17.9
半導体	配線	微細化技術	多層配線技術	MPUの配線層数	典型的なMPUの配線層数	12	12	12	12	13	13	13	13	14	14				
			層間絶縁膜技術	Low-k材料	重要課題	実効比誘電率	2.6-2.9	2.6-2.9	2.6-2.9	2.4-2.8	2.4-2.8	2.4-2.8	2.1-2.5	2.1-2.5	2.1-2.5	2.0-2.3			
					材料の比誘電率	2.3-2.6	2.3-2.6	2.3-2.6	2.1-2.4	2.1-2.4	2.1-2.4	1.9-2.2	1.9-2.2	1.9-2.2	1.7-2.0				
			層間絶縁膜技術	Low-k材料	重要課題	膜改善技術	キュア技術	膜補強技術											
					ボアシール技術														
			配線材料技術	配線材料とバリアメタル銅配線の延命技術	新構造	重要課題	エアギャップ配線		エアギャップ配線										
		バリアメタル形成方法				PVD	PVD reflow/ALD/CVD												
		配線材料技術	配線材料とバリアメタル銅配線の延命技術	Cu形成方法	重要課題	Cu形成方法	電解めっき	CVD/ダイレクトめっき											
					信頼性技術	高信頼性	EM・SIV改善	表面改質・合金化	メタルキャップ										
					信頼性技術	配線間リーク低減	LER改善	エッチング最適化	新規ガス/ハードマスクプロセス										
					信頼性技術	配線モデリング技術	伝送線路としての取り扱い	モデリング手法の進展	階層的Full Chip RLC抽出技術										
					新規配線技術	TSV(ファインピッチ)	高密度・微細ビア	重要課題	信頼性・テスト・コスト	Thinned wafer to wafer bonding									
	新規配線材料技術							ビアの形成、および配線形成	電流密度向上		CNTビア								
	新規配線技術	光やRF(電磁波)による信号伝達技術	上層配線適用	重要課題	新方式(光、RF)		チップ内RF信号伝達												
				インプリントDD配線技術	インプリント技術および材料開発	低コスト形成法		インプリント配線											
	実装	実装プロセス	単一チップ実装	単一チップ実装	ピン数(Cost-Performanceチップ)	660-2801	660-2783	720-3061	720-3367	800-3704	800-4075	880-4482	880-4930	960-5423	960-5966				
				Low-k/Cu対応技術	低ダメージパッケージング方法	低応力検査・接合・封止技術													
				ウェーハレベルパッケージ	再配線、ハンパピッチなど	W-CSP													
			MCM	三次元チップ積層	垂直方向の積層数 (Low-Cost/Handheld)	9	10	11	12	13	14	14	15	15	16	16			
					チップ数 / パッケージ (Low-Cost/Handheld)	9	11	12	13	14	14	14	15	15	16	16			
					インターコネクタ技術	TSV方式 非接触(無線)方式 光インターコネクタ	TSV技術	非接触ウェーハ検査技術											
		SiP実装(複数デバイスを同一パッケージに組み込む)	テスト技術	ウェーハ検査・KGD(Known Good Die)	非接触ウェーハ検査技術														
			ウェーハレベル積層技術	貼り合わせ接合技術 位置合わせ技術	KGD保証技術														
			異種デバイス、光、機構部品等の組み込み	MEMS、RF、LASER、LED、レンズ、冷却機構、センサー等	可動部分を含む アキュエータ集積化、発光・受光素子、RF-MEMS(キャパシタ、スイッチ) など	チップ冷却機構													
実装設計		統合設計プラットフォーム技術	各ツールの連携と三次元化	重要課題	チップ/パッケージ/ボード連携設計ツール 熱/電気/構造連成解析技術	ライブラリーの共有化	モデルの標準化												
				設計ナビゲーション機能	異種ツール連成解析試行														
				部品内蔵インターポーザ技術	多層配線、薄膜部品、	チップ部品内蔵	薄膜C.Lインターポーザ												



## 事前評価書

		作成日	平成18年2月1日
1. 事業名称 (コード番号)	次世代高度部材開発評価基盤の開発 (革新的部材産業創出プログラム/新産業創造高度部材基盤技術開発・(再掲:省エネルギー技術開発プログラム))		
2. 推進部署名	ナノテクノロジー・材料技術開発部		
3. 事業概要	<p>(1) 概要</p> <p>微細化が進む半導体分野では、個別開発による材料の性能向上は限界に来ている。装置やプロセスを含めた全体を最適統合して高性能化する課題解決型の部材(材料・プロセス)開発が必要となっている。本事業では、半導体バックエンド以降の部材開発を強化、加速するため、最適統合して部材評価できる評価基盤を開発し、整備する。本評価基盤は、最先端の半導体バックエンドプロセスからパッケージプロセスに新規部材を投入し、ナノレベルでの材料間の相互影響まで評価して部材の課題抽出を行い、材料、プロセス、装置にフィードバックすることにより、材料開発を加速する。また、本評価基盤には、統合部材開発支援ツールとしてのTEG(Test Element Group)の開発も含む。さらに、本評価基盤の整備により、新たな部材を用いた半導体プロセスの統合部材ソリューション(材料とプロセスをセットにして、相互のプロセス間の影響も考慮して統合した、部材の性能と機能を十分に発揮できる最適プロセスフロー)を開発することが可能となり、その提案を行う。これにより、情報通信機器の高機能化や低消費電力化の要求を満たす半導体集積回路への新規材料の実用化を促進することができる。</p> <p>(2)事業規模:総事業費 約15億円 (平成18年度事業費4.5億円)</p> <p>(3)事業期間:平成18年度～20年度(3年間)</p>		

#### 4. 評価の検討状況

##### (1) 事業の位置付け・必要性

###### ① 事業の背景と必要性

デザインの微細化及びプロセスの複雑化が急速に進んでいる半導体分野では、従来から使用されてきた材料の性能が限界を迎えており、新たな高性能材料の開発が世界で進められている。しかし、材料を個別に高性能化する開発手法も限界になりつつあるため、各種の新規材料とプロセスを最適統合させ、部材の高性能と高機能を発揮させる開発戦略、いわゆる材料創製技術と成形加工技術の一体化による開発が必要となっている。

本事業は、半導体プロセスに立脚した高度部材評価基盤を開発/整備することで、高度な部材開発を実現する、最も重要な要素である。すなわち、本評価基盤を活用することにより、半導体材料分野で各種の新規材料とプロセスを最適統合させ、高性能・高機能部材を開発することを可能とする重要な事業である。

本事業の評価基盤の整備には最先端の半導体製造設備が必要であり、また、開発対象が半導体集積回路に用いる材料のかなりの範囲を占めるため、一研究機関又は一企業での開発にはハードルが高すぎる上、リスクも大きすぎる。このため、NEDO事業としての推進が必要である。

###### ② 政策上の位置付け

経済産業省技術戦略マップ(平成17年3月策定)では、「情報家電等IT利活用とITの安全性・信頼性の確保、その基盤となるIT産業の国際競争力の強化」を目標とした「情報通信分野の導入シナリオ」の中で、「高度部材産業集積の維持・管理」による半導体分野での「垂直連携の強化」のため、「部材評価技術の強化、部材技術開発の促進、効率化」が取り上げられている。本事業は、この施策の推進の中核をなすものである。

部材分野の技術マップ上の位置付けは以下のとおり。

共通基盤技術／計測・評価・検査／誘電体、半導体等材料特性、信頼性評価

##### (2) 研究開発目標の妥当性

###### 《目標》

半導体材料開発に貢献する材料評価基盤を構築するとともに、半導体に適用する部材の統合的ソリューションを提案する。

- ・Low-k 材料のダメージ耐性評価方法の開発
- ・統合部材開発支援ツール(TEG)の開発
- ・パッケージ工程までの一貫した材料評価方法の開発

###### 《妥当性》

毎年度、実施者からのヒアリングを行い、結果を計画に反映する。

##### (3) 研究開発マネジメント

公募を行い最適な研究開発体制を構築する。パッケージ工程までを含めて微細化に対応した評価基盤を確立し、信頼性ある部材の開発指針を発信することによって、材料の実用化を加速する。

#### (4) 研究開発成果

日本の半導体材料メーカーは世界の約7割のシェアを有しているが、急速に進行するデザインの微細化やプロセスの複雑化により、材料を個別に高性能化していく従来型開発手法は限界に達している。こうした状況の下、本事業を通して、半導体材料メーカー、半導体メーカーおよび半導体装置メーカーが密接に連携をとり、プロセス・材料一体となった開発推進体制を構築することで、我が国の強みである高度部材技術の集積をさらに強化し、世界をリードすることができる。

#### (5) 実用化・事業化の見通し

本事業により構築した評価基盤は、材料メーカーを始め、半導体メーカー、装置メーカーにも活用され、それぞれの開発の効率化が図られる。また、本事業の成果の1つである材料評価基準を一般に普及させることにより、部材開発さらには半導体の開発の促進、効率化が図ることが可能となる。

本事業の成果を適用することによって、国内バックエンド部材メーカーの 2004 年度市場約 0.5 兆円をはじめ、半導体の国内市場約 5 兆円(世界市場約 25 兆円)への経済的波及効果が期待される。

#### (6) その他特記事項

ある半導体メーカー幹部は「日本の半導体業界を強くしたい。それには関連業界、特に材料が重要になってくる。CASMATが中心になって、材料業界のまとめができないか。パッケージ評価についてCASMATにて充実してほしい。」と要望している。材料に付加価値がシフトしている状況を考えれば、材料開発の重要性は今後益々大きくなることは間違いない。パッケージまでの一貫評価は、競争力強化のための一つの鍵となり、CASMATのような体制で推進することは、半導体メーカーや半導体装置メーカーからも切実に求められている。材料メーカーが半導体メーカーや装置メーカーとの密接な連携を通して本事業の遂行にあたり、その成果を共有していくことは、今後の我が国半導体業界の競争力強化の支援に有効な施策である。

#### 5. 総合評価

NEDO の実施する事業として適切であると判断する。



### <次世代高度部材開発評価基盤の開発>

投稿No.3

2005/11/22 (火) 12:12

デザインルール45nm以降、半導体の微細化・高性能化のために今後材料に対する要求特性は益々高度でかつ複雑になることが予想されます。

従いまして、材料単体を高性能化するという従来の材料開発スタイルではもはや限界であり、本プロジェクトが掲げているような複数の材料の相互影響まで評価を行う統合的材料のソリューション技術を提案することが重要になってきます。

そこで、全世界で約70%のシェアを有しているとされている国内半導体材料メーカーをよりいっそう活性化させるためにH15～17まで実施されている「次世代半導体ナノ材料評価PJ」に継続して是非本プロジェクトを実現して頂きたい。

投稿No.2

2005/11/17 (木) 18:34

現在、半導体の微細化などから、半導体を入れるパッケージの形態が多種多様になるとともに、新しい材料が採用される機会があります。

これまで、電子業界向けの材料の開発については、先方のプロセスが判らないまま、LSIメーカーの話だけで、開発を続けることが多かった。また、基板と材料の接着力などについては、定量的に測定する手法が無く、間接的な見方をしたり、最終的に製品を作り、信頼性を調べて判断することが多く、業界標準となる評価手法が望まれていた。

この評価を行うためには、配線工程であるバックエンドプロセスから組立て工程まで一貫したプロセスを通せるラインを持ち、半導体会社と同様なプロセス、評価が行えることが非常に有用である。また、その中から、最も適した評価測定手法を確立することで、定量的な議論が半導体メーカーと材料メーカーで行えることになり、業界発展に多いに有用である。さらに、1つの材料ばかりではなく、1つのパッケージを作るための複数の材料を有機的に開発でき、トータルソリューションを半導体メーカーに提案できる可能性がある。

このように本プロジェクトは、参画した組合員企業では新たなビジネスチャンスを獲得でき、さらに、これまで評価の標準法が無かった手法について、業界標準となる手法を提案でき、業界全体のレベルアップを図ることができるなど、極めて意義が高い。

投稿No.1

2005/11/02 (水) 13:12

高機能・高性能パッケージや省電力化等年々進歩していく昨今であります、それに伴い開発される半導体ウエハ材料としての脆弱さが表面化しているように思われます。

このような材料をパッケージ化まで安全にかつ歩留まり良くプロセスを作り上げるには、特に後工程プロセスの適正化・材料開発が重要であると考えます。



## NEDO POST 2 投稿ログ

後工程においては、バックグラインド・ダイシング・ダイボンディング・モールドイング等を経てパッケージが完成しますが、各々の工程においてウェハ材料の脆弱さを許容できないことが今後予想されます。

本開発に於いては、脆弱な半導体材料を安全にかつ歩留まり良く生産する技術を作り上げる為にも、バックグラインドテープ、ダイシングテープ及びダイアタッチフィルム等の後工程材料の開発スピードアップを進めることができるように、評価技術の確立と材料開発へのフィードバックを全面的に支援して頂きたいと考えます。

パッケージ化までできなことは製品として市場に出すことができませんので、この点を重点的に実行して頂きたいと考えます。

## 論文、特許リスト

## ① 学会等外部発表 26件。

## 外部発表リスト

No.	発表者	題名	発表先(学会名)	発表日	研究課題
1	滝本 嘉夫	積層絶縁膜構造における高精度容量測定法および絶縁膜k値抽出法の開発	ナノテクノロジー総合支援プロジェクト平成17年度報告書	2006/5/18	課題 II
2	畠井 宗宏 滝本 嘉夫 船津 圭亮 中嶋 道夫	層間絶縁膜中のCu拡散	2006年秋季第67回応用物理学関係連合講演会	2006/8/30	課題 I
3	前田 展秀 滝本 嘉夫 船津 圭亮 前島 研三 中嶋 道夫	Barrier-free interconnect using organic low-k dielectric	VLSI Multilevel Interconnection Conference 2005	2006/9/26	課題 I
4	前田 展秀 滝本 嘉夫 船津 圭亮 前島 研三 中嶋 道夫	Barrier-free interconnect with organic spin-on dielectric	ADMETA2006 Asian Session	2006/9/27	課題 I
5	前田 展秀 滝本 嘉夫 船津 圭亮 前島 研三 中嶋 道夫	Barrier-free interconnect with organic spin-on dielectric	AMC 2006	2006/10/18	課題 I
6	前田 展秀 滝本 嘉夫	Anti-diffusion dielectric for barrier-free interconnect	The 6th ISTC	2007/3/20	課題 I
7	前田 展秀	塗布型Low-k材料を用いたバリアフリー配線	電気学会機能性誘電体薄膜先端技術調査専門委員会	2007/3/22	課題 I
8	吉田 輝男 川本 佳史	半導体配線工程における材料とプロセスの統合ソリューション	日本化学会第87春季年会	2007/3/26	課題 I
9	前田 展秀 滝本 嘉夫 住谷 孝治 本間 喜夫 斎藤 英紀 荒瀬 慎哉 川上 博士 多田 昌弘 小久保 輝一	塗布型バリア/キャップを用いたCu/Low-k配線	第54回応用物理学関係連合講演会	2007/3/29	課題 I
10	前田 展秀 滝本 嘉夫 坂本 好謙 多田 昌弘 中嶋 道夫 船津 圭亮	Low-k organic dielectric film for barrier-free interconnect	MRS 2007	2007/4/11	課題 I

11	前田 展秀 荒瀬 慎哉 滝本 嘉夫 川上 博士 住谷 孝治 本間 喜夫 斉藤 英紀 多田 昌弘 小久保 輝一	Spin-on barrier-dielectric/CMP-cap for Cu/low-k interconnect	MRS 2007	2007/4/11	課題 I
12	前田 展秀 滝本 嘉夫 坂本 好謙 多田 昌弘 中嶋 道夫 船津 圭亮	Barriermetal-less interconnect with low-k organic film	2007 IEEE VLSI-TSA	2007/4/24	課題 I
13	畠井 宗宏	Cu/Low-k配線TEGを用いた組立プロセス耐性の評価技術開発	平成19年度デバイス実装研究会	2007/6/5	課題 III
14	前田 展秀 滝本 嘉夫 坂本 好謙 多田 昌弘 中嶋 道夫 船津 圭亮	PBO/SiC hybrid structure with Ti liner for reliable barrier-free interconnect	AMC 2007	2007/10/11	課題 I
15	前田 展秀 滝本 嘉夫 坂本 好謙 多田 昌弘 中嶋 道夫 船津 圭亮	PBO/SiC hybrid structure with Ti liner for reliable barrier-free interconnect	ADMETA 2007	2007/10/24	課題 I
16	高橋 表 滝本 嘉夫 多田 昌弘 安藤 慶人	Evaluating Actual Plasma Damage in Ultra Low-k Materials for 45nm nodes	ADMETA 2007	2007/10/23	課題 I
17	高橋 表 滝本 嘉夫 増田 誠 安藤 慶人	Evaluation of Plasma Damage to Ultra Low-k Materials using "Extracted k-value" and Effect of Cap Layer	MAM 2008	2008/3/2	課題 I
18	川上 博士 多田 昌弘 古賀 和博	PCTによるCVD膜の吸湿性評価	第55回応用物理学関係連合講演会	2008/3/27	課題 I
19	滝本 嘉夫	TEGから学ぶ半導体評価の基礎(配線プロセスを中心に)	電子材料(2008年6月号)	2008年6月	課題 II
20	高橋 表 滝本 嘉夫 安藤 慶人 増田 誠	Evaluation of Plasma Damage in Ultra Low-k Materials with Cap Film Using "Extracted k-value" Method	Microelectronic Engineering	2008年8月	課題 I

21	安西 創 松本 貴志	CMP材料評価基盤の開発(CMP用TEGの開発)	第67回プラナリゼーション CMP委員会 研究会	2008/8/29	課題 II
22	川上 博士 多田 昌弘	PCTによるLow-k絶縁膜の吸湿性評価	第69回応用物理学会 学術講演会	2008/9/4	課題 I
23	畠井 宗宏 船津 圭亮	Evaluation by Simple Method of Wire Bonding Process with Ultra Low-k Materials	ADMETA 2008	2008/10/9	課題 III
24	小野 幸治 松谷 美帆子 原田 隆博 多田 昌弘 安藤 慶人	Spin-on organic low-k material(k=2.2) with thin Ti liner interconnect	ADMETA 2008	2008/10/9	課題 I
25	滝本 嘉夫	TEGデバイスを用いた絶縁材料評価技術	電子SI連絡協議会 企画委員会(第2回)	2009/2/16	課題 II
26	滝本 嘉夫	Novel Dielectric-Constant Evaluation Method for Low-k Multi-level Metallization Structures in ULSI	IEEE Transactions on Semiconductor manufacturing, 2008, Vol.22 Issue2	2009/6/2 (予定)	課題 II

査読あり:  

外部向け「研究成果報告会」2007、2009年に実施。

「nano tech 2007、2008、2009」の3回、NEDOブースにてCASMAT展示。

② 特許出願

出願番号	出願名称	出願日	研究課題
特願2006-018631	半導体装置	06.07.06	課題 I
特願2007-010789	処理方法および処理装置	07.01.19	課題 II
特願2007-001355	板体処理装置および表面処理方法	07.01.9	課題 II
特願2007-067371	CMP方法	07.03.15	課題 I
特願2007-085794	CMP方法	07.03.28	課題 II
特願2007-085795	半導体素子および半導体素子の製造方法	07.03.28	課題 II
特願2007-086269	膜密着性評価方法	07.03.29	課題 III
特願2007-086268	半導体ウェハ化学的機械的研磨方法および半導体 ウェハ化学的機械的研磨装置	07.03.29	課題 I
特願2007-091734	耐性評価素子および耐性評価方法	07.03.30	課題 III
特願2007-091733	半導体素子の製造方法	07.03.30	課題 I
特願2007-091732	膜密着性評価方法	07.03.30	課題 III
特願2007-105564	半導体装置、その製造方法、及びその製造装置	07.04.13	課題 I
特願2007-155779	組立耐性評価用TEG装置および組立耐性評価方法	07.06.12	課題 III
特願2007-198846	半導体装置の製造方法	07.07.31	課題 II
特願2007-176665	半導体装置	07.07.04	課題 I
特願2007-176740	研磨装置および研磨方法	07.07.04	課題 I



特願2007-290053	半導体装置の配線における絶縁膜構造および絶縁膜形成方法	07.11.07	課題 I
特願2008-044320	膜特性を求める方法	08.02.26	課題 I
特願2008-059536	半導体装置の製造方法および半導体装置	08.03.10	課題 I
特願2008-068823	膜特性を求める方法	08.03.18	課題 I
特願2008-079671	半導体装置の製造方法、及び半導体装置の製造に際して用いられる位置整合用パターン構造	08.03.26	課題 II
特願2008-136212	半導体装置の製造方法	08.05.26	課題 III
特願2008-331813	半導体装置、及び半導体装置の製造方法	08.12.26	課題 II
特願2008-331592	半導体装置の製造方法	08.12.25	課題 I
特願2009-067942	パターン形成方法	09.03.19	課題 II
特願2009-069313	研磨方法	09.03.23	課題 I